

RH850/F1K

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコントローラ
RH850 ファミリ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
 家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
 防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

- (1) 入力端子の印加波形：入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOSデバイスの入力がノイズなどに起因して、VIL (MAX.) からVIH (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、VIL (MAX.) からVIH (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。
- (2) 未使用入力の処理：CMOSデバイスの未使用端子の入力レベルは固定してください。未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してVDDまたはGNDに接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。
- (3) 静電気対策：MOSデバイス取り扱いの際は静電気防止を心がけてください。MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOSデバイスを実装したボードについても同様の扱いをしてください。
- (4) 初期化以前の状態 電源投入時、MOSデバイスの初期状態は不定です。電源投入時の端子の出力状態や出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。
- (5) 電源投入切断順序 内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。
- (6) 電源OFF時における入力信号 当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

対象者 このマニュアルは、RH850/F1K の機能を理解し、それをういた応用システムを設計するユーザを対象とします。

目的 このマニュアルは、次の構成に示す RH850/F1K のハードウェア機能をユーザに理解していただくことを目的としています。

構成 RH850/F1K のユーザズ・マニュアルは、ハードウェア編（このマニュアル）と、ソフトウェア編「RH850G3KH ユーザズマニュアル ソフトウェア編」（R01US0165J）の 2 冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU 機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング

ソフトウェア編

- ・概要
- ・プロセッサ・モデル
- ・レジスタ・リファレンス
- ・例外／割り込み
- ・メモリ管理
- ・命令リファレンス
- ・リセット
- ・付録

読み方 このマニュアルの読者には、電気、論理回路、およびマイクロコントローラに関する一般知識を必要とします。

→一通り RH850/F1K の機能を理解しようとするとき

→目次に従ってお読みください。

命令機能の詳細を理解しようとするとき

→別冊の「RH850G3KH ユーザズマニュアル ソフトウェア編」（R01US0165J）を参照してください。

このマニュアルでは、「xxx レジスタの yyy ビット」を「xxx.yyy ビット」と表記しています。ただし、プログラムにそのまま「xxx.yyy」と記述しても、コンパイラ／アセンブラは正しく認識できませんので、注意してください。

凡例 データ表記の重み：左が上位桁，右が下位桁
アクティブ・ロウの表記：xxx（端子，信号名称に上線）
メモリ・マップのアドレス：上部－上位，下部－下位
注：本文中に付けた注の説明
注意：気を付けて読んでいただきたい内容
備考：本文の補足説明
数の表記： 2進数 ... xxxx または $xxxx_B$
 10進数 ... xxxx
 16進数 ... $xxxx_H$
2のべき数を示す接頭語（アドレス空間，メモリ容量）：
K（キロ）： $2^{10} = 1024$
M（メガ）： $2^{20} = 1024^2$
G（ギガ）： $2^{30} = 1024^3$

レジスタの説明

各レジスタの説明には、レジスタのアクセス、アドレス、リセット後の値の説明、ビットの並びを示す図、ビットに設定する内容を説明する表があります。

下記にその例を示します。

(1) アクセス 32ビット単位でリード/ライト可能です。
 (2) アドレス <CSIGN_base> + 1010_H
 (3) リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CSIGNPS[1:0]		CSIGNDLS[3:0]				—	—	—	—	—	CSIGN DIR	—	CSIGN DAP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(4) (5) (6) (7) (8)

表 14.18 CSIGNCFG0 レジスタの内容 (1/2)

ビット位置	ビット名	機能																				
31, 30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																				
29, 28	CSIGNPS[1:0]	パリティを指定します。 <table border="1"> <thead> <tr> <th>CSIGN PS1</th> <th>CSIGN PS0</th> <th>送信</th> <th>受信</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パリティを送信しません。</td> <td>パリティの受信を待機しません。</td> </tr> <tr> <td>0</td> <td>1</td> <td>0に固定されたパリティビットを追加します。</td> <td>パリティビットの受信を待機しますが、パリティの判定は行いません。</td> </tr> <tr> <td>1</td> <td>0</td> <td>奇数パリティを追加します。</td> <td>奇数パリティビットの受信を待機します。</td> </tr> <tr> <td>1</td> <td>1</td> <td>偶数パリティを追加します。</td> <td>偶数パリティビットの受信を待機します。</td> </tr> </tbody> </table>	CSIGN PS1	CSIGN PS0	送信	受信	0	0	パリティを送信しません。	パリティの受信を待機しません。	0	1	0に固定されたパリティビットを追加します。	パリティビットの受信を待機しますが、パリティの判定は行いません。	1	0	奇数パリティを追加します。	奇数パリティビットの受信を待機します。	1	1	偶数パリティを追加します。	偶数パリティビットの受信を待機します。
CSIGN PS1	CSIGN PS0	送信	受信																			
0	0	パリティを送信しません。	パリティの受信を待機しません。																			
0	1	0に固定されたパリティビットを追加します。	パリティビットの受信を待機しますが、パリティの判定は行いません。																			
1	0	奇数パリティを追加します。	奇数パリティビットの受信を待機します。																			
1	1	偶数パリティを追加します。	偶数パリティビットの受信を待機します。																			
27 ~ 24	CSIGNDLS [3:0]	データ長を指定します。 0: データ長を 16 ビットにします。 1: データ長を 1 ビットにします。 2: データ長を 2 ビットにします。 ... 15: データ長を 15 ビットにします。 注意 拡張データ長を																				

(1) アクセス

レジスタのアクセス単位を示します。

(2) アドレス

レジスタのアドレスを示します。
 ベースアドレスは各章のベースアドレスを参照してください。

(3) リセット後の値（16進数表記）

レジスタの各ビットのリセット後の値を示します。
16進数表記では0～9、A～Fまたは不定値が含まれる場合Xで表記します。

(4) ビット位置

レジスタのビット番号を示します。
32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に、
8ビットレジスタの場合は7から0の順に示します。

(5) ビット名

レジスタのビット名またはフィールド名を示します。
フィールドでビット桁数を明示する必要があるときは、CSIGNDLS[3:0]のように桁数の表記を
追加します。
また、予約ビットの場合は「—」と表記します。

(6) リセット後の値（2進数表記）

レジスタの各ビットのリセット後の値を示します。

- 0：リセット後の値は0であることを示します。
- 1：リセット後の値は1であることを示します。
- ：リセット後の値は不定であることを示します。

(7) R/W

レジスタの各ビットのリード／ライト属性を示します。

- R/W：リードおよびライト可能なビットまたはフィールドです。
- R：リードが可能なビットまたはフィールドです。
ただし、予約ビットはすべて「R」と表記します。ライト時は、ビット表で指定された値またはリセット後
の値を書いてください。
- W：ライトが可能なビットまたはフィールドです。
リード時の値は不定です。ただし、ビット表に記載がある場合はその値が読み出されます。

(8) 機能

レジスタのビット機能について説明しています。

目次

第1章	概要	66
1.1	RH850/F1K 製品の特長	66
1.2	RH850/F1K の機能	67
1.3	RH850/F1K 製品ラインナップ	69
1.4	RH850/F1K 製品内部ブロック図	71
第2章	端子	74
2.1	端子	74
2.2	端子説明	89
2.3	リセット期間中／解除後の端子機能	94
2.4	スタンバイモード時のポート状態	95
2.5	未使用端子の推奨接続	96
2.6	ポートの特長	97
2.6.1	ポートグループ	97
2.6.2	ポートグループインデクス n	97
2.6.3	レジスタベースアドレス	97
2.6.4	クロック供給	97
2.7	ポートの機能	98
2.7.1	機能概要	98
2.7.2	用語	99
2.7.2.1	JTAG ポート	99
2.7.3	端子機能概要	100
2.7.4	端子データ入力／出力	102
2.7.4.1	出力データ	102
2.7.4.2	入力データ	102
2.7.4.3	Pn レジスタへのライト	103
2.8	ポート概念図	104
2.9	ポートグループコンフィグレーションレジスタ	105
2.9.1	概要	105
2.9.2	端子機能の設定	108
2.9.2.1	PMCn / JPMC0 — ポートモードコントロールレジスタ	108
2.9.2.2	PMCSRn / JPMCSR0 — ポートモードコントロールセット／リセットレジスタ	109
2.9.2.3	PIPCn — ポート IP コントロールレジスタ	110
2.9.2.4	PMn / APMn / JPM0 — ポートモードレジスタ	111
2.9.2.5	PMSRn / APMSRn / JPMSR0 — ポートモードセット／リセットレジスタ	112
2.9.2.6	PIBCn / APIBCn / JPIBC0 / IPIBC0 — ポート入力バッファコントロールレジスタ	114
2.9.2.7	PFCn / JPFC0 — ポート機能コントロールレジスタ	115
2.9.2.8	PFCEn / JPFCE0 — ポート機能コントロール拡張レジスタ	116
2.9.2.9	PFCAEn — ポート機能コントロール追加拡張レジスタ	117
2.9.3	端子データ入力／出力	119
2.9.3.1	PBDCn / APBDCn / JPBDC0 — ポート双方向コントロールレジスタ	119
2.9.3.2	PPRn / APPRn / JPPR0 / IPPR0 — ポート端子リードレジスタ	120
2.9.3.3	Pn / APn / JP0 — ポートレジスタ	121
2.9.3.4	PNOTn / APNOTn / JPNOT0 — ポートノットレジスタ	122
2.9.3.5	PSRn / APSRn / JPSR0 — ポートセット／リセットレジスタ	123

2.9.4	電气的特性の設定	124
2.9.4.1	PUn / JPU0 — プルアップオプションレジスタ	124
2.9.4.2	PDn / JPD0 — プルダウンオプションレジスタ	125
2.9.4.3	PDSCn / JPDSC0 — ポートドライブ強度コントロールレジスタ	126
2.9.4.4	PODCn / JPODC0 — ポートオープンドレインコントロールレジスタ	127
2.9.4.5	PISn / JPIS0 — ポート入力バッファ選択レジスタ	128
2.9.4.6	JPISA0 — ポート入力バッファ選択アドバンスレジスタ	129
2.9.5	ポートレジスタ保護	129
2.9.6	ポート設定のフローチャート例	130
2.9.6.1	一括設定	130
2.9.6.2	個別設定	131
2.10	ポート (汎用 I/O) 機能概要	134
2.10.1	JTAG ポート 0 (JP0)	135
2.10.1.1	兼用機能	135
2.10.1.2	制御レジスタ	136
2.10.2	ポート 0 (P0)	138
2.10.2.1	兼用機能	138
2.10.2.2	制御レジスタ	139
2.10.3	ポート 1 (P1)	140
2.10.3.1	兼用機能	140
2.10.3.2	制御レジスタ	141
2.10.4	ポート 2 (P2)	143
2.10.4.1	兼用機能	143
2.10.4.2	制御レジスタ	144
2.10.5	ポート 8 (P8)	145
2.10.5.1	兼用機能	145
2.10.5.2	制御レジスタ	146
2.10.6	ポート 9 (P9)	147
2.10.6.1	兼用機能	147
2.10.6.2	制御レジスタ	148
2.10.7	ポート 10 (P10)	149
2.10.7.1	兼用機能	149
2.10.7.2	制御レジスタ	150
2.10.8	ポート 11 (P11)	151
2.10.8.1	兼用機能	151
2.10.8.2	制御レジスタ	152
2.10.9	ポート 12 (P12)	154
2.10.9.1	兼用機能	154
2.10.9.2	制御レジスタ	155
2.10.10	ポート 18 (P18)	157
2.10.10.1	兼用機能	157
2.10.10.2	制御レジスタ	158
2.10.11	ポート 20 (P20)	160
2.10.11.1	兼用機能	160
2.10.11.2	制御レジスタ	161
2.10.12	アナログポート 0 (AP0)	163
2.10.12.1	兼用機能	163
2.10.12.2	制御レジスタ	164
2.10.13	アナログポート 1 (AP1)	165
2.10.13.1	兼用機能	165
2.10.13.2	制御レジスタ	166
2.10.14	入力ポート 0 (IP0)	167
2.10.14.1	兼用機能	167

2.10.14.2	制御レジスタ	168
2.11	ポート (特殊 I/O) 機能概要	169
2.11.1	リセット後の特殊 I/O	169
2.11.1.1	P8_6 : RESETOUT	169
2.11.1.2	JP0_0-JP0_6 : デバッグインタフェース	171
2.11.1.3	FPDR(JP0_0), FPDT(JP0_1), FPCK(JP0_2) : フラッシュプログラマ	171
2.11.1.4	モード端子	171
2.11.1.5	IP0_0 : XT2	171
2.11.2	A/D 入力兼用 I/O	172
2.11.3	特殊 I/O 制御	174
2.11.3.1	直接 I/O 制御 (PIPC)	174
2.11.3.2	入力バッファ制御 (PISn/JPIS0、JPISA0)	175
2.11.3.3	出力バッファ制御 (PDSC)	179
2.12	ノイズフィルタ & エッジレベル検出回路	182
2.12.1	ポートフィルタの割り当て	182
2.12.1.1	アナログフィルタタイプ A 付き入力端子	182
2.12.1.2	アナログフィルタタイプ B 付き入力端子	183
2.12.1.3	アナログフィルタタイプ C 付き入力端子	184
2.12.1.4	デジタルフィルタタイプ D 付き入力端子	185
2.12.1.5	デジタルフィルタタイプ E 付き入力端子	187
2.12.2	ポートフィルタのクロック供給	191
2.13	ポートノイズフィルタ & エッジ/レベル検出機能説明	192
2.13.1	概要	192
2.13.1.1	アナログフィルタタイプ	192
2.13.1.2	デジタルフィルタタイプ	192
2.13.2	アナログフィルタ	193
2.13.2.1	アナログフィルタ特性	193
2.13.2.2	アナログフィルタ制御レジスタ	193
2.13.2.3	スタンバイモードでのアナログフィルタ	193
2.13.3	デジタルフィルタ	196
2.13.3.1	デジタルフィルタ特性	196
2.13.3.2	デジタルフィルタグループ	197
2.13.3.3	スタンバイモードのデジタルフィルタ	198
2.13.3.4	デジタルフィルタ制御レジスタ	198
2.13.4	フィルタ制御レジスタ	200
2.13.4.1	FCLA0CTLm_<name> — フィルタ制御レジスタ	201
2.13.4.2	DNFA<name>CTL — デジタルノイズ除去制御レジスタ	202
2.13.4.3	DNFA<name>EN — デジタルノイズ除去許可レジスタ	203
2.13.4.4	DNFA<name>ENH — デジタルノイズ除去許可レジスタ H	204
2.13.4.5	DNFA<name>ENL — デジタルノイズ除去許可レジスタ L	205
第 3 章	CPU システム	206
3.1	概要	206
3.1.1	ブロック構成	206
3.2	CPU	208
3.2.1	コア機能	208
3.2.1.1	特長	208
3.2.1.2	レジスタセット	209
3.2.1.3	命令	243
3.2.2	Code flash 用バッファ	244
3.2.2.1	特長	244

3.2.2.2	バッファの機能	244
3.2.2.3	バッファ制御レジスタ	245
3.2.3	信頼性機能	246
3.2.3.1	PE ガード機能 (PEG)	246
3.2.3.2	システムエラー通知制御機能 (SEG)	252
3.3	注意事項	257
3.3.1	ストア命令の完了と後続命令の同期化	257
3.3.2	コードフラッシュ書き換え後のコヒーレンシ確保	259
3.3.3	ビット操作命令でのレジスタアクセス	259
3.3.4	プリフェッチに関する注意	259
第 4 章	アドレス空間	260
4.1	アドレス空間	260
4.2	各バスマスタから見たアドレス空間	263
4.2.1	命令フェッチ可能空間	263
4.2.2	CPU によるデータアクセス可能空間	263
4.2.3	DMA によるデータアクセス可能空間	263
4.3	周辺 I/O アドレスマップ	264
第 5 章	書き込み保護レジスタ	269
5.1	概要	269
5.1.1	機能概要	269
5.1.2	書き込み保護されたレジスタへの書き込み手順	269
5.1.3	書き込み保護解除中の割り込み	270
5.1.4	書き込み保護解除中のエミュレーションブ레이크	271
5.1.5	書き込み保護対象レジスタ	272
5.2	レジスタ	275
5.2.1	レジスタ一覧	275
5.2.2	コントロール保護クラスタレジスタの詳細	277
5.2.2.1	PROTCMDn — 保護コマンドレジスタ	277
5.2.2.2	PROTSn — 保護ステータスレジスタ	278
5.2.3	クロックモニタ保護クラスタレジスタの詳細	279
5.2.3.1	CLMAnPCMD — CLMAn 保護コマンドレジスタ	279
5.2.3.2	CLMAnPS — CLMAn 保護ステータスレジスタ	280
5.2.3.3	PROTCMDCLMA — クロックモニタテスト保護コマンドレジスタ	281
5.2.3.4	PROTSCCLMA — クロックモニタテスト保護ステータスレジスタ	282
5.2.4	コア電圧モニタ保護クラスタレジスタの詳細	283
5.2.4.1	PROTCMDCVM — コア電圧モニタ保護コマンドレジスタ	283
5.2.4.2	PROTSCVM — コア電圧モニタ保護ステータスレジスタ	284
5.2.5	ポート保護クラスタレジスタの詳細	285
5.2.5.1	PPCMDn — ポート保護コマンドレジスタ	285
5.2.5.2	PPROTSn — ポート保護ステータスレジスタ	286
5.2.6	セルフプログラミング保護クラスタレジスタの詳細	287
5.2.6.1	FLMDPCMD — FLMD 保護コマンドレジスタ	287
5.2.6.2	FLMDPS — FLMD 保護エラーステータスレジスタ	288
第 6 章	動作モード	289

第7章	例外／割り込み	290
7.1	特長	290
7.2	割り込み要因	293
7.2.1	割り込み要因	293
7.2.1.1	FE レベルノンマスカブル割り込み	293
7.2.1.2	FE レベルマスカブル割り込み	294
7.2.1.3	EI レベルマスカブル割り込み	296
7.2.2	レジスター一覧	308
7.2.3	FE レベルノンマスカブル割り込み要因	308
7.2.3.1	WDTNMIF — FENMI 要因レジスタ	308
7.2.3.2	WDTNMIFC — WDTNMI 要因クリアレジスタ	309
7.2.4	FE レベルマスカブル割り込み要因	310
7.2.4.1	FEINTF — FEINT 要因レジスタ	310
7.2.4.2	FEINTFMSK — FEINT 要因マスクレジスタ	312
7.2.4.3	FEINTFC — FEINT 要因クリアレジスタ	314
7.3	エッジ／レベル検出機能	316
7.4	割り込みコントローラ制御レジスタ	317
7.4.1	レジスター一覧	317
7.4.2	ICxxx — EI レベル割り込み制御レジスタ	318
7.4.3	IMRm — EI レベル割り込みマスクレジスタ (m = 0 ~ 11)	320
7.4.4	FNC — FE レベル NMI ステータスレジスタ	321
7.4.5	FIC — FE レベルマスカブル割り込みステータスレジスタ	322
7.5	EI レベルマスカブル割り込みの選択レジスタ	323
7.5.1	レジスター一覧	323
7.5.2	SELB_INTC1 — INTC1 割り込み選択レジスタ	323
7.5.3	SELB_INTC2 — INTC2 割り込み選択レジスタ	325
7.6	割り込み機能システムレジスタ	326
7.6.1	FPIPR — FPI 例外割り込み優先度	326
7.6.2	ISPR — 受付中割り込み優先度	326
7.6.3	PMR — 割り込み優先度マスク	326
7.6.4	ICSR — 割り込み制御ステータス	326
7.6.5	INTCFG — 割り込み機能の設定	326
7.7	割り込み受け付け時の動作	327
7.7.1	SYSERR 例外発生時の例外要因コード	329
7.8	割り込みからの復帰	330
7.9	割り込み動作	331
7.9.1	EI レベルマスカブル割り込み (EIINT) の割り込みマスク機能	331
7.9.2	割り込み優先度判断	331
7.9.2.1	現在処理中の割り込み優先度との比較	332
7.9.2.2	プライオリティマスクレジスタ (PMR) によるマスク	332
7.9.2.3	要求されている割り込み要因のうち、最も高い優先度が設定されている 割り込み要因を選択	332
7.9.2.4	CPU による割り込みの保留	332
7.9.3	割り込み要求の受け付け条件と優先順位	335
7.9.4	割り込みの例外優先度と優先度マスク	335
7.9.5	割り込み優先度マスク	335
7.9.6	優先度マスク機能	336

7.9.7	例外の管理.....	336
7.10	例外ハンドラアドレス.....	336
7.10.1	直接ベクタ方式.....	337
7.10.2	テーブル参照方式.....	339
第 8 章	DMA コントローラ.....	341
8.1	RH850/F1K DMA コントローラの特長.....	341
8.1.1	チャンネル数.....	341
8.1.2	レジスタベースアドレス.....	341
8.1.3	割り込み要求.....	342
8.1.4	DMA トリガ要因.....	343
8.2	概要.....	347
8.2.1	概要.....	347
8.2.2	語句の定義.....	348
8.3	DMA 機能.....	349
8.3.1	DMA 転送基本動作.....	349
8.3.1.1	転送モード.....	349
8.3.1.2	DMA サイクルの実行.....	349
8.3.1.3	転送情報の更新.....	349
8.3.1.4	最終転送とアドレスリロード転送.....	350
8.3.1.5	転送完了割り込み出力.....	350
8.3.1.6	連続転送.....	351
8.3.2	チャンネルの優先順位.....	353
8.3.2.1	DMAC チャンネルアービトレーション.....	353
8.3.2.2	インタフェースアービトレーション.....	354
8.3.3	リロード機能.....	355
8.3.3.1	リロード機能の概要.....	355
8.3.3.2	リロード機能 1 の動作.....	355
8.3.3.3	リロード機能 2.....	356
8.3.3.4	DMAC のリロードレジスタ設定タイミング.....	358
8.3.4	チェイン機能.....	359
8.3.4.1	概要.....	359
8.3.4.2	チェイン動作の設定方法.....	360
8.3.4.3	チェイン機能使用時の注意.....	360
8.3.5	DMAC 動作.....	361
8.3.5.1	DMA 転送要求の種類と割り当て.....	361
8.3.5.2	ソフトウェア DMA 転送要求の発生と受け付け.....	361
8.3.5.3	DMA 転送の実行.....	361
8.4	一時中断・再開、転送中止および DMA 転送要求のクリア.....	362
8.4.1	ソフトウェア制御による DMA 一時中断・再開.....	362
8.4.2	DMAC チャンネルの一時中断・再開および転送中止.....	362
8.4.3	DTFR のハードウェア DMA 転送要求マスクおよびクリア.....	363
8.4.4	一時中断・再開・転送中止機能一覧.....	364
8.5	エラー制御.....	365
8.5.1	エラーの種類.....	365
8.5.2	DMA 転送エラー.....	365
8.5.2.1	DMAC の DMA 転送エラー発生時の動作.....	365

8.6	信頼性機能.....	366
8.6.1	概要.....	366
8.6.2	レジスタアクセス保護機能.....	366
8.6.2.1	アクセス元マスタの識別.....	366
8.6.2.2	マスタアクセス.....	366
8.6.2.3	チャンネル割り当て.....	367
8.6.2.4	違反アクセス.....	367
8.6.3	マスタ情報継承機能.....	368
8.6.4	その他の信頼性機能.....	368
8.6.4.1	チェーン先の制限.....	368
8.7	DMA 転送の設定手順.....	369
8.7.1	DMA 設定手順概要.....	369
8.7.2	DMA 全体動作設定手順.....	370
8.7.3	DMA チャンネル設定手順.....	370
8.7.3.1	DMAC チャンネル設定手順.....	371
8.8	グローバルレジスタ.....	372
8.8.1	グローバルレジスタアドレス一覧.....	372
8.8.2	グローバルレジスタ詳細.....	373
8.8.2.1	DMACTL — DMA 制御レジスタ.....	373
8.8.2.2	DMACER — DMAC エラーレジスタ.....	374
8.8.2.3	DM0CMV — DMAC0 レジスタアクセス保護違反レジスタ.....	375
8.8.2.4	DM1CMV — DMAC1 レジスタアクセス保護違反レジスタ.....	376
8.8.2.5	CMVC — レジスタアクセス保護違反クリアレジスタ.....	377
8.8.2.6	DMniCM — DMAC チャンネルマスタ設定 (ni = 00 ~ 07、10 ~ 17).....	378
8.9	DMAC チャンネルレジスタ.....	379
8.9.1	DMAC チャンネルレジスタアドレス.....	379
8.9.2	DMAC チャンネルレジスタ詳細.....	380
8.9.2.1	DSAm — DMAC ソースアドレスレジスタ.....	380
8.9.2.2	DDAm — DMAC ディスティネーションアドレスレジスタ.....	381
8.9.2.3	DTCm — DMAC 転送回数レジスタ.....	382
8.9.2.4	DTCTm — DMAC 転送制御レジスタ.....	383
8.9.2.5	DRSAm — DMAC リロードソースアドレスレジスタ.....	386
8.9.2.6	DRDAm — DMAC リロードディスティネーションアドレスレジスタ.....	387
8.9.2.7	DRTcM — DMAC リロード転送回数レジスタ.....	388
8.9.2.8	DCENm — DMAC チャンネル動作有効設定レジスタ.....	389
8.9.2.9	DCSTm — DMAC 転送ステータスレジスタ.....	390
8.9.2.10	DCSTSm — DMAC 転送ステータスセットレジスタ.....	392
8.9.2.11	DCSTCm — DMAC 転送ステータスクリアレジスタ.....	393
8.9.2.12	DTFRm — DTFR 設定レジスタ.....	394
8.9.2.13	DTFRRQm — DTFR 転送要求ステータスレジスタ.....	395
8.9.2.14	DTFRRQCm — DTFR 転送要求クリアレジスタ.....	396
第 9 章	リセット.....	397
9.1	概要.....	397
9.1.1	リセット要因.....	398
9.1.2	リセットコントローラの冗長性.....	399
9.1.3	リセット出力 (RESETOUT).....	400
9.1.4	リセットフラグ.....	400
9.1.5	クロック供給.....	400

9.2	構成	401
9.2.1	ブロック図	401
9.3	レジスタ	405
9.3.1	リセットコントローラレジスタ概要	405
9.3.2	リセットフラグレジスタの詳細	406
9.3.2.1	RESF — リセット要因レジスタ	406
9.3.2.2	RESFC — リセット要因クリアレジスタ	408
9.3.2.3	RESFR — リダンダントリセット要因レジスタ	409
9.3.2.4	RESFCR — リダンダントリセット要因クリアレジスタ	411
9.3.3	ソフトウェアリセット制御レジスタの詳細	412
9.3.3.1	SWRESA — ソフトウェアリセットレジスタ	412
9.3.4	Cyclic RUN モードリセットベクタアドレスレジスタの詳細	413
9.3.4.1	CYCRBASE — Cyclic RUN モード RBASE レジスタ	413
9.4	機能説明	414
9.4.1	リセットフラグ	414
9.4.2	パワーオンクリア (POC) リセット	414
9.4.3	低電圧検出回路 (LVI) リセット	418
9.4.4	コアボルテージモニタ (CVM) リセット	419
9.4.5	外部リセット (RESET)	420
9.4.6	ウォッチドッグタイマ (WDTA) リセット	421
9.4.7	ソフトウェアリセット	421
9.4.8	クロックモニタ (CLMA) リセット	422
9.4.9	デバッグリセット	422
9.4.10	CPU のリセットベクタアドレス	422
第 10 章 電源とパワードメイン		423
10.1	機能	423
10.1.1	電源端子	424
10.1.2	パワードメインのブロック図	425
10.1.3	パワードメインの配置	427
第 11 章 電源電圧モニタ		428
11.1	概要	428
11.1.1	機能概要	428
11.1.2	パワーオンクリア (POC)	429
11.1.3	低電圧検出回路 (LVI)	430
11.1.3.1	LVI 基準電圧	430
11.1.3.2	LVI リセット (LVIRE)	430
11.1.3.3	LVI 割り込み (INTLVIL / INTLVIH)	431
11.1.3.4	LVI の設定手順	432
11.1.3.5	LVI へのクロック供給	432
11.1.4	コアボルテージモニタ (CVM)	433
11.1.4.1	CVM リセット (CVMRES)	433
11.1.4.2	CVM の設定	433
11.1.4.3	診断 (DIAG) モード	433
11.1.4.4	CVM へのクロック供給	434
11.1.5	RAM 保持電圧インジケータ (超低電圧検出回路: VLVI)	435
11.1.5.1	VLVI へのクロック供給	435

11.1.5.2	Retention RAM 内容の保持	435
11.1.6	ブロック図	436
11.2	レジスタ	437
11.2.1	レジスタ一覧	437
11.2.2	低電圧検出リセット制御レジスタ	438
11.2.2.1	LVICNT — LVI 制御レジスタ	438
11.2.3	コアボルテージモニタ制御レジスタ	439
11.2.3.1	CVMF — CVM 要因レジスタ	439
11.2.3.2	CVMDE — CVM 検出許可レジスタ	440
11.2.3.3	CVMDIAG — CVM 診断モード設定レジスタ	441
11.2.4	超低電圧検出制御レジスタ	442
11.2.4.1	VLVF — 超低電圧検出レジスタ	442
11.2.4.2	VLVFC — 超低電圧検出クリアレジスタ	443
第 12 章	クロックコントローラ	444
12.1	RH850/F1K のクロックコントローラの特長	444
12.2	クロックコントローラの構成	446
12.2.1	クロック生成回路	448
12.2.2	クロック選択	449
12.2.3	クロックドメイン	450
12.2.4	クロック発振回路のリセット	450
12.3	クロック発振回路	451
12.3.1	メイン発振回路 (MainOSC)	451
12.3.2	サブ発振回路 (SubOSC)	453
12.3.3	高速内蔵発振回路 (HS IntOSC)	454
12.3.4	低速内蔵発振回路 (LS IntOSC)	456
12.3.5	PLL	456
12.3.5.1	PLL のパラメータ	458
12.4	レジスタ	459
12.4.1	レジスタ一覧	459
12.4.2	クロック発振回路のレジスタ	461
12.4.2.1	MOSCE — MainOSC イネーブルレジスタ	461
12.4.2.2	MOSCS — MainOSC ステータスレジスタ	463
12.4.2.3	MOSCC — MainOSC コントロールレジスタ	464
12.4.2.4	MOSCST — MainOSC 安定時間レジスタ	465
12.4.2.5	MOSCSTPM — MainOSC 停止マスクレジスタ	466
12.4.2.6	MOSCM — MainOSC モードコントロールレジスタ	467
12.4.2.7	SOSCE — SubOSC イネーブルレジスタ	468
12.4.2.8	SOSCS — SubOSC ステータスレジスタ	469
12.4.2.9	SOSCST — SubOSC 安定時間レジスタ	470
12.4.2.10	ROSCE — HS IntOSC イネーブルレジスタ	471
12.4.2.11	ROSCS — HS IntOSC ステータスレジスタ	472
12.4.2.12	ROSCSTPM — HS IntOSC 停止マスクレジスタ	473
12.4.2.13	PLLE — PLL イネーブルレジスタ	474
12.4.2.14	PLLS — PLL ステータスレジスタ	475
12.4.2.15	PLLC — PLL コントロールレジスタ	476
12.4.2.16	PLL 入力クロック選択	480
12.4.2.17	PPLLCLK ソースクロック選択	482
12.4.2.18	ROSCUT — HS IntOSC ユーザトリミングレジスタ	484

12.4.3	クロックセクタコントロールレジスタ	485
12.4.3.1	WDTA0 クロックドメイン C_AWO_WDTA	485
12.4.3.2	TAUJ クロックドメイン C_AWO_TAUJ	488
12.4.3.3	RTCA クロックドメイン C_AWO_RTCA	493
12.4.3.4	ADCA0 クロックドメイン C_AWO_ADCA	498
12.4.3.5	FOUT クロックドメイン C_AWO_FOUT	503
12.4.3.6	CPU クロックドメイン C_ISO_CPUCLK	506
12.4.3.7	周辺クロックドメイン C_ISO_PERI1 および C_ISO_PERI2	510
12.4.3.8	RLIN クロックドメイン C_ISO_LIN	514
12.4.3.9	ADCA1 クロックドメイン C_ISO_ADCA	519
12.4.3.10	RS-CAN クロックドメイン C_ISO_CAN と C_ISO_CANOSC	523
12.4.3.11	CSI クロックドメイン C_ISO_CSI	529
12.4.3.12	I2C クロックドメイン C_ISO_IIC	531
12.5	クロックドメインの設定方法	533
12.5.1	クロックドメインの設定	533
12.5.1.1	クロックセクタレジスタ概要	533
12.5.1.2	クロックドメインの設定手順	534
12.5.2	スタンバイモード時のクロックの停止	535
12.5.3	クロックドメイン設定	536
12.6	周波数出力機能 (FOUT)	538
12.6.1	機能概要	538
12.6.2	クロック供給	538
12.6.3	レジスタ	539
12.6.3.1	レジスタ一覧	539
12.6.3.2	FOUTDIV — クロック分周比レジスタ	540
12.6.3.3	FOUTSTAT — クロック分周ステータスレジスタ	541
第 13 章	クロックモニタ (CLMA)	542
13.1	RH850/F1K の CLMA の特長	542
13.1.1	チャンネル数	542
13.1.2	レジスタベースアドレス	542
13.1.3	クロック供給	543
13.1.4	リセット要因	543
13.1.5	内部入出力信号	543
13.2	概要	544
13.2.1	機能概要	544
13.3	CLMA の有効化	545
13.4	機能	545
13.4.1	異常クロック周波数の検出	545
13.4.2	異常クロック周波数の通知	548
13.5	レジスタ	549
13.5.1	レジスタ一覧	549
13.5.2	CLMA _n CTL0 — CLMA _n 制御レジスタ 0	550
13.5.3	CLMA _n CMPH — CLMA _n コンペアレジスタ H	551
13.5.4	CLMA _n CMPL — CLMA _n コンペアレジスタ L	552
13.5.5	CLMATEST — CLMA テストレジスタ	553
13.5.6	CLMATESTS — CLMA テストステータスレジスタ	554
13.5.7	CLMA _n EMU0 — CLMA _n エミュレーションレジスタ 0	555

13.6	CLMAn の使用上の注意事項	556
第 14 章	スタンバイコントローラ (STBC)	557
14.1	機能	557
14.1.1	スタンバイモードの種類	557
14.1.2	ウェイクアップ制御	558
14.1.2.1	各スタンバイモードのウェイクアップ要因	558
14.1.2.2	ウェイクアップ要因の設定	560
14.1.3	オンチップデバッグウェイクアップ	563
14.1.4	入出力バッファ制御	564
14.1.4.1	入出力バッファホールド状態	564
14.1.4.2	STOP モード時の入出力バッファ	564
14.1.4.3	DeepSTOP モード時の入出力バッファ	564
14.1.5	スタンバイモードの遷移	565
14.1.6	クロック供給	565
14.2	レジスタ	566
14.2.1	レジスタ一覧	566
14.2.2	スタンバイコントローラ制御レジスタの詳細	567
14.2.2.1	STBC0PSC — パワーセーブ制御レジスタ	567
14.2.2.2	STBC0STPT — パワー停止トリガレジスタ	568
14.2.2.3	WUF0/WUF20/WUF_ISO0 — ウェイクアップ要因レジスタ	569
14.2.2.4	WUFMSK0/WUFMSK20/WUFMSK_ISO0 — ウェイクアップ要因マスク レジスタ	570
14.2.2.5	WUFC0/WUFC20/WUFC_ISO0 — ウェイクアップ要因クリアレジスタ	571
14.2.2.6	IOHOLD — 入出力バッファホールド制御レジスタ	572
14.3	モード遷移	573
14.3.1	STOP モード	573
14.3.2	DeepSTOP モード	575
14.3.3	Cyclic RUN モード	578
14.3.4	Cyclic STOP モード	580
14.4	スタンバイコントローラ関連レジスタへの書き込み	581
14.5	スタンバイモード遷移中のクロック発振回路の動作	581
14.6	スタンバイモード使用時の注意事項	587
14.6.1	デバッグが使用時における DeepSTOP モード遷移の注意事項	587
第 15 章	ロウパワーサンプラ (LPS)	588
15.1	RH850/F1K LPS の特長	588
15.1.1	ユニット数	588
15.1.2	レジスタベースアドレス	589
15.1.3	クロック供給	589
15.1.4	割り込み要求	589
15.1.5	リセット要因	590
15.1.6	外部入出力信号	590
15.1.7	内部入出力信号	590
15.2	概要	591
15.2.1	機能概要	591

15.3	レジスタ	592
15.3.1	レジスタ一覧	592
15.3.2	SCTLR — LPS 制御レジスタ	593
15.3.3	EVFR — イベントフラグレジスタ	594
15.3.4	DPSELR0 — DPIN 選択レジスタ 0	595
15.3.5	DPSELRM — DPIN 選択レジスタ M	596
15.3.6	DPSELRH — DPIN 選択レジスタ H	597
15.3.7	DPDSR0 — DPIN データ設定レジスタ 0	598
15.3.8	DPDSRM — DPIN データ設定レジスタ M	599
15.3.9	DPDSRH — DPIN データ設定レジスタ H	600
15.3.10	DPDIMR0 — DPIN データ入力モニタレジスタ 0	601
15.3.11	DPDIMR1 — DPIN データ入力モニタレジスタ 1	601
15.3.12	DPDIMR2 — DPIN データ入力モニタレジスタ 2	602
15.3.13	DPDIMR3 — DPIN データ入力モニタレジスタ 3	602
15.3.14	DPDIMR4 — DPIN データ入力モニタレジスタ 4	603
15.3.15	DPDIMR5 — DPIN データ入力モニタレジスタ 5	603
15.3.16	DPDIMR6 — DPIN データ入力モニタレジスタ 6	604
15.3.17	DPDIMR7 — DPIN データ入力モニタレジスタ 7	604
15.3.18	CNTVAL — カウント値レジスタ	605
15.3.19	SOSTR — LPS 動作ステータスレジスタ	606
15.4	デジタル入力モード	607
15.4.1	デジタルポートエラー割り込み	613
15.5	アナログ入力モード	614
15.5.1	アナログポートエラー割り込み	619
第 16 章	クロック同期シリアルインタフェース G (CSIG)	620
16.1	RH850/F1K CSIG の特長	620
16.1.1	ユニット数	620
16.1.2	レジスタベースアドレス	620
16.1.3	クロック供給	620
16.1.4	割り込み要求	621
16.1.5	リセット要因	621
16.1.6	外部入出力信号	621
16.1.7	データ整合性チェック	622
16.2	概要	623
16.2.1	機能概要	623
16.2.2	機能概要説明	623
16.2.3	ブロック図	624
16.3	レジスタ	625
16.3.1	レジスタ一覧	625
16.3.2	CSIGnCTL0 — CSIGn 制御レジスタ 0	626
16.3.3	CSIGnCTL1 — CSIGn 制御レジスタ 1	627
16.3.4	CSIGnCTL2 — CSIGn 制御レジスタ 2	629
16.3.5	CSIGnSTR0 — CSIGn ステータスレジスタ 0	630
16.3.6	CSIGnSTCR0 — CSIGn ステータスクリアレジスタ 0	632

16.3.7	CSIGnBCTL0 — CSIGn 受信専用モード制御レジスタ 0	633
16.3.8	CSIGnCFG0 — CSIGn コンフィグレーションレジスタ 0	634
16.3.9	CSIGnTX0W — ワードアクセス用 CSIGn 送信レジスタ 0	636
16.3.10	CSIGnTX0H — ハーフワードアクセス用 CSIGn 送信レジスタ 0	637
16.3.11	CSIGnRX0 — CSIGn 受信レジスタ 0	637
16.3.12	CSIGnEMU — CSIGn エミュレーションレジスタ	638
16.3.13	注意事項の一覧	639
16.4	割り込み要因	640
16.4.1	割り込みの遅延	640
16.4.2	INTCSIGTIC (通信ステータス割り込み)	641
16.4.3	INTCSIGTIR (受信ステータス割り込み)	642
16.4.4	INTCSIGTIRE (通信エラー割り込み)	642
16.5	動作	643
16.5.1	マスタ/スレーブモード	643
16.5.1.1	マスタモード	643
16.5.1.2	スレーブモード	644
16.5.2	マスタ/スレーブの接続	645
16.5.2.1	マスタ 1、スレーブ 1 の場合	645
16.5.2.2	マスタ 1、スレーブ複数の場合	646
16.5.3	送信クロックの選択	647
16.5.4	データ転送モード	648
16.5.4.1	送信専用モード	648
16.5.4.2	受信専用モード	648
16.5.4.3	送受信モード	648
16.5.5	データ長の選択	649
16.5.5.1	データ長が拡張されていない場合のデータ長の選択	649
16.5.5.2	データ長が拡張されている場合のデータ長の選択	649
16.5.6	シリアルデータ方向選択機能	652
16.5.7	スレーブモードでの通信	653
16.5.8	ハンドシェイク機能	654
16.5.8.1	スレーブモード	654
16.5.8.2	マスタモード	655
16.5.9	ループバックモード	657
16.5.10	エラー検出	658
16.5.10.1	データ整合性チェック	658
16.5.10.2	パリティチェック	659
16.5.10.3	オーバランエラー	660
16.6	操作手順	662
16.6.1	DMA によるマスタモード送受信	662
第 17 章 クロック同期シリアルインタフェース H (CSIH)		664
17.1	RH850/F1K CSIH の特長	664
17.1.1	ユニット数	664
17.1.2	レジスタベースアドレス	665
17.1.3	クロック供給	665
17.1.4	割り込み要求	666
17.1.5	リセット要因	666
17.1.6	外部入出力信号	667

17.1.7	データ整合性チェック	668
17.2	概要	669
17.2.1	機能概要	669
17.2.2	機能概要説明	670
17.2.3	ブロック図	671
17.3	レジスタ	672
17.3.1	レジスタ一覧	672
17.3.2	CSIHnCTL0 — CSIHn 制御レジスタ 0	673
17.3.3	CSIHnCTL1 — CSIHn 制御レジスタ 1	674
17.3.4	CSIHnCTL2 — CSIHn 制御レジスタ 2	677
17.3.5	CSIHnSTR0 — CSIHn ステータスレジスタ 0	679
17.3.6	CSIHnSTCR0 — CSIHn ステータスクリアレジスタ 0	683
17.3.7	CSIHnMCTL0 — CSIHn メモリ制御レジスタ 0	684
17.3.8	CSIHnMCTL1 — CSIHn メモリ制御レジスタ 1	685
17.3.9	CSIHnMCTL2 — CSIHn メモリ制御レジスタ 2	686
17.3.10	CSIHnMRWP0 — CSIHn メモリ読み出し/書き込みポインタレジスタ 0	688
17.3.11	CSIHnCFGx — CSIHn コンフィグレーションレジスタ x	690
17.3.12	CSIHnTX0W — CSIHn ワードアクセス用送信データレジスタ 0	695
17.3.13	CSIHnTX0H — CSIHn ハーフワードアクセス用送信データレジスタ 0	697
17.3.14	CSIHnRX0W — CSIHn ワードアクセス用受信データレジスタ 0	698
17.3.15	CSIHnRX0H — CSIHn ハーフワードアクセス用受信データレジスタ 0	699
17.3.16	CSIHnEMU — CSIHn エミュレーションレジスタ	699
17.3.17	CSIHnBRSy — CSIHn ボーレート設定レジスタ y (y = 0 ~ 3)	700
17.3.18	注意事項の一覧	701
17.4	割り込み要因	704
17.4.1	概要	704
17.4.2	割り込み遅延	705
17.4.3	INTCSIHTIC (通信ステータス割り込み)	706
17.4.3.1	ダイレクトアクセスモードでの INTCSIHTIC	707
17.4.3.2	FIFO モードでの INTCSIHTIC	708
17.4.3.3	ジョブモードでの INTCSIHTIC	709
17.4.4	INTCSIHTIR (受信ステータス割り込み)	710
17.4.4.1	ダイレクトアクセスモードでの INTCSIHTIR	710
17.4.4.2	デュアルバッファモードでの INTCSIHTIR	711
17.4.5	INTCSIHTIRE (通信エラー割り込み)	712
17.4.6	INTCSIHTIJC (ジョブ完了割り込み)	713
17.5	動作	714
17.5.1	動作モード (マスタ/スレーブ)	714
17.5.1.1	マスタモード	714
17.5.1.2	スレーブモード	715
17.5.2	マスタ/スレーブの接続	716
17.5.2.1	マスタ 1、スレーブ 1 の場合	716
17.5.2.2	マスタ 1、スレーブ複数の場合	717
17.5.3	チップセレクト (CS) 機能	718
17.5.3.1	コンフィグレーションレジスタ	718
17.5.3.2	CS の例	720
17.5.3.3	ジョブ概念	720

17.5.4	チップセレクトのタイミングの詳細	721
17.5.4.1	クロック位相の変更	721
17.5.4.2	データ位相の変更	723
17.5.5	送信クロックの選択	724
17.5.6	CSIH のバッファメモリ	726
17.5.6.1	FIFO モード	726
17.5.6.2	デュアルバッファモード	727
17.5.6.3	送信専用バッファモード	727
17.5.6.4	ダイレクトアクセスモード	727
17.5.7	データ転送モード	728
17.5.7.1	送信専用モード	728
17.5.7.2	受信専用モード	728
17.5.7.3	送受信モード	728
17.5.7.4	まとめ	728
17.5.8	データ長の選択	729
17.5.8.1	2 ~ 16 ビットのデータ長	729
17.5.8.2	16 ビットを上回るデータ長	730
17.5.9	シリアルデータ方向選択機能	732
17.5.10	SS (スレーブセレクト) 機能	733
17.5.10.1	SS 機能を使用した通信のタイミング	733
17.5.10.2	CSIHTSSO オペレーション	734
17.5.11	ハンドシェイク機能	735
17.5.11.1	スレーブモード	735
17.5.11.2	マスタモード	738
17.5.12	エラー検出	739
17.5.12.1	データ整合性チェック	739
17.5.12.2	パリティチェック	741
17.5.12.3	タイムアウトエラー	742
17.5.12.4	オーバフローエラー	743
17.5.12.5	オーバランエラー	745
17.5.13	ループバックモード	748
17.5.14	CPU 制御による高優先通信機能	750
17.5.15	強制 CS アイドル設定	753
17.6	操作手順	754
17.6.1	ダイレクトアクセスモードでの手順	754
17.6.1.1	マスタモードでジョブモードが無効になっているときの送受信	754
17.6.1.2	マスタモードでジョブモードが有効になっているときの送受信	756
17.6.2	送信専用バッファモードでの手順	758
17.6.2.1	マスタモードでジョブモードが無効になっているときの送受信	758
17.6.2.2	マスタモードでジョブモードが有効になっているときの送受信	760
17.6.3	デュアルバッファモードでの手順	762
17.6.3.1	マスタモードでジョブモードが無効になっているときの送受信	762
17.6.3.2	マスタモードでジョブモードが有効になっているときの送受信	764
17.6.3.3	スレーブモードでジョブモードが無効になっているときの送受信	766
17.6.4	FIFO モードでの手順	768
17.6.4.1	マスタモードでジョブモードが無効になっているときの送受信	768
17.6.4.2	マスタモードでジョブモードが有効になっている送受信	770
17.7	CSIHn RAM のエラー検出/訂正	772
17.7.1	CSIHn RAM ECC	772
17.7.2	割り込み要求	772
17.7.3	レジスタベースアドレス	773
17.7.4	レジスタ一覧	773

17.7.5	ECCCSIHnCTL — CSIHn ECC コントロールレジスタ	774
17.7.6	ECCCSIHnTMC — CSIHn ECC テストモードコントロールレジスタ	776
17.7.7	ECCCSIHnTED — CSIHn ECC エンコード/デコード入出力代替テストレジスタ	778
17.7.8	ECCCSIHnTRC — CSIHn ECC 冗長ビットデータコントロールテストレジスタ	779
17.7.9	ECCCSIHnAD0 — CSIHn ECC エラーアドレスレジスタ 0	780
17.7.10	ECCCSIHnSYND — CSIHn ECC デコードシンドロームデータレジスタ	781
17.7.11	ECCCSIHnHORD — CSIHn ECC7 ビット冗長ビットデータ保持テストレジスタ	782
17.7.12	ECCCSIHnECRD — CSIHn ECC エンコードテストレジスタ	782
17.7.13	ECCCSIHnERDB — CSIHn ECC リダンダントビット入出力代替バッファレジスタ	783
17.7.14	SELB_READTEST — ECCREAD テスト選択レジスタ	784

第 18 章 LIN マスタインタフェース (RLIN2) 785

18.1	RH850/F1K RLIN2 の特長	785
18.1.1	ユニット数とチャンネル数	785
18.1.2	レジスタベースアドレス	786
18.1.3	クロック供給	786
18.1.4	割り込み要求	786
18.1.5	リセット要因	787
18.1.6	外部入出力信号	787
18.2	概要	788
18.2.1	機能概要	788
18.2.2	ブロック図	789
18.3	レジスタ	790
18.3.1	レジスタ一覧	790
18.3.2	グローバルレジスタ	791
18.3.2.1	RLN24nGLWBR — LIN ウェイクアップポーレート選択レジスタ	791
18.3.2.2	RLN24nGLBRP0 — LIN ポーレートプリスケラ 0 レジスタ	792
18.3.2.3	RLN24nGLBRP1 — LIN ポーレートプリスケラ 1 レジスタ	793
18.3.2.4	RLN24nGLSTC — LIN セルフテスト制御レジスタ	794
18.3.3	チャンネルレジスタ	795
18.3.3.1	RLN24nmLiMD — LIN モードレジスタ	795
18.3.3.2	RLN24nmLiBFC — LIN ブレークフィールド設定レジスタ	796
18.3.3.3	RLN24nmLiSC — LIN スペース設定レジスタ	797
18.3.3.4	RLN24nmLiWUP — LIN ウェイクアップ設定レジスタ	798
18.3.3.5	RLN24nmLiIE — LIN 割り込み許可レジスタ	799
18.3.3.6	RLN24nmLiEDE — LIN エラー検出許可レジスタ	800
18.3.3.7	RLN24nmLiCUC — LIN 制御レジスタ	802
18.3.3.8	RLN24nmLiTRC — LIN 送信制御レジスタ	803
18.3.3.9	RLN24nmLiMST — LIN モードステータスレジスタ	804
18.3.3.10	RLN24nmLiST — LIN ステータスレジスタ	805
18.3.3.11	RLN24nmLiEST — LIN エラーステータスレジスタ	807
18.3.3.12	RLN24nmLiDFC — LIN データフィールド設定レジスタ	809
18.3.3.13	RLN24nmLiIDB — LIN ID バッファレジスタ	811
18.3.3.14	RLN24nmLiCBR — LIN チェックサムバッファレジスタ	812
18.3.3.15	RLN24nmLiDBRb — LIN データバッファ b レジスタ	813
18.4	割り込み 要因	815
18.5	モード	816
18.6	LIN リセットモード	818
18.7	LIN 動作モード	819

18.8	LIN ウェイクアップモード	819
18.9	ヘッダ送信 / レスポンス送信 / レスポンス受信	820
18.9.1	ヘッダ送信	820
18.9.2	レスポンス送信	821
18.9.3	レスポンス受信	822
18.10	データ送信 / 受信	823
18.10.1	データ送信	823
18.10.2	データ受信	824
18.11	送信 / 受信データのバッファ処理	825
18.11.1	LIN フレームの送信	825
18.11.2	LIN フレームの受信	826
18.12	ウェイクアップ送信 / 受信	827
18.12.1	ウェイクウェイクアップ送信動作	827
18.12.2	ウェイクアップ受信動作	828
18.12.3	ウェイクアップ衝突	828
18.13	ステータス	829
18.14	エラーステータス	830
18.14.1	エラーステータスの種類	830
18.14.2	エラー検出の対象時間領域	831
18.15	LIN セルフテストモード	832
18.15.1	LIN セルフテストモードへの移行	833
18.15.2	LIN セルフテストモードにおける送信	834
18.15.3	LIN セルフテストモードにおける受信	835
18.15.4	LIN セルフテストモード終了	836
18.16	ポーレートジェネレータ	837
第 19 章	LIN/UART インタフェース (RLIN3)	838
19.1	RH850/F1K RLIN3 の特長	838
19.1.1	ユニット数とチャネル数	838
19.1.2	レジスタベースアドレス	839
19.1.3	クロック供給	839
19.1.4	割り込み要求	840
19.1.5	リセット要因	840
19.1.6	外部入出力信号	841
19.2	概要	842
19.2.1	機能概要	842
19.2.2	ブロック図	846
19.2.3	ブロック図の説明	846
19.3	レジスタ	847
19.3.1	レジスタ一覧	847
19.3.2	LIN マスタ関連レジスタ	848
19.3.2.1	RLN3nLWBR — LIN ウェイクアップポーレート選択レジスタ	848
19.3.2.2	RLN3nLBRP0 — LIN ポーレートプリスケラ 0 レジスタ	849
19.3.2.3	RLN3nLBRP1 — LIN ポーレートプリスケラ 1 レジスタ	850

19.3.2.4	RLN3nLSTC — LIN セルフテスト制御レジスタ	851
19.3.2.5	RLN3nLMD — LIN モードレジスタ	852
19.3.2.6	RLN3nLBFC — LIN ブレークフィールド設定レジスタ	854
19.3.2.7	RLN3nLSC — LIN スペース設定レジスタ	855
19.3.2.8	RLN3nLWUP — LIN ウェイクアップ設定レジスタ	856
19.3.2.9	RLN3nLIE — LIN 割り込み許可レジスタ	857
19.3.2.10	RLN3nLEDE — LIN エラー検出許可レジスタ	859
19.3.2.11	RLN3nLCUC — LIN 制御レジスタ	861
19.3.2.12	RLN3nLTRC — LIN 送信制御レジスタ	862
19.3.2.13	RLN3nLMST — LIN モードステータスレジスタ	863
19.3.2.14	RLN3nLST — LIN ステータスレジスタ	864
19.3.2.15	RLN3nLEST — LIN エラーステータスレジスタ	866
19.3.2.16	RLN3nLDFC — LIN データフィールド設定レジスタ	868
19.3.2.17	RLN3nLIDB — LIN ID バッファレジスタ	870
19.3.2.18	RLN3nLCBR — LIN チェックサムバッファレジスタ	871
19.3.2.19	RLN3nLDBRb — LIN データバッファ b レジスタ (b = 1 ~ 8)	872
19.3.3	LIN スレーブ関連レジスタ	874
19.3.3.1	RLN3nLWBR — LIN ウェイクアップボーレート選択レジスタ	874
19.3.3.2	RLN3nLBRP01 — LIN ボーレートプリスケラ 01 レジスタ	875
19.3.3.3	RLN3nLSTC — LIN セルフテスト制御レジスタ	876
19.3.3.4	RLN3nLMD — LIN モードレジスタ	877
19.3.3.5	RLN3nLBFC — LIN ブレークフィールド設定レジスタ	878
19.3.3.6	RLN3nLSC — LIN スペース設定レジスタ	879
19.3.3.7	RLN3nLWUP — LIN ウェイクアップ設定レジスタ	880
19.3.3.8	RLN3nLIE — LIN 割り込み許可レジスタ	881
19.3.3.9	RLN3nLEDE — LIN エラー検出許可レジスタ	883
19.3.3.10	RLN3nLCUC — LIN 制御レジスタ	885
19.3.3.11	RLN3nLTRC — LIN 送信制御レジスタ	886
19.3.3.12	RLN3nLMST — LIN モードステータスレジスタ	887
19.3.3.13	RLN3nLST — LIN ステータスレジスタ	888
19.3.3.14	RLN3nLEST — LIN エラーステータスレジスタ	890
19.3.3.15	RLN3nLDFC — LIN データフィールド設定レジスタ	892
19.3.3.16	RLN3nLIDB — LIN ID バッファレジスタ	894
19.3.3.17	RLN3nLCBR — LIN チェックサムバッファレジスタ	895
19.3.3.18	RLN3nLDBRb — LIN データバッファ b レジスタ (b = 1 ~ 8)	896
19.3.4	UART 関連レジスタ	897
19.3.4.1	RLN3nLWBR — LIN ウェイクアップボーレート選択レジスタ	897
19.3.4.2	RLN3nLBRP01 — UART ボーレートプリスケラ 01 レジスタ	898
19.3.4.3	RLN3nLMD — UART モードレジスタ	899
19.3.4.4	RLN3nLBFC — UART 設定レジスタ	900
19.3.4.5	RLN3nLSC — UART スペース設定レジスタ	902
19.3.4.6	RLN3nLEDE — UART エラー検出許可レジスタ	903
19.3.4.7	RLN3nLCUC — UART 制御レジスタ	904
19.3.4.8	RLN3nLTRC — UART 送信制御レジスタ	905
19.3.4.9	RLN3nLMST — UART モードステータスレジスタ	906
19.3.4.10	RLN3nLST — UART ステータスレジスタ	907
19.3.4.11	RLN3nLEST — UART エラーステータスレジスタ	909
19.3.4.12	RLN3nLDFC — UART データフィールド設定レジスタ	911
19.3.4.13	RLN3nLIDB — UART ID バッファレジスタ	912
19.3.4.14	RLN3nLUDB0 — UART データバッファ 0 レジスタ	912
19.3.4.15	RLN3nLDBRb — UART データバッファ b レジスタ (b = 1 ~ 8)	913
19.3.4.16	RLN3nLUOER — UART オペレーション許可レジスタ	914
19.3.4.17	RLN3nLUOR1 — UART オプションレジスタ 1	915
19.3.4.18	RLN3nLUTDR — UART 送信データレジスタ	917
19.3.4.19	RLN3nLURDR — UART 受信データレジスタ	918
19.3.4.20	RLN3nLUWTD — UART ウェイト用送信データレジスタ	919
19.4	割り込み要因	920

19.5	モード	921
19.6	LIN リセットモード	923
19.7	LIN モード	924
19.7.1	LIN マスタモード	927
19.7.1.1	ヘッダ送信	927
19.7.1.2	レスポンス送信	928
19.7.1.3	レスポンス受信	929
19.7.2	LIN スレーブモード	930
19.7.2.1	ヘッダ受信	930
19.7.2.2	レスポンス送信	933
19.7.2.3	レスポンス受信	934
19.7.2.4	レスポンス要求なし	935
19.7.3	データ送信／受信	936
19.7.3.1	データ送信	936
19.7.3.2	データ受信	937
19.7.4	送信／受信データのバッファ処理	938
19.7.4.1	LIN フレームの送信	938
19.7.4.2	LIN フレームの受信	939
19.7.4.3	多バイトレスポンス送受信機能	940
19.7.5	ウェイクアップ送信／受信	941
19.7.5.1	ウェイクアップ送信動作	941
19.7.5.2	ウェイクアップ受信動作	942
19.7.5.3	ウェイクアップ衝突	942
19.7.6	ステータス	943
19.7.7	エラーステータス	945
19.7.7.1	LIN マスタモード	945
19.7.7.2	LIN スレーブモード	947
19.8	UART モード	949
19.8.1	送信	949
19.8.1.1	連続送信	951
19.8.1.2	UART バッファ送信	952
19.8.1.3	データ送信	954
19.8.1.4	送信開始ウェイト機能	956
19.8.2	受信	957
19.8.2.1	データ受信	958
19.8.3	拡張ビット	959
19.8.3.1	拡張ビット送信	959
19.8.3.2	拡張ビット受信	959
19.8.3.3	拡張ビット受信（拡張ビット比較あり）	960
19.8.3.4	拡張ビット受信（データ比較あり）	961
19.8.4	ステータス	962
19.8.5	エラーステータス	963
19.9	LIN セルフテストモード	964
19.9.1	LIN セルフテストモードへの移行	966
19.9.2	LIN マスタ セルフテストモードにおける送信	967
19.9.3	LIN マスタ セルフテストモードにおける受信	968
19.9.4	LIN スレーブ セルフテストモードにおける送信	969
19.9.5	LIN スレーブ セルフテストモードにおける受信	971
19.9.6	LIN セルフテストモード終了	972

19.10	ボーレートジェネレータ	973
19.10.1	LIN マスタモード	973
19.10.2	LIN スレーブモード	974
19.10.3	UART モード	975
19.11	ノイズフィルタ	976
第 20 章	I²C バスインタフェース (RIIC)	978
20.1	RH850/F1K RIIC の特長	978
20.1.1	ユニット数とチャンネル数	978
20.1.2	レジスタベースアドレス	978
20.1.3	クロック供給	979
20.1.4	割り込み要求	979
20.1.5	リセット要因	979
20.1.6	外部入出力信号	979
20.2	概要	980
20.2.1	機能概要	980
20.2.2	ブロック図	982
20.3	レジスタ	984
20.3.1	レジスタ一覧	984
20.3.2	RIICnCR1 — I ² C バスコントロールレジスタ 1	985
20.3.3	RIICnCR2 — I ² C バスコントロールレジスタ 2	988
20.3.4	RIICnMR1 — I ² C バスモードレジスタ 1	992
20.3.5	RIICnMR2 — I ² C バスモードレジスタ 2	994
20.3.6	RIICnMR3 — I ² C バスモードレジスタ 3	996
20.3.7	RIICnFER — I ² C バスファンクションイネーブルレジスタ	999
20.3.8	RIICnSER — I ² C バスステータスイネーブルレジスタ	1001
20.3.9	RIICnIER — I ² C バスインタラプトイネーブルレジスタ	1003
20.3.10	RIICnSR1 — I ² C バスステータスレジスタ 1	1005
20.3.11	RIICnSR2 — I ² C バスステータスレジスタ 2	1008
20.3.12	RIICnSARy — I ² C スレーブアドレスレジスタ y (y = 0 ~ 2)	1013
20.3.13	RIICnBRL — I ² C バスビットレートロウレベルレジスタ	1015
20.3.14	RIICnBRH — I ² C バスビットレートハイレベルレジスタ	1016
20.3.15	RIICnDRT — I ² C バス送信データレジスタ	1019
20.3.16	RIICnDRR — I ² C バス受信データレジスタ	1020
20.3.17	RIICnDRS — I ² C バスシフトレジスタ	1021
20.4	割り込み要因	1022
20.5	動作	1023
20.5.1	通信データフォーマット	1023
20.5.2	初期設定	1024
20.5.3	マスタ送信動作	1025
20.5.4	マスタ受信動作	1029
20.5.5	スレーブ送信動作	1035
20.5.6	スレーブ受信動作	1038
20.6	SCL 同期回路	1041
20.7	SDA 出力遅延機能	1042

20.8	デジタルノイズフィルタ回路.....	1043
20.9	アドレス一致検出機能.....	1044
20.9.1	スレーブアドレス一致検出機能.....	1044
20.9.2	ジェネラルコールアドレス検出機能.....	1046
20.9.3	デバイス ID アドレス検出機能.....	1047
20.10	SCL の自動 Low ホールド機能.....	1049
20.10.1	送信データ誤送信防止機能.....	1049
20.10.2	NACK 受信転送中断機能.....	1050
20.10.3	受信データ取りこぼし防止機能.....	1051
20.11	アービトレーションロスト検出機能.....	1053
20.11.1	マスタアービトレーションロスト検出機能 (MALE ビット).....	1053
20.11.2	NACK 送信アービトレーションロスト検出機能 (NALE ビット).....	1055
20.11.3	スレーブアービトレーションロスト検出機能 (SALE ビット).....	1056
20.12	スタートコンディション、リスタートコンディション、ストップコンディション発行機能..	1057
20.12.1	スタートコンディション発行動作.....	1057
20.12.2	リスタートコンディション発行動作.....	1057
20.12.3	ストップコンディション発行動作.....	1059
20.13	バスハングアップ.....	1060
20.13.1	タイムアウト検出機能.....	1060
20.13.2	SCL クロック追加出力機能.....	1062
20.13.3	RIIC/ 内部リセット.....	1063
20.14	RIIC のリセット機能.....	1064
第 21 章	CAN インタフェース (RS-CAN).....	1066
21.1	RH850/F1K RS-CANFD の特長.....	1066
21.1.1	ユニット数とチャネル数.....	1066
21.2	RS-CANFD.....	1067
21.2.1	レジスタベースアドレス.....	1069
21.2.2	クロック供給.....	1069
21.2.3	割り込み要求.....	1071
21.2.4	リセット要因.....	1072
21.2.5	外部入出力信号.....	1072
21.3	概要.....	1073
21.3.1	機能概要.....	1073
21.3.2	インタフェースモード.....	1075
21.3.3	ブロック図.....	1076
21.4	レジスタ (クラシカル CAN モード).....	1077
21.4.1	レジスタ一覧.....	1077
21.4.2	チャネル関連レジスタの詳細.....	1081
21.4.2.1	RSCANn CmCFG — チャネルコンフィグレーションレジスタ (m = 0 ~ 5).....	1081
21.4.2.2	RSCANn CmCTR — チャネル制御レジスタ (m = 0 ~ 5).....	1083
21.4.2.3	RSCANn CmSTS — チャネルステータスレジスタ (m = 0 ~ 5).....	1088
21.4.2.4	RSCANn CmERFL — チャネルエラーフラグレジスタ (m = 0 ~ 5).....	1090
21.4.3	グローバル関連レジスタの詳細.....	1094
21.4.3.1	RSCANn GCFG — グローバルコンフィグレーションレジスタ.....	1094

21.4.3.2	RSCANnGCTR — グローバル制御レジスタ	1097
21.4.3.3	RSCANnGSTS — グローバルステータスレジスタ	1099
21.4.3.4	RSCANnGERFL — グローバルエラーフラグレジスタ	1101
21.4.3.5	RSCANnGTSC — グローバルタイムスタンプカウンタレジスタ	1103
21.4.3.6	RSCANnGTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0	1104
21.4.3.7	RSCANnGTINTSTS1 — グローバル TX 割り込みステータスレジスタ 1	1107
21.4.3.8	RSCANnGFDCFG — グローバル FD コンフィグレーションレジスタ	1109
21.4.4	受信ルール関連レジスタの詳細	1110
21.4.4.1	RSCANnGAFLECTR — 受信ルールエントリ制御レジスタ	1110
21.4.4.2	RSCANnGAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0	1111
21.4.4.3	RSCANnGAFLCFG1 — 受信ルールコンフィグレーションレジスタ 1	1113
21.4.4.4	RSCANnGAFLIDj — 受信ルール ID レジスタ (j = 0 ~ 15)	1114
21.4.4.5	RSCANnGAFLMj — 受信ルールマスクレジスタ (j = 0 ~ 15)	1116
21.4.4.6	RSCANnGAFLP0j — 受信ルールポインタ 0 レジスタ (j = 0 ~ 15)	1118
21.4.4.7	RSCANnGAFLP1j — 受信ルールポインタ 1 レジスタ (j = 0 ~ 15)	1120
21.4.5	受信バッファナンバ関連レジスタの詳細	1121
21.4.5.1	RSCANnRMNB — 受信バッファナンバレジスタ	1121
21.4.5.2	RSCANnRMNDy — 受信バッファ新データレジスタ (y = 0 ~ 2)	1122
21.4.5.3	RSCANnRMIDq — 受信バッファ ID レジスタ (q = 0 ~ 95)	1123
21.4.5.4	RSCANnRMPTRq — 受信バッファポインタレジスタ (q = 0 ~ 95)	1124
21.4.5.5	RSCANnRMDF0q — 受信バッファデータフィールド 0 レジスタ (q = 0 ~ 95)	1125
21.4.5.6	RSCANnRMDF1q — 受信バッファデータフィールド 1 レジスタ (q = 0 ~ 95)	1126
21.4.6	受信 FIFO バッファ関連レジスタの詳細	1127
21.4.6.1	RSCANnRFCCx — 受信 FIFO バッファコンフィグレーション/ 制御レジスタ (x = 0 ~ 7)	1127
21.4.6.2	RSCANnRFSTSx — 受信 FIFO バッファステータスレジスタ (x = 0 ~ 7)	1129
21.4.6.3	RSCANnRFPCTRx — 受信 FIFO バッファポインタ制御レジスタ (x = 0 ~ 7)	1131
21.4.6.4	RSCANnRFIDx — 受信 FIFO バッファアクセス ID レジスタ (x = 0 ~ 7)	1132
21.4.6.5	RSCANnRFPTRx — 受信 FIFO バッファアクセスポインタレジスタ (x = 0 ~ 7)	1133
21.4.6.6	RSCANnRFDF0x — 受信 FIFO バッファアクセスデータフィールド 0 レジスタ (x = 0 ~ 7)	1134
21.4.6.7	RSCANnRFDF1x — 受信 FIFO バッファアクセスデータフィールド 1 レジスタ (x = 0 ~ 7)	1135
21.4.7	送受信 FIFO バッファ関連レジスタの詳細	1136
21.4.7.1	RSCANnCFCCk — 送受信 FIFO バッファコンフィグレーション/ 制御レジスタ (k = 0 ~ 17)	1136
21.4.7.2	RSCANnCFSTSk — 送受信 FIFO バッファステータスレジスタ (k = 0 ~ 17) ..	1140
21.4.7.3	RSCANnCFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ (k = 0 ~ 17)	1143
21.4.7.4	RSCANnCFIDk — 送受信 FIFO バッファアクセス ID レジスタ (k = 0 ~ 17) ...	1145
21.4.7.5	RSCANnCFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ (k = 0 ~ 17)	1147
21.4.7.6	RSCANnCFDF0k — 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ (k = 0 ~ 17)	1149
21.4.7.7	RSCANnCFDF1k — 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ (k = 0 ~ 17)	1150
21.4.8	FIFO ステータス関連レジスタの詳細	1151
21.4.8.1	RSCANnFESTS — FIFO エンプティステータスレジスタ	1151
21.4.8.2	RSCANnFFSTS — FIFO フルステータスレジスタ	1153
21.4.8.3	RSCANnFMSTS — FIFO メッセージロスステータスレジスタ	1155
21.4.8.4	RSCANnRFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ ..	1157
21.4.8.5	RSCANnCFRISTS — 送受信 FIFO バッファ 受信割り込みフラグステータス レジスタ	1158
21.4.8.6	RSCANnCFISTS — 送受信 FIFO バッファ 送信割り込みフラグステータス レジスタ	1160

21.4.9	送信バッファ関連レジスタの詳細.....	1162
21.4.9.1	RSCANnTMCp — 送信バッファ制御レジスタ (p = 0 ~ 95).....	1162
21.4.9.2	RSCANnTMSTSp — 送信バッファステータスレジスタ (p = 0 ~ 95).....	1164
21.4.9.3	RSCANnTMIDp — 送信バッファ ID レジスタ (p = 0 ~ 95).....	1166
21.4.9.4	RSCANnTMPTRp — 送信バッファポインタレジスタ (p = 0 ~ 95).....	1168
21.4.9.5	RSCANnTMDf0p — 送信バッファデータフィールド 0 レジスタ (p = 0 ~ 95).....	1170
21.4.9.6	RSCANnTMDf1p — 送信バッファデータフィールド 1 レジスタ (p = 0 ~ 95).....	1171
21.4.9.7	RSCANnTMIECy — 送信バッファ割り込みイネーブルコンフィグレーション レジスタ (y = 0 ~ 2).....	1172
21.4.10	送信バッファステータス関連レジスタの詳細.....	1174
21.4.10.1	RSCANnTMTRSTSy — 送信バッファ送信要求ステータスレジスタ (y = 0 ~ 2).....	1174
21.4.10.2	RSCANnTMTARSTSy — 送信バッファ送信アボート要求ステータスレジスタ (y = 0 ~ 2).....	1176
21.4.10.3	RSCANnTMTCASTSy — 送信バッファ送信完了ステータスレジスタ (y = 0 ~ 2).....	1178
21.4.10.4	RSCANnTMTASTSy — 送信バッファ送信アボートステータスレジスタ (y = 0 ~ 2).....	1180
21.4.11	送信キュー関連レジスタの詳細.....	1182
21.4.11.1	RSCANnTXQCCm — 送信キューコンフィグレーション/制御レジスタ (m = 0 ~ 5).....	1182
21.4.11.2	RSCANnTXQSTSm — 送信キューステータスレジスタ (m = 0 ~ 5).....	1184
21.4.11.3	RSCANnTXQPCTrm — 送信キューポインタ制御レジスタ (m = 0 ~ 5).....	1186
21.4.12	送信履歴関連レジスタの詳細.....	1187
21.4.12.1	RSCANnTHLCCm — 送信履歴コンフィグレーション/制御レジスタ (m = 0 ~ 5).....	1187
21.4.12.2	RSCANnTHLSTSm — 送信履歴ステータスレジスタ (m = 0 ~ 5).....	1189
21.4.12.3	RSCANnTHLPCTrm — 送信履歴ポインタ制御レジスタ (m = 0 ~ 5).....	1191
21.4.12.4	RSCANnTHLACCm — 送信履歴アクセスレジスタ (m = 0 ~ 5).....	1192
21.4.13	テスト関連レジスタの詳細.....	1194
21.4.13.1	RSCANnGTSTCFG — グローバルテストコンフィグレーションレジスタ.....	1194
21.4.13.2	RSCANnGTSTCTR — グローバルテスト制御レジスタ.....	1196
21.4.13.3	RSCANnGLOCKK — グローバルロックキーレジスタ.....	1197
21.4.13.4	RSCANnRPGACCr — RAM テストページアクセスレジスタ (r = 0 ~ 63).....	1198
21.5	レジスタ (CAN FD モード).....	1199
21.5.1	レジスタ一覧.....	1199
21.5.2	インタフェースモード関連レジスタの詳細.....	1204
21.5.2.1	RSCFDnCFDGRMCFG — グローバルインタフェースモード選択レジスタ.....	1204
21.5.3	チャンネル関連レジスタの詳細.....	1205
21.5.3.1	RSCFDnCFDCmNCFG — チャンネル 通常ビットレート コンフィグレーションレジスタ (m = 0 ~ 5).....	1205
21.5.3.2	RSCFDnCFDCmCTR — チャンネル制御レジスタ (m = 0 ~ 5).....	1207
21.5.3.3	RSCFDnCFDCmSTS — チャンネルステータスレジスタ (m = 0 ~ 5).....	1213
21.5.3.4	RSCFDnCFDCmERFL — チャンネルエラーフラグレジスタ (m = 0 ~ 5).....	1216
21.5.3.5	RSCFDnCFDCmDCFG — チャンネルデータビットレート コンフィグレーションレジスタ (m = 0 ~ 5).....	1220
21.5.3.6	RSCFDnCFDCmFDCFG — チャンネル CAN FD コンフィグレーション レジスタ (m = 0 ~ 5).....	1223
21.5.3.7	RSCFDnCFDCmFDCTR — チャンネル CAN FD 制御レジスタ (m = 0 ~ 5).....	1227
21.5.3.8	RSCFDnCFDCmFDSTS — チャンネル CAN FD ステータスレジスタ (m = 0 ~ 5).....	1228
21.5.3.9	RSCFDnCFDCmFDCRC — チャンネル CAN FD CRC レジスタ (m = 0 ~ 5).....	1230
21.5.4	グローバル関連レジスタの詳細.....	1231
21.5.4.1	RSCFDnCFDGCFG — グローバルコンフィグレーションレジスタ.....	1231
21.5.4.2	RSCFDnCFDGCTR — グローバル制御レジスタ.....	1234

21.5.4.3	RSCFDnCFDGSTS — グローバルステータスレジスタ	1237
21.5.4.4	RSCFDnCFDGERFL — グローバルエラーフラグレジスタ	1239
21.5.4.5	RSCFDnCFDGTSC — グローバルタイムスタンプカウンタレジスタ	1242
21.5.4.6	RSCFDnCFDGTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0 ...	1243
21.5.4.7	RSCFDnCFDGTINTSTS1 — グローバル TX 割り込みステータスレジスタ 1 ...	1246
21.5.4.8	RSCFDnCFDGFDCFG — グローバル FD コンフィグレーションレジスタ	1248
21.5.5	受信ルール関連レジスタの詳細	1250
21.5.5.1	RSCFDnCFDGALECTR — 受信ルールエントリ制御レジスタ	1250
21.5.5.2	RSCFDnCFDGAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0	1251
21.5.5.3	RSCFDnCFDGAFLCFG1 — 受信ルールコンフィグレーションレジスタ 1	1253
21.5.5.4	RSCFDnCFDGAFLIDj — 受信ルール ID レジスタ (j = 0 ~ 15)	1254
21.5.5.5	RSCFDnCFDGAFLMj — 受信ルールマスクレジスタ (j = 0 ~ 15)	1256
21.5.5.6	RSCFDnCFDGAFLP0_j — 受信ルールポインタ 0 レジスタ (j = 0 ~ 15)	1258
21.5.5.7	RSCFDnCFDGAFLP1_j — 受信ルールポインタ 1 レジスタ (j = 0 ~ 15)	1260
21.5.6	受信バッファ関連レジスタの詳細	1261
21.5.6.1	RSCFDnCFDRMNB — 受信バッファナンバレジスタ	1261
21.5.6.2	RSCFDnCFDRMNDy — 受信バッファ新データレジスタ (y = 0 ~ 2)	1262
21.5.6.3	RSCFDnCFDRMIDq — 受信バッファ ID レジスタ (q = 0 ~ 95)	1263
21.5.6.4	RSCFDnCFDRMPTRq — 受信バッファポインタレジスタ (q = 0 ~ 95)	1264
21.5.6.5	RSCFDnCFDRMFDSTSq — 受信バッファ CAN FD ステータスレジスタ (q = 0 ~ 95)	1266
21.5.6.6	RSCFDnCFDRMDFb_q — 受信バッファデータフィールド b レジスタ (b = 0 ~ 4, q = 0 ~ 95)	1267
21.5.7	受信 FIFO バッファ関連レジスタの詳細	1268
21.5.7.1	RSCFDnCFDRFCCx — 受信 FIFO バッファコンフィグレーション/ 制御レジスタ (x = 0 ~ 7)	1268
21.5.7.2	RSCFDnCFDRFSTSx — 受信 FIFO バッファステータスレジスタ (x = 0 ~ 7)	1271
21.5.7.3	RSCFDnCFDRFPCTRx — 受信 FIFO バッファポインタ制御レジスタ (x = 0 ~ 7)	1273
21.5.7.4	RSCFDnCFDRFIDx — 受信 FIFO バッファアクセス ID レジスタ (x = 0 ~ 7) ..	1274
21.5.7.5	RSCFDnCFDRFPTRx — 受信 FIFO バッファアクセスポインタレジスタ (x = 0 ~ 7)	1275
21.5.7.6	RSCFDnCFDRFFDSTsx — 受信 FIFO CAN FD ステータスレジスタ (x = 0 ~ 7)	1277
21.5.7.7	RSCFDnCFDRFDFd_x — 受信 FIFO バッファアクセスデータフィールド d レジスタ (d = 0 ~ 15, x = 0 ~ 7)	1278
21.5.8	送受信 FIFO バッファ関連レジスタの詳細	1279
21.5.8.1	RSCFDnCFDCFCCk — 送受信 FIFO バッファコンフィグレーション/ 制御レジスタ (k = 0 ~ 17)	1279
21.5.8.2	RSCFDnCFDCFSTSx — 送受信 FIFO バッファステータスレジスタ (k = 0 ~ 17)	1283
21.5.8.3	RSCFDnCFDCFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ (k = 0 ~ 17)	1287
21.5.8.4	RSCFDnCFDCFIDk — 送受信 FIFO バッファアクセス ID レジスタ (k = 0 ~ 17)	1289
21.5.8.5	RSCFDnCFDCFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ (k = 0 ~ 17)	1291
21.5.8.6	RSCFDnCFDCFFDCSTSk — 送受信 FIFO CAN FD コンフィグレーション/ ステータスレジスタ (k = 0 ~ 17)	1294
21.5.8.7	RSCFDnCFDCFDFd_k — 送受信 FIFO バッファアクセスデータフィールド d レジスタ (d = 0 ~ 15, k = 0 ~ 17)	1296
21.5.9	FIFO ステータス関連レジスタの詳細	1297
21.5.9.1	RSCFDnCFDFESTS — FIFO エンプティステータスレジスタ	1297
21.5.9.2	RSCFDnCFDFFSTS — FIFO フルステータスレジスタ	1299
21.5.9.3	RSCFDnCFDFMSTS — FIFO メッセージロストステータスレジスタ	1301
21.5.9.4	RSCFDnCFDRFISTS — 受信 FIFO バッファ割り込みフラグステータス レジスタ	1303

21.5.9.5	RSCFDnCFDCFRISTS — 送受信 FIFO バッファ 受信割り込みフラグ ステータスレジスタ	1304
21.5.9.6	RSCFDnCFDCFTISTS — 送受信 FIFO バッファ 送信割り込みフラグ ステータスレジスタ	1306
21.5.10	FIFO DMA 関連レジスタの詳細	1308
21.5.10.1	RSCFDnCFDCDTCT — DMA 許可レジスタ	1308
21.5.10.2	RSCFDnCFDCDTSTS — DMA ステータスレジスタ	1310
21.5.11	送信バッファ関連レジスタの詳細	1312
21.5.11.1	RSCFDnCFDTMCp — 送信バッファ制御レジスタ (p = 0 ~ 95)	1312
21.5.11.2	RSCFDnCFDTMSTSp — 送信バッファステータスレジスタ (p = 0 ~ 95)	1314
21.5.11.3	RSCFDnCFDTMIDp — 送信バッファ ID レジスタ (p = 0 ~ 95)	1316
21.5.11.4	RSCFDnCFDTMPTRp — 送信バッファポインタレジスタ (p = 0 ~ 95)	1318
21.5.11.5	RSCFDnCFDTMFDCTRp — 送信バッファ CAN FD コンフィグレーション レジスタ (p = 0 ~ 95)	1321
21.5.11.6	RSCFDnCFDTMDFb_p — 送信バッファデータフィールド b レジスタ (b = 0 ~ 4, p = 0 ~ 95)	1323
21.5.11.7	RSCFDnCFDTMIECy — 送信バッファ割り込みイネーブル コンフィグレーションレジスタ (y = 0 ~ 2)	1324
21.5.12	送信バッファステータス関連レジスタの詳細	1326
21.5.12.1	RSCFDnCFDTMTRSTSy — 送信バッファ送信要求ステータスレジスタ (y = 0 ~ 2)	1326
21.5.12.2	RSCFDnCFDTMTARSTSy — 送信バッファ送信アボート要求ステータス レジスタ (y = 0 ~ 2)	1328
21.5.12.3	RSCFDnCFDTMTCSTSy — 送信バッファ送信完了ステータスレジスタ (y = 0 ~ 2)	1330
21.5.12.4	RSCFDnCFDTMTASTSy — 送信バッファ送信アボートステータスレジスタ (y = 0 ~ 2)	1332
21.5.13	送信キュー関連レジスタの詳細	1334
21.5.13.1	RSCFDnCFDTXQCCm — 送信キューコンフィグレーション/制御レジスタ (m = 0 ~ 5)	1334
21.5.13.2	RSCFDnCFDTXQSTSm — 送信キューステータスレジスタ (m = 0 ~ 5)	1336
21.5.13.3	RSCFDnCFDTXQPCTRm — 送信キューポインタ制御レジスタ (m = 0 ~ 5)	1338
21.5.14	送信履歴関連レジスタの詳細	1339
21.5.14.1	RSCFDnCFDTHLCCm — 送信履歴コンフィグレーション/制御レジスタ (m = 0 ~ 5)	1339
21.5.14.2	RSCFDnCFDTHLSTSm — 送信履歴ステータスレジスタ (m = 0 ~ 5)	1341
21.5.14.3	RSCFDnCFDTHLPCTRm — 送信履歴ポインタ制御レジスタ (m = 0 ~ 5)	1343
21.5.14.4	RSCFDnCFDTHLACCm — 送信履歴アクセスレジスタ (m = 0 ~ 5)	1344
21.5.15	テスト関連レジスタの詳細	1345
21.5.15.1	RSCFDnCFDGTSTCFG — グローバルテストコンフィグレーション レジスタ	1345
21.5.15.2	RSCFDnCFDGTSTCTR — グローバルテスト制御レジスタ	1347
21.5.15.3	RSCFDnCFDGLOCKK — グローバルロックキーレジスタ	1348
21.5.15.4	RSCFDnCFDRPGACCr — RAM テストページアクセスレジスタ (r = 0 ~ 63)	1349
21.6	割り込み要因と DMA トリガ	1350
21.6.1	割り込み要因	1350
21.6.2	DMA トリガ (CAN FD モードのみ)	1354
21.7	CAN モード	1355
21.7.1	グローバルモード	1355
21.7.1.1	グローバルストップモード	1356
21.7.1.2	グローバルリセットモード	1357
21.7.1.3	グローバルテストモード	1357
21.7.1.4	グローバル動作モード	1357
21.7.2	チャンネルモード	1358
21.7.2.1	チャンネルストップモード	1359

21.7.2.2	チャンネルリセットモード.....	1359
21.7.2.3	チャンネル待機モード.....	1360
21.7.2.4	チャンネル通信モード.....	1360
21.7.2.5	バスオフ状態.....	1361
21.7.3	CAN モード遷移によるレジスタ初期化.....	1362
21.8	受信機能.....	1364
21.8.1	受信ルールテーブルを用いたデータ処理.....	1364
21.8.1.1	アクセプタンスフィルタ処理.....	1365
21.8.1.2	DLC フィルタ処理.....	1366
21.8.1.3	ルーティング処理.....	1366
21.8.1.4	ラベル付加処理.....	1366
21.8.1.5	ミラー機能の処理.....	1366
21.8.1.6	タイムスタンプ.....	1367
21.9	送信機能.....	1368
21.9.1	送信の優先順位判定.....	1369
21.9.2	送信バッファを用いた送信.....	1370
21.9.2.1	送信アポート機能.....	1370
21.9.2.2	ワンショット送信機能（再送信禁止機能）.....	1370
21.9.2.3	送信バッファマージモード（CAN FD モードのみ）.....	1370
21.9.3	FIFO バッファによる送信.....	1371
21.9.3.1	インターバル送信機能.....	1371
21.9.4	送信キューによる送信.....	1374
21.9.5	送信データパディング（CAN FD モードのみ）.....	1374
21.9.6	送信履歴機能.....	1375
21.10	テスト機能.....	1377
21.10.1	標準テストモード.....	1377
21.10.2	リッスンオンリモード.....	1377
21.10.3	セルフテストモード（ループバックモード）.....	1378
21.10.3.1	セルフテストモード 0（外部ループバックモード）.....	1378
21.10.3.2	セルフテストモード 1（内部ループバックモード）.....	1379
21.10.4	制限動作モード（CAN FD モードのみ）.....	1379
21.10.5	RAM テスト.....	1379
21.10.6	チャンネル間通信テスト.....	1380
21.10.6.1	CRC エラーテスト.....	1381
21.11	RS-CANFD の設定手順.....	1382
21.11.1	初期設定.....	1382
21.11.1.1	クロックの設定.....	1383
21.11.1.2	ビットタイミングの設定.....	1383
21.11.1.3	通信速度の設定.....	1385
21.11.1.4	受信ルールの設定.....	1387
21.11.1.5	バッファの設定.....	1388
21.11.1.6	送信遅延補正（CAN FD モードのみ）.....	1391
21.11.2	受信手順.....	1392
21.11.2.1	受信バッファの読み出し手順.....	1392
21.11.2.2	FIFO バッファの読み出し手順.....	1394
21.11.2.3	FIFO バッファの DMA 転送による読み出し手順.....	1398
21.11.3	送信手順.....	1399
21.11.3.1	送信バッファからの送信手順.....	1399
21.11.3.2	送受信 FIFO バッファからの送信手順.....	1404
21.11.3.3	送信キューからの送信手順.....	1407
21.11.3.4	送信履歴バッファの読み出し手順.....	1408

21.11.4	テスト設定	1409
21.11.4.1	セルフテストモードの設定手順	1409
21.11.4.2	プロテクト解除手順	1410
21.11.4.3	RAM テストの設定手順	1411
21.11.4.4	チャンネル間通信テストの設定手順	1412
21.12	RS-CAN0 RAM のエラー検出／訂正	1413
21.12.1	RSCAN0 RAM ECC	1413
21.12.2	割り込み要求	1413
21.12.3	ECC レジスタ一覧	1414
21.12.4	ECCRCAN0CTL_PHY1/ECCRCANFD0CTL_PHY2 — RSCANn ECC コントロールレジスタ	1415
21.12.5	ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2 — RSCANn ECC テストモードコントロールレジスタ	1417
21.12.6	ECCRCAN0TED_PHY1/ECCRCANFD0TED_PHY2 — RSCAN0 ECC エンコード／デコード入出力代替テストレジスタ	1419
21.12.7	ECCRCAN0TRC_PHY1/ECCRCANFD0TRC_PHY2 — RSCAN0 ECC 冗長ビットデータコントロールテストレジスタ	1420
21.12.8	ECCRCAN0AD0_PHY1/ECCRCANFD0AD0_PHY2 — RSCAN0 ECC エラーアドレスレジスタ 0	1421
21.12.9	ECCRCAN0SYND_PHY1/ECCRCANFD0SYND_PHY2 — RSCAN0 ECC デコードシンドロームデータレジスタ	1422
21.12.10	ECCRCAN0HORD_PHY1/ECCRCANFD0HORD_PHY2 — RSCAN0 ECC 7 ビット冗長ビットデータ保持テストレジスタ	1423
21.12.11	ECCRCAN0ECDR_PHY1/ECCRCANFD0ECDR_PHY2 — RSCAN0 ECC エンコードテストレジスタ	1424
21.12.12	ECCRCAN0ERDB_PHY1/ECCRCANFD0ERDB_PHY2 — RSCAN0 ECC 冗長ビット入出力代替レジスタ	1425
21.12.13	SELB_READTEST — ECCREAD テスト選択レジスタ	1425
21.13	RS-CANFD モジュールの注意事項	1426
21.14	RS-CAN	1428
21.14.1	レジスタベースアドレス	1429
21.14.2	クロック供給	1429
21.14.3	割り込み要求	1430
21.14.4	リセット要因	1430
21.14.5	外部入出力信号	1430
21.15	概要	1431
21.15.1	機能概要	1431
21.15.2	ブロック図	1433
21.16	レジスタ	1434
21.16.1	レジスタ一覧	1434
21.16.2	RSCAN1CmCFG — チャンネルコンフィグレーションレジスタ (m = 6)	1446
21.16.3	RSCAN1CmCTR — チャンネル制御レジスタ (m = 6)	1448
21.16.4	RSCAN1CmSTS — チャンネルステータスレジスタ (m = 6)	1452
21.16.5	RSCAN1CmERFL — チャンネルエラーフラグレジスタ (m = 6)	1455
21.16.6	RSCAN1GCFG — グローバルコンフィグレーションレジスタ	1459
21.16.7	RSCAN1GCTR — グローバル制御レジスタ	1462
21.16.8	RSCAN1GSTS — グローバルステータスレジスタ	1464
21.16.9	RSCAN1GERFL — グローバルエラーフラグレジスタ	1466

21.16.10	RSCAN1GTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0	1468
21.16.11	RSCAN1GTSC — グローバルタイムスタンプカウンタレジスタ	1470
21.16.12	RSCAN1GAFLECTR — 受信ルールエントリ制御レジスタ	1471
21.16.13	RSCAN1GAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0	1472
21.16.14	RSCAN1GAFLIDj — 受信ルール ID レジスタ (j = 0 ~ 15)	1473
21.16.15	RSCAN1GAFLMj — 受信ルールマスクレジスタ (j = 0 ~ 15)	1475
21.16.16	RSCAN1GAFLP0j — 受信ルールポインタ 0 レジスタ (j = 0 ~ 15)	1476
21.16.17	RSCAN1GAFLP1j — 受信ルールポインタ 1 レジスタ (j = 0 ~ 15)	1478
21.16.18	RSCAN1RMNB — 受信バッファナンバレジスタ	1479
21.16.19	RSCAN1RMNDy — 受信バッファ新データレジスタ (y = 0)	1480
21.16.20	RSCAN1RMIDq — 受信バッファ ID レジスタ (q = 0 ~ 15)	1481
21.16.21	RSCAN1RMPTRq — 受信バッファポインタレジスタ (q = 0 ~ 15)	1482
21.16.22	RSCAN1RMDf0q — 受信バッファデータフィールド 0 レジスタ (q = 0 ~ 15)	1483
21.16.23	RSCAN1RMDf1q — 受信バッファデータフィールド 1 レジスタ (q = 0 ~ 15)	1484
21.16.24	RSCAN1RFCCx — 受信 FIFO バッファコンフィグレーション/制御レジスタ (x = 0 ~ 7)	1485
21.16.25	RSCAN1RFSTsx — 受信 FIFO バッファステータスレジスタ (x = 0 ~ 7)	1487
21.16.26	RSCAN1RFPCTRx — 受信 FIFO バッファポインタ制御レジスタ (x = 0 ~ 7)	1489
21.16.27	RSCAN1RFIDx — 受信 FIFO バッファアクセス ID レジスタ (x = 0 ~ 7)	1490
21.16.28	RSCAN1RFPTRx — 受信 FIFO バッファアクセスポインタレジスタ (x = 0 ~ 7)	1491
21.16.29	RSCAN1RFDF0x — 受信 FIFO バッファアクセスデータフィールド 0 レジスタ (x = 0 ~ 7)	1492
21.16.30	RSCAN1RFDF1x — 受信 FIFO バッファアクセスデータフィールド 1 レジスタ (x = 0 ~ 7)	1493
21.16.31	RSCAN1CFCCk — 送受信 FIFO バッファコンフィグレーション/制御レジスタ (k = 0 ~ 2)	1494
21.16.32	RSCAN1CFSTSk — 送受信 FIFO バッファステータスレジスタ (k = 0 ~ 2)	1498
21.16.33	RSCAN1CFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ (k = 0 ~ 2)	1501
21.16.34	RSCAN1CFIDk — 送受信 FIFO バッファアクセス ID レジスタ (k = 0 ~ 2)	1503
21.16.35	RSCAN1CFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ (k = 0 ~ 2)	1505
21.16.36	RSCAN1CFDF0k — 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ (k = 0 ~ 2)	1507
21.16.37	RSCAN1CFDF1k — 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ (k = 0 ~ 2)	1508
21.16.38	RSCAN1FESTS — FIFO エンプティステータスレジスタ	1509
21.16.39	RSCAN1FFSTS — FIFO フルステータスレジスタ	1510
21.16.40	RSCAN1FMSTS — FIFO メッセージロスステータスレジスタ	1511
21.16.41	RSCAN1RFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ	1512
21.16.42	RSCAN1CFRISTS — 送受信 FIFO バッファ 受信割り込みフラグステータス レジスタ	1513
21.16.43	RSCAN1CFTISTS — 送受信 FIFO バッファ 送信割り込みフラグステータス レジスタ	1514
21.16.44	RSCAN1TMCp — 送信バッファ制御レジスタ (p = 0 ~ i × 16 + 15)	1515
21.16.45	RSCAN1TMSTSp — 送信バッファステータスレジスタ (p = 0 ~ 15)	1517
21.16.46	RSCAN1TMTRSTSy — 送信バッファ送信要求ステータスレジスタ (y = 0)	1519
21.16.47	RSCAN1TMTARSTSy — 送信バッファ送信アポート要求ステータスレジスタ (y = 0)	1520
21.16.48	RSCAN1TMTCASTSy — 送信バッファ送信完了ステータスレジスタ (y = 0)	1521

21.16.49	RSCAN1TMTASTSy	— 送信バッファ送信アポートステータスレジスタ (y = 0)	1522
21.16.50	RSCAN1TMIECy	— 送信バッファ割り込みイネーブルコンフィグレーション レジスタ (y = 0)	1523
21.16.51	RSCAN1TMIDp	— 送信バッファ ID レジスタ (p = 0 ~ 15)	1524
21.16.52	RSCAN1TMPTRp	— 送信バッファポインタレジスタ (p = 0 ~ 15)	1526
21.16.53	RSCAN1TMDf0p	— 送信バッファデータフィールド 0 レジスタ (p = 0 ~ 15)	1528
21.16.54	RSCAN1TMDf1p	— 送信バッファデータフィールド 1 レジスタ (p = 0 ~ 15)	1529
21.16.55	RSCAN1TXQCCm	— 送信キューコンフィグレーション/制御レジスタ (m = 6)	1530
21.16.56	RSCAN1TXQSTSm	— 送信キューステータスレジスタ (m = 6)	1532
21.16.57	RSCAN1TXQPCTrm	— 送信キューポインタ制御レジスタ (m = 6)	1534
21.16.58	RSCAN1THLCCm	— 送信履歴コンフィグレーション/制御レジスタ (m = 6)	1535
21.16.59	RSCAN1THLSTSm	— 送信履歴ステータスレジスタ (m = 6)	1537
21.16.60	RSCAN1THLACCm	— 送信履歴アクセスレジスタ (m = 6)	1539
21.16.61	RSCAN1THLPCTrm	— 送信履歴ポインタ制御レジスタ (m = 6)	1540
21.16.62	RSCAN1GTSTCFG	— グローバルテストコンフィグレーションレジスタ	1541
21.16.63	RSCAN1GTSTCTR	— グローバルテスト制御レジスタ	1542
21.16.64	RSCAN1GLOCKK	— グローバルロックキーレジスタ	1543
21.16.65	RSCAN1RPGACCr	— RAM テストページアクセスレジスタ (r = 0 ~ 63)	1544
21.17	割り込み要因		1545
21.18	CAN モード		1548
21.18.1	グローバルモード		1548
21.18.1.1	グローバルストップモード		1549
21.18.1.2	グローバルリセットモード		1549
21.18.1.3	グローバルテストモード		1550
21.18.1.4	グローバル動作モード		1550
21.18.2	チャンネルモード		1551
21.18.2.1	チャンネルストップモード		1552
21.18.2.2	チャンネルリセットモード		1552
21.18.2.3	チャンネル待機モード		1552
21.18.2.4	チャンネル通信モード		1553
21.18.2.5	バスオフ状態		1553
21.19	受信機能		1557
21.19.1	受信ルールテーブルを用いたデータ処理		1557
21.19.1.1	アクセプタンスフィルタ処理		1558
21.19.1.2	DLC フィルタ処理		1558
21.19.1.3	ルーティング処理		1559
21.19.1.4	ラベル付加処理		1559
21.19.1.5	ミラー機能の処理		1559
21.19.1.6	タイムスタンプ		1559
21.20	送信機能		1561
21.20.1	送信の優先順位判定		1562
21.20.2	送信バッファを用いた送信		1562
21.20.2.1	送信アポート機能		1562
21.20.2.2	ワンショット送信機能 (再送信禁止機能)		1562
21.20.3	FIFO バッファによる送信		1563
21.20.3.1	インターバル送信機能		1563
21.20.4	送信キューによる送信		1565
21.20.5	送信履歴機能		1566
21.21	テスト機能		1567

21.21.1	標準テストモード	1567
21.21.2	リッスンオンリモード	1567
21.21.3	セルフテストモード (ループバックモード)	1568
21.21.3.1	セルフテストモード 0 (外部ループバックモード)	1568
21.21.3.2	セルフテストモード 1 (内部ループバックモード)	1568
21.21.4	RAM テスト	1569
21.22	RS-CAN の設定手順	1570
21.22.1	初期設定	1570
21.22.1.1	クロックの設定	1572
21.22.1.2	ビットタイミングの設定	1572
21.22.1.3	通信速度の設定	1573
21.22.1.4	受信ルールの設定	1574
21.22.1.5	バッファの設定	1575
21.22.2	受信手順	1577
21.22.2.1	受信バッファの読み出し手順	1577
21.22.2.2	FIFO バッファの読み出し手順	1579
21.22.3	送信手順	1582
21.22.3.1	送信バッファからの送信手順	1582
21.22.3.2	送受信 FIFO バッファからの送信手順	1586
21.22.3.3	送信キューからの送信手順	1589
21.22.3.4	送信履歴バッファの読み出し手順	1590
21.22.4	テスト設定	1591
21.22.4.1	セルフテストモードの設定手順	1591
21.22.4.2	プロテクト解除手順	1592
21.22.4.3	RAM テストの設定手順	1593
21.23	RS-CAN RAM のエラー検出/訂正	1594
21.23.1	RSCAN1 RAM ECC	1594
21.23.2	割り込み要求	1594
21.23.3	レジスタ一覧	1595
21.23.4	ECCRCANnCTL — RSCAN1 ECC コントロールレジスタ	1596
21.23.5	ECCRCANnTMC — RSCAN1 ECC テストモードコントロールレジスタ	1598
21.23.6	ECCRCANnTED — RSCAN1 ECC エンコード/デコード入出力代替テスト レジスタ	1600
21.23.7	ECCRCANnTRC — RSCAN1 ECC 冗長ビットデータコントロールテストレジスタ	1601
21.23.8	ECCRCANnSYND — RSCAN1 ECC デコードシンドロームデータレジスタ	1602
21.23.9	ECCRCANnHORD — RSCAN1 ECC7 ビット冗長ビットデータ保持テストレジスタ	1603
21.23.10	ECCRCANnECRD — RSCAN1 ECC エンコードテストレジスタ	1603
21.23.11	ECCRCANnERDB — RSCAN1 ECC 冗長ビット入出力代替バッファレジスタ	1604
21.23.12	ECCRCAN1AD0 — RSCAN1 ECC エラーアドレスレジスタ 0	1605
21.23.13	SELB_READTEST — ECCREAD テスト選択レジスタ	1605
21.24	RS-CAN モジュールの注意事項	1606
第 22 章 ウィンドウウォッチドッグタイマ (WDTA)		1607
22.1	RH850/F1K WDTA の特長	1607
22.1.1	ユニット数とチャネル数	1607
22.1.2	レジスタベースアドレス	1607
22.1.3	クロック供給	1608
22.1.4	割り込み要求	1608
22.1.5	リセット要因	1608

22.2	概要	1609
22.2.1	機能概要	1609
22.2.2	ブロック図	1610
22.3	レジスタ	1611
22.3.1	レジスター一覧	1611
22.3.2	WDTAnWDTE — WDTA イネーブルレジスタ	1612
22.3.3	WDTAnEVAC — WDTA イネーブル VAC レジスタ	1614
22.3.4	WDTAnREF — WDTA 基準値レジスタ	1615
22.3.5	WDTAnMD — WDTA モードレジスタ	1616
22.4	割り込み要因	1618
22.5	機能	1619
22.5.1	リセット解除後の WDTA	1619
22.5.1.1	スタートモード	1619
22.5.1.2	リセット解除後の WDTA の設定	1619
22.5.1.3	デフォルトスタートモードのタイミング	1620
22.5.1.4	ソフトウェアトリガスタートモードのタイミング	1621
22.5.2	WDTA トリガ	1622
22.5.2.1	VAC 機能使用時の起動コードの計算	1622
22.5.3	WDTA エラー検出	1623
22.5.3.1	WDTA エラーモード	1623
22.5.4	75%割り込み要求信号	1625
22.5.5	ウインドウ機能	1626
第 23 章	OS タイマ (OSTM)	1627
23.1	RH850/F1K OSTM の特長	1627
23.1.1	ユニット数	1627
23.1.2	レジスタベースアドレス	1627
23.1.3	クロック供給	1628
23.1.4	割り込み要求	1628
23.1.5	リセット要因	1628
23.2	概要	1629
23.2.1	機能概要	1629
23.2.2	ブロック図	1629
23.2.3	カウントクロック	1629
23.2.4	割り込み要求 (OSTMTINT)	1630
23.3	レジスタ	1631
23.3.1	レジスター一覧	1631
23.3.2	OSTMnCMP — OSTMn コンペアレジスタ	1632
23.3.3	OSTMnCNT — OSTMn カウンタレジスタ	1633
23.3.4	OSTMnTE — OSTMn カウントイネーブルステータスレジスタ	1634
23.3.5	OSTMnTS — OSTMn カウント開始トリガレジスタ	1635
23.3.6	OSTMnTT — OSTMn カウント停止トリガレジスタ	1635
23.3.7	OSTMnCTL — OSTMn 制御レジスタ	1636
23.3.8	OSTMnEMU — OSTMn エミュレーションレジスタ	1637
23.4	動作	1638
23.4.1	OSTM の起動と停止	1638

23.4.2	インターバルタイマモード	1638
23.4.2.1	インターバルタイマモードの基本動作	1638
23.4.2.2	OSTMnCMP = 0000 0000 _H の場合の動作	1641
23.4.2.3	インターバルタイマモードの設定手順	1641
23.4.3	フリーランニングコンペアモード	1642
23.4.3.1	フリーランニングコンペアモードの基本動作	1642
23.4.3.2	OSTMnCMP = 0000 0000 _H の場合の動作	1643
23.4.3.3	フリーランニングコンペアモードの設定手順	1644
第 24 章	タイマアレイユニット B (TAUB)	1645
24.1	RH850/F1K TAUB の特長	1645
24.1.1	ユニット数とチャネル数	1645
24.1.2	レジスタベースアドレス	1645
24.1.3	クロック供給	1646
24.1.4	割り込み要求	1646
24.1.5	リセット要因	1647
24.1.6	外部入出力信号	1647
24.2	概要	1649
24.2.1	機能概要	1649
24.2.2	用語	1650
24.2.3	タイマ動作機能一覧	1651
24.2.4	入出力と割り込み要求信号	1652
24.2.5	ブロック図	1653
24.2.6	ブロック図の説明	1654
24.3	レジスタ	1655
24.3.1	レジスタ一覧	1655
24.3.2	TAUBn プリスケアラレジスタの詳細	1656
24.3.2.1	TAUBnTPS — TAUBn プリスケアラクロック選択レジスタ	1656
24.3.3	TAUBn 制御レジスタの詳細	1659
24.3.3.1	TAUBnCDRm — TAUBn チャネルデータレジスタ	1659
24.3.3.2	TAUBnCNTm — TAUBn チャネルカウンタレジスタ	1660
24.3.3.3	TAUBnCMORm — TAUBn チャネルモード OS レジスタ	1661
24.3.3.4	TAUBnCMURm — TAUBn チャネルモードユーザレジスタ	1664
24.3.3.5	TAUBnCSRm — TAUBn チャネルステータスレジスタ	1665
24.3.3.6	TAUBnCSCm — TAUBn チャネルステータスクリアレジスタ	1666
24.3.3.7	TAUBnTS — TAUBn チャネルスタートトリガレジスタ	1667
24.3.3.8	TAUBnTE — TAUBn チャネル許可ステータスレジスタ	1667
24.3.3.9	TAUBnTT — TAUBn チャネルストップトリガレジスタ	1668
24.3.4	TAUBn 一斉書き換えレジスタの詳細	1669
24.3.4.1	TAUBnRDE — TAUBn チャネルリロードデータ許可レジスタ	1669
24.3.4.2	TAUBnRDS — TAUBn チャネルリロードデータ制御チャネル選択レジスタ	1669
24.3.4.3	TAUBnRDM — TAUBn チャネルリロードデータモードレジスタ	1670
24.3.4.4	TAUBnRDC — TAUBn チャネルリロードデータ制御レジスタ	1670
24.3.4.5	TAUBnRDT — TAUBn チャネルリロードデータトリガレジスタ	1671
24.3.4.6	TAUBnRSF — TAUBn チャネルリロードステータスレジスタ	1671
24.3.5	TAUBn 出力レジスタの詳細	1672
24.3.5.1	TAUBnTOE — TAUBn チャネル出力許可レジスタ	1672
24.3.5.2	TAUBnTO — TAUBn チャネル出力レジスタ	1672
24.3.5.3	TAUBnTOM — TAUBn チャネル出力モードレジスタ	1673
24.3.5.4	TAUBnTOC — TAUBn チャネル出力コンフィグレーションレジスタ	1674
24.3.5.5	TAUBnTOL — TAUBn チャネル出力アクティブレベルレジスタ	1674

24.3.6	TAUBn のデッドタイム出力レジスタの詳細	1675
24.3.6.1	TAUBnTDE — TAUBn チャンネルデッドタイム出力許可レジスタ	1675
24.3.6.2	TAUBnTDL — TAUBn チャンネルデッドタイム出力レベルレジスタ	1675
24.3.7	TAUBn エミュレーションレジスタ	1676
24.3.7.1	TAUBnEMU — TAUBn エミュレーションレジスタ	1676
24.4	操作手順	1677
24.5	チャンネル連動動作機能の概念	1678
24.5.1	チャンネル連動動作機能のルール	1678
24.5.2	連動チャンネルカウンタの同時動作開始／停止	1680
24.5.2.1	ユニット内の連動チャンネルカウンタの同時動作開始／停止	1680
24.6	一斉書き換え	1681
24.6.1	動作概要	1681
24.6.2	一斉書き換への制御方法	1682
24.6.2.1	初期設定	1683
24.6.2.2	カウント開始とカウント動作	1683
24.6.2.3	一斉書き換え	1683
24.6.3	一斉書き換へのその他の基本ルール	1684
24.6.4	一斉書き換の種類	1685
24.6.4.1	マスタチャンネルがカウントを再開／開始した場合の一斉書き換え（方法 A）	1685
24.6.4.2	スレーブチャンネルの三角波の [山] のタイミングで一斉書き換え（方法 B）	1687
24.6.4.3	TAUBnRDC.TAUBnRDCm で指定した上位チャンネルにて INTTAUBnIm が発生した場合の一斉書き換え（方法 C1）	1688
24.7	チャンネル出力モード	1690
24.7.1	チャンネル出力モードを指定するための基本手順	1692
24.7.2	TAUBn 信号により単体制御されるチャンネル出力モード	1693
24.7.2.1	チャンネル単体出力モード 1	1693
24.7.2.2	チャンネル単体出力モード 2	1693
24.7.3	TAUBn 信号により連動制御されるチャンネル出力モード	1693
24.7.3.1	チャンネル連動出力モード 1	1693
24.7.3.2	チャンネル連動出力モード 2	1694
24.7.3.3	デッドタイム出力を行うチャンネル連動出力モード 2	1694
24.8	各動作モードでのカウント開始タイミング	1696
24.8.1	インターバルタイマモード、ジャッジモード、キャプチャモード、アップ／ダウンカウントモード、カウントキャプチャモード	1696
24.8.2	イベントカウントモード	1697
24.8.3	その他の動作モード	1697
24.9	カウント開始／リスタート時の TAUBTTOUTm 出力と INTTAUBnIm 生成	1698
24.10	オーバフロー時の割り込み発生	1699
24.10.1	TAUBTTINm 入力パルスインターバル測定機能と TAUBTTINm 入力インターバルタイマ機能の組み合わせ例	1700
24.10.2	TAUBTTINm 入力信号幅測定機能とオーバフロー割り込み出力機能（TAUBTTINm 幅測定時）の組み合わせ例	1701
24.10.3	TAUBTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ例	1702
24.10.4	TAUBTTINm 入力期間カウント検出機能とオーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時）の組み合わせ例	1703
24.11	TAUBTTINm エッジ検出	1704
24.12	チャンネル単体動作機能	1705
24.12.1	インターバルタイマ機能	1705
24.12.1.1	概要	1705

24.12.1.2	算出式.....	1705
24.12.1.3	ブロック図と基本タイミング図.....	1706
24.12.1.4	レジスタ設定.....	1707
24.12.1.5	インターバルタイマ機能の操作手順.....	1709
24.12.1.6	特定の設定時のタイミング図.....	1710
24.12.2	TAUBTTINm 入カインターバルタイマ機能.....	1715
24.12.2.1	概要.....	1715
24.12.2.2	ブロック図と基本タイミング図.....	1716
24.12.2.3	レジスタ設定.....	1717
24.12.2.4	TAUBTTINm 入カインターバルタイマ機能の操作手順.....	1718
24.12.2.5	特定の設定時のタイミング図.....	1719
24.12.3	クロック分周機能.....	1720
24.12.3.1	概要.....	1720
24.12.3.2	ブロック図と基本タイミング図.....	1721
24.12.3.3	レジスタ設定.....	1722
24.12.3.4	クロック分周機能の操作手順.....	1723
24.12.3.5	特定の設定時のタイミング図.....	1724
24.12.4	外部イベントカウント機能.....	1726
24.12.4.1	概要.....	1726
24.12.4.2	算出式.....	1726
24.12.4.3	ブロック図と基本タイミング図.....	1727
24.12.4.4	レジスタ設定.....	1728
24.12.4.5	外部イベントカウント機能の操作手順.....	1729
24.12.4.6	特定の設定時のタイミング図.....	1730
24.12.5	ワンパルス出力機能.....	1732
24.12.5.1	概要.....	1732
24.12.5.2	算出式.....	1733
24.12.5.3	ブロック図と基本タイミング図.....	1733
24.12.5.4	レジスタ設定.....	1734
24.12.5.5	ワンパルス出力機能の操作手順.....	1735
24.12.6	TAUBTTINm 入カパルスインターバル測定機能.....	1736
24.12.6.1	概要.....	1736
24.12.6.2	算出式.....	1737
24.12.6.3	ブロック図と基本タイミング図.....	1738
24.12.6.4	レジスタ設定.....	1739
24.12.6.5	TAUBTTINm 入カパルスインターバル測定機能の操作手順.....	1740
24.12.6.6	特定の設定時のタイミング図：オーバフロー動作.....	1741
24.12.7	TAUBTTINm 入力信号幅測定機能.....	1747
24.12.7.1	概要.....	1747
24.12.7.2	算出式.....	1748
24.12.7.3	ブロック図と基本タイミング図.....	1748
24.12.7.4	レジスタ設定.....	1749
24.12.7.5	TAUBTTINm 入力信号幅測定機能の操作手順.....	1750
24.12.7.6	特定の設定時のタイミング図：オーバフロー動作.....	1751
24.12.8	TAUBTTINm 入力位置検出機能.....	1756
24.12.8.1	概要.....	1756
24.12.8.2	算出式.....	1756
24.12.8.3	ブロック図と基本タイミング図.....	1757
24.12.8.4	レジスタ設定.....	1758
24.12.8.5	TAUBTTINm 入力位置検出機能の操作手順.....	1759
24.12.8.6	特定の設定時のタイミング図.....	1760
24.12.9	TAUBTTINm 入力期間カウント検出機能.....	1761
24.12.9.1	概要.....	1761
24.12.9.2	算出式.....	1761
24.12.9.3	ブロック図と基本タイミング図.....	1762
24.12.9.4	レジスタ設定.....	1763

24.12.9.5	TAUBTTINm 入力期間カウント検出機能の操作手順.....	1764
24.12.9.6	特定の設定時のタイミング図.....	1765
24.12.10	TAUBTTINm 入力パルスインターバル判定機能.....	1766
24.12.10.1	概要.....	1766
24.12.10.2	ブロック図と基本タイミング図.....	1767
24.12.10.3	レジスタ設定.....	1768
24.12.10.4	TAUBTTINm 入力パルスインターバル判定機能の操作手順.....	1769
24.12.11	TAUBTTINm 入力信号幅判定機能.....	1770
24.12.11.1	概要.....	1770
24.12.11.2	ブロック図と基本タイミング図.....	1771
24.12.11.3	レジスタ設定.....	1772
24.12.11.4	TAUBTTINm 入力信号幅判定機能の操作手順.....	1773
24.12.12	オーバフロー割り込み出力機能 (TAUBTTINm 幅測定時).....	1774
24.12.12.1	概要.....	1774
24.12.12.2	ブロック図と基本タイミング図.....	1775
24.12.12.3	レジスタ設定.....	1776
24.12.12.4	オーバフロー割り込み出力機能の操作手順 (TAUBTTINm 幅測定時).....	1777
24.12.13	オーバフロー割り込み出力機能 (TAUBTTINm 入力期間カウント検出時).....	1778
24.12.13.1	概要.....	1778
24.12.13.2	ブロック図と基本タイミング図.....	1779
24.12.13.3	レジスタ設定.....	1780
24.12.13.4	オーバフロー割り込み出力機能の操作手順 (TAUBTTINm 入力期間カウント検出時).....	1782
24.13	チャンネル単体一斉書き換え機能.....	1783
24.13.1	一斉書き換えトリガ生成機能タイプ 1.....	1783
24.13.1.1	概要.....	1783
24.13.1.2	算出式.....	1784
24.13.1.3	ブロック図と基本タイミング図.....	1785
24.13.1.4	上位チャンネルのレジスタ設定.....	1787
24.13.1.5	下位チャンネルのレジスタ設定.....	1788
24.13.1.6	一斉書き換えトリガ生成機能タイプ 1 の操作手順.....	1789
24.14	チャンネル連動動作機能.....	1790
24.14.1	PWM 出力機能.....	1790
24.14.1.1	概要.....	1790
24.14.1.2	算出式.....	1791
24.14.1.3	ブロック図と基本タイミング図.....	1792
24.14.1.4	マスタチャンネルのレジスタ設定.....	1794
24.14.1.5	スレーブチャンネルのレジスタ設定.....	1796
24.14.1.6	PWM 出力機能の操作手順.....	1798
24.14.1.7	特定の設定時のタイミング図.....	1799
24.14.2	ワンショットパルス出力機能.....	1803
24.14.2.1	概要.....	1803
24.14.2.2	算出式.....	1804
24.14.2.3	ブロック図と基本タイミング図.....	1805
24.14.2.4	マスタチャンネルのレジスタ設定.....	1807
24.14.2.5	スレーブチャンネルのレジスタ設定.....	1809
24.14.2.6	ワンショットパルス出力機能時の操作手順.....	1811
24.14.2.7	特定のタイミング図.....	1812
24.14.3	ディレイパルス出力機能.....	1818
24.14.3.1	概要.....	1818
24.14.3.2	算出式.....	1819
24.14.3.3	ブロック図と基本タイミング図.....	1821
24.14.3.4	マスタチャンネルのレジスタ設定.....	1823
24.14.3.5	スレーブチャンネル 1 のレジスタ設定.....	1825
24.14.3.6	スレーブチャンネル 2 のレジスタ設定.....	1827

24.14.3.7	スレーブチャンネル 3 のレジスタ設定	1829
24.14.3.8	ディレイパルス出力機能時の操作手順	1831
24.14.3.9	特定のタイミング図	1833
24.14.4	A/D 変換トリガ出力機能タイプ 1	1835
24.14.4.1	概要	1835
24.14.4.2	ブロック図と基本タイミング図	1835
24.14.5	三角波 PWM 出力機能	1837
24.14.5.1	概要	1837
24.14.5.2	算出式	1838
24.14.5.3	ブロック図と基本タイミング図	1839
24.14.5.4	マスタチャンネルのレジスタ設定	1841
24.14.5.5	スレーブチャンネルのレジスタ設定	1843
24.14.5.6	三角波 PWM 出力機能時の操作手順	1845
24.14.5.7	特定の設定時のタイミング図	1846
24.14.6	デッドタイム付き三角波 PWM 出力機能	1848
24.14.6.1	概要	1848
24.14.6.2	算出式	1850
24.14.6.3	ブロック図と基本タイミング図	1851
24.14.6.4	マスタチャンネルのレジスタ設定	1853
24.14.6.5	スレーブチャンネル 2 のレジスタ設定	1855
24.14.6.6	スレーブチャンネル 3 のレジスタ設定	1857
24.14.6.7	デッドタイム付き三角波 PWM 出力機能時の操作手順	1859
24.14.6.8	特定の設定時のタイミング図	1860
24.14.7	A/D 変換トリガ出力機能タイプ 2	1871
24.14.7.1	概要	1871
24.14.7.2	ブロック図と基本タイミング図	1871

第 25 章 タイマアレユニット D (TAUD) 1873

25.1	RH850/F1K TAUD の特長	1873
25.1.1	ユニット数チャンネル数	1873
25.1.2	レジスタベースアドレス	1873
25.1.3	クロック供給	1874
25.1.4	割り込み要求	1874
25.1.5	リセット要因	1874
25.1.6	外部入出力信号	1875
25.1.7	内部入出力信号	1876
25.1.8	TAUD0 入力の選択	1876
25.1.8.1	レジスタ一覧	1878
25.1.8.2	SELB_TAUD0I — TAUDTTINm 入力信号選択レジスタ	1878
25.2	概要	1879
25.2.1	機能概要	1879
25.2.2	用語	1880
25.2.3	タイマ動作機能一覧	1881
25.2.4	入出力と割り込み要求信号	1882
25.2.5	ブロック図	1883
25.2.6	ブロック図の説明	1884
25.3	レジスタ	1886
25.3.1	レジスタ一覧	1886
25.3.2	TAUDn プリスケラレジスタの詳細	1887
25.3.2.1	TAUDnTPS — TAUDn プリスケラクロック選択レジスタ	1887
25.3.2.2	TAUDnBRS — TAUDn プリスケラボーレート設定レジスタ	1890

25.3.3	TAUDn 制御レジスタの詳細	1891
25.3.3.1	TAUDnCDRm — TAUDn チャネルデータレジスタ	1891
25.3.3.2	TAUDnCNTm — TAUDn チャネルカウンタレジスタ	1891
25.3.3.3	TAUDnCMORm — TAUDn チャネルモード OS レジスタ	1893
25.3.3.4	TAUDnCMURm — TAUDn チャネルモードユーザレジスタ	1896
25.3.3.5	TAUDnCSRm — TAUDn チャネルステータスレジスタ	1897
25.3.3.6	TAUDnCSCm — TAUDn チャネルステータスクリアレジスタ	1898
25.3.3.7	TAUDnTS — TAUDn チャネルスタートトリガレジスタ	1898
25.3.3.8	TAUDnTE — TAUDn チャネル許可ステータスレジスタ	1899
25.3.3.9	TAUDnTT — TAUDn チャネルストップトリガレジスタ	1899
25.3.4	TAUDn 一斉書き換えレジスタの詳細	1900
25.3.4.1	TAUDnRDE — TAUDn チャネルリロードデータ許可レジスタ	1900
25.3.4.2	TAUDnRDS — TAUDn チャネルリロードデータ制御チャンネル選択レジスタ	1900
25.3.4.3	TAUDnRDM — TAUDn チャネルリロードデータモードレジスタ	1901
25.3.4.4	TAUDnRDC — TAUDn チャネルリロードデータ制御レジスタ	1901
25.3.4.5	TAUDnRDT — TAUDn チャネルリロードデータトリガレジスタ	1902
25.3.4.6	TAUDnRSF — TAUDn チャネルリロードステータスレジスタ	1902
25.3.5	TAUDn 出力レジスタの詳細	1903
25.3.5.1	TAUDnTOE — TAUDn チャネル出力許可レジスタ	1903
25.3.5.2	TAUDnTO — TAUDn チャネル出力レジスタ	1903
25.3.5.3	TAUDnTOM — TAUDn チャネル出力モードレジスタ	1904
25.3.5.4	TAUDnTOC — TAUDn チャネル出力コンフィグレーションレジスタ	1904
25.3.5.5	TAUDnTOL — TAUDn チャネル出力アクティブレベルレジスタ	1905
25.3.6	TAUDn のデッドタイム出力レジスタの詳細	1906
25.3.6.1	TAUDnTDE — TAUDn チャネルデッドタイム出力許可レジスタ	1906
25.3.6.2	TAUDnTDM — TAUDn チャネルデッドタイム出力モードレジスタ	1906
25.3.6.3	TAUDnTDL — TAUDn チャネルデッドタイム出力レベルレジスタ	1907
25.3.7	TAUDn のリアルタイム/変調出力レジスタの詳細	1908
25.3.7.1	TAUDnTRE — TAUDn チャネルリアルタイム出力許可レジスタ	1908
25.3.7.2	TAUDnTRC — TAUDn チャネルリアルタイム出力制御レジスタ	1908
25.3.7.3	TAUDnTRO — TAUDn チャネルリアルタイム出力レジスタ	1909
25.3.7.4	TAUDnTME — TAUDn チャネル変調出力許可レジスタ	1909
25.3.8	TAUDn エミュレーションレジスタ	1910
25.3.8.1	TAUDnEMU — TAUDn エミュレーションレジスタ	1910
25.4	操作手順	1911
25.5	チャンネル連動動作の概念	1912
25.5.1	チャンネル連動動作のルール	1912
25.5.2	連動チャンネルカウンタの同時動作開始/停止	1914
25.5.2.1	ユニット内の連動チャンネルカウンタの同時動作開始/停止	1914
25.5.2.2	ユニット間の同時スタート	1914
25.6	一斉書き換え	1915
25.6.1	動作概要	1915
25.6.2	一斉書き換への制御方法	1917
25.6.2.1	初期設定	1918
25.6.2.2	カウント開始とカウント動作	1918
25.6.2.3	一斉書き換え	1918
25.6.3	一斉書き換へのその他の基本ルール	1919
25.6.4	一斉書き換の種類	1920
25.6.4.1	マスタチャンネルがカウントを再開/開始した場合の一斉書き換え (方法 A)	1920
25.6.4.2	スレーブチャンネルの三角波の [山] のタイミングで一斉書き換え (方法 B)	1922
25.6.4.3	TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合の一斉書き換え (方法 C1)	1923
25.6.4.4	外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合の一斉書き換え (方法 C2)	1925

25.7	チャンネル出力モード	1927
25.7.1	チャンネル出力モードを指定するための基本手順	1929
25.7.2	TAUDn 信号により単体制御されるチャンネル出力モード	1930
25.7.2.1	チャンネル単体出力モード 1	1930
25.7.2.2	リアルタイム出力を行うチャンネル単体出力モード 1	1930
25.7.2.3	チャンネル単体出力モード 2	1932
25.7.3	TAUDn 信号により連動制御されるチャンネル出力モード	1932
25.7.3.1	チャンネル連動出力モード 1	1932
25.7.3.2	非相補方式変調出力を行うチャンネル連動出力モード 1	1932
25.7.3.3	チャンネル連動出力モード 2	1933
25.7.3.4	デッドタイム出力を行うチャンネル連動出力モード 2	1933
25.7.3.5	1相 PWM 出力を行うチャンネル連動出力モード 2	1934
25.7.3.6	相補方式変調出力を行うチャンネル連動出力モード 2	1935
25.7.3.7	非相補方式変調出力を行うチャンネル連動出力モード 2	1935
25.8	各動作モードでのカウント開始タイミング	1936
25.8.1	インターバルタイマモード、ジャッジモード、キャプチャモード、アップ/ ダウンカウントモード、カウントキャプチャモード	1936
25.8.2	イベントカウントモード	1937
25.8.3	その他の動作モード	1937
25.9	カウント開始/リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成	1938
25.10	オーバフロー時の割り込み発生	1939
25.10.1	TAUDTTINm 入力パルスインターバル測定機能と TAUDTTINm 入力インターバル タイマ機能の組み合わせ	1940
25.10.2	TAUDTTINm 入力信号幅測定機能とオーバフロー割り込み出力機能 (TAUDTTINm 幅測定時) の組み合わせ	1941
25.10.3	TAUDTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ	1942
25.10.4	TAUDTTINm 入力期間カウント検出機能とオーバフロー割り込み出力機能 (TAUDTTINm 入力期間カウント検出時) の組み合わせ	1943
25.11	TAUDTTINm エッジ検出	1945
25.12	チャンネル単体動作機能	1946
25.12.1	インターバルタイマ機能	1946
25.12.1.1	概要	1946
25.12.1.2	算出式	1946
25.12.1.3	ブロック図と基本タイミング図	1947
25.12.1.4	レジスタ設定	1948
25.12.1.5	インターバルタイマ機能の操作手順	1950
25.12.1.6	特定の設定時のタイミング図	1951
25.12.2	TAUDTTINm 入力インターバルタイマ機能	1956
25.12.2.1	概要	1956
25.12.2.2	算出式	1956
25.12.2.3	ブロック図と基本タイミング図	1957
25.12.2.4	レジスタ設定	1958
25.12.2.5	TAUDTTINm 入力インターバルタイマ機能の操作手順	1960
25.12.2.6	特定の設定時のタイミング図	1961
25.12.3	クロック分周機能	1962
25.12.3.1	概要	1962
25.12.3.2	算出式	1963
25.12.3.3	ブロック図と基本タイミング図	1963
25.12.3.4	レジスタ設定	1964
25.12.3.5	クロック分周機能の操作手順	1966
25.12.3.6	特定の設定時のタイミング図	1967

25.12.4	外部イベントカウント機能	1969
25.12.4.1	概要	1969
25.12.4.2	算出式	1969
25.12.4.3	ブロック図と基本タイミング図	1970
25.12.4.4	レジスタ設定	1971
25.12.4.5	外部イベントカウント機能の操作手順	1972
25.12.4.6	特定の設定時のタイミング図	1973
25.12.5	ディレイカウント機能	1975
25.12.5.1	概要	1975
25.12.5.2	算出式	1975
25.12.5.3	ブロック図と基本タイミング図	1976
25.12.5.4	レジスタ設定	1977
25.12.5.5	ディレイカウント機能の操作手順	1978
25.12.6	ワンパルス出力機能	1979
25.12.6.1	概要	1979
25.12.6.2	算出式	1980
25.12.6.3	ブロック図と基本タイミング図	1980
25.12.6.4	レジスタ設定	1981
25.12.6.5	ワンパルス出力機能の操作手順	1983
25.12.7	TAUDDTTINm 入力パルスインターバル測定機能	1984
25.12.7.1	概要	1984
25.12.7.2	算出式	1985
25.12.7.3	ブロック図と基本タイミング図	1986
25.12.7.4	レジスタ設定	1987
25.12.7.5	TAUDDTTINm 入力パルスインターバル測定機能の操作手順	1988
25.12.7.6	特定の設定時のタイミング図：オーバフロー動作	1989
25.12.8	TAUDDTTINm 入力信号幅測定機能	1992
25.12.8.1	概要	1992
25.12.8.2	算出式	1993
25.12.8.3	ブロック図と基本タイミング図	1993
25.12.8.4	レジスタ設定	1994
25.12.8.5	TAUDDTTINm 入力信号幅測定機能の操作手順	1995
25.12.8.6	特定の設定時のタイミング図：オーバフロー動作	1996
25.12.9	TAUDDTTINm 入力位置検出機能	1999
25.12.9.1	概要	1999
25.12.9.2	算出式	1999
25.12.9.3	ブロック図と基本タイミング図	2000
25.12.9.4	レジスタ設定	2001
25.12.9.5	TAUDDTTINm 入力位置検出機能の操作手順	2002
25.12.9.6	特定の設定時のタイミング図	2003
25.12.10	TAUDDTTINm 入力期間カウント検出機能	2004
25.12.10.1	概要	2004
25.12.10.2	算出式	2005
25.12.10.3	ブロック図と基本タイミング図	2005
25.12.10.4	レジスタ設定	2006
25.12.10.5	TAUDDTTINm 入力期間カウント検出機能の操作手順	2007
25.12.10.6	特定の設定時のタイミング図	2008
25.12.11	TAUDDTTINm 入力パルスインターバル判定機能	2009
25.12.11.1	概要	2009
25.12.11.2	ブロック図と基本タイミング図	2010
25.12.11.3	レジスタ設定	2011
25.12.11.4	TAUDDTTINm 入力パルスインターバル判定機能の操作手順	2012
25.12.12	TAUDDTTINm 入力信号幅判定機能	2013
25.12.12.1	概要	2013
25.12.12.2	ブロック図と基本タイミング図	2014
25.12.12.3	レジスタ設定	2015

25.12.12.4	TAUDTTINm 入力信号幅判定機能の操作手順	2016
25.12.13	オーバフロー割り込み出力機能 (TAUDTTINm 幅測定時)	2017
25.12.13.1	概要	2017
25.12.13.2	ブロック図と基本タイミング図	2018
25.12.13.3	レジスタ設定	2019
25.12.13.4	オーバフロー割り込み出力機能の操作手順 (TAUDTTINm 幅測定時)	2020
25.12.14	オーバフロー割り込み出力機能 (TAUDTTINm 入力期間カウント検出時)	2021
25.12.14.1	概要	2021
25.12.14.2	ブロック図と基本タイミング図	2022
25.12.14.3	レジスタ設定	2023
25.12.14.4	オーバフロー割り込み出力機能の操作手順 (TAUDTTINm 入力期間カウント検出時)	2024
25.12.15	1相 PWM 出力機能	2025
25.12.15.1	概要	2025
25.12.15.2	ブロック図と基本タイミング図	2026
25.12.15.3	下位チャンネルのレジスタ設定	2028
25.12.15.4	上位チャンネルのレジスタ設定	2030
25.12.15.5	1相 PWM 出力機能の操作手順	2031
25.13	チャンネル単体リアルタイム機能	2032
25.13.1	リアルタイム出力機能タイプ 1	2032
25.13.1.1	概要	2032
25.13.1.2	算出式	2033
25.13.1.3	ブロック図と基本タイミング図	2033
25.13.1.4	上位チャンネルのレジスタ設定	2035
25.13.1.5	下位チャンネルのレジスタ設定	2037
25.13.1.6	リアルタイム出力機能タイプ 1 の操作手順	2038
25.13.1.7	特定の設定時のタイミング図	2039
25.13.2	リアルタイム出力機能タイプ 2	2040
25.13.2.1	概要	2040
25.13.2.2	ブロック図と基本タイミング図	2041
25.13.2.3	上位チャンネルのレジスタ設定	2043
25.13.2.4	下位チャンネルのレジスタ設定	2045
25.13.2.5	リアルタイム出力機能タイプ 2 の操作手順	2046
25.13.2.6	特定のタイミング図	2047
25.14	チャンネル単体一斉書き換え機能	2048
25.14.1	一斉書き換えトリガ生成機能タイプ 1	2048
25.14.1.1	概要	2048
25.14.1.2	算出式	2049
25.14.1.3	ブロック図と基本タイミング図	2050
25.14.1.4	上位チャンネルのレジスタ設定	2052
25.14.1.5	下位チャンネルのレジスタ設定	2053
25.14.1.6	一斉書き換えトリガ生成機能タイプ 1 の操作手順	2054
25.14.2	一斉書き換えトリガ生成機能タイプ 2	2055
25.14.2.1	概要	2055
25.14.2.2	ブロック図と基本タイミング図	2056
25.14.2.3	上位チャンネルのレジスタ設定	2058
25.14.2.4	下位チャンネルのレジスタ設定	2060
25.14.2.5	一斉書き換えトリガ生成機能タイプ 2 の操作手順	2061
25.15	チャンネル連動動作機能	2062
25.15.1	PWM 出力機能	2062
25.15.1.1	概要	2062
25.15.1.2	算出式	2063
25.15.1.3	ブロック図と基本タイミング図	2064
25.15.1.4	マスタチャンネルのレジスタ設定	2066

25.15.1.5	スレーブチャンネルのレジスタ設定	2068
25.15.1.6	PWM 出力機能の操作手順	2070
25.15.1.7	特定の設定時のタイミング図	2071
25.15.2	ワンショットパルス出力機能	2074
25.15.2.1	概要	2074
25.15.2.2	算出式	2075
25.15.2.3	ブロック図と基本タイミング図	2076
25.15.2.4	マスタチャンネルのレジスタ設定	2078
25.15.2.5	スレーブチャンネルのレジスタ設定	2080
25.15.2.6	ワンショットパルス出力機能時の操作手順	2082
25.15.2.7	特定のタイミング図	2083
25.15.3	トリガスタート PWM 出力機能	2087
25.15.3.1	概要	2087
25.15.3.2	算出式	2088
25.15.3.3	ブロック図と基本タイミング図	2089
25.15.3.4	マスタチャンネルのレジスタ設定	2091
25.15.3.5	スレーブチャンネルのレジスタ設定	2093
25.15.3.6	トリガスタート PWM 出力機能時の操作手順	2095
25.15.3.7	特定の設定時のタイミング図	2096
25.15.4	ディレイパルス出力機能	2099
25.15.4.1	概要	2099
25.15.4.2	算出式	2101
25.15.4.3	ブロック図と基本タイミング図	2102
25.15.4.4	マスタチャンネルのレジスタ設定	2104
25.15.4.5	スレーブチャンネル 1 のレジスタ設定	2106
25.15.4.6	スレーブチャンネル 2 のレジスタ設定	2108
25.15.4.7	スレーブチャンネル 3 のレジスタ設定	2110
25.15.4.8	ディレイパルス出力機能時の操作手順	2111
25.15.4.9	特定のタイミング図	2113
25.15.5	オフセットトリガ出力機能	2115
25.15.5.1	概要	2115
25.15.5.2	算出式	2116
25.15.5.3	ブロック図と基本タイミング図	2116
25.15.5.4	マスタチャンネルのレジスタ設定	2118
25.15.5.5	スレーブチャンネルのレジスタ設定	2120
25.15.5.6	オフセットトリガ出力機能時の操作手順	2122
25.15.5.7	特定のタイミング図	2123
25.15.6	A/D 変換トリガ出力機能タイプ 1	2125
25.15.6.1	概要	2125
25.15.6.2	ブロック図と基本タイミング図	2125
25.15.7	三角波 PWM 出力機能	2127
25.15.7.1	概要	2127
25.15.7.2	算出式	2128
25.15.7.3	ブロック図と基本タイミング図	2129
25.15.7.4	マスタチャンネルのレジスタ設定	2131
25.15.7.5	スレーブチャンネルのレジスタ設定	2133
25.15.7.6	三角波 PWM 出力機能時の操作手順	2135
25.15.7.7	特定の設定時のタイミング図	2136
25.15.8	デッドタイム付き三角波 PWM 出力機能	2138
25.15.8.1	概要	2138
25.15.8.2	算出式	2140
25.15.8.3	ブロック図と基本タイミング図	2141
25.15.8.4	マスタチャンネルのレジスタ設定	2143
25.15.8.5	スレーブチャンネル 2 のレジスタ設定	2145
25.15.8.6	スレーブチャンネル 3 のレジスタ設定	2147
25.15.8.7	デッドタイム付き三角波 PWM 出力機能時の操作手順	2149

25.15.8.8	特定の設定時のタイミング図	2150
25.15.9	A/D 変換トリガ出力機能タイプ 2	2152
25.15.9.1	概要	2152
25.15.9.2	ブロック図と基本タイミング図	2152
25.15.10	割り込み要求信号間引き機能	2154
25.15.10.1	概要	2154
25.15.10.2	算出式	2155
25.15.10.3	ブロック図と基本タイミング図	2155
25.15.10.4	マスタチャンネルのレジスタ設定	2157
25.15.10.5	スレーブチャンネルのレジスタ設定	2159
25.15.10.6	割り込み要求信号間引き機能時の操作手順	2160
25.15.10.7	特定の設定時のタイミング図	2161
25.16	連動非相補方式変調出力機能と連動相補方式変調出力機能	2162
25.16.1	非相補方式変調出力機能タイプ 1	2162
25.16.1.1	概要	2162
25.16.1.2	算出式	2164
25.16.1.3	ブロック図と基本タイミング図	2165
25.16.1.4	マスタチャンネルのレジスタ設定	2167
25.16.1.5	スレーブチャンネル 1 のレジスタ設定	2169
25.16.1.6	スレーブチャンネル 2 ～ 7 のレジスタ設定	2171
25.16.1.7	非相補方式変調出力機能タイプ 1 時の操作手順	2173
25.16.1.8	特定の設定時のタイミング図	2175
25.16.2	非相補方式変調出力機能タイプ 2	2176
25.16.2.1	概要	2176
25.16.2.2	算出式	2178
25.16.2.3	ブロック図と基本タイミング図	2179
25.16.2.4	マスタチャンネルのレジスタ設定	2181
25.16.2.5	スレーブチャンネル 1 のレジスタ設定	2183
25.16.2.6	スレーブチャンネル 2 ～ 7 のレジスタ設定	2185
25.16.2.7	非相補方式変調出力機能タイプ 2 時の操作手順	2187
25.16.2.8	特定の設定時のタイミング図	2189
25.16.3	相補方式変調出力機能	2190
25.16.3.1	概要	2190
25.16.3.2	算出式	2193
25.16.3.3	ブロック図と基本タイミング図	2194
25.16.3.4	マスタチャンネルのレジスタ設定	2196
25.16.3.5	スレーブチャンネル 1 のレジスタ設定	2198
25.16.3.6	スレーブチャンネル 2, 4, 6 のレジスタ設定	2200
25.16.3.7	スレーブチャンネル 3, 5, 7 のレジスタ設定	2202
25.16.3.8	相補方式変調出力機能時の操作手順	2204
25.16.3.9	特定の設定時のタイミング図	2206
第 26 章	タイマアレユニット J (TAUJ)	2208
26.1	RH850/F1K TAUJ の特長	2208
26.1.1	ユニット数	2208
26.1.2	レジスタベースアドレス	2208
26.1.3	クロック供給	2209
26.1.4	割り込み要求	2209
26.1.5	リセット要因	2209
26.1.6	外部入出力信号	2210
26.1.7	内部入出力信号	2210
26.1.8	TAUJ0 入力の選択	2210
26.1.8.1	レジスタ一覧	2212

26.1.8.2	SELB_TAUJ0I — TAUJTINm 入力信号選択レジスタ	2212
26.2	概要	2213
26.2.1	機能概要	2213
26.2.2	用語	2214
26.2.3	タイマ動作機能一覧	2214
26.2.4	入出力と割り込み要求信号	2215
26.2.5	ブロック図	2216
26.2.6	ブロック図の説明	2217
26.3	レジスタ	2218
26.3.1	レジスタ一覧	2218
26.3.2	TAUJn プリスケーラレジスタの詳細	2219
26.3.2.1	TAUJnTPS — TAUJn プリスケーラクロック選択レジスタ	2219
26.3.2.2	TAUJnBRS — TAUJn プリスケーラボーレート設定レジスタ	2222
26.3.3	TAUJn 制御レジスタの詳細	2223
26.3.3.1	TAUJnCDRm — TAUJn チャネルデータレジスタ	2223
26.3.3.2	TAUJnCNTm — TAUJn チャネルカウンタレジスタ	2224
26.3.3.3	TAUJnCMORm — TAUJn チャネルモード OS レジスタ	2226
26.3.3.4	TAUJnCMURm — TAUJn チャネルモードユーザレジスタ	2229
26.3.3.5	TAUJnCSRm — TAUJn チャネルステータスレジスタ	2230
26.3.3.6	TAUJnCSCm — TAUJn チャネルステータスクリアレジスタ	2230
26.3.3.7	TAUJnTS — TAUJn チャネルスタートトリガレジスタ	2231
26.3.3.8	TAUJnTE — TAUJn チャネル許可ステータスレジスタ	2231
26.3.3.9	TAUJnTT — TAUJn チャネルストップトリガレジスタ	2232
26.3.4	TAUJn 一斉書き換えレジスタの詳細	2233
26.3.4.1	TAUJnRDE — TAUJn チャネルリロードデータ許可レジスタ	2233
26.3.4.2	TAUJnRDM — TAUJn チャネルリロードデータモードレジスタ	2233
26.3.4.3	TAUJnRDT — TAUJn チャネルリロードデータトリガレジスタ	2234
26.3.4.4	TAUJnRSF — TAUJn チャネルリロードステータスレジスタ	2234
26.3.5	TAUJn 出力レジスタの詳細	2235
26.3.5.1	TAUJnTOE — TAUJn チャネル出力許可レジスタ	2235
26.3.5.2	TAUJnTO — TAUJn チャネル出力レジスタ	2235
26.3.5.3	TAUJnTOM — TAUJn チャネル出力モードレジスタ	2236
26.3.5.4	TAUJnTOC — TAUJn チャネル出力コンフィグレーションレジスタ	2237
26.3.5.5	TAUJnTOL — TAUJn チャネル出力アクティブレベルレジスタ	2238
26.3.6	TAUJn エミュレーションレジスタ	2239
26.3.6.1	TAUJnEMU — TAUJn エミュレーションレジスタ	2239
26.4	操作手順	2240
26.5	連動動作機能の概念	2241
26.5.1	連動動作機能のルール	2241
26.5.2	連動チャネルカウンタの同時動作開始／停止	2243
26.5.2.1	ユニット内の連動チャネルカウンタの同時動作開始／停止	2243
26.5.2.2	ユニット間の同時スタート	2243
26.6	一斉書き換え	2244
26.6.1	一斉書き換への制御方法	2244
26.6.1.1	初期設定	2245
26.6.1.2	カウント開始とカウント動作	2245
26.6.1.3	一斉書き換え	2245
26.6.2	一斉書き換のその他の基本ルール	2245
26.6.3	一斉書き換の方法	2246

26.7	チャンネル出力モード	2248
26.7.1	チャンネル出力モードを指定するための基本手順	2250
26.7.2	TAUJn 信号により単体制御されるチャンネル出力モード	2251
26.7.2.1	チャンネル単体出力モード 1	2251
26.7.3	TAUJn 信号により連動制御されるチャンネル出力モード	2251
26.7.3.1	チャンネル連動出力モード 1	2251
26.8	各動作モードでのカウント開始タイミング	2252
26.8.1	インターバルタイマモード、キャプチャモード、カウントキャプチャモード	2252
26.8.2	その他の動作モード	2253
26.9	カウント開始/リスタート時の TAUJTOUTm 出力と INTTAUJnIm 生成	2254
26.10	オーバフロー時の割り込み発生	2255
26.10.1	TAUJTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ	2256
26.11	TAUJTINm エッジ検出	2257
26.12	チャンネル単体動作機能	2258
26.12.1	インターバルタイマ機能	2258
26.12.1.1	概要	2258
26.12.1.2	算出式	2258
26.12.1.3	ブロック図と基本タイミング図	2259
26.12.1.4	レジスタ設定	2260
26.12.1.5	インターバルタイマ機能の操作手順	2262
26.12.1.6	特定の設定時のタイミング図	2263
26.12.2	TAUJTINm 入力インターバルタイマ機能	2266
26.12.2.1	概要	2266
26.12.2.2	算出式	2266
26.12.2.3	ブロック図と基本タイミング図	2267
26.12.2.4	レジスタ設定	2268
26.12.2.5	TAUJTINm 入力インターバルタイマ機能の操作手順	2270
26.12.2.6	特定の設定時のタイミング図	2271
26.12.3	TAUJTINm 入力パルスインターバル測定機能	2272
26.12.3.1	概要	2272
26.12.3.2	算出式	2273
26.12.3.3	ブロック図と基本タイミング図	2273
26.12.3.4	レジスタ設定	2275
26.12.3.5	TAUJTINm 入力パルスインターバル測定機能の操作手順	2276
26.12.3.6	特定の設定時のタイミング図：オーバフロー動作	2277
26.12.4	TAUJTINm 入力信号幅測定機能	2281
26.12.4.1	概要	2281
26.12.4.2	算出式	2282
26.12.4.3	ブロック図と基本タイミング図	2282
26.12.4.4	レジスタ設定	2283
26.12.4.5	TAUJTINm 入力信号幅測定機能の操作手順	2284
26.12.4.6	特定の設定時のタイミング図：オーバフロー動作	2285
26.12.5	TAUJTINm 入力位置検出機能	2289
26.12.5.1	概要	2289
26.12.5.2	算出式	2289
26.12.5.3	ブロック図と基本タイミング図	2290
26.12.5.4	レジスタ設定	2291
26.12.5.5	TAUJTINm 入力位置検出機能の操作手順	2292
26.12.5.6	特定の設定時のタイミング図	2293
26.12.6	TAUJTINm 入力期間カウント検出機能	2294
26.12.6.1	概要	2294
26.12.6.2	算出式	2295

26.12.6.3	ブロック図と基本タイミング図	2295
26.12.6.4	レジスタ設定	2296
26.12.6.5	TAUJTTINm 入力期間カウント検出機能の操作手順	2297
26.12.6.6	特定の設定時のタイミング図	2298
26.12.7	オーバフロー割り込み出力機能 (TAUJTTINm 幅測定時)	2299
26.12.7.1	概要	2299
26.12.7.2	ブロック図と基本タイミング図	2300
26.12.7.3	レジスタ設定	2301
26.12.7.4	オーバフロー割り込み出力機能の操作手順 (TAUJTTINm 幅測定時)	2302
26.12.8	オーバフロー割り込み出力機能 (TAUJTTINm 入力期間カウント検出時)	2303
26.12.8.1	概要	2303
26.12.8.2	ブロック図と基本タイミング図	2304
26.12.8.3	レジスタ設定	2305
26.12.8.4	オーバフロー割り込み出力機能の操作手順 (TAUJTTINm 入力期間カウント検出時)	2306
26.13	チャンネル連動動作機能	2307
26.13.1	PWM 出力機能	2307
26.13.1.1	概要	2307
26.13.1.2	算出式	2309
26.13.1.3	ブロック図と基本タイミング図	2309
26.13.1.4	マスタチャンネルのレジスタ設定	2311
26.13.1.5	スレーブチャンネルのレジスタ設定	2313
26.13.1.6	PWM 出力機能の操作手順	2314
26.13.1.7	特定の設定時のタイミング図	2315
第 27 章	リアルタイムクロック (RTCA)	2318
27.1	RH850/F1K RTCA の特長	2318
27.1.1	ユニット数とチャンネル数	2318
27.1.2	レジスタベースアドレス	2318
27.1.3	クロック供給	2318
27.1.4	割り込み要求	2319
27.1.5	リセット要因	2319
27.1.6	外部入出力信号	2319
27.2	概要	2320
27.2.1	機能概要	2320
27.2.2	ブロック図	2320
27.2.3	ブロック図の用語	2321
27.3	レジスタ	2322
27.3.1	レジスタ一覧	2322
27.3.2	RTCA 制御レジスタの詳細	2323
27.3.2.1	RTCAnCTL0 — RTCA 制御レジスタ 0	2323
27.3.2.2	RTCAnCTL1 — RTCA 制御レジスタ 1	2324
27.3.2.3	RTCAnCTL2 — RTCA 制御レジスタ 2	2325
27.3.3	RTCA サブカウンタレジスタの詳細	2327
27.3.3.1	RTCAnSUBC — RTCA サブカウントレジスタ	2327
27.3.3.2	RTCAnSRBU — RTCA サブカウントレジスタリードバッファ	2328
27.3.3.3	RTCAnSUBU — RTCA クロック誤差補正レジスタ	2329
27.3.3.4	RTCAnSCMP — RTCA サブカウンタコンペアレジスタ	2330
27.3.4	RTCA クロックカウンタレジスタとバッファレジスタの詳細	2331
27.3.4.1	RTCAnSECC — RTCA 秒カウントレジスタ	2331
27.3.4.2	RTCAnSEC — RTCA 秒カウントバッファレジスタ	2332

27.3.4.3	RTCA _n MINC — RTCA 分カウントレジスタ	2333
27.3.4.4	RTCA _n MIN — RTCA 分カウントバッファレジスタ	2334
27.3.4.5	RTCA _n HOUREC — RTCA 時カウントレジスタ	2335
27.3.4.6	RTCA _n HOUR — RTCA 時カウントバッファレジスタ	2337
27.3.4.7	RTCA _n WEEKC — RTCA 曜日カウントレジスタ	2338
27.3.4.8	RTCA _n WEEK — RTCA 曜日カウントバッファレジスタ	2339
27.3.4.9	RTCA _n DAYC — RTCA 日カウントレジスタ	2340
27.3.4.10	RTCA _n DAY — RTCA 日カウントバッファレジスタ	2341
27.3.4.11	RTCA _n MONC — RTCA 月カウントレジスタ	2342
27.3.4.12	RTCA _n MONTH — RTCA 月カウントバッファレジスタ	2343
27.3.4.13	RTCA _n YEARC — RTCA 年カウントレジスタ	2344
27.3.4.14	RTCA _n YEAR — RTCA 年カウントバッファレジスタ	2345
27.3.5	RTCA 特定カウンタレジスタとバッファレジスタの詳細	2346
27.3.5.1	RTCA _n TIMEC — RTCA 時間カウントレジスタ	2346
27.3.5.2	RTCA _n TIME — RTCA 時間カウントバッファレジスタ	2347
27.3.5.3	RTCA _n CALC — RTCA カレンダカウントレジスタ	2348
27.3.5.4	RTCA _n CAL — RTCA カレンダカウントバッファレジスタ	2349
27.3.6	RTCA アラーム時間設定レジスタの詳細	2350
27.3.6.1	RTCA _n ALM — RTCA アラーム分設定レジスタ	2350
27.3.6.2	RTCA _n ALH — RTCA アラーム時設定レジスタ	2351
27.3.6.3	RTCA _n ALW — RTCA アラーム曜日設定レジスタ	2352
27.3.7	RTCA エミュレーションレジスタ	2353
27.3.7.1	RTCA _n EMU — RTCA エミュレーションレジスタ	2353
27.4	動作	2354
27.4.1	クロックカウンタの表示形式	2355
27.4.2	定周期割り込み機能	2355
27.4.3	アラーム割り込み機能	2355
27.4.4	クロック誤差補正	2356
27.4.4.1	補正值と演算子の設定	2358
27.4.4.2	反復周期の影響	2358
27.4.4.3	設定例	2359
27.5	設定、書き込み、読み出しの手順	2360
27.5.1	RTCA の初期設定	2360
27.5.1.1	RTCA の停止手順	2360
27.5.1.2	RTCA の初期設定手順	2361
27.5.2	クロックカウンタの更新	2362
27.5.3	クロックカウンタの読み出し	2363
27.5.3.1	カウントバッファレジスタ読み出し手順	2363
27.5.3.2	カウンタレジスタ直接読み出し手順	2365
27.5.4	RTCA _n SRBU の読み出し	2366
27.5.5	RTCA _n SUBU への書き込み	2367
27.5.6	RTCA _n SCMP への書き込み	2368
27.6	タイミング図	2369
27.6.1	カウンタスタートのタイミング	2369
27.6.2	カウンタ動作許可時のクロックカウンタ更新のタイミング	2370
27.6.3	カウンタ動作許可時のサブカウンタリードバッファ読み出しのタイミング	2371
第 28 章	エンコーダタイマ (ENCA)	2372
28.1	RH850/F1K ENCA の特長	2372
28.1.1	ユニット数とチャネル数	2372
28.1.2	レジスタベースアドレス	2372

28.1.3	クロック供給	2372
28.1.4	割り込み要求	2373
28.1.5	リセット要因	2373
28.1.6	外部入出力信号	2373
28.1.7	内部入出力信号	2373
28.2	概要	2374
28.2.1	機能概要	2374
28.2.2	ブロック図	2375
28.3	レジスタ	2376
28.3.1	レジスタ一覧	2376
28.3.2	ENCAnCTL — ENCAn 制御レジスタ	2377
28.3.3	ENCAnIOC0 — ENCAn I/O 制御レジスタ 0	2379
28.3.4	ENCAnIOC1 — ENCAn I/O 制御レジスタ 1	2380
28.3.5	ENCAnFLG — ENCAn ステータスフラグレジスタ	2382
28.3.6	ENCAnFGC — ENCAn ステータスフラグクリアレジスタ	2383
28.3.7	ENCAnCCR0 — ENCAn キャプチャ/コンペアレジスタ 0	2384
28.3.8	ENCAnCCR1 — ENCAn キャプチャ/コンペアレジスタ 1	2385
28.3.9	ENCAnCNT — ENCAn カウンタレジスタ	2386
28.3.10	ENCAnTE — ENCAn タイマイネーブルステータスレジスタ	2387
28.3.11	ENCAnTS — ENCAn タイマスタートトリガレジスタ	2388
28.3.12	ENCAnTT — ENCAn タイマストップトリガレジスタ	2389
28.3.13	ENCAnEMU — ENCAn エミュレーションレジスタ	2390
28.4	動作	2391
28.4.1	タイマカウンタの動作	2391
28.4.2	タイマカウンタのアップ/ダウン制御	2393
28.4.2.1	ENCAnCTL レジスタの ENCAnUDS[1:0] ビット = 00B の場合	2393
28.4.2.2	ENCAnCTL レジスタの ENCAnUDS[1:0] ビット = 01B の場合	2394
28.4.2.3	ENCAnCTL レジスタの ENCAnUDS[1:0] ビット = 10B の場合	2395
28.4.2.4	ENCAnCTL レジスタの ENCAnUDS[1:0] ビット = 11B の場合	2396
28.4.3	エンコーダ入力によるタイマカウンタクリア制御	2397
28.4.3.1	ENCAnSCE = 0 のときのクリア方法	2397
28.4.3.2	ENCAnSCE = 1 のときのクリア方法	2398
28.4.4	ENCAnCCR0 の機能	2399
28.4.4.1	コンペア機能	2399
28.4.4.2	キャプチャ機能	2399
28.4.5	ENCAnCCR1 の機能	2400
28.4.5.1	コンペア機能	2400
28.4.5.2	キャプチャ機能	2402
28.4.5.3	コンペアレジスタが一致したときのタイマカウンタのクリア	2403
28.4.6	タイマカウンタの起動/停止	2403
28.4.6.1	タイマの起動	2403
28.4.6.2	タイマの停止	2403
28.5	設定の順序	2404
28.5.1	ENCAn の設定手順	2404
28.5.1.1	カウンタの初期設定手順	2404
28.5.1.2	カウンタクリアのための初期設定手順	2405
28.5.1.3	ENCAnCCR0 レジスタの設定手順	2405
28.5.1.4	ENCAnCCR1 レジスタの設定手順	2406

28.6	タイミング図	2407
28.6.1	オーバフローの発生とオーバフローフラグクリア操作	2407
28.6.2	アンダフローの発生とアンダフローフラグクリア操作	2408
28.6.3	エンコーダクリア入力 (ENCA _n EC 端子) によるカウントクリアとキャプチャ動作	2409
28.6.4	オーバフローの発生とエンコーダクリア入力 (ENCA _n EC 端子) による クリア動作との競合	2410
28.6.5	アンダフローの発生とエンコーダクリア入力 (ENCA _n EC 端子) による クリア動作との競合	2411
28.6.6	開始直後のオーバフロー動作	2412
28.6.7	開始直後のアンダフロー動作	2413
28.6.8	開始直後の ENCA _n LDE 機能の利用	2414
28.6.9	ENCA _n LDE 機能 (カウント値のロード)	2415
28.6.10	ENCA _n LDE 機能 (カウンタ値のロード) と ENCA _n CCR0 レジスタの 書き換えとの競合	2417
28.6.11	ENCA _n LDE 機能 (カウンタ値のロード) と エンコーダクリア入力 (ENCA _n EC 端子) の入力によるクリア動作との競合	2418
28.6.12	ENCA _n LDE 機能 (カウンタ値のロード) と エンコーダクリア入力によるクリア動作との競合があった後のアップカウント	2420
28.6.13	カウントクロック間のキャプチャ動作 (ENCA _n CCR1)	2421
28.6.14	カウントクロック間のキャプチャ動作 (ENCA _n CCR0)	2422
28.6.15	コンペアー一致クリア制御有効かつ ENCA _n CTS = 0 のときのエンコーダの動作	2423
28.6.16	コンペアー一致クリア制御有効かつ ENCA _n CTS = 1 のときのエンコーダの動作	2424
28.6.17	コンペアー一致クリア制御無効時のエンコーダの動作	2425
28.6.18	ENCA _n SCE = 1 のときに ENCA _n EC、ENCA _n E0、ENCA _n E1 によるクリアの タイミングで行われるキャプチャ動作	2426
28.6.18.1	付随するキャプチャ動作	2426
28.6.18.2	アップカウント中に ENCA _n EC の入力のタイミングが ENCA _n E1 の入力の タイミングより遅かった場合 (ENCA _n ACL=1、ENCA _n BCL=0、 ENCA _n ZCL=1、ENCA _n UDS[1:0] = 11B のとき)	2427
28.6.18.3	アップカウント中に ENCA _n EC の入力のタイミングが ENCA _n E1 の入力の タイミングと同じだった場合 (ENCA _n ACL=1、ENCA _n BCL=0、 ENCA _n ZCL=1、ENCA _n UDS[1:0] = 11B のとき)	2428
28.6.18.4	アップカウント中に ENCA _n EC の入力のタイミングが ENCA _n E1 の入力の タイミングより早かった場合 (ENCA _n ACL = 1、ENCA _n BCL = 0、 ENCA _n ZCL = 1、ENCA _n UDS[1:0] = 11B のとき)	2428
28.6.18.5	ダウンカウント中に ENCA _n EC の入力のタイミングが ENCA _n E1 の入力の タイミングより遅かった場合 (ENCA _n ACL = 1、ENCA _n BCL = 0、 ENCA _n ZCL = 1、ENCA _n UDS[1:0] = 11B のとき)	2429
28.6.19	ENCA _n SCE = 0 のときに ENCA _n EC によるクリアのタイミングで行われる キャプチャ動作	2430

第 29 章 モータ制御 2431

29.1	RH850/F1K モータ制御の特長	2431
29.1.1	ユニット数とチャネル数	2431
29.1.2	レジスタベースアドレス	2432
29.1.3	クロック供給	2432
29.1.4	割り込み要求	2432
29.1.5	リセット要因	2432
29.1.6	外部入出力信号	2433
29.1.7	内部出力信号	2434

29.2	概要	2435
29.2.1	機能概要	2435
29.2.2	モータ制御機能の構成	2436
29.2.3	ブロック図	2437
29.2.4	用語説明	2438
29.3	レジスタ	2439
29.3.1	レジスタ一覧	2439
29.3.2	TAPAnCTL0 — TAPA 制御レジスタ 0	2440
29.3.3	TAPAnCTL1 — TAPA 制御レジスタ 1	2441
29.3.4	TAPAnFLG — TAPA フラグレジスタ	2442
29.3.5	TAPAnACWE — TAPA 非同期 Hi-Z 制御ライトイネーブルレジスタ	2443
29.3.6	TAPAnACTS — TAPA 非同期 Hi-Z 制御スタートトリガレジスタ	2443
29.3.7	TAPAnACTT — TAPA 非同期 Hi-Z 制御ストップトリガレジスタ	2444
29.3.8	TAPAnOPHS — TAPA Hi-Z スタートトリガレジスタ	2445
29.3.9	TAPAnOPHT — TAPA Hi-Z ストップトリガレジスタ	2445
29.3.10	TAPAnEMU — TAPA エミュレーションレジスタ	2446
29.4	非同期 Hi-Z 制御機能	2447
29.4.1	概要	2447
29.4.2	システム構成例	2447
29.4.3	基本動作	2449
29.4.4	ソフトウェアトリガによる非同期 Hi-Z 制御	2451
29.4.5	操作手順	2452
29.4.6	TAPA0 Hi-Z 制御入力選択	2453
29.4.7	レジスタ	2454
29.4.7.1	PIC0HIZCENn — Hi-Z 出力制御レジスタ n (n = 0)	2454
29.5	INT 信号出力選択機能	2455
29.5.1	INT 信号出力選択機能の構成	2455
29.5.2	ブロック図	2456
29.5.3	レジスタ	2457
29.5.3.1	PIC0REG2n0 — タイマ入出力制御レジスタ 2n0 (n = 0)	2457
29.6	A/D コンバータ変換トリガ選択機能	2458
29.6.1	A/D コンバータ変換トリガ選択機能の構成	2458
29.6.2	ブロック図	2459
29.6.3	三角波 PWM モード時の A/D コンバータトリガ出力制御動作波形	2460
29.6.4	A/D コンバータ変換トリガ選択機能の操作手順	2462
29.7	ADCA トリガ選択機能	2463
29.7.1	機能概要	2463
29.7.2	構成	2463
29.7.3	レジスタ	2464
29.7.3.1	PIC0ADTEN4nj — A/D 変換トリガ出力制御レジスタ 4nj (n = 0, j = 0-2)	2464
29.7.4	動作機能の設定例	2465
29.7.5	設定フロー	2465
29.8	同時スタートトリガ機能	2466
29.8.1	機能概要	2466
29.8.2	構成	2466

29.8.3	レジスタ	2467
29.8.3.1	PIC0SSER0 — 同時スタート制御レジスタ 0	2467
29.8.3.2	PIC0SSER2 — 同時スタート制御レジスタ 2	2467
29.8.3.3	PIC0SST — 同時スタートトリガ制御レジスタ	2468
29.8.4	動作例	2468
29.8.5	設定フロー	2469
29.9	トリガ&パルス幅測定機能	2470
29.9.1	機能概要	2470
29.9.2	構成	2470
29.9.3	レジスタ	2472
29.9.3.1	PIC0REG31 — タイマ入出力制御レジスタ 31	2472
29.9.4	動作例	2474
29.9.5	設定フロー	2476
29.9.6	動作機能の設定例	2479
29.10	A/D トリガエンコーダキャプチャ機能	2482
29.10.1	機能概要	2482
29.10.2	構成	2482
29.10.3	レジスタ	2483
29.10.3.1	PIC0REG30 — タイマ入出力制御レジスタ 30	2483
29.10.4	動作例	2484
29.10.5	設定フロー	2485
29.10.6	動作機能の設定例	2486
29.11	デッドタイム付き 3 相 PWM 出力機能	2487
29.11.1	機能概要	2487
29.11.2	構成	2487
29.11.3	レジスタ	2491
29.11.3.1	PIC0REG2n2 — タイマ入出力制御レジスタ 2n2 (n = 0)	2491
29.11.3.2	PIC0HIZCENn — Hi-Z 出力制御レジスタ n (n = 0)	2492
29.11.4	動作例	2493
29.11.4.1	PWM 出力機能	2493
29.11.4.2	1 相 PWM 出力機能	2493
29.11.4.3	SR フリップフロップ回路	2494
29.11.5	設定フロー	2502
29.11.6	動作機能の設定例	2504
29.11.6.1	TAUDn 設定 (アクティブハイの例)	2504
29.11.6.2	PIC の設定	2508
29.12	デッドタイム付き高精度三角波 PWM 出力機能	2509
29.12.1	機能概要	2509
29.12.2	構成	2510
29.12.3	レジスタ	2512
29.12.3.1	PIC0REG2n0 — タイマ入出力制御レジスタ 2n0 (n = 0)	2512
29.12.3.2	PIC0REG2n1 — タイマ入出力制御レジスタ 2n1 (n = 0)	2513
29.12.3.3	PIC0REG2n2 — タイマ入出力制御レジスタ 2n2 (n = 0)	2515
29.12.3.4	PIC0REG2n3 — タイマ入出力制御レジスタ 2n3 (n = 0)	2516
29.12.3.5	PIC0HIZCENn — Hi-Z 出力制御レジスタ n (n = 0)	2518
29.12.4	動作例	2519
29.12.4.1	デッドタイム付き三角波 PWM 出力機能	2519
29.12.4.2	ワンショットパルス出力機能	2519
29.12.4.3	U 相組み合わせ回路 (PFN001)	2520

29.12.4.4	論理演算回路 (FN0i) (i = 0、1)	2521
29.12.5	設定フロー	2531
29.12.6	動作機能の設定例	2533
29.12.6.1	TAUDn 設定 (アクティブハイの例)	2533
29.12.6.2	PIC の設定 (アクティブハイの例)	2539
29.13	デッドタイム付きディレイパルス出力機能	2540
29.13.1	機能概要	2540
29.13.2	構成	2540
29.13.2.1	TAUDn 構成	2541
29.13.3	レジスタ	2543
29.13.3.1	PIC0REG2n2 — タイマ入出力制御レジスタ 2n2 (n = 0)	2543
29.13.3.2	PIC0HIZCENn — Hi-Z 出力制御レジスタ n (n = 0)	2545
29.13.4	動作例	2546
29.13.4.1	ディレイパルス出力機能	2546
29.13.4.2	1 相 PWM 出力機能	2546
29.13.5	設定フロー	2552
29.13.6	動作機能の設定例	2555
29.13.6.1	TAUDn 設定	2555
29.13.6.2	PIC の設定	2560
第 30 章	PWM 出力／診断 (PWM-Diag)	2561
30.1	RH850/F1K PWM-Diag の特長	2561
30.1.1	ユニット数とチャネル数	2561
30.1.2	レジスタベースアドレス	2562
30.1.3	クロック供給	2562
30.1.4	割り込み要求	2563
30.1.5	リセット要因	2564
30.1.6	外部入出力信号	2565
30.1.7	内部信号	2566
30.1.8	機能概要	2566
30.1.9	ブロック図	2569
30.2	レジスタ	2570
30.2.1	レジスタ一覧	2570
30.2.1.1	PWBA _n BR _S m レジスタ	2571
30.2.1.2	PWBA _n TE レジスタ	2572
30.2.1.3	PWBA _n TS レジスタ	2573
30.2.1.4	PWBA _n TT レジスタ	2574
30.2.1.5	PWBA _n EMU レジスタ	2575
30.2.1.6	PWGAnCTL — PWGA 制御レジスタ	2576
30.2.1.7	PWGAnCNT — PWM 周期カウントレジスタ	2576
30.2.1.8	PWGAnCSDR — PWM 出力セット条件レジスタ	2577
30.2.1.9	PWGAnCRDR — PWM 出力リセット条件レジスタ	2577
30.2.1.10	PWGAnCTDR — PWGA_TRGOUT _n 発生条件レジスタ	2578
30.2.1.11	PWGAnCSBR — PWGAnCSDR バッファレジスタ	2578
30.2.1.12	PWGAnCRBR — PWGAnCRDR バッファレジスタ	2579
30.2.1.13	PWGAnCTBR — PWGAnCTDR バッファレジスタ	2579
30.2.1.14	PWGAnRSF — バッファレジスタリロードステータスレジスタ	2580
30.2.1.15	PWGAnRDT — バッファレジスタリロードトリガレジスタ	2580
30.2.1.16	SLPWGA _k — PWGA 同期トリガレジスタ (k = 0 ~ 2)	2581
30.2.1.17	PWSAnCTL レジスタ	2582
30.2.1.18	PWSAnSTR レジスタ	2582

30.2.1.19	PWSAnSTC レジスタ	2583
30.2.1.20	PWSAnQUEj (j = 0 ~ 7) レジスタ	2583
30.2.1.21	PWSAnPVCrx_y (x = 00, 02, 04 ... 70, y = 01, 03, 05 ... 71) レジスタ	2584
30.2.1.22	PWSAnEMU — エミュレーション制御レジスタ	2585
30.3	操作手順	2586
30.4	PWM-Diag の動作波形	2588
30.4.1	PWGA による PWM 波形出力と A/D 変換トリガ出力の動作波形	2588
30.4.1.1	PWGA の基本動作波形	2588
30.4.1.2	PWGA の一斉書き換え実施時の動作波形	2589
30.4.1.3	PWGA の動作停止・再開時の動作波形	2590
30.4.1.4	PWGA の特定の設定時の動作波形	2591
30.4.2	PWSA による A/D 変換トリガ発生時の動作波形	2592
30.5	A/D コンバータ (ADCA) の PWM-Diag 関連機能	2593
30.5.1	PWM-Diag 機能使用時の ADCA レジスタ	2593
第 31 章	A/D コンバータ (ADCA)	2594
31.1	RH850/F1K ADCA の特長	2594
31.1.1	ユニット数とチャンネル数	2594
31.1.2	レジスタベースアドレス	2595
31.1.3	クロック供給	2596
31.1.4	割り込み要求	2596
31.1.5	リセット要因	2596
31.1.6	外部入出力信号	2597
31.2	概要	2600
31.2.1	機能概要	2600
31.2.2	ブロック図	2602
31.3	レジスタ	2607
31.3.1	レジスタ一覧	2607
31.3.2	ADCA 固有レジスタ	2609
31.3.2.1	ADCAnVCRj — 仮想チャンネルレジスタ j	2609
31.3.2.2	ADCAnPWDVCR — PWM-Diag 仮想チャンネルレジスタ	2612
31.3.2.3	ADCAnDRj — データレジスタ j	2613
31.3.2.4	ADCAnDIRj — データ付帯情報レジスタ j	2614
31.3.2.5	ADCAnPWDTSNDR — PWM-Diag データレジスタ	2615
31.3.2.6	ADCAnPWDDIR — PWM-Diag データ付帯情報レジスタ	2616
31.3.2.7	ADCAnADHALTR — A/D 強制終了レジスタ	2617
31.3.2.8	ADCAnADCR — A/D 制御レジスタ	2618
31.3.2.9	ADCAnMPXCURR — MPX カレントレジスタ	2620
31.3.2.10	ADCAnTHSMPSTCR — T&H サンプル開始制御レジスタ	2621
31.3.2.11	ADCAnTHCR — T&H 制御レジスタ	2622
31.3.2.12	ADCAnTHAHLDDSTCR — T&H グループ A ホールド開始制御レジスタ	2623
31.3.2.13	ADCAnTHBHLDDSTCR — T&H グループ B ホールド開始制御レジスタ	2624
31.3.2.14	ADCAnTHACR — T&H グループ A 制御レジスタ	2625
31.3.2.15	ADCAnTHBCR — T&H グループ B 制御レジスタ	2627
31.3.2.16	ADCAnTHER — T&H イネーブルレジスタ	2629
31.3.2.17	ADCAnTHGSR — T&H グループ選択レジスタ	2630
31.3.2.18	ADCAnSMPCR — サンプル制御レジスタ	2632
31.3.2.19	ADCAnSFTCR — セーフティ制御レジスタ	2633
31.3.2.20	ADCAnULLMTBR0 ~ 2 — 上限/下限テーブルレジスタ 0 ~ 2	2634
31.3.2.21	ADCAnECR — エラークリアレジスタ	2635
31.3.2.22	ADCAnULER — 上限/下限エラーレジスタ	2636

31.3.2.23	ADCAAnOWER — オーバライトエラーレジスタ	2638
31.3.3	スキヤングループ (SG) 固有レジスタ	2639
31.3.3.1	ADCAAnSGSTCRx — スキヤングループ x 開始制御レジスタ	2639
31.3.3.2	ADCAAnSGCRx — スキヤングループ x 制御レジスタ	2640
31.3.3.3	ADCAAnPWDSGCR — PWM-Diag 用スキヤングループ制御レジスタ	2641
31.3.3.4	ADCAAnSGVCSPx — スキヤングループ x 開始仮想チャネルポインタ	2642
31.3.3.5	ADCAAnSGVCEPx — スキヤングループ x 終了仮想チャネルポインタ	2643
31.3.3.6	ADCAAnSGMCYCRx — スキヤングループ x マルチサイクルレジスタ	2644
31.3.3.7	ADCAAnPWDSGSEFCR — PWM-Diag スキャン終了フラグクリアレジスタ	2645
31.3.3.8	ADCAAnSGSEFCRx — スキヤングループ x スキャン終了フラグクリア レジスタ	2646
31.3.3.9	ADCAAnSGSTR — スキヤングループステータスレジスタ	2647
31.3.4	ハードウェアトリガ固有レジスタ	2649
31.3.4.1	ADCAAnSGTSELx — スキヤングループ x 開始トリガ制御レジスタ x	2649
31.3.5	自己診断固有レジスタ	2651
31.3.5.1	ADCAAnDGCTL0 — 自己診断制御レジスタ 0	2651
31.3.5.2	ADCAAnDGCTL1 — 自己診断制御レジスタ 1	2652
31.3.5.3	ADCAAnPDCTL1 — プルダウン制御レジスタ 1	2653
31.3.5.4	ADCAAnPDCTL2 — プルダウン制御レジスタ 2	2654
31.3.6	エミュレーション固有レジスタ	2655
31.3.6.1	ADCAAnEMU — エミュレーション制御レジスタ	2655
31.4	動作	2656
31.4.1	初期設定	2656
31.4.2	トリガ入力	2657
31.4.3	A/D 変換終了	2658
31.4.4	スキヤングループ動作例	2659
31.4.5	チャネルリピートモード	2661
31.4.6	同時トラック & ホールド動作例	2663
31.4.7	外付けアナログマルチプレクサでの A/D 変換	2665
31.4.7.1	PWM-Diag 機能時の A/D 変換動作	2667
31.4.8	同期サスペンド & レジューム動作例	2669
31.4.9	非同期サスペンド & レジューム動作例	2670
31.4.10	エラー検出機能	2671
31.4.10.1	上限/下限エラー検出機能	2671
31.4.10.2	オーバーライトエラー検出機能	2671
31.4.10.3	SVSTOP 動作	2671
31.4.11	ハードウェアトリガによるスキヤングループの起動	2675
31.4.11.1	ADHALT によるスキヤングループ停止	2675
31.4.12	スキャン終了割り込み要求	2675
31.4.13	A/D エラー割り込み要求	2676
31.5	自己診断機能	2677
31.5.1	A/D 変換回路の診断	2678
31.5.1.1	診断手順	2678
31.5.2	チャネルマルチプレクサの診断	2679
31.5.2.1	診断手順	2680
31.5.3	オープン端子の診断	2681
31.5.3.1	診断手順	2682
31.5.4	T&H 回路の診断	2683
31.5.4.1	診断手順 (T&H 回路チャネル 0 の診断の例)	2683
31.5.4.2	診断方法	2685
31.6	A/D 変換精度の定義	2686

31.7	使用上の注意事項	2687
31.7.1	チャンネル入力電圧の範囲	2687
31.7.2	アプリケーション設計上の注意事項	2687
第 32 章	キーリターン (KR)	2693
32.1	RH850/F1K KR の特長	2693
32.1.1	ユニット数とチャンネル数	2693
32.1.2	レジスタベースアドレス	2693
32.1.3	クロック供給	2694
32.1.4	割り込み要求	2694
32.1.5	リセット要因	2694
32.1.6	外部入出力信号	2694
32.2	概要	2695
32.2.1	機能概要	2695
32.2.2	ブロック図	2695
32.3	レジスタ	2696
32.3.1	レジスタ一覧	2696
32.3.2	KRnKRM — キーリターンモードレジスタ	2696
32.4	動作	2697
32.4.1	割り込み要求 INTKRn	2697
第 33 章	ファンクショナルセーフティ	2698
33.1	概要	2698
33.2	ECC	2699
33.2.1	概要	2699
33.2.2	Code Flash の ECC	2701
33.2.2.1	概要	2701
33.2.2.2	割り込み要求	2703
33.2.2.3	レジスタ一覧	2704
33.2.2.4	レジスタ詳細	2705
33.2.3	Data Flash の ECC	2714
33.2.3.1	概要	2714
33.2.3.2	割り込み要求	2714
33.2.3.3	レジスタ一覧	2715
33.2.3.4	レジスタ詳細	2716
33.2.4	ローカル RAM (リテンション RAM を含む) の ECC	2722
33.2.4.1	概要	2722
33.2.4.2	割り込み要求	2723
33.2.4.3	レジスタ一覧	2723
33.2.4.4	レジスタ詳細	2724
33.2.5	周辺 RAM の ECC	2731
33.3	メモリ保護	2732
33.3.1	概要	2732
33.3.1.1	スレーブガードの識別子	2733
33.3.2	PBG	2734
33.3.2.1	レジスタ一覧	2738
33.3.2.2	レジスタ詳細	2742

33.3.3	CPU システム用 PBG.....	2748
33.3.3.1	レジスタ一覧.....	2749
33.3.3.2	レジスタ詳細.....	2750
第 34 章	データ CRC (DCRA)	2756
34.1	RH850/F1K DCRA の特長	2756
34.1.1	ユニット数.....	2756
34.1.2	レジスタベースアドレス	2756
34.1.3	クロック供給	2756
34.1.4	リセット要因	2757
34.2	概要.....	2758
34.2.1	機能概要	2758
34.2.2	ブロック図.....	2758
34.2.3	演算回路	2759
34.3	レジスタ	2760
34.3.1	レジスタ一覧	2760
34.3.2	DCRAnCIN — CRC 入力レジスタ	2761
34.3.3	DCRAnCOUT — CRC データレジスタ	2762
34.3.4	DCRAnCTL — CRC 制御レジスタ	2763
34.4	動作.....	2764
第 35 章	セキュリティ機能.....	2765
第 36 章	オンチップデバッグユニット (OCD)	2766
36.1	RH850/F1K の OCD の概要	2766
36.1.1	機能概要	2766
36.1.2	外部入出力端子	2768
36.2	ペリフェラルブレークの制御	2769
36.3	各モードでの Hot Plug-in	2770
36.3.1	RUN モード	2770
36.3.2	STOP/DeepSTOP モード.....	2770
36.3.3	Cyclic RUN モード	2771
36.3.4	Cyclic STOP モード	2771
36.4	レジスタ	2772
36.4.1	EPC — エミュレーション周辺制御 レジスタ	2772
36.5	オンチップデバッグ使用上の注意.....	2773
36.5.1	デバッグに使用したデバイスの処理	2773
36.5.2	デバッグ接続時のリセット発生について	2773
36.5.3	メインクロックソースとして、MainOSC ではなく HS IntOSC を使用する際の 制限事項	2773
36.5.4	OCD_MD への書き込みおよび RESET が同時に行われた場合、または MTR (DBG_CTRLP) への書き込みおよび RESET が同時に行われた場合の制限事項	2773
36.5.5	デバッグ接続時の DeepSTOP モードへの移行	2773

第 37 章	フラッシュメモリ	2774
37.1	特長	2774
37.2	メモリ構成	2775
37.2.1	コードフラッシュメモリマッピング	2775
37.2.2	データフラッシュメモリマッピング	2776
37.3	フラッシュメモリ関連の動作モード	2777
37.4	機能	2778
37.4.1	機能概要	2778
37.5	シリアルプログラミング	2782
37.5.1	プログラミング環境	2782
37.6	通信モード	2783
37.6.1	非同期フラッシュプログラミングインタフェース 1 wire UART	2783
37.6.2	非同期フラッシュプログラミングインタフェース 2 wire UART	2783
37.6.3	同期フラッシュプログラミングインタフェース CSI	2783
37.6.4	通信方式の選択	2784
37.7	セルフプログラミング	2785
37.7.1	概要	2785
37.7.2	BGO 機能	2786
37.7.3	セルフプログラミングの有効化	2786
37.7.3.1	FLMDCNT レジスタ	2787
37.8	フラッシュメモリの読み出し	2788
37.8.1	コードフラッシュメモリの読み出し	2788
37.8.2	データフラッシュメモリの読み出し	2788
37.8.2.1	EPRDCYCL — データフラッシュウェイトサイクル制御レジスタ	2789
37.8.2.2	PRDNAME _n — 製品名格納レジスタ (n = 1 ~ 3)	2790
37.8.2.3	CHIPID _{nXX} — チップ ID レジスタ (n = 1, 2, XX = LL, LH, HL, HH)	2792
37.9	オプションバイト	2793
37.9.1	オプションバイトの設定	2793
37.9.2	OPBT0 — オプションバイト 0	2794
37.9.3	OPBT1 — オプションバイト 1	2796
37.10	使用上の注意事項	2797
第 38 章	RAM	2798
38.1	特長	2798
38.2	メモリ構成	2799
38.3	使用上の注意事項	2800
第 39 章	バウンダリスキャン	2801
39.1	概要	2801
39.2	特長	2801
39.3	外部入出力端子	2803
39.4	レジスタの説明	2804
39.4.1	インストラクションレジスタ (SDIR)	2805
39.4.2	ID レジスタ (SDID)	2805

39.4.3	バイパスレジスタ (SDBPR)	2805
39.4.4	バウンダリスキャンレジスタ (SDBSR)	2805
39.5	動作説明	2806
39.5.1	TAP コントローラ	2806
39.5.2	サポートするインストラクション	2807
39.5.2.1	BYPASS	2807
39.5.2.2	SAMPLE/PRELOAD	2807
39.5.2.3	EXTEST	2807
39.5.2.4	IDCODE	2807
39.5.3	バウンダリスキャン対象の端子	2808
39.6	使用上の注意	2809
第 40 章	電気的特性	2810
40.1	概要	2810
40.1.1	端子グループ	2810
40.1.1.1	176 ピン	2810
40.1.1.2	144 ピン	2810
40.1.1.3	100 ピン	2810
40.1.2	通常測定条件	2811
40.1.2.1	共通条件	2811
40.1.2.2	AC 特性の測定条件	2812
40.2	絶対最大定格	2813
40.2.1	電源電圧	2813
40.2.2	ポート電圧	2813
40.2.3	ポート電流	2814
40.2.3.1	176 ピン	2815
40.2.3.2	144 ピン	2816
40.2.3.3	100 ピン	2817
40.2.4	温度条件	2817
40.3	キャパシタンス	2818
40.4	動作条件	2819
40.5	オシレータ特性	2821
40.6	内蔵発振器特性	2823
40.7	PLL 特性	2824
40.8	電源特性	2825
40.8.1	レギュレータ特性	2825
40.8.2	電圧検出 (POC, LVI, VLVI, CVM) 特性	2826
40.8.3	パワーアップ/ダウンタイミング	2829
40.8.4	CPU リセット解除タイミング	2834
40.9	端子特性	2835
40.9.1	出力電流	2841
40.9.1.1	176 ピン	2841
40.9.1.2	144 ピン	2842
40.9.1.3	100 ピン	2843
40.10	電源電流	2844
40.11	割り込みタイミング	2846
40.12	RESET タイミング	2847

40.13	ロウパワーサンプラ (DPIN 入力) タイミング	2847
40.14	CSCXFOUT タイミング	2848
40.15	モードタイミング	2849
40.16	タイマタイミング	2850
40.17	RLIN2/RLIN3 タイミング	2852
40.18	RS-CAN タイミング	2852
40.19	CSI タイミング	2853
40.19.1	CSIG タイミング	2853
40.19.2	CSIH タイミング	2854
40.20	RIIC タイミング	2864
40.21	ADTRG タイミング	2867
40.22	キーリターンタイミング	2867
40.23	DCUTRST タイミング	2868
40.24	デバッグインタフェース特性	2869
40.24.1	Nexus インタフェースタイミング	2869
40.24.2	LPD (4 pin) インタフェースタイミング	2870
40.24.3	LPD (1 pin) インタフェースタイミング	2871
40.25	フラッシュプログラミング特性	2872
40.25.1	コードフラッシュ	2872
40.25.2	データフラッシュ	2874
40.25.3	シリアルプログラミングインタフェース	2875
40.25.3.1	シリアルプログラミングセットアップタイミング	2875
40.25.3.2	フラッシュプログラミングインタフェース	2876
40.26	A/D 変換特性	2877
40.26.1	アナログ入力部の等価回路	2880
40.27	注入電流	2881
40.27.1	絶対最大定格	2882
40.27.1.1	176 ピン、144 ピン	2882
40.27.1.2	100 ピン	2883
40.27.2	オーバロード電流の DC 特性	2884
40.27.2.1	176 ピン、144 ピン	2884
40.27.2.2	100 ピン	2884
40.28	熱特性	2885
40.28.1	パラメータ	2885
40.28.2	基板	2885
付録 A.	パッケージ	2886
A.1	パッケージ寸法	2886
A.1.1	176 Pin	2886
A.1.2	144 Pin	2887
A.1.3	100 Pin	2888

第 1 章 概要

1.1 RH850/F1K 製品の特長

RH850/F1K の特長を以下に示します。

RH850/F1K は、G3KH コアを搭載し、低消費電力、高い処理能力、豊富な内蔵周辺機能などを特長とする 32 ビットシングルチップマイクロコントローラです。様々な車載システムに対応するために、豊富なメモリ、パッケージを用意しています。多様なアプリケーションにおいて消費電流を低減させるための電力低減方法が利用できます。例えば、アナログとデジタルの入力が CPU コアを経由せず、入力端子への入力信号をポーリングできる ロウパワー サンプラ (LPS) や、マイクロコントローラの大部分の回路への電源供給をオフできる DeepSTOP モードも備えています。

応用分野

RH850/F1K は、自動車電装分野における下記製品へ適しています。

- BCM (Body Control Module)
- ゲートウェイ
- オートエアコン
- ライトモジュール、ほか

1.2 RH850/F1K の機能

表 1.1 Overview of Product (1/2)

Product name			RH850/F1K		
			100 pin	144 pin	176 pin
Memory			「表 1.2 Product Lineup」を参照		
External memory interface (MEMC)			Not provided		
CPU	CPU System		G3KH		
	CPU frequency		120 MHz max. (ADVANCED/ PREMIUM)	80 MHz max. (ECO) 120 MHz max. (ADVANCED/PREMIUM)	
	FPU		Single-precision		
	Memory Protection Unit (MPU)		Provided		
DMA			16 channels		
Operating clock	Main Oscillator (MainOSC)		16/20/24 MHz		
	Low Speed Internal Oscillator (LS IntOSC)		240 kHz (typ.)		
	High Speed Internal Oscillator (HS IntOSC)		8 MHz (typ.)		
	PLL		Provided		
	Sub Oscillator (SubOSC)		Not provided	32.768 kHz	
I/O port			81	120	150
A/D converter	ADC0	Physical input channels	Total 36 ch (12 bit resolution: 16 ch + 10 bit resolution: 20 ch)	Total 36 ch (12 bit resolution: 16 ch + 10 bit resolution: 20 ch)	Total 36 ch (12 bit resolution: 16 ch + 10 bit resolution: 20 ch)
		External multiplexer support for channel number extension	Provided		
		Channels with T&H	6		
	ADC1	Physical input channels	Not provided	Total 12 ch (12 bit resolution: 8 ch + 10 bit resolution: 4 ch)	Total 24 ch (12 bit resolution: 16 ch + 10 bit resolution: 8 ch)
		External multiplexer support for channel number extension	Not provided		
		Channels with T&H	Not provided		
		Timer Array Unit D (TAUD)	1 unit (16 bit resolution timers × 16 channels /unit)		
Timer Array Unit B (TAUB)	1 unit (16 bit resolution timers × 16 channels /unit)		2 units (16 bit resolution timers × 16 channels /unit)		
Timer Array Unit J (TAUJ)	2 units (32 bit resolution timers × 4 channels /unit)				
Operating System Timer (OSTM)	5 units				
Real-Time Counter (RTCA)	Not provided		1 unit		
Encoder Timer (ENCA)	1 unit				
Window Watchdog Timer A (WDTA)	2 units				

表 1.1 Overview of Product (2/2)

Product name		RH850/F1K			
		100 pin	144 pin	176 pin	
Serial interfaces	Clocked Serial Interface G (CSIG)	1 channel	2 channels		
	Clocked Serial Interface H (CSIH)	4 channels			
	CAN Interface	ADVANCED	ECO/ADVANCED		
		RSCAN : 6 channels (Total 480 message buffers)	RSCAN : 6 channels (Total 480 message buffers)	RSCAN : 7 channels (Total 560 message buffers)	
		PREMIUM			
		RS-CANFD : 6 channels (Total 480 message buffers)	RS-CANFD : 6 channels (Total 480 message buffers)	RS-CANFD : 6 channels + RSCAN : 1 channel (Total 560 message buffers)	
	LIN/UART Interface (RLIN3)	4 channels	6 channels		
	LIN Master Interface (RLIN2)	3 channels	6 channels	10 channels	
I ² C Interface (RIIC)	1 channel				
External Interrupts	Maskable	13	16		
	Non-maskable (NMI)	1			
Other functions	Clock Monitors (CLMA)	For PLL, HS IntOSC, MainOSC			
	Data CRC (DCRA)	4 channels			
	Low-Voltage Indicator (LVI)	Provided			
	Power-On-Clear (POC)	Provided			
	Core Voltage Monitors (CVM)	Provided			
	Error Correction Coding (ECC)	For Code Flash, Data Flash, Local RAM, Retention RAM, CSIH, RS-CAN			
	Low Power Sampling (LPS)	Provided			
	PWM diagnosis (PWM_Diag)	48 channels	64 channels	72 channels	
	Motor Control	1 unit			
	Key Return (KR)	8 channels			
	CLOCK OUTPUT (FOUT)	Provided			
	RESET OUTPUT (RESETOUT)	Provided			
	ICUSE (Intelligent Cryptographic Unit E)	Provided			
	SWDT(Secure WDT)	Provided			
	On-Chip debug (OCD)	Provided			
	Boundary Scan	Provided			
Voltage supply	Internal supply	VPOC to 5.5 V			
	Input/output buffer supplies	VPOC to 5.5 V			
	A/D Converter supplies	3.0 to 5.5 V			
Package	100 pin LQFP	144 pin LQFP	176 pin LQFP		

1.3 RH850/F1K 製品ラインナップ

表 1.2 Product Lineup (1/2)

Pin Count	CPU frequency	Memory				CAN Interface (RSCAN)	CAN FD Interface (RS-CANFD)	Part Name		Line Name
		Code Flash	Local RAM	Data Flash	Retention RAM (RRAM)			Operating Temperature (Ta)		
								-40°C to +105°C	-40°C to +125°C	
144 pins	80 MHz max.	768 KB	32 KB	64 KB	64 KB	6 channels	—	R7F7016023AFP	R7F7016024AFP	ECO
		1024 KB	64 KB		R7F7016023AFP-C			R7F7016024AFP-C		
		1536 KB	96 KB		R7F7016033AFP			R7F7016034AFP		
		2048 KB	128 KB		R7F7016033AFP-C			R7F7016034AFP-C		
176 pins	80 MHz max.	1024 KB	64 KB	64 KB	64 KB	7 channels	—	R7F7015423AFP	R7F7015424AFP	
		1536 KB	96 KB		R7F7015433AFP			R7F7015434AFP		
		2048 KB	128 KB		R7F7015423AFP-C			R7F7015424AFP-C		
					R7F7015433AFP-C			R7F7015434AFP-C		
100 pins	120 MHz max.	768 KB	32 KB	64 KB	64 KB	6 channels	—	R7F7016103AFP	R7F7016104AFP	ADVANCED
		1024 KB	64 KB		R7F7016103AFP-C			R7F7016104AFP-C		
		1536 KB	96 KB		R7F7016113AFP			R7F7016114AFP		
		2048 KB	128 KB		R7F7016113AFP-C			R7F7016114AFP-C		
144 pins	120 MHz max.	768 KB	32 KB	64 KB	64 KB	6 channels	—	R7F7015613AFP	R7F7015614AFP	
		1024 KB	64 KB		R7F7015603AFP			R7F7015604AFP		
		1536 KB	96 KB		R7F7015613AFP-C			R7F7015614AFP-C		
		2048 KB	128 KB		R7F7015613AFP-C			R7F7015614AFP-C		
144 pins	120 MHz max.	768 KB	32 KB	64 KB	64 KB	6 channels	—	R7F7016123AFP	R7F7016124AFP	
		1024 KB	64 KB		R7F7016123AFP-C			R7F7016124AFP-C		
		1536 KB	96 KB		R7F7016133AFP			R7F7016134AFP		
		2048 KB	128 KB		R7F7016133AFP-C			R7F7016134AFP-C		

表 1.2 Product Lineup (2/2)

Pin Count	CPU frequency	Memory				CAN Interface (RSCAN)	CAN FD Interface (RS-CANFD)	Part Name		Line Name
		Code Flash	Local RAM	Data Flash	Retention RAM (RRAM)			Operating Temperature (Ta)		
								-40°C to +105°C	-40°C to +125°C	
176 pins	120 MHz max.	1024 KB	64 KB	64 KB	64 KB	7 channels	—	R7F7015773AFP	R7F7015774AFP	ADVANCED
		1536 KB	96 KB					R7F7015774AFP-C	R7F7015774AFP-C	
		2048 KB	128 KB					R7F7015663AFP	R7F7015664AFP	
								R7F7015663AFP-C	R7F7015664AFP-C	
								R7F7015673AFP	R7F7015674AFP	
								R7F7015673AFP-C	R7F7015674AFP-C	
100 pins	120 MHz max.	768 KB	32 KB	64 KB	64 KB	—	6 channels	R7F7016203AFP	R7F7016204AFP	PREMIUM
		1024 KB	64 KB					R7F7016203AFP-C	R7F7016204AFP-C	
		1536 KB	96 KB					R7F7016213AFP	R7F7016214AFP	
								R7F7016213AFP-C	R7F7016214AFP-C	
								R7F7015803AFP	R7F7015804AFP	
								R7F7015803AFP-C	R7F7015804AFP-C	
144 pins	120 MHz max.	768 KB	32 KB	64 KB	64 KB	—	6 channels	R7F7015813AFP	R7F7015814AFP	
		2048 KB	128 KB					R7F7015813AFP-C	R7F7015814AFP-C	
								R7F7016223AFP	R7F7016224AFP	
								R7F7016223AFP-C	R7F7016224AFP-C	
								R7F7016233AFP	R7F7016234AFP	
								R7F7016233AFP-C	R7F7016234AFP-C	
176 pins	120 MHz max.	1024 KB	64 KB	64 KB	64 KB	1 channel	6 channels	R7F7015823AFP	R7F7015824AFP	
		1536 KB	96 KB					R7F7015823AFP-C	R7F7015824AFP-C	
		2048 KB	128 KB					R7F7015833AFP	R7F7015834AFP	
								R7F7015833AFP-C	R7F7015834AFP-C	
								R7F7015973AFP	R7F7015974AFP	
								R7F7015973AFP-C	R7F7015974AFP-C	
176 pins	120 MHz max.	1024 KB	64 KB	64 KB	64 KB	1 channel	6 channels	R7F7015863AFP	R7F7015864AFP	
		1536 KB	96 KB					R7F7015863AFP-C	R7F7015864AFP-C	
		2048 KB	128 KB					R7F7015873AFP	R7F7015874AFP	
								R7F7015873AFP-C	R7F7015874AFP-C	
								R7F7015873AFP	R7F7015874AFP	
								R7F7015873AFP-C	R7F7015874AFP-C	

1.4 RH850/F1K 製品内部ブロック図

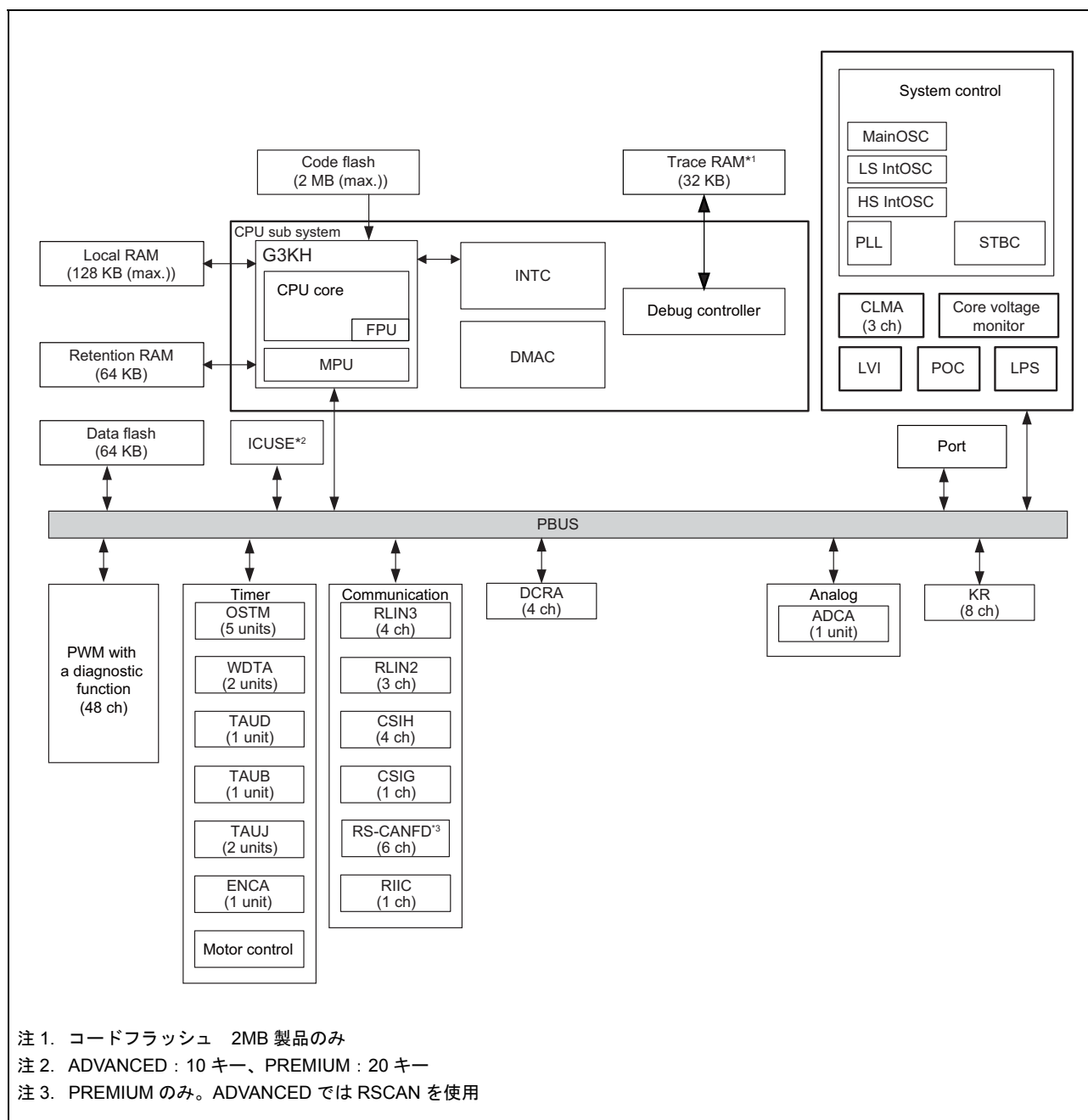


図 1.1 内部ブロック図 (RH850/F1K 100 pin)

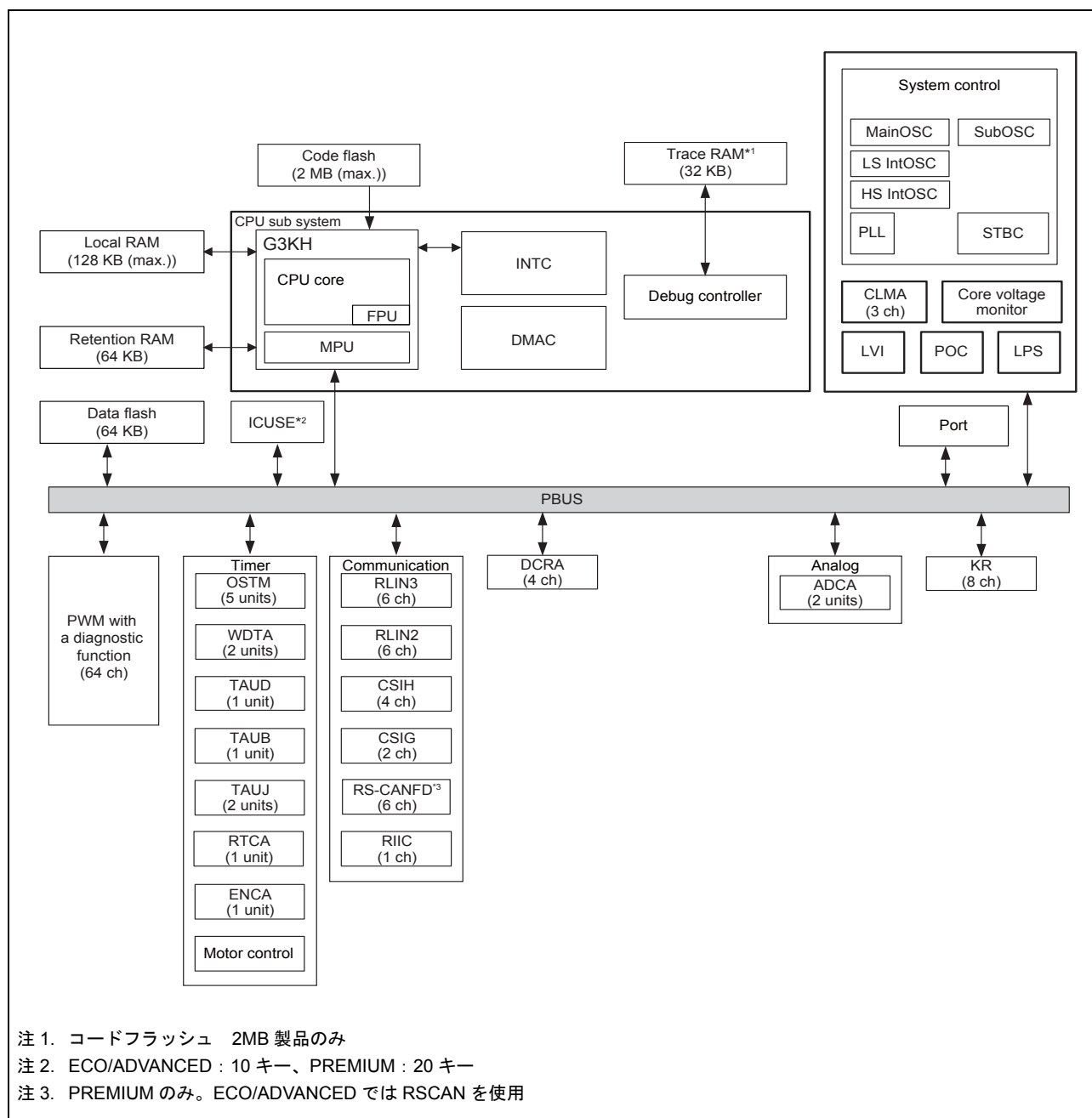


図 1.2 内部ブロック図 (RH850/F1K 144 pin)

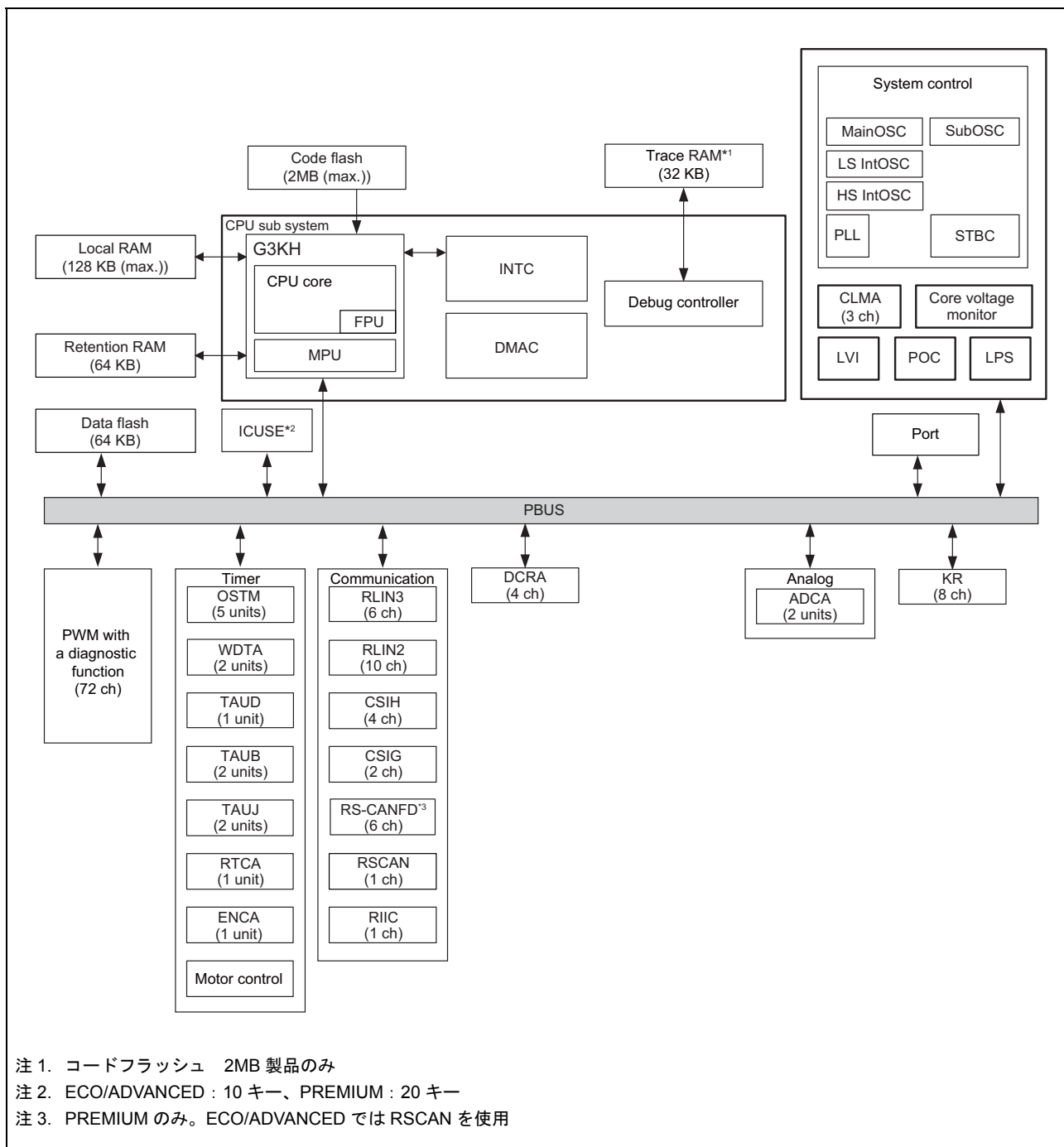


図 1.3 内部ブロック図 (RH850/F1K 176 pin)

第2章 端子

本章では、端子およびポート機能について説明します。

2.1～2.5節では、端子接続図および各端子について説明します。

2.6～2.13節では、ポート機能の一般的な内容について説明します。

2.1 端子

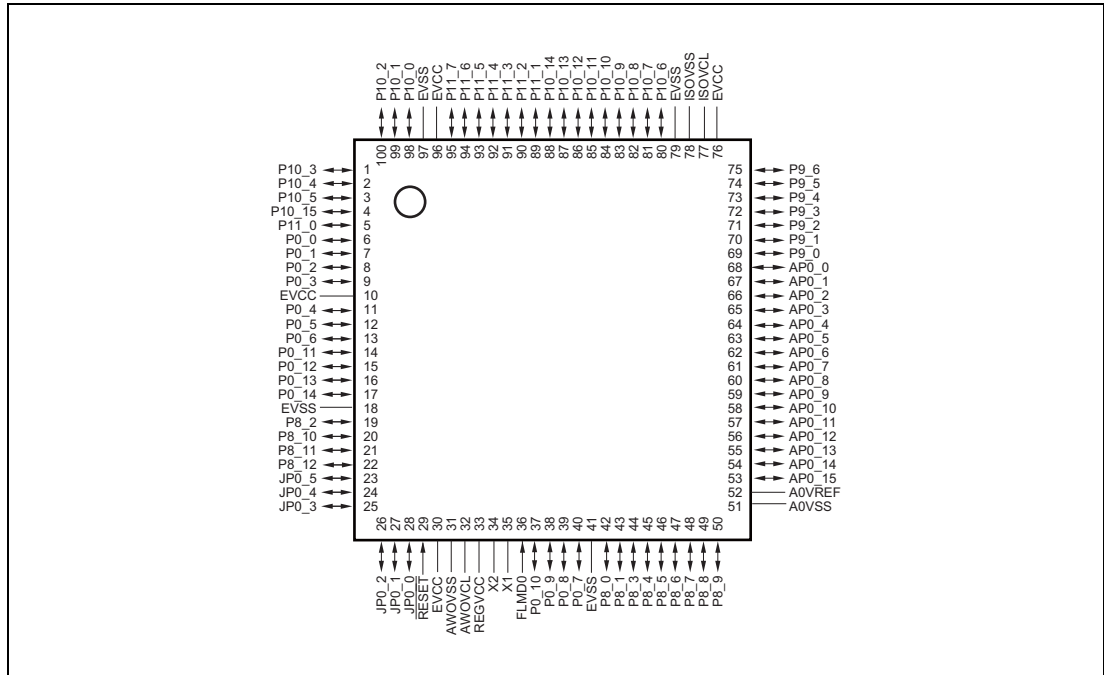


図 2.1 端子接続図 (100 pin LQFP)

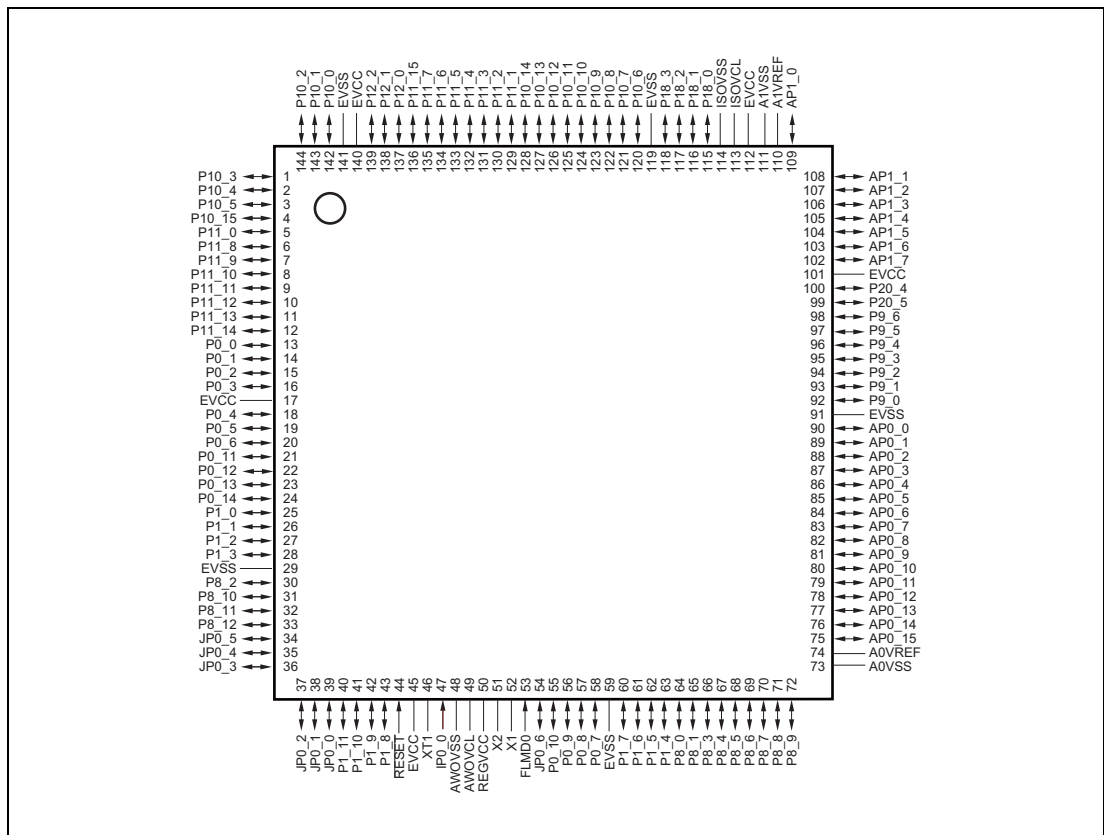


图 2.2 端子接続図 (144 pin LQFP)

表 2.1 端子配置 100 pin LQFP (1/3)

端子番号	端子名
1	P10_3 / TAUD0I7 / TAUD0O7 / RIIC0SCL / KR011 / PWGA3O / ADCA0TRG1 / TAPA0VN / $\overline{\text{CSIH1SSI}}$
2	P10_4 / TAUD0I9 / TAUD0O9 / RLIN21RX / KR0I2 / ADCA0SEL0 / ADCA0TRG2 / TAPA0WP / $\overline{\text{CSIG0SSI}}$
3	P10_5 / TAUD0I11 / TAUD0O11 / RLIN21TX / KR0I3 / ADCA0SEL1 / TAPA0WN / CSIG0RY1 / CSIG0RYO
4	P10_15 / CSIH3RYI / CSIH3RYO / PWGA24O / RLIN22RX / TAUB0I9 / TAUB0O9
5	P11_0 / CSIH2RYI / CSIH2RYO / PWGA25O / RLIN22TX / TAUB0I11 / TAUB0O11
6	P0_0 / TAUD0I2 / TAUD0O2 / RLIN20RX / CAN0TX / PWGA10O / $\overline{\text{CSIH0SSI}}$ / DPO
7	P0_1 / TAUD0I4 / TAUD0O4 / CAN0RX / INTP0 / RLIN20TX / PWGA11O / CSIH0SI / APO
8	P0_2 / TAUD0I6 / TAUD0O6 / CAN1RX / INTP1 / RLIN30TX / PWGA12O / CSIH0SC / DPO
9	P0_3 / TAUD0I8 / TAUD0O8 / RLIN30RX / INTP10 / CAN1TX / DPIN1 / PWGA13O / CSIH0SO
10	EVCC
11	P0_4 / RLIN31RX / INTP11 / CAN2TX / PWGA10O / CSIH1SI / SELDP0 / DPIN8
12	P0_5 / CAN2RX / INTP2 / RLIN31TX / DPIN9 / SELDP1 / CSIH1SO
13	P0_6 / INTP2 / DPIN10 / SELDP2 / CSIH1SC / PWGA35O
14	P0_11 / RIIC0SDA / DPIN12 / CSIH1CSS2 / TAUB0I8 / TAUB0O8 / PWGA34O
15	P0_12 / RIIC0SCL / DPIN13 / PWGA45O / TAUB0I10 / TAUB0O10 / CSIG0SI
16	P0_13 / RLIN32RX / INTP12 / PWGA46O / TAUB0I12 / TAUB0O12 / CSIG0SO / CAN5RX / INTP5
17	P0_14 / RLIN32TX / PWGA47O / TAUB0I14 / TAUB0O14 / CSIG0SC / CAN5TX
18	EVSS
19	P8_2 / TAUJ0I0 / TAUJ0O0 / DPIN2 / CSIH0CSS0 / INTP6 / PWGA22O / ADCA0I4S
20	P8_10 / CSIH3CSS3 / DPIN14 / PWGA42O / ADCA0I17S
21	P8_11 / TAUJ1I2 / TAUJ1O2 / DPIN15 / PWGA43O / CSIH1CSS4 / ADCA0I18S
22	P8_12 / TAUJ1I3 / TAUJ1O3 / DPIN16 / PWGA44O / CSIH1CSS5 / ADCA0I19S
23	JP0_5 / NMI / TAUJ0I3 / TAUJ0O3 / $\overline{\text{DCURDY}}$ / LPDCLKOUT
24	JP0_4 / $\overline{\text{DCUTRST}}$
25	JP0_3 / INTP3 / CSCXFOUT / TAUJ0I2 / TAUJ0O2 / DCUTMS
26	JP0_2 / INTP2 / TAUJ0I1 / TAUJ0O1 / FPCK / DCUTCK / LPDCLK
27	JP0_1 / INTP1 / TAUJ0I0 / TAUJ0O0 / FPDT / DCUTDO / LPDO
28	JP0_0 / INTP0 / FPDR / FPDT / DCUTDI / LPDI / LPDIO
29	$\overline{\text{RESET}}$
30	EVCC
31	AWOVSS
32	AWOVCL
33	REGVCC
34	X2
35	X1
36	FLMD0
37	P0_10 / INTP3 / CSIH1CSS1 / DPIN11 / RLIN22TX / TAUB0I6 / TAUB0O6 / CAN4TX
38	P0_9 / INTP12 / CSIH1CSS0 / DPIN7 / RLIN22RX / TAUB0I4 / TAUB0O4 / CAN4RX / INTP4
39	P0_8 / RLIN21TX / DPIN6 / CSIH0CSS6 / $\overline{\text{CSIH1SSI}}$ / TAUB0I2 / TAUB0O2 / CAN3TX
40	P0_7 / RLIN21RX / DPIN5 / CSCXFOUT / CSIH1RYI / CSIH1RYO / TAUB0I0 / TAUB0O0 / CAN3RX / INTP3
41	EVSS

表 2.1 端子配置 100 pin LQFP (2/3)

端子番号	端子名
42	P8_0 / TAUJ0I0 / TAUJ0O0 / DPIN2 / PWGA14O / INTP4 / CSIH0CSS0 / ADCA0I0S
43	P8_1 / TAPA0ESO / TAUJ0O1 / DPIN0 / PWGA15O / INTP5 / CSIH1CSS3 / ADCA0I1S
44	P8_3 / TAUJ0I1 / TAUJ0O1 / DPIN3 / CSIH0CSS1 / INTP7 / PWGA23O / ADCA0I5S
45	P8_4 / TAUJ0I2 / TAUJ0O2 / DPIN4 / CSIH0CSS2 / INTP8 / PWGA36O / ADCA0I6S
46	P8_5 / TAUJ0I3 / TAUJ0O3 / NMI / CSIH0CSS3 / PWGA37O / ADCA0I7S
47	P8_6 / NMI / CSIH0CSS4 / PWGA38O / ADCA0I8S / RESETOUT
48	P8_7 / CSIH3CSS0 / PWGA39O / ADCA0SEL0 / ADCA0I14S
49	P8_8 / CSIH3CSS1 / PWGA40O / ADCA0SEL1 / ADCA0I15S
50	P8_9 / CSIH3CSS2 / PWGA41O / ADCA0SEL2 / ADCA0I16S
51	A0VSS
52	A0VREF
53	AP0_15 / ADCA0I15
54	AP0_14 / ADCA0I14
55	AP0_13 / ADCA0I13
56	AP0_12 / ADCA0I12
57	AP0_11 / ADCA0I11
58	AP0_10 / ADCA0I10
59	AP0_9 / ADCA0I9
60	AP0_8 / ADCA0I8
61	AP0_7 / ADCA0I7
62	AP0_6 / ADCA0I6
63	AP0_5 / ADCA0I5
64	AP0_4 / ADCA0I4
65	AP0_3 / ADCA0I3
66	AP0_2 / ADCA0I2
67	AP0_1 / ADCA0I1
68	AP0_0 / ADCA0I0
69	P9_0 / NMI / PWGA8O / TAUD0I0 / TAUD0O0 / ADCA0TRG0 / CSIH2CSS0 / KR0I4 / ADCA0I2S
70	P9_1 / INTP11 / PWGA9O / TAUD0I2 / TAUD0O2 / KR0I5 / CSIH2CSS1 / ADCA0I3S
71	P9_2 / KR0I6 / PWGA20O / TAPA0ESO / CSIH2CSS2 / ADCA0I9S
72	P9_3 / KR0I7 / PWGA21O / CSIH2CSS3 / TAUJ1I1 / TAUJ1O1 / ADCA0I10S
73	P9_4 / CSIH0CSS5 / PWGA33O / TAUJ1I0 / TAUJ1O0 / ADCA0I11S
74	P9_5 / CSIH0CSS6 / PWGA34O / TAUJ1I1 / TAUJ1O1 / ADCA0I12S
75	P9_6 / CSIH0CSS7 / PWGA35O / ADCA0I13S
76	EVCC
77	ISOVCL
78	ISOVSS
79	EVSS
80	P10_6 / TAUD0I13 / TAUD0O13 / CSIG0SO / ENCA0TIN0 / ADCA0SEL2 / CAN1RX / INTP1 / MODE2
81	P10_7 / TAUD0I15 / TAUD0O15 / CSIG0SC / ENCA0TIN1 / PWGA4O / CAN1TX
82	P10_8 / TAUD0I10 / TAUD0O10 / CSIG0SI / ENCA0EC / PWGA5O / FLMD1

表 2.1 端子配置 100 pin LQFP (3/3)

端子番号	端子名
83	P10_9 / TAUD0I12 / TAUD0O12 / RLIN30RX / INTP10 / ENCA0E0 / PWGA6O / CSIH0RYI / CSIH0RYO
84	P10_10 / TAUD0I14 / TAUD0O14 / RLIN30TX / ENCA0E1 / PWGA7O / CSIH0CSS1
85	P10_11 / PWGA16O / RLIN31RX / INTP11 / CSIH1CSS0 / TAUB0I1 / TAUB0O1
86	P10_12 / PWGA17O / RLIN31TX / CSIH1CSS1 / TAUB0I3 / TAUB0O3
87	P10_13 / $\overline{\text{CSIH0SSI}}$ / PWGA18O / RLIN32RX / INTP12 / TAUB0I5 / TAUB0O5
88	P10_14 / PWGA19O / RLIN32TX / $\overline{\text{CSIH3SSI}}$ / TAUB0I7 / TAUB0O7
89	P11_1 / $\overline{\text{CSIH2SSI}}$ / RLIN20RX / CSIH0CSS7 / PWGA26O / TAUB0I13 / TAUB0O13
90	P11_2 / CSIH2SO / RLIN32RX / INTP12 / RLIN20TX / PWGA27O / TAUB0I15 / TAUB0O15
91	P11_3 / CSIH2SC / CAN3RX / INTP3 / PWGA28O / RLIN32TX
92	P11_4 / CSIH2SI / CAN3TX / PWGA29O
93	P11_5 / CAN5RX / INTP5 / RLIN33TX / PWGA30O / CSIH3SI
94	P11_6 / RLIN33RX / INTP13 / CAN5TX / PWGA31O / CSIH3SO
95	P11_7 / INTP5 / PWGA32O / CSIH3SC
96	EVCC
97	EVSS
98	P10_0 / TAUD0I1 / TAUD0O1 / CAN0RX / INTP0 / CSCXFOUT / PWGA0O / TAPA0UP / CSIH1SI
99	P10_1 / TAUD0I3 / TAUD0O3 / CAN0TX / PWGA1O / TAPA0UN / CSIH1SC / MODE0
100	P10_2 / TAUD0I5 / TAUD0O5 / RIIC0SDA / KR0I0 / PWGA2O / ADCA0TRG0 / TAPA0VP / CSIH1SO / MODE1

表 2.2 端子配置 144 pin LQFP (1/4)

端子番号	端子名
1	P10_3 / TAUD017 / TAUD007 / RIIC0SCL / KR011 / PWGA30 / ADCA0TRG1 / TAPA0VN / $\overline{\text{CSIH1SSI}}$
2	P10_4 / TAUD019 / TAUD009 / RLIN21RX / KR012 / ADCA0SEL0 / ADCA0TRG2 / TAPA0WP / $\overline{\text{CSIG0SSI}}$
3	P10_5 / TAUD011 / TAUD0011 / RLIN21TX / KR013 / ADCA0SEL1 / TAPA0WN / CSIG0RYI / CSIG0RYO
4	P10_15 / CSIH3RYI / CSIH3RYO / PWGA240 / RLIN22RX / TAUB0I9 / TAUB0O9
5	P11_0 / CSIH2RYI / CSIH2RYO / ADCA1TRG2 / PWGA250 / RLIN22TX / TAUB0I11 / TAUB0O11
6	P11_8 / $\overline{\text{CSIG1SSI}}$ / RLIN35TX / PWGA480
7	P11_9 / CSIG1SO / RLIN35RX / INTP15 / PWGA490
8	P11_10 / CSIG1SC / PWGA500
9	P11_11 / CSIG1SI / RLIN25TX / PWGA510
10	P11_12 / RLIN25RX / PWGA520
11	P11_13 / RLIN24RX / PWGA530
12	P11_14 / RLIN24TX / PWGA540
13	P0_0 / TAUD0I2 / TAUD0O2 / RLIN20RX / CAN0TX / PWGA100 / $\overline{\text{CSIH0SSI}}$ / DPO
14	P0_1 / TAUD0I4 / TAUD0O4 / CAN0RX / INTP0 / RLIN20TX / PWGA110 / CSIH0SI / APO
15	P0_2 / TAUD0I6 / TAUD0O6 / CAN1RX / INTP1 / RLIN30TX / PWGA120 / CSIH0SC / DPO
16	P0_3 / TAUD0I8 / TAUD0O8 / RLIN30RX / INTP10 / CAN1TX / DPIN1 / PWGA130 / CSIH0SO
17	EVCC
18	P0_4 / RLIN31RX / INTP11 / CAN2TX / PWGA100 / CSIH1SI / SELDP0 / DPIN8
19	P0_5 / CAN2RX / INTP2 / RLIN31TX / DPIN9 / SELDP1 / CSIH1SO
20	P0_6 / INTP2 / DPIN10 / SELDP2 / CSIH1SC / PWGA350
21	P0_11 / RIIC0SDA / DPIN12 / CSIH1CSS2 / TAUB0I8 / TAUB0O8 / PWGA340
22	P0_12 / RIIC0SCL / DPIN13 / PWGA450 / TAUB0I10 / TAUB0O10 / CSIG0SI
23	P0_13 / RLIN32RX / INTP12 / PWGA460 / TAUB0I12 / TAUB0O12 / CSIG0SO / CAN5RX / INTP5
24	P0_14 / RLIN32TX / PWGA470 / TAUB0I14 / TAUB0O14 / CSIG0SC / CAN5TX
25	P1_0 / RLIN33RX / INTP13
26	P1_1 / RLIN33TX
27	P1_2 / CAN3RX / INTP3
28	P1_3 / CAN3TX / DPIN23
29	EVSS
30	P8_2 / TAUJ0I0 / TAUJ0O0 / DPIN2 / CSIH0CSS0 / INTP6 / PWGA220 / ADCA0I4S
31	P8_10 / CSIH3CSS3 / DPIN14 / PWGA420 / ADCA0I17S
32	P8_11 / TAUJ1I2 / TAUJ1O2 / DPIN15 / PWGA430 / CSIH1CSS4 / ADCA0I18S
33	P8_12 / TAUJ1I3 / TAUJ1O3 / DPIN16 / PWGA440 / CSIH1CSS5 / ADCA0I19S
34	JP0_5 / NMI / RTCA0OUT / TAUJ0I3 / TAUJ0O3 / $\overline{\text{DCURDY}}$ / LPDCLKOUT
35	JP0_4 / $\overline{\text{DCUTRST}}$
36	JP0_3 / INTP3 / CSCXFOUT / TAUJ0I2 / TAUJ0O2 / DCUTMS
37	JP0_2 / INTP2 / TAUJ0I1 / TAUJ0O1 / FPCK / DCUTCK / LPDCLK
38	JP0_1 / INTP1 / TAUJ0I0 / TAUJ0O0 / FPDT / DCUTDO / LPDO
39	JP0_0 / INTPO / FPDR / FPDT / DCUTDI / LPDI / LPDIO
40	P1_11 / ADCA1TRG2 / RLIN24TX / DPIN22
41	P1_10 / RLIN24RX / DPIN21

表 2.2 端子配置 144 pin LQFP (2/4)

端子番号	端子名
42	P1_9 / RLIN34TX / DPIN20
43	P1_8 / RLIN34RX / INTP14
44	RESET
45	EVCC
46	XT1
47	IP0_0 / XT2
48	AWOVSS
49	AWOVCL
50	REGVCC
51	X2
52	X1
53	FLMD0
54	JP0_6 / EVTO
55	P0_10 / INTP3 / CSIH1CSS1 / DPIN11 / RLIN22TX / TAUB0I6 / TAUB0O6 / CAN4TX
56	P0_9 / INTP12 / CSIH1CSS0 / DPIN7 / RLIN22RX / TAUB0I4 / TAUB0O4 / CAN4RX / INTP4
57	P0_8 / RLIN21TX / DPIN6 / CSIH0CSS6 / CSIH1SS1 / TAUB0I2 / TAUB0O2 / CAN3TX
58	P0_7 / RLIN21RX / DPIN5 / CSCXFOUT / CSIH1RYI / CSIH1RYO / TAUB0I0 / TAUB0O0 / CAN3RX / INTP3
59	EVSS
60	P1_7 / ADCA1TRG1 / RLIN25TX / DPIN19
61	P1_6 / RLIN25RX / DPIN18
62	P1_5 / ADCA1TRG0 / RLIN35TX / DPIN17
63	P1_4 / RLIN35RX / INTP15
64	P8_0 / TAUJ0I0 / TAUJ0O0 / DPIN2 / PWGA14O / INTP4 / CSIH0CSS0 / ADCA0I0S
65	P8_1 / TAPA0ESO / TAUJ0O1 / DPIN0 / PWGA15O / INTP5 / CSIH1CSS3 / ADCA0I1S
66	P8_3 / TAUJ0I1 / TAUJ0O1 / DPIN3 / CSIH0CSS1 / INTP7 / PWGA23O / ADCA0I5S
67	P8_4 / TAUJ0I2 / TAUJ0O2 / DPIN4 / CSIH0CSS2 / INTP8 / PWGA36O / ADCA0I6S
68	P8_5 / TAUJ0I3 / TAUJ0O3 / NMI / CSIH0CSS3 / INTP9 / PWGA37O / ADCA0I7S
69	P8_6 / NMI / CSIH0CSS4 / PWGA38O / RTCA0OUT / ADCA0I8S / RESETOUT
70	P8_7 / CSIH3CSS0 / PWGA39O / ADCA0SEL0 / RTCA0OUT / ADCA0I14S
71	P8_8 / CSIH3CSS1 / PWGA40O / ADCA0SEL1 / ADCA0I15S
72	P8_9 / CSIH3CSS2 / PWGA41O / ADCA0SEL2 / ADCA0I16S
73	A0VSS
74	A0VREF
75	AP0_15 / ADCA0I15
76	AP0_14 / ADCA0I14
77	AP0_13 / ADCA0I13
78	AP0_12 / ADCA0I12
79	AP0_11 / ADCA0I11
80	AP0_10 / ADCA0I10
81	AP0_9 / ADCA0I9
82	AP0_8 / ADCA0I8

表 2.2 端子配置 144 pin LQFP (3/4)

端子番号	端子名
83	AP0_7 / ADCA0I7
84	AP0_6 / ADCA0I6
85	AP0_5 / ADCA0I5
86	AP0_4 / ADCA0I4
87	AP0_3 / ADCA0I3
88	AP0_2 / ADCA0I2
89	AP0_1 / ADCA0I1
90	AP0_0 / ADCA0I0
91	EVSS
92	P9_0 / NMI / PWGA80 / TAUD0I0 / TAUD0O0 / ADCA0TRG0 / CSIH2CSS0 / KR0I4 / ADCA0I2S
93	P9_1 / INTP11 / PWGA90 / TAUD0I2 / TAUD0O2 / KR0I5 / CSIH2CSS1 / ADCA0I3S
94	P9_2 / KR0I6 / PWGA200 / TAPA0ESO / CSIH2CSS2 / ADCA0I9S
95	P9_3 / KR0I7 / PWGA210 / CSIH2CSS3 / TAUJ1I1 / TAUJ1O1 / ADCA0I10S
96	P9_4 / CSIH0CSS5 / PWGA330 / TAUJ1I0 / TAUJ1O0 / ADCA0I11S
97	P9_5 / CSIH0CSS6 / PWGA340 / TAUJ1I1 / TAUJ1O1 / ADCA0I12S
98	P9_6 / CSIH0CSS7 / PWGA350 / ADCA0I13S
99	P20_5 / RLIN23TX / PWGA600
100	P20_4 / RLIN23RX / PWGA590
101	EVCC
102	AP1_7 / ADCA1I7
103	AP1_6 / ADCA1I6
104	AP1_5 / ADCA1I5
105	AP1_4 / ADCA1I4
106	AP1_3 / ADCA1I3
107	AP1_2 / ADCA1I2
108	AP1_1 / ADCA1I1
109	AP1_0 / ADCA1I0
110	A1VREF
111	A1VSS
112	EVCC
113	ISOVCL
114	ISOVSS
115	P18_0 / CSIG1RYI / CSIG1RYO / PWGA610 / ADCA1I0S
116	P18_1 / PWGA620 / ADCA1I1S
117	P18_2 / PWGA630 / ADCA1I2S
118	P18_3 / ADCA1I3S
119	EVSS
120	P10_6 / TAUD0I13 / TAUD0O13 / CSIG0SO / ENCA0TIN0 / ADCA0SEL2 / CAN1RX / INTP1 / MODE2
121	P10_7 / TAUD0I15 / TAUD0O15 / CSIG0SC / ENCA0TIN1 / PWGA40 / CAN1TX
122	P10_8 / TAUD0I10 / TAUD0O10 / CSIG0SI / ENCA0EC / PWGA50 / FLMD1
123	P10_9 / TAUD0I12 / TAUD0O12 / RLIN30RX / INTP10 / ENCA0E0 / PWGA60 / CSIH0RYI / CSIH0RYO

表 2.2 端子配置 144 pin LQFP (4/4)

端子番号	端子名
124	P10_10 / TAUD0I14 / TAUD0O14 / RLIN30TX / ENCA0E1 / PWGA70 / CSIH0CSS1
125	P10_11 / PWGA16O / RLIN31RX / INTP11 / CSIH1CSS0 / TAUB0I1 / TAUB0O1
126	P10_12 / PWGA17O / RLIN31TX / CSIH1CSS1 / TAUB0I3 / TAUB0O3
127	P10_13 / CSIH0SSI / PWGA18O / RLIN32RX / INTP12 / TAUB0I5 / TAUB0O5
128	P10_14 / ADCA1TRG0 / PWGA19O / RLIN32TX / CSIH3SSI / TAUB0I7 / TAUB0O7
129	P11_1 / CSIH2SSI / RLIN20RX / CSIH0CSS7 / PWGA26O / TAUB0I13 / TAUB0O13
130	P11_2 / CSIH2SO / RLIN32RX / INTP12 / RLIN20TX / PWGA27O / TAUB0I15 / TAUB0O15
131	P11_3 / CSIH2SC / CAN3RX / INTP3 / PWGA28O / RLIN32TX
132	P11_4 / CSIH2SI / CAN3TX / PWGA29O
133	P11_5 / CAN5RX / INTP5 / RLIN33TX / PWGA30O / CSIH3SI
134	P11_6 / RLIN33RX / INTP13 / CAN5TX / ADCA1TRG1 / PWGA31O / CSIH3SO
135	P11_7 / INTP5 / PWGA32O / CSIH3SC
136	P11_15 / CAN2RX / INTP2 / CSIH2CSS4 / PWGA55O
137	P12_0 / CAN2TX / PWGA56O
138	P12_1 / RLIN34RX / INTP14 / CSIH2CSS5 / PWGA57O
139	P12_2 / RLIN34TX / PWGA58O
140	EVCC
141	EVSS
142	P10_0 / TAUD0I1 / TAUD0O1 / CAN0RX / INTP0 / CSCXFOUT / PWGA0O / TAPA0UP / CSIH1SI
143	P10_1 / TAUD0I3 / TAUD0O3 / CAN0TX / PWGA1O / TAPA0UN / CSIH1SC / MODE0
144	P10_2 / TAUD0I5 / TAUD0O5 / RIIC0SDA / KR0I0 / PWGA2O / ADCA0TRG0 / TAPA0VP / CSIH1SO / MODE1

表 2.3 端子配置 176 pin LQFP (1/5)

端子番号	端子名
1	P10_3 / TAUD0I7 / TAUD0O7 / RIIC0SCL / KR0I1 / PWGA3O / ADCA0TRG1 / TAPA0VN / $\overline{\text{CSIH1SSI}}$
2	P10_4 / TAUD0I9 / TAUD0O9 / RLIN21RX / KR0I2 / ADCA0SEL0 / ADCA0TRG2 / TAPA0WP / $\overline{\text{CSIG0SSI}}$
3	P10_5 / TAUD0I11 / TAUD0O11 / RLIN21TX / KR0I3 / ADCA0SEL1 / TAPA0WN / CSIG0RYI / CSIG0RYO
4	EVCC
5	EVSS
6	P10_15 / CSIH3RYI / CSIH3RYO / PWGA24O / RLIN22RX / TAUB0I9 / TAUB0O9
7	P11_0 / CSIH2RYI / CSIH2RYO / ADCA1TRG2 / PWGA25O / RLIN22TX / TAUB0I11 / TAUB0O11
8	P11_8 / $\overline{\text{CSIG1SSI}}$ / RLIN35TX / PWGA48O / TAUB1I11 / TAUB1O11
9	P11_9 / CSIG1SO / RLIN35RX / INTP15 / PWGA49O / TAUB1I13 / TAUB1O13
10	P11_10 / CSIG1SC / PWGA50O / TAUB1I15 / TAUB1O15
11	P11_11 / CSIG1SI / RLIN25TX / PWGA51O / TAUB1I0 / TAUB1O0
12	P11_12 / RLIN25RX / PWGA52O / TAUB1I2 / TAUB1O2
13	P11_13 / RLIN24RX / PWGA53O / TAUB1I4 / TAUB1O4
14	P11_14 / RLIN24TX / PWGA54O / TAUB1I6 / TAUB1O6
15	P12_3 / RLIN27RX / PWGA68O
16	P12_4 / RLIN27TX / PWGA69O
17	P12_5 / PWGA70O
18	P0_0 / TAUD0I2 / TAUD0O2 / RLIN20RX / CAN0TX / PWGA10O / $\overline{\text{CSIH0SSI}}$ / DPO
19	P0_1 / TAUD0I4 / TAUD0O4 / CAN0RX / INTP0 / RLIN20TX / PWGA11O / CSIH0SI / APO
20	P0_2 / TAUD0I6 / TAUD0O6 / CAN1RX / INTP1 / RLIN30TX / PWGA12O / CSIH0SC / DPO
21	P0_3 / TAUD0I8 / TAUD0O8 / RLIN30RX / INTP10 / CAN1TX / DPIN1 / PWGA13O / CSIH0SO
22	EVCC
23	P0_4 / RLIN31RX / INTP11 / CAN2TX / PWGA10O / CSIH1SI / SELDP0 / DPIN8
24	P0_5 / CAN2RX / INTP2 / RLIN31TX / DPIN9 / SELDP1 / CSIH1SO
25	P0_6 / INTP2 / DPIN10 / SELDP2 / CSIH1SC / PWGA35O
26	P0_11 / RIIC0SDA / DPIN12 / CSIH1CSS2 / TAUB0I8 / TAUB0O8 / RLIN26RX / PWGA34O
27	P0_12 / RIIC0SCL / DPIN13 / PWGA45O / TAUB0I10 / TAUB0O10 / CSIG0SI / RLIN26TX
28	P0_13 / RLIN32RX / INTP12 / PWGA46O / TAUB0I12 / TAUB0O12 / CSIG0SO / CAN5RX / INTP5
29	P0_14 / RLIN32TX / PWGA47O / TAUB0I14 / TAUB0O14 / CSIG0SC / CAN5TX
30	P1_0 / RLIN33RX / INTP13
31	P1_1 / RLIN33TX
32	P1_2 / CAN3RX / INTP3
33	P1_3 / CAN3TX / DPIN23
34	P1_12 / CAN4RX / INTP4
35	P1_13 / CAN4TX
36	P2_6 / ADCA0SEL2
37	EVSS
38	P8_2 / TAUJ0I0 / TAUJ0O0 / DPIN2 / CSIH0CSS0 / INTP6 / PWGA22O / ADCA0I4S
39	P8_10 / CSIH3CSS3 / DPIN14 / PWGA42O / ADCA0I7S
40	P8_11 / TAUJ1I2 / TAUJ1O2 / DPIN15 / PWGA43O / CSIH1CSS4 / ADCA0I18S
41	P8_12 / TAUJ1I3 / TAUJ1O3 / DPIN16 / PWGA44O / CSIH1CSS5 / ADCA0I19S

表 2.3 端子配置 176 pin LQFP (2/5)

端子番号	端子名
42	JP0_5 / NMI / RTCA0OUT / TAUJ0I3 / TAUJ0O3 / $\overline{\text{DCURDY}}$ / LPDCLKOUT
43	JP0_4 / $\overline{\text{DCUTRST}}$
44	JP0_3 / INTP3 / CSCXFOUT / TAUJ0I2 / TAUJ0O2 / DCUTMS
45	JP0_2 / INTP2 / TAUJ0I1 / TAUJ0O1 / FPCK / DCUTCK / LPDCLK
46	JP0_1 / INTP1 / TAUJ0I0 / TAUJ0O0 / FPDT / DCUTDO / LPDO
47	JP0_0 / INTP0 / FPDR / FPDT / DCUTDI / LPDI / LPDIO
48	P2_1 / RLIN27TX / CAN6TX
49	P2_0 / RLIN27RX / INTP6 / CAN6RX
50	P1_11 / ADCA1TRG2 / RLIN24TX / DPIN22
51	P1_10 / RLIN24RX / DPIN21
52	P1_9 / RLIN34TX / DPIN20
53	P1_8 / RLIN34RX / INTP14
54	$\overline{\text{RESET}}$
55	EVCC
56	XT1
57	IP0_0 / XT2
58	AWOVSS
59	AWOVCL
60	REGVCC
61	X2
62	X1
63	FLMD0
64	P2_3 / RLIN28TX
65	P2_2 / RLIN28RX
66	JP0_6 / $\overline{\text{EVTO}}$
67	P0_10 / INTP3 / CSIH1CSS1 / DPIN11 / RLIN22TX / TAUB0I6 / TAUB0O6 / CAN4TX
68	P0_9 / INTP12 / CSIH1CSS0 / DPIN7 / RLIN22RX / TAUB0I4 / TAUB0O4 / CAN4RX / INTP4
69	P0_8 / RLIN21TX / DPIN6 / CSIH0CSS6 / $\overline{\text{CSIH1SS1}}$ / TAUB0I2 / TAUB0O2 / CAN3TX
70	P0_7 / RLIN21RX / DPIN5 / CSCXFOUT / CSIH1RY1 / CSIH1RY0 / TAUB0I0 / TAUB0O0 / CAN3RX / INTP3
71	EVSS
72	P1_7 / ADCA1TRG1 / RLIN25TX / DPIN19
73	P1_6 / RLIN25RX / DPIN18
74	P1_5 / ADCA1TRG0 / RLIN35TX / DPIN17
75	P1_4 / RLIN35RX / INTP15
76	P2_4 / RLIN29RX / ADCA0SEL0
77	P2_5 / RLIN29TX / ADCA0SEL1
78	P1_14 / RLIN23RX
79	P1_15 / RLIN23TX
80	P8_0 / TAUJ0I0 / TAUJ0O0 / DPIN2 / PWGA14O / INTP4 / CSIH0CSS0 / ADCA0I0S
81	P8_1 / TAPA0ESO / TAUJ0O1 / DPIN0 / PWGA15O / INTP5 / CSIH1CSS3 / ADCA0I1S
82	P8_3 / TAUJ0I1 / TAUJ0O1 / DPIN3 / CSIH0CSS1 / INTP7 / PWGA23O / ADCA0I5S

表 2.3 端子配置 176 pin LQFP (3/5)

端子番号	端子名
83	P8_4 / TAUJ0I2 / TAUJ0O2 / DPIN4 / CSIH0CSS2 / INTP8 / PWGA360 / ADCA0I6S
84	P8_5 / TAUJ0I3 / TAUJ0O3 / NMI / CSIH0CSS3 / INTP9 / PWGA370 / ADCA0I7S
85	P8_6 / NMI / CSIH0CSS4 / PWGA380 / RTCA0OUT / ADCA0I8S / RESETOUT
86	P8_7 / CSIH3CSS0 / PWGA390 / ADCA0SEL0 / RTCA0OUT / ADCA0I14S
87	P8_8 / CSIH3CSS1 / PWGA400 / ADCA0SEL1 / ADCA0I15S
88	P8_9 / CSIH3CSS2 / PWGA410 / ADCA0SEL2 / ADCA0I16S
89	A0VSS
90	A0VREF
91	AP0_15 / ADCA0I15
92	AP0_14 / ADCA0I14
93	AP0_13 / ADCA0I13
94	AP0_12 / ADCA0I12
95	AP0_11 / ADCA0I11
96	AP0_10 / ADCA0I10
97	AP0_9 / ADCA0I9
98	AP0_8 / ADCA0I8
99	AP0_7 / ADCA0I7
100	AP0_6 / ADCA0I6
101	AP0_5 / ADCA0I5
102	AP0_4 / ADCA0I4
103	AP0_3 / ADCA0I3
104	AP0_2 / ADCA0I2
105	AP0_1 / ADCA0I1
106	AP0_0 / ADCA0I0
107	EVSS
108	P9_0 / NMI / PWGA80 / TAUD0I0 / TAUD0O0 / ADCA0TRG0 / CSIH2CSS0 / KR0I4 / ADCA0I2S
109	P9_1 / INTP11 / PWGA90 / TAUD0I2 / TAUD0O2 / KR0I5 / CSIH2CSS1 / ADCA0I3S
110	P9_2 / KR0I6 / PWGA200 / TAPA0ESO / CSIH2CSS2 / ADCA0I9S
111	P9_3 / KR0I7 / PWGA210 / CSIH2CSS3 / TAUJ1I1 / TAUJ1O1 / ADCA0I10S
112	P9_4 / CSIH0CSS5 / PWGA330 / TAUJ1I0 / TAUJ1O0 / ADCA0I11S
113	P9_5 / CSIH0CSS6 / PWGA340 / TAUJ1I1 / TAUJ1O1 / ADCA0I12S
114	P9_6 / CSIH0CSS7 / PWGA350 / ADCA0I13S
115	P20_3 / CAN4TX / PWGA670 / RLIN29TX
116	P20_2 / CAN4RX / INTP4 / PWGA660 / RLIN29RX
117	P20_1 / RLIN26TX / PWGA650 / CAN6TX
118	P20_0 / RLIN26RX / PWGA640 / INTP6 / CAN6RX
119	P20_5 / RLIN23TX / PWGA600
120	P20_4 / RLIN23RX / PWGA590
121	EVCC
122	AP1_11 / ADCA1I11
123	AP1_10 / ADCA1I10

表 2.3 端子配置 176 pin LQFP (4/5)

端子番号	端子名
124	AP1_9 / ADCA1I9
125	AP1_8 / ADCA1I8
126	AP1_7 / ADCA1I7
127	AP1_6 / ADCA1I6
128	AP1_5 / ADCA1I5
129	AP1_4 / ADCA1I4
130	AP1_3 / ADCA1I3
131	AP1_2 / ADCA1I2
132	AP1_1 / ADCA1I1
133	AP1_0 / ADCA1I0
134	AP1_15 / ADCA1I15
135	AP1_14 / ADCA1I14
136	AP1_13 / ADCA1I13
137	AP1_12 / ADCA1I12
138	A1VREF
139	A1VSS
140	EVCC
141	ISOVCL
142	ISOVSS
143	P18_0 / CSIG1RYI / CSIG1RYO / PWGA61O / ADCA1I0S
144	P18_1 / PWGA62O / ADCA1I1S
145	P18_2 / PWGA63O / ADCA1I2S
146	P18_3 / PWGA71O / ADCA1I3S
147	P18_4 / CSIH1CSS4 / ADCA1I4S
148	P18_5 / CSIH1CSS5 / ADCA1I5S
149	P18_6 / ADCA1I6S
150	P18_7 / ADCA1I7S
151	EVSS
152	P10_6 / TAUD0I13 / TAUD0O13 / CSIG0SO / ENCA0TIN0 / ADCA0SEL2 / CAN1RX / INTP1 / MODE2
153	P10_7 / TAUD0I15 / TAUD0O15 / CSIG0SC / ENCA0TIN1 / PWGA4O / CAN1TX
154	P10_8 / TAUD0I10 / TAUD0O10 / CSIG0SI / ENCA0EC / PWGA5O / FLMD1
155	P10_9 / TAUD0I12 / TAUD0O12 / RLIN30RX / INTP10 / ENCA0E0 / PWGA6O / CSIH0RYI / CSIH0RYO
156	P10_10 / TAUD0I14 / TAUD0O14 / RLIN30TX / ENCA0E1 / PWGA7O / CSIH0CSS1
157	P10_11 / PWGA16O / RLIN31RX / INTP11 / CSIH1CSS0 / TAUB0I1 / TAUB0O1
158	P10_12 / PWGA17O / RLIN31TX / CSIH1CSS1 / TAUB0I3 / TAUB0O3
159	P10_13 / CSIH0SSI / PWGA18O / RLIN32RX / INTP12 / TAUB0I5 / TAUB0O5
160	P10_14 / ADCA1TRG0 / PWGA19O / RLIN32TX / CSIH3SSI / TAUB0I7 / TAUB0O7
161	P11_1 / CSIH2SSI / RLIN20RX / CSIH0CSS7 / PWGA26O / TAUB0I13 / TAUB0O13
162	P11_2 / CSIH2SO / RLIN32RX / INTP12 / RLIN20TX / PWGA27O / TAUB0I15 / TAUB0O15
163	P11_3 / CSIH2SC / CAN3RX / INTP3 / PWGA28O / TAUB1I1 / TAUB1O1 / RLIN32TX
164	P11_4 / CSIH2SI / CAN3TX / PWGA29O / TAUB1I3 / TAUB1O3

表 2.3 端子配置 176 pin LQFP (5/5)

端子番号	端子名
165	P11_5 / CAN5RX / INTP5 / RLIN33TX / PWGA300 / CSIH3SI / TAUB115 / TAUB105
166	P11_6 / RLIN33RX / INTP13 / CAN5TX / ADCA1TRG1 / PWGA310 / CSIH3SO / TAUB117 / TAUB107
167	P11_7 / INTP5 / PWGA320 / CSIH3SC / TAUB119 / TAUB109
168	P11_15 / CAN2RX / INTP2 / CSIH2CSS4 / PWGA550 / TAUB118 / TAUB108
169	P12_0 / CAN2TX / PWGA560 / TAUB1110 / TAUB1010
170	P12_1 / RLIN34RX / INTP14 / CSIH2CSS5 / PWGA570 / TAUB1112 / TAUB1012
171	P12_2 / RLIN34TX / PWGA580 / TAUB1114 / TAUB1014
172	EVCC
173	EVSS
174	P10_0 / TAUD011 / TAUD001 / CAN0RX / INTP0 / CSCXFOUT / PWGA00 / TAPA0UP / CSIH1SI
175	P10_1 / TAUD013 / TAUD003 / CAN0TX / PWGA10 / TAPA0UN / CSIH1SC / MODE0
176	P10_2 / TAUD015 / TAUD005 / RIIC0SDA / KR010 / PWGA20 / ADCA0TRG0 / TAPA0VP / CSIH1SO / MODE1

2.2 端子説明

表 2.4 端子機能 (1/4)

端子名	端子数			I/O	機能	関連機能
	100 pin	144 pin	176 pin			
AnVREF	○ n = 0	○ n = 0、1	○ n = 0、1	—	ADCA _n 電圧供給と基準電圧	ADCA _n
AnVSS	○ n = 0	○ n = 0、1	○ n = 0、1	—	ADCA _n グランド	
ADCA0Im	○ m = 0 ~ 15	○ m = 0 ~ 15	○ m = 0 ~ 15	I	12 ビット分解能の ADCA0 入力チャネル m	
ADCA1Im	—	○ m = 0 ~ 7	○ m = 0 ~ 15	I	12 ビット分解能の ADCA1 入力チャネル m	
ADCA0ImS	○ m = 0 ~ 19	○ m = 0 ~ 19	○ m = 0 ~ 19	I	10 ビット分解能の ADCA0 入力チャネル m	
ADCA1ImS	—	○ m = 0 ~ 3	○ m = 0 ~ 7	I	10 ビット分解能の ADCA1 入力チャネル m	
ADCA0SELy	○ y = 0 ~ 2	○ y = 0 ~ 2	○ y = 0 ~ 2	O	ADCA0 入力用、外付け MPX 選択端子 y	
ADCA _n TRGy	○ n = 0、 y = 0 ~ 2	○ n = 0、1、 y = 0 ~ 2	○ n = 0、1、 y = 0 ~ 2	I	ADCA _n 外部トリガ端子 y	
AP0_m	○ m = 0 ~ 15	○ m = 0 ~ 15	○ m = 0 ~ 15	IO	アナログポート 0_m	ポート
AP1_m	—	○ m = 0 ~ 7	○ m = 0 ~ 15	IO	アナログポート 1_m	
APO	○	○	○	O	アナログ入力用ポート出力	LPS
AWOVCL	○	○	○	—	Always-On エリア (AWO エリア) コン デンサ接続用電圧レギュレータ	電源
AWOVSS	○	○	○	—	Always-On エリア (AWO エリア) グラ ンド用、内部ロジック	
CANmRX	○ m = 0 ~ 5	○ m = 0 ~ 5	○ m = 0 ~ 6	I	CANm 受信データ入力	RS-CAN _n
CANmTX	○ m = 0 ~ 5	○ m = 0 ~ 5	○ m = 0 ~ 6	O	CANm 送信データ出力	
CSCXFOUT	○	○	○	O	クロック出力	クロック
CSIGnRYI	○ n = 0	○ n = 0、1	○ n = 0、1	I	CSIGn レディ (1) / ビジー (0) 入力信号	CSIGn
CSIGnRYO	○ n = 0	○ n = 0、1	○ n = 0、1	O	CSIGn レディ (1) / ビジー (0) 出力信号	
CSIGnSC	○ n = 0	○ n = 0、1	○ n = 0、1	IO	CSIGn シリアルクロック信号	
CSIGnSI	○ n = 0	○ n = 0、1	○ n = 0、1	I	CSIGn シリアルデータ入力	
CSIGnSO	○ n = 0	○ n = 0、1	○ n = 0、1	O	CSIGn シリアルデータ出力	
CSIGnSSI	○ n = 0	○ n = 0、1	○ n = 0、1	I	CSIGn SS 機能制御入力信号	

表 2.4 端子機能 (2/4)

端子名	端子数			I/O	機能	関連機能
	100 pin	144 pin	176 pin			
CSIHnCSS0	○	○	○	O	CSIHn シリアル周辺チップ選択信号 0	CSIHn
	n = 0 ~ 3	n = 0 ~ 3	n = 0 ~ 3			
CSIHnCSS1	○	○	○	O	CSIHn シリアル周辺チップ選択信号 1	
	n = 0 ~ 3	n = 0 ~ 3	n = 0 ~ 3			
CSIHnCSS2	○	○	○	O	CSIHn シリアル周辺チップ選択信号 2	
	n = 0 ~ 3	n = 0 ~ 3	n = 0 ~ 3			
CSIHnCSS3	○	○	○	O	CSIHn シリアル周辺チップ選択信号 3	
	n = 0 ~ 3	n = 0 ~ 3	n = 0 ~ 3			
CSIHnCSS4	○	○	○	O	CSIHn シリアル周辺チップ選択信号 4	
	n = 0、1	n = 0 ~ 2	n = 0 ~ 2			
CSIHnCSS5	○	○	○	O	CSIHn シリアル周辺チップ選択信号 5	
	n = 0、1	n = 0 ~ 2	n = 0 ~ 2			
CSIHnCSS6	○	○	○	O	CSIHn シリアル周辺チップ選択信号 6	
	n = 0	n = 0	n = 0			
CSIHnCSS7	○	○	○	O	CSIHn シリアル周辺チップ選択信号 7	
	n = 0	n = 0	n = 0			
CSIHnRYI	○	○	○	I	CSIHn レディ (1) / ビジー (0) 入力信号	
	n = 0 ~ 3	n = 0 ~ 3	n = 0 ~ 3			
CSIHnRYO	○	○	○	O	CSIHn レディ (1) / ビジー (0) 出力信号	
	n = 0 ~ 3	n = 0 ~ 3	n = 0 ~ 3			
CSIHnSC	○	○	○	IO	CSIHn シリアルクロック信号	
	n = 0 ~ 3	n = 0 ~ 3	n = 0 ~ 3			
CSIHnSI	○	○	○	I	CSIHn シリアルデータ入力	
	n = 0 ~ 3	n = 0 ~ 3	n = 0 ~ 3			
CSIHnSO	○	○	○	O	CSIHn シリアルデータ出力	
	n = 0 ~ 3	n = 0 ~ 3	n = 0 ~ 3			
CSIHnSSI	○	○	○	I	CSIHn スレーブ選択入力信号	
	n = 0 ~ 3	n = 0 ~ 3	n = 0 ~ 3			
\overline{DCURDY}	○	○	○	O	デバッグレディ	OCD
DCUTCK	○	○	○	I	デバッグクロック	
DCUTDI	○	○	○	I	デバッグデータ入力	
DCUTDO	○	○	○	O	デバッグデータ出力	
DCUTMS	○	○	○	I	デバッグモード選択	
$\overline{DCUTRST}$	○	○	○	I	デバッグリセット	
DPINm	○	○	○	I	デジタルポート入力 m	
	m = 0 ~ 16	m = 0 ~ 23	m = 0 ~ 23			
DPO	○	○	○	O	デジタル入力用ポート出力	
ENCA0TINm	○	○	○	I	ENCA0 キャプチャトリガ入力 m	ENCA
	m = 0、1	m = 0、1	m = 0、1			
ENCA0EC	○	○	○	I	ENCA0 エンコーダクリア入力	
ENCA0E0	○	○	○	I	ENCA0 エンコーダ入力 0	
ENCA0E1	○	○	○	I	ENCA0 エンコーダ入力 1	
EVCC	○	○	○	—	ポートバッファ電圧供給	電源
EVSS	○	○	○	—	ポートバッファグランド	
\overline{EVTO}	—	○	○	O	イベント出力	TEU_OUT

表 2.4 端子機能 (3/4)

端子名	端子数			I/O	機能	関連機能
	100 pin	144 pin	176 pin			
FLMD0	○	○	○	I	動作モード選択端子 0	モード
FLMD1	○	○	○	I	動作モード選択端子 1	
FPDR	○	○	○	I	シリアル通信インタフェース RXD	FLASH
FPDT	○	○	○	O	シリアル通信インタフェース TXD	
FPCCK	○	○	○	I	シリアル通信インタフェースクロック	
INTPm	○	○	○	I	外部割り込み入力 m	INTC
	m = 0 ~ 8、10 ~ 13	m = 0 ~ 15	m = 0 ~ 15			
IP0_0	—	○	○	I	入力ポート 0_0	ポート
ISOVCL	○	○	○	—	Isolated エリア (ISO エリア) コンデンサ接続用、電圧レギュレータ	電源
ISOVSS	○	○	○	—	Isolated エリア (ISO エリア) グランド用、内部ロジック	
JP0_m	○	○	○	IO	JTAG ポート 0_m	ポート
	m = 0 ~ 5	m = 0 ~ 6	m = 0 ~ 6			
KR0Im	○	○	○	I	KR0 キー入力信号	KR0
	m = 0 ~ 7	m = 0 ~ 7	m = 0 ~ 7			
LPDCLK	○	○	○	I	LPD クロック入力 (4 ピン)	LPD
LPDCLKOUT	○	○	○	O	LPD クロック出力 (4 ピン)	
LPDI	○	○	○	I	LPD データ入力 (4 ピン)	
LPDIO	○	○	○	IO	LPD データ入力/出力 (1 ピン)	ポート
LPDO	○	○	○	O	LPD データ出力 (4 ピン)	
MODEm	○	○	○	I	サブ動作モード選択 (バウンダリスキャン)	モード
	m = 0 ~ 2	m = 0 ~ 2	m = 0 ~ 2			
NMI	○	○	○	I	外部ノンマスクابل割り込み入力	INTC
P0_m	○	○	○	IO	ポート 0_m	ポート
	m = 0 ~ 14	m = 0 ~ 14	m = 0 ~ 14			
P1_m	—	○	○	IO	ポート 1_m	
		m = 0 ~ 11	m = 0 ~ 15			
P2_m	—	—	○	IO	ポート 2_m	
			m = 0 ~ 6			
P8_m	○	○	○	IO	ポート 8_m	
	m = 0 ~ 12	m = 0 ~ 12	m = 0 ~ 12			
P9_m	○	○	○	IO	ポート 9_m	
	m = 0 ~ 6	m = 0 ~ 6	m = 0 ~ 6			
P10_m	○	○	○	IO	ポート 10_m	
	m = 0 ~ 15	m = 0 ~ 15	m = 0 ~ 15			
P11_m	○	○	○	IO	ポート 11_m	
	m = 0 ~ 7	m = 0 ~ 15	m = 0 ~ 15			
P12_m	—	○	○	IO	ポート 12_m	
		m = 0 ~ 2	m = 0 ~ 5			
P18_m	—	○	○	IO	ポート 18_m	
		m = 0 ~ 3	m = 0 ~ 7			
P20_m	—	○	○	IO	ポート 20_m	
		m = 4、5	m = 0 ~ 5			
PWGAnO	○	○	○	O	PWGAn 出力信号	PWM-Diag
	n = 0 ~ 47	n = 0 ~ 63	n = 0 ~ 71			

表 2.4 端子機能 (4/4)

端子名	端子数			I/O	機能	関連機能
	100 pin	144 pin	176 pin			
REGVCC	○	○	○	—	電圧レギュレータ電圧供給	電源
RESET	○	○	○	I	外部リセット入力	リセット
RESETOUT	○	○	○	O	リセット出力	
RIIC0SCL	○	○	○	IO	RIIC0 シリアルクロック	RIIC0
RIIC0SDA	○	○	○	IO	RIIC0 シリアルデータ	
RLIN2mRX	○	○	○	I	RLIN2m 受信データ入力	RLIN2m
	m = 0 ~ 2	m = 0 ~ 5	m = 0 ~ 9			
RLIN2mTX	○	○	○	O	RLIN2m 送信データ出力	
	m = 0 ~ 2	m = 0 ~ 5	m = 0 ~ 9			
RLIN3nRX	○	○	○	I	RLIN3n 受信データ入力	RLIN3n
	n = 0 ~ 3	n = 0 ~ 5	n = 0 ~ 5			
RLIN3nTX	○	○	○	O	RLIN3n 送信データ出力	
	n = 0 ~ 3	n = 0 ~ 5	n = 0 ~ 5			
RTCA0OUT	—	○	○	O	RTCA0 1Hz 出力	RTCA0
SELDPk	○	○	○	O	デジタルポート用外部マルチプレクサ 選択出力信号 k	LPS
	k = 0 ~ 2	k = 0 ~ 2	k = 0 ~ 2			
TAPA0ESO	○	○	○	I	Hi-Z 制御	Motor control
TAPA0UN	○	○	○	O	モータ制御出力 U 相 (逆相)	
TAPA0UP	○	○	○	O	モータ制御出力 U 相 (正相)	
TAPA0VN	○	○	○	O	モータ制御出力 V 相 (逆相)	
TAPA0VP	○	○	○	O	モータ制御出力 V 相 (正相)	
TAPA0WN	○	○	○	O	モータ制御出力 W 相 (逆相)	
TAPA0WP	○	○	○	O	モータ制御出力 W 相 (正相)	
TAUD0Im	○	○	○	I	TAUD0 チャネル入力 m	
	m = 0 ~ 15	m = 0 ~ 15	m = 0 ~ 15			
TAUD0Om	○	○	○	O	TAUD0 チャネル出力 m	
	m = 0 ~ 15	m = 0 ~ 15	m = 0 ~ 15			
TAUBnIm	○	○	○	I	TAUBn チャネル入力 m	TAUBn
	n = 0、 m = 0 ~ 15	n = 0、 m = 0 ~ 15	n = 0、1、 m = 0 ~ 15			
TAUBnOm	○	○	○	O	TAUBn チャネル出力 m	
	n = 0、 m = 0 ~ 15	n = 0、 m = 0 ~ 15	n = 0、1、 m = 0 ~ 15			
TAUJnIm	○	○	○	I	TAUJn チャネル入力 m	TAUJn
	n = 0、1、 m = 0 ~ 3	n = 0、1、 m = 0 ~ 3	n = 0、1、 m = 0 ~ 3			
TAUJnOm	○	○	○	O	TAUJn チャネル出力 m	
	n = 0、1、 m = 0 ~ 3	n = 0、1、 m = 0 ~ 3	n = 0、1、 m = 0 ~ 3			
X1, X2	○	○	○	—	メイン発振子接続	MOSC
XT1, XT2	—	○	○	—	サブ発振子接続	SOSC

注 意

- 周辺機能端子を複数個所に割り当てている場合、同じチャンネルグループ端子は、同一ポートグループもしくは近傍のポート端子を使用してください。

(例) RS-CAN チャンネル 0 を使用する場合

CAN0TX P0_0 P10_1

CAN0RX P0_1 P10_0

以下の端子組み合わせのどちらかで使用してください。

- P0_0, P0_1 の組み合わせ
 - P10_0, P10_1 の組み合わせ
- P0_0, P10_0 の組み合わせ及び P0_1, P10_1 の組み合わせは禁止です。
-

2.3 リセット期間中／解除後の端子機能

表 2.5 リセット期間中／解除後の端子機能

端子	リセット中	リセット後
JP0_0	ハイインピーダンス	JP0_0 : 入力 シリアルプログラミングモード : FPDR, FPDT (1 wire UART) FPDR (2 wire UART) Nexus I/F : DCUTDI 入力 LPD (4 pin) : LPDI 入力 LPD (1 pin) : LPDIO 入出力
JP0_1	ハイインピーダンス	JP0_1 : 入力 シリアルプログラミングモード : FPDT Nexus I/F : DCUTDO 出力 LPD (4 pin) : LPDO 出力 LPD (1 pin) : ハイインピーダンス
JP0_2	ハイインピーダンス	JP0_2 : 入力 シリアルプログラミングモード : FPCK Nexus I/F : DCUTCK 入力 LPD (4 pin) : LPDCLK 入力 LPD (1 pin) : ハイインピーダンス
JP0_3	ハイインピーダンス	JP0_3 : 入力 シリアルプログラミングモード : ハイインピーダンス Nexus I/F : DCUTMS 入力 LPD (4 pin) : ハイインピーダンス LPD (1 pin) : ハイインピーダンス
JP0_4	入力 ^{注3}	JP0_4 : 入力 シリアルプログラミングモード : ハイインピーダンス Nexus I/F : $\overline{\text{DCUTRST}}$ 入力 ^{注1} LPD (4 pin) : ハイインピーダンス LPD (1 pin) : ハイインピーダンス
JP0_5	ハイインピーダンス	JP0_5 : 入力 シリアルプログラミングモード : ハイインピーダンス Nexus I/F : $\overline{\text{DCURDY}}$ 出力 LPD (4 pin) : LPDCLKOUT 出力 LPD (1 pin) : ハイインピーダンス
JP0_6	ハイインピーダンス	JP0_6 : 入力 シリアルプログラミングモード : ハイインピーダンス Nexus I/F : $\overline{\text{EVT0}}$ 出力 LPD (4 pin) : ハイインピーダンス LPD (1 pin) : ハイインピーダンス
P8_6	出力 ^{注2、注4}	出力 (OPBT0.RESETOUTEN = 1) ^{注2} ハイインピーダンス (OPBT0.RESETOUTEN = 0) ^{注2、注4}
P0 ~ P2、P8 ~ P12、P18、 P20 (P8_6、P10_1、P10_2、 P10_6、P10_8 除く)	ハイインピーダンス	ハイインピーダンス
P10_1	ハイインピーダンス	ハイインピーダンス (FLMD0 = 0) ハイインピーダンス (FLMD0 = 1, FLMD1 = 0) MODE0 入力 (FLMD0 = 1, FLMD1 = 1)
P10_2	ハイインピーダンス	ハイインピーダンス (FLMD0 = 0) ハイインピーダンス (FLMD0 = 1, FLMD1 = 0) MODE1 入力 (FLMD0 = 1, FLMD1 = 1)
P10_6	ハイインピーダンス	ハイインピーダンス (FLMD0 = 0) ハイインピーダンス (FLMD0 = 1, FLMD1 = 0) ハイインピーダンス (FLMD0 = 1, FLMD1 = 1, MODE0 = 0, MODE1 = 0) ハイインピーダンス (FLMD0 = 1, FLMD1 = 1, MODE0 = 0, MODE1 = 1) ハイインピーダンス (FLMD0 = 1, FLMD1 = 1, MODE0 = 1, MODE1 = 0) MODE2 入力 (FLMD0 = 1, FLMD1 = 1, MODE0 = 1, MODE1 = 1)
P10_8	ハイインピーダンス	ハイインピーダンス (FLMD0 = 0) FLMD1 入力 (FLMD0 = 1)
FLMD0	入力	入力
RESET	入力	入力
AP0、AP1	ハイインピーダンス	ハイインピーダンス

注 1. Nexus を有効にし、かつ外部機器を接続しない場合は、端子レベルを常時ロウレベルに固定にする必要があります。

注 2. RESETOUT となります。詳細は「2.11 ポート (特殊 I/O) 機能概要」を参照してください。

注 3. パワーオン／リセット解除時、JP0_4 端子にロウレベルを入力してください。

注 4. OPBT0.RESETOUTEN が 0 の場合、内部リセット要因によってリセット状態に移転する瞬間に、P8_6 端子の状態が不安定になる可能性があります。

2.4 スタンバイモード時のポート状態

スタンバイモード時のポート状態は、「**14.1.4 入出力バッファ制御**」を参照してください。

2.5 未使用端子の推奨接続

端子が未使用の場合、下記のように接続することを推奨します。

表 2.6 未使用端子の推奨接続

端子	未使用端子の推奨接続情報
A0VREF、A1VREF ^{注1}	EVCC に接続
A0VSS、A1VSS ^{注1}	EVSS に接続
RESET	抵抗を介して EVCC に接続
XT1	抵抗を介して REGVCC or AWOVSS に接続 (IPIBC0 のビット 0 = 1) ^{注3} AWOVSS に接続 (IPIBC0 のビット 0 = 0)
X1	抵抗を介して AWOVSS に接続
X2	オープン
FLMD0	必ず使用
IP0_0	抵抗を介して REGVCC or AWOVSS に接続 (IPIBC0 のビット 0 = 1) ^{注3} オープン (IPIBC0 のビット 0 = 0)
JP0 (JP0_4 を除く) P0 P1 P2 P8 (P8_6 を除く) P9 P20	入力時：オープン (PIBCn_m ビット = 0 かつ PMCN_m ビット = 0 のとき) 抵抗を介して EVCC or EVSS に接続 (PIBCn_m ビット = 1 または PMCN_m ビット = 1 のとき) 出力時：オープン
P8_6	入力時：オープン (PIBCn_m ビット = 0 かつ PMCN_m ビット = 0 のとき) 抵抗を介して EVSS に接続 (PIBCn_m ビット = 1 または PMCN_m ビット = 1 のとき) 出力時：オープン
JP0_4	抵抗を介して EVSS に接続 ^{注2}
P10 (P10_1, P10_2, P10_6, P10_8 を除く) P11 P12 P18	入力時：オープン (PIBCn_m ビット = 0 かつ PMCN_m ビット = 0 のとき) 抵抗を介して EVCC or EVSS に接続 (PIBCn_m ビット = 1 または PMCN_m ビット = 1 のとき) 出力時：オープン
P10_1, P10_2, P10_6, P10_8	入力時：オープン (PIBCn_m ビット = 0 かつ PMCN_m ビット = 0 のとき) 抵抗を介して EVSS に接続 (PIBCn_m ビット = 1 または PMCN_m ビット = 1 のとき) 出力時：オープン
AP0	入力時：オープン (PIBCn_m ビット = 0 のとき) 抵抗を介して A0VREF or A0VSS に接続 (PIBCn_m ビット = 1 のとき) 出力時：オープン
AP1	入力時：オープン (PIBCn_m ビット = 0 のとき) 抵抗を介して A1VREF or A1VSS に接続 (PIBCn_m ビット = 1 のとき) 出力時：オープン
Nexus/LPD I/F (JP0)	DCUTDI/LPDI/LPDIO (JP0_0)：抵抗を介して EVCC に接続 DCUTDO/LPDO (JP0_1)：オープン DCUTCK/LPDCLK (JP0_2)：オープン DCUTMS (JP0_3)：抵抗を介して EVCC に接続 DCUTRST (JP0_4)：抵抗を介して EVSS に接続 ^{注2} DCURDY/LPDCLKOUT (JP0_5)：オープン EVTO (JP0_6)：オープン ^{注1}

注 1. 144 pin、176 pin 製品のみ

注 2. 詳細は、開発ツール仕様を参照してください。

注 3. XT1 = IP0_0 (XT2) = REGVCC or AWOVSS としてください。

XT1 と IP0_0 (XT2) は内部抵抗を介して接続されています。そのため、電流経路を作らないために等しい電圧レベル維持する必要があります。

2.6 ポートの特長

2.6.1 ポートグループ

この製品には下記番号のポートグループがあります。

表 2.7 RH850/F1K のポートグループ

端子数	ポートグループ	RH850/F1K
100 pin	数	7
	名称	P0、P8 ~ P11、JP0、AP0
144 pin	数	13
	名称	P0、P1、P8 ~ P12、P18、P20、JP0、AP0、AP1、IP0
176 pin	数	14
	名称	P0 ~ P2、P8 ~ P12、P18、P20、JP0、AP0、AP1、IP0

2.6.2 ポートグループインデクス n

本章を通して、個々のポートグループはインデクス“n”（n=0～2、8～12、18、20）により識別されます。たとえば、Pn 端子のポートモードコントロールレジスタは PMCn です。

2.6.3 レジスタベースアドレス

ポートおよび JTAG ポートのベースアドレスを以下の表に示します。

ポートおよび JTAG ポートのレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 2.8 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<PORTn_base>	FFC1 0000 _H
<JPORT0_base>	FFC2 0000 _H

2.6.4 クロック供給

ポートのクロック供給を以下の表に示します。

表 2.9 クロック供給

ユニット名	ユニットクロック名	供給クロック名
ポート	レジスタアクセスクロック	CPUCLK4
		CPUCLK2

2.7 ポートの機能

この製品は、さまざまな入出力ポートの端子を備えています。ポートはポートグループに編成されています。

この製品は、汎用入出力以外の機能を端子に割り当てる制御レジスタも備えています。

端子、ポート、またはポートグループの用語の説明は、「**2.7.2 用語**」を参照してください。

2.7.1 機能概要

- すべてのポートが個別に設定可能
- 各ポートの最大ビット（端子）数は16
- 任意の端子の出力レベルは、同じポートの他の端子に影響を与えることなく、同時設定が可能
- 入力バッファ許可信号はレジスタ設定によって設定可能
- 端子レベルは専用のポート端子リードレジスタ（PPR）によってリード可能
- ポートは「**2.9.2 端子機能の設定**」、表 2.38、表 2.40、表 2.42、表 2.44、表 2.46、表 2.48、表 2.50、表 2.52、表 2.54、表 2.56、表 2.58、表 2.60、表 2.62、表 2.64 に示す機能をサポート

注 意

本デバイスは、入力機能または出力機能を複数のポートに割り当てる兼用機能を持っていますが、アクティブに設定できるのは1ポートのみです。複数のポートを同時にアクティブにしないでください。ひとつの兼用機能に複数の周辺機能が割り当てられていて、一方の機能のみを使用する場合も該当します。

（例）

INTP0 は、本デバイス上の以下のポートに割り当てられますが、アクティブにできるのは1ポートのみです。他のポートはアクティブにしないでください。

- JP0_0（第1入力兼用機能）
- P0_1（第2、第3入力兼用機能）
- P10_0（第2入力兼用機能）

上記の場合 JP0_0 の第1入力兼用機能（INTP0）を選択し、P0_1 を第2入力兼用機能（CAN0RX / INTP0）を CAN としてのみ使用する場合でも設定は禁止です。

2.7.2 用語

本章で使用されている用語について説明します。

端子

物理的な端子を表します。端子ごとに一意の端子番号で表されます。

端子は複数のモードで使用できます。選択したモードによって、端子機能を示す名称が割り当てられます。

ポートグループ

端子のグループを表します。同じポートグループの端子は、同じポートコントロールレジスタで制御されます。

ポートモード/ポート

ポートモードの端子は、汎用入出力端子として機能します。このような場合に端子を「ポート」と呼びます。

対応する名称は Pn_m です。たとえば、 $P0_7$ はポートグループ 0 のポート 7 を示します。これを「ポート $P0_7$ 」と表します。

兼用モード

兼用モードでは、端子は内蔵周辺機能の入出力端子などのさまざまな汎用入出力以外の機能として使用されます。

対応する端子名は、選択した機能によって異なります。たとえば、 $INTP0$ 端子は外部割り込み入力用の端子を表します。

なお、複数の異なる名称、たとえば $P0_0$ と $INTP0$ が物理的に同じ端子を表す可能性があります。それぞれの名称は、端子の機能を示します。

2.7.2.1 JTAG ポート

JTAG ポートグループは、オンチップデバッグ時にデバッガと接続するために使用されます。デバッグ中はユーザ用途として使用できないため、特別なポートグループとしています。デバッガを接続しない通常動作時は、他のすべてのポートと同じ方法で使用することが可能です。

JTAG ポートグループのレジスタとビットの名称には先頭に「J」が付加されています。たとえば、 $JP0$ は JTAG ポートグループ 0、 $JPM0$ 、 $JPM0_m$ は $JPM0$ ポートモードレジスタの $JPM0_m$ ポートモードビットを意味します。

備 考

本章では、断りがない限り、すべてのポートと、 $PFCAEn$ 、 $PIPCn$ 以外のレジスタの説明は、JTAG ポートも含まれます。

2.7.3 端子機能概要

端子は、3つのモードで動作することができます。

- ポートモード (PM_{Cn}.PM_{Cn_m} ビット = 0)

ポートモードでは、端子は汎用入出力ポートとして動作します。PM_n.PM_{n_m} ビットで入力/出力を選択します。
- S/W I/O 制御兼用モード (PM_{Cn}.PM_{Cn_m} ビット = 1、PIP_{Cn}.PIP_{Cn_m} ビット = 0)

S/W I/O 制御兼用モードでは、端子は兼用機能によって動作します。入力/出力の選択は、PM_n.PM_{n_m} コントロールビットの設定によって行われます。
- 直接 I/O 制御兼用モード (PM_{Cn}.PM_{Cn_m} ビット = 1、PIP_{Cn}.PIP_{Cn_m} ビット = 1)

直接 I/O 制御兼用モードでは、端子は兼用機能によって動作します。S/W I/O 制御兼用モードと違い、兼用機能によって入力/出力が直接制御されます。

レジスタ設定の概要は下表に示します。

表 2.10 端子機能の設定 (概要)

モード	ビット			I/O
	PM _{Cn_m}	PM _{n_m}	PIP _{Cn_m}	
ポートモード	0	0	X	O
		1注1		I
S/W I/O 制御兼用モード	1	0	0	O
		1	0	I
直接 I/O 制御兼用モード		X	1	兼用機能による制御

注 1. 入力バッファを必ず許可 (PIBC_{n_m} ビット = 1) してください。

- S/W I/O 制御兼用機能 (PIP_{Cn}.PIP_{Cn_m} ビット = 0) :
 - 出力 (PM_{n_m} ビット = 0) : 兼用出力モード 1 ~ 兼用出力モード 7
 - 入力 (PM_{n_m} ビット = 1) : 兼用入力モード 1 ~ 兼用入力モード 7
- 直接 I/O 制御兼用機能 (PIP_{Cn}.PIP_{Cn_m} ビット = 1) :
 - 兼用出力モード 1 ~ 兼用出力モード 7、兼用入力モード 1 ~ 兼用入力モード 7 の入出力は、兼用機能によって直接選択されます。

表 2.11 兼用モード選択の概要 (PMcN.PMcN_m ビット = 1)

機能	レジスタ					I/O
	PIPC ^{注1}	PM ^{注1}	PFCAE	PFCE	PFC	
兼用出力モード1 (ALT_OUT1)	0	0	0	0	0	O
兼用入力モード1 (ALT_IN1)		1				I
兼用出力モード2 (ALT_OUT2)		0	0	0	1	O
兼用入力モード2 (ALT_IN2)		1				I
兼用出力モード3 (ALT_OUT3)		0	0	1	0	O
兼用入力モード3 (ALT_IN3)		1				I
兼用出力モード4 (ALT_OUT4)		0	0	1	1	O
兼用入力モード4 (ALT_IN4)		1				I
兼用出力モード5 (ALT_OUT5)		0	1	0	0	O
兼用入力モード5 (ALT_IN5)		1				I
兼用出力モード6 (ALT_OUT6)		0	1	0	1	O
兼用入力モード6 (ALT_IN6)		1				I
兼用出力モード7 (ALT_OUT7)		0	1	1	0	O
兼用入力モード7 (ALT_IN7)		1				I
上記以外	設定禁止					

注1. PIPcN.PIPcN_m ビット = 1 の場合は、入出力方向は周辺（兼用）機能によって直接制御され、PMは無視されます。

端子が兼用モード (PMcN.PMcN_m ビット = 1) の場合、最大7つの異なる兼用機能の1つを PFCn、PFCEn、PFCAEn レジスタによって選択します。

2.7.4 端子データ入力/出力

データの入力/出力に使用するレジスタについて説明します。

端子モードによって PPRn レジスタを介してリードされる場所が異なります。

2.7.4.1 出力データ

ポートモード (PMcn.PMCn_m ビット = 0) では Pn.Pn_m ビットの値が Pn_m 端子から出力されます。

2.7.4.2 入力データ

PPRn レジスタのリード動作では、Pn_m 端子の値、ポートレジスタの関連ビット Pn.Pn_m の値、または兼用機能による出力値のいずれかを読み出します。

PPRn のリード元は、端子モードといくつかの制御ビットの設定に依存します。

PPRn リードモードの違いを次の表に示します。

表 2.12 PPRn_m リード値

PMC n_m	PM n_m	PIBC n_m	PIPC n_m	PODC n_m	モード	PPRn_m リード値	
0	1	0	X	X	ポート入力、入力バッファ禁止	Pn.Pn_m ビット	
		1		X	ポート入力、入力バッファ許可	Pn_m 端子	
	0	X		0	ポートプッシュプル出力	Pn.Pn_m ビット ^{注1}	
				1	ポートオープンドレイン出力		
1	1	X	0	X	ソフトウェア I/O 制御兼用入力	Pn_m 端子	
				0	0	ソフトウェア I/O 制御兼用プッシュプル出力	兼用機能からの出力信号 ^{注1}
					1	ソフトウェア I/O 制御兼用オープンドレイン出力	
	X			1	0	直接 I/O 制御兼用入力またはプッシュプル出力	兼用モードでの入出力ポート： • 入力：Pn_m 端子 • 出力：兼用機能からの出力信号 ^{注1}
					1	直接 I/O 制御兼用入力またはオープンドレイン出力	
				0	0	ソフトウェア I/O 制御兼用入力またはプッシュプル出力	

注 1. PBDcn_m = 1 の場合、Pn_m 端子レベルが、PPRn_m ビットでリードされます。

上表に示す各制御レジスタの効果：

- PMcn.PMCn_m ビット
このビットは、ポートモード (PMcn_m ビット = 0) または兼用モード (PMcn_m ビット = 1) を選択します。
- PMn.PMn_m ビット
このビットは、ポートモード (PMcn_m ビット = 0) とソフトウェア I/O 制御兼用モード (PMcn_m ビット = 1、PIPCn_m ビット = 0) 時に入力 (PMn_m ビット = 1) または出力 (PMn_m ビット = 0) を選択します。
- PIBcn.PIBcn_m ビット
このビットは、入力ポートモード (PMcn_m ビット = 0 と PMn_m ビット = 1) 時に入力バッファを使用不可 (PIBCn_m ビット = 0) または使用許可 (PIBCn_m ビット = 1) を選択します。入力バッファが使用不可の場合、PPRn_m は Pn.Pn_m ビットをリードし、使用許可の場合は Pn_m 端子のレベルがリードされます。
兼用機能 (PMcn_m = 1) 時は、このビットを常に 0 に設定しなければなりません。

- PIPn.PIPn_m ビット
このビットは、ソフトウェア I/O 制御兼用モードまたは直接 I/O 制御兼用モードを選択します。
- PODCn.PODCn_m ビット
このビットは、プッシュプル (PODCn_m ビット = 0) またはオープンドレイン (PODCn_m ビット = 1) 出力を選択します。
- PBDCn.PBDCn_m ビット
出力モード時、このビットを 1 に設定すると、ポートは双方向モードになります。双方向モード時、PPRn.PPRn_m から Pn_m 端子のレベルを読み出すことができます。

注 意

Pn_m ポートを兼用出力機能 (PMcn.PMCn_m ビット = 1、PMn.PMn_m ビット = 0) として使用する場合、双方向モードを許可 (PBDCn.PBDCn_m ビット = 1) することにより、PPRn.PPRn_m ビットで Pn_m 端子のレベルをリードすることができます。しかし、その場合、Pn_m 端子のレベルが同じ兼用入力機能に入力されるので注意が必要です。

2.7.4.3 Pn レジスタへのライト

ポートモード (PMcn.PMCn_m ビット = 0) 時に Pn_m ポートから出力されるデータは Pn レジスタに保持されます。

Pn データは 2 つの方法で書き換えることができます。

- Pn レジスタへの直接ライト
新しいデータは Pn レジスタに直接ライトすることができます。
- 間接的な Pn レジスタへのビット操作 (set/reset/not)
Pn レジスタへのビット操作 (set/reset/not) は 2 つのレジスタを使って間接的に可能です。
 - ポートセット/リセットレジスタ PSRn
PSRn.PSRn_(m+16) ビット = 1 の場合、PSRn.PSRn_m ビットの値が Pn.Pn_m ビットの値を決めます。
つまり、Pn レジスタへ直接ライトせずに Pn_m ビットを set/reset することが可能です。
 - ポートノットレジスタ PNOTn
PNOTn.PNOTn_m ビット = 1 に設定すると Pn レジスタへ直接ライトせずに Pn.Pn_m ビットを反転することが可能です。

間接的な Pn レジスタへのビット操作 (set/reset/not) は、Pn レジスタ内の更新が不要なビットには影響を与えずに、更新が必要なビット (1 ビットとは限りません) を書き換えることができます。

2.8 ポート概念図

下図は、ポート制御機能の概念図を示します。

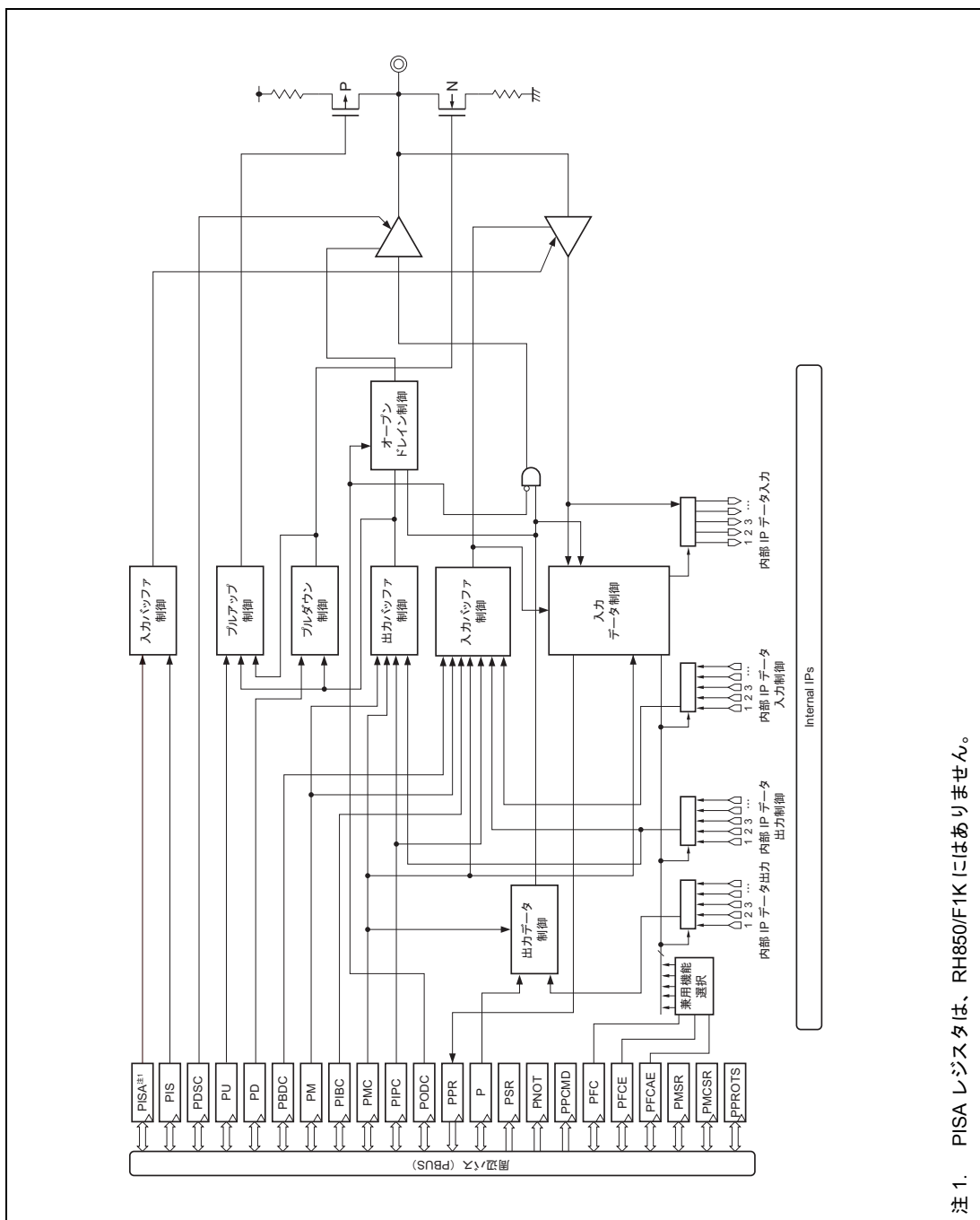


図 2.4 ポート概念図

注意

公開されている兼用機能を使用してください。

注 1. PISA レジスタは、RH850/F1K にはありません。

2.9 ポートグループコンフィグレーションレジスタ

この節では、はじめにすべてのコンフィグレーションレジスタの概要を示し、次に各レジスタの詳細を示します。コンフィグレーションレジスタは次のように分類されます。

- 「2.9.2 端子機能の設定」
- 「2.9.3 端子データ入力/出力」
- 「2.9.4 電気的特性の設定」

2.9.1 概要

次のレジスタは、ポートグループの各端子の設定に使用されます。

<PORTn_base> および <JPORT0_base> は「2.6.3 レジスタベースアドレス」を参照してください。

表 2.13 ポートグループコンフィグレーションレジスタ (1/2)

モジュール名	レジスタ名	略号	アドレス
端子機能の設定			
PORT	ポートモードコントロールレジスタ	PMCn	<PORTn_base> + 0400 _H + n × 4
JTAG		JPMC0	<JPORT0_base> + 0040 _H
PORT	ポートモードコントロールセット/リセットレジスタ	PMCSRn	<PORTn_base> + 0900 _H + n × 4
JTAG		JPMCSR0	<JPORT0_base> + 0090 _H
PORT	ポート IP コントロールレジスタ	PIPCn	<PORTn_base> + 4200 _H + n × 4
PORT	ポートモードレジスタ	PMn	<PORTn_base> + 0300 _H + n × 4
		APMn	<PORTn_base> + 03C8 _H + n × 4
JTAG		JPM0	<JPORT0_base> + 0030 _H
PORT	ポートモードセット/リセットレジスタ	PMSRn	<PORTn_base> + 0800 _H + n × 4
		APMSRn	<PORTn_base> + 08C8 _H + n × 4
JTAG		JPMSR0	<JPORT0_base> + 0080 _H
PORT	ポート入力バッファコントロールレジスタ	PIBCn	<PORTn_base> + 4000 _H + n × 4
		APIBCn	<PORTn_base> + 40C8 _H + n × 4
JTAG		JPIBC0	<JPORT0_base> + 0400 _H
PORT		IPIBC0	<PORTn_base> + 40F0 _H
PORT	ポート機能コントロールレジスタ	PFCn	<PORTn_base> + 0500 _H + n × 4
JTAG		JPFC0	<JPORT0_base> + 0050 _H
PORT	ポート機能コントロール拡張レジスタ	PFCEn	<PORTn_base> + 0600 _H + n × 4
JTAG		JPFCE0	<JPORT0_base> + 0060 _H
PORT	ポート機能コントロール追加拡張レジスタ	PFCAEn	<PORTn_base> + 0A00 _H + n × 4
端子データ入力/出力			
PORT	ポート双方向コントロールレジスタ	PBDCn	<PORTn_base> + 4100 _H + n × 4
		APBDCn	<PORTn_base> + 41C8 _H + n × 4
JTAG		JPBDC0	<JPORT0_base> + 0410 _H
PORT	ポート端子リードレジスタ	PPRn	<PORTn_base> + 0200 _H + n × 4
		APPRn	<PORTn_base> + 02C8 _H + n × 4
JTAG		JPPR0	<JPORT0_base> + 0020 _H
PORT		IPPR0	<PORTn_base> + 02F0 _H

表 2.13 ポートグループコンフィグレーションレジスタ (2/2)

モジュール名	レジスタ名	略号	アドレス
PORT	ポートレジスタ	Pn	<PORTn_base> + 0000 _H + n × 4
		APn	<PORTn_base> + 00C8 _H + n × 4
JTAG		JP0	<JPORT0_base> + 0000 _H
PORT	ポートノットレジスタ	PNOTn	<PORTn_base> + 0700 _H + n × 4
		APNOTn	<PORTn_base> + 07C8 _H + n × 4
JTAG		JPNOT0	<JPORT0_base> + 0070 _H
PORT	ポートセット/リセットレジスタ	PSRn	<PORTn_base> + 0100 _H + n × 4
		APSRn	<PORTn_base> + 01C8 _H + n × 4
JTAG		JPSR0	<JPORT0_base> + 0010 _H
電気的特性の設定			
PORT	プルアップオプションレジスタ	PUn	<PORTn_base> + 4300 _H + n × 4
JTAG		JPU0	<JPORT0_base> + 0430 _H
PORT	プルダウンオプションレジスタ	PDn	<PORTn_base> + 4400 _H + n × 4
JTAG		JPD0	<JPORT0_base> + 0440 _H
PORT	ポートドライブ強度コントロールレジスタ	PDSCn	<PORTn_base> + 4600 _H + n × 4
JTAG		JPDSC0	<JPORT0_base> + 0460 _H
PORT	ポートオープンドレインコントロールレジスタ	PODCn	<PORTn_base> + 4500 _H + n × 4
JTAG		JPODC0	<JPORT0_base> + 0450 _H
PORT	ポート入力バッファ選択レジスタ	PISn	<PORTn_base> + 4700 _H + n × 4
JTAG		JPIS0	<JPORT0_base> + 0470 _H
JTAG	ポート入力バッファ選択アドバンストレジスタ	JPISA0	<JPORT0_base> + 04A0 _H
ポート保護			
PORT	ポート保護コマンドレジスタ	PPCMDn	<PORTn_base> + 4C00 _H + n × 4
JTAG		JPPCMD0	<JPORT0_base> + 04C0 _H
PORT	ポート保護ステータスレジスタ	PPROTSn	<PORTn_base> + 4B00 _H + n × 4
JTAG		JPPROTS0	<JPORT0_base> + 04B0 _H

n の意味

表 2.13 ポートグループコンフィグレーションレジスタでは、レジスタの略号の添字「n」は、ポートグループのインデクス“n”に対応します。たとえば、ポートモードコントロールレジスタ PMCn は、ポートグループ n (Pn) に対応しています。n の値の種類は、デバイスの端子数により、表 2.14 のように異なります。

表 2.14 デバイスの端子数と対応するポートグループ、レジスタの略号「n」の種類

デバイスの端子数	対応するポートグループ	n の種類
100 pin	P0, P8, P9, P10, P11	0, 8, 9, 10, 11
	AP0	0
144 pin	P0, P1, P8, P9, P10, P11, P12, P18, P20	0, 1, 8, 9, 10, 11, 12, 18, 20
	AP0, AP1	0, 1
176 pin	P0, P1, P2, P8, P9, P10, P11, P12, P18, P20	0, 1, 2, 8, 9, 10, 11, 12, 18, 20
	AP0, AP1	0, 1

JTAG ポートレジスタ

以降のレジスタ説明では、JTAG ポートレジスタについて記載していません。

すべての説明（PFCAEn レジスタ、PIPCn レジスタ以外）は JTAG ポートレジスタも適用されますが、JTAG ポートレジスタのベースアドレスは異なります。

リセット後の値

リセット後の値はポートに依存します。リセット後の値については、以降のレジスタ説明を参照してください。

2.9.2 端子機能の設定

2.9.2.1 PMCN / JPMC0 — ポートモードコントロールレジスタ

このレジスタは、ポートグループ n の各端子がポートモードか兼用モードかを指定します。

アクセス PMCN : 16 ビット単位でリード/ライト可能です。
JPMC0 : 8 ビット単位でリード/ライト可能です。

アドレス PMCN : $\langle \text{PORTn_base} \rangle + 0400_{\text{H}} + n \times 4$ ($n = 0, 1, 2, 8, 9, 10, 11, 12, 18, 20$)
JPMC0 : $\langle \text{JPORT0_base} \rangle + 0040_{\text{H}}$ 注1

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMC n_15	PMC n_14	PMC n_13	PMC n_12	PMC n_11	PMC n_10	PMC n_9	PMC n_8	PMC n_7	PMC n_6	PMC n_5	PMC n_4	PMC n_3	PMC n_2	PMC n_1	PMC n_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. 有効ビット位置 (m の値) はデバイスの端子数によって変わります。2.10 ポート (汎用 I/O) 機能概要のポートグループごとの制御レジスタの表 (表 2.39 制御レジスタ (JP0)、表 2.41 制御レジスタ (P0)、表 2.43 制御レジスタ (P1)、表 2.45 制御レジスタ (P2)、表 2.47 制御レジスタ (P8)、表 2.49 制御レジスタ (P9)、表 2.51 制御レジスタ (P10)、表 2.53 制御レジスタ (P11)、表 2.55 制御レジスタ (P12)、表 2.57 制御レジスタ (P18)、表 2.59 制御レジスタ (P20)) を参照してください。

表 2.15 PMCN レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PMCN_[15:0]	対応する端子の動作モードを指定します。 0 : ポートモード 1 : 兼用モード

注 意

- 兼用モード (PMCN.PMCn_m ビット = 1) に設定するだけでは入出力制御は行われません。兼用機能が直接入出力制御を行う場合は PIPCN.PIPCn_m ビットにも "1" を設定してください。
- ポートが兼用モードの入力端子として使用される場合、ノイズフィルタを通過する端子があります。このような端子は、FCLA0CTLm_<name>、DNFA<name>CTL および DNFA<name>EN レジスタの設定が必要になる場合があります。詳細は「2.12 ノイズフィルタ & エッジレベル検出回路」および「2.13 ポートノイズフィルタ & エッジ/レベル検出機能説明」を参照してください。

備 考

JTAG ポートモードコントロールレジスタ (JPMC0) の制御ビットは JPMC0_[7:0] になります。

2.9.2.2 PMCSRn / JPMCSR0 — ポートモードコントロールセット/リセットレジスタ

このレジスタにより、PMCn レジスタにデータをライトするもう 1 つの方法を示します。

PMCSRn の上位 16 ビットは、PMCSRn の下位 16 ビットで指定した PMCn.PMCn_m にデータをライトするかどうかを指定します。

アクセス PMCSRn : 32 ビット単位でリード/ライト可能です。ビット 31 ~ 16 は常に 0000_H をリードします。ビット 15 ~ 0 は PMCn レジスタの値をリードします。
JPMCSR0 : 32 ビット単位でリード/ライト可能です。ビット 31 ~ 8 は常に 000000_H をリードします。ビット 7 ~ 0 は JPMC0 レジスタの値をリードします。

アドレス PMCSRn : <PORTn_base> + 0900_H + n × 4 (n = 0, 1, 2, 8, 9, 10, 11, 12, 18, 20)
JPMCSR0 : <JPORT0_base> + 0090_H^{注1}

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMC SRn_31	PMC SRn_30	PMC SRn_29	PMC SRn_28	PMC SRn_27	PMC SRn_26	PMC SRn_25	PMC SRn_24	PMC SRn_23	PMC SRn_22	PMC SRn_21	PMC SRn_20	PMC SRn_19	PMC SRn_18	PMC SRn_17	PMC SRn_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMC SRn_15	PMC SRn_14	PMC SRn_13	PMC SRn_12	PMC SRn_11	PMC SRn_10	PMC SRn_9	PMC SRn_8	PMC SRn_7	PMC SRn_6	PMC SRn_5	PMC SRn_4	PMC SRn_3	PMC SRn_2	PMC SRn_1	PMC SRn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. 有効ビット位置 (m の値) はデバイスの端子数によって変わります。2.10 ポート (汎用 I/O) 機能概要のポートグループごとの制御レジスタの表 (表 2.39 制御レジスタ (JP0)、表 2.41 制御レジスタ (P0)、表 2.43 制御レジスタ (P1)、表 2.45 制御レジスタ (P2)、表 2.47 制御レジスタ (P8)、表 2.49 制御レジスタ (P9)、表 2.51 制御レジスタ (P10)、表 2.53 制御レジスタ (P11)、表 2.55 制御レジスタ (P12)、表 2.57 制御レジスタ (P18)、表 2.59 制御レジスタ (P20)) を参照してください。

表 2.16 PMCSRn レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	PMC SRn_[31:16]	対応する PMCSRn_m の下位ビット (PMCSRn_[15:0]) の値を PMCn_m にライトするかどうかを指定するイネーブルビットです。 0 : PMCn_m は PMCSRn_m に依存しません。 1 : PMCn_m は PMCSRn_m の値になります。 例 : PMCSRn.PMCSRn_31 = 1 の場合、PMCSRn.PMCSRn_15 ビットの値を PMCn.PMCn_15 ビットにライトします。
15 ~ 0	PMC SRn_[15:0]	対応する上位ビット (PMCSRn_[31:16]) の PMCSRn_m が 1 の場合、PMCn_m の値を指定するデータビットです。 0 : PMCn_m = 0 1 : PMCn_m = 1

備考

JTAG ポートモードコントロールセット/リセットレジスタ (JPMCSR0) の制御ビットは JPMCSR0_[31:0] になります。

2.9.2.3 PIPcN — ポート IP コントロールレジスタ

このレジスタは、Pn_m 端子の入出力方向がポートモードレジスタ PMn.PMn_m と兼用機能のどちらによって制御するかを指定します。

Pn_m 端子が兼用モード (PMcN.PMcN_m = 1) となり、兼用機能が直接 Pn_m の入出力方向を制御する場合、PIPCn.PIPCn_m は 1 に設定する必要があります。これにより兼用機能が入出力制御を行い、PMn.PMn_m の設定が無効となります。

PIPC の設定が必要な兼用機能については「**2.11 ポート (特殊 I/O) 機能概要**」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス PIPcN : <PORTn_base> + 4200_H + n × 4 (n = 0, 10, 11) 注1

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIPC n_15	PIPC n_14	PIPC n_13	PIPC n_12	PIPC n_11	PIPC n_10	PIPC n_9	PIPC n_8	PIPC n_7	PIPC n_6	PIPC n_5	PIPC n_4	PIPC n_3	PIPC n_2	PIPC n_1	PIPC n_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. 有効ビット位置 (m の値) はデバイスの端子数によって変わります。**2.10 ポート (汎用 I/O) 機能概要**のポートグループごとの制御レジスタの表 (表 2.41 制御レジスタ (P0)、表 2.51 制御レジスタ (P10)、表 2.53 制御レジスタ (P11)) を参照してください。

備考 1.

表 2.17 PIPcN レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PIPCn_[15:0]	入出力モードを指定します。 0 : 入出力モードは PMn.PMn_m (S/W 入出力制御) によって選択します。 1 : 入出力モードは周辺機能 (直接入出力制御) によって選択します。

2.9.2.4 PMn / APMn / JPM0 — ポートモードレジスタ

このレジスタは、ポートグループ n の各端子が入力モードか出力モードかを指定します。

アクセス PMn, APMn : 16 ビット単位でリード/ライト可能です。
JPM0 : 8 ビット単位でリード/ライト可能です。

アドレス PMn : $\langle \text{PORTn_base} \rangle + 0300_{\text{H}} + n \times 4$ ($n = 0, 1, 2, 8, 9, 10, 11, 12, 18, 20$)
APMn : $\langle \text{PORTn_base} \rangle + 03C8_{\text{H}} + n \times 4$ ($n = 0, 1$)
JPM0 : $\langle \text{JPORT0_base} \rangle + 0030_{\text{H}}$ ^{注1}

リセット後の値 FFFF_H^{注2}

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMn_15	PMn_14	PMn_13	PMn_12	PMn_11	PMn_10	PMn_9	PMn_8	PMn_7	PMn_6	PMn_5	PMn_4	PMn_3	PMn_2	PMn_1	PMn_0
リセット後の値	1	1	1	1	1	1	1	1	1	1 ^{注3}	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. 有効ビット位置 (m の値) はデバイスの端子数によって変わります。2.10 ポート (汎用 I/O) 機能概要のポートグループごとの制御レジスタの表 (表 2.39 制御レジスタ (JP0)、表 2.41 制御レジスタ (P0)、表 2.43 制御レジスタ (P1)、表 2.45 制御レジスタ (P2)、表 2.47 制御レジスタ (P8)、表 2.49 制御レジスタ (P9)、表 2.51 制御レジスタ (P10)、表 2.53 制御レジスタ (P11)、表 2.55 制御レジスタ (P12)、表 2.57 制御レジスタ (P18)、表 2.59 制御レジスタ (P20)、表 2.61 制御レジスタ (AP0)、表 2.63 制御レジスタ (AP1)) を参照してください。

注2. PM8 レジスタは次のとおりです。
OPBT0.RESETOUTEN = 1 の時、PM8 レジスタは FFBF_H
OPBT0.RESETOUTEN = 0 の時、PM8 レジスタは FFFF_H

注3. PM8_6 ビットは次のとおりです。
OPBT0.RESETOUTEN = 1 の時、PM8_6 ビットは 0
OPBT0.RESETOUTEN = 0 の時、PM8_6 ビットは 1

表 2.18 PMn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PMn_[15:0]	対応する端子の入力/出力モードを指定します。 0 : 出力モード (出力許可) 1 : 入力モード (出力禁止)

備考

- ポートを入力ポートモード (PMcn.PMCn_m = 0 かつ PMn.PMn_m = 1) で使用する場合は、入力バッファを許可する必要があります (PIBCn.PIBCn_m = 1)。
- リセット後は PIPcn.PIPCn_m = 0 (入出力モードは PMn.PMn_m によって制御) ですので、PMn_m はポートモード (PMcn.PMCn_m = 0) と兼用モード (PMcn.PMCn_m = 1) の入出力方向を指定します。
- アナログポートレジスタ (APMn) の制御ビットは、APMn_[15:0] になります。
- JTAG ポートモードレジスタ (JPM0) の制御ビットは JPM0_[7:0] になります。

2.9.2.5 PMSRn / APMSRn / JPMSR0 — ポートモードセット/リセットレジスタ

このレジスタにより、PMn レジスタにデータをライトするもう1つの方法を示します。

PMSRn の上位 16 ビットは、PMSRn の下位 16 ビットで指定した PMn.PMn_m にデータをライトするかどうかを指定します。

アクセス PMSRn, APMSRn : 32 ビット単位でリード/ライト可能です。ビット 31 ~ 16 は常に 0000_H をリードします。ビット 15 ~ 0 は PMn, APMn レジスタの値をリードします。
JPMSR0 : 32 ビット単位でリード/ライト可能です。ビット 31 ~ 8 は常に 000000_H をリードします。ビット 7 ~ 0 は JPM0 レジスタの値をリードします。

アドレス PMSRn : <PORTn_base> + 0800_H + n × 4 (n = 0, 1, 2, 8, 9, 10, 11, 12, 18, 20)
APMSRn : <PORTn_base> + 08C8_H + n × 4 (n = 0, 1)
JPMSR0 : <JPOR0_base> + 0080_H^{注1}

リセット後の値 0000 FFFF_H^{注2}

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMSRn _31	PMSRn _30	PMSRn _29	PMSRn _28	PMSRn _27	PMSRn _26	PMSRn _25	PMSRn _24	PMSRn _23	PMSRn _22	PMSRn _21	PMSRn _20	PMSRn _19	PMSRn _18	PMSRn _17	PMSRn _16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMSRn _15	PMSRn _14	PMSRn _13	PMSRn _12	PMSRn _11	PMSRn _10	PMSRn _9	PMSRn _8	PMSRn _7	PMSRn _6	PMSRn _5	PMSRn _4	PMSRn _3	PMSRn _2	PMSRn _1	PMSRn _0
リセット後の値	1	1	1	1	1	1	1	1	1	1 ^{注3}	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. 有効ビット位置 (m の値) はデバイスの端子数によって変わります。2.10 ポート (汎用 I/O) 機能概要のポートグループごとの制御レジスタの表 (表 2.39 制御レジスタ (JP0)、表 2.41 制御レジスタ (P0)、表 2.43 制御レジスタ (P1)、表 2.45 制御レジスタ (P2)、表 2.47 制御レジスタ (P8)、表 2.49 制御レジスタ (P9)、表 2.51 制御レジスタ (P10)、表 2.53 制御レジスタ (P11)、表 2.55 制御レジスタ (P12)、表 2.57 制御レジスタ (P18)、表 2.59 制御レジスタ (P20)、表 2.61 制御レジスタ (AP0)、表 2.63 制御レジスタ (AP1)) を参照してください。

注 2. PMSR8 レジスタは次のとおりです。
OPBT0.RESETOUTEN = 1 の時、PMSR8 レジスタは 0000 FFBF_H
OPBT0.RESETOUTEN = 0 の時、PMSR8 レジスタは 0000 FFFF_H

注 3. PMSR8_6 ビットは次のとおりです。
OPBT0.RESETOUTEN = 1 の時、PMSR8_6 ビットは 0
OPBT0.RESETOUTEN = 0 の時、PMSR8_6 ビットは 1

表 2.19 PMSRn レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	PMSRn_[31:16]	対応する PMSRn_m の下位ビット (PMSRn_[15:0]) の値を PMn_m にライトするかどうかを指定するイネーブルビットです。 0 : PMn_m は PMSRn_m に依存しません。 1 : PMn_m は PMSRn_m の値になります。 例 : PMSRn.PMSRn_31 = 1 の場合、PMSRn.PMSRn_15 ビットの値を PMn.PMn_15 ビットにライトします。
15 ~ 0	PMSRn_[15:0]	対応する上位ビット (PMSRn_[31:16]) の PMSRn_m が 1 の場合、PMn_m 値を指定するデータビットです。 0 : PMn_m = 0 1 : PMn_m = 1

備 考

1. JTAG ポートモードセット/リセットレジスタ (JPMSR0) の制御ビットは JPMSR0_[31:0] になります。
 2. アナログポートモードセット/リセットレジスタ (APMSRn) の制御ビットは APMSRn_[31:0] になります。
-

2.9.2.6 PIBCn / APIBCn / JPIBC0 / IPIBC0 — ポート入力バッファコントロールレジスタ

このレジスタは、入力ポートモード（PMnCn.PMnCn_m = 0 かつ PMn.PMn_m = 1）で、ポート端子の入力バッファを許可します。

アクセス PIBCn, APIBCn, IPIBC0 : 16 ビット単位でリード/ライト可能です。
JPIBC0 : 8 ビット単位でリード/ライト可能です。

アドレス PIBCn : <PORTn_base> + 4000_H + n × 4 (n = 0, 1, 2, 8, 9, 10, 11, 12, 18, 20)
APIBCn : <PORTn_base> + 40C8_H + n × 4 (n = 0, 1)
JPIBC0 : <JPORT0_base> + 0400_H
IPIBC0 : <PORTn_base> + 40F0_H^{注1}

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIBC n_15	PIBC n_14	PIBC n_13	PIBC n_12	PIBC n_11	PIBC n_10	PIBC n_9	PIBC n_8	PIBC n_7	PIBC n_6	PIBC n_5	PIBC n_4	PIBC n_3	PIBC n_2	PIBC n_1	PIBC n_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。2.10 ポート（汎用 I/O）機能概要のポートグループごとの制御レジスタの表（表 2.39 制御レジスタ（JP0）、表 2.41 制御レジスタ（P0）、表 2.43 制御レジスタ（P1）、表 2.45 制御レジスタ（P2）、表 2.47 制御レジスタ（P8）、表 2.49 制御レジスタ（P9）、表 2.51 制御レジスタ（P10）、表 2.53 制御レジスタ（P11）、表 2.55 制御レジスタ（P12）、表 2.57 制御レジスタ（P18）、表 2.59 制御レジスタ（P20）、表 2.61 制御レジスタ（AP0）、表 2.63 制御レジスタ（AP1）、表 2.65 制御レジスタ（IP0））を参照してください。

表 2.20 PIBCn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PIBCn_[15:0]	入力バッファを許可/禁止します。 0 : 入力バッファ禁止 1 : 入力バッファ許可

備 考

1. 入力バッファを禁止すると、端子レベルが Hi-Z 状態でも貫通電流が流れません。したがって、外部から端子をハイまたはロウレベルに固定する必要はありません。
2. JTAG ポート入力バッファコントロールレジスタ（JPIBC0）の制御ビットは JPIBC0_[7:0] になります。

注 意

このレジスタの設定は、双方向モード（PBDCn.PBDCn_m = 1）では無効です。

2.9.2.7 PFCn / JPFC0 — ポート機能コントロールレジスタ

このレジスタは、PFCEn、PFCAEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があるため、入出力は周辺機能で指定されます。

ほかの兼用機能では、入出力は PMn.PMn_m によって指定します。

アクセス PFCn : 16 ビット単位でリード/ライト可能です。
JPFC0 : 8 ビット単位でリード/ライト可能です。

アドレス PFCn : <PORTn_base> + 0500_H + n × 4 (n = 0, 1, 2, 8, 9, 10, 11, 12, 18, 20)
JPFC0 : <JPORT0_base> + 0050_H^{注1}

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFC n_15	PFC n_14	PFC n_13	PFC n_12	PFC n_11	PFC n_10	PFC n_9	PFC n_8	PFC n_7	PFC n_6	PFC n_5	PFC n_4	PFC n_3	PFC n_2	PFC n_1	PFC n_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. 有効ビット位置 (m の値) はデバイスの端子数によって変わります。2.10 ポート (汎用 I/O) 機能概要のポートグループごとの制御レジスタの表 (表 2.39 制御レジスタ (JP0)、表 2.41 制御レジスタ (P0)、表 2.43 制御レジスタ (P1)、表 2.45 制御レジスタ (P2)、表 2.47 制御レジスタ (P8)、表 2.49 制御レジスタ (P9)、表 2.51 制御レジスタ (P10)、表 2.53 制御レジスタ (P11)、表 2.55 制御レジスタ (P12)、表 2.57 制御レジスタ (P18)、表 2.59 制御レジスタ (P20)) を参照してください。

表 2.21 PFCn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PFCn_[15:0]	端子の兼用機能を指定します。 詳細は「表 2.24 兼用機能の設定」を参照してください。

備考

JTAG ポート機能コントロールレジスタ (JPFC0) の制御ビットは JPFC0_[7:0] になります。

2.9.2.8 PFCEn / JPFCE0 — ポート機能コントロール拡張レジスタ

このレジスタは、PFCn、PFCAEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があるため、入出力は周辺機能で指定されます。

ほかの兼用機能では、入出力は PMn.PMn_m によって指定します。

アクセス PFCEn : 16 ビット単位でリード/ライト可能です。
JPFCE0 : 8 ビット単位でリード/ライト可能です。

アドレス PFCEn : <PORTn_base> + 0600_H + n × 4 (n = 0, 1, 2, 8, 9, 10, 11, 12, 20)
JPFCE0 : <JPORTo_base> + 0060_H ^{注1}

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCEn _15	PFCEn _14	PFCEn _13	PFCEn _12	PFCEn _11	PFCEn _10	PFCEn _9	PFCEn _8	PFCEn _7	PFCEn _6	PFCEn _5	PFCEn _4	PFCEn _3	PFCEn _2	PFCEn _1	PFCEn _0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. 有効ビット位置 (m の値) はデバイスの端子数によって変わります。2.10 ポート (汎用 I/O) 機能概要のポートグループごとの制御レジスタの表 (表 2.39 制御レジスタ (JP0)、表 2.41 制御レジスタ (P0)、表 2.43 制御レジスタ (P1)、表 2.45 制御レジスタ (P2)、表 2.47 制御レジスタ (P8)、表 2.49 制御レジスタ (P9)、表 2.51 制御レジスタ (P10)、表 2.53 制御レジスタ (P11)、表 2.55 制御レジスタ (P12)、表 2.59 制御レジスタ (P20)) を参照してください。

表 2.22 PFCEn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PFCEn_[15:0]	端子の兼用機能を指定します。 詳細は「表 2.24 兼用機能の設定」を参照してください。

備考

JTAG ポート機能コントロール拡張レジスタ (JPFCE0) の制御ビットは JPFCE0_[7:0] になります。

2.9.2.9 PFCAEn — ポート機能コントロール追加拡張レジスタ

このレジスタは、PFCEn、PFCn レジスタとともに、兼用周辺機能を選択します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があるため、入出力は周辺機能で指定されます。

ほかの兼用機能では、入出力は PMn.PMn_m によって指定します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス PFCAEn : <PORTn_base> + 0A00_H + n × 4 (n = 0, 1, 2, 10, 11, 12, 20) 注1

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCAE n_15	PFCAE n_14	PFCAE n_13	PFCAE n_12	PFCAE n_11	PFCAE n_10	PFCAE n_9	PFCAE n_8	PFCAE n_7	PFCAE n_6	PFCAE n_5	PFCAE n_4	PFCAE n_3	PFCAE n_2	PFCAE n_1	PFCAE n_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. 有効ビット位置 (m の値) はデバイスの端子数によって変わります。2.10 ポート (汎用 I/O) 機能概要のポートグループごとの制御レジスタの表 (表 2.41 制御レジスタ (P0)、表 2.43 制御レジスタ (P1)、表 2.45 制御レジスタ (P2)、表 2.51 制御レジスタ (P10)、表 2.53 制御レジスタ (P11)、表 2.55 制御レジスタ (P12)、表 2.59 制御レジスタ (P20)) を参照してください。

表 2.23 PFCAEn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PFCAEn_[15:0]	端子の兼用機能を指定します。 詳細は「表 2.24 兼用機能の設定」を参照してください。

表 2.24 兼用機能の設定

PFCAEn_m	PFCEn_m	PFCn_m	PMn_m	機能
0	0	0	1	兼用入力モード 1
			0	兼用出力モード 1
		1	1	兼用入力モード 2
			0	兼用出力モード 2
	1	0	1	兼用入力モード 3
			0	兼用出力モード 3
		1	1	兼用入力モード 4
			0	兼用出力モード 4
1	0	0	1	兼用入力モード 5
			0	兼用出力モード 5
		1	1	兼用入力モード 6
			0	兼用出力モード 6
	1	0	1	兼用入力モード 7
			0	兼用出力モード 7
		1	X	設定禁止

注 意

- PFCn_m, PFCEn_m, PFCAEn_m ビットで兼用機能を選択後、PMCn_m = 1 に設定してください。
 - この製品では、一部機能の入出力を2カ所で兼用していますが、使用できる端子機能としてはいずれか一方のみになります。2カ所で同じ端子機能を設定することは禁止です。
例えば、a/b/c 端子を b として使用する場合、b/d/e 端子は b として使用できません。b 以外の端子機能として設定して使用してください。
-

備 考

各機能の割り当ての詳細については、2.10.1 ~ 2.10.14 章を参照してください。

2.9.3 端子データ入力/出力

2.9.3.1 PBDCn / APBDCn / JPBDC0 — ポート双方向コントロールレジスタ

このレジスタは、出力モード時、入力バッファを許可し、ポートを双方向モードにします。双方向モード時、PPRn.PPRn_m は Pn_m 端子のレベルを読み出すことができます。

アクセス PBDCn, APBDCn : 16 ビット単位でリード/ライト可能です。
JPBDC0 : 8 ビット単位でリード/ライト可能です。

アドレス PBDCn : <PORTn_base> + 4100_H + n × 4 (n = 0, 1, 2, 8, 9, 10, 11, 12, 18, 20)
APBDCn : <PORTn_base> + 41C8_H + n × 4 (n = 0, 1)
JPBDC0 : <JPOR0_base> + 0410_H注1

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PBDC n_15	PBDC n_14	PBDC n_13	PBDC n_12	PBDC n_11	PBDC n_10	PBDC n_9	PBDC n_8	PBDC n_7	PBDC n_6	PBDC n_5	PBDC n_4	PBDC n_3	PBDC n_2	PBDC n_1	PBDC n_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. 有効ビット位置 (m の値) はデバイスの端子数によって変わります。2.10 ポート (汎用 I/O) 機能概要のポートグループごとの制御レジスタの表 (表 2.39 制御レジスタ (JP0)、表 2.41 制御レジスタ (P0)、表 2.43 制御レジスタ (P1)、表 2.45 制御レジスタ (P2)、表 2.47 制御レジスタ (P8)、表 2.49 制御レジスタ (P9)、表 2.51 制御レジスタ (P10)、表 2.53 制御レジスタ (P11)、表 2.55 制御レジスタ (P12)、表 2.57 制御レジスタ (P18)、表 2.59 制御レジスタ (P20)、表 2.61 制御レジスタ (AP0)、表 2.63 制御レジスタ (AP1)) を参照してください。

表 2.25 PBDCn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PBDCn[15:0]	対応する端子の双方向モードの許可/禁止を指定します。 0 : 双方向モードを禁止 1 : 双方向モードを許可

注 意

Pn_m ポートを兼用出力機能 (PMCn.PMCn_m = 1, PMn.PMn_m = 0) として使用する場合、双方向モードを許可 (PBDCn.PBDCn_m = 1) することにより、PPRn.PPRn_m で Pn_m 端子のレベルをリードすることができます。

しかし、その兼用出力機能の出力は、同端子の兼用入力機能 (PFCn.PFCn_m, PFCEn.PFCEn_m および PFCAEn.PFCAEn_m で設定された兼用入力機能) に入力されます。この兼用入力機能を他の端子で使用している場合は、その兼用入力機能の動作は保証できません。

備 考

JTAG ポート双方向コントロールレジスタ (JPBDC0) の制御ビットは JPBDC0_[7:0] になります。

2.9.3.2 PPRn / APPRn / JPPR0 / IPPR0 — ポート端子リードレジスタ

このレジスタは、実際の Pn_m 端子レベル、Pn.Pn_m ビットの値、または兼用機能の出力レベルを表します。

アクセス PPRn, APPRn, IPPR0 : 16 ビット単位でリードのみ可能です。
JPPR0 : 8 ビット単位でリードのみ可能です。

アドレス PPRn : $\langle \text{PORTn_base} \rangle + 0200_{\text{H}} + n \times 4$ (n = 0, 1, 2, 8, 9, 10, 11, 12, 18, 20)
APPRn : $\langle \text{PORTn_base} \rangle + 02C8_{\text{H}} + n \times 4$ (n = 0, 1)
JPPR0 : $\langle \text{JPORT0_base} \rangle + 0020_{\text{H}}$
IPPR0 : $\langle \text{PORTn_base} \rangle + 02F0_{\text{H}}$ ^{注1}

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PPR n_15	PPR n_14	PPR n_13	PPR n_12	PPR n_11	PPR n_10	PPR n_9	PPR n_8	PPR n_7	PPR n_6	PPR n_5	PPR n_4	PPR n_3	PPR n_2	PPR n_1	PPR n_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1. 有効ビット位置 (m の値) はデバイスの端子数によって変わります。2.10 ポート (汎用 I/O) 機能概要のポートグループごとの制御レジスタの表 (表 2.39 制御レジスタ (JP0)、表 2.41 制御レジスタ (P0)、表 2.43 制御レジスタ (P1)、表 2.45 制御レジスタ (P2)、表 2.47 制御レジスタ (P8)、表 2.49 制御レジスタ (P9)、表 2.51 制御レジスタ (P10)、表 2.53 制御レジスタ (P11)、表 2.55 制御レジスタ (P12)、表 2.57 制御レジスタ (P18)、表 2.59 制御レジスタ (P20)、表 2.61 制御レジスタ (AP0)、表 2.63 制御レジスタ (AP1)、表 2.65 制御レジスタ (IP0)) を参照してください。

表 2.26 PPRn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PPRn_[15:0]	Pn_m 端子、Pn.Pn_m の値、または兼用機能の出力

備考

1. PPRn レジスタのリード値は、「2.7.4 端子データ入力/出力」を参照してください。
2. JTAG ポート端子リードレジスタ (JPPR0) の制御ビットは JPPR0_[7:0] になります。

2.9.3.3 Pn / APn / JP0 — ポートレジスタ

このレジスタは、出力ポートモード時（ $PMCn.PMCn_m = 0$, $PMn.PMn_m = 0$ ）に、関連のポート Pn_m から出力される $Pn.Pn_m$ データを保持します。

アクセス Pn, APn : 16 ビット単位でリード/ライト可能です。
JP0 : 8 ビット単位でリード/ライト可能です。

アドレス Pn : $\langle PORTn_base \rangle + 0000_H + n \times 4$ ($n = 0, 1, 2, 8, 9, 10, 11, 12, 18, 20$)
APn : $\langle PORTn_base \rangle + 00C8_H + n \times 4$ ($n = 0, 1$)
JP0 : $\langle JPORT0_base \rangle + 0000_H$ ^{注1}

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Pn_15	Pn_14	Pn_13	Pn_12	Pn_11	Pn_10	Pn_9	Pn_8	Pn_7	Pn_6	Pn_5	Pn_4	Pn_3	Pn_2	Pn_1	Pn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. 有効ビット位置（ m の値）はデバイスの端子数によって変わります。**2.10 ポート（汎用 I/O）機能概要のポートグループごとの制御レジスタの表（表 2.39 制御レジスタ（JP0）、表 2.41 制御レジスタ（P0）、表 2.43 制御レジスタ（P1）、表 2.45 制御レジスタ（P2）、表 2.47 制御レジスタ（P8）、表 2.49 制御レジスタ（P9）、表 2.51 制御レジスタ（P10）、表 2.53 制御レジスタ（P11）、表 2.55 制御レジスタ（P12）、表 2.57 制御レジスタ（P18）、表 2.59 制御レジスタ（P20）、表 2.61 制御レジスタ（AP0）、表 2.63 制御レジスタ（AP1））を参照してください。**

表 2.27 Pn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	Pn_[15:0]	Pn_m 端子 ($m = 0 \sim 15$) の出力レベルを設定します。 0 : ローレベル出力 1 : ハイレベル出力

備考

JTAG ポートレジスタ（JP0）の制御ビットは JP0_[7:0] になります。

2.9.3.4 PNOTn / APNOTn / JPNOT0 — ポートノットレジスタ

このレジスタは、ポートレジスタ Pn に直接ライトせず Pn の Pn_m ビットを反転できません。

アクセス PNOTn, APNOTn : 16 ビット単位でライトのみ可能です。常に 0000_H をリードします。
JPNOT0 : 8 ビット単位でライトのみ可能です。常に 00_H をリードします。

アドレス PNOTn : <PORTn_base> + 0700_H + n × 4 (n = 0, 1, 2, 8, 9, 10, 11, 12, 18, 20)
APNOTn : <PORTn_base> + 07C8_H + n × 4 (n = 0, 1)
JPNOT0 : <JPORT0_base> + 0070_H注1

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PNOT n_15	PNOT n_14	PNOT n_13	PNOT n_12	PNOT n_11	PNOT n_10	PNOT n_9	PNOT n_8	PNOT n_7	PNOT n_6	PNOT n_5	PNOT n_4	PNOT n_3	PNOT n_2	PNOT n_1	PNOT n_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

注1. 有効ビット位置 (m の値) はデバイスの端子数によって変わります。2.10 ポート (汎用 I/O) 機能概要のポートグループごとの制御レジスタの表 (表 2.39 制御レジスタ (JP0)、表 2.41 制御レジスタ (P0)、表 2.43 制御レジスタ (P1)、表 2.45 制御レジスタ (P2)、表 2.47 制御レジスタ (P8)、表 2.49 制御レジスタ (P9)、表 2.51 制御レジスタ (P10)、表 2.53 制御レジスタ (P11)、表 2.55 制御レジスタ (P12)、表 2.57 制御レジスタ (P18)、表 2.59 制御レジスタ (P20)、表 2.61 制御レジスタ (AP0)、表 2.63 制御レジスタ (AP1)) を参照してください。

表 2.28 PNOTn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PNOTn_[15:0]	Pn.Pn_m を反転するかどうかを指定します。 0 : Pn.Pn_m を反転しない (Pn_m → Pn_m) 1 : Pn.Pn_m を反転する (Pn_m → Pn_m)

備考

JTAG ポートノットレジスタ (JPNOT0) の制御ビットは JPNOT0_[7:0] になります。

2.9.3.5 PSRn / APSRn / JPSR0 — ポートセット/リセットレジスタ

このレジスタにより、Pn レジスタにデータをライトするもう 1 つの方法を示します。

PSRn の上位 16 ビットは、PSRn の下位 16 ビットで指定した Pn.Pn_m にデータをライトするかどうかを指定します。

アクセス PSRn, APSRn : 32 ビット単位でリード/ライト可能です。ビット 31 ~ 16 は常に 0000_H をリードします。ビット 15 ~ 0 は Pn, APn レジスタの値をリードします。
JPSR0 : 32 ビット単位でリード/ライト可能です。ビット 31 ~ 8 は常に 000000_H をリードします。ビット 7 ~ 0 は JP0 レジスタの値をリードします。

アドレス PSRn : <PORTn_base> + 0100_H + n × 4 (n = 0, 1, 2, 8, 9, 10, 11, 12, 18, 20)
APSRn : <PORTn_base> + 01C8_H + n × 4 (n = 0, 1)
JPSR0 : <JPOR0_base> + 0010_H^{注1}

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PSR n_31	PSR n_30	PSR n_29	PSR n_28	PSR n_27	PSR n_26	PSR n_25	PSR n_24	PSR n_23	PSR n_22	PSR n_21	PSR n_20	PSR n_19	PSR n_18	PSR n_17	PSR n_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PSR n_15	PSR n_14	PSR n_13	PSR n_12	PSR n_11	PSR n_10	PSR n_9	PSR n_8	PSR n_7	PSR n_6	PSR n_5	PSR n_4	PSR n_3	PSR n_2	PSR n_1	PSR n_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. 有効ビット位置 (m の値) はデバイスの端子数によって変わります。2.10 ポート (汎用 I/O) 機能概要のポートグループごとの制御レジスタの表 (表 2.39 制御レジスタ (JP0)、表 2.41 制御レジスタ (P0)、表 2.43 制御レジスタ (P1)、表 2.45 制御レジスタ (P2)、表 2.47 制御レジスタ (P8)、表 2.49 制御レジスタ (P9)、表 2.51 制御レジスタ (P10)、表 2.53 制御レジスタ (P11)、表 2.55 制御レジスタ (P12)、表 2.57 制御レジスタ (P18)、表 2.59 制御レジスタ (P20)、表 2.61 制御レジスタ (AP0)、表 2.63 制御レジスタ (AP1)) を参照してください。

表 2.29 PSRn レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	PSRn_[31:16]	対応する PSRn_m の下位ビット (PSRn_[15:0]) の値を Pn_m にライトするかどうかを指定するイネーブルビットです。 0 : Pn_m は PSRn_m に依存しません。 1 : Pn_m は PSRn_m の値になります。 例： PSRn.PSRn_31 = 1 の場合、PSRn.PSRn_15 ビットの値を Pn.Pn_15 ビットにライトします。
15 ~ 0	PSRn_[15:0]	対応する上位ビット (PSRn_[31:16]) の PSRn_m が 1 の場合、Pn_m 値を指定するデータビットです。 0 : Pn_m = 0 1 : Pn_m = 1

備考

JTAG ポートセット/リセットレジスタ (JPSR0) の制御ビットは JPSR0_[31:0] になります。

2.9.4 電気的特性の設定

2.9.4.1 PUn / JPU0 — プルアップオプションレジスタ

このレジスタは、内蔵プルアップ抵抗を入力端子に接続するかどうかを指定します。

アクセス PUn : 16 ビット単位でリード/ライト可能です。
JPU0 : 8 ビット単位でリード/ライト可能です。

アドレス PUn : $\langle \text{PORTn_base} \rangle + 4300_{\text{H}} + n \times 4$ ($n = 0, 1, 2, 8, 9, 10, 11, 12, 18, 20$)
JPU0 : $\langle \text{JPORT0_base} \rangle + 0430_{\text{H}}$ 注1

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PUn_15	PUn_14	PUn_13	PUn_12	PUn_11	PUn_10	PUn_9	PUn_8	PUn_7	PUn_6	PUn_5	PUn_4	PUn_3	PUn_2	PUn_1	PUn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. 有効ビット位置 (m の値) はデバイスの端子数によって変わります。2.10 ポート (汎用 I/O) 機能概要のポートグループごとの制御レジスタの表 (表 2.39 制御レジスタ (JP0)、表 2.41 制御レジスタ (P0)、表 2.43 制御レジスタ (P1)、表 2.45 制御レジスタ (P2)、表 2.47 制御レジスタ (P8)、表 2.49 制御レジスタ (P9)、表 2.51 制御レジスタ (P10)、表 2.53 制御レジスタ (P11)、表 2.55 制御レジスタ (P12)、表 2.57 制御レジスタ (P18)、表 2.59 制御レジスタ (P20)) を参照してください。

表 2.30 PUn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PUn_[15:0]	内蔵プルアップ抵抗を対応する端子に接続するかどうかを指定します。 0 : 内蔵プルアップ抵抗を接続しない 1 : 内蔵プルアップ抵抗を接続する

備考

- 1 端子に内蔵プルアップ抵抗 (PUn.PUn_m = 1) と内蔵プルダウン抵抗 (PDn.PDn_m = 1) の両方を接続するように設定した場合は、自動的に内蔵プルダウン抵抗が選択され、内蔵プルアップ抵抗は接続しません。
- 2 端子が出力モードで動作している場合、内蔵プルアップ抵抗は影響しません。
- 3 JTAG プルアップオプションレジスタ (JPU0) の制御ビットは JPU0_[7:0] になります。

2.9.4.2 PDn / JPD0 — プルダウンオプションレジスタ

このレジスタは、内蔵プルダウン抵抗を入力端子に接続するかどうかを指定します。

アクセス PDn : 16 ビット単位でリード/ライト可能です。
JPD0 : 8 ビット単位でリード/ライト可能です。

アドレス PDn : <PORTn_base> + 4400_H + n × 4 (n = 0, 1, 2, 8, 9, 10, 11, 12, 18, 20)
JPD0 : <JPORT0_base> + 0440_H^{注1}

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDn_15	PDn_14	PDn_13	PDn_12	PDn_11	PDn_10	PDn_9	PDn_8	PDn_7	PDn_6	PDn_5	PDn_4	PDn_3	PDn_2	PDn_1	PDn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. 有効ビット位置 (m の値) はデバイスの端子数によって変わります。2.10 ポート (汎用 I/O) 機能概要のポートグループごとの制御レジスタの表 (表 2.39 制御レジスタ (JP0)、表 2.41 制御レジスタ (P0)、表 2.43 制御レジスタ (P1)、表 2.45 制御レジスタ (P2)、表 2.47 制御レジスタ (P8)、表 2.49 制御レジスタ (P9)、表 2.51 制御レジスタ (P10)、表 2.53 制御レジスタ (P11)、表 2.55 制御レジスタ (P12)、表 2.57 制御レジスタ (P18)、表 2.59 制御レジスタ (P20)) を参照してください。

表 2.31 PDn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PDn_[15:0]	内蔵プルダウン抵抗を対応する端子に接続するかどうかを指定します。 0 : 内蔵プルダウン抵抗を接続しない 1 : 内蔵プルダウン抵抗を接続する

備考

- 1 端子に内蔵プルアップ抵抗 (PUn.PUn_m = 1) と内蔵プルダウン抵抗 (PDn.PDn_m = 1) の両方を接続するように設定した場合は、自動的に内蔵プルダウン抵抗が選択され、内蔵プルアップ抵抗は接続しません。
- 2 端子が出力モードで動作している場合、内蔵プルダウン抵抗は影響しません。
- 3 JTAG プルダウンオプションレジスタ (JPD0) の制御ビットは JPD0_[7:0] になります。

2.9.4.3 PDSCn / JPDSC0 — ポートドライブ強度コントロールレジスタ

このレジスタは、ポート端子の出力ドライブ強度を指定します。この機能は、出力バッファの高速モード（ハイドライブ強度）と低速モード（ロウドライブ強度）が選択できます。このレジスタを更新するためには、PPCMDn レジスタを使った正しい書き込みシーケンスが必要です。詳細は「第5章 書き込み保護レジスタ」を参照してください。PDSC レジスタの設定が必要な兼用機能については「2.11.3.3 出力バッファ制御 (PDSC)」を参照してください。

アクセス PDSCn, JPDSC0 : 32 ビット単位でリード/ライト可能です。

アドレス PDSCn : <PORTn_base> + 4600_H + n × 4 (n = 0, 1, 2, 10, 11, 12, 18, 20)
JPDSC0 : <JPOR0_base> + 0460_H注1

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDSC n_15	PDSC n_14	PDSC n_13	PDSC n_12	PDSC n_11	PDSC n_10	PDSC n_9	PDSC n_8	PDSC n_7	PDSC n_6	PDSC n_5	PDSC n_4	PDSC n_3	PDSC n_2	PDSC n_1	PDSC n_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. 有効ビット位置 (m の値) はデバイスの端子数によって変わります。2.10 ポート (汎用 I/O) 機能概要のポートグループごとの制御レジスタの表 (表 2.39 制御レジスタ (JP0)、表 2.41 制御レジスタ (P0)、表 2.43 制御レジスタ (P1)、表 2.45 制御レジスタ (P2)、表 2.51 制御レジスタ (P10)、表 2.53 制御レジスタ (P11)、表 2.55 制御レジスタ (P12)、表 2.57 制御レジスタ (P18)、表 2.59 制御レジスタ (P20)) を参照してください。

表 2.32 PDSCn レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 0	PDSCn_[15:0]	ポート端子の出力バッファのポートドライブ強度を指定します。 0 : ロウドライブ強度 (端子から出力する周波数が 10 MHz 以下の場合) 1 : ハイドライブ強度 (端子から出力する周波数が 40 MHz 以下の場合)

備考

JTAG ポートドライブ強度コントロールレジスタ (JPDSC0) の制御ビットは JPDSC0_[31:0] になります。

2.9.4.4 PODCn / JPODC0 — ポートオープンドレインコントロールレジスタ

このレジスタは、出力バッファの機能としてプッシュプルまたはオープンドレインを選択します。このレジスタを更新するためには、PPCMDn レジスタ、JPPCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「第5章 書き込み保護レジスタ」を参照してください。

アクセス PODCn, JPODC0 : 32 ビット単位でリード/ライト可能です。

アドレス PODCn : <PORTn_base> + 4500_H + n × 4 (n = 0, 1, 2, 8, 9, 10, 11, 12, 18, 20)
JPODC0 : <JPORT0_base> + 0450_H 注1

リセット後の値 0000 0000_H 注2

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PODC n_15	PODC n_14	PODC n_13	PODC n_12	PODC n_11	PODC n_10	PODC n_9	PODC n_8	PODC n_7	PODC n_6	PODC n_5	PODC n_4	PODC n_3	PODC n_2	PODC n_1	PODC n_0
リセット後の値	0	0	0	0	0	0	0	0	0	0注3	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. 有効ビット位置 (m の値) はデバイスの端子数によって変わります。2.10 ポート (汎用 I/O) 機能概要のポートグループごとの制御レジスタの表 (表 2.39 制御レジスタ (JP0)、表 2.41 制御レジスタ (P0)、表 2.43 制御レジスタ (P1)、表 2.45 制御レジスタ (P2)、表 2.47 制御レジスタ (P8)、表 2.49 制御レジスタ (P9)、表 2.51 制御レジスタ (P10)、表 2.53 制御レジスタ (P11)、表 2.55 制御レジスタ (P12)、表 2.57 制御レジスタ (P18)、表 2.59 制御レジスタ (P20)) を参照してください。

注2. PODC8 レジスタは次のとおりです。
OPBT0.RESETOUTEN = 1 の時、PODC8 レジスタは 0000 0040_H
OPBT0.RESETOUTEN = 0 の時、PODC8 レジスタは 0000 0000_H

注3. PODC8_6 ビットは次のとおりです。
OPBT0.RESETOUTEN = 1 の時、PODC8_6 ビットは 1
OPBT0.RESETOUTEN = 0 の時、PODC8_6 ビットは 0

表 2.33 PODCn レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 0	PODCn_[15:0]	出力バッファの機能を指定します。 0 : プッシュプル 1 : オープンドレイン

備考

JTAG ポートオープンドレインレジスタ (JPODC0) の制御ビットは JPODC0_[31:0] になります。

2.9.4.5 PISn/JPIS0 — ポート入力バッファ選択レジスタ

このレジスタは、入力バッファ特性を指定します。

アクセス PISn : 16 ビット単位でリード/ライト可能です。
JPIS0 : 8 ビット単位でリード/ライト可能です。

アドレス PISn : $\langle \text{PORTn_base} \rangle + 4700_{\text{H}} + n \times 4$ ($n = 0, 1, 2, 8, 9, 10, 11, 12, 18, 20$)
JPIS0 : $\langle \text{JPORT0_base} \rangle + 0470_{\text{H}}$ 注1

リセット後の値 FFFF_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIS n_15	PIS n_14	PIS n_13	PIS n_12	PIS n_11	PIS n_10	PIS n_9	PIS n_8	PIS n_7	PIS n_6	PIS n_5	PIS n_4	PIS n_3	PIS n_2	PIS n_1	PIS n_0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. 有効ビット位置 (m の値) はデバイスの端子数によって変わります。2.10 ポート (汎用 I/O) 機能概要のポートグループごとの制御レジスタの表 (表 2.41 制御レジスタ (P0)、表 2.43 制御レジスタ (P1)、表 2.45 制御レジスタ (P2)、表 2.47 制御レジスタ (P8)、表 2.49 制御レジスタ (P9)、表 2.51 制御レジスタ (P10)、表 2.53 制御レジスタ (P11)、表 2.55 制御レジスタ (P12)、表 2.57 制御レジスタ (P18)、表 2.59 制御レジスタ (P20)) を参照してください。

表 2.34 PISn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PISn_[15:0]	入力バッファ特性を指定します。 0 : タイプ 1 (SHMT1) 1 : タイプ 2 (SHMT4)

備考

- タイプ 1 とタイプ 2 の定義は、「2.11.3.2 入力バッファ制御 (PISn/JPIS0、JPISA0)」を参照してください。入力バッファ特性の詳細は、「第 40 章 電気的特性」も参照してください。
- JTAG ポート入力バッファ選択レジスタ (JPIS0) の制御ビットは JPIS0_[7:0] になります。

2.9.4.6 JPISA0 — ポート入力バッファ選択アドバンスレジスタ

このレジスタは、入力バッファ特性を指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス JPISA0 : <JPOR0_base> + 04A0_H注1

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	JPISA0_3	JPISA0_2	—	JPISA0_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R	R/W

注1. 有効ビット位置 (m の値) はデバイスの端子数によって変わります。2.10 ポート (汎用 I/O) 機能概要のポートグループごとの制御レジスタの表 (表 2.39 制御レジスタ (JP0)) を参照してください。

表 2.35 JPISA0 レジスタの内容

ビット位置	ビット名	機能
7-4, 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3, 2, 0	JPISA0_[3, 2, 0]	入力バッファ特性を指定します。 0: タイプ2 (SHMT4) 1: タイプ5 (TTL)

表 2.36 JTAG ポート入力選択アドバンスレジスタの内容

JPISA0	JPIS0	機能
0	0	タイプ1入力バッファを選択 (SHMT1)
	1	タイプ2入力バッファを選択 (SHMT4)
1	X	タイプ5入力バッファを選択 (TTL)

備考

タイプ2とタイプ5の定義は、「2.11.3.2 入力バッファ制御 (PISn/JPIS0、JPISA0)」を参照してください。入力バッファ特性の詳細は、「第40章 電気的特性」も参照してください。

2.9.5 ポートレジスタ保護

RH850/F1K は、ポート保護クラスレジスタとして、ポート保護コマンドレジスタ (PPCMDn) およびポート保護ステータス・レジスタ (PPROTSn) を持ちます。レジスタの詳細については「第5章 書き込み保護レジスタ」を参照してください。

2.9.6 ポート設定のフローチャート例

ポート設定のフローチャート例を次に示します。

注 意

ポートを PIP_{Cn}.PIP_{Cn_m} ビット = 0 かつ兼用出力モードに設定するとき、一時的に兼用入力モードになる場合があります。それは、PMC_{Cn}.PMC_{Cn_m} ビット = 1 の設定から PM_n.PM_{n_m} ビット = 0 の設定までのタイミングで発生します。ポート兼用機能として割り込み関連信号が設定されている場合、ポート設定中に一時的に兼用入力モードになるため、割り込みが動作しない、または無視されるようにしてください。

2.9.6.1 一括設定

一括でポートグループを設定する場合のフローチャート例を次に示します。

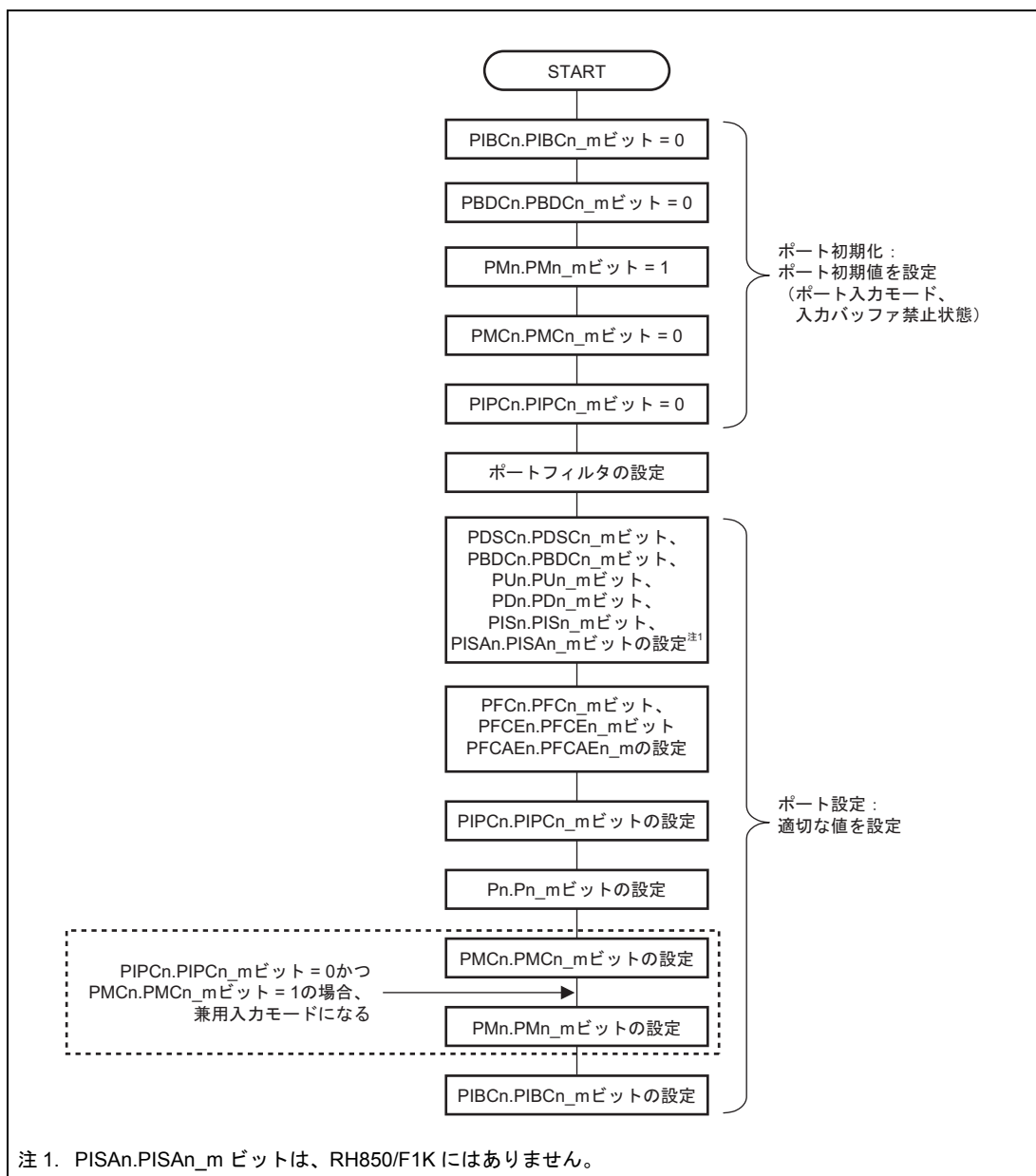


図 2.5 ポート設定のフローチャート例（一括設定の場合）

2.9.6.2 個別設定

個別でポートを設定する場合のフローチャート例を次に示します。

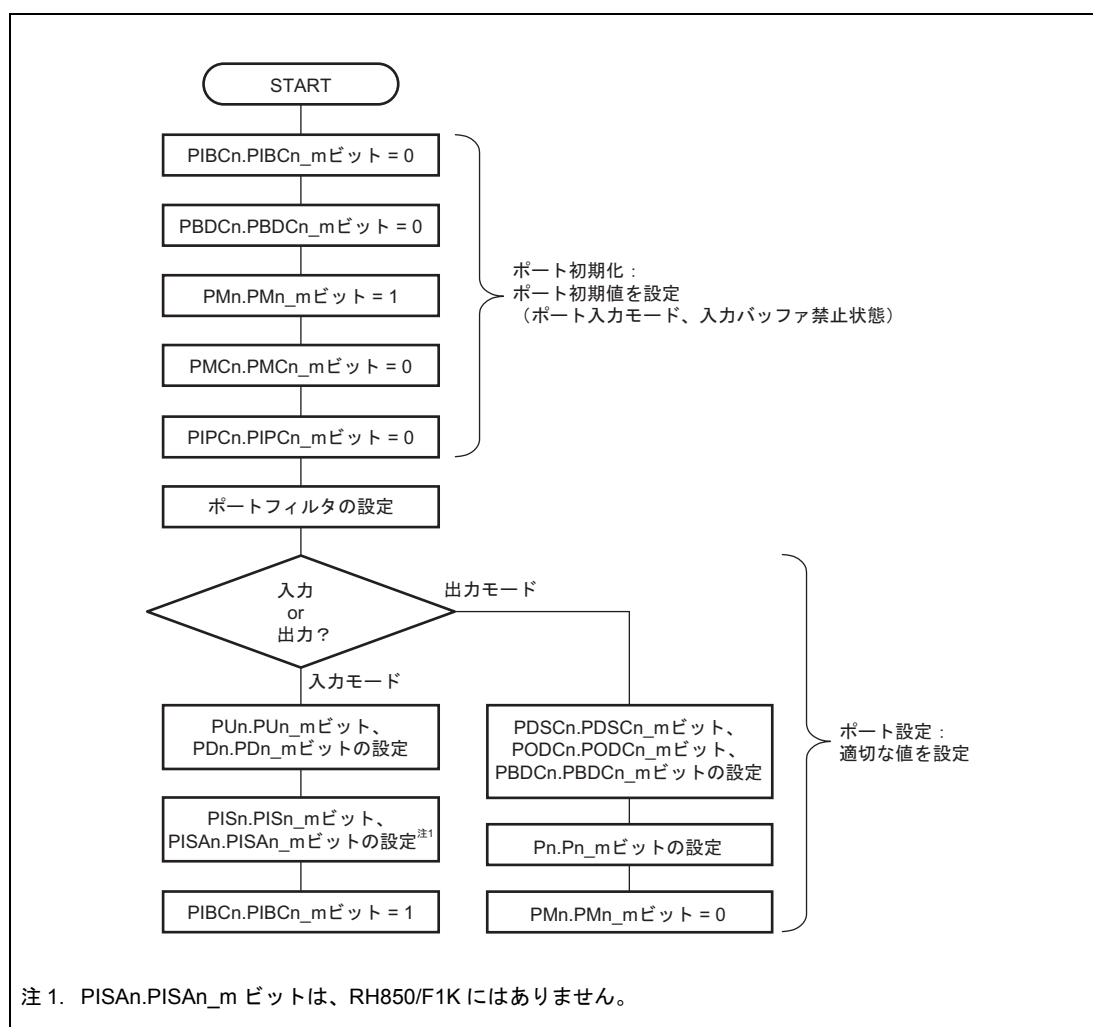


図 2.6 ポート設定のフローチャート例 (ポートモードの場合)

(a) IP コントロールありの場合

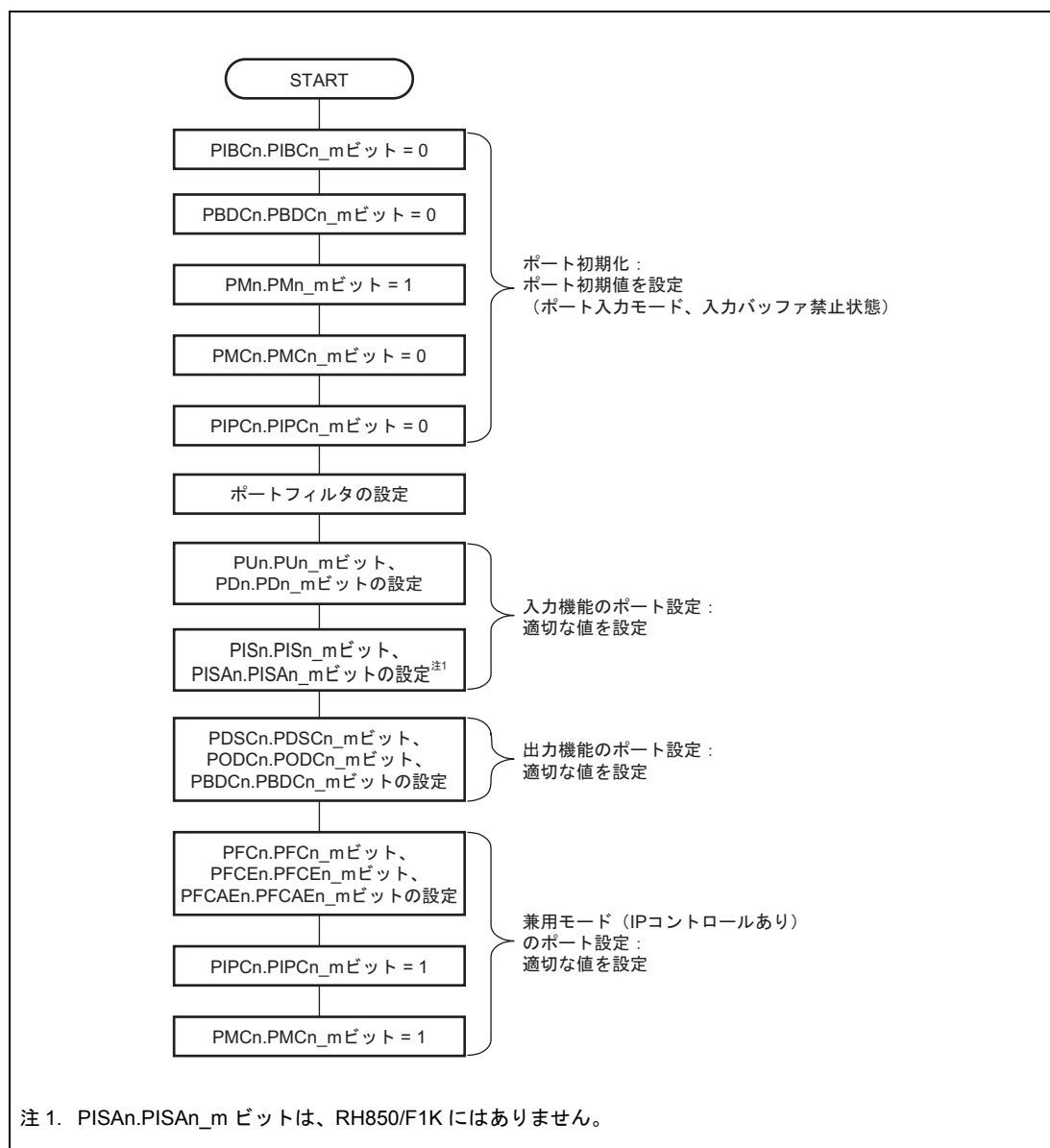


図 2.7 ポート設定のフローチャート例 (兼用モードの場合) (1/2)

(b) IP コントロールなしの場合

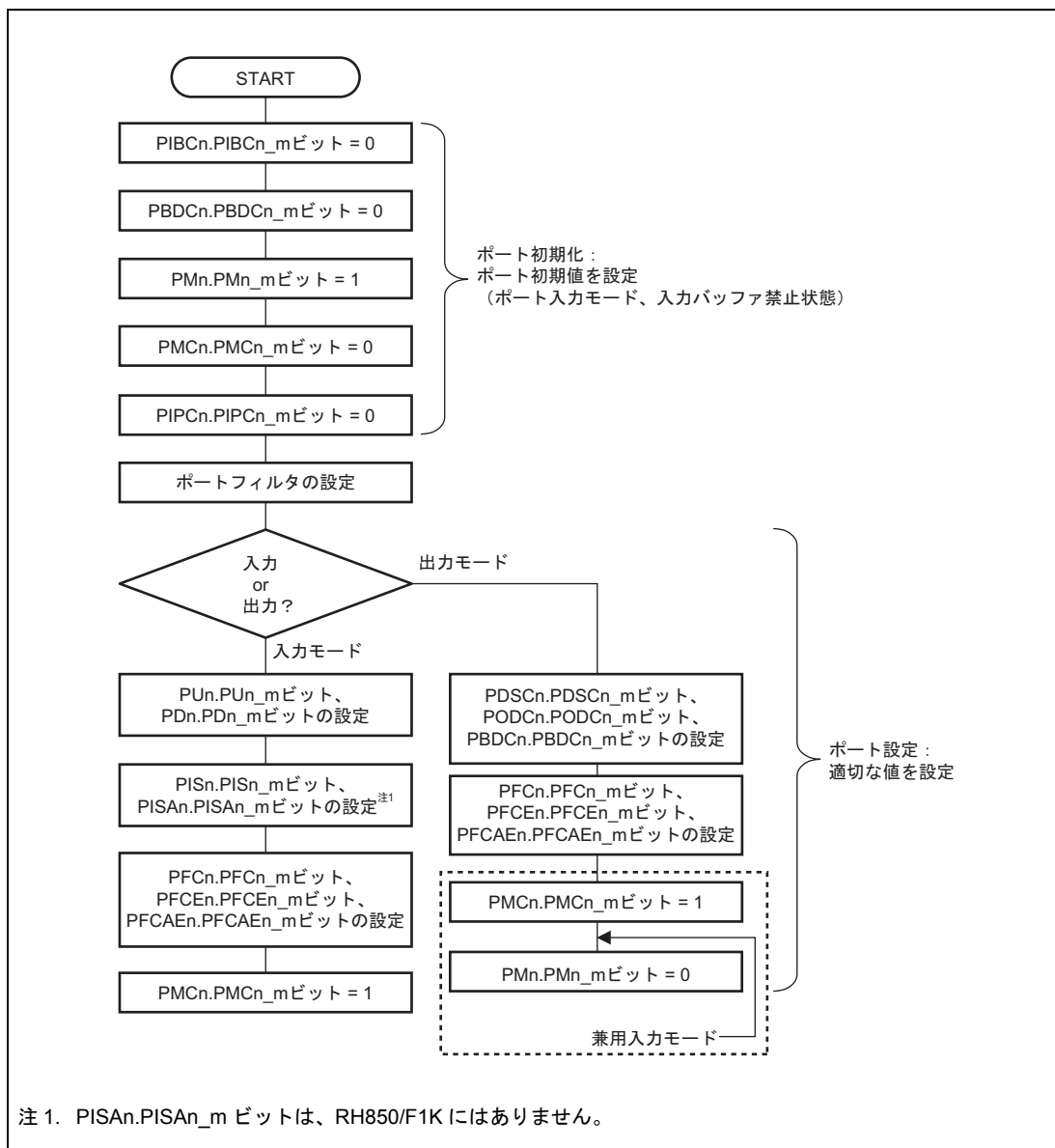


図 2.8 ポート設定のフローチャート例 (兼用モードの場合) (2/2)

2.10 ポート（汎用 I/O）機能概要

本章では、ポート（汎用 I/O）の機能とポートに割り当てられているすべての機能について説明します。詳細については次ページ以降を参照してください。

なお、ポートモードが兼用モードかは、PMCN レジスタの設定によって選択できます。PMCN.PMCn_m = 1 に設定した場合、兼用機能は、PFCn、PFCEn、PFCAEn レジスタで選択します。

表 2.37 ポート機能

ポート	端子名	サイズ	方向	電力供給領域	専用兼用機能（備考）	デバイス		
						100 pin	144 pin	176 pin
JTAG ポート 0	JP0_0 - 5	6 ビット	入力/出力	AWO	JTAG, LPD	○	—	—
	JP0_0 - 6	7 ビット				—	○	○
ポート 0	P0_0 - 14	15 ビット	入力/出力	AWO		○	○	○
ポート 1	P1_0 - 11	12 ビット	入力/出力	AWO		—	○	—
	P1_0 - 15	16 ビット				—	—	○
ポート 2	P2_0 - 6	7 ビット	入力/出力	AWO		—	—	○
ポート 8	P8_0 - 12	13 ビット	入力/出力	AWO	ADCA0 (10 ビット分解能) RESETOUT	○	○	○
ポート 9	P9_0 - 6	7 ビット	入力/出力	ISO	ADCA0 (10 ビット分解能)	○	○	○
ポート 10	P10_0 - 15	16 ビット	入力/出力	ISO		○	○	○
ポート 11	P11_0 - 7	8 ビット	入力/出力	ISO		○	—	—
	P11_0 - 15	16 ビット				—	○	○
ポート 12	P12_0 - 2	3 ビット	入力/出力	ISO		—	○	—
	P12_0 - 5	6 ビット				—	—	○
ポート 18	P18_0 - 3	4 ビット	入力/出力	ISO	ADCA1 (10 ビット分解能)	—	○	—
	P18_0 - 7	8 ビット			ADCA1 (10 ビット分解能)	—	—	○
ポート 20	P20_4 - 5	2 ビット	入力/出力	ISO		—	○	—
	P20_0 - 5	6 ビット				—	—	○
アナログポート 0	AP0_0 - 15	16 ビット	入力/出力	AWO	ADCA0 (12/10 ビット分解能)	○	○	○
アナログポート 1	AP1_0 - 7	8 ビット	入力/出力	ISO	ADCA1 (12/10 ビット分解能)	—	○	—
	AP1_0 - 15	16 ビット			ADCA1 (12/10 ビット分解能)	—	—	○
入力ポート 0	IP0_0	1 ビット	入力	AWO	SOSC (XT2 端子)	—	○	○

2.10.1 JTAG ポート 0 (JP0)

2.10.1.1 兼用機能

JTAG ポート 0 を汎用 IO に設定すると、以下の兼用機能が使用可能になります。この設定を行うには、OPITAG[1:0] = 00_B にして適切なフラッシュオプシヨンバイトを設定する必要があります。

表 2.38 JTAG ポート 0 (JP0)

ポート モード (JPMC0_ m = 0)	兼用モード (JPMC0_m = 1)												専用機能			パッケージ No.		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用									
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	100 pin	144 pin	176 pin					
JP0_0 ^{注1}	INTP0				FPDR	FPDT					28	39	47					
JP0_1	INTP1		TAUJ00	TAUJ00		FPDT					27	38	46					
JP0_2	INTP2		TAUJ01	TAUJ01	FPCK						26	37	45					
JP0_3	INTP3	CSCXFOUT	TAUJ02	TAUJ02							25	36	44					
JP0_4											24	35	43					
JP0_5	NMI	RTCA0OUT ^{注2}	TAUJ03	TAUJ03							23	34	42					
JP0_6											—	54	66					

注 1. LPD (1-pin) モードでは、JP0_0 出力バッファはオーブンドレイン状態になります。

注 2. 100 pin パッケージにはありません。

注 意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2.10.1.2 制御レジスタ

表 2.39 制御レジスタ (JP0) (1/2)

レジスタ	機能	レジスタ サイズ	有効ビット		オフセット アドレス	リセット後の値	デバイス		
			位置	R/W注1			100 pin	144 pin	176 pin
JP0	JTAG ポートレジスタ 0	8	5-0 6-0	RW	0000 _H	00 _H	○	—	—
JPSR0	JTAG ポートセット/リセットレジスタ 0	32	21-16, 5-0 22-16, 6-0	RW	0010 _H	0000 0000 _H	○	—	○
JPPR0	JTAG ポート端子リードレジスタ 0	8	5-0 6-0	R	0020 _H	00 _H	○	—	○
JPM0	JTAG ポートモードレジスタ 0	8	5-0 6-0	RW	0030 _H	FF _H	○	—	○
JPMC0	JTAG ポートモードコントロールレジスタ 0	8	5, 3-0	RW	0040 _H	00 _H	○	○	○
JPFC0	JTAG ポート機能コントロールレジスタ 0	8	5, 3-1	RW	0050 _H	00 _H	○	○	○
JPFC0E0	JTAG ポート機能コントロール拡張レジスタ 0	8	2-0	RW	0060 _H	00 _H	○	○	○
JPNOT0	JTAG ポートノートレジスタ 0	8	5-0 6-0	W	0070 _H	00 _H	○	—	○
JPMRSR0	JTAG ポートモードセット/リセット レジスタ 0	32	21-16, 5-0 22-16, 6-0	RW	0080 _H	0000 FFFF _H	○	—	○
JPMCSR0	JTAG ポートモードコントロールセット/リセット レジスタ 0	32	21, 19-16, 5, 3-0	RW	0090 _H	0000 0000 _H	○	○	○
JPIBC0	JTAG ポート入カバッドアコントロールレジスタ 0	8	5-0 6-0	RW	0400 _H	00 _H	○	—	○
JPBDC0	JTAG ポート双方向コントロールレジスタ 0	8	5-0 6-0	RW	0410 _H	00 _H	○	—	○
JPU0	ブルアップオプションレジスタ 0	8	5-0 6-0	RW	0430 _H	00 _H	○	—	○
JPD0	ブルダウンオプションレジスタ 0	8	5-0 6-0	RW	0440 _H	00 _H	○	—	○
JPODC0	JTAG ポートオーブンドレイン コントロールレジスタ 0	32	5-0 6-0	RW	0450 _H	0000 0000 _H	○	—	○
JPDSC0	JTAG ポートドライバ強度コントロールレジスタ 0	32	5, 3-1 6, 5, 3-1	RW	0460 _H	0000 0000 _H	○	—	○
JPIS0	JTAG ポート入カバッドア選択レジスタ 0	8	5, 3-0 6, 5, 3-0	RW	0470 _H	FF _H	○	—	○

表 2.39 制御レジスタ (JP0) (2/2)

レジスタ	機能	レジスタ サイズ	有効ビット		オフセット アドレス	リセット後の値	デバイス		
			位置	R/W 注1			100 pin	144 pin	176 pin
JPISA0	JTAG ポート入カバツプア選択アドバンスドレジスタ	8	3, 2, 0	R/W	04A0 _H	00 _H	○	○	○
JPPROTS0	JTAG ポート保護ステータスレジスタ 0	32	0	R	04B0 _H	0000 0000 _H	○	○	○
JPPCMD0	JTAG ポート保護コマンドレジスタ 0	32	7-0	W	04C0 _H	xxxx xx00 _H	○	○	○

注 1. 未使用ビットは、R (読み出し専用) です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.2 ポート0 (P0)

2.10.2.1 兼用機能

表 2.40 ポート0 (P0)

ポートモード (PMC0_m = 0)	兼用モード (PMC0_m = 1)												専用機能			パッケージ No.		
	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		第7兼用		100 pin	144 pin	176 pin	
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
P0_0	TAUD002	TAUD002	RLIN20RX	CAN0TX		PWGA100	CSIH0SSI	DPO							6	13	18	
P0_1	TAUD004	TAUD004	CAN0RX/ INTP0	RLIN20TX	INTP0	PWGA110	CSIH0SI	APO					CAN0RX		7	14	19	
P0_2	TAUD006	TAUD006	CAN1RX/ INTP1	RLIN30TX		PWGA120	CSIH0SC		INTP1	DPO			CAN1RX		8	15	20	
P0_3	TAUD008	TAUD008	RLIN30RX/ INTP10	CAN1TX	DPIN1	PWGA130		CSIH0SO	INTP10				RLIN30RX		9	16	21	
P0_4	RLIN31RX/ /INTP11	CAN2TX	INTP11	PWGA100	CSIH1SI	SELDP0	DPIN8						RLIN31RX		11	18	23	
P0_5	CAN2RX/ INTP2	RLIN31TX	DPIN9	SELDP1		CSIH1SO							CAN2RX		12	19	24	
P0_6	INTP2		DPIN10	SELDP2		CSIH1SC				PWGA350					13	20	25	
P0_7	RLIN21RX		DPIN5	CSCXFOUT	CSIH1RYI	CSIH1RYO	TAUB010	TAUB000	CAN3RX/ INTP3				CAN3RX		40	58	70	
P0_8		RLIN21TX	DPIN6	CSIH0CSS6	CSIH1SSI		TAUB012	TAUB002		CAN3TX					39	57	69	
P0_9	INTP12	CSIH1CSS0	DPIN7		RLIN22RX		TAUB014	TAUB004	CAN4RX/ INTP4				CAN4RX		38	56	68	
P0_10	INTP3	CSIH1CSS1	DPIN11			RLIN22TX	TAUB016	TAUB006		CAN4TX					37	55	67	
P0_11	RIIC0SDA		DPIN12	CSIH1CSS2	TAUB018	TAUB008	RLIN26RX 注1	PWGA340							14	21	26	
P0_12	RIIC0SCL		DPIN13	PWGA450	TAUB010	TAUB0010	CSIG0SI	RLIN26TX 注1							15	22	27	
P0_13	RLIN32RX/ /INTP12		INTP12	PWGA460	TAUB012	TAUB0012		CSIG0SO	CAN5RX/ INTP5			RLIN32RX			16	23	28	
P0_14		RLIN32TX		PWGA470	TAUB014	TAUB0014	CSIG0SC			CAN5TX					17	24	29	

注1. 100 pin 及び 144 pin パッケージにはありません。

注意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2.10.2.2 制御レジスタ

表 2.41 制御レジスタ (P0)

レジスタ	機能	レジスタ サイズ	有効ビット		オフセット アドレス	リセット後の値	デバイス		
			位置	R/W 注1			100 pin	144 pin	176 pin
P0	ポートレジスタ 0	16	14-0	R/W	0000 _h	0000 _h	○	○	○
PSR0	ポートセット/リセットレジスタ 0	32	30-16, 14-0	R/W	0100 _h	0000 0000 _h	○	○	○
PPR0	ポート端子リードレジスタ 0	16	14-0	R	0200 _h	0000 _h	○	○	○
PM0	ポートモードレジスタ 0	16	14-0	R/W	0300 _h	FFFF _h	○	○	○
PMC0	ポートモードコントロールレジスタ 0	16	14-0	R/W	0400 _h	0000 _h	○	○	○
PFC0	ポート機能コントロールレジスタ 0	16	14-0	R/W	0500 _h	0000 _h	○	○	○
PFCE0	ポート機能コントロール拡張レジスタ 0	16	14-0	R/W	0600 _h	0000 _h	○	○	○
PNOT0	ポートノットレジスタ 0	16	14-0	W	0700 _h	0000 _h	○	○	○
PMSR0	ポートモードセット/リセットレジスタ 0	32	30-16, 14-0	R/W	0800 _h	0000 FFFF _h	○	○	○
PMCSR0	ポートモードコントロールセルセット/ リセットレジスタ 0	32	30-16, 14-0	R/W	0900 _h	0000 0000 _h	○	○	○
PFCAE0	ポート機能コントロール追加拡張レジスタ 0	16	14, 13, 10-1	R/W	0A00 _h	0000 _h	○	○	○
PIBC0	ポート入力バッファコントロールレジスタ 0	16	14-0	R/W	4000 _h	0000 _h	○	○	○
PBDC0	ポート双方向コントロールレジスタ 0	16	14-0	R/W	4100 _h	0000 _h	○	○	○
PIPC0	ポートIPコントロールレジスタ 0	16	14, 13, 6, 5, 3, 2	R/W	4200 _h	0000 _h	○	○	○
PU0	プルアップオプションレジスタ 0	16	14-0	R/W	4300 _h	0000 _h	○	○	○
PD0	プルダウンオプションレジスタ 0	16	14-0	R/W	4400 _h	0000 _h	○	○	○
PODC0	ポートオープンドレインコントロールレジスタ 0	32	14-0	R/W	4500 _h	0000 0000 _h	○	○	○
PDSC0	ポートドライバ強度コントロールレジスタ 0	32	14-0	R/W	4600 _h	0000 0000 _h	○	○	○
PIS0	ポート入力バッファ選択レジスタ 0	16	14-0	R/W	4700 _h	FFFF _h	○	○	○
PPROT0S0	ポート保護ステータスレジスタ 0	32	0	R	4B00 _h	0000 0000 _h	○	○	○
PPCMD0	ポート保護コマンドレジスタ 0	32	7-0	W	4C00 _h	XXXX XX00 _h	○	○	○

注 1. 未使用ビットは、R (読み出し専用) です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.3 ポート1 (P1)

2.10.3.1 兼用機能

表 2.42 ポート1 (P1)

ポートモード (PMC1_m = 0)	兼用モード (PMC1_m = 1)												専用機能			パッケージNo.		
	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		第7兼用		100 pin	144 pin	176 pin	
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
P1_0	RLIN33RX/ INTP13		INTP13											RLIN33RX			25	30
P1_1		RLIN33TX															26	31
P1_2	CAN3RX/ INTP3		INTP3											CAN3RX			27	32
P1_3		CAN3TX		DPIN23													28	33
P1_4	RLIN35RX/ INTP15		INTP15											RLIN35RX			63	75
P1_5	ADCA1TRG0	RLIN35TX		DPIN17													62	74
P1_6	RLIN25RX		DPIN18														61	73
P1_7	ADCA1TRG1	RLIN25TX		DPIN19													60	72
P1_8	RLIN34RX/ INTP14		INTP14											RLIN34RX			43	53
P1_9		RLIN34TX		DPIN20													42	52
P1_10	RLIN24RX		DPIN21														41	51
P1_11	ADCA1TRG2	RLIN24TX		DPIN22													40	50
P1_12	CAN4RX/ INTP4		INTP4											CAN4RX			—	34
P1_13		CAN4TX															—	35
P1_14	RLIN23RX																—	78
P1_15		RLIN23TX															—	79

注 意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2.10.3.2 制御レジスタ

表 2.43 制御レジスタ (P1) (1/2)

レジスタ	機能	レジスタ サイズ	有効ビット		オフセット アドレス	リセット後の値	デバイス		
			位置	R/W 注1			100 pin	144 pin	176 pin
P1	ポートレジスタ 1	16	11-0 15-0	R/W	0004 _H	0000 _H	—	○	—
PSR1	ポートセット/リセットレジスタ 1	32	27-16, 11-0 31-16, 15-0	R/W	0104 _H	0000 0000 _H	—	○	—
PPR1	ポート端子リードレジスタ 1	16	11-0 15-0	R	0204 _H	0000 _H	—	○	—
PM1	ポートモードレジスタ 1	16	11-0 15-0	R/W	0304 _H	FFFF _H	—	○	—
PMC1	ポートモードコントロールレジスタ 1	16	11-0 15-0	R/W	0404 _H	0000 _H	—	○	—
PFC1	ポート機能コントロールレジスタ 1	16	11-2, 0 12-2, 0	R/W	0504 _H	0000 _H	—	○	—
PFCE1	ポート機能コントロール拡張レジスタ 1	16	8, 4, 2, 0 12, 8, 4, 2, 0	R/W	0604 _H	0000 _H	—	○	—
PMSR1	ポートモードセット/リセットレジスタ 1	32	27-16, 11-0 31-16, 15-0	R/W	0804 _H	0000 FFFF _H	—	○	—
PMCSR1	ポートモードコントロールセット/ リセットレジスタ 1	32	27-16, 11-0 31-16, 15-0	R/W	0904 _H	0000 0000 _H	—	○	—
PFCAE1	ポート機能コントロール追加拡張レジスタ 1	16	8, 4, 2, 0 12, 8, 4, 2, 0	R/W	0A04 _H	0000 _H	—	○	—
PIBC1	ポート入カバリアコントロールレジスタ 1	16	11-0 15-0	R/W	4004 _H	0000 _H	—	○	—
PBDC1	ポート双方向コントロールレジスタ 1	16	11-0 15-0	R/W	4104 _H	0000 _H	—	○	—
PU1	プルアップオブションレジスタ 1	16	11-0 15-0	R/W	4304 _H	0000 _H	—	○	—
PD1	プルダウンオブションレジスタ 1	16	11-0 15-0	R/W	4404 _H	0000 _H	—	○	—

表 2.43 制御レジスタ (P1) (2/2)

レジスタ	機能	レジスタ サイズ	有効ビット		オフセット アドレス	リセット後の値	デバイス		
			位置	R/W注1			100 pin	144 pin	176 pin
PODC1	ポートオープンドレイコンントロールレジスタ 1	32	11-0	R/W	4504 _H	0000 0000 _H	—	○	—
			15-0				—	—	○
PDSC1	ポートドライバ強度コントロールレジスタ 1	32	11-0	R/W	4604 _H	0000 0000 _H	—	○	—
			15-0				—	—	○
PIS1	ポート入力バッファ選択レジスタ 1	16	11-0	R/W	4704 _H	FFFF _H	—	○	—
			15-0				—	—	○
PPROTS1	ポート保護ステータスレジスタ 1	32	0	R	4B04 _H	0000 0000 _H	—	○	○
PPCMD1	ポート保護コマンドレジスタ 1	32	7-0	W	4C04 _H	xxxx xx00 _H	—	○	○

注 1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.4 ポート 2 (P2)

2.10.4.1 兼用機能

表 2.44 ポート 2 (P2)

ポートモード (PMC2_m = 0)	兼用モード (PMC2_m = 0)												パッケージ No.						
	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		第7兼用		専用機能	100 pin	144 pin	176 pin	
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力					
P2_0	RLIN27RX		INTP6 /CAN6RX																
P2_1		RLIN27TX		CAN6TX															
P2_2	RLIN28RX																		
P2_3		RLIN28TX																	
P2_4	RLIN29RX				ADCA0SEL 0														
P2_5		RLIN29TX			ADCA0SEL 1														
P2_6		ADCA0SE L2																	

注意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2.10.4.2 制御レジスタ

表 2.45 制御レジスタ (P2)

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス		
			位置	R/W 注1			100 pin	144 pin	176 pin
P2	ポートレジスタ 2	16	6-0	R/W	0008 _H	0000 _H	—	—	○
PSR2	ポートセット/リセットレジスタ 2	32	22-16, 6-0	R/W	0108 _H	0000 0000 _H	—	—	○
PPR2	ポート端子リードレジスタ 2	16	6-0	R	0208 _H	0000 _H	—	—	○
PM2	ポートモードレジスタ 2	16	6-0	R/W	0308 _H	FFFF _H	—	—	○
PMC2	ポートモードコントロールレジスタ 2	16	6-0	R/W	0408 _H	0000 _H	—	—	○
PFC2	ポート機能コントロールレジスタ 1	16	5, 4, 1, 0	R/W	0508 _H	0000 _H	—	—	○
PFCE2	ポート機能コントロール拡張レジスタ 1	16	0	R/W	0608 _H	0000 _H	—	—	○
PNOT2	ポートノートレジスタ 2	16	6-0	W	0708 _H	0000 _H	—	—	○
PMSR2	ポートモードセット/リセットレジスタ 2	32	22-16, 6-0	R/W	0808 _H	0000 FFFF _H	—	—	○
PMCSR2	ポートモードコントロールセット/リセットレジスタ 2	32	22-16, 6-0	R/W	0908 _H	0000 0000 _H	—	—	○
PFCAE2	ポート機能コントロール追加拡張レジスタ 2	16	0	R/W	0A08 _H	0000 _H	—	—	○
PIBC2	ポート入力バッファコントロールレジスタ 2	16	6-0	R/W	4008 _H	0000 _H	—	—	○
PBDC2	ポート双方向コントロールレジスタ 2	16	6-0	R/W	4108 _H	0000 _H	—	—	○
PU2	プルアップオプションレジスタ 2	16	6-0	R/W	4308 _H	0000 _H	—	—	○
PD2	プルダウンオプションレジスタ 2	16	6-0	R/W	4408 _H	0000 _H	—	—	○
PODC2	ポートオーブンドレインコントロールレジスタ 2	32	6-0	R/W	4508 _H	0000 0000 _H	—	—	○
PDSC2	ポートドライバ強度コントロールレジスタ 2	32	6-0	R/W	4608 _H	0000 0000 _H	—	—	○
PIS2	ポート入力バッファ選択レジスタ 2	16	6-0	R/W	4708 _H	FFFF _H	—	—	○
PPROTS2	ポート保護ステータスレジスタ 2	32	0	R	4B08 _H	0000 0000 _H	—	—	○
PPCMD2	ポート保護コマンドレジスタ 2	32	7-0	W	4C08 _H	xxxx xx00 _H	—	—	○

注 1. 未使用ビットは、R (読み出し専用) です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.5 ポート 8 (P8)

2.10.5.1 兼用機能

表 2.46 ポート 8 (P8)

ポートモード (PMC8_m = 0)	兼用モード (PMC8_m = 1)												専用機能	パッケージ No.	
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		ADC	100 pin		144 pin	176 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力					
P8_0	TAUJ010	TAUJ000	DPIN2	PWGA140	INTP4	CSIH0CSS0					ADCA010S	42	64	80	
P8_1	TAPA0ES0	TAUJ001	DPIN0	PWGA150	INTP5	CSIH1CSS3					ADCA011S	43	65	81	
P8_2	TAUJ010	TAUJ000	DPIN2	CSIH0CSS0	INTP6	PWGA220					ADCA014S	19	30	38	
P8_3	TAUJ011	TAUJ001	DPIN3	CSIH0CSS1	INTP7	PWGA230					ADCA015S	44	66	82	
P8_4	TAUJ012	TAUJ002	DPIN4	CSIH0CSS2	INTP8	PWGA360					ADCA016S	45	67	83	
P8_5	TAUJ013	TAUJ003	NMI	CSIH0CSS3	INTP9 ^{注1}	PWGA370					ADCA017S	46	68	84	
P8_6	NMI	CSIH0CSS4		PWGA380		RTCA0OUT ^{注1}					ADCA018S	47	69	85	
P8_7		CSIH3CSS0		PWGA390		ADCA0SEL0		RTCA0OUT			ADCA0114S	48	70	86	
P8_8		CSIH3CSS1		PWGA400		ADCA0SEL1					ADCA0115S	49	71	87	
P8_9		CSIH3CSS2		PWGA410		ADCA0SEL2					ADCA0116S	50	72	88	
P8_10		CSIH3CSS3	DPIN14	PWGA420							ADCA0117S	20	31	39	
P8_11	TAUJ112	TAUJ102	DPIN15	PWGA430		CSIH1CSS4					ADCA0118S	21	32	40	
P8_12	TAUJ113	TAUJ103	DPIN16	PWGA440		CSIH1CSS5					ADCA0119S	22	33	41	

注 1. 100 pin パッケージにはありません。

注 意

1. 兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。
2. A/D 機能は初期設定で使用してください。
3. P8_6 端子はリセット中に RESETOUT 信号としてロウレベルを出力し、リセット解除後もロウレベルを出力し続けます。
詳細は「2.11.1.1 P8_6 : RESETOUT」を参照してください。

2.10.5.2 制御レジスタ

表 2.47 制御レジスタ (P8)

レジスタ	機能	レジスタ サイズ	有効ビット		オフセット アドレス	リセット後の値	デバイス		
			位置	R/W 注1			100 pin	144 pin	176 pin
P8	ポートレジスタ 8	16	12-0	R/W	0020 _H	0000 _H	○	○	○
PSR8	ポートセット/リセットレジスタ 8	32	28-16, 12-0	R/W	0120 _H	0000 0000 _H	○	○	○
PPR8	ポート端子リードレジスタ 8	16	12-0	R	0220 _H	0000 _H	○	○	○
PM8	ポートモードレジスタ 8	16	12-0	R/W	0320 _H	FFBF _H	○	○	○
PMC8	ポートモードコントロールレジスタ 8	16	12-0	R/W	0420 _H	0000 _H	○	○	○
PFC8	ポート機能コントロールレジスタ 8	16	12-0	R/W	0520 _H	0000 _H	○	○	○
PFCE8	ポート機能コントロール拡張レジスタ 8	16	12, 11, 9-7, 5-0 12, 11, 9-0	R/W	0620 _H	0000 _H	○	—	—
PNOTE8	ポートノートレジスタ 8	16	12-0	W	0720 _H	0000 _H	○	○	○
PMSR8	ポートモードセット/リセットレジスタ 8	32	28-16, 12-0	R/W	0820 _H	0000 FFBF _H	○	○	○
PMCSR8	ポートモードコントロールセット/ リセットレジスタ 8	32	28-16, 12-0	R/W	0920 _H	0000 0000 _H	○	○	○
PIBC8	ポート入力バッファコントロールレジスタ 8	16	12-0	R/W	4020 _H	0000 _H	○	○	○
PBDC8	ポート双方向コントロールレジスタ 8	16	12-0	R/W	4120 _H	0000 _H	○	○	○
PU8	プルアップオプションレジスタ 8	16	12-0	R/W	4320 _H	0000 _H	○	○	○
PD8	プルダウンオプションレジスタ 8	16	12-0	R/W	4420 _H	0000 _H	○	○	○
PODC8	ポートオープンドレインコントロールレジスタ 8	32	12-0	R/W	4520 _H	0000 0040 _H	○	○	○
PIS8	ポート入力バッファ選択レジスタ 8	32	12-0	R/W	4720 _H	FFFF _H	○	○	○
PPROTS8	ポート保護ステータスレジスタ 8	32	0	R	4B20 _H	0000 0000 _H	○	○	○
PPCMD8	ポート保護コマンドレジスタ 8	32	7-0	W	4C20 _H	xxxx xx00 _H	○	○	○

注 1. 未使用ビットは、R (読み出し専用) です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

P8_6 はレジスタ操作により設定が変わるまで、どのリセット解除後でもロウレベルを出力します。データの衝突をさけるため、外部回路を P8_6 に接続する場合はハイレベルで操作しないでください。

2.10.6 ポート9 (P9)

2.10.6.1 兼用機能

表 2.48 ポート9 (P9)

ポートモード (PMC9_m = 0)	兼用モード (PMC9_m = 1)												パッケージ No.		
	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		ADC		100 pin	144 pin	176 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力			
P9_0	NMI	PWGA80	TAUD010	TAUD000	ADCA0TRG0	CSIH2CSS0	KR0I4						69	92	108
P9_1	INTP11	PWGA90	TAUD012	TAUD002	KR0I5	CSIH2CSS1							70	93	109
P9_2	KR0I6	PWGA200	TAPA0ESO	CSIH2CSS2									71	94	110
P9_3	KR0I7	PWGA210		CSIH2CSS3	TAUJ111	TAUJ101							72	95	111
P9_4		CSIH0CSS5		PWGA330	TAUJ110	TAUJ100							73	96	112
P9_5		CSIH0CSS6		PWGA340	TAUJ111	TAUJ101							74	97	113
P9_6		CSIH0CSS7		PWGA350									75	98	114

注意

1. 兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。
2. A/D機能は初期設定で使用してください。

2.10.6.2 制御レジスタ

表 2.49 制御レジスタ (P9)

レジスタ	機能	レジスタ サイズ	有効ビット		オフセット アドレス	リセット後の値	デバイス		
			位置	R/W 注1			100 pin	144 pin	176 pin
P9	ポートレジスタ 9	16	6-0	R/W	0024 _H	0000 _H	○	○	○
PSR9	ポートセット/リセットレジスタ 9	32	22-16, 6-0	R/W	0124 _H	0000 0000 _H	○	○	○
PPR9	ポート端子リードレジスタ 9	16	6-0	R	0224 _H	0000 _H	○	○	○
PM9	ポートモードレジスタ 9	16	6-0	R/W	0324 _H	FFFF _H	○	○	○
PMC9	ポートモードコントロールレジスタ 9	16	6-0	R/W	0424 _H	0000 _H	○	○	○
PFC9	ポート機能コントロールレジスタ 9	16	6-0	R/W	0524 _H	0000 _H	○	○	○
PFCE9	ポート機能コントロール拡張レジスタ 9	16	5-3, 1, 0	R/W	0624 _H	0000 _H	○	○	○
PNOT9	ポートノートレジスタ 9	16	6-0	W	0724 _H	0000 _H	○	○	○
PMSR9	ポートモードセット/リセットレジスタ 9	32	22-16, 6-0	R/W	0824 _H	0000 FFFF _H	○	○	○
PMCSR9	ポートモードコントロールセット/ リセットレジスタ 9	32	22-16, 6-0	R/W	0924 _H	0000 0000 _H	○	○	○
PIBC9	ポート入力バッファコントロールレジスタ 9	16	6-0	R/W	4024 _H	0000 _H	○	○	○
PBDC9	ポート双方向コントロールレジスタ 9	16	6-0	R/W	4124 _H	0000 _H	○	○	○
PU9	プルアップオプションレジスタ 9	16	6-0	R/W	4324 _H	0000 _H	○	○	○
PD9	プルダウンオプションレジスタ 9	16	6-0	R/W	4424 _H	0000 _H	○	○	○
PODC9	ポートオーブンドレインコントロールレジスタ 9	32	6-0	R/W	4524 _H	0000 0000 _H	○	○	○
PIS9	ポート入力バッファ選択レジスタ 9	16	6-0	R/W	4724 _H	FFFF _H	○	○	○
PPROTS9	ポート保護ステータスレジスタ 9	32	0	R	4B24 _H	0000 0000 _H	○	○	○
PPCMD9	ポート保護コマンドレジスタ 9	32	7-0	W	4C24 _H	xxxx xx00 _H	○	○	○

注 1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.7 ポート 10 (P10)

2.10.7.1 兼用機能

表 2.50 ポート 10 (P10)

ポート モード (PMC10_ m = 0)	兼用モード (PMC10_m = 1)												専用 機能			パッケージ No.		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		100 pin	144 pin	176 pin	
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
P10_0	TAUD01	TAUD001	CAN0RX/ /INTP0	CSCXFOUT		PWGA00	TAPA0UP		CSIH1SI			CAN0RX			98	142	174	
P10_1	TAUD03	TAUD003		CAN0TX		PWGA10	TAPA0UN		CSIH1SC					MODE0	99	143	175	
P10_2	TAUD05	TAUD005	RIICOSDA		KR00	PWGA20	ADCA0TRG0	TAPA0VP		CSIH1SO				MODE1	100	144	176	
P10_3	TAUD07	TAUD007	RIICOSCL		KR01	PWGA30	ADCA0TRG1	TAPA0VN		CSIH1SSI					1	1	1	
P10_4	TAUD09	TAUD009	RLIN21RX		KR02	ADCA0SEL0	ADCA0TRG2	TAPA0WP		CSIG0SSI					2	2	2	
P10_5	TAUD011	TAUD011		RLIN21TX	KR03	ADCA0SEL1		TAPA0WN		CSIG0RYI					3	3	3	
P10_6	TAUD013	TAUD013		CSIG0SO	ENCA0TIN0	ADCA0SEL2	CAN1RX /INTP1					CAN1RX		MODE2	80	120	152	
P10_7	TAUD015	TAUD015	CSIG0SC		ENCA0TIN1	PWGA40		CAN1TX							81	121	153	
P10_8	TAUD010	TAUD010	CSIG0SI		ENCA0EC	PWGA50								FLMD1	82	122	154	
P10_9	TAUD012	TAUD012	RLIN30RX /INTP10		ENCA0E0	PWGA60	CSIH0RYI	CSIH0RYO				RLIN30RX			83	123	155	
P10_10	TAUD014	TAUD014		RLIN30TX	ENCA0E1	PWGA70		CSIH0CSS1							84	124	156	
P10_11		PWGA160	RLIN31RX /INTP11			CSIH1CSS0	TAUB01	TAUB001				RLIN31RX			85	125	157	
P10_12		PWGA170		RLIN31TX		CSIH1CSS1	TAUB03	TAUB003							86	126	158	
P10_13	CSIH0SSI	PWGA180	RLIN32RX /INTP12				TAUB05	TAUB005				RLIN32RX			87	127	159	
P10_14	ADCA1TRG0 注1	PWGA190		RLIN32TX	CSIH3SSI		TAUB07	TAUB007							88	128	160	
P10_15	CSIH3RYI	CSIH3RYO		PWGA240	RLIN22RX		TAUB09	TAUB009							4	4	6	

注 1. 100 pin パッケージにはありません。

注 意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2.10.7.2 制御レジスタ

表 2.51 制御レジスタ (P10)

レジスタ	機能	レジスタ サイズ	有効ビット		オフセット アドレス	リセット後の値	デバイス		
			位置	R/W 注1			100 pin	144 pin	176 pin
P10	ポートレジスタ 10	16	15-0	R/W	0028 _h	0000 _h	○	○	○
PSR10	ポートセット/リセットレジスタ 10	32	31-16, 15-0	R/W	0128 _h	0000 0000 _h	○	○	○
PPR10	ポート端子リードレジスタ 10	16	15-0	R	0228 _h	0000 _h	○	○	○
PM10	ポートモードレジスタ 10	16	15-0	R/W	0328 _h	FFFF _h	○	○	○
PMC10	ポートモードコントロールレジスタ 10	16	15-0	R/W	0428 _h	0000 _h	○	○	○
PFC10	ポート機能コントロールレジスタ 10	16	15-0	R/W	0528 _h	0000 _h	○	○	○
PFCE10	ポート機能コントロール拡張レジスタ 10	16	15-0	R/W	0628 _h	0000 _h	○	○	○
PNOT10	ポートノットレジスタ 10	16	15-0	W	0728 _h	0000 _h	○	○	○
PMSR10	ポートモードセット/リセットレジスタ 10	32	31-16, 15-0	R/W	0828 _h	0000 FFFF _h	○	○	○
PMCSR10	ポートモードコントロールセット/ リセットレジスタ 10	32	31-16, 15-0	R/W	0928 _h	0000 0000 _h	○	○	○
PFCAE10	ポート機能コントロール追加拡張レジスタ 10	16	13, 11, 9, 6-0	R/W	0A28 _h	0000 _h	○	○	○
PIBC10	ポート入力バッファコントロールレジスタ 10	16	15-0	R/W	4028 _h	0000 _h	○	○	○
PBDC10	ポート双方向コントロールレジスタ 10	16	15-0	R/W	4128 _h	0000 _h	○	○	○
PIPC10	ポートIPコントロールレジスタ 10	16	7-0	R/W	4228 _h	0000 _h	○	○	○
PU10	プルアップオプションレジスタ 10	16	15-0	R/W	4328 _h	0000 _h	○	○	○
PD10	プルダウンオプションレジスタ 10	16	15-0	R/W	4428 _h	0000 _h	○	○	○
PODC10	ポートオーブンドレイコントロールレジスタ 10	32	15-0	R/W	4528 _h	0000 0000 _h	○	○	○
PDSC10	ポートドライブ強度コントロールレジスタ 10	32	15-0	R/W	4628 _h	0000 0000 _h	○	○	○
PIS10	ポート入力バッファ選択レジスタ 10	16	15-0	R/W	4728 _h	FFFF _h	○	○	○
PPROT10	ポート保護ステータスレジスタ 10	32	0	R	4B28 _h	0000 0000 _h	○	○	○
PPCMD10	ポート保護コマンドレジスタ 10	32	7-0	W	4C28 _h	xxxx xx00 _h	○	○	○

注 1. 未使用ビットは、R (読み出し専用) です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.8 ポート 11 (P11)

2.10.8.1 兼用機能

表 2.52 ポート 11 (P11)

ポート モード (PMC11 _m = 0)	兼用モード (PMC11_m = 1)												パッケージ No.				
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		100 pin	144 pin	176 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	専用機能				
P11_0	CSIH2RYI	CSIH2RYO	ADCA1TRG2 ^{注1}	PWGA250		RLIN22TX	TAUB0011	TAUB0011							5	5	7
P11_1	CSIH2SSI		RLIN20RX	CSIH0CSS7		PWGA260	TAUB0013	TAUB0013							89	129	161
P11_2		CSIH2SO	RLIN32RX /INTP12	RLIN20TX		PWGA270	TAUB0015	TAUB0015			RLIN32RX				90	130	162
P11_3	CSIH2SC		CAN3RX /INTP3	PWGA280	TAUB111 ^{注2}	TAUB101 ^{注2}			RLIN32TX		CAN3RX				91	131	163
P11_4	CSIH2SI	CAN3TX		PWGA290	TAUB113 ^{注2}	TAUB103 ^{注2}									92	132	164
P11_5	CAN5RX/ INTP5	RLIN33TX		PWGA300	CSIH3SI		TAUB115 ^{注2}	TAUB105 ^{注2}			CAN5RX				93	133	165
P11_6	RLIN33RX /INTP13	CAN5TX	ADCA1TRG1	PWGA310		CSIH3SO	TAUB117 ^{注2}	TAUB107 ^{注2}			RLIN33RX				94	134	166
P11_7	INTP5			PWGA320	CSIH3SC		TAUB119 ^{注2}	TAUB109 ^{注2}							95	135	167
P11_8	CSIG1SSI	RLIN35TX		PWGA480	TAUB111 ^{注3}	TAUB1011 ^{注3}									—	6	8
P11_9		CSIG1SO	RLIN35RX /INTP15	PWGA490	TAUB113 ^{注3}	TAUB1013 ^{注3}					RLIN35RX				—	7	9
P11_10	CSIG1SC			PWGA500	TAUB115 ^{注3}	TAUB1015 ^{注3}									—	8	10
P11_11	CSIG1SI	RLIN25TX		PWGA510	TAUB110 ^{注3}	TAUB100 ^{注3}									—	9	11
P11_12	RLIN25RX			PWGA520	TAUB112 ^{注3}	TAUB102 ^{注3}									—	10	12
P11_13	RLIN24RX			PWGA530	TAUB114 ^{注3}	TAUB104 ^{注3}									—	11	13
P11_14		RLIN24TX		PWGA540	TAUB116 ^{注3}	TAUB106 ^{注3}									—	12	14
P11_15	CAN2RX /INTP2	CSIH2CSS4		PWGA550	TAUB118 ^{注3}	TAUB108 ^{注3}					CAN2RX				—	136	168

注 1. 100 pin パッケージにはありません。

注 2. 100 pin 及び 144 pin パッケージにはありません。

注 3. 144 pin パッケージにはありません。

注意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2.10.8.2 制御レジスタ

表 2.53 制御レジスタ (P11) (1/2)

レジスタ	機能	レジスタ サイズ	有効ビット		オフセット アドレス	リセット後の値	デバイス		
			位置	R/W 注1			100 pin	144 pin	176 pin
P11	ポートレジスタ 11	16	7-0 15-0	R/W	002C _H	0000 _H	○	—	—
PSR11	ポートセット/リセットレジスタ 11	32	23-16, 7-0 31-16, 15-0	R/W	012C _H	0000 0000 _H	○	—	—
PPR11	ポート端子リードレジスタ 11	16	7-0 15-0	R	022C _H	0000 _H	○	—	—
PM11	ポートモードレジスタ 11	16	7-0 15-0	R/W	032C _H	FFFF _H	○	—	—
PMC11	ポートモードコントロールレジスタ 11	16	7-0 15-0	R/W	042C _H	0000 _H	○	—	—
PFC11	ポート機能コントロールレジスタ 11	16	7-0 15-0	R/W	052C _H	0000 _H	○	—	—
PFCE11	ポート機能コントロール拡張レジスタ 11	16	7-5, 3-0 15, 9, 7-5, 3-0 15-0	R/W	062C _H	0000 _H	○	—	—
PNOT11	ポートノットレジスタ 11	16	7-0 15-0	W	072C _H	0000 _H	○	—	—
PMSR11	ポートモードセット/リセットレジスタ 11	32	23-16, 7-0 31-16, 15-0	R/W	082C _H	0000 FFFF _H	○	—	—
PMCSR11	ポートモードコントロールセット/ リセットレジスタ 11	32	23-16, 7-0 31-16, 15-0	R/W	092C _H	0000 0000 _H	○	—	—
PFCAE11	ポート機能コントロール追加拡張レジスタ 11	16	6, 5, 3, 2 15, 9, 6, 5, 3, 2	R/W	0A2C _H	0000 _H	○	—	—
PIBC11	ポート入力カバレッジコントロールレジスタ 11	16	7-0 15-0	R/W	402C _H	0000 _H	○	—	—
PBDC11	ポート双方向コントロールレジスタ 11	16	7-0 15-0	R/W	412C _H	0000 _H	○	—	—
PIPC11	ポートIPコントロールレジスタ 11	16	7, 6, 3, 2 10, 9, 7, 6, 3, 2	R/W	422C _H	0000 _H	○	—	—

表 2.53 制御レジスタ (P11) (2/2)

レジスタ	機能	レジスタ サイズ	有効ビット		オフセット アドレス	リセット後の値	デバイス		
			位置	R/W 注1			100 pin	144 pin	176 pin
PU11	ブルアップオブションレジスタ 11	16	7-0	R/W	432C _H	0000 _H	○	—	—
			15-0				—	○	○
PD11	ブルダウンオブションレジスタ 11	16	7-0	R/W	442C _H	0000 _H	○	—	—
			15-0				—	○	○
PODC11	ポートオートブロードレインコントロールレジスタ 11	32	7-0	R/W	452C _H	0000 0000 _H	○	—	—
			15-0				—	○	○
PDSC11	ポートドライバ強度コントロールレジスタ 11	32	7-0	R/W	462C _H	0000 0000 _H	○	—	—
			15-0				—	○	○
PIS11	ポート入力カバレッジ選択レジスタ 11	16	7-0	R/W	472C _H	FFFF _H	○	—	—
			15-0				—	○	○
PPROTS11	ポート保護ステータスレジスタ 11	32	0	R	4B2C _H	0000 0000 _H	○	○	○
			7-0	W			4C2C _H	xxxx xx00 _H	○

注 1. 未使用ビットは、R (読み出し専用) です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.9 ポート 12 (P12)

2.10.9.1 兼用機能

表 2.54 ポート 12 (P12)

ポートモード (PMC12_m = 0)	兼用モード (PMC12_m = 1)												パッケージ No.				
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		100 pin	144 pin	176 pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力			
P12_0		CAN2TX		PWGA560	TAUB1110 注1	TAUB1010 注1									—	137	169
P12_1	RLIN34RX/ INTP14	CSIH2CSS6		PWGA570	TAUB1112 注1	TAUB1012 注1							RLIN34RX		—	138	170
P12_2		RLIN34TX		PWGA580	TAUB1114 注1	TAUB1014 注1									—	139	171
P12_3	RLIN27RX			PWGA680											—	—	15
P12_4		RLIN27TX		PWGA690											—	—	16
P12_5		PWGA700													—	—	17

注 1. 144 pin パッケージにはありません。

注 意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2.10.9.2 制御レジスタ

表 2.55 制御レジスタ (P12) (1/2)

レジスタ	機能	レジスタ サイズ	有効ビット		オフセット アドレス	リセット後の値	デバイス		
			位置	R/W 注1			100 pin	144 pin	176 pin
P12	ポートレジスタ 12	16	2-0 5-0	R/W	0030 _h	0000 _h	—	○	—
PSR12	ポートセット/リセットレジスタ 12	32	18-16, 2-0 21-16, 5-0	R/W	0130 _h	0000 0000 _h	—	○	—
PPR12	ポート端子リードレジスタ 12	16	2-0 5-0	R	0230 _h	0000 _h	—	○	—
PM12	ポートモードレジスタ 12	16	2-0 5-0	R/W	0330 _h	FFFF _h	—	○	—
PMC12	ポートモードコントロールレジスタ 12	16	2-0 5-0	R/W	0430 _h	0000 _h	—	○	—
PFC12	ポート機能コントロールレジスタ 12	16	2-0 4-0	R/W	0530 _h	0000 _h	—	○	—
PFCE12	ポート機能コントロール拡張レジスタ 12	16	1 2-0	R/W	0630 _h	0000 _h	—	○	—
PNOT12	ポートノットレジスタ 12	16	2-0 5-0	W	0730 _h	0000 _h	—	○	—
PMSR12	ポートモードセット/リセットレジスタ 12	32	18-16, 2-0 21-16, 5-0	R/W	0830 _h	0000 FFFF _h	—	○	—
PMCSR12	ポートモードコントロールセット/リセットレジスタ 12	32	18-16, 2-0 21-16, 5-0	R/W	0930 _h	0000 0000 _h	—	○	—
PFCAE12	ポート機能コントロール追加拡張レジスタ 11	16	1	R/W	0A30 _h	0000 _h	—	○	○
PIBC12	ポート入力バッファコントロールレジスタ 12	16	2-0 5-0	R/W	4030 _h	0000 _h	—	○	—
PBDC12	ポート双方向コントロールレジスタ 12	16	2-0 5-0	R/W	4130 _h	0000 _h	—	○	—
PU12	ブルアップオブションレジスタ 12	16	2-0 5-0	R/W	4330 _h	0000 _h	—	○	—

表 2.55 制御レジスタ (P12) (2/2)

レジスタ	機能	レジスタ サイズ	有効ビット		オフセット アドレス	リセット後の値	デバイス		
			位置	R/W ^{注1}			100 pin	144 pin	176 pin
PD12	ブルダウオンポジションレジスタ 12	16	2-0	R/W	4430 _H	0000 _H	—	○	—
			5-0				—	—	○
PODC12	ポートオープンドレインコントロールレジスタ 12	32	2-0	R/W	4530 _H	0000 0000 _H	—	○	—
			5-0				—	—	○
PDSC12	ポートドライブ強度コントロールレジスタ 12	32	2-0	R/W	4630 _H	0000 0000 _H	—	○	—
			5-0				—	—	○
PIS12	ポート入力カバレッジ選択レジスタ 12	16	2-0	R/W	4730 _H	FFFF _H	—	○	—
			5-0				—	—	○
PPROTS12	ポート保護ステータスレジスタ 12	32	0	R	4B30 _H	0000 0000 _H	—	○	○
PPCMD12	ポート保護コマンドレジスタ 12	32	7-0	W	4C30 _H	xxxx xx00 _H	—	○	○

注 1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.10 ポート 18 (P18)

2.10.10.1 兼用機能

表 2.56 ポート 18 (P18)

ポートモード (PMC18_m = 0)	兼用モード (PMC18_m = 1)												専用機能			パッケージ No.		
	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		専用機能			100 pin	144 pin	176 pin		
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	専用機能	100 pin	144 pin	176 pin				
P18_0	CSIG1RYI	CSIG1RYO		PWGA610							ADCA110S	—	115	143				
P18_1		PWGA620									ADCA111S	—	116	144				
P18_2		PWGA630									ADCA112S	—	117	145				
P18_3		PWGA710 ^{注1}									ADCA113S	—	118	146				
P18_4		CSIH1CSS4									ADCA114S	—	—	147				
P18_5		CSIH1CSS5									ADCA115S	—	—	148				
P18_6											ADCA116S	—	—	149				
P18_7											ADCA117S	—	—	150				

注 1. 144 pin パッケージにはありません。

注意

1. 兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。
2. A/D 機能は初期設定で使用してください。

2.10.10.2 制御レジスタ

表 2.57 制御レジスタ (P18) (1/2)

レジスタ	機能	レジスタ サイズ	有効ビット		オフセット アドレス	リセット後の値	デバイス		
			位置	R/W 注1			100 pin	144 pin	176 pin
P18	ポートレジスタ 18	16	3-0 7-0	R/W	0048 _H	0000 _H	—	○	—
PSR18	ポートセット/リセットレジスタ 18	32	19-16, 3-0 23-16, 7-0	R/W	0148 _H	0000 0000 _H	—	○	—
PPR18	ポート端子リードレジスタ 18	16	3-0 7-0	R	0248 _H	0000 _H	—	○	—
PM18	ポートモードレジスタ 18	16	3-0 7-0	R/W	0348 _H	FFFF _H	—	○	—
PMC18	ポートモードコントロールレジスタ 18	16	3-0 5-0	R/W	0448 _H	0000 _H	—	○	—
PFC18	ポート機能コントロールレジスタ 18	16	0	R/W	0548 _H	0000 _H	—	○	○
PNOT18	ポートノットレジスタ 18	16	3-0 7-0	W	0748 _H	0000 _H	—	○	—
PMSR18	ポートモードセット/リセットレジスタ 18	32	19-16, 3-0 23-16, 7-0	R/W	0848 _H	0000 FFFF _H	—	○	—
PMCSR18	ポートモードコントロールセット/ リセットレジスタ 18	32	19-16, 3-0 21-16, 5-0	R/W	0948 _H	0000 0000 _H	—	○	—
PIBC18	ポート入力カバレッジコントロールレジスタ 18	16	3-0 7-0	R/W	4048 _H	0000 _H	—	○	—
PBDC18	ポート双方向コントロールレジスタ 18	16	3-0 7-0	R/W	4148 _H	0000 _H	—	○	—
PU18	プルアップ/プルダウンレジスタ 18	16	3-0 7-0	R/W	4348 _H	0000 _H	—	○	—
PD18	プルダウンオンポジションレジスタ 18	16	3-0 7-0	R/W	4448 _H	0000 _H	—	○	—
PODC18	ポートオープンドレインコントロールレジスタ 18	32	3-0 7-0	R/W	4548 _H	0000 0000 _H	—	○	—
PDSC18	ポートドライバ強度コントロールレジスタ 11	32	3-0 7-0	R/W	4648 _H	0000 0000 _H	—	○	—

表 2.57 制御レジスタ (P18) (2/2)

レジスタ	機能	レジスタ サイズ	有効ビット		オフセット アドレス	リセット後の値	デバイス		
			位置	R/W ^{注1}			100 pin	144 pin	176 pin
PIS18	ポート入力カバレッジ選択レジスタ 18	16	3-0	R/W	4748 _H	FFFF _H	—	○	—
			7-0				—	—	○
PPROTS18	ポート保護ステータスレジスタ 18	32	0	R	4B48 _H	0000 0000 _H	—	○	○
PPCMD18	ポート保護コマンドレジスタ 18	32	7-0	W	4C48 _H	xxxx xx00 _H	—	○	○

注 1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.11 ポート 20 (P20)

2.10.11.1 兼用機能

表 2.58 ポート 20 (P20)

ポートモード (PMC20_m = 0)	兼用モード (PMC20_m = 1)												パッケージ No.					
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		100 pin	144 pin	176 pin	
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力				
P20_0	RLIN26RX			PWGA64O		INTP6 /CAN6RX												118
P20_1		RLIN26TX		PWGA65O			CAN6TX											117
P20_2	CAN4RX/ INTP4			PWGA66O		RLIN29RX												116
P20_3			CAN4TX	PWGA67O			RLIN29TX											115
P20_4	RLIN23RX			PWGA59O													100	120
P20_5			RLIN23TX	PWGA60O													99	119

注 意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2.10.11.2 制御レジスタ

表 2.59 制御レジスタ (P20) (1/2)

レジスタ	機能	レジスタ サイズ	有効ビット		オフセット アドレス	リセット後の値	デバイス		
			位置	R/W 注1			100 pin	144 pin	176 pin
P20	ポートレジスタ 20	16	5, 4 5-0	R/W	0050 _h	0000 _h	—	○	—
PSR20	ポートセット/リセットレジスタ 20	32	21-20, 5, 4 21-16, 5-0	R/W	0150 _h	0000 0000 _h	—	○	—
PPR20	ポート端子リードレジスタ 20	16	5, 4 5-0	R	0250 _h	0000 _h	—	○	—
PM20	ポートモードレジスタ 20	16	5, 4 5-0	R/W	0350 _h	FFFF _h	—	○	—
PMC20	ポートモードコントロールレジスタ 20	16	5, 4 5-0	R/W	0450 _h	0000 _h	—	○	—
PFC20	ポート機能コントロールレジスタ 20	16	5, 4 5-0	R/W	0550 _h	0000 _h	—	○	—
PFCE20	ポート機能コントロール拡張レジスタ 20	16	3-0	R/W	0650 _h	0000 _h	—	—	○
PNOT20	ポートノットレジスタ 20	16	5, 4 5-0	W	0750 _h	0000 _h	—	○	—
PMSR20	ポートモードセット/リセットレジスタ 20	32	21, 20, 5, 4 21-16, 5-0	R/W	0850 _h	0000 FFFF _h	—	○	—
PMCSR20	ポートモードコントロールセット/ リセットレジスタ 20	32	21, 20, 5, 4 21-16, 5-0	R/W	0950 _h	0000 0000 _h	—	○	—
PFCAE20	ポート機能コントロール追加拡張レジスタ 20	16	2, 0	R/W	0A50 _h	0000 _h	—	—	○
PIBC20	ポート入力バッファコントロールレジスタ 20	16	5, 4 5-0	R/W	4050 _h	0000 _h	—	○	—
PBDC20	ポート双方向コントロールレジスタ 20	16	5, 4 5-0	R/W	4150 _h	0000 _h	—	○	—
PU20	プルアップオプションレジスタ 20	16	5, 4 5-0	R/W	4350 _h	0000 _h	—	○	—
PD20	プルダウンオプションレジスタ 20	16	5, 4 5-0	R/W	4450 _h	0000 _h	—	○	—
PODC20	ポートオープンドレインコントロールレジスタ 20	32	5, 4 5-0	R/W	4550 _h	0000 0000 _h	—	○	—
PDSC20	ポートドライバ強度コントロールレジスタ 20	32	5, 4 5-0	R/W	4650 _h	0000 0000 _h	—	○	—
PIS20	ポート入力バッファ選択レジスタ 20	16	5, 4 5-0	R/W	4750 _h	FFFF _h	—	○	—

表 2.59 制御レジスタ (P20) (2/2)

レジスタ	機能	レジスタ サイズ	有効ビット		オフセット アドレス	リセット後の値	デバイス		
			位置	R/W注1			100 pin	144 pin	176 pin
PPROTS20	ポート保護ステータスレジスタ 20	32	0	R	4B50 _H	0000 0000 _H	—	○	○
PPCMD20	ポート保護コマンドレジスタ 20	32	7-0	W	4C50 _H	xxxx xx00 _H	—	○	○

注 1. 未使用ビットは、R (読み出し専用) です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.12 アナログポート 0 (AP0)

2.10.12.1 兼用機能

表 2.60 アナログポート 0 (AP0)

ポートモード	兼用モード												ADC		パッケージ No.		
	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		100 pin	144 pin			176 pin		
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力							
AP0_0														ADCA010	68	90	106
AP0_1														ADCA011	67	89	105
AP0_2														ADCA012	66	88	104
AP0_3														ADCA013	65	87	103
AP0_4														ADCA014	64	86	102
AP0_5														ADCA015	63	85	101
AP0_6														ADCA016	62	84	100
AP0_7														ADCA017	61	83	99
AP0_8														ADCA018	60	82	98
AP0_9														ADCA019	59	81	97
AP0_10														ADCA0110	58	80	96
AP0_11														ADCA0111	57	79	95
AP0_12														ADCA0112	56	78	94
AP0_13														ADCA0113	55	77	93
AP0_14														ADCA0114	54	76	92
AP0_15														ADCA0115	53	75	91

注 意

A/D 機能は初期設定で使用してください。

2.10.12.2 制御レジスタ

表 2.61 制御レジスタ (AP0)

レジスタ	機能	レジスタ サイズ	有効ビット		オフセット アドレス	リセット後の値	デバイス		
			位置	R/W 注1			100 pin	144 pin	176 pin
AP0	アナログポートレジスタ 0	16	15-0	R/W	00C8 _H	0000 _H	○	○	○
APSR0	アナログポートセット/リセットレジスタ 0	32	31-16, 15-0	R/W	01C8 _H	0000 0000 _H	○	○	○
APPR0	アナログポート端子リードレジスタ 0	16	15-0	R	02C8 _H	0000 _H	○	○	○
APM0	アナログポートモードレジスタ 0	16	15-0	R/W	03C8 _H	FFFF _H	○	○	○
APNOT0	アナログポートノットレジスタ 0	16	15-0	W	07C8 _H	0000 _H	○	○	○
APMSR0	アナログポートモードセット/リセットレジスタ 0	32	31-16, 15-0	R/W	08C8 _H	0000 FFFF _H	○	○	○
APIBC0	アナログポート入力バッファコントロールレジスタ 0	16	15-0	R/W	40C8 _H	0000 _H	○	○	○
APBDC0	アナログポート双方向コントロールレジスタ 0	16	7-0	R/W	41C8 _H	0000 _H	○	○	○

注 1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.13 アナログポート1 (AP1)

2.10.13.1 兼用機能

表 2.62 アナログポート1 (AP1)

ポートモード	兼用モード												ADC			パッケージNo.		
	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		ADC			100 pin	144 pin	176 pin		
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	ADCA110	ADCA111	ADCA112	ADCA113	ADCA114	ADCA115		
AP1_0																	109	133
AP1_1																	108	132
AP1_2																	107	131
AP1_3																	106	130
AP1_4																	105	129
AP1_5																	104	128
AP1_6																	103	127
AP1_7																	102	126
AP1_8																	—	125
AP1_9																	—	124
AP1_10																	—	123
AP1_11																	—	122
AP1_12																	—	137
AP1_13																	—	136
AP1_14																	—	135
AP1_15																	—	134

注意

A/D機能は初期設定で使用してください。

2.10.13.2 制御レジスタ

表 2.63 制御レジスタ (AP1)

レジスタ	機能	レジスタ サイズ	有効ビット		オフセット アドレス	リセット後の値	デバイス		
			位置	R/W 注1			100 pin	144 pin	176 pin
AP1	アナログポートレジスタ 1	16	7-0 15-0	R/W R/W	00CC _H	0000 _H	— —	○ —	— ○
APSR1	アナログポートセット/リセットレジスタ 1	32	23-16, 7-0 31-16, 15-0	R/W R/W	01CC _H	0000 0000 _H	— —	○ —	— ○
APPR1	アナログポート端子リードレジスタ 1	16	7-0 15-0	R R/W	02CC _H	0000 _H	— —	○ —	— ○
APM1	アナログポートモードレジスタ 1	16	7-0 15-0	R/W R/W	03CC _H	FFFF _H	— —	○ —	— ○
APNOT1	アナログポートノットレジスタ 1	16	7-0 15-0	W R/W	07CC _H	0000 _H	— —	○ —	— ○
APMSR1	アナログポートモードセット/リセットレジスタ 1	32	23-16, 7-0 31-16, 15-0	R/W R/W	08CC _H	0000 FFFF _H	— —	○ —	— ○
APIBC1	アナログポート入カバッファコントロールレジスタ 1	16	7-0 15-0	R/W R/W	40CC _H	0000 _H	— —	○ —	— ○
APBDC1	アナログポート双方向コントロールレジスタ 1	16	7-0 15-0	R/W R/W	41CC _H	0000 _H	— —	○ —	— ○

注 1. 未使用ビットは、R (読み出し専用) です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.10.14 入力ポート 0 (IP0)

2.10.14.1 兼用機能

表 2.64 入力ポート 0 (IP0)

ポートモード	兼用モード												専用機能			パッケージ No.		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		専用機能			100 pin	144 pin	176 pin		
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	XT2	—	47	57				
IP0_0																		

2.10.14.2 制御レジスタ

表 2.65 制御レジスタ (IP0)

レジスタ	機能	レジスタ サイズ	有効ビット		オフセット アドレス	リセット後の値	デバイス		
			位置	R/W 注1			100 pin	144 pin	176 pin
IPPR0	入力ポート端子リードレジスタ 0	16	0	R	02F0 _H	0000 _H	—	○	○
PIBCC0	ポート入力バッファコントロールレジスタ 0	16	0	R/W	40F0 _H	0000 _H	—	○	○

注 1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

IP0_0/XT2 端子を入力ポートとして使用する場合は、PIBCC0_0 ビット = 1 に設定してください。その際、SOSC は動作停止状態にしてください。SOSC 動作設定の詳細は、「12.4.2.7 SCSCE — SubOSC イネーブルレジスタ」を参照してください。なお、SubOSC (SOSC) として使用し、入力ポートとして使用しない場合は、PIBCC0_0 ビット = 0 に設定してください。

2.11 ポート（特殊 I/O）機能概要

本節では、ポート（特殊 I/O）の機能について説明します。

2.11.1 リセット後の特殊 I/O

リセット解除後の特殊な機能のポートについて次に示します。

2.11.1.1 P8_6 : RESETOUT

P8_6 端子（RESETOUT 信号）は、OPBT0.RESETOUTEN ビットの設定により PM8.PM8_6 ビットおよび PODC8.PODC8_6 ビットのリセット後の値が変わります。P8_6 端子はリセット中にロウレベルを出力し、リセット後の端子状態は異なります。

(ケース 1): OPBT0.RESETOUTEN = 1

- P8.P8_6 = 0 : ロウレベル出力
- PM8.PM8_6 = 0 : 出力ポート
- PODC8.PODC8_6 = 1 : オープンドレイン出力

(ケース 2): OPBT0.RESETOUTEN = 0

- P8.P8_6 = 0 : ロウレベル出力
- PM8.PM8_6 = 1 : 入力ポート
- PODC8.PODC8_6 = 0 : プッシュプル

OPBT0 レジスタについての詳細は「37.9.2 OPBT0 — オプションバイト 0」、および「9.4.2 パワーオンクリア (POC) リセット」を参照してください。

P8_6 端子の設定を変更すると、変更後の設定に従い動作します。

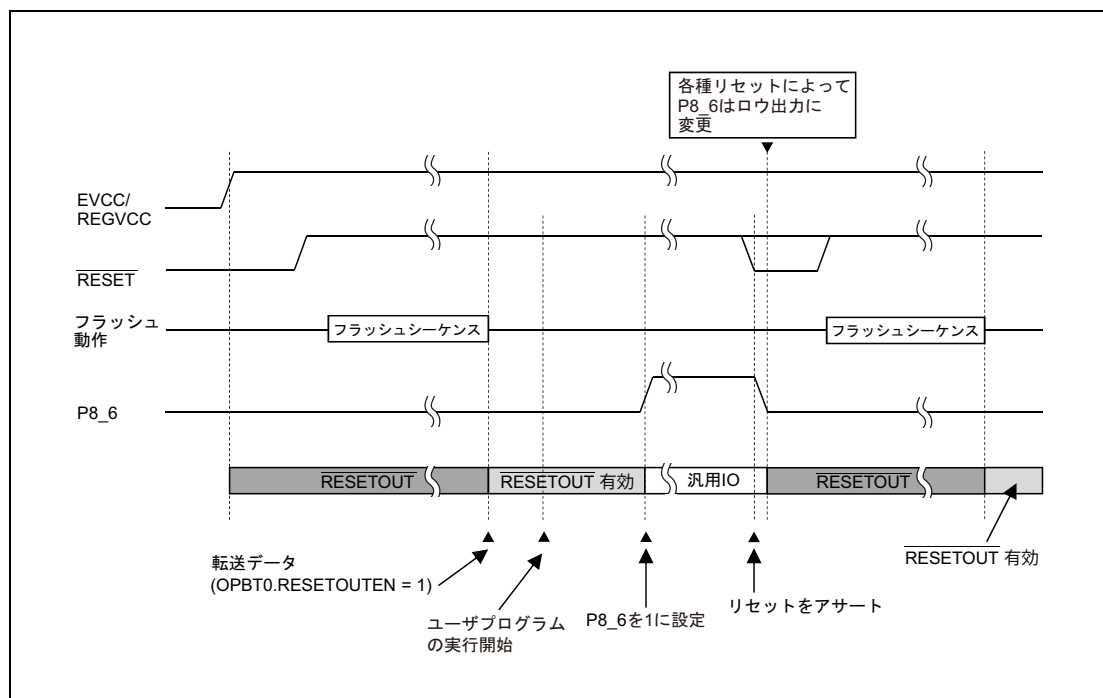


図 2.9 リセット中およびリセット解除後の P8_6 端子（RESETOUT 信号）動作 : (ケース 1) OPBT0.RESETOUTEN を 1 に設定

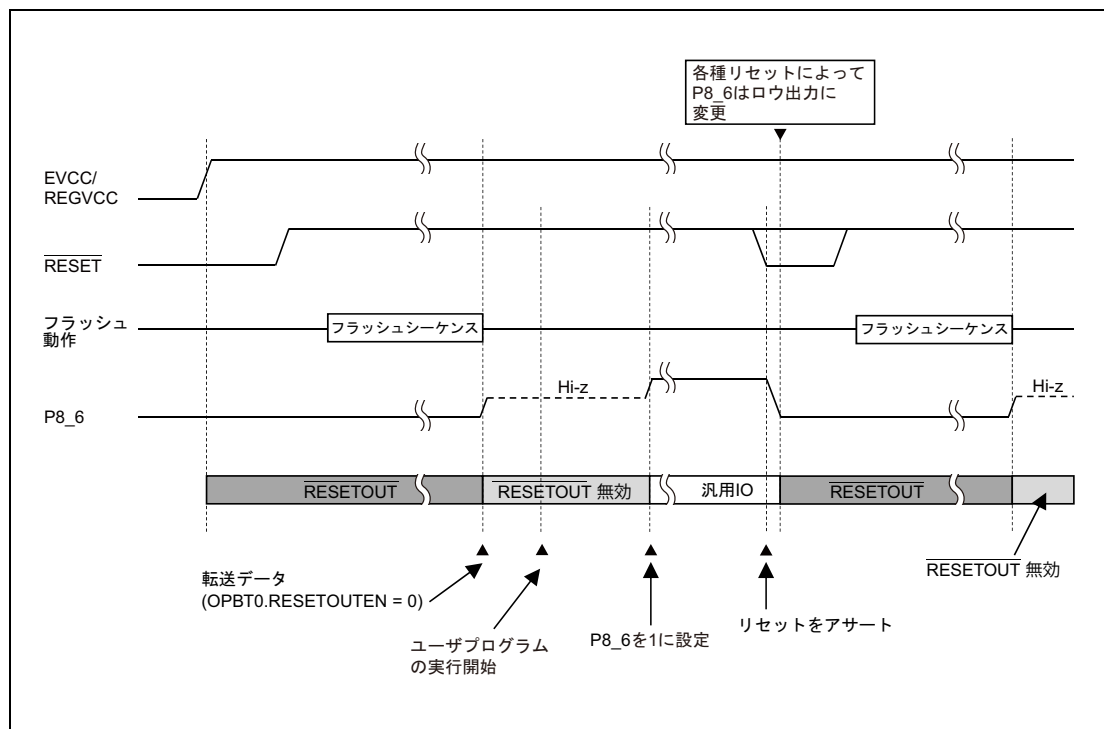


図 2.10 リセット中およびリセット解除後の P8_6 端子 (RESETOUT 信号) 動作 : (ケース 2) OPBT0.RESETOUTEN を 0 に設定

2.11.1.2 JP0_0-JP0_6 : デバッグインタフェース

OPJTAG[1:0] の設定が以下の組み合わせの場合、リセット解除後、JTAG ポートグループの端子がデバッグインタフェースとして使用できます。

表 2.66 デバッグインタフェース

OPJTAG1	OPJTAG0	モード	JP0_0	JP0_1	JP0_2	JP0_3	JP0_4	JP0_5	JP0_6
1	1	Nexus I/F	DCUTDI 入力	DCUTDO 出力	DCUTCK 入力	DCUTMS 入力	DCUTRST 入力	DCURDY 出力	EVTO ^{注1} 出力
0	1	LPD (4 pin)	LPDI 入力	LPDO 出力	LPDCLK 入力	ポート/ 兼用機能	ポート/ 兼用機能	LPDCLK OUT 出力	ポート/ 兼用機能
1	0	LPD (1 pin)	LPDIO 入出力	ポート/ 兼用機能	ポート/ 兼用機能	ポート/ 兼用機能	ポート/ 兼用機能	ポート/ 兼用機能	ポート/ 兼用機能

注 1. 176 ピン、144 ピン製品のみ対応

したがって、デバッガと接続している間、これらの端子のポートおよび兼用機能が使用できなくなります。（「ポート／兼用機能」と記載されている端子は、使用できます）

備考

OPJTAG[1:0] の設定に関しては、「[37.9.2 OPBT0 — オプションバイト 0](#)」を参照ください

2.11.1.3 FPDR(JP0_0), FPDT(JP0_1), FPCK(JP0_2) : フラッシュプログラマ

これらの端子はフラッシュプログラマと接続する場合に使用します。詳細は、[フラッシュプログラマのマニュアル](#)を参照してください。

2.11.1.4 モード端子

FLMD0 端子と P10_8 : FLMD1 端子を組み合わせるとシリアルプログラミングモードに設定できます。

FLMD0 端子と P10_8 : FLMD1 端子、P10_2 : MODE1 端子、P10_1 : MODE0 端子を組み合わせるとバウンダリスキャンモードに設定できます。

FLMD0 端子と P10_8 : FLMD1 端子、P10_6 : MODE2 端子、P10_2 : MODE1 端子、P10_1 : MODE0 端子を組み合わせるとユーザブートモードを選択できます。

モード選択の詳細は、「[第 6 章 動作モード](#)」を参照してください。

2.11.1.5 IP0_0 : XT2

SubOSC (SOSC) の入力端子です。IPIBC0_0 ビット = 1 に設定すると、IP0_0 / XT2 端子を入力ポートとして使用できます。その際、SOSC は動作停止状態にしてください。

2.11.2 A/D 入力兼用 I/O

次のポートは A/D の入力に常に接続しています。(ただし、A/D へのアナログ入力は、A/D のモジュールで制御されます。)

表 2.67 A/D 入力兼用端子 (1/2)

ポート	A/D 入力	デバイス		
		100 pin	144 pin	176 pin
P8_0	ADCA0I0S	○	○	○
P8_1	ADCA0I1S	○	○	○
P8_2	ADCA0I4S	○	○	○
P8_3	ADCA0I5S	○	○	○
P8_4	ADCA0I6S	○	○	○
P8_5	ADCA0I7S	○	○	○
P8_6	ADCA0I8S	○	○	○
P8_7	ADCA0I14S	○	○	○
P8_8	ADCA0I15S	○	○	○
P8_9	ADCA0I16S	○	○	○
P8_10	ADCA0I17S	○	○	○
P8_11	ADCA0I18S	○	○	○
P8_12	ADCA0I19S	○	○	○
P9_0	ADCA0I2S	○	○	○
P9_1	ADCA0I3S	○	○	○
P9_2	ADCA0I9S	○	○	○
P9_3	ADCA0I10S	○	○	○
P9_4	ADCA0I11S	○	○	○
P9_5	ADCA0I12S	○	○	○
P9_6	ADCA0I13S	○	○	○
P18_0	ADCA1I0S	—	○	○
P18_1	ADCA1I1S	—	○	○
P18_2	ADCA1I2S	—	○	○
P18_3	ADCA1I3S	—	○	○
P18_4	ADCA1I4S	—	—	○
P18_5	ADCA1I5S	—	—	○
P18_6	ADCA1I6S	—	—	○
P18_7	ADCA1I7S	—	—	○
AP0_0	ADCA0I0	○	○	○
AP0_1	ADCA0I1	○	○	○
AP0_2	ADCA0I2	○	○	○
AP0_3	ADCA0I3	○	○	○
AP0_4	ADCA0I4	○	○	○
AP0_5	ADCA0I5	○	○	○
AP0_6	ADCA0I6	○	○	○
AP0_7	ADCA0I7	○	○	○
AP0_8	ADCA0I8	○	○	○
AP0_9	ADCA0I9	○	○	○
AP0_10	ADCA0I10	○	○	○

表 2.67 A/D 入力兼用端子 (2/2)

ポート	A/D 入力	デバイス		
		100 pin	144 pin	176 pin
AP0_11	ADCA0111	○	○	○
AP0_12	ADCA0112	○	○	○
AP0_13	ADCA0113	○	○	○
AP0_14	ADCA0114	○	○	○
AP0_15	ADCA0115	○	○	○
AP1_0	ADCA110	—	○	○
AP1_1	ADCA111	—	○	○
AP1_2	ADCA112	—	○	○
AP1_3	ADCA113	—	○	○
AP1_4	ADCA114	—	○	○
AP1_5	ADCA115	—	○	○
AP1_6	ADCA116	—	○	○
AP1_7	ADCA117	—	○	○
AP1_8	ADCA118	—	—	○
AP1_9	ADCA119	—	—	○
AP1_10	ADCA1110	—	—	○
AP1_11	ADCA1111	—	—	○
AP1_12	ADCA1112	—	—	○
AP1_13	ADCA1113	—	—	○
AP1_14	ADCA1114	—	—	○
AP1_15	ADCA1115	—	—	○

2.11.3 特殊 I/O 制御

2.11.3.1 直接 I/O 制御 (PIPC)

いくつかの兼用機能ではポートの入力/出力を自動的に制御します。

次に PIPCN.PIPCN_m = 1 とする必要がある兼用機能について示します。

詳細は「2.9.2.3 PIPCN — ポート IP コントロールレジスタ」を参照してください。

表 2.68 PIPCN.PIPCN_m = 1 設定が必要な兼用機能

機能	兼用機能名	ポート名	電源領域	生業	参照章
TAPA	TAPA0UP	P10_0	ISO	U 相 Hi-Z 制御	第 29 章
	TAPA0UN	P10_1	ISO		
	TAPA0VP	P10_2	ISO	V 相 Hi-Z 制御	
	TAPA0VN	P10_3	ISO		
	TAPA0WP	P10_4	ISO	W 相 Hi-Z 制御	
	TAPA0WN	P10_5	ISO		
CSIG	CSIG0SO	P0_13	AWO	シリアルデータ出力制御 信号	第 16 章
		P10_6	ISO		
	CSIG0SC	P0_14	AWO	マスタ (1) / スレーブ (0) モード信号	
		P10_7	ISO		
CSIG1SO	P11_9	ISO	シリアルデータ出力制御 信号		
CSIG1SC	P11_10	ISO	マスタ (1) / スレーブ (0) モード信号		
CSIH	CSIH0SO	P0_3	AWO	シリアルデータ出力制御 信号	第 17 章
	CSIH0SC	P0_2	AWO	マスタ (1) / スレーブ (0) モード信号	
	CSIH1SO	P0_5	AWO	シリアルデータ出力制御 信号	
		P10_2	ISO		
	CSIH1SC	P0_6	AWO	マスタ (1) / スレーブ (0) モード信号	
		P10_1	ISO		
	CSIH2SO	P11_2	ISO	シリアルデータ出力制御 信号	
	CSIH2SC	P11_3	ISO	マスタ (1) / スレーブ (0) モード信号	
CSIH3SO	P11_6	ISO	シリアルデータ出力制御 信号		
CSIH3SC	P11_7	ISO	マスタ (1) / スレーブ (0) モード信号		

2.11.3.2 入力バッファ制御 (PISn/JPIS0、JPISA0)

本デバイスでは、ポートの入力バッファの特性 (タイプ 1、タイプ 2) を PISn/JPIS0 レジスタで選択することができます。適用可能な端子を表 2.69 に示します。表以外のポートはタイプ 2 (SHMT4) のみサポートします。

本デバイスでは、JTAG ポートの入力バッファの特性 (タイプ 1/2、タイプ 5) を JPISA0 レジスタで選択することができます。適用可能な端子を表 2.70 に示します。

表 2.69 ポートの入力バッファ特性の選択 (1/3)

ポート名	入力バッファ選択		デバイス		
	タイプ 1 (PISn_m = 0)	タイプ 2 (PISn_m = 1)	100 pin	144 pin	176 pin
P0_0	SHMT1	SHMT4	○	○	○
P0_1	SHMT1	SHMT4	○	○	○
P0_2	SHMT1	SHMT4	○	○	○
P0_3	SHMT1	SHMT4	○	○	○
P0_4	SHMT1	SHMT4	○	○	○
P0_5	SHMT1	SHMT4	○	○	○
P0_6	SHMT1	SHMT4	○	○	○
P0_7	SHMT1	SHMT4	○	○	○
P0_8	SHMT1	SHMT4	○	○	○
P0_9	SHMT1	SHMT4	○	○	○
P0_10	SHMT1	SHMT4	○	○	○
P0_11	SHMT1	SHMT4	○	○	○
P0_12	SHMT1	SHMT4	○	○	○
P0_13	SHMT1	SHMT4	○	○	○
P0_14	SHMT1	SHMT4	○	○	○
P1_0	SHMT1	SHMT4	—	○	○
P1_2	SHMT1	SHMT4	—	○	○
P1_3	SHMT1	SHMT4	—	○	○
P1_4	SHMT1	SHMT4	—	○	○
P1_5	SHMT1	SHMT4	—	○	○
P1_6	SHMT1	SHMT4	—	○	○
P1_7	SHMT1	SHMT4	—	○	○
P1_8	SHMT1	SHMT4	—	○	○
P1_9	SHMT1	SHMT4	—	○	○
P1_10	SHMT1	SHMT4	—	○	○
P1_11	SHMT1	SHMT4	—	○	○
P1_12	SHMT1	SHMT4	—	—	○
P1_13	SHMT1	SHMT4	—	—	○
P1_14	SHMT1	SHMT4	—	—	○
P1_15	SHMT1	SHMT4	—	—	○
P2_0	SHMT1	SHMT4	—	—	○
P2_1	SHMT1	SHMT4	—	—	○
P2_2	SHMT1	SHMT4	—	—	○
P2_3	SHMT1	SHMT4	—	—	○
P2_4	SHMT1	SHMT4	—	—	○
P2_5	SHMT1	SHMT4	—	—	○

表 2.69 ポートの入力バッファ特性の選択 (2/3)

ポート名	入力バッファ選択		デバイス		
	タイプ 1 (PISn_m = 0)	タイプ 2 (PISn_m = 1)	100 pin	144 pin	176 pin
P2_6	SHMT1	SHMT4	—	—	○
P8_0	SHMT1	SHMT4	○	○	○
P8_1	SHMT1	SHMT4	○	○	○
P8_2	SHMT1	SHMT4	○	○	○
P8_3	SHMT1	SHMT4	○	○	○
P8_4	SHMT1	SHMT4	○	○	○
P8_5	SHMT1	SHMT4	○	○	○
P8_6	SHMT1	SHMT4	○	○	○
P8_7	SHMT1	SHMT4	○	○	○
P8_8	SHMT1	SHMT4	○	○	○
P8_9	SHMT1	SHMT4	○	○	○
P8_10	SHMT1	SHMT4	○	○	○
P8_11	SHMT1	SHMT4	○	○	○
P8_12	SHMT1	SHMT4	○	○	○
P9_0	SHMT1	SHMT4	○	○	○
P9_1	SHMT1	SHMT4	○	○	○
P9_2	SHMT1	SHMT4	○	○	○
P9_3	SHMT1	SHMT4	○	○	○
P9_4	SHMT1	SHMT4	○	○	○
P9_5	SHMT1	SHMT4	○	○	○
P9_6	SHMT1	SHMT4	○	○	○
P10_0	SHMT1	SHMT4	○	○	○
P10_1	SHMT1	SHMT4	○	○	○
P10_2	SHMT1	SHMT4	○	○	○
P10_3	SHMT1	SHMT4	○	○	○
P10_4	SHMT1	SHMT4	○	○	○
P10_5	SHMT1	SHMT4	○	○	○
P10_6	SHMT1	SHMT4	○	○	○
P10_7	SHMT1	SHMT4	○	○	○
P10_8	SHMT1	SHMT4	○	○	○
P10_9	SHMT1	SHMT4	○	○	○
P10_10	SHMT1	SHMT4	○	○	○
P10_11	SHMT1	SHMT4	○	○	○
P10_12	SHMT1	SHMT4	○	○	○
P10_13	SHMT1	SHMT4	○	○	○
P10_14	SHMT1	SHMT4	○	○	○
P10_15	SHMT1	SHMT4	○	○	○
P11_0	SHMT1	SHMT4	○	○	○
P11_1	SHMT1	SHMT4	○	○	○
P11_2	SHMT1	SHMT4	○	○	○
P11_3	SHMT1	SHMT4	○	○	○
P11_4	SHMT1	SHMT4	○	○	○
P11_5	SHMT1	SHMT4	○	○	○

表 2.69 ポートの入力バッファ特性の選択 (3/3)

ポート名	入力バッファ選択		デバイス		
	タイプ1 (PISn_m = 0)	タイプ2 (PISn_m = 1)	100 pin	144 pin	176 pin
P11_6	SHMT1	SHMT4	○	○	○
P11_7	SHMT1	SHMT4	○	○	○
P11_8	SHMT1	SHMT4	—	○	○
P11_9	SHMT1	SHMT4	—	○	○
P11_10	SHMT1	SHMT4	—	○	○
P11_11	SHMT1	SHMT4	—	○	○
P11_12	SHMT1	SHMT4	—	○	○
P11_13	SHMT1	SHMT4	—	○	○
P11_14	SHMT1	SHMT4	—	○	○
P11_15	SHMT1	SHMT4	—	○	○
P12_1	SHMT1	SHMT4	—	○	○
P12_2	SHMT1	SHMT4	—	○	○
P12_3	SHMT1	SHMT4	—	—	○
P12_4	SHMT1	SHMT4	—	—	○
P12_5	SHMT1	SHMT4	—	—	○
P18_0	SHMT1	SHMT4	—	○	○
P18_1	SHMT1	SHMT4	—	○	○
P18_2	SHMT1	SHMT4	—	○	○
P18_3	SHMT1	SHMT4	—	○	○
P18_4	SHMT1	SHMT4	—	—	○
P18_5	SHMT1	SHMT4	—	—	○
P18_6	SHMT1	SHMT4	—	—	○
P18_7	SHMT1	SHMT4	—	—	○
P20_0	SHMT1	SHMT4	—	—	○
P20_1	SHMT1	SHMT4	—	—	○
P20_2	SHMT1	SHMT4	—	—	○
P20_3	SHMT1	SHMT4	—	—	○
P20_4	SHMT1	SHMT4	—	○	○
P20_5	SHMT1	SHMT4	—	○	○

表 2.70 JTAG ポートの入力バッファ特性の選択

ポート名	入力バッファ選択			デバイス		
	タイプ1 (JPIS0_m = 0 & JPISA0_m = 0)	タイプ2 (JPIS0_m = 1 & JPISA0_m = 0)	タイプ5 (JPISA0_m = 1)	100 pin	144 pin	176 pin
JP0_0	SHMT1	SHMT4	TTL 注1,注2,注3,注4	○	○	○
JP0_1	SHMT1	SHMT4	—	○	○	○
JP0_2	SHMT1	SHMT4	TTL 注1,注2,注3	○	○	○
JP0_3	SHMT1	SHMT4	TTL 注1,注2	○	○	○
JP0_4	—	SHMT4	— 注1,注2	○	○	○
JP0_5	SHMT1	SHMT4	—	○	○	○
JP0_6	SHMT1	SHMT4	—	—	○	○

注 1. TTL は JPISA0 レジスタ設定なしでバウンダリスキャンモードで選択されます。

注 2. TTL は JPISA0 レジスタ設定なしで通常動作モードの Nexus で選択されます。

注 3. TTL は JPISA0 レジスタ設定なしで通常動作モードの LPD (4 pin) で選択されます。

注 4. TTL は JPISA0 レジスタ設定なしで通常動作モードの LPD (1 pin) で選択されます。

備 考

- SHMT1、SHMT4、TTL の端子特性については「第 40 章 電気的特性」を参照してください。
- リセット後の入力バッファは、タイプ 2 (SHMT4) が選択されています。

2.11.3.3 出力バッファ制御 (PDSC)

本デバイスでは、ポートの出力ドライバの強度（低速モード、高速モード）を PDSCn レジスタで選択することができます。適用可能な端子を以下の表に示します。表以外のポートは低速モードのみをサポートします。

表 2.71 出力バッファ特性選択 (1/3)

ポート名	出力ドライバ強度選択		デバイス		
	低速モード (PDSCn_m = 0)	高速モード (PDSCn_m = 1)	100 pins	144 pins	176 pins
JP0_1	10 MHz	40 MHz 注 ²	○	○	○
JP0_2	10 MHz	40 MHz	○	○	○
JP0_3	10 MHz	40 MHz	○	○	○
JP0_5	10 MHz	40 MHz	○	○	○
JP0_6	10 MHz	40 MHz	—	○	○
P0_0	10 MHz	40 MHz	○	○	○
P0_1	10 MHz	40 MHz	○	○	○
P0_2	10 MHz	40 MHz 注 ¹	○	○	○
P0_3	10 MHz	40 MHz 注 ¹	○	○	○
P0_4	10 MHz	40 MHz	○	○	○
P0_5	10 MHz	40 MHz 注 ²	○	○	○
P0_6	10 MHz	40 MHz 注 ²	○	○	○
P0_7	10 MHz	40 MHz	○	○	○
P0_8	10 MHz	40 MHz	○	○	○
P0_9	10 MHz	40 MHz	○	○	○
P0_10	10 MHz	40 MHz	○	○	○
P0_11	10 MHz	40 MHz	○	○	○
P0_12	10 MHz	40 MHz	○	○	○
P0_13	10 MHz	40 MHz	○	○	○
P0_14	10 MHz	40 MHz	○	○	○
P1_0	10 MHz	40 MHz	—	○	○
P1_1	10 MHz	40 MHz	—	○	○
P1_2	10 MHz	40 MHz	—	○	○
P1_3	10 MHz	40 MHz	—	○	○
P1_4	10 MHz	40 MHz	—	○	○
P1_5	10 MHz	40 MHz	—	○	○
P1_6	10 MHz	40 MHz	—	○	○
P1_7	10 MHz	40 MHz	—	○	○
P1_8	10 MHz	40 MHz	—	○	○
P1_9	10 MHz	40 MHz	—	○	○
P1_10	10 MHz	40 MHz	—	○	○
P1_11	10 MHz	40 MHz	—	○	○
P1_12	10 MHz	40 MHz	—	—	○
P1_13	10 MHz	40 MHz	—	—	○
P1_14	10 MHz	40 MHz	—	—	○
P1_15	10 MHz	40 MHz	—	—	○
P2_0	10 MHz	40 MHz	—	—	○

表 2.71 出力バッファ特性選択 (2/3)

ポート名	出力ドライバ強度選択		デバイス		
	低速モード (PDSCn_m = 0)	高速モード (PDSCn_m = 1)	100 pins	144 pins	176 pins
P2_1	10 MHz	40 MHz	—	—	○
P2_2	10 MHz	40 MHz	—	—	○
P2_3	10 MHz	40 MHz	—	—	○
P2_4	10 MHz	40 MHz	—	—	○
P2_5	10 MHz	40 MHz	—	—	○
P2_6	10 MHz	40 MHz	—	—	○
P10_0	10 MHz	40 MHz	○	○	○
P10_1	10 MHz	40 MHz ^{注2}	○	○	○
P10_2	10 MHz	40 MHz ^{注2}	○	○	○
P10_3	10 MHz	40 MHz ^{注2}	○	○	○
P10_4	10 MHz	40 MHz	○	○	○
P10_5	10 MHz	40 MHz	○	○	○
P10_6	10 MHz	40 MHz ^{注2}	○	○	○
P10_7	10 MHz	40 MHz ^{注2}	○	○	○
P10_8	10 MHz	40 MHz ^{注2}	○	○	○
P10_9	10 MHz	40 MHz ^{注2}	○	○	○
P10_10	10 MHz	40 MHz ^{注2}	○	○	○
P10_11	10 MHz	40 MHz ^{注2}	○	○	○
P10_12	10 MHz	40 MHz ^{注2}	○	○	○
P10_13	10 MHz	40 MHz ^{注2}	○	○	○
P10_14	10 MHz	40 MHz ^{注2}	○	○	○
P10_15	10 MHz	40 MHz	○	○	○
P11_0	10 MHz	40 MHz	○	○	○
P11_1	10 MHz	40 MHz ^{注2}	○	○	○
P11_2	10 MHz	40 MHz ^{注2}	○	○	○
P11_3	10 MHz	40 MHz ^{注2}	○	○	○
P11_4	10 MHz	40 MHz ^{注2}	○	○	○
P11_5	10 MHz	40 MHz	○	○	○
P11_6	10 MHz	40 MHz ^{注2}	○	○	○
P11_7	10 MHz	40 MHz ^{注2}	○	○	○
P11_8	10 MHz	40 MHz	—	○	○
P11_9	10 MHz	40 MHz	—	○	○
P11_10	10 MHz	40 MHz	—	○	○
P11_11	10 MHz	40 MHz	—	○	○
P11_12	10 MHz	40 MHz	—	○	○
P11_13	10 MHz	40 MHz	—	○	○
P11_14	10 MHz	40 MHz	—	○	○
P11_15	10 MHz	40 MHz	—	○	○
P12_0	10 MHz	40 MHz ^{注2}	—	○	○
P12_1	10 MHz	40 MHz ^{注2}	—	○	○
P12_2	10 MHz	40 MHz ^{注2}	—	○	○
P12_3	10 MHz	40 MHz	—	—	○

表 2.71 出力バッファ特性選択 (3/3)

ポート名	出力ドライバ強度選択		デバイス		
	低速モード (PDSCn_m = 0)	高速モード (PDSCn_m = 1)	100 pins	144 pins	176 pins
P12_5	10 MHz	40 MHz	—	—	○
P18_0	10 MHz	40 MHz 注2	—	○	○
P18_1	10 MHz	40 MHz 注2	—	○	○
P18_2	10 MHz	40 MHz 注2	—	○	○
P18_3	10 MHz	40 MHz 注2	—	○	○
P18_4	10 MHz	40 MHz 注2	—	—	○
P18_5	10 MHz	40 MHz 注2	—	—	○
P18_6	10 MHz	40 MHz 注2	—	—	○
P18_7	10 MHz	40 MHz 注2	—	—	○
P20_0	10 MHz	40 MHz	—	—	○
P20_1	10 MHz	40 MHz	—	—	○
P20_2	10 MHz	40 MHz	—	—	○
P20_3	10 MHz	40 MHz	—	—	○
P20_4	10 MHz	40 MHz	—	○	○
P20_5	10 MHz	40 MHz	—	○	○

注 1. 負荷容量 100pF 対応

注 2. 負荷容量 50pF 対応 (CSIH の負荷容量を 50 pF にした場合は高速モードに設定してください)

2.12 ノイズフィルタ & エッジレベル検出回路

端子に入力された信号の中には、ノイズとグリッチを除去するためにフィルタを通過するものがあります。この製品ではアナログフィルタとデジタルフィルタの両方をサポートしています。

また、フィルタ通過後、エッジ検出/レベル検出する機能もサポートしています。

最初の節で、フィルタが割り当てられているポート入力端子とそのフィルタの種類、ノイズフィルタ & エッジ/レベル検出制御レジスタと制御ビット、およびレジスタアドレスなどの概要を説明します。

デジタル/アナログフィルタ機能とノイズフィルタ & エッジ/レベル検出制御レジスタの詳細は「**2.13 ポートノイズフィルタ & エッジ/レベル検出機能説明**」を参照してください。

備考

本節のノイズフィルタ制御レジスタの <name> は、フィルタに接続の周辺機能を表します。

2.12.1 ポートフィルタの割り当て

アナログまたは、デジタルフィルタを内蔵した入力端子の一覧を次に示します。

2.12.1.1 アナログフィルタタイプ A 付き入力端子

アナログフィルタタイプ A の入力端子は、アナログフィルタおよびエッジ/レベル検出機能を搭載しています。エッジ/レベル検出は次のレジスタによって制御されます。

- フィルタ制御レジスタ FCLA0CTLm_<name> (m = 0 ~ 7)
各アナログフィルタ付きポートにはそれぞれの端子に専用の FCLA0CTLm_<name> レジスタがあります。

表 2.72 アナログフィルタタイプ A 付き入力端子 (1/2)

モジュール名	入力端子	FCLA0CTL レジスタ構成		デバイス		
		レジスタ	アドレス	100 pin	144 pin	176 pin
FCLA0	NMI	FCLA0CTL0_NMI	FFC3 4000 _H	○	○	○
	INTP0	FCLA0CTL0_INTPL	FFC3 4020 _H	○	○	○
	INTP1	FCLA0CTL1_INTPL	FFC3 4024 _H	○	○	○
	INTP2	FCLA0CTL2_INTPL	FFC3 4028 _H	○	○	○
	INTP3	FCLA0CTL3_INTPL	FFC3 402C _H	○	○	○
	INTP4	FCLA0CTL4_INTPL	FFC3 4030 _H	○	○	○
	INTP5	FCLA0CTL5_INTPL	FFC3 4034 _H	○	○	○
	INTP6	FCLA0CTL6_INTPL	FFC3 4038 _H	○	○	○
	INTP7	FCLA0CTL7_INTPL	FFC3 403C _H	○	○	○
	INTP8	FCLA0CTL0_INTPH	FFC3 4040 _H	○	○	○
	INTP9	FCLA0CTL1_INTPH	FFC3 4044 _H	—	○	○
	INTP10	FCLA0CTL2_INTPH	FFC3 4048 _H	○	○	○
	INTP11	FCLA0CTL3_INTPH	FFC3 404C _H	○	○	○
	INTP12	FCLA0CTL4_INTPH	FFC3 4050 _H	○	○	○
INTP13	FCLA0CTL5_INTPH	FFC3 4054 _H	○	○	○	

表 2.72 アナログフィルタタイプ A 付き入力端子 (2/2)

モジュール名	入力端子	FCLA0CTL レジスタ構成		デバイス		
		レジスタ	アドレス	100 pin	144 pin	176 pin
FCLA0	INTP14	FCLA0CTL6_INTPH	FFC3 4058 _H	—	○	○
	INTP15	FCLA0CTL7_INTPH	FFC3 405C _H	—	○	○

2.12.1.2 アナログフィルタタイプ B 付き入力端子

アナログフィルタタイプ B の入力端子は、アナログフィルタを搭載しています。エッジ/レベル検出は各周辺機能のレジスタによって制御されます。

表 2.73 アナログフィルタタイプ B 付き入力端子

入力端子	エッジ/レベル検出	デバイス		
		100 pin	144 pin	176 pin
TAUJ010	エッジ検出 ^{注1}	○	○	○
TAUJ011	エッジ検出 ^{注1}	○	○	○
TAUJ012	エッジ検出 ^{注1}	○	○	○
TAUJ013	エッジ検出 ^{注1}	○	○	○
TAUJ110	エッジ検出 ^{注1}	○	○	○
TAUJ111	エッジ検出 ^{注1}	○	○	○
TAUJ112	エッジ検出 ^{注1}	○	○	○
TAUJ113	エッジ検出 ^{注1}	○	○	○
TAPA0ESO	エッジ検出 ^{注2}	○	○	○
KR010	ロウレベル検出	○	○	○
KR011	ロウレベル検出	○	○	○
KR012	ロウレベル検出	○	○	○
KR013	ロウレベル検出	○	○	○
KR014	ロウレベル検出	○	○	○
KR015	ロウレベル検出	○	○	○
KR016	ロウレベル検出	○	○	○
KR017	ロウレベル検出	○	○	○

注 1. TAUJ のエッジ検出についての詳細は、「26.3.3.4 TAUJnCMURm — TAUJn チャネルモードユーザレジスタ」を参照してください。

注 2. TAPA のエッジ検出についての詳細は、「29.3.2 TAPAnCTL0 — TAPA 制御レジスタ 0」を参照してください。

2.12.1.3 アナログフィルタタイプC 付き入力端子

アナログフィルタタイプCの入力端子は、アナログフィルタ機能のみ搭載しています。

表 2.74 アナログフィルタタイプC 付き入力信号

入力端子
FLMD0
FLMD1
MODE0
MODE1
MODE2
$\overline{\text{RESET}}$
$\overline{\text{DCUTRST}}$

2.12.1.4 デジタルフィルタタイプD付き入力端子

デジタルフィルタタイプDの入力端子は、デジタルフィルタおよびエッジ検出機能を搭載しています。デジタルフィルタおよびエッジ検出は次のレジスタによって制御されます。

- フィルタ制御レジスタ FCLA0CTLm_<name>(m = 0 ~ 2)
各デジタルフィルタ付きポートには専用の FCLA0CTLm_<name> レジスタがあります。
- デジタルノイズ除去制御レジスタ DNFA<name>CTL
各 DNFA<name>CTL 制御レジスタは、1 グループにつき 3 つの入力信号のデジタルフィルタ処理を制御します。
- デジタルノイズ除去許可レジスタ DNFA<name>EN
DNFA<name>EN の DNFA<name>ENL[2:0] ビットの設定で、1 グループにつき 3 つの入力信号のデジタルノイズ除去を許可/禁止します。

表 2.75 デジタルフィルタタイプD付き入力端子

入力端子	デバイス			デジタルノイズ除去制御レジスタ		デジタルノイズ除去許可レジスタ		フィルタ制御レジスタ		
	100 pin	144 pin	176 pin	制御レジスタ	アドレス	制御レジスタ	制御ビット	アドレス	制御レジスタ	アドレス
ADCA0TRG0	○	○	○	DNFA ADCTL0CTL	FFC3 00A0 _H	DNFA ADCTL0EN (DNFAA DCTL0ENL)	DNFAADCTL0 ENL0 DNFAADCTL0 ENL1 DNFAADCTL0 ENL2	FFC3 00A4 _H (FFC3 00AC _H)	FCLA0CTL0 _ADC0 FCLA0CTL1 _ADC0 FCLA0CTL2 _ADC0	FFC3 4060 _H FFC3 4064 _H FFC3 4068 _H
ADCA1TRG0	—	○	○	DNFA ADCTL1CTL	FFC3 00C0 _H	DNFA ADCTL1EN (DNFAA DCTL1ENL)	DNFAADCTL1 ENL0 DNFAADCTL1 ENL1 DNFAADCTL1 ENL2	FFC3 00C4 _H (FFC3 00CC _H)	FCLA0CTL0 _ADC1 FCLA0CTL1 _ADC1 FCLA0CTL2 _ADC1	FFC3 4080 _H FFC3 4084 _H FFC3 4088 _H
ADCA0TRG1	○	○	○							
ADCA1TRG1	—	○	○							
ADCA0TRG2	○	○	○							
ADCA1TRG2	—	○	○							

2.12.1.5 デジタルフィルタタイプE 付き入力端子

デジタルフィルタタイプEの入力端子は、デジタルフィルタを搭載しています。デジタルフィルタは次のレジスタによって制御されます。エッジ検出は各周辺機能のレジスタによって制御されます。

- デジタルノイズ除去制御レジスタ DNFA<name>CTL
各 DNFA<name>CTL 制御レジスタは、1 グループにつき最大で 16 の入力信号のデジタルフィルタ処理を制御します。
- デジタルノイズ除去許可レジスタ DNFA<name>EN
DNFA<name>EN の DNFA<name>ENL[7:0] ビット、および DNFA<name>ENH[7:0] ビットの設定で、1 グループにつき最大で 16 の入力信号のデジタルノイズ除去を許可/禁止します。

表 2.76 デジタルフィルタタイプE付き入力端子 (1/3)

入力端子	デバイス			デジタルノイズ除去制御レジスタ		デジタルノイズ除去許可レジスタ		エッジ検出 レジスタ名	
	100 pin	144 pin	176 pin	制御レジスタ	アドレス	制御レジスタ	制御ビット		アドレス
TAUD010	○	○	○	DNFA TAUD0ICTL	FFC3 0000 _H	DNFA TAUD0IEN (DNFA TAUD0IENH/DNFA TAUD0IENL)	DNFATAUD0IENL0	FFC3 0004 _H (FFC3 0008 _H / FFC3 000C _H)	注1
TAUD011	○	○	○				DNFATAUD0IENL1		
TAUD012	○	○	○				DNFATAUD0IENL2		
TAUD013	○	○	○				DNFATAUD0IENL3		
TAUD014	○	○	○				DNFATAUD0IENL4		
TAUD015	○	○	○				DNFATAUD0IENL5		
TAUD016	○	○	○				DNFATAUD0IENL6		
TAUD017	○	○	○				DNFATAUD0IENL7		
TAUD018	○	○	○				DNFATAUD0IENH0		
TAUD019	○	○	○				DNFATAUD0IENH1		
TAUD010	○	○	○				DNFATAUD0IENH2		
TAUD011	○	○	○				DNFATAUD0IENH3		
TAUD012	○	○	○				DNFATAUD0IENH4		
TAUD013	○	○	○				DNFATAUD0IENH5		
TAUD014	○	○	○				DNFATAUD0IENH6		
TAUD015	○	○	○				DNFATAUD0IENH7		

表 2.76 デジタルフィルタタイプE付き入力端子 (2/3)

入力端子	デバイス			デジタルノイズ除去制御レジスタ		デジタルノイズ除去許可レジスタ		エッジ検出 レジスタ名
	100 pin	144 pin	176 pin	制御レジスタ	アドレス	制御レジスタ	制御ビット	
TAUB010	○	○	○	DNFA TAUB0ICTL	FFC3 0020 _H	DNFA TAUB0IEN (DNFA TAUB0IENH/DNFA TAUB0IENL)	DNFATAUB0IENL0	FFC3 0024 _H (FFC3 0028 _H / FFC3 002C _H)
TAUB011	○	○	○				DNFATAUB0IENL1	
TAUB012	○	○	○				DNFATAUB0IENL2	
TAUB013	○	○	○				DNFATAUB0IENL3	
TAUB014	○	○	○				DNFATAUB0IENL4	
TAUB015	○	○	○				DNFATAUB0IENL5	
TAUB016	○	○	○				DNFATAUB0IENL6	
TAUB017	○	○	○				DNFATAUB0IENL7	
TAUB018	○	○	○				DNFATAUB0IENH0	
TAUB019	○	○	○				DNFATAUB0IENH1	
TAUB0110	○	○	○				DNFATAUB0IENH2	
TAUB0111	○	○	○				DNFATAUB0IENH3	
TAUB0112	○	○	○				DNFATAUB0IENH4	
TAUB0113	○	○	○				DNFATAUB0IENH5	
TAUB0114	○	○	○				DNFATAUB0IENH6	
TAUB0115	○	○	○				DNFATAUB0IENH7	

表 2.76 デジタルフィルタタイプE付き入力端子 (3/3)

入力端子	デバイス			デジタルノイズ除去制御レジスタ		デジタルノイズ除去許可レジスタ		エッジ検出 レジスタ名	
	100 pin	144 pin	176 pin	制御レジスタ	アドレス	制御レジスタ	制御ビット		アドレス
TAUB110	—	—	○	DNFA TAUB1ICTL	FFC3 0040 _H	DNFA TAUB1IEN (DNFA TAUB1IENH/DNFA TAUB1IENL)	DNFATAUB1IENL0 DNFATAUB1IENL1 DNFATAUB1IENL2 DNFATAUB1IENL3 DNFATAUB1IENL4 DNFATAUB1IENL5 DNFATAUB1IENL6 DNFATAUB1IENL7 DNFATAUB1IENH0 DNFATAUB1IENH1 DNFATAUB1IENH2 DNFATAUB1IENH3 DNFATAUB1IENH4 DNFATAUB1IENH5 DNFATAUB1IENH6 DNFATAUB1IENH7	FFC3 0044 _H (FFC3 0048 _H / FFC3 004C _H)	注2
TAUB111	—	—	○						
TAUB112	—	—	○						
TAUB113	—	—	○						
TAUB114	—	—	○						
TAUB115	—	—	○						
TAUB116	—	—	○						
TAUB117	—	—	○						
TAUB118	—	—	○						
TAUB119	—	—	○						
TAUB110	—	—	○						
TAUB111	—	—	○						
TAUB112	—	—	○						
TAUB113	—	—	○						
TAUB114	—	—	○						
TAUB115	—	—	○						
ENCAOTIN0	○	○	○	DNFA ENCAOICTL	FFC3 0060 _H	DNFA ENCAO IEN (DNFA ENCAO IENL)	DNFAENCAO IENL0 DNFAENCAO IENL1 DNFAENCAO IENL2 DNFAENCAO IENL3 DNFAENCAO IENL4	FFC3 0064 _H (FFC3 006C _H)	注3
ENCAOTIN1	○	○	○						
ENCAOE0	○	○	○						
ENCAOE1	○	○	○						
ENCAOEC	○	○	○						

注 1. TAUDのエッジ検出設定については、「25.3.3.4 TAUDnCMURm — TAUDn チャネルモードユーザレジスタ」を参照してください。
 注 2. TAUBのエッジ検出設定については、「24.3.3.4 TAUBnCMURm — TAUBn チャネルモードユーザレジスタ」を参照してください。
 注 3. ENCAのエッジ検出設定については、「28.3.3 ENCANIOc0 — ENCAN I/O 制御レジスタ 0」を参照してください。

2.12.2 ポートフィルタのクロック供給

下記の表に各ポートドメインのフィルタタイプごとのクロック供給を示します。

表 2.77 ポートフィルタのクロック供給

周辺機能	ポートドメイン ^{注1}	フィルタタイプ	フィルタクロック	設定レジスタ	
				ソースクロック選択	クロック選択
ADCA0	Always-On エリア (AWO エリア)	デジタルフィルタ タイプD	DNFATCKI	CKSC_AADCAS_CTL	CKSC_AADCAD_CTL
ADCA1	Isolated エリア (ISO エリア)	デジタルフィルタ タイプD	DNFATCKI	CKSC_IADCAS_CTL	CKSC_IADCAD_CTL
TAUD0	Isolated エリア (ISO エリア)	デジタルフィルタ タイプE	DNFATCKI	CKSC_IPERI1S_CTL	—
TAUB0	Isolated エリア (ISO エリア)	デジタルフィルタ タイプE	DNFATCKI	CKSC_IPERI2S_CTL	—
TAUB1	Isolated エリア (ISO エリア)	デジタルフィルタ タイプE	DNFATCKI	CKSC_IPERI2S_CTL	—
ENCA0	Isolated エリア (ISO エリア)	デジタルフィルタ タイプE	DNFATCKI	CKSC_IPERI1S_CTL	—

注 1. 電源ドメイン

備 考

レジスタの設定については、「12.4.3 クロックセクタコントロールレジスタ」を参照してください。

2.13 ポートノイズフィルタ & エッジ/レベル検出機能説明

フィルタする外部入力信号の用途に応じて、外部信号は異なるタイプのフィルタを通過します。

備考

本節のノイズフィルタ制御レジスタの <name> は、フィルタに接続の周辺機能を表します。

2.13.1 概要

2.13.1.1 アナログフィルタタイプ

アナログフィルタは固定の特性を備えています。

- **タイプ A** : エッジ検出またはレベル検出をともなうアナログフィルタです。外部割り込み信号に使用されています。
- **タイプ B** : アナログフィルタです。エッジ検出は各周辺機能より行われます。タイマ入力信号、Hi-Z 制御非同期入力信号およびキーリターン入力信号に使用されています。
- **タイプ C** : アナログフィルタのみです。外部 **RESET** 入力およびモード信号に使用されます。

2.13.1.2 デジタルフィルタタイプ

デジタルフィルタの特性はアプリケーションのニーズに合わせて調整できます。

- **タイプ D** : エッジ検出をともなうデジタルフィルタです。A/D コンバータの外部トリガ端子に使用されています。
- **タイプ E** : デジタルフィルタです。エッジ検出は各周辺機能より行われます。タイマ入力信号およびエンコーダ入力信号に使用されています。

2.13.2 アナログフィルタ

2.13.2.1 アナログフィルタ特性

アナログフィルタを内蔵する端子の入力信号は「第40章 電気的特性」の入力条件を参照してください。

2.13.2.2 アナログフィルタ制御レジスタ

アナログフィルタを備えた入力信号には、それぞれ専用の制御レジスタ FCLA0CTLm_<name> または各周辺マクロ内の制御レジスタが用意されています。

制御レジスタと入力信号との対応、および各レジスタのアドレスについては、「2.12.1 ポートフィルタの割り当て」内の「表 2.72 アナログフィルタタイプ A 付き入力端子」を参照してください。

2.13.2.3 スタンバイモードでのアナログフィルタ

DeepSTOP からのウェイクアップ機能に属するアナログフィルタは Always-On エリア (AWO エリア) に配置されています。Always-On エリア (AWO エリア) のアナログフィルタは常に動作しています。

スタンバイモードにおけるアナログフィルタとそのウェイクアップ機能はフィルタタイプに依存します。以下のアナログフィルタタイプの説明を参照して下さい。

(1) アナログフィルタタイプ A

次にアナログフィルタタイプ A のブロック図を示します。

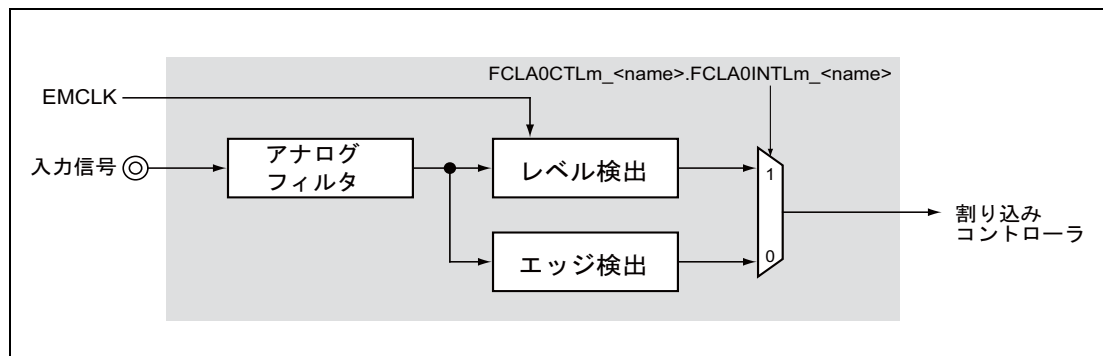


図 2.11 アナログフィルタタイプ A のブロック図

外部信号がアナログフィルタを通過してノイズとグリッチを除去したあと、信号のレベルまたはその変化（エッジ）によってイベントを検出すると、それに応じた信号を発生します。

検出モードは制御ビット FCLA0CTLm_<name>.FCLA0INTLm_<name> で選択します。

- FCLA0INTLm_<name> ビット = 0 : エッジ検出モード
FCLA0CTLm_<name>.FCLA0INTRm_<name> ビットと
FCLA0CTLm_<name>.FCLA0INTFm_<name> ビットの設定に応じて、それぞれ立ち上がりエッジまたは立ち下がりエッジを検出することができます。
- FCLA0INTLm_<name> ビット = 1 : レベル検出モード
FCLA0CTLm_<name>.FCLA0INTRm_<name> ビットの設定に応じて、ハイレベルまたはロウレベルを検出することができます。

アナログフィルタの検出条件を次の表に示します。

表 2.78 アナログフィルタイベント検出条件

FCLA0INTLm_<name>	FCLA0INTFm_<name>	FCLA0INTRm_<name>	エッジ検出モード	レベル検出モード
0	0	0	検出しない	無効
	0	1	立ち上がりエッジ	
	1	0	立ち下がりエッジ	
	1	1	両エッジ	
1	X	0	無効	ロウレベル
	X	1		ハイレベル

スタンバイモードのアナログフィルタタイプ A

アナログフィルタタイプ A の出力信号は、常にスタンバイモードウェイクアップ信号として使用できます。

(2) アナログフィルタタイプ B

次にアナログフィルタタイプ B のブロック図を示します。

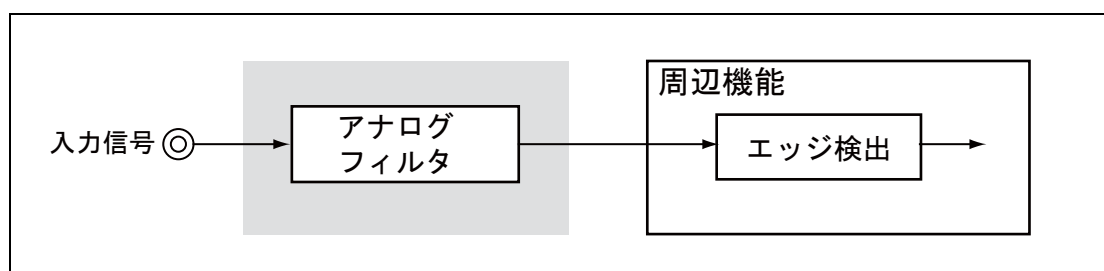


図 2.12 アナログフィルタタイプ B のブロック図

スタンバイモードでのアナログフィルタタイプ B

アナログフィルタタイプ B の出力信号は、常にスタンバイモードウェイクアップ信号として使用できます。

(3) アナログフィルタタイプ C

次にアナログフィルタタイプ C のブロック図を示します。

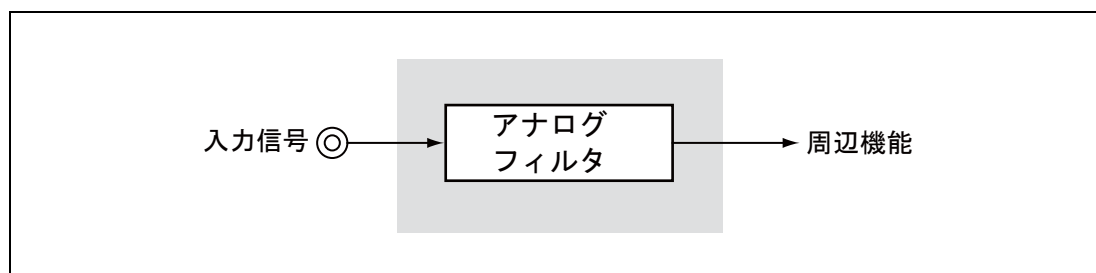


図 2.13 アナログフィルタタイプ C のブロック図

発生する信号は、常にアナログフィルタを通過した入力信号です。

スタンバイモードでのアナログフィルタタイプ C

本製品のアナログフィルタタイプ C を搭載した端子は、スタンバイモードからのウェイクアップ要因に対応しません。

2.13.3 デジタルフィルタ

2.13.3.1 デジタルフィルタ特性

デジタルフィルタは、アプリケーションのニーズに合わせてフィルタ特性を調整できます。

入力信号はサンプリング周波数 f_s でサンプリングされます。

サンプリングしたレベルが指定された数連続して同じレベル（ハイまたはロウ）であったとき、その信号レベルを有効と判断し、それに応じて出力信号を設定します。

指定された数サンプリングしたレベル（同レベルのサンプル）の中で外部信号のレベルが変化した場合、その信号レベルをノイズと判断します。フィルタ出力信号は変化しません。

外部信号をノイズとして判断するときのパルス長は、サンプリング周波数および指定された同レベルのサンプル数によって変わります。

いずれのパラメータも設定可能です。

- DNFA<name>CTL.DNFA<name>PRS[2:0] を設定することによって、
 $f_s = f_{\text{DNFATCKI}} / 2^{\text{DNFA<name>PRS[2:0]}}$
 $(f_{\text{DNFATCKI}}$ は DNFATCKI クロックの周波数) に基づいてサンプリング周波数を選択することができます。
- DNFA<name>CTL.DNFA<name>NFSTS[1:0] で同レベルのサンプル数 (2 ~ 5) を指定します。

$$s = \text{DNFA<name>NFSTS[1:0]} + 2$$

以下よりも短い外部信号パルスは常に抑制されます。

$$s \times 1/f_s$$

以下よりも長い外部信号パルスは常に有効と判断され、フィルタ出力へ送られます。

$$(s + 1) \times 1/f_s$$

以下の範囲内の外部信号パルスは抑制される場合もあれば、有効と判断される場合もあります。

$$s \times 1/f_s \sim (s + 1) \times 1/f_s$$

DNFA<name>NFSTS[1:0] = 01_B (同レベルのサンプル数: 3) としたときのフィルタ動作例を次の図に示します。

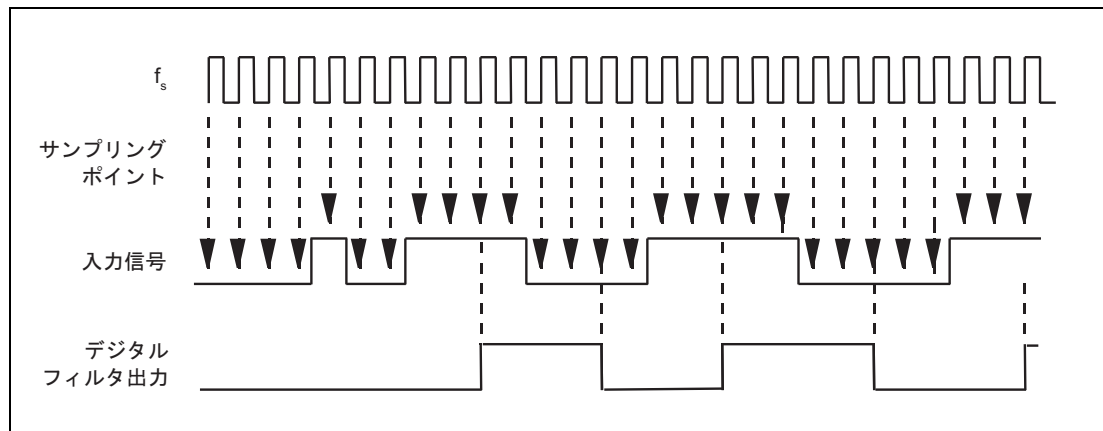


図 2.14 デジタルフィルタ機能

2.13.3.2 デジタルフィルタグループ

デジタルフィルタ付き入力信号は、最大 16 信号までを 1 つのグループとした信号グループで構成されています。

デジタルフィルタの特性は、DNFA<name>CTL.DNFA<name>PRS[2:0] と DNFA<name>NFSTS[1:0] で指定し、信号グループ単位で適用されます。

ただし、デジタルフィルタの有効/無効は、DNFA<name>EN.DNFA<name>ENLm(m = 0 ~ 7) および DNFA<name>EN.DNFA<name>ENHm(m = 0 ~ 7) によって信号ごとに設定できます。

注 意

1. デジタルフィルタの出力信号を兼用機能に入力する場合、デジタルフィルタを有効 (DNFA<name>EN.DNFA<name>ENLm(m = 0 ~ 7) = 1 および DNFA<name>EN.DNFA<name>ENHm(m = 0 ~ 7) = 1) にし、次の時間を経過した後、ポート端子を兼用機能に切り替えてください。

$$s = \text{DNFA<name>NFSTS[1:0]} + 2$$

$$s \times 1/f_s + 2 \times 1/f_{\text{DNFATCKI}}$$

2. デジタルフィルタのイベント出力信号を割り込みとして使用する場合は、割り込み禁止状態でデジタルフィルタを有効 (DNFA<name>EN.DNFA<name>ENLm(m = 0 ~ 7) = 1 および DNFA<name>EN.DNFA<name>ENHm(m = 0 ~ 7) = 1) にしてください。また、デジタルフィルタを有効にしてから次の時間を経過した後に割り込み要求フラグをクリアした上で、割り込みを許可してください。

$$s \times 1/f_s + 3 \times 1/f_{\text{DNFATCKI}}$$

2.13.3.3 スタンバイモードのデジタルフィルタ

DeepSTOP からのウェイクアップ機能に属するデジタルフィルタは Always-On エリア (AWO エリア) に配置されています。Always-On エリア (AWO エリア) のデジタルフィルタは常に動作しています。

デジタルノイズ除去を行うには、クロック供給 DNFATCKI が動作している必要があります。本製品のデジタルフィルタを搭載した端子はスタンバイモードからのウェイクアップ要因に対応しません。

2.13.3.4 デジタルフィルタ制御レジスタ

最大 16 個のデジタルフィルタで構成される各グループに対して、デジタルノイズ除去制御レジスタ DNFA<name>CTL およびデジタルノイズ除去許可レジスタ DNFA<name>EN は、同じグループ内 (周辺機能グループを <name> で表示) の全フィルタに対して設定を行います。

DNFA<name>CTL レジスタは、<name> のデジタルフィルタに対して、デジタルノイズ除去フィルタの特性を設定します。

DNFA<name>EN レジスタは DNFA<name>EN.DNFA<name>ENLm(m = 0 ~ 7) および DNFA<name>EN.DNFA<name>ENHm(m = 0 ~ 7) の個々のビットで各フィルタの有効/無効を設定します。

エッジ検出の設定は、フィルタ専用制御レジスタおよび、各周辺機能のレジスタによって行います。

FCLA0CTLm_ADCn レジスタは、1 つのレジスタグループ表示に 3 つのレジスタで構成されています。レジスタインデクス n の範囲は 0 ~ 1 です。

制御レジスタと入力信号との対応、および各レジスタのアドレスについては、「**2.12.1 ポートフィルタの割り当て**」内の「**表 2.75 デジタルフィルタタイプ D 付き入力端子**」および「**表 2.76 デジタルフィルタタイプ E 付き入力端子**」を参照してください。

注 意

DNFA<name>EN.DNFA<name>ENLm(m = 0 ~ 7) = 1 および DNFA<name>EN.DNFA<name>ENHm(m = 0 ~ 7) = 1 で関連するデジタルフィルタを有効にしている間は制御レジスタの設定は変えないでください。変更した場合、予期しないフィルタ出力が発生するおそれがあります。

(1) デジタルフィルタタイプ D

次にデジタルフィルタタイプ D のブロック図を示します。

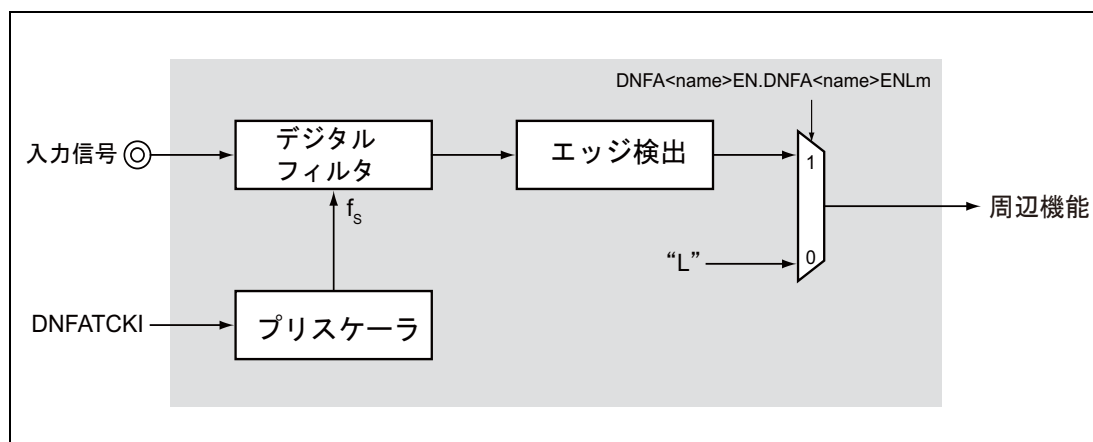


図 2.15 デジタルフィルタタイプ D のブロック図

次の表に示すように、デジタルフィルタタイプ D で生成された信号はレジスタ設定に依存します。

表 2.79 デジタルフィルタタイプ D の出力オプション

DNFA<name>EN.DNFA<name>ENLm	各周辺機能への出力信号
0	ロウレベルに固定
1	フィルタを通過した入力信号

(2) デジタルフィルタタイプ E

次にデジタルフィルタタイプ E のブロック図を示します。

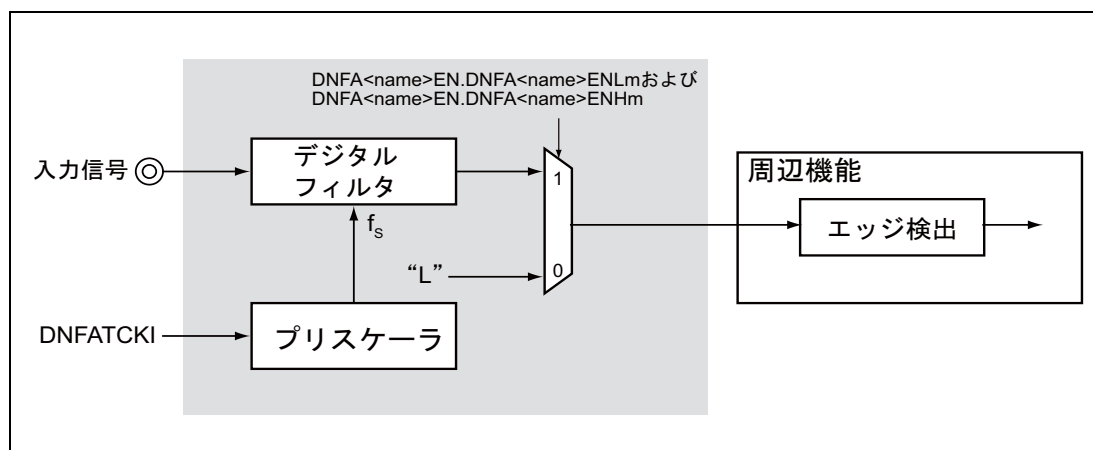


図 2.16 デジタルフィルタタイプ E のブロック図

次の表に示すように、デジタルフィルタタイプ E で生成された信号はレジスタ設定に依存します。

表 2.80 デジタルフィルタタイプ E の出力オプション

DNFA<name>EN.DNFA<name>ENLm および DNFA<name>EN.DNFA<name>ENHm	各周辺機能への出力信号
0	ロウレベルに固定
1	フィルタを通過した入力信号

2.13.4 フィルタ制御レジスタ

アナログフィルタおよびデジタルフィルタは、次のレジスタによって制御、動作します。

表 2.81 フィルタレジスタ一覧

モジュール名	レジスタ名	略号	アドレス
FCLA0	フィルタ制御レジスタ m	FCLA0CTLm_<name>	各レジスタのアドレスについては、「2.12.1 ポートフィルタの割り当て」内の各表を参照してください。
DNF	デジタルノイズ除去制御レジスタ	DNFA<name>CTL	
	デジタルノイズ除去許可レジスタ	DNFA<name>EN	
	デジタルノイズ除去許可レジスタ H	DNFA<name>ENH	
	デジタルノイズ除去許可レジスタ L	DNFA<name>ENL	

2.13.4.1 FCLA0CTLm_<name> — フィルタ制御レジスタ

アナログフィルタおよびデジタルフィルタの動作を制御します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FCLA0CTLm_<name> レジスタと入力信号の対応、および各レジスタのアドレスについては、「2.12.1 ポートフィルタの割り当て」内の各表を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	FCLA0INTLm_<name>	FCLA0INTFm_<name>	FCLA0INTRm_<name>
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 2.82 FCLA0CTLm_<name> レジスタの内容

ビット位置	ビット名	機能
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	FCLA0INTLm_<name>	検出モード選択 0: エッジ検出モード 1: レベル検出モード 備考: このビットはアナログフィルタタイプ A でのみ有効です。
1	FCLA0INTFm_<name>	<ul style="list-style-type: none"> レベル検出モード (FCLA0INTLm_<name> ビット = 1) 時: このビットによる影響なし エッジ検出モード (FCLA0INTLm_<name> ビット = 0) 時: 立ち下がりエッジ検出制御 0: 立ち下がりエッジ検出無効 1: 立ち下がりエッジ検出有効 備考: このビットはアナログフィルタタイプ A とデジタルフィルタタイプ D でのみ有効です。ただし、デジタルフィルタタイプ D はエッジ検出モードになります。
0	FCLA0INTRm_<name>	<ul style="list-style-type: none"> レベル検出モード (FCLA0INTLm_<name> ビット = 1) 時: 検出レベル選択 0: ローレベル検出 1: ハイレベル検出 エッジ検出モード (FCLA0INTLm_<name> ビット = 0) 時: 立ち上がりエッジ検出制御 0: 立ち上がりエッジ検出無効 1: 立ち上がりエッジ検出有効 備考: このビットはアナログフィルタタイプ A とデジタルフィルタタイプ D でのみ有効です。ただし、デジタルフィルタタイプ D はエッジ検出モードになります。

注 意

デジタルフィルタタイプ D: ビット 2 には必ず 0 を設定してください。

2.13.4.2 DNFA<name>CTL — デジタルノイズ除去制御レジスタ

デジタルノイズ除去フィルタの特性を指定します。

備考

このレジスタはデジタルフィルタタイプDとデジタルフィルタタイプEでのみ有効です。

アクセス 8ビット単位でリード/ライト可能です。

アドレス DNFA<name>CTL レジスタと入力信号の対応、および各レジスタのアドレスについては、「2.12.1 ポートフィルタの割り当て」内の「表 2.75 デジタルフィルタタイプD付き入力端子」と「表 2.76 デジタルフィルタタイプE付き入力端子」を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	DNFA<name>NFSTS[1:0]	—	—	—	DNFA<name>PRS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R	R	R/W	R/W	R/W

表 2.83 DNFA<name>CTL レジスタの内容

ビット位置	ビット名	機能																		
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																		
6、5	DNFA<name>NFSTS[1:0]	DNFA<name>NFSTS[1:0] ビットは、外部信号パルスの有効/無効を判断する際のサンプル数を指定します。 <table border="1" data-bbox="651 1086 1414 1274"> <thead> <tr> <th>DNFA<name>NFSTS[1:0]</th> <th>サンプル数</th> </tr> </thead> <tbody> <tr> <td>00_B</td> <td>2</td> </tr> <tr> <td>01_B</td> <td>3</td> </tr> <tr> <td>10_B</td> <td>4</td> </tr> <tr> <td>11_B</td> <td>5</td> </tr> </tbody> </table>	DNFA<name>NFSTS[1:0]	サンプル数	00 _B	2	01 _B	3	10 _B	4	11 _B	5								
DNFA<name>NFSTS[1:0]	サンプル数																			
00 _B	2																			
01 _B	3																			
10 _B	4																			
11 _B	5																			
4、3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																		
2～0	DNFA<name>PRS[2:0]	デジタルフィルタサンプリングクロック選択 <table border="1" data-bbox="651 1406 1414 1742"> <thead> <tr> <th>DNFA<name>PRS[2:0]</th> <th>サンプリングクロック周波数</th> </tr> </thead> <tbody> <tr> <td>000_B</td> <td>DNFATCKI / 1</td> </tr> <tr> <td>001_B</td> <td>DNFATCKI / 2</td> </tr> <tr> <td>010_B</td> <td>DNFATCKI / 4</td> </tr> <tr> <td>011_B</td> <td>DNFATCKI / 8</td> </tr> <tr> <td>100_B</td> <td>DNFATCKI / 16</td> </tr> <tr> <td>101_B</td> <td>DNFATCKI / 32</td> </tr> <tr> <td>110_B</td> <td>DNFATCKI / 64</td> </tr> <tr> <td>111_B</td> <td>DNFATCKI / 128</td> </tr> </tbody> </table>	DNFA<name>PRS[2:0]	サンプリングクロック周波数	000 _B	DNFATCKI / 1	001 _B	DNFATCKI / 2	010 _B	DNFATCKI / 4	011 _B	DNFATCKI / 8	100 _B	DNFATCKI / 16	101 _B	DNFATCKI / 32	110 _B	DNFATCKI / 64	111 _B	DNFATCKI / 128
DNFA<name>PRS[2:0]	サンプリングクロック周波数																			
000 _B	DNFATCKI / 1																			
001 _B	DNFATCKI / 2																			
010 _B	DNFATCKI / 4																			
011 _B	DNFATCKI / 8																			
100 _B	DNFATCKI / 16																			
101 _B	DNFATCKI / 32																			
110 _B	DNFATCKI / 64																			
111 _B	DNFATCKI / 128																			

2.13.4.3 DNFA<name>EN — デジタルノイズ除去許可レジスタ

任意の入力信号のデジタルノイズ除去を有効/無効にします。

備考

このレジスタはデジタルフィルタタイプDとデジタルフィルタタイプEでのみ有効です。

アクセス 16ビット単位でリード/ライト可能です。
上位バイト DNFA<name>ENH[7:0] および下位バイト DNFA<name>ENL[7:0] は、DNFA<name>ENH/
DNFA<name>ENL を設定することによりそれぞれ 8/1 ビット単位でアクセス可能です。

アドレス DNFA<name>EN レジスタと入力信号の対応、および各レジスタのアドレスについては、「2.12.1 ポート
フィルタの割り当て」内の「表 2.75 デジタルフィルタタイプD 付き入力端子」と「表 2.76 デジタル
フィルタタイプE 付き入力端子」を参照してください。

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DNFA <name> ENH7	DNFA <name> ENH6	DNFA <name> ENH5	DNFA <name> ENH4	DNFA <name> ENH3	DNFA <name> ENH2	DNFA <name> ENH1	DNFA <name> ENH0	DNFA <name> ENL7	DNFA <name> ENL6	DNFA <name> ENL5	DNFA <name> ENL4	DNFA <name> ENL3	DNFA <name> ENL2	DNFA <name> ENL1	DNFA <name> ENL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.84 DNFA<name>EN レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	DNFA<name>ENH [7:0] DNFA<name>ENL [7:0]	デジタルノイズ除去有効/無効制御 0 : デジタルノイズ除去無効 1 : デジタルノイズ除去有効

2.13.4.4 DNFA<name>ENH — デジタルノイズ除去許可レジスタ H

このレジスタの設定は、DNFA<name>EN レジスタの上位 8 ビットと一致します。

備考

このレジスタはデジタルフィルタタイプ E でのみ有効です。

アクセス 8 ビット単位または 1 ビット単位でリード/ライト可能です。

アドレス DNFA<name>ENH レジスタと入力信号の対応、および各レジスタのアドレスについては、「2.12.1 ポートフィルタの割り当て」内の「表 2.76 デジタルフィルタタイプ E 付き入力端子」を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	DNFA <name> ENH7	DNFA <name> ENH6	DNFA <name> ENH5	DNFA <name> ENH4	DNFA <name> ENH3	DNFA <name> ENH2	DNFA <name> ENH1	DNFA <name> ENH0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各ビット機能の詳細については、「2.13.4.3 DNFA<name>EN — デジタルノイズ除去許可レジスタ」を参照してください。

2.13.4.5 DNFA<name>ENL — デジタルノイズ除去許可レジスタ L

このレジスタの設定は、DNFA<name>EN レジスタの下位 8 ビットと一致します。

備考

このレジスタはデジタルフィルタタイプ D とデジタルフィルタタイプ E でのみ有効です。

アクセス 8 ビット単位または 1 ビット単位でリード/ライト可能です。

アドレス DNFA<name>ENH レジスタと入力信号の対応、および各レジスタのアドレスについては、「2.12.1 ポートフィルタの割り当て」内の「表 2.75 デジタルフィルタタイプ D 付き入力端子」と「表 2.76 デジタルフィルタタイプ E 付き入力端子」を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	DNFA <name> ENL7	DNFA <name> ENL6	DNFA <name> ENL5	DNFA <name> ENL4	DNFA <name> ENL3	DNFA <name> ENL2	DNFA <name> ENL1	DNFA <name> ENL0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各ビット機能の詳細については、「2.13.4.3 DNFA<name>EN — デジタルノイズ除去許可レジスタ」を参照してください。

第3章 CPUシステム

3.1 概要

3.1.1 ブロック構成

RH850/F1K のブロック構成を図 3.1 に示します。

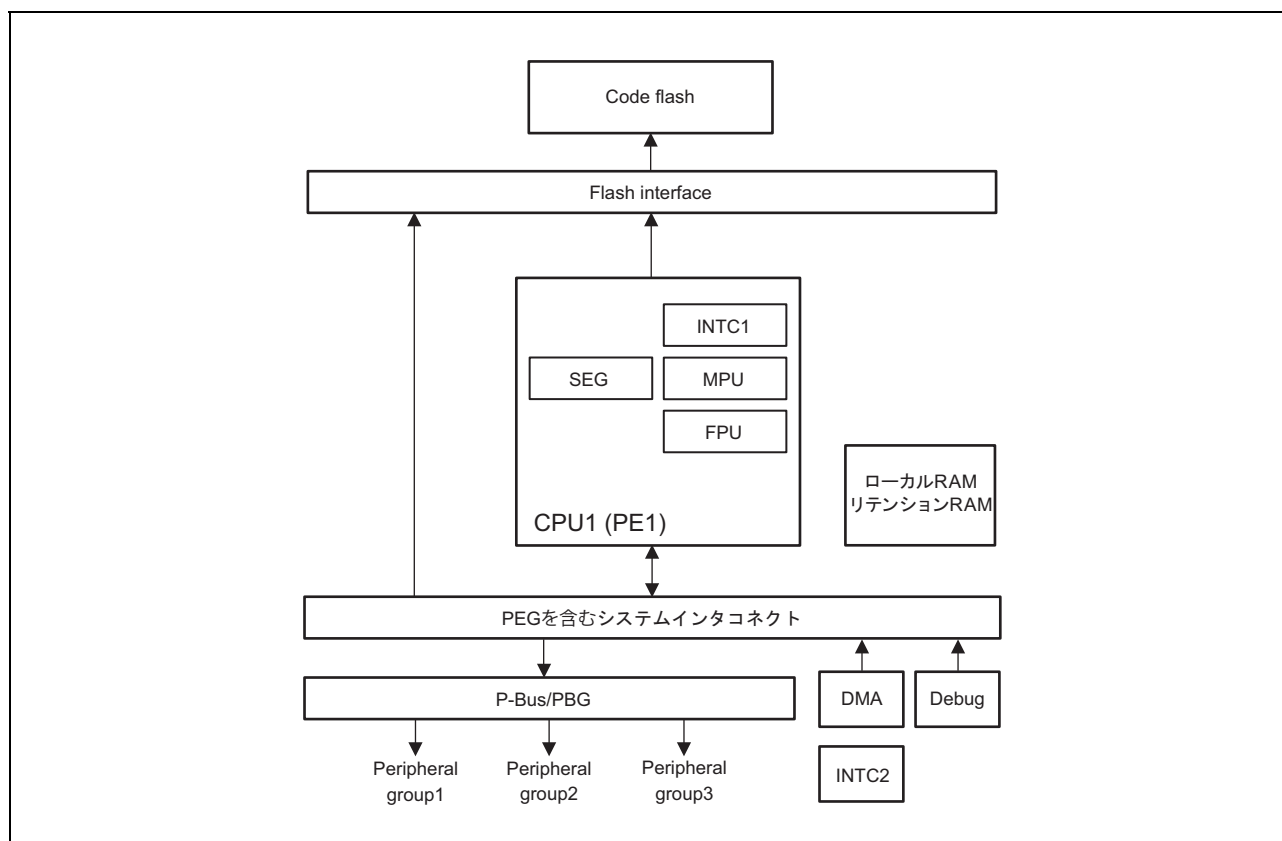


図 3.1 RH850/F1K ブロック構成図

CPU1 (PE1)

メイン CPU として、RH850 G3KH コアを搭載します。

ローカル RAM (Local RAM)

高速アクセス可能な RAM です。

リテンション RAM (Retention RAM)

DeepSTOP モードで値を保持します。ローカル RAM 領域とリテンション RAM 領域は連続して割り当てられているため、DMA とのデータ共有を目的としたローカル RAM としてリテンション RAM を使用することも可能です。

コードフラッシュ (Code Flash)

プログラム格納用に、Code Flash を搭載しています。CPU1 と Flash Interface を介して接続します。

データフラッシュ (Data Flash)

CPU1 から書き換え可能な Flash メモリです。コードフラッシュと比較して大きな書き換え回数を持つフラッシュメモリです。

P-Bus

周辺 IP を接続するバスです。P-Bus は、Peripheral Group 1 ～ 3 に分かれています。

INTC1、INTC2

割り込みコントローラは INTC1 と INTC2 に分かれています。

DMA

DMA 転送モジュール DMAC を搭載します。

Slave Guard

特定のバスマスタからの不正アクセスを防止するシステムです。次の Guard 機構で構成されます。

(1) PE ガード (PEG)

外部マスタから PE 内資源 (ローカル RAM および リテンション RAM) への不正なアクセスを防止するシステムです。リセット解除後は自 PE 以外からのアクセスは禁止状態になっています。

(2) システムエラーガード (SEG)

SYSERR の応答方法をレジスタが制御します。

(3) 周辺ガード (PBG)

周辺ガードは周辺機能への不正なアクセスを防止するシステムです。周辺回路内のコントロールレジスタは不正なアクセスから保護されます。

詳細は、「**第 33 章 ファンクショナルセーフティ**」を参照してください。

3.2 CPU

3.2.1 コア機能

3.2.1.1 特長

RH850 G3KH コアの特長を**表 3.1**に示します。

表 3.1 RH850 G3KH コアの特長

項目	特長
CPU	<ul style="list-style-type: none"> • 組み込み制御用高性能 32 ビットアーキテクチャ • 32 ビット内部データバス • 32 本の 32 ビット汎用レジスタ • RISC タイプ命令セット <ul style="list-style-type: none"> – ロング/ショート形式を持つロード/ストア命令 – 3 オペランド命令 – C 言語に基づく命令セット • CPU 動作モード <ul style="list-style-type: none"> – ユーザモード、スーパバイザモード • アドレス空間：データ/命令ともに 4G バイトリニア
コプロセッサ	<ul style="list-style-type: none"> • 浮動小数点演算コプロセッサ (FPU) <ul style="list-style-type: none"> – 単精度 (32 ビット) をサポート – IEEE754 に準拠したデータタイプおよび例外をサポート – 丸めモード：近傍、0 方向、+∞方向、-∞方向 – 非正規化数の扱い：0 への切り捨て、または IEEE754 準拠のための例外通知
例外/割り込み	<ul style="list-style-type: none"> • チャンネルごとに設定可能な 16 レベルの割り込み優先度 • 性能要求/メモリ消費量によって選択可能なベクタ選択方式 <ul style="list-style-type: none"> – 直接分岐方式の例外ベクタ – アドレステーブル参照の間接分岐方式の例外ベクタ • 専用命令 (PUSHSP, POPSP) による割り込み時のコンテキスト高速退避/復帰処理の支援
メモリ管理	<ul style="list-style-type: none"> • メモリ保護機能搭載 (MPU)：16 領域設定可能
キャッシュ	<ul style="list-style-type: none"> • キャッシュメモリ非搭載

3.2.1.2 レジスタセット

この項では、CPU 内蔵のプログラムレジスタおよびシステムレジスタについて説明します。

(1) プログラムレジスタ

プログラムレジスタには、汎用レジスタ (r0 ~ r31) とプログラムカウンタ (PC) があります。

表 3.2 プログラムレジスタ一覧

プログラムレジスタ	名称	機能	説明
汎用レジスタ	r0	ゼロレジスタ	常に 0 を保持
	r1	アセンブラ予約レジスタ	アドレス生成用のワーキングレジスタとして使用
	r2	アドレス/データ変数用レジスタ (使用するリアルタイム OS がこのレジスタを使用していない場合)	
	r3	スタックポインタ (SP)	関数コール時のスタックフレーム生成時に使用
	r4	グローバルポインタ (GP)	データ領域のグローバル変数をアクセスするときに使用
	r5	テキストポインタ (TP)	テキスト領域 (プログラムコードを配置する領域) の先頭を示すレジスタとして使用
	r6 ~ r29	アドレス/データ変数用レジスタ	
	r30	エレメントポインタ (EP)	メモリをアクセスするときのアドレス生成用ベースポインタとして使用
	r31	リンクポインタ (LP)	コンパイラが関数コールをするときに使用
プログラムカウンタ	PC	プログラム実行中の命令アドレスを保持	

備 考

アセンブラや C コンパイラで使用される r1、r3 ~ r5、r31 の詳細な説明は、それぞれのソフトウェア開発環境のドキュメントを参照してください。

(a) 汎用レジスタ

汎用レジスタとして、r0～r31の32本が用意されています。これらのレジスタは、すべてデータ変数用またはアドレス変数用として利用できます。汎用レジスタのうち、r0～r5、r30、r31は、ソフトウェア開発環境において特殊な用途に用いられることを想定しているため、使用する際には次のような注意が必要です。

1. r0、r3、r30

命令により暗黙的に使用されます。

r0は常に0を保持しているレジスタであり、0を使用する演算やベースアドレスが0のアドレッシングで使用されます。

r3はPREPARE命令、DISPOSE命令、PUSHSP命令、POPSP命令により、暗黙的に使用されます。

r30はSLD命令とSST命令により、メモリをアクセスするときのベースポイントとして使用されます。

2. r1、r4、r5、r31

アセンブラとCコンパイラにより暗黙的に使用されます。

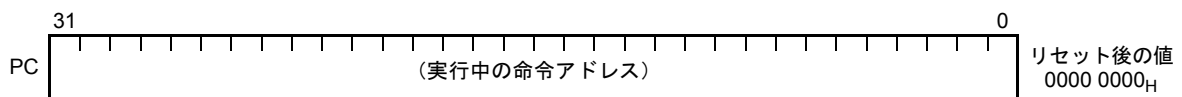
これらのレジスタを使用する際には、レジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。

3. r2

リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、アドレス変数用またはデータ変数用レジスタとして利用できます。

(b) PC — プログラムカウンタ

プログラム実行中の命令アドレスを保持しています。また、ビット0は0に固定されており、奇数番地への分岐はできません。



備考 リセット後の値はリセットベクタの設定値によって異なります。詳細は「(q) RBASE — リセットベクタベースアドレス」を参照してください。

(2) 基本システムレジスタ

基本システムレジスタは、CPUの状態制御、例外情報保持などを行います。

システムレジスタへのリード/ライトは、LDSR命令、STSR命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.3 基本システムレジスタ一覧

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR0,0	EIPC	EI レベル例外受け付け時の状態退避レジスタ	SV
SR1,0	EIPSW	EI レベル例外受け付け時の状態退避レジスタ	SV
SR2,0	FEPC	FE レベル例外受け付け時の状態退避レジスタ	SV
SR3,0	FEPSW	FE レベル例外受け付け時の状態退避レジスタ	SV
SR5,0	PSW	プログラムステータスワード	注1
SR6,0	FPSR	(FPU 機能レジスタ参照)	CU かつ SV
SR7,0	FPEPC	(FPU 機能レジスタ参照)	CU かつ SV
SR8,0	FPST	(FPU 機能レジスタ参照)	CU
SR9,0	FPCC	(FPU 機能レジスタ参照)	CU
SR10,0	FPCFG	(FPU 機能レジスタ参照)	CU
SR11,0	FPEC	(FPU 機能レジスタ参照)	CU かつ SV
SR13,0	EIIC	EI レベル例外要因	SV
SR14,0	FEIC	FE レベル例外要因	SV
SR16,0	CTPC	CALLT 実行時の状態退避レジスタ	UM
SR17,0	CTPSW	CALLT 実行時の状態退避レジスタ	UM
SR20,0	CTBP	CALLT ベースポインタ	UM
SR28,0	EIWR	EI レベル例外用作業レジスタ	SV
SR29,0	FEWR	FE レベル例外用作業レジスタ	SV
SR0,1	MCFG0	マシンコンフィグレーション	SV
SR2,1	RBASE	リセットベクタベースアドレス	SV
SR3,1	EBASE	例外ハンドラベクタアドレス	SV
SR4,1	INTBP	割り込みハンドラアドレステーブルのベースアドレス	SV
SR5,1	MCTL	CPU の制御	SV
SR6,1	PID	プロセッサ識別子	SV
SR11,1	SCCFG	SYSCALL の動作設定	SV
SR12,1	SCBP	SYSCALL ベースポインタ	SV
SR0,2	HTCFG0	スレッドコンフィグレーション	SV
SR6,2	MEA	メモリエラーアドレス	SV
SR7,2	ASID	アドレス空間識別子	SV
SR8,2	MEI	メモリエラー情報	SV

注 1. ビットによってアクセス権限が異なります。

(a) EIPC — EI レベル例外受け付け時の状態退避レジスタ

EI レベル例外を受け付けた場合、EI レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（ソフトウェア編の「例外の実行形態」を参照してください）。

EI レベル例外時状態退避レジスタは、1組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

EIPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

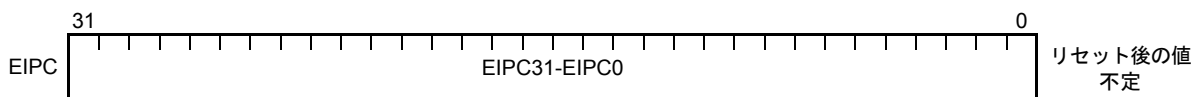


表 3.4 EIPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 1	EIPC31-EIPC1	EI レベル例外受け付け時の復帰 PC を示します。	R/W	不定
0	EIPC0	EI レベル例外受け付け時の復帰 PC を示します。常に 0 を設定してください。1 を設定した場合でも、EIRET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

(b) EIPSW — EI レベル例外受け付け時の状態退避レジスタ

EI レベル例外を受け付けた場合、そのときの PSW の内容が退避されます。

EI レベル例外時状態退避レジスタは、1組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

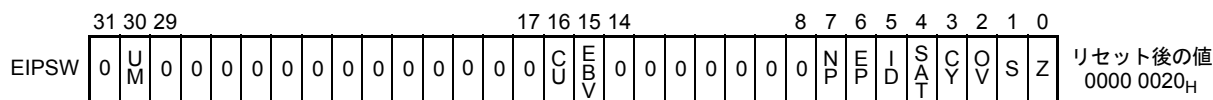


表 3.5 EIPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	—	(将来のための予約です。必ず 0 を設定してください)	R	0
30	UM	レベル例外受け付け時の PSW.UM ビットを退避します。	R/W	0
29 ~ 17	—	(将来のための予約です。必ず 0 を設定してください)	R	0
16	CU	EI レベル例外受け付け時の PSW.CU フィールドを退避します。	R/W	0
15	EBV	EI レベル例外受け付け時の PSW.EBV ビットを退避します。	R/W	0
14 ~ 8	—	(将来のための予約です。必ず 0 を設定してください)	R	0
7	NP	EI レベル例外受け付け時の PSW.NP ビットを退避します。	R/W	0
6	EP	EI レベル例外受け付け時の PSW.EP ビットを退避します。	R/W	0
5	ID	EI レベル例外受け付け時の PSW.ID ビットを退避します。	R/W	1
4	SAT	EI レベル例外受け付け時の PSW.SAT ビットを退避します。	R/W	0
3	CY	EI レベル例外受け付け時の PSW.CY ビットを退避します。	R/W	0
2	OV	EI レベル例外受け付け時の PSW.OV ビットを退避します。	R/W	0
1	S	EI レベル例外受け付け時の PSW.S ビットを退避します。	R/W	0
0	Z	EI レベル例外受け付け時の PSW.Z ビットを退避します。	R/W	0

(c) FEPC — FE レベル例外受け付け時の状態退避レジスタ

FE レベル例外を受け付けた場合、FE レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（ソフトウェア編の「例外の実行形態」を参照してください）。

FE レベル例外時状態退避レジスタは、1組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

FEPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

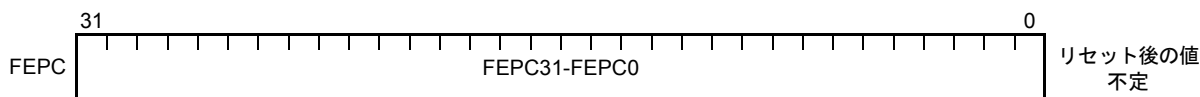


表 3.6 FEPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 1	FEPC31-FEPC1	FE レベル例外受け付け時の復帰 PC を示します。	R/W	不定
0	FEPC0	FE レベル例外受け付け時の復帰 PC を示します。常に 0 を設定してください。1 を設定した場合でも、FERET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

(d) FEPSW — FE レベル例外受け付け時の状態退避レジスタ

FE レベル例外を受け付けた場合、そのときの PSW の内容が退避されます。

FE レベル例外時状態退避レジスタは、1組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

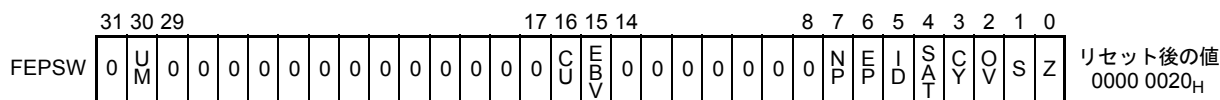


表 3.7 FEPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	—	(将来のための予約です。必ず 0 を設定してください)	R	0
30	UM	FE レベル例外受け付け時の PSW.UM ビットを退避します。	R/W	0
29 ~ 17	—	(将来のための予約です。必ず 0 を設定してください)	R	0
16	CU	EI レベル例外受け付け時の PSW.CU フィールドを退避します。	R/W	0
15	EBV	EI レベル例外受け付け時の PSW.EBV ビットを退避します。	R/W	0
14 ~ 8	—	(将来のための予約です。必ず 0 を設定してください)	R	0
7	NP	FE レベル例外受け付け時の PSW.NP ビットを退避します。	R/W	0
6	EP	FE レベル例外受け付け時の PSW.EP ビットを退避します。	R/W	0
5	ID	FE レベル例外受け付け時の PSW.ID ビットを退避します。	R/W	1
4	SAT	FE レベル例外受け付け時の PSW.SAT ビットを退避します。	R/W	0
3	CY	FE レベル例外受け付け時の PSW.CY ビットを退避します。	R/W	0
2	OV	FE レベル例外受け付け時の PSW.OV ビットを退避します。	R/W	0
1	S	FE レベル例外受け付け時の PSW.S ビットを退避します。	R/W	0
0	Z	FE レベル例外受け付け時の PSW.Z ビットを退避します。	R/W	0

表 3.9 PSW レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W	リセット後の値
7	NP	FE レベル例外受け付けを使用不可にします。FE レベル例外が受け付けられるとセット (1) され、EI レベルおよび FE レベルの例外受け付けを使用不可にします。NP ビットが受け付けを使用不可にする例外の場合は、「表 7.1 例外要因一覧」を参照してください。 0 : FE レベル例外の受け付けを許可する 1 : FE レベル例外の受け付けを禁止する	R/W	0
6	EP	割り込みコントローラで制御される割り込み以外の例外処理中であることを示します。該当する例外の発生でセット (1) されます。なお、このビットはセット (1) されても例外要求の受け付けには影響しません。 0 : 割り込み以外の例外処理中ではない 1 : 割り込み以外の例外処理中である	R/W	0
5	ID	EI レベル例外受け付けを使用不可にします。EI レベルまたは FE レベルの例外が受け付けられるとセット (1) され、EI レベル例外受け付けを使用不可にします。ID ビットが受け付けを使用不可にする例外の場合は、「表 7.1 例外要因一覧」を参照してください。 また、通常のプログラムや、割り込み処理中にクリティカルセクションとして、EI レベル例外の受け付けを禁止する場合にも使用されます。DI 命令の実行によってセット (1) し、EI 命令の実行によってクリア (0) します。EI 命令、DI 命令による ID ビットの変更は、次の命令から有効となります。 0 : EI レベル例外処理中またはクリティカルセクションではない (EI 命令実行後) 1 : EI レベル例外処理中またはクリティカルセクションである (DI 命令実行後)	R/W	1
4	SAT ^{注1}	飽和演算命令の演算結果がオーバフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット (1) され、以降の命令の演算結果が飽和しなくてもクリア (0) されません。クリア (0) する場合は、LDSR 命令により行います。なお、算術演算命令の実行では、セット (1) もクリア (0) も行いません。 0 : 飽和していない 1 : 飽和している	R/W	0
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0 : キャリー、およびボローが発生していない 1 : キャリー、またはボローが発生した	R/W	0
2	OV ^{注1}	演算中にオーバフローが発生したかどうかを示します。 0 : オーバフローが発生していない 1 : オーバフローが発生した	R/W	0
1	S ^{注1}	演算の結果が負かどうかを示します。 0 : 演算の結果は、正または 0 であった 1 : 演算の結果は負であった	R/W	0
0	Z	演算の結果が 0 かどうかを示します。 0 : 演算の結果は 0 でなかった 1 : 演算の結果は 0 であった	R/W	0

注 1. 飽和演算時の OV フラグと S フラグの内容で飽和処理した演算結果が決まります。また、飽和演算時に OV フラグがセット (1) された場合だけ、SAT フラグはセット (1) されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFF FFFF _H
負の最大値を越えた	1	1	1	8000 0000 _H
正 (最大値を越えない)	演算前の値 を保持	0	0	演算結果そのもの
負 (最大値を越えない)			1	

(f) EIIC — EI レベル例外要因

EIIC レジスタは、EI レベルの例外が発生した場合に、その要因を保持するレジスタです。
EIIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。

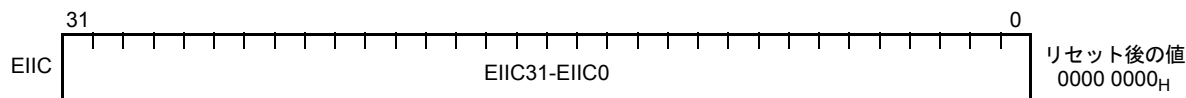


表 3.10 EIIC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	EIIC31-EIIC0	EI レベル例外受け付け時に、例外要因コードが格納されます。 EIIC15-EIIC0 は、例外要因コードの下位 16 ビットが格納されます。 EIIC31-EIIC16 は、例外ごとに定義された詳細な例外要因コードが格納されます。例外に関わる機能で特に定義がない場合は、0 が設定されます。	R/W	0

(g) FEIC — FE レベル例外要因

FEIC レジスタは、FE レベルの例外が発生した場合に、その要因を保持するレジスタです。
FEIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。

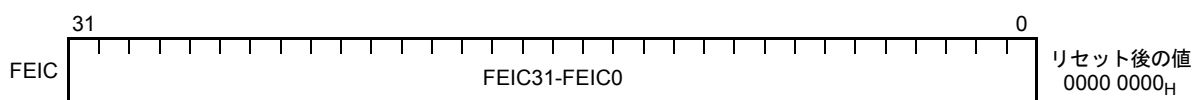


表 3.11 FEIC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	FEIC31-FEIC0	FE レベル例外受け付け時に、例外要因コードが格納されます。 FEIC15 ~ FEIC0 は、例外要因コードの下位 16 ビットが格納され ます。FEIC31 ~ FEIC16 は、例外ごとに定義された詳細な例外要因 コードが格納されます。例外にかかわる機能で特に定義がない場合 は、0 が設定されます。	R/W	0

(h) CTPC — CALLT 実行時の状態退避レジスタ

CALLT 命令が実行されると、CALLT 命令の次の命令のアドレスが CTPC に退避されます。
CTPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

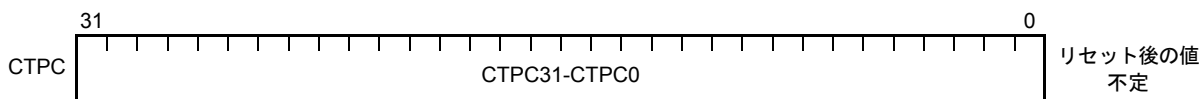


表 3.12 CTPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 1	CTPC31-CTPC1	CALLT 命令の次の命令の PC を示します。	R/W	不定
0	CTPC0	CALLT 命令の次の命令の PC を示します。 常に 0 を設定してください。1 を設定した場合でも、CTRET 命令の 実行により PC に転送される値は、0 となります。	R/W	不定

(i) CTPSW — CALLT 実行時の状態退避レジスタ

CALLT 命令が実行されると、PSW（プログラムステータスワード）の一部が CTPSW に退避されます。

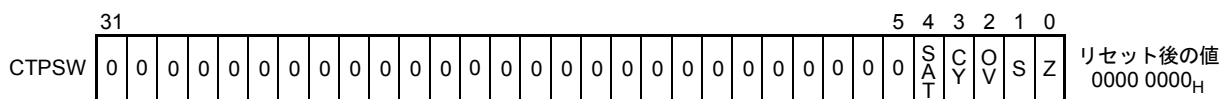


表 3.13 CTPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～5	—	(将来のための予約です。必ず0を設定してください)	R	0
4	SAT	CALLT 命令実行時の PSW.SAT ビットを退避します	R/W	0
3	CY	CALLT 命令実行時の PSW.CY ビットを退避します。	R/W	0
2	OV	CALLT 命令実行時の PSW.OV ビットを退避します。	R/W	0
1	S	CALLT 命令実行時の PSW.S ビットを退避します。	R/W	0
0	Z	CALLT 命令実行時の PSW.Z ビットを退避します。	R/W	0

(j) CTBP — CALLT ベースポインタ

CTBP レジスタは、CALLT 命令のテーブルアドレスの指定、ターゲットアドレスの生成に使用されます。

CTBP レジスタには必ずハーフワードアドレスを設定してください。

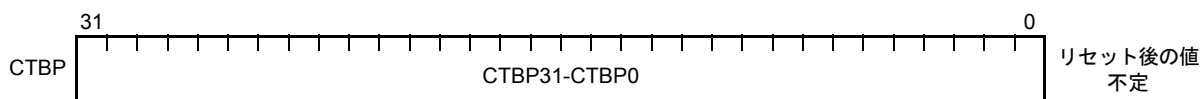


表 3.14 CTBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～1	CTBP31-CTBP1	CALLT 命令のベースポインタアドレスです。 CALLT 命令で利用するテーブルの先頭アドレスを示します。	R/W	不定
0	CTBP0	CALLT 命令のベースポインタアドレスです。 CALLT 命令で利用するテーブルの先頭アドレスを示します。 常に0を設定してください。	R	0

(k) ASID — アドレス空間識別子

アドレス空間識別子です。メモリ管理機能で提供されるアドレス空間の識別のために使用します。

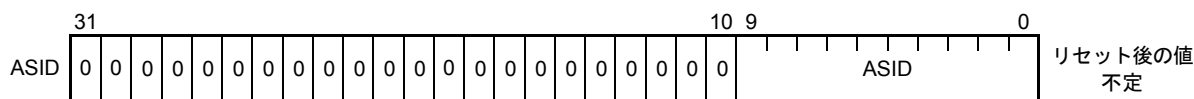


表 3.15 ASID レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 10	—	(将来のための予約です。必ず0を設定してください)	R	0
9 ~ 0	ASID	アドレス空間識別子です。	R/W	不定

(l) EIWR — EI レベル例外用作業レジスタ

EIWR レジスタは、EI レベルの例外が発生したときの作業用レジスタです。

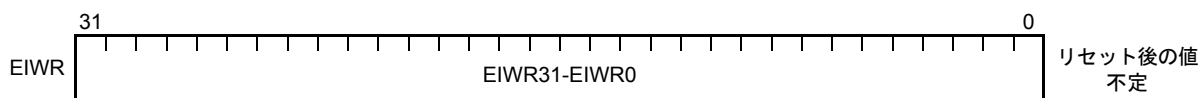


表 3.16 EIWR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	EIWR31-EIWR0	EI レベル例外中に任意に利用可能な作業用レジスタです。汎用レジスタの値の保存などに利用してください。	R/W	不定

(m) FEWR — FE レベル例外用作業レジスタ

FEWR レジスタは、FE レベルの例外が発生したときの作業用レジスタです。

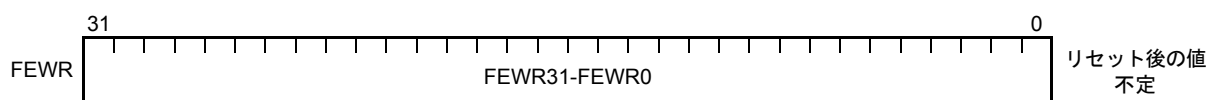


表 3.17 FEWR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	FEWR31-FEWR0	FE レベル例外中に任意に利用可能な作業用レジスタです。汎用レジスタの値の保存などに利用してください。	R/W	不定

(p) MEI — メモリエラー情報

ミスライン例外 (MAE)、メモリ保護例外 (MDP) 発生時に、エミュレーションを行う場合のヒント情報として、例外を引き起こした命令の情報を格納します。

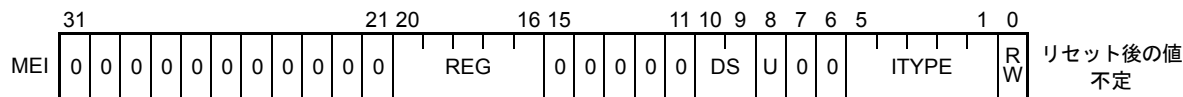


表 3.20 MEI レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 21	—	(将来のための予約です。必ず 0 を設定してください。)	R	0
20 ~ 16	REG4-0	例外を引き起こした命令のソースレジスタ番号、またはディスティネーションレジスタ番号を示します。詳細は、「表 3.21 例外を引き起こした命令と MEI レジスタの値」を参照してください。	R/W	不定
15 ~ 11	—	(将来のための予約です。必ず 0 を設定してください。)	R	0
10, 9	DS	例外を引き起こした命令のデータタイプを示します 注1。 0 : バイト (8 ビット) 1 : ハーフワード (16 ビット) 2 : ワード (32 ビット) 3 : ダブルワード (64 ビット) 詳細は、「表 3.21 例外を引き起こした命令と MEI レジスタの値」を参照してください。	R/W	不定
8	U	例外を引き起こした命令の符号拡張方式を示します。 0 : Signed 1 : Unsigned 詳細は、「表 3.21 例外を引き起こした命令と MEI レジスタの値」を参照してください。	R/W	不定
7, 6	—	(将来のための予約です。必ず 0 を設定してください。)	R	0
5 ~ 1	ITYPE4-0	例外を引き起こした命令を示します。詳細は、「表 3.21 例外を引き起こした命令と MEI レジスタの値」を参照してください。	R/W	不定
0	RW	例外を引き起こした命令のオペレーションが、リード (Load-memory) だったのか、ライト (Store-memory) だったのかを示します。 0 : リード (Load-memory) 1 : ライト (Store-memory) 詳細は、「表 3.21 例外を引き起こした命令と MEI レジスタの値」を参照してください。	R/W	不定

注 1. ハードウェアによってアクセスが分割されるような場合においても、命令の示すデータタイプが格納されます。

表 3.21 例外を引き起こした命令と MEI レジスタの値 (1/2)

命令	REG	DS	U	RW	ITYPE
SLD.B	dst	0 (Byte)	0 (Signed)	0 (Read)	00000 _B
SLD.BU	dst	0 (Byte)	1 (Unsigned)	0 (Read)	00000 _B
SLD.H	dst	1 (Half-word)	0 (Signed)	0 (Read)	00000 _B
SLD.HU	dst	1 (Half-word)	1 (Unsigned)	0 (Read)	00000 _B
SLD.W	dst	2 (Word)	0 (Signed)	0 (Read)	00000 _B
SST.B	src	0 (Byte)	0 (Signed)	1 (Write)	00000 _B
SST.H	src	1 (Half-word)	0 (Signed)	1 (Write)	00000 _B

表 3.21 例外を引き起こした命令と MEI レジスタの値 (2/2)

命令	REG	DS	U	RW	ITYPE
SST.W	src	2 (Word)	0 (Signed)	1 (Write)	00000 _B
LD.B (disp16)	dst	0 (Byte)	0 (Signed)	0 (Read)	00001 _B
LD.BU (disp16)	dst	0 (Byte)	1 (Unsigned)	0 (Read)	00001 _B
LD.H (disp16)	dst	1 (Half-word)	0 (Signed)	0 (Read)	00001 _B
LD.HU (disp16)	dst	1 (Half-word)	1 (Unsigned)	0 (Read)	00001 _B
LD.W (disp16)	dst	2 (Word)	0 (Signed)	0 (Read)	00001 _B
ST.B (disp16)	src	0 (Byte)	0 (Signed)	1 (Write)	00001 _B
ST.H (disp16)	src	1 (Half-word)	0 (Signed)	1 (Write)	00001 _B
ST.W (disp16)	src	2 (Word)	0 (Signed)	1 (Write)	00001 _B
LD.B (disp23)	dst	0 (Byte)	0 (Signed)	0 (Read)	00010 _B
LD.BU (disp23)	dst	0 (Byte)	1 (Unsigned)	0 (Read)	00010 _B
LD.H (disp23)	dst	1 (Half-word)	0 (Signed)	0 (Read)	00010 _B
LD.HU (disp23)	dst	1 (Half-word)	1 (Unsigned)	0 (Read)	00010 _B
LD.W (disp23)	dst	2 (Word)	0 (Signed)	0 (Read)	00010 _B
ST.B (disp23)	src	0 (Byte)	0 (Signed)	1 (Write)	00010 _B
ST.H (disp23)	src	1 (Half-word)	0 (Signed)	1 (Write)	00010 _B
ST.W (disp23)	src	2 (Word)	0 (Signed)	1 (Write)	00010 _B
LD.DW (disp23)	dst	3 (Double-word)	0 (Signed)	0 (Read)	00010 _B
ST.DW (disp23)	src	3 (Double-word)	0 (Signed)	1 (Write)	00010 _B
LDL.W	dst	2 (Word)	0 (Signed)	0 (Read)	00111 _B
STC.W	src	2 (Word)	0 (Signed)	1 (Write)	00111 _B
CAXI	dst	2 (Word)	0 (Signed)	0 (Read) /1 (Write)	01000 _B
SET1	—	0 (Byte)	0 (Signed)	0 (Read) /1 (Write)	01001 _B
CLR1	—	0 (Byte)	0 (Signed)	0 (Read) /1 (Write)	01001 _B
NOT1	—	0 (Byte)	0 (Signed)	0 (Read) /1 (Write)	01001 _B
TST1	—	0 (Byte)	0 (Signed)	0 (Read)	01001 _B
PREPARE	—	2 (Word)	0 (Signed)	1 (Write)	01100 _B
DISPOSE	—	2 (Word)	0 (Signed)	0 (Read)	01100 _B
PUSHSP	—	2 (Word)	0 (Signed)	1 (Write)	01101 _B
POPSP	—	2 (Word)	0 (Signed)	0 (Read)	01101 _B
SWITCH	—	1 (Half-word)	0 (Signed)	0 (Read)	10000 _B
CALLT	—	1 (Half-word)	1 (Unsigned)	0 (Read)	10001 _B
SYSCALL	—	2 (Word)	0 (Signed)	0 (Read)	10010 _B
CACHE	—	—	—	—	—
割り込み (テーブル参照) ^{注1}	—	2 (Word)	0 (Signed)	0 (Read)	10101 _B

注 1. テーブル参照方式の割り込みベクタ読み込み時

備考

dst : ディスティネーションレジスタ番号、src : ソースレジスタ番号

(q) RBASE — リセットベクタベースアドレス

リセット時のリセットベクタアドレスを示すレジスタです。PSW.EBV ビットがクリア (0) されている場合、このベクタアドレスは例外ベクタアドレスとしても使用されます。

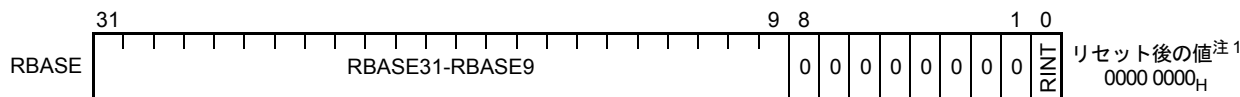


表 3.22 RBASE レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 9	RBASE31- RBASE9	リセット時のリセットベクタを示します。このアドレスは PSW.EBV = 0 のとき、例外ベクタとしても使用されます。 RBASE8 ~ RBASE0 は、暗黙的に 0 が利用されます。	R	0000 0000 0000 0000 0000 000B 注1
8 ~ 1	—	(将来のための予約です。必ず 0 を設定してください。)	R	0
0	RINT	RINT ビットがセットされている場合、割り込み処理の例外ハンドラアドレスが縮小されます。「7.10.1 直接ベクタ方式」を参照してください。このビットは PSW.EBV = 0 のときに有効です。	R	0

注 1. リセットベクタの値によります。

製品出荷時の値は、表中の値になりますが、リセットベクタを変更した場合は、変更したアドレスになります。

(r) EBASE — 例外ハンドラベクタアドレス

例外ハンドラのベクタアドレスを示すレジスタです。PSW.EBV ビットがセット (1) されている場合に有効です。

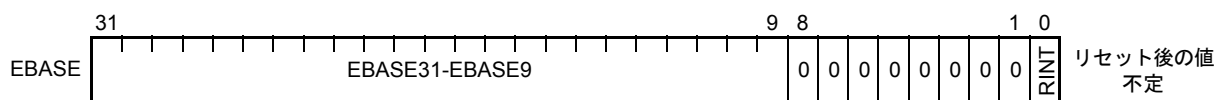


表 3.23 EBASE レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 9	EBASE31- EBASE9	例外ハンドラルーチンのアドレスがこのレジスタで指定されたベースアドレスに、各例外のオフセットアドレスを加えたアドレスに変更されます。 EBASE8 ~ EBASE0 は、暗黙的に 0 が利用されます。	R/W	不定
8 ~ 1	—	(将来のための予約です。必ず 0 を設定してください。)	R	0
0	RINT	RINT ビットがセットされている場合、割り込み処理の例外ハンドラアドレスが縮小されます。「7.10.1 直接ベクタ方式」を参照してください。	R/W	不定

(s) INTBP — 例外ハンドラアドレステーブルのベースアドレス

割り込みハンドラアドレスの選択方式として、アドレステーブル参照方式を選択したときの、アドレステーブルのベースアドレスを示すレジスタです。

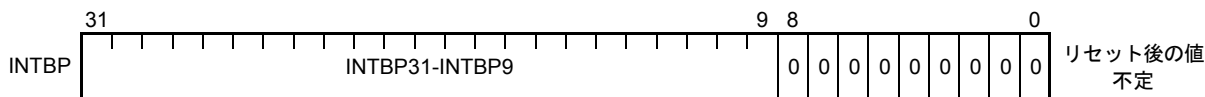


表 3.24 INTBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 9	INTBP31-INTBP9	テーブル参照方式を使用した時の割り込みのベースポインタアドレスです。テーブル参照方式に指定された割り込み (EIINT0 ~ 511) 受け付け時の例外ハンドラ決定時のテーブルアドレスの先頭を示します。INTBP8 ~ INTBP0 は、暗黙的に 0 が利用されます。	R/W	不定
8 ~ 0	—	(将来のための予約です。必ず 0 を設定してください。)	R	0

(t) PID — プロセッサ識別子

PID レジスタは、CPU 固有のプロセッサ識別子を保持します。PID レジスタはリードのみ可能です。

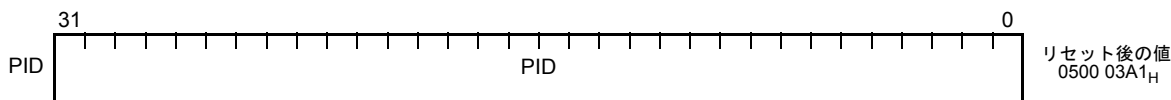


表 3.25 PID レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 24	PID	アーキテクチャ識別子 プロセッサの属するアーキテクチャを示す識別子です。	R	05 _H
23 ~ 8		機能識別子 プロセッサの持つ機能を示す識別子です。 ビットごとに定義された機能の搭載/非搭載を示します (1: 搭載、0: 非搭載)。 ビット 23 ~ 11 予約 ビット 10 倍精度浮動小数点演算機能 ビット 9 単精度浮動小数点演算機能 ビット 8 メモリ保護機能 (MPU)	R	0003 _H
7 ~ 0		バージョン識別子 プロセッサのバージョンを示す識別子です。	R	A1 _H

(u) SCCFG — SYSCALL の動作設定

SYSCALL 命令に関する動作設定を行います。SYSCALL 命令の使用前に必ず適切な値を設定してください。

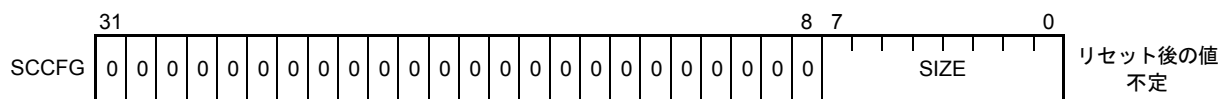


表 3.26 SCCFG レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 8	—	(将来のための予約です。必ず0を設定してください。)	R	0
7 ~ 0	SIZE	SYSCALL 命令が参照するテーブルの最大エントリ数を指定します。SYSCALL が参照する最大エントリ数は、SIZE が0の場合は1エントリ、255の場合は256エントリです。SYSCALL 命令で分岐する関数の数に合わせて、最大エントリ数を適切に設定することで、メモリ領域を有効に活用できます。最大エントリ数を越えるベクタが SYSCALL 命令で指定された場合には、先頭のエントリが選択されます。先頭のエントリには、エラー処理ルーチンを配置してください。	R/W	不定

(v) SCBP — SYSCALL ベースポインタ

SCBP レジスタは、SYSCALL 命令のテーブルアドレスの指定、ターゲットアドレスの生成に使用されます。SYSCALL 命令の使用前に、必ず適切な値を設定してください。

SCBP レジスタには必ずワードアドレスを設定してください。

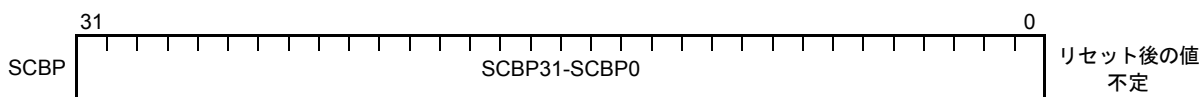


表 3.27 SCBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 2	SCBP31-SCBP2	SYSCALL 命令のベースポインタアドレスです。SYSCALL 命令で利用するテーブルの先頭アドレスを示します。	R/W	不定
1, 0	SCBP1, SCBP0	SYSCALL 命令のベースポインタアドレスです。SYSCALL 命令で利用するテーブルの先頭アドレスを示します。常に0を設定してください。	R	0

(3) 割り込み機能レジスタ

表 3.30 割り込み機能システムレジスタ一覧

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR7,1	FPIPR	FPI 例外割り込み優先度設定	SV
SR10,2	ISPR	受け付け中割り込み優先度	SV
SR11,2	PMR	割り込み優先度マスク	SV
SR12,2	ICSR	割り込み制御ステータス	SV
SR13,2	INTCFG	割り込み機能の設定	SV

(a) FPIPR — FPI 例外割り込み優先度設定

FPI 例外の割り込み優先度を設定するレジスタです。

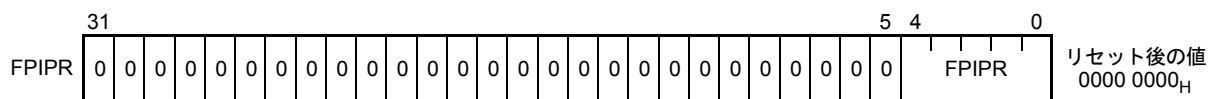


表 3.31 FPIPR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 5	—	(将来のための予約です。必ず 0 を設定してください。)	R	0
4 ~ 0	FPIPR	浮動小数点演算例外（インプレサイス）（FPI）の割り込み優先度を指定します。0 ~ 16 までの値を設定します。17 以上の値は設定禁止です。 FPI 例外は、指定された割り込み優先度として扱われます。同一優先度の割り込みと同時に発生した場合は、FPI 例外が優先されます。 備 考 16 以上の値を設定した場合、16 と同様に扱われます。	R/W	0

(b) ISPR — 受け付け中割り込み優先度

CPU で処理中の EIINTn の割り込み優先度を、優先度ごとに保持し、多重割り込み時の優先度によるプライオリティシーリングを行います。

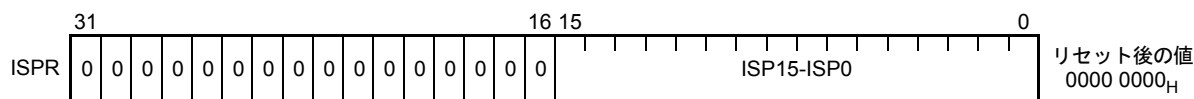


表 3.32 ISPR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値												
31 ~ 16	—	(将来のための予約です。必ず 0 を設定してください。)	R	0												
15 ~ 0	ISP15-ISP0	<p>ビット位置に対応した優先度の割り込み (EIINTn) の受け付け状況を示します。</p> <p>0 : ビット位置に対応する割り込み優先度の割り込み要求を受け付けていない</p> <p>1 : ビット位置に対応する割り込み優先度の割り込み要求を CPU コアで処理中</p> <p>各ビット位置が、次のように各優先度に対応しています。</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ビット</th> <th>優先度</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>優先度 0 (最高優先度)</td> </tr> <tr> <td>1</td> <td>優先度 1</td> </tr> <tr> <td colspan="2" style="text-align: center;">:</td> </tr> <tr> <td>14</td> <td>優先度 14</td> </tr> <tr> <td>15</td> <td>優先度 15 (最低優先度)</td> </tr> </tbody> </table> <p>割り込み (EIINTn) 要求を受け付けた場合、受け付けた割り込み (EIINTn) 要求に対応するビットが自動的にセット (1) されます。また、EIRET 命令実行時に PSW.EP = 0 の場合、ISP15 ~ 0 でセット (1) されているビットのうち、最も高優先度 (0 が高優先度側) のビットがクリア (0) されます^{注1}。</p> <p>このビットがセット (1) されている間、その優先度以下の割り込み (EIINTn) と FPI 例外^{注2} がマスクされ、例外の受け付け判定時に優先順位判定されず、受け付けられることはありません。PMR レジスタを利用してソフトウェアによる優先度管理を行う場合は、INTCFG.ISPC ビットの機能によってクリアしてください。</p>	ビット	優先度	0	優先度 0 (最高優先度)	1	優先度 1	:		14	優先度 14	15	優先度 15 (最低優先度)	R ^{注3}	0
ビット	優先度															
0	優先度 0 (最高優先度)															
1	優先度 1															
:																
14	優先度 14															
15	優先度 15 (最低優先度)															

- 注 1. INTCFG.ISPC の設定によって、割り込み受け付け、また EIRET 命令による自動更新が行われなくなります。通常は、自動更新を行う方法での利用を推奨します。
- 注 2. FPI 例外は、EIINTn 割り込みと同一の優先レベルであるため、割り込みと同様に ISPR の影響を受けます。FPI 例外の優先度は、FPIPR レジスタによって設定されます。
- 注 3. INTCFG.ISPC の設定によって、R または R/W となります。通常は R として利用する方法を推奨します。

(c) PMR — 割り込み優先度マスク

指定した割り込み優先度のマスクを行うレジスタです。

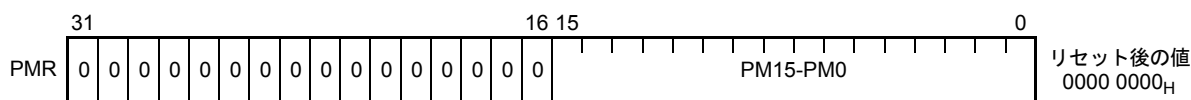


表 3.33 PMR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値												
31 ~ 16	—	(将来のための予約です。必ず0を設定してください。)	R	0												
15 ~ 0	PM15-PM0	<p>ビット位置に対応した割り込み要求をマスクします。 0 : ビット位置に対応する優先度の割り込み処理を許可 1 : ビット位置に対応する優先度の割り込み処理を禁止</p> <p>各ビット位置が、次のように各優先度に対応しています。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>ビット</th> <th>優先度</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>優先度 0 (最高優先度)</td> </tr> <tr> <td>1</td> <td>優先度 1</td> </tr> <tr> <td colspan="2" style="text-align: center;">:</td> </tr> <tr> <td>14</td> <td>優先度 14</td> </tr> <tr> <td>15</td> <td>優先度 15 および優先度 16 (最低優先度)</td> </tr> </tbody> </table> <p>このビットがセット (1) されている間、その優先度の割り込み (EIINTn) と FPI 例外^{注1} がマスクされ、例外の受け付け判定時に優先順位判定されず、受け付けられないことがあります^{注2}。</p>	ビット	優先度	0	優先度 0 (最高優先度)	1	優先度 1	:		14	優先度 14	15	優先度 15 および優先度 16 (最低優先度)	R/W	0
ビット	優先度															
0	優先度 0 (最高優先度)															
1	優先度 1															
:																
14	優先度 14															
15	優先度 15 および優先度 16 (最低優先度)															

注 1. FPI 例外は、EIINTn 割り込みと同一の優先レベルであるため、割り込みと同様に PMR の影響を受けます。FPI 例外の優先度は、FPIPR レジスタによって設定されます。

注 2. マスクは低優先側から、連続して 1 を設定してください。例えば FF00_H のような設定は可能ですが、F0F0_H や 00FF_H のような設定は禁止します。

(d) ICSR — 割り込み制御ステータス

CPU 内部の割り込み制御の状況を示すレジスタです。

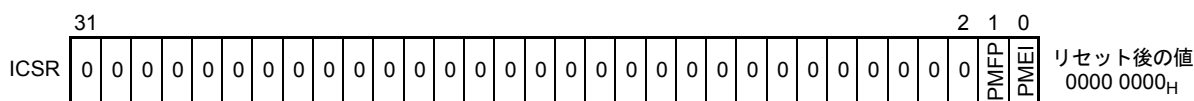


表 3.34 ICSR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 2	—	(将来のための予約です。必ず0を設定してください。)	R	0
1	PMFP	PMR の設定でマスクされている優先度の FPI 例外が存在することを示します。	R	0
0	PMEI	PMR の設定でマスクされている優先度の割り込み (EIINTn) が存在することを示します。	R	0

(e) INTCFG — 割り込み機能の設定

CPU 内部の割り込み機能に関する設定を行うレジスタです。

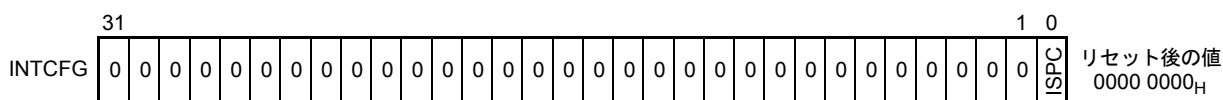


表 3.35 INTCFG レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 1	—	(将来のための予約です。必ず0を設定してください。)	R	0
0	ISPC	<p>ISPR レジスタの書き込み変更方法を設定するビットです。</p> <p>0 : ISPR を自動的に更新します。プログラムによる更新 (LDSR) を無視します。</p> <p>1 : ISPR を自動的に更新しません。プログラムによる更新 (LDSR) が行えます。</p> <p>このビットがクリア (0) されている場合、ISPR レジスタの各ビットは割り込み (EIINTn) の受け付けにより自動的にセット (1)、EIRET 命令の実行によって自動的にクリア (0) が行われます。この状態ではプログラムによる LDSR を使った更新を無視します。このビットがセット (1) されている場合、ISPR レジスタの各ビットは割り込み (EIINTn) の受け付けや、EIRET 命令の実行によっては、更新を行いません。この状態ではプログラムによる LDSR を使った更新が可能となります。</p> <p>通常 ISPC ビットはクリア (0) した状態で利用してください。ソフトウェアによる割り込み優先度を管理する場合に、このビットをセット (1) し、PMR レジスタによる優先度管理を行ってください。</p>	R/W	0

(4) FPU 機能レジスタ

FPU は CPU の汎用レジスタ (r0 ~ r31) を使用します。浮動小数点演算専用のレジスタファイルはありません。RH850/F1K は単精度浮動小数点命令をサポートし、32 個の 32 ビットレジスタを指定できます。

これは汎用レジスタの r0 ~ r31 に相当します。FPU では浮動小数点演算制御のために、以下のシステムレジスタを使用できます。

表 3.36 FPU 機能レジスタ一覧

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR6, 0	FPSR	浮動小数点演算の設定/ステータス	CU かつ SV
SR7, 0	FPEPC	浮動小数点演算例外プログラムカウンタ	CU かつ SV
SR8, 0	FPST	浮動小数点のステータス	CU
SR9, 0	FPCC	浮動小数点演算の比較結果	CU
SR10, 0	FPCFG	浮動小数点機能の設定	CU
SR11, 0	FPEC	浮動小数点演算例外の制御	CU かつ SV

(a) FPSR — 浮動小数点演算の設定/ステータス

このレジスタは、浮動小数点演算の実行状態や例外の発生を示します。



注 1. 原因ビット (XC)

注 2. 許可ビット (XE)

注 3. 保存ビット (XP)

表 3.37 FPSR レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 24	CC[7:0]	これらは CC (コンディション) ビットです。浮動小数点比較命令の結果を格納します。CC7 ~ CC0 ビットは、比較命令および LDSR 命令以外の命令の影響を受けません。 0: 比較結果は偽 1: 比較結果は真	R/W	不定
23	FN	近傍へのフラッシュを有効にするビットです。このビットがセット (1) されている場合、丸めモードが RN かつ演算結果がサブノーマル数の時に近傍の値にフラッシュを行います。	R/W	0
22	IF	オペランド入力のフラッシュ発生を蓄積、表示します。	R/W	0
21	PEM	例外をプレサイズ例外として扱うべきかどうかを指定します。PEM ビットが 1 の場合、浮動小数点演算命令の実行により発生した例外は、プレサイズ例外として扱います。	R/W	0
20	—	(将来のための予約です。必ず 0 を設定してください。)	R	0

表 3.37 FPSR レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W	リセット後の値																								
19、18	RM	<p>丸めモード制御ビットです。RM ビットは、FPU がすべての浮動小数点演算命令で使用する丸めモードを規定します。</p> <table border="1"> <thead> <tr> <th colspan="2">RM ビット</th> <th>ニモニック</th> <th>説明</th> </tr> <tr> <th>19</th> <th>18</th> <td></td> <td></td> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>RN</td> <td>表現可能な最も近い値に結果を丸めます。2つの表現可能な値の間である場合は、最下位ビットが0の方に結果を丸めます。</td> </tr> <tr> <td>0</td> <td>1</td> <td>RZ</td> <td>0の方へ結果を丸めます。無限精度の正確な結果を絶対値で越えない、最も近い値になります。</td> </tr> <tr> <td>1</td> <td>0</td> <td>RP</td> <td>$+\infty$の方へ結果を丸めます。無限精度の正確な結果以上で最も近い値になります。</td> </tr> <tr> <td>1</td> <td>1</td> <td>RM</td> <td>$-\infty$の方へ結果を丸めます。無限精度の正確な結果以上で最も近い値になります。</td> </tr> </tbody> </table>	RM ビット		ニモニック	説明	19	18			0	0	RN	表現可能な最も近い値に結果を丸めます。2つの表現可能な値の間である場合は、最下位ビットが0の方に結果を丸めます。	0	1	RZ	0の方へ結果を丸めます。無限精度の正確な結果を絶対値で越えない、最も近い値になります。	1	0	RP	$+\infty$ の方へ結果を丸めます。無限精度の正確な結果以上で最も近い値になります。	1	1	RM	$-\infty$ の方へ結果を丸めます。無限精度の正確な結果以上で最も近い値になります。	R/W	00
RM ビット		ニモニック	説明																									
19	18																											
0	0	RN	表現可能な最も近い値に結果を丸めます。2つの表現可能な値の間である場合は、最下位ビットが0の方に結果を丸めます。																									
0	1	RZ	0の方へ結果を丸めます。無限精度の正確な結果を絶対値で越えない、最も近い値になります。																									
1	0	RP	$+\infty$ の方へ結果を丸めます。無限精度の正確な結果以上で最も近い値になります。																									
1	1	RM	$-\infty$ の方へ結果を丸めます。無限精度の正確な結果以上で最も近い値になります。																									
17	FS	<p>正規化できない値（サブノーマル数）のフラッシュを許可するビットです。FS ビットがセットされているとき、サブノーマル数のオペランド入力および演算結果は未実装演算例外（E）を起こさず、フラッシュされます。オペランド入力のサブノーマル数は同符号の0にフラッシュされます。演算結果のサブノーマル数は丸めモードによって0になるか最小正規化値になるかが規定されています。</p> <table border="1"> <thead> <tr> <th rowspan="2">サブノーマル数の演算結果</th> <th colspan="4">丸めモードとフラッシュ後の値</th> </tr> <tr> <th>RN 注1</th> <th>RZ</th> <th>RP</th> <th>RM</th> </tr> </thead> <tbody> <tr> <td>正</td> <td>+0</td> <td>+0</td> <td>$+2^{E_{min}}$</td> <td>+0</td> </tr> <tr> <td>負</td> <td>-0</td> <td>-0</td> <td>-0</td> <td>$-2^{E_{min}}$</td> </tr> </tbody> </table> <p>注 1. 丸めモードが RN かつ FPSR.FN がセット（1）されている時にはより精度の高い方向へフラッシュされます。</p>	サブノーマル数の演算結果	丸めモードとフラッシュ後の値				RN 注1	RZ	RP	RM	正	+0	+0	$+2^{E_{min}}$	+0	負	-0	-0	-0	$-2^{E_{min}}$	R/W	1					
サブノーマル数の演算結果	丸めモードとフラッシュ後の値																											
	RN 注1	RZ	RP	RM																								
正	+0	+0	$+2^{E_{min}}$	+0																								
負	-0	-0	-0	$-2^{E_{min}}$																								
16	—	(将来のための予約です。必ず 0 を設定してください。)	R	0																								
15 ~ 10	XC (E, V, Z, O, U, I)	原因ビットです。	R/W	不定																								
9 ~ 5	XE (V, Z, O, U, I)	許可ビットです。	R/W	0																								
4 ~ 0	XP (V, Z, O, U, I)	保存ビットです。	R/W	不定																								

(b) FPEPC — 浮動小数点演算例外プログラムカウンタ

許可ビットによって許可されている例外が発生した場合、例外が発生した命令のプログラムカウンタ (PC) が格納されます。

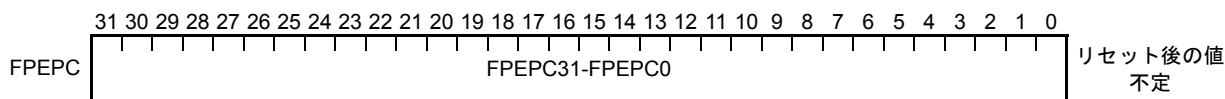
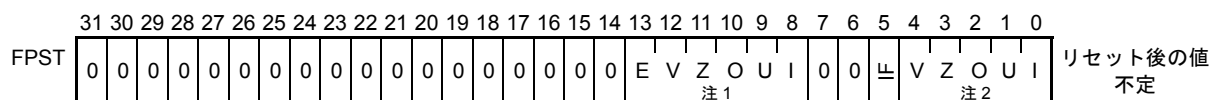


表 3.38 FPEPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 1	FPEPC31 ~ FPEPC1	許可ビットによって、許可された浮動小数点演算例外が発生した場合に、例外を発生させた浮動小数点演算命令の PC が格納されます。	R/W	不定
0	FPEPC0	許可ビットによって、許可された浮動小数点演算例外が発生した場合に、例外を発生させた浮動小数点演算命令の PC が格納されます。常に 0 を設定してください。	R	0

(c) FPST — 浮動小数点演算のステータス

このレジスタは FPSR レジスタのなかで演算ステータスにかかわるビットと同一の内容を示します。



注 1. 原因ビット (XC)

注 2. 保存ビット (XP)

表 3.39 FPST レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 14	—	(将来のための予約です。必ず 0 を設定してください。)	R	0
13 ~ 8	XC (E, V, Z, O, U, I)	原因ビットです。これらのビットに書き込まれた値は、FPSR.XC ビットへ反映されます。	R/W	不定
7, 6	—	(将来のための予約です。必ず 0 を設定してください。)	R	0
5	IF	加算され、入力オペランドのフラッシュに関する情報を示します。	R/W	0
4 ~ 0	XP (V, Z, O, U, I)	保存ビットです。これらのビットに書き込まれた値は、FPSR.XP ビットへ反映されます。	R/W	不定

(d) FPCC — 浮動小数点演算の比較結果

このレジスタは FPSR.CC(7:0) ビットと同一の内容を示します。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
FPCC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

リセット後の値
不定

表 3.40 FPCC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 8	—	(将来のための予約です。必ず 0 を設定してください。)	R	0
7 ~ 0	CC[7:0]	CC (コンディション) ビットです。浮動小数点比較命令の結果を格納します。CC[7:0] ビットは、比較命令および LDSR 命令以外の命令の影響を受けません。これらのビットに書き込まれた値は、FPSR の CC[7:0] ビットへ反映されます。 0 : 比較結果は偽 1 : 比較結果は真	R/W	不定

(e) FPCFG — 浮動小数点演算の設定

このレジスタは、演算設定に関連する FPSR レジスタビットと同一の内容を示します。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FPCFG	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RM	0	0	0	V	Z	O	U	I

リセット後の値
0000 0000_H

注 1. 許可ビット (XE)

表 3.41 FPCFG レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値																								
31 ~ 10	—	(将来のための予約です。必ず 0 を設定してください。)	R	0																								
9, 8	RM	丸めモード制御ビットです。RM ビットは、FPU がすべての浮動小数点演算命令で使用する丸めモードを規定します。このビットへの書き込みは FPSR.RM ビットへ反映されます。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th colspan="2">RM ビット</th> <th>ニモニック</th> <th>説明</th> </tr> <tr> <th>9</th> <th>8</th> <th></th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>RN</td> <td>表現可能な最も近い値に結果を丸めます。2つの表現可能な値の間である場合は、最下位ビットが 0 の方に結果を丸めます。</td> </tr> <tr> <td>0</td> <td>1</td> <td>RZ</td> <td>0 の方へ結果を丸めます。無限精度の正確な結果を絶対値で越えない、最も近い値になります。</td> </tr> <tr> <td>1</td> <td>0</td> <td>RP</td> <td>+∞ の方へ結果を丸めます。無限精度の正確な結果以上で最も近い値になります。</td> </tr> <tr> <td>1</td> <td>1</td> <td>RM</td> <td>-∞ の方へ結果を丸めます。無限精度の正確な結果以上で最も近い値になります。</td> </tr> </tbody> </table>	RM ビット		ニモニック	説明	9	8			0	0	RN	表現可能な最も近い値に結果を丸めます。2つの表現可能な値の間である場合は、最下位ビットが 0 の方に結果を丸めます。	0	1	RZ	0 の方へ結果を丸めます。無限精度の正確な結果を絶対値で越えない、最も近い値になります。	1	0	RP	+∞ の方へ結果を丸めます。無限精度の正確な結果以上で最も近い値になります。	1	1	RM	-∞ の方へ結果を丸めます。無限精度の正確な結果以上で最も近い値になります。	R/W	0
RM ビット		ニモニック	説明																									
9	8																											
0	0	RN	表現可能な最も近い値に結果を丸めます。2つの表現可能な値の間である場合は、最下位ビットが 0 の方に結果を丸めます。																									
0	1	RZ	0 の方へ結果を丸めます。無限精度の正確な結果を絶対値で越えない、最も近い値になります。																									
1	0	RP	+∞ の方へ結果を丸めます。無限精度の正確な結果以上で最も近い値になります。																									
1	1	RM	-∞ の方へ結果を丸めます。無限精度の正確な結果以上で最も近い値になります。																									
7 ~ 5	—	(将来のための予約です。必ず 0 を設定してください。)	R	0																								
4 ~ 0	XE (V, Z, O, U, I)	許可ビットです。	R/W	0																								

(f) FPEC — 浮動小数点演算例外制御

浮動小数点演算例外に関する制御を行うレジスタです。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
FPEC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
																		FPIVD	Value after reset 0000 0000 _H														

表 3.42 FPEC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～1	—	(将来のための予約です。必ず0を設定してください。)	R	0
0	FPIVD ^{注1}	<p>FPI 例外の通知状況を示します。 このビットがセット (1) されている場合、CPU に対して FPI 例外を通知して、かつ FPI 例外を受け付けられていない状態を示します。 CPU が FPI 例外を受け付けた時点で、このビットは自動的にクリア (0) されます。 また、このビットがセット (1) されている間は、すべての浮動小数点演算命令を無効化します。 このビットがセット (1) されている状態から、LDSR 命令によってクリア (0) することで、FPI 例外の通知を取り下げることができます。 FPI 例外の通知を取り下げると、CPU が FPI 例外を受け付けることはありません。</p> <p>0 : FPI 例外非通知状態 1 : FPI 例外通知状態</p>	R/W	0

注 1. FPIVD ビットに対する LDSR 命令による書き込み操作は、クリア (0) のみ可能です。セット (1) は行えません。

(5) MPU 機能レジスタ

表 3.43 MPU 機能システムレジスタ一覧 (1/2)

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR0, 5	MPM	メモリ保護動作モードの設定	SV
SR1, 5	MPRC	MPU リージョン制御	SV
SR4, 5	MPBRGN	MPU ベースリージョン番号	SV
SR5, 5	MPTRGN	MPU 終端リージョン番号	SV
SR8, 5	MCA	メモリ保護設定チェックアドレス	SV
SR9, 5	MCS	メモリ保護設定チェックサイズ	SV
SR10, 5	MCC	メモリ保護設定チェックコマンド	SV
SR11, 5	MCR	メモリ保護設定チェック結果	SV
SR0, 6	MPLA0	保護領域の下限アドレス	SV
SR1, 6	MPUA0	保護領域の上限アドレス	SV
SR2, 6	MPAT0	保護領域の属性	SV
SR4, 6	MPLA1	保護領域の下限アドレス	SV
SR5, 6	MPUA1	保護領域の上限アドレス	SV
SR6, 6	MPAT1	保護領域の属性	SV
SR8, 6	MPLA2	保護領域の下限アドレス	SV
SR9, 6	MPUA2	保護領域の上限アドレス	SV
SR10, 6	MPAT2	保護領域の属性	SV
SR12, 6	MPLA3	保護領域の下限アドレス	SV
SR13, 6	MPUA3	保護領域の上限アドレス	SV
SR14, 6	MPAT3	保護領域の属性	SV
SR16, 6	MPLA4	保護領域の下限アドレス	SV
SR17, 6	MPUA4	保護領域の上限アドレス	SV
SR18, 6	MPAT4	保護領域の属性	SV
SR20, 6	MPLA5	保護領域の下限アドレス	SV
SR21, 6	MPUA5	保護領域の上限アドレス	SV
SR22, 6	MPAT5	保護領域の属性	SV
SR24, 6	MPLA6	保護領域の下限アドレス	SV
SR25, 6	MPUA6	保護領域の上限アドレス	SV
SR26, 6	MPAT6	保護領域の属性	SV
SR28, 6	MPLA7	保護領域の下限アドレス	SV
SR29, 6	MPUA7	保護領域の上限アドレス	SV
SR30, 6	MPAT7	保護領域の属性	SV
SR0, 7	MPLA8	保護領域の下限アドレス	SV
SR1, 7	MPUA8	保護領域の上限アドレス	SV
SR2, 7	MPAT8	保護領域の属性	SV
SR4, 7	MPLA9	保護領域の下限アドレス	SV
SR5, 7	MPUA9	保護領域の上限アドレス	SV
SR6, 7	MPAT9	保護領域の属性	SV
SR8, 7	MPLA10	保護領域の下限アドレス	SV
SR9, 7	MPUA10	保護領域の上限アドレス	SV
SR10, 7	MPAT10	保護領域の属性	SV
SR12, 7	MPLA11	保護領域の下限アドレス	SV

表 3.43 MPU 機能システムレジスタ一覧 (2/2)

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR13, 7	MPUA11	保護領域の上限アドレス	SV
SR14, 7	MPAT11	保護領域の属性	SV
SR16, 7	MPLA12	保護領域の下限アドレス	SV
SR17, 7	MPUA12	保護領域の上限アドレス	SV
SR18, 7	MPAT12	保護領域の属性	SV
SR20, 7	MPLA13	保護領域の下限アドレス	SV
SR21, 7	MPUA13	保護領域の上限アドレス	SV
SR22, 7	MPAT13	保護領域の属性	SV
SR24, 7	MPLA14	保護領域の下限アドレス	SV
SR25, 7	MPUA14	保護領域の上限アドレス	SV
SR26, 7	MPAT14	保護領域の属性	SV
SR28, 7	MPLA15	保護領域の下限アドレス	SV
SR29, 7	MPUA15	保護領域の上限アドレス	SV
SR30, 7	MPAT15	保護領域の属性	SV

(d) MPTRGN — MPU 終端リージョン

利用可能な MPU 領域の最大番号 +1 を示します。

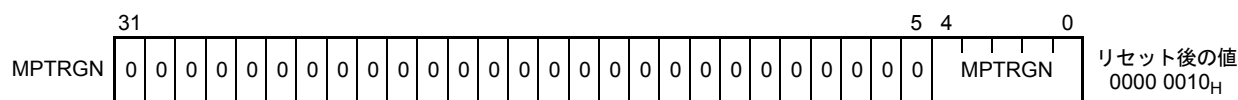


表 3.47 MPTRGN レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 5	—	(将来のための予約です。必ず 0 を設定してください。)	R	0
4 ~ 0	MPTRGN	MPU 領域の一番大きい番号 + 1 を示します。 ハードウェアが搭載する MPU 領域の最大数を示します。	R	10000 _B

(e) MCA — メモリ保護設定チェックアドレス

メモリ保護設定のチェックを行う領域のベースアドレスを指定します。

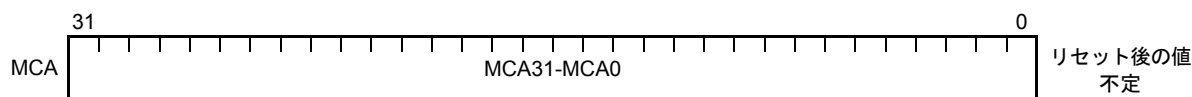


表 3.48 MCA レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	MCA31-MCA0	メモリ保護設定のチェックを行う対象のメモリ領域の先頭アドレスをバイト単位で指定します。	R/W	不定

(f) MCS — メモリ保護設定チェックサイズ

メモリ保護設定のチェックを行う領域のサイズを指定します。

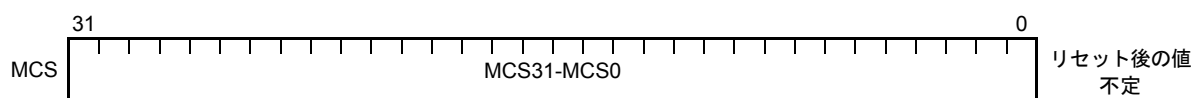


表 3.49 MCS レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	MCS31-MCS0	メモリ保護設定のチェックを行う対象のメモリ領域のサイズを指定する、対象領域のサイズをバイト単位で指定します。指定されたサイズは符号なしの整数として扱うため、MCA レジスタの値からアドレス値が減少する方向へ領域のチェックを行うことができません。MCS レジスタには 0000 0000 _H を設定しないでください。	R/W	不定

(g) MCC — メモリ保護設定チェックコマンド

メモリ保護設定のチェックを行う領域のベースアドレスを指定します。

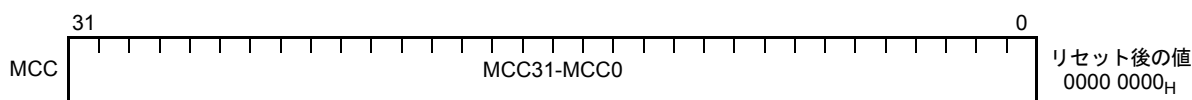


表 3.50 MCC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	MCC31-MCC0	MCC レジスタへの任意の値を書き込むと、メモリ保護設定のチェックが開始されます。事前に MCA/MCS レジスタを設定し、このレジスタへの書き込み操作を行うことで、MCR に結果が格納されます。任意の書き込み値で、チェックを開始するため、r0 をソースレジスタとして、余分なレジスタを使用することなく、チェックを開始できます。 また、チェックは、PSW.UM ビットの状態にかかわらず、各領域設定にしたがった結果を反映します。 MCC レジスタからの読み出し値は、常に 0000 0000 _H となります。	R/W	0

(h) MCR — メモリ保護設定チェック結果

メモリ保護設定のチェックの結果を格納するレジスタです。

ビット 31 ~ 9、7、6 には、必ず 0 を設定してください。

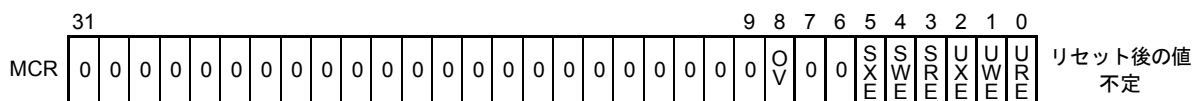


表 3.51 MCR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 9	—	(将来のための予約です。必ず 0 を設定してください。)	R	0
8	OV	指定された領域が 0000 0000 _H または、7FFF FFFF _H をまたがる場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
7、6	—	(将来のための予約です。必ず 0 を設定してください。)	R	0
5	SXE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパーバイザ実行許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
4	SWE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパーバイザライト許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
3	SRE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパーバイザリード許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
2	UXE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザーモード実行許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
1	UWE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザーモードライト許可であった場合に、1 が格納されます。それ以外の場合は 0 が格納されます。	R/W	不定
0	URE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザーモードリード許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定

(i) MPLAn — 保護領域の下限アドレス

領域 n の下限アドレスを示すレジスタです ($n=0 \sim 15$)。

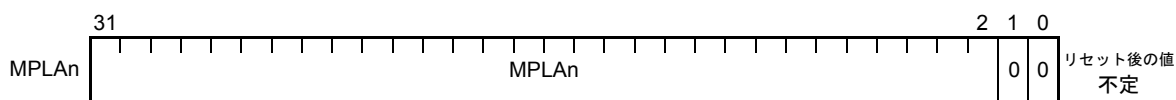


表 3.52 MPLAn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 2	MPLA31- MPLA2	領域 n の下限アドレスを示します。 MPLA1、MPLA0 は暗黙的に 0 を使用します。	R/W	不定
1、0	—	将来のための予約です。必ず 0 に設定してください。	R	0

(j) MPUAn — 保護領域の上限アドレス

領域 n の上限アドレスを示すレジスタです ($n=0 \sim 15$)。

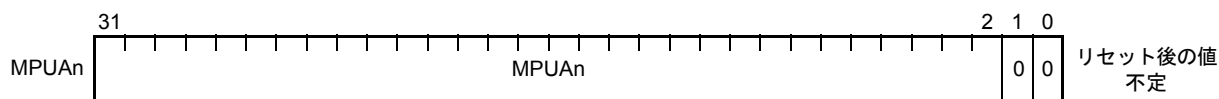


表 3.53 MPUAn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 2	MPUA31- MPUA2	領域 n の上限アドレスを示します。 MPUAn.MPUA1、MPUA0 は暗黙的に 1 を使用します。	R/W	不定
1、0	—	将来のための予約です。必ず 0 に設定してください。	R	0

(k) MPATn — 保護領域の属性

領域 n の属性を示すレジスタです (n = 0 ~ 15)。

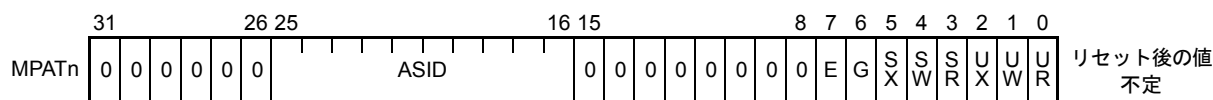


表 3.54 MPATn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 26	—	(将来のための予約です。必ず 0 に設定してください。)	R	0
25 ~ 16	ASID	領域一致の条件として利用する ASID の値を示します。	R/W	不定
15 ~ 8	—	(将来のための予約です。必ず 0 に設定してください。)	R	0
7	E	領域 n の有効/無効を示します。 0: 領域 n を無効とする 1: 領域 n を有効とする	R/W	0
6	G	0: ASID 一致を条件とする 1: ASID 一致を条件としない このビットが 0 の場合は、MPATn.ASID = ASID.ASID であることが領域一致の条件となります。このビットが 1 の場合は、MPATn.ASID と ASID.ASID の値を領域一致の条件としません。	R/W	不定
5	SX	スーパーバイザモードでの実行権を示します 注1。 0: 実行禁止 1: 実行許可	R/W	不定
4	SW	スーパーバイザモードでの書き込み許可を示します 注1。 0: 書き込み禁止 1: 書き込み許可	R/W	不定
3	SR	スーパーバイザモードでの読み出し許可を示します 注1。 0: 読み出し禁止 1: 読み出し許可	R/W	不定
2	UX	ユーザモードでの実行権を示します。 0: 実行禁止 1: 実行許可	R/W	不定
1	UW	ユーザモードでの書き込み許可を示します。 0: 書き込み禁止 1: 書き込み許可	R/W	不定
0	UR	ユーザモードでの読み出し許可を示します。 0: 読み出し禁止 1: 読み出し許可	R/W	不定

注 1. SV モードでアクセス制限をする場合、設定によっては MDP 例外、MIP 例外処理自身が実行できなくなる場合があります。あらかじめ例外ハンドラ、例外処理に必要なメモリ領域は、アクセスを許可するように注意して設定を行ってください。

(6) キャッシュ操作機能レジスタ

キャッシュ操作機能を搭載しないため、すべてのレジスタは常に0を読み出し、書き込みは無視されます。

表 3.55 キャッシュ操作機能レジスタ一覧

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR12, 4	BWERRL	搭載していません。常に0を読み出し、書き込みは無視されます。	SV
SR13, 4	BWERRH		SV
SR14, 4	BRERRL		SV
SR15, 4	BRERRH		SV
SR16, 4	ICTAGL		SV
SR17, 4	ICTAGH		SV
SR18, 4	ICDATL		SV
SR19, 4	ICDATH		SV
SR20, 4	DCTAGL		SV
SR21, 4	DCTAGH		SV
SR22, 4	DCDATL		SV
SR23, 4	DCDATH		SV
SR24, 4	ICCTRL		SV
SR25, 4	DCCTRL		SV
SR26, 4	ICCFG		SV
SR27, 4	DCCFG		SV
SR28, 4	ICERR		SV
SR29, 4	DCERR		SV

3.2.1.3 命令

ソフトウェアマニュアルの「命令」を参照してください。

snooze 命令は 32 クロックで CPU コアの動作を停止させます。

3.2.2 Code flash 用バッファ

3.2.2.1 特長

Code flash には2つのパスでアクセスします。命令フェッチアクセスは直接 Flash インタフェースにアクセスし、データアクセスはシステムインタコネクを介してアクセスします。これらのパスはどちらもバッファを備えており、ソフトウェアによりクリアできます。これらのパスの ECC デコーダについては、**図 33.1 Code Flash の ECC ブロック図**を参照してください。

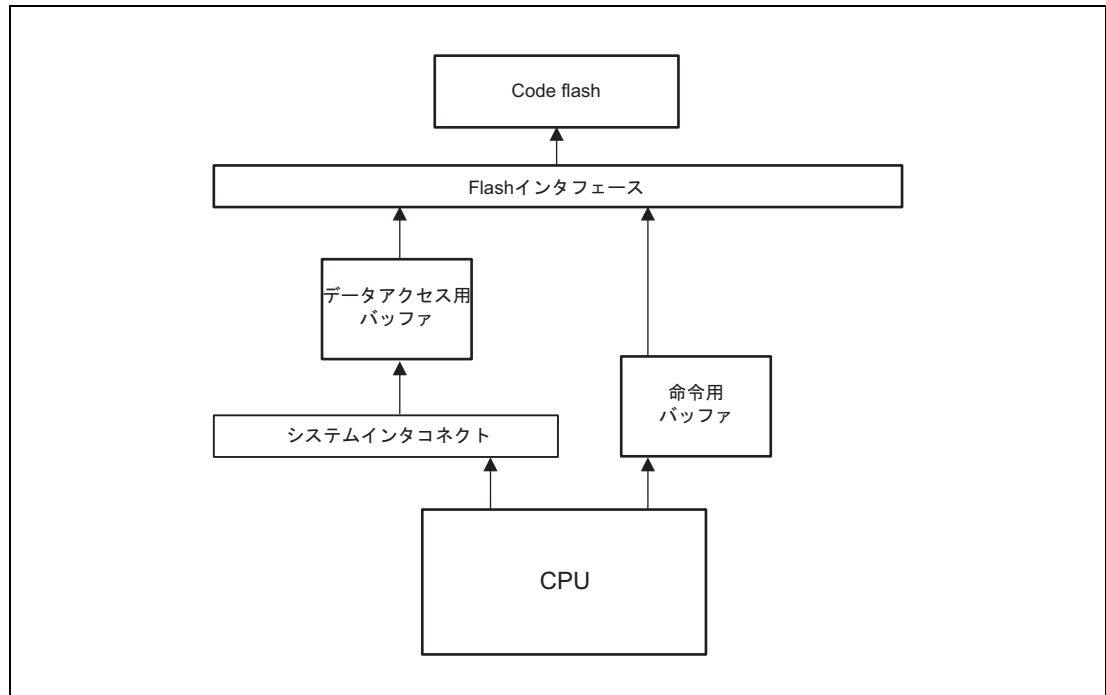


図 3.2 Code flash 用バッファ

3.2.2.2 バッファの機能

Code flash に対する命令フェッチ用に、128 ビットの 1 ラインバッファを搭載しています。次回以降、同一アドレスにアクセスした場合、データはバッファから読み出されるため、128 ビット位置内では Code flash へのアクセスは発生しません。

データバッファとして、128 ビットの 1 ラインバッファを搭載しています。このバッファは CPU だけでなく、システムインタコネクを介して DMA によっても使用されます。次のアクセスが同じ 128 ビット境界内であれば、データはバッファから読み出されます。

FBUFCCTL というバッファ制御レジスタを搭載しています。FBUFCCTL レジスタを使用して、ソフトウェアによりこれらの2つのバッファをクリアできます。

3.2.3 信頼性機能

3.2.3.1 PE ガード機能 (PEG)

(1) PEG 機能概要

PEG は Slave Guard の構成要素であり、外部マスタから CPU (PE) 内資源への不正なアクセスを防止します。PE 内部のローカル RAM およびリテンション RAM へのアクセスが対象です。リセット初期状態では、自 PE 以外のマスタからのアクセスを全てガードします。「(3) PEG 保護設定レジスタ一覧」のレジスタを設定することで、自 PE 以外のマスタからのアクセスを許可します。

(1) PE ガード違反の検出

PE ガードを設定した PE 内の資源領域に対して、PE 外部のマスタが不正なアクセスを行うと「PE ガード違反」として検出します。

(2) 不正アクセスの阻止

PE ガード違反を検出した場合、PE 資源の内容が不正に書き換えられてしまうことを防ぐために、PE 内部への不正アクセスを阻止します。

(3) 違反発生の通知

不正アクセスに対するエラー応答が外部マスタの要求元に送られます。DMA コントローラが不正なアクセスを行った場合、その間は DMA 転送エラーが検知されます。PE ガード違反は、FEINT 要因である INTGUARD 割り込み要求として通知されます。

(2) SPID による保護

- PEG 保護設定

- 自 PE の ローカル RAM アドレスおよびリテンション RAM アドレスによって 4 領域まで設定できます。
- 領域の範囲指定は「ベースアドレス」と「マスクビット」により行います (最小 4KB ~ 最大 4 GB)。
- 各領域に対して「リード許可」、「ライト許可」をそれぞれ設定できます。
- 各領域に対して「システム保護識別子 (SPID)」ごとに許可/禁止を選択できます。

- 「システム保護識別子 (SPID)」によるアクセス許可

1. アクセス対象が「ローカル RAM 領域」または「リテンション RAM 領域」なら 2 へ。
2. アクセス対象が「有効な 領域 0 ~ 3」のどれかの範囲内であれば 3 へ。
さもなければ「エラー応答」を返します。
3. 該当領域に対して以下の条件すべてを満たせばアクセスを許可。
 - 「システム保護識別子 (SPID)」が許可
 - 「要求されている操作 (リード、ライト)」が許可さもなければ「エラー応答」を返します。

(3) PEG 保護設定レジスタ一覧

外部マスタによる不正アクセスから PE 内資源を保護するには、以下のレジスタに必要な設定を行います。

- PE内部のローカル RAMおよびリテンションRAMへのアクセスを検出対象として許可を与えます。

表 3.58 PEG レジスタ (ベースアドレス : FFFE E600_H)

モジュール名	アドレス オフセット	サイズ (byte)	レジスタ名称	略称	権限	R/W	操作可能ビット				リセット後 の値
							1	8	16	32	
PEG	+00C _H	4	PEG SPID 制御レジスタ	PEGSP	—	R/W	—	○	○	○	0000 0000 _H
	+080 _H	4	PEG 領域 0 マスク設定レジスタ	PEGG0MK	—	R/W	—	○	○	○	0000 0000 _H
	+084 _H	4	PEG 領域 0 ベース設定レジスタ	PEGG0BA	—	R/W	—	○	○	○	0000 0000 _H
	+090 _H	4	PEG 領域 1 マスク設定レジスタ	PEGG1MK	—	R/W	—	○	○	○	0000 0000 _H
	+094 _H	4	PEG 領域 1 ベース設定レジスタ	PEGG1BA	—	R/W	—	○	○	○	0000 0000 _H
	+0A0 _H	4	PEG 領域 2 マスク設定レジスタ	PEGG2MK	—	R/W	—	○	○	○	0000 0000 _H
	+0A4 _H	4	PEG 領域 2 ベース設定レジスタ	PEGG2BA	—	R/W	—	○	○	○	0000 0000 _H
	+0B0 _H	4	PEG 領域 3 マスク設定レジスタ	PEGG3MK	—	R/W	—	○	○	○	0000 0000 _H
	+0B4 _H	4	PEG 領域 3 ベース設定レジスタ	PEGG3BA	—	R/W	—	○	○	○	0000 0000 _H

(4) レジスタセット

(a) PEGSP — PEG SPID 制御レジスタ

アクセス PEGSP レジスタは、32 ビット単位でリード/ライト可能です。
 PEGSPL レジスタは、16 ビット単位でリード/ライト可能です。
 PEGSPLL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス PEGSP : FFFE E60C_H
 PEGSPL : FFFE E60C_H
 PEGSPLL : FFFE E60C_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 3.59 PEGSP レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	SPEN	SPID を指定した外部マスタへのアクセス権限 0 : 許可しない 1 : 許可する

(b) PEGGnMK — PEG 領域 n マスク設定レジスタ (n = 0 ~ 3)

PEGGnMK レジスタは、アクセスアドレスと比較する PEGGnBA.GnBASE ビットを定義します。ビット PEGGnMK.GnMASK[m] がクリアされた場合、アクセスアドレスのビット m はビット PEGGnBA.GnBASE[m] と比較を行います。

アクセス PEGGnMK レジスタは、32 ビット単位でリード/ライト可能です。
PEGGnMKL、PEGGnMKH レジスタは、16 ビット単位でリード/ライト可能です。
PEGGnMKLH、PEGGnMKHL、PEGGnMKHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス PEGGnMK : FFFE E680_H + (10_H × n)
PEGGnMKL : FFFE E680_H + (10_H × n)、
PEGGnMKH : FFFE E682_H + (10_H × n)
PEGGnMKLH : FFFE E681_H + (10_H × n)、
PEGGnMKHL : FFFE E682_H + (10_H × n)、
PEGGnMKHH : FFFE E683_H + (10_H × n)

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GnMASK															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GnMASK				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

表 3.60 PEGGnMK レジスタの内容

ビット位置	ビット名	機能
31 ~ 12	GnMASK	0 : 対象となるビットは、PE ガード領域判定時の比較対象 1 : 対象となるビットは、PE ガード領域判定時の比較対象外
11 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

備考

PEGGnMK レジスタに対して書き込みを行う場合、対応する PEGGnBA レジスタの GnEN ビットが自動的にクリアされます。

(c) PEGGnBA — PEG 領域 n ベース設定レジスタ (n = 0 ~ 3)

PE ガード保護領域 n の範囲を PEGGnMK レジスタとの組み合わせで指定するレジスタです。GnEN ビットに 1 をセットすると、本レジスタと PEGGnMK レジスタで設定したアクセス許可条件が有効になります。

アクセス PEGGnBA レジスタは、32 ビット単位でリード/ライト可能です。
PEGGnBAL、PEGGnBAH レジスタは、16 ビット単位でリード/ライト可能です。
PEGGnBALL、PEGGnBALH、PEGGnBAHL、PEGGnBAHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス PEGGnBA : $FFFE\ E684_H + (10_H \times n)$
PEGGnBAL : $FFFE\ E684_H + (10_H \times n)$ 、
PEGGnBAH : $FFFE\ E686_H + (10_H \times n)$
PEGGnBALL : $FFFE\ E684_H + (10_H \times n)$ 、
PEGGnBALH : $FFFE\ E685_H + (10_H \times n)$ 、
PEGGnBAHL : $FFFE\ E686_H + (10_H \times n)$ 、
PEGGnBAHH : $FFFE\ E687_H + (10_H \times n)$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GnBASE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GnBASE			—	—	—	—	GnSP3	GnSP2	GnSP1	GnSP0	—	GnWR	GnRD	GnEN	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 3.61 PEGGnBA レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 12	GnBASE	PE ガード保護領域 n の範囲を指定するベースアドレスを設定します。
11 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	GnSP3	PE ガード保護領域 n に対する SPID = 3 の外部マスタによるアクセス許可を設定します。 0 : 許可しない 1 : 許可する
6	GnSP2	PE ガード保護領域 n に対する SPID = 2 の外部マスタによるアクセス許可を設定します。 0 : 許可しない 1 : 許可する
5	GnSP1	PE ガード保護領域 n に対する SPID = 1 の外部マスタによるアクセス許可を設定します。 0 : 許可しない 1 : 許可する
4	GnSP0	PE ガード保護領域 n に対する SPID = 0 の外部マスタによるアクセス許可を設定します。 0 : 許可しない 1 : 許可する
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 3.61 PEGnBA レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	GnWR	PE ガード保護領域 n に対するライト許可を設定します。 0 : ライトアクセスを許可しない 1 : ライトアクセスを許可
1	GnRD	PE ガード保護領域 n に対するリード許可を設定します。 0 : リードアクセスを許可しない 1 : リードアクセスを許可
0	GnEN	PE ガード保護領域 n に対するアクセス許可条件の設定を有効にします。 0 : アクセス許可条件の設定無効 1 : アクセス許可条件の設定有効

備考

PEGnMK レジスタに対して書き込みを行う場合、対応する PEGnBA レジスタの GnEN ビットが自動的にクリアされます。

3.2.3.2 システムエラー通知制御機能 (SEG)

SEG (SysErrGen) は、データアクセスによるシステムエラーの発生にともなう割り込み通知／記録を制御します。

複数のエラー発生入力エラー要因ごとに区別され、優先すべきエラー要因から順に処理し、FE レベルの非同期例外 (SYSERR) を発生させます。

SEGFLAG レジスタでのビット位置がエラー要因の優先順位となり、上位ビットより下位ビットのエラー要因を優先します。

エラーアドレス情報はエラー発生回数によらず、一度だけ記録されます。

エラーが同時に発生した場合はエラー要因の優先順位が最高位のものが有効です。記録されたエラーアドレス情報はその後のエラーによって上書きされることはありません。

(1) SEG 機能制御レジスタ一覧

表 3.62 SEG レジスタ (ベースアドレス : FFFE E980_H)

モジュール名	アドレス オフセット	サイズ (byte)	レジスタ名称	略称	権限 ^{注1}	R/W	操作可能ビット				リセット後 の値
							1	8	16	32	
SEG	+00 _H	2	SEG エラー通知制御レジスタ	SEGCONT	SV	R/W	—	—	○	—	0000 _H
	+02 _H	2	SEG エラー発生保持レジスタ	SEGFLAG	SV	R/W	—	—	○	—	0000 _H
	+08 _H	4	SEG エラーアドレス情報レジスタ	SEGADDR	SV	R/W	—	—	—	○	不定 (保持)

注 1. 「SV」と記載されたレジスタは、SV 権限 (UM = 0) で書き込みが可能です。この条件を満たさない書き込みに対しては SYSERR 例外が発生し VCIF フラグがセットされます。読み出しアクセスには制限はありません。

(2) レジスタセット

(a) SEGCONT — SEG エラー制御レジスタ

エラーの発生状態を要因ごとに保存するエラー発生フラグに対して、SysErr 要求の通知許可 (=1) / 不許可 (=0) を設定します。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	VCSE	APIE	—	—	TCME	—	VCIE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R	R	R/W	R	R/W	R	R	R	R

表 3.63 SEGCONT レジスタの内容

ビット位置	ビット名	機能
15 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	VCSE	システムインタコネク内で検出されたエラーレスポンスの通知を許可します。
9	APIE	周辺装置からのエラーレスポンスの通知を許可します。以下のエラーが含まれません。 <ul style="list-style-type: none"> ライトアクセスでの周辺装置からのエラーレスポンス ライトアクセスでの PBG エラー
8、7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	TCME	自身のローカル RAM およびリテンション RAM へのデータアクセス時のエラーの通知を許可します。以下のエラーが含まれます。 <ul style="list-style-type: none"> 訂正できない ECC エラーの発生 RAM 未実装領域へのアクセスを検出
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	VCIE	P-Bus へのアクセス時のエラーレスポンスの通知を許可します。以下のエラーが含まれます。 <ul style="list-style-type: none"> 周辺装置からのエラーレスポンス (ライトアクセスのエラーを除く) PBG エラー (ライトアクセスのエラーを除く) Code Flash へのアクセス時のエラーレスポンスの通知を許可します。以下のエラーが含まれます。 <ul style="list-style-type: none"> 訂正できない ECC のエラー アドレスマップ内のアクセス禁止領域のうちの一部領域へのアクセス時のエラーレスポンスの通知を許可します。
3 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

(b) SEGFLAG — エラー発生保持レジスタ

エラーの発生状態を要因ごとに保存するエラー発生フラグです。エラー発生入力でセット (=1) されます。自動クリア (=0) はありません。

レジスタへの書き込みであれば、セット/クリアの両方が可能です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	VCSF	APIF	—	—	TCMF	—	VCIF	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R	R	R/W	R	R/W	R	R	R	R

表 3.64 SEGFLAG レジスタの内容

ビット位置	ビット名	機能
15 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	VCSF	SEGCONT レジスタのビット 10 に対応したフラグ。
9	APIF	SEGCONT レジスタのビット 9 に対応したフラグ。
8、7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	TCMF	SEGCONT レジスタのビット 6 に対応したフラグ。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	VCIF	SEGCONT レジスタのビット 4 に対応したフラグ。
3 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

備考

1つのエラーにより、SEG 内の複数のエラーフラグが設定されることがあります。

(c) SEGADDR — エラーアドレス情報レジスタ

エラー発生が通知されたアドレス情報 (1 履歴) がこのレジスタに格納されます。SEGFLAG レジスタの 1 つ以上のビットがセットされている場合は、このレジスタは更新されません。

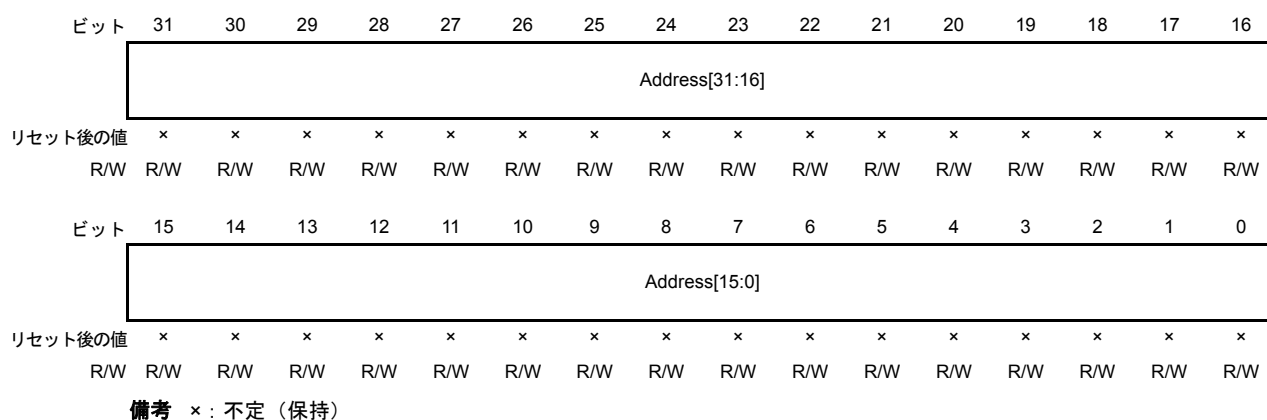


表 3.65 SEGADDR レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	Address	エラーアドレスを格納します。

備考

- SEGADDR は、SEGFLAG レジスタの VCIF ビットまたは TCMF ビットに関連したエラーが発生した場合にエラーアドレス情報を格納します。SEGFLAG レジスタの VCSF ビットまたは APIF ビットに関連したエラーの発生時には、SEGADDR レジスタに "0" が格納されます。
- SEGFLAG レジスタの TCMF ビットに関連したエラーの発生時には、エラーアドレスのビット [18:0] が SEGADDR[18:0] に格納され、SEGADDR[31:19] には 0 が挿入されます。

(3) SEG 機能

(a) SEG 機能：エラー発生フラグによる SysErr 要求の通知

- 各エラー発生フラグはセット優先
 - 同時のクリア操作は無視します。
- エラー要因の優先順位
 - SEGCONT レジスタでエラー通知が許可された SEGFLAG レジスタの各フラグのビット位置がエラー要因の優先順位となり、上位ビットより下位ビットのエラー要因を優先します。エラー要因のうち優先順位の高いものから通知します。
 - エラー要因のビット位置を「SysErr 要因コード」として通知します。
- SysErr 要求の通知開始条件
 - SEGCONT レジスタでエラー通知が禁止されているフラグをセットしても通知しません。
 - SEGCONT レジスタでエラー通知が許可されているフラグをセットした直後に通知します。
 - フラグのクリア操作後は、SEGCONT レジスタでエラー通知が許可されたその他のフラグがセットされると通知します。
- SysErr 要求応答で通知を終了
 - 通知を終了しても、フラグを自動クリアしません。
 - 新たなフラグのセットまたはフラグのクリアがあるまで通知しません。
 - 要求応答までにエラー要因よりも優先するエラー発生フラグがセットされると通知内容がより上位の SysErr 要因コードに挿し替わることがあります。

(b) SEG 機能：エラー要因のアドレス情報記録

- SEGCONT レジスタで許可されているエラー通知のエラー発生時に、そのエラーアドレスを SEGADDR レジスタに保持します。
 - SEGFLAG レジスタのエラーフラグのセット／クリア操作では情報の保持は行われません。
 - 同時に複数のエラー発生入力があるとき、優先するエラー要因以外の情報は保持されません。
- SEGCONT レジスタで許可されているエラー通知のフラグがセットされている状態では SEGADDR レジスタに対する上書きを抑制します。
 - エラー発生入力が連続した場合には、後発のエラー要因の情報は保持されません。
 - レジスタ上書き抑制を解除するには、SEGCONT レジスタ／SEGFLAG レジスタのいずれか（または両方）をクリアしてください。

(c) SYSERR 例外に関する補足事項

- SYSERR 例外が発生しても PSW.EBV ビットの値は保持され、例外ハンドラのベースアドレスは切り替わりません。

3.3 注意事項

3.3.1 ストア命令の完了と後続命令の同期化

ストア命令によって各制御レジスタを更新する場合、CPUによるストア命令の実行から実際に制御レジスタが更新されるまでには時間差があります。このため、ストア命令に続く命令に対して、ストア命令による制御レジスタの更新内容を反映したい場合は、適切な同期化処理が必要になります。以下に同期化処理の実行方法を示します。

LDSR 命令によるシステムレジスタの更新と後続命令の同期化に関する手続きについては、**ユーザーズマニュアル ソフトウェア編「付録A システム・レジスタのハザード解消手続き」**をご参照ください。

制御レジスタの更新結果を、後続命令の実行に反映させる場合

【例 1】

INTC2 や周辺回路の制御レジスタアクセスによって割り込み要求をクリアしてから、EI 命令を実行して割り込みを許可する場合があります。この場合は以下の処理を実行してください。

1. 制御レジスタを更新するストア命令 (ST.W など)
2. 上記制御レジスタのダミーリード (LD.W など)
3. SYNCNP
4. 後続の命令 (EI)

RH850/F1K の場合、SYNCP 命令により、上記の (2) および (3) と同じ操作が実行されます。

【例 2】

ある制御レジスタ A の確実な更新を待ってから、ほかの制御レジスタ B にアクセスする必要がある場合も、同様の処理を実行してください。例えば、異なる周辺機能を連携動作させる場合や、周辺機能を設定してから INTC の割り込みマスクを解除する場合などが考えられます。ただし、制御レジスタ A と B が同じ周辺グループであれば、この処理は不要です。

1. 制御レジスタ A を更新するストア命令 (ST.W など)
2. 上記制御レジスタのダミーリード (LD.W など)
3. SYNCNP
4. 制御レジスタ B にアクセスするストア命令 (ST.W, LD.W など)

RH850/F1K の場合、SYNCP 命令により、上記の (2) および (3) と同じ操作が実行されます。

なお、各種メモリ保護や ECC などのセーフティ機能の設定完了を待ってから、保護対象の制御レジスタやメモリへのアクセスを開始する場合も、同様の処理が必要です。

制御レジスタやメモリの更新結果を、後続命令の命令フェッチに反映させる場合

(a) RAMに命令を書き込んでから、そのRAMに分岐して書き込んだ命令を実行したい場合は、以下の処理を実行してください。

- (1) メモリを更新するストア命令 (ST.W など)
- (2) 上記メモリのダミーリード (LD.W など)
- (3) SYNCNP
- (4) SYNCI
- (5) 後続の命令 (分岐命令など)

(b) メモリ保護機能およびECCの制御レジスタの更新完了を待ってから対象のメモリに分岐する場合は、以下の処理を実行してください。

- (1) 制御レジスタを更新するストア命令 (ST.W など)
- (2) 制御レジスタのダミーリード (LD.W など)
- (3) SYNCNP
- (4) SYNCI
- (5) 後続の命令 (分岐命令など)

Code Flashの領域を切り替える場合

この場合は、「RH850/F1K フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編」の「第10章 使用上の注意点 (7) BFASLRレジスタの更新」をご参照ください。

3.3.2 コードフラッシュ書き換え後のコヒーレンシ確保

「3.2.2 Code flash 用バッファ」に示したように、CPU1 はコードフラッシュ領域に対するバッファを搭載しています。このため、セルフプログラミングでコードフラッシュを書き換えた後は、コヒーレンシ確保のためにバッファをクリアしてください。

3.3.3 ビット操作命令でのレジスタアクセス

ビット操作命令によるライトは、8 ビット単位のリードモディファイライト処理です。このため、8 ビット単位のリードアクセスとライトアクセスを許可しているレジスタであれば、基本的にビット操作命令でのアクセスが可能です。しかし、複数のフラグビットを共有しているレジスタには、リードモディファイライトによりクリア対象外のフラグもクリアしてしまうものもあるのでご注意ください。

3.3.4 プリフェッチに関する注意

メモリの読み出しが、命令コードが存在しない領域からのプリフェッチにより発生する可能性があります。命令コードが格納されている領域の後ろに、40 バイト以上の初期化領域を確保してください。

第4章 アドレス空間

4.1 アドレス空間

表 4.1 ～表 4.4 に RH850/F1K のアドレス空間を示します。

注 意

内蔵 I/O レジスタ空間において、レジスタがないアドレスにアクセスしないでください。また、表 4.1 ～表 4.4 に示すアクセス禁止領域に対してもアクセスしないでください。アクセスした場合は、動作の保証はできません。

備 考

CPU1 領域：CPU/DMA から参照可能なアドレス領域

セルフ領域：CPU からのみ参照可能な各 CPU 自身のリソースのアドレス領域

表 4.1 アドレス空間（2MB 100/144/176 ピン製品）

アドレス	アドレス空間の種類	サイズ
0000 0000 _H ～ 001F FFFF _H	コードフラッシュ	2 MB
0020 0000 _H ～ 00FF FFFF _H	アクセス禁止領域	
0100 0000 _H ～ 0100 7FFF _H	コードフラッシュ（拡張ユーザ領域）	32 KB
0100 8000 _H ～ FEBC FFFF _H	アクセス禁止領域	
FEBD 0000 _H ～ FEBE FFFF _H	ローカル RAM（CPU1 領域）	128 KB
FEBF 0000 _H ～ FEBF FFFF _H	リテンション RAM（CPU1 領域）	64 KB
FEC0 0000 _H ～ FEDC FFFF _H	アクセス禁止領域	
FEDD 0000 _H ～ FEDE FFFF _H	ローカル RAM（セルフ領域）	128 KB
FEDF 0000 _H ～ FEDF FFFF _H	リテンション RAM（セルフ領域）	64 KB
FEE0 0000 _H ～ FF1F FFFF _H	アクセス禁止領域	
FF20 0000 _H ～ FF20 FFFF _H	データフラッシュ	64 KB
FF21 0000 _H ～ FF9F FFFF _H	アクセス禁止領域	
FFA0 0000 _H ～ FFFD FFFF _H	内蔵周辺 I/O 領域	6 MB – 128 KB
FFFE 0000 _H ～ FFFE DFFF _H	アクセス禁止領域	
FFFE E000 _H ～ FFFE FFFF _H	内蔵周辺 I/O 領域（セルフ領域）	8 KB
FFFF 0000 _H ～ FFFF 4FFF _H	アクセス禁止領域	
FFFF 5000 _H ～ FFFF FFFF _H	内蔵周辺 I/O 領域	44 KB

表 4.2 アドレス空間 (1.5-MB 100/144/176 ピン製品)

アドレス	アドレス空間の種類	サイズ
0000 0000 _H ~ 0017 FFFF _H	コードフラッシュ	1.5 MB
0018 0000 _H ~ 00FF FFFF _H	アクセス禁止領域	
0100 0000 _H ~ 0100 7FFF _H	コードフラッシュ (拡張ユーザ領域)	32 KB
0100 8000 _H ~ FEBD 7FFF _H	アクセス禁止領域	
FEBD 8000 _H ~ FEBE FFFF _H	ローカル RAM (CPU1 領域)	96 KB
FEBF 0000 _H ~ FEBF FFFF _H	リテンション RAM (CPU1 領域)	64 KB
FEC0 0000 _H ~ FEDD 7FFF _H	アクセス禁止領域	
FEDD 8000 _H ~ FEDE FFFF _H	ローカル RAM (セルフ領域)	96 KB
FEDF 0000 _H ~ FEDF FFFF _H	リテンション RAM (セルフ領域)	64 KB
FEE0 0000 _H ~ FF1F FFFF _H	アクセス禁止領域	
FF20 0000 _H ~ FF20 FFFF _H	データフラッシュ	64 KB
FF21 0000 _H ~ FF9F FFFF _H	アクセス禁止領域	
FFA0 0000 _H ~ FFFD FFFF _H	内蔵周辺 I/O 領域	6 MB – 128 KB
FFFE 0000 _H ~ FFFE DFFF _H	アクセス禁止領域	
FFFE E000 _H ~ FFFE FFFF _H	内蔵周辺 I/O 領域 (セルフ領域)	8 KB
FFFF 0000 _H ~ FFFF 4FFF _H	アクセス禁止領域	
FFFF 5000 _H ~ FFFF FFFF _H	内蔵周辺 I/O 領域	44 KB

表 4.3 アドレス空間 (1-MB 100/144/176 ピン製品)

アドレス	アドレス空間の種類	サイズ
0000 0000 _H ~ 000F FFFF _H	コードフラッシュ	1 MB
0010 0000 _H ~ 00FF FFFF _H	アクセス禁止領域	
0100 0000 _H ~ 0100 7FFF _H	コードフラッシュ (拡張ユーザ領域)	32 KB
0100 8000 _H ~ FEBD FFFF _H	アクセス禁止領域	
FEBE 0000 _H ~ FEBE FFFF _H	ローカル RAM (CPU1 領域)	64 KB
FEBF 0000 _H ~ FEBF FFFF _H	リテンション RAM (CPU1 領域)	64 KB
FEC0 0000 _H ~ FEDD FFFF _H	アクセス禁止領域	
FEDE 0000 _H ~ FEDE FFFF _H	ローカル RAM (セルフ領域)	64 KB
FEDF 0000 _H ~ FEDF FFFF _H	リテンション RAM (セルフ領域)	64 KB
FEE0 0000 _H ~ FF1F FFFF _H	アクセス禁止領域	
FF20 0000 _H ~ FF20 FFFF _H	データフラッシュ	64 KB
FF21 0000 _H ~ FF9F FFFF _H	アクセス禁止領域	
FFA0 0000 _H ~ FFFD FFFF _H	内蔵周辺 I/O 領域	6 MB – 128 KB
FFFE 0000 _H ~ FFFE DFFF _H	アクセス禁止領域	
FFFE E000 _H ~ FFFE FFFF _H	内蔵周辺 I/O 領域 (セルフ領域)	8 KB
FFFF 0000 _H ~ FFFF 4FFF _H	アクセス禁止領域	
FFFF 5000 _H ~ FFFF FFFF _H	内蔵周辺 I/O 領域	44 KB

表 4.4 アドレス空間 (768-KB 100/144 ピン製品)

アドレス	アドレス空間の種類	サイズ
0000 0000 _H ~ 000B FFFF _H	コードフラッシュ	768 KB
000C 0000 _H ~ 00FF FFFF _H	アクセス禁止領域	
0100 0000 _H ~ 0100 7FFF _H	コードフラッシュ (拡張ユーザ領域)	32 KB
0100 8000 _H ~ FEBE 7FFF _H	アクセス禁止領域	
FEBE 8000 _H ~ FEBE FFFF _H	ローカル RAM (CPU1 領域)	32 KB
FEBF 0000 _H ~ FEBF FFFF _H	リテンション RAM (CPU1 領域)	64 KB
FEC0 0000 _H ~ FEDE 7FFF _H	アクセス禁止領域	
FEDE 8000 _H ~ FEDE FFFF _H	ローカル RAM (セルフ領域)	32 KB
FEDF 0000 _H ~ FEDF FFFF _H	リテンション RAM (セルフ領域)	64 KB
FEE0 0000 _H ~ FF1F FFFF _H	アクセス禁止領域	
FF20 0000 _H ~ FF20 FFFF _H	データフラッシュ	64 KB
FF21 0000 _H ~ FF9F FFFF _H	アクセス禁止領域	
FFA0 0000 _H ~ FFFD FFFF _H	内蔵周辺 I/O 領域	6 MB – 128 KB
FFFE 0000 _H ~ FFFE DFFF _H	アクセス禁止領域	
FFFE E000 _H ~ FFFE FFFF _H	内蔵周辺 I/O 領域 (セルフ領域)	8 KB
FFFF 0000 _H ~ FFFF 4FFF _H	アクセス禁止領域	
FFFF 5000 _H ~ FFFF FFFF _H	内蔵周辺 I/O 領域	44 KB

4.2 各バスマスタから見たアドレス空間

各バスマスタから見たアドレス空間を表 4.5 に示します。

4.2.1 命令フェッチ可能空間

CPU は、コードフラッシュ、ローカル RAM、リテンション RAM から命令フェッチ可能です。

4.2.2 CPU によるデータアクセス可能空間

CPU からアクセス可能な空間について、表 4.5 を参照してください。

4.2.3 DMA によるデータアクセス可能空間

DMA からアクセス可能な空間について、表 4.5 を参照してください。

表 4.5 各バスマスタから見たアドレス空間 (2MB 品の場合)

アドレス	CPU からのアクセス	DMA からのアクセス
0000 0000 _H ~ 001F FFFF _H	コードフラッシュ	コードフラッシュ
0020 0000 _H ~ 00FF FFFF _H	アクセス禁止領域	アクセス禁止領域
0100 0000 _H ~ 0100 7FFF _H	コードフラッシュ (拡張ユーザ領域)	コードフラッシュ (拡張ユーザ領域)
0100 8000 _H ~ FEBC FFFF _H	アクセス禁止領域	アクセス禁止領域
FEBD 0000 _H ~ FEBE FFFF _H	ローカル RAM (CPU1 領域)	ローカル RAM (CPU1 領域)
FEBF 0000 _H ~ FEBF FFFF _H	リテンション RAM (CPU1 領域)	リテンション RAM (CPU1 領域)
FEC0 0000 _H ~ FEDC FFFF _H	アクセス禁止領域	アクセス禁止領域
FEDD 0000 _H ~ FEDE FFFF _H	ローカル RAM (セルフ領域)	アクセス禁止領域
FEDF 0000 _H ~ FEDF FFFF _H	リテンション RAM (セルフ領域)	アクセス禁止領域
FEE0 0000 _H ~ FF1F FFFF _H	アクセス禁止領域	アクセス禁止領域
FF20 0000 _H ~ FF20 FFFF _H	データフラッシュ	データフラッシュ
FF21 0000 _H ~ FF9F FFFF _H	アクセス禁止領域	アクセス禁止領域
FFA0 0000 _H ~ FFFD FFFF _H	内蔵周辺 I/O 領域	内蔵周辺 I/O 領域
FFFE 0000 _H ~ FFFE DFFF _H	アクセス禁止領域	アクセス禁止領域
FFFE E000 _H ~ FFFE FFFF _H	内蔵周辺 I/O 領域 (セルフ領域)	アクセス禁止領域
FFFF 0000 _H ~ FFFF 4FFF _H	アクセス禁止領域	アクセス禁止領域
FFFF 5000 _H ~ FFFF FFFF _H	内蔵周辺 I/O 領域	内蔵周辺 I/O 領域

備考 上記マップ中の色は以下の区別を行っています。

フェッチおよびデータアクセス可能
データアクセス可能
アクセス禁止

4.3 周辺 I/O アドレスマップ

表 4.6 に周辺 I/O アドレスマップを示します。

表 4.6 周辺 I/O アドレスマップ (1/5)

アドレス	周辺グループ	周辺 I/O
FF00 0000 _H ~ FF1F FFFF _H	—	アクセス禁止領域
FF20 0000 _H ~ FF20 FFFF _H	2	データフラッシュ
FF21 0000 _H ~ FF9F FFFF _H	—	アクセス禁止領域
FFA0 0000 _H ~ FFA0 001F _H	1	FLMD (FLMDCNT)
FFA0 0020 _H ~ FFA0 0FFF _H	—	アクセス禁止領域
FFA0 1000 _H ~ FFA0 103F _H	—	アクセス禁止領域
FFA0 1040 _H ~ FFA0 1FFF _H	—	アクセス禁止領域
FFA0 2000 _H ~ FFA0 201F _H	—	アクセス禁止領域
FFA0 2020 _H ~ FFA0 FFFF _H	—	アクセス禁止領域
FFA1 0000 _H ~ FFA1 1FFF _H	1	フラッシュコントローラ
FFA1 2000 _H ~ FFA1 FFFF _H	—	アクセス禁止領域
FFA2 0000 _H ~ FFA2 FFFF _H	1	FACI 命令発行領域
FFA3 0000 _H ~ FFBF FFFF _H	—	アクセス禁止領域
FFC0 0000 _H ~ FFC0 000F _H	1	FENMI
FFC0 0010 _H ~ FFC0 00FF _H	—	アクセス禁止領域
FFC0 0100 _H ~ FFC0 010F _H	1	FEINT
FFC0 0110 _H ~ FFC0 0FFF _H	—	アクセス禁止領域
FFC0 1000 _H ~ FFC0 1007 _H	1	SELB_INTC
FFC0 1008 _H ~ FFC0 FFFF _H	—	アクセス禁止領域
FFC1 0000 _H ~ FFC1 4CCF _H	1	PORT
FFC1 4CD0 _H ~ FFC1 FFFF _H	—	アクセス禁止領域
FFC2 0000 _H ~ FFC2 04CF _H	1	PORT (JTAG)
FFC2 04D0 _H ~ FFC2 FFFF _H	—	アクセス禁止領域
FFC3 0000 _H ~ FFC3 00CF _H	1	PORT (DNF)
FFC3 00D0 _H ~ FFC3 3FFF _H	—	アクセス禁止領域
FFC3 4000 _H ~ FFC3 409F _H	1	FCLA0
FFC3 40A0 _H ~ FFC3 FFFF _H	—	アクセス禁止領域
FFC4 0000 _H ~ FFC4 004F _H	1	P-Bus ガード (PBG10)
FFC4 0050 _H ~ FFC4 00FF _H	—	アクセス禁止領域
FFC4 0100 _H ~ FFC4 014F _H	1	P-Bus ガード (PBG11)
FFC4 0150 _H ~ FFC4 03FF _H	—	アクセス禁止領域
FFC4 0400 _H ~ FFC4 044F _H	1	P-Bus ガード (PBG12)
FFC4 0450 _H ~ FFC4 04FF _H	—	アクセス禁止領域
FFC4 0500 _H ~ FFC4 054F _H	1	P-Bus ガード (PBG13)
FFC4 0550 _H ~ FFC4 BFFF _H	—	アクセス禁止領域
FFC4 C000 _H ~ FFC4 C00F _H	2	P-Bus ガード (PBGC0)
FFC4 C010 _H ~ FFC4 C0FF _H	—	アクセス禁止領域
FFC4 C100 _H ~ FFC4 C13F _H	2	P-Bus ガード (PBGC1)
FFC4 C140 _H ~ FFC4 C7FF _H	—	アクセス禁止領域
FFC4 C800 _H ~ FFC4 C80F _H	2	ERRSLV (PBGC0)
FFC4 C810 _H ~ FFC4 C8FF _H	—	アクセス禁止領域

表 4.6 周辺 I/O アドレスマップ (2/5)

アドレス	周辺グループ	周辺 I/O
FFC4 C900 _H ~ FFC4 C90F _H	2	ERRSLV (PBGC1)
FFC4 C910 _H ~ FFC5 97FF _H	—	アクセス禁止領域
FFC5 9800 _H ~ FFC5 981F _H	2	DCIB (EEPRDCYCL)
FFC5 9820 _H ~ FFC5 AFFF _H	—	アクセス禁止領域
FFC5 B000 _H ~ FFC5 B00F _H	2	FBUF CTRL
FFC5 B010 _H ~ FFC6 21FF _H	—	アクセス禁止領域
FFC6 2200 _H ~ FFC6 23FF _H	2	コードフラッシュ ECC (VCI)
FFC6 2400 _H ~ FFC6 25FF _H	2	コードフラッシュ ECC (CPU1)
FFC6 2600 _H ~ FFC6 29FF _H	—	アクセス禁止領域
FFC6 2A00 _H ~ FFC6 2A3F _H	2	データフラッシュ ECC
FFC6 2A40 _H ~ FFC6 4FFF _H	—	アクセス禁止領域
FFC6 5000 _H ~ FFC6 501F _H	2	ローカル RAM ECC TEST
FFC6 5020 _H ~ FFC6 53FF _H	—	アクセス禁止領域
FFC6 5400 _H ~ FFC6 55FF _H	2	ローカル RAM ECC
FFC6 5600 _H ~ FFC7 00FF _H	—	アクセス禁止領域
FFC7 0100 _H ~ FFC7 0413 _H	3	ECC CSIH0-3
FFC7 0414 _H ~ FFC7 12FF _H	—	アクセス禁止領域
FFC7 1300 _H ~ FFC7 1413 _H	3	ECC CAN
FFC7 1414 _H ~ FFC7 7FFF _H	—	アクセス禁止領域
FFC7 8000 _H ~ FFC7 8007 _H	1	SELB リードテスト
FFC7 8008 _H ~ FFC9 FFFF _H	—	アクセス禁止領域
FFCA 0000 _H ~ FFCA 007F _H	1	RIIC0
FFCA 0080 _H ~ FFCC FFFF _H	—	アクセス禁止領域
FFCD 0000 _H ~ FFCD 01FF _H	1	SCDS (PRDNAME/CHIPID)
FFCD 0200 _H ~ FFCD FFFF _H	—	アクセス禁止領域
FFCE 0000 _H ~ FFCE 017F _H	1	RLIN2
FFCE 0180 _H ~ FFCE 1FFF _H	—	アクセス禁止領域
FFCE 2000 _H ~ FFCE 217F _H	1	RLIN3
FFCE 2180 _H ~ FFCF FFFF _H	—	アクセス禁止領域
FFD0 0000 _H ~ FFD0 7FFF _H	3	RSCAN0
FFD0 8000 _H ~ FFD0 FFFF _H	3	RSCAN1
FFD1 0000 _H ~ FFD6 CFFF _H	—	アクセス禁止領域
FFD6 D000 _H ~ FFD6 D7FF _H	3	ADCA1
FFD6 D800 _H ~ FFD6 FFFF _H	—	アクセス禁止領域
FFD7 0000 _H ~ FFD7 003F _H	3	OSTM0
FFD7 0040 _H ~ FFD7 00FF _H	—	アクセス禁止領域
FFD7 0100 _H ~ FFD7 013F _H	3	OSTM1
FFD7 0140 _H ~ FFD7 01FF _H	—	アクセス禁止領域
FFD7 0200 _H ~ FFD7 023F _H	3	OSTM2
FFD7 0240 _H ~ FFD7 02FF _H	—	アクセス禁止領域
FFD7 0300 _H ~ FFD7 033F _H	3	OSTM3
FFD7 0340 _H ~ FFD7 03FF _H	—	アクセス禁止領域
FFD7 0400 _H ~ FFD7 043F _H	3	OSTM4
FFD7 0440 _H ~ FFD7 FFFF _H	—	アクセス禁止領域

表 4.6 周辺 I/O アドレスマップ (3/5)

アドレス	周辺グループ	周辺 I/O
FFD8 0000 _H ~ FFD8 107F _H	3	CSIH0
FFD8 1080 _H ~ FFD8 1FFF _H	—	アクセス禁止領域
FFD8 2000 _H ~ FFD8 307F _H	3	CSIH1
FFD8 3080 _H ~ FFD8 3FFF _H	—	アクセス禁止領域
FFD8 4000 _H ~ FFD8 507F _H	3	CSIH2
FFD8 5080 _H ~ FFD8 5FFF _H	—	アクセス禁止領域
FFD8 6000 _H ~ FFD8 707F _H	3	CSIH3
FFD8 7080 _H ~ FFD8 7FFF _H	—	アクセス禁止領域
FFD8 8000 _H ~ FFD8 901F _H	3	CSIG0
FFD8 9020 _H ~ FFD8 9FFF _H	—	アクセス禁止領域
FFD8 A000 _H ~ FFD8 B01F _H	3	CSIG1
FFD8 B020 _H ~ FFDC FFFF _H	—	アクセス禁止領域
FFDD 0000 _H ~ FFDD 00FF _H	2	PIC0
FFDD 0100 _H ~ FFDD CFFF _H	—	アクセス禁止領域
FFDD D000 _H ~ FFDD D04F _H	2	P-Bus ガード (PBG20)
FFDD D050 _H ~ FFDD D0FF _H	—	アクセス禁止領域
FFDD D100 _H ~ FFDD D14F _H	2	P-Bus ガード (PBG21)
FFDD D150 _H ~ FFE1 FFFF _H	—	アクセス禁止領域
FFE2 0000 _H ~ FFE2 03FF _H	2	TAUD0
FFE2 0400 _H ~ FFE2 3FFF _H	—	アクセス禁止領域
FFE2 4000 _H ~ FFE2 4007 _H	2	SELB_TAUD0
FFE2 4008 _H ~ FFE2 FFFF _H	—	アクセス禁止領域
FFE3 0000 _H ~ FFE3 03FF _H	2	TAUB0
FFE3 0400 _H ~ FFE3 0FFF _H	—	アクセス禁止領域
FFE3 1000 _H ~ FFE3 13FF _H	2	TAUB1
FFE3 1400 _H ~ FFE4 FFFF _H	—	アクセス禁止領域
FFE5 0000 _H ~ FFE5 00FF _H	2	TAUJ0
FFE5 0100 _H ~ FFE5 0FFF _H	—	アクセス禁止領域
FFE5 1000 _H ~ FFE5 10FF _H	2	TAUJ1
FFE5 1100 _H ~ FFE5 3FFF _H	—	アクセス禁止領域
FFE5 4000 _H ~ FFE5 4007 _H	2	SELB_TAUJ0
FFE5 4008 _H ~ FFE6 FFFF _H	—	アクセス禁止領域
FFE7 0000 _H ~ FFE7 00FF _H	2	PWSA0
FFE7 0100 _H ~ FFE7 0FFF _H	—	アクセス禁止領域
FFE7 1000 _H ~ FFE7 21FF _H	2	PWGA
FFE7 2200 _H ~ FFE7 27FF _H	—	アクセス禁止領域
FFE7 2800 _H ~ FFE7 281F _H	2	PWBA0
FFE7 2820 _H ~ FFE7 2FFF _H	—	アクセス禁止領域
FFE7 3000 _H ~ FFE7 300F _H	2	SLPWGA
FFE7 3010 _H ~ FFE7 7FFF _H	—	アクセス禁止領域
FFE7 8000 _H ~ FFE7 807F _H	2	RTCA0
FFE7 8080 _H ~ FFE7 FFFF _H	—	アクセス禁止領域
FFE8 0000 _H ~ FFE8 007F _H	2	ENCA0
FFE8 0080 _H ~ FFE8 FFFF _H	—	アクセス禁止領域

表 4.6 周辺 I/O アドレスマップ (4/5)

アドレス	周辺グループ	周辺 I/O
FFE9 0000 _H ~ FFE9 003F _H	2	TAPA0
FFE9 0040 _H ~ FFEC FFFF _H	—	アクセス禁止領域
FFED 0000 _H ~ FFED 000F _H	2	WDTA0
FFED 0010 _H ~ FFED 0FFF _H	—	アクセス禁止領域
FFED 1000 _H ~ FFED 100F _H	2	WDTA1
FFED 1010 _H ~ FFF1 FFFF _H	—	アクセス禁止領域
FFF2 0000 _H ~ FFF2 07FF _H	1	ADCA0
FFF2 0800 _H ~ FFF6 FFFF _H	—	アクセス禁止領域
FFF7 0000 _H ~ FFF7 003F _H	1	DCRA0
FFF7 0040 _H ~ FFF7 0FFF _H	—	アクセス禁止領域
FFF7 1000 _H ~ FFF7 103F _H	1	DCRA1
FFF7 1040 _H ~ FFF7 1FFF _H	—	アクセス禁止領域
FFF7 2000 _H ~ FFF7 203F _H	1	DCRA2
FFF7 2040 _H ~ FFF7 2FFF _H	—	アクセス禁止領域
FFF7 3000 _H ~ FFF7 303F _H	1	DCRA3
FFF7 3040 _H ~ FFF7 7FFF _H	—	アクセス禁止領域
FFF7 8000 _H ~ FFF7 8003 _H	1	KR0
FFF7 8004 _H ~ FFF7 FFFF _H	—	アクセス禁止領域
FFF8 0000 _H ~ FFF8 000F _H	1	書き込み保護レジスタ (WPROTR)
FFF8 0010 _H ~ FFF8 00FF _H	—	アクセス禁止領域
FFF8 0100 _H ~ FFF8 011F _H	1	STBC0
FFF8 0120 _H ~ FFF8 03FF _H	—	アクセス禁止領域
FFF8 0400 _H ~ FFF8 040F _H	1	STBC_WUF0
FFF8 0410 _H ~ FFF8 051F _H	—	アクセス禁止領域
FFF8 0520 _H ~ FFF8 052F _H	1	STBC_WUF20
FFF8 0530 _H ~ FFF8 075F _H	—	アクセス禁止領域
FFF8 0760 _H ~ FFF8 0AFF _H	1	リセットコントローラ / 電源電圧モニタ (LVI、VLVI)
FFF8 0B00 _H ~ FFF8 0FFF _H	1	STBC_IOHOLD
FFF8 1000 _H ~ FFF8 2FFF _H	1	クロックコントローラ (CLKCTL)
FFF8 3000 _H ~ FFF8 307F _H	1	LPS0
FFF8 3080 _H ~ FFF8 30FF _H	—	アクセス禁止領域
FFF8 3100 _H ~ FFF8 3207 _H	1	電源電圧モニタ (CVM)
FFF8 3208 _H ~ FFF8 35FF _H	—	アクセス禁止領域
FFF8 3600 _H ~ FFF8 3603 _H	1	リセットコントローラ (CYCRBASE)
FFF8 3604 _H ~ FFF8 7FFF _H	—	アクセス禁止領域
FFF8 8000 _H ~ FFF8 800F _H	1	書き込み保護レジスタ (WPROTR)
FFF8 8010 _H ~ FFF8 810F _H	—	アクセス禁止領域
FFF8 8110 _H ~ FFF8 811F _H	1	STBC_WUFISO
FFF8 8120 _H ~ FFF8 BFFF _H	1	クロックコントローラ (CLKCTL)
FFF8 C000 _H ~ FFF8 CFFF _H	1	CLMA0
FFF8 D000 _H ~ FFF8 DFFF _H	1	CLMA1
FFF8 E000 _H ~ FFF8 EFFF _H	1	CLMA2
FFF8 F000 _H ~ FFF8 FFFF _H	—	アクセス禁止領域
FFF9 0000 _H ~ FFF9 004F _H	1	P-Bus ガード (PBG50)

表 4.6 周辺 I/O アドレスマップ (5/5)

アドレス	周辺グループ	周辺 I/O	
FFF9 0050 _H ~ FFF9 3FFF _H	—	アクセス禁止領域	
FFF9 4000 _H ~ FFF9 404F _H	3	P-Bus ガード (PBG30)	
FFF9 4050 _H ~ FFF9 40FF _H	—	アクセス禁止領域	
FFF9 4100 _H ~ FFF9 414F _H	3	P-Bus ガード (PBG31)	
FFF9 4150 _H ~ FFF9 41FF _H	—	アクセス禁止領域	
FFF9 4200 _H ~ FFF9 424F _H	3	P-Bus ガード (PBG32)	
FFF9 4250 _H ~ FFFE DFFF _H	—	アクセス禁止領域	
FFFE E000 _H ~ FFFE E0FF _H	CPU ローカル周 辺	アクセス禁止領域	
FFFE E100 _H ~ FFFE E5FF _H		アクセス禁止領域	
FFFE E600 _H ~ FFFE E6FF _H		PEG	
FFFE E700 _H ~ FFFE E97F _H		アクセス禁止領域	
FFFE E980 _H ~ FFFE E9FF _H		SEG	
FFFE EA00 _H ~ FFFE EBFF _H		INTC1	
FFFE EC00 _H ~ FFFF 4FFF _H		アクセス禁止領域	
FFFF 5000 _H ~ FFFF 7FFF _H		—	アクセス禁止領域
FFFF 8000 _H ~ FFFF AFFF _H		2	DMAC
FFFF B000 _H ~ FFFF BFFF _H	2	INTC2	
FFFF C000 _H ~ FFFF FFFF _H	—	アクセス禁止領域	

第5章 書き込み保護レジスタ

本章では、書き込み保護レジスタ全般について説明します。

最初の節では書き込み保護レジスタの機能について説明し、それ以降の節でレジスタについて説明します。

5.1 概要

5.1.1 機能概要

RH850/F1K では、クロックやリセット、ポート関連レジスタ等、システムに影響する重要なレジスタの設定では、書き込み保護レジスタによる特別な手順が必要です。保護対象となるレジスタの設定は特別な手順を必要とすることにより、プログラムの不正動作による書き込みから保護されます。保護対象のレジスタは、「**5.1.5 書き込み保護対象レジスタ**」を参照してください。書き込み保護レジスタは保護対象レジスタを、レジスタ保護クラスと呼ばれる単位で管理します。

5.1.2 書き込み保護されたレジスタへの書き込み手順

書き込み保護されたレジスタへの書き込みは、以下の保護解除手順を用いることによって可能となります。

1. 保護コマンドレジスタに固定値 0000 00A5_H を書き込む。
2. 保護されているレジスタに任意の値を書き込む。
3. 保護されているレジスタに任意の値のビット反転値を書き込む。
4. 保護されているレジスタに任意の値を書き込む。
5. 保護レジスタに任意の値が書き込まれたことを確認する。

保護ステータスレジスタ内のエラーモニタビットが“0”であることを確認することによって、保護されているレジスタに対する任意の値の書き込みが成功したことを確認します。

書き込みが成功しなかった場合、すなわちエラーモニタビットが“1”であった場合、シーケンス全体をステップ1から繰り返す必要があります。

上記の書き込み保護レジスタ（第一レジスタ）の書き込みシーケンスのステップ1からステップ4までの間に別のレジスタ（第二レジスタ）へのアクセスが行われた場合、保護メカニズムは以下のように働きます。

- 第二のレジスタが同じクラスに属している場合、保護されているレジスタへの書き込みは失敗します（エラーモニタビットが“1”にセットされます）。シーケンス全体をステップ1から繰り返す必要があります。
- 第二のレジスタが同じクラスに属していない場合、保護解除のシーケンスは中断されず、第一のレジスタへの書き込みは成功し、完了します。

5.1.3 書き込み保護解除中の割り込み

保護解除シーケンス中に割り込みが発生した場合、保護メカニズムは以下のように働きます。

- (1) 保護解除シーケンス中に割り込みが受け付けられ、同じクラスタのレジスタにライトアクセスした場合

保護解除シーケンスは中断されるため、割り込みサービスルーチンから復帰後、保護されているレジスタへの書き込みを完了することができません。図 5.1 に実行例を示します。

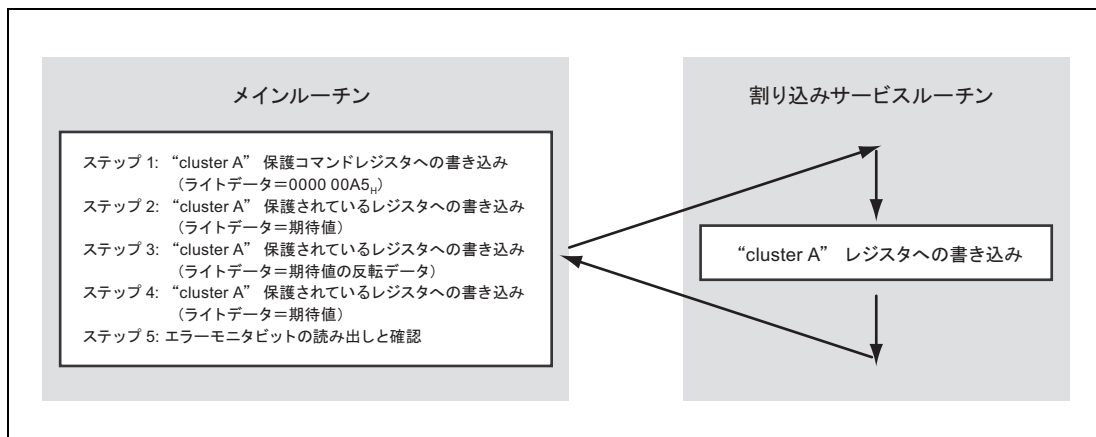


図 5.1 レジスタ保護解除手順の中断例

- (2) 保護解除シーケンス中に割り込みが受け付けられ、別のクラスタのレジスタにライトアクセスした場合

保護解除シーケンスは中断されず、割り込みサービスルーチンから復帰後、保護されているレジスタへの書き込みを完了することができます。図 5.2 に実行例を示します。

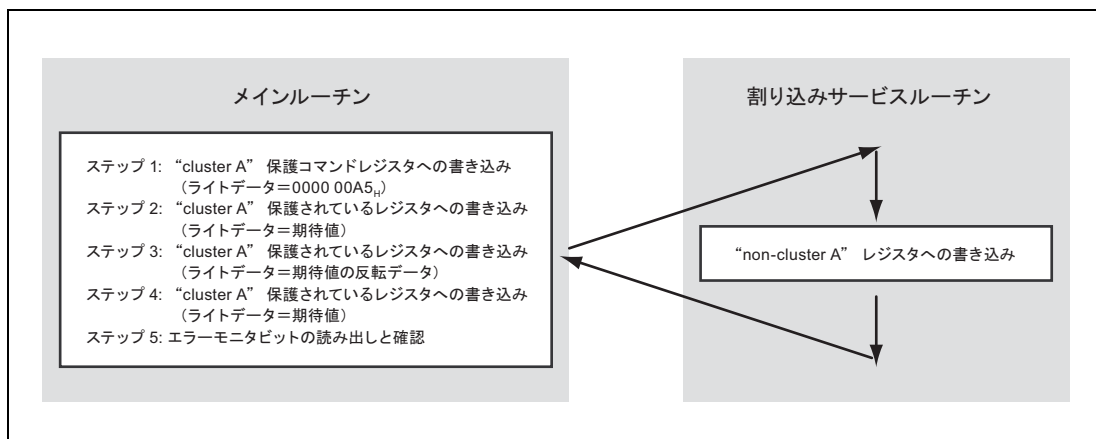


図 5.2 保護解除手順の成功例

RH850/F1K のレジスタ保護クラスタのレジスタについては、「5.1.5 書き込み保護対象レジスタ」を参照してください。

5.1.4 書き込み保護解除中のエミュレーションブレイク

保護解除シーケンス中にエミュレーションブレイクが発生した場合（たとえば、ブレイクポイントヒットのために）レジスタ保護は正常動作が再開されるまで中断されます。同じクラスの任意のレジスタがブレイク中にアクセスされたとしても、保護解除シーケンスは中断されず、エラーモニタビットは“1”にセットされません。

5.1.5 書き込み保護対象レジスタ

書き込み保護制御レジスタにより保護されるレジスタを以下に示します。

表 5.1 書き込み保護対象レジスタ (1/2)

保護対象	保護対象レジスタ	保護制御レジスタ		保護クラス
		コマンドレジスタ	ステータスレジスタ	
クロックコントローラ	MOSCE	PROTCMD0	PROTS0	コントロール保護クラス 0
	ROSCE			
	SOSCE			
	CKSC_AWDTAD_CTL			
	CKSC_ATAUJS_CTL			
	CKSC_ATAUJD_CTL			
	CKSC_ARTCAS_CTL			
	CKSC_ARTCAD_CTL			
	CKSC_AADCAS_CTL			
	CKSC_AADCAD_CTL			
	CKSC_AFOUTS_CTL			
	ROSCUT			
スタンバイ機能	STBC0PSC	PROTCMD0	PROTS0	コントロール保護クラス 0
	STBC0STPT			
	IOHOLD			
リセット機能	LVICNT	PROTCMD0	PROTS0	コントロール保護クラス 0
	SWRESA			
	CYCRBASE			
クロックコントローラ	PLLE	PROTCMD1	PROTS1	コントロール保護クラス 1
	CKSC_CPUCLKS_CTL			
	CKSC_CPUCLKD_CTL			
	CKSC_IPERI1S_CTL			
	CKSC_IPERI2S_CTL			
	CKSC_ILINS_CTL			
	CKSC_IADCAS_CTL			
	CKSC_IADCAD_CTL			
	CKSC_ILIND_CTL			
	CKSC_ICANS_CTL			
	CKSC_ICANOSCD_CTL			
	CKSC_ICSIS_CTL			
	CKSC_IIICS_CTL			
	CKSC_PPLLCLKS_CTL			
CKSC_PLLIS_CTL				
クロックモニタ	CLMA0CTL0	CLMA0PCMD	CLMA0PS	クロックモニタコントロール保護クラス 0
	CLMA1CTL0	CLMA1PCMD	CLMA1PS	クロックモニタコントロール保護クラス 1
	CLMA2CTL0	CLMA2PCMD	CLMA2PS	クロックモニタコントロール保護クラス 2
	CLMATEST	PROTCMDCLMA	PROTSCLMA	クロックモニタテスト保護クラス

表 5.1 書き込み保護対象レジスタ (2/2)

保護対象	保護対象レジスタ	保護制御レジスタ		保護クラスタ
		コマンドレジスタ	ステータスレジスタ	
ポート注 ¹	JPODC0	JPPCMD0	JPPROTS0	ポート保護クラスタ 0
	PODC0	PPCMD0	PPROTS0	
	PODC1	PPCMD1	PPROTS1	
	PODC2	PPCMD2	PPROTS2	
	PODC8	PPCMD8	PPROTS8	
	JPDSC0	JPPCMD0	JPPROTS0	
	PDSC0	PPCMD0	PPROTS0	
	PDSC1	PPCMD1	PPROTS1	
	PDSC2	PPCMD2	PPROTS2	
	PODC9	PPCMD9	PPROTS9	
	PODC10	PPCMD10	PPROTS10	
	PODC11	PPCMD11	PPROTS11	
	PODC12	PPCMD12	PPROTS12	
	PODC18	PPCMD18	PPROTS18	
	PODC20	PPCMD20	PPROTS20	
	PDSC10	PPCMD10	PPROTS10	
	PDSC11	PPCMD11	PPROTS11	
	PDSC12	PPCMD12	PPROTS12	
	PDSC18	PPCMD18	PPROTS18	
	PDSC20	PPCMD20	PPROTS20	
コア電圧モニタ	CVMF	PROTCMDCVM	PROTSCVM	コア電圧モニタ保護クラスタ
	CVMDIAG			
セルフプログラミング機能	FLMDCNT	FLMDPCMD	FLMDPS	セルフプログラミング保護クラスタ

注 1. 各ポートグループはそれぞれ独自の保護コマンドレジスタとステータスレジスタを持っています。詳細については、次頁の「(1) ポート保護クラスタ」を参照してください。

(1) ポート保護クラスタ

以下のポートコントロールレジスタは書き込み保護機能を持っています。

- ポートオープンドレインコントロールレジスタ (PODC_n、JPODC0)
- ポートドライブコントロールレジスタ (PDSC_n、JPDSC0)

書き込み保護されたポートレジスタは以下の表に示されるように2つのポート保護クラスタに分割されます。

表 5.2 ポート保護クラスタ

ポート保護クラスタ	ポートグループ
0	JP0、P0、P1、P2、P8
1	P9、P10、P11、P12、P18、P20

備 考

各ポートグループ n は、それぞれ固有のポート保護コマンドレジスタ PPCMD_n とポート保護ステータスレジスタ PPROTS_n を持っています。

しかし、同じポート保護クラスタの任意のポート保護コマンドレジスタを、保護解除シーケンスの中で使用することができます。例えば、PPCMD1 は PODC2 の保護を解除するのに使用できます。

5.2 レジスタ

5.2.1 レジスタ一覧

書き込み保護制御レジスタのレジスタ一覧を以下にします。

表 5.3 書き込み保護制御レジスタ一覧 (1/2)

モジュール名	レジスタ名	略号	アドレス
コントロール保護クラス :			
WPROTR	保護コマンドレジスタ 0	PROTCMD0	FFF8 0000 _H
	保護コマンドレジスタ 1	PROTCMD1	FFF8 8000 _H
	保護ステータスレジスタ 0	PROTS0	FFF8 0004 _H
	保護ステータスレジスタ 1	PROTS1	FFF8 8004 _H
クロックモニタコントロールおよびテスト保護クラス :			
CLMA _n	保護コマンドレジスタ 0	CLMA0PCMD	FFF8 C010 _H
	保護コマンドレジスタ 1	CLMA1PCMD	FFF8 D010 _H
	保護コマンドレジスタ 2	CLMA2PCMD	FFF8 E010 _H
	保護ステータスレジスタ 0	CLMA0PS	FFF8 C014 _H
	保護ステータスレジスタ 1	CLMA1PS	FFF8 D014 _H
	保護ステータスレジスタ 2	CLMA2PS	FFF8 E014 _H
CLMA	保護コマンドレジスタ	PROTCMDCLMA	FFF8 C200 _H
	保護ステータスレジスタ	PROTSCLMA	FFF8 C204 _H
ポート保護クラス 0 :			
JTAG	保護コマンドレジスタ	JPPCMD0	FFC2 04C0 _H
PORT		PPCMD0	FFC1 4C00 _H
		PPCMD1	FFC1 4C04 _H
		PPCMD2	FFC1 4C08 _H
		PPCMD8	FFC1 4C20 _H
JTAG	保護ステータスレジスタ	JPPROTS0	FFC2 04B0 _H
PORT		PPROTS0	FFC1 4B00 _H
		PPROTS1	FFC1 4B04 _H
		PPROTS2	FFC1 4B08 _H
		PPROTS8	FFC1 4B20 _H
ポート保護クラス 1 :			
PORT	保護コマンドレジスタ	PPCMD9	FFC1 4C24 _H
		PPCMD10	FFC1 4C28 _H
		PPCMD11	FFC1 4C2C _H
		PPCMD12	FFC1 4C30 _H
		PPCMD18	FFC1 4C48 _H
		PPCMD20	FFC1 4C50 _H
	保護ステータスレジスタ	PPROTS9	FFC1 4B24 _H
		PPROTS10	FFC1 4B28 _H
		PPROTS11	FFC1 4B2C _H
		PPROTS12	FFC1 4B30 _H
		PPROTS18	FFC1 4B48 _H
		PPROTS20	FFC1 4B50 _H

表 5.3 書き込み保護制御レジスタ一覧 (2/2)

モジュール名	レジスタ名	略号	アドレス
コア電圧モニタ保護クラスタ :			
SVM	保護コマンドレジスタ	PROTCMDCVM	FFF8 3200 _H
	保護ステータスレジスタ	PROTSCVM	FFF8 3204 _H
セルフプログラミング保護クラスタ :			
FLMD	保護コマンドレジスタ	FLMDPCMD	FFA0 0004 _H
	保護エラーステータスレジスタ	FLMDPS	FFA0 0008 _H

5.2.2 コントロール保護クラスレジスタの詳細

5.2.2.1 PROTCMDn — 保護コマンドレジスタ

このレジスタは書き込み保護されたレジスタに対して書き込み保護解除シーケンスを開始するために使用されます。

インデクス n

インデクス“n”は保護コマンドレジスタの番号を示します。詳細は「表 5.1 書き込み保護対象レジスタ」を参照してください。

アクセス 32ビット単位でライトのみ可能です。

アドレス 「表 5.3 書き込み保護制御レジスタ一覧」を参照してください。

リセット後の値 XXXX XX00_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PCMDn[7:0]							
リセット後の値	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 5.4 PROTCMDn レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	ライトする場合は“0”を書いてください。
7～0	PCMDn[7:0]	コントロール保護クラスの保護レジスタへの書き込みを可能にするための保護コマンドレジスタビット

5.2.2.2 PROTSn — 保護ステータスレジスタ

このレジスタは PROTCMDn によって実行される保護解除シーケンスの状態を表示します。

インデクス n

インデクス“n”は保護コマンドレジスタの番号を示します。詳細は「表 5.1 書き込み保護対象レジスタ」を参照してください。

アクセス 32ビット単位でリードのみ可能です。

アドレス 「表 5.3 書き込み保護制御レジスタ一覧」を参照してください。

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PROTSnERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 5.5 PROTSn レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	PROTSnERR	書き込みシーケンス保護エラーモニタ 0: 保護エラー発生なし 1: 保護エラー発生あり

5.2.3 クロックモニタ保護クラスレジスタの詳細

5.2.3.1 CLMAnPCMD — CLMAn 保護コマンドレジスタ

このレジスタは CLMAnCTL0 レジスタに対する保護コマンドレジスタです。

インデクス n

インデクス“n”は保護コマンドレジスタの番号を示します。詳細は「表 5.1 書き込み保護対象レジスタ」を参照してください。

アクセス 8ビット単位でライトのみ可能です。

アドレス 「表 5.3 書き込み保護制御レジスタ一覧」を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	CLMAnREG[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

表 5.6 CLMAnPCMD レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	CLMAnREG[7:0]	CLMAnCTL0 レジスタへの書き込みを可能にするための保護コマンドレジスタビット

5.2.3.2 CLMAnPS — CLMAn 保護ステータスレジスタ

このレジスタは、書き込み保護されたレジスタ（CLMAnCTL0）が書き込みに成功したかどうかを確認するために用いられます。

インデクス n

インデクス“n”は保護コマンドレジスタの番号を示します。詳細は「表 5.1 書き込み保護対象レジスタ」を参照してください。

アクセス 8ビット単位でリードのみ可能です。

アドレス 「表 5.3 書き込み保護制御レジスタ一覧」を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CLMAnPRERR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 5.7 CLMAnPS レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。
0	CLMAnPRERR	書き込み保護シーケンスエラーモニタ 0: 保護エラー発生なし 1: 保護エラー発生あり

5.2.3.3 PROTCMDCLMA — クロックモニタテスト保護コマンドレジスタ

このレジスタは CLMATEST レジスタに対する保護コマンドレジスタです。

アクセス 32ビット単位でライトのみ可能です。

アドレス 「表 5.3 書き込み保護制御レジスタ一覧」を参照してください。

リセット後の値 XXXX XX00_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CLMATREG[7:0]							
リセット後の値	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 5.8 PROTCMDCLMA レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	ライトする場合は“0”を書いてください。
7 ~ 0	CLMATREG[7:0]	CLMATEST レジスタへの書き込みを可能にするための保護コマンドレジスタビット

5.2.3.4 PROTSLMA — クロックモニタテスト保護ステータスレジスタ

このレジスタは、書き込み保護されたレジスタ（CLMATEST）が書き込みに成功したかどうかを確認するために用いられます。

アクセス 32ビット単位でリードのみ可能です。

アドレス 「表 5.3 書き込み保護制御レジスタ一覧」を参照してください。

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLMAT PRERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 5.9 PROTSLMA レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	CLMATPRERR	書き込み保護シーケンスエラーモニタ 0: 保護エラー発生なし 1: 保護エラー発生あり

5.2.4 コア電圧モニタ保護クラスレジスタの詳細

5.2.4.1 PROTCMDCVM — コア電圧モニタ保護コマンドレジスタ

このレジスタは CVMF、CVMDIAG レジスタに対する保護コマンドレジスタです。

アクセス 32 ビット単位でライトのみ可能です。

アドレス 「表 5.3 書き込み保護制御レジスタ一覧」を参照してください。

リセット後の値 XXXX XX00_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CVMFREG[7:0]							
リセット後の値	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 5.10 PROTCMDCVM レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	ライトする場合は“0”を書いてください。
7 ~ 0	CVMFREG[7:0]	CVMF、CVMDIAG レジスタへの書き込みを可能にするための保護コマンドレジスタビット

5.2.4.2 PROTSCVM — コア電圧モニタ保護ステータスレジスタ

このレジスタは、書き込み保護されたレジスタ（CVMF、CVMDIAG）が書き込みに成功したかどうかを確認するために用いられます。

アクセス 32ビット単位でリードのみ可能です。

アドレス 「表 5.3 書き込み保護制御レジスタ一覧」を参照してください。

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CVMFP RERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 5.11 PROTSCVM レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	CVMFPRERR	書き込み保護シーケンスエラーモニタ 0: 保護エラー発生なし 1: 保護エラー発生あり

5.2.5 ポート保護クラスレジスタの詳細

5.2.5.1 PPCMDn — ポート保護コマンドレジスタ

PPCMDn はポートグループ n に対する保護コマンドレジスタです。

インデクス n

インデクス“n”は保護コマンドレジスタの番号を示します。詳細は「表 5.1 書き込み保護対象レジスタ」を参照してください。

アクセス 32 ビット単位でライトのみ可能です。

アドレス 「表 5.3 書き込み保護制御レジスタ一覧」を参照してください。

リセット後の値 XXXX XX00_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PPCMDn[7:0]							
リセット後の値	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

備考

ポートグループ JP0 の保護コマンドレジスタは JPPCMD0 であり、そのビットは JPPCMD[7:0] です。

表 5.12 PPCMDn レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	ライトする場合は“0”を書いてください。
7 ~ 0	PPCMDn[7:0]	ポート保護クラスレジスタへの書き込みを可能にする保護コマンドレジスタビット

5.2.5.2 PPROTSn — ポート保護ステータスレジスタ

PPROTSn はポートグループ n の書き込み保護されたレジスタの保護ステータスレジスタです。PPCMDn によって開始された保護シーケンスの状態を表示します。

インデクス n

インデクス“n”は保護コマンドレジスタの番号を示します。詳細は「表 5.1 書き込み保護対象レジスタ」を参照してください。

アクセス 32 ビット単位でリードのみ可能です。

アドレス 「表 5.3 書き込み保護制御レジスタ一覧」を参照してください。

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PPROT SnPRE RR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

備考

ポートグループ JP0 の保護ステータスレジスタは JPPROTS0 であり、そのビットが JPPROTS0PRERR です。

表 5.13 PPROTSn レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	PPROTSn PRERR	書き込み保護シーケンスエラーモニタ 0: 保護エラー発生なし 1: 保護エラー発生あり

5.2.6 セルフプログラミング保護クラスレジスタの詳細

5.2.6.1 FLMDPCMD — FLMD 保護コマンドレジスタ

FLMDPCMD は FLMDCNT レジスタの保護コマンドレジスタです。

アクセス 32 ビット単位でライトのみ可能です。

アドレス 「表 5.3 書き込み保護制御レジスタ一覧」を参照してください。

リセット後の値 XXXX XX00_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	FLMDPC[7:0]							
リセット後の値	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 5.14 FLMDPCMD レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	ライトする場合は“0”を書いてください。
7 ~ 0	FLMDPC[7:0]	FLMDCNT レジスタへの書き込みを可能にする保護コマンドレジスタビット

5.2.6.2 FLMDPS — FLMD 保護エラーステータスレジスタ

このレジスタは、書き込み保護されたレジスタ（FLMDCNT）が書き込みに成功したかどうかを確認するために用いられます。

アクセス 32ビット単位でリードのみ可能です。

アドレス 「表 5.3 書き込み保護制御レジスタ一覧」を参照してください。

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FLMDP RERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 5.15 FLMDPS レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	FLMDPRERR	書き込み保護シーケンスエラーモニタ 0: 保護エラー発生なし 1: 保護エラー発生あり

第6章 動作モード

RH850/F1K の動作モードとモードの選択方法について説明します。

RH850/F1K には、次の動作モードがあります。

- 通常動作モード

ユーザプログラム実行用のモードです。オンチップデバッグ機能を使用する場合も、このモードになります。本動作モード中に、FLMD0 をハイにプルアップすることによって、セルフプログラミングによるコードフラッシュメモリへの書き換えも可能です。

- シリアルプログラミングモード

専用フラッシュメモリプログラマによりフラッシュメモリへの消去／書き込み操作が可能になります。

- バウンダリスキャンモード

IEEE Standard 1149.1 にしたがってバウンダリスキャンテストを行います。

- ユーザブートモード

リセットベクタベースアドレスが 01000000_H で固定されていることを除き通常動作モードと同じです。

スタンバイモードへの移行はサポートしていません。

RH850/F1K は、外部リセットおよびパワーオンクリアリセット発生時の FLMD0、FLMD1、MODE0、MODE1、MODE2 端子の状態により、リセット解除後の動作モードを決定します。動作モードはこれらのリセット要因の解除により固定されます。各端子状態と動作モードの関係を、表 6.1 に示します。

表 6.1 動作モードの選択

端子					動作モード
FLMD0	FLMD1 (P10_8)	MODE0 (P10_1)	MODE1 (P10_2)	MODE2 (P10_6)	
0	x	x	x	x	通常動作モード
1	0	x	x	x	シリアルプログラミングモード
1	1	0	1	x	バウンダリスキャンモード
1	1	1	1	1	ユーザブートモード
上記以外					設定禁止

注 意

動作モードを変更するには、パワーオンクリアリセットから再起動してください（電源を一度切り、再度入れてください）。外部リセットによる場合は、一部の機能はモード遷移後に初期化されません。外部リセットでの初期化できない機能については、「9.1.1 リセット要因」を参照してください。

第7章 例外／割り込み

7.1 特長

実行中のプログラムから別のプログラムへの分岐動作を発生するイベントを例外と呼びます。このマイクロコントローラでは次の例外をサポートしています。

例外についての詳細は、「RH850G3KH ユーザーズマニュアル ソフトウェア編」を参照してください。

表 7.1 例外要因一覧

名称	略号	発生要因	優先レベル	退避先
リセット	RESET	リセット入力		—
FE レベルノンマスカブル割り込み ^{注1}	FENMI	FENMI 入力		FE
システムエラー例外 (NM)	SYSERR	SYSERR 入力		FE
FE レベルマスカブル割り込み ^{注1}	FEINT	FEINT 入力		FE
浮動小数点演算例外 (インプレサイス)	FPI	FPU 命令の実行		EI
EI レベルマスカブル割り込み ^{注1}	EIINT	割り込みコントローラ		EI
メモリ保護例外 (実行権)	MIP	メモリ保護違反		FE
システムエラー例外	SYSERR	命令フェッチ時のエラー入力		FE
予約命令例外	RIE	予約命令の実行		FE
コプロセッサ使用不可例外	UCPOP	コプロセッサ命令の実行／アクセス権限違反		FE
特権命令例外	PIE	特権命令の実行		FE
ミスアライン例外	MAE	ミスアラインアクセスの発生		FE
メモリ保護例外 (アクセス権)	MDP	メモリ保護違反		FE
浮動小数点演算例外 (プレサイス)	FPP	FPU 命令の実行		EI
システムコール	SYSCALL	SYSCALL 命令の実行		EI
FE レベルトラップ	FETRAP	FETRAP 命令の実行		FE
EI レベルトラップ 0	TRAP0	TRAP 命令の実行		EI
EI レベルトラップ 1	TRAP1	TRAP 命令の実行		EI

注 1. これらの割り込み例外の説明は本章でします。

(1) 割り込み

表 7.1 のうち、次の 3 種の例外を割り込みと呼び、本章ではこれらについて説明します。

- FE レベルノンマスカブル割り込み (FENMI)

FENMI 割り込みは、ほかの FE レベルの割り込み (FEINT) が発生していても受け付け可能な割り込みです。

 - CPU システムレジスタ PSW.NP = 1 の場合でも、FENMI 割り込みは受け付け可能です。
 - FENMI 割り込みからの復帰はできません。回復もできません。
- FE レベルマスカブル割り込み (FEINT)
 - FEINT 割り込みは、CPU システムレジスタ PSW.NP = 0 の場合、受け付け可能です。PSW.NP = 1 の場合、FEINT 割り込みはマスクされます。
 - FEINT 割り込みからの復帰／回復可能
- EI レベルマスカブル割り込み (EIINT)

EIINT 割り込みは、FE レベルの割り込み (FENMI, FEINT) が発生していなければ受け付け可能な割り込みです。

 - EIINT 割り込みは、CPU システムレジスタ PSW.NP = 0 の場合、受け付け可能です。PSW.NP = 1 の場合、優先度の高い EIINT 割り込みが処理されてる場合、または、PSW.ID = 1 の場合、EIINT 割り込みはマスクされます。
 - EIINT 割り込みからの復帰／回復可能
 - 各割り込みチャンネルごとに割り込みマスクを指定可能
 - 各割り込みチャンネルごとに 16 レベルの割り込み優先度を指定可能
 - 本章では割り込みチャンネル n に対応する EIINT を INT n と表記し、割り込み要因 xxx に対応する EIINT を INT xxx と表記します。

PSW レジスタについては、「**表 3.9 PSW レジスタの内容**」、または「**RH850G3KH ユーザーズマニュアル ソフトウェア編**」を参照してください。

備 考

復帰：元のプログラムの中断した位置から再実行再開が可能／不可能であることを示します。

回復：元のプログラムを中断した時点のプロセッサ状態（汎用レジスタ、システムレジスタなどのプロセッサ資源の状態）への回復が可能／不可能であることを示します。

これらの割り込み要因については、「**7.2 割り込み要因**」で説明します。

(2) 割り込みの概要

- 割り込み優先順位を設定可能
割り込み制御レジスタにより、マスクブル割り込みの優先順位を要求別に 16 レベルで設定できます。
- 外部割り込み (TNMI/INTPm) のセンス方法
外部割り込み (TNMI と INTPm) は、立ち上がり、立ち下がり、両エッジ、ロウレベル、ハイレベルの 5 種類から選択できます。
- 2 種類の割り込みハンドラアドレス指定
レジスタ設定により、直接分岐方式とテーブル参照方式から選択できます。

7.2 割り込み要因

7.2.1 割り込み要因

7.2.1.1 FE レベルノンマスクابل割り込み

(1) 優先順位

「表 7.1 例外要因一覧」を参照してください。

(2) 復帰 PC

FE ノンマスクابل割り込みは、復帰も回復もできません。

(3) ステータスレジスタ

「7.4.4 FNC — FE レベル NMI ステータスレジスタ」参照

(4) 復帰命令

なし

表 7.2 FE レベルノンマスクابل割り込み要求

割り込み			割り込み要求		発生 ユニット	優先 順位	例外要因 コード	ハンドラア ドレス 00000...
略号	制御レジスタ		名称	発生要因				
	名称	アドレス						
FENMI	FNC	FFFE EA78 _H	TNMI	NMI 端子	端子	注 1	0E0 _H	0E0 _H
			WDTA0NMI	WDTA0 FENMI 割り込み	WDTA0			
			WDTA1NMI	WDTA1 FENMI 割り込み	WDTA1			

注 1. 「表 7.1 例外要因一覧」を参照してください

FENMI 割り込みの発生要因は、専用のフラグレジスタで調べることができます。詳細は「7.2.3 FE レベルノンマスクابل割り込み要因」を参照してください。

7.2.1.2 FE レベルマスカブル割り込み

(1) 優先順位

「表 7.1 例外要因一覧」を参照してください。

(2) 復帰 PC

FERET 命令による割り込み処理ルーチンからの復帰 PC は、中断された PC (カレント PC) となります。

(3) ステータスレジスタ

「7.4.5 FIC — FE レベルマスカブル割り込みステータスレジスタ」参照

(4) 復帰命令

FERET

表 7.3 FE レベルマスカブル割り込み要求

割り込み			割り込み要求		発生 ユニット	100 pin	144 pin	176 pin	優先 順位	例外 要因 コード	ハンドラ アドレス 00000...
略号	制御レジスタ		名称	発生要因							
	名称	アドレス									
FEINT	FIC	FFFE EA7A _H	INTLVIL	LVI 電圧検出 (立ち下がり)	LVI	○	○	○	注1	0F0 _H	0F0 _H
			INTECCDEEP0	データフラッシュ ECC1 ビットエラー /ECC2 ビットエラー割り込み	データフ ラッシュ	○	○	○			
			INTECCDCNRAM0	RSCAN0 ECC1 ビット エラー /ECC2 ビットエ ラー割り込み	RSCAN0 (ch0-5)	○	○	○			
			INTECCDCNRAM1	RSCAN1 ECC1 ビット エラー /ECC2 ビットエ ラー割り込み	RSCAN1 (ch6)	—	—	○			
			INTECCDCSIH0	CSIH0 ECC1 ビットエ ラー /ECC2 ビットエ ラー割り込み	CSIH0	○	○	○			
			INTECCDCSIH1	CSIH1 ECC1 ビットエ ラー /ECC2 ビットエ ラー割り込み	CSIH1	○	○	○			
			INTECCDCSIH2	CSIH2 ECC1 ビットエ ラー /ECC2 ビットエ ラー割り込み	CSIH2	○	○	○			
			INTECCDCSIH3	CSIH3 ECC1 ビットエ ラー /ECC2 ビットエ ラー割り込み	CSIH3	○	○	○			
			INTECCSCFLI0	コードフラッシュ ECC1 ビットエラー /ECC2 ビットエラー割り込み	コードフ ラッシュ	○	○	○			
			INTECCRAM	RAM の ECC1 ビットエ ラー /ECC2 ビットエ ラー割り込み	RAM	○	○	○			
			INTOSTM0_FE 注2	OSTM0 割り込み	OSTM0	○	○	○			
			INTLVIH	LVI 電圧検出 (立ち上がり)	LVI	○	○	○			
			INTGUARD	PE ガード (PEG) エ ラー / 周辺ガード (PBG) エラー / CPU シ ステム用 PBG エラー割 り込み	CPU, PBG, PBGC	○	○	○			
			INTOSTM1_FE	OSTM1 割り込み	OSTM1	○	○	○			
			INTOSTM2_FE	OSTM2 割り込み	OSTM2	○	○	○			
			INTOSTM3_FE	OSTM3 割り込み	OSTM3	○	○	○			
INTOSTM4_FE	OSTM4 割り込み	OSTM4	○	○	○						
INTDMAERR	DMA 転送エラー割り込 み	DMAC	○	○	○						

注 1. 「表 7.1 例外要因一覧」を参照してください。

注 2. INTOSTM0 は、EIINT と FEINT にアサインされており、同時に使用することは禁止です。
INTOSTM0 を FEINT で使用した場合、OSTM0 で TSU (Timing Supervision Unit) 機能として実現でき
ません。
- タイミング監視 (TSU)
信頼済みでないプログラムの不当な CPU 時間占有を防ぐことや、資産管理、割り込み禁止の時間の管理
を行えます。

7.2.1.3 EI レベルマスカブル割り込み

(1) 割り込み名称規則

割り込み要求名、割り込み要求を制御する制御レジスタおよびビットは次のような規則になっています。

以下、特定の割り込み要求名前を **<name>** で表します。

IC<name> 用の名称の詳細に関しては、**表 7.4** を参照してください。

- 割り込み要求名 : **INT<name>**
接頭語「INT」は、<name> の前に付きます。
- 割り込み制御レジスタ : **IC<name>**
接頭語「IC」は、<name> の前に付きます。
16 ビットの **IC<name>** レジスタは、バイト単位でアクセスすることもできます。
 - **IC<name>** レジスタの下位バイト (ビット [7:0]) : **IC<name>L**
接尾語「L」は、レジスタ名 **IC<name>** の後に追加されます。
 - **IC<name>** レジスタの上位バイト (ビット [15:8]) : **IC<name>H**
接尾語「H」は、レジスタ名 **IC<name>** の後に追加されます。
- 割り込み制御レジスタのビット名 : **CT<name>**、**RF<name>**、**MK<name>**、**TB<name>**、**P3<name>**、**P2<name>**、**P1<name>**、**P0<name>**
ビット接頭辞「CT」、「RF」、「MK」、「TB」、「P3」、「P2」、「P1」、「P0」は、割り込み <name> の前に追加されます。

例

TAUD0 のチャンネル 2 の割り込み要求 (<name> = TAUD0I2) の場合次のような名前になります

INTTAUD0I2

関係する割り込み制御レジスタの名前は次のようになります。

ICTAUD0I2、**ICTAUD0I2L**、**ICTAUD0I2H**

制御レジスタのビット名は次のようになります。

CTTAUD0I2、**RFTAUD0I2**、**MKTAUD0I2**、**TBTAUD0I2**、**P3TAUD0I2**、**P2TAUD0I2**、**P1TAUD0I2**、**P0TAUD0I2**

(2) 優先順位

「**表 7.1 例外要因一覧**」を参照してください。

(3) 復帰 PC

EIRET 命令による割り込み処理ルーチンからの復帰 PC は、中断された PC (カレント PC) となります。

(4) 制御レジスタ

EI レベルマスクابل割り込み制御レジスタ

「7.4.2 ICxxx — EI レベル割り込み制御レジスタ」参照

(5) 復帰命令

EIRET 命令

(6) 構成

EI レベルマスクابل割り込みは、INTC1 と INTC2 の2つのコントローラで制御されます。INTC1 と INTC2 のカスケード接続で合計 358 ch をサポートしています。

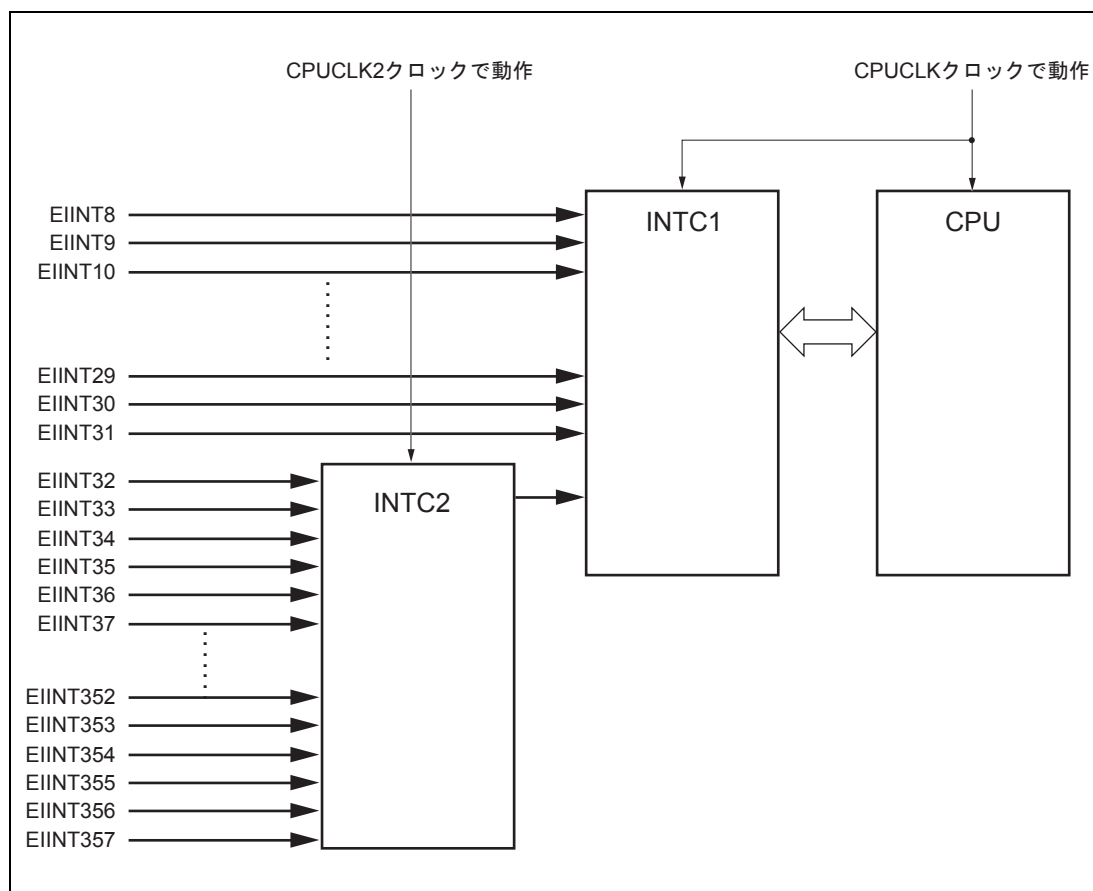


図 7.1 EI レベルマスクابل割り込みの構成図

注 意

INTC2 は CPUCLK2 で動作しているため、INTC2 に接続されている EIINT32 から EIINT357 は INTC1 の割り込みより遅延が発生します。

EI レベルマスカブル割り込みの一覧を表 7.4 に示します。

表 7.4 EI レベルマスカブル割り込み要因 (1/9)

1 組 障 碍 レ ジ ス タ 番 号	割り込み		割り込み要求						例外 要因 コード	100 pin	144 pin	176 pin	ハンドラアドレス (オフセット) 注8		
	制御レジスタ		名称	発生要因	ユニット	検出 タイプ 注2	直接分岐方式						テーブル 参照方式 注5		
	名称	アドレス					RINT = 0	RINT = 1							
0	リザーブ	FFFE EA00 _H							1000 _H	—	—	—	注3	注4	+000 _H
1	リザーブ	FFFE EA02 _H							1001 _H	—	—	—			+004 _H
2	リザーブ	FFFE EA04 _H							1002 _H	—	—	—			+008 _H
3	リザーブ	FFFE EA06 _H							1003 _H	—	—	—			+00C _H
4	リザーブ	FFFE EA08 _H							1004 _H	—	—	—			+010 _H
5	リザーブ	FFFE EA0A _H							1005 _H	—	—	—			+014 _H
6	リザーブ	FFFE EA0C _H							1006 _H	—	—	—			+018 _H
7	リザーブ	FFFE EA0E _H							1007 _H	—	—	—			+01C _H
8	ICTAUD0I0	FFFE EA10 _H	INTTAUD0I0 注6	TAUD0 の CH0 割り込み	TAUD0	エッジ	1008 _H	○	○	○					
	ICCSIH2IC_1		INTCSIH2IC_1 注6	CSIH2 通信ステータス割り込み	CSIH2	エッジ									
9	ICTAUD0I2	FFFE EA12 _H	INTTAUD0I2 注6	TAUD0 の CH2 割り込み	TAUD0	エッジ	1009 _H	○	○	○					
	ICCSIH3IC_1		INTCSIH3IC_1 注6	CSIH3 通信ステータス割り込み	CSIH3	エッジ									
10	ICTAUD0I4	FFFE EA14 _H	INTTAUD0I4 注6	TAUD0 の CH4 割り込み	TAUD0	エッジ	100A _H	○	○	○					
	ICCSIH2IR_1		INTCSIH2IR_1 注6	CSIH2 受信ステータス割り込み	CSIH2	エッジ									
11	ICTAUD0I6	FFFE EA16 _H	INTTAUD0I6 注6	TAUD0 の CH6 割り込み	TAUD0	エッジ	100B _H	○	○	○					
	ICCSIH2IRE_1		INTCSIH2IRE_1 注6	CSIH2 通信エラー割り込み	CSIH2	エッジ									
12	ICTAUD0I8	FFFE EA18 _H	INTTAUD0I8 注6	TAUD0 の CH8 割り込み	TAUD0	エッジ	100C _H	○	○	○					
	ICCSIH2IJC_1		INTCSIH2IJC_1 注6	CSIH2 ジョブ完了割り込み	CSIH2	エッジ									
13	ICTAUD0I10	FFFE EA1A _H	INTTAUD0I10 注6	TAUD0 の CH10 割り込み	TAUD0	エッジ	100D _H	○	○	○					
	ICCSIH3IR_1		INTCSIH3IR_1 注6	CSIH3 受信ステータス割り込み	CSIH3	エッジ									
14	ICTAUD0I12	FFFE EA1C _H	INTTAUD0I12 注6	TAUD0 の CH12 割り込み	TAUD0	エッジ	100E _H	○	○	○					
	ICCSIH3IRE_1		INTCSIH3IRE_1 注6	CSIH3 通信エラー割り込み	CSIH3	エッジ									
15	ICTAUD0I14	FFFE EA1E _H	INTTAUD0I14 注6	TAUD0 の CH14 割り込み	TAUD0	エッジ	100F _H	○	○	○					
	ICCSIH3IJC_1		INTCSIH3IJC_1 注6	CSIH3 ジョブ完了割り込み	CSIH3	エッジ									
16	ICTAPA0IPEK0	FFFE EA20 _H	INTTAPA0IPEK0 注6	TAPA0 山割り込み 0	TAPA0	エッジ	1010 _H	○	○	○					
	ICCSIH1IC_1		INTCSIH1IC_1 注6	CSIH1 通信ステータス割り込み	CSIH1	エッジ									
17	ICTAPA0IVLY0	FFFE EA22 _H	INTTAPA0IVLY0 注6	TAPA0 谷割り込み 0	TAPA0	エッジ	1011 _H	○	○	○					
	ICCSIH1IR_1		INTCSIH1IR_1 注6	CSIH1 受信ステータス割り込み	CSIH1	エッジ									
18	ICADCA0I0	FFFE EA24 _H	INTADCA0I0	ADCA0 SG1 終了割り込み	ADCA0	エッジ	1012 _H	○	○	○					+048 _H
19	ICADCA0I1	FFFE EA26 _H	INTADCA0I1	ADCA0 SG2 終了割り込み	ADCA0	エッジ	1013 _H	○	○	○					+04C _H
20	ICADCA0I2	FFFE EA28 _H	INTADCA0I2 注6	ADCA0 SG3 終了割り込み	ADCA0	エッジ	1014 _H	○	○	○					
	ICCSIH0IJC_1		INTCSIH0IJC_1 注6	CSIH0 ジョブ完了割り込み	CSIH0	エッジ									
21	ICDCUTDI	FFFE EA2A _H	INTDCUTDI	オンチップデバッグ機能専用割り込み	Port	エッジ	1015 _H	○	○	○					+054 _H
22	ICRCANGERR0	FFFE EA2C _H	INTRCANGERR0	CAN グローバルエラー割り込み	RSCAN0	レベル	1016 _H	○	○	○					+058 _H
23	ICRCANGRECC0	FFFE EA2E _H	INTRCANGRECC0	CAN 受信 FIFO 割り込み	RSCAN0	レベル	1017 _H	○	○	○					+05C _H
24	ICRCAN0ERR	FFFE EA30 _H	INTRCAN0ERR	CAN0 エラー割り込み	RSCAN0	レベル	1018 _H	○	○	○					+060 _H
25	ICRCAN0REC	FFFE EA32 _H	INTRCAN0REC	CAN0 送受信 FIFO 受信完了割り込み	RSCAN0	レベル	1019 _H	○	○	○					+064 _H
26	ICRCAN0TRX	FFFE EA34 _H	INTRCAN0TRX	CAN0 送信割り込み	RSCAN0	レベル	101A _H	○	○	○					+068 _H
27	ICCSIG0IC	FFFE EA36 _H	INTCSIG0IC 注6	CSIG0 通信ステータス割り込み	CSIG0	エッジ	101B _H	○	○	○					
	ICCSIH1IRE_1		INTCSIH1IRE_1 注6	CSIH1 通信エラー割り込み	CSIH1	エッジ									
28	ICCSIG0IR	FFFE EA38 _H	INTCSIG0IR 注6	CSIG0 受信ステータス割り込み	CSIG0	エッジ	101C _H	○	○	○					
	ICCSIH1IJC_1		INTCSIH1IJC_1 注6	CSIH1 ジョブ完了割り込み	CSIH1	エッジ									
29	ICCSIH0IC	FFFE EA3A _H	INTCSIH0IC	CSIH0 通信ステータス割り込み	CSIH0	エッジ	101D _H	○	○	○					+074 _H
30	ICCSIH0IR	FFFE EA3C _H	INTCSIH0IR	CSIH0 受信ステータス割り込み	CSIH0	エッジ	101E _H	○	○	○					+078 _H

表 7.4 EI レベルマスカブル割り込み要因 (2/9)

1 組 障 碍 バ ッ テ リ ヤ チ	割り込み		割り込み要求						ハンドラアドレス (オフセット) ^{注8}				
	制御レジスタ		名称	発生要因	ユニット	検出 タイプ ^{注2}	例外 要因 コード	100 pin	144 pin	176 pin	直接分岐方式		テーブル 参照方式 ^{注5}
	名称	アドレス									RINT = 0	RINT = 1	
31	ICCSIH0IRE	FFFF EA3E _H	INTCSIH0IRE	CSIH0 通信エラー割り込み	CSIH0	エッジ	101F _H	○	○	○	注3	注4	+07C _H
32	ICCSIH0JC	FFFF B040 _H	INTCSIH0JC ^{注6}	CSIH0 ジョブ完了割り込み	CSIH0	エッジ	1020 _H	○	○	○			+080 _H
	ICADCA0I2_2		INTADCA0I2_2 ^{注6}	ADCA0 SG3 終了割り込み	ADCA0	エッジ							
33	ICRLIN30	FFFF B042 _H	INTRLIN30	RLIN30 割り込み	RLIN30	エッジ	1021 _H	○	○	○			+084 _H
34	ICRLIN30UR0	FFFF B044 _H	INTRLIN30UR0	RLIN30 送信割り込み	RLIN30	エッジ	1022 _H	○	○	○			+088 _H
35	ICRLIN30UR1	FFFF B046 _H	INTRLIN30UR1	RLIN30 受信完了割り込み	RLIN30	エッジ	1023 _H	○	○	○			+08C _H
36	ICRLIN30UR2	FFFF B048 _H	INTRLIN30UR2	RLIN30 ステータス割り込み	RLIN30	エッジ	1024 _H	○	○	○			+090 _H
37	ICP0	FFFF B04A _H	INTP0	外部割り込み	Port	エッジ	1025 _H	○	○	○			+094 _H
38	ICP1	FFFF B04C _H	INTP1	外部割り込み	Port	エッジ	1026 _H	○	○	○			+098 _H
39	ICP2	FFFF B04E _H	INTP2	外部割り込み	Port	エッジ	1027 _H	○	○	○			+09C _H
40	ICWDTA0	FFFF B050 _H	INTWDTA0	WDTA0 75%割り込み	WDTA0	エッジ	1028 _H	○	○	○			+0A0 _H
41	ICWDTA1	FFFF B052 _H	INTWDTA1	WDTA1 75%割り込み	WDTA1	エッジ	1029 _H	○	○	○			+0A4 _H
42	リザーブ	FFFF B054 _H					102A _H	—	—	—			+0A8 _H
43	ICP3	FFFF B056 _H	INTP3	外部割り込み	Port	エッジ	102B _H	○	○	○			+0AC _H
44	ICP4	FFFF B058 _H	INTP4	外部割り込み	Port	エッジ	102C _H	○	○	○			+0B0 _H
45	ICP5	FFFF B05A _H	INTP5	外部割り込み	Port	エッジ	102D _H	○	○	○			+0B4 _H
46	ICP10	FFFF B05C _H	INTP10	外部割り込み	Port	エッジ	102E _H	○	○	○			+0B8 _H
47	ICP11	FFFF B05E _H	INTP11	外部割り込み	Port	エッジ	102F _H	○	○	○			+0BC _H
48	ICTAUD01	FFFF B060 _H	INTTAUD01	TAUD0 チャンネル 1 割り込み	TAUD0	エッジ	1030 _H	○	○	○			+0C0 _H
49	ICTAUD03	FFFF B062 _H	INTTAUD03	TAUD0 チャンネル 3 割り込み	TAUD0	エッジ	1031 _H	○	○	○			+0C4 _H
50	ICTAUD05	FFFF B064 _H	INTTAUD05	TAUD0 チャンネル 5 割り込み	TAUD0	エッジ	1032 _H	○	○	○			+0C8 _H
51	ICTAUD07	FFFF B066 _H	INTTAUD07	TAUD0 チャンネル 7 割り込み	TAUD0	エッジ	1033 _H	○	○	○			+0CC _H
52	ICTAUD09	FFFF B068 _H	INTTAUD09	TAUD0 チャンネル 9 割り込み	TAUD0	エッジ	1034 _H	○	○	○			+0D0 _H
53	ICTAUD011	FFFF B06A _H	INTTAUD011	TAUD0 チャンネル 11 割り込み	TAUD0	エッジ	1035 _H	○	○	○			+0D4 _H
54	ICTAUD013	FFFF B06C _H	INTTAUD013	TAUD0 チャンネル 13 割り込み	TAUD0	エッジ	1036 _H	○	○	○			+0D8 _H
55	ICTAUD015	FFFF B06E _H	INTTAUD015	TAUD0 チャンネル 15 割り込み	TAUD0	エッジ	1037 _H	○	○	○			+0DC _H
56	ICADCA0ERR	FFFF B070 _H	INTADCA0ERR	ADCA0 のエラー割り込み	ADCA0	エッジ	1038 _H	○	○	○			+0E0 _H
57	ICCSIG0IRE	FFFF B072 _H	INTCSIG0IRE	CSIG0 受信エラー割り込み	CSIG0	エッジ	1039 _H	○	○	○			+0E4 _H
58	ICRLIN20	FFFF B074 _H	INTRLIN20	RLIN20 割り込み	RLIN240	エッジ	103A _H	○	○	○			+0E8 _H
59	ICRLIN21	FFFF B076 _H	INTRLIN21	RLIN21 割り込み	RLIN240	エッジ	103B _H	○	○	○			+0EC _H
60	ICDMA0	FFFF B078 _H	INTDMA0	DMA0 転送完了	DMAC	エッジ	103C _H	○	○	○			+0F0 _H
61	ICDMA1	FFFF B07A _H	INTDMA1	DMA1 転送完了	DMAC	エッジ	103D _H	○	○	○			+0F4 _H
62	ICDMA2	FFFF B07C _H	INTDMA2	DMA2 転送完了	DMAC	エッジ	103E _H	○	○	○			+0F8 _H
63	ICDMA3	FFFF B07E _H	INTDMA3	DMA3 転送完了	DMAC	エッジ	103F _H	○	○	○			+0FC _H
64	ICDMA4	FFFF B080 _H	INTDMA4	DMA4 転送完了	DMAC	エッジ	1040 _H	○	○	○			+100 _H
65	ICDMA5	FFFF B082 _H	INTDMA5	DMA5 転送完了	DMAC	エッジ	1041 _H	○	○	○			+104 _H
66	ICDMA6	FFFF B084 _H	INTDMA6	DMA6 転送完了	DMAC	エッジ	1042 _H	○	○	○			+108 _H
67	ICDMA7	FFFF B086 _H	INTDMA7	DMA7 転送完了	DMAC	エッジ	1043 _H	○	○	○			+10C _H
68	ICDMA8	FFFF B088 _H	INTDMA8	DMA8 転送完了	DMAC	エッジ	1044 _H	○	○	○			+110 _H
69	ICDMA9	FFFF B08A _H	INTDMA9	DMA9 転送完了	DMAC	エッジ	1045 _H	○	○	○			+114 _H
70	ICDMA10	FFFF B08C _H	INTDMA10	DMA10 転送完了	DMAC	エッジ	1046 _H	○	○	○			+118 _H
71	ICDMA11	FFFF B08E _H	INTDMA11	DMA11 転送完了	DMAC	エッジ	1047 _H	○	○	○			+11C _H
72	ICDMA12	FFFF B090 _H	INTDMA12	DMA12 転送完了	DMAC	エッジ	1048 _H	○	○	○			+120 _H
73	ICDMA13	FFFF B092 _H	INTDMA13	DMA13 転送完了	DMAC	エッジ	1049 _H	○	○	○			+124 _H
74	ICDMA14	FFFF B094 _H	INTDMA14	DMA14 転送完了	DMAC	エッジ	104A _H	○	○	○			+128 _H
75	ICDMA15	FFFF B096 _H	INTDMA15	DMA15 転送完了	DMAC	エッジ	104B _H	○	○	○			+12C _H
76	ICRIIC0TI	FFFF B098 _H	INTRIIC0TI	RIIC 送信データエンプティ割り込み	RIIC0	エッジ	104C _H	○	○	○			+130 _H

表 7.4 EI レベルマスカブル割り込み要因 (3/9)

1 組 障 碍 レ ジ ス タ 番 号	割り込み		割り込み要求						例外要因			ハンドラアドレス (オフセット) 注8		
	制御レジスタ		名称	発生要因	ユニット	検出 タイプ 注2	例外 要因 コード	100 pin	144 pin	176 pin	直接分岐方式		テーブル 参照方式 注5	
	名称	アドレス									RINT = 0	RINT = 1		
77	ICRIIC0EE	FFFF B09A _H	INTRIIC0EE	RIIC 受信エラー／イベント割り込み	RIIC0	レベル	104D _H	○	○	○	注3	注4	+134 _H	
78	ICRIIC0RI	FFFF B09C _H	INTRIIC0RI	RIIC 受信終了割り込み	RIIC0	エッジ	104E _H	○	○	○			+138 _H	
79	ICRIIC0TEI	FFFF B09E _H	INTRIIC0TEI	RIIC 送信終了割り込み	RIIC0	レベル	104F _H	○	○	○			+13C _H	
80	ICTAUJ0I0	FFFF B0A0 _H	INTTAUJ0I0	TAUJ0 チャンネル 0 割り込み	TAUJ0	エッジ	1050 _H	○	○	○			+140 _H	
81	ICTAUJ0I1	FFFF B0A2 _H	INTTAUJ0I1	TAUJ0 チャンネル 1 割り込み	TAUJ0	エッジ	1051 _H	○	○	○			+144 _H	
82	ICTAUJ0I2	FFFF B0A4 _H	INTTAUJ0I2	TAUJ0 チャンネル 2 割り込み	TAUJ0	エッジ	1052 _H	○	○	○			+148 _H	
83	ICTAUJ0I3	FFFF B0A6 _H	INTTAUJ0I3	TAUJ0 チャンネル 3 割り込み	TAUJ0	エッジ	1053 _H	○	○	○			+14C _H	
84	ICOSTM0	FFFF B0A8 _H	INTOSTM0 注9	OSTM0 割り込み	OSTM0	エッジ	1054 _H	○	○	○			+150 _H	
85	ICENCA0IOV	FFFF B0AA _H	INTENCA0IOV 注7	ENCA0 オーバフロー割り込み	ENCA0	エッジ	1055 _H	○	○	○			+154 _H	
	ICPWGA4		INTPWGA4 注7	PWGA4 割り込み	PWGA4	エッジ								
86	ICENCA0IUD	FFFF B0AC _H	INTENCA0IUD 注7	ENCA0 アンダフロー割り込み	ENCA0	エッジ	1056 _H	○	○	○			+158 _H	
	ICPWGA5		INTPWGA5 注7	PWGA5 割り込み	PWGA5	エッジ								
87	ICENCA0I0	FFFF B0AE _H	INTENCA0I0 注7	ENCA0 一致ノキャプチャ割り込み 0	ENCA0	エッジ	1057 _H	○	○	○			+15C _H	
	ICPWGA6		INTPWGA6 注7	PWGA6 割り込み	PWGA6	エッジ								
88	ICENCA0I1	FFFF B0B0 _H	INTENCA0I1 注7	ENCA0 一致ノキャプチャ割り込み 1	ENCA0	エッジ	1058 _H	○	○	○			+160 _H	
	ICPWGA7		INTPWGA7 注7	PWGA7 割り込み	PWGA7	エッジ								
89	ICENCA0IEC	FFFF B0B2 _H	INTENCA0IEC	エンコーダクリア割り込み	ENCA0	エッジ	1059 _H	○	○	○			+164 _H	
90	ICKR0	FFFF B0B4 _H	INTKR0	KR0 キー割り込み	KR0	エッジ	105A _H	○	○	○			+168 _H	
91	ICQFULL	FFFF B0B6 _H	INTQFULL	PWSA キューフル割り込み	PWSA0	エッジ	105B _H	○	○	○			+16C _H	
92	ICPWGA0	FFFF B0B8 _H	INTPWGA0	PWGA0 割り込み	PWGA0	エッジ	105C _H	○	○	○			+170 _H	
93	ICPWGA1	FFFF B0BA _H	INTPWGA1	PWGA1 割り込み	PWGA1	エッジ	105D _H	○	○	○			+174 _H	
94	ICPWGA2	FFFF B0BC _H	INTPWGA2	PWGA2 割り込み	PWGA2	エッジ	105E _H	○	○	○			+178 _H	
95	ICPWGA3	FFFF B0BE _H	INTPWGA3	PWGA3 割り込み	PWGA3	エッジ	105F _H	○	○	○			+17C _H	
96	ICPWGA8	FFFF B0C0 _H	INTPWGA8	PWGA8 割り込み	PWGA8	エッジ	1060 _H	○	○	○			+180 _H	
97	ICPWGA9	FFFF B0C2 _H	INTPWGA9	PWGA9 割り込み	PWGA9	エッジ	1061 _H	○	○	○			+184 _H	
98	ICPWGA10	FFFF B0C4 _H	INTPWGA10	PWGA10 割り込み	PWGA10	エッジ	1062 _H	○	○	○			+188 _H	
99	ICPWGA11	FFFF B0C6 _H	INTPWGA11	PWGA11 割り込み	PWGA11	エッジ	1063 _H	○	○	○			+18C _H	
100	ICPWGA12	FFFF B0C8 _H	INTPWGA12	PWGA12 割り込み	PWGA12	エッジ	1064 _H	○	○	○			+190 _H	
101	ICPWGA13	FFFF B0CA _H	INTPWGA13	PWGA13 割り込み	PWGA13	エッジ	1065 _H	○	○	○			+194 _H	
102	ICPWGA14	FFFF B0CC _H	INTPWGA14	PWGA14 割り込み	PWGA14	エッジ	1066 _H	○	○	○			+198 _H	
103	ICPWGA15	FFFF B0CE _H	INTPWGA15	PWGA15 割り込み	PWGA15	エッジ	1067 _H	○	○	○			+19C _H	
104	リザーブ	FFFF B0D0 _H					1068 _H	—	—	—			+1A0 _H	
105	リザーブ	FFFF B0D2 _H					1069 _H	—	—	—			+1A4 _H	
106	リザーブ	FFFF B0D4 _H					106A _H	—	—	—			+1A8 _H	
107	リザーブ	FFFF B0D6 _H					106B _H	—	—	—			+1AC _H	
108	リザーブ	FFFF B0D8 _H					106C _H	—	—	—			+1B0 _H	
109	リザーブ	FFFF B0DA _H					106D _H	—	—	—			+1B4 _H	
110	ICFLERR	FFFF B0DC _H	INTFLERR 注10	フラッシュシーケンサ終了エラー割り込み	FACI	レベル	106E _H	○	○	○			+1B8 _H	
111	ICFLENDNM	FFFF B0DE _H	INTFLENDNM 注10	フラッシュシーケンサ終了割り込み	FACI	エッジ	106F _H	○	○	○			+1BC _H	
112	ICCWEND	FFFF B0E0 _H	INTCWEND	LPS ポートポーリング終了割り込み	LPS0	エッジ	1070 _H	○	○	○			+1C0 _H	
113	ICRCAN1ERR	FFFF B0E2 _H	INTRCAN1ERR	CAN1 エラー割り込み	RSCAN0	レベル	1071 _H	○	○	○			+1C4 _H	
114	ICRCAN1REC	FFFF B0E4 _H	INTRCAN1REC	CAN1 送受信 FIFO 受信完了割り込み	RSCAN0	レベル	1072 _H	○	○	○			+1C8 _H	
115	ICRCAN1TRX	FFFF B0E6 _H	INTRCAN1TRX	CAN1 送信割り込み	RSCAN0	レベル	1073 _H	○	○	○			+1CC _H	
116	ICCSIH1IC	FFFF B0E8 _H	INTCSIH1IC 注6	CSIH1 通信ステータス割り込み	CSIH1	エッジ	1074 _H	○	○	○			+1D0 _H	
	ICTAPA0IPEK0_2		INTTAPA0IPEK0_2 注6	TAPA0 山割り込み 0	TAPA0	エッジ								

表 7.4 EI レベルマスカブル割り込み要因 (4/9)

1 組 障 碍 レ ジ ス タ	割り込み		割り込み要求					例外 要因 コード	100 pin	144 pin	176 pin	ハンドラアドレス (オフセット) 注8		
	制御レジスタ		名称	発生要因	ユニット	検出 タイプ 注2	直接分岐方式					テーブル 参照方式 注5		
	名称	アドレス					RINT = 0						RINT = 1	
117	ICCSIH11R	FFFF B0EA _H	INTCSIH11R 注6	CSIH1 受信ステータス割り込み	CSIH1	エッジ	1075 _H	○	○	○	注3	注4	+1D4 _H	
	ICTAPA01VLY0_2		INTTAPA01VLY0_2 注6	TAPA0 谷割り込み 0	TAPA0	エッジ								
118	ICCSIH11RE	FFFF B0EC _H	INTCSIH11RE 注6	CSIH1 通信エラー割り込み	CSIH1	エッジ	1076 _H	○	○	○			+1D8 _H	
	ICCSIG0IC_2		INTCSIG0IC_2 注6	CSIG0 通信ステータス割り込み	CSIG0	エッジ								
119	ICCSIH11JC	FFFF B0EE _H	INTCSIH11JC 注6	CSIH1 ジョブ割り込み	CSIH1	エッジ	1077 _H	○	○	○			+1DC _H	
	ICCSIG0IR_2		INTCSIG0IR_2 注6	CSIG0 受信ステータス割り込み	CSIG0	エッジ								
120	ICRLIN31	FFFF B0F0 _H	INTRLIN31	RLIN31 割り込み	RLIN31	エッジ	1078 _H	○	○	○			+1E0 _H	
121	ICRLIN31UR0	FFFF B0F2 _H	INTRLIN31UR0	RLIN31 送信割り込み	RLIN31	エッジ	1079 _H	○	○	○			+1E4 _H	
122	ICRLIN31UR1	FFFF B0F4 _H	INTRLIN31UR1	RLIN31 受信完了割り込み	RLIN31	エッジ	107A _H	○	○	○			+1E8 _H	
123	ICRLIN31UR2	FFFF B0F6 _H	INTRLIN31UR2	RLIN31 ステータス割り込み	RLIN31	エッジ	107B _H	○	○	○			+1EC _H	
124	ICPWGA20	FFFF B0F8 _H	INTPWGA20	PWGA20 割り込み	PWGA20	エッジ	107C _H	○	○	○			+1F0 _H	
125	ICPWGA21	FFFF B0FA _H	INTPWGA21	PWGA21 割り込み	PWGA21	エッジ	107D _H	○	○	○			+1F4 _H	
126	ICPWGA22	FFFF B0FC _H	INTPWGA22	PWGA22 割り込み	PWGA22	エッジ	107E _H	○	○	○			+1F8 _H	
127	ICPWGA23	FFFF B0FE _H	INTPWGA23	PWGA23 割り込み	PWGA23	エッジ	107F _H	○	○	○			+1FC _H	
128	ICP6	FFFF B100 _H	INTP6	外部割り込み	Port	エッジ	1080 _H	○	○	○			+200 _H	
129	ICP7	FFFF B102 _H	INTP7	外部割り込み	Port	エッジ	1081 _H	○	○	○			+204 _H	
130	ICP8	FFFF B104 _H	INTP8	外部割り込み	Port	エッジ	1082 _H	○	○	○			+208 _H	
131	ICP12	FFFF B106 _H	INTP12	外部割り込み	Port	エッジ	1083 _H	○	○	○			+20C _H	
132	ICCSIH2IC	FFFF B108 _H	INTCSIH2IC 注6	CSIH2 通信ステータス割り込み	CSIH2	エッジ	1084 _H	○	○	○			+210 _H	
	ICTAUD0I0_2		INTTAUD0I0_2 注6	TAUD0 チャンネル 0 割り込み	TAUD0	エッジ								
133	ICCSIH2IR	FFFF B10A _H	INTCSIH2IR 注6	CSIH2 受信ステータス割り込み	CSIH2	エッジ	1085 _H	○	○	○			+214 _H	
	ICTAUD0I4_2		INTTAUD0I4_2 注6	TAUD0 チャンネル 4 割り込み	TAUD0	エッジ								
134	ICCSIH2IRE	FFFF B10C _H	INTCSIH2IRE 注6	CSIH2 通信エラー割り込み	CSIH2	エッジ	1086 _H	○	○	○			+218 _H	
	ICTAUD0I6_2		INTTAUD0I6_2 注6	TAUD0 チャンネル 6 割り込み	TAUD0	エッジ								
135	ICCSIH2JC	FFFF B10E _H	INTCSIH2JC 注6	CSIH2 ジョブ完了割り込み	CSIH2	エッジ	1087 _H	○	○	○			+21C _H	
	ICTAUD0I8_2		INTTAUD0I8_2 注6	TAUD0 チャンネル 8 割り込み	TAUD0	エッジ								
136	リザーブ	FFFF B110 _H					1088 _H	—	—	—			+220 _H	
137	リザーブ	FFFF B112 _H					1089 _H	—	—	—			+224 _H	
138	リザーブ	FFFF B114 _H					108A _H	—	—	—			+228 _H	
139	リザーブ	FFFF B116 _H					108B _H	—	—	—			+22C _H	
140	リザーブ	FFFF B118 _H					108C _H	—	—	—			+230 _H	
141	リザーブ	FFFF B11A _H					108D _H	—	—	—			+234 _H	
142	ICTAUB0I0	FFFF B11C _H	INTTAUB0I0	TAUB0 チャンネル 0 割り込み	TAUB0	エッジ	108E _H	○	○	○			+238 _H	
143	ICTAUB0I1	FFFF B11E _H	INTTAUB0I1	TAUB0 チャンネル 1 割り込み	TAUB0	エッジ	108F _H	○	○	○			+23C _H	
144	ICTAUB0I2	FFFF B120 _H	INTTAUB0I2	TAUB0 チャンネル 2 割り込み	TAUB0	エッジ	1090 _H	○	○	○			+240 _H	
145	ICTAUB0I3	FFFF B122 _H	INTTAUB0I3 注7	TAUB0 チャンネル 3 割り込み	TAUB0	エッジ	1091 _H	○	○	○			+244 _H	
	ICPWGA16		INTPWGA16 注7	PWGA16 割り込み	PWGA16	エッジ								
146	ICTAUB0I4	FFFF B124 _H	INTTAUB0I4	TAUB0 チャンネル 4 割り込み	TAUB0	エッジ	1092 _H	○	○	○			+248 _H	
147	ICTAUB0I5	FFFF B126 _H	INTTAUB0I5 注7	TAUB0 チャンネル 5 割り込み	TAUB0	エッジ	1093 _H	○	○	○			+24C _H	
	ICPWGA17		INTPWGA17 注7	PWGA17 割り込み	PWGA17	エッジ								
148	ICTAUB0I6	FFFF B128 _H	INTTAUB0I6	TAUB0 チャンネル 6 割り込み	TAUB0	エッジ	1094 _H	○	○	○			+250 _H	
149	ICTAUB0I7	FFFF B12A _H	INTTAUB0I7 注7	TAUB0 チャンネル 7 割り込み	TAUB0	エッジ	1095 _H	○	○	○			+254 _H	
	ICPWGA18		INTPWGA18 注7	PWGA18 割り込み	PWGA18	エッジ								
150	ICTAUB0I8	FFFF B12C _H	INTTAUB0I8	TAUB0 チャンネル 8 割り込み	TAUB0	エッジ	1096 _H	○	○	○			+258 _H	

表 7.4 EI レベルマスカブル割り込み要因 (5/9)

1 組 障 碍 ネ ィ ャ チ	割り込み		割り込み要求				例外 要因 コード	100 pin	144 pin	176 pin	ハンドラアドレス (オフセット) 注8		
	制御レジスタ		名称	発生要因	ユニット	検出 タイプ 注2					直接分岐方式		テーブル 参照方式 注5
	名称	アドレス									RINT = 0	RINT = 1	
151	ICTAUB019	FFFF B12E _H	INTTAUB019 注7	TAUB0 チャンネル 9 割り込み	TAUB0	エッジ	1097 _H	○	○	○	注3	注4	+25C _H
	ICPWGA19		INTPWGA19 注7	PWGA19 割り込み	PWGA19	エッジ							
152	ICTAUB0110	FFFF B130 _H	INTTAUB0110	TAUB0 チャンネル 10 割り込み	TAUB0	エッジ	1098 _H	○	○	○			+260 _H
153	ICTAUB0111	FFFF B132 _H	INTTAUB0111 注7	TAUB0 チャンネル 11 割り込み	TAUB0	エッジ	1099 _H	○	○	○			+264 _H
	ICPWGA26		INTPWGA26 注7	PWGA26 割り込み	PWGA26	エッジ							
154	ICTAUB0112	FFFF B134 _H	INTTAUB0112	TAUB0 チャンネル 12 割り込み	TAUB0	エッジ	109A _H	○	○	○			+268 _H
155	ICTAUB0113	FFFF B136 _H	INTTAUB0113 注7	TAUB0 チャンネル 13 割り込み	TAUB0	エッジ	109B _H	○	○	○			+26C _H
	ICPWGA30		INTPWGA30 注7	PWGA30 割り込み	PWGA30	エッジ							
156	ICTAUB0114	FFFF B138 _H	INTTAUB0114	TAUB0 チャンネル 14 割り込み	TAUB0	エッジ	109C _H	○	○	○			+270 _H
157	ICTAUB0115	FFFF B13A _H	INTTAUB0115 注7	TAUB0 チャンネル 15 割り込み	TAUB0	エッジ	109D _H	○	○	○			+274 _H
	ICPWGA31		INTPWGA31 注7	PWGA31 割り込み	PWGA31	エッジ							
158	ICCSIH3IC	FFFF B13C _H	INTCSIH3IC 注6	CSIH3 通信ステータス割り込み	CSIH3	エッジ	109E _H	○	○	○			+278 _H
	ICTAUD012_2		INTTAUD012_2 注6	TAUD0 チャンネル 2 割り込み	TAUD0	エッジ							
159	ICCSIH3IR	FFFF B13E _H	INTCSIH3IR 注6	CSIH3 受信ステータス割り込み	CSIH3	エッジ	109F _H	○	○	○			+27C _H
	ICTAUD0110_2		INTTAUD0110_2 注6	TAUD0 チャンネル 10 割り込み	TAUD0	エッジ							
160	ICCSIH3IRE	FFFF B140 _H	INTCSIH3IRE 注6	CSIH3 通信エラー割り込み	CSIH3	エッジ	10A0 _H	○	○	○			+280 _H
	ICTAUD0112_2		INTTAUD0112_2 注6	TAUD0 チャンネル 12 割り込み	TAUD0	エッジ							
161	ICCSIH3JC	FFFF B142 _H	INTCSIH3JC 注6	CSIH3 ジョブ完了割り込み	CSIH3	エッジ	10A1 _H	○	○	○			+284 _H
	ICTAUD0114_2		INTTAUD0114_2 注6	TAUD0 チャンネル 14 割り込み	TAUD0	エッジ							
162	ICRLIN22	FFFF B144 _H	INTRLIN22	RLIN22 割り込み	RLIN240	エッジ	10A2 _H	○	○	○			+288 _H
163	ICRLIN23	FFFF B146 _H	INTRLIN23	RLIN23 割り込み	RLIN240	エッジ	10A3 _H	—	○	○			+28C _H
164	ICRLIN32	FFFF B148 _H	INTRLIN32	RLIN32 割り込み	RLIN32	エッジ	10A4 _H	○	○	○			+290 _H
165	ICRLIN32UR0	FFFF B14A _H	INTRLIN32UR0	RLIN32 送信割り込み	RLIN32	エッジ	10A5 _H	○	○	○			+294 _H
166	ICRLIN32UR1	FFFF B14C _H	INTRLIN32UR1	RLIN32 受信完了割り込み	RLIN32	エッジ	10A6 _H	○	○	○			+298 _H
167	ICRLIN32UR2	FFFF B14E _H	INTRLIN32UR2	RLIN32 ステータス割り込み	RLIN32	エッジ	10A7 _H	○	○	○			+29C _H
168	ICTAUJ110	FFFF B150 _H	INTTAUJ110	TAUJ1 チャンネル 0 割り込み	TAUJ1	エッジ	10A8 _H	○	○	○			+2A0 _H
169	ICTAUJ111	FFFF B152 _H	INTTAUJ111	TAUJ1 チャンネル 1 割り込み	TAUJ1	エッジ	10A9 _H	○	○	○			+2A4 _H
170	ICTAUJ112	FFFF B154 _H	INTTAUJ112	TAUJ1 チャンネル 2 割り込み	TAUJ1	エッジ	10AA _H	○	○	○			+2A8 _H
171	ICTAUJ113	FFFF B156 _H	INTTAUJ113	TAUJ1 チャンネル 3 割り込み	TAUJ1	エッジ	10AB _H	○	○	○			+2AC _H
172	リザーブ	FFFF B158 _H					10AC _H	—	—	—			+2B0 _H
173	リザーブ	FFFF B15A _H					10AD _H	—	—	—			+2B4 _H
174	リザーブ	FFFF B15C _H					10AE _H	—	—	—			+2B8 _H
175	リザーブ	FFFF B15E _H					10AF _H	—	—	—			+2BC _H
176	リザーブ	FFFF B160 _H					10B0 _H	—	—	—			+2C0 _H
177	リザーブ	FFFF B162 _H					10B1 _H	—	—	—			+2C4 _H
178	リザーブ	FFFF B164 _H					10B2 _H	—	—	—			+2C8 _H
179	リザーブ	FFFF B166 _H					10B3 _H	—	—	—			+2CC _H
180	リザーブ	FFFF B168 _H					10B4 _H	—	—	—			+2D0 _H
181	リザーブ	FFFF B16A _H					10B5 _H	—	—	—			+2D4 _H
182	リザーブ	FFFF B16C _H					10B6 _H	—	—	—			+2D8 _H
183	リザーブ	FFFF B16E _H					10B7 _H	—	—	—			+2DC _H
184	ICPWGA24	FFFF B170 _H	INTPWGA24	PWGA24 割り込み	PWGA24	エッジ	10B8 _H	○	○	○			+2E0 _H
185	ICPWGA25	FFFF B172 _H	INTPWGA25	PWGA25 割り込み	PWGA25	エッジ	10B9 _H	○	○	○			+2E4 _H
186	ICPWGA27	FFFF B174 _H	INTPWGA27	PWGA27 割り込み	PWGA27	エッジ	10BA _H	○	○	○			+2E8 _H
187	ICPWGA28	FFFF B176 _H	INTPWGA28	PWGA28 割り込み	PWGA28	エッジ	10BB _H	○	○	○			+2EC _H
188	ICPWGA29	FFFF B178 _H	INTPWGA29	PWGA29 割り込み	PWGA29	エッジ	10BC _H	○	○	○			+2F0 _H
189	ICPWGA32	FFFF B17A _H	INTPWGA32	PWGA32 割り込み	PWGA32	エッジ	10BD _H	○	○	○			+2F4 _H

表 7.4 EI レベルマスカブル割り込み要因 (6/9)

1 組 間 隔 レ ジ ス タ	割り込み		割り込み要求						ハンドラアドレス (オフセット) 注8				
	制御レジスタ		名称	発生要因	ユニット	検出 タイプ 注2	例外 要因 コード	100 pin	144 pin	176 pin	直接分岐方式		テーブル 参照方式 注5
	名称	アドレス									RINT = 0	RINT = 1	
190	ICPWGA33	FFFF B17C _H	INTPWGA33	PWGA33 割り込み	PWGA33	エッジ	10BE _H	○	○	○	注3	注4	+2F8 _H
191	ICPWGA34	FFFF B17E _H	INTPWGA34	PWGA34 割り込み	PWGA34	エッジ	10BF _H	○	○	○			+2FC _H
192	ICPWGA35	FFFF B180 _H	INTPWGA35	PWGA35 割り込み	PWGA35	エッジ	10C0 _H	○	○	○			+300 _H
193	ICPWGA36	FFFF B182 _H	INTPWGA36	PWGA36 割り込み	PWGA36	エッジ	10C1 _H	○	○	○			+304 _H
194	ICPWGA37	FFFF B184 _H	INTPWGA37	PWGA37 割り込み	PWGA37	エッジ	10C2 _H	○	○	○			+308 _H
195	ICPWGA38	FFFF B186 _H	INTPWGA38	PWGA38 割り込み	PWGA38	エッジ	10C3 _H	○	○	○			+30C _H
196	ICPWGA39	FFFF B188 _H	INTPWGA39	PWGA39 割り込み	PWGA39	エッジ	10C4 _H	○	○	○			+310 _H
197	ICPWGA40	FFFF B18A _H	INTPWGA40	PWGA40 割り込み	PWGA40	エッジ	10C5 _H	○	○	○			+314 _H
198	ICPWGA41	FFFF B18C _H	INTPWGA41	PWGA41 割り込み	PWGA41	エッジ	10C6 _H	○	○	○			+318 _H
199	ICPWGA42	FFFF B18E _H	INTPWGA42	PWGA42 割り込み	PWGA42	エッジ	10C7 _H	○	○	○			+31C _H
200	ICPWGA43	FFFF B190 _H	INTPWGA43	PWGA43 割り込み	PWGA43	エッジ	10C8 _H	○	○	○			+320 _H
201	ICPWGA44	FFFF B192 _H	INTPWGA44	PWGA44 割り込み	PWGA44	エッジ	10C9 _H	○	○	○			+324 _H
202	ICPWGA45	FFFF B194 _H	INTPWGA45	PWGA45 割り込み	PWGA45	エッジ	10CA _H	○	○	○			+328 _H
203	ICPWGA46	FFFF B196 _H	INTPWGA46	PWGA46 割り込み	PWGA46	エッジ	10CB _H	○	○	○			+32C _H
204	ICPWGA47	FFFF B198 _H	INTPWGA47	PWGA47 割り込み	PWGA47	エッジ	10CC _H	○	○	○			+330 _H
205	ICP9	FFFF B19A _H	INTP9	外部割り込み	Port	エッジ	10CD _H	—	○	○			+334 _H
206	ICP13	FFFF B19C _H	INTP13	外部割り込み	Port	エッジ	10CE _H	○	○	○			+338 _H
207	ICP14	FFFF B19E _H	INTP14	外部割り込み	Port	エッジ	10CF _H	—	○	○			+33C _H
208	ICP15	FFFF B1A0 _H	INTP15	外部割り込み	Port	エッジ	10D0 _H	—	○	○			+340 _H
209	ICRTCA01S	FFFF B1A2 _H	INTRTCA01S	RTCA0 1 秒インターバル割り込み	RTCA0	エッジ	10D1 _H	—	○	○			+344 _H
210	ICRTCA0AL	FFFF B1A4 _H	INTRTCA0AL	RTCA0 アラーム割り込み	RTCA0	エッジ	10D2 _H	—	○	○			+348 _H
211	ICRTCA0R	FFFF B1A6 _H	INTRTCA0R	RTCA0 定周期割り込み	RTCA0	エッジ	10D3 _H	—	○	○			+34C _H
212	ICADCA1ERR	FFFF B1A8 _H	INTADCA1ERR	ADCA1 のエラー割り込み	ADCA1	エッジ	10D4 _H	—	○	○			+350 _H
213	ICADCA110	FFFF B1AA _H	INTADCA110	ADCA1 スキャングループ 1 (SG1) 終了割り込み	ADCA1	エッジ	10D5 _H	—	○	○			+354 _H
214	ICADCA111	FFFF B1AC _H	INTADCA111	ADCA1 スキャングループ 2 (SG2) 終了割り込み	ADCA1	エッジ	10D6 _H	—	○	○			+358 _H
215	ICADCA112	FFFF B1AE _H	INTADCA112	ADCA1 スキャングループ 3 (SG3) 終了割り込み	ADCA1	エッジ	10D7 _H	—	○	○			+35C _H
216	リザーブ	FFFF B1B0 _H					10D8 _H	—	—	—			+360 _H
217	ICRCAN2ERR	FFFF B1B2 _H	INTRCAN2ERR	CAN2 エラー割り込み	RSCAN0	レベル	10D9 _H	○	○	○			+364 _H
218	ICRCAN2REC	FFFF B1B4 _H	INTRCAN2REC	CAN2 送受信 FIFO 受信完了割り込み	RSCAN0	レベル	10DA _H	○	○	○			+368 _H
219	ICRCAN2TRX	FFFF B1B6 _H	INTRCAN2TRX	CAN2 送信割り込み	RSCAN0	レベル	10DB _H	○	○	○			+36C _H
220	ICRCAN3ERR	FFFF B1B8 _H	INTRCAN3ERR	CAN3 エラー割り込み	RSCAN0	レベル	10DC _H	○	○	○			+370 _H
221	ICRCAN3REC	FFFF B1BA _H	INTRCAN3REC	CAN3 送受信 FIFO 受信完了割り込み	RSCAN0	レベル	10DD _H	○	○	○			+374 _H
222	ICRCAN3TRX	FFFF B1BC _H	INTRCAN3TRX	CAN3 送信割り込み	RSCAN0	レベル	10DE _H	○	○	○			+378 _H
223	ICCSIG1IC	FFFF B1BE _H	INTCSIG1IC	CSIG1 通信ステータス割り込み	CSIG1	エッジ	10DF _H	—	○	○			+37C _H
224	ICCSIG1IR	FFFF B1C0 _H	INTCSIG1IR	CSIG1 受信ステータス割り込み	CSIG1	エッジ	10E0 _H	—	○	○			+380 _H
225	ICCSIG1IRE	FFFF B1C2 _H	INTCSIG1IRE	CSIG1 受信エラー割り込み	CSIG1	エッジ	10E1 _H	—	○	○			+384 _H
226	ICRLIN24	FFFF B1C4 _H	INTRLIN24	RLIN24 割り込み	RLIN241	エッジ	10E2 _H	—	○	○			+388 _H
227	ICRLIN25	FFFF B1C6 _H	INTRLIN25	RLIN25 割り込み	RLIN241	エッジ	10E3 _H	—	○	○			+38C _H
228	ICRLIN33	FFFF B1C8 _H	INTRLIN33	RLIN33 割り込み	RLIN33	エッジ	10E4 _H	○	○	○			+390 _H
229	ICRLIN33UR0	FFFF B1CA _H	INTRLIN33UR0	RLIN33 送信割り込み	RLIN33	エッジ	10E5 _H	○	○	○			+394 _H
230	ICRLIN33UR1	FFFF B1CC _H	INTRLIN33UR1	RLIN33 受信完了割り込み	RLIN33	エッジ	10E6 _H	○	○	○			+398 _H
231	ICRLIN33UR2	FFFF B1CE _H	INTRLIN33UR2	RLIN33 ステータス割り込み	RLIN33	エッジ	10E7 _H	○	○	○			+39C _H
232	ICRLIN34	FFFF B1D0 _H	INTRLIN34	RLIN34 割り込み	RLIN34	エッジ	10E8 _H	—	○	○			+3A0 _H

表 7.4 EI レベルマスカブル割り込み要因 (7/9)

1 組 障 碍 レ ジ ス タ 番 号	割り込み		割り込み要求						例外要因			ハンドラアドレス (オフセット) 注8		テーブル参照方式 注5
	制御レジスタ		名称	発生要因	ユニット	検出タイプ 注2	例外要因コード	100 pin	144 pin	176 pin	直接分岐方式			
	名称	アドレス									RINT = 0	RINT = 1		
233	ICRLIN34UR0	FFFF B1D2 _H	INTRLIN34UR0	RLIN34 送信割り込み	RLIN34	エッジ	10E9 _H	—	○	○	注3	注4	+3A4 _H	
234	ICRLIN34UR1	FFFF B1D4 _H	INTRLIN34UR1	RLIN34 受信完了割り込み	RLIN34	エッジ	10EA _H	—	○	○			+3A8 _H	
235	ICRLIN34UR2	FFFF B1D6 _H	INTRLIN34UR2	RLIN34 ステータス割り込み	RLIN34	エッジ	10EB _H	—	○	○			+3AC _H	
236	ICRLIN35	FFFF B1D8 _H	INTRLIN35	RLIN35 割り込み	RLIN35	エッジ	10EC _H	—	○	○			+3B0 _H	
237	ICRLIN35UR0	FFFF B1DA _H	INTRLIN35UR0	RLIN35 送信割り込み	RLIN35	エッジ	10ED _H	—	○	○			+3B4 _H	
238	ICRLIN35UR1	FFFF B1DC _H	INTRLIN35UR1	RLIN35 受信完了割り込み	RLIN35	エッジ	10EE _H	—	○	○			+3B8 _H	
239	ICRLIN35UR2	FFFF B1DE _H	INTRLIN35UR2	RLIN35 ステータス割り込み	RLIN35	エッジ	10EF _H	—	○	○			+3BC _H	
240	ICPWGA48	FFFF B1E0 _H	INTPWGA48	PWGA48 割り込み	PWGA48	エッジ	10F0 _H	—	○	○			+3C0 _H	
241	ICPWGA49	FFFF B1E2 _H	INTPWGA49	PWGA49 割り込み	PWGA49	エッジ	10F1 _H	—	○	○			+3C4 _H	
242	ICPWGA50	FFFF B1E4 _H	INTPWGA50	PWGA50 割り込み	PWGA50	エッジ	10F2 _H	—	○	○			+3C8 _H	
243	ICPWGA51	FFFF B1E6 _H	INTPWGA51	PWGA51 割り込み	PWGA51	エッジ	10F3 _H	—	○	○			+3CC _H	
244	ICPWGA52	FFFF B1E8 _H	INTPWGA52	PWGA52 割り込み	PWGA52	エッジ	10F4 _H	—	○	○			+3D0 _H	
245	ICPWGA53	FFFF B1EA _H	INTPWGA53	PWGA53 割り込み	PWGA53	エッジ	10F5 _H	—	○	○			+3D4 _H	
246	ICPWGA54	FFFF B1EC _H	INTPWGA54	PWGA54 割り込み	PWGA54	エッジ	10F6 _H	—	○	○			+3D8 _H	
247	ICPWGA55	FFFF B1EE _H	INTPWGA55	PWGA55 割り込み	PWGA55	エッジ	10F7 _H	—	○	○			+3DC _H	
248	ICPWGA56	FFFF B1F0 _H	INTPWGA56	PWGA56 割り込み	PWGA56	エッジ	10F8 _H	—	○	○			+3E0 _H	
249	ICPWGA57	FFFF B1F2 _H	INTPWGA57	PWGA57 割り込み	PWGA57	エッジ	10F9 _H	—	○	○			+3E4 _H	
250	ICPWGA58	FFFF B1F4 _H	INTPWGA58	PWGA58 割り込み	PWGA58	エッジ	10FA _H	—	○	○			+3E8 _H	
251	ICPWGA59	FFFF B1F6 _H	INTPWGA59	PWGA59 割り込み	PWGA59	エッジ	10FB _H	—	○	○			+3EC _H	
252	ICPWGA60	FFFF B1F8 _H	INTPWGA60	PWGA60 割り込み	PWGA60	エッジ	10FC _H	—	○	○			+3F0 _H	
253	ICPWGA61	FFFF B1FA _H	INTPWGA61	PWGA61 割り込み	PWGA61	エッジ	10FD _H	—	○	○			+3F4 _H	
254	ICPWGA62	FFFF B1FC _H	INTPWGA62	PWGA62 割り込み	PWGA62	エッジ	10FE _H	—	○	○			+3F8 _H	
255	ICPWGA63	FFFF B1FE _H	INTPWGA63	PWGA63 割り込み	PWGA63	エッジ	10FF _H	—	○	○			+3FC _H	
256	ICTAUB110	FFFF B200 _H	INTTAUB110	TAUB1 チャンネル 0 割り込み	TAUB1	エッジ	1100 _H	—	—	○			+400 _H	
257	ICTAUB111	FFFF B202 _H	INTTAUB111	TAUB1 チャンネル 1 割り込み	TAUB1	エッジ	1101 _H	—	—	○			+404 _H	
258	ICTAUB112	FFFF B204 _H	INTTAUB112	TAUB1 チャンネル 2 割り込み	TAUB1	エッジ	1102 _H	—	—	○			+408 _H	
259	ICTAUB113	FFFF B206 _H	INTTAUB113	TAUB1 チャンネル 3 割り込み	TAUB1	エッジ	1103 _H	—	—	○			+40C _H	
260	ICTAUB114	FFFF B208 _H	INTTAUB114	TAUB1 チャンネル 4 割り込み	TAUB1	エッジ	1104 _H	—	—	○			+410 _H	
261	ICTAUB115	FFFF B20A _H	INTTAUB115	TAUB1 チャンネル 5 割り込み	TAUB1	エッジ	1105 _H	—	—	○			+414 _H	
262	ICTAUB116	FFFF B20C _H	INTTAUB116	TAUB1 チャンネル 6 割り込み	TAUB1	エッジ	1106 _H	—	—	○			+418 _H	
263	ICTAUB117	FFFF B20E _H	INTTAUB117	TAUB1 チャンネル 7 割り込み	TAUB1	エッジ	1107 _H	—	—	○			+41C _H	
264	ICTAUB118	FFFF B210 _H	INTTAUB118	TAUB1 チャンネル 8 割り込み	TAUB1	エッジ	1108 _H	—	—	○			+420 _H	
265	ICTAUB119	FFFF B212 _H	INTTAUB119	TAUB1 チャンネル 9 割り込み	TAUB1	エッジ	1109 _H	—	—	○			+424 _H	
266	ICTAUB1110	FFFF B214 _H	INTTAUB1110	TAUB1 チャンネル 10 割り込み	TAUB1	エッジ	110A _H	—	—	○			+428 _H	
267	ICTAUB1111	FFFF B216 _H	INTTAUB1111	TAUB1 チャンネル 11 割り込み	TAUB1	エッジ	110B _H	—	—	○			+42C _H	
268	ICTAUB1112	FFFF B218 _H	INTTAUB1112	TAUB1 チャンネル 12 割り込み	TAUB1	エッジ	110C _H	—	—	○			+430 _H	
269	ICTAUB1113	FFFF B21A _H	INTTAUB1113	TAUB1 チャンネル 13 割り込み	TAUB1	エッジ	110D _H	—	—	○			+434 _H	
270	ICTAUB1114	FFFF B21C _H	INTTAUB1114	TAUB1 チャンネル 14 割り込み	TAUB1	エッジ	110E _H	—	—	○			+438 _H	
271	ICTAUB1115	FFFF B21E _H	INTTAUB1115	TAUB1 チャンネル 15 割り込み	TAUB1	エッジ	110F _H	—	—	○			+43C _H	
272	ICRCAN4ERR	FFFF B220 _H	INTRCAN4ERR	CAN4 エラー割り込み	RSCAN0	レベル	1110 _H	○	○	○			+440 _H	
273	ICRCAN4REC	FFFF B222 _H	INTRCAN4REC	CAN4 送受信 FIFO 受信完了割り込み	RSCAN0	レベル	1111 _H	○	○	○			+444 _H	
274	ICRCAN4TRX	FFFF B224 _H	INTRCAN4TRX	CAN4 送信割り込み	RSCAN0	レベル	1112 _H	○	○	○			+448 _H	
275	ICRLIN26	FFFF B226 _H	INTRLIN26	RLIN26 割り込み	RLIN241	エッジ	1113 _H	—	—	○			+44C _H	
276	ICRLIN27	FFFF B228 _H	INTRLIN27	RLIN27 割り込み	RLIN241	エッジ	1114 _H	—	—	○			+450 _H	
277	ICPWGA64	FFFF B22A _H	INTPWGA64	PWGA64 割り込み	PWGA64	エッジ	1115 _H	—	—	○			+454 _H	
278	ICPWGA65	FFFF B22C _H	INTPWGA65	PWGA65 割り込み	PWGA65	エッジ	1116 _H	—	—	○			+458 _H	
279	ICPWGA66	FFFF B22E _H	INTPWGA66	PWGA66 割り込み	PWGA66	エッジ	1117 _H	—	—	○			+45C _H	

表 7.4 EI レベルマスカブル割り込み要因 (8/9)

1 組 障 碍 レ ベ ル 割 り 込 み	割り込み		割り込み要求						例外要因			ハンドラアドレス (オフセット) ^{注8}		テーブル参照方式 ^{注5}
	制御レジスタ		名称	発生要因	ユニット	検出タイプ ^{注2}	例外要因コード	100 pin	144 pin	176 pin	直接分岐方式			
	名称	アドレス									RINT = 0	RINT = 1		
280	ICPWGA67	FFFF B230 _H	INTPWGA67	PWGA67 割り込み	PWGA67	エッジ	1118 _H	—	—	○	注3	注4	+460 _H	
281	ICPWGA68	FFFF B232 _H	INTPWGA68	PWGA68 割り込み	PWGA68	エッジ	1119 _H	—	—	○			+464 _H	
282	ICPWGA69	FFFF B234 _H	INTPWGA69	PWGA69 割り込み	PWGA69	エッジ	111A _H	—	—	○			+468 _H	
283	ICPWGA70	FFFF B236 _H	INTPWGA70	PWGA70 割り込み	PWGA70	エッジ	111B _H	—	—	○			+46C _H	
284	ICPWGA71	FFFF B238 _H	INTPWGA71	PWGA71 割り込み	PWGA71	エッジ	111C _H	—	—	○			+470 _H	
285	ICRLIN28	FFFF B23A _H	INTRLIN28	RLIN28 割り込み	RLIN242	エッジ	111D _H	—	—	○			+474 _H	
286	ICRLIN29	FFFF B23C _H	INTRLIN29	RLIN29 割り込み	RLIN242	エッジ	111E _H	—	—	○			+478 _H	
287	ICRCAN5ERR	FFFF B23E _H	INTRCAN5ERR	CAN5 エラー割り込み	RSCAN0	レベル	111F _H	○	○	○			+47C _H	
288	ICRCAN5REC	FFFF B240 _H	INTRCAN5REC	CAN5 送受信 FIFO 受信完了割り込み	RSCAN0	レベル	1120 _H	○	○	○			+480 _H	
289	ICRCAN5TRX	FFFF B242 _H	INTRCAN5TRX	CAN5 送信割り込み	RSCAN0	レベル	1121 _H	○	○	○			+484 _H	
290	リザーブ	FFFF B244 _H					1122 _H	—	—	—			+488 _H	
291	リザーブ	FFFF B246 _H					1123 _H	—	—	—			+48C _H	
292	リザーブ	FFFF B248 _H					1124 _H	—	—	—			+490 _H	
293	リザーブ	FFFF B24A _H					1125 _H	—	—	—			+494 _H	
294	リザーブ	FFFF B24C _H					1126 _H	—	—	—			+498 _H	
295	リザーブ	FFFF B24E _H					1127 _H	—	—	—			+49C _H	
296	リザーブ	FFFF B250 _H					1128 _H	—	—	—			+4A0 _H	
297	リザーブ	FFFF B252 _H					1129 _H	—	—	—			+4A4 _H	
298	リザーブ	FFFF B254 _H					112A _H	—	—	—			+4A8 _H	
299	リザーブ	FFFF B256 _H					112B _H	—	—	—			+4AC _H	
300	リザーブ	FFFF B258 _H					112C _H	—	—	—			+4B0 _H	
301	リザーブ	FFFF B25A _H					112D _H	—	—	—			+4B4 _H	
302	リザーブ	FFFF B25C _H					112E _H	—	—	—			+4B8 _H	
303	リザーブ	FFFF B25E _H					112F _H	—	—	—			+4BC _H	
304	リザーブ	FFFF B260 _H					1130 _H	—	—	—			+4C0 _H	
305	リザーブ	FFFF B262 _H					1131 _H	—	—	—			+4C4 _H	
306	リザーブ	FFFF B264 _H					1132 _H	—	—	—			+4C8 _H	
307	リザーブ	FFFF B266 _H					1133 _H	—	—	—			+4CC _H	
308	リザーブ	FFFF B268 _H					1134 _H	—	—	—			+4D0 _H	
309	リザーブ	FFFF B26A _H					1135 _H	—	—	—			+4D4 _H	
310	リザーブ	FFFF B26C _H					1136 _H	—	—	—			+4D8 _H	
311	リザーブ	FFFF B26E _H					1137 _H	—	—	—			+4DC _H	
312	リザーブ	FFFF B270 _H					1138 _H	—	—	—			+4E0 _H	
313	リザーブ	FFFF B272 _H					1139 _H	—	—	—			+4E4 _H	
314	リザーブ	FFFF B274 _H					113A _H	—	—	—			+4E8 _H	
315	リザーブ	FFFF B276 _H					113B _H	—	—	—			+4EC _H	
316	リザーブ	FFFF B278 _H					113C _H	—	—	—			+4F0 _H	
317	リザーブ	FFFF B27A _H					113D _H	—	—	—			+4F4 _H	
318	リザーブ	FFFF B27C _H					113E _H	—	—	—			+4F8 _H	
319	ICRCANGERR1	FFFF B27E _H	INTRCANGERR1	CAN グローバルエラー割り込み	RSCAN1	レベル	113F _H	—	—	○			+4FC _H	
320	ICRCANGRECC1	FFFF B280 _H	INTRCANGRECC1	CAN 受信 FIFO 割り込み	RSCAN1	レベル	1140 _H	—	—	○			+500 _H	
321	ICRCAN6ERR	FFFF B282 _H	INTRCAN6ERR	CAN6 エラー割り込み	RSCAN1	レベル	1141 _H	—	—	○			+504 _H	
322	ICRCAN6REC	FFFF B284 _H	INTRCAN6REC	CAN6 送受信 FIFO 受信完了割り込み	RSCAN1	レベル	1142 _H	—	—	○			+508 _H	
323	ICRCAN6TRX	FFFF B286 _H	INTRCAN6TRX	CAN6 送信割り込み	RSCAN1	レベル	1143 _H	—	—	○			+50C _H	
324	リザーブ	FFFF B288 _H					1144 _H	—	—	—			+510 _H	
325	リザーブ	FFFF B28A _H					1145 _H	—	—	—			+514 _H	
326	リザーブ	FFFF B28C _H					1146 _H	—	—	—			+518 _H	

表 7.4 EI レベルマスカブル割り込み要因 (9/9)

割り込み		割り込み要求					例外要因			ハンドラアドレス (オフセット) ^{注8}			
1 組 障 碍 レ ベ ル キ ャ ン ネ ル	制御レジスタ		名称	発生要因	ユニット	検出 タイプ ^{注2}	例外 要因 コード	100 pin	144 pin	176 pin	直接分岐方式		テーブル 参照方式 ^{注5}
	名称	アドレス									RINT = 0	RINT = 1	
327	リザーブ	FFFF B28E _H					1147 _H	—	—	—	注3	注4	+51C _H
328	リザーブ	FFFF B290 _H					1148 _H	—	—	—			+520 _H
329	リザーブ	FFFF B292 _H					1149 _H	—	—	—			+524 _H
330	リザーブ	FFFF B294 _H					114A _H	—	—	—			+528 _H
331	リザーブ	FFFF B296 _H					114B _H	—	—	—			+52C _H
332	リザーブ	FFFF B298 _H					114C _H	—	—	—			+530 _H
333	リザーブ	FFFF B29A _H					114D _H	—	—	—			+534 _H
334	リザーブ	FFFF B29C _H					114E _H	—	—	—			+538 _H
335	リザーブ	FFFF B29E _H					114F _H	—	—	—			+53C _H
336	リザーブ	FFFF B2A0 _H					1150 _H	—	—	—			+540 _H
337	リザーブ	FFFF B2A2 _H					1151 _H	—	—	—			+544 _H
338	リザーブ	FFFF B2A4 _H					1152 _H	—	—	—			+548 _H
339	リザーブ	FFFF B2A6 _H					1153 _H	—	—	—			+54C _H
340	リザーブ	FFFF B2A8 _H					1154 _H	—	—	—			+550 _H
341	リザーブ	FFFF B2AA _H					1155 _H	—	—	—			+554 _H
342	リザーブ	FFFF B2AC _H					1156 _H	—	—	—			+558 _H
343	リザーブ	FFFF B2AE _H					1157 _H	—	—	—			+55C _H
344	リザーブ	FFFF B2B0 _H					1158 _H	—	—	—			+560 _H
345	リザーブ	FFFF B2B2 _H					1159 _H	—	—	—			+564 _H
346	リザーブ	FFFF B2B4 _H					115A _H	—	—	—			+568 _H
347	リザーブ	FFFF B2B6 _H					115B _H	—	—	—			+56C _H
348	リザーブ	FFFF B2B8 _H					115C _H	—	—	—			+570 _H
349	リザーブ	FFFF B2BA _H					115D _H	—	—	—			+574 _H
350	リザーブ	FFFF B2BC _H					115E _H	—	—	—			+578 _H
351	リザーブ	FFFF B2BE _H					115F _H	—	—	—			+57C _H
352	リザーブ	FFFF B2C0 _H					1160 _H	—	—	—			+580 _H
353	リザーブ	FFFF B2C2 _H					1161 _H	—	—	—			+584 _H
354	リザーブ	FFFF B2C4 _H					1162 _H	—	—	—			+588 _H
355	リザーブ	FFFF B2C6 _H					1163 _H	—	—	—			+58C _H
356	ICDPE	FFFF B2C8 _H	INTDPE	LPS デジタルポートエラー割り込み	LPS0	レベル	1164 _H	○	○	○			+590 _H
357	ICAPE	FFFF B2CA _H	INTAPE	LPS アナログポートエラー割り込み	LPS0	レベル	1165 _H	○	○	○			+594 _H

注 1. 各割り込みは、INTC1 のチャンネル 8 ~ 31 および INTC2 のチャンネル 32 ~ 357 に接続されています。

注 2. 各割り込み要因がレベルで検出しているのか、エッジで検出しているのかを示します。EI レベル割り込み制御レジスタのリセット後の値にも影響します。詳細は「7.4.2 ICxxx — EI レベル割り込み制御レジスタ」を参照してください。レベルで検出している場合は、割り込み要因を保持しているレジスタにアクセスすることにより割り込み要因をクリアします。レジスタ更新結果を後続の命令に反映させるには、レジスタのダミーリードと SYNCP 命令の実行が必要です。

注 3. 割り込みチャンネルに関係なく、オフセットアドレスは、優先度 (0 ~ 15) によって +100_H ~ +1F0_H の範囲で決定されます。

注 4. 優先度に関係なく、オフセットアドレスは、一律 +100_H となります。

注 5. テーブル参照方式は、割り込みチャンネルごとに例外ハンドラアドレスを読み出すテーブルを持ち、そのテーブルを参照してハンドラアドレスを抽出します。テーブル参照位置の計算は、下記の計算式で求められます。例外ハンドラアドレス読み出し位置 = INTBP レジスタ + チャンネル番号 × 4 バイト

注 6. 同じ割り込み要因異なる割り込みチャンネルに割り当てられています。詳細は「7.5.2 SELB_INTC1 — INTC1 割り込み選択レジスタ」を参照してください。

注 7. 同じ割り込みチャンネルに 2 つの割り込み要因が割り当てられています。詳細は「7.5.3 SELB_INTC2 — INTC2 割り込み選択レジスタ」を参照してください。

注 8. 詳細については、「7.10 例外ハンドラアドレス」を参照してください。

- 注 9. INTOSTM0 は、EIINT と FEINT にアサインされており、同時に使用することは禁止です。OSTM0 を TSU (Timing Supervision Unit) 機能として使用する場合は FEINT を使用してください。また、OSTM0 を TSU 機能以外として使用する場合は EIINT を使用してください。
- 注 10. 割り込み発生要因の詳細については、「**RH850/F1K フラッシュメモリ ユーザーズマニュアルハードウェアインタフェース編**」を参照してください。

7.2.2 レジスタ一覧

割り込み要因レジスタ一覧を以下の表に示します。

表 7.5 割り込み要因レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
ECON_NMI	FENMI 要因レジスタ	WDTNMIF	FFC0 0000 _H
	WDTNMI 要因クリアレジスタ	WDTNMIFC	FFC0 0008 _H
ECON_FEINT	FEINT 要因レジスタ	FEINTF	FFC0 0100 _H
	FEINT 要因マスクレジスタ	FEINTFMSK	FFC0 0104 _H
	FEINT 要因クリアレジスタ	FEINTFC	FFC0 0108 _H

7.2.3 FE レベルノンマスカブル割り込み要因

7.2.3.1 WDTNMIF — FENMI 要因レジスタ

このレジスタは、FE レベルノンマスカブル割り込み (FENMI) がどの要因で発生したかを示します。また、DeepSTOP モード遷移時を除くすべてのリセット要因によって初期化されます (AWORES)。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFC0 0000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	WDTA1 NMIF	WDTA0 NMIF	TNMIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.6 WDTNMIF レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	WDTA1NMIF	WDTA1 NMI フラグ 0 : WDTA1 NMI が発生していない 1 : WDTA1 NMI が発生した
1	WDTA0NMIF	WDTA0 NMI フラグ 0 : WDTA0 NMI が発生していない 1 : WDTA0 NMI が発生した
0	TNMIF	NMI 端子からの入力信号フラグ 0 : TNMI が発生していない 1 : TNMI が発生した

7.2.3.2 WDTNMIFC — WDTNMI 要因クリアレジスタ

このレジスタは WDTNMIF レジスタの FE レベルノンマスカブル割り込みフラグをクリアするレジスタです。

アクセス 32 ビット単位でライトのみ可能です。

アドレス FFC0 0008_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	WDTA1 NMIFC	WDTA0 NMIFC	TNMIF C
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W	W

表 7.7 WDTNMIFC レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	ライトする場合はリセット後の値を書いてください。
2	WDTA1NMIFC	WDTA1NMIF フラグのクリア 0:— 1:クリアする
1	WDTA0NMIFC	WDTA0NMIF フラグのクリア 0:— 1:クリアする
0	TNMIFC	TNMIF フラグのクリア 0:— 1:クリアする

7.2.4 FE レベルマスカブル割り込み要因

7.2.4.1 FEINTF — FEINT 要因レジスタ

このレジスタは、FE レベルマスカブル割り込み (FEINT) がどの要因で発生したかを示します。また、DeepSTOP モード遷移時を除くすべてのリセット要因によって初期化されます (AWORES)。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFC0 0100_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	DMAFEIF	—	—	—	—	—	—	—	—	ECCDC NRAM1 FEIF	OSTM4 FEIF	OSTM3 FEIF	OSTM2 FEIF	OSTM1 FEIF	GUARD FEIF	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	LVIH FEIF	OSTM0 FEIF	ECCRA MFEIF	ECCSC FLI0 FEIF	—	ECCDC SIH3FE IF	ECCDC SIH2 FEIF	ECCDC SIH1 FEIF	ECCDC SIH0 FEIF	ECCDC NRAM0 FEIF	—	ECCDE EP0 FEIF	—	—	—	—	LVIL FEIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

表 7.8 FEINTF レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	DMAFEIF	INTDMAERR 割り込みの発生 0: 発生していない 1: 発生した
30 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。
22	ECCDCNRAM1 FEIF 注 ¹	INTECCDCNRAM1 割り込みの発生 0: 発生していない 1: 発生した
21	OSTM4FEIF	INTOSTM4_FE 割り込みの発生 0: 発生していない 1: 発生した
20	OSTM3FEIF	INTOSTM3_FE 割り込みの発生 0: 発生していない 1: 発生した
19	OSTM2FEIF	INTOSTM2_FE 割り込みの発生 0: 発生していない 1: 発生した
18	OSTM1FEIF	INTOSTM1_FE 割り込みの発生 0: 発生していない 1: 発生した
17	GUARDFEIF	INTGUARD 割り込みの発生 0: 発生していない 1: 発生した
16	予約ビット	リードした場合はリセット後の値が読めます。
15	LVIHFEIF	INTLVIH 割り込みの発生 0: 発生していない 1: 発生した
14	OSTM0 FEIF	INTOSTM0_FE 割り込みの発生 0: 発生していない 1: 発生した

表 7.8 FEINTF レジスタの内容 (2/2)

ビット位置	ビット名	機能
13	ECCRAM FEIF	INTECCRAM 割り込みの発生 0: 発生していない 1: 発生した
12	ECCSCFLI0 FEIF	INTECCSCFLI0 割り込みの発生 0: 発生していない 1: 発生した
11	予約ビット	リードした場合はリセット後の値が読めます。
10	ECCDCSIH3 FEIF	INTECCDCSIH3 割り込みの発生 0: 発生していない 1: 発生した
9	ECCDCSIH2 FEIF	INTECCDCSIH2 割り込みの発生 0: 発生していない 1: 発生した
8	ECCDCSIH1 FEIF	INTECCDCSIH1 割り込みの発生 0: 発生していない 1: 発生した
7	ECCDCSIH0 FEIF	INTECCDCSIH0 割り込みの発生 0: 発生していない 1: 発生した
6	ECCDCNRAM0 FEIF	INTECCDCNRAM0 割り込みの発生 0: 発生していない 1: 発生した
5	予約ビット	リードした場合はリセット後の値が読めます。
4	ECCDEEP0 FEIF	INTECCDEEP0 割り込みの発生 0: 発生していない 1: 発生した
3～1	予約ビット	リードした場合はリセット後の値が読めます。
0	LVILFEIF	INTLVIL 割り込みの発生 0: 発生していない 1: 発生した

注 1. 対応製品は、「表 7.3 FE レベルマスカブル割り込み要求」を参照してください。

7.2.4.2 FEINTFMSK — FEINT 要因マスクレジスタ

このレジスタは、FE レベルマスカブル割り込み (FEINT) をマスクするレジスタです。また、DeepSTOP モード遷移時を除くすべてのリセット要因によって初期化されます (AWORES)。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFC0 0104_H

リセット後の値 FFFF FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DMAFE IFMSK	—	—	—	—	—	—	—	—	ECCDCN RAM1FE IFMSK	OSTM4F EIFMSK	OSTM3F EIFMSK	OSTM2F EIFMSK	OSTM1F EIFMSK	GUARDF EIFMSK	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LVIH FEIFMS K	OSTM0 FEIFMS K	ECCRA MFEIF MSK	ECCSCF LI0FEIF MSK	—	ECCDCS IH3FEIF MSK	ECCDCS IH2FEIF MSK	ECCDCS IH1FEIF MSK	ECCDCS IH0FEIF MSK	ECCDCN RAM0FE IFMSK	—	ECCDE EP0FEI FMSK	—	—	—	LVLIFEI FMSK
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R	R/W	R	R	R	R/W

表 7.9 FEINTFMSK レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	DMAFEIFMSK	INTDMAERR 割り込みのマスク 0: マスクしない 1: マスクする
30 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22	ECCDCN RAM1 FEIFMSK ^{注1}	INTECCDCN RAM1 割り込みのマスク 0: マスクしない 1: マスクする
21	OSTM4 FEIFMSK	INTOSTM4_FE 割り込みのマスク 0: マスクしない 1: マスクする
20	OSTM3 FEIFMSK	INTOSTM3_FE 割り込みのマスク 0: マスクしない 1: マスクする
19	OSTM2 FEIFMSK	INTOSTM2_FE 割り込みのマスク 0: マスクしない 1: マスクする
18	OSTM1 FEIFMSK	INTOSTM1_FE 割り込みのマスク 0: マスクしない 1: マスクする
17	GUARD FEIFMSK	INTGUARD 割り込みのマスク 0: マスクしない 1: マスクする
16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	LVIHFEIFMSK	INTLVIH 割り込みのマスク 0: マスクしない 1: マスクする
14	OSTM0FE IFMSK	INTOSTM0_FE 割り込みのマスク 0: マスクしない 1: マスクする

表 7.9 FEINTFMSK レジスタの内容 (2/2)

ビット位置	ビット名	機能
13	ECCRAMFEIFMSK	INTECCRAM 割り込みのマスク 0: マスクしない 1: マスクする
12	ECCSCFLI0FEIFMSK	INTECCSCFLI0 割り込みのマスク 0: マスクしない 1: マスクする
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	ECCDCSIH3FEIFMSK	INTECCDCSIH3 割り込みのマスク 0: マスクしない 1: マスクする
9	ECCDCSIH2FEIFMSK	INTECCDCSIH2 割り込みのマスク 0: マスクしない 1: マスクする
8	ECCDCSIH1FEIFMSK	INTECCDCSIH1 割り込みのマスク 0: マスクしない 1: マスクする
7	ECCDCSIH0FEIFMSK	INTECCDCSIH0 割り込みのマスク 0: マスクしない 1: マスクする
6	ECCDCNRAM0FEIFMSK	INTECCDCNRAM0 割り込みのマスク 0: マスクしない 1: マスクする
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	ECCDEEP0FEIFMSK	INTECCDEEP0 割り込みのマスク 0: マスクしない 1: マスクする
3～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	LVILFEIFMSK	INTLVIL 割り込みのマスク 0: マスクしない 1: マスクする

注 1. 対応製品は、「表 7.3 FE レベルマスカブル割り込み要求」を参照してください。

7.2.4.3 FEINTFC — FEINT 要因クリアレジスタ

このレジスタは、FEINT 要因レジスタ (FEINTF) の各ビットをクリアするレジスタです。

アクセス 32ビット単位でライトのみ可能です。

アドレス FFC0 0108_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	DMAFEIFC	—	—	—	—	—	—	—	—	ECCDC NRAM1 FEIFC	OSTM4F EIFC	OSTM3F EIFC	OSTM2F EIFC	OSTM1F EIFC	GUARDF EIFC	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	R	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	LVIH FEIFC	OSTM0 FEIFC	ECC RAM FEIFC	ECCSC FLI0FEI FC	—	ECCDC SIH3 FEIFC	ECCDC SIH2 FEIFC	ECCDC SIH1 FEIFC	ECCDC SIH0 FEIFC	ECCDC NRAM0 FEIFC	—	ECC DEEP0 FEIFC	—	—	—	—	LVIL FEIFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	W	W	W	W	R	W	W	W	W	W	R	W	R	R	R	W	

表 7.10 FEINTFC レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	DMAFEIFC	DMAFEIF フラグのクリア 0: — 1: クリアする
30 ~ 23	予約ビット	ライトする場合はリセット後の値を書いてください。
22	ECCDCNRAM1 FEIFC ^{注1}	ECCDCNRAM1FEIF フラグのクリア 0: — 1: クリアする
21	OSTM4FEIFC	OSTM4FEIF フラグのクリア 0: — 1: クリアする
20	OSTM3FEIFC	OSTM3FEIF フラグのクリア 0: — 1: クリアする
19	OSTM2FEIFC	OSTM2FEIF フラグのクリア 0: — 1: クリアする
18	OSTM1FEIFC	OSTM1FEIF フラグのクリア 0: — 1: クリアする
17	GUARDFEIFC	GUARDFEIF フラグのクリア 0: — 1: クリアする
16	予約ビット	ライトする場合はリセット後の値を書いてください。
15	LVIHFEIFC	LVIHFEIF フラグのクリア 0: — 1: クリアする
14	OSTM0 FEIFC	OSTM0FEIF フラグのクリア 0: — 1: クリアする
13	ECCRAM FEIFC	ECCRAMFEIF フラグのクリア 0: — 1: クリアする
12	ECCSCFLI0FEI FC	ECCSCFLI0FEIF フラグのクリア 0: — 1: クリアする

表 7.10 FEINTFC レジスタの内容 (2/2)

ビット位置	ビット名	機能
11	予約ビット	ライトする場合はリセット後の値を書いてください。
10	ECCDCSIH3 FEIFC	ECCDCSIH3FEIF フラグのクリア 0:— 1:クリアする
9	ECCDCSIH2 FEIFC	ECCDCSIH2FEIF フラグのクリア 0:— 1:クリアする
8	ECCDCSIH1 FEIFC	ECCDCSIH1FEIF フラグのクリア 0:— 1:クリアする
7	ECCDCSIH0 FEIFC	ECCDCSIH0FEIF フラグのクリア 0:— 1:クリアする
6	ECCDCNRAM0 FEIFC	ECCDCNRAM0FEIF フラグのクリア 0:— 1:クリアする
5	予約ビット	ライトする場合はリセット後の値を書いてください。
4	ECCDEEP0 FEIFC	ECCDEEP0FEIF フラグのクリア 0:— 1:クリアする
3～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	LVILFEIFC	LVILFEIF フラグのクリア 0:— 1:クリアする

注 1. 対応製品は、「表 7.3 FE レベルマスカブル割り込み要求」を参照してください。

7.3 エッジ／レベル検出機能

外部割り込み（TNMI と INTPm）は外部端子の立ち上がり／立ち下がり／両エッジ／ロウまたはハイレベルを検出することにより割り込みを要求できます。

各割り込みのエッジ／レベルを指定するレジスタを次に示します。

表 7.11 外部割り込みエッジ／レベル検出レジスタ

割り込み	レジスタ
TNMI	FCLA0CTL0_NMI
INTP0	FCLA0CTL0_INTPL
INTP1	FCLA0CTL1_INTPL
INTP2	FCLA0CTL2_INTPL
INTP3	FCLA0CTL3_INTPL
INTP4	FCLA0CTL4_INTPL
INTP5	FCLA0CTL5_INTPL
INTP6	FCLA0CTL6_INTPL
INTP7	FCLA0CTL7_INTPL
INTP8	FCLA0CTL0_INTPH
INTP9 ^{注1}	FCLA0CTL1_INTPH
INTP10	FCLA0CTL2_INTPH
INTP11	FCLA0CTL3_INTPH
INTP12	FCLA0CTL4_INTPH
INTP13	FCLA0CTL5_INTPH
INTP14 ^{注1}	FCLA0CTL6_INTPH
INTP15 ^{注1}	FCLA0CTL7_INTPH

注 1. 対応製品は、「表 7.4 EI レベルマスカブル割り込み要因」を参照してください。

レジスタの詳細に関しては、「第 2 章 端子」を参照してください。

7.4 割り込みコントローラ制御レジスタ

ICxxx、IMRm (m = 0 ~ 11)、FNC、FIC レジスタへの書き込みは、スーパーバイザモード (PSW.UM = 0) 時のみ実行可能です。

7.4.1 レジスタ一覧

割り込みコントローラ制御レジスタ一覧を以下の表に示します。

表 7.12 割り込みコントローラ制御レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
INTC1	EI レベル割り込み制御レジスタ (チャンネル番号 8 ~ 31)	ICxxx (表 7.4 参照)	表 7.4 参照
INTC2	EI レベル割り込み制御レジスタ (チャンネル番号 32 ~ 357)	ICxxx (表 7.4 参照)	表 7.4 参照
INTC1	EI レベル割り込みマスクレジスタ (m = 0)	IMR0	FFFE EAF0 _H
INTC2	EI レベル割り込みマスクレジスタ (m = 1 ~ 11)	IMRm	FFFF B400 _H + (04 _H × m)
INTC1	FE レベル NMI ステータスレジスタ	FNC	FFFE EA78 _H
	FE レベルマスカブル割り込みステータスレジスタ	FIC	FFFE EA7A _H

7.4.2 ICxxx — EI レベル割り込み制御レジスタ

EI レベルマスクブル割り込み (INT) のチャンネルごとに設けられ、各チャンネルの制御条件を設定します。このレジスタは、どのリセット要因でも初期化されます。それぞれの要因は「表 7.4 EI レベルマスクブル割り込み要因」を参照してください。

注意

エッジ検出で、周辺モジュールからの割り込み要求の直後（CPUによって割り込みが受け付けられる前）に、RFxxx ビットに“0”を書き込んだ場合は、要求が失われる場合があります。

また、CPUによって割り込みが受け付けられた直後に、RFxxx ビットに“1”を書き込んだ場合は要求が再セットされる場合があります。

レジスタへの書き込みにはビット操作命令 (set1、clr1、not1) を含みます。

ビット操作命令については、「3.3.3 ビット操作命令でのレジスタアクセス」も参照してください。

MKxxx ビットを含む下位バイトへのビット操作命令実行時には、RFxxx ビットは影響を受けません。

アクセス ICxxx は 16 ビット単位でリード／ライト可能です。
ICxxxH、ICxxxL は 8/1 ビット単位でリード／ライト可能です。
ただし、ビット 14、13、11～8、5、4 への SET1、CLR1、NOT1 命令によるビットアクセスは禁止です。

アドレス 「表 7.4 EI レベルマスクブル割り込み要因」を参照してください。

リセット後の値 008FH (エッジ検出)、808FH (レベル検出) 注1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CTxxx	—	—	RFxxx	—	—	—	—	MKxxx	TBxxx	—	—	P3xxx	P2xxx	P1xxx	P0xxx
リセット後の値 0/1 注1	0	0	0	0	0	0	0	0	1	0	0	0	1	1	1	1
R/W	R	R	R	R/W	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W

注1. リセット後の値は各割り込みの検出タイプ（エッジ検出：0、レベル検出：1）で異なります。詳細は「表 7.4 EI レベルマスクブル割り込み要因」の検出タイプを参照してください。

表 7.13 ICxxx レジスタの内容 (1/2)

ビット位置	ビット名	機能						
15	CTxxx	割り込み検出タイプビットです。リードのみ可能です。 0：エッジ検出 1：レベル検出 8/16 ビットでライトする場合は、リセット後の値を書いてください。						
14、13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。						
12	RFxxx	割り込み要求フラグです。 RFxxx ビットはプログラムから書き込み可能です。RFxxx ビットをセット (1) すると、割り込み要求を受け付けた場合と同じように、EI レベルマスクブル割り込み n (INTn) を発生します。 0：割り込み要求なし 1：割り込み要求あり						
		<table border="1"> <thead> <tr> <th>入カウンタフェース</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>エッジ検出 (CTxxx = 0)</td> <td>CPU コアに割り込み要求が受け付けられると、自動的にクリアされます。ソフトウェアによるビットのセットクリアが可能です。</td> </tr> <tr> <td>レベル検出 (CTxxx = 1)</td> <td>ソフトウェアによるビットのセットクリアはできません。リードのみ可能です。 CPU コアに割り込み要求が受け付けられてもクリアされません。</td> </tr> </tbody> </table>	入カウンタフェース	動作	エッジ検出 (CTxxx = 0)	CPU コアに割り込み要求が受け付けられると、自動的にクリアされます。ソフトウェアによるビットのセットクリアが可能です。	レベル検出 (CTxxx = 1)	ソフトウェアによるビットのセットクリアはできません。リードのみ可能です。 CPU コアに割り込み要求が受け付けられてもクリアされません。
入カウンタフェース	動作							
エッジ検出 (CTxxx = 0)	CPU コアに割り込み要求が受け付けられると、自動的にクリアされます。ソフトウェアによるビットのセットクリアが可能です。							
レベル検出 (CTxxx = 1)	ソフトウェアによるビットのセットクリアはできません。リードのみ可能です。 CPU コアに割り込み要求が受け付けられてもクリアされません。							
11～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。						

表 7.13 ICxxx レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	MKxxx	<p>割り込み要求マスクビットです。 MKxxx ビットがセットされている場合、チャンネルからの割り込み要求はマスクされ、そのチャンネルから CPU コアへの割り込み要求は行われません。チャンネルがマスクされている ICSR.PMEI ビットには、割り込み中断状態は反映されません。 MKxxx = 1 でチャンネルからの割り込み要求がマスクされている場合でも、RFxxx はチャンネルへの割り込み要求を反映しており、ソフトウェアでポーリングすることができます。MKxxx ビットがクリアされると、チャンネルからの割り込み要求は CPU コアに発行されます。MKxxx ビットの状態は、対応する IMRm のレジスタに反映されます。 0: 割り込み処理を許可 1: 割り込み処理を禁止</p>
6	TBxxx	<p>割り込みベクタ方式選択ビットです。 0: 優先度に基づいた直接分岐方式 1: テーブル参照方式</p> <p>割り込みベクタ方式についての詳細は、「RH850G3KH ユーザーズマニュアル ソフトウェア編」を参照してください。</p>
5 ~ 4	予約ビット	<p>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</p>
3 ~ 0	P3xxx ~ P0xxx	<p>16 レベルの割り込み優先度を指定します。0 が最高優先度、15 が最低優先度になります。 複数の EI レベル割り込み要求が同時に発生した場合、本ビットで指定される優先度の高い要因が選択されて CPU コアへ最初の処理として通知されます。 P3xxx ~ P0xxx ビットで同じ優先度を指定した割り込み要求が同時に発生すると、チャンネル番号が小さい要因が選択されます。</p>

注 意

「表 7.4 EI レベルマスカブル割り込み要因」に「リザーブ」と記載されたチャンネル、および製品に搭載されていないチャンネルの ICxxx レジスタにはアクセスしないでください。

7.4.3 IMRm — EI レベル割り込みマスクレジスタ (m = 0 ~ 11)

ICxxx レジスタの MKxxx ビットの集合レジスタです。IMRm レジスタの各ビットは対応する MKxxx ビットの設定が反映されます。また IMRm レジスタへの設定は対応する MKxxx ビットへ反映されます。このレジスタは、どのリセット要因でも初期化されます。

アクセス IMRm は 32 ビット単位でリード／ライト可能です。
IMRmH、IMRmL は 16 ビット単位でリード／ライト可能です。
IMRmHH、IMRmHL、IMRmLH、IMRmLL は 8/1 ビット単位でリード／ライト可能です。

アドレス IMR0 : FFFE EAF0_H
IMRm (m = 1 ~ 11) : FFFF B400_H + (04_H × m)

リセット後の値 FFFF FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IMRm EIMK (m × 32 + 31)	IMRm EIMK (m × 32 + 30)	IMRm EIMK (m × 32 + 29)	IMRm EIMK (m × 32 + 28)	IMRm EIMK (m × 32 + 27)	IMRm EIMK (m × 32 + 26)	IMRm EIMK (m × 32 + 25)	IMRm EIMK (m × 32 + 24)	IMRm EIMK (m × 32 + 23)	IMRm EIMK (m × 32 + 22)	IMRm EIMK (m × 32 + 21)	IMRm EIMK (m × 32 + 20)	IMRm EIMK (m × 32 + 19)	IMRm EIMK (m × 32 + 18)	IMRm EIMK (m × 32 + 17)	IMRm EIMK (m × 32 + 16)
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IMRm EIMK (m × 32 + 15)	IMRm EIMK (m × 32 + 14)	IMRm EIMK (m × 32 + 13)	IMRm EIMK (m × 32 + 12)	IMRm EIMK (m × 32 + 11)	IMRm EIMK (m × 32 + 10)	IMRm EIMK (m × 32 + 9)	IMRm EIMK (m × 32 + 8)	IMRm EIMK (m × 32 + 7)	IMRm EIMK (m × 32 + 6)	IMRm EIMK (m × 32 + 5)	IMRm EIMK (m × 32 + 4)	IMRm EIMK (m × 32 + 3)	IMRm EIMK (m × 32 + 2)	IMRm EIMK (m × 32 + 1)	IMRm EIMK (m × 32 + 0)
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.14 IMRm レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	IMRmEIMK (m × 32 + 31) ~ IMRmEIMK (m × 32 + 0)	EI レベルマスカブル割り込み (EIINT) のチャンネル 0 ~ 357 の割り込みマスクビットです。 0 : 割り込み処理を許可 1 : 割り込み処理を禁止

注 意

「表 7.4 EI レベルマスカブル割り込み要因」に「リザーブ」と記載されたチャンネル、および製品に搭載されていないチャンネルに対応する MKxxx ビットには、必ず 1 を設定してください。

7.4.4 FNC — FE レベル NMI ステータスレジスタ

FE レベルノンマスカブル割り込み (FENMI) の状態を示すレジスタです。

アクセス FNC は 16 ビット単位でリードのみ可能です。
FNCH は 8/1 ビット単位でリードのみ可能です。

アドレス FNC : FFFE EA78_H
FNCH : FFFE EA79_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	FNRF	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.15 FNC レジスタの内容

ビット位置	ビット名	機能
15 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。
12	FNRF	割り込み要求フラグです。 0 : 割り込み要求なし 1 : 割り込み要求あり CPU コアに FE レベル NMI の割り込み要求が受けつけられると、自動的にクリアされます。
11 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。

7.4.5 FIC — FE レベルマスカブル割り込みステータスレジスタ

FE レベルマスカブル割り込み (FEINT) の状態を示すレジスタです。

アクセス FIC は 16 ビット単位でリードのみ可能です。
FICH は 8/1 ビット単位でリードのみ可能です。

アドレス FIC : FFFE EA7A_H
FICH : FFFE EA7B_H

リセット後の値 8000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	FIRF	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.16 FIC レジスタの内容

ビット位置	ビット名	機能
15 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。
12	FIRF	割り込み要求フラグです。 0 : 割り込み要求なし 1 : 割り込み要求あり ソフトウェアによるビットのセットクリアはできません。読み出しのみ可能です。
11 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。

7.5 EI レベルマスカブル割り込みの選択レジスタ

EI レベルマスカブル割り込みは次のレジスタにて選択できます。

7.5.1 レジスタ一覧

割り込み選択レジスタ一覧を以下の表に示します。

表 7.17 割り込み選択レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
SL_INTC	INTC1 割り込み選択レジスタ	SELB_INTC1	FFC0 1000 _H
	INTC2 割り込み選択レジスタ	SELB_INTC2	FFC0 1004 _H

7.5.2 SELB_INTC1 — INTC1 割り込み選択レジスタ

1つの割り込みチャンネルに2つの割り込み要因が割り当てられているチャンネルにおいて、どちらの割り込み要因を有効にするか選択します。

備考

各ビットの設定に記載されているチャンネルとは割り込みのチャンネルを示し、優先順位でもあります。チャンネルについては「表 7.4 EI レベルマスカブル割り込み要因」を参照してください。

アクセス 16ビット単位でリード／ライト可能です。

アドレス FFC0 1000_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SELB_INTC1_12	SELB_INTC1_11	SELB_INTC1_10	SELB_INTC1_9	SELB_INTC1_8	SELB_INTC1_7	SELB_INTC1_6	SELB_INTC1_5	SELB_INTC1_4	SELB_INTC1_3	SELB_INTC1_2	SELB_INTC1_1	SELB_INTC1_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.18 SELB_INTC1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15～13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	SELB_INTC1_12	割り込みチャンネルの選択 0: INTADCA0I2 (チャンネル 20) INTCSIH0IJC (チャンネル 32) 1: INTCSIH0IJC_1 (チャンネル 20) INTADCA0I2_2 (チャンネル 32)
11	SELB_INTC1_11	割り込みチャンネルの選択 0: INTTAUD0I14 (チャンネル 15) INTCSIH3IJC (チャンネル 161) 1: INTCSIH3IJC_1 (チャンネル 15) INTTAUD0I14_2 (チャンネル 161)
10	SELB_INTC1_10	割り込みチャンネルの選択 0: INTTAUD0I12 (チャンネル 14) INTCSIH3IRE (チャンネル 160) 1: INTCSIH3IRE_1 (チャンネル 14) INTTAUD0I12_2 (チャンネル 160)

表 7.18 SELB_INTC1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
9	SELB_INTC1 _9	割り込みチャネルの選択 0: INTTAUD0I10 (チャネル 13) INTCSIH3IR (チャネル 159) 1: INTCSIH3IR_1 (チャネル 13) INTTAUD0I10_2 (チャネル 159)
8	SELB_INTC1 _8	割り込みチャネルの選択 0: INTTAUD0I2 (チャネル 9) INTCSIH3IC (チャネル 158) 1: INTCSIH3IC_1 (チャネル 9) INTTAUD0I2_2 (チャネル 158)
7	SELB_INTC1 _7	割り込みチャネルの選択 0: INTTAUD0I8 (チャネル 12) INTCSIH2IJC (チャネル 135) 1: INTCSIH2IJC_1 (チャネル 12) INTTAUD0I8_2 (チャネル 135)
6	SELB_INTC1 _6	割り込みチャネルの選択 0: INTTAUD0I6 (チャネル 11) INTCSIH2IRE (チャネル 134) 1: INTCSIH2IRE_1 (チャネル 11) INTTAUD0I6_2 (チャネル 134)
5	SELB_INTC1 _5	割り込みチャネルの選択 0: INTTAUD0I4 (チャネル 10) INTCSIH2IR (チャネル 133) 1: INTCSIH2IR_1 (チャネル 10) INTTAUD0I4_2 (チャネル 133)
4	SELB_INTC1 _4	割り込みチャネルの選択 0: INTTAUD0I0 (チャネル 8) INTCSIH2IC (チャネル 132) 1: INTCSIH2IC_1 (チャネル 8) INTTAUD0I0_2 (チャネル 132)
3	SELB_INTC1 _3	割り込みチャネルの選択 0: INTCSIG0IR (チャネル 28) INTCSIH1IJC (チャネル 119) 1: INTCSIH1IJC_1 (チャネル 28) INTCSIG0IR_2 (チャネル 119)
2	SELB_INTC1 _2	割り込みチャネルの選択 0: INTCSIG0IC (チャネル 27) INTCSIH1IRE (チャネル 118) 1: INTCSIH1IRE_1 (チャネル 27) INTCSIG0IC_2 (チャネル 118)
1	SELB_INTC1 _1	割り込みチャネルの選択 0: INTTAPA0IVLY0 (チャネル 17) INTCSIH1IR (チャネル 117) 1: INTCSIH1IR_1 (チャネル 17) INTTAPA0IVLY0_2 (チャネル 117)
0	SELB_INTC1 _0	割り込みチャネルの選択 0: INTTAPA0IPEK0 (チャネル 16) INTCSIH1IC (チャネル 116) 1: INTCSIH1IC_1 (チャネル 16) INTTAPA0IPEK0_2 (チャネル 116)

注 意

SELB_INTC1 で各割り込み要因を設定してから、対応する各周辺機能の動作を許可してください。

7.5.3 SELB_INTC2 — INTC2 割り込み選択レジスタ

1つの割り込みチャンネルに2つの割り込み要因が割り当てられているチャンネルにおいて、どちらの割り込み要因を有効にするか選択します。

アクセス 16ビット単位でリード／ライト可能です。

アドレス FFC0 1004_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SELB_INTC2_10	SELB_INTC2_9	SELB_INTC2_8	SELB_INTC2_7	SELB_INTC2_6	SELB_INTC2_5	SELB_INTC2_4	SELB_INTC2_3	SELB_INTC2_2	SELB_INTC2_1	SELB_INTC2_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.19 SELB_INTC2 レジスタの内容

ビット位置	ビット名	機能
15 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	SELB_INTC2_10	割り込みチャンネル 157 の選択 0 : INTTAUB015 1 : INTPWGA31
9	SELB_INTC2_9	割り込みチャンネル 155 の選択 0 : INTTAUB013 1 : INTPWGA30
8	SELB_INTC2_8	割り込みチャンネル 153 の選択 0 : INTTAUB011 1 : INTPWGA26
7	SELB_INTC2_7	割り込みチャンネル 151 の選択 0 : INTTAUB019 1 : INTPWGA19
6	SELB_INTC2_6	割り込みチャンネル 149 の選択 0 : INTTAUB017 1 : INTPWGA18
5	SELB_INTC2_5	割り込みチャンネル 147 の選択 0 : INTTAUB015 1 : INTPWGA17
4	SELB_INTC2_4	割り込みチャンネル 145 の選択 0 : INTTAUB013 1 : INTPWGA16
3	SELB_INTC2_3	割り込みチャンネル 88 の選択 0 : INTENCA011 1 : INTPWGA7
2	SELB_INTC2_2	割り込みチャンネル 87 の選択 0 : INTENCA010 1 : INTPWGA6
1	SELB_INTC2_1	割り込みチャンネル 86 の選択 0 : INTENCA01UD 1 : INTPWGA5
0	SELB_INTC2_0	割り込みチャンネル 85 の選択 0 : INTENCA01OV 1 : INTPWGA4

注 意

SELB_INTC2 で各割り込み要因を設定してから、対応する各周辺機能の動作を許可してください。

7.6 割り込み機能システムレジスタ

「表 3.30 割り込み機能システムレジスタ一覧」を参照してください。

7.6.1 FPIPR — FPI 例外割り込み優先度

「表 3.31 FPIPR レジスタの内容」を参照してください。

7.6.2 ISPR — 受付中割り込み優先度

「表 3.32 ISPR レジスタの内容」を参照してください。

7.6.3 PMR — 割り込み優先度マスク

「表 3.33 PMR レジスタの内容」を参照してください。

7.6.4 ICSR — 割り込み制御ステータス

「表 3.34 ICSR レジスタの内容」を参照してください。

7.6.5 INTCFG — 割り込み機能の設定

「表 3.35 INTCFG レジスタの内容」を参照してください。

7.7 割り込み受け付け時の動作

命令の実行時点で通知されている割り込みを、優先順位にしたがって、ひとつひとつ割り込み受け付けを行うかどうかを確認していきます。割り込みごとの受け付け動作の手順は次の通りです。

- (1) 受け付け条件を満たしているか、また優先順位にしたがって受け付けを行うかどうかを確認する。
- (2) 現在の PSW の値に従って、例外ハンドラアドレスを計算する。^{注1}
- (3) FE レベルノンマスクابل割り込み／FE レベルマスクابل割り込みの場合、それぞれ次の処理を行う。
 - PC を FEPC に退避
 - PSW を FEPSW に退避
 - FEIC に例外要因コードを格納
 - PSW および MCTL を更新する^{注2}
 - PC に (2) で計算した例外ハンドラアドレスを格納し、例外ハンドラへ制御を移す。
- (4) EI レベル例外の場合、それぞれ次の処理を行う。
 - PC を EIPC に退避
 - PSW を EIPSW に退避
 - EIIC に例外要因コードを格納
 - PSW および MCTL を更新する^{注2}
 - PC に (2) で計算した例外ハンドラアドレスを格納し、例外ハンドラへ制御を移す。

注1. 詳細は、「7.10 例外ハンドラアドレス」を参照してください。

注2. 更新する値は、「RH850G3KH ユーザーズマニュアル ソフトウェア編」の「表 4-1 例外要因一覧」を参照してください。

(1) から (4) の手順を次の図で示します。

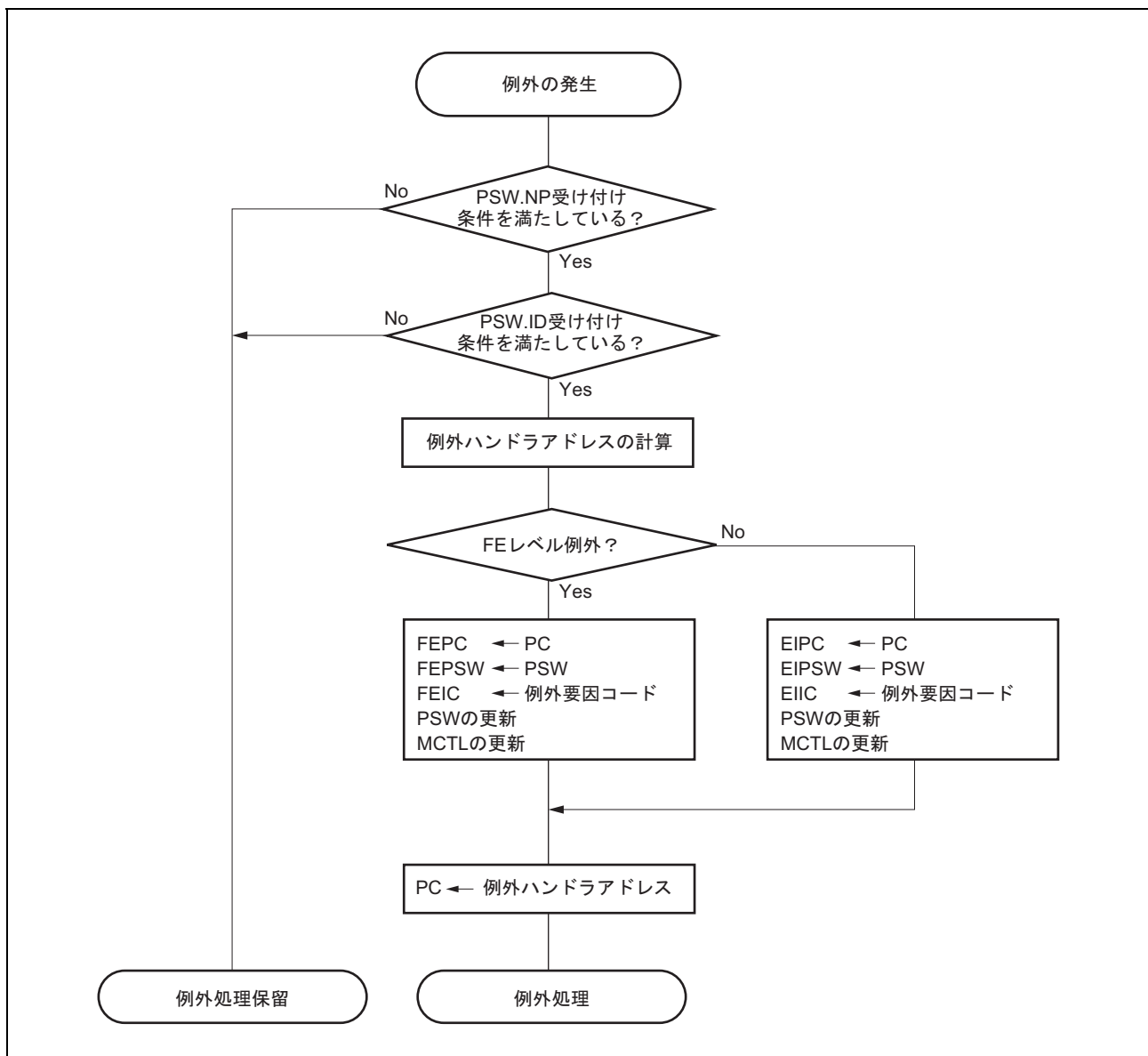


図 7.2 割り込み受け付け時の動作

7.7.1 SYSERR 例外発生時の例外要因コード

SYSERR 例外発生時の例外要因コードを以下の表に示します。

表 7.20 SYSERR 例外発生時の例外要因コード

例外要因コード	SYSERR 発生要因
11 _H	<ul style="list-style-type: none"> コードフラッシュメモリ領域内の命令フェッチ時にエラー検出
13 _H	<ul style="list-style-type: none"> ローカル RAM / リテンション RAM 領域内の命令フェッチ時にエラー検出
14 _H	<ul style="list-style-type: none"> コードフラッシュ領域内のデータにアクセス時にエラー検出 システムインタコネクタまたは PBUS 経由でモジュールへのリードアクセス時にエラー検出 <p>例外要因コードにより、SEGFLAG レジスタの VCIF ビット関連システムエラー要因の発生が報告されます^{注1}。</p>
16 _H	<ul style="list-style-type: none"> ローカル RAM / リテンション RAM 領域内のデータにアクセス時にエラー検出 <p>例外要因コードにより、SEGFLAG レジスタの TCMF ビット関連システムエラー要因の発生が報告されます^{注1}。</p>
19 _H	<ul style="list-style-type: none"> PBUS 経由でモジュールへのライトアクセス時にエラー検出 <p>例外要因コードにより、SEGFLAG レジスタの APIF ビット関連システムエラー要因の発生が報告されます^{注1}。</p>
1A _H	<ul style="list-style-type: none"> システムインタコネクタ内でエラー検出 <p>例外要因コードにより、SEGFLAG レジスタの VCSF ビット関連システムエラー要因の発生が報告されます^{注1}。</p>

注 1. 詳細は「3.2.3.2 システムエラー通知制御機能 (SEG)」を参照してください。

7.8 割り込みからの復帰

割り込み処理からの復帰には、それぞれの割り込みレベルに対応した復帰命令（EIRET, FERET）の実行によって行います。

スタックなどにコンテキストを退避している場合は、復帰命令の実行前にコンテキストの復帰を必ず行ってください。

EI レベルマスカブル割り込み処理からの復帰は、EIRET 命令、FE レベルマスカブル割り込み処理からの復帰は FERET 命令により行われます。

EIRET 命令、FERET 命令の実行により、CPU は次の処理を行い復帰 PC のアドレスへ制御を移します。

- (1) EI レベル例外からの復帰時は、EIPC, EIPSW レジスタから復帰 PC, PSW を取り出します。
FE レベル例外からの復帰時は、FEPC, FEPSW レジスタから復帰 PC, PSW を取り出します。
- (2) 取り出した復帰 PC、PSW のアドレスに制御を移します。
- (3) EP = 0 で、INTCFG.ISPC = 0 の場合、ISPR レジスタを更新します。

EIRET 命令、FERET 命令を使った例外処理からの復帰フローを次に示します。

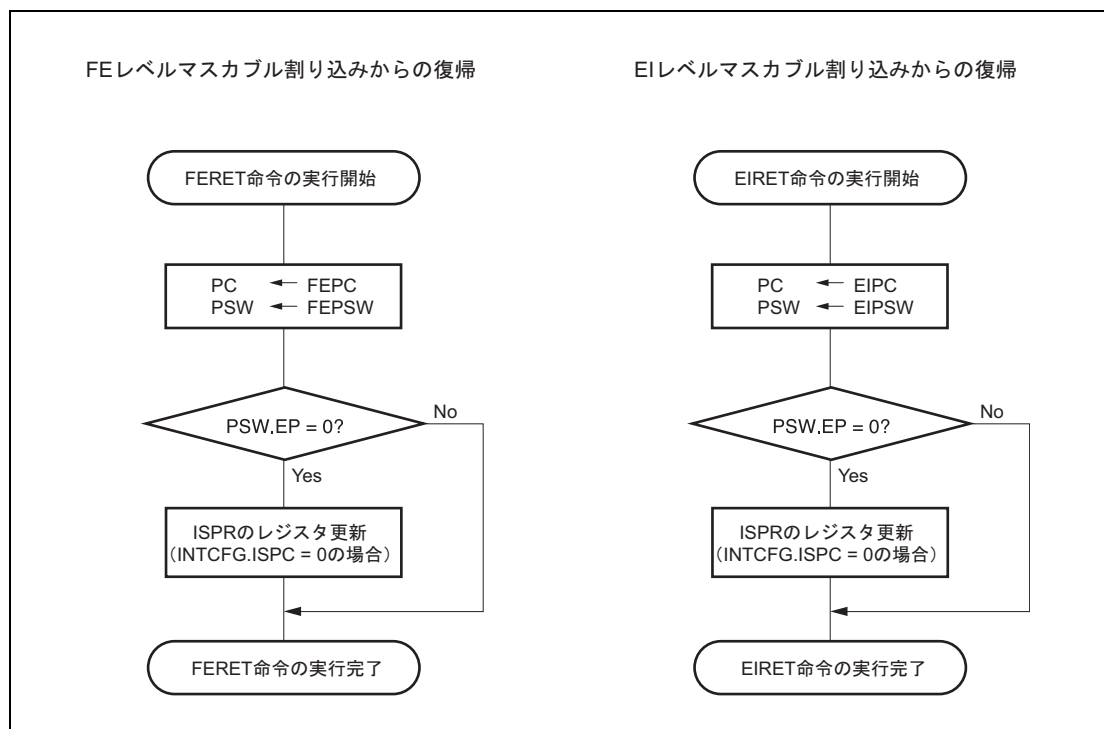


図 7.3 割り込みからの復帰

7.9 割り込み動作

7.9.1 EI レベルマスカブル割り込み (EIINT) の割り込みマスク機能

EIINT は、それぞれの割り込みチャンネルごとに割り込みのマスクを指定可能です。割り込みのマスクは、次のレジスタを設定することにより行います。

表 7.21 MKxxx ビットの動作

ICxxx.MKxxx	動作
1	割り込みをマスクします。
0	割り込みを許可します。

ICxxx.MKxxx ビットは、IMRm レジスタの対応する IMRmEIMKn ビットからもリード／ライト可能です。割り込みマスク状態は、ICxxx レジスタと IMRm レジスタの両方に反映されています。

【動作例】

- (1) IMRm.IMRmEIMKn ビットに 1 を書き込むと、対応するチャンネルの割り込みは禁止されます。
- (2) 対応する ICxxx.MKxxx ビットをリードすると 1 が読み出されます。

注 意

割り込み要求が保留されている (RFxxx = 1) 場合、MKxxx ビットが 0 に設定されると、割り込みサービスルーチンは、その時点 (割り込み優先順位の規則にしたがう) で実行されます。RFxxx ビットに 1 を設定することで、割り込み要求がソフトウェアで発行されても、割り込みが MKxxx = 1 でマスクされている間は、割り込みは発生しません。

保留されている割り込み要求を削除するには、対応する RFxxx ビットをソフトウェアでクリアしてください。

7.9.2 割り込み優先度判断

FE レベルノンマスカブル割り込み (FENMI)、FE レベルマスカブル割り込み (FEINT)、EI レベルマスカブル割り込み (EIINT) が入力されると、その他の例外も含めて優先度を判断し、最も高い優先度の例外 (割り込み含む) が要求されます。同時に要求された例外 (割り込み含む) は、あらかじめ割り付けてある優先順位 (デフォルト優先順位) で処理されます。割り込み FENMI、FEINT、EIINT の優先順位は次のとおりです。

FENMI > FEINT > EIINT

(その他の例外については、「RH850G3KH ユーザーズマニュアル ソフトウェア編」を参照してください)

EIINT (INTn) 割り込みは、各割り込み要因ごとに割り込み優先度を設定可能です。割り込み優先度は、P3xxx ~ P0xxx ビットで指定します。割り込み優先度は、0 ~ 15 までが設定可能です。0 が最高優先度、15 が最低優先度です。同じ優先度を持つ EIINT (INTn) 割り込み間では、割り込みチャンネル番号の最も小さい割り込みが優先されます。

表 7.22 EIINT (INTn) の割り込み優先度設定と動作の優先順位の例

EIINT (INTn)	ICxxx.P[3:0]xxx 設定	動作時の優先順位
INT0	3	10
INT1	4	11
INT2	0	1
INT3	0	2
INT4	1	3
INT5	2	6
INT6	2	7
INT7	1	4
INT8	1	5
INT9	2	8
INT10	2	9

割り込みコントローラは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。同時に複数の EIINT (INTn) 割り込みが要求されている場合、次の手順で受け付ける割り込みが決定されます。

7.9.2.1 現在処理中の割り込み優先度との比較

現在処理中の割り込み優先度と同じ、または低い割り込みの受け付けは保留されます。

現在処理中の割り込み優先度は、ISPR レジスタに保持されています。

現在処理中の割り込み優先度より高い割り込みは、次の優先度判断に移ります。

7.9.2.2 プライオリティマスクレジスタ (PMR) によるマスク

PMR レジスタにより許可されている割り込みのみ、次の優先度判断に移ります。

PMR レジスタに関しては、「表 3.33 PMR レジスタの内容」または、「RH850G3KH ユーザーズマニュアル ソフトウェア編」を参照してください。

7.9.2.3 要求されている割り込み要因のうち、最も高い優先度が設定されている割り込み要因を選択

複数の割り込みが同時に発生した場合、ICxxx.P[3:0]xxx ビットで最も高い優先度を設定した割り込み要因が優先されます。

最高優先度 (ICxxx.P[3:0]xxx ビット = 0) の割り込み要因が複数ある場合、割り込みチャンネル番号の最も小さいものが選択されます。

7.9.2.4 CPU による割り込みの保留

PSW レジスタの NP ビット、ID ビットの状態によって、割り込みの受け付けが保留されます。このとき、EIINT 割り込み内の優先度判断、EIINT 割り込み、FEINT 割り込み、FENMI 割り込み間の優先度判断は、割り込み受け付けが保留されている間も行われ、受け付け条件が成立した時点で、もっとも優先度の高い割り込みが選択されます。

例

優先度 5 の EIINT 割り込みがすでに要求されており、PSW.ID ビットが 1 のため割り込み発生が保留されているときに、後から優先度 3 の EIINT 割り込みが要求された。その後、PSW.ID ビットがクリア (0) された場合、優先度 3 の EIINT 割り込みが発生する。

割り込み処理中に、さらに別の割り込みを受け付ける多重割り込みの処理例を図 7.4 に示します。

割り込み要求信号を受け付けると PSW.ID フラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中で EI 命令を実行するなどして ID フラグをクリア (0) し、割り込み許可状態にしてください。

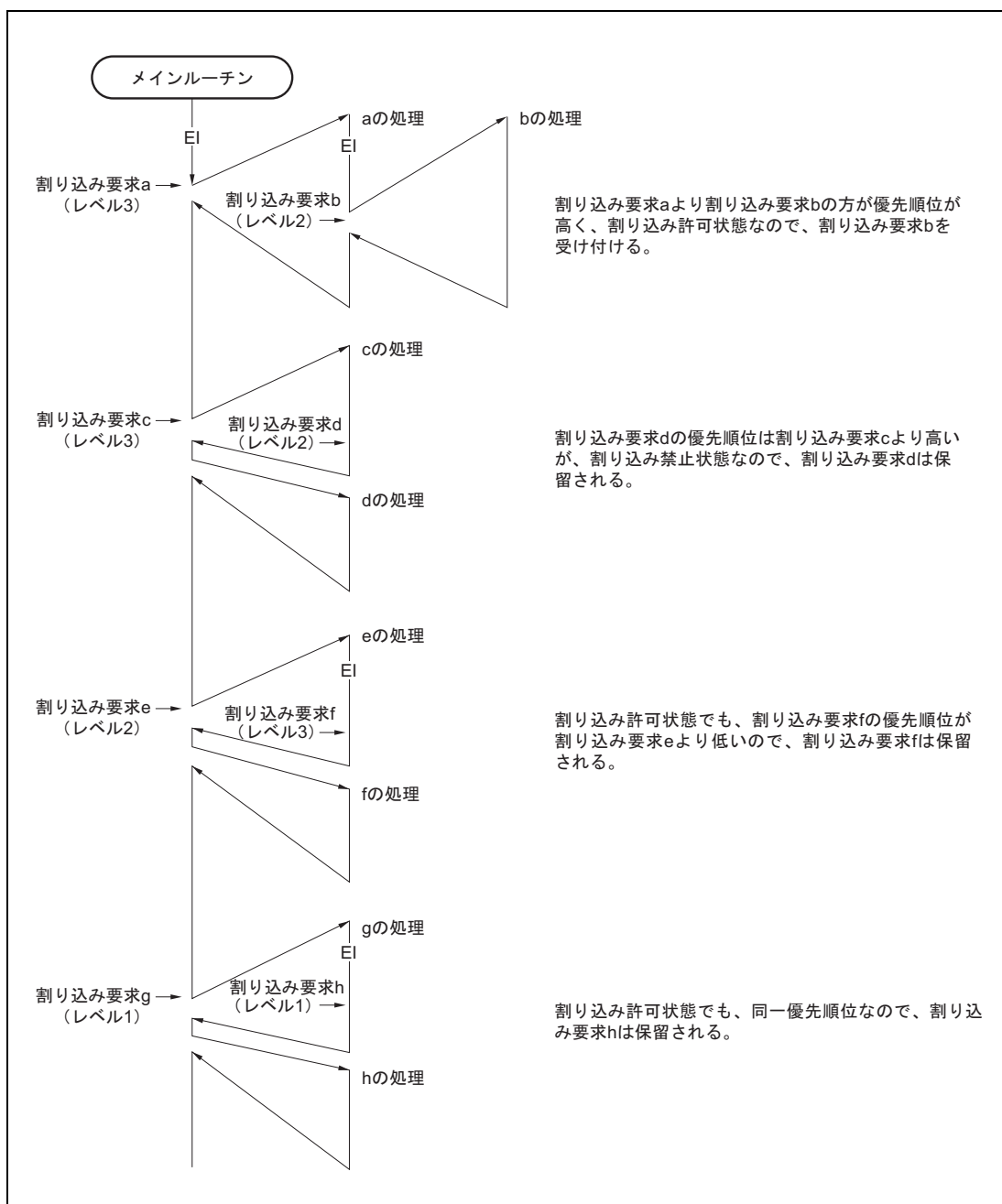


図 7.4 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1)

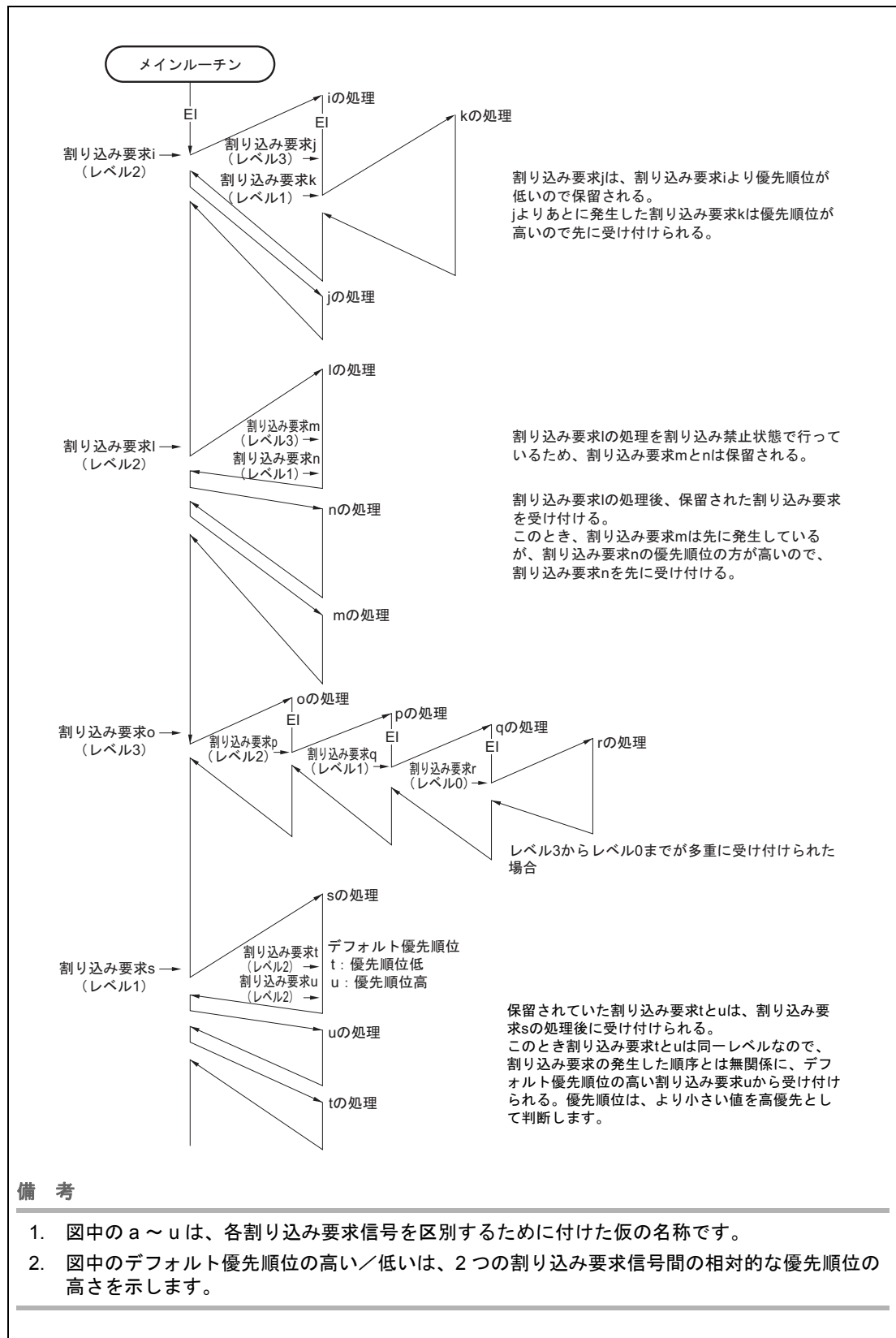


図 7.5 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (2)

注 意

多重割り込みを行うときはEI命令を実行する前に、EIPC, EIPSWの内容を退避する必要があります。また、多重割り込みから復帰する際は、DI命令を実行したあとに、EIPC, EIPSWの内容を復帰してください。

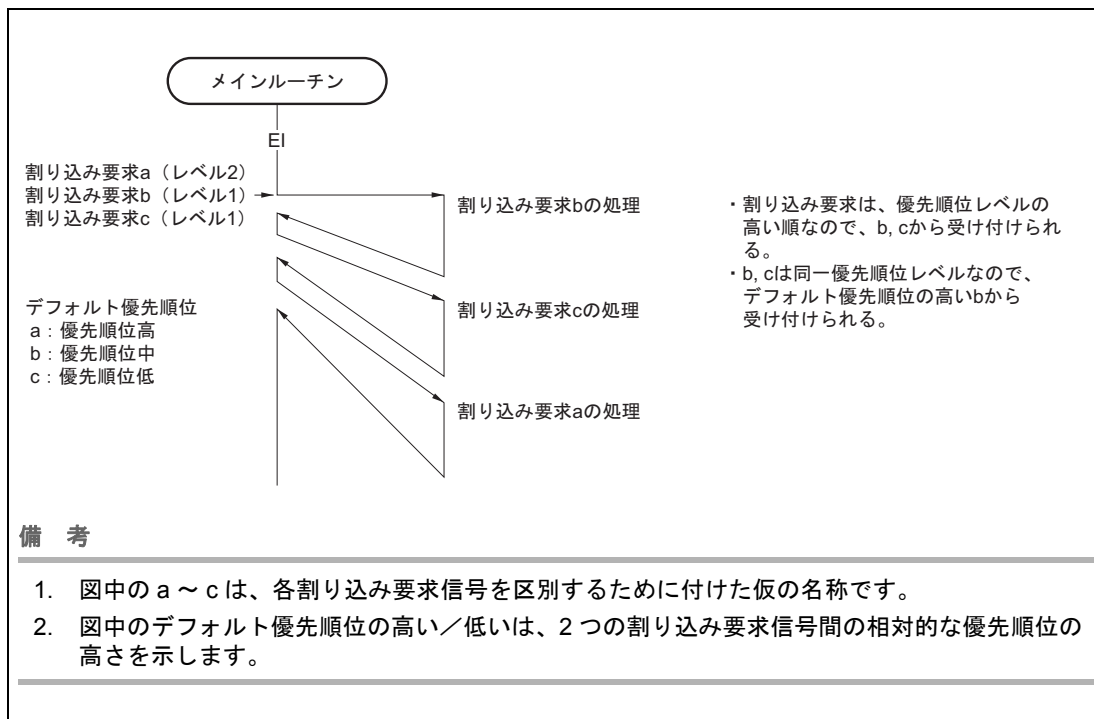


図 7.6 同時発生した割り込み要求信号の処理例

7.9.3 割り込み要求の受け付け条件と優先順位

「RH850G3KH ユーザーズマニュアル ソフトウェア編」を参照してください。

7.9.4 割り込みの例外優先度と優先度マスク

「RH850G3KH ユーザーズマニュアル ソフトウェア編」を参照してください。

7.9.5 割り込み優先度マスク

「RH850G3KH ユーザーズマニュアル ソフトウェア編」を参照してください。

7.9.6 優先度マスク機能

優先度マスク機能は、指定した割り込み優先度が設定されている EIINT 割り込みを一括で禁止します。

PMR レジスタの設定により、マスクしたい割り込み優先度を指定します。それぞれの優先度ごとにマスク受け付け可の設定が可能です。

優先度マスク機能には次の操作ができます。

- 一時的にある割り込み優先度以下の割り込みを禁止とする
- 一時的にある割り込み優先度を持つ割り込みを禁止とする

表 7.23 PMR.PMm ビットの動作

PMR.PMm	動作
0	優先度 m の割り込み要因からの要求を受け付けます。
1	優先度 m の割り込み要因からの要求をマスクします。

備考 m = 0 ~ 15

この機能により保留されている EIINT 割り込みの有無は、「7.9.7 例外の管理」で確認が可能です。

PMR レジスタについては「表 3.33 PMR レジスタの内容」または「RH850G3KH ユーザーズマニュアル ソフトウェア編」を参照してください。

7.9.7 例外の管理

RH850/F1K は保留されている割り込みの有無を確認をすることができます。詳細は「RH850G3KH ユーザーズマニュアル ソフトウェア編」を参照してください。

7.10 例外ハンドラアドレス

RH850/F1K では、リセット入力時や、例外受付時、割り込み受付時などに実行する例外ハンドラアドレスを、設定に応じて変更が可能です。

リセットと例外（割り込み含む）は、PSW.EBV ビットと、RBASE レジスタ、EBASE レジスタによって例外ハンドラアドレスの基準位置が変更できる直接ベクタ方式によって例外ハンドラアドレスを決定します。さらに割り込みは、チャンネルごとに直接ベクタ方式とテーブル参照方式の選択が可能であり、テーブル参照方式を指定した場合は、メモリ上に配置した例外ハンドラテーブルの示すアドレスへ分岐することが可能です。

注 意

直接ベクタ方式において、EIINT (INTn) の例外ハンドラアドレスが、V850E2 コア製品とは異なります。V850E2 コア製品では、割り込みチャンネル (EIINT (INTn)) ごとに異なる例外ハンドラアドレスが割り当てられていましたが、RH850/F1K では割り込み優先度ごとに 1 つの例外ハンドラアドレスが割り当てられています。このため、同一の割り込み優先度に指定した割り込みは、すべて同じ例外ハンドラへ分岐します。

7.10.1 直接ベクタ方式

CPU は、RBASE レジスタ、または EBASE レジスタで示されるベースアドレスに「表 7.24 ベースレジスタ／オフセットアドレスの選択」のオフセットを加算した値を、例外ハンドラアドレスとして利用します。

RBASE レジスタ、EBASE レジスタのいずれをベースアドレスとして利用するかは、PSW.EBV ビットによって選択します^{注1}。PSW.EBV ビットがセット (1) されている場合は、EBASE レジスタの値をベースアドレスとして利用します。クリア (0) されている場合は、RBASE レジスタの値をベースアドレスとして利用します。

ただし、リセット入力と一部の例外^{注2}は、常に RBASE レジスタを参照します。

また、ユーザ割り込みは、それぞれのベースレジスタの RINT ビットを参照し、その状態によってオフセットアドレスの縮小を行います。RBASE.RINT ビット、あるいは EBASE.RINT ビットがセット (1) されている場合は、全てのユーザ割り込みは、オフセット 100_Hとして扱われます。クリア (0) されている場合は、それぞれ「表 7.24 ベースレジスタ／オフセットアドレスの選択」にしたがって、オフセットアドレスが決定されます。

注 1. 例外受け付け自身で、PSW.EBV ビットの状態を更新する場合があります。その場合は、更新後の値を基準に、ベースレジスタを選択します。

注 2. 常に RBASE を参照する例外は、ハードウェア仕様によって定められます。

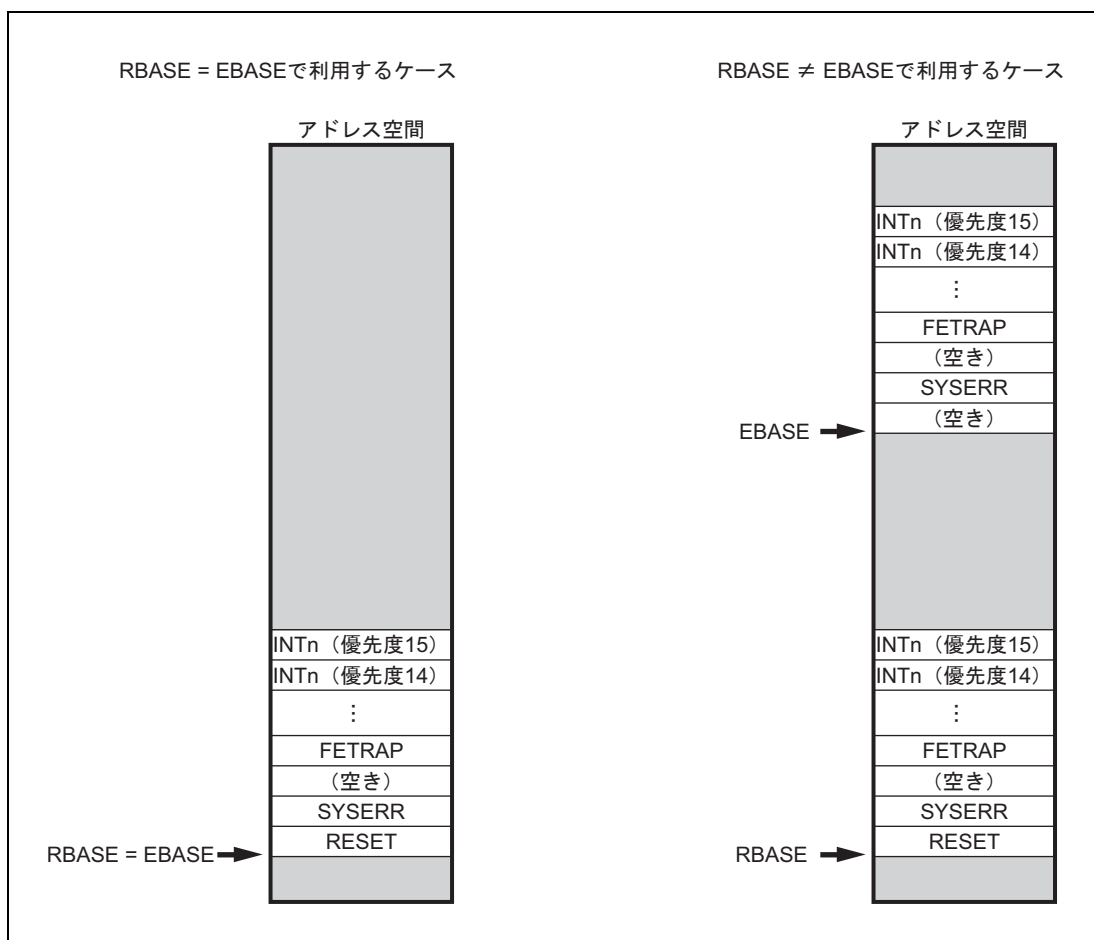


図 7.7 直接ベクタ方式

次の表に、例外ハンドラアドレス決定のためのベースレジスタ選択と、オフセットアドレスの縮小が、各例外に対してどのように機能するかを示します。PSWのビットの値は、例外の受け付けによる更新後の値を基準に例外ハンドラアドレスを決定します。

表 7.24 ベースレジスタ／オフセットアドレスの選択

例外／割り込み	PSW.EBV = 0	PSW.EBV = 1	RINT = 0	RINT = 1
	ベースレジスタ		オフセットアドレス	
RESET	RBASE	なし	000 _H	000 _H
SYSERR		EBASE	010 _H	010 _H
予約			020 _H	020 _H
FETRAP			030 _H	030 _H
TRAP0			040 _H	040 _H
TRAP1			050 _H	050 _H
RIE			060 _H	060 _H
FPP/FPI			070 _H	070 _H
UCPOP			080 _H	080 _H
MIP/MDP			090 _H	090 _H
PIE			0A0 _H	0A0 _H
Debug			0B0 _H	0B0 _H
MAE			0C0 _H	0C0 _H
予約			0D0 _H	0D0 _H
FENMI			0E0 _H	0E0 _H
FEINT			0F0 _H	0F0 _H
INTn (優先度 0)			100 _H	100 _H
INTn (優先度 1)			110 _H	
INTn (優先度 2)			120 _H	
INTn (優先度 3)			130 _H	
INTn (優先度 4)			140 _H	
INTn (優先度 5)			150 _H	
INTn (優先度 6)			160 _H	
INTn (優先度 7)			170 _H	
INTn (優先度 8)			180 _H	
INTn (優先度 9)			190 _H	
INTn (優先度 10)			1A0 _H	
INTn (優先度 11)			1B0 _H	
INTn (優先度 12)			1C0 _H	
INTn (優先度 13)			1D0 _H	
INTn (優先度 14)			1E0 _H	
INTn (優先度 15)			1F0 _H	

ベースレジスタの選択は、リセットと一部のハードウェアエラーの例外処理を、RAMやキャッシュ領域などのソフトウェアエラーの影響を受けやすい領域ではなく、ROMなどの比較的信頼性の高いプログラムで動作させるための仕組みです。ユーザ割り込みのオフセットアドレスの縮小は、システム中の特定の動作モードにおいて、例外ハンドラのメモリ占有サイズを小さく保つための機能です。主にシステムのメンテナンスや診断など、最低限の機能のみが動作するモードなどにおいて、メモリ領域の消費を最小限に抑えます。

7.10.2 テーブル参照方式

直接ベクタ方式では、ユーザ割り込みの例外ハンドラは、それぞれの割り込み優先度ごとに1つであり、複数の同一優先度を示す割り込みチャンネルは、同じ割り込みハンドラへ分岐しますが、ユーザによっては、割り込みハンドラごとに開始時点からことなるコード領域を利用したい場合があります。

RH850/F1K では、このような使用方法を想定した割り込みに関するテーブル参照方式を定義しています。

テーブル参照方式においては、割り込みコントローラなどにおいて、割り込みチャンネルのベクタ選択方式を「テーブル参照方式」に設定すると、その割り込みチャンネルに対応する割り込み要求を受け付けた場合の例外ハンドラアドレスの決定方法が次のように変わります。

<1> 次のいずれかの場合、直接ベクタ方式に従い例外ハンドラアドレスを決定します。

- PSW.EBV = 0 かつ RBASE.RINT=1 の場合
- PSW.EBV = 1 かつ EBASE.RINT=1 の場合
- 割り込みチャンネルの設定が「テーブル参照方式」でない場合

<2> <1> 以外の場合、テーブルの参照位置を計算します。

例外ハンドラアドレス読み出し位置 = INTBP の値 + チャンネル番号 × 4 バイト

<3> <2> で計算した割り込みハンドラアドレス読み出し位置から、ワードデータを読み出します。

<4> <3> で読み出した、ワードデータを例外ハンドラアドレスとして利用します。

表 7.25 に、各割り込みチャンネルに対応する例外ハンドラアドレス読み出し位置を示します。また、**図 7.8** に、メモリ上の配置イメージを示します。

表 7.25 例外ハンドラアドレスの拡張

割り込みの種類	例外ハンドラアドレス読み出し位置
EI レベルマスカブル割り込みチャンネル 0	INTBP レジスタの値 + 0 × 4
EI レベルマスカブル割り込みチャンネル 1	INTBP レジスタの値 + 1 × 4
EI レベルマスカブル割り込みチャンネル 2	INTBP レジスタの値 + 2 × 4
⋮	⋮
EI レベルマスカブル割り込みチャンネル 356	INTBP レジスタの値 + 356 × 4
EI レベルマスカブル割り込みチャンネル 357	INTBP レジスタの値 + 357 × 4

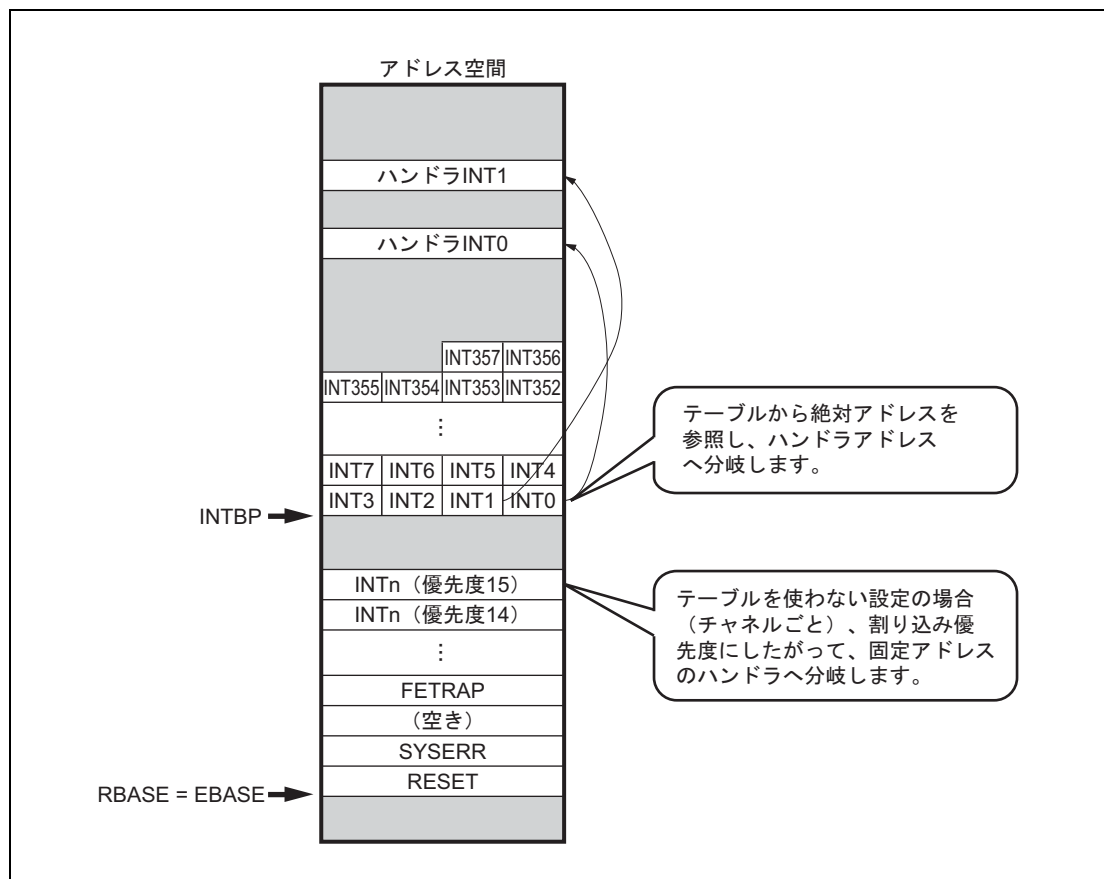


図 7.8 テーブル参照方式

第8章 DMAコントローラ

本章では、DMAコントローラ（DMA）全般について説明します。

最初の節では、チャンネル数、レジスタベースアドレスなど、RH850/F1Kに固有の特長について説明します。それ以降の節では、DMA機能、レジスタについて説明します。

8.1 RH850/F1K DMAコントローラの特長

8.1.1 チャンネル数

本製品シリーズは、以下に示すチャンネル数のDMAを搭載しています。

表 8.1 チャンネル数

製品名	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
チャンネル数	16ch (8ch × 2)		

表 8.2 添字

添字	説明
n	本章では、DMAのユニットを「n」（n = 0, 1）で識別します。たとえば、DMACnと記述します。
m	本章では、DMAの各チャンネルを「m」（m = 0 ~ 15）で識別します。たとえば、DMAソースアドレスレジスタは、DSAmと記述します。
i	本章では、DMACの各チャンネルを「i」（i = 0~7）で識別します。たとえば、DMACチャンネルマスタ設定は、DMniCMと記述します。

8.1.2 レジスタベースアドレス

DMAのベースアドレスを以下の表に示します。

DMAのレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 8.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<DMA_base>	FFFF 8000 _H

8.1.3 割り込み要求

DMA の割り込み要求を以下の表に示します。

表 8.4 割り込み要求

ユニット割り込み信号	説明	割り込み番号
INTDMA0	DMA00 転送完了	60
INTDMA1	DMA01 転送完了	61
INTDMA2	DMA02 転送完了	62
INTDMA3	DMA03 転送完了	63
INTDMA4	DMA04 転送完了	64
INTDMA5	DMA05 転送完了	65
INTDMA6	DMA06 転送完了	66
INTDMA7	DMA07 転送完了	67
INTDMA8	DMA10 転送完了	68
INTDMA9	DMA11 転送完了	69
INTDMA10	DMA12 転送完了	70
INTDMA11	DMA13 転送完了	71
INTDMA12	DMA14 転送完了	72
INTDMA13	DMA15 転送完了	73
INTDMA14	DMA16 転送完了	74
INTDMA15	DMA17 転送完了	75

表 8.5 割り込み要求 (FE レベルマスカブル割り込み要求)

ユニット割り込み信号	説明	名称
INTDMAERR	DMA 転送エラー割り込み	INTDMAERR

8.1.4 DMA トリガ要因

DMA トリガ要因は、DTFRm.REQSEL[6:0] ビットの設定により選択できます。

以下の表に DTFRm レジスタで選択できるトリガ要因の一覧を示します。

表 8.6 DMA トリガ要因 (1/4)

DMA トリガ番号 DTFRm.REQSEL[6:0]	DMA トリガ要因	F1K 100 pin	F1K 144 pin	F1K 176 pin
DMACTRG[0]	INTTAUD0I0	○	○	○
DMACTRG[1]	INTTAUD0I4	○	○	○
DMACTRG[2]	INTTAUD0I8	○	○	○
DMACTRG[3]	INTTAUD0I12	○	○	○
DMACTRG[4]	INTADCA0I0	○	○	○
DMACTRG[5]	INTADCA0I1	○	○	○
DMACTRG[6]	INTADCA0I2	○	○	○
DMACTRG[7]	ADC_CONV_END0	○	○	○
DMACTRG[8]	INTCSIG0IC	○	○	○
DMACTRG[9]	INTCSIG0IR	○	○	○
DMACTRG[10]	INTRLIN30UR0	○	○	○
DMACTRG[11]	INTRLIN30UR1	○	○	○
DMACTRG[12]	INTP0	○	○	○
DMACTRG[13]	INTP2	○	○	○
DMACTRG[14]	INTP4	○	○	○
DMACTRG[15]	INTTAUD0I1	○	○	○
DMACTRG[16]	INTTAUD0I5	○	○	○
DMACTRG[17]	INTTAUD0I9	○	○	○
DMACTRG[18]	INTTAUD0I13	○	○	○
DMACTRG[19]	INTRIIC0TI	○	○	○
DMACTRG[20]	INTRIIC0RI	○	○	○
DMACTRG[21]	INTTAUJ0I0	○	○	○
DMACTRG[22]	INTTAUJ0I3	○	○	○
DMACTRG[23]	RSCANFDCF0 ^{注1}	○	○	○
DMACTRG[24]	RSCANFDCF1 ^{注1}	○	○	○
DMACTRG[25]	設定禁止	—	—	—
DMACTRG[26]	RSCANFDCF2 ^{注1}	○	○	○
DMACTRG[27]	RSCANFDCF3 ^{注1}	○	○	○
DMACTRG[28]	INTCSIH1IC	○	○	○
DMACTRG[29]	INTCSIH1IR	○	○	○
DMACTRG[30]	INTCSIH1IJC	○	○	○
DMACTRG[31]	INTP6	○	○	○
DMACTRG[32]	INTP8	○	○	○
DMACTRG[33]	INTTAUB0I0	○	○	○
DMACTRG[34]	INTTAUB0I2	○	○	○
DMACTRG[35]	INTTAUB0I4	○	○	○
DMACTRG[36]	INTTAUB0I6	○	○	○
DMACTRG[37]	INTTAUB0I9	○	○	○
DMACTRG[38]	INTTAUB0I11	○	○	○

表 8.6 DMA トリガ要因 (2/4)

DMA トリガ番号 DTFRm.REQSEL[6:0]	DMA トリガ要因	F1K 100 pin	F1K 144 pin	F1K 176 pin
DMACTRG[39]	INTTAUB0I13	○	○	○
DMACTRG[40]	INTTAUB0I15	○	○	○
DMACTRG[41]	INTCSIH3IC	○	○	○
DMACTRG[42]	INTCSIH3IR	○	○	○
DMACTRG[43]	INTCSIH3IJC	○	○	○
DMACTRG[44]	INTRLIN32UR0	○	○	○
DMACTRG[45]	INTRLIN32UR1	○	○	○
DMACTRG[46]	INTTAUJ1I10	○	○	○
DMACTRG[47]	INTTAUJ1I12	○	○	○
DMACTRG[48]	RSCANFDCF4 注1	○	○	○
DMACTRG[49]	RSCANFDCF5 注1	○	○	○
DMACTRG[50]	INTRLIN34UR0	—	○	○
DMACTRG[51]	INTRLIN34UR1	—	○	○
DMACTRG[52]	INTTAUB1I10	—	—	○
DMACTRG[53]	INTTAUB1I12	—	—	○
DMACTRG[54]	INTTAUB1I14	—	—	○
DMACTRG[55]	INTTAUB1I16	—	—	○
DMACTRG[56]	INTTAUB1I19	—	—	○
DMACTRG[57]	INTTAUB1I111	—	—	○
DMACTRG[58]	INTTAUB1I113	—	—	○
DMACTRG[59]	INTTAUB1I115	—	—	○
DMACTRG[60]	RSCANFDRF0 注1	○	○	○
DMACTRG[61]	RSCANFDRF1 注1	○	○	○
DMACTRG[62]	RSCANFDRF2 注1	○	○	○
DMACTRG[63]	RSCANFDRF3 注1	○	○	○
DMACTRG[64]	INTTAUD0I2	○	○	○
DMACTRG[65]	INTTAUD0I6	○	○	○
DMACTRG[66]	INTTAUD0I10	○	○	○
DMACTRG[67]	INTTAUD0I14	○	○	○
DMACTRG[68]	RSCANFDRF4 注1	○	○	○
DMACTRG[69]	RSCANFDRF5 注1	○	○	○
DMACTRG[70]	INTCSIH0IC	○	○	○
DMACTRG[71]	INTCSIH0IR	○	○	○
DMACTRG[72]	INTCSIH0IJC	○	○	○
DMACTRG[73]	INTP1	○	○	○
DMACTRG[74]	INTP3	○	○	○
DMACTRG[75]	INTP5	○	○	○
DMACTRG[76]	INTTAUD0I3	○	○	○
DMACTRG[77]	INTTAUD0I7	○	○	○
DMACTRG[78]	INTTAUD0I11	○	○	○
DMACTRG[79]	INTTAUD0I15	○	○	○
DMACTRG[80]	INTTAUJ0I1	○	○	○
DMACTRG[81]	INTTAUJ0I2	○	○	○

表 8.6 DMA トリガ要因 (3/4)

DMA トリガ番号 DTFRm.REQSEL[6:0]	DMA トリガ要因	F1K 100 pin	F1K 144 pin	F1K 176 pin
DMACTRG[82]	RSCANFDRF6 注1	○	○	○
DMACTRG[83]	RSCANFDRF7 注1	○	○	○
DMACTRG[84]	設定禁止	—	—	—
DMACTRG[85]	INTDMAFL	○	○	○
DMACTRG[86]	INTRLIN31UR0	○	○	○
DMACTRG[87]	INTRLIN31UR1	○	○	○
DMACTRG[88]	INTP7	○	○	○
DMACTRG[89]	INTCSIH2IC	○	○	○
DMACTRG[90]	INTCSIH2IR	○	○	○
DMACTRG[91]	INTCSIH2JJC	○	○	○
DMACTRG[92]	INTTAUB0I1	○	○	○
DMACTRG[93]	INTTAUB0I3	○	○	○
DMACTRG[94]	INTTAUB0I5	○	○	○
DMACTRG[95]	INTTAUB0I7	○	○	○
DMACTRG[96]	INTTAUB0I8	○	○	○
DMACTRG[97]	INTTAUB0I10	○	○	○
DMACTRG[98]	INTTAUB0I12	○	○	○
DMACTRG[99]	INTTAUB0I14	○	○	○
DMACTRG[100]	INTTAUJ1I1	○	○	○
DMACTRG[101]	INTTAUJ1I3	○	○	○
DMACTRG[102]	INTP9	—	○	○
DMACTRG[103]	INTADCA1I0	—	○	○
DMACTRG[104]	INTADCA1I1	—	○	○
DMACTRG[105]	INTADCA1I2	—	○	○
DMACTRG[106]	ADC_CONV_END1	—	○	○
DMACTRG[107]	設定禁止	—	—	—
DMACTRG[108]	設定禁止	—	—	—
DMACTRG[109]	INTCSIG1IC	—	○	○
DMACTRG[110]	INTCSIG1IR	—	○	○
DMACTRG[111]	INTRLIN33UR0	○	○	○
DMACTRG[112]	INTRLIN33UR1	○	○	○
DMACTRG[113]	INTRLIN35UR0	—	○	○
DMACTRG[114]	INTRLIN35UR1	—	○	○
DMACTRG[115]	INTTAUB1I1	—	—	○
DMACTRG[116]	INTTAUB1I3	—	—	○
DMACTRG[117]	INTTAUB1I5	—	—	○
DMACTRG[118]	INTTAUB1I7	—	—	○
DMACTRG[119]	INTTAUB1I8	—	—	○
DMACTRG[120]	INTTAUB1I10	—	—	○
DMACTRG[121]	INTTAUB1I12	—	—	○
DMACTRG[122]	INTTAUB1I14	—	—	○
DMACTRG[123]	設定禁止	—	—	—
DMACTRG[124]	設定禁止	—	—	—

表 8.6 DMA トリガ要因 (4/4)

DMA トリガ番号 DTFRm.REQSEL[6:0]	DMA トリガ要因	F1K 100 pin	F1K 144 pin	F1K 176 pin
DMACTRG[125]	設定禁止	—	—	—
DMACTRG[126]	設定禁止	—	—	—
DMACTRG[127]	設定禁止	—	—	—

注 1. PREMIUM 製品のみ対応。ECO/ADVANCED 製品では設定禁止。

8.2 概要

8.2.1 概要

DMA (Direct Memory Access) とは、CPU を介さずにデータをアクセスする機能です。

DMA は、DMAC という方式の DMA 転送モジュールを含んでいます。DMAC は転送情報をレジスタに持ちます。DMA は 8 チャンネルの DMAC モジュールを 2 つ搭載しています。

また本マニュアルでは、DMAC のハードウェア DMA 転送要因を選択して DMA 転送要求を保持する機能を DTFR と称しています。DTFR は 128 種類のハードウェア DMA 転送要因を扱うことができます。

DMA が DMA 転送の対象として指定可能なアドレス空間は、32 ビットアドレスで表現される 4GB のアドレス空間です。4GB のアドレス空間のどの領域にどのようなリソースが割り当てられるかや、DMA に対してどの領域へのアクセスを許可するかは、「**第 4 章 アドレス空間**」を参照してください。

注 意

DMA は PEG でアクセス許可を設定後に使用できます。

DMA から PE 内部のローカル RAM およびリテンション RAM へのアクセスを行うためには、PEGSP レジスタ、PEGnMK レジスタ (n = 0 ~ 3)、PEGnBA レジスタ (n = 0 ~ 3)、および DMniCM レジスタ (ni = 00 ~ 07、10 ~ 17) を設定する必要があります。

8.2.2 語句の定義

本章で使用する語句を表 8.7 に示します。

表 8.7 語句の定義一覧

語句	説明
DMA 転送	DMA が行うデータ転送の総称
DMA サイクル	転送サイズで指定した量 (8/16/32/64/128 ビット) のデータを、ソースアドレスで指定したアドレスからリードして、ディスティネーションアドレスで指定したアドレスへライトする動作。なお、DMA サイクルの前半のリード動作をリードサイクル、後半のライト動作をライトサイクルと呼ぶ
ハードウェア DMA 転送要因	内蔵周辺回路から与えられる DMA 転送要求のトリガ
ハードウェア DMA 転送要求	ハードウェア DMA 転送要因により発生する DMA 転送要求
ソフトウェア DMA 転送要求	ソフトウェアがレジスタを操作することで発生する DMA 転送要求
DMA 転送要求	DMAC で DMA 転送を開始するトリガ
転送情報	ソースアドレス、ディスティネーションアドレス、転送データサイズ、転送回数といった DMA 転送に必要な情報。
シングル転送	一回の DMA 転送要求で、一回の DMA サイクルを実行する DMA 転送動作
ブロック転送 1	一回の DMA 転送要求で、転送情報の転送回数で指定した回数の DMA サイクルを実行する DMA 転送動作
ブロック転送 2	一回の DMA 転送要求で、転送情報のアドレスリロードカウントで指定した回数の DMA サイクルを実行する DMA 転送動作
ブロック転送	ブロック転送 1 とブロック転送 2 の総称
最終転送	転送情報の転送回数が残り 1 回の状態で実行する DMA サイクル
アドレスリロード転送	リロード機能 2 を使用中に、転送情報のアドレスリロードカウントが残り 1 回の状態で実行する DMA サイクル
一時中断	ブロック転送の途中で DMA 転送を中断する動作、再開が可能
再開	一時中断を解除して、DMA 転送を継続する動作
転送中止	DMA 転送を途中で中止する動作、再開は不可能

8.3 DMA 機能

8.3.1 DMA 転送基本動作

8.3.1.1 転送モード

DMA には 3 種類の転送モードがあります。

シングル転送

DMA 転送要求を受け付けると、DMA サイクルを 1 回実行します。

ブロック転送 1

DMA 転送要求を受け付けると、転送回数レジスタで指定した回数の DMA サイクルを実行します。

ブロック転送 2

DMA 転送要求を受け付けると、アドレスリロードカウントで指定した回数の DMA サイクルを実行します。アドレスリロードカウントで指定した回数が転送回数レジスタで指定した回数よりも大きい場合には、転送回数レジスタで指定した回数の DMA サイクルを実行しません。

8.3.1.2 DMA サイクルの実行

DMA は必ずリードサイクルが完了した後で、ライトサイクルを実行します。

たとえば、転送データサイズが 128 ビットの場合は、128 ビット分のデータのリードサイクルが完了した後で、ライトサイクルを実行します。リードサイクルの途中でライトサイクルの実行を開始することはありません。

8.3.1.3 転送情報の更新

DMA サイクルを実行すると、DMA は次の転送情報を更新します。

ソースアドレスディスティネーションアドレス

転送制御レジスタのソースアドレスカウンタ方向、ディスティネーションアドレスカウンタ方向および転送データサイズの設定にしたがって、**表 8.8** のように更新します。

表 8.8 ソースアドレスディスティネーションアドレスの更新

カウンタ方向	転送データサイズ	更新後のアドレス
インクリメント	8 ビット	更新前のアドレス + 0000_0001 _H
	16 ビット	更新前のアドレス + 0000_0002 _H
	32 ビット	更新前のアドレス + 0000_0004 _H
	64 ビット	更新前のアドレス + 0000_0008 _H
	128 ビット	更新前のアドレス + 0000_0010 _H
デクリメント	8 ビット	更新前のアドレス - 0000_0001 _H
	16 ビット	更新前のアドレス - 0000_0002 _H
	32 ビット	更新前のアドレス - 0000_0004 _H
	64 ビット	更新前のアドレス - 0000_0008 _H
	128 ビット	更新前のアドレス - 0000_0010 _H
固定	—	更新前のアドレスと同じ

リロード機能を使用する場合は、**表 8.8** とは別に最終転送およびアドレスリロード転送の際に特殊な更新を行います。詳細は、「**8.3.3 リロード機能**」を参照してください。

転送回数アドレスリロードカウント

転送回数は、DMA サイクルを実行するごとに常に 1 ずつ減算して更新されます。

アドレスリロードカウントは、リロード機能 2 またはブロック転送 2 を使用する場合は DMA サイクルを実行するごとに常に 1 ずつ減算して更新されます。リロード機能 2 またはブロック転送 2 を使用しない場合には更新されません。

リロード機能を使用する場合は、最終転送およびアドレスリロード転送の際に特殊な更新を行います。詳細は、「**8.3.3 リロード機能**」を参照してください。

その他の転送情報

DMA サイクルの実行では、更新されません。

8.3.1.4 最終転送とアドレスリロード転送

最終転送とは、転送回数レジスタが示す残り転送回数が 1 回の状態で実行される DMA サイクルを指します。最終転送では、最終転送でない DMA サイクルの実行時と比較して次の動作が異なります。

- 最終転送が完了すると転送完了フラグ (DCSTm.TC) がセットされます。最終転送が完了するとチャンネル動作有効 (DCENm.DTE) ビットがクリアされます。(連続転送機能が無効の場合)
- 転送完了割り込み出力イネーブルがセットされている場合、最終転送が完了すると転送完了割り込みが出力されます。
- リロード機能 1 が有効の場合は、最終転送でリロード機能 1 の動作が実行されます。詳細は、「**8.3.3 リロード機能**」を参照してください。

アドレスリロード転送とは、リロード機能 2 が有効で、かつアドレスリロードカウントが 1 回の状態で実行される DMA サイクルを指します。アドレスリロード転送では、リロード機能 2 の動作が実行されます。詳細は、「**8.3.3 リロード機能**」を参照してください。

8.3.1.5 転送完了割り込み出力

DMA は、外部に対して転送完了割り込みを出力する機能を持ちます。

転送完了割り込み出力

DMAC は、転送制御レジスタで転送完了割り込みイネーブル (DTCTm.TCE) がセットされている場合、最終転送が完了すると転送完了割り込みを要求します。

図 8.1 に転送完了割り込みの動作を示します。

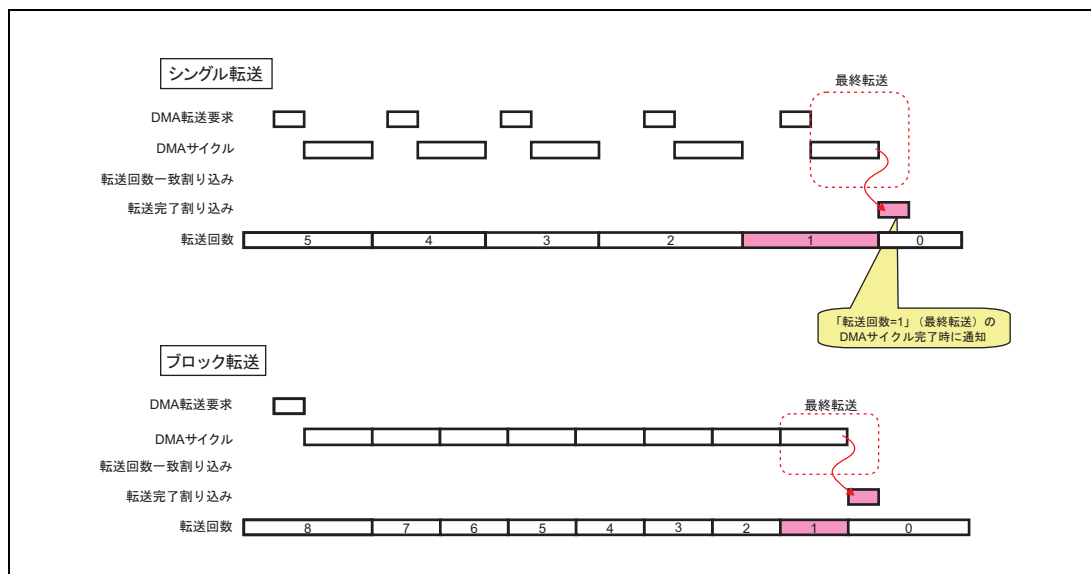


図 8.1 転送完了割り込み

8.3.1.6 連続転送

DMAC では、連続転送機能を利用しない場合は、最終転送が完了すると転送完了フラグ (DCSTm.TC) がセットされ、チャンネル動作有効 (DCENm.DTE) ビットがクリアされます。このため、最終転送の完了後に DMA 転送要求が発生しても DMA 転送要求を受け付けません。

連続転送機能を利用すると、最終転送が完了してもチャンネル動作有効 (DCENm.DTE) ビットがクリアされず、また転送完了フラグがセットされた状態でも DMA 転送要求を受け付けることができます。指定した回数の DMA 転送を繰り返し実行するような用途では、連続転送機能を利用することで、最終転送完了後の転送完了フラグのクリアやチャンネル動作有効ビットのセットのためのソフトウェア処理のオーバーヘッドを減らすことができます。

連続転送機能は、DMAC 転送制御レジスタの連続転送イネーブル (DTCTm.MLE) をセットすることで有効になります。

連続転送機能はリロード機能 1 と一緒に利用することを想定しています。連続転送機能には、ソースアドレスレジスタ、ディスティネーションアドレスレジスタおよび転送回数レジスタの値を変更する機能はありません。最終転送の完了後にソースアドレスレジスタ、ディスティネーションアドレスレジスタおよび転送回数レジスタを DMA 転送開始前の状態に戻す動作は、リロードソースアドレスレジスタ、リロードディスティネーションアドレスレジスタおよびリロード転送回数レジスタに DMA 転送開始前のソースアドレスレジスタ、ディスティネーションアドレスレジスタおよび転送回数レジスタの値を設定しておき、リロード機能 1 を利用することで実現できます。

図 8.2 に DMAC の連続転送の動作イメージを示します。

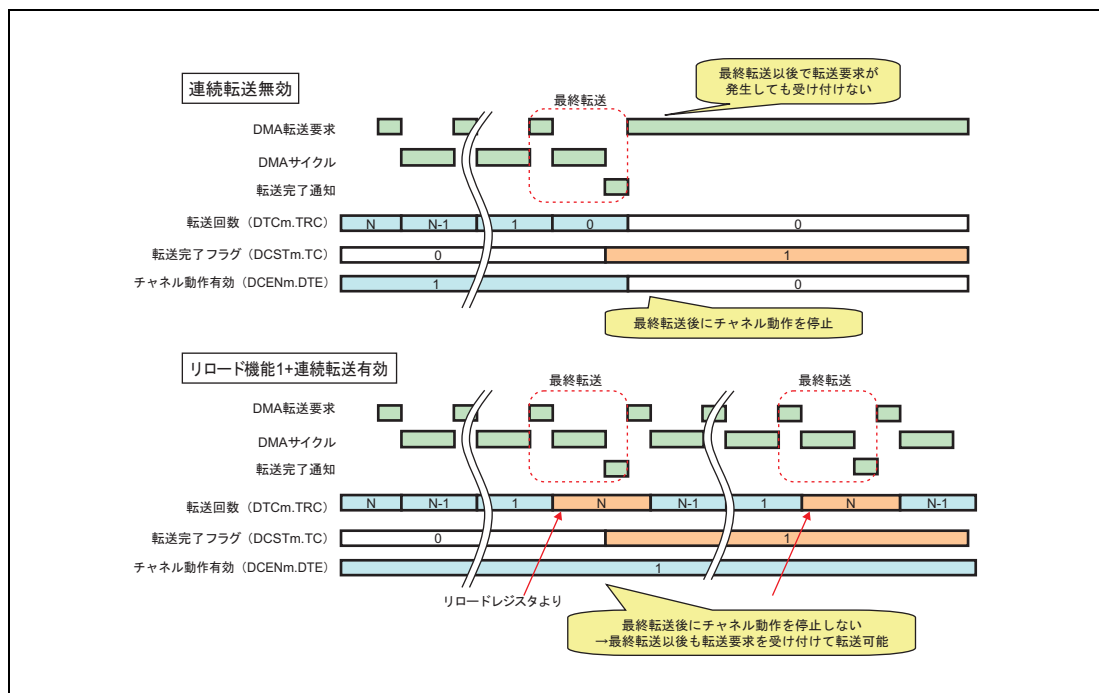


図 8.2 DMAC の連続転送の動作イメージ

8.3.2 チャンネルの優先順位

DMA の複数のチャンネル間のアービトレーションについて説明します。

8.3.2.1 DMAC チャンネルアービトレーション

DMAC では 8 チャンネルから 1 チャンネルを選択するアービトレーションを行います。

アービトレーションは固定優先順位で、DMAC0 では「チャンネル 0 >チャンネル 1 >チャンネル 2 >チャンネル 3 >チャンネル 4 >チャンネル 5 >チャンネル 6 >チャンネル 7」、DMAC1 では「チャンネル 8 >チャンネル 9 >チャンネル 10 >チャンネル 11 >チャンネル 12 >チャンネル 13 >チャンネル 14 >チャンネル 15」です。

アービトレーションは DMA サイクルごとに行われます。DMA サイクルのリードとライトの間ではアービトレーションは発生しません。

あるチャンネルのブロック転送の途中の DMA サイクルが終了した時点で、優先順位の高いチャンネルの DMA 転送要求があった場合には、アービトレーションの結果優先順位の高いチャンネルの DMA サイクルが実行されます。

DMAC がブロック転送 1 またはブロック転送 2 を実行する場合は、1 回の DMA サイクルごとに DMAC チャンネルアービトレーションを行うため、他の優先順位の高い DMAC チャンネルの DMA サイクルが割り込むことがあります。

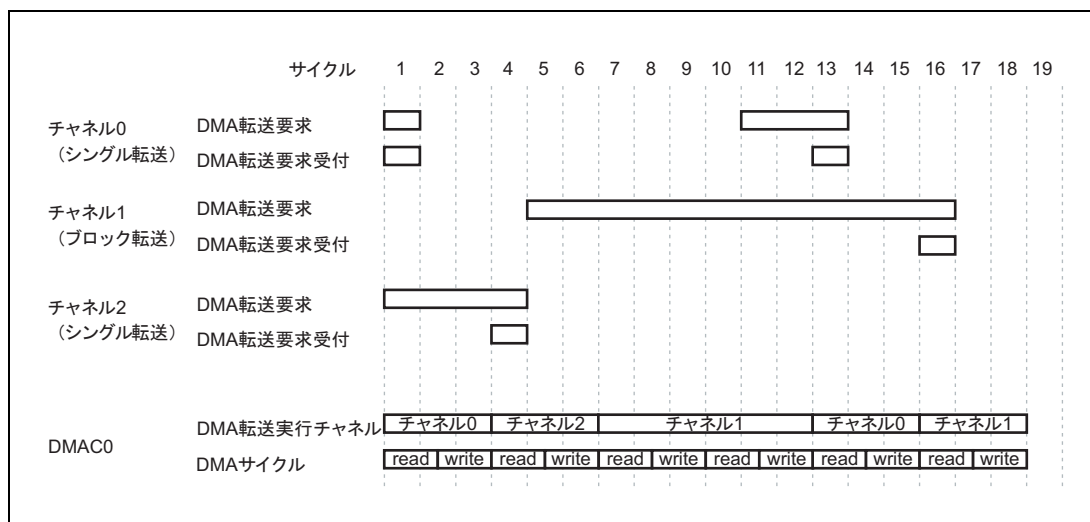


図 8.3 DMAC チャンネルアービトレーション

図 8.3 のサイクル番号は説明のためのもので、実際の DMA 転送実行にかかるサイクル数を示すものではありません。

図 8.3 において、サイクル 1 でチャンネル 0 とチャンネル 2 の DMA 転送要求があり、アービトレーションの結果、優先度の高いチャンネル 0 の DMA サイクルの実行を開始します。サイクル 4 ではチャンネル 2 の DMA サイクルの実行を開始します。サイクル 5 でチャンネル 1 の DMA 転送要求が発生しますが、チャンネル 2 の DMA サイクルを実行中であるためアービトレーションは行われません。サイクル 7 でチャンネル 1 の DMA サイクルを実行します。チャンネル 1 はブロック転送なので、他のチャンネルの DMA 転送要求のないサイクル 10 では DMA サイクルを継続して実行します。サイクル 11 でチャンネル 0 の DMA 転送要求が発生しますが、チャンネル 1 の DMA サイクルを実行中であるためアービトレーションは行われません。サイクル 12 でチャンネル 1 の DMA サイクルが完了し、サイクル 13 では DMA チャンネル 0 とチャンネル 1 のアービトレーションの結果チャンネル 0 の DMA サイクルの実行を開始します。サイクル 13 では既にブロック転送を実行中のチャンネル 1 よりも優先度の高いチャンネル 0 の

DMA サイクルを実行していることに注意してください。サイクル 15 でチャンネル 0 の DMA サイクルが完了し、サイクル 16 で再びチャンネル 1 の DMA サイクルの実行を開始します。サイクル 18 でチャンネル 1 のブロック転送の最後の DMA サイクルが完了しています。

8.3.2.2 インタフェースアービトレーション

DMAC0、DMAC1 はそれぞれ独立して動作し、DMA 転送を実行します。

8.3.3 リロード機能

8.3.3.1 リロード機能の概要

リロード機能は、DMA 転送中に、転送情報のうちソースアドレス、ディスティネーションアドレス、転送回数およびアドレスリロード回数をあらかじめ指定した値で更新する機能です。

リロード機能はリロード機能 1 とリロード機能 2 の 2 つの機能があります。

8.3.3.2 リロード機能 1 の動作

リロード機能 1 が有効の場合、最終転送の実行時にリロード機能 1 設定にしたがって表 8.9 の動作を行います。

表 8.9 リロード機能 1 動作

リロード機能 1 設定	レジスタ	最終転送時の動作
00 (リロード機能 1 無効)	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードしない
	転送回数	リロードしない
	アドレスリロードカウント	リロードしない
01 (リロード機能 1 有効、ソースアドレスと転送回数をリロード)	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードしない
	転送回数	リロード転送回数の値をコピー
	アドレスリロードカウント	<ul style="list-style-type: none"> リロード機能 2 が無効の場合、リロードしない リロード機能 2 が有効の場合、リロードアドレスリロードカウントの値をコピー
10 (リロード機能 1 有効、ディスティネーションアドレスと転送回数をリロード)	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	転送回数	リロード転送回数の値をコピー
	アドレスリロードカウント	<ul style="list-style-type: none"> リロード機能 2 が無効の場合、リロードしない リロード機能 2 が有効の場合、リロードアドレスリロードカウントの値をコピー
11 (リロード機能 1 有効、ソースアドレスとディスティネーションアドレスと転送回数をリロード)	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	転送回数	リロード転送回数の値をコピー
	アドレスリロードカウント	<ul style="list-style-type: none"> リロード機能 2 が無効の場合、リロードしない リロード機能 2 が有効の場合、リロードアドレスリロードカウントの値をコピー

図 8.4 にリロード機能 1 の動作イメージを示します。

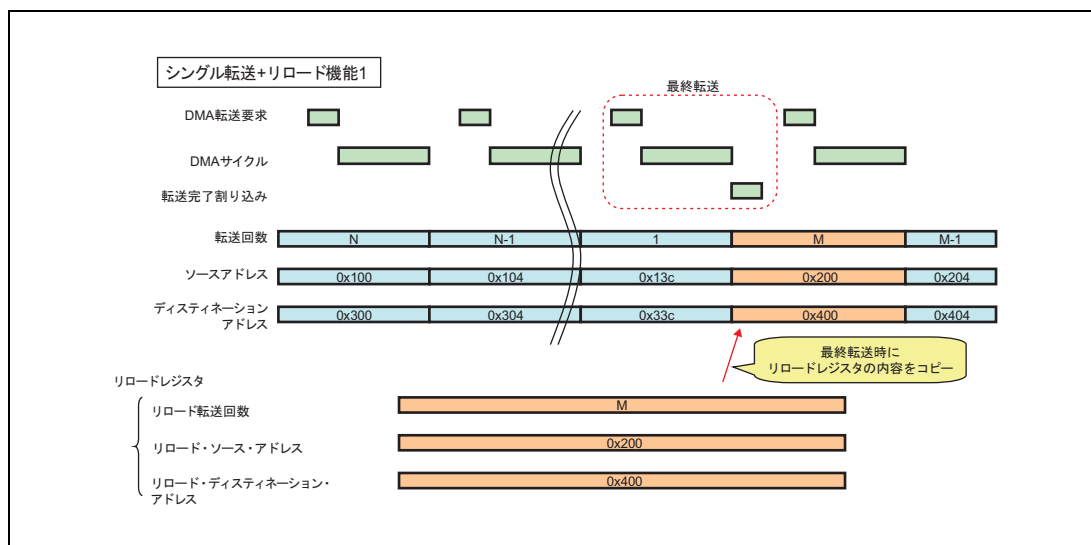


図 8.4 リロード機能 1 動作イメージ

8.3.3.3 リロード機能 2

リロード機能 2 が有効の場合、アドレスリロード転送の実行時にリロード機能 2 の設定にしたがって表 8.10 の動作を行います。

表 8.10 リロード機能 2 動作

リロード機能 2 設定	レジスタ	アドレスリロード転送時の動作
00 (リロード機能 2 無効)	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードしない
	アドレスリロードカウント	リロードしない
01 (リロード機能 2 有効、ソースアドレスとアドレスリロードカウントをリロード)	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードしない
	アドレスリロードカウント	リロードアドレスリロードカウントの値をコピー
10 (リロード機能 2 有効、ディスティネーションアドレスとアドレスリロードカウントをリロード)	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	アドレスリロードカウント	リロードアドレスリロードカウントの値をコピー
11 (リロード機能 2 有効、ソースアドレス、ディスティネーションアドレスとアドレスリロードカウントをリロード)	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	アドレスリロードカウント	リロードアドレスリロードカウントの値をコピー

図 8.5 にリロード機能 2 の動作イメージを示します。

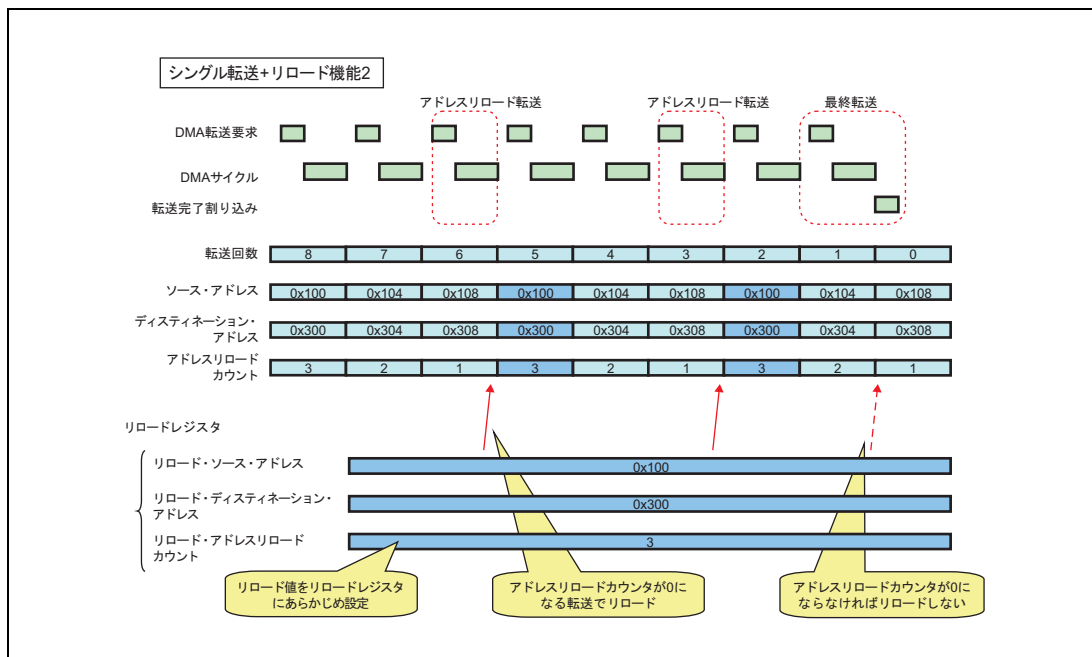


図 8.5 リロード機能 2 動作イメージ

図 8.6 にリロード機能 1 とリロード機能 2 を同時に使用する場合の動作イメージを示します。

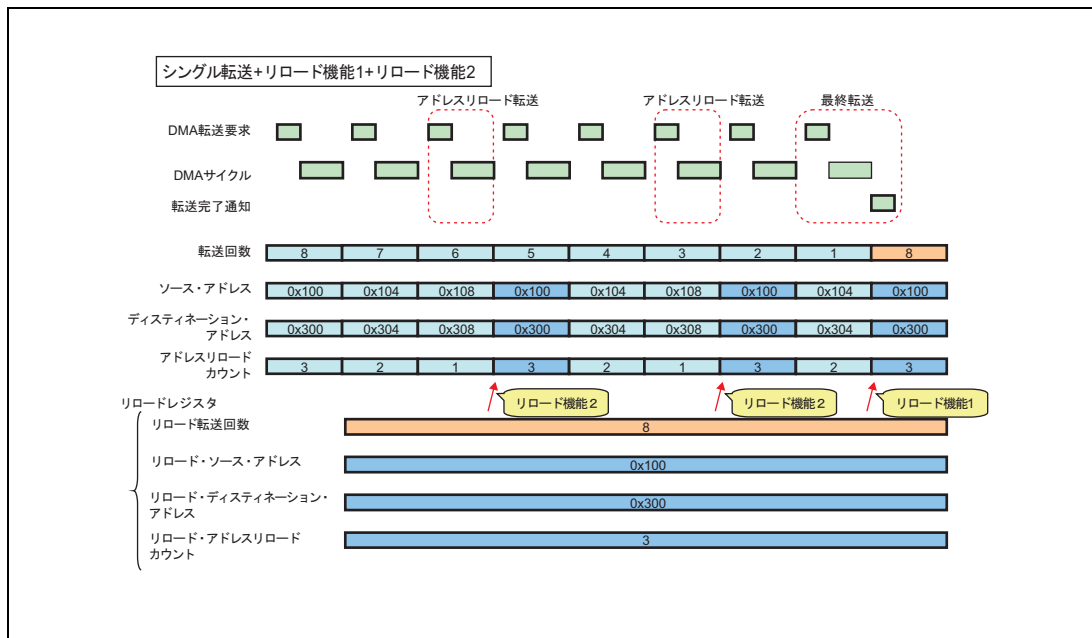


図 8.6 リロード機能 1 + リロード機能 2 動作イメージ

8.3.3.4 DMACのリロードレジスタ設定タイミング

リロードソースアドレスレジスタ、リロードディスティネーションアドレスレジスタ、リロード転送回数レジスタはいつでも（DMA転送中でも）設定が可能です。ただし、DMA転送中にリロードソースアドレスレジスタ、リロードディスティネーションアドレスレジスタ、リロード転送回数レジスタの内容を書き換えた場合には、最終転送またはアドレスリロード転送時のリロード動作とユーザによるリロードレジスタの書き換えが競合する可能性があります。この競合を避けるため、リロードレジスタの設定は最終転送またはアドレスリロード転送が始まる前に完了するようにしてください。

8.3.4 チェイン機能

8.3.4.1 概要

DMA は、あるチャンネルの DMA サイクルの完了または最終転送の完了をトリガにして、別のチャンネルの DMA 転送要求を行うチェイン機能を提供します。

チェイン機能による別のチャンネルへの DMA 転送要求をチェイン要求と呼びます。

チェイン要求の条件として選択できるのは次の2つです。

- 常にチェイン：DMA サイクルの完了ごとにチェイン要求を行います。
- 最終転送でチェイン：最終転送の完了の際にチェイン要求を行います。

図 8.7 に常にチェインの動作イメージを示します。

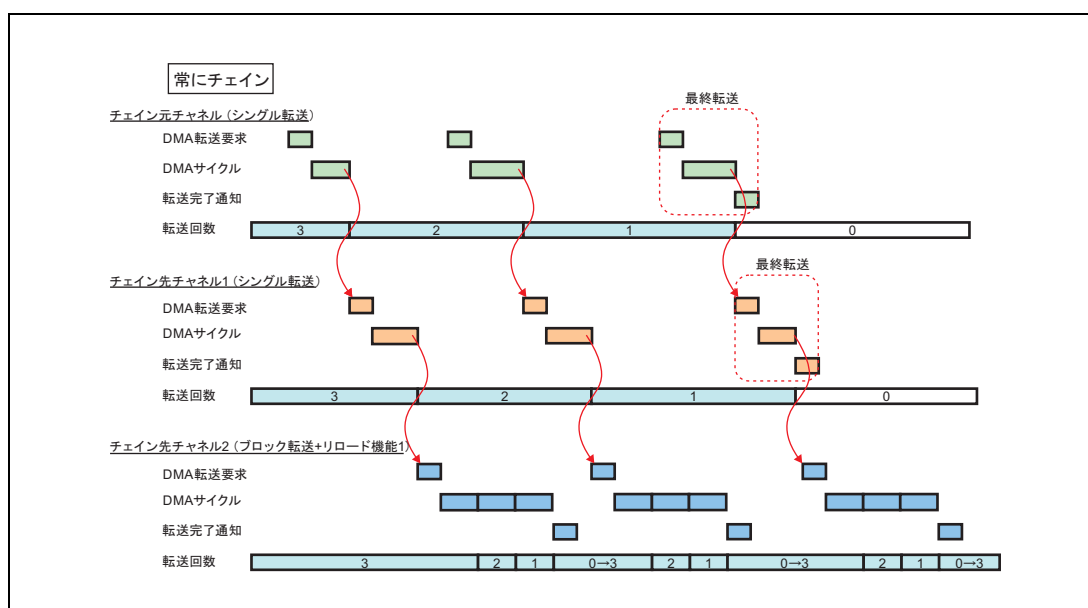


図 8.7 常にチェインの動作イメージ

図 8.8 に最終転送でチェインの動作イメージを示します。

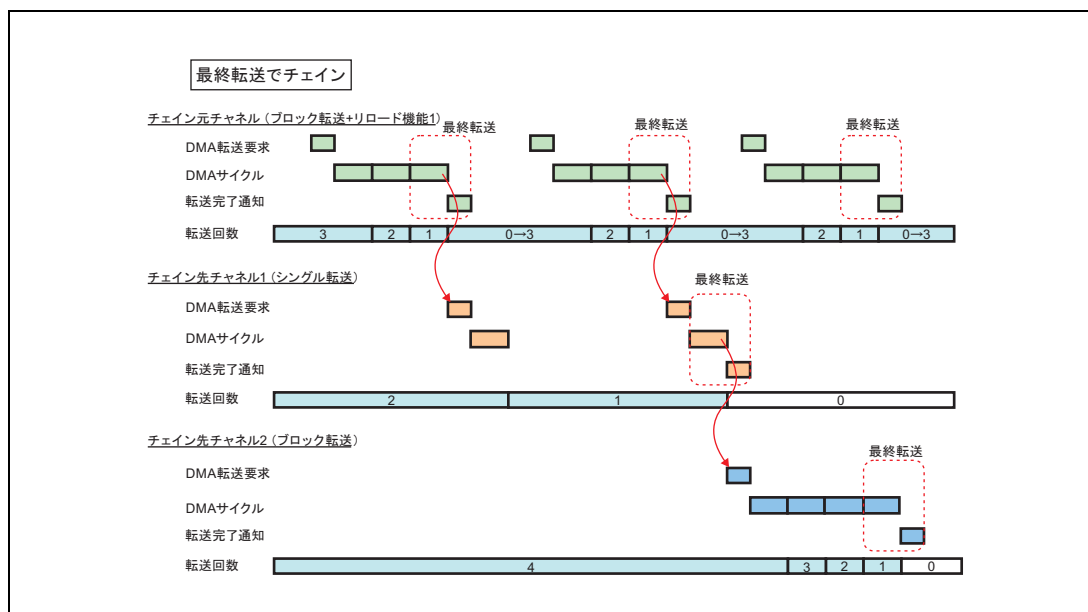


図 8.8 最終転送でチェインの動作イメージ

8.3.4.2 チェイン動作の設定方法

DMAC の場合は、DMAC 転送制御レジスタのチェインイネーブル（DTCTm.CHNE）およびチェイン先選択（DTCTm.CHNSEL）に、チェイン動作の種類およびチェイン先のチャンネル番号を設定します。

8.3.4.3 チェイン機能使用時の注意

チェイン動作は、チェイン先のチャンネルのソフトウェア DMA 転送要求フラグをセットすることで実現しています。したがって、チェイン先となるチャンネルでは、ソフトウェア DMA 転送要求を使用する場合と同様のチャンネル設定を実施してください。ハードウェア DMA 転送要求を使用する設定を行ったチャンネルをチェイン先に指定した場合には、チェイン動作を行うことができません。

チェイン先のチャンネルは、チェイン元のチャンネルと同一のモジュール内（DMAC0、DMAC1）のチャンネルに限られます。異なるモジュールのチャンネルをチェイン先として指定することはできません。

8.3.5 DMAC 動作

8.3.5.1 DMA 転送要求の種類と割り当て

DMAC はハードウェア DMA 転送要求またはソフトウェア DMA 転送要求を受け付けることで DMA 転送を実行します。ハードウェア DMA 転送要求とソフトウェア DMA 転送要求のどちらを使用するかは、DMAC 転送制御レジスタ (DTCTm) の DMA 転送要求選択割り付け (DTCTm.DRS) ビットで指定します。

DMAC のハードウェア DMA 転送要求は、DTFR で 128 種類のハードウェア DMA 転送要因から DMAC の各チャンネルにそれぞれ 1 つずつ選択して割り当てます。この割り当ては DTFR 設定レジスタで行います。

8.3.5.2 ソフトウェア DMA 転送要求の発生と受け付け

DMAC 転送ステータスセットレジスタ (DCSTSm) を使用して DMAC 転送ステータスレジスタ (DCSTm) のソフトウェア DMA 転送要求フラグ (DCSTm.SR) をセットすると、ソフトウェア DMA 転送要求を発生させることができます。

ソフトウェア DMA 転送要求フラグは、DMAC が DMA 転送要求を実行すると自動的にクリアされます。ソフトウェア DMA 転送要求フラグが自動的にクリアされるタイミングは、実行する DMA 転送の転送モードによって異なります。

- シングル転送の場合は、ソフトウェア DMA 転送要求を受け付ける度に、ソフトウェア DMA 転送要求フラグをクリアします。
- ブロック転送 1 の場合は、最終転送を実行する際に、ソフトウェア DMA 転送要求フラグをクリアします。
- ブロック転送 2 の場合は、最終転送またはアドレスリロード転送を実行する際に、ソフトウェア DMA 転送要求フラグをクリアします。

ソフトウェア DMA 転送要求フラグは DMAC 転送ステータスクリアレジスタ (DCSTCm) を利用してソフトウェアでクリアすることも可能です。DMAC チャンネルの DMA 転送中止の操作を行う際は、ソフトウェア DMA 転送要求フラグをクリアしてください。

8.3.5.3 DMA 転送の実行

DMAC は、DMA 転送要求を受け付けたチャンネルの DMA 転送を実行します。

複数のチャンネルからの DMA 転送要求が存在する場合には、DMAC チャンネルアービトレーションを行って DMA 転送要求を受け付けるチャンネルを決定します。

8.4 一時中断・再開、転送中止および DMA 転送要求のクリア

8.4.1 ソフトウェア制御による DMA 一時中断・再開

DMA 制御レジスタ (DMACTL) により、全チャネルの DMA 転送一時中断機能を提供します。

DMA 制御レジスタの DMA 一時中断ビット (DMACTL.DMASPD) がセットされると、DMA は全チャネル一時中断状態に移行します。全チャネル一時中断状態で、DMA 制御レジスタの DMA 一時中断ビットがクリアされると、DMA は全チャネル一時中断状態から通常状態に復帰し、一時中断状態だったチャネルの DMA 転送は再開されます。

全チャネル一時中断状態では、DMAC の各チャネルの DCENm.DTE ビットの状態は変わりませんが、すべてのチャネルの DMA 転送は一時中断された状態になります

8.4.2 DMAC チャネルの一時中断・再開および転送中止

DMAC チャネル動作有効設定レジスタのチャネル動作有効ビット (DCENm.DTE) をクリアすることで、その DMAC チャネルの DMA 転送を一時中断することができます。DMA サイクルを実行中の場合、実行中の DMA サイクルの終了後にそのチャネルの DMA 転送を一時中断します。一時中断の状態では DCENm.DTE ビットを再びセットすると、そのチャネルの DMA 転送を再開します。

DMAC チャネルで実行中の DMA 転送を中止したい場合、同様に DMAC チャネル動作有効設定レジスタのチャネル動作有効ビット (DCENm.DTE) をクリアした後で、ハードウェア DMA 転送要求であれば DTFR のハードウェア DMA 転送要求をクリアし、ソフトウェア DMA 転送要求であれば DMAC 転送ステータスクリアレジスタのソフトウェア DMA 転送要求フラグクリアビット (DCSTm.SRC) を利用してソフトウェア DMA 転送要求フラグ (DCSTm.SR) をクリアしてください。

連続転送許可ビット (DTCTm.MLE) が設定されている場合では、チャネル動作許可ビット (DCENm.DTE) がセットされ続けます。DMA の最終転送中にチャネル動作有効ビット (DCENm.DTE) がソフトウェアによってクリアされても、連続転送イネーブルビット (DTCTm.MLE) が優先され、チャネル動作有効ビット (DCENm.DTE) は最終転送が完了した後にセットされます。

連続転送機能が有効になっているときに DMAC チャネルの継続的な DMA 転送を中止したい場合は、まず連続転送有効ビット (DTCTm.MLE) をクリアしてください。そのあと DMAC チャネルの DMA 転送を中止するためにチャネル動作有効ビット (DCENm.DTE) をクリアしてください。この操作を行う場合に限り、DMAC 転送制御レジスタ (DTCTm) はチャネル動作有効ビットが 1 (DCENm.DTE=1) の時においても書き込みが可能です。

図 8.9 に DMAC チャネルの一時中断・再開・転送中止の動作例を示します。

図 8.9 では、チャネル 0 とチャネル 1 はいずれもブロック転送を実行します。時間 1 でチャネル 1 が DMA 転送を開始します。時間 2 でチャネル 0 の DMA 転送要求が受け付けられ、DMAC チャネルアービトラージにより、チャネル 1 よりも優先度の高いチャネル 0 の DMA 転送を開始します。時間 3 でチャネル 0 の最終転送が完了し、チャネル 1 のブロック転送の残りの DMA 転送を開始します。時間 4 でチャネル 1 の最終転送が完了します。時間 5 以降は同様にチャネル 0 とチャネル 1 の DMA 転送を実行しますが、時間 7 でチャネル 0 の DMA 転送が一時中断され、DMAC チャネルアービトラージによりチャネル 1 の DMA 転送を開始します。時間 8 でチャネル 1 の最終転送が完了した後、時間 9 でチャネル 0 の DMA 転送を再開しています。時間 10 で再びチャネル 0 の DMA 転送を一時中断し、時間 11 でチャネル 0 の DMA 転送を中止しています。時間 12 でチャネル 0 の一時中断状態を

解除していますが、時間 11 で DMA 転送が中止されているためチャンネル 0 の DMA 転送は実行されません。

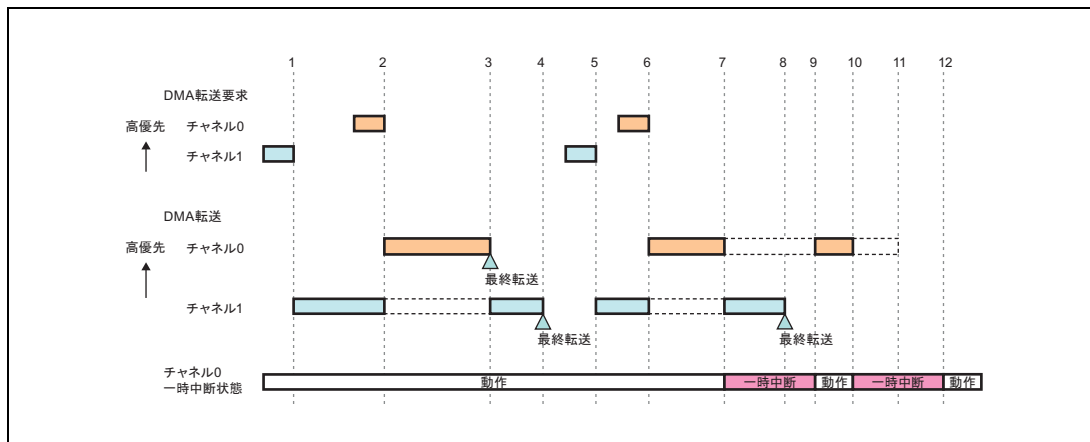


図 8.9 DMAC チャンネルの一時中断・再開・転送中止の動作例

8.4.3 DTFR のハードウェア DMA 転送要求マスクおよびクリア

DMAC でハードウェア DMA 転送要求を使用している場合、DTFR 設定レジスタのハードウェア DMA 転送要因選択有効ビット (DTFRm.REQEN) をクリアすることで、一時的に DTFR から DMAC に対するハードウェア DMA 転送要求出力を無効化 (マスク) することができます。

また、ハードウェア DMA 転送要因を利用する場合には、DTFR 転送要求クリアレジスタのハードウェア DMA 転送要求クリア (DTFRm.DRQC) ビットを使用して、DTFR で保持しているハードウェア DMA 転送要求をクリアすることができます。

DMAC チャンネルに対して DMA 転送の一時中断や転送中止の操作を行った場合でも、DTFR のハードウェア DMA 転送要求選択・保持回路は動作したままですので、DMAC チャンネルの一時中断の期間または転送中止の期間中に DTFR に入力されたハードウェア DMA 転送要求を DTFR は保持している場合があります。DMAC チャンネルで DMA 転送を再開または開始する場合には、必要に応じて、DTFR で保持しているハードウェア DMA 転送要求をクリアする操作を行ってください。

DMAC をハードウェア転送要求かつブロック転送 (1 または 2) の設定で使用する場合、DMAC がブロック転送を実行中に、ソフトウェアで DTFR のハードウェア転送要因選択ビットを無効 (DTFRm.REQEN = 0) に設定した場合、実行中のブロック転送が中断します。

8.4.4 一時中断・再開・転送中止機能一覧

表 8.11 一時中断・再開・転送中止機能一覧

機能	操作方法	動作	DMA 転送中止の可否	操作可能なマスタ（「8.6 信頼性機能」参照）
DMA 一時中断・再開	DMACTL.DMASPD をセット・クリア	全チャンネルが一時中断状態	不可 ^{注1}	特殊マスタ
DMAC チャンネル一時中断・再開	各チャンネルレジスタの DCENm.DTE をクリア・セット ^{注2}	チャンネルの DMA 転送を一時中断	可能 （一時中断状態で DMA 転送要求フラグをクリア）	特殊マスタ、チャンネルに割り当てられた一般マスタ

- 注 1. DMA 転送を中止するためには、DMAC チャンネルの転送中止の操作を行う必要があります。
- 注 2. 連続転送許可ビット（DTCTm.MLE）がセットされている場合、まず最初にチャンネルを中断するために DCENm.DTE ビットをクリアする前に、連続転送許可ビット（DTCTm.MLE）をクリアしてください。そして、チャンネルを再開するために DCENm.DTE ビットをセットする前に、連続転送許可ビット（DTCTm.MLE）をセットしてください。

8.5 エラー制御

8.5.1 エラーの種類

DMA で発生するエラーは次の種類があります。

- DMA 転送エラー

DMA サイクルのリードサイクルまたはライトサイクルで、エラーが検出された場合に発生します。DMAC のすべてのチャンネルで、DMA 転送の実行時に発生する可能性があります。

DMA 転送エラーは、FEINT のソースである INTDMAERR 割り込み要求信号を発生させます。

8.5.2 DMA 転送エラー

8.5.2.1 DMAC の DMA 転送エラー発生時の動作

DMAC で DMA 転送エラーが発生すると、DMA 転送エラーが発生したチャンネルの DMAC 転送ステータスレジスタの転送エラーフラグ (DCSTm.ER) がセットされます。DMAC エラーレジスタ (DMACER) で DMAC の 16 チャンネルすべての転送エラーフラグの状態を確認することができます。

転送エラーフラグがセットされたチャンネルでは、転送エラー時 DMA 転送禁止設定 (DTCTm.ESE) ビットがセットされている場合は、新たな DMA サイクルは実行されませんが、転送エラー時 DMA 転送禁止設定 (DTCTm.ESE) ビットがクリアされている場合は、転送エラーフラグの状態に関係なく DMA サイクルが実行されます。

DMA 転送エラーが発生したチャンネルの DMA 転送を中止する場合は、DMAC チャンネルの DMA 転送中止の操作を実行してください。

DMA サイクルのリードサイクルで DMA 転送エラーが発生した場合は、ライトサイクルは実行されません。DMA サイクルのライトサイクルで DMA 転送エラーが発生した場合は、ライト動作の結果の正常性は保証しません。

DMA 転送エラーの発生が DMA サイクルのリードサイクルおよびライトサイクルのいずれの場合でも、ソースアドレス、ディスティネーションアドレス、転送回数およびアドレスリロードカウンタの各レジスタは更新されます。

8.6 信頼性機能

8.6.1 概要

本製品では、DMA は以下の信頼性機能を提供します。

- レジスタアクセス保護機能
- マスタ情報継承機能

8.6.2 レジスタアクセス保護機能

レジスタアクセス保護機能は、DMA の各チャンネルの転送情報に対して、チャンネルに割り当てたマスタからのみライトアクセスを許可し、他のマスタからのライトアクセスを禁止する機能です。

レジスタアクセス保護機能により、たとえば、チャンネルに割り当てたマスタ以外の無関係のマスタによってチャンネルの設定内容が変更されることを防ぐことができます。

8.6.2.1 アクセス元マスタの識別

DMA は、アクセス元のプロセッサエレメント ID 番号 (PEID)、CPU へのアクセスにより設定されたシステム保護 ID (SPID)、CPU がスーパーバイザモード (PSW.UM = 0) かユーザーモード (PSW.UM = 1) かによってマスタを識別します。

8.6.2.2 マスタアクセス

DMA は、スーパーバイザモード (PSW.UM=0) の CPU からのアクセスを特殊マスタアクセスとして扱います。特殊マスタは、すべての DMA レジスタの読み出しと書き込みが許可されます。

DMA は、特殊マスタ以外のマスタは一般マスタとして扱います。一般マスタは、すべての DMA レジスタの読み出しを行うことができますが、書き込みについては以下の特定のレジスタのみしか行うことはできません。

- チャンネル割り当て (**「8.6.2.3 チャンネル割り当て」**参照) によって割り当てられたチャンネルのチャンネルレジスタ

上記以外のレジスタに対しては、一般マスタのライトアクセスは許可されません。

8.6.2.3 チャンネル割り当て

DMA では、各チャンネル単位で、そのチャンネルを利用するマスタを割り当てることができます。チャンネル割り当てはスーパーバイザモード (PSW.UM = 0) の CPU がチャンネルマスタ設定レジスタ (DMniCM) を設定することで行います。

一般マスタアクセスでは、チャンネル割り当てによって割り当てられたマスタは、そのチャンネルのチャンネルレジスタに書き込むことが許可されます。チャンネル割り当てによって割り当てられたマスタ以外がチャンネルレジスタに書き込んだ場合は、違反アクセスとなります。違反アクセスについては「8.6.2.4 違反アクセス」で説明します。

8.6.2.4 違反アクセス

DMA は次のアクセスを違反アクセスとして扱います。

- a) グローバルレジスタに対する一般マスタからのライトアクセス
- b) チャンネルに割り当てられていない一般マスタからのチャンネルレジスタに対するライトアクセス

DMA はどのマスタからのリードアクセスも違反アクセスとして扱いません。

DMA は違反アクセスに対して次の動作を行います。

a) , b) の場合ともに

- ライトアクセスは無視します。

また、b) の場合にのみ、

- レジスタアクセス保護違反レジスタに、違反アクセスの際の情報を保存します。
- レジスタアクセス保護違反レジスタは DMAC0、DMAC1 で分かれています (DM0CMV, DM1CMV)。

レジスタアクセス保護違反レジスタにアクセス可能なのは特殊マスタのみです。特殊マスタはレジスタアクセス保護違反レジスタを定期的に確認することで、違反アクセスの発生状態を確認することができます。

また、DMA を利用するマスタは、チャンネルレジスタに転送情報を設定する際に、違反アクセスが発生せずに設定が正しく行われていることをリードバックなどにより確認することを推奨します。

8.6.3 マスタ情報継承機能

本製品では、DMA は DMA チャンネルを割り当てたマスタと同等のマスタ情報を継承します。DMA が出力するマスタ情報は表 8.12 のとおりです。

表 8.12 DMA が出力するマスタ情報

意味	DMA から出力する値
UM	チャンネルマスタ設定レジスタの UM ビットの値
SPID	チャンネルマスタ設定レジスタの SPID ビットの値
PEID	チャンネルマスタ設定レジスタの PEID ビットの値
DMA	1

8.6.4 その他の信頼性機能

8.6.4.1 チェイン先の制限

信頼性機能により、チェイン先として指定可能なチャンネルが制限されます。

チェイン機能を使用する際は、チェイン元チャンネルのチャンネルマスタ設定とチェイン先チャンネルのチャンネルマスタ設定は同じ内容を設定してください。

チェイン機能の使用時は、チェイン元のチャンネルとチェイン先のチャンネルは同一のマスタの管理下で使用することを想定しています。

DMA は、異なるマスタを割り当てたチャンネルへのチェインは意図外の動作であると判断し、チェイン動作を制限します。具体的には、DMA はチェイン実行時にチェイン元チャンネルのチャンネルマスタ設定とチェイン先チャンネルのチャンネルマスタ設定の内容をチェックして、チャンネルマスタ設定の PEID、UM がすべて同一の場合はチェインを許可し、チェイン先チャンネルにチェイン要求を行います。チャンネルマスタ設定の PEID、UM のいずれかが異なる場合は、チェイン要求を行いません。

8.7 DMA 転送の設定手順

8.7.1 DMA 設定手順概要

表 8.13 DMA 設定手順概要

No.	設定元マスタ	内容	レジスタ		操作の必要条件	
1	特殊マスタ (CPU のスーパーバイザモード (UM = 0))	DMA 全体動作の設定	DM00CM ~ DM17CM	DMAC チャンネルマスタ設定	必須	
2		ステータスのクリア	CMVC	チャンネル保護違反クリアレジスタ	推奨	
3	DMAC チャンネルに割り当てられたマスタ	チャンネルの設定	DSAm	DMAC ソースアドレス	必須	
4			DDAm	DMAC ディスティネーションアドレス	必須	
5			DTCm	DMAC 転送回数	必須	
6			DTCTm	DMAC 転送制御	必須	
7			DRSAm	DMAC リロードソースアドレス	リロード機能を使用する場合必須	
8			DRDAm	DMAC リロードディスティネーションアドレス	リロード機能を使用する場合必須	
9			DRTCm	DMAC リロード転送回数	リロード機能を使用する場合必須	
10			DTFRm	DTFR 設定レジスタ	必須	
11			ステータスのクリア	DCSTCm	DMAC 転送ステータスクリア	必須
12				DTFRRQCm	DTFR 転送要求クリア	推奨
13			チャンネル動作有効	DCENm	DMAC チャンネル動作有効設定	必須

8.7.2 DMA 全体動作設定手順

DMA を利用を開始する前に、DMA 全体動作設定を行う必要があります。

DMA 全体動作設定は、特殊マスタである CPU のスーパーバイザモード (UM=0) がグローバルレジスタを設定することで実施します。グローバルレジスタの設定は特殊マスタアクセスのみ許可されます。詳細は「**8.6 信頼性機能**」を参照してください。

DMA 全体動作設定で設定が必要なレジスタは以下のとおりです。

- DMAC チャンネルマスタ設定レジスタ (DMniCM)

チャンネル割り当てを行います (詳細は「**8.6 信頼性機能**」を参照)。

DMAC チャンネルマスタ設定レジスタの設定を正しく行わない場合、DMA チャンネル設定および DMA 転送が正しく実行できません。

また、DMA 全体動作設定の際に次のレジスタでエラーを検出している場合には、エラーをクリアすることを推奨します。

- DMAC0 レジスタアクセス保護違反レジスタ (DM0CMV)
- DMAC1 レジスタアクセス保護違反レジスタ (DM1CMV)

8.7.3 DMA チャンネル設定手順

DMA チャンネル設定では、DMAC の各チャンネルの転送情報や転送要因の選択を行います。

DMA チャンネル設定は、チャンネル割り当てによって割り当てられた各チャンネルのマスタがチャンネルレジスタを設定することで実施します。

8.7.3.1 DMAC チャネル設定手順

DMAC を利用する場合の DMAC チャネル設定は以下の手順で行います。

(1) チャネル動作無効設定

DMAC チャネル動作有効設定レジスタ (DCENm) でチャネル動作有効 (DCENm.DTE) がセットされている場合は、DCENm.DTE ビットをクリアしてチャネル動作を無効の状態に変更します。

(2) 転送情報の設定

DMAC の転送情報の設定では、次のレジスタを設定します。

- DMAC ソースアドレスレジスタ (DSAm)
- DMAC デスティネーションアドレスレジスタ (DDAm)
- DMAC 転送回数レジスタ (DTCm)
- DMAC 転送制御レジスタ (DTCTm)
- DMAC リロードソースアドレスレジスタ (DRSAm)
- DMAC リロードデスティネーションアドレスレジスタ (DRDAm)
- DMAC リロード転送回数レジスタ (DRTCm)

(3) DMA 転送要求の設定

転送情報の設定で、DMAC 転送制御レジスタ (DTCTm) の DMA 転送要求選択割り付け (DTCTm.DRS) ビットにハードウェア DMA 転送要求とソフトウェア DMA 転送要求のどちらを使用するかを設定します。

1つのチャネルでハードウェア DMA 転送要求とソフトウェア DMA 転送要求の両方を同時に使用することはできません。

ハードウェア DMA 転送要求を使用する場合は、DTFR 設定レジスタのハードウェア DMA 転送要因選択 (DTFRm.REQSEL) で 128 種類のハードウェア DMA 転送要因からハードウェア DMA 転送要求として使用する要因を選択して設定します。また同じレジスタのハードウェア DMA 転送要因選択 (DTFRm.REQEN) を有効に設定します。

DTFR には、ハードウェア DMA 転送要因を選択する前の状態でハードウェア DMA 転送要求が保持されている場合があるので、必要に応じて、DTFR 転送要求クリアレジスタ (DTFRm.DRQ) を利用して DTFR で保持しているハードウェア DMA 転送要求 (DTFRm.DRQ) をクリアしてください。

ソフトウェア DMA 転送要求を使用する場合は、DTFR 設定レジスタのハードウェア DMA 転送要因選択 (DTFRm.REQEN) を無効に設定します。

(4) 転送ステータスのクリア

DMAC 転送ステータスレジスタ (DCSTm) に、以前の DMA 転送結果が保持されている場合があるので、DMAC 転送ステータスクリアレジスタ (DCSTCm) を利用して DMAC 転送ステータスレジスタの各フラグをクリアします。

(5) チャネル動作有効設定

DMAC チャネル動作有効設定レジスタのチャネル動作有効 (DCENm.DTE) ビットをセットして、チャネル動作を有効します。

チャネル動作有効設定を行った後は、DMAC は DMA 転送要求を受け付けて DMA 転送を実行可能な状態になります。

8.8 グローバルレジスタ

8.8.1 グローバルレジスタアドレス一覧

DMA のグローバルレジスタ一覧を以下の表に示します。

<DMA_base> は「8.1.2 レジスタベースアドレス」を参照してください。

表 8.14 グローバルレジスタアドレス一覧

ユニット名	レジスタ名	略号	アドレス	アクセス許可	
				特殊マスタ	一般マスタ
DMAC	DMA 制御レジスタ	DMACTL	<DMA_base> + 0000 _H	○	×注1
	DMAC エラーレジスタ	DMACER	<DMA_base> + 0020 _H	○	○
	DMAC0 レジスタアクセス保護違反レジスタ	DM0CMV	<DMA_base> + 0030 _H	○	×注1
	DMAC1 レジスタアクセス保護違反レジスタ	DM1CMV	<DMA_base> + 0034 _H	○	×注1
	レジスタアクセス保護違反クリアレジスタ	CMVC	<DMA_base> + 003C _H	○	×注1
	DMAC0 チャンネル 0 チャンネルマスタ設定	DM00CM	<DMA_base> + 0100 _H	○	×注1
	DMAC0 チャンネル 1 チャンネルマスタ設定	DM01CM	<DMA_base> + 0104 _H	○	×注1
	DMAC0 チャンネル 2 チャンネルマスタ設定	DM02CM	<DMA_base> + 0108 _H	○	×注1
	DMAC0 チャンネル 3 チャンネルマスタ設定	DM03CM	<DMA_base> + 010C _H	○	×注1
	DMAC0 チャンネル 4 チャンネルマスタ設定	DM04CM	<DMA_base> + 0110 _H	○	×注1
	DMAC0 チャンネル 5 チャンネルマスタ設定	DM05CM	<DMA_base> + 0114 _H	○	×注1
	DMAC0 チャンネル 6 チャンネルマスタ設定	DM06CM	<DMA_base> + 0118 _H	○	×注1
	DMAC0 チャンネル 7 チャンネルマスタ設定	DM07CM	<DMA_base> + 011C _H	○	×注1
	DMAC1 チャンネル 0 チャンネルマスタ設定	DM10CM	<DMA_base> + 0120 _H	○	×注1
	DMAC1 チャンネル 1 チャンネルマスタ設定	DM11CM	<DMA_base> + 0124 _H	○	×注1
	DMAC1 チャンネル 2 チャンネルマスタ設定	DM12CM	<DMA_base> + 0128 _H	○	×注1
	DMAC1 チャンネル 3 チャンネルマスタ設定	DM13CM	<DMA_base> + 012C _H	○	×注1
	DMAC1 チャンネル 4 チャンネルマスタ設定	DM14CM	<DMA_base> + 0130 _H	○	×注1
	DMAC1 チャンネル 5 チャンネルマスタ設定	DM15CM	<DMA_base> + 0134 _H	○	×注1
	DMAC1 チャンネル 6 チャンネルマスタ設定	DM16CM	<DMA_base> + 0138 _H	○	×注1
DMAC1 チャンネル 7 チャンネルマスタ設定	DM17CM	<DMA_base> + 013C _H	○	×注1	

注 1. 一般マスタはリードのみ可能です。

8.8.2 グローバルレジスタ詳細

8.8.2.1 DMACTL — DMA 制御レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス <DMA_base> + 0000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMASPD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 8.15 DMACTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DMASPD	<p>DMA 一時中断</p> <p>すべてのチャンネルの DMA 転送を一時中断していることを示します。ユーザが 1 を書き込むことで、すべてのチャンネルの DMA 転送を一時中断状態することができます。また、ユーザが 0 を書き込むことで、すべてのチャンネルの DMA 転送の一時中断状態を解除することができます。</p> <p>本ビットで制御する一時中断は、DMAC の各チャンネルの転送有効ビット (DCENm.DTE) で制御する一時中断とは無関係に行われます。つまり、DMAC の各チャンネルの DCENm.DTE ビットがいかなる状態でも、本ビットを 1 にセットした場合はすべての DMA 転送が一時中断されます。</p> <p>本ビットを操作しても、DMAC の各チャンネルの DCENm.DTE ビットの状態は変わりません。</p> <p>0 : DMA 一時中断状態解除 1 : DMA 一時中断要求・DMA 一時中断状態</p>

8.8.2.2 DMACER — DMAC エラーレジスタ

アクセス 32ビット単位でリードのみ可能です。

アドレス <DMA_base> + 0020_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM1ER 7	DM1ER 6	DM1ER 5	DM1ER 4	DM1ER 3	DM1ER 2	DM1ER 1	DM1ER 0	DM0ER 7	DM0ER 6	DM0ER 5	DM0ER 4	DM0ER 3	DM0ER 2	DM0ER 1	DM0ER 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8.16 DMACER レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 8	DM1ER[7:0]	DMAC1 DMA 転送エラー状態 DMAC1 のチャンネル 0 ~ 7 の DMA 転送エラー状態を示します。 それぞれのビットは DMAC1 の各チャンネルの DCSTm.ER ビットの写像で、リードオンリーです。 0 : DMA 転送エラー非発生 1 : DMA 転送エラー発生
7 ~ 0	DM0ER[7:0]	DMAC0 DMA 転送エラー状態 DMAC0 のチャンネル 0 ~ 7 の DMA 転送エラー状態を示します。 それぞれのビットは DMAC0 の各チャンネルの DCSTm.ER ビットの写像で、リードオンリーです。 0 : DMA 転送エラー非発生 1 : DMA 転送エラー発生

8.8.2.3 DM0CMV — DMAC0 レジスタアクセス保護違反レジスタ

アクセス 32ビット単位でリードのみ可能です。

アドレス <DMA_base> + 0030_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PEID2	PEID1	PEID0	SPID1	SPID0	UM	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	VCH2	VCH1	VCH0	—	—	—	VF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8.17 DM0CMV レジスタの内容

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。
22 ~ 17	PEID[2:0] SPID[1:0] UM	違反アクセスマスタ情報 VF ビットが 0 の状態で最初に発生した違反アクセスのアクセス元マスタ情報を保持します。VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
16 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。
6 ~ 4	VCH[2:0]	違反アクセス発生チャンネル VF ビットが 0 の状態で最初に違反アクセスが発生したチャンネル番号 (0 ~ 7) を保持します。 VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
3 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	VF	違反アクセス発生フラグ DMAC0 で違反アクセスが発生したかどうかを示します。 0 : DMAC0 で違反アクセスが発生していない 1 : DMAC0 で違反アクセスが発生している 本ビットが 0 の状態で DMAC0 で違反アクセスが発生すると、本ビットがセットされるとともに PEID[2:0]、SPID[1:0]、VCH[2:0] ビットに情報が保存されます。本ビットが 1 の状態で DMAC0 で違反アクセスが発生すると、本ビットはセットされたままで、PEID[2:0]、SPID[1:0]、VCH[2:0] ビットの内容は変化しません。本ビットは CMVC レジスタの操作でクリアが可能です。

8.8.2.4 DM1CMV — DMAC1 レジスタアクセス保護違反レジスタ

アクセス 32ビット単位でリードのみ可能です。

アドレス <DMA_base> + 0034_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PEID2	PEID1	PEID0	SPID1	SPID0	UM	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	VCH2	VCH1	VCH0	—	—	—	VF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8.18 DM1CMV レジスタの内容

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。
22 ~ 17	PEID[2:0] SPID[1:0] UM	違反アクセスマスタ情報 VF ビットが 0 の状態で最初に発生した違反アクセスのアクセス元マスタ情報を保持します。VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
16 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。
6 ~ 4	VCH[2:0]	違反アクセス発生チャンネル VF ビットが 0 の状態で最初に違反アクセスが発生したチャンネル番号 (0 ~ 7) を保持します。 VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
3 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	VF	違反アクセス発生フラグ DMAC1 で違反アクセスが発生したかどうかを示します。 0 : DMAC1 で違反アクセスが発生していない 1 : DMAC1 で違反アクセスが発生している 本ビットが 0 の状態で DMAC1 で違反アクセスが発生すると、本ビットがセットされるとともに PEID[2:0]、SPID[1:0]、VCH[2:0] ビットに情報が保存されます。本ビットが 1 の状態で DMAC1 で違反アクセスが発生すると、本ビットはセットされたままで、PEID[2:0]、SPID[1:0]、VCH[2:0] ビットの内容は変化しません。本ビットは CMVC レジスタの操作でクリアが可能です。

8.8.2.5 CMVC — レジスタアクセス保護違反クリアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス <DMA_base> + 003C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DM1VC	DM0VC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 8.19 CMVC レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DM1VC	DMAC1 違反アクセス発生フラグクリア 本ビットに 1 を書き込むことで DMAC1 の違反アクセス発生フラグ (DM1CMV.VF) をクリアすることができます。本ビットのリード値は常に 0 です。
0	DM0VC	DMAC0 違反アクセス発生フラグクリア 本ビットに 1 を書き込むことで DMAC0 の違反アクセス発生フラグ (DM0CMV.VF) をクリアすることができます。本ビットのリード値は常に 0 です。

8.8.2.6 DMniCM — DMAC チャネルマスタ設定 (ni = 00 ~ 07、10 ~ 17)

アクセス 32ビット単位でリード/ライト可能です。

アドレス DM0iCM : <DMA_base> + 0100_H + 4_H × チャネル番号 i (i = 0 ~ 7)
DM1iCM : <DMA_base> + 0120_H + 4_H × チャネル番号 i (i = 0 ~ 7)

リセット後の値 0000 0010_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	PEID[2:0]		SPID[1:0]		UM	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 8.20 DMniCM レジスタの内容

ビット位置	ビット名	機能
31 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 4	PEID[2:0]	チャンネルマスタ PEID 設定。 チャンネルに割り当てるマスタの PEID 情報を設定します。
3, 2	SPID1, 0	チャンネルマスタ SPID 設定 チャンネルに割り当てるマスタが利用する SPID 情報を設定します。
1	UM	チャンネルマスタ UM 設定 0 : スーパーバイザモードでのアクセスを許可 1 : ユーザモードおよびスーパーバイザモードでのアクセスを許可
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

DM00CM ~ DM07CM は DMAC0 チャネル 0 ~ 7 のチャンネルマスタ情報を設定
DM10CM ~ DM17CM は DMAC1 チャネル 0 ~ 7 のチャンネルマスタ情報を設定

本レジスタにより提供される機能の説明は「8.6 信頼性機能」を参照してください。

8.9 DMAC チャネルレジスタ

8.9.1 DMAC チャネルレジスタアドレス

DMAC のチャネルレジスタ一覧を以下の表に示します。

<DMA_base> は、「8.1.2 レジスタベースアドレス」を参照してください。

表 8.21 DMAC チャネルレジスタアドレス

ユニット名	レジスタ名	略号	アドレス	アクセス許可	
				特殊マスタ	一般マスタ
DMAC	DMAC ソースアドレスレジスタ	DSAm	<DMA_base> + 0400 _H + 40 _H × [チャネル番号]	○	○
	DMAC ディスティネーションアドレスレジスタ	DDAm	<DMA_base> + 0404 _H + 40 _H × [チャネル番号]	○	○
	DMAC 転送回数レジスタ	DTCm	<DMA_base> + 0408 _H + 40 _H × [チャネル番号]	○	○
	DMAC 転送制御レジスタ	DTCTm	<DMA_base> + 040C _H + 40 _H × [チャネル番号]	○	○
	DMAC リロードソースアドレスレジスタ	DRSAm	<DMA_base> + 0410 _H + 40 _H × [チャネル番号]	○	○
	DMAC リロードディスティネーションアドレスレジスタ	DRDAm	<DMA_base> + 0414 _H + 40 _H × [チャネル番号]	○	○
	DMAC リロード転送回数レジスタ	DRTCm	<DMA_base> + 0418 _H + 40 _H × [チャネル番号]	○	○
	DMAC チャネル動作有効設定レジスタ	DCENm	<DMA_base> + 0420 _H + 40 _H × [チャネル番号]	○	○
	DMAC 転送ステータスレジスタ	DCSTm	<DMA_base> + 0424 _H + 40 _H × [チャネル番号]	○	○
	DMAC 転送ステータスセットレジスタ	DCSTSm	<DMA_base> + 0428 _H + 40 _H × [チャネル番号]	○	○
	DMAC 転送ステータスクリアレジスタ	DCSTCm	<DMA_base> + 042C _H + 40 _H × [チャネル番号]	○	○
	DTFR 設定レジスタ	DTFRm	<DMA_base> + 0430 _H + 40 _H × [チャネル番号]	○	○
	DTFR 転送要求ステータスレジスタ	DTFRRQm	<DMA_base> + 0434 _H + 40 _H × [チャネル番号]	○	○
	DTFR 転送要求クリアレジスタ	DTFRRQCm	<DMA_base> + 0438 _H + 40 _H × [チャネル番号]	○	○

注 1. オフセットアドレスの [チャネル番号] およびレジスタ略称の m は 0 ~ 15 で、対応は以下のとおりです。

チャネル番号 m	チャネル	チャネル番号 m	チャネル
0	DMAC0 channel 0	8	DMAC1 channel 0
1	DMAC0 channel 1	9	DMAC1 channel 1
2	DMAC0 channel 2	10	DMAC1 channel 2
3	DMAC0 channel 3	11	DMAC1 channel 3
4	DMAC0 channel 4	12	DMAC1 channel 4
5	DMAC0 channel 5	13	DMAC1 channel 5
6	DMAC0 channel 6	14	DMAC1 channel 6
7	DMAC0 channel 7	15	DMAC1 channel 7

8.9.2 DMAC チャンネルレジスタ詳細

レジスタ名称の m は、DMAC チャンネル番号 (m = 0 ~ 15) を示します。

8.9.2.1 DSAm — DMAC ソースアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス <DMA_base> + 0400_H + 40_H × チャンネル番号 m (m = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.22 DSAm レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	SA[31:0]	ソースアドレス DMA 転送元アドレスを設定します。DMA サイクルを実行するごとに更新され、リードすると次の DMA サイクルを実行する際の転送元アドレスが読み出せます。

注 意

1. チャンネル動作有効状態 (DCENm.DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. DMA 転送のリードサイクルで転送エラーが発生すると、ライトサイクルは実行しませんが、ソースアドレスは更新します。
3. ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (x は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

データサイズ	SA3	SA2	SA1	SA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

8.9.2.2 DDAm — DMAC ディスティネーションアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス <DMA_base> + 0404_H + 40_H × チャンネル番号 m (m = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.23 DDAm レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DA[31:0]	ディスティネーションアドレス DMA 転送先アドレスを設定します。DMA サイクルを実行するごとに更新され、リードすると次の DMA サイクルを実行する際の転送先アドレスが読み出せません。

注 意

1. チャンネル動作有効状態 (DCENm.DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. DMA 転送のリードサイクルで転送エラーが発生すると、ライトサイクルは実行しませんが、ディスティネーションアドレスは更新します。
3. ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (x は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

データサイズ	DA3	DA2	DA1	DA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

8.9.2.3 DTCm — DMAC 転送回数レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス <DMA_base> + 0408_H + 40_H × チャンネル番号 m (m = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ARC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.24 DTCm レジスタの内容

ビット位置	ビット名	機能										
31 ~ 16	ARC[15:0]	<p>アドレスリロードカウンタ リロード機能 2 を使用する場合はアドレスリロードまでの転送回数およびブロック転送 2 を使用する場合は転送回数を設定します。DMA 転送中に参照すると、次の DMA サイクルを実行する際のアドレスリロードカウンタが読み出せます。リロード機能 2 またはブロック転送 2 を使用する場合、本ビットは DMA サイクル毎に 1 ずつ減算されて更新されます。リロード機能 2 またはブロック転送 2 を使用しない場合、本ビットは更新されません。 0000_H はリロード機能 2 を使用する場合はアドレスリロードまでの転送回数およびブロック転送 2 を使用する場合は転送回数が 65536 回であることを示します。</p>										
15 ~ 0	TRC[15:0]	<p>転送回数 転送回数を設定します。DMA サイクルを実行するごとに 1 ずつ現在されて更新され、リードすると次の DMA サイクルを実行する際の残り転送回数が読み出せます。リロード機能を使用しない場合、最終転送が完了すると、完了時の値 (0000_H) を保持します。</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TRC15-0</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0000_H</td> <td>65536 回転送、または転送完了</td> </tr> <tr> <td>0001_H</td> <td>1 回転送、または残り転送回数 1 回</td> </tr> <tr> <td style="text-align: center;">:</td> <td style="text-align: center;">:</td> </tr> <tr> <td>FFFF_H</td> <td>65535 回転送、または残り転送回数 65535 回</td> </tr> </tbody> </table>	TRC15-0	動作	0000 _H	65536 回転送、または転送完了	0001 _H	1 回転送、または残り転送回数 1 回	:	:	FFFF _H	65535 回転送、または残り転送回数 65535 回
TRC15-0	動作											
0000 _H	65536 回転送、または転送完了											
0001 _H	1 回転送、または残り転送回数 1 回											
:	:											
FFFF _H	65535 回転送、または残り転送回数 65535 回											

注 意

1. チャンネル動作有効状態 (DCENm.DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. DMA 転送のリードサイクルで転送対象にエラーが発生すると、ライトサイクルは実行しませんが、転送回数、アドレスリロードカウンタは更新します。

8.9.2.4 DTCTm — DMAC 転送制御レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス <DMA_base> + 040C_H + 40_H × チャネル番号 m (m = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	ESE	DRS	—	—	—	—	—	CHNSEL[2:0]			CHNE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TCE	MLE	RLD2M[1:0]		RLD1M[1:0]		DACM[1:0]		SACM[1:0]		DS[2:0]		TRM[1:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.25 DTCTm レジスタの内容 (1/3)

ビット位置	ビット名	機能
31 ~ 28	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
27	ESE	転送エラー時 DMA 転送禁止設定 DMA 転送エラーが発生して DCSTm.ER ビットがセットされた状態で、DMA サイクルを実行するかどうかを設定します。 本ビットが 0 にセットされている場合は、DMA 転送エラーが発生して DCSTm.ER ビットがセットされた状態でも、後続の DMA サイクルを実行することができます。本ビットが 1 にセットされている場合は、DMA 転送エラーが発生して DCSTm.ER ビットがセットされた状態で、後続の DMA サイクルを実行しません。 0 : DCSTm.ER ビットがセットされた状態で、DMA サイクルを実行する 1 : DCSTm.ER ビットがセットされた状態で、DMA サイクルを実行しない
26	DRS	DMA 転送要求選択割り付け 受け付ける DMA 転送要求の種類を選択します。 0 : ソフトウェア DMA 転送要求 1 : ハードウェア DMA 転送要求
25 ~ 21	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
20 ~ 18	CHNSEL[2:0]	チェーン先選択 チェーン先のチャンネルを指定します。 チェーン先は同一 DMAC 内の別のチャンネルを指定してください。異なる DMAC チャンネルへのチェーンは指定できません。チェーン先のチャンネルをチェーン元のチャンネルと同一に指定することは禁止です（設定した場合の動作を保証しません）。
17, 16	CHNE[1:0]	チェーンイネーブル チェーン機能を設定します。 00 : 無効 01 : 最終転送でチェーン 残り転送回数が 1 回の DMA サイクルが完了した際にチェーンします 10 : 設定禁止（設定した場合の動作を保証しません） 11 : 常にチェーン DMA サイクルが完了するたびにチェーンします
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14	TCE	転送完了割り込みイネーブル このビットをセットすると、最終転送が完了した際に転送完了割り込みが発生します。

表 8.25 DTCTm レジスタの内容 (2/3)

ビット位置	ビット名	機能															
13	MLE	<p>連続転送イネーブル このビットをセットすると、DMA 転送完了時に DCENm.DTE ビットをクリアしません。また、DCSTm.TC ビットをクリアしなくても、DMA 転送要求があれば DMA 転送を行います。</p> <p>0 : DMA 転送完了時に DCENm.DTE ビットをクリアします。また、DCSTm.TC ビットをクリアしてからでないと、次の DMA 転送を開始しません</p> <p>1 : DMA 転送完了時に DCENm.DTE ビットをクリアしません。また、DCSTm.TC ビットをクリアしなくても、DMA 転送要求があれば DMA 転送を行います</p>															
12, 11	RLD2M[1:0]	<p>リロード機能 2 設定 リロード機能 2 の設定をします。</p> <p>00 : リロード機能 2 無効 01 : リロード機能 2 有効 アドレスリロードカウン트가 1 の DMA サイクル完了時に、ソースアドレスとアドレスリロードカウン트를リロード</p> <p>10 : リロード機能 2 有効 アドレスリロードカウン트가 1 の DMA サイクル完了時に、ディスティネーションアドレスとアドレスリロードカウン트를リロード</p> <p>11 : リロード機能 2 有効 アドレスリロードカウン트가 1 の DMA サイクル完了時に、ソースアドレスとディスティネーションアドレスとアドレスリロードカウン트를リロード</p>															
10, 9	RLD1M[1:0]	<p>リロード機能 1 設定 リロード機能 1 の設定をします。</p> <p>00 : リロード機能 1 無効 01 : リロード機能 1 有効、転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスと転送回数をリロード（リロード機能 2 が有効の場合、アドレスリロードカウンともリロード）</p> <p>10 : リロード機能 1 有効、転送回数が残り 1 回の DMA サイクル完了時に、ディスティネーションアドレスと転送回数をリロード（リロード機能 2 が有効の場合、アドレスリロードカウンともリロード）</p> <p>11 : リロード機能 1 有効、転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスとディスティネーションアドレスと転送回数をリロード（リロード機能 2 が有効の場合、アドレスリロードカウンともリロード）</p>															
8, 7	DACM[1:0]	<p>ディスティネーションアドレスカウンタ方向 ディスティネーションアドレスのカウント方向を設定します。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>DACM1</th> <th>DACM0</th> <th>カウント方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止（設定した場合の動作を保証しません）</td> </tr> </tbody> </table>	DACM1	DACM0	カウント方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止（設定した場合の動作を保証しません）
DACM1	DACM0	カウント方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止（設定した場合の動作を保証しません）															

表 8.25 DTCTm レジスタの内容 (3/3)

ビット位置	ビット名	機能																												
6, 5	SACM[1:0]	<p>ソースアドレスカウント方向 ソースアドレスのカウント方向を設定します。</p> <table border="1"> <thead> <tr> <th>SACM1</th> <th>SACM0</th> <th>カウント方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止 (設定した場合の動作を保証しません)</td> </tr> </tbody> </table>	SACM1	SACM0	カウント方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止 (設定した場合の動作を保証しません)													
SACM1	SACM0	カウント方向																												
0	0	インクリメント																												
0	1	デクリメント																												
1	0	固定																												
1	1	設定禁止 (設定した場合の動作を保証しません)																												
4 ~ 2	DS[2:0]	<p>転送データサイズ 転送データサイズを設定します。</p> <table border="1"> <thead> <tr> <th>DS2</th> <th>DS1</th> <th>DS0</th> <th>転送データサイズ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>8 ビット</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>16 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>32 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>64 ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>128 ビット</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止 (設定した場合の動作を保証しません)</td> </tr> </tbody> </table>	DS2	DS1	DS0	転送データサイズ	0	0	0	8 ビット	0	0	1	16 ビット	0	1	0	32 ビット	0	1	1	64 ビット	1	0	0	128 ビット	上記以外			設定禁止 (設定した場合の動作を保証しません)
DS2	DS1	DS0	転送データサイズ																											
0	0	0	8 ビット																											
0	0	1	16 ビット																											
0	1	0	32 ビット																											
0	1	1	64 ビット																											
1	0	0	128 ビット																											
上記以外			設定禁止 (設定した場合の動作を保証しません)																											
1, 0	TRM[1:0]	<p>転送モード DMA 転送モードを設定します。 00: シングル転送 01: ブロック転送 1 (転送回数で指定した回数分を転送) 10: ブロック転送 2 (アドレスリロードカウントで指定した回数分を転送) 11: 設定禁止 (設定した場合の動作を保証しません)</p>																												

注 意

- DTCTm.MLE ビットをクリアする場合を除き、チャンネル動作が許可状態 (DCENm.DTE ビット =1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
- 各ビットを設定禁止の状態に設定した場合の動作は保証しません。

8.9.2.5 DRSAm — DMAC リロードソースアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス <DMA_base> + 0410_H + 40_H × チャンネル番号 m (m = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.26 DRSAm レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RSA[31:0]	リロードソースアドレス リロード機能 1 およびリロード機能 2 使用時に DMA ソースアドレスレジスタにリロードするソースアドレスを設定します。

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (x は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データサイズ	RSA3	RSA2	RSA1	RSA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

8.9.2.6 DRDAm — DMAC リロードディスティネーションアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス <DMA_base> + 0414_H + 40_H × チャンネル番号 m (m = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.27 DRDAm レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RDA[31:0]	リロードディスティネーションアドレス リロード機能 1 およびリロード機能 2 使用時に DMA ディスティネーションアドレスレジスタにリロードするディスティネーションアドレスを設定します。

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (x は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データサイズ	RDA3	RDA2	RDA1	RDA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

8.9.2.7 DRTCm — DMAC リロード転送回数レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス <DMA_base> + 0418_H + 40_H × チャンネル番号 m (m = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RARC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTRC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.28 DRTCm レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	RARC[15:0]	リロードアドレスリロードカウント リロード機能 2 を使用する場合に、リロード動作時に転送回数レジスタのアドレスリロードカウントにリロードする値を設定します。
15 ~ 0	RTRC[15:0]	リロード転送回数 リロード機能 1 を使用する場合に、リロード動作時に転送回数レジスタの転送回数にリロードする値を設定します。

8.9.2.8 DCENm — DMAC チャネル動作有効設定レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス <DMA_base> + 0420_H + 40_H × チャネル番号 m (m = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 8.29 DCENm レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DTE	チャネル動作有効 チャネルの転送動作の有効、無効を設定します。DCENm.DTE ビットが1の状態 で、DMA 転送要求があった場合に DMA 転送を行います。DMA 転送完了時に DTCTm.MLE ビットが0の場合、自動的にクリアします。また、DMA 転送中に DCENm.DTE ビットに0を書き込むと、DMA 転送を一時中断します。一時中断 した状態で DCENm.DTE ビットに1を書き込むと、一時中断を解除して DMA 転送を再開します。 0：チャネル動作無効・チャネル一時中断 1：チャネル動作有効・チャネル一時中断解除

8.9.2.9 DCSTm — DMAC 転送ステータスレジスタ

アクセス 32ビット単位でリードのみ可能です。

アドレス <DMA_base> + 0424_H + 40_H × チャンネル番号 m (m = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ERWR	—	—	CY	ER	—	—	TC	—	—	DR	SR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8.30 DCSTm レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。
11	ERWR	DMA 転送エラー発生サイクル DMA 転送エラーフラグ (DCSTm.ER) がセットされると同時に更新され、DMA 転送エラーがリードサイクルかライトサイクルのどちらで発生したかを示します。既に DCSTm.ER ビットがセットされている状態で新たに DMA 転送エラーが発生した場合には本ビットは更新されません。 DCSTm.ER ビットがクリアされると本ビットも 0 にクリアされます。 0 : DMA 転送エラーがリードサイクルで発生した 1 : DMA 転送エラーがライトサイクルで発生した
10, 9	予約ビット	リードした場合はリセット後の値が読めます。
8	CY	DMA サイクル実行状態 このチャンネルで DMA サイクルを実行中かどうかを示します。 0 : DMA サイクルを実行中でない 1 : DMA サイクルを実行中
7	ER	転送エラーフラグ DMA 転送エラーが発生した際にセットされます。本ビットが 1 かつ DTCTm.ESE ビットがセットされている場合は、DMA 転送要求が発生しても DMA サイクルを実行しません。 0 : DMA 転送エラーなし 1 : DMA 転送エラーあり
6, 5	予約ビット	リードした場合はリセット後の値が読めます。
4	TC	転送完了フラグ 最終転送が完了した際にセットされ、DMA 転送が完了したことを示します。DTCTm.MLE ビットが 0 で本ビットが 1 の場合は、DMA 転送要求が発生しても DMA サイクルを実行しません。 0 : DMA 転送未完了 1 : DMA 転送完了

表 8.30 DCSTm レジスタの内容 (2/2)

ビット位置	ビット名	機能
3、2	予約ビット	リードした場合はリセット後の値が読めます。
1	DR	<p>ハードウェア DMA 転送要求状態</p> <p>DTFR からのハードウェア DMA 転送要求 (DMARQ) があることを示します。本ビットは DTFR からのハードウェア DMA 転送要求があると、DCENm.DTE ビットの状態に関わらず変化します。DMAC 転送制御レジスタの転送要求選択ビット (DTCTm.DRS) でソフトウェア DMA 転送要求を選択している場合は、DTFR からハードウェア DMA 転送要求が入力されても本ビットはセットされません。</p> <p>0 : ハードウェア DMA 転送要求なし 1 : ハードウェア DMA 転送要求あり</p>
0	SR	<p>ソフトウェア DMA 転送要求フラグ</p> <p>ソフトウェア DMA 転送要求があることを示します。DMA 転送を実行すると自動的にクリアされます。ユーザは DMAC 転送ステータスセットレジスタ (DCSTSm) の DCSTSm.SRS ビットに 1 を書き込むことで本ビットをセットすることができます。また DMAC 転送ステータスクリアレジスタ (DCSTCm) の DCSTCm.SRC ビットに 1 を書き込むことで本ビットをクリアすることができますが、その際に実行中の DMA 転送は中止され、再開することはできません。</p> <p>0 : ソフトウェア DMA 転送要求なし 1 : ソフトウェア DMA 転送要求あり</p>

8.9.2.10 DCSTSm — DMAC 転送ステータスセットレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス <DMA_base> + 0428_H + 40_H × チャンネル番号 m (m = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SRS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 8.31 DCSTSm レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	SRS	ソフトウェア DMA 転送要求セット ユーザは本ビットに 1 を書き込むことでソフトウェア DMA 転送要求フラグ (DCSTm.SR) をセットすることができます。読み出すと常に 0 が読み出されま す。

8.9.2.11 DCSTCm — DMAC 転送ステータスクリアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス <DMA_base> + 042C_H + 40_H × チャネル番号 m (m = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ERC	—	—	TCC	—	—	—	SRC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R	R	R	R/W

表 8.32 DCSTCm レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ERC	転送エラーフラグクリア 本ビットに1を書き込むことでDMA転送エラーフラグ(DCSTm.ER)をクリアすることができます。読み出すと常に0が読み出されます。
6、5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	TCC	転送完了フラグクリア 本ビットに1を書き込むことで転送完了フラグ(DCSTm.TC)をクリアすることができます。読み出すと常に0が読み出されます。
3 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	SRC	ソフトウェアDMA転送要求フラグクリア 本ビットに1を書き込むことでソフトウェアDMA転送要求フラグ(DCSTm.SR)をクリアすることができます。読み出すと常に0が読み出されず。

8.9.2.12 DTFRm — DTFR 設定レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス <DMA_base> + 0430_H + 40_H × チャンネル番号 m (m = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	REQSEL[6:0]							REQEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.33 DTFRm レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ~ 1	REQSEL[6:0]	ハードウェア DMA 転送要因選択 128 種類のハードウェア DMA 転送要因の中から 1 つをハードウェア DMA 転送要求として選択します。 000_0000 : DMACTRG[0] 入力を選択 ~ 111_1111 : DMACTRG[127] 入力を選択
0	REQEN	ハードウェア DMA 転送要因選択有効 ハードウェア DMA 転送要因選択を有効にします。 0 : ハードウェア DMA 転送要因選択無効 1 : ハードウェア DMA 転送要因選択有効 本ビットが 0 の場合、DTFRm.REQSEL[6:0] ビットで選択したハードウェア DMA 転送要因がアクティブになってもハードウェア DMA 転送要求として認識せずハードウェア DMA 転送要求は発生しません。

8.9.2.13 DTFRRQm — DTFR 転送要求ステータスレジスタ

アクセス 32ビット単位でリードのみ可能です。

アドレス <DMA_base> + 0434_H + 40_H × チャンネル番号 m (m = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8.34 DTFRRQm レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	DRQ	<p>ハードウェア DMA 転送要求状態 ハードウェア DMA 転送要求がある、または保持していることを示します。</p> <ul style="list-style-type: none"> ハードウェア DMA 転送要求を保持しているかどうかを示します。DMAC から DMA 転送要求受け付け信号がアサートされると自動的にクリアされます。ユーザは DTFRRQCm.DRQC ビットに 1 を書き込むことで本ビットをクリアすることができます。 <p>本ビットは外部からのハードウェア DMA 転送要求があると、DTFRm.REQEN ビットの状態に関わらず変化します。 0 : ハードウェア DMA 転送要求なし 1 : ハードウェア DMA 転送要求あり</p>

8.9.2.14 DTFRRQCm — DTFR 転送要求クリアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス <DMA_base> + 0438_H + 40_H × チャンネル番号 m (m = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 8.35 DTFRRQCm レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DRQC	ハードウェア DMA 転送要求クリア ユーザは本ビットに 1 を書き込むことで DTFRRQm.DRQ ビットをクリアすることができます。 読み出すと常に 0 が読み出されます。

第9章 リセット

9.1 概要

CPU コアや周辺機能およびそれに付随するレジスタを初期化するため、複数のシステムリセット機能が用意されています。

次の要因によってリセットが起こります。

- 外部リセット ($\overline{\text{RESET}}$)
- パワーオンクリア (POCRES)
- ウォッチドッグタイマリセット (WDTA0RES および WDTA1RES)
- クロックモニタリセット ($\overline{\text{CLMA0RES}}$, $\overline{\text{CLMA1RES}}$, $\overline{\text{CLMA2RES}}$)
- 低電圧検出リセット ($\overline{\text{LVIRES}}$)
- ソフトウェアリセット (SWRES)
- デバッガリセット ($\overline{\text{DBRES}}$)
- コアボルテージモニタリセット ($\overline{\text{CVMRES}}$)
- DeepSTOP モードによるリセット

9.1.1 リセット要因

リテンション RAM 書き込み中に、パワーオンクリアリセット (POCRES)、コアボルテージモニタリセット (CVMRES)、およびクロックモニタリセット (CLMA0RES, CLMA1RES, CLMA2RES) が発生した場合は、リテンション RAM のデータは保持されません。

リテンション RAM 書き込み中に上記以外のリセット要因が発生した場合については、リテンション RAM のデータは保持されます。また、このとき書き込み中であったアドレスのデータは、書き換え前か後の値になります。

リセットレベルとリセット要因を次に示します。

異なる階層のリセットレベルに各種リセット要因が割り当てられています。

表 9.1 リセット要因およびリセット対象

リセットレベル	リセット要因	クロックジェネレータ (PLL を除く) / リアルタイムクロック / CVM / LVI	Always-On エリア モジュール ^{注1}	Isolated エリア モジュール ^{注2}
1	パワーオンクリア (POCRES) デバッガリセット (DBRES)	リセット	リセット	リセット
2	外部リセット (RESET) ウォッチドッグタイマリセット (WDTA0RES, WDTA1RES) クロックモニタリセット (CLMA0RES, CLMA1RES, CLMA2RES) コアボルテージモニタリセット (CVMRES) 低電圧検出リセット (LVIREs) ソフトウェアリセット (SWRES)	リセット非対象 ^{注3}	リセット	リセット
3	DeepSTOP モードによるリセット	リセット非対象	リセット非対象	リセット

注 1. クロックジェネレータ/リアルタイムクロック/CVM/LVI を除きます。

注 2. PLL を含みます。

注 3. クロックモニタリセットでは、クロックモニタ対象の発振回路関連レジスタが初期化されます。

リセットレベル 1：マイクロコントローラ全体を初期化します。

リセットレベル 2：発振器の発振安定時間をなくしたノーマル動作モードへの迅速な復帰のために、クロックジェネレータ、リアルタイムクロックを除いたマイクロコントローラ全領域を初期化します。

リセットレベル 3：DeepSTOP モードにより、全 Isolated エリア (ISO エリア) を初期化します。

9.1.2 リセットコントローラの冗長性

本マイクロコントローラのリセットコントローラは冗長構成をとっており、二重化されたリセット生成回路を搭載しています。これにより、片方のリセット生成回路が故障してもリセット対象領域の初期化を確実に実行できます。

リセットコントローラの構成図について次に示します。

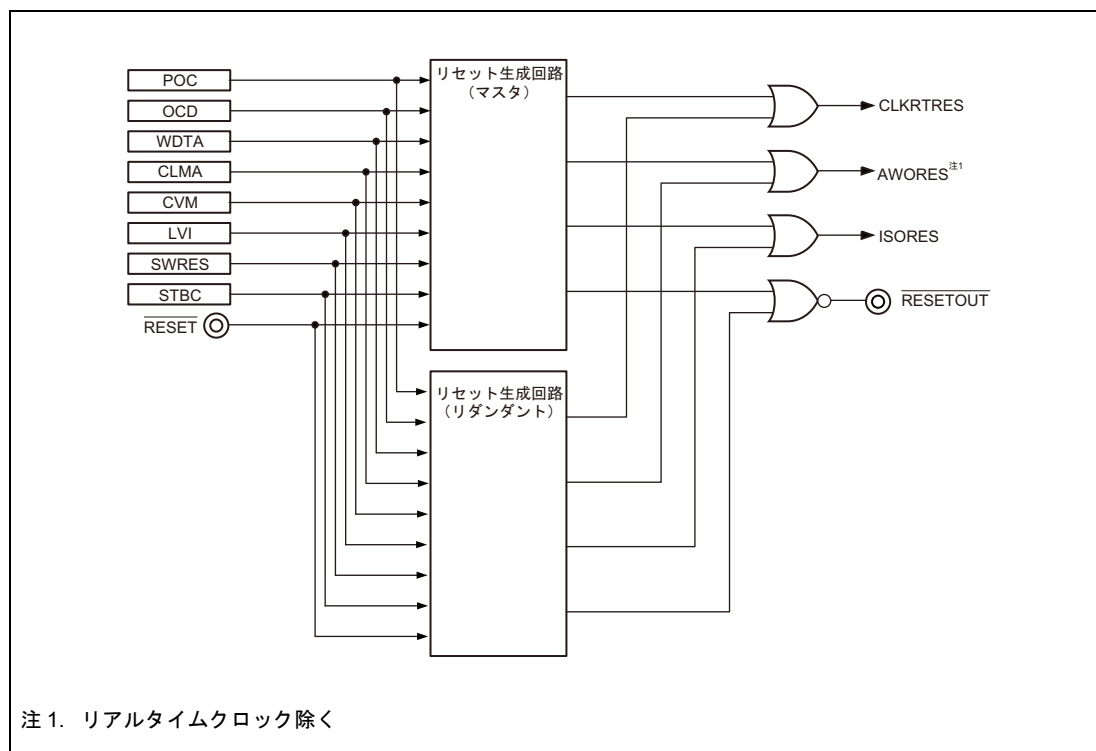


図 9.1 リセットコントローラの冗長性

各リセット要因発生時、2つのリセット生成回路に同一のリセット要因信号が入力されます。

2つのリセット生成回路は各要因に応じて、Always-On エリア (AWO エリア) リセット信号 (AWORES)、Isolated エリア (ISO エリア) リセット信号 (ISORES)、クロックジェネレータ/リアルタイムクロックリセット信号 (CLKRTRES) および $\overline{\text{RESETOUT}}$ 信号を出力します。

2つのリセット生成回路から出力された信号を論理和 (OR) をとり、AWORES 信号、ISORES 信号、CLKRTRES 信号および $\overline{\text{RESETOUT}}$ 信号を生成することにより、片方のリセット生成回路が故障した場合でも正常にリセット信号を発生します。

各リセット生成回路のリセット要因レジスタを読み出し、データを比較することにより、リセット生成回路が正常に動作しているかを確認することが可能です。

9.1.3 リセット出力 ($\overline{\text{RESETOUT}}$)

リセットレベル1または2のリセット要因が発生した場合、リセット出力 ($\overline{\text{RESETOUT}}$) が外部に出力されます。リセット出力は、マイクロコントローラ内部のリセット生成と同時に外部デバイスをリセットするために使用できます。

詳しくは、「**2.11.1.1 P8_6 : $\overline{\text{RESETOUT}}$** 」を参照してください。

9.1.4 リセットフラグ

リセット要因を識別するため、リセット要因ごとのフラグを持つレジスタが2つ用意されています。リセットコントローラの主な構成要素を「**図9.2 リセットコントローラのブロック図**」に示します。

9.1.5 クロック供給

リセットコントローラのカロック供給を以下の表に示します。

表 9.2 クロック供給

ユニット名	ユニットカロック名	供給カロック名
リセット	レジスタアクセスカロック	CPUCLK4

9.2 構成

9.2.1 ブロック図

リセットコントローラのブロック図を次に示します。

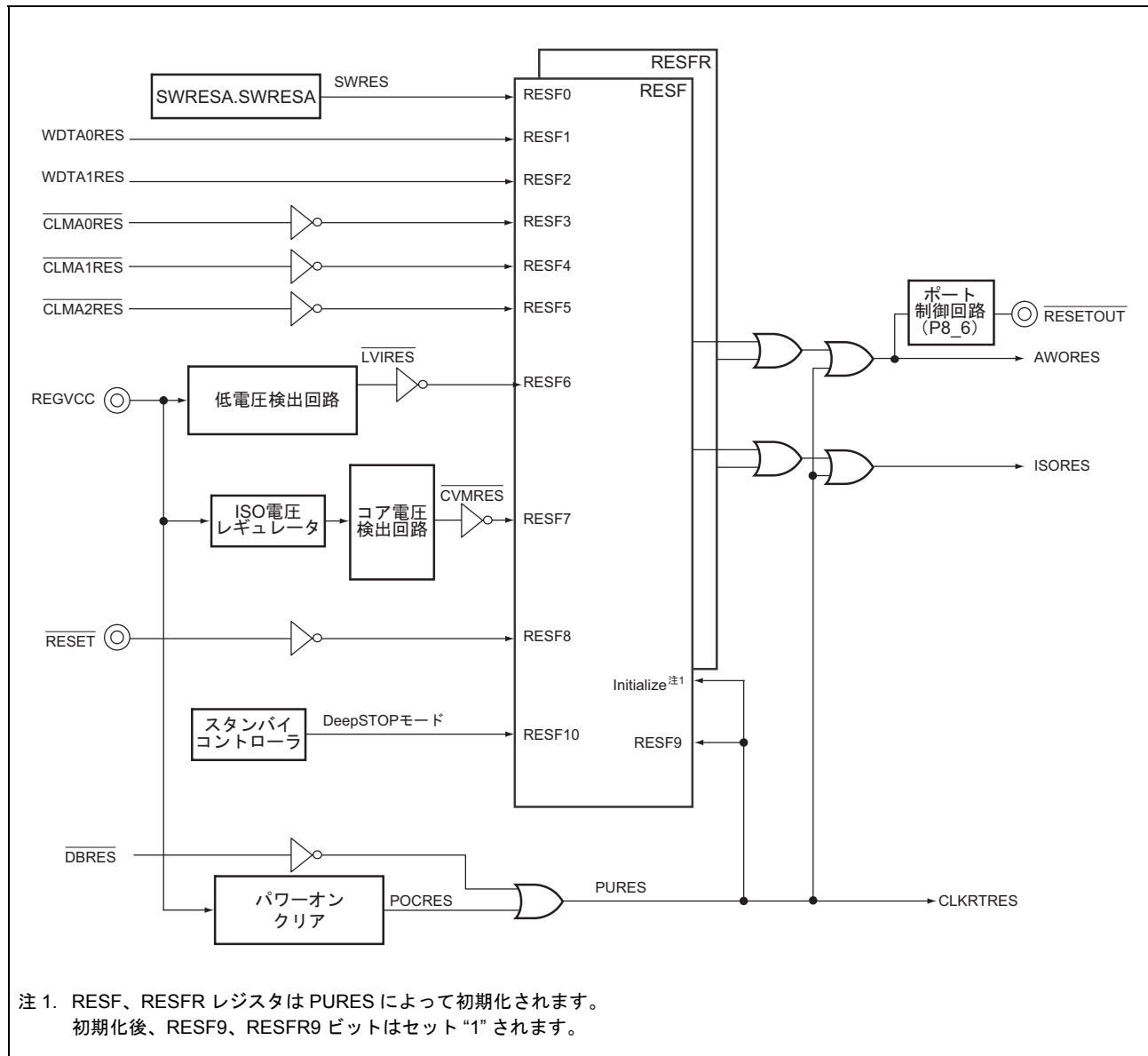


図 9.2 リセットコントローラのブロック図

(1) リセット信号

リセットコントローラは、各種リセット要因からのリセット信号に対して、次の3種類のリセット信号の発生を制御します。

- Always-On エリア (AWO エリア) リセット (AWORES)
AWORES は DeepSTOP モード遷移時を除くすべてのリセット要因によって発生します。
AWORES はクロック発生回路、リアルタイムクロック、コアボルテージモニタおよび低電圧検出回路を除く AWO エリアのモジュールすべてをリセットします。
- Isolated エリア (ISO エリア) リセット (ISORES)
ISORES はすべてのリセット要因によって発生します。
ISORES は Isolated エリア (ISO エリア) のモジュールすべてをリセットします (PLL を含む)。
- CLKRTRES
CLKRTRES はパワーオンクリアおよびデバッグリセット要因によって発生します。
CLKRTRES はクロック発生回路 (PLL を除く) およびリアルタイムクロックをリセットします。

パワーオンクリアおよびデバッグリセット要因によるリセットをパワーアップリセット (PURES) と称します。

AWORES 発生時はそれまでに動作していた PLL を除くクロック発生回路 (LS IntOSC、HS IntOSC、MainOSC、SubOSC) は、動作を継続します。また、CLMA0RES 発生時は CLMA0 監視対象の HS IntOSC がリセットされ、CLMA1RES 発生時は CLMA1 監視対象の MainOSC がリセットされます。

PURES によりクロック発生回路は初期化されます。リセットから復帰した後にクロック発生回路を再起動してください。

CPU サブシステムに対する Isolated エリア (ISO エリア) リセット (ISORES) を CPU リセットとします。

(2) リセットフラグ

リセット要因レジスタ (RESF)、リダンダントリセット要因レジスタ (RESFR) は各リセット要因のフラグを保持します。あるリセット要因がアクティブになると、対応するフラグがセットされます。

リセットフラグは、RESF9、RESFR9 を除いてパワーアップリセット (PURES) で初期化されます (RESF9、RESFR9 ビットは、初期化後セット“1”されます)。また、ソフトウェアによって全ビットをクリアできます。

詳細は「9.1.4 リセットフラグ」を参照してください。

(3) 内蔵モジュールリセット

(a) ウォッチドッグタイマリセット

ウォッチドッグタイマ 0, 1 は WDTA0RES と WDTA1RES の 2 つのリセットを発生させることができます。

詳細は「**9.4.6 ウォッチドッグタイマ (WDTA) リセット**」を参照してください。

(b) クロックモニタリセット

クロックモニタは CLMA0RES, CLMA1RES, CLMA2RES の 3 種類のリセットを発生させることができます。

詳細は「**9.4.8 クロックモニタ (CLMA) リセット**」を参照してください。

(c) デバッガリセット

デバッガからのコマンドによりリセットが発生します。このリセット発生にともない、パワーアップリセット PURES が発生します。詳細は、「**9.4.9 デバッガリセット**」を参照してください。

(4) ソフトウェアコントロールリセット (SWRES)

SWRES ソフトウェアリセットはソフトウェアリセットレジスタ SWRESA を設定して発生させることができます。

詳細は「**9.4.7 ソフトウェアリセット**」を参照してください。

(5) リセット出力信号

リセット中およびリセット解除後、P8_6 端子は RESETOUT 機能としてロウレベルを出力します。詳細は「**2.11.1.1 P8_6 : RESETOUT**」を参照してください。

(6) 電源監視

以下の電源検出によって外部電源 REGVCC とコア電圧のレベルを監視します。

(a) 低電圧検出

低電圧検出回路 LVI は、REGVCC の電圧レベルがある特定のレベルを下回った場合、LVIRES リセットを発生させます。電圧レベルは調整可能で、また LVIRES はマスクすることができます。

詳細は「9.4.3 低電圧検出回路 (LVI) リセット」を参照してください。

(b) パワーオンクリア

パワーオンクリア回路 (POC) は電源電圧 REGVCC と内蔵基準電圧を常に比較しています。これにより、電源電圧が特定のレベル以下の場合にリセットを発生させます。

詳細は「9.4.2 パワーオンクリア (POC) リセット」を参照してください。

(c) コア電圧検出

CVM がコア電圧の異常を検出した時にリセットを発生することができます (オプションバイトで出力/未出力を設定できます)。

詳細は「9.4.4 コアボルテージモニタ (CVM) リセット」を参照してください。

(7) デバッグモード時のリセット要因のマスク

デバッグ中は以下のリセット要因をマスクすることが可能です。

表 9.3 デバッグ中のマスク可能なリセット要因

リセット要因	マスクの可/不可
パワーオンクリア (POCRES)	×
デバッグリセット (DBRES)	×
外部リセット (RESET)	○
低電圧検出リセット (LVIRES)	○
クロックモニタリセット (CLMA0RES、CLMA1RES、CLMA2RES)	○
ウォッチドッグタイマリセット (WDTA0RES、WDTA1RES)	○
コアボルテージモニタリセット (CVMRES)	○
ソフトウェアリセット (SWRES)	○
DeepSTOP モードによるリセット	×

9.3 レジスタ

この節では、リセットコントローラのすべてのレジスタについて説明します。

9.3.1 リセットコントローラレジスタ概要

リセットコントローラは、次のレジスタで制御、動作します。

表 9.4 リセットコントローラレジスタ一覧

モジュール名	レジスタ名	略号	アドレス
RESCTL	リセットフラグレジスタ		
	リセット要因レジスタ	RESF	FFF8 0760 _H
	リセット要因クリアレジスタ	RESFC	FFF8 0768 _H
	リダンダントリセット要因レジスタ	RESFR	FFF8 0860 _H
	リダンダントリセット要因クリアレジスタ	RESFCR	FFF8 0868 _H
	ソフトウェアリセット制御レジスタ		
	ソフトウェアリセットレジスタ	SWRESA	FFF8 0A04 _H
	Cyclic RUN モードリセットベクタアドレスレジスタ		
	Cyclic RUN モード RBASE レジスタ	CYCRBASE	FFF8 3600 _H

備 考

1. LVI 関連、RAM 保持関連、CVM 関連レジスタについては「**第 11 章 電源電圧モニタ**」を参照してください。
2. 保護レジスタについては「**第 5 章 書き込み保護レジスタ**」を参照してください。

9.3.2 リセットフラグレジスタの詳細

9.3.2.1 RESF — リセット要因レジスタ

前回のパワーオンクリアリセット後に発生したリセットの種類を保持しています。また、このレジスタはパワーアップリセット PURES によって初期化されます。

各リセット条件に応じて、このレジスタ内の対応するフラグがセットされます。たとえば、ウォッチドッグタイマリセット WDTA0RES が発生したのちにクロックモニタリセット CLMA0RES が発生した場合、このレジスタの読み出し値は 0000 000A_H になります。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 0760_H

リセット後の値 0000 0200_H / 0000 0300_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	RESF10	RESF9	RESF8	RESF7	RESF6	RESF5	RESF4	RESF3	RESF2	RESF1	RESF0
リセット後の値	0	0	0	0	0	0	1	1/0 ^{注1}	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1. 詳細は「[図 9.4 Flash シーケンス完了前に RESET が解除された場合](#)」を参照してください。

表 9.5 RESF レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。
10	RESF10	DeepSTOP モードによるリセットフラグ 0: リセットが発生していない 1: リセットが発生した
9	RESF9	パワーアップリセットフラグ 0: リセットが発生していない 1: リセットが発生した
8	RESF8	外部リセットフラグ 0: リセットが発生していない 1: リセットが発生した
7	RESF7	CVM リセットフラグ 0: リセットが発生していない 1: リセットが発生した
6	RESF6	LVI リセットフラグ 0: リセットが発生していない 1: リセットが発生した
5	RESF5	CLMA2 リセットフラグ 0: リセットが発生していない 1: リセットが発生した
4	RESF4	CLMA1 リセットフラグ 0: リセットが発生していない 1: リセットが発生した
3	RESF3	CLMA0 リセットフラグ 0: リセットが発生していない 1: リセットが発生した

表 9.5 RESF レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	RESF2	WDTA1 リセットフラグ 0: リセットが発生していない 1: リセットが発生した
1	RESF1	WDTA0 リセットフラグ 0: リセットが発生していない 1: リセットが発生した
0	RESF0	ソフトウェアリセットフラグ 0: リセットが発生していない 1: リセットが発生した

9.3.2.2 RESFC — リセット要因クリアレジスタ

RESF レジスタのリセットフラグをクリアします。

アクセス 32ビット単位でライトのみ可能です。

アドレス FFF8 0768_H

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット後の値	—	—	—	—	—	RESFC 10	RESFC 9	RESFC 8	RESFC 7	RESFC 6	RESFC 5	RESFC 4	RESFC 3	RESFC 2	RESFC 1	RESFC 0
R/W	R	R	R	R	R	W	W	W	W	W	W	W	W	W	W	W

表 9.6 RESFC レジスタの内容

ビット位置	ビット名	機能
31 ~ 11	予約ビット	ライトする場合は“0”を書いてください。
10	RESFC10	DeepSTOP モードによるリセットフラグクリア 0: フラグクリアしない 1: フラグクリアする
9	RESFC9	パワーアップリセットフラグクリア 0: フラグクリアしない 1: フラグクリアする
8	RESFC8	外部リセットフラグクリア 0: フラグクリアしない 1: フラグクリアする
7	RESFC7	CVM リセットフラグクリア 0: フラグクリアしない 1: フラグクリアする
6	RESFC6	LVI リセットフラグクリア 0: フラグクリアしない 1: フラグクリアする
5	RESFC5	CLMA2 リセットフラグクリア 0: フラグクリアしない 1: フラグクリアする
4	RESFC4	CLMA1 リセットフラグクリア 0: フラグクリアしない 1: フラグクリアする
3	RESFC3	CLMA0 リセットフラグクリア 0: フラグクリアしない 1: フラグクリアする
2	RESFC2	WDTA1 リセットフラグクリア 0: フラグクリアしない 1: フラグクリアする
1	RESFC1	WDTA0 リセットフラグクリア 0: フラグクリアしない 1: フラグクリアする
0	RESFC0	ソフトウェアリセットフラグクリア 0: フラグクリアしない 1: フラグクリアする

9.3.2.3 RESFR — リダンダントリセット要因レジスタ

リセット要因レジスタを2重化したものです。このレジスタはパワーアップリセット PURES によって初期化されます。

リセット要因レジスタの各ビットのセット条件に応じて同じビットがセットされます。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 0860_H

リセット後の値 0000 0200_H / 0000 0300_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	RESFR 10	RESFR 9	RESFR 8	RESFR 7	RESFR 6	RESFR 5	RESFR 4	RESFR 3	RESFR 2	RESFR 1	RESFR 0
リセット後の値	0	0	0	0	0	0	1	1/0 ^{注1}	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1. 詳細は「**図 9.4 Flash シーケンス完了前に RESET が解除された場合**」を参照してください。

表 9.7 RESFR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。
10	RESFR10	DeepSTOP モードによるリセットフラグ 0: リセットが発生していない 1: リセットが発生した
9	RESFR9	パワーアップリセットフラグ 0: リセットが発生していない 1: リセットが発生した
8	RESFR8	外部リセットフラグ 0: リセットが発生していない 1: リセットが発生した
7	RESFR7	CVM リセットフラグ 0: リセットが発生していない 1: リセットが発生した
6	RESFR6	LVI リセットフラグ 0: リセットが発生していない 1: リセットが発生した
5	RESFR5	CLMA2 リセットフラグクリア 0: リセットが発生していない 1: リセットが発生した
4	RESFR4	CLMA1 リセットフラグ 0: リセットが発生していない 1: リセットが発生した
3	RESFR3	CLMA0 リセットフラグ 0: リセットが発生していない 1: リセットが発生した

表 9.7 RESFR レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	RESFR2	WDTA1 リセットフラグ 0: リセットが発生していない 1: リセットが発生した
1	RESFR1	WDTA0 リセットフラグ 0: リセットが発生していない 1: リセットが発生した
0	RESFR0	ソフトウェアリセットフラグ 0: リセットが発生していない 1: リセットが発生した

9.3.2.4 RESFCR — リダンダントリセット要因クリアレジスタ

RESFR レジスタのリセットフラグをクリアします

アクセス 32ビット単位でライトのみ可能です。

アドレス FFF8 0868_H

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット後の値	—	—	—	—	—	RESF CR10	RESF CR9	RESF CR8	RESF CR7	RESF CR6	RESF CR5	RESF CR4	RESF CR3	RESF CR2	RESF CR1	RESF CR0
R/W	R	R	R	R	R	W	W	W	W	W	W	W	W	W	W	W

表 9.8 RESFCR レジスタの内容

ビット位置	ビット名	機能
31 ~ 11	予約ビット	ライトする場合は“0”を書いてください。
10	RESFCR10	DeepSTOP モードによるリセットフラグクリア 0: フラグクリアしない 1: フラグクリアする
9	RESFCR9	パワーアップリセットフラグクリア 0: フラグクリアしない 1: フラグクリアする
8	RESFCR8	外部リセットフラグクリア 0: フラグクリアしない 1: フラグクリアする
7	RESFCR7	CVM リセットフラグクリア 0: フラグクリアしない 1: フラグクリアする
6	RESFCR6	LVI リセットフラグクリア 0: フラグクリアしない 1: フラグクリアする
5	RESFCR5	CLMA2 リセットフラグクリア 0: フラグクリアしない 1: フラグクリアする
4	RESFCR4	CLMA1 リセットフラグクリア 0: フラグクリアしない 1: フラグクリアする
3	RESFCR3	CLMA0 リセットフラグクリア 0: フラグクリアしない 1: フラグクリアする
2	RESFCR2	WDTA1 リセットフラグクリア 0: フラグクリアしない 1: フラグクリアする
1	RESFCR1	WDTA0 リセットフラグクリア 0: フラグクリアしない 1: フラグクリアする
0	RESFCR0	ソフトウェアリセットフラグクリア 0: フラグクリアしない 1: フラグクリアする

9.3.3 ソフトウェアリセット制御レジスタの詳細

9.3.3.1 SWRESA — ソフトウェアリセットレジスタ

ソフトウェアリセット SWRES を発生させます。このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第5章 書き込み保護レジスタ**」を参照してください。

アクセス 32ビット単位でライトのみ可能です。

アドレス FFF8 0A04_H

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SWRESA
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 9.9 SWRESA レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	ライトする場合は“0”を書いてください。
0	SWRESA	ソフトウェアリセットトリガ 0: 発生しない 1: 発生する

9.3.4 Cyclic RUN モードリセットベクタアドレスレジスタの詳細

9.3.4.1 CYCRBASE — Cyclic RUN モード RBASE レジスタ

CPU が DeepSTOP モードから Cyclic RUN モードに復帰する際の、CPU のリセットベクタアドレス (RBASE) を指定します。このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第5章 書き込み保護レジスタ**」を参照してください。

このレジスタは、マイクロコントローラが RUN モードのときだけ更新できます。Cyclic RUN モードでは値を変更しないでください。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因 (AWORES) によって初期化されます。

アクセス 32 ビット単位でリード/ライトのみ可能です。

アドレス FFF8 3600_H

リセット後の値 FEBF 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CYCRBASE[31:16]															
リセット後の値	1	1	1	1	1	1	1	0	1	0	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CYCRBASE[15:9]								—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 9.10 CYCRBASE レジスタの内容

ビット位置	ビット名	機能
31 ~ 9	CYCRBASE	Cyclic RUN モードのリセットベクタベースアドレス (RBASE) Cyclic RUN モードの RBASE 値を指定します。 デフォルト値はリテンション RAM の開始アドレスに設定されています。
8 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

9.4 機能説明

9.4.1 リセットフラグ

リセット要因レジスタ (RESF)、リダンダントリセット要因レジスタ (RESFR) は、各リセット要因に対するリセットフラグを提供します。

リセットが発生すると、対応するフラグがセットされます。これにより、リセット要因を判断することができます。

RESF、RESFR は、パワーアップリセット PURES (POCRES または $\overline{\text{DBRES}}$) によって初期化されます (RESF9、RESFR9 ビットは初期化後セット“1”されます)。また、RESF、RESFR 内の各フラグはリセット要因クリアレジスタ (RESFC)、リダンダントリセット要因クリアレジスタ (RESFRC) を用いてクリアすることができます。

各リセット要因は、ほかのリセット要因とは独立して、対応するフラグのみをセットします。

9.4.2 パワーオンクリア (POC) リセット

パワーオンクリア回路 (POC) は、電源電圧 REGVCC と内蔵基準電圧 V_{POC} を常に比較しています。これにより、電源電圧が特定のレベルを超えている場合にかぎって、マイクロコントローラが動作するようにしています。

REGVCC が内蔵基準電圧を下回った場合 ($\text{REGVCC} < V_{\text{POC}}$)、内蔵リセット信号 POCRES およびパワーアップリセット PURES が発生します。

内蔵基準電圧レベル V_{POC} の仕様についての詳細は、「**第 40 章 電気的特性**」を参照してください。

パワーオンクリアリセットによって、リセット要因レジスタ (RESF)、リダンダントリセット要因レジスタ (RESFR) がクリアされます。RESF9、RESFR9 は初期化後セット“1”されます。

パワーオンクリア機能は、電源電圧がしきい値レベル V_{POC} を超えないかぎり、マイクロコントローラのリセット状態を保持します。

POCRES のタイミングを次の図に示します。

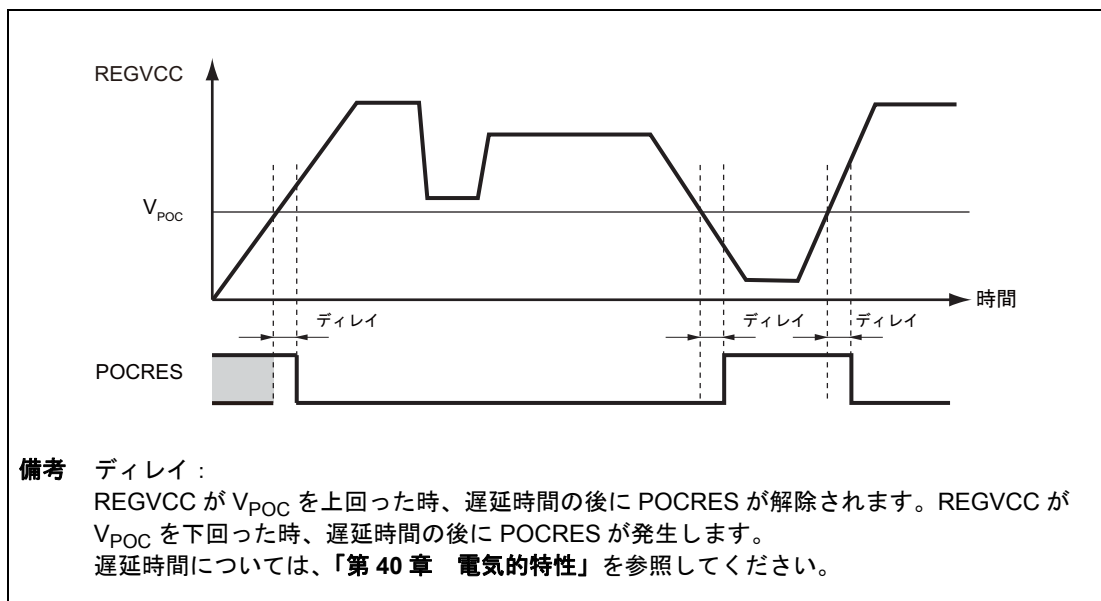


図 9.3 POC リセットタイミング

(1) パワーオンクリア後の CPU システム起動概略

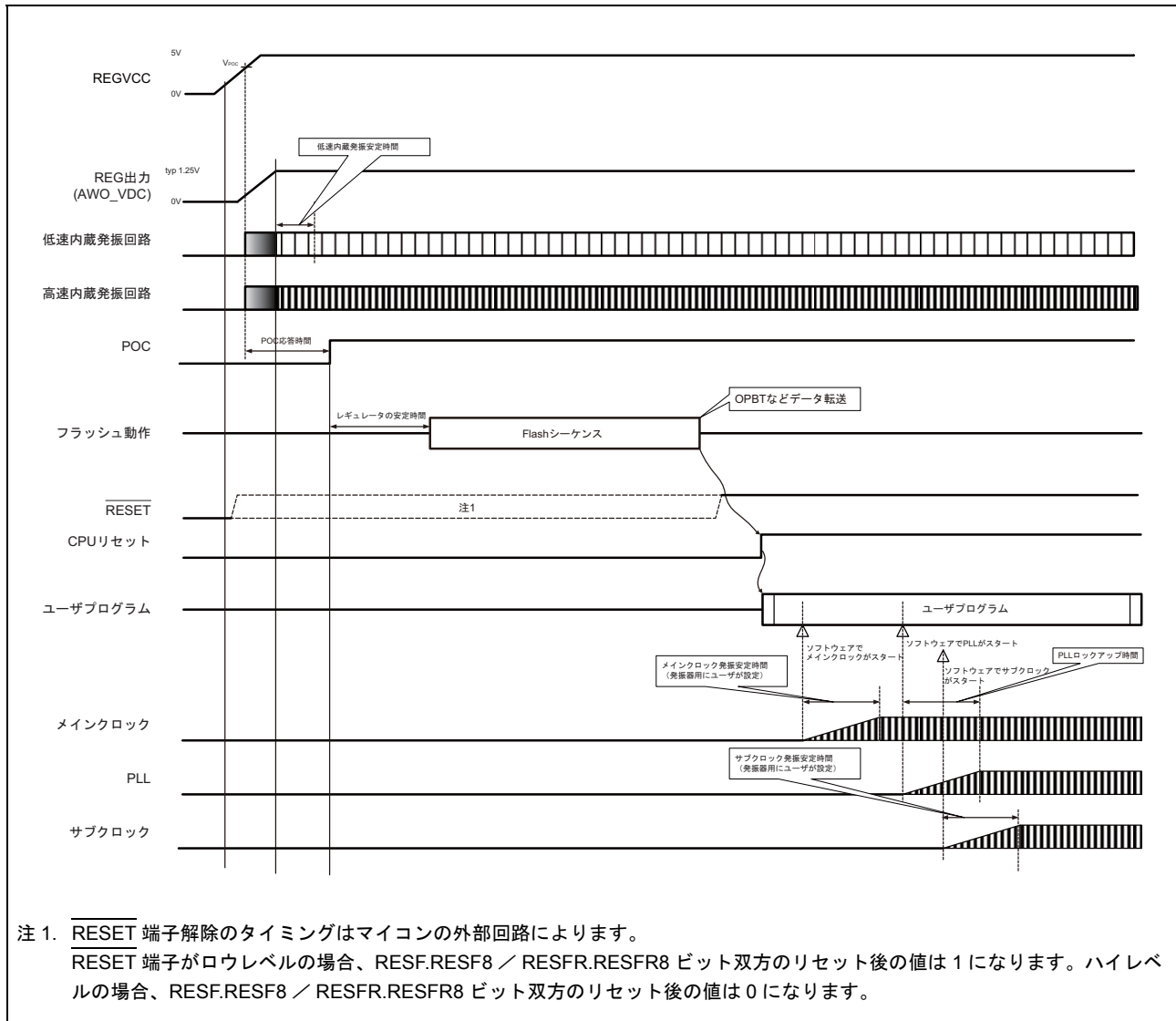


図 9.4 Flash シーケンス完了前に RESET が解除された場合

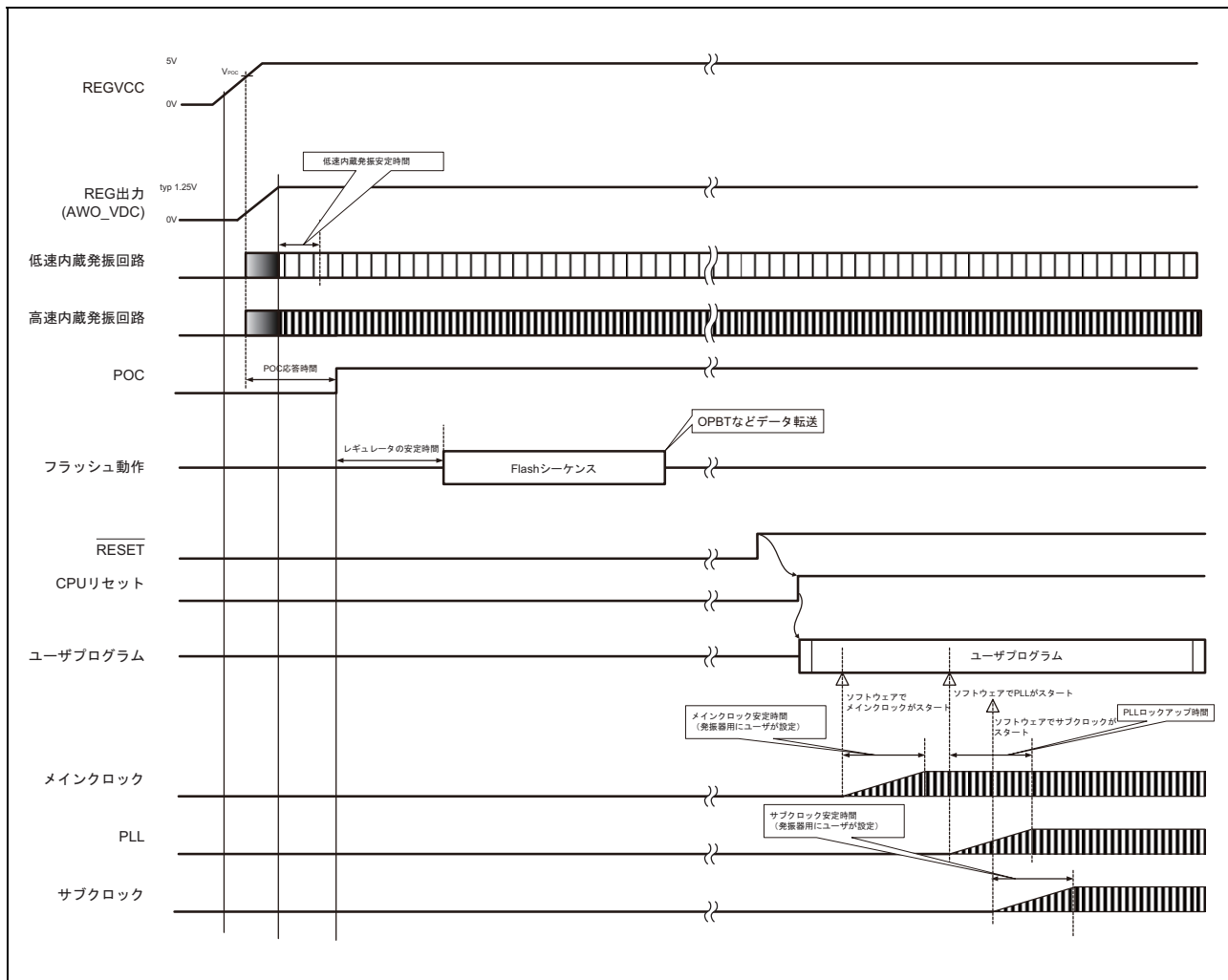


図 9.5 Flash シーケンス完了後に RESET が解除された場合

9.4.3 低電圧検出回路 (LVI) リセット

低電圧検出回路 (LVI) は、電源電圧 REGVCC と LVI 内蔵基準電圧 V_{LVI} を常に比較しています。

LVI の検出電圧設定および LVIRESMK を解除した時に REGVCC が内蔵基準電圧を下回った場合 ($REGVCC < V_{LVI}$)、内蔵リセット信号 \overline{LVIRE} が発生します。

さらに、 \overline{LVIRE} フラグ (RESF.RESF6、RESFR.RESFR6 ビット) がセットされます。その後、REGVCC が V_{LVI} を上回っても RESF.RESF6、RESFR.RESFR6 ビットは自動的にクリアされません。RESF.RESF6、RESFR.RESFR6 ビットは以下によってクリアされます。

- RESFC.RESFC6 ビットを 1 に設定することにより、RESF.RESF6 ビットをクリア
RESFCR.RESFCR6 ビットを 1 に設定することにより、RESFR.RESFR6 ビットをクリア
- パワーアップリセット PURES (POCRES または \overline{DBRES})

LVI 機能の詳細については「**第 11 章 電源電圧モニタ**」を参照してください。

\overline{LVIRE} と RESF.RESF6、RESFR.RESFR6 ビットのタイミングを次の図に示します。

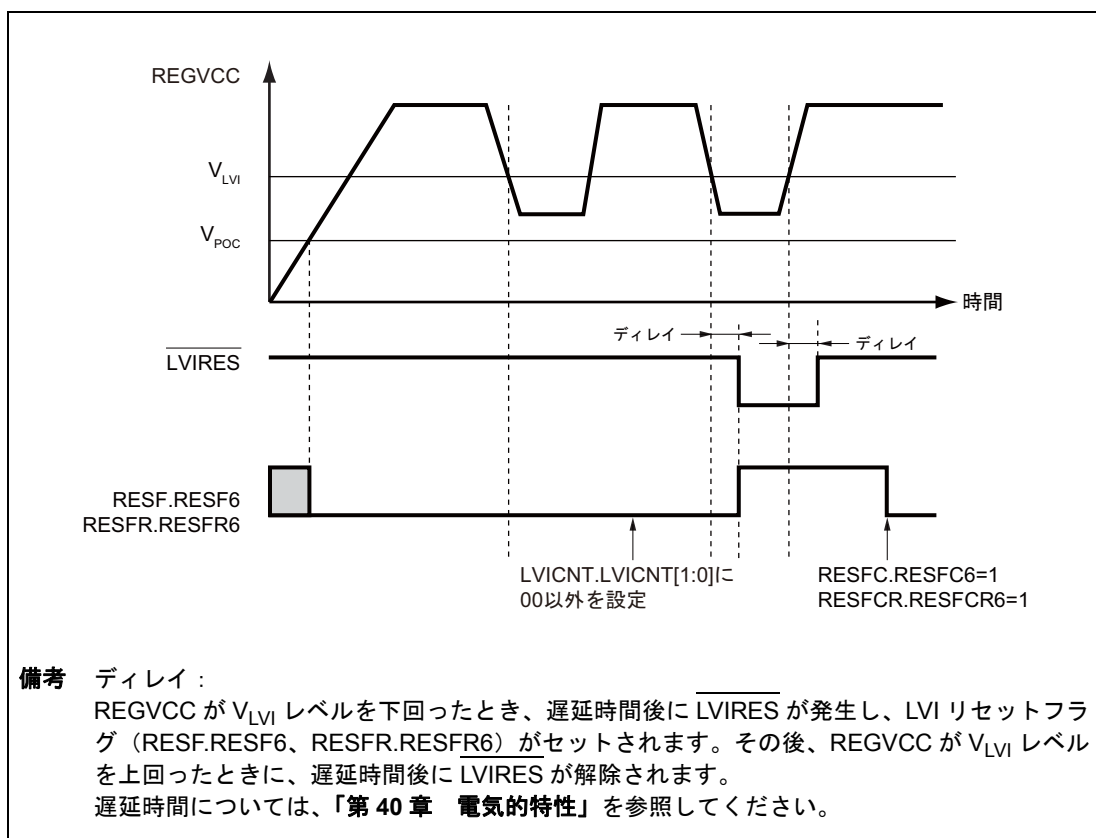


図 9.6 LVI リセットタイミング

9.4.4 コアボルテージモニタ (CVM) リセット

コアボルテージモニタは、マイクロコントローラ内のコア電圧を監視するために使用されます。

CVM 許可時にコア電圧が規定の電圧範囲外になるとリセット $\overline{\text{CVMRES}}$ が発生します。また、 $\overline{\text{CVMRES}}$ フラグ (RESF.RESF7、RESFR.RESFR7) がセットされます。

その後、コア電圧が規定の電圧範囲に戻っても RESF.RESF7、RESFR.RESFR7 ビットは自動的にクリアされません。RESF.RESF7、RESFR.RESFR7 ビットは以下によってクリアされません。

- RESFC.RESFC7 ビットを 1 に設定することにより、RESF.RESF7 ビットをクリア
RESFCR.RESFCR7 ビットを 1 に設定することにより、RESFR.RESFR7 ビットをクリア
- パワーアップリセット PURES (POCRES または $\overline{\text{DBRES}}$)

CVM が異常な高電圧を検出したとき、Isolated エリア (ISO エリア) の電源供給を停止します。一旦高電圧検出の $\overline{\text{CVMRES}}$ が発生したら、マイクロコントローラはリセット状態に留まります。この状態を解除するためには、外部リセット ($\overline{\text{RESET}}$) の入力が必要です。電圧レベルが高電圧検出電圧以下になった後で外部リセット ($\overline{\text{RESET}}$) を解除してください。

CVM 機能の詳細については「第 11 章 電源電圧モニタ」を参照してください。

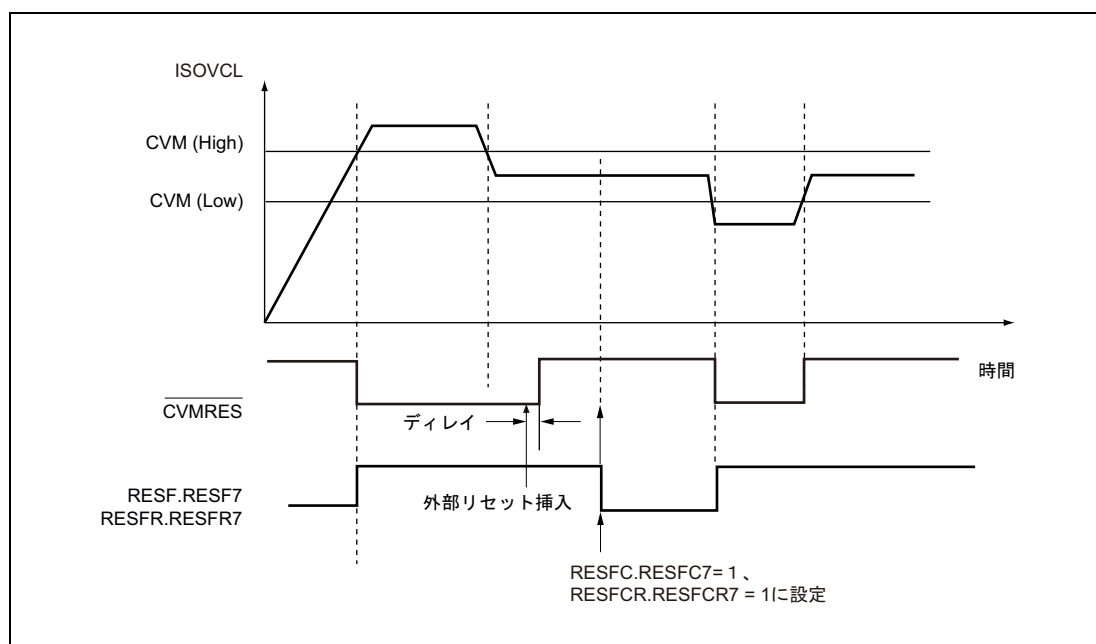


図 9.7 CVM リセットタイミング

9.4.5 外部リセット ($\overline{\text{RESET}}$)

$\overline{\text{RESET}}$ 端子にロウレベル入力が印加されると、リセット処理が行われ、RESF.RESF8、RESFR.RESFR8 ビットがセットされます。

その後 $\overline{\text{RESET}}$ 端子へのロウレベル入力を解除しても RESF.RESF8、RESFR.RESFR8 ビットは自動的にクリアされません。RESF.RESF8、RESFR.RESFR8 ビットは以下によってクリアされます。

- RESFC.RESFC8 ビットを 1 に設定することにより、RESF.RESF8 ビットをクリア
RESFCR.RESFCR8 ビットを 1 に設定することにより、RESFR.RESFR8 ビットをクリア
- パワーアップリセット PURES (POCRES または $\overline{\text{DBRES}}$)

$\overline{\text{RESET}}$ 端子は、ノイズによる不正リセットの発生を防ぐためにアナログノイズフィルタを内蔵しています。

外部リセットにより AWORES および ISORES が発生するタイミングを次の図に示します。この図では、ノイズフィルタの効果も示しています。

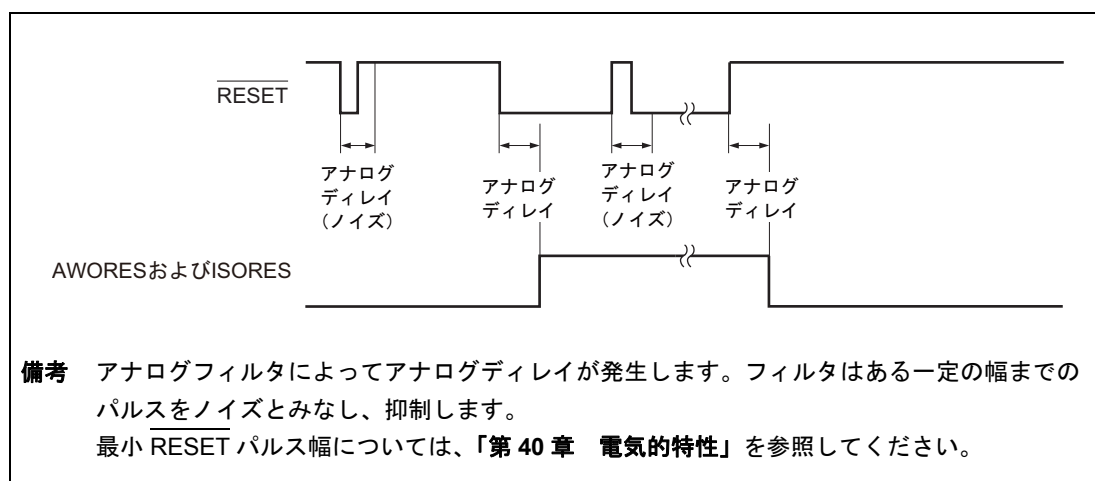


図 9.8 外部リセット ($\overline{\text{RESET}}$)

9.4.6 ウォッチドッグタイマ (WDTA) リセット

ウォッチドッグタイマは、オーバーフロー時間を越えたときにリセットを発生するように設定することができます。ウォッチドッグタイマリセットが発生すると、ウォッチドッグタイマリセットフラグ (WDTA0RES に対しては RESF.RESF1、RESFR.RESFR1 ビット、WDTA1RES に対しては RESF.RESF2、RESFR.RESFR2 ビット) がそれぞれセットされます。

その後、WDTA0RES (WDTA1RES) が解除されても RESF.RESF1、RESFR.RESFR1 ビット (RESF.RESF2、RESFR.RESFR2 ビット) は自動的にクリアされません。RESF.RESF1、RESFR.RESFR1 ビット、RESF.RESF2、RESFR.RESFR2 ビットは以下によってクリアされます。

- WDTA0RES について：
RESFC.RESFC1 ビットを 1 に設定することにより、RESF.RESF1 ビットをクリア
RESFCR.RESFCR1 ビットを 1 に設定することにより、RESFR.RESFR1 ビットをクリア
- WDTA1RES について：
RESFC.RESFC2 ビットを 1 に設定することにより、RESF.RESF2 ビットをクリア
RESFCR.RESFCR2 ビットを 1 に設定することにより、RESFR.RESFR2 ビットをクリア
- パワーアップリセット PURES (POCRES または $\overline{\text{DBRES}}$)

9.4.7 ソフトウェアリセット

SWRESA.SWRESA に 1 を設定することでソフトウェアリセット SWRES を発生させることができます。

SWRES によってリセットフラグ RESF.RESF0、RESFR.RESFR0 ビットがセットされます。RESF.RESF0、RESFR.RESFR0 ビットは自動的にクリアされません。RESF.RESF0、RESFR.RESFR0 ビットは以下によってクリアされます。

- RESFC.RESFC0 ビットを 1 に設定することにより、RESF.RESF0 ビットをクリア
RESFCR.RESFCR0 ビットを 1 に設定することにより、RESFR.RESFR0 ビットをクリア
- パワーアップリセット PURES (POCRES または $\overline{\text{DBRES}}$)

9.4.8 クロックモニタ (CLMA) リセット

クロックモニタは以下のリセット信号を発生させることができます。

- HS IntOSC の周波数異常検出： $\overline{\text{CLMA0RES}}$
- MainOSC の周波数異常検出： $\overline{\text{CLMA1RES}}$
- PLL の周波数異常検出： $\overline{\text{CLMA2RES}}$

クロックモニタが各クロックの周波数異常を検出した時にリセット $\overline{\text{CLMA0RES}}$, $\overline{\text{CLMA1RES}}$, $\overline{\text{CLMA2RES}}$ が発生します。

さらに、 $\overline{\text{CLMA0RES}}$, $\overline{\text{CLMA1RES}}$, $\overline{\text{CLMA2RES}}$ フラグ (RESF.RESF3, RESFR.RESFR3, RESF.RESF4, RESFR.RESFR4, RESF.RESF5, RESFR.RESFR5) がセットされます。

これらのフラグは自動的にクリアされません。各リセットフラグは以下によってクリアされます。

- $\overline{\text{CLMA0RES}}$:
RESFC.RESFC3 ビットを 1 に設定すると、RESF.RESF3 ビットをクリア
RESFCR.RESFCR3 ビットを 1 に設定すると、RESFR.RESFR3 ビットをクリア
- $\overline{\text{CLMA1RES}}$:
RESFC.RESFC4 ビットを 1 に設定すると、RESF.RESF4 ビットをクリア
RESFCR.RESFCR4 ビットを 1 に設定すると、RESFR.RESFR4 ビットをクリア
- $\overline{\text{CLMA2RES}}$:
RESFC.RESFC5 ビットを 1 に設定すると、RESF.RESF5 ビットをクリア
RESFCR.RESFCR5 ビットを 1 に設定すると、RESFR.RESFR5 ビットをクリア
- パワーアップリセット PURES (POCRES または $\overline{\text{DBRES}}$)

9.4.9 デバッガリセット

デバッガのコマンド経由で、デバッガリセット ($\overline{\text{DBRES}}$) が発生します。 $\overline{\text{DBRES}}$ は PURES をアクティブにし、パワーオンクリアリセット POCRES と同様に、次のように動作します。

- クロック発生回路がリセットされ、停止します。クロック発生回路の停止後、クロック発生回路を再起動してください。
- リセット要因レジスタ RESF、リダンダントリセット要因レジスタ RESFR をクリアします (RESF9、RESFR9 ビットは、初期化後セット“1”されます)。

9.4.10 CPU のリセットベクタアドレス

CPU のリセットベクタベースアドレス (RBASE) のデフォルト値は、製品出荷時に 00000000_{H} に設定されています。Cyclic RUN モードでは自動的に、リセットベクタベースアドレスが CYCRBASE レジスタによって指定されたアドレスに切り替わります。RUN モードに復帰すると、リセットベクタベースアドレスは自動的にデフォルト値に戻ります。

RBASE レジスタの詳細については、「第3章 CPU システム」を参照してください。

第10章 電源とパワードメイン

本章では、RH850/F1K の電源とパワードメインについて説明します。

10.1 機能

内部回路は、Always-On エリア (AWO エリア) と Isolated エリア (ISO エリア) の2つの独立したパワードメインに分割されています。

Always-On エリア (AWO エリア) の電源は、すべての動作モードおよびスタンバイモードで常時電源が供給されています。

Isolated エリア (ISO エリア) の電源は、全体の消費電力を低減するためにスタンバイモードの種類に応じて切断することができます。

各々のパワードメインに対して、専用のオンチップ電圧レギュレータが内部供給電圧を生成します。

デバイスの動作には以下の電圧が必要です。

- オンチップ電圧レギュレータ用電源電圧 REGVCC。電圧レギュレータの出力電圧は、各々のパワードメイン内のデジタル回路に供給されます。
- I/O ポート用電源電圧 EVCC。
- A/D コンバータおよび専用の I/O ポート用電源電圧 A0VREF および A1VREF 注1。

注 1. 144 pin、176 pin 製品のみ

10.1.1 電源端子

下の表はすべての電源端子およびその用途を示します。

表 10.1 電源端子

電源	電源端子	電圧供給先
内部回路用電源	REGVCC	<ul style="list-style-type: none"> Always-On エリア (AWO エリア) および Isolated エリア (ISO エリア) のオンチップ電圧レギュレータ ポートグループ IP0^{注2} MainOSC SubOSC^{注2} POC / LVI
	AWOVCL ^{注1}	
	AWOVSS	
	ISOVCL ^{注1}	
	ISOVSS	
I/O ポート用電源	EVCC	RESET, FLMD0 (176 pin 製品) <ul style="list-style-type: none"> ポートグループ JP0、P0、P1、P2、P8、P9、P10、P11、P12、P18、P20
	EVSS	(144 pin 製品) <ul style="list-style-type: none"> ポートグループ JP0、P0、P1、P8、P9、P10、P11、P12、P18、P20 (100 pin 製品) <ul style="list-style-type: none"> ポートグループ JP0、P0、P8、P9、P10、P11
A/D コンバータ用電源	A0VREF	<ul style="list-style-type: none"> ADCA0 のアナログ回路、ポートグループ AP0
	A0VSS	
	A1VREF	(144 pin、176 pin 製品) <ul style="list-style-type: none"> ADCA1 のアナログ回路、ポートグループ AP1
	A1VSS	

備考 各電源の電圧範囲については、「第40章 電気的特性」を参照してください。

注1. 内蔵電圧レギュレータ用安定化容量の接続端子

注2. 144 pin および 176 pin 製品のみ対応

10.1.2 パワードメインのブロック図

下の図は電源回路の概要を示します。

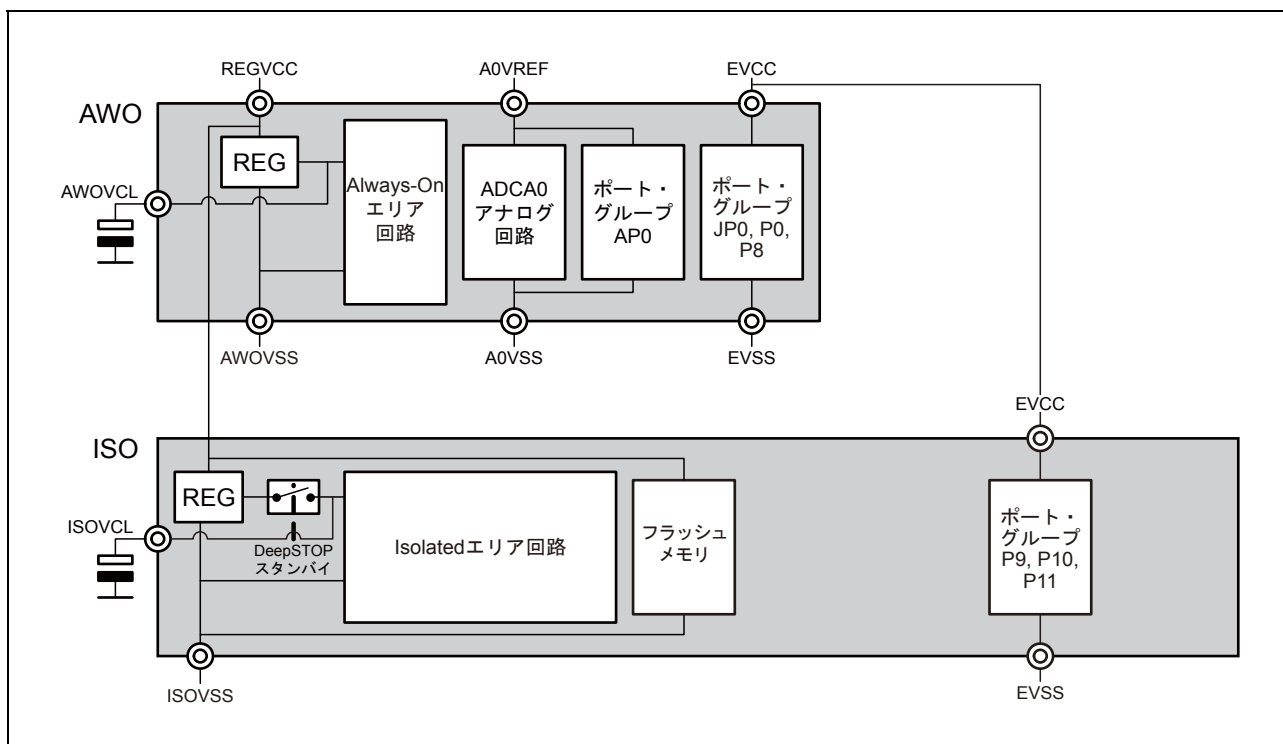


図 10.1 電源回路の概要 (100 ピン)

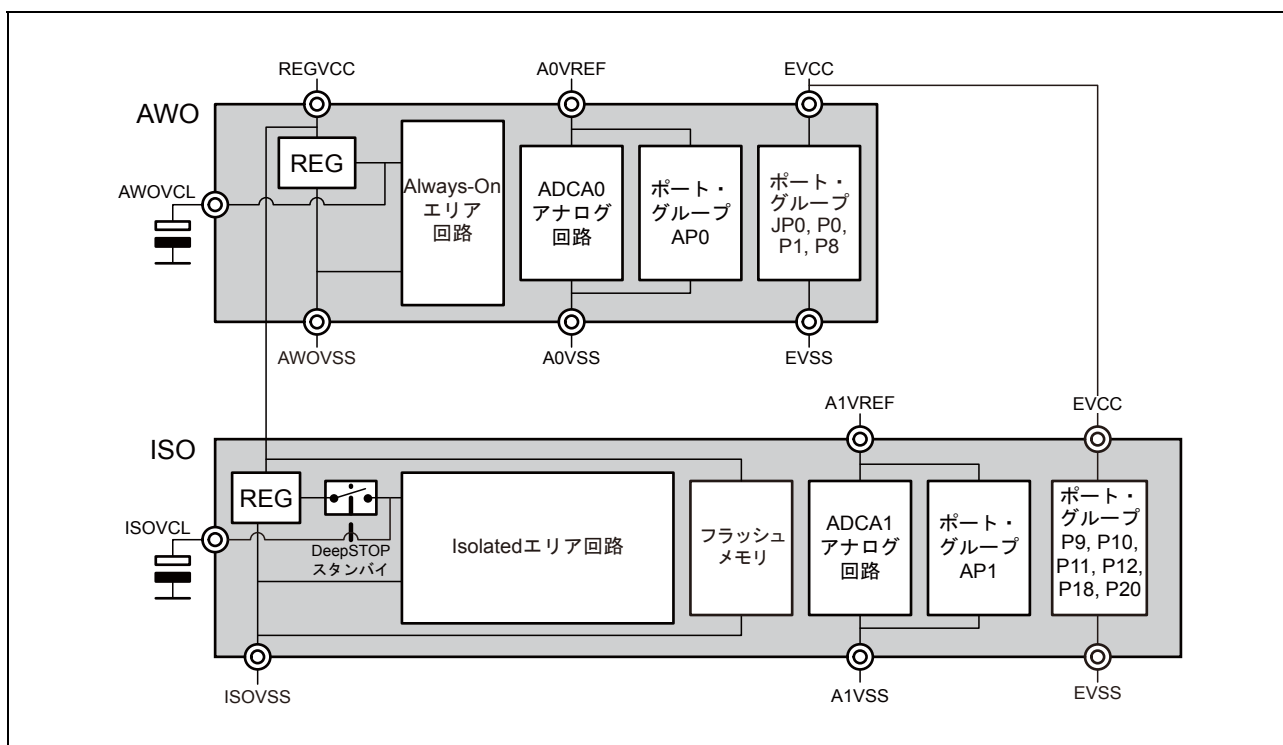


図 10.2 電源回路の概要 (144 ピン)

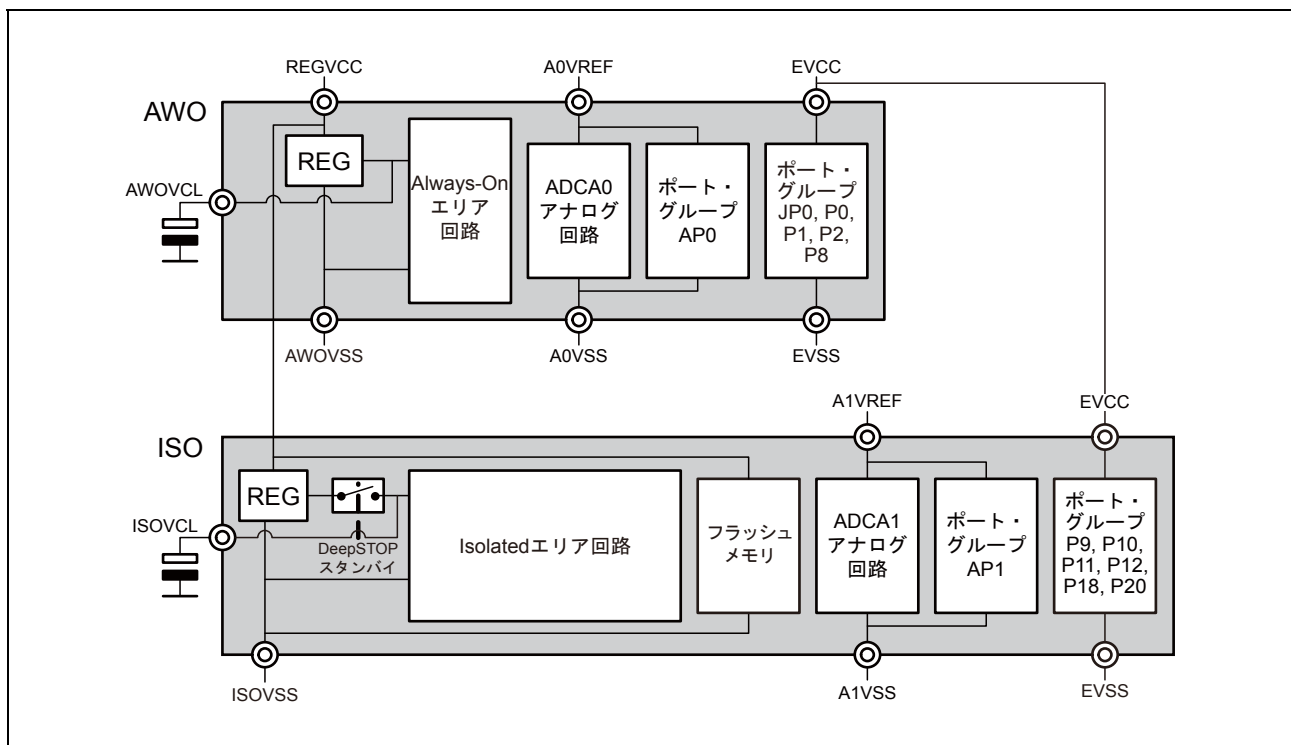


図 10.3 電源回路の概要 (176 ピン)

10.1.3 パワードメインの配置

下の表は、パワードメインで分類されたマイクロコントローラの機能モジュールを示します。

表 10.2 機能モジュールとパワードメイン

パワードメイン	機能
Always-On エリア (AWO エリア)	<ul style="list-style-type: none"> • STBC、リセットコントローラ • リテンション RAM • MainOSC、SubOSC、LS IntOSC、HS IntOSC、CLMA0、CLMA1 • WDTA0、RTCAn、TAUJ0、ADCA0、LPS • ポートグループ JP0、P0、P1、P2、P8、AP0、IP0
Isolated エリア (ISO エリア)	<ul style="list-style-type: none"> • CPU サブシステム • コードフラッシュ、データフラッシュ、ローカル RAM • PLL、CLMA2 • WDTA1、DCRAn、TAUDn、TAUBn、TAUJ1、OSTMn、PWM-Diag、CSIGn、CSIHn、RSCANn、RLIN2m、RLIN3n、RIICn、ADCA1、モータ制御、ENCAn、KRn • ポートグループ P9、P10、P11、P12、P18、P20、AP1

第11章 電源電圧モニタ

本章では、電源電圧モニタ全般について説明します。

最初の節では電源電圧モニタの機能について説明し、それ以降の節でレジスタについて説明します。

本電源電圧モニタは、電源電圧異常を早期に検知・対処することが可能です。しかしながら、すべての異常を検知・対処できるものではありません。

したがって、安全に異常検知・対処を行うには、外部デバイスで以下に示す端子の電圧を監視してください。

- REGVCC
- EVCC
- A0VREF
- A1VREF
- AWOVCL
- ISOVCL

外部デバイスでの電源電圧監視に必要な仕様は、「**40.8 電源特性**」に記載されています。「**40.8 電源特性**」を参照ください。

11.1 概要

11.1.1 機能概要

電源電圧モニタは、デバイスが規定の電源電圧範囲内で動作することを保証するため、複数の外部および内部電源電圧を継続的にモニタします。基準電圧や比較電圧を下回った場合、割り込み要求信号や内部リセット信号を発生します。電源電圧モニタ機能の一覧を以下の表に示します。

表 11.1 電源電圧モニタ機能

機能名	モニタ電圧	電圧を下回ったときに発生する信号
パワーオンクリア (POC)	REGVCC	内部リセット信号
低電圧検出回路 (LVI)	REGVCC	内部リセット信号、割り込み要求信号
コアボルテージモニタ (CVM)	Isolated エリア (ISO エリア) の電圧	内部リセット信号
RAM 保持電圧インジケータ (VLVI)	REGVCC	—

備 考

1. RAM 保持電圧インジケータは RAM 保持電圧を下回ったとき、超低電圧検出フラグ (VLVF) をセットします。
2. 内部のコア電圧モニタ (CVM) が機能的な安全手段として顧客のシステムに使われる場合は、外部の電圧モニタにより Always-On エリア (AWO エリア) の電圧の監視が必要となります。

11.1.2 パワーオンクリア (POC)

POC は外部電源電圧 REGVCC を継続的にモニタします。これにより、マイクロコントローラはパワーオンクリア検出電圧 (V_{POC}) 以上の電源電圧でのみ動作することを保証しています。

REGVCC がパワーオンクリア検出電圧を下回ると ($REGVCC < V_{POC}$)、内部リセット信号 (POCRES) が発生します。

詳しくは、「**9.4.2 パワーオンクリア (POC) リセット**」を参照してください。

11.1.3 低電圧検出回路 (LVI)

LVIは、継続的に外部電源電圧 REGVCC を LVI 基準電圧 V_{LVI} と比較します。

REGVCC が基準電圧を下回ると ($REGVCC < V_{LVI}$)、内部リセット信号または割り込み要求信号のどちらかが生成されます。

11.1.3.1 LVI 基準電圧

LVI 基準電圧 V_{LVI} は、LVICNT.LVICNT[1:0] ビットを設定することによって3種類のレベルから選択できます。

LVICNT.LVICNT[1:0] ビットが 00_B に設定されている場合、LVIは無効です。

基準電圧レベル V_{LVI} の仕様については、「11.2.2.1 LVICNT — LVI 制御レジスタ」を参照してください。

11.1.3.2 LVI リセット (LVIRESET)

LVI の検出電圧が設定され、LVIRESMK が解除された後、REGVCC が基準電圧を下回った場合 ($REGVCC < V_{LVI}$)、内部リセット信号 $\overline{LVIRESET}$ が発生します。

$\overline{LVIRESET}$ 発生時の仕様については「9.4.3 低電圧検出回路 (LVI) リセット」を参照ください。

11.1.3.3 LVI 割り込み (INTLVIL / INTLVIH)

LVI の検出電圧が LVICNT.LVICNT[1:0] に設定され LVICNT.LVIRESMK が 1 にセットされた後、REGVCC が基準電圧を下回った場合 ($REGVCC (MIN) < V_{LVI}$)、LVI 割り込み INTLVIL が発生します。

LVI を割り込み要因として使用する場合は INTLVIL 割り込みのマスク解除する必要があります。INTLVIL 割り込みは、すべてのスタンバイモードからのウェイクアップ要因として使用できます。詳細は「**第14章 スタンバイコントローラ (STBC)**」を参照ください。

LVI の検出電圧が LVICNT.LVICNT[1:0] に設定され LVICNT.LVIRESMK が 1 にセットされた後、REGVCC が基準電圧を上回った場合 ($REGVCC (MIN) > V_{LVI}$)、LVI 割り込み INTLVIH が発生します。

LVI を割り込み要因として使用する場合は INTLVIH 割り込みのマスク解除する必要があります。INTLVIL / INTLVIH のタイミング図を次に示します。

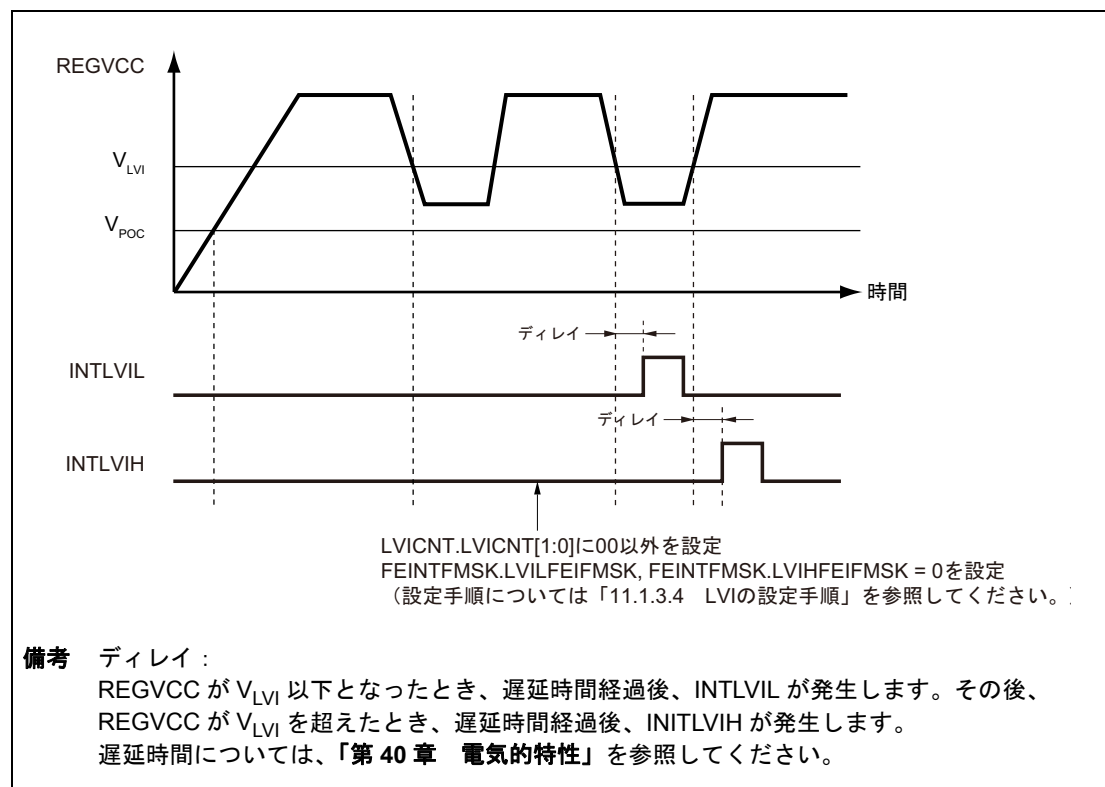


図 11.1 INTLVIL / INTLVIH 発生タイミング

11.1.3.4 LVI の設定手順

以下に LVI の設定手順を示します。

(1) LVI をリセット要因とする場合

- (1) LVI のリセットをマスクします。(LVICNT.LVIRESMK = 1) 注1
- (2) LVI の割り込みをマスクします。
(FEINTFMSK.LVILFEIFMSK = 1, FEINTFMSK.LVIHFEIFMSK = 1)
- (3) 検出電圧を設定/動作許可します。(LVICNT.LVICNT1, 0 設定) 注1
- (4) ソフトウェアにて十分なウェイト時間を挿入します (「第40章 電気的特性」参照)。
- (5) LVI のリセットをマスク解除します。(LVICNT.LVIRESMK = 0) 注1

(2) LVI を割り込み要因 (FEINT) とする場合

- (1) LVI のリセットをマスクします。(LVICNT.LVIRESMK = 1) 注1
- (2) LVI の割り込みをマスクします。
(FEINTFMSK.LVILFEIFMSK = 1, FEINTFMSK.LVIHFEIFMSK = 1)
- (3) 検出電圧を設定/動作許可します。(LVICNT.LVICNT1, 0 設定) 注1
- (4) ソフトウェアにて十分なウェイト時間を挿入します (「第40章 電気的特性」参照)。
- (5) LVI の割り込みをマスク解除します。
(FEINTFMSK.LVILFEIFMSK = 0, FEINTFMSK.LVIHFEIFMSK = 0)

注1. LVICNT レジスタはライト保護レジスタのため、レジスタ保護シーケンスにそって設定を行ってください。(「第5章 書き込み保護レジスタ」参照)

注 意

REGVCC が LVI 検出レベル (V_{LVI}) 近傍で揺れている場合、INTLVIH または INTLVIL 割り込み処理の判断を誤る可能性があります。

例として、INTLVIL 割り込み処理中に、REGVCC が揺れることで INTLVIH と INTLVIL 割り込みが複数回ずつ発生すると、最後に発生した割り込みがどちらかを検出することができません。

これにより、REGVCC (MIN) > V_{LVI} になっているにもかかわらず、最後に INTLVIL 割り込み処理が行われると、ソフトウェアは REGVCC (MIN) < V_{LVI} と誤判断してしまいます。

LVI 検出割り込み処理は、次の LVI 検出が発生する前に完了するようにしてください。また、REGVCC の制御等も考慮してください。

11.1.3.5 LVI へのクロック供給

LVI のクロック供給を以下の表に示します。

表 11.2 LVI へのクロック供給

ユニット名	ユニットクロック名	供給クロック名
LVI	レジスタアクセスクロック	CPUCLK4

11.1.4 コアボルテージモニタ (CVM)

コアボルテージモニタ (Core Voltage Monitor. 以降、CVM と称す) は、マイコン内の Isolated エリア (ISO エリア) の電圧 (以降、コア電圧) を監視するために使われます。

レギュレータ出力電圧が規定の範囲外になると、内部リセット信号 ($\overline{\text{CVMRES}}$) が生成されます。

高電圧異常検知時は、リセットの発生に加えて、Isolated エリア (ISO エリア) の電源遮断をします。

診断モード (DIAG モード) によって、CVM はコア電圧異常検出状態となります。診断モードによって、意図的にコア電圧異常検出状態を作り出すことができ、CVM の異常電圧検出フラグの故障を確認することができます。

注 意

内蔵電圧レギュレータと Isolated エリア (ISO エリア) への供給電圧の潜在的な電圧ドリフトや電圧の揺れは CVM では検出できません。

11.1.4.1 CVM リセット ($\overline{\text{CVMRES}}$)

高電圧監視 (CVMDE.H_D_E = 1) 時、コア電圧が規定の電圧を上回ると $\overline{\text{CVMRES}}$ を発生し、Isolated エリア (ISO エリア) への電源供給も停止します。

低電圧監視 (CVMDE.L_D_E = 1) 時、コア電圧が規定の電圧を下回ると $\overline{\text{CVMRES}}$ を発生します。

$\overline{\text{CVMRES}}$ 発生時の仕様については「9.4.4 コアボルテージモニタ (CVM) リセット」を参照ください。

11.1.4.2 CVM の設定

オプションバイトで高電圧監視、および低電圧監視の許可を設定してください。詳細は「37.9 オプションバイト」を参照ください。

11.1.4.3 診断 (DIAG) モード

本製品は診断モードをサポートしています。

診断 (DIAG) モードにより、CVM の異常電圧検出フラグがセット “1” されることを確認できます。

診断モード時、 $\overline{\text{CVMRES}}$ は出力されません。

診断モードの設定は、以下の様に行ってください。

本手順以外でレジスタを設定した場合、動作は保証されません。

- (1) CVMDIAG.CVM_DIAG_MASK をセットする。注¹
- (2) CVMDIAG.CVM_DIAG をセットする。注¹
- (3) 12 μs ウェイト注²

- (4) CVMF レジスタをリードし、H_V_F ビットおよび L_V_F ビットが “1” であることを確認 (“0” の場合、CVM は正常動作してないため、エラー処置が必要になります。)
- (5) CVMDIAG.CVM_DIAG をクリアする。注¹
- (6) CVMF レジスタをクリア注¹
- (7) CVMF レジスタをリードし、H_V_F ビットおよび L_V_F ビットが “0” であることを確認 (“1” の場合は再度 (5) へ)
- (8) CVMDIAG.CVM_DIAG_MASK をクリアする。注¹

注 1. CVMF および CVMDIAG レジスタはライト保護レジスタのため、レジスタ保護シーケンスにそって設定を行ってください。詳細は「第 5 章 書き込み保護レジスタ」を参照してください。

注 2. 以下の条件から (4) 開始までに 50 μ s 経過している必要があります。

- HALT モード解除時
- STOP モード解除時
- RUN / HALT モード時に CVM 以外のリセットが発生した場合のリセット解除時
- CPU クロック切り替え時
- MainOSC 動作開始および停止時
- PLL 動作開始および停止時

11.1.4.4 CVM へのクロック供給

CVM のクロック供給を以下の表に示します。

表 11.3 CVM へのクロック供給

ユニット名	ユニットクロック名	供給クロック名
CVM	レジスタアクセスクロック	CPUCLK4

11.1.5 RAM 保持電圧インジケータ（超低電圧検出回路：VLVI）

超低電圧検出回路（VLVI）は、RAM 保持電圧を検出する回路であり、電源電圧 REGVCC と RAM 保持電圧 V_{VLVI} を常に比較しています。

RAM 保持電圧レベル V_{VLVI} の仕様については、「第 40 章 電気的特性」を参照してください。

11.1.5.1 VLVI へのクロック供給

VLVI のクロック供給を以下の表に示します。

表 11.4 VLVI へのクロック供給

ユニット名	ユニットクロック名	供給クロック名
VLVI	レジスタアクセスクロック	CPUCLK4

11.1.5.2 Retention RAM 内容の保持

電源電圧 REGVCC が V_{VLVI} を下回らないかぎり、Retention RAM（RRAM）の内容は保持されます。リセット時の保持状態については、「9.1.1 リセット要因」を参照してください。

REGVCC が V_{VLVI} を下回った場合、RRAM の内容は保証できません。したがって、動作を継続する前に RRAM 全体を書き戻す必要があります。

REGVCC が RAM 保持電圧を下回った場合（REGVCC < V_{VLVI} ）、VLVF.VLVF ビットがセットされます。

その後、REGVCC が V_{VLVI} を上回っても VLVF.VLVF ビットは自動的にクリアされません。VLVF ビットは以下によってクリアされます。

- VLVFC.VLVFC ビットを 1 に設定

VLVF のタイミング図を以下に示します。

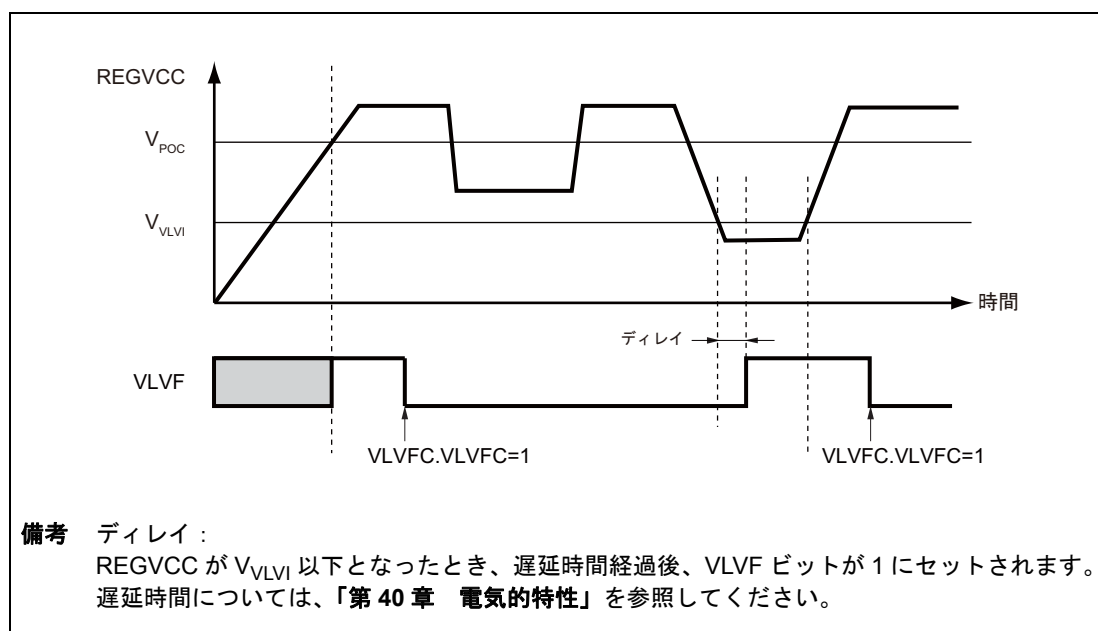


図 11.2 VLVF 動作タイミング

11.1.6 ブロック図

電源電圧モニタのブロック図を以下に示します。

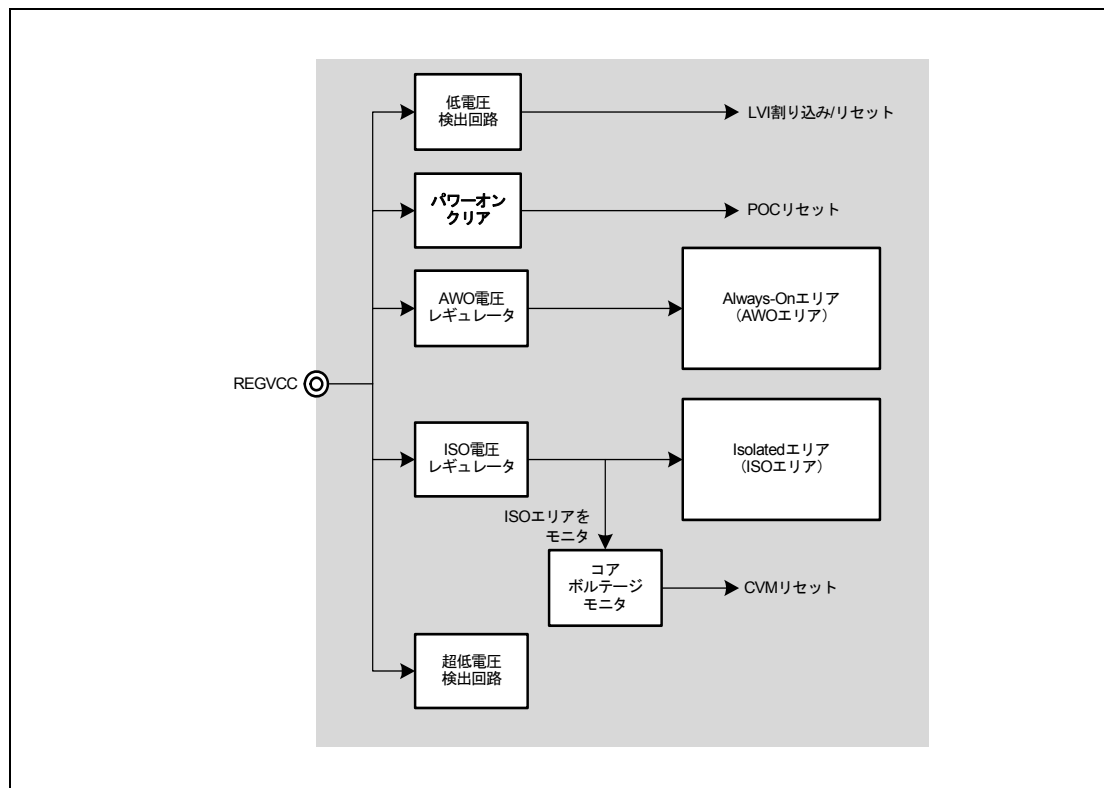


図 11.3 電源電圧モニタ

11.2 レジスタ

11.2.1 レジスタ一覧

電源電圧モニタのレジスタ一覧を以下の表に示します。

表 11.5 電源電圧モニタレジスタ一覧

モジュール名	レジスタ名	略号	アドレス
SVM	低電圧検出リセット制御レジスタ		
	LVI 制御レジスタ	LVICNT	FFF8 0A00 _H
	コアボルテージモニタ制御レジスタ		
	CVM 要因レジスタ	CVMF	FFF8 3100 _H
	CVM 検出許可レジスタ	CVMDE	FFF8 3104 _H
	CVM 診断モード設定レジスタ	CVMDIAG	FFF8 3114 _H
	超低電圧検出制御レジスタ		
	超低電圧検出レジスタ	VLVF	FFF8 0980 _H
	超低電圧検出クリアレジスタ	VLVFC	FFF8 0988 _H

11.2.2 低電圧検出リセット制御レジスタ

11.2.2.1 LVICNT — LVI 制御レジスタ

低電圧検出の制御と、LVI 検出レベルの選択を行います。

このレジスタは、パワーアップリセット PURES により初期化されます。

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第5章 書き込み保護レジスタ**」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 0A00_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	LVIRESMK	LVICNT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 11.6 LVICNT レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	LVIRESMK	LVI リセットのマスク 0 : LVI リセットがマスクされない 1 : LVI リセットがマスクされる
1, 0	LVICNT[1:0]	検出レベル 00 : LVI 無効 01 : 4.0+/-0.1V (下降)、4.0+/-0.13V (上昇) 10 : 3.7+/-0.1V (下降)、3.7+/-0.13V (上昇) 11 : 3.5+/-0.1V (下降)、3.5+/-0.13V (上昇)

備考

LVI 割り込みを使用する場合は、LVIRESMK にて LVI リセットをマスク (LVIRESMK = 1) する必要があります。

11.2.3 コアボルテージモニタ制御レジスタ

11.2.3.1 CVMF — CVM 要因レジスタ

最後のパワーアップリセット PURES 発生後に発生したコア電圧異常の情報を記憶するレジスタです。

CVM がコア電圧の異常を検出すると、ハードウェアにより L_V_F ビットまたは H_V_F ビットが“1”にセットされます。

L_V_F ビット、または H_V_F ビットのいずれかに“1”がセットされると、パワーアップリセット PURES、または各ビット (CVMF.L_V_F, CVMF.H_V_F) への“0”書き込みで初期化するまで値を保持します。ただし、診断モード時は、常にコア電圧監視回路からのエラー信号をモニタします。

このレジスタを更新するためには、PROTCMDCVM レジスタを使った正しい書き込みシーケンスが必要です。詳細は、「第5章 書き込み保護レジスタ」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 3100_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	H_V_F	L_V_F
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11.7 CVMF レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	H_V_F	CVM によるコア電圧の高電圧異常検出ビット リードアクセス 0: 高電圧異常なし 1: 高電圧異常あり ライトアクセス 0: H_V_F ビットをクリア 1: 無効
0	L_V_F	CVM によるコア電圧の低電圧異常検出ビット リードアクセス 0: 低電圧異常なし 1: 低電圧異常あり ライトアクセス 0: L_V_F ビットをクリア 1: 無効

11.2.3.2 CVMDE — CVM 検出許可レジスタ

電圧検出許可、禁止の状態を表示するレジスタです。

このレジスタは、パワーアップリセット PURES でのみ初期化されます。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 3104_H

リセット後の値 オプションバイトの設定に依存します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	H_D_E	L_D_E
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1 ^{注1}	0/1 ^{注2}
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1. オプションバイト OPBT0.CVM_HD_EN の設定が反映されます。

注2. オプションバイト OPBT0.CVM_LD_EN の設定が反映されます。
オプションバイトの詳細は、「37.9 オプションバイト」を参照してください。

表 11.8 CVMDE レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	H_D_E	高電圧監視許可ビット 0: 高電圧検出を禁止 1: 高電圧検出を許可
0	L_D_E	低電圧監視許可ビット 0: 低電圧検出を禁止 1: 低電圧検出を許可

11.2.3.3 CVMDIAG — CVM 診断モード設定レジスタ

CVM の診断モードを設定するレジスタです。

このレジスタは、パワーアップリセット PURES でのみ初期化されます。

診断モード時のレジスタ設定の詳細は、「11.1.4.3 診断 (DIAG) モード」を参照してください。

このレジスタを更新するためには、PROTCMDCVM レジスタを使った正しい書き込みシーケンスが必要です。詳細は、「第5章 書き込み保護レジスタ」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 3114_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CVM_D IAG_ MASK	CVM_D IAG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11.9 CVMDIAG レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	CVM_DIAG_MASK	CVMRES マスク制御ビット 0: マスクしない 1: マスクする
0	CVM_DIAG	CVM 診断モード設定 ビット 0: 通常モード 1: 診断モード

11.2.4 超低電圧検出制御レジスタ

11.2.4.1 VLVF — 超低電圧検出レジスタ

超低電圧検出レジスタ（VLVF）はRAM保持電圧の検出状態を示します。

RAM保持（ V_{VLVI} ）以下の電圧を検出した時にセットされます。

VLVFがセットされた場合、Retention RAMの値は保証できません。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 0980_H

電源投入後の値 0000 0001_H

このレジスタは、すべてのリセット要因で初期化されません。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VLVF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.10 VLVF レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。
0	VLVF	超低電圧検出フラグ 0：超低電圧を未検出 1：超低電圧を検出 備考 超低電圧は、REGVCCが $REGVCC < V_{VLVI}$ となる電圧の状態です。詳細は、「11.1.5.2 Retention RAM 内容の保持」を参照してください。

11.2.4.2 VLVFC — 超低電圧検出クリアレジスタ

VLVF.VLVF ビットをクリアします。

アクセス 32ビット単位でライトのみ可能です。

アドレス FFF8 0988_H

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VLVFC
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 11.11 VLVFC レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	VLVFC	VLVF.VLVF ビットのクリア 0: クリアしない 1: クリアする

第12章 クロックコントローラ

本章では、クロックコントローラ全般について説明します。

最初の節では、RH850/F1K のクロックコントローラ固有の特長について説明します。それ以降の節では、クロックコントローラを構成するクロック発振回路、クロックセレクタやクロック出力機能について説明します。

12.1 RH850/F1K のクロックコントローラの特長

RH850/F1K のクロックコントローラは以下の特長があります。

- 5種類のクロック発振回路を内蔵
 - メイン発振回路 (MainOSC)、発振周波数 16, 20, 24MHz
 - サブ発振回路 (SubOSC)、発振周波数 32.768kHz^{注1}
 - 高速内蔵発振回路 (HS IntOSC)、周波数 8MHz (Typ.)
 - 低速内蔵発振回路 (LS IntOSC)、周波数 240kHz (Typ.)
 - PLL
- クロックドメインによる周辺モジュールへの細かな供給クロック管理
- クロックモニタを内蔵し、メイン発振、高速内蔵発振、PLL 使用時のクロック異常を検出 (「**第13章 クロックモニタ (CLMA)**」を参照してください)
- クロック出力 (FOUT)

注1. サブ発振回路は、144 pin、176 pin 製品のみ対応

クロックコントローラの概略図を図 12.1 に示します。

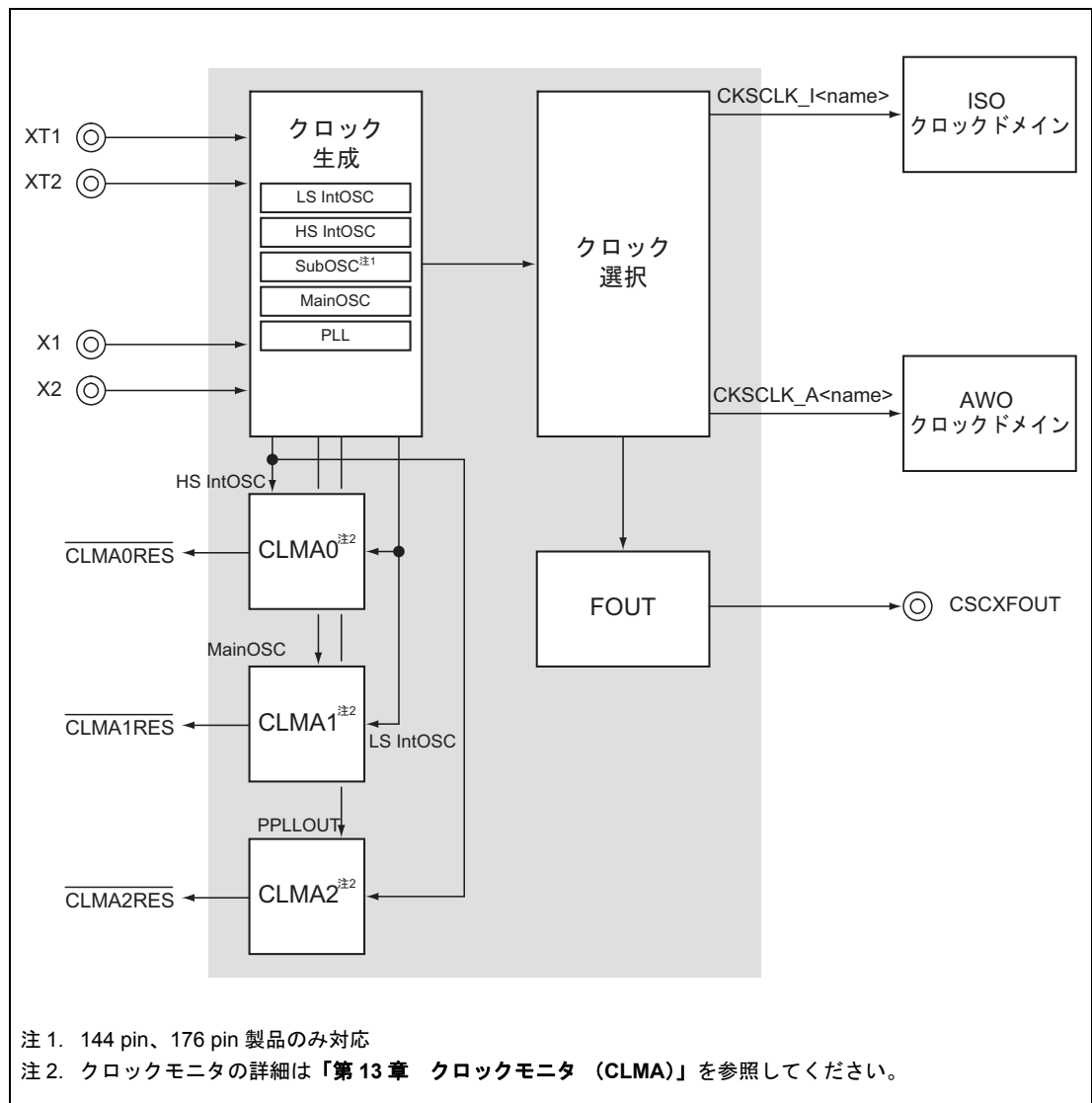


図 12.1 クロックコントローラの概要

12.2 クロックコントローラの構成

本節では、クロックコントローラの構成について説明します。

クロックコントローラは、クロック発振回路と CPU および周辺モジュール用クロックを生成するクロック生成回路、最適クロックを選択するクロックセレクタ、CPU や各周辺モジュールの各クロックドメインで構成します。

クロックコントローラの構成を図 12.2 に示します。

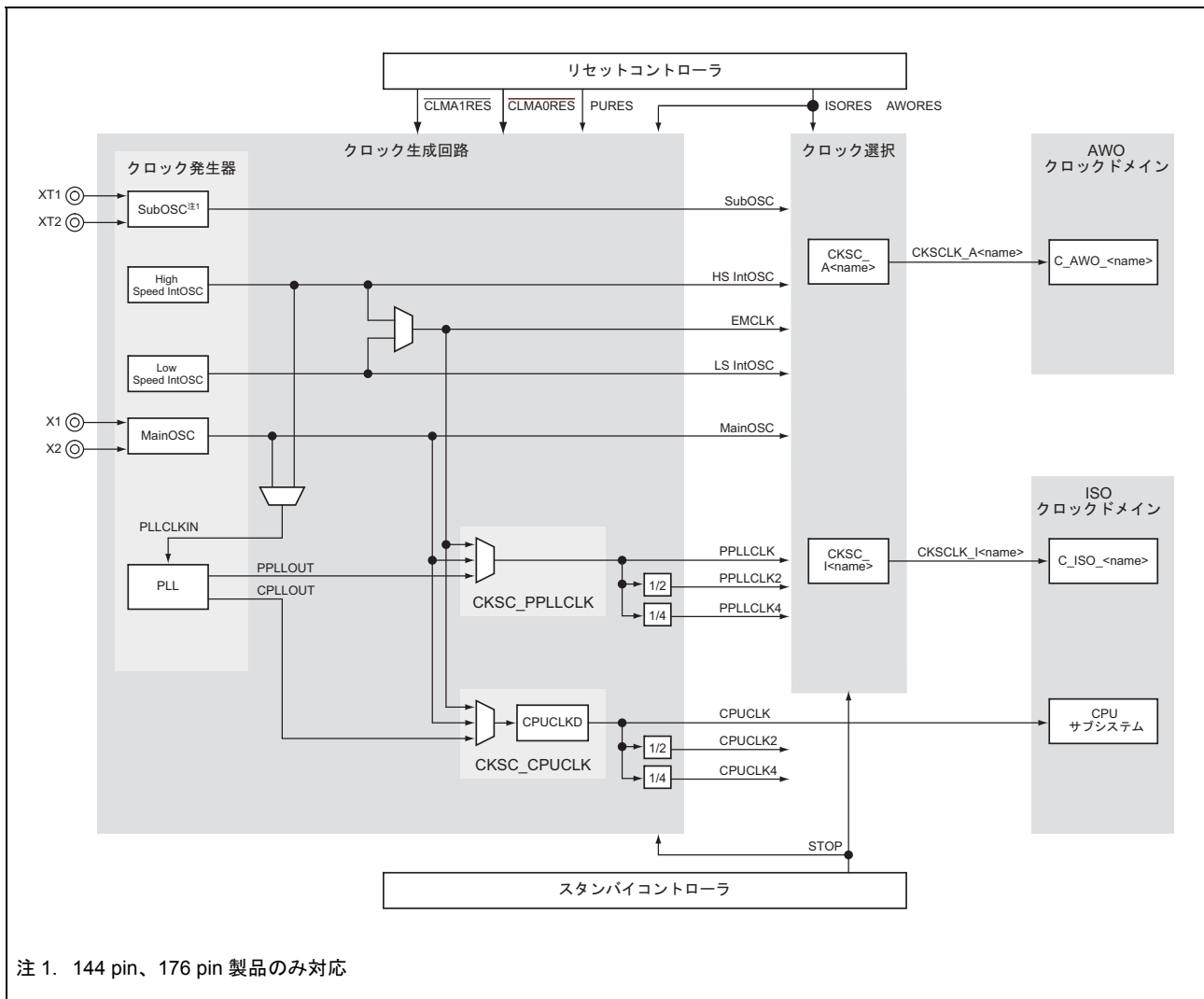


図 12.2 クロックコントローラの構成

備考

クロックドメインとクロック制御レジスタの命名規約

本章のクロック信号とそれらの制御レジスタ等の名前は、電源やクロックの適用範囲（ドメイン）を反映するよう、以下命名規約にしたがってつけられています。また、プレースホルダー“<name>”により、クロックドメイン内の対象モジュールを示します。

- クロックドメイン名
 - C_AWO_<name> : Always-On エリア（AWO エリア）^{注1}のクロックドメイン
 - C_ISO_<name> : Isolated エリア（ISO エリア）^{注1}のクロックドメイン
- ドメインクロック名
 - CKSCLK_A <name> : Always-On エリア（AWO エリア）のドメインクロック
 - CKSCLK_I <name> : Isolated エリア（ISO エリア）のドメインクロック
- クロックセレクタ名
 - CKSC_A <name> : Always-On エリア（AWO エリア）用クロックセレクタ
 - CKSC_I <name> : Isolated エリア（ISO エリア）用クロックセレクタ
- クロックセレクタレジスタ名
 - CKSC_A <name> S_CTL : Always-On エリア（AWO エリア）のソースクロック選択レジスタ
 - CKSC_A <name> D_CTL : Always-On エリア（AWO エリア）のソースクロック分周レジスタ
 - CKSC_I <name> S_CTL : Isolated エリア（ISO エリア）のソースクロック選択レジスタ
 - CKSC_I <name> D_CTL : Isolated エリア（ISO エリア）のソースクロック分周レジスタ

例

クロック信号 CKSCLK_AADCA（プレースホルダー <name> = ADCA）は Always-On エリア（AWO エリア）内のクロックドメイン C_AWO_ADCA に供給されるクロックです。このクロックはクロック選択レジスタ CKSC_AADCAS_CTL によって選択されます。

- 注 1.** Always-On エリア（AWO エリア）、Isolated エリア（ISO エリア）は電源ドメインを表します。Always-On エリア（AWO エリア）は常時オンの電源、Isolated エリア（ISO エリア）は、動作モードによりオン・オフされる電源です。詳細は、「第 10 章 電源とパワードメイン」を参照してください。

12.2.1 クロック生成回路

5つのクロック発振回路があります。

4つのクロック発振回路が Always-On エリア (AWO エリア) にあり、PLL は Isolated エリア (ISO エリア) にあります。

メイン発振回路 (MainOSC)

MainOSC はメインクロック X を生成します。

メインクロック X を生成するためには、X1 および X2 端子に外付け発振子を接続する必要があります。

クロック X は PLL のリファレンスクロックとして使用されます。

サブ発振回路 (SubOSC)

SubOSC は周波数 32.768kHz (Typ.) のサブクロック XT を生成します。サブクロック XT を生成するためには、XT1 および XT2 端子に外付け発振子を接続する必要があります。

このクロックは主にリアルタイムクロックアプリケーションで使用されます。

高速内蔵発振回路 (HS IntOSC)

HS IntOSC は周波数 8MHz (Typ.) のクロック RH を生成します。

低速内蔵発振回路 (LS IntOSC)

LS IntOSC は周波数 240kHz (Typ.) のクロック RL を生成します。この発振回路は電源投入と同時にスタートし、その後は常時動作するため停止させることはできません。

PLL

PLL 回路はマイクロコントローラの通常動作に必要な高速クロック CPLLOUT および PPLLOUT を生成します。

クロック生成回路では、クロック発振回路の生成クロック (X, XT, RH, RL, CPLLOUT, PPLLOUT)、およびそのクロック分周 (CPUCLK, CPUCLK2, CPUCLK4, PPLLCLK, PPLLCLK2, PPLLCLK4) を生成します。

12.2.2 クロック選択

クロック発振回路で生成されたクロックはクロックセレクタ CKSC_A<name>/CKSC_I<name> に入力されます。

各ドメイン CKSCLK_A<name>/CKSCLK_I<name> には、個別のクロックセレクタに加えて一部にクロック分周回路が備えられています。

- CKSC_I<name>S_CTL/CKSC_I<name>D_CTL レジスタは Isolated エリアのクロックドメインに対するクロックを決定します。
- CKSC_A<name>S_CTL/CKSC_A<name>D_CTL レジスタは Always-On エリアのクロックドメインに対するクロックを決定します。

クロック発振回路から生成される利用可能なすべてのクロックが各クロックセレクタに入力されるとは限りません。

また、以下のクロックはクロック生成回路より CPU や関連モジュールに供給されます。

Emergency クロック EMCLK

Emergency クロック EMCLK は以下の回路から供給されます。

- HS IntOSC がアクティブのとき : HS IntOSC
- HS IntOSC がインアクティブのとき : LS IntOSC

選択は CLMA0 リセット発生後に自動的に行われるため、なんらかの理由で HS IntOSC が停止した場合でも、LS IntOSC は停止しないのでマイクロコントローラの重要モジュールは動作を続けることができます。

CPU サブシステムクロック CPUCLK

CPU サブシステムクロック CPUCLK は PLL クロック CPLLOUT、MainOSC、EMCLK から供給されます。CPU クロックセレクタ CKSC_CPUCLK は、セレクタ CPUCLKS とその後段のクロック分周回路 CPUCLKD から構成されています。

また、CPUCLK の分周回路から、CPUCLK のクロック分周 CPUCLK2、CPUCLK4 が供給されます。

12.2.3 クロックドメイン

クロックコントローラではCPUや周辺モジュール毎にクロックの選択が可能です。このクロックの制御範囲をクロックドメインと言います。CPUおよび周辺モジュールとクロックドメインの対応は、「12.5.3 クロックドメイン設定」を参照してください。

12.2.4 クロック発振回路のリセット

Always-On エリア (AWO エリア) 内のクロック発振回路は PURES 信号によってリセットされます。

また、 $\overline{\text{CLMA0RES}}$ 発生時、HS IntOSC、 $\overline{\text{CLMA1RES}}$ 発生時、MainOSC はリセットされます。

Isolated エリア (ISO エリア) 内のクロック発振回路は ISORES 信号によってリセットされます。

クロック発振回路の詳細については、「12.3 クロック発振回路」を参照してください。

注 意

周波数特性、許容範囲、クロック生成回路のパラメータなどについては、「第40章 電気的特性」を参照してください。

12.3 クロック発振回路

12.3.1 メイン発振回路 (MainOSC)

メイン発振回路はクロック X を生成します。X は PLL への入力クロック PLLCLKIN としても使用されます。

図 12.3 は MainOSC の基本構成と信号を示します。

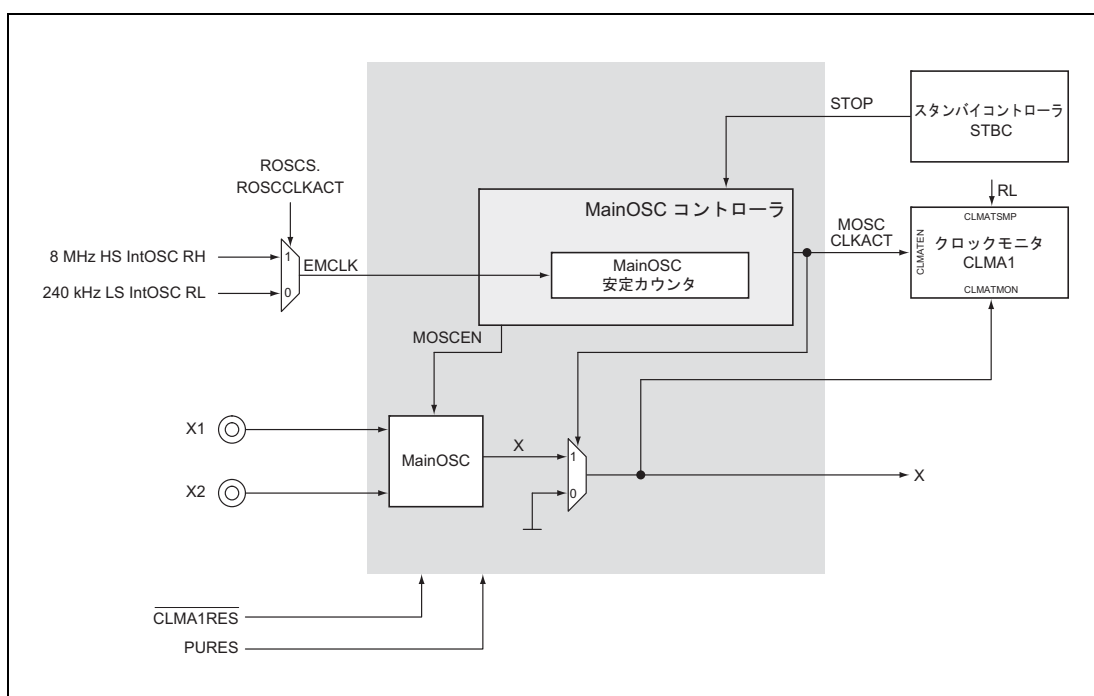


図 12.3 メイン発振回路 (MainOSC)

MainOSC

MainOSC はリセット解除後、動作を停止しています。MainOSC 使用時は MainOSC イネーブルトリガビット MOSCE.MOSCENTRG = 1 にセットし、MainOSC を起動してください。

MainOSC の安定

MainOSC の発振安定時間を MOSCST.MOSCCLKST[16:0] に設定します。

MainOSC 安定カウンタは EMCLK をカウントソースとして発振安定時間をカウントします。設定範囲は EMCLK 周期の $2^{17} - 1$ までです。

MainOSC が不安定状態にある限り、MOSCCLKACT 信号によって X 出力が禁止されます。MainOSC 安定カウンタが MOSCST.MOSCCLKST[16:0] で規定された値に到達した場合、X は安定したと判断し、MainOSC から波形が出力されたときに MOSCCLKACT が 0 から 1 に変化して X を出力します。

X クロックが安定でアクティブであることは、MOSCS.MOSCCLKACT = 1 であることによって表示されます。

MainOSC の増幅

外付け発振子によって決定される MainOSC の入力周波数は、MOSCC.MOSCAMPSEL[1:0] を用いることによって 16MHz、20MHz、24MHz から選択することができます。

スタンバイモードにおける MainOSC の STOP 要求

スタンバイコントローラからの STOP 信号は、MainOSC コントローラがスタンバイモード (STOP モード、DeepSTOP モード、Cyclic STOP モード) で X クロックをスイッチオフすることを要求します。

停止要求マスクビット MOSCSTPM.MOSCSTPMSK は、MainOSC がスタンバイ時に動作を停止するか、継続するかを制御します。

- MOSCSTPM.MOSCSTPMSK = 0:

STOP 要求信号はマスクされないため、MainOSC はスタンバイ時に動作が停止されません。

MainOSC がスタンバイの前に動作していた場合、スタンバイ状態から回復した後自動的に再起動され、MainOSC 安定カウンタが、発振安定時間をカウントします。

MOSCSTPM.MOSCSTPMSK = 0 であったとしても、STOP 要求は以下の条件でマスクされます。そのため MainOSC は、スタンバイモード中でも動作を継続します。

- MainOSC が選択されたクロックドメインの STOP マスクがセットされた場合 (CKSC_xxxx_STPM = 0000 0003_H)

- MOSCSTPM.MOSCSTPMSK = 1:

STOP 要求信号はマスクされるため、MainOSC はスタンバイ時に動作を継続します。

クロックモニタコントロール

MainOSC アクティビティ信号 MOSCCLKACT はクロックモニタ CLMA1 による監視機能を有効または無効にします。MainOSC がアクティブでない状態 (MOSCCLKACT = 0) では、CLMA1 による出力クロック X の監視も無効になります。

MainOSC イネーブル/ディセーブルトリガ

MainOSC はイネーブルおよびディセーブルトリガコントロールビットによってイネーブル (有効化) およびディセーブル (無効化) することができます。

- イネーブルトリガ MOSCE.MOSCENTRG = 1 は MainOSC を起動させます。イネーブルトリガの設定は、MainOSC がアクティブ状態でない場合、つまり MOSCS.MOSCCLKACT = 0 のときのみ有効です。
- ディセーブルトリガ MOSCE.MOSCDISTRG = 1 は MainOSC を停止させます。ディセーブルトリガの設定は、MainOSC がアクティブ状態にある場合、(MOSCCLKACT = 1) で、加えて MainOSC 停止要求マスクされない (MOSCSTPM.MOSCSTPMSK = 0) とき有効です。

X1 への直接クロック入力

外部クロックソースからのクロック波形は、X1 端子に供給可能です。この場合、X1 端子にクロック入力供給される前に MOSCM レジスタの MOSCM ビットを 1 に設定します。

12.3.2 サブ発振回路 (SubOSC)

サブ発振回路はサブクロック XT を生成します。XT は通常 32.768kHz の周波数で、リアルタイムクロックのために使用されます。

図 12.4 は SubOSC 回路の基本構成と信号を示します。

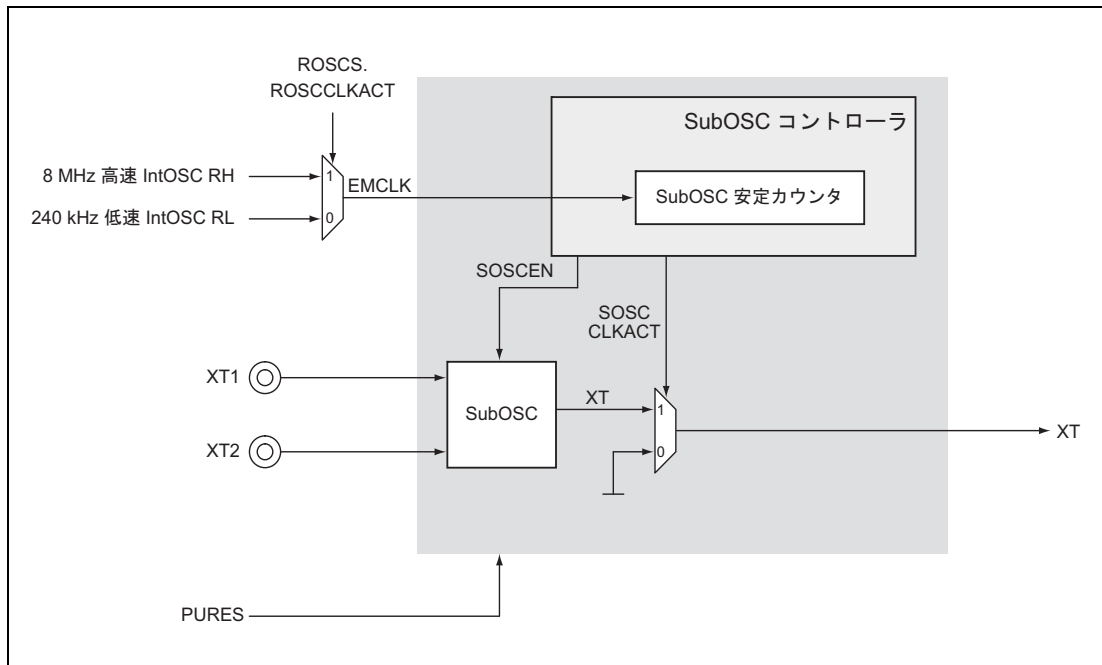


図 12.4 サブ発振回路 (SubOSC)

SubOSC イネーブル

SubOSC はリセット解除後、動作を停止しています。SubOSC 使用時は SubOSC イネーブルトリガビット `SOSCE.SOSCENTRG = 1` にセットし、SubOSC を起動してください。

SubOSC の安定

SubOSC の発振安定時間を `SOSCST.SOSCCLKST[29:0]` に設定します。SubOSC 安定カウンタは EMCLK をカウントソースとして発振安定時間をカウントします。

SubOSC が不安定状態にある限り、SOSCCLKACT 信号によって XT 出力が禁止されます。

SubOSC 安定カウンタが `SOSCST.SOSCCLKST[29:0]` で規定された値に到達した場合、XT は安定したと判断し、SOSCCLKACT が 0 から 1 に変化して XT を出力します。

安定時間には 2 秒以上を設定してください。

XT クロックが安定でアクティブであることは、`SOSCS.SOSCCLKACT = 1` であることによって表示されます。

SubOSC の入力周波数

SubOSC の入力周波数は 32.768kHz (Typ.) です。

SubOSC イネーブルトリガ/ディセーブルトリガ

SubOSC はイネーブルおよびディセーブルトリガコントロールビットによってイネーブル（有効化）およびディセーブル（無効化）することができます。

- イネーブルトリガ $SOSCE.SOSCENTRG = 1$ によって SubOSC が起動されます。イネーブルトリガは、SubOSC がアクティブ状態でない場合、つまり $SOSCS.SOSCCLKACT = 0$ のときのみ有効です。
- ディセーブルトリガ $SOSCE.SOSCDISTRG = 1$ は SubOSC を停止させます。ディセーブルトリガの設定は、SubOSC がアクティブ状態にある場合、つまり $SOSCS.SOSCCLKACT = 1$ のときのみ有効です。

12.3.3 高速内蔵発振回路（HS IntOSC）

高速内蔵発振回路はクロック RH を生成します。RH は周波数 8MHz です。

図 12.5 は HS IntOSC の基本構成と信号を示します。

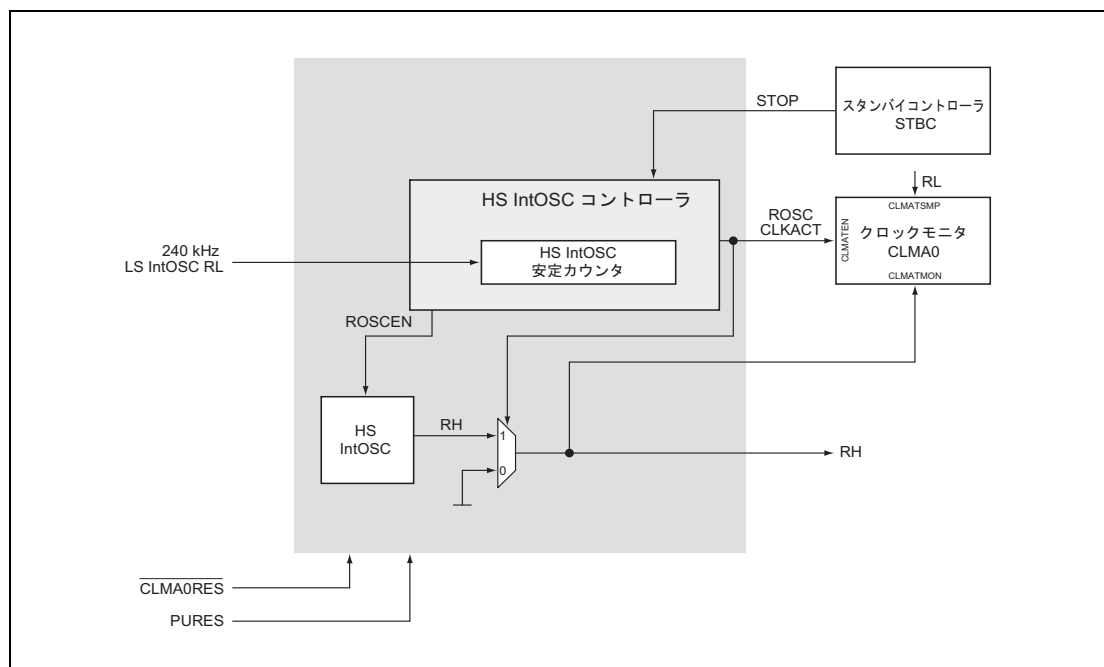


図 12.5 高速内蔵発振回路（HS IntOSC）

リセットの解除後、HS IntOSC が動作を開始します。

備考

HS IntOSC は、ソフトウェアでは停止も起動も行うことができません。スタンバイモード時にのみ停止させることができます。ただし、CLMA0 がリセット時には、ソフトウェアで停止することができます。

HS IntOSC の安定

HS IntOSC が安定した場合、RH を出力します。

RH クロックが安定でアクティブであることは、 $ROSCS.ROSCCLKACT = 1$ であることによって表示されます。

スタンバイモード時の HS IntOSC STOP リクエスト

スタンバイコントローラからの STOP 信号は、HS IntOSC コントローラがスタンバイモード (STOP モード、DeepSTOP モード、Cyclic STOP モード) 時に RH クロックを停止させることを要求します。

停止要求マスクビット ROSCSTPM.ROSCSTPMSK は、HS IntOSC がスタンバイモード時に停止するか、動作を継続するかを制御します。

- ROSCSTPM.ROSCSTPMSK = 0:

STOP 要求信号はマスクされません。そのため、HS IntOSC はスタンバイ時に停止され、スタンバイから回復した後は自動的に再起動されます。

ただし、以下の場合、ROSCSTPM.ROSCSTPMSK = 0 でも STOP 要求はマスクされません。そのため、HS IntOSC はスタンバイ時にも動作を継続します。

- 停止マスクを設定 (CKSC_XXXX_STPM = 0000_0003_H) したクロックドメインが HS IntOSC を選択している場合
- ロウパワーサンプラ (LPS) の動作がアクティブになっている場合

- ROSCSTPM.ROSCSTPMSK = 1:

STOP 要求信号はマスクされます。そのため、HS IntOSC はスタンバイ時にも動作を継続します。

クロックモニタコントロール

HS IntOSC アクティビティ信号 ROSCCLKACT はクロックモニタ CLMA0 による監視動作を許可または禁止します。HS IntOSC がアクティブ状態でない場合 (ROSCCLKACT = 0)、CLMA0 によるその出力クロックの監視も無効化されます。

HS IntOSC のクロック RH は、クロックモニタ CLMA2 のサンプリングクロックとして使用されます。

HS IntOSC ディセーブルトリガ

- ディセーブルトリガ ROSCE.ROSCDISTRG = 1 は HS IntOSC を停止させます。

ディセーブルトリガの設定は、HS IntOSC がアクティブ状態の場合 (ROSCS.ROSCCLKACT = 1) で、加えて HS IntOSC 停止要求マスクされない (ROSCSTPM.ROSCSTPMSK = 0) と有効です。

HS IntOSC ユーザキャリブレーション機能

HS IntOSC ユーザトリミングレジスタ (ROSCUT) では HS IntOSC 周波数を調整できます。ROSCUT のリセット後の値はあらかじめ設定した HS IntOSC トリミングデータの値です。HS IntOSC 周波数が対象周波数範囲になるまで、"リード値 +1" または "リード値 -1" でこの値を書き換えます。

12.3.4 低速内蔵発振回路 (LS IntOsc)

低速内蔵発振回路はクロック RL を生成します。RL の周波数は 240kHz です。

図 12.6 は LS IntOSC の基本構成と信号を示します。

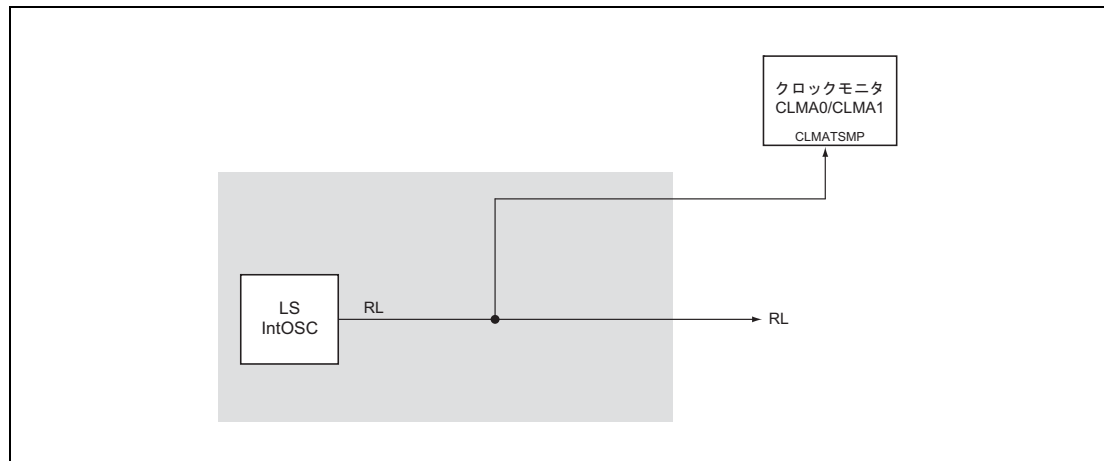


図 12.6 低速内蔵発振回路 (LS IntOSC)

リセットの解除後、LS IntOSC が動作を開始します。停止させることはできません。

LS IntOSC のクロック RL はクロックモニタ CLMA0 および CLMA1 のサンプリングクロックとして使用されます。

12.3.5 PLL

MainOSC または HS IntOSC は、PLLCLKIN として PLL クロック発振回路に入力されます。PLL の出力クロック CPLLOUT および PPLLOUT はマイクロコントローラの主動作クロックとして働きます。

図 12.7 は PLL の基本構成と信号を示します。

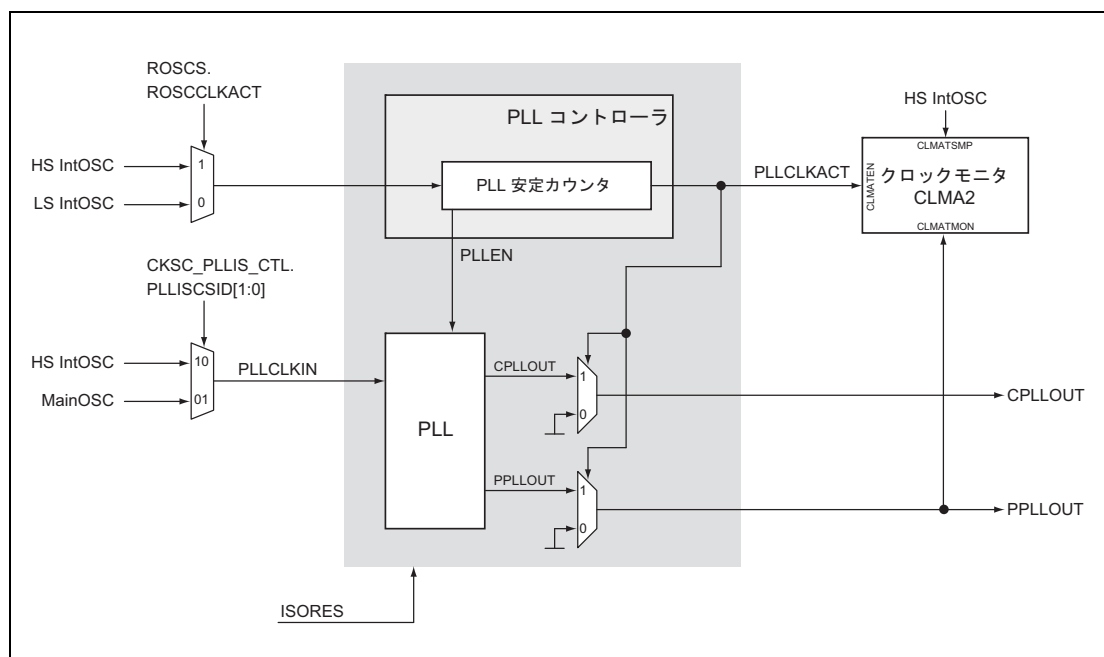


図 12.7 PLL

PLL イネーブル

PLL はリセット解除後、動作を停止しています。PLL 使用時は PLL イネーブルトリガビット PLLE.PLLENTRG = 1 にセットし、PLL を起動してください。

PLL の安定

PLL 安定カウンタは安定時間のカウントを開始します。

PLL が安定でない限り、PLLCLKACT 信号が PPLLOUT および CPLLOUT 出力を禁止します。

PLL 安定カウンタが予め規定されている値に到達すると、PPLLOUT および CPLLOUT は安定であると判定され、PLLCLKACT が 0 から 1 に変化して PPLLOUT および CPLLOUT 出力を有効化します。

PPLLOUT および CPLLOUT クロックが安定でアクティブであることは、PLLS.PLLCLKACT = 1 であることによって表示されます。

スタンバイモードでの PLL

STOP モードでは、PLL は自動的にディセーブルされ、STOP モードの前に動作していた場合は、STOP モードから回復した後に動作を再開します。

DeepSTOP モードに遷移する際も PLL は自動的にディセーブルされます。ただし、DeepSTOP モードから復帰後は再設定を行ってください。

Cyclic RUN, Cyclic STOP モードでは、PLL を使用できません。Cyclic RUN モードでは、PLL イネーブルレジスタで PLL を許可しないでください。

クロックモニタコントロール

PLL アクティビティ信号 PLLCLKACT はクロックモニタ CLMA2 による監視動作を許可または禁止します。PLL がアクティブ状態でない場合 (PLLCLKACT = 0)、CLMA2 によるその出力クロック PPLLOUT の監視も無効化されます。

PLL イネーブル/ディセーブルトリガ

PLL はイネーブルおよびディセーブルトリガコントロールビットによって有効および無効にすることができます。

- イネーブルトリガ PLLE.PLLENTRG = 1 は PLL を起動させます。
イネーブルトリガのセットは、PLL がアクティブ状態でない場合、つまり PLLS.PLLCLKACT = 0 のときのみ有効です。
- ディセーブルトリガ PLLE.PLLDISTRG = 1 は PLL を停止させます。
ディセーブルトリガのセットは、PLL がアクティブ状態にある場合、つまり PLLS.PLLCLKACT = 1 のときのみ有効です。

PLL 入力クロック (PLLCLKIN) 選択

- PLL 入力クロック (PLLCLKIN) は CKSC_PLLIS_CTL レジスタにより MainOSC および HS IntOSC から選択できます。
- CPLLOUT と PPLLOUT の最大周波数は、HS IntOSC を PLL 入力クロックとして選択された場合に限られます。

12.3.5.1 PLLのパラメータ

PLLの動作は制御レジスタ PLLC および CKSC_CPUCLKD_CTL から読み出される一連のパラメータによって設定されます。

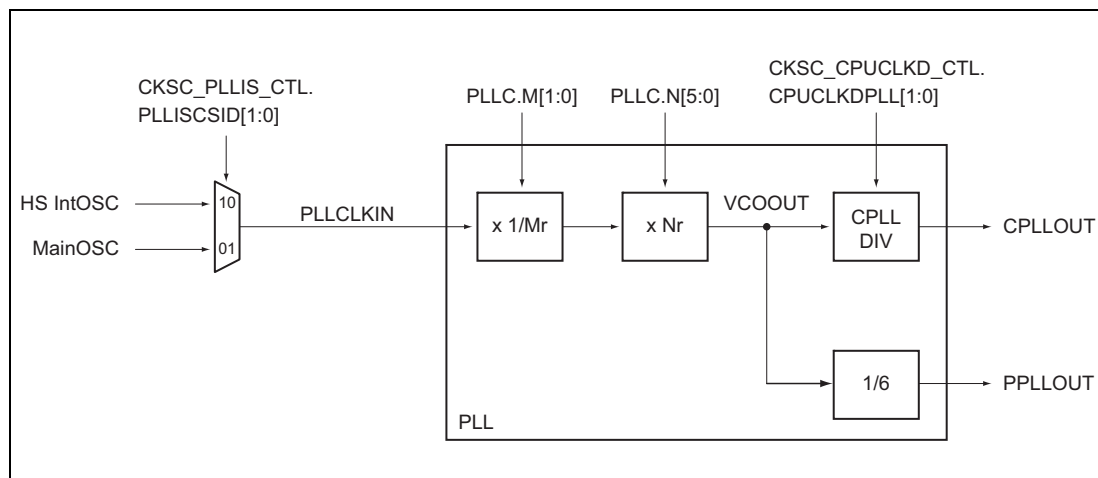


図 12.8 PLLの回路構成

CPLLCLKOUT と PPLLCLKOUT

PLLには2種類のクロック出力 "CPLLCLKOUT" と "PPLLCLKOUT" があります。CPLLCLKOUTはCPUサブシステムのクロックソースの1つで、PPLLCLKOUTは周辺機能のクロックソースの1つです。CPLLCLKOUTとPPLLCLKOUTは、電圧制御発振回路(VCO)の出力である同じクロックソース "VCOOUT" を共有します。VCOOUTのクロック周波数は以下の式で計算します。

$$f_{VCOOUT} = f_{PLLCLKIN} \times (Nr / Mr)$$

CPLLCLKOUTのクロック周波数 f_{CPLL} と PPLLCLKOUTのクロック周波数 f_{PPLL} は、VCO出力周波数 f_{VCOOUT} の整数分の1の周波数です。 f_{CPLL} と f_{PPLL} は以下の式で計算します。

$$f_{CPLL} = f_{VCOOUT} \times 1/Pr = f_{PLLCLKIN} \times (Nr / Mr) \times 1/Pr$$

$$f_{PPLL} = f_{VCOOUT} \times 1/6 = f_{PLLCLKIN} \times (Nr / Mr) \times 1/6$$

Nr および Mr の値は PLLC レジスタビットから以下のように読み出されます。

$$Nr = PLLC.N[5:0] + 1$$

$$Mr = PLLC.M[1:0] + 1$$

$$Mr \text{ の設定範囲 : } 1 \leq Mr \leq 3$$

Pr の値は CKSC_CPUCLKD_CTL.CPUCLKDPLL[1:0] から読み出され、4、5、6のいずれかとなります。

12.4 レジスタ

12.4.1 レジスタ一覧

クロックコントローラのレジスタ一覧を以下に示します。

表 12.1 クロックコントローラレジスタの一覧 (1/2)

モジュール名	レジスタ名	略号	アドレス
CLKCTL	クロック発振回路のレジスタ :		
	MainOSC イネーブルレジスタ	MOSCE	FFF8 1100 _H
	MainOSC ステータスレジスタ	MOSCS	FFF8 1104 _H
	MainOSC コントロールレジスタ	MOSCC	FFF8 1108 _H
	MainOSC 安定時間レジスタ	MOSCST	FFF8 110C _H
	MainOSC 停止マスクレジスタ	MOSCSTPM	FFF8 1118 _H
	MOSC モードコントロールレジスタ	MOSCM	FFF8 111C _H
	SubOSC イネーブルレジスタ	SOSCE 注1	FFF8 1200 _H
	SubOSC ステータスレジスタ	SOSCS 注1	FFF8 1204 _H
	SubOSC 安定時間レジスタ	SOSCST 注1	FFF8 120C _H
	HS IntOSC イネーブルレジスタ	ROSCE	FFF8 1000 _H
	HS IntOSC ステータスレジスタ	ROSCS	FFF8 1004 _H
	HS IntOSC 停止マスクレジスタ	ROSCSTPM	FFF8 1018 _H
	PLL イネーブルレジスタ	PLLE	FFF8 9000 _H
	PLL ステータスレジスタ	PLLS	FFF8 9004 _H
	PLL コントロールレジスタ	PLLC	FFF8 9008 _H
	PLL 入力クロック選択レジスタ	CKSC_PLLIS_CTL	FFF8 A700 _H
	PLL 入力クロックアクティブレジスタ	CKSC_PLLIS_ACT	FFF8 A708 _H
	PPLLCLK ソースクロック選択レジスタ	CKSC_PPLLCLKS_CTL	FFF8 A010 _H
	PPLLCLK ソースクロックアクティブレジスタ	CKSC_PPLLCLKS_ACT	FFF8 A018 _H
	HS IntOSC ユーザトリミングレジスタ	ROSCUT	FFF8 101C _H
	クロックセレクタレジスタ :		
	C_AWO_WDTA クロック分周レジスタ	CKSC_AWDTAD_CTL	FFF8 2000 _H
	C_AWO_WDTA クロック分周アクティブレジスタ	CKSC_AWDTAD_ACT	FFF8 2008 _H
	C_AWO_WDTA 停止マスクレジスタ	CKSC_AWDTAD_STPM	FFF8 2018 _H
	C_AWO_TAUJ ソースクロック選択レジスタ	CKSC_ATAUJS_CTL	FFF8 2100 _H
	C_AWO_TAUJ ソースクロックアクティブレジスタ	CKSC_ATAUJS_ACT	FFF8 2108 _H
	C_AWO_TAUJ クロック分周レジスタ	CKSC_ATAUJD_CTL	FFF8 2200 _H
	C_AWO_TAUJ クロック分周アクティブレジスタ	CKSC_ATAUJD_ACT	FFF8 2208 _H
	C_AWO_TAUJ 停止マスクレジスタ	CKSC_ATAUJD_STPM	FFF8 2218 _H
	C_AWO_RTCA ソースクロック選択レジスタ	CKSC_ARTCAS_CTL 注1	FFF8 2300 _H
	C_AWO_RTCA ソースクロックアクティブレジスタ	CKSC_ARTCAS_ACT 注1	FFF8 2308 _H
	C_AWO_RTCA クロック分周レジスタ	CKSC_ARTCAD_CTL 注1	FFF8 2400 _H
	C_AWO_RTCA クロック分周アクティブレジスタ	CKSC_ARTCAD_ACT 注1	FFF8 2408 _H
	C_AWO_RTCA 停止マスクレジスタ	CKSC_ARTCAD_STPM 注1	FFF8 2418 _H

表 12.1 クロックコントローラレジスタの一覧 (2/2)

モジュール名	レジスタ名	略号	アドレス
CLKCTL	C_AWO_ADCA ソースクロック選択レジスタ	CKSC_AADCAS_CTL	FFF8 2500 _H
	C_AWO_ADCA ソースクロックアクティブレジスタ	CKSC_AADCAS_ACT	FFF8 2508 _H
	C_AWO_ADCA クロック分周レジスタ	CKSC_AADCAD_CTL	FFF8 2600 _H
	C_AWO_ADCA クロック分周アクティブレジスタ	CKSC_AADCAD_ACT	FFF8 2608 _H
	C_AWO_ADCA 停止マスクレジスタ	CKSC_AADCAD_STPM	FFF8 2618 _H
	C_AWO_FOUT ソースクロック選択レジスタ	CKSC_AFOUTS_CTL	FFF8 2700 _H
	C_AWO_FOUT ソースクロックアクティブレジスタ	CKSC_AFOUTS_ACT	FFF8 2708 _H
	C_AWO_FOUT 停止マスクレジスタ	CKSC_AFOUTS_STPM	FFF8 2718 _H
	C_ISO_CPUCLK ソースクロック選択レジスタ	CKSC_CPUCLKS_CTL	FFF8 A000 _H
	C_ISO_CPUCLK ソースクロックアクティブレジスタ	CKSC_CPUCLKS_ACT	FFF8 A008 _H
	C_ISO_CPUCLK クロック分周レジスタ	CKSC_CPUCLKD_CTL	FFF8 A100 _H
	C_ISO_CPUCLK クロック分周アクティブレジスタ	CKSC_CPUCLKD_ACT	FFF8 A108 _H
	C_ISO_PERI1 ソースクロック選択レジスタ	CKSC_IPERI1S_CTL	FFF8 A200 _H
	C_ISO_PERI1 ソースクロックアクティブレジスタ	CKSC_IPERI1S_ACT	FFF8 A208 _H
	C_ISO_PERI2 ソースクロック選択レジスタ	CKSC_IPERI2S_CTL	FFF8 A300 _H
	C_ISO_PERI2 ソースクロックアクティブレジスタ	CKSC_IPERI2S_ACT	FFF8 A308 _H
	C_ISO_LIN ソースクロック選択レジスタ	CKSC_ILINS_CTL	FFF8 A400 _H
	C_ISO_LIN ソースクロックアクティブレジスタ	CKSC_ILINS_ACT	FFF8 A408 _H
	C_ISO_ADCA ソースクロック選択レジスタ	CKSC_IADCAS_CTL ^{注1}	FFF8 A500 _H
	C_ISO_ADCA ソースクロックアクティブレジスタ	CKSC_IADCAS_ACT ^{注1}	FFF8 A508 _H
	C_ISO_ADCA クロック分周レジスタ	CKSC_IADCAD_CTL ^{注1}	FFF8 A600 _H
	C_ISO_ADCA クロック分周アクティブレジスタ	CKSC_IADCAD_ACT ^{注1}	FFF8 A608 _H
	C_ISO_LIN クロック分周レジスタ	CKSC_ILIND_CTL	FFF8 A800 _H
	C_ISO_LIN クロック分周アクティブレジスタ	CKSC_ILIND_ACT	FFF8 A808 _H
	C_ISO_LIN 停止マスクレジスタ	CKSC_ILIND_STPM	FFF8 A818 _H
	C_ISO_CAN ソースクロック選択レジスタ	CKSC_ICANS_CTL	FFF8 A900 _H
	C_ISO_CAN ソースクロックアクティブレジスタ	CKSC_ICANS_ACT	FFF8 A908 _H
	C_ISO_CAN 停止マスクレジスタ	CKSC_ICANS_STPM	FFF8 A918 _H
	C_ISO_CANOSC クロック分周レジスタ	CKSC_ICANOSCD_CTL	FFF8 AA00 _H
	C_ISO_CANOSC クロック分周アクティブレジスタ	CKSC_ICANOSCD_ACT	FFF8 AA08 _H
	C_ISO_CANOSC 停止マスクレジスタ	CKSC_ICANOSCD_STPM	FFF8 AA18 _H
	C_ISO_CSI ソースクロック選択レジスタ	CKSC_ICSIS_CTL	FFF8 AB00 _H
	C_ISO_CSI ソースクロックアクティブレジスタ	CKSC_ICSIS_ACT	FFF8 AB08 _H
	C_ISO_IIC ソースクロック選択レジスタ	CKSC_IICCS_CTL	FFF8 AC00 _H
C_ISO_IIC ソースクロックアクティブレジスタ	CKSC_IICCS_ACT	FFF8 AC08 _H	

注 1. 144 pin、176 pin 製品のみ対応

12.4.2 クロック発振回路のレジスタ

12.4.2.1 MOSCE — MainOSC イネーブルレジスタ

このレジスタは MainOSC の起動および停止のために使用されます。

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「[第5章 書き込み保護レジスタ](#)」を参照してください。

このレジスタはパワーアップリセット信号 PURES および CLMA1RES によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 1100_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSCDISTRG	MOSCENTRNG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12.2 MOSCE レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	MOSCDISTRG	MainOSC ディセーブルトリガ ^{注1, 注3} <u>MOSCSTPM.MOSCSTPMSK = 0</u> 0: 機能なし 1: MainOSC を停止 <u>MOSCSTPM.MOSCSTPMSK = 1</u> MOSCSTPM.MOSCSTPMSK = 1 時にライトする場合は 0 を書いてください。 0: 機能なし 1: 設定禁止 MainOSC が無効になったあと、このビットはハードウェアで自動的にクリア (0) されます。
0	MOSCENTRNG	MainOSC イネーブルトリガ ^{注2, 注3} 0: 機能なし 1: MainOSC を起動 MainOSC が有効になったあと、このビットはハードウェアで自動的にクリア (0) されます。

注 1. MOSCDISTRG により MainOSC を停止するときは下記手順を守ってください。

1. MainOSC が有効になるまでの期間または、停止になるまでの期間でないことを確認してください (MOSCE.MOSCDISTRG = 0 and MOSCE.MOSCENTRNG = 0)。
2. MainOSC がアクティブであることを確認してください (MOSCS.MOSCCLKACT = 1)。
3. MainOSC を選択しているクロックドメインがないことを確認してください。MainOSC を選択しているクロックドメインがあった場合、Disable 設定または、MainOSC 以外のクロックソースを選択してください。
4. MainOSC 停止マスクレジスタ設定が、スタンバイ時 MainOSC 動作継続でないことを確認してください。もし、スタンバイ時 MainOSC 動作継続設定である場合は、スタンバイ時 MainOSC 動作停止を選択してください (MOSCSTPM.MOSCSTPMSK = 0)。
5. MainOSC を停止 (MOSCE.MOSCDISTRG = 1)。

6. MainOSC の停止を確認 (MOSCS.MOSCCLKACT = 0)。
- 注 2. MOSCENTRG により MainOSC を起動するときは下記手順を守ってください。
1. MainOSC が有効になるまでの期間または、停止になるまでの期間でないことを確認してください。
(MOSCE.MOSCDISTRG = 0 and MOSCE.MOSCENTRG = 0)。
 2. MainOSC がインアクティブであることを確認してください (MOSCS.MOSCCLKACT = 0)。
 3. MainOSC を起動してください (MOSCE.MOSCENTRG = 1)。
 4. MainOSC を起動を確認してください (MOSCS.MOSCCLKACT = 1)。
- 注 3. 起動ビットにより起動と、停止ビットにより停止を同時に行わないでください。
MOSCE.MOSCDISTRG = 1 and MOSCE.MOSCENTRG = 1 は同時設定禁止

12.4.2.2 MOSCS — MainOSC ステータスレジスタ

このレジスタは MainOSC のアクティブステータス情報を保持します。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA1RES}}$ によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 1104_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1 ^{注1}	0 ^{注1}
	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSC CLKACT	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1. ビット 1, 0 には不定値が入ります。

ステータスを確認する場合はビット 1, 0 をマスクし、ビット 2 のみで判断してください。

表 12.3 MOSCS レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	MOSCCLKACT	MainOSC アクティブステータス 0 : MainOSC はインアクティブ 1 : MainOSC はアクティブ
1, 0	予約ビット	リードした場合は不定値が読めます。

12.4.2.3 MOSCC — MainOSC コントロールレジスタ

このレジスタは MainOSC の増幅のために使用されます。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA1RES}}$ によって初期化されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 1108_H

リセット後の値 0000 0004_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSCCAMPSEL [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12.4 MOSCC レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	MOSCCAMPSEL [1:0]	MainOSC アンブ利得選択 00 : fx = 24 MHz アンブ利得 01 : fx = 20 MHz アンブ利得 10 : fx = 16 MHz アンブ利得 11 : 設定禁止

注 意

本レジスタは MainOSC 停止時に設定してください。

12.4.2.4 MOSCST — MainOSC 安定時間レジスタ

このレジスタは MainOSC の安定時間を規定します。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA1RES}}$ によって初期化されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 110C_H

リセット後の値 0000 44C0_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSC CLKST 16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MOSCCLKST[15:0]															
リセット後の値	0	1	0	0	0	1	0	0	1	1	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12.5 MOSCST レジスタの内容

ビット位置	ビット名	機能
31 ~ 17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16 ~ 0	MOSCCLKST [16:0]	MOSCCLKST[16:0] は、MainOSC の安定時間カウンタのカウント数を規定します。 <ul style="list-style-type: none"> HS IntOSC がアクティブ (ROSCS.ROSCCLKACT = 1) の場合 : 安定時間 = MOSCCLKST[16:0] / f_{RH} HS IntOSC がインアクティブ (ROSCS.ROSCCLKACT = 0) の場合 : 安定時間 = MOSCCLKST[16:0] / f_{RL}

備考

MainOSC の安定時間の詳細については、「第 40 章 電気的特性」を参照してください。

注意

本レジスタは MainOSC 停止時に設定してください。

12.4.2.5 MOSCSTPM — MainOSC 停止マスクレジスタ

このレジスタはパワーアップリセット信号 PURES および CLMA1RES によって初期化されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 1118_H

リセット後の値 0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSCS TPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 12.6 MOSCSTPM レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	MOSCSTPMSK	MainOSC 停止要求マスク 0 : スタンバイ時 MainOSC 動作停止 MainOSC ディセーブルトリガ MOSCE.MOSCDISTRG = 1 設定時、 MainOSC 動作停止 1 : スタンバイ時 MainOSC 動作継続 MainOSC ディセーブルトリガ MOSCE.MOSCDISTRG = 1 設定時、 MainOSC 動作継続

12.4.2.6 MOSCM — MainOSC モードコントロールレジスタ

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA1RES}}$ によって初期化されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 111C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSC M
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 12.7 MOSCM レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	MOSCM	MainOSC モード制御 0: OSC モード (デフォルト) 1: EXCLK モード。MainOSC 増幅は無効です。

注 意

本レジスタは MainOSC 停止時に設定してください。

12.4.2.7 SOSCE — SubOSC イネーブルレジスタ

このレジスタは SubOSC の起動および停止のために使用されます。

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第5章 書き込み保護レジスタ**」を参照してください。

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 1200_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOSCD ISTRG	SOSCE NTRG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12.8 SOSCE レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。
1	SOSCDISTRG	SubOSC ディセーブルトリガ ^{注1, 注2, 注3} 0: 機能なし 1: SubOSC を停止 SubOSC が無効になったあと、このビットはハードウェアで自動的にクリア (0) されます。
0	SOSCENTRG	SubOSC イネーブルトリガ ^{注3} 0: 機能なし 1: SubOSC を起動 SubOSC が有効になったあと、このビットはハードウェアで自動的にクリア (0) されます。

注 1. SOSCDISTRG により SubOSC を停止するときは下記手順を守ってください。

- SubOSC が有効になるまでの期間または、停止になるまでの期間でないことを確認してください (SOSCE.SOSCDISTRG = 0 and SOSCE.SOSCENTRG = 0)。
- SubOSC がアクティブであることを確認してください (SOSCS.OSCCLKACT = 1)。
- SubOSC を選択しているクロックドメインがないことを確認してください。SubOSC を選択しているクロックドメインがあった場合、Disable 設定または、SubOSC 以外のクロックソースを選択してください。
- SubOSC を停止 (SOSCE.SOSCDISTRG = 1)。
- SubOSC の停止を確認 (SOSCS.OSCCLKACT = 0)。

注 2. SOSCDISTRG により SubOSC を起動するときは下記手順を守ってください。

- SubOSC が有効になるまでの期間または、停止になるまでの期間でないことを確認してください (SOSCE.SOSCDISTRG = 0 and SOSCE.SOSCENTRG = 0)。
- SubOSC がインアクティブであることを確認してください (SOSCS.OSCCLKACT = 0)。
- SubOSC を起動してください (SOSCE.SOSCENTRG = 1)。
- SubOSC を起動を確認してください (SOSCS.OSCCLKACT = 1)。

注 3. 起動ビットによる起動と、停止ビットによる停止を同時に行わないでください。

SOSCE.SOSCDISTRG = 1 and SOSCE.SOSCENTRG = 1 の同時設定禁止

12.4.2.8 SOSCS — SubOSC ステータスレジスタ

このレジスタは SubOSC のアクティブステータス情報を保持します。

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 1204_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1 ^{注1}	0 ^{注1}
	—	—	—	—	—	—	—	—	—	—	—	—	—	SOSCC LKACT	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1. ビット 1, 0 には不定値が入ります。
ステータスを確認する場合はビット 1, 0 をマスクし、ビット 2 のみで判断してください。

表 12.9 SOSCS レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	SOSCCCLKACT	SubOSC アクティブステータス 0 : SubOSC はインアクティブ 1 : SubOSC はアクティブ
1, 0	予約ビット	リードした場合は不定値が読めます。

12.4.2.9 SOSCST — SubOSC 安定時間レジスタ

このレジスタは SubOSC の安定時間を規定します。

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 120C_H

リセット後の値 010C 8E00_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	SOSCCLKST[29:16]													
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SOSCCLKST[15:0]															
リセット後の値	1	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12.10 SOSCST レジスタの内容

ビット位置	ビット名	機能
31, 30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29 ~ 0	SOSCCLKST [29:0]	SOSCCLKST[29:0] は、SubOSC の安定時間カウンタのカウンタ数を規定します。 <ul style="list-style-type: none"> HS IntOSC がアクティブ (ROSCS.ROSCCLKACT = 1) の場合 : 安定時間 = SOSCCLKST[29:0] / f_{RH} HS IntOSC がインアクティブ (ROSCS.ROSCCLKACT = 0) の場合 : 安定時間 = SOSCCLKST[29:0] / f_{RL}

備考

SubOSC の安定時間の詳細については、「第 40 章 電気的特性」を参照してください。

注意

本レジスタは SubOSC 停止時に設定してください。

12.4.2.10 ROSCE — HS IntOSC イネーブルレジスタ

このレジスタは HS IntOSC の停止のために使用します。

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第5章 書き込み保護レジスタ**」を参照してください。

このレジスタはパワーアップリセット信号 PURES および CLMA0RES によって初期化されます。

注 意

CLMA0RES が発生したときにのみ、ROSCE.ROSCDISTRG ビットの設定をしてください。それ以外の場合には設定禁止です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 1000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ROSC DISTR G	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R

表 12.11 ROSCE レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	ROSCDISTRG	HS IntOSC ディセーブルトリガ ROSCSTPM.ROSCSTPMSK = 0 0 : 機能なし 1 : HS IntOSC を停止 ROSCSTPM.ROSCSTPMSK = 1 設定禁止
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

12.4.2.11 ROSCS — HS IntOSC ステータスレジスタ

このレジスタは HS IntOSC のアクティブステータス情報を保持します。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA0RES}}$ によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 1004_H

リセット後の値 0000 0007_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1注1	0注1
	—	—	—	—	—	—	—	—	—	—	—	—	—	ROSCCLKACT	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1. ビット 1, 0 には不定値が入ります。

ステータスを確認する場合はビット 1, 0 をマスクし、ビット 2 のみで判断してください。

表 12.12 ROSCS レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	ROSCCLKACT	HS IntOSC アクティブステータス 0 : HS IntOSC はインアクティブ 1 : HS IntOSC はアクティブ
1, 0	予約ビット	リードした場合は不定値が読めます。

12.4.2.12 ROSCSTPM — HS IntOSC 停止マスクレジスタ

このレジスタはパワーアップリセット信号 PURES および CLMA0RES によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 1018_H

リセット後の値 0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ROSCS TPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 12.13 ROSCSTPM レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ROSCSTPMSK	スタンバイ時の HS IntOSC 停止要求マスク 0: スタンバイ時 HS IntOSC 動作停止 1: スタンバイ時 HS IntOSC 動作継続 このビットがセット (1) されているときに、HS IntOSC 禁止トリガ ROSCE.ROSCDISTRG を 1 に設定しないでください。

12.4.2.13 PLLE — PLL イネーブルレジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「第5章 書き込み保護レジスタ」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 9000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLLDIS TRG	PLLEN TRG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12.14 PLLE レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	PLLDISTRG	PLL ディセーブルトリガ ^{注1, 注4} 0: 機能なし 1: PLL を停止 PLL が無効になったあと、このビットはハードウェアで自動的にクリア (0) されます。
0	PLLENTRG	PLL イネーブルトリガ ^{注2, 注3, 注4} 0: 機能なし 1: PLL を起動 PLL が有効になったあと、このビットはハードウェアで自動的にクリア (0) されます。

注 1. PLLDISTRG により PLL を停止するときは下記手順を守ってください。

1. PLL が有効になるまでの期間または、停止になるまでの期間でないことを確認してください (PLLE.PLLDISTRG = 0 and PLLE.PLLENTRG = 0)。
2. PLL がアクティブであることを確認してください (PLLS.PLLCLKACT = 1)。
3. PLL を選択しているクロックドメインがないことを確認してください。PLL を選択しているクロックドメインがあった場合、Disable 設定または、PLL 以外のクロックソースを選択してください。
4. PLL を停止 (PLLE.PLLDISTRG = 1)。
5. PLL の停止を確認 (PLLS.PLLCLKACT = 0)。

注 2. PLLENTRG により PLL を起動するときは、PLL 入力クロック (CKSC_PLLIS_CTL で選択された MainOSC または HS IntOSC) が動作していることを確認してから行ってください。

注 3. PLLENTRG により PLL を起動するときは下記手順を守ってください。

1. PLL が有効になるまでの期間または、停止になるまでの期間でないことを確認してください (PLLE.PLLDISTRG = 0 and PLLE.PLLENTRG = 0)。
2. PLL がインアクティブであることを確認してください (PLLS.PLLCLKACT = 0)。
3. PLL を起動してください (PLLE.PLLENTRG = 1)。
4. PLL の起動を確認してください (PLLS.PLLCLKACT = 1)。

注 4. 起動ビットによる起動と、停止ビットによる停止を同時に行わないでください。

PLLE.PLLDISTRG = 1 and PLLE.PLLENTRG = 1 は同時設定禁止

12.4.2.14 PLLS — PLL ステータスレジスタ

このレジスタは PLL のアクティブステータス情報を保持します。

このレジスタはすべてのリセット要因 (ISORES) によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 9004_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1 ^{注1}	0 ^{注1}
	—	—	—	—	—	—	—	—	—	—	—	—	—	PLLCLKACT	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1. ビット 1, 0 には不定値が入ります。
ステータスを確認する場合はビット 1, 0 をマスクし、ビット 2 のみで判断してください。

表 12.15 PLLS レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	PLLCLKACT	PLL アクティブステータス 0 : PLL はインアクティブ 1 : PLL はアクティブ
1, 0	予約ビット	リードした場合は不定値が読めます。

12.4.2.15 PLLC — PLL コントロールレジスタ

このレジスタは「12.3.5.1 PLLのパラメータ」に示すPLL VCOの出力クロック周波数 f_{VCOOUT} を設定します。

このレジスタは、PLLがディセーブル状態でのみ書き込みが可能です。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 9008_H

リセット後の値 0001 133B_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	M[1:0]	—	—	—	—	—	N[5:0]						
リセット後の値	0	0	0	1	0	0	1	1	0	0	1	1	1	0	1	1
R/W	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 12.16 PLLC レジスタの内容

ビット位置	ビット名	機能
31 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12、11	M[1:0]	分周比 Mr を設定します。 M[1:0] の内容については、「表 12.17 PLL 出力の表」を参照してください。
10 ~ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5 ~ 0	N[5:0]	分周比 Nr を設定します。 N[5:0] の内容については、「表 12.17 PLL 出力の表」を参照してください。

注 意

本レジスタはPLL停止時に設定してください。

表 12.17 PLL 出力の表 (1/3)

PLLCLKIN 周波数 $f_{PLLCLKIN}$ (MHz)	PLL.C. M[1:0] (Mr)	PLL.C. N[5:0] (Nr)	VCOOUT 周波数 f_{VCOOUT} (MHz)	最大 CPLLOUT 周波数 $f_{CPLLOUT}$ (MHz) 注1			PPLLOUT 周波数 $f_{PPLLOUT}$ (MHz)
				VCOOUT × 1/4 (PREMIUM, ADVANCED)	VCOOUT × 1/5 (PREMIUM, ADVANCED)	VCOOUT × 1/6 (PREMIUM, ADVANCED, ECO)	
16 (MainOSC)	01 _B (Mr = 2)	3B _H (Nr = 60)	480.0	120.0	96.0	80.0	80.0
		3A _H (Nr = 59)	472.0	118.0	94.4	78.7	78.7
		39 _H (Nr = 58)	464.0	116.0	92.8	77.3	77.3
		38 _H (Nr = 57)	456.0	114.0	91.2	76.0	76.0
		37 _H (Nr = 56)	448.0	112.0	89.6	74.7	74.7
		36 _H (Nr = 55)	440.0	110.0	88.0	73.3	73.3
		35 _H (Nr = 54)	432.0	108.0	86.4	72.0	72.0
		34 _H (Nr = 53)	424.0	106.0	84.8	70.7	70.7
		33 _H (Nr = 52)	416.0	104.0	83.2	69.3	69.3
		32 _H (Nr = 51)	408.0	102.0	81.6	68.0	68.0
		31 _H (Nr = 50)	400.0	100.0	80.0	66.7	66.7
		30 _H (Nr = 49)	392.0	98.0	78.4	65.3	65.3
		2F _H (Nr = 48)	384.0	96.0	76.8	64.0	64.0
20 (MainOSC)	01 _B (Mr = 2)	2F _H (Nr = 48)	480.0	120.0	96.0	80.0	80.0
		2E _H (Nr = 47)	470.0	117.5	94.0	78.3	78.3
		2D _H (Nr = 46)	460.0	115.0	92.0	76.7	76.7
		2C _H (Nr = 45)	450.0	112.5	90.0	75.0	75.0
		2B _H (Nr = 44)	440.0	110.0	88.0	73.3	73.3
		2A _H (Nr = 43)	430.0	107.5	86.0	71.7	71.7
		29 _H (Nr = 42)	420.0	105.0	84.0	70.0	70.0
		28 _H (Nr = 41)	410.0	102.5	82.0	68.3	68.3
		27 _H (Nr = 40)	400.0	100.0	80.0	66.7	66.7
		26 _H (Nr = 39)	390.0	97.5	78.0	65.0	65.0
		25 _H (Nr = 38)	380.0	95.0	76.0	63.3	63.3

表 12.17 PLL 出力の表 (2/3)

PLLCLKIN 周波数 $f_{PLLCLKIN}$ (MHz)	PLL. M[1:0] (Mr)	PLL. N[5:0] (Nr)	VCOOUT 周波数 f_{VCOOUT} (MHz)	最大 CPPLLOUT 周波数 $f_{CPPLLOUT}$ (MHz) ^{注1}			PPLLOUT 周波数 $f_{PPLLOUT}$ (MHz)
				VCOOUT × 1/4 (PREMIUM, ADVANCED)	VCOOUT × 1/5 (PREMIUM, ADVANCED)	VCOOUT × 1/6 (PREMIUM, ADVANCED, ECO)	
24 (MainOSC)	01 _B (Mr = 2)	27 _H (Nr = 40)	480.0	120.0	96.0	80.0	80.0
		26 _H (Nr = 39)	468.0	117.0	93.6	78.0	78.0
		25 _H (Nr = 38)	456.0	114.0	91.2	76.0	76.0
		24 _H (Nr = 37)	444.0	111.0	88.8	74.0	74.0
		23 _H (Nr = 36)	432.0	108.0	86.4	72.0	72.0
		22 _H (Nr = 35)	420.0	105.0	84.0	70.0	70.0
		21 _H (Nr = 34)	408.0	102.0	81.6	68.0	68.0
		20 _H (Nr = 33)	396.0	99.0	79.2	66.0	66.0
		1F _H (Nr = 32)	384.0	96.0	76.8	64.0	64.0
	10 _B (Mr = 3)	3B _H (Nr = 60)	480.0	120.0	96.0	80.0	80.0
		3A _H (Nr = 59)	472.0	118.0	94.4	78.7	78.7
		39 _H (Nr = 58)	464.0	116.0	92.8	77.3	77.3
		38 _H (Nr = 57)	456.0	114.0	91.2	76.0	76.0
		37 _H (Nr = 56)	448.0	112.0	89.6	74.7	74.7
		36 _H (Nr = 55)	440.0	110.0	88.0	73.3	73.3
		35 _H (Nr = 54)	432.0	108.0	86.4	72.0	72.0
		34 _H (Nr = 53)	424.0	106.0	84.8	70.7	70.7
		33 _H (Nr = 52)	416.0	104.0	83.2	69.3	69.3
		32 _H (Nr = 51)	408.0	102.0	81.6	68.0	68.0
		31 _H (Nr = 50)	400.0	100.0	80.0	66.7	66.7
30 _H (Nr = 49)	392.0	98.0	78.4	65.3	65.3		
2F _H (Nr = 48)	384.0	96.0	76.8	64.0	64.0		

表 12.17 PLL 出力の表 (3/3)

PLLCLKIN 周波数 f_{PLLCLKIN} (MHz)	PLL. M[1:0] (Mr)	PLL. N[5:0] (Nr)	VCOOUT 周波数 f_{VCOOUT} (MHz)	最大 CPLLOUT 周波数 f_{CPLLOUT} (MHz) ^{注1}			PPLLOUT 周波数 f_{PPLLOUT} (MHz)
				VCOOUT × 1/4 (PREMIUM, ADVANCED)	VCOOUT × 1/5 (PREMIUM, ADVANCED)	VCOOUT × 1/6 (PREMIUM, ADVANCED, ECO)	
8 (HS IntOSC) ^{注2}	00 _B (Mr = 1)	3B _H (Nr = 60)	480.0	N/A	N/A	80.0 ^{注2}	80.0 ^{注2}
		3A _H (Nr = 59)	472.0	N/A	N/A	78.7 ^{注2}	78.7 ^{注2}
		39 _H (Nr = 58)	464.0	N/A	N/A	77.3 ^{注2}	77.3 ^{注2}
		38 _H (Nr = 57)	456.0	N/A	N/A	76.0 ^{注2}	76.0 ^{注2}
		37 _H (Nr = 56)	448.0	N/A	N/A	74.7 ^{注2}	74.7 ^{注2}
		36 _H (Nr = 55)	440.0	N/A	N/A	73.3 ^{注2}	73.3 ^{注2}
		35 _H (Nr = 54)	432.0	N/A	N/A	72.0 ^{注2}	72.0 ^{注2}
		34 _H (Nr = 53)	424.0	N/A	N/A	70.7 ^{注2}	70.7 ^{注2}
		33 _H (Nr = 52)	416.0	N/A	N/A	69.3 ^{注2}	69.3 ^{注2}
		32 _H (Nr = 51)	408.0	N/A	N/A	68.0 ^{注2}	68.0 ^{注2}
		31 _H (Nr = 50)	400.0	N/A	N/A	66.7 ^{注2}	66.7 ^{注2}
		30 _H (Nr = 49)	392.0	N/A	N/A	65.3 ^{注2}	65.3 ^{注2}
		2F _H (Nr = 48)	384.0	N/A	N/A	64.0 ^{注2}	64.0 ^{注2}

注 1. CPLLOUT 周波数は CKSC_CPUCLKD_CTL.CPUCLKDPLL[1:0] で定義されます。CKSC_CPUCLKD_CTL レジスタの説明を参照してください。

注 2. 典型的な周波数。HS IntOSC のユーザーキャリブレーションは PLLCLKIN として HS IntOSC を設定する前に要求されます。

12.4.2.16 PLL 入力クロック選択

(1) CKSC_PLLIS_CTL — PLL 入力クロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「第5章 書き込み保護レジスタ」を参照してください。

このレジスタは、PLL がディセーブル状態でのみ書き込みが可能です。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 A700_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLLISCSID [1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12.18 CKSC_PLLIS_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	PLLISCSID[1:0]	PLL 入力クロックに対するソースクロックの設定 01 _B : MainOSC (デフォルト) 10 _B : HS IntOSC ^{注1} 上記以外 : 設定禁止

注 1. CPLLOUT と PPLLOUT の最大周波数は、HS IntOSC を PLL 入力クロックに選択した場合には制限があります。

注 意

本レジスタは PLL 停止時に設定してください。

(2) CKSC_PLLIS_ACT — PLL 入カクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 A708_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLLISACT[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.19 CKSC_PLLIS_CTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	PLLISACT[1:0]	現在アクティブな PLL 入カクロックのソースクロック

12.4.2.17 PPLLCLK ソースクロック選択

(1) CKSC_PPLLCLKS_CTL — PPLLCLK ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「第5章 書き込み保護レジスタ」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 A010_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PPLLCLKSCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12.20 CKSC_PPLLCLKS_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	PPLLCLKSCSID [1:0]	PPLLCLK に対するソースクロックの設定 00 _B : 設定禁止 01 _B : EMCLK (デフォルト) 10 _B : MainOSC 11 _B : PPLLOUT

(2) CKSC_PPLLCLKS_ACT — PPLLCLK ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 A018_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PPLLCLKSACT [1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.21 CKSC_PPLLCLKS_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	PPLLCLKSACT [1:0]	現在アクティブな PPLLCLK 入力クロックのソースクロック ^{注1}

注 1. 以下のすべてのクロックドメインのために選択されたソースクロックが PPLLCLK（または PPLLCLK2）以外のとき、このレジスタからは 00_B が読めます。
C_ISO_PERI1, C_ISO_PERI2, C_ISO_LIN, C_ISO_ADCA, C_ISO_CAN, C_ISO_CSI, C_ISO_IIC

12.4.2.18 ROSCUT — HS IntOSC ユーザトリミングレジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第5章 書き込み保護レジスタ**」を参照してください。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA0RES}}$ によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 101C_H

リセット後の値 0000 0XXX_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	FADJUST[8:0]								
リセット後の値	0	0	0	0	0	0	0	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12.22 ROSCUT レジスタの内容

ビット位置	ビット名	機能
31 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8 ~ 0	FADJUST[8:0]	HS IntOSC の周波数調整パラメータ。 このレジスタのリセット後の値はあらかじめ設定した HS IntOSC トリミングデータの値です。HS IntOSC 周波数が対象周波数範囲になるまで、"リード値 +1" または "リード値 -1" でこのレジスタを書き換えます。

12.4.3 クロックセレクタコントロールレジスタ

12.4.3.1 WDTA0 クロックドメイン C_AWO_WDTA

(1) CKSC_AWDTAD_CTL — C_AWO_WDTA クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「第5章 書き込み保護レジスタ」を参照してください。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因 (AWORES) で初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 2000_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AWDTADCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12.23 CKSC_AWDTAD_CTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	AWDTADCSID [1:0]	C_AWO_WDTA に対するクロック分周回路の設定 00 _B : 設定禁止 01 _B : LS IntOSC / 128 (デフォルト) 10 _B : LS IntOSC / 1 11 _B : 設定禁止

注 意

CKSC_AWDTAD_CTL レジスタの設定は、CKSC_AWDTAD_CTL = CKSC_AWDTAD_ACT を確認してから、行ってください。

(2) CKSC_AWDTAD_ACT — C_AWO_WDTA クロック分周アクティブレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因 (AWORES) で初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 2008_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AWDTADACT [1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0 ^{注1} 0 ^{注1}
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1. 非アクティブ状態での値。アクティブ状態になった後、01_B になります。

表 12.24 CKSC_AWDTAD_ACT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1, 0	AWDTADACT [1:0]	現在アクティブな C_AWO_WDTA に対するクロック分周回路

(3) CKSC_AWDTAD_STPM — C_AWO_WDTA 停止マスクレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 2018_H

リセット後の値 0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AWDTA DSTPM SK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注 意

ビット 1 のリセット後の値 “1” を変更してはいけません。

表 12.25 CKSC_AWDTAD_STPM レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	AWDTAD STPMSK ^{注1}	0 : クロックドメイン C_AWO_WDTA はスタンバイモードで停止されます。 1 : クロックドメイン C_AWO_WDTA はスタンバイモードで停止されません。

注 1. このビットを 1 に設定することで、モード移行時間を最適化できます。

12.4.3.2 TAUJ クロックドメイン C_AWO_TAUJ

(1) CKSC_ATAUJS_CTL — C_AWO_TAUJ ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「第5章 書き込み保護レジスタ」を参照してください。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因 (AWORES) で初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 2100_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ATAUJSCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 12.26 CKSC_ATAUJS_CTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	ATAUJSCSID [2:0]	C_AWO_TAUJ に対するソースクロックの設定 ^{注1} 000 _B : 無効化 001 _B : HS IntOSC (デフォルト) 010 _B : MainOSC 011 _B : LS IntOSC 100 _B : PPLLCLK2 その他すべて: 設定禁止

注 1. スタンバイモードに遷移する場合は、遷移前に PPLLCLK2 以外を選択してください。

(2) CKSC_ATAUJS_ACT — C_AWO_TAUJ ソースクロックアクティブレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 2108_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ATAUJSACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.27 CKSC_ATAUJS_ACT レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2 ~ 0	ATAUJSACT [2:0]	現在アクティブな C_AWO_TAUJ のソースクロック

(3) CKSC_ATAUJD_CTL — C_AWO_TAUJ クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第5章 書き込み保護レジスタ**」を参照してください。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因 (AWORES) で初期化されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 2200_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ATAUJDCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 12.28 CKSC_ATAUJD_CTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	ATAUJDCSID [2:0]	C_AWO_TAUJ に対するクロック分周回路の設定 000 _B : 設定禁止 001 _B : CKSC_ATAUJS_CTL 選択 /1 (デフォルト) 010 _B : CKSC_ATAUJS_CTL 選択 /2 011 _B : CKSC_ATAUJS_CTL 選択 /4 100 _B : CKSC_ATAUJS_CTL 選択 /8 その他すべて: 設定禁止

(4) CKSC_ATAUJD_ACT — C_AWO_TAUJ クロック分周アクティブレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 2208_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ATAUJDACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.29 CKSC_ATAUJD_ACT レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2 ~ 0	ATAUJDACT [2:0]	現在アクティブな C_AWO_TAUJ に対するクロック分周回路

(5) CKSC_ATAUJD_STPM — C_AWO_TAUJ 停止マスクレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 2218_H

リセット後の値 0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ATAUJD STPMS K
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注 意

ビット 1 のリセット後の値 “1” を変更してはいけません。

表 12.30 CKSC_ATAUJD_STPM レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ATAUJD STPMSK	0 : クロックドメイン C_AWO_TAUJ はスタンバイモードで停止されます。 1 : クロックドメイン C_AWO_TAUJ はスタンバイモードで停止されません。

12.4.3.3 RTCA クロックドメイン C_AWO_RTCA

(1) CKSC_ARTCAS_CTL — C_AWO_RTCA ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「第5章 書き込み保護レジスタ」を参照してください。

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 2300_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARTCASCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12.31 CKSC_ARTCAS_CTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	ARTCASCSID [1:0]	C_AWO_RTCA に対するソースクロックの設定 00 _B : 無効化 (デフォルト) 01 _B : SubOSC 注1 10 _B : MainOSC 注2 11 _B : LS IntOSC

注 1. 144 pin、176 pin 製品のみ対応

注 2. クロックドメイン C_AWO_RTCA に 4MHz 以上の周波数が供給されないように、CKSC_ARTCAS_CTL=10_B: MainOSC を設定する前に、CKSC_ARTCAD_ACT=0000 0000_H: 無効化であることを確認してください。

(2) CKSC_ARTCAS_ACT — C_AWO_RTCA ソースクロックアクティブレジスタ

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 2308_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARTCASACT [1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.32 CKSC_ARTCAS_ACT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1, 0	ARTCASACT [1:0]	現在アクティブな C_AWO_RTCA のソースクロック

(3) CKSC_ARTCAD_CTL — C_AWO_RTCA クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第5章 書き込み保護レジスタ**」を参照してください。

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 2400_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ARTCADCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 12.33 CKSC_ARTCAD_CTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	ARTCADCSID [2:0]	C_AWO_RTCA に対するクロック分周回路の設定 000 _B : 無効化 (デフォルト) 001 _B : CKSC_ARTCAS_CTL 選択 /1 010 _B : CKSC_ARTCAS_CTL 選択 /2 011 _B : CKSC_ARTCAS_CTL 選択 /4 100 _B : CKSC_ARTCAS_CTL 選択 /8 その他すべて: 設定禁止

(4) CKSC_ARTCAD_ACT — C_AWO_RTCA クロック分周アクティブレジスタ

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 2408_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ARTCADACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.34 CKSC_ARTCAD_ACT レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2 ~ 0	ARTCADACT [2:0]	現在アクティブな C_AWO_RTCA に対するクロック分周回路

(5) CKSC_ARTCAD_STPM — C_AWO_RTCA 停止マスクレジスタ

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 2418_H

リセット後の値 0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARTCAD DSTPM SK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注 意

ビット1のリセット後の値“1”を変更してはいけません。

表 12.35 CKSC_ARTCAD_STPM レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ARTCAD STPMSK	0: クロックドメイン C_AWO_RTCA はスタンバイモードで停止されます。 1: クロックドメイン C_AWO_RTCA はスタンバイモードで停止されません。

12.4.3.4 ADCA0 クロックドメイン C_AWO_ADCA

(1) CKSC_AADCAS_CTL — C_AWO_ADCA ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「第5章 書き込み保護レジスタ」を参照してください。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因 (AWORES) で初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 2500_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AADCASCSID [1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12.36 CKSC_AADCAS_CTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	AADCASCSID [1:0]	C_AWO_ADCA に対するソースクロックの設定 ^{注1} 00 _B : 無効化 01 _B : HS IntOSC (デフォルト) 10 _B : MainOSC 11 _B : PPLLCLK2

注 1. スタンバイモードに遷移する場合は、遷移前に PPLLCLK2 以外を選択してください。

(2) CKSC_AADCAS_ACT — C_AWO_ADCA ソースクロックアクティブレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 2508_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AADCASACT [1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.37 CKSC_AADCAS_ACT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1 ~ 0	AADCASACT [1:0]	現在アクティブな C_AWO_ADCA に対するソースクロック

(3) CKSC_AADCAD_CTL — C_AWO_ADCA クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第5章 書き込み保護レジスタ**」を参照してください。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因 (AWORES) で初期化されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 2600_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AADCADCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12.38 CKSC_AADCAD_CTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	AADCADCSID [1:0]	C_AWO_ADCA に対するクロック分周回路の設定 00 _B : 設定禁止 01 _B : CKSC_AADCAS_CTL 選択 /1 (デフォルト) 10 _B : CKSC_AADCAS_CTL 選択 /2 ^{注1} 11 _B : 設定禁止

注 1. 2 分周により C_AWO_ADCA が 8MHz 未満にならないようにしてください。

(4) CKSC_AADCAD_ACT — C_AWO_ADCA クロック分周アクティブレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 2608_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AADCADACT [1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.39 CKSC_AADCAD_ACT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1, 0	AADCADACT [1:0]	現在アクティブな C_AWO_ADCA に対するクロック分周回路

(5) CKSC_AADCAD_STPM — C_AWO_ADCA 停止マスクレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因 (AWORES) で初期化されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 2618_H

リセット後の値 0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AADCADSTPM SK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注 意

ビット 1 のリセット後の値 “1” を変更してはいけません。

表 12.40 CKSC_AADCAD_STPM レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	AADCADSTPM SK	0 : クロックドメイン C_AWO_ADCA はスタンバイモードで停止されます。 1 : クロックドメイン C_AWO_ADCA はスタンバイモードで停止されません。

12.4.3.5 FOUT クロックドメイン C_AWO_FOUT

(1) CKSC_AFOUTS_CTL — C_AWO_FOUT ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「第5章 書き込み保護レジスタ」を参照してください。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因 (AWORES) で初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 2700_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	AFOUTSCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 12.41 CKSC_AFOUTS_CTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	AFOUTSCSID [2:0]	C_AWO_FOUT に対するソースクロックの設定 ^{注1} 000 _B : 無効化 (デフォルト) 001 _B : MainOSC 010 _B : HS IntOSC 011 _B : LS IntOSC 100 _B : SubOSC ^{注2} 101 _B : PPLLCLK4 110 _B : PPLLCLK4 111 _B : 設定禁止

注 1. スタンバイモードに遷移する場合は、遷移前に PPLLCLK4 以外を選択してください。

注 2. 144 pin、176 pin 製品のみ対応

(2) CKSC_AFOUTS_ACT — C_AWO_FOUT ソースクロックアクティブレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 2708_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	AFOUTSACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.42 CKSC_AFOUTS_ACT レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2 ~ 0	AFOUTSACT [2:0]	現在アクティブな C_AWO_FOUT に対するソースクロック

(3) CKSC_AFOUTS_STPM — C_AWO_FOUT 停止マスクレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 2718_H

リセット後の値 0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AFOUT SSTPM SK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注 意

ビット 1 のリセット後の値 “1” を変更してはいけません。

表 12.43 CKSC_AFOUTS_STPM レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	AFOUTS STPMSK	0 : クロックドメイン C_AWO_FOUT はスタンバイモードで停止されます。 1 : クロックドメイン C_AWO_FOUT はスタンバイモードで停止されません。

12.4.3.6 CPU クロックドメイン C_ISO_CPUCLK

(1) CKSC_CPUCLKS_CTL — C_ISO_CPUCLK ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第5章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 A000_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 12.44 CKSC_CPUCLKS_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	CPUCLKSCSID [1:0]	C_ISO_CPUCLK に対するソースクロックの設定 00 _B : 設定禁止 01 _B : EMCLK (デフォルト) 10 _B : MainOSC 11 _B : CPLLOUT

注 意

C_ISO_CPUCLK クロックドメインで選択しているソースクロックをソフトウェアで、停止しないでください。

(2) CKSC_CPUCLKS_ACT — C_ISO_CPUCLK ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 A008_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUCLKSACT [1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.45 CKSC_CPUCLKS_ACT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	CPUCLKSACT [1:0]	現在アクティブな C_ISO_CPUCLK に対するソースクロック

(3) CKSC_CPUCLKD_CTL — C_ISO_CPUCLK クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第5章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8A100_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	CPUCLKDPLL [1:0]	CPUCLKDCSID[2:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

表 12.46 CKSC_CPUCLKD_CTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4, 3	CPUCLKDPLL [1:0]	クロック分周回路 CPLLDIV の設定 C_ISO_CPUCLK の最大クロック周波数を決定する CPLLDIV 分周比を指定します。 <u>ADVANCED, PREMIUM</u> 00 _B : CPLLOUT = VCOOUT × 1/6 (80 MHz) 01 _B : CPLLOUT = VCOOUT × 1/5 (96 MHz) 10 _B : CPLLOUT = VCOOUT × 1/4 (120 MHz) 11 _B : 設定禁止 <u>ECO</u> 00 _B : CPLLOUT = VCOOUT × 1/6 (80 MHz) 上記以外 : 設定禁止
2 ~ 0	CPUCLKDCSID [2:0]	C_ISO_CPUCLK に対するクロック分周回路の設定 000 _B : 設定禁止 001 _B : CKSC_CPUCLKS_CTL 選択 /1 (デフォルト) 010 _B : CKSC_CPUCLKS_CTL 選択 /2 011 _B : CKSC_CPUCLKS_CTL 選択 /4 100 _B : CKSC_CPUCLKS_CTL 選択 /8 その他すべて : 設定禁止

(4) CKSC_CPUCLKD_ACT — C_ISO_CPUCLK クロック分周アクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8A108_H

リセット後の値 00000001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	CPUCLKDPLLA CT[1:0]	CPUCLKDACT[2:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.47 CKSC_CPUCLKD_ACT レジスタの内容

ビット位置	ビット名	機能
31 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。
4、3	CPUCLKDPLLA CT[1:0]	現在アクティブな CPLLDIV に対するクロック分周回路
2 ~ 0	CPUCLKDACT [2:0]	現在アクティブな C_ISO_CPUCLK に対するクロック分周回路

12.4.3.7 周辺クロックドメイン C_ISO_PERI1 および C_ISO_PERI2

(1) CKSC_IPERI1S_CTL — C_ISO_PERI1 ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「第5章 書き込み保護レジスタ」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 A200_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IPERI1SCSID [1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12.48 CKSC_IPERI1S_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	IPERI1SCSID [1:0]	C_ISO_PERI1 に対するソースクロックの設定 00 _B : 無効化 01 _B : PPLLCLK (デフォルト) 10 _B : PPLLCLK 11 _B : 設定禁止

(2) CKSC_IPERI1S_ACT — C_ISO_PERI1 ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 A208_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IPERI1SACT [1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.49 CKSC_IPERI1S_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	IPERI1SACT [1:0]	現在アクティブな C_ISO_PERI1 に対するソースクロック

(3) CKSC_IPERI2S_CTL — C_ISO_PERI2 ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第5章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 A300_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IPERI2SCSID [1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12.50 CKSC_IPERI2S_CTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	IPERI2SCSID [1:0]	C_ISO_PERI2 に対するソースクロックの設定 00 _B : 無効化 01 _B : PPLLCLK2 (デフォルト) 10 _B : PPLLCLK2 11 _B : 設定禁止

(4) CKSC_IPERI2S_ACT — C_ISO_PERI2 ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 A308_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IPERI2SACT [1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.51 CKSC_IPERI2S_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	IPERI2SACT [1:0]	現在アクティブな C_ISO_PERI2 のソースクロック

12.4.3.8 RLIN クロックドメイン C_ISO_LIN

(1) CKSC_ILINS_CTL — C_ISO_LIN ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「第5章 書き込み保護レジスタ」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 A400_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ILINSCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 12.52 CKSC_ILINS_CTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	ILINSCSID [2:0]	C_ISO_LIN に対するソースクロックの設定 ^{注1} 000 _B : 無効化 001 _B : PPLLCLK2 (デフォルト) 010 _B : MainOSC 011 _B : PPLLCLK2 100 _B : HS IntOSC 上記以外: 設定禁止

注 1. スタンバイモードに遷移する場合は、遷移前に PPLLCLK2 以外を選択してください。

(2) CKSC_ILINS_ACT — C_ISO_LIN ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 A408_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ILINSACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.53 CKSC_ILINS_ACT レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2 ~ 0	ILINSACT[2:0]	現在アクティブな C_ISO_LIN に対するソースクロック

(3) CKSC_ILIND_CTL — C_ISO_LIN クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第5章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 A800_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ILINDCSID[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12.54 CKSC_ILIND_CTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	ILINDCSID [1:0]	C_ISO_LIN に対するクロック分周回路の設定 00 _B : 設定禁止 01 _B : CKSC_ILINS_CTL 選択 /1 (デフォルト) 10 _B : CKSC_ILINS_CTL 選択 /4 11 _B : CKSC_ILINS_CTL 選択 /8

備考

このレジスタの設定は RLIN30 が対象です。また、10_B (CKSC_ILINS_CTL 選択 /4)、11_B (CKSC_ILINS_CTL 選択 /8) 設定は、UART モードのみ使用できます。

(4) CKSC_ILIND_ACT — C_ISO_LIN クロック分周アクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 A808_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ILINDACT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.55 CKSC_ILIND_ACT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1, 0	ILINDACT[1:0]	現在アクティブな C_ISO_LIN に対する クロック分周回路

(5) CKSC_ILIND_STPM — C_ISO_LIN 停止マスクレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 A818_H

リセット後の値 0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ILINDS TPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注 意

ビット1のリセット後の値“1”を変更してはいけません。

表 12.56 CKSC_ILIND_STPM レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ILINDSTPMSK	0 : クロックドメイン C_ISO_LIN はスタンバイモードで停止されます。 1 : クロックドメイン C_ISO_LIN はスタンバイモードで停止されません。

12.4.3.9 ADCA1 クロックドメイン C_ISO_ADCA

(1) CKSC_IADCAS_CTL — C_ISO_ADCA ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「第5章 書き込み保護レジスタ」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 A500_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IADCASCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12.57 CKSC_IADCAS_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	IADCASCSID [1:0]	C_ISO_ADCA に対するソースクロックの設定 00 _B : 無効化 01 _B : HS IntOSC (デフォルト) 10 _B : MainOSC 11 _B : PPLLCLK2

注 意

周波数 (1) と周波数 (2) の関係が、「(1)/(2) = 2 ~ 4.8」の範囲内になるように CKSC_IADCAS_CTL レジスタと CKSC_IADCAD_CTL レジスタを設定してください。

- (1) C_ISO_CPUCLK ソースクロック選択レジスタ (CKSC_CPUCLKS_CTL) と C_ISO_CPUCLK クロック分周選択レジスタ (CKSC_CPUCLKD_CTL) にて設定した周波数 [MHz]
- (2) C_ISO_ADCA ソースクロック選択レジスタ (CKSC_IADCAS_CTL) と C_ISO_ADCA クロック分周選択レジスタ (CKSC_IADCAD_CTL) にて設定した周波数 [MHz]

(2) CKSC_IADCAS_ACT — C_ISO_ADCA ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 A508_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IADCASACT [1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.58 CKSC_IADCAS_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	IADCASACT [1:0]	現在アクティブな C_ISO_ADCA のソースクロック

(3) CKSC_IADCAD_CTL — C_ISO_ADCA クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第5章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 A600_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IADCADCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12.59 CKSC_IADCAD_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	IADCADCSID [1:0]	C_ISO_ADCA に対するクロック分周回路の設定 00 _B : 設定禁止 01 _B : CKSC_IADCAS_CTL 選択 /1 (デフォルト) 10 _B : CKSC_IADCAS_CTL 選択 /2 注 ¹ 11 _B : 設定禁止

注 1. 2分周により CKSC_IADCA が 8MHz 未満にならないようにしてください。

注 意

周波数 (1) と周波数 (2) の関係が、「(1)/(2) = 2～4.8」の範囲内になるように CKSC_IADCAS_CTL レジスタと CKSC_IADCAD_CTL レジスタを設定してください。

- (1) C_ISO_CPUCLK ソースクロック選択レジスタ (CKSC_CPUCLKS_CTL) と C_ISO_CPUCLK クロック分周選択レジスタ (CKSC_CPUCLKD_CTL) にて設定した周波数 [MHz]
- (2) C_ISO_ADCA ソースクロック選択レジスタ (CKSC_IADCAS_CTL) と C_ISO_ADCA クロック分周選択レジスタ (CKSC_IADCAD_CTL) にて設定した周波数 [MHz]

(4) CKSC_IADCAD_ACT — C_ISO_ADCA クロック分周アクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 A608_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IADCADACT [1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.60 CKSC_IADCAD_ACT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	IADCADACT [1:0]	現在アクティブな C_ISO_ADCA に対するクロック分周回路

12.4.3.10 RS-CAN クロックドメイン C_ISO_CAN と C_ISO_CANOSC

(1) CKSC_ICANS_CTL — C_ISO_CAN ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「第5章 書き込み保護レジスタ」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 A900_H

リセット後の値 0000 0003_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANSCSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12.61 CKSC_ICANS_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	ICANSCSID [1:0]	C_ISO_CAN に対するソースクロックの設定 ^{注1} 00 _B : 無効化 01 _B : MainOSC 10 _B : PPLLCLK 11 _B : PPLLCLK (デフォルト)

注 1. スタンバイモードに移移する場合は、遷移前に PPLLCLK 以外を選択してください。

(2) CKSC_ICANS_ACT — C_ISO_CAN ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 A908_H

リセット後の値 0000 0003_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANSACT[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.62 CKSC_ICANS_ACT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1, 0	ICANSACT[1:0]	現在アクティブな C_ISO_CAN のソースクロック

(3) CKSC_ICANS_STPM — C_ISO_CAN 停止マスクレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 A918_H

リセット後の値 0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANS STP MSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注 意

ビット1のリセット後の値“1”を変更してはいけません。

表 12.63 CKSC_ICANS_STPM レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ICANS STPMSK	0: クロックドメイン C_ISO_CAN はスタンバイモードで停止されます。 1: クロックドメイン C_ISO_CAN はスタンバイモードで停止されません。

(4) CKSC_ICANOSCD_CTL — C_ISO_CANOSC クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第5章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 AA00_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANOSCD CSID[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12.64 CKSC_ICANOSCD_CTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	ICANOSCD CSID [1:0]	C_ISO_CANOSC に対するクロック分周回路の設定 ^{注1} 00 _B : 無効化 (デフォルト) 01 _B : MainOSC/1 10 _B : MainOSC/2 11 _B : 設定禁止

注1. C_ISO_CAN のソースクロックを MainOSC に設定する場合は、MainOSC/2 を選択してください。

(5) CKSC_ICANOSCD_ACT – C_ISO_CANOSC クロック分周アクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 AA08_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANOSCDACT [1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.65 CKSC_ICANOSCD_ACT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1, 0	ICANOSCDACT [1:0]	現在アクティブな C_ISO_CANOSC に対するクロック分周回路

(6) CKSC_ICANOSCD_STPM – C_ISO_CANOSC 停止マスクレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 AA18_H

リセット後の値 0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANO SCDST PMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注 意

ビット1のリセット後の値“1”を変更してはいけません。

表 12.66 CKSC_ICANOSCD_STPM レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ICANOSCD STPMSK	0: クロックドメイン C_ISO_CANOSC はスタンバイモードで停止されます。 1: クロックドメイン C_ISO_CANOSC はスタンバイモードで停止されません。

12.4.3.11 CSI クロックドメイン C_ISO_CSI

(1) CKSC_ICISIS_CTL — C_ISO_CSI ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「第5章 書き込み保護レジスタ」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 AB00_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ICSISCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 12.67 CKSC_ICISIS_CTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	ICSISCSID[2:0]	C_ISO_CSI に対するソースクロックの設定 000 _B : 無効化 001 _B : PPLLCLK (デフォルト) 010 _B : PPLLCLK 011 _B : MainOSC 100 _B : HS IntOSC 上記以外 : 設定禁止

(2) CKSC_ICISIS_ACT — C_ISO_CSI ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 AB08_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ICSISACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.68 CKSC_ICISIS_ACT レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2 ~ 0	ICSISACT[2:0]	現在アクティブな C_ISO_CSI のソースクロック

12.4.3.12 I²C クロックドメイン C_ISO_IIC

(1) CKSC_IIICS_CTL — C_ISO_IIC ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、「第5章 書き込み保護レジスタ」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 AC00_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IIICSCSID[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12.69 CKSC_IIICS_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	IIICSCSID[1:0]	C_ISO_IIC に対するソースクロックの設定 00 _B : 無効化 01 _B : PPLLCLK2 (デフォルト) 10 _B : PPLLCLK2 11 _B : 設定禁止

(2) CKSC_IICS_ACT — C_ISO_IIC ソースクロック アクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 AC08_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IICSACT[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.70 CKSC_IICS_ACT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1, 0	IICSACT[1:0]	現在アクティブな C_ISO_IIC に対するソースクロック

12.5 クロックドメインの設定方法

12.5.1 クロックドメインの設定

12.5.1.1 クロックセクタレジスタ概要

クロックドメイン C_AWO_<name> / C_ISO_<name> に対するクロックセクタは以下のレジスタで制御されます。

- ソースクロック選択レジスタ
これらのレジスタは有効なソースクロックの中からドメインクロックとして使用するクロックを1つ選択します。
 - AWO ソースクロックの選択 : CKSC_A<name>S_CTL
 - ISO ソースクロックの選択 : CKSC_I<name>S_CTL
- クロック分周選択レジスタ
これらのレジスタは選択されたソースクロックに対してクロック分周比を設定します。
 - AWO クロック分周比 : CKSC_A<name>D_CTL
 - ISO クロック分周比 : CKSC_I<name>D_CTL
- ソースクロックアクティブレジスタ / クロック分周アクティブレジスタ
これらのレジスタはそれぞれ、現在アクティブ状態にある選択されたソースクロックと分周比を返します。
 - AWO ソースクロックアクティブレジスタ / クロック分周アクティブレジスタ :
CKSC_A<name>S_ACT / CKSC_A<name>D_ACT
 - ISO ソースクロックアクティブレジスタ / クロック分周アクティブレジスタ :
CKSC_I<name>S_ACT / CKSC_I<name>D_ACT

備 考

- すべてのクロックセクタが、上述したすべてのコントロール機能を持つ訳ではありません。
- クロックドメイン C_ISO_CPUCLK は、レジスタ名にパワードメインを表す“I”が付与されません。

12.5.1.2 クロックドメインの設定手順

以下に設定手順を示します。

1. ソースクロックの設定
 - ソースクロックの選択を実施 (CKSC_A<name>S_CTL、CKSC_I<name>S_CTL)
 - 選択完了の確認 (CKSC_A<name>S_ACT、CKSC_I<name>S_ACT) 注1
2. クロック分周の設定
 - クロック分周の選択を実施 (CKSC_A<name>D_CTL、CKSC_I<name>D_CTL)
 - 選択完了の確認 (CKSC_A<name>D_ACT、CKSC_I<name>D_ACT) 注2

注 1. CKSC_A<name>S_ACT、CKSC_I<name>S_ACT が、CKSC_A<name>S_CTL、CKSC_I<name>S_CTL に書き込まれた新しい値に更新されてから処理を継続してください。

注 2. CKSC_A<name>D_ACT、CKSC_I<name>D_ACT が、CKSC_A<name>D_CTL、CKSC_I<name>D_CTL に書き込まれた新しい値に更新されてから処理を継続してください。

注 意

上記設定は、選択するソースクロックが動作していることが前提です。
ソースクロックが停止している状態で、設定を実施した場合の動作は保証しません。
また、クロック供給が停止している周辺機能へのアクセスは禁止です。

12.5.2 スタンバイモード時のクロックの停止

スタンバイモード時 (STOP モード、DeepSTOP モード、Cyclic STOP モード)、スタンバイコントローラからのクロック停止要求に対してクロックドメイン C_AWO_<name> / C_ISO_<name> は、そのクロック CKSCLK_A<name> / CKSCLK_I<name> を停止または継続するように設定することができます。

クロック停止マスクレジスタは、スタンバイモード時のクロックの動作状態を決定するために使用されます。

- CKSC_A<name>_STPM.A<name>STPMSK / CKSC_I<name>_STPM.I<name>STPMSK = 0:
STOP 要求信号はマスクされません。そのためドメインクロック CKSCLK_A<name> / CKSCLK_I<name> はスタンバイ時に停止されます。
ドメインクロックがスタンバイモードの前に動作していた場合、スタンバイ状態から回復した後、自動的に再起動されます。
同じソースクロックを選択している別のクロックドメインで、CKSC_A<name>_STPM.A<name>STPMSK / CKSC_I<name>_STPM.I<name>STPMSK = 1 設定していた場合、そのソースクロックはスタンバイモード時に動作を継続します。
CPU クロックドメイン C_ISO_CPUCLK は、スタンバイ時に必ず停止します。
- CKSC_A<name>_STPM.A<name>STPMSK / CKSC_I<name>_STPM.I<name>STPMSK = 1:
STOP 要求信号はマスクされるため、CKSCLK_A<name> / CKSCLK_I<name> はスタンバイ時に動作を継続します。
対象のクロックドメインで選択しているソースクロックもスタンバイモード時に動作を継続します。
Isolated エリア (ISO エリア) にあるクロックドメインは、DeepSTOP モード時に停止されます。

12.5.3 クロックドメイン設定

各クロックドメインで選択可能なソースクロックと分周比、使用する設定レジスタを以下の表に示します。

表 12.71 クロック選択の一覧 (1/2)

クロックドメイン	クロック名	選択レジスタ		分周レジスタ		最大周波数	対象ユニット
C_AWO_WDTA	CKSCLK_AWDTA	—	LS IntOSC	CKSC_AWDTAD_CTL	1/1 1/128	240kHz	WDTA0
C_AWO_TAUJ	CKSCLK_ATAUJ	CKSC_ATAUJS_CTL	MainOSC HS IntOSC LS IntOSC PPLLCLK2 Disable	CKSC_ATAUJD_CTL	1/1 1/2 1/4 1/8 —	40MHz	TAUJ0
C_AWO_RTCA	CKSCLK_ARTCA	CKSC_ARTCAS_CTL	MainOSC LS IntOSC SubOSC 注1 Disable —	CKSC_ARTCAD_CTL	1/1 1/2 1/4 1/8 Disable	4MHz	RTCA0
C_AWO_ADCA	CKSCLK_AADCA	CKSC_AADCAS_CTL	MainOSC HS IntOSC PPLLCLK2 Disable	CKSC_AADCAD_CTL	1/1 1/2 —	40MHz	ADCA0
C_AWO_FOUT	CKSCLK_AFOUT	CKSC_AFOUTS_CTL	MainOSC HS IntOSC LS IntOSC SubOSC 注1 PPLLCLK4 Disable	—	1/1	24MHz	FOUT
C_ISO_CPUCLK	CPUCLK	CKSC_CPUCLKS_CTL 注5	MainOSC CPLLOUT (VCOOUT × 1/4) 注2 CPLLOUT (VCOOUT × 1/5) 注2 CPLLOUT (VCOOUT × 1/6) EMCLK	CKSC_CPUCLKD_CTL 注5	1/1 1/2 1/4 1/8 —	120 / 80 MHz 注3	CPU サブシステム
C_ISO_PERI1	CKSCLK_IPERI1	CKSC_IPERI1S_CTL	PPLLCLK Disable	—	1/1	80MHz	TAUD0 TAUJ1 ENCA0 TAPA0 PICO
C_ISO_PERI2	CKSCLK_IPERI2	CKSC_IPERI2S_CTL	PPLLCLK2 Disable	—	1/1	40MHz	TAUBn PWBAn PWGAn PWSAn RS-CANn(clkc)
C_ISO_LIN	CKSCLK_ILIN	CKSC_ILINS_CTL	MainOSC HS IntOSC PPLLCLK2 Disable	CKSC_ILIND_CTL 注4	1/1 1/4 1/8	40MHz	RLIN2m RLIN3n

表 12.71 クロック選択の一覧 (2/2)

クロックドメイン	クロック名	選択レジスタ		分周レジスタ		最大周波数	対象ユニット
C_ISO_ADCA	CKSCLK_IADCA	CKSC_IADCAS_CTL	MainOSC	CKSC_IADCAD_CTL	1/1	40MHz	ADCA1
			HS IntOSC		1/2		
			PPLLCLK2		—		
			Disable				
C_ISO_CAN	CKSCLK_ICAN	CKSC_ICANS_CTL	MainOSC	—	1/1	80MHz	RS-CANn (pclk)
			PPLLCLK				
			Disable				
C_ISO_CANOSC	CKSCLK_ICANOSC	—	MainOSC	CKSC_ICANOSCD_CTL	1/1	24MHz	RS-CANn (clk_xincan)
					1/2		
					Disable		
C_ISO_CSI	CKSCLK_ICSI	CKSC_ICSIS_CTL	PPLLCLK	—	1/1	80MHz	CSIGN CSIHn
			MainOSC				
			HS IntOSC				
			Disable				
C_ISO_IIC	CKSCLK_IIC	CKSC_IICCS_CTL	PPLLCLK2	—	1/1	40MHz	RIICn
			Disable				

備考 表内の太字部分は各レジスタの初期設定クロックです。

- 注 1. 144 pin、176 pin 製品のみ対応
 注 2. これらの設定は、ADVANCED/PREMIUM 製品のみ対応しています。
 注 3. 120MHz/96MHz での動作は、ADVANCED/PREMIUM 製品のみ対応しています。
 注 4. RLIN30のみ適用されます。また、1/4、1/8 設定は、UART モードのみで使用できます。
 注 5. CKSC_CPUCLKS_CTL は、MainOSC、CPLLOUT または EMCLK の選択をします。
 CKSC_CPUCLKD_CTL.CPUCLKDPLL[1:0] は、CPLLOUT クロック周波数を選択します。

注 意

クロックドメインで選択中のクロックソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめそのクロックドメインで“Disable”を選択してください。“Disable”が選択できないクロックドメインのソースクロックは、クロックドメイン内の機能動作中に停止させないようにしてください。クロックドメインで選択中のソースクロックを、STOP/DeepSTOP モードへの遷移により停止させる場合は、“Disable”を選択する必要はありません。その代わりに停止マスクレジスタでスタンバイ中のクロックドメインの停止を選択してください。

12.6 周波数出力機能 (FOUT)

周波数出力機能 (FOUT) は、クロックを外部出力することができます。また、分周回路により分周出力することが可能です。

12.6.1 機能概要

周波数出力機能の構成を図 12.9 に示します。

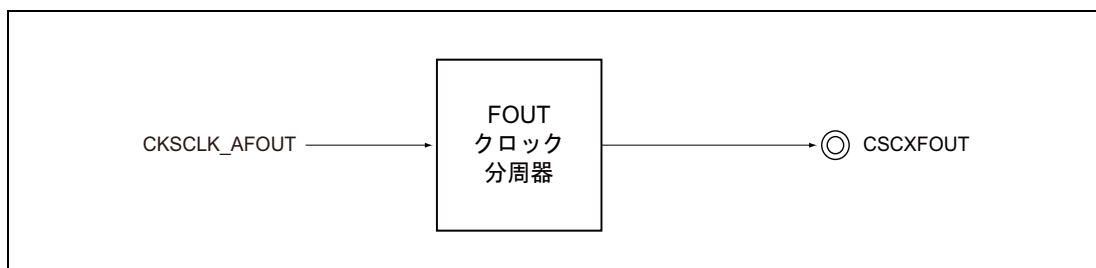


図 12.9 周波数出力機能

クロック出力機能は、CKSCLK_AFOUT のクロックを分周回路より、1 ~ 63 分周したクロックを、CSCXFOUT より出力します。分周比 N は、FOUTDIV レジスタの FOUTDIV[5:0] に設定します。クロックの出力周波数 $f_{CSCXFOUT}$ は、次式で表されます。

$$f_{CSCXFOUT} = (\text{CKSCLK_AFOUT のクロック周波数}) / N$$

CKSCLK_AFOUT の設定、端子機能のクロック出力選択後、FOUTDIV レジスタの FOUTDIV[5:0] に分周比 N を設定するとクロック出力を開始します。

新しい分周比が FOUTDIV レジスタの FOUTDIV[5:0] に書き込まれると、CSCXFOUT 出力クロックと同期して有効となります。したがって、クロック分周比は CSCXFOUT クロックが動作中でも変更することができます。なお、FOUTDIV[5:0] に 000_H が書き込まれるとクロック出力が停止します。

12.6.2 クロック供給

CSCXFOUT のクロック供給を以下の表に示します。

表 12.72 クロック供給

ユニット名	ユニットクロック名	供給クロック名	説明
CSCXFOUT	PCLK	CPUCLK4	バスクロック (レジスタアクセス)
	CKSCLK_AFOUT	CKSCLK_AFOUT	FOUT クロック分周器の クロックソース

12.6.3 レジスタ

12.6.3.1 レジスタ一覧

FOUT のレジスタ一覧を以下の表に示します。

表 12.73 CSCXFOUT クロック分周回路のレジスタ

モジュール名	レジスタ名	略号	アドレス
CLKCTL	クロック分周比レジスタ	FOUTDIV	FFF8 2800 _H
	クロック分周ステータスレジスタ	FOUTSTAT	FFF8 2804 _H

12.6.3.2 FOUTDIV — クロック分周比レジスタ

このレジスタはクロック分周比を規定します。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因 (AWORES) で初期化されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 2800_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	FOUTDIV[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 12.74 FOUTDIV レジスタの内容

ビット位置	ビット名	機能
31 ~ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5 ~ 0	FOUTDIV[5:0]	クロック分周比 N 00 _H : クロック出力は停止 01 _H : N = 1 02 _H : N = 2 ... 3E _H : N = 62 3F _H : N = 63

12.6.3.3 FOUTSTAT — クロック分周ステータスレジスタ

このレジスタはクロック出力のステータスを示します。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因 (AWORES) で初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 2804_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FOUTC LKACT	FOUTS YNC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.75 FOUTSTAT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	FOUTCLKACT	クロック分周出力アクティブビット 0: 周波数出力停止中です。 1: 周波数出力中です。
0	FOUTSYNC	クロック分周同期 0: クロック分周は変更過渡期です。 1: クロック分周は安定状態です。(停止状態を含む)

第13章 クロックモニタ (CLMA)

本章では、クロックモニタ (CLMA) について説明します。

最初の節では、チャンネル数、レジスタベース、アドレス、入力/出力信号名等、RH850/F1K に特有なすべての属性について説明します。それ以降の節で、すべての動作に適用される機能について説明します。

13.1 RH850/F1K の CLMA の特長

13.1.1 チャンネル数

本製品には以下に示すチャンネル数の CLMA 搭載しています。

表 13.1 チャンネル数

製品名	RH850/F1K 100 pins	RH850/F1K 144 pins	RH850/F1K 176 pins
チャンネル数	3		
名称	CLMA0、CLMA1、CLMA2		

13.1.2 レジスタベースアドレス

CLMA のベースアドレスを以下の表に示します。

CLMA のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 13.2 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<CLMA0_base>	FFF8 C000 _H
<CLMA1_base>	FFF8 D000 _H
<CLMA2_base>	FFF8 E000 _H

13.1.3 クロック供給

CLMA がモニタするクロックおよび CLMA のサンプリングクロックを示します。

表 13.3 クロック供給

チャンネル名	ユニットクロック名	クロック名
CLMA0	CLMATMON (モニタクロック)	HS IntOSC
	CLMATSMP (サンプリングクロック)	LS IntOSC
	レジスタアクセスクロック	CPUCLK4
CLMA1	CLMATMON (モニタクロック)	MainOSC
	CLMATSMP (サンプリングクロック)	LS IntOSC
	レジスタアクセスクロック	CPUCLK4
CLMA2	CLMATMON (モニタクロック)	PPLLOUT
	CLMATSMP (サンプリングクロック)	HS IntOSC
	レジスタアクセスクロック	CPUCLK4

13.1.4 リセット要因

CLMA のリセット要因を次の表に示します。CLMA はこれらのリセット要因によって初期化されます。

表 13.4 リセット要因

チャンネル名	リセット要因
CLMA0	DeepSTOP モードへの移行以外のすべてのリセット要因 (AWORES)
CLMA1	DeepSTOP モードへの移行以外のすべてのリセット要因 (AWORES)
CLMA2	すべてのリセット要因 (ISORES)
共通レジスタ (CLMATEST, CLMATESTS)	パワーアップリセット PURES (パワーオンクリアまたはデバッグリセット)

13.1.5 内部入出力信号

CLMA の内部入出力信号を以下の表に示します。

表 13.5 内部入出力信号

ユニット信号名	概要	接続
$\overline{\text{CLMATRES}}$	CLMA0 エラーリセット出力	リセットコントローラ ($\overline{\text{CLMA0RES}}$)
$\overline{\text{CLMATRES}}$	CLMA1 エラーリセット出力	リセットコントローラ ($\overline{\text{CLMA1RES}}$)
$\overline{\text{CLMATRES}}$	CLMA2 エラーリセット出力	リセットコントローラ ($\overline{\text{CLMA2RES}}$)

13.2 概要

13.2.1 機能概要

クロックモニタ CLMA は、モニタクロックの周波数異常を検出します。サンプリングクロック CLMATSMP を使用して入力クロック CLMATMON の周波数が特定の範囲内にあるかをモニタします。クロック異常を検出した際、リセット要求信号を出力します。

クロックモニタの主な構成要素を表 13.1 に示します。

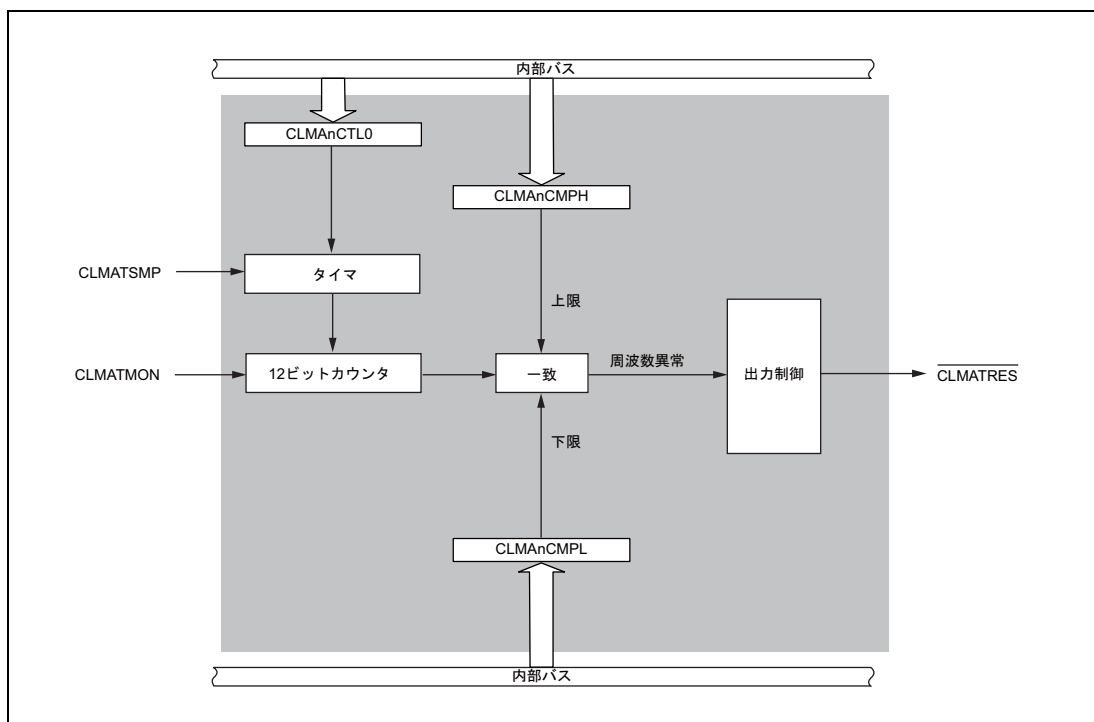


図 13.1 クロックモニタのブロック図

備考

一度有効にしたら、リセット以外では無効化できません。

13.3 CLMAの有効化

クロックモニタによるクロックの監視は、CLMA_nCTL0.CLMA_nCLME = 1 によって開始されます。

モニタクロックがレジスタ操作により停止した場合もしくはスタンバイモードで停止した場合は、対応するクロックモニタも自動的に無効になります。その後、モニタクロックが再度、発振を開始して、安定すると、クロックモニタは動作を再開します。

CLMA2は、DeepSTOP 復帰時に初期化されるため、動作を開始するためには CLMA2 レジスタの再設定が必要になります。

13.4 機能

13.4.1 異常クロック周波数の検出

検出方法

1. CLMA_nは、サンプリングクロック CLMATSMP の 16 サイクル内でモニタクロック CLMATMON の立ち上がりエッジをカウントし、このカウント値と設定したしきい値とを比較します。
 - CLMA_nCMPL.CLMA_nCMPL[11:0] は下のしきい値を指定します。
 - CLMA_nCMPH.CLMA_nCMPH[11:0] は上のしきい値を指定します。
2. CLMATMON の周波数^{注1}が低い場合は、カウント値は CLMA_nCMPL.CLMA_nCMPL[11:0] の設定値を下回ります。
3. CLMATMON の周波数が高い場合は、カウント値が CLMA_nCMPH.CLMA_nCMPH[11:0] の設定値を上回ります。

注1. モニタクロックが完全に停止する場合は、異常を検知できない場合があります。

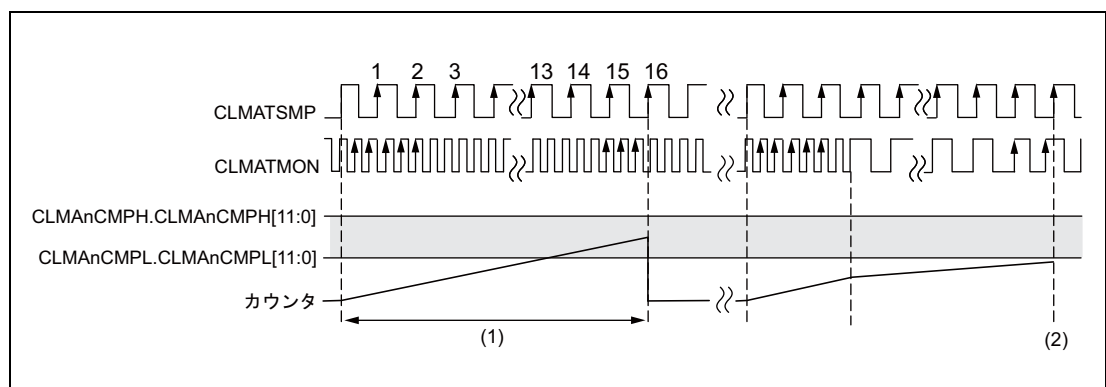
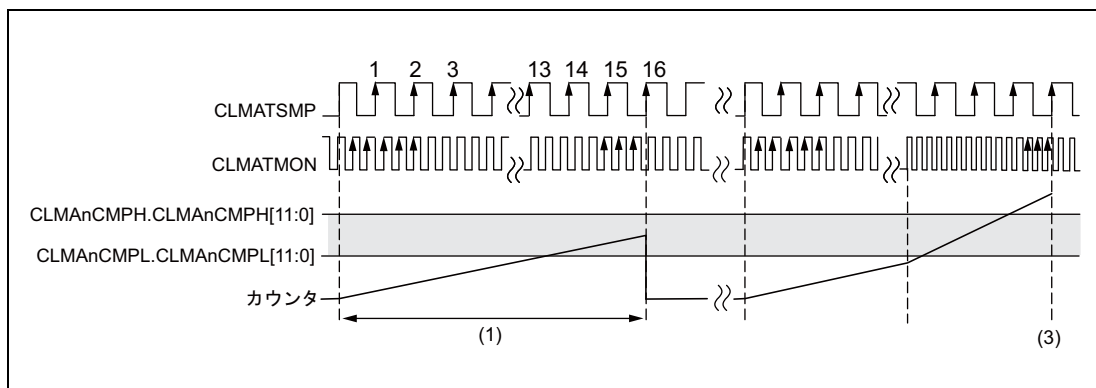


図 13.2 例 : f_{CLMATMON} が低い場合

図 13.3 例： f_{CLMATMON} が高い場合

備考

サンプリングインターバル内で f_{CLMATMON} が高く（もしくは低く）なっても、有効なカウント値に収まる可能性があります。

f_{CLMATMON} の異常は、1 サンプリングインターバル後に検出されます。

(1) しきい値 CLMAAnCMPL.CLMAAnCMPL[11:0] と CLMAAnCMPH.CLMAAnCMPH[11:0] の算出方法

コンパレジスタ CLMAAnCMPL と CLMAAnCMPH には、サンプリングクロック CLMATSMPL の 16 サイクル内で有効と想定される CLMATMON のクロックサイクルの最小値と最大値を設定します。

期待されるクロックサイクル数を N で表します。

$$\frac{16}{f_{\text{CLMATSMPL}}} = \frac{N}{f_{\text{CLMATMON}}}$$

$$N = \frac{f_{\text{CLMATMON}}}{f_{\text{CLMATSMPL}}} \times 16$$

CLMATMON と CLMATSMPL の許容周波数偏差を考慮して、次の式でしきい値を計算します。

$$\begin{aligned} \text{下限しきい値} &= N_{\min} \\ &= \frac{f_{\text{CLMATMON}(\min)}}{f_{\text{CLMATSMPL}(\max)}} \times 16 - 1 \end{aligned}$$

$$\begin{aligned} \text{上限しきい値} &= N_{\max} \\ &= \frac{f_{\text{CLMATMON}(\max)}}{f_{\text{CLMATSMPL}(\min)}} \times 16 + 1 \end{aligned}$$

備考

PLL のジッタは計算式の「+1」と「-1」によってカバーされています。

例

$f_{\text{CLMATSMPL}} = 240 \text{ kHz}$ ($\pm 8\%$) および $f_{\text{CLMATMON}} = 16 \text{ MHz}$ ($\pm 5\%$) の場合、推奨されるしきい値は次のようになります。

$$\begin{aligned} N_{\min} &= 15,200 / 259.2 \times 16 - 1 \\ &= 937.27 \\ \text{CLMAAnCMPL} &= 937 = 03A9_{\text{H}} \end{aligned}$$

$$\begin{aligned} N_{\max} &= 16,800 / 220.8 \times 16 + 1 \\ &= 1218.39 \\ \text{CLMAAnCMPH} &= 1219 = 04C3_{\text{H}} \end{aligned}$$

最小しきい値

次の制限事項を考慮する必要があります。

- $\text{CLMAAnCMPL} \geq 0001_{\text{H}}$
- $\text{CLMAAnCMPH} \geq \text{CLMAAnCMPL} + 0003_{\text{H}}$

(2) しきい値レジスタの初期値入力の定義

しきい値レジスタのリセット後の値はモニタクロックの最大周波数偏差が許容されるように設定されます。

- $\text{CLMAAnCMPL}[11:0] = 001_{\text{H}}$
- $\text{CLMAAnCMPH}[11:0] = 3FF_{\text{H}}$

13.4.2 異常クロック周波数の通知

f_{CLMATMON} が上限しきい値よりも高い、もしくは下限しきい値よりも低い場合、次のように示されます。

1. リセット要求信号 $\overline{\text{CLMATRES}}$ をロウレベルに設定
2. システムリセット (AWORES, ISORES) が発生し、CLMA n をリセット

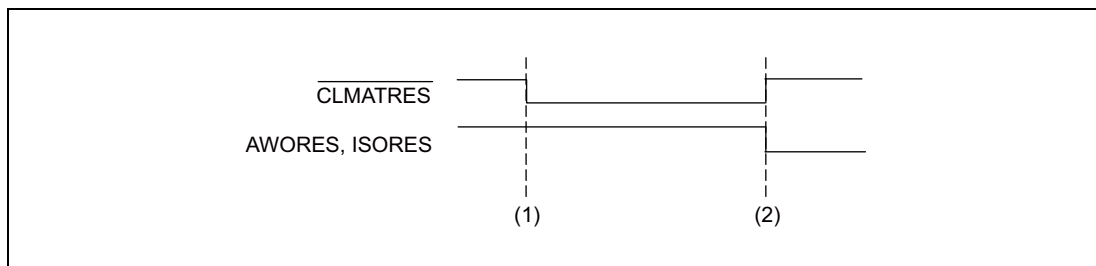


図 13.4 f_{CLMATMON} がしきい値を超えた場合のエラー要求信号

注 意

CLMA n が異常を検知した場合の注意事項については「13.6 CLMA n の使用上の注意事項」を参照してください。

13.5 レジスタ

13.5.1 レジスタ一覧

CLMA のレジスタ一覧を以下の表に示します。

<CLMA_n_base> は「13.1.2 レジスタベースアドレス」を参照してください。

表 13.6 クロックモニタレジスタの一覧

モジュール名	レジスタ名	略号	アドレス
CLMA _n	CLMA _n 制御レジスタ 0	CLMA _n CTL0	<CLMA _n _base> + 00 _H
	CLMA _n コンペアレジスタ L	CLMA _n CMPL	<CLMA _n _base> + 08 _H
	CLMA _n コンペアレジスタ H	CLMA _n CMPH	<CLMA _n _base> + 0C _H
	CLMA テストレジスタ	CLMATEST	FFF8 C100 _H
	CLMA テストステータスレジスタ	CLMATESTS	FFF8 C104 _H
	CLMA _n エミュレーションレジスタ 0	CLMA _n EMU0	<CLMA _n _base> + 18 _H

13.5.2 CLMAnCTL0 — CLMAn 制御レジスタ 0

クロックモニタ CLMAn を有効にします。

このレジスタを更新するためには、CLMAnPCMD レジスタを使った正しい書き込みシーケンスが必要です。詳細は「第5章 書き込み保護レジスタ」を参照してください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <CLMAn_base> + 00_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CLMAnCLME
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 13.7 CLMAnCTL0 レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	CLMAnCLME	クロックモニタの有効/無効を設定します。 0 : CLMAn 無効 1 : CLMAn 有効

注 意

CLMAnCTL0.CLMAnCLME ビットに 1 がセットされた後の、このビットへの 0 書き込みは無視されます。

このビットをクリアできるのはリセット (AWORES, ISORES) のみです。

また、CLMAn がセルフテストの間に CLMATEST.RESCLM ビットを 1 に設定してもこのビットはクリアできます。

13.5.3 CLMAnCMPH — CLMAn コンペアレジスタ H

周波数の上限値を指定します。

CLMAn が無効 (CLMAnCTL0.CLMAnCLME = 0) の場合のみ書き込み可能です。

詳細は「13.4.1 (1) しきい値 CLMAnCMPL.CLMAnCMPL[11:0] と CLMAnCMPH.CLMAnCMPH[11:0] の算出方法」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <CLMAn_base> + 0C_H

リセット後の値 03FF_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CLMAnCMPH[11:0]											
リセット後の値	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.8 CLMAnCMPH レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11 ~ 0	CLMAnCMPH [11:0]	上のしきい値を指定します。 <ul style="list-style-type: none"> 推奨値 : $f_{\text{CLMATMON (max)}} / f_{\text{CLMATSMP (min)}} \times 16 + 1$ 最小値 : CLMAnCMPL + 0003_H

13.5.4 CLMAnCMPL — CLMAn コンペアレジスタ L

周波数の下限値を指定します。

CLMAn が無効 (CLMAnCTL0.CLMAnCLME = 0) の場合のみ書き込み可能です。

詳細は「13.4.1 (1) しきい値 CLMAnCMPL.CLMAnCMPL[11:0] と CLMAnCMPH.CLMAnCMPH[11:0] の算出方法」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <CLMAn_base> + 08_H

リセット後の値 0001_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CLMAnCMPL[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.9 CLMAnCMPL レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11 ~ 0	CLMAnCMPL [11:0]	下のしきい値を指定します。 <ul style="list-style-type: none"> 推奨値 : $f_{\text{CLMATMON (min)}} / f_{\text{CLMATSMP (max)}} \times 16 - 1$ 最小値 : 0001_H

13.5.5 CLMATEST — CLMA テストレジスタ

このレジスタは CLMA0/CLMA1/CLMA2 のセルフテストに使用されます。

このレジスタを更新するためには、PROTCMDCLMA レジスタを使った正しい書き込みシーケンスが必要です。詳細については、「第5章 書き込み保護レジスタ」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 C100_H

リセット後の値 0000 0000_H このレジスタはパワーアップリセット信号 PURES によって初期化されます (パワーオンクリアまたはデバッグリセット)。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CLMA2 TESEN	CLMA1 TESEN	CLMA0 TESEN	ERR MSK	MONCL KMSK	RES CLM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 13.10 CLMATEST レジスタの内容

ビット位置	ビット名	機能
31 ~ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CLMA2TESEN	CLMA2 セルフテスト許可/禁止 0: テスト禁止 1: テスト許可
4	CLMA1TESEN	CLMA1 セルフテスト許可/禁止 0: テスト禁止 1: テスト許可
3	CLMA0TESEN	CLMA0 セルフテスト許可/禁止 0: テスト禁止 1: テスト許可
2	ERRMSK	CLMA テストエラーのマスク設定 CLMA _n がエラーを検出した際、リセットコントローラへのリセット要求をマスクします。CLMA _n に ERRMSK が設定されていると、該当する CLMA _n は、エラーを検出してもリセットコントローラにリセット要求を発行しません。ERRMSK 設定は、CLMA _n TESEN ビットが 1 に設定されている CLMA _n でのみ有効となります。 0: リセット要求信号生成が有効 1: リセット要求信号生成が無効 (マスク)
1	MONCLKMSK	モニタクロックのマスク設定 CLMA _n へのクロック入力をロウレベルに固定します。MONCLKMSK 設定は、CLMA _n TESEN ビットが 1 に設定されている CLMA _n でのみ有効となります。 0: モニタクロック許可 1: モニタクロック禁止 (マスク)
0	RESCLM	CLMA _n テストリセット信号制御 CLMA _n を強制的に初期化します。RESCLM 設定は、CLMA _n TESEN ビットが 1 に設定されている CLMA _n でのみ有効となります。 0: リセット解除 1: リセット実行

13.5.6 CLMATESTS — CLMA テストステータスレジスタ

このレジスタは CLMA0/CLMA1/CLMA2 のセルフテストに使用されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 C104_H

リセット後の値 0000 0000_H このレジスタはパワーアップリセット信号 PURES によって初期化されます (パワーオンクリアまたはデバッグリセット)。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CLMA2 ERRS	CLMA1 ERRS	CLMA0 ERRS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 13.11 CLMATESTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	CLMA2ERRS	CLMA2 エラーステータス 0: エラー検出しない 1: エラー検出した
1	CLMA1ERRS	CLMA1 エラーステータス 0: エラー検出しない 1: エラー検出した
0	CLMA0ERRS	CLMA0 エラーステータス 0: エラー検出しない 1: エラー検出した

13.5.7 CLMAnEMU0 — CLMAn エミュレーションレジスタ 0

本レジスタはエミュレーション時の擬似フラグを設定するレジスタです。

本レジスタはデバッガによるブレーク中のみアクセス可能であり、ブレーク解除によりリセットされます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <CLMAn_base> + 18_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CLMAnSLFST	CLMAnSLSLW
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 13.12 CLMAnEMU0 レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	CLMAnSLFST	f_{CLMATMON} を高く想定するかどうかを指定します。 0 : CLMATMON は正常な周波数範囲内 1 : CLMATMON が上限しきい値を上回った場合
0	CLMAnSLSLW	f_{CLMATMON} を低く想定するかどうかを指定します。 0 : CLMATMON は正常な周波数範囲内 1 : CLMATMON が下限しきい値を下回った場合

注 意

低い CLMATMON と高い CLMATMON を同時に設定してのエミュレーションは禁止されています。したがって、CLMAnEMU0 を 03_H に設定しないでください。

13.6 CLMA_n の使用上の注意事項

CLMA_n が異常を検出したクロックは使用しないでください。使用した場合、デバイスの動作は保証されません。CLMA0 がクロック異常を検出した場合、クロックドメインの設定変更は禁止です。

各 CLMA_n の使用上の注意事項を表 13.13 に示します。

表 13.13 CLMA_n の使用上の注意事項

モニタクロック	CLMA リセット解除後の CPU クロック	備考
HS IntOSC (CLMA0)	EMCLK ^{注1}	ROSCE.ROSCDISTRG を "1" に設定してください。 ^{注1} MainOSC と PLL の制御レジスタを設定しないでください。 CLMA0RES が発生後は、HS IntOSC を使用したクロックドメインの設定変更は禁止です。
MainOSC (CLMA1)	EMCLK (= HS IntOSC)	MainOSC と PLL の制御レジスタを設定しないでください。CLMA1RES が発生後は、MainOSC および PLL を使用したソースクロックは選択しないでください。
PLL (CLMA2)	EMCLK (= HS IntOSC)	PLL の制御レジスタを設定しないでください。 CLMA2RES が発生後は、PLL を使用したソースクロックは選択しないでください。

注 1. CLMA0RES によるリセット後の EMCLK の状態は、HS IntOSC の発振状態によって異なります。HS IntOSC が完全に停止した場合は、LS IntOSC が EMCLK として供給されます。HS IntOSC が発振し続けているが、周波数が CLMA0 の下限しきい値と上限しきい値の範囲外の場合は、HS IntOSC が引き続き EMCLK として供給されます。ROSCE.ROSCDISTRG ビットを 1 に設定すると、EMCLK は HS IntOSC から LS IntOSC に切り替わります。

第14章 スタンバイコントローラ (STBC)

スタンバイコントローラ (STBC) の機能、レジスタおよび各スタンバイモードについて説明します。

14.1 機能

14.1.1 スタンバイモードの種類

RH850/F1K はシステムレベルの低電力状態に対する STOP モードおよび DeepSTOP モードをサポートします。また、更に RH850/F1K は限定された機能だけに対応する Cyclic 動作 (Cyclic RUN モードおよび Cyclic STOP モード) をサポートします。各モード間の遷移を、「**14.1.5 スタンバイモードの遷移**」に示します。

- RUN モード
RUN モードは、CPU が動作中で、ほかのモジュールも動作可能である通常動作モードです。CPU はこのモードの動作を停止する "HALT" 命令を実行することで "HALT" 状態に遷移できます。
- STOP モード
STOP モードは特定のクロックドメインに対するクロック供給を停止できるチップレベルのスタンバイモードです。
STBC0STPT.STBC0STPTRG ビットを 1 にすることで STOP モードに遷移します。
CKSC_xxx_STPM.xxxSTPMSK = 1 を設定することにより、STOP モードに遷移しても、クロックドメインへのクロック供給を継続することが可能です。CKSC_xxx_STPM レジスタは、「**第12章 クロックコントローラ**」を参照してください。
- DeepSTOP モード
DeepSTOP モードは、STOP モードよりも消費電力を低減するチップレベルのスタンバイモードです。クロック供給の停止とともに、アイソレート領域の電源供給も遮断します。
STBC0PSC.STBC0DISTRG ビットを 1 にすることで DeepSTOP モードに遷移します。
- Cyclic RUN モード
Cyclic RUN モードは限定されたモジュールが低速で動作可能な低電力動作モードです。CPU と Always-On エリア (AWO エリア) の周辺機能、RLIN3 および CSIG0 のみ動作可能とするモードです。データ/コードフラッシュメモリと PLL を利用することはできません。
CPU はリテンション RAM 上の命令を実行します。
"HALT" 命令を発行して HALT 状態に遷移することが可能なモードです。DeepSTOP モードから Cyclic RUN モードへのモード遷移は、ウェイクアップ要因 2 によってトリガされ、Cyclic STOP モードから Cyclic RUN モードへのモード遷移は、ウェイクアップ要因 1 またはウェイクアップ要因 2 によってトリガされます。
CSIG0 は、ウェイクアップ要因にできません。
- Cyclic STOP モード
Cyclic STOP モードは Cyclic 動作内の STOP モードで、CPU は動作を停止します。
Cyclic RUN モードの状態において、STBC0STPT.STBC0STPTRG ビットを 1 にすることで Cyclic STOP モードに遷移します。

14.1.2 ウェイクアップ制御

14.1.2.1 各スタンバイモードのウェイクアップ要因

次のウェイクアップ要因により、スタンバイモードから復帰することができます。

表 14.1 ウェイクアップ要因 1 (1/2)

ウェイクアップ要因	ユニット	STOP → RUN	DeepSTOP → RUN	Cyclic RUN → RUN 注1	Cyclic STOP → RUN 注1
TNMI	Port	○	○	○	○
WDTA0NMI	WDTA0	○	○	○	○
INTLVIL 注3	LVI	○	○	○	○
INTP0	Port	○	○	○	○
INTP1	Port	○	○	○	○
INTP2	Port	○	○	○	○
INTWDTA0	WDTA0	○	○	○	○
INTP3	Port	○	○	○	○
INTP4	Port	○	○	○	○
INTP5	Port	○	○	○	○
INTP10	Port	○	○	○	○
INTP11	Port	○	○	○	○
WUTRG1	LPS0	○	○	○	○
INTTAUJ010	TAUJ0	○	○	○	○
INTTAUJ011	TAUJ0	○	○	○	○
INTTAUJ012	TAUJ0	○	○	○	○
INTTAUJ013	TAUJ0	○	○	○	○
WUTRG0	LPS0	○	○	○	○
INTP6	Port	○	○	○	○
INTP7	Port	○	○	○	○
INTP8	Port	○	○	○	○
INTP12	Port	○	○	○	○
INTP9	Port	○	○	○	○
INTP13	Port	○	○	○	○
INTP14	Port	○	○	○	○
INTP15	Port	○	○	○	○
INTRTCA01S	RTCA0	○	○	○	○
INTRTCA0AL	RTCA0	○	○	○	○
INTRTCA0R	RTCA0	○	○	○	○
INTDCUTDI	JTAG	○	○	○	○
INTKR0	KR0	○	×	×	×
INTRCANGRECC0 注2	RSCAN0	○	×	×	×
INTRCAN0REC 注2	RSCAN0	○	×	×	×
INTRCAN1REC 注2	RSCAN0	○	×	×	×
INTRCAN2REC 注2	RSCAN0	○	×	×	×
INTRCAN3REC 注2	RSCAN0	○	×	×	×
INTRCAN4REC 注2	RSCAN0	○	×	×	×
INTRCAN5REC 注2	RSCAN0	○	×	×	×

表 14.1 ウェイクアップ要因 1 (2/2)

ウェイクアップ要因	ユニット	STOP → RUN	DeepSTOP → RUN	Cyclic RUN → RUN 注1	Cyclic STOP → RUN 注1
INTRCANGRECC1 注2	RSCAN1	○	×	×	×
INTRCAN6REC 注2	RSCAN1	○	×	×	×

- 注 1. DeepSTOP モードを介して RUN モードに戻ります。
ウェイクアップ要因 1 によって Cyclic STOP から Cyclic RUN へ遷移した際、ウェイクアップ要因 1 をクリアせずに STBC0PSC.STBC0DISTRG で DeepSTOP へ遷移させた場合、RUN へ遷移します。
- 注 2. CAN 受信端子と同じ兼用端子にアサインされている INTP 外部割り込みを使用することで DeepSTOP 等のスタンバイモードからウェイクアップが可能です。DeepSTOP からウェイクアップする場合は Always-On エリア (AWO エリア) に配置されたポートグループ P0 または P1 を使用してください。
ウェイクアップ要因フラグをクリアするために、各 CAN モジュールで割り込み要求をクリアする必要があります。
- 注 3. REGVCC が基準電圧を下回っている (REGVCC (MIN) < VLVI) 間は、クリアできません。
ウェイクアップ要因フラグ WUF0[2] をクリアするために、“WUFMSK0[2] = 1” および REGVCC が基準電圧を上回っている (REGVCC (MIN) > VLVI) 条件で WUF0[2] のセットが必要です。REGVCC が基準電圧を上回っている条件は、INTLVIH 割り込みで確認できます。

表 14.2 ウェイクアップ要因 2

ウェイクアップ要因	ユニット	DeepSTOP → Cyclic RUN	Cyclic STOP → Cyclic RUN
INTADCA0I0	ADCA0	○注1	○注1
INTADCA0I1	ADCA0	○注1	○注1
INTADCA0I2	ADCA0	○注1	○注1
INTRLIN30	RLIN30	×	○
INTTAUJ0I0	TAUJ0	○	○
INTTAUJ0I1	TAUJ0	○	○
INTTAUJ0I2	TAUJ0	○	○
INTTAUJ0I3	TAUJ0	○	○
INTRLIN31	RLIN31	×	○
INTRLIN32	RLIN32	×	○
INTRTCA0IS	RTCA0	○	○
INTRTCA0AL	RTCA0	○	○
INTRTCA0R	RTCA0	○	○
INTRLIN33	RLIN33	×	○
INTRLIN34	RLIN34	×	○
INTRLIN35	RLIN35	×	○

- 注 1. これらのウェイクアップ要因は LPS アナログ入力モードでのみ使用可能です。

注 意

DeepSTOP からのウェイクアップ要因に使用する機能の端子は、Always-On エリア (AWO エリア) に配置されたポートの兼用機能を使用してください。

14.1.2.2 ウェイクアップ要因の設定

スタンバイモードから復帰するウェイクアップ要因は、以下のスタンバイコントロールレジスタで制御します。

- ウェイクアップ要因レジスタ：WUF0、WUF20、WUF_ISO0

有効なウェイクアップ要因が発生した際に、該当するビットが1になります。本レジスタ、ビットを判断することで、ウェイクアップ要因を判断することが可能です。

- ウェイクアップ要因マスクレジスタ：WUFMSK0、WUFMSK20、WUFMSK_ISO0

ウェイクアップ要因マスクレジスタの各ビットは、各ウェイクアップ要因に割り当てています。ビットを0に設定した場合、本ビットに対応するウェイクアップ要因を有効にします。ウェイクアップ要因1とウェイクアップ要因2の両方に割り当てられているウェイクアップ要因を同時に有効にしないでください。

- ウェイクアップ要因クリアレジスタ：WUFC0、WUFC20、WUFC_ISO0

本レジスタのビットを1にすることで、ウェイクアップ要因レジスタ (WUF0、WUF20、WUF_ISO0) のウェイクアップ要因ビット (WUFy) をクリアします。

備考

ウェイクアップ要因レジスタ (WUF0、WUF20、および WUF_ISO0) のウェイクアップ要因フラグは、ウェイクアップ要因の発生のみを示します。これらのフラグはスタンバイモードから通常動作モードへの遷移を示すものではありません。

制御レジスタビットとステータスレジスタビットへのウェイクアップ要因の割り当てを次の表に示します。

ウェイクアップ制御およびステータスレジスタの詳細は、本章の「**14.2.2.3 WUF0/WUF20/WUF_ISO0 — ウェイクアップ要因レジスタ**」、「**14.2.2.4 WUFMSK0/WUFMSK20/WUFMSK_ISO0 — ウェイクアップ要因マスクレジスタ**」、「**14.2.2.5 WUFC0/WUFC20/WUFC_ISO0 — ウェイクアップ要因クリアレジスタ**」を参照してください。

表 14.3 ウェイクアップ要因1 レジスタの割り当て

ウェイクアップ 要因	レジスタビット配置			ユニット	100 pin	144 pin	176 pin
TNMI	WUF0[0]	WUFMSK0[0]	WUFC0[0]	Port	○	○	○
WDTA0NMI	WUF0[1]	WUFMSK0[1]	WUFC0[1]	WDTA0	○	○	○
INTLVIL	WUF0[2]	WUFMSK0[2]	WUFC0[2]	LVI	○	○	○
INTP0	WUF0[5]	WUFMSK0[5]	WUFC0[5]	Port	○	○	○
INTP1	WUF0[6]	WUFMSK0[6]	WUFC0[6]	Port	○	○	○
INTP2	WUF0[7]	WUFMSK0[7]	WUFC0[7]	Port	○	○	○
INTWDTA0	WUF0[8]	WUFMSK0[8]	WUFC0[8]	WDTA0	○	○	○
INTP3	WUF0[9]	WUFMSK0[9]	WUFC0[9]	Port	○	○	○
INTP4	WUF0[10]	WUFMSK0[10]	WUFC0[10]	Port	○	○	○
INTP5	WUF0[11]	WUFMSK0[11]	WUFC0[11]	Port	○	○	○
INTP10	WUF0[12]	WUFMSK0[12]	WUFC0[12]	Port	○	○	○
INTP11	WUF0[13]	WUFMSK0[13]	WUFC0[13]	Port	○	○	○
WUTRG1	WUF0[14]	WUFMSK0[14]	WUFC0[14]	LPS0	○	○	○
INTTAUJ0I0	WUF0[15]	WUFMSK0[15]	WUFC0[15]	TAUJ0	○	○	○
INTTAUJ0I1	WUF0[16]	WUFMSK0[16]	WUFC0[16]	TAUJ0	○	○	○
INTTAUJ0I2	WUF0[17]	WUFMSK0[17]	WUFC0[17]	TAUJ0	○	○	○
INTTAUJ0I3	WUF0[18]	WUFMSK0[18]	WUFC0[18]	TAUJ0	○	○	○
WUTRG0	WUF0[19]	WUFMSK0[19]	WUFC0[19]	LPS0	○	○	○
INTP6	WUF0[20]	WUFMSK0[20]	WUFC0[20]	Port	○	○	○
INTP7	WUF0[21]	WUFMSK0[21]	WUFC0[21]	Port	○	○	○
INTP8	WUF0[22]	WUFMSK0[22]	WUFC0[22]	Port	○	○	○
INTP12	WUF0[23]	WUFMSK0[23]	WUFC0[23]	Port	○	○	○
INTP9	WUF0[24]	WUFMSK0[24]	WUFC0[24]	Port	—	○	○
INTP13	WUF0[25]	WUFMSK0[25]	WUFC0[25]	Port	○	○	○
INTP14	WUF0[26]	WUFMSK0[26]	WUFC0[26]	Port	—	○	○
INTP15	WUF0[27]	WUFMSK0[27]	WUFC0[27]	Port	—	○	○
INTRTCA0IS	WUF0[28]	WUFMSK0[28]	WUFC0[28]	RTCA0	—	○	○
INTRTCA0AL	WUF0[29]	WUFMSK0[29]	WUFC0[29]	RTCA0	—	○	○
INTRTCA0R	WUF0[30]	WUFMSK0[30]	WUFC0[30]	RTCA0	—	○	○
INTDCUTDI	WUF0[31]	WUFMSK0[31]	WUFC0[31]	JTAG	○	○	○
INTKR0	WUF_ISO0[1]	WUFMSK_ISO0[1]	WUFC_ISO0[1]	KR0	○	○	○
INTRCANGRECC0	WUF_ISO0[2]	WUFMSK_ISO0[2]	WUFC_ISO0[2]	RSCAN0	○	○	○
INTRCAN0REC	WUF_ISO0[3]	WUFMSK_ISO0[3]	WUFC_ISO0[3]	RSCAN0	○	○	○
INTRCAN1REC	WUF_ISO0[4]	WUFMSK_ISO0[4]	WUFC_ISO0[4]	RSCAN0	○	○	○
INTRCAN2REC	WUF_ISO0[5]	WUFMSK_ISO0[5]	WUFC_ISO0[5]	RSCAN0	○	○	○
INTRCAN3REC	WUF_ISO0[6]	WUFMSK_ISO0[6]	WUFC_ISO0[6]	RSCAN0	○	○	○
INTRCAN4REC	WUF_ISO0[7]	WUFMSK_ISO0[7]	WUFC_ISO0[7]	RSCAN0	○	○	○
INTRCAN5REC	WUF_ISO0[8]	WUFMSK_ISO0[8]	WUFC_ISO0[8]	RSCAN0	○	○	○
INTRCANGRECC1	WUF_ISO0[9]	WUFMSK_ISO0[9]	WUFC_ISO0[9]	RSCAN1	—	—	○
INTRCAN6REC	WUF_ISO0[10]	WUFMSK_ISO0[10]	WUFC_ISO0[10]	RSCAN1	—	—	○

表 14.4 ウェイクアップ要因 2 レジスタの割り当て

ウェイクアップ 要因	レジスタビット配置			ユニット	100 pin	144 pin	176 pin
INTADCA0I0	WUF20[0]	WUFMSK20[0]	WUFC20[0]	ADCA0	○	○	○
INTADCA0I1	WUF20[1]	WUFMSK20[1]	WUFC20[1]	ADCA0	○	○	○
INTADCA0I2	WUF20[2]	WUFMSK20[2]	WUFC20[2]	ADCA0	○	○	○
INTRLIN30	WUF20[3]	WUFMSK20[3]	WUFC20[3]	RLIN30	○	○	○
INTTAUJ0I0	WUF20[4]	WUFMSK20[4]	WUFC20[4]	TAUJ0	○	○	○
INTTAUJ0I1	WUF20[5]	WUFMSK20[5]	WUFC20[5]	TAUJ0	○	○	○
INTTAUJ0I2	WUF20[6]	WUFMSK20[6]	WUFC20[6]	TAUJ0	○	○	○
INTTAUJ0I3	WUF20[7]	WUFMSK20[7]	WUFC20[7]	TAUJ0	○	○	○
INTRLIN31	WUF20[8]	WUFMSK20[8]	WUFC20[8]	RLIN31	○	○	○
INTRLIN32	WUF20[9]	WUFMSK20[9]	WUFC20[9]	RLIN32	○	○	○
INTRTCA0IS	WUF20[10]	WUFMSK20[10]	WUFC20[10]	RTCA0	—	○	○
INTRTCA0AL	WUF20[11]	WUFMSK20[11]	WUFC20[11]	RTCA0	—	○	○
INTRTCA0R	WUF20[12]	WUFMSK20[12]	WUFC20[12]	RTCA0	—	○	○
INTRLIN33	WUF20[13]	WUFMSK20[13]	WUFC20[13]	RLIN33	○	○	○
INTRLIN34	WUF20[14]	WUFMSK20[14]	WUFC20[14]	RLIN34	—	○	○
INTRLIN35	WUF20[15]	WUFMSK20[15]	WUFC20[15]	RLIN35	—	○	○

14.1.3 オンチップデバッグウェイクアップ

以下の場合、オンチップデバッグユニット (OCD) は、マイクロコントローラがアプリケーションプログラムを実行するときにウェイクアップイベントを生成します。

- デバッガが停止要求を発行した場合
- ブレークポイントに達した場合

いずれの場合も、WUFMSK0 レジスタを使用して OCD デバッグイベントが有効に設定されている場合は、すべてのスタンバイモードから復帰します。

注 意

OCD ウェイクアップイベントが無効な場合、オンチップデバッガの要求信号による復帰はできません。

以下の設定で OCD ウェイクアップイベントを有効にすることができます。

WUFMSK0[31] = 0

Hot plug-in 機能を使用する場合は、必ず OCD ウェイクアップイベントを有効にし、INTDCUTDI 割り込みを用いてスタンバイモードから復帰してください。

14.1.4 入出力バッファ制御

この節では、さまざまなスタンバイモードでの入出力バッファの動作について説明します。

Isolated エリア (ISO エリア) にあるポートグループは入出力バッファホールドをサポートしています。Always-On エリア (AWO エリア) でのポートグループは、スタンバイモードに入る前の状態のままです。Isolated エリア (ISO エリア) や Always-On エリア (AWO エリア) に割り当てられるポートグループについては、「第10章 電源とパワードメイン」を参照してください。

14.1.4.1 入出力バッファホールド状態

入出力バッファホールド状態の間、入出力バッファは入出力バッファホールド状態に入る前の状態を保持します。したがって、内部信号および外部信号は入出力バッファホールド状態が終了するまでその状態を変更することができません。

14.1.4.2 STOP モード時の入出力バッファ

STOP モード時の領域の入出力バッファは、STOP モードに入る前の状態を継続します (入出力バッファホールド状態に入りません)。

14.1.4.3 DeepSTOP モード時の入出力バッファ

DeepSTOP モード時、Isolated エリア (ISO エリア) にあるポートグループの入出力バッファは、入出力バッファホールド状態になります。

DeepSTOP からウェイクアップした後、ソフトウェアで状態を解除するまで入出力バッファホールド状態は継続します。以下手順で入出力バッファホールド状態の解除を行ってください。

1. 周辺機能やポート機能の再設定
2. IOHOLD.IOHOLD = 0 に設定

スタンバイモードおよびウェイクアップ後の Isolated エリア (ISO エリア) にある入出力バッファの状態を以下表に示します。

表 14.5 スタンバイモード時とウェイクアップ後のバッファの動作 (Isolated エリア (ISO エリア) の入出力バッファ)

	スタンバイ前	スタンバイ中	ウェイクアップ後
STOP モード	通常動作		
DeepSTOP モード	通常動作	入出力バッファホールド状態	入出力バッファホールド状態 ^{注1}

注1. IOHOLD.IOHOLD ビットに "0" を設定し、入出力バッファホールド状態を解除してください。

Always-On エリア (AWO エリア) のポートグループは、入出力バッファホールド状態をサポートしておらず、DeepSTOP モードに遷移する前の状態のままになります。

Isolated エリア (ISO エリア) のモジュールの兼用機能が Always-On エリア (AWO エリア) 内の端子に割り当てられる場合は、ISORES による Isolated エリア (ISO エリア) のモジュールの初期化によって、入出力バッファの状態が DeepSTOP 遷移中に変更される可能性があるため、DeepSTOP に遷移する前に、Always-On エリア (AWO エリア) のモジュールの機能 (例えば、ポートモード) を変更することを推奨します。

14.1.5 スタンバイモードの遷移

RUN モードとスタンバイモードの遷移を次の図に示します。

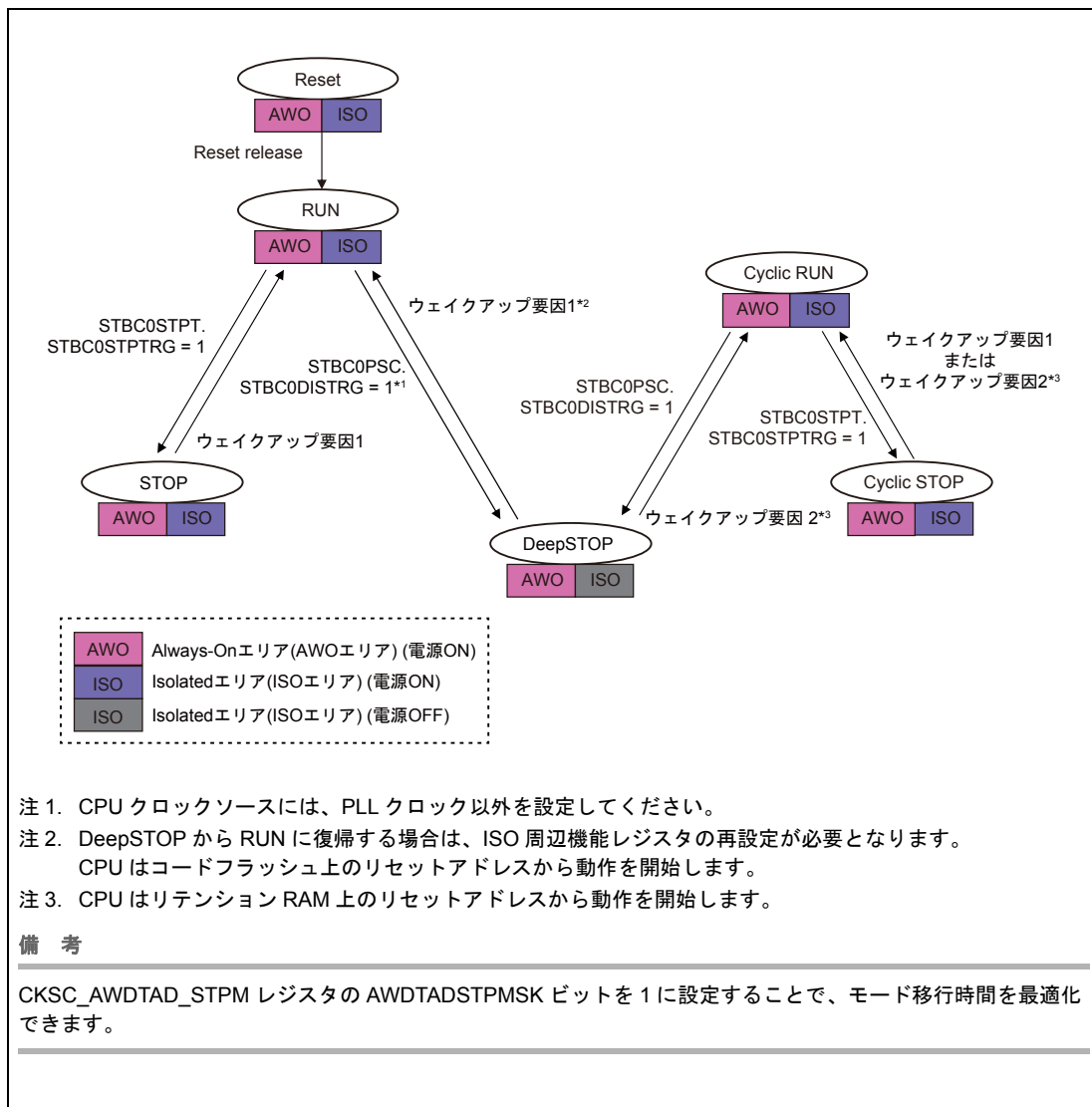


図 14.1 スタンバイモードの遷移

14.1.6 クロック供給

スタンバイコントローラのクロック供給を以下の表に示します。

表 14.6 クロック供給

ユニット名	ユニットクロック名	供給クロック名
スタンバイコントローラ	レジスタアクセスクロック	CPUCLK2
		EMCLK

14.2 レジスタ

14.2.1 レジスタ一覧

STBC のレジスタ一覧を以下の表に示します。

表 14.7 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
STBC0	パワーセーブ制御レジスタ	STBC0PSC	FFF8 0100 _H
	パワー停止トリガレジスタ	STBC0STPT	FFF8 0110 _H
STBC_WUF0	ウェイクアップ要因レジスタ	WUF0	FFF8 0400 _H
STBC_WUF20		WUF20	FFF8 0520 _H
STBC_WUFISO		WUF_ISO0	FFF8 8110 _H
STBC_WUF0	ウェイクアップ要因マスクレジスタ	WUFMSK0	FFF8 0404 _H
STBC_WUF20		WUFMSK20	FFF8 0524 _H
STBC_WUFISO		WUFMSK_ISO0	FFF8 8114 _H
STBC_WUF0	ウェイクアップ要因クリアレジスタ	WUFC0	FFF8 0408 _H
STBC_WUF20		WUFC20	FFF8 0528 _H
STBC_WUFISO		WUFC_ISO0	FFF8 8118 _H
STBC_IOHOLD	入出力バッファホールド制御レジスタ	IOHOLD	FFF8 0B00 _H

14.2.2 スタンバイコントローラ制御レジスタの詳細

14.2.2.1 STBC0PSC — パワーセーブ制御レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「第5章 書き込み保護レジスタ」を参照してください。

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因 (AWORES) で初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 0100_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STBC0 DISTR G	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R

表 14.8 STBC0PSC レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	STBC0DISTRG	0: "0" 書き込みは機能として意味をもちません 1: DeepSTOP モードに入る このビットは、DeepSTOP モードに遷移する際に自動的にクリアされます。
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

14.2.2.2 STBC0STPT — パワー停止トリガレジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「第5章 書き込み保護レジスタ」を参照してください。

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因 (AWORES) で初期化されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 0110_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STBC0 STPTR G
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 14.9 STBC0STPT レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	STBC0STPTRG	0: "0" 書き込みは機能として意味をもちません 1: STOP モードに入る - RUN モード時: STOP モードに遷移 - Cyclic RUN モード時: Cyclic STOP モードに遷移 このビットは STOP / Cyclic STOP モードに遷移する際に自動的にクリアされます。

14.2.2.3 WUF0/WUF20/WUF_ISO0 — ウェイクアップ要因レジスタ

これらのレジスタはウェイクアップ要因が発生したことを示します。

WUF0/WUF20 レジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因 (AWORES) で初期化されます。

WUF_ISO0 レジスタはすべてのリセット要因 (ISORES) で初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス WUF0 : FFF8 0400_H
WUF20 : FFF8 0520_H
WUF_ISO0 : FFF8 8110_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WUF3 1	WUF3 0	WUF2 9	WUF2 8	WUF2 7	WUF2 6	WUF2 5	WUF2 4	WUF2 3	WUF2 2	WUF2 1	WUF2 0	WUF1 9	WUF1 8	WUF1 7	WUF1 6
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WUF1 5	WUF1 4	WUF1 3	WUF1 2	WUF1 1	WUF1 0	WUF0 9	WUF0 8	WUF0 7	WUF0 6	WUF0 5	WUF0 4	WUF0 3	WUF0 2	WUF0 1	WUF0 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.10 WUF0/WUF20/WUF_ISO0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	WUFy	ウェイクアップ要因の発生を示します。 0 : ウェイクアップ要因未発生 1 : ウェイクアップ要因発生

備考

ウェイクアップ要因マスクレジスタの WUFMSKy ビットが 1 の場合は、ウェイクアップ要因が発生しても WUFy は 1 になりません。

ウェイクアップ要因

ウェイクアップ要因レジスタビットへのウェイクアップ要因の割り当てについては、「表 14.3 ウェイクアップ要因 1 レジスタの割り当て」と「表 14.4 ウェイクアップ要因 2 レジスタの割り当て」を参照してください。

ウェイクアップ要因が割り当てられていないビットを読み出した場合、その値は“0”です。

14.2.2.4 WUFMSK0/WUFMSK20/WUFMSK_ISO0 — ウェイクアップ要因マスクレジスタ

ウェイクアップ要因を有効にします。

WUFMSK0/WUFMSK20 レジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因 (AWORES) で初期化されます。

WUFMSK_ISO0 レジスタはすべてのリセット要因 (ISORES) で初期化されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス WUFMSK0 : FFF8 0404_H
WUFMSK20 : FFF8 0524_H
WUFMSK_ISO0 : FFF8 8114_H

リセット後の値 WUFMSK0 : FFFF FFFF_H
WUFMSK20 : FFFF FFFF_H
WUFMSK_ISO0 : FFFF FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WUFM SK31	WUFM SK30	WUFM SK29	WUFM SK28	WUFM SK27	WUFM SK26	WUFM SK25	WUFM SK24	WUFM SK23	WUFM SK22	WUFM SK21	WUFM SK20	WUFM SK19	WUFM SK18	WUFM SK17	WUFM SK16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WUFM SK15	WUFM SK14	WUFM SK13	WUFM SK12	WUFM SK11	WUFM SK10	WUFM SK09	WUFM SK08	WUFM SK07	WUFM SK06	WUFM SK05	WUFM SK04	WUFM SK03	WUFM SK02	WUFM SK01	WUFM SK00
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.11 WUFMSK0/WUFMSK20/WUFMSK_ISO0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	WUFMSKy	ウェイクアップ要因の有効/無効設定 0 : ウェイクアップ要因有効 1 : ウェイクアップ要因無効

備考

WUFMSKy ビットが 1 の場合は、ウェイクアップ要因が発生してもウェイクアップ要因レジスタの WUFy は 1 になりません。

ウェイクアップ要因

ウェイクアップ要因レジスタビットへのウェイクアップ要因の割り当てについては、「表 14.3 ウェイクアップ要因 1 レジスタの割り当て」と「表 14.4 ウェイクアップ要因 2 レジスタの割り当て」を参照してください。

本レジスタへ書き込む場合、ウェイクアップ要因が割り当てられていないビットへは、“1”を書き込みしてください。

14.2.2.5 WUFC0/WUFC20/WUFC_ISO0 — ウェイクアップ要因クリアレジスタ

ウェイクアップ要因レジスタの WUFy ビットをクリアします。

アクセス 32ビット単位でライトのみ可能です。

アドレス WUFC0 : FFF8 0408_H
 WUFC20 : FFF8 0528_H
 WUFC_ISO0 : FFF8 8118_H

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WUFC 31	WUFC 30	WUFC 29	WUFC 28	WUFC 27	WUFC 26	WUFC 25	WUFC 24	WUFC 23	WUFC 22	WUFC 21	WUFC 20	WUFC 19	WUFC 18	WUFC 17	WUFC 16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WUFC 15	WUFC 14	WUFC 13	WUFC 12	WUFC 11	WUFC 10	WUFC 09	WUFC 08	WUFC 07	WUFC 06	WUFC 05	WUFC 04	WUFC 03	WUFC 02	WUFC 01	WUFC 00
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 14.12 WUFC0/WUFC20/WUFC_ISO0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	WUFCy	ウェイクアップ要因レジスタのウェイクアップ要因 WUFy のクリア 0 : WUFy は変更なし 1 : WUFy をクリア

ウェイクアップ要因

ウェイクアップ要因レジスタビットへのウェイクアップ要因の割り当てについては、「表 14.3 ウェイクアップ要因1レジスタの割り当て」と「表 14.4 ウェイクアップ要因2レジスタの割り当て」を参照してください。

本レジスタへ書き込む場合、ウェイクアップ要因が割り当てられていないビットへは、“0”を書き込みしてください。

14.2.2.6 IOHOLD — 入出力バッファホールド制御レジスタ

DeepSTOP モード時の入出力バッファのホールド状態を設定します。このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「第5章 書き込み保護レジスタ」を参照してください。

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因 (AWORES) で初期化されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 0B00_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IOHOLD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 14.13 IOHOLD レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	IOHOLD	0: 入出力ホールド解除 1: 入出力ホールド状態 このビットは DeepSTOP モード遷移時に自動的に 1 にセットされます。ソフトウェアにより 1 を設定することは禁止です。ウェイクアップ後に入出力ホールドを解除するときは、ソフトウェアにより 0 を設定してください。

14.3 モード遷移

本節では、モード遷移の手順を説明します。

14.3.1 STOP モード

STOP モードでは、ほとんどの Always-On エリア (AWO エリア) と Isolated エリア (ISO エリア) のクロックを停止します。クロック停止マスクレジスタは関連したクロックドメインのスタンバイ中のクロック供給を制御します。STOP モードに遷移する前に、STOP モード中にクロック供給を停止する周辺機能をすべて停止してください。

STOP モード遷移手順 (例) を以下に示します。

スタンバイの準備

- クロック供給を停止する周辺機能をすべて停止します。
- CPU 命令 “DI” によって割り込み処理を禁止します。
- 割り込み制御レジスタの設定
 - 割り込みフラグをクリア (ICxxx.RFxxx = 0)
 - 非ウェイクアップ要因の割り込みをマスク (ICxxx.MKxxx = 1)
 - ウェイクアップ要因の割り込みのマスク解除 (ICxxx.MKxxx = 0)
- ウェイクアップ関連レジスタの設定
 - ウェイクアップ要因フラグをクリア (WUFC0, WUFC_ISO0 レジスタ)
 - 非ウェイクアップ要因をマスク (WUFMSK0, WUFMSK_ISO0 レジスタ)
 - ウェイクアップ要因のマスク解除 (WUFMSK0, WUFMSK_ISO0 レジスタ)
- クロック停止マスクレジスタを設定し、停止するクロックドメインと動作を継続するクロックドメインをそれぞれ選択します。(CKSC_xxx_STPM.xxxxSTPMSK ビットで設定してください。)
- 各クロックソースの発振 / 停止を設定します。また、クロック停止マスクレジスタを設定し、停止するクロックソースと動作を継続するクロックソースをそれぞれ選択します。(MOSCSTPM レジスタの MOSCSTPMSK ビット、ROSCSTPM レジスタの ROSCSTPMSK ビット)

スタンバイの開始

STBC0STPT レジスタの STBC0STPTRG ビットを 1 に設定し STOP モードに遷移します。

スタンバイの終了

ウェイクアップ要因が発生すると、マイクロコントローラは STOP モードから復帰します。

ウェイクアップ処理

ウェイクアップ要因の発生は、ウェイクアップ要因フラグ (WUF0, WUF_ISO0) で判定します。

CPU 命令“EI”により割り込みを許可すると、発生したウェイクアップ割り込みを実行することが可能です。

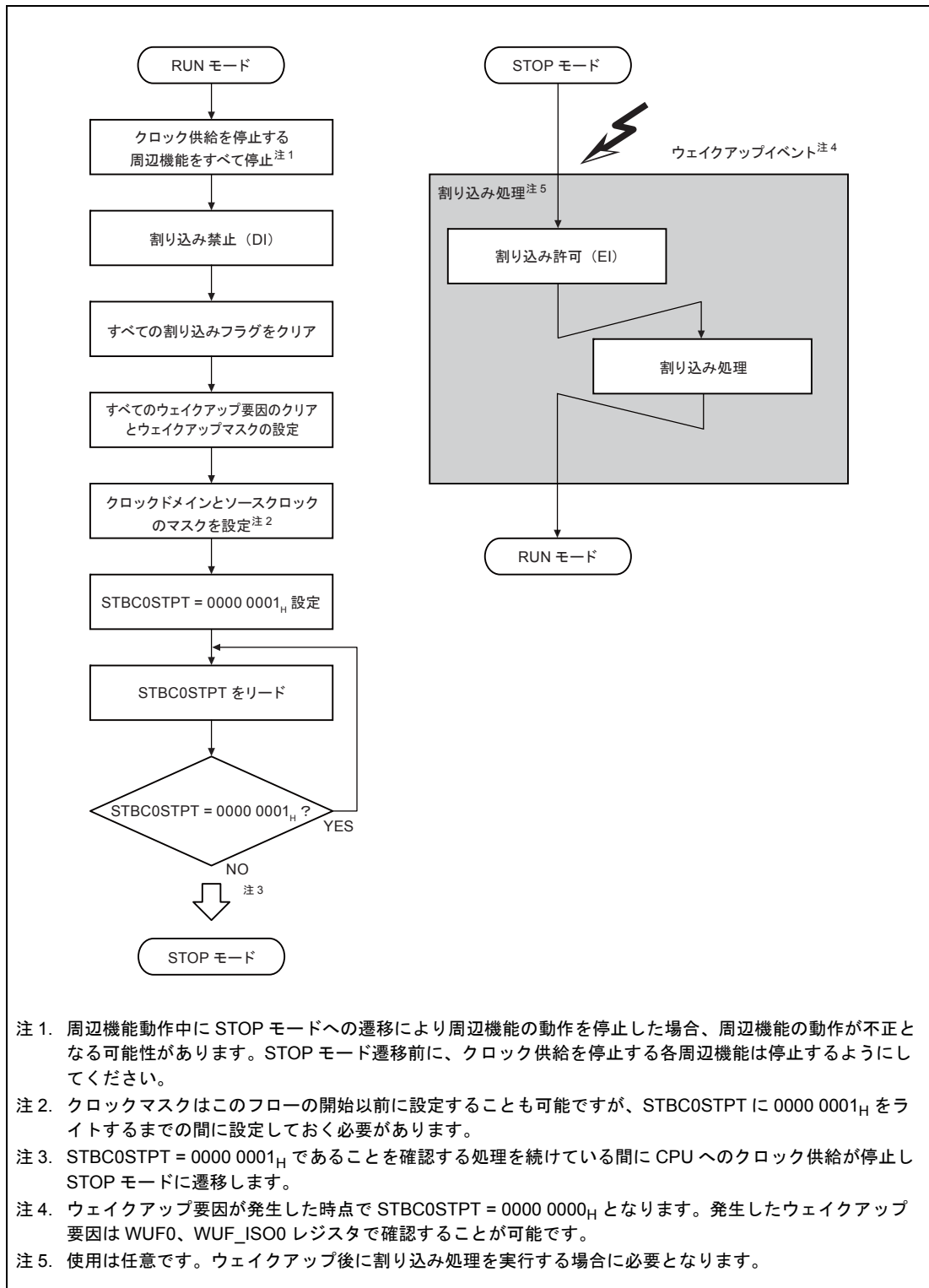


図 14.2 STOP モード遷移例

14.3.2 DeepSTOP モード

DeepSTOP モードでは、すべての領域のクロック供給と Isolated エリア (ISO エリア) の電源が停止します。ただし Always-On エリア (AWO エリア) の周辺機能はクロック停止マスクレジスタの設定によりクロック供給を継続することができます。

DeepSTOP モードに遷移する前に、CPU 動作クロックに PLL クロック以外を選択してください。

DeepSTOP モード遷移手順 (例) を以下に示します。

スタンバイの準備

- クロック供給を停止する周辺機能をすべて停止します。
- CPU 命令 “DI” によって割り込み処理を禁止します。
- 割り込み制御レジスタの設定
 - 割り込みフラグをクリア (ICxxx.RFxxx = 0)
 - 非ウェイクアップ要因の割り込みをマスク (ICxxx.MKxxx = 1)
 - ウェイクアップ要因の割り込みのマスク解除 (ICxxx.MKxxx = 0)
- ウェイクアップ関連レジスタの設定
 - ウェイクアップ要因フラグをクリア (WUFC0, WUFC20 レジスタ)
 - 非ウェイクアップ要因をマスク (WUFMSK0, WUFMSK20 レジスタ)
 - ウェイクアップ要因のマスク解除 (WUFMSK0, WUFMSK20 レジスタ)

注 意

ウェイクアップ要因がウェイクアップ要因1レジスタ、ウェイクアップ要因2レジスタ両方にアサインされている場合は、どちらか片方でしか使用できません。

- クロック停止マスクレジスタを設定し、停止するクロックドメインと動作を継続するクロックドメインをそれぞれ選択します (CKSC_xxx_STPM.xxxxSTPMSK ビットで設定してください)。
- 各クロックソースの発振/停止を設定します。また、クロック停止マスクレジスタを設定し、停止するクロックソースと動作を継続するクロックソースをそれぞれ選択します (MOSCSTPM レジスタの MOSCSTPMSK ビット、ROSCSTPM レジスタの ROSCSTPMSK ビット)。

スタンバイの開始

STBC0PSC レジスタの STBC0DISTRG ビットを 1 に設定し、DeepSTOP モードに遷移します。

スタンバイの終了

ウェイクアップ要因が発生すると、マイクロコントローラは DeepSTOP モードから復帰します。

ウェイクアップ処理

- DeepSTOP モードからウェイクアップ要因 1 で復帰すると、マイクロコントローラは、リセットベクタアドレスから動作を開始します。
DeepSTOP モードから RUN モードへの復帰の前に以下のどちらかの割り込みが発生していた場合は、マイクロコントローラは例外ハンドラアドレスから動作を再開します。
 - FENMI: FENMI ハンドラアドレス (E0_H)
 - FEINT: FEINT ハンドラアドレス (F0_H)DeepSTOP モードから復帰した後、汎用レジスタ、ローカル RAM の値は不定です。
- ウェイクアップ要因の発生は、ウェイクアップ要因フラグ (WUF0) で判定します。
- Isolated エリア (ISO エリア) のポートは、入出力バッファホールド状態を継続します。以下手順で入出力バッファホールド状態を解除してください。
 1. 周辺機能やポート機能の再設定
 2. IOHOLD.IOHOLD = 0 に設定
- ウェイクアップ後、ウェイクアップ要因の割り込みを実行したい場合、ソフトウェアでウェイクアップ要因フラグの情報を判断し、割り込み制御レジスタの割り込み要求フラグを設定してください。次に CPU 命令“EI”により割り込みを許可すると、発生したウェイクアップ割り込みを実行することが可能です。

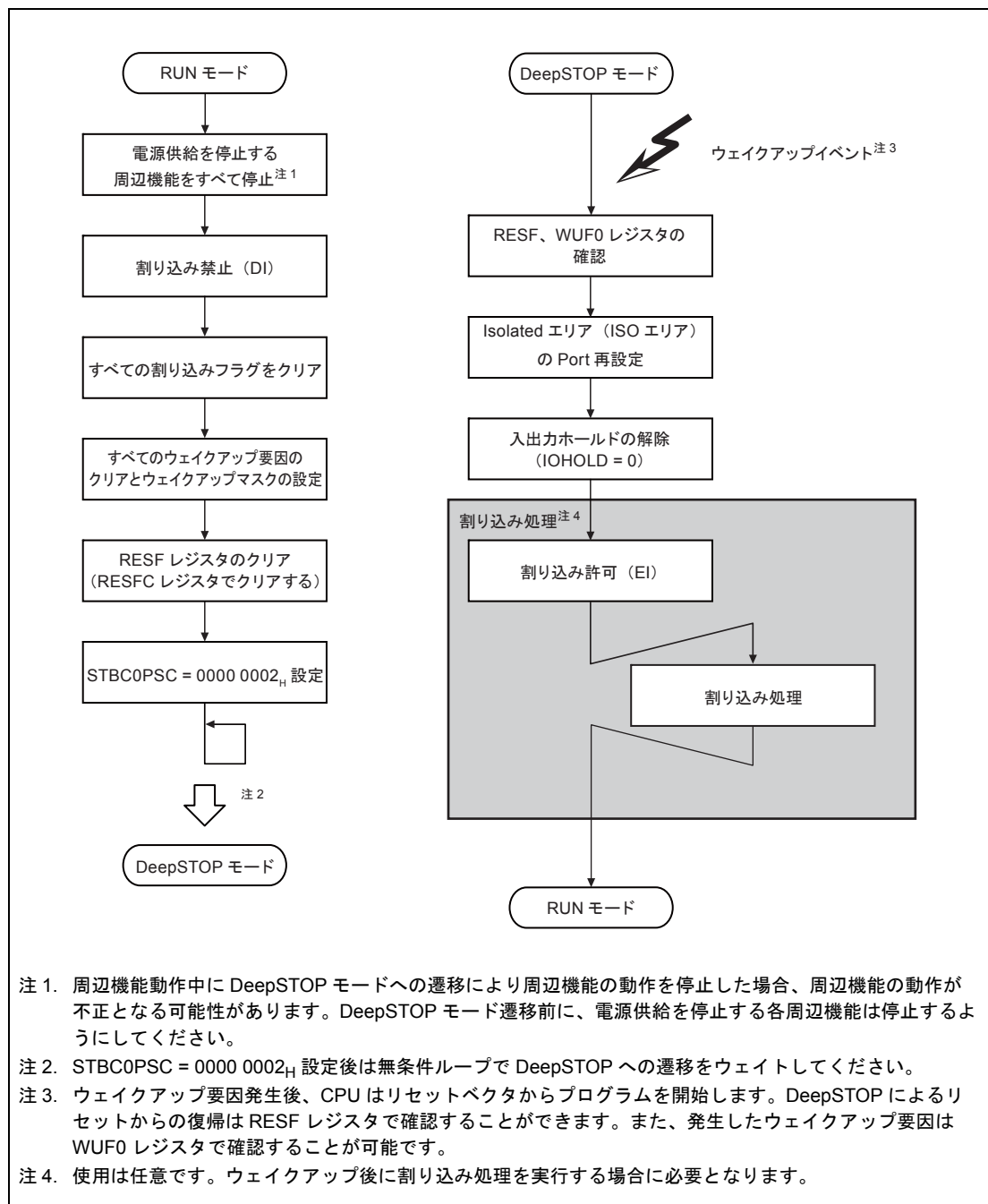


図 14.3 DeepSTOP モード遷移例

14.3.3 Cyclic RUN モード

Cyclic RUN モードでは、CPU, Always-On エリア (AWO エリア) の周辺機能、RLIN3 および CSIG0 以外の機能を停止します。このモードでは、PLL およびフラッシュメモリは使用できません。Cyclic RUN モード遷移手順 (例) を以下に示します。

Cyclic RUN の準備

Cyclic RUN 用のプログラムをリテンション RAM に配置しておく必要があります。

Cyclic RUN 動作のリセットベクタベースアドレス (RBASE) は、「第9章 リセット」で示すように CYCRBASE レジスタに指定してください。すべてのコードフラッシュメモリとデータフラッシュメモリは Cyclic RUN モードでは利用できません。

その際、RUN モードへの復帰要因としたい割り込み処理もしくは割り込み要求信号のポーリング後の処理に DeepSTOP へ遷移する命令を配置する必要があります。

例外ベクタに関しては「RH850G3KH ユーザーズマニュアル ソフトウェア編」を参照してください。

注 意

Cyclic RUN モード中は PSW.EBV ビットの変更は禁止です (Cyclic RUN モード中は PSW.EBV ビットに “1” を設定することは禁止です)。

- ウェイクアップ関連レジスタの設定
 - ウェイクアップ要因フラグをクリア (WUFC20 レジスタ)
 - 非ウェイクアップ要因をマスク (WUFMSK20 レジスタ)
 - ウェイクアップ要因のマスク解除 (WUFMSK20 レジスタ)
- DeepSTOP モードに遷移します。DeepSTOP モードは、「14.3.2 DeepSTOP モード」を参照してください。

Cyclic RUN の開始

DeepSTOP モードからは、ウェイクアップ要因 2 の発生により Cyclic RUN モードに遷移します。

Cyclic STOP モードからは、ウェイクアップ要因 1、2 の発生により Cyclic RUN モードに遷移します。

マイクロコントローラは、CYCRBASE レジスタで指定された Cyclic RUN モードのリセットベクタアドレスから動作を開始します。

その際、DeepSTOP モードから Cyclic RUN モード復帰時に以下の割り込みのいずれかが発生すると、例外ハンドラアドレスから動作を再開します。

- FENMI : Cyclic RUN モード時の FENMI ハンドラアドレス (CYCRBASE + E0_H)
- FEINT : Cyclic RUN モード時の FEINT ハンドラアドレス (CYCRBASE + F0_H)

なお、汎用レジスタ、ローカル RAM は DeepSTOP モードから Cyclic RUN モードへの遷移後に不定値になることに注意してください。

Cyclic RUN の終了

STBC0STPT.STBC0STPTRG を 1 に設定し、Cyclic STOP モードへ遷移するか、STBC0PSC.STBC0DISTRG を 1 に設定し、DeepSTOP モードへ遷移することによって Cyclic RUN モードは終了します。

ウェイクアップ処理

ウェイクアップ要因の発生は、ウェイクアップ要因フラグ (WUF20) で判定します。

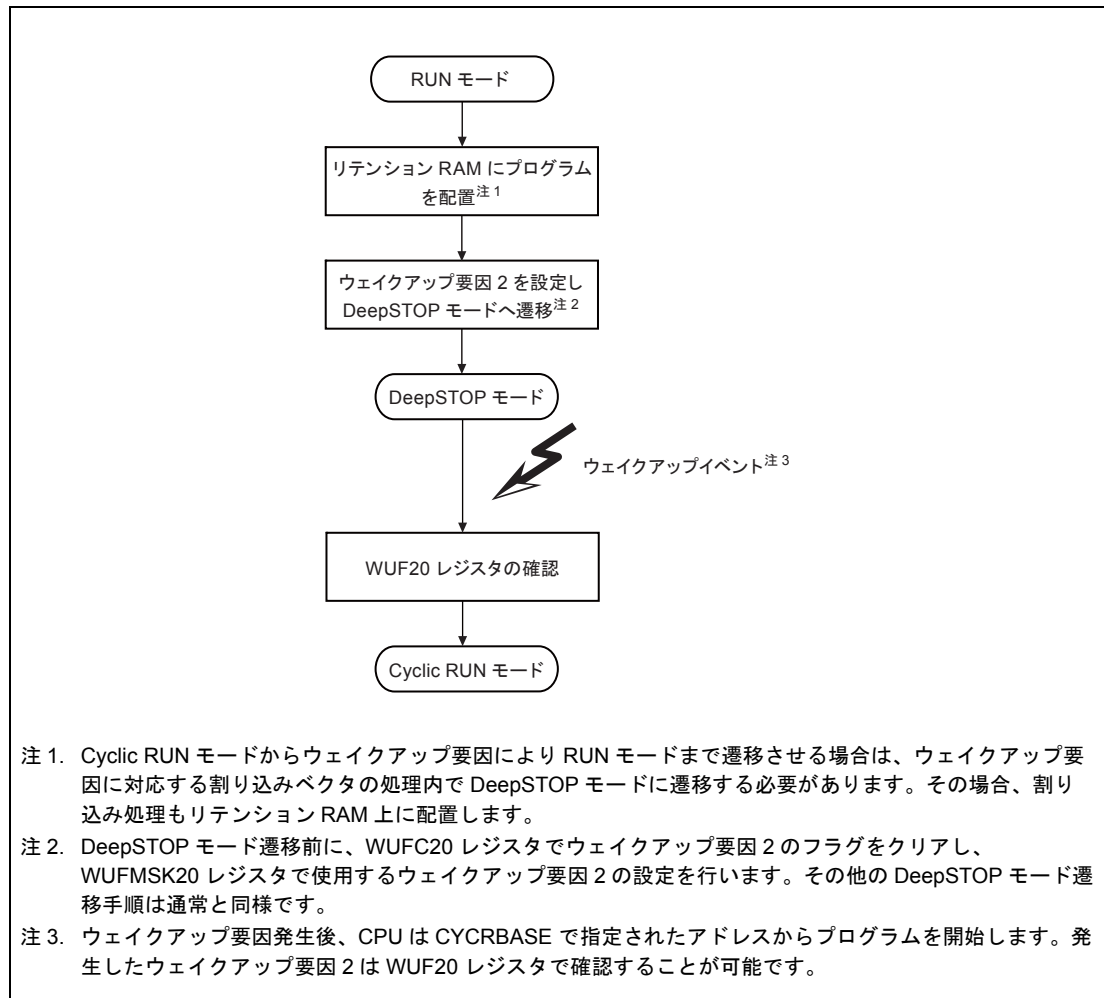


図 14.4 Cyclic RUN モード遷移例

14.3.4 Cyclic STOP モード

Cyclic STOP モードでは、Always-On エリア (AWO エリア) の周辺機能, RLIN3 以外の機能を停止します。

Cyclic STOP モード遷移手順 (例) を以下に示します。

Cyclic STOP の準備

- Cyclic RUN モードに遷移します。
- ウェイクアップ関連レジスタの設定
 - ウェイクアップ要因フラグをクリア (WUFC0, WUFC20 レジスタ)
 - 非ウェイクアップ要因をマスク (WUFMSK0, WUFMSK20 レジスタ)
 - ウェイクアップ要因のマスク解除 (WUFMSK0, WUFMSK20 レジスタ)

Cyclic STOP の開始

STBC0STPT.STBC0STPTRG を 1 に設定し、Cyclic STOP モードへ遷移します。

Cyclic STOP の終了

ウェイクアップ要因 1 または 2 の発生により Cyclic RUN モードに遷移します。

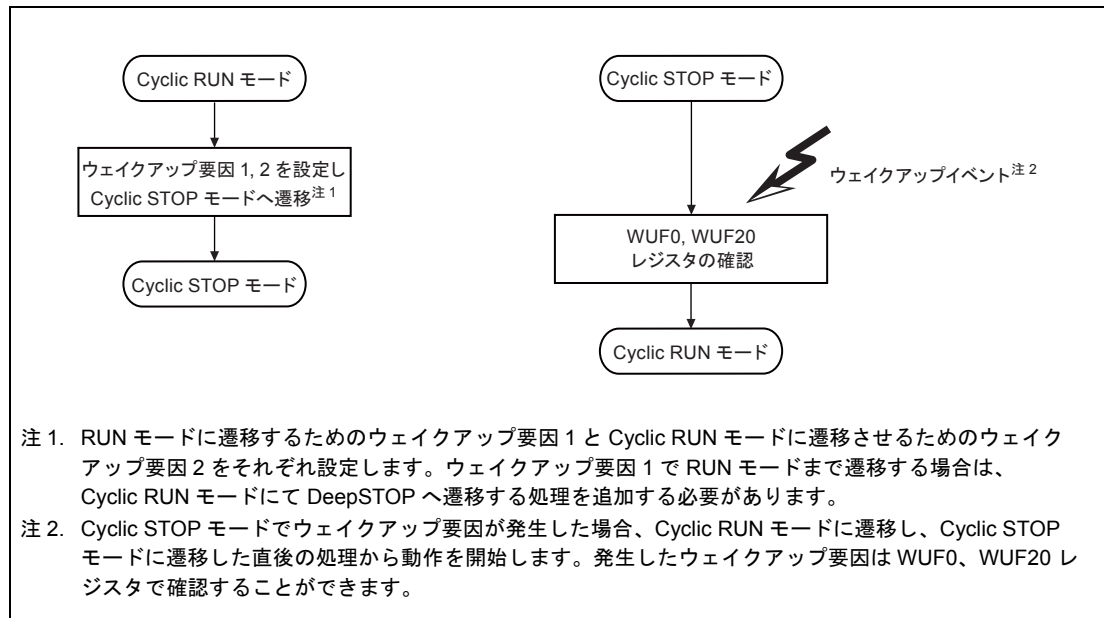


図 14.5 Cyclic STOP モード遷移例

14.4 スタンバイコントローラ関連レジスタへの書き込み

以下のスタンバイコントローラレジスタは、書き込み保護の対象レジスタです。

- STBC0PSC レジスタ
- STBC0STPT レジスタ
- IOHOLD レジスタ

書き込み保護レジスタは、誤ったプログラム動作などによる不正な書き込みからレジスタを保護します。

書き込み保護シーケンスについては、「**第5章 書き込み保護レジスタ**」を参照してください。

14.5 スタンバイモード遷移中のクロック発振回路の動作

スタンバイモード遷移中のクロック発振回路の動作について、以降の図で説明します。スタンバイ状態になる前にクロック発振回路を使用していた場合、クロック発振回路は自動的に再開します。

- STOPモードへの遷移時に MainOSC および PLL が動作していた場合、STOPモードからの復帰時に自動的に発振を再開します。クロックソースの発振が安定した後、CPU は動作を再開します。
- DeepSTOPモードへの遷移時に MainOSC が動作していた場合、DeepSTOPモードからの復帰時に自動的に発振を再開します。MainOSC の発振が安定した後、CPU は動作を再開します。PLL が動作状態から DeepSTOPモードに遷移した場合、DeepSTOPモードからの復帰時に PLL は自動的に発振を再開しません。
- Cyclic STOPモードへの遷移時に MainOSC が動作していた場合、Cyclic STOPモードからの復帰時に自動的に発振を再開します。MainOSC の発振が安定した後、CPU は動作を再開します。

スタンバイモード中に発振停止する場合の HS IntOSC および MainOSC の動作を以降の図に示します。

HS IntOSC および MainOSC の停止マスクレジスタが 1 にセットされている場合 (ROSCSTPM レジスタの ROSCSTPM SK ビットおよび MOSCSTPM レジスタの MOSCSTPM SK ビットで指定)、またはスタンバイ状態中にソースクロックを使用するクロックドメインの停止マスクビット (CKSC_XXXX_STPM = 0000_0003_H) が設定されている場合、HS IntOSC および MainOSC はスタンバイモード中に発振を継続します。

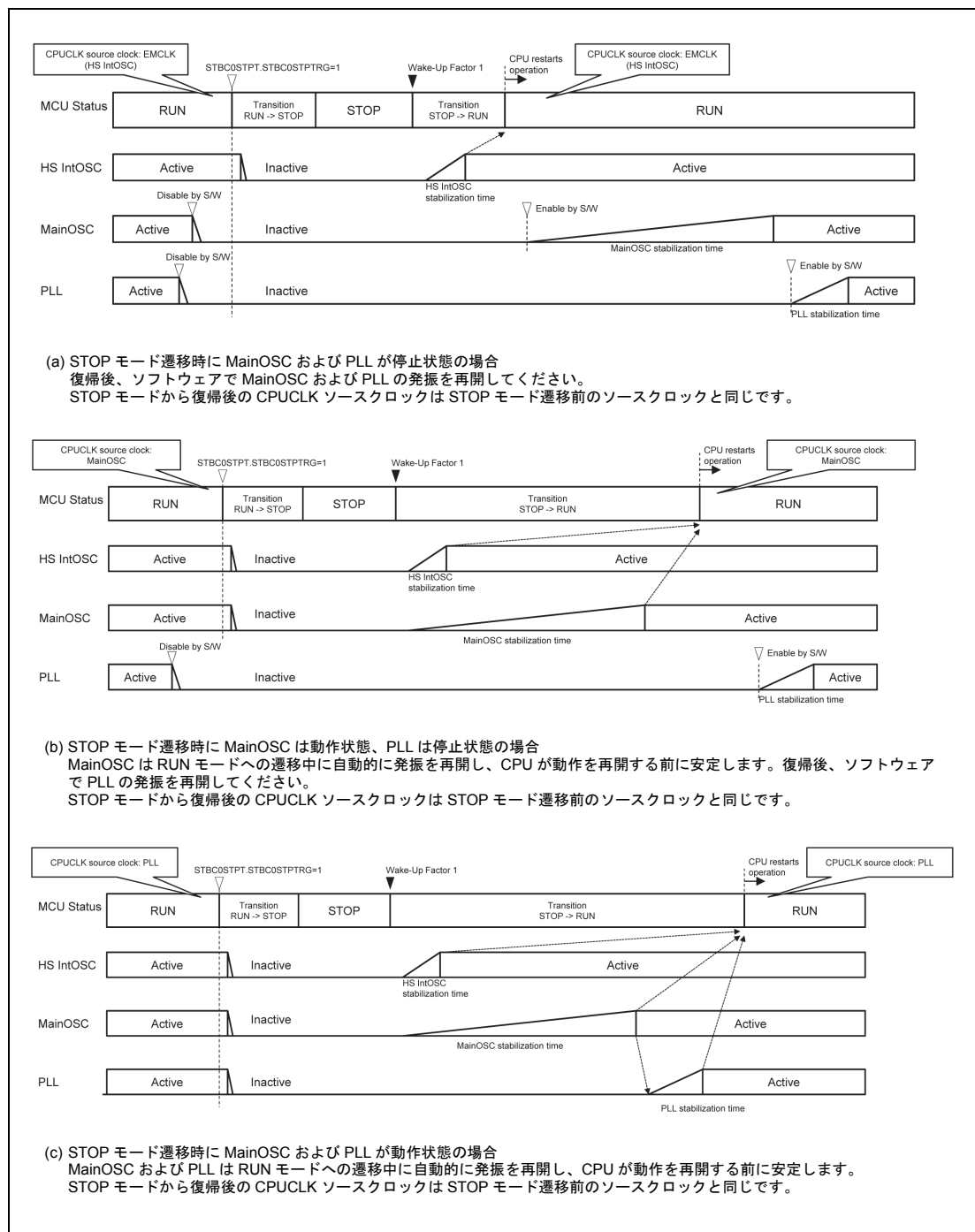


図 14.6 スタンバイモード遷移時のクロック発振動作
(RUN → STOP → RUN)

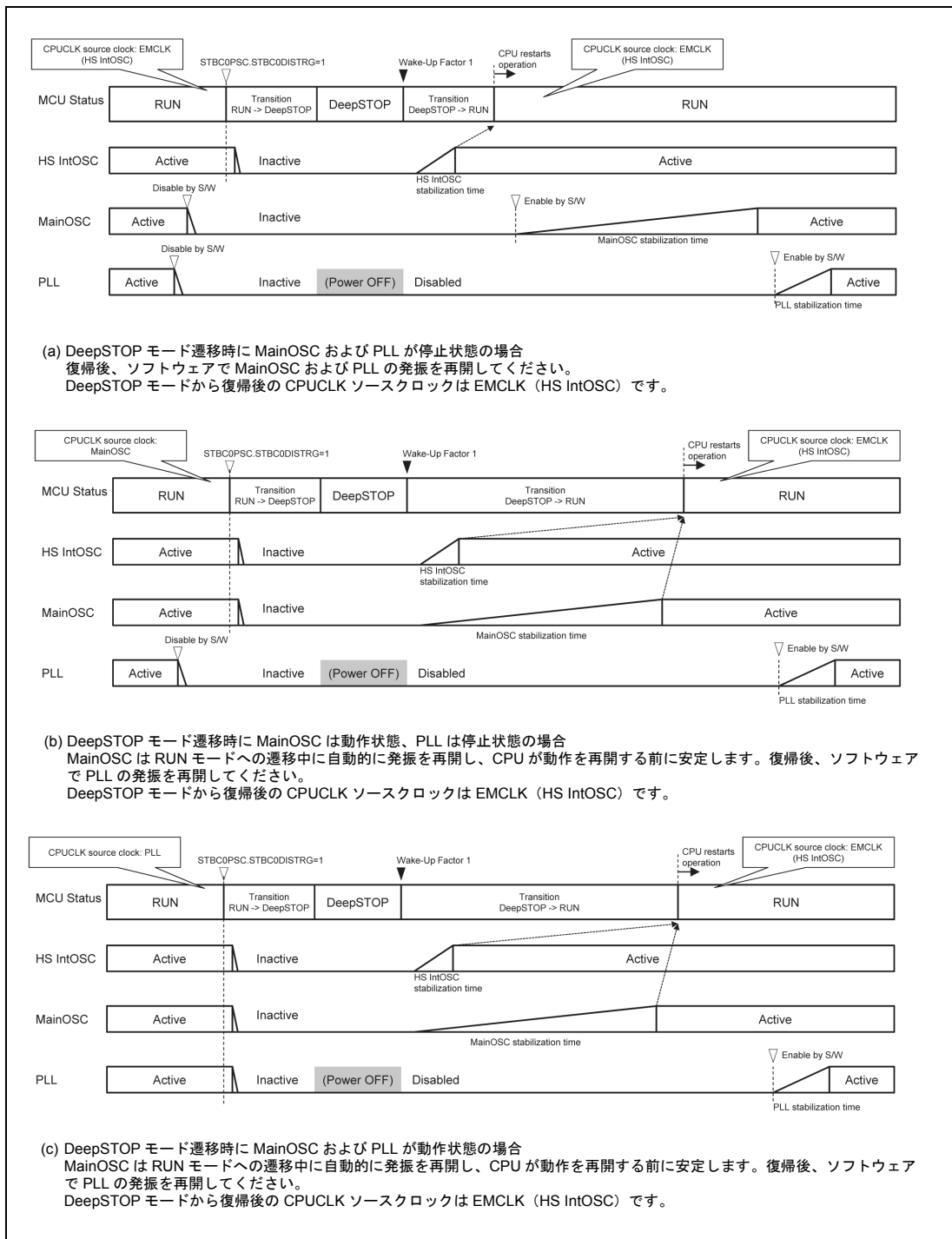


図 14.7 スタンバイモード遷移時のクロック発振動作 (RUN → DeepSTOP → RUN)

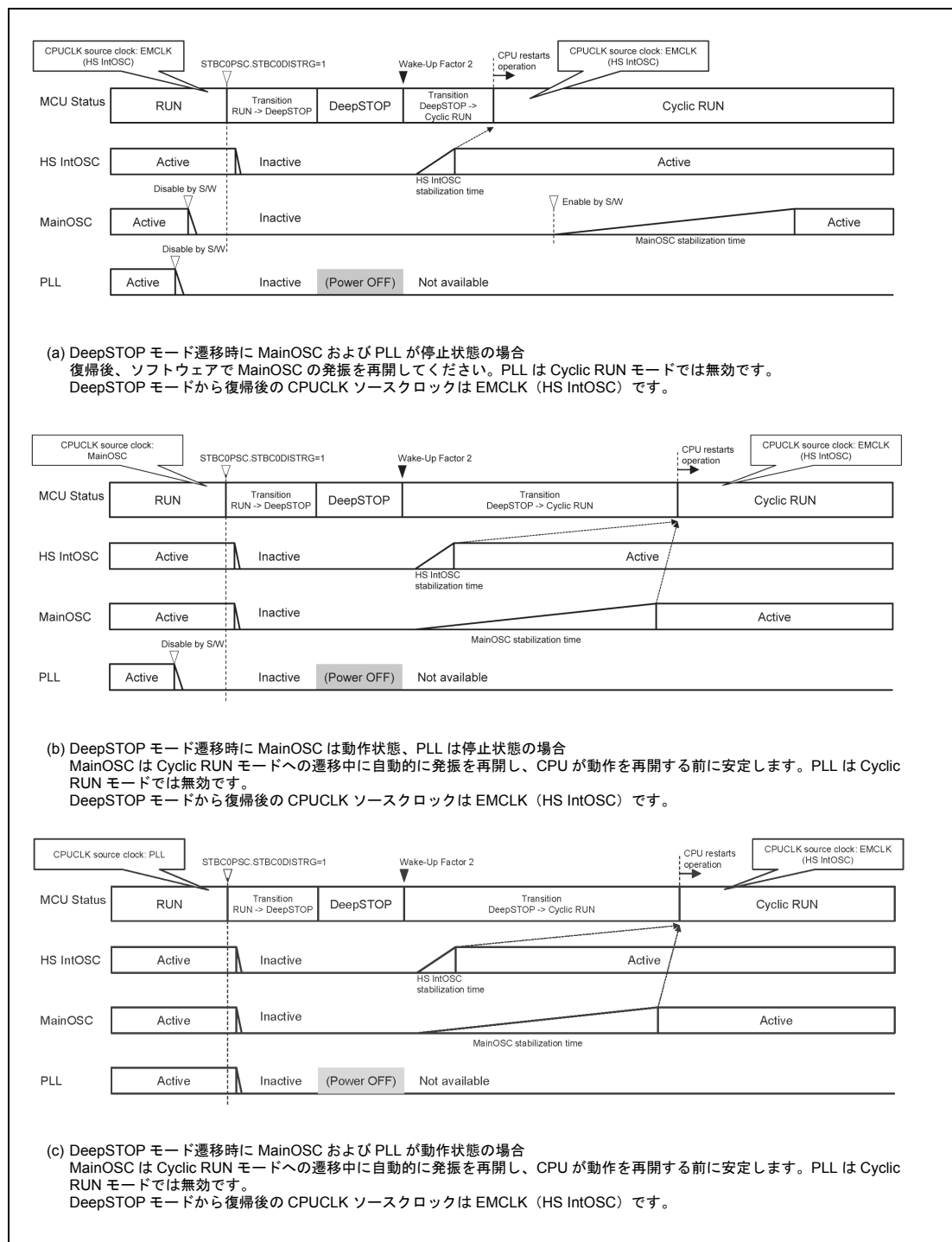


図 14.8 スタンバイモード遷移時のクロック発振動作 (RUN → DeepSTOP → Cyclic RUN)

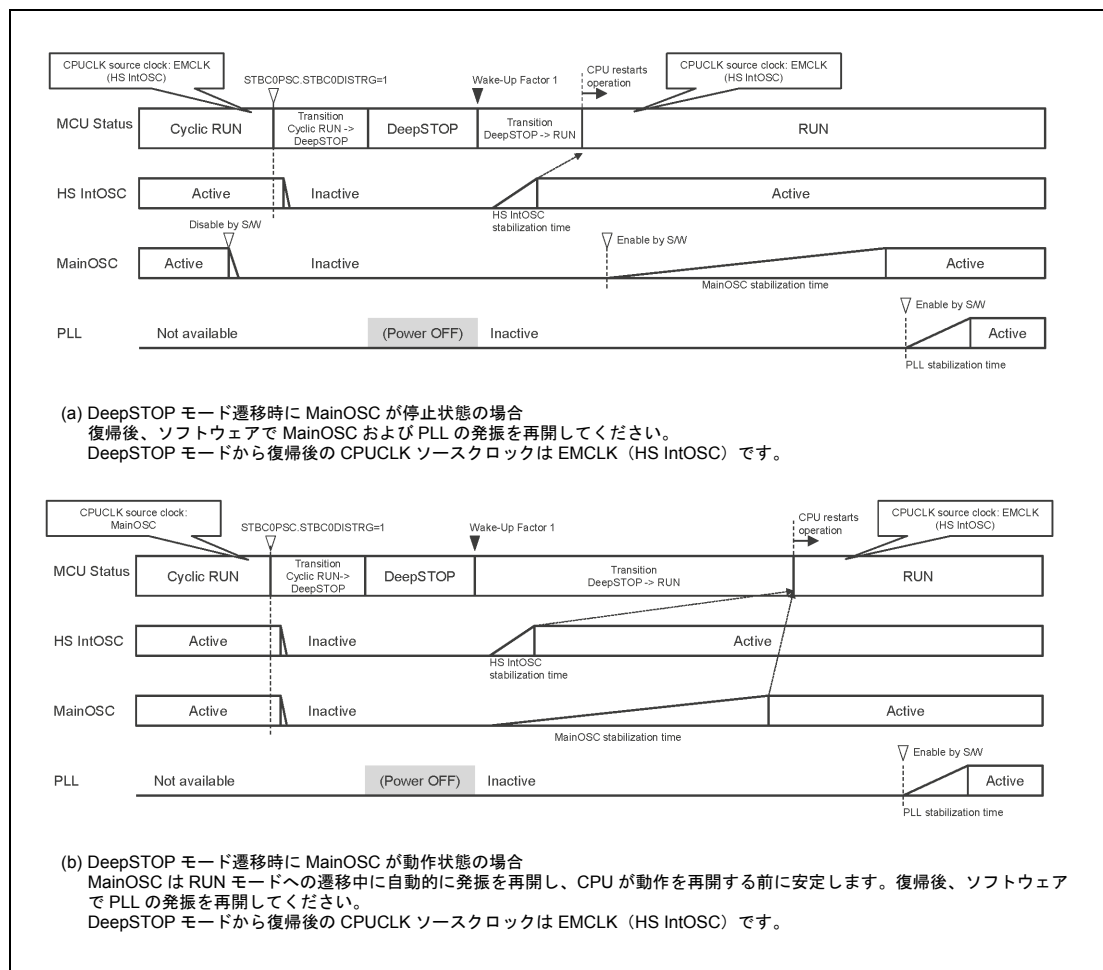


図 14.9 スタンバイモード遷移時のクロック発振動作
(Cyclic RUN → DeepSTOP → RUN)

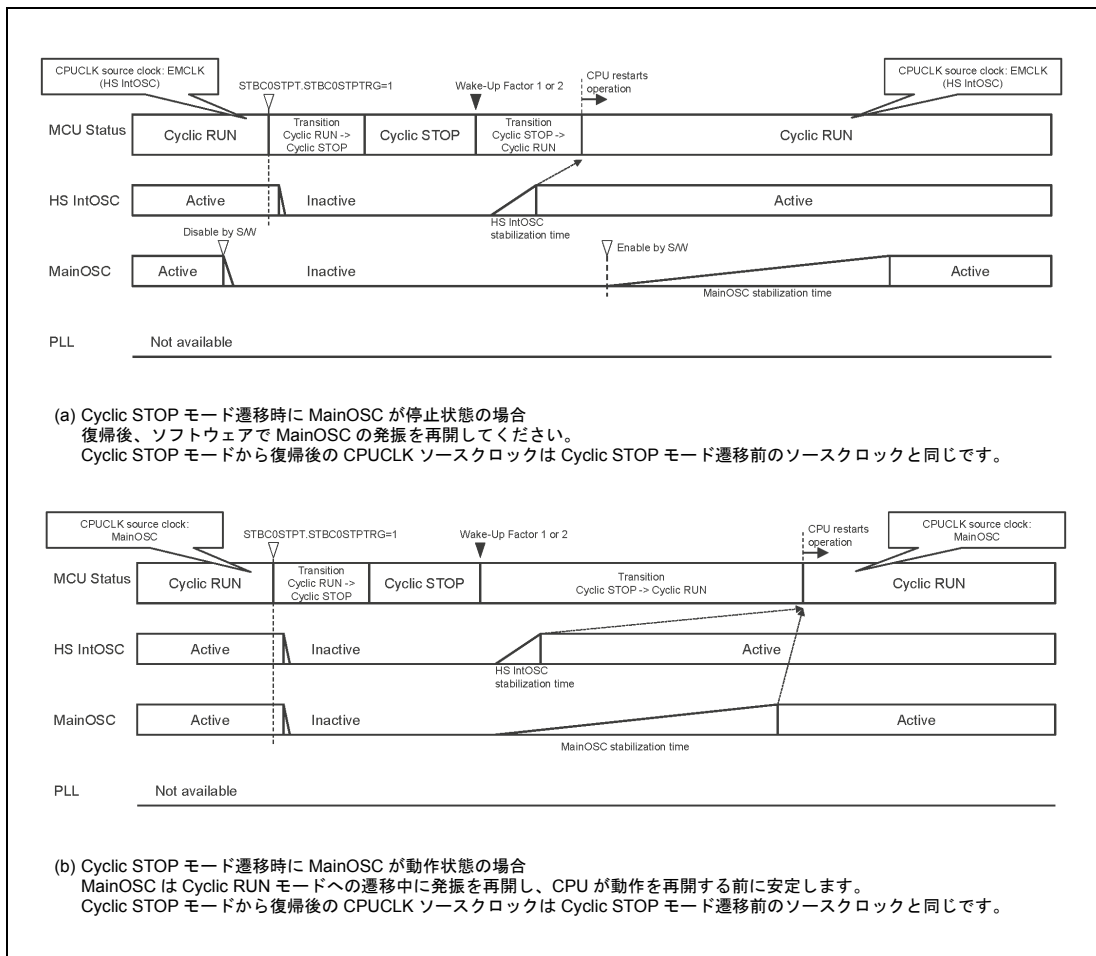


図 14.10 スタンバイモード遷移時のクロック発振動作 (Cyclic RUN → Cyclic STOP → Cyclic RUN)

14.6 スタンバイモード使用時の注意事項

14.6.1 デバッガ使用時における DeepSTOP モード遷移の注意事項

デバッガを使用する際、プログラム開始直後に DeepSTOP モードへ遷移するプログラムを実行すると、OCD エミュレータとマイコンとの通信準備が成立する前にマイコンが DeepSTOP モードに遷移するため、同通信が不正動作となる可能性があります。

この通信準備期間は、OCD エミュレータのホスト PC 環境、およびマイコンの動作周波数に依存しますので、プログラム開始直後に DeepSTOP モードへ遷移するプログラムをデバッグする際は、デバッガが正常起動する様、リセット解除から DeepSTOP 実行命令までの間にウェイトを挿入してください。

DeepSTOP モード時は、デバッグコントローラは停止します。デバッガによる DeepSTOP モードからの復帰については、「**14.1.3 オンチップデバッグウェイクアップ**」を参照してください。

第15章 ロウパワーサンプラ (LPS)

本章では、ロウパワーサンプラ (LPS) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1K に固有の特長について説明します。それ以降の節では、LPS の機能、レジスタについて説明します。

15.1 RH850/F1K LPS の特長

15.1.1 ユニット数

本製品は、以下に示すユニット数の LPS を搭載しています。

表 15.1 ユニット数

製品名	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
ユニット数	1	1	1
名称	LPSn(n = 0)	LPSn(n = 0)	LPSn(n = 0)

表 15.2 LPS のユニット構成とチャンネルの対応

ユニット名 LPSn	ユニット チャンネル数	機能	チャンネル名	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
LPS0	1	ポートポーリング用 デジタルポート入力 m	DPINm	17ch	24ch	24ch
		A/D 変換用 アナログ入力 m	ADCA0Im	16ch	16ch	16ch

表 15.3 添字

添字	説明
n	本章では、LPS のユニットを「n」(n = 0) で識別します。
m	本章では、LPS のポートポーリング用デジタルポート入力チャンネル数を「m」(m = 0 ~ 23)、A/D 変換用アナログ入力チャンネル数を「m」(m = 0 ~ 15) で識別します。
k	外部マルチプレクサ選択出力信号を「k」で識別します。
x	LPS シーケンススタートトリガ 入力信号を「x」で識別します。

備 考

本章の機能およびレジスタ説明は、最大仕様について記載しています。本文中の添字の値は使用する製品に合わせてください。また、以下の点に注意してください。

使用する製品により添字の範囲外となるビットに書き込む場合は、リセット後の値を書き込んでください。

各製品の添字が示す値を以下に示します。

表 15.4 各製品の添字対応

各製品の添字対応
100 pin, 144 pin, 176 pin
k = 0 ~ 2
x = 0 ~ 3

15.1.2 レジスタベースアドレス

LPS のベースアドレスを以下の表に示します。

LPS のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 15.5 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<LPS0_base>	FFF8 3000 _H

15.1.3 クロック供給

LPS のクロック供給を以下の表に示します。

ローパワーサンプラ (LPS) の動作要求がアクティブになっている場合、HS IntOSC を選択しているクロックドメインのクロックも動作します。

そのクロックドメインの機能を停止したい場合は、スタンバイモードに遷移する前に対象のクロックドメインの設定を "Disable" 設定にしてください。

表 15.6 クロック供給

ユニット名	ユニットクロック名	供給クロック名
LPSn	レジスタアクセスクロック	CPUCLK2
		EMCLK
	動作クロック	EMCLK

15.1.4 割り込み要求

LPS の割り込み要求を以下の表に示します。

表 15.7 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
LPS0			
INTCWEND	ポートポーリング終了割り込み (LPS)	112	—
INTDPE	デジタルポートエラー割り込み (LPS)	356	—
INTAPE	アナログポートエラー割り込み (LPS)	357	—
INTADCA010 ^{注1}	ADCA0 SG1 終了割り込み	18	4
INTADCA011 ^{注1}	ADCA0 SG2 終了割り込み	19	5
INTADCA012 ^{注1}	ADCA0 SG3 終了割り込み	20, 32	6

注 1. ADCA0 から出力されます。

15.1.5 リセット要因

LPSのリセット要因を以下に示します。LPSは以下のリセット要因で初期化されます。

表 15.8 リセット要因

ユニット名	リセット要因
LPS0	DeepSTOP モード遷移時を除くリセット要因 (AWORES)

15.1.6 外部入出力信号

LPSの外部入出力信号を以下の表に示します。

表 15.9 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
LPS0		
DPO	デジタル入力用ポート出力信号	DPO
DPSELk	デジタルポート用外部マルチプレクサ選択出力信号	SELDPk
DPINm	デジタルポート入力信号	DPINm
APO	アナログ入力用ポート出力信号	APO
ADCA0SELk ^{注1}	外付けアナログマルチプレクサ (MPX) 出力端子	ADCA0SELk
ADCA0Im ^{注1}	ADCA 入力チャンネル信号	ADCA0Im

注 1. ADCA0の入力/出力信号です。詳細は「第31章 A/Dコンバータ (ADCA)」を参照してください。

15.1.7 内部入出力信号

LPS-STBC間、LPS-TAUJ間で接続する内部入出力信号を以下の表に示します。

表 15.10 内部入出力信号

ユニット信号名	説明	接続先
WUTRG0	LPS ウェイクアップ要因 トリガ0 出力信号	STBC
WUTRG1	LPS ウェイクアップ要因 トリガ1 出力信号	STBC
INTTAUJ0Ix	LPS シーケンススタートトリガx 入力信号	TAUJ0

15.2 概要

15.2.1 機能概要

LPS は、CPU リソースを消費せずに外部の入力を監視するために、デジタル入力ポートとアナログ入力ポートの確認を CPU を介さず実行することができます。LPS の主な構成要素と外部回路の接続例を次の図に示します。

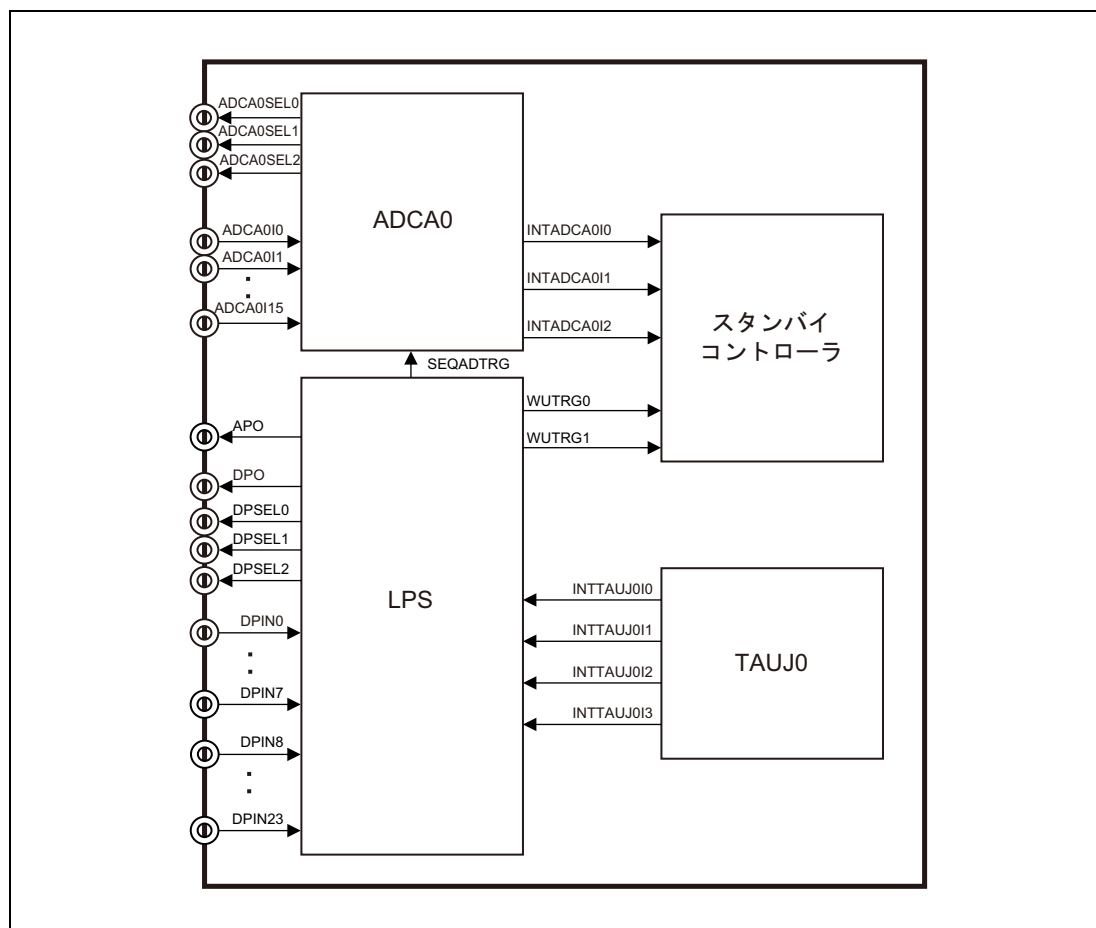


図 15.1 LPS のブロック図

注意

DPSEL2 ~ DPSEL0 は DPIN10 ~ DPIN8 と同一の端子に兼用機能としてアサインされています。同時に使用することはできません。

15.3 レジスタ

15.3.1 レジスタ一覧

LPS のレジスタ一覧を以下の表に示します。

<LPS0_base> は「**15.1.2 レジスタベースアドレス**」を参照してください。

表 15.11 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
LPS0	LPS 制御レジスタ	SCTLR	<LPS0_base > + 00 _H
	イベントフラグレジスタ	EVFR	<LPS0_base > + 04 _H
	DPIN 選択レジスタ 0	DPSELR0	<LPS0_base > + 08 _H
	DPIN 選択レジスタ M	DPSELRM	<LPS0_base > + 0C _H
	DPIN 選択レジスタ H	DPSELRH	<LPS0_base > + 10 _H
	DPIN データ設定レジスタ 0	DPDSR0	<LPS0_base > + 14 _H
	DPIN データ設定レジスタ M	DPDSRM	<LPS0_base > + 18 _H
	DPIN データ設定レジスタ H	DPDSRH	<LPS0_base > + 1C _H
	DPIN データ入力モニタレジスタ 0	DPDIMR0	<LPS0_base > + 20 _H
	DPIN データ入力モニタレジスタ 1	DPDIMR1	<LPS0_base > + 24 _H
	DPIN データ入力モニタレジスタ 2	DPDIMR2	<LPS0_base > + 28 _H
	DPIN データ入力モニタレジスタ 3	DPDIMR3	<LPS0_base > + 2C _H
	DPIN データ入力モニタレジスタ 4	DPDIMR4	<LPS0_base > + 30 _H
	DPIN データ入力モニタレジスタ 5	DPDIMR5	<LPS0_base > + 34 _H
	DPIN データ入力モニタレジスタ 6	DPDIMR6	<LPS0_base > + 38 _H
	DPIN データ入力モニタレジスタ 7	DPDIMR7	<LPS0_base > + 3C _H
	カウント値レジスタ	CNTVAL	<LPS0_base > + 40 _H
	LPS 動作ステータスレジスタ	SOSTR	<LPS0_base > + 44 _H

15.3.2 SCTRL — LPS 制御レジスタ

LPS の設定を行います。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <LPS0_base> + 00_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	NUMDP 2	NUMDP 1	NUMDP 0	TJIS1	TJIS0	ADEN	DPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.12 SCTRL レジスタの内容

ビット位置	ビット名	機能																		
31 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																		
6 ~ 4	NUMDP[2:0]	<p>デジタル入力モード時のポートのリード回数を設定します。2 回以上の場合には外付けマルチプレクサを DPSEL[2:0] 端子で制御します。</p> <p>DPSELR0/DPSELRM/DPSELRH レジスタで比較許可したビットは、リード回数設定に関わらず比較が実行され、結果によって WUTRG が発生します。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>NUMDP[2:0]</th> <th>ポートリード回数</th> </tr> </thead> <tbody> <tr> <td>000_B</td> <td>1 回</td> </tr> <tr> <td>001_B</td> <td>2 回</td> </tr> <tr> <td>010_B</td> <td>3 回</td> </tr> <tr> <td>011_B</td> <td>4 回</td> </tr> <tr> <td>100_B</td> <td>5 回</td> </tr> <tr> <td>101_B</td> <td>6 回</td> </tr> <tr> <td>110_B</td> <td>7 回</td> </tr> <tr> <td>111_B</td> <td>8 回</td> </tr> </tbody> </table> <p>TAUJ0 動作開始前、かつシーケンス動作開始前 (SCTRL.DPEN ビット = 0, SCTRL.ADEN ビット = 0, SOSTR.SOF ビット = 0 時) に設定してください。 (SCTRL.DPEN ビット, SCTRL.ADEN ビットの変更時、これらのビットには同じ値を書き込んでください)</p>	NUMDP[2:0]	ポートリード回数	000 _B	1 回	001 _B	2 回	010 _B	3 回	011 _B	4 回	100 _B	5 回	101 _B	6 回	110 _B	7 回	111 _B	8 回
NUMDP[2:0]	ポートリード回数																			
000 _B	1 回																			
001 _B	2 回																			
010 _B	3 回																			
011 _B	4 回																			
100 _B	5 回																			
101 _B	6 回																			
110 _B	7 回																			
111 _B	8 回																			
3, 2	TJIS[1:0]	<p>シーケンススタートトリガ選択</p> <p>00 : INTTAUJ0I0 01 : INTTAUJ0I1 10 : INTTAUJ0I2 11 : INTTAUJ0I3</p> <p>シーケンス動作開始前 (SCTRL.DPEN ビット = 0, SCTRL.ADEN ビット = 0, SOSTR.SOF ビット = 0 時) に設定してください。 (SCTRL.DPEN ビット, SCTRL.ADEN ビットの変更時、これらのビットには同じ値を書き込んでください)</p>																		
1	ADEN	<p>0 : アナログ入力モード停止 1 : アナログ入力モード許可</p>																		
0	DPEN	<p>0 : デジタル入力モード停止 1 : デジタル入力モード許可</p>																		

15.3.3 EVFR — イベントフラグレジスタ

シーケンス動作によってデジタル入力端子で取り込んだデータ (DPDIMR7-DPDIMR0) と比較対象データ (DPDSRH/DPDSRM/DPDSR0) の比較結果を示します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <LPS0_base> + 04_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DINEVF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 15.13 EVFR レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DINEVF	デジタル入力端子で取り込んだデータ (DPDIMR7 ~ DPDIMR0) と比較対象データ (DPDSRH/DPDSRM/DPDSR0) の比較結果を示します。 リード： 0：比較結果が一致 1：比較結果が不一致 ライト： 0：ビットをクリア 1：禁止 本ビットは、1ビットでも不一致を検出するとセットされます。本ビットをクリアするために、0のみ書き込み可能です。

15.3.4 DPSELR0 — DPIN 選択レジスタ 0

DPDSR0 と DPDIMR0 レジスタの比較対象ビットを設定するレジスタです。

DPSELR0 レジスタの書き込みはシーケンス動作開始前 (SOSTR.SOF ビット = 0) に設定してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <LPS0_base> + 08_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	D0EN _23	D0EN _22	D0EN _21	D0EN _20	D0EN _19	D0EN _18	D0EN _17	D0EN _16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D0EN _15	D0EN _14	D0EN _13	D0EN _12	D0EN _11	D0EN _10	D0EN _9	D0EN _8	D0EN _7	D0EN _6	D0EN _5	D0EN _4	D0EN _3	D0EN _2	D0EN _1	D0EN _0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.14 DPSELR0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23 ~ 0	D0EN_n (n = 23 ~ 0)	1 回目にデジタルポート入力端子で取り込んだレジスタ (DPDIMR0) の値と比較対象のレジスタ (DPDSR0) のビット毎の比較許可 / 禁止を設定します。 0 : 比較禁止する 1 : 比較許可する

15.3.5 DPSELRM — DPIN 選択レジスタ M

DPDSRM と DPDIMRm (m = 4 ~ 1) の比較対象ビットを設定するレジスタです。

DPSELRM レジスタの書き込みはシーケンス動作開始前 (SOSTR.SOF ビット = 0) に設定してください。

アクセス DPSELRM は 32 ビット単位でリード/ライト可能です。
DPSELRML、DPSELRMH は 16 ビット単位でリード/ライト可能です。
DPSELR1、DPSELR2、DPSELR3、DPSELR4 は 8 ビット単位でリード/ライト可能です。

アドレス DPSELRM : <LPS0_base> + 0C_H
DPSELRML : <LPS0_base> + 0C_H、
DPSELRMH : <LPS0_base> + 0E_H
DPSELR1 : <LPS0_base> + 0C_H、
DPSELR2 : <LPS0_base> + 0D_H、
DPSELR3 : <LPS0_base> + 0E_H、
DPSELR4 : <LPS0_base> + 0F_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	D4EN_7	D4EN_6	D4EN_5	D4EN_4	D4EN_3	D4EN_2	D4EN_1	D4EN_0	D3EN_7	D3EN_6	D3EN_5	D3EN_4	D3EN_3	D3EN_2	D3EN_1	D3EN_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D2EN_7	D2EN_6	D2EN_5	D2EN_4	D2EN_3	D2EN_2	D2EN_1	D2EN_0	D1EN_7	D1EN_6	D1EN_5	D1EN_4	D1EN_3	D1EN_2	D1EN_1	D1EN_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.15 DPSELRM レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	D4EN_n (n = 7 ~ 0)	5 回目にデジタルポート入力端子で取り込んだレジスタ (DPDIMR4) の値と比較対象のレジスタ (DPDSR4) のビット毎の比較許可 / 禁止を設定します。 0 : 比較禁止する 1 : 比較許可する
23 ~ 16	D3EN_n (n = 7 ~ 0)	4 回目にデジタルポート入力端子で取り込んだレジスタ (DPDIMR3) の値と比較対象のレジスタ (DPDSR3) のビット毎の比較許可 / 禁止を設定します。 0 : 比較禁止する 1 : 比較許可する
15 ~ 8	D2EN_n (n = 7 ~ 0)	3 回目にデジタルポート入力端子で取り込んだレジスタ (DPDIMR2) の値と比較対象のレジスタ (DPDSR2) のビット毎の比較許可 / 禁止を設定します。 0 : 比較禁止する 1 : 比較許可する
7 ~ 0	D1EN_n (n = 7 ~ 0)	2 回目にデジタルポート入力端子で取り込んだレジスタ (DPDIMR1) の値と比較対象のレジスタ (DPDSR1) のビット毎の比較許可 / 禁止を設定します。 0 : 比較禁止する 1 : 比較許可する

15.3.6 DPSELRH — DPIN 選択レジスタ H

DPDSRH と DPDIMR_m (m = 7 ~ 5) の比較対象ビットを設定するレジスタです。

DPSELRH レジスタの書き込みはシーケンス動作開始前 (SOSTR.SOF ビット = 0) に設定してください。

アクセス DPSELRH は 32 ビット単位でリード/ライト可能です。
DPSELRHL、DPSELRHH は 16 ビット単位でリード/ライト可能です。
DPSELR5、DPSELR6、DPSELR7 は 8 ビット単位でリード/ライト可能です。

アドレス DPSELRH : <LPS0_base> + 10_H
DPSELRHL : <LPS0_base> + 10_H、
DPSELRHH : <LPS0_base> + 12_H
DPSELR5 : <LPS0_base> + 10_H、
DPSELR6 : <LPS0_base> + 11_H、
DPSELR7 : <LPS0_base> + 12_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	D7EN_7	D7EN_6	D7EN_5	D7EN_4	D7EN_3	D7EN_2	D7EN_1	D7EN_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D6EN_7	D6EN_6	D6EN_5	D6EN_4	D6EN_3	D6EN_2	D6EN_1	D6EN_0	D5EN_7	D5EN_6	D5EN_5	D5EN_4	D5EN_3	D5EN_2	D5EN_1	D5EN_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.16 DPSELRH レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23 ~ 16	D7EN_n (n = 7 ~ 0)	8 回目にデジタルポート入力端子で取り込んだレジスタ (DPDIMR7) の値と比較対象のレジスタ (DPDSR7) のビット毎の比較許可 / 禁止を設定します。 0 : 比較禁止する 1 : 比較許可する
15 ~ 8	D6EN_n (n = 7 ~ 0)	7 回目にデジタルポート入力端子で取り込んだレジスタ (DPDIMR6) の値と比較対象のレジスタ (DPDSR6) のビット毎の比較許可 / 禁止を設定します。 0 : 比較禁止する 1 : 比較許可する
7 ~ 0	D5EN_n (n = 7 ~ 0)	6 回目にデジタルポート入力端子で取り込んだレジスタ (DPDIMR5) の値と比較対象のレジスタ (DPDSR5) のビット毎の比較許可 / 禁止を設定します。 0 : 比較禁止する 1 : 比較許可する

15.3.7 DPDSR0 — DPIN データ設定レジスタ 0

シーケンス動作によってデジタル入力端子で取り込んだデータ (DPDIMR0) と比較するデータを設定するレジスタです。

DPDSR0 レジスタの書き込みはシーケンス動作開始前 (SOSTR.SOF ビット = 0) に設定してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <LPS0_base> + 14_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	D0_23	D0_22	D0_21	D0_20	D0_19	D0_18	D0_17	D0_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D0_15	D0_14	D0_13	D0_12	D0_11	D0_10	D0_9	D0_8	D0_7	D0_6	D0_5	D0_4	D0_3	D0_2	D0_1	D0_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.17 DPDSR0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23 ~ 0	D0_n (n = 23 ~ 0)	1 回目のデジタルポート入力 (DPINm) に対する比較データ

15.3.8 DPDSRM — DPIN データ設定レジスタ M

シーケンス動作によってデジタル入力端子で取り込んだデータ (DPDIMR4 ~ 1) と比較するデータを設定するレジスタです。

DPDSRM レジスタの書き込みはシーケンス動作開始前 (SOSTR.SOF ビット = 0) に設定してください。

アクセス DPDSRM は 32 ビット単位でリード/ライト可能です。
DPDSRML、DPDSRMH は 16 ビット単位でリード/ライト可能です。
DPDSR1、DPDSR2、DPDSR3、DPDSR4 は 8 ビット単位でリード/ライト可能です。

アドレス DPDSRM : <LPS0_base> + 18_H
DPDSRML : <LPS0_base> + 18_H
DPDSRMH : <LPS0_base> + 1A_H
DPDSR1 : <LPS0_base> + 18_H
DPDSR2 : <LPS0_base> + 19_H
DPDSR3 : <LPS0_base> + 1A_H
DPDSR4 : <LPS0_base> + 1B_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	D4_7	D4_6	D4_5	D4_4	D4_3	D4_2	D4_1	D4_0	D3_7	D3_6	D3_5	D3_4	D3_3	D3_2	D3_1	D3_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D2_7	D2_6	D2_5	D2_4	D2_3	D2_2	D2_1	D2_0	D1_7	D1_6	D1_5	D1_4	D1_3	D1_2	D1_1	D1_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.18 DPDSRM レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	D4_n (n = 7 ~ 0)	5 回目のデジタルポート入力 (DPINm) に対する比較データ
23 ~ 16	D3_n (n = 7 ~ 0)	4 回目のデジタルポート入力 (DPINm) に対する比較データ
15 ~ 8	D2_n (n = 7 ~ 0)	3 回目のデジタルポート入力 (DPINm) に対する比較データ
7 ~ 0	D1_n (n = 7 ~ 0)	2 回目のデジタルポート入力 (DPINm) に対する比較データ

15.3.9 DPDSRH — DPIN データ設定レジスタ H

シーケンス動作によってデジタル入力端子で取り込んだデータ (DPDIMR7 ~ 5) と比較するデータを設定するレジスタです。

DPDSRH レジスタの書き込みはシーケンス動作開始前 (SOSTR.SOF ビット = 0) に設定してください。

アクセス DPDSRH は 32 ビット単位でリード/ライト可能です。
DPDSRHL、DPDSRHH は 16 ビット単位でリード/ライト可能です。
DPDSR5、DPDSR6、DPDSR7 は 8 ビット単位でリード/ライト可能です。

アドレス DPDSRH : <LPS0_base> + 1C_H
DPDSRHL : <LPS0_base> + 1C_H
DPDSRHH : <LPS0_base> + 1E_H
DPDSR5 : <LPS0_base> + 1C_H
DPDSR6 : <LPS0_base> + 1D_H
DPDSR7 : <LPS0_base> + 1E_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	D7_7	D7_6	D7_5	D7_4	D7_3	D7_2	D7_1	D7_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D6_7	D6_6	D6_5	D6_4	D6_3	D6_2	D6_1	D6_0	D5_7	D5_6	D5_5	D5_4	D5_3	D5_2	D5_1	D5_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.19 DPDSRH レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23 ~ 16	D7_n (n = 7 ~ 0)	8 回目のデジタルポート入力 (DPINm) に対する比較データ
15 ~ 8	D6_n (n = 7 ~ 0)	7 回目のデジタルポート入力 (DPINm) に対する比較データ
7 ~ 0	D5_n (n = 7 ~ 0)	6 回目のデジタルポート入力 (DPINm) に対する比較データ

15.3.10 DPDIMR0 — DPIN データ入力モニタレジスタ 0

LPS が各デジタル入力モードでデジタルポート入力 (DPIN_m (m = 0 ~ 23)) から取り込んだデータを格納するレジスタです。DPDIMR0 には 1 回目に取り込んだデータを格納します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <LPS0_base> + 20_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	DOM_2 3	DOM_2 2	DOM_2 1	DOM_2 0	DOM_1 9	DOM_1 8	DOM_1 7	DOM_1 6
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DOM_1 5	DOM_1 4	DOM_1 3	DOM_1 2	DOM_11 1	DOM_1 0	DOM_9	DOM_8	DOM_7	DOM_6	DOM_5	DOM_4	DOM_3	DOM_2	DOM_1	DOM_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 15.20 DPDIMR0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	予約ビット	リードした場合はリセット後の値が読めます。
23 ~ 0	DOM_n (n = 23 ~ 0)	1 回目のデジタルポート入力 (DPIN _m) データ

15.3.11 DPDIMR1 — DPIN データ入力モニタレジスタ 1

LPS がマルチプレクサモードまたは MIX モードでデジタルポート入力 (DPIN_m (m = 0 ~ 7)) から取り込んだデータを格納するレジスタです。DPDIMR1 には 2 回目に取り込んだデータを格納します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <LPS0_base> + 24_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	D1M_7	D1M_6	D1M_5	D1M_4	D1M_3	D1M_2	D1M_1	D1M_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 15.21 DPDIMR1 レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	D1M_n (n = 7 ~ 0)	2 回目のデジタルポート入力 (DPIN _m) データ

15.3.12 DPDIMR2 — DPIN データ入力モニタレジスタ 2

LPS がマルチプレクサモードまたは MIX モードでデジタルポート入力 (DPIN_m (m = 0 ~ 7)) から取り込んだデータを格納するレジスタです。DPDIMR2 には 3 回目に取り込んだデータを格納します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <LPS0_base> + 28_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	D2M_7	D2M_6	D2M_5	D2M_4	D2M_3	D2M_2	D2M_1	D2M_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 15.22 DPDIMR2 レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	D2M _n (n = 7 ~ 0)	3 回目のデジタルポート入力 (DPIN _m) データ

15.3.13 DPDIMR3 — DPIN データ入力モニタレジスタ 3

LPS がマルチプレクサモードまたは MIX モードでデジタルポート入力 (DPIN_m (m = 0 ~ 7)) から取り込んだデータを格納するレジスタです。DPDIMR3 には 4 回目に取り込んだデータを格納します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <LPS0_base> + 2C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	D3M_7	D3M_6	D3M_5	D3M_4	D3M_3	D3M_2	D3M_1	D3M_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 15.23 DPDIMR3 レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	D3M _n (n = 7 ~ 0)	4 回目のデジタルポート入力 (DPIN _m) データ

15.3.14 DPDIMR4 — DPIN データ入力モニタレジスタ 4

LPS がマルチプレクサモードまたは MIX モードでデジタルポート入力 (DPIN_m (m = 0 ~ 7)) から取り込んだデータを格納するレジスタです。DPDIMR4 には 5 回目に取り込んだデータを格納します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <LPS0_base> + 30_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	D4M_7	D4M_6	D4M_5	D4M_4	D4M_3	D4M_2	D4M_1	D4M_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 15.24 DPDIMR4 レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	D4M_n (n = 7 ~ 0)	5 回目のデジタルポート入力 (DPIN _m) データ

15.3.15 DPDIMR5 — DPIN データ入力モニタレジスタ 5

LPS がマルチプレクサモードまたは MIX モードでデジタルポート入力 (DPIN_m (m = 0 ~ 7)) から取り込んだデータを格納するレジスタです。DPDIMR5 には 6 回目に取り込んだデータを格納します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <LPS0_base> + 34_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	D5M_7	D5M_6	D5M_5	D5M_4	D5M_3	D5M_2	D5M_1	D5M_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 15.25 DPDIMR5 レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	D5M_n (n = 7 ~ 0)	6 回目のデジタルポート入力 (DPIN _m) データ

15.3.16 DPDIMR6 — DPIN データ入力モニタレジスタ 6

LPS がマルチプレクサモードまたは MIX モードでデジタルポート入力 (DPIN_m (m = 0 ~ 7)) から取り込んだデータを格納するレジスタです。DPDIMR6 には 7 回目に取り込んだデータを格納します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <LPS0_base> + 38_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	D6M_7	D6M_6	D6M_5	D6M_4	D6M_3	D6M_2	D6M_1	D6M_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 15.26 DPDIMR6 レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	D6M_n (n = 7 ~ 0)	7 回目のデジタルポート入力 (DPIN _m) データ

15.3.17 DPDIMR7 — DPIN データ入力モニタレジスタ 7

LPS がマルチプレクサモードでデジタルポート入力 (DPIN_m (m = 0 ~ 7)) から取り込んだデータを格納するレジスタです。DPDIMR7 には 8 回目に取り込んだデータを格納します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <LPS0_base> + 3C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	D7M_7	D7M_6	D7M_5	D7M_4	D7M_3	D7M_2	D7M_1	D7M_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 15.27 DPDIMR7 レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	D7M_n (n = 7 ~ 0)	8 回目のデジタルポート入力 (DPIN _m) データ

15.3.18 CNTVAL — カウント値レジスタ

外部回路（デジタル信号源とアナログ信号源）の安定時間を設定するレジスタです。

- デジタル入力モードの場合
DPO 出力が 1 になってから 1 度目のポート入力の取り込みを行うまでの時間
- アナログ入力モードの場合
APO 出力が 1 になってから A/D 変換トリガを LPS が ADCA0 に対して出力するまでの時間

CNTVAL レジスタの書き込みは、シーケンス動作開始前（SOSTR.SOF ビット = 0）に設定してください。

注 意

アナログ入力モードを使用する場合は、A/D コンバータの安定を待つ必要があるため必ず 1μs 以上の安定時間を確保してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <LPS0_base> + 40_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNT17	CNT16	CNT15	CNT14	CNT13	CNT12	CNT11	CNT10	CNT07	CNT06	CNT05	CNT04	CNT03	CNT02	CNT01	CNT00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.28 CNTVAL レジスタの内容

ビット位置	ビット名	機能
15 ~ 8	CNT1n (n = 7 ~ 0)	外部回路（アナログ信号源）の安定時間設定 安定時間 = $(1 / f_{RH}) \times 16 \times \text{CNT1n}$ (設定値)
7 ~ 0	CNT0n (n = 7 ~ 0)	外部回路（デジタル信号源）の安定時間設定 安定時間 = $(1 / f_{RH}) \times 16 \times \text{CNT0n}$ (設定値)

15.3.19 SOSTR — LPS 動作ステータスレジスタ

LPS の動作状態を示すレジスタです。

アクセス 8ビット単位でリードのみ可能です。

アドレス <LPS0_base> + 44_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SOF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 15.29 SOSTR レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	SOF	LPS 動作のステータスフラグ 0 : スタートトリガ発生前の初期状態 1 : LPS 動作中 (スタートトリガ発生後) SOF ビットが "1" のとき (LPS 動作中) にスタートトリガが発生した場合、スタートトリガはキャンセルされます。

15.4 デジタル入力モード

デジタル入力ポート DPIN_m を使用し、さらに外部でマルチプレクサを接続することによって、「表 15.30 監視ポートの組み合わせ」の組み合わせに示すように最大 64 本のポート入力を監視することが出来ます。

外部マルチプレクサの切り替えにはポート DPSELk を使用します。DPSELk 出力の切り替えは SCTLR レジスタに設定された回数分実施されます。

ポートへの入力値を確認するタイミングは TAUJ0 を使用して設定します。

表 15.30 監視ポートの組み合わせ

組み合わせ (ポート数 × チェック回数)	使用ポート	合計本数
ダイレクトモード 外付けマルチプレクサを使用せずに一斉にポート入力を確認する場合 最大 24 本 × 1 回	DPIN23 ~ DPIN0	最大 24
マルチプレクサモード 外付けマルチプレクサを使用して少ない端子で確認する場合 最大 8 本 × 8 回	DPIN7 ~ DPIN0 DPSEL2 ~ DPSEL0	最大 64
MIX モード 上記 2 つの組み合わせで確認する場合 最大 14 本 × 1 回 + 最大 7 本 × 7 回	DPIN7 ~ DPIN0 DPIN16 ~ DPIN11 DPSEL2 ~ DPSEL0 注 1	最大 63

注 1. DPIN16 ~ DPIN11, DPIN7 は 1 回目のみ確認します。DPIN10 ~ DPIN8 は DPSEL2 ~ DPSEL0 と兼用のため使用できません。

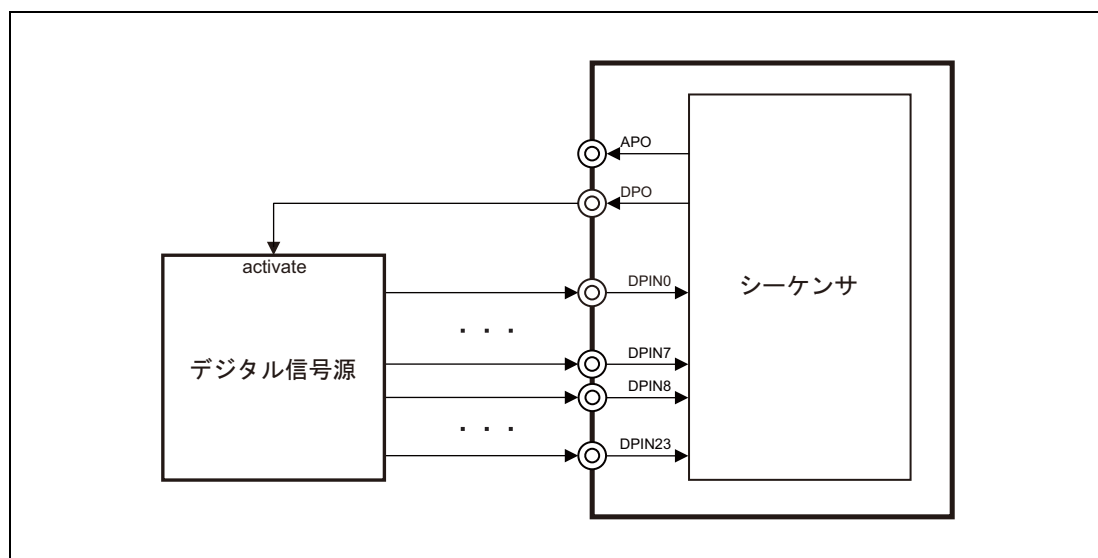


図 15.2 ダイレクトモードの接続例

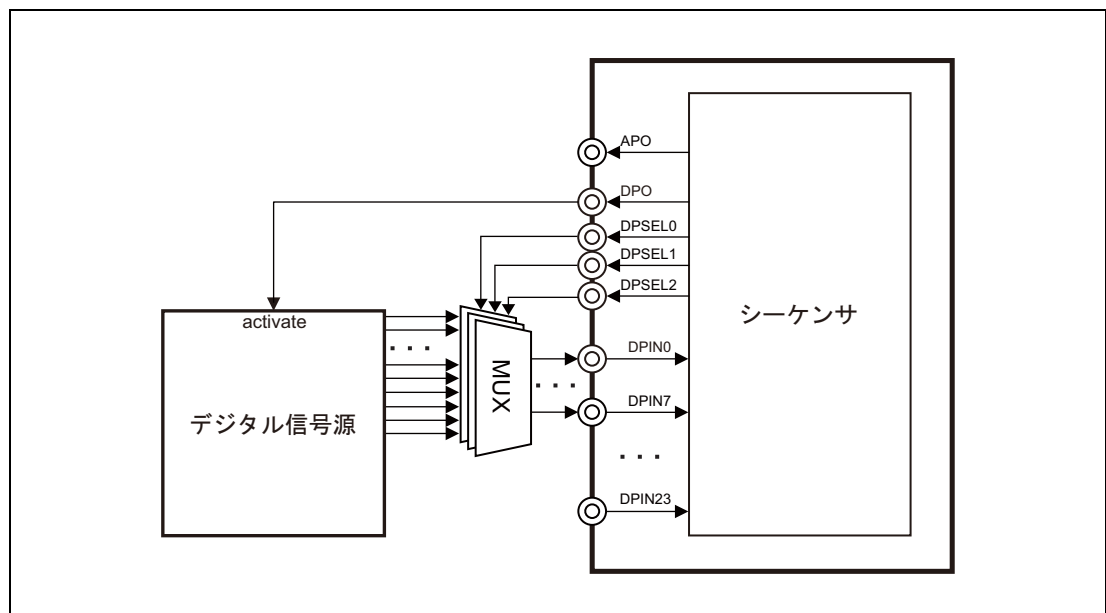


図 15.3 マルチプレクサモードの接続例

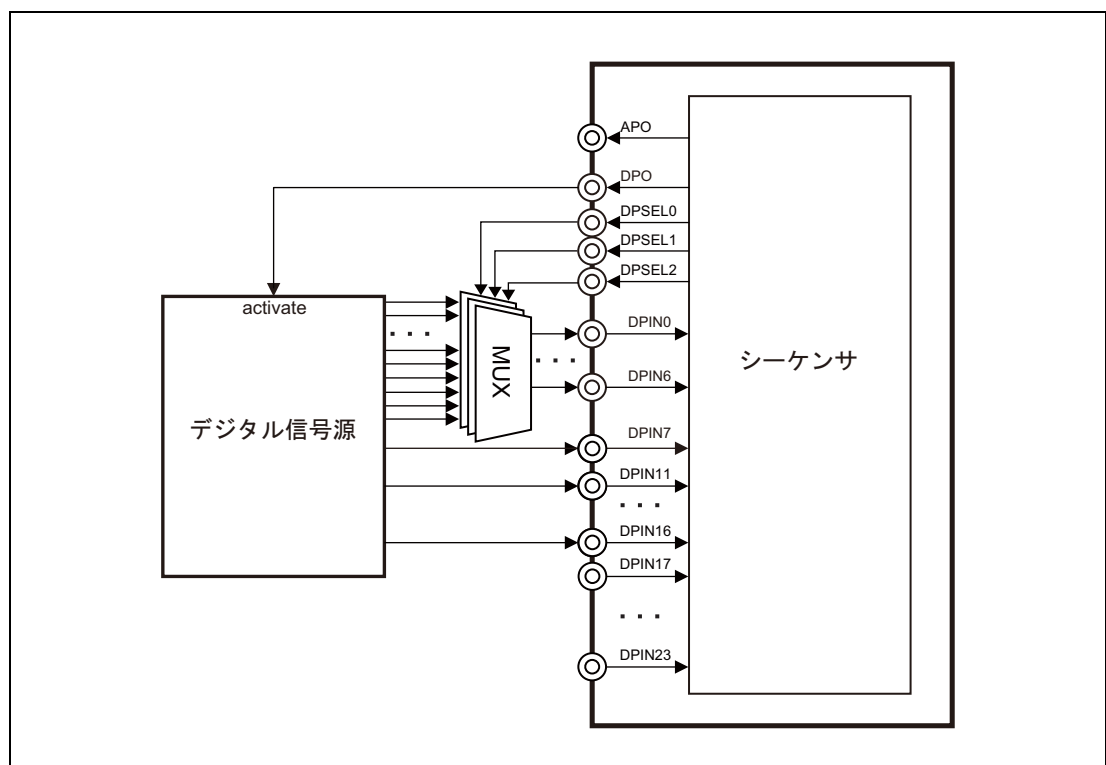


図 15.4 MIX モードの接続例

注 意

DPSEL2 ~ DPSEL0 は DPIN10 ~ DPIN8 と同一の端子に兼用機能としてアサインされています。同時に使用することはできません。

準備

- SCTLR レジスタの NUMDP[2:0] ビットおよび TJIS[1:0] ビットを設定し、ポートのリード回数とシーケンススタートトリガとして用いる TAUJ0 割り込みを選択
- TAUJ0 にインターバルタイマを設定
- CNTVAL レジスタの下位 8 ビットでデジタル信号源のウェイト時間を設定
- DPDSR0、DPDSRM、DPDSRH レジスタに期待値を設定
- DPSELR0、DPSELRM、DPSELRH レジスタに確認するポートを設定

開始

- TAUJ0 をスタートする
- SCTLR.DPEN ビットを 1 に設定する

開始後は TAUJ0 に設定した間隔でポートを確認します。動作開始後は RUN モード、パワーセーブモードに関わらず動作を継続します。スタンバイモードで HS IntOSC が停止している場合はシーケンス動作中のみ HS IntOSC の動作が再開されます。

設定されたすべてのポートの確認が完了すると、INTCWEND 割り込みが発生します。また、ポートの入力値が DPDSR0、DPDSRM、DPDSRH レジスタで設定した期待値と異なる場合、ウェイクアップ要因 WUTRG0 を発生させます。デジタル入力モードの動作例を以下の図について示します。

停止

デジタル入力モードの LPS 動作を停止する時 (SCTLR.DPEN ビットを 1 から 0 に設定)、以下に示す手順に従ってください。以下の例では P0_0 端子を DPO として使用しています。

1. ポートレジスタをロウレベル出力に設定する。(P0.P0_0=0)
2. P0_0 を兼用ポートモードからポートモードに設定する。(PMC0.PMC0_0=0)
3. SCTLR.DPEN = 0 に設定する。

備 考

上記手順は P0_0 端子を DPO として使用する場合に適用されます。P0_2 端子を DPO として使用する場合は P0_2 端子の設定を同様の手順で設定してください。

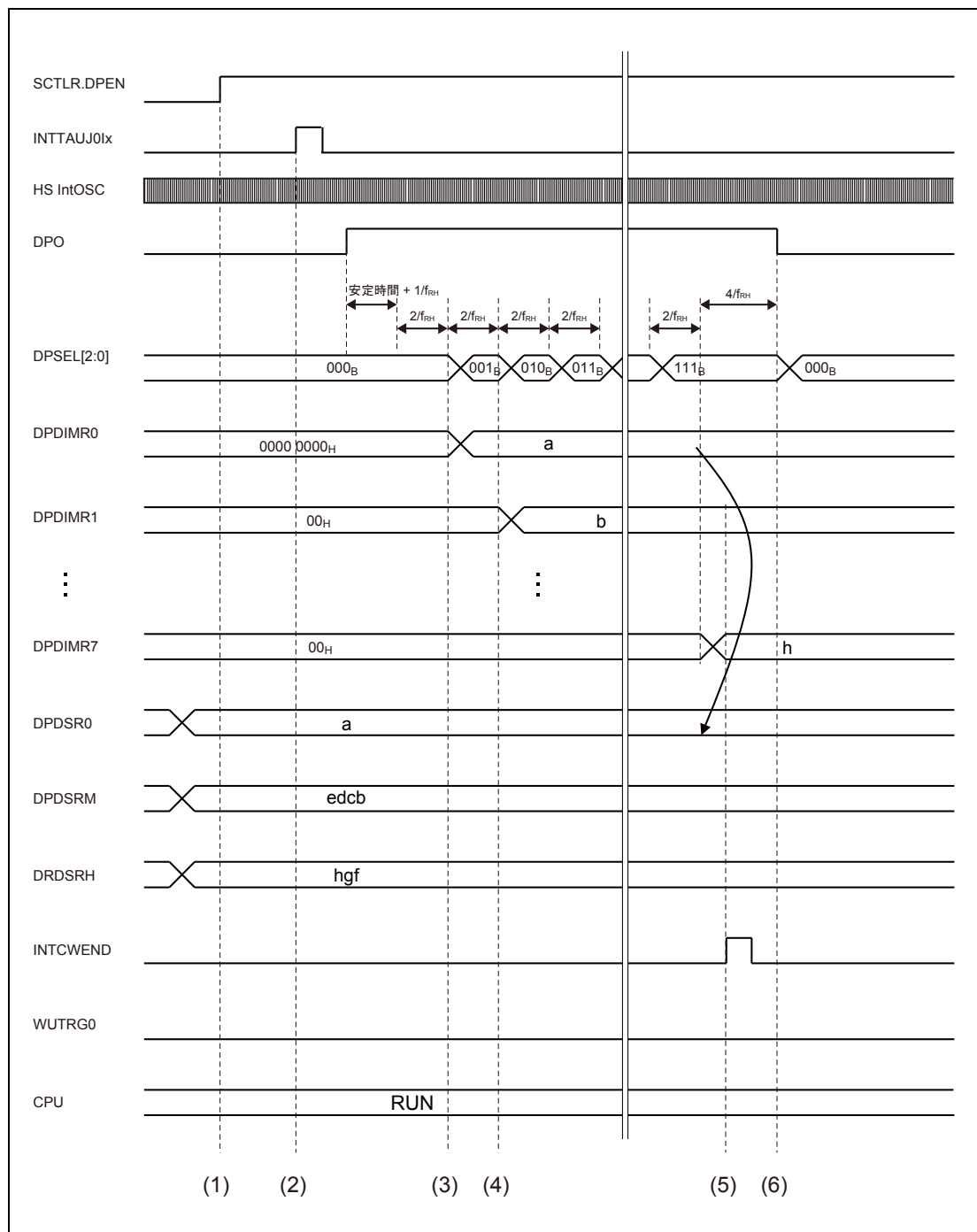


図 15.5 デジタル入力モード (8 本 x 8 回) の動作 入力値が変化しない場合 (RUN モード)

- (1) ソフトウェアにより SCTL.RDPEN ビット = 1 に設定し、LPS のデジタル入力モードを有効にします。
- (2) SCTL.TJIS ビットにより設定された INTTAUJ0Ix 割り込みが発生すると、DPO 端子からハイレベルを出力し、外部のデジタル信号源の安定を待つために CNTVAL.CNT0n に設定された時間だけウェイトします。
- (3) 信号源の安定時間が完了すると、LPS が DPIN[7:0] の入力値を DPDIMR0 レジスタに格納し、外部のマルチプレクサを切り替えるため DPSEL[2:0] 端子をインクリメントします。

- (4) DPSEL[2:0] 端子切り替え後、DPDIMR1 以降のレジスタに順次値の格納と DPSEL[2:0] のインクリメントを続けます。
- (5) DPDIMR7 レジスタまで値を格納したのち、INTCWEND 割り込みを発生させ、DPDSR0、DPDSRM、DPDSRH レジスタに設定された期待値との比較を行います。
- (6) 期待値との差異がない場合はウェイクアップ要因 WUTRG0 は発生せず、LPS は DPO の出力を停止し再びトリガ待ち状態に戻ります。

DPO 端子のハイレベル幅は以下の式により算出されます。安定時間については「**15.3.18 CNTVAL — カウント値レジスタ**」を参照してください。

DPO 端子のハイレベル幅

$$\begin{aligned} &= \text{安定時間} + (1/f_{RH}) \times 1 + (1/f_{RH}) \times 2 \times (\text{SCTLR.NUMDP (set value)} + 1) + (1/f_{RH}) \times 4 \\ &= \text{安定時間} + (1/f_{RH}) \times (2 \times \text{SCTLR.NUMDP (set value)} + 7) \end{aligned}$$

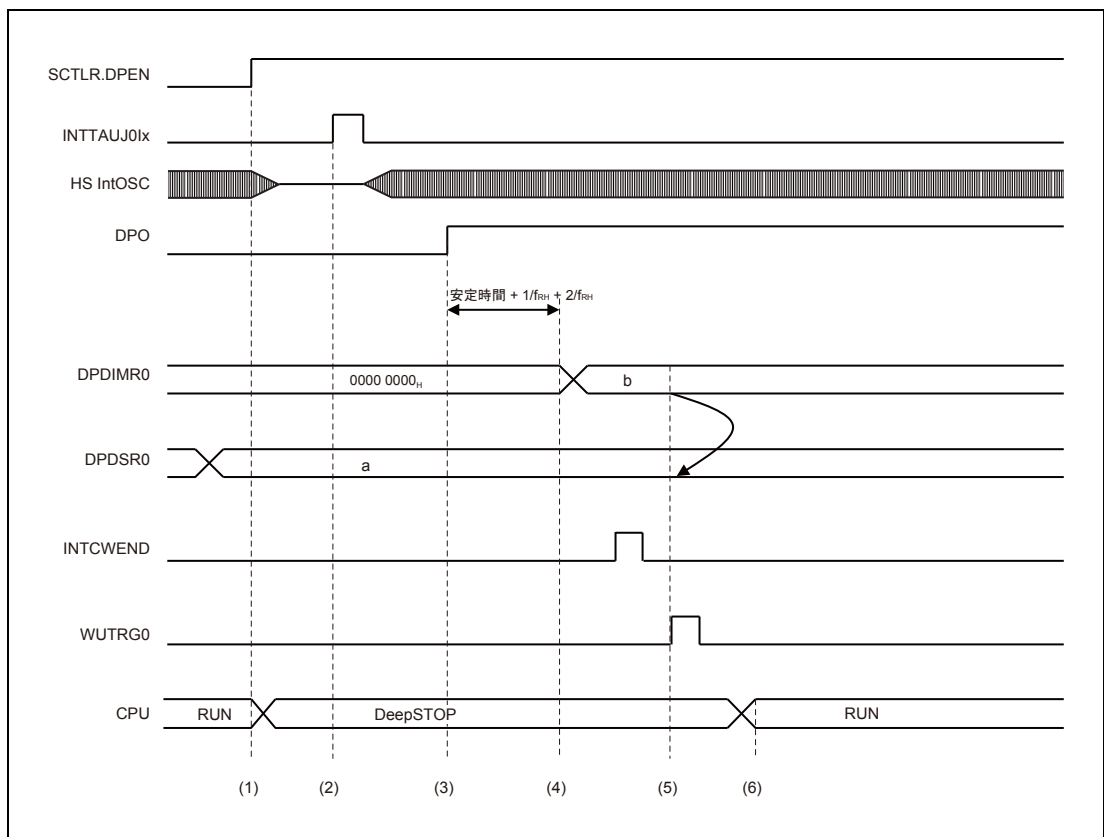


図 15.6 デジタル入力モード (24 本 × 1 回) の動作 入力値が変化する場合 (DeepSTOP モード)

- (1) ソフトウェアにより SCTLR.DPEN ビット = 1 に設定し、LPS のデジタル入力モードを有効にした状態で STBC0PSC.STBC0DISTRG = 1 に設定し DeepSTOP モードに遷移します。
- (2) SCTLR.TJIS ビットにより設定された INTTAUJ0Ix 割り込みが発生すると、LPS は HS IntOSC を有効にし発振を開始させます。
- (3) HS IntOSC の安定時間が完了すると、LPS は DPO 端子からハイレベルを出力し、外部のデジタル信号源の安定を待つために CNTVAL.CNT0n に設定された時間だけウェイトします。
- (4) 信号源の安定時間が完了すると、LPS が DPIN[23:0] の入力値を DPDIMR0 レジスタに格納し、INTCWEND 割り込みが発生します。
- (5) DPDIMR0 レジスタに格納された値を DPDSR0 レジスタに設定された期待値と比較し、期待値と差異があった場合はウェイクアップ要因 WUTRG0 が発生します。
- (6) WUTRG0 の発生により、CPU は RUN モードへ復帰します。DPO 端子は、ソフトウェアにより EVFR.DINEVF ビット = 0 に設定するまでハイレベル出力を維持します。

15.4.1 デジタルポートエラー割り込み

データ比較での不一致を示すレベルセンシティブな割り込みが発生します。この割り込みはスタンバイモードのみでなく RUN モードでも発生します。セット/クリア条件を以下に示します。

表 15.31 デジタルポートエラー割り込み

ユニット割り込み信号	セット条件	クリア条件
INTDPE	ハードウェアにより EVFR.DINEVF ビットが "1" にセットされた場合。	ソフトウェアにより EVFR.DINEVF ビットが "0" にクリアされた場合。

15.5 アナログ入力モード

アナログ入力ポート ADCA0Im (m=0~15) を監視することができます。
ポートへの入力値を確認するタイミングは TAUJ0 を使用して設定します。

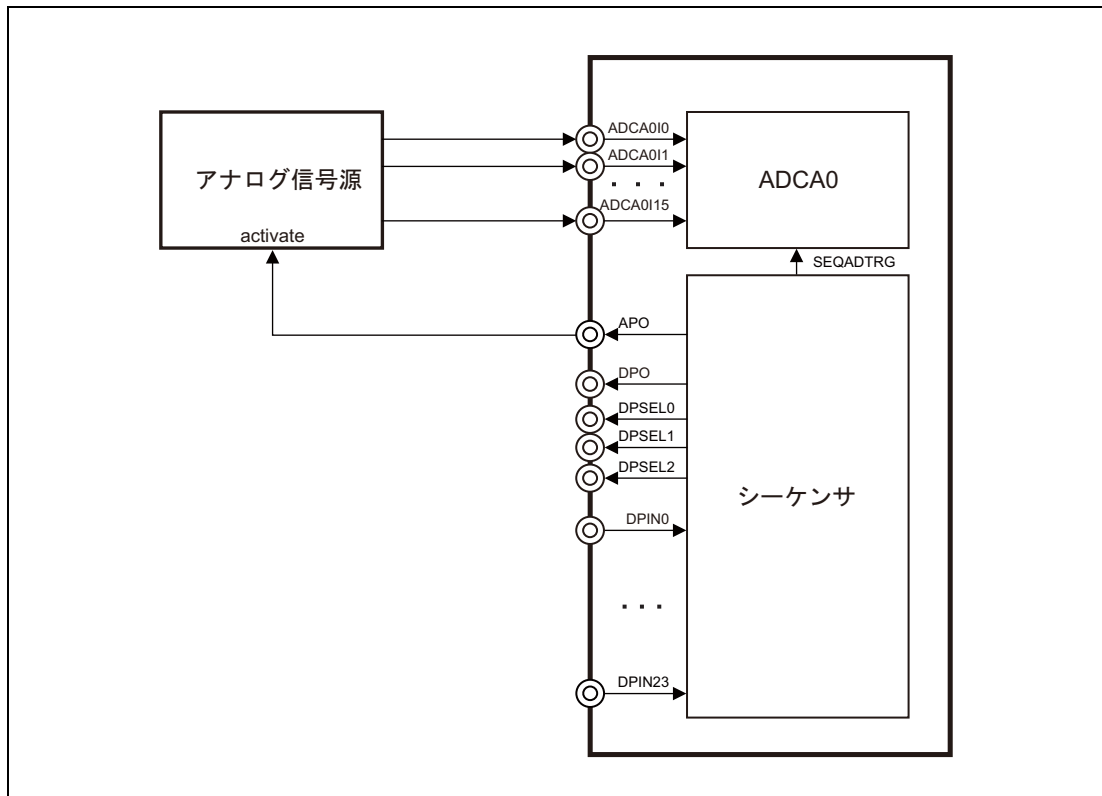


図 15.7 アナログ入力モードの接続例 1

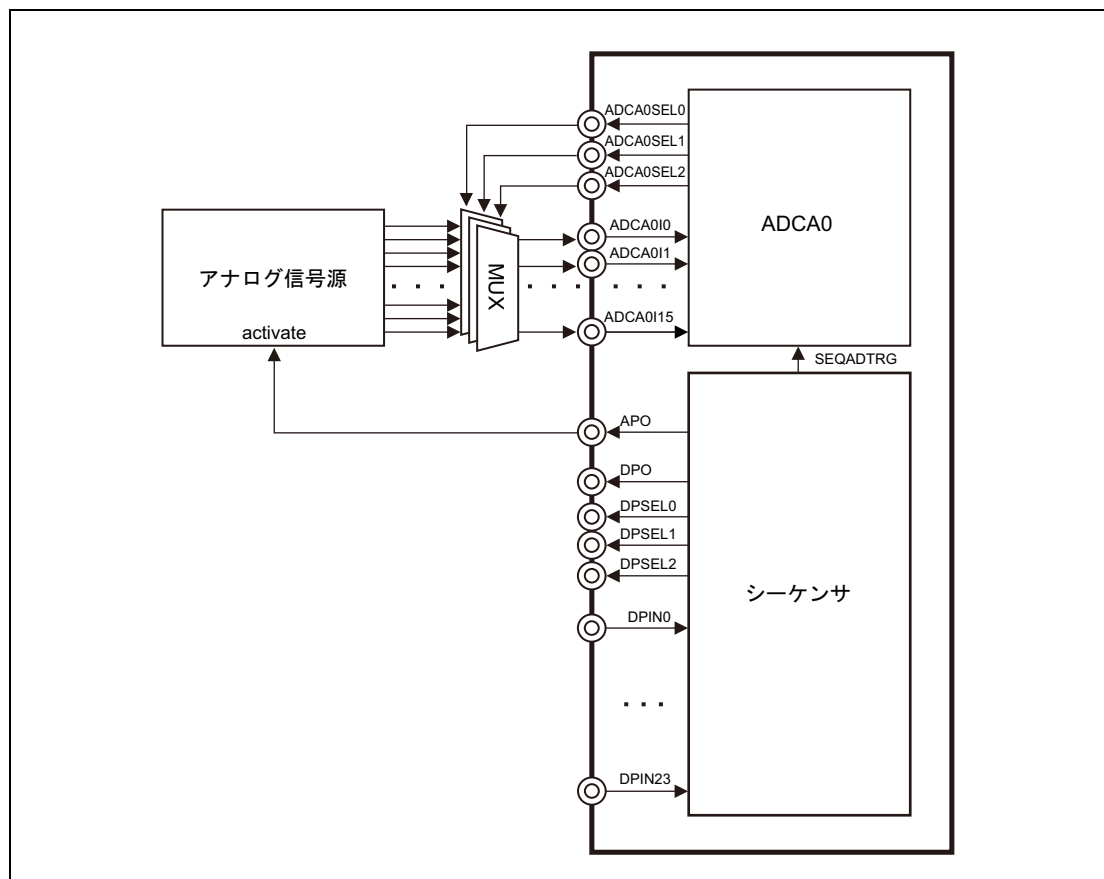


図 15.8 アナログ入力モードの接続例 2

準備

- SCLTR レジスタの TJIS[1:0] ビットを設定し、シーケンススタートトリガとして用いる TAUJ0 割り込みを選択
- TAUJ0 にインターバル・タイマを設定
- CNTVAL レジスタの上位 8 ビットでアナログ信号源のウェイト時間を設定
- ADCA0 の設定

注意

1. LPS を使用する際、A/D 変換完了割り込み (INT_SGx) は、LPS の全チャンネルの変換を完了してから出力させてください。以下の設定をしてください。
 - 仮想チャンネルレジスタ j (ADCA0VCRj) の ADIE ビットは、「0 : SGx の仮想チャンネル j の A/D 変換終了でスキャングループ x 終了割り込み (INT_SGx) を発生しない」に設定。
 - スキャングループ x 制御レジスタ (ADCA0SGCRx) の ADIE ビットは、「1 : SGx のスキャン終了で INT_SGx を出力する」に設定。
2. SCLTR.TJIS[1:0] により設定した LPS シーケンススタートトリガの発生から LPS の全チャンネルの A/D 変換終了までの期間は、PWM-Diag を除く他の A/D 変換を行わないでください。
LPS はスキャングループ SG1、SG2、または SG3 の A/D 変換完了割り込みを受け付けますが、SG の種類は認識しません (3 つの割り込みは論理和をとって 1 つの割り込みにまとめられます)。いずれかの SG を使用しての LPS 動作中には、ほかの SG は、A/D 変換完了割り込みや A/D エラー割り込みを設定することはできません。

3. SCLTR.TJIS[1:0]により設定したLPSシーケンススタートトリガの発生からLPSの全チャンネルのA/D変換終了までの期間は、ADCA0ADHALTR.HALTビットによるA/D変換の強制終了を行わないでください。
4. LPSを使用する際は、以下のモードを使用しないでください。
 - 連続スキャンモード (ADCA0SGCRx.SCANMD=1の設定は禁止)
 - マルチサイクル数2回以上のマルチサイクルスキャンモード (ADCA0SGMCYCRx.MCYC=01_B or 11_Bの設定は禁止)
 - チャンネルリピート回数2回以上のチャンネルリピートモード (ADCA0SGCRx.SCT=01_B or 10_Bの設定は禁止)

開始

- TAUJ0をスタートする
- SCTL.RADENビットを1に設定する

開始後はTAUJ0に設定した間隔でポートを確認します。動作開始後はRUNモード、パワーセーブモードに関わらず動作を継続します。スタンバイモードでHS IntOSCが停止している場合はシーケンス動作中のみHS IntOSCの動作が再開されます。

アナログ入力値が期待値と異なることを検出する場合は、A/DコンバータのA/Dエラー割り込み要求 (INTADCA0ERR) を使用してください。

また、アナログ入力値が期待値と異なる場合、ウェイクアップ要因WUTRG1を発生させます。

A/Dエラー割り込み要求 (INTADCA0ERR) の詳細については、「**31.4.13 A/Dエラー割り込み要求**」^{注1}を参照してください。アナログ入力モードを使用する場合の動作例を以下の図に示します。

注1. 「第31章 A/Dコンバータ (ADCA)」の章では、A/Dエラー割り込み要求名は「INT_ADE」と記載されています。

停止

アナログ入力モードのLPS動作を停止する時 (SCTL.RADENビットを1から0に設定)、以下に示す手順に従ってください。APOはP0_1端子にアサインされています。

1. ポートレジスタをロウレベル出力に設定する。(P0.P0_1=0)
2. P0_1を兼用ポートモードからポートモードに設定する。(PMC0.PMC0_1=0)
3. SCTL.RADEN=0に設定する。

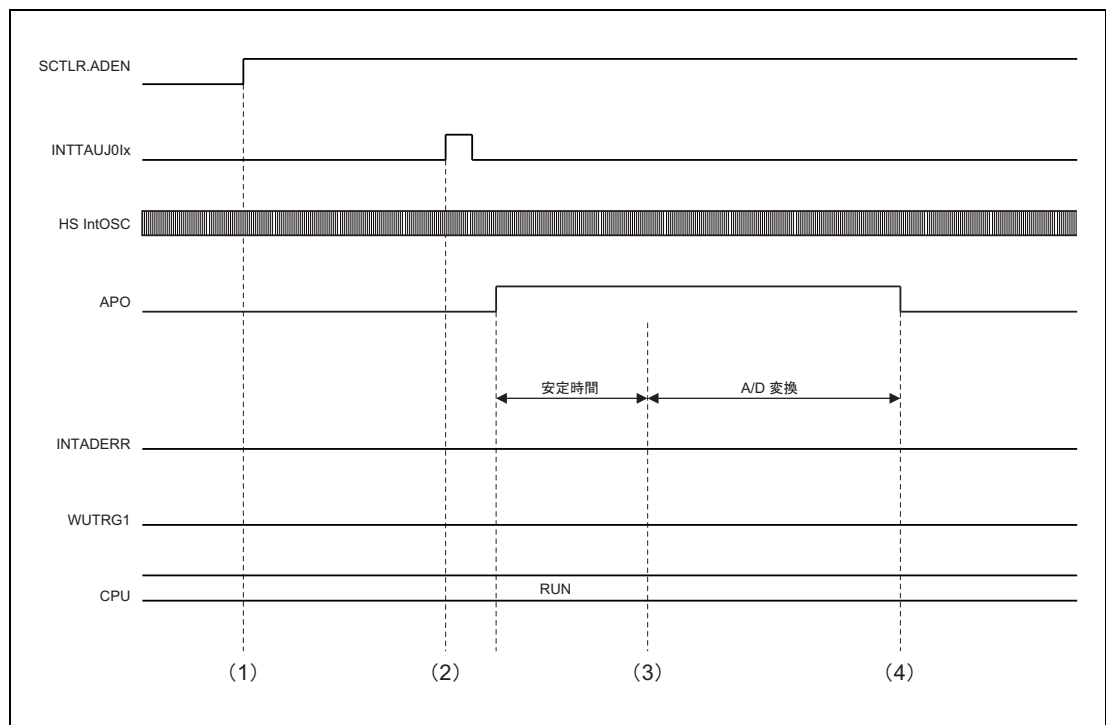


図 15.9 アナログ入力モードの動作 変換結果が期待値範囲内の場合 (RUN モード)

- (1) ソフトウェアにより A/D コンバータの変換トリガ、スキャングループ、期待値の範囲を設定した後、SCTL.RADEN ビット = 1 に設定し、LPS のアナログ入力モードを有効にします。
- (2) SCTL.TJIS ビットにより設定された INTTAUJ0Ix 割り込みが発生すると、LPS は APO 端子からハイレベルを出力すると同時に A/D コンバータを有効にし、外部のアナログ信号源の安定を待つために CNTVAL.CNT1n に設定された時間だけウェイトします。安定時間は 1 μ s 以上となるよう設定する必要があります。
- (3) 信号源の安定時間が完了すると、LPS が A/D コンバータに対して変換開始をトリガし、A/D コンバータのスキャングループに設定された ADCA0Im (m=0 ~ 15) の A/D 変換を開始します。
- (4) A/D 変換の結果 INTADCA0ERR 割り込みが発生しない場合、LPS は A/D コンバータを停止して APO 端子をリセットします。

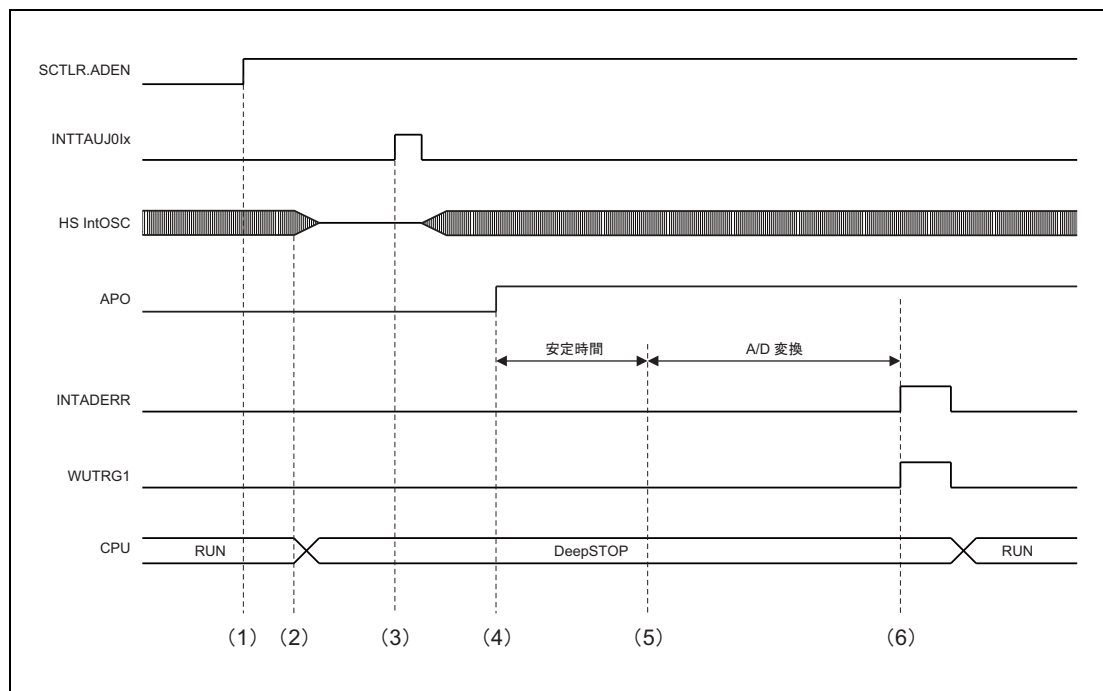


図 15.10 アナログ入力モードの動作 変換結果が期待値範囲外の場合 (DeepSTOP モード)

- (1) ソフトウェアにより A/D コンバータの変換トリガ、スキャングループ、期待値の範囲を設定した後、SCTL.RADEN ビット = 1 に設定し、LPS のアナログ入力モードを有効にします。
- (2) ソフトウェアにより STBC0PSC.STBC0DISTRG = 1 に設定し、DeepSTOP モードに遷移します。
- (3) SCTL.TJIS ビットにより設定された INTTAUJ0Ix 割り込みが発生すると、LPS は HS IntOSC を有効にし発振を開始させます。
- (4) HS IntOSC の安定時間が完了すると、LPS は APO 端子からハイレベルを出力すると同時に A/D コンバータを有効にし、外部のアナログ信号源の安定を待つために CNTVAL.CNT1n に設定された時間だけウェイトします。
- (5) 信号源の安定時間が完了すると、LPS が A/D コンバータに対して変換開始をトリガし、A/D コンバータのスキャングループに設定された ADCA0Im ($m = 0 \sim 15$) の A/D 変換を開始します。
- (6) A/D 変換の結果 INTADCA0ERR 割り込みが発生した場合、ウェイクアップ要因 WUTRG1 が発生し、CPU は RUN モードへ復帰します。APO 端子は、ソフトウェアにより A/D コンバータの上限 / 下限エラーフラグをクリアするまでハイレベル出力を維持します。

備 考

ADCA n ULER.UE または ADCA n ULER.LE がセットされた後に最初の ADCA0 SG 割り込みが発生した場合、WUTRG1 が発生します。

15.5.1 アナログポートエラー割り込み

データ比較での不一致を示すレベルセンシティブな割り込みが発生します。この割り込みはスタンバイモードのみでなく RUN モードでも発生します。セット/クリア条件を以下に示します。

表 15.32 アナログポートエラー割り込み

ユニット割り込み信号	セット条件	クリア条件
INTAPE	ハードウェアにより WUTRG1 ビットが "1" にセットされた場合。	ソフトウェアにより ADCAnULER.UE ビットおよび ADCAnULER.LE ビットがともに "0" にクリアされた場合。

第16章 クロック同期シリアルインタフェース G (CSIG)

本章では、クロック同期シリアルインタフェース G (CSIG) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1K に固有の特長について説明します。それ以降の節では、CSIG の機能、レジスタについて説明します。

16.1 RH850/F1K CSIG の特長

16.1.1 ユニット数

本製品は、以下のユニット数の CSIG を搭載しています。

CSIG 1 ユニット当たり 1 チャンネルのインタフェースを持っています。
本章のユニット数とチャンネル数は同義です。

表 16.1 ユニット数

製品名	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
ユニット数	1	2	2
名称	CSIG _n (n = 0)	CSIG _n (n = 0, 1)	CSIG _n (n = 0, 1)

表 16.2 添字

添字	説明
n	本章では、CSIG の各ユニットを「n」(n = 0, 1) で識別します。たとえば、CSIG _n 制御レジスタ 0 は CSIG _n CTL0 と記述します。

16.1.2 レジスタベースアドレス

CSIG のベースアドレスを以下の表に示します。

CSIG のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 16.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<CSIG0_base>	FFD8 8000 _H
<CSIG1_base>	FFD8 A000 _H

16.1.3 クロック供給

CSIG のクロック供給を以下に示します。

表 16.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名	説明
CSIG _n	PCLK	CKSCLK_ICSI	通信クロック
	レジスタアクセスクロック	CPUCLK2	バスクロック
		CKSCLK_ICSI	

16.1.4 割り込み要求

CSIG の割り込み要求を以下の表に示します。

表 16.5 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
CSIG0			
INTCSIGTIC	通信ステータス割り込み	27、118	8
INTCSIGTIR	受信ステータス割り込み	28、119	9
INTCSIGTIRE	通信エラー割り込み	57	—
CSIG1			
INTCSIGTIC	通信ステータス割り込み	223	109
INTCSIGTIR	受信ステータス割り込み	224	110
INTCSIGTIRE	通信エラー割り込み	225	—

16.1.5 リセット要因

CSIG のリセット要因を以下に示します。CSIG は以下に示すリセット要因で初期化されます。

表 16.6 リセット要因

ユニット名	リセット要因
CSIGn	すべてのリセット要因 (ISORES)

16.1.6 外部入出力信号

CSIG の外部入出力信号を以下の表に示します。

表 16.7 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
CSIG0		
CSIGTSCK	シリアルクロック信号	CSIG0SC
CSIGTSI	シリアルデータ入力信号	CSIG0SI
CSIGTSO	シリアルデータ出力信号	CSIG0SO
CSIGTSSI	スレーブ選択入力信号	CSIG0SSI
CSIGTRYI	レディ/ビジー入力信号	CSIG0RYI
CSIGTRYO	レディ/ビジー出力信号	CSIG0RYO
CSIG1		
CSIGTSCK	シリアルクロック信号	CSIG1SC
CSIGTSI	シリアルデータ入力信号	CSIG1SI
CSIGTSO	シリアルデータ出力信号	CSIG1SO
CSIGTSSI	スレーブ選択入力信号	CSIG1SSI
CSIGTRYI	レディ/ビジー入力信号	CSIG1RYI
CSIGTRYO	レディ/ビジー出力信号	CSIG1RYO

備考 CSIGnSO、CSIGnSC として使用するポートは、出力ドライバ強度をハイドライブ強度 (PDSCn_m = 1) に設定してください。

16.1.7 データ整合性チェック

CSIGNSO (CSIGTSO) の兼用ポートのデータ整合性チェック対応を以下の表に示します。
データ整合性チェックの詳細は、「16.5.10 エラー検出」を参照してください。

表 16.8 データ整合性チェックの対象端子

ユニット信号名	ポート端子名	兼用機能
CSIG0		
CSIGTSO	P0_13	ALT_OUT4
	P10_6	ALT_OUT2
CSIG1		
CSIGTSO	P11_9	ALT_OUT1

16.2 概要

16.2.1 機能概要

- 3ワイヤシリアル同期データ転送
- マスタモードとスレーブモードを選択可能
- スレーブ選択入力信号 ($\overline{\text{CSIGTSSI}}$) が使用可能
- ボーレートジェネレータを内蔵
- マスタモードでは転送クロック周波数を調整可能。スレーブモードでは入力クロックによって転送クロック周波数を決定
- 最大転送クロック周波数 :
 - マスタモード : 10.0MHz (ただし、PCLK/4 以下)
 - スレーブモード : 5.0MHz (ただし、PCLK/16 以下)
- クロックとデータの位相を選択可能
- MSB ファーストまたは LSB ファーストでのデータ転送を選択可能
- 7ビットから 16ビットまでの転送データ長を1ビット単位で選択可能
- 16ビットを上回るデータを転送するための EDL (Extended Data Length : 拡張データ長) 機能を内蔵
- 以下の3つの転送モードを選択可能 :
 - 送信専用モード
 - 受信専用モード
 - 送受信モード
- ハンドシェイク機能を内蔵
- エラー検出 (データ整合性チェック、パリティ、オーバラン) を内蔵
- 3個の割り込み要求信号 (INTCSIGTIC, INTCSIGTIR, INTCSIGTIRE)
- 自己テスト用の LBM (ループバックモード) 機能を内蔵

16.2.2 機能概要説明

CSIG では以下の3つの信号を通信に使用します。

- 送信クロック CSIGTSCCK (マスタモードでは出力、スレーブモードでは入力)
- シリアルデータ出力信号 CSIGTSO
- シリアルデータ入力信号 CSIGTSI

CSIGNCTL2 レジスタによって、CSIG をマスタモードまたはスレーブモードのどちらで動作させるかを選択します。

その他に、外部制御とモニタ用に利用できる信号があります。

- CSIGTSSI : スレーブ選択入力信号
- CSIGTRYO : レディ / ビジー出力信号 (ハンドシェイク信号)
- CSIGTRYI : レディ / ビジー入力信号 (ハンドシェイク信号)

データ送信は、1ビットずつシリアルに行われ、送信クロックに同期します。

CSIG の設定で重要な役割を果たすレジスタを以下の表に示します。

表 16.9 CSIG の主なレジスタ

レジスタ	機能
CSIGnCTL0	動作クロックを供給または停止にし、データ送信とデータ受信を許可または禁止します。
CSIGnCTL1	割り込みのタイミング、拡張データ長、データ整合性チェック、ループバックモード、ハンドシェイクなどのオプション機能を制御します。
CSIGnCTL2	マスタモードまたはスレーブモードを選択し、マスタモードでは内蔵のポーレートジェネレータ (BRG) の転送クロック周波数を選択します。
CSIGnCFG0	通信プロトコルを設定します。

16.2.3 ブロック図

以下のブロック図は CSIG の主要なコンポーネントを示しています。

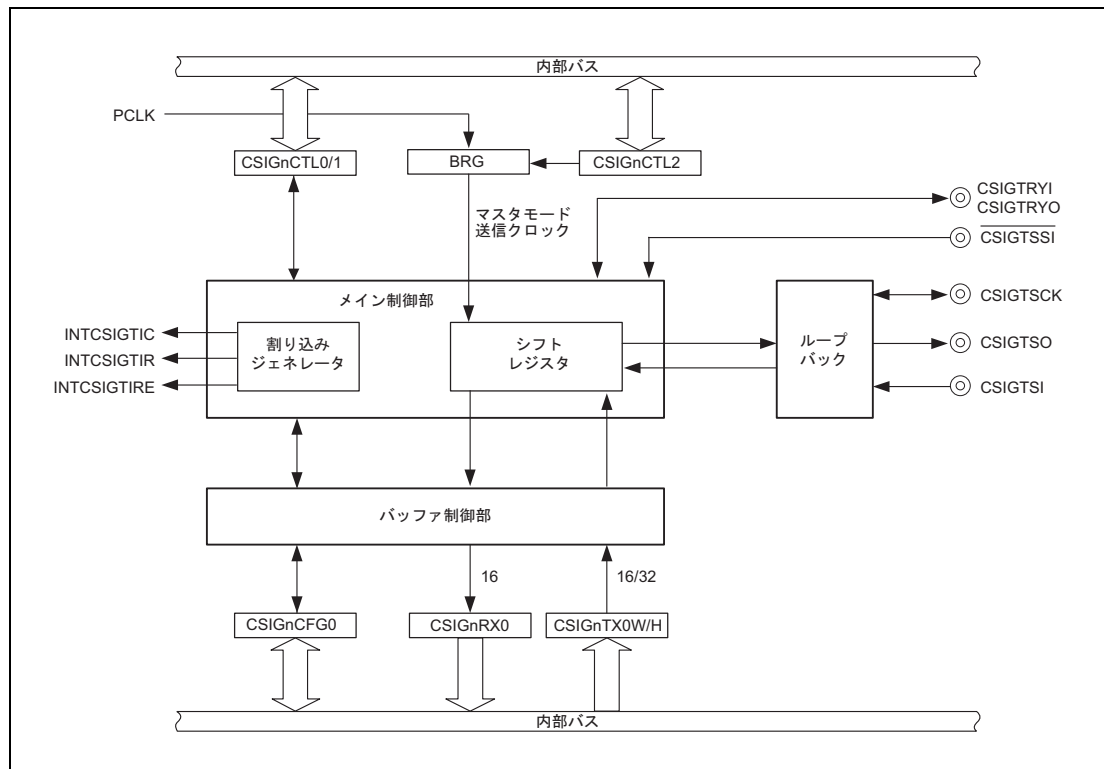


図 16.1 CSIG のブロック図

マスタモードでは、送信クロック CSIGTSCK が内蔵のポーレートジェネレータ (BRG) によって発生します。スレーブモードでは、外部ソースから送信クロックが供給されます。

16.3 レジスタ

16.3.1 レジスタ一覧

CSIG のレジスタ一覧を以下の表に示します。

<CSIGn_base> は「16.1.2 レジスタベースアドレス」を参照してください。

表 16.10 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
CSIGn	CSIGn 制御レジスタ 0	CSIGnCTL0	<CSIGn_base> + 0000 _H
	CSIGn 制御レジスタ 1	CSIGnCTL1	<CSIGn_base> + 0010 _H
	CSIGn 制御レジスタ 2	CSIGnCTL2	<CSIGn_base> + 0014 _H
	CSIGn ステータスレジスタ 0	CSIGnSTR0	<CSIGn_base> + 0004 _H
	CSIGn ステータスクリアレジスタ 0	CSIGnSTCR0	<CSIGn_base> + 0008 _H
	CSIGn 受信専用モード制御レジスタ 0	CSIGnBCTL0	<CSIGn_base> + 1000 _H
	CSIGn コンフィグレーションレジスタ 0	CSIGnCFG0	<CSIGn_base> + 1010 _H
	ワードアクセス用 CSIGn 送信レジスタ 0	CSIGnTX0W	<CSIGn_base> + 1004 _H
	ハーフワードアクセス用 CSIGn 送信レジスタ 0	CSIGnTX0H	<CSIGn_base> + 1008 _H
	CSIGn 受信レジスタ 0	CSIGnRX0	<CSIGn_base> + 100C _H
	CSIGn エミュレーションレジスタ	CSIGnEMU	<CSIGn_base> + 0018 _H

16.3.2 CSIGNCTL0 — CSIGN 制御レジスタ 0

本レジスタは、動作クロックの制御と送信／受信の許可／禁止に使用されます。

アクセス 8ビット単位でリード／ライト可能です。

アドレス <CSIGN_base> + 0000_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	CSIGNPWR	CSIGNTXE	CSIGNRXE	—	—	—	—	CSIGNMBS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R	R/W

表 16.11 CSIGNCTL0 レジスタの内容

ビット位置	ビット名	機能
7	CSIGNPWR	動作クロックを制御します。 0: 動作クロックを停止させます。 1: 動作クロックを供給します。 CSIGNPWR を 0 にクリアすると、内部回路がリセットされ、動作が停止し、CSIG がスタンバイ状態に設定されます。内部回路へのクロックの供給が停止します。 通信中に CSIGNPWR をクリアした場合、実行中の通信は中断されます。その場合は、通信設定を最初からやり直す必要があります。
6	CSIGNTXE	送信を許可または禁止します。 0: 送信を禁止します。 1: 送信を許可します。
5	CSIGNRXE	受信を許可または禁止します。 0: 受信を禁止します。 1: 受信を許可します。
4 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	CSIGNMBS	このビットには、必ず“1”を設定してください。(リセット後の値“0”)

注 意

本レジスタの設定では、「表 16.24 レジスタ設定上の注意事項」を参照してください。

16.3.3 CSIGnCTL1 — CSIGn 制御レジスタ 1

本レジスタでは、割り込みのタイミングと割り込み遅延モードを指定します。本レジスタは、拡張データ長制御、データ整合性チェック、ループバックモード、ハンドシェイク機能、スレーブ選択機能を有効または無効する機能も持っています。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIGn_base> + 0010_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CSIGn CKR	CSIGn SLIT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CSIGn EDLE	—	CSIGn DCS	—	CSIGn LBM	CSIGn SIT	CSIGn HSE	CSIGn SSE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W

表 16.12 CSIGnCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17	CSIGnCKR	CSIGTSCK のクロック反転機能 0: CSIGTSCK のデフォルトレベルはハイレベル 1: CSIGTSCK のデフォルトレベルはロウレベル CSIGnCKR ビットは CSIGnCFG0.CSIGnDAP ビットと組み合わせて使用します。詳細については、「16.3.8 CSIGnCFG0 — CSIGn コンフィグレーションレジスタ 0」を参照してください。
16	CSIGnSLIT	割り込み INTCSIGTIC のタイミングを選択します。 0: 通常の割り込みのタイミング (転送後に割り込みを発生します)。 1: CSIGnTX0W/H が空になり、次のデータを格納できる状態になったときに割り込みを発生します。 詳細については、「16.4.2 INTCSIGTIC (通信ステータス割り込み)」を参照してください。
15 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	CSIGnEDLE	拡張データ長 (EDL) モードを有効または無効にします。 0: 拡張データ長モードを無効にします。 1: 拡張データ長モードを有効にします。 詳細については、「16.5.2 データ長が拡張されている場合のデータ長の選択」を参照してください。
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CSIGnDCS	データ整合性チェックを有効または無効にします。 0: データ整合性チェックを無効にします。 1: データ整合性チェックを有効にします。 詳細については、「16.5.10.1 データ整合性チェック」を参照してください。
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 16.12 CSIGnCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	CSIGnLBM	ループバックモード (LBM) を制御します。 0: ループバックモードを非アクティブにします。 1: ループバックモードをアクティブにします。 ループバックモードはマスタモードでのみ設定可能です。スレーブモードでは0に設定してください。 詳細については、「16.5.9 ループバックモード」を参照してください。
2	CSIGnSIT	割り込み遅延モードを選択します。 0: 遅延を生成しません。 1: すべての割り込みについて半周期の遅延を生成します。 このビットはマスタモードでのみ有効になります。スレーブモードでは遅延は生成されません。 詳細については、「16.4.1 割り込みの遅延」を参照してください。
1	CSIGnHSE	ハンドシェイク機能を有効または無効にします。 0: ハンドシェイク機能を無効にします。 1: ハンドシェイク機能を有効にします。 詳細については、「16.5.8 ハンドシェイク機能」を参照してください。
0	CSIGnSSE	スレーブ選択 (SS) 機能を有効または無効にします。 0: 入力信号 CSIGTSSI を無効にします。 1: 入力信号 CSIGTSSI を有効にします。 スレーブ選択機能を使用しない場合は、このビットを0に設定する必要があります (「16.5.2 マスタ/スレーブの接続」も参照してください)。

CSIGnCTL1.CSIGnSSE の詳細を次に示します。

表 16.13 受信におけるスレーブ選択機能の動作

CSIGnCTL0. CSIGnRXE	CSIGnCTL1. CSIGnSSE	CSIGTSSI	受信動作
0	—	—	受信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	無効

表 16.14 送信におけるスレーブ選択機能の動作

CSIGnCTL0. CSIGnTXE	CSIGnCTL1. CSIGnSSE	CSIGTSSI	送信動作
0	—	—	送信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	無効

注 意

本レジスタの設定では、「表 16.24 レジスタ設定上の注意事項」を参照してください。

16.3.4 CSIGnCTL2 — CSIGn 制御レジスタ 2

本レジスタでは通信クロックを選択します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <CSIGn_base> + 0014_H

リセット後の値 E000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIGnPRS[2:0]			—	CSIGnBRS[11:0]											
リセット後の値	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.15 CSIGnCTL2 レジスタの内容

ビット位置	ビット名	機能																																				
15 ~ 13	CSIGnPRS [2:0]	<p>プリスケアラの値を選択します。</p> <table border="1"> <thead> <tr> <th>CSIGn PRS2</th> <th>CSIGn PRS1</th> <th>CSIGn PRS0</th> <th>プリスケアラの出力 (PRSOUT)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>PCLK (マスタモード)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>PCLK / 2 (マスタモード)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>PCLK / 4 (マスタモード)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>PCLK / 8 (マスタモード)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>PCLK / 16 (マスタモード)</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>PCLK / 32 (マスタモード)</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>PCLK / 64 (マスタモード)</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>CSIGTSCK 経由の外部クロック (スレーブモード)</td> </tr> </tbody> </table>	CSIGn PRS2	CSIGn PRS1	CSIGn PRS0	プリスケアラの出力 (PRSOUT)	0	0	0	PCLK (マスタモード)	0	0	1	PCLK / 2 (マスタモード)	0	1	0	PCLK / 4 (マスタモード)	0	1	1	PCLK / 8 (マスタモード)	1	0	0	PCLK / 16 (マスタモード)	1	0	1	PCLK / 32 (マスタモード)	1	1	0	PCLK / 64 (マスタモード)	1	1	1	CSIGTSCK 経由の外部クロック (スレーブモード)
CSIGn PRS2	CSIGn PRS1	CSIGn PRS0	プリスケアラの出力 (PRSOUT)																																			
0	0	0	PCLK (マスタモード)																																			
0	0	1	PCLK / 2 (マスタモード)																																			
0	1	0	PCLK / 4 (マスタモード)																																			
0	1	1	PCLK / 8 (マスタモード)																																			
1	0	0	PCLK / 16 (マスタモード)																																			
1	0	1	PCLK / 32 (マスタモード)																																			
1	1	0	PCLK / 64 (マスタモード)																																			
1	1	1	CSIGTSCK 経由の外部クロック (スレーブモード)																																			
12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																				
11 ~ 0	CSIGnBRS [11:0]	<p>転送クロック周波数を選択します。 CSIGnBRS[11:0] ビットの設定はマスタモードでのみ有効となり、スレーブモードでは無視されます。</p> <table border="1"> <thead> <tr> <th>CSIGnBRS [11:0]</th> <th>CSIGTSCK の転送クロック周波数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>BRG の停止</td> </tr> <tr> <td>1</td> <td>PCLK / (2^α×1×2)</td> </tr> <tr> <td>2</td> <td>PCLK / (2^α×2×2)</td> </tr> <tr> <td>3</td> <td>PCLK / (2^α×3×2)</td> </tr> <tr> <td>4</td> <td>PCLK / (2^α×4×2)</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>4095</td> <td>PCLK / (2^α×4095×2)</td> </tr> </tbody> </table> <p>備考 α = 0 ~ 6 : CSIGnPRS[2:0] で設定した値</p>	CSIGnBRS [11:0]	CSIGTSCK の転送クロック周波数	0	BRG の停止	1	PCLK / (2 ^α ×1×2)	2	PCLK / (2 ^α ×2×2)	3	PCLK / (2 ^α ×3×2)	4	PCLK / (2 ^α ×4×2)	4095	PCLK / (2 ^α ×4095×2)																				
CSIGnBRS [11:0]	CSIGTSCK の転送クロック周波数																																					
0	BRG の停止																																					
1	PCLK / (2 ^α ×1×2)																																					
2	PCLK / (2 ^α ×2×2)																																					
3	PCLK / (2 ^α ×3×2)																																					
4	PCLK / (2 ^α ×4×2)																																					
...	...																																					
4095	PCLK / (2 ^α ×4095×2)																																					

注意

本レジスタの設定では、「表 16.24 レジスタ設定上の注意事項」を参照してください。

16.3.5 CSIGNSTR0 — CSIGN ステータスレジスタ 0

本レジスタは CSIG の状態を示します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <CSIGN_base> + 0004_H

リセット後の値 0000 0010_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CSIGN TSF	—	—	—	CSIGN DCE	—	CSIGN PE	CSIGN OVE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.16 CSIGNSTR0 レジスタの内容 (1/2)

ビット位置	ビット名	機能																		
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。																		
7	CSIGNTSF	<p>転送ステータスフラグ 0 : アイドル状態 1 : 通信中または通信の準備中 このビットがセットまたはクリアされるタイミングを以下に示します。</p> <table border="1"> <thead> <tr> <th>マスタモード</th> <th>セットされる タイミング</th> <th>クリアされるタイミング</th> </tr> </thead> <tbody> <tr> <td>送信専用モード</td> <td rowspan="2">送信レジスタへの 書き込み</td> <td rowspan="3">最後のシリアルクロックのエッジから 半クロック以内</td> </tr> <tr> <td>送受信モード</td> </tr> <tr> <td>受信専用モード</td> <td>受信レジスタの 読み込み</td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th>スレーブモード</th> <th>セットされる タイミング</th> <th>クリアされるタイミング</th> </tr> </thead> <tbody> <tr> <td>送信専用モード</td> <td rowspan="2">送信レジスタへの 書き込み</td> <td rowspan="3">最後のシリアルクロックのエッジから 半クロック以内</td> </tr> <tr> <td>送受信モード</td> </tr> <tr> <td>受信専用モード</td> <td>CSIGNTSCK 入力 タイミング</td> </tr> </tbody> </table>	マスタモード	セットされる タイミング	クリアされるタイミング	送信専用モード	送信レジスタへの 書き込み	最後のシリアルクロックのエッジから 半クロック以内	送受信モード	受信専用モード	受信レジスタの 読み込み	スレーブモード	セットされる タイミング	クリアされるタイミング	送信専用モード	送信レジスタへの 書き込み	最後のシリアルクロックのエッジから 半クロック以内	送受信モード	受信専用モード	CSIGNTSCK 入力 タイミング
マスタモード	セットされる タイミング	クリアされるタイミング																		
送信専用モード	送信レジスタへの 書き込み	最後のシリアルクロックのエッジから 半クロック以内																		
送受信モード																				
受信専用モード	受信レジスタの 読み込み																			
スレーブモード	セットされる タイミング	クリアされるタイミング																		
送信専用モード	送信レジスタへの 書き込み	最後のシリアルクロックのエッジから 半クロック以内																		
送受信モード																				
受信専用モード	CSIGNTSCK 入力 タイミング																			
6 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。																		
3	CSIGNDCE	<p>データ整合性チェックエラーフラグ 0 : データ整合性チェックエラーが検出されていません。 1 : データ整合性チェックエラーが検出されています。 このビットは CSIGNSTR0.CSIGNDCEC に 1 を書き込むことによってクリアされます。 ただし、データ整合性チェックエラーの検出によるセット (1) と、CSIGNSTR0.CSIGNDCEC によるクリア (0) が同時に発生した場合、データ整合性チェックエラーの検出によるセット (1) を優先します。このビットは CSIGNCTL0.CSIGNPWR が 0 から 1、または 1 から 0 に変化したときに初期化されます。</p>																		
2	予約ビット	リードした場合はリセット後の値が読めます。																		

表 16.16 CSIGnSTR0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	CSIGnPE	<p>パリティエラーフラグ</p> <p>0: パリティエラーが検出されていません。</p> <p>1: パリティエラーが検出されています。</p> <p>このビットは CSIGnSTCR0.CSIGnPEC に 1 を書き込むことによってクリアされます。ただし、パリティエラーの検出によるセット (1) と、CSIGnSTCR0.CSIGnPEC によるクリア (0) が同時に発生した場合、パリティエラーの検出によるセット (1) を優先します。</p> <p>このビットは CSIGnCTL0.CSIGnPWR が 0 から 1、または 1 から 0 に変化したときに初期化されます。</p>
0	CSIGnOVE	<p>オーバランエラーフラグ</p> <p>0: オーバランエラーが検出されていません。</p> <p>1: オーバランエラーが検出されています。</p> <p>このビットは CSIGnSTCR0.CSIGnOVEC に 1 を書き込むことによってクリアされます。ただし、オーバランエラーの検出によるセット (1) と、CSIGnSTCR0.CSIGnOVEC によるクリア (0) が同時に発生した場合、オーバランエラーの検出によるセット (1) を優先します。</p> <p>このビットは CSIGnCTL0.CSIGnPWR が 0 から 1、または 1 から 0 に変化したときに初期化されます。</p>

注 意

本レジスタの設定では、「表 16.24 レジスタ設定上の注意事項」を参照してください。

16.3.6 CSIGnSTCR0 — CSIGn ステータスクリアレジスタ 0

本レジスタは CSIGnSTR0 ステータスレジスタのステータスフラグをクリアします。

アクセス 16 ビット単位でリード/ライト可能です。
リードを行うと、常に値 0000_H が返されます。

アドレス <CSIGn_base> + 0008_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CSIGn DCEC	—	CSIGn PEC	CSIGn OVEC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W

表 16.17 CSIGnSTCR0 レジスタの内容

ビット位置	ビット名	機能
15 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	CSIGnDCEC	データ整合性チェックエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に0になります。 1: データ整合性チェックエラーフラグ (CSIGnSTR0.CSIGnDCE) をクリアします。
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	CSIGnPEC	パリティエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に0になります。 1: パリティエラーフラグ (CSIGnSTR0.CSIGnPE) をクリアします。
0	CSIGnOVEC	オーバランエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に0になります。 1: オーバランエラーフラグ (CSIGnSTR0.CSIGnOVE) をクリアします。

16.3.7 CSIGNBCTL0 — CSIGN 受信専用モード制御レジスタ 0

本レジスタは受信専用モードでのデータ転送を許可または禁止します。

アクセス 1ビット単位と8ビット単位でリード/ライト可能です。

アドレス <CSIGN_base> + 1000_H

リセット後の値 01_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CSIGNSCE
リセット後の値	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R/W

表 16.18 CSIGNBCTL0 レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	CSIGNSCE	CSIGNRX0 を読み出すことで、次回のデータ受信の開始を許可または禁止します。 0 : 次回の受信を禁止します。 1 : 次回の受信を許可します。 詳細については、「16.5.4.2 受信専用モード」を参照してください。

注 意

本レジスタの設定では、「表 16.24 レジスタ設定上の注意事項」を参照してください。

16.3.8 CSIGNCFG0 — CSIGN コンフィグレーションレジスタ 0

本レジスタでは、データ長、パリティ、転送方向、クロック位相、データ位相などの通信プロトコルを設定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIGN_base> + 1010_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CSIGNPS[1:0]	CSIGNDLS[3:0]				—	—	—	—	—	—	CSIGNDIR	—	CSIGNDAP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.19 CSIGNCFG0 レジスタの内容 (1/2)

ビット位置	ビット名	機能																				
31, 30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																				
29, 28	CSIGNPS[1:0]	<p>パリティを指定します。</p> <table border="1"> <thead> <tr> <th>CSIGNPS1</th> <th>CSIGNPS0</th> <th>送信</th> <th>受信</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パリティを送信しません。</td> <td>パリティの受信を待機しません。</td> </tr> <tr> <td>0</td> <td>1</td> <td>0に固定されたパリティビットを追加します。</td> <td>パリティビットの受信を待機しますが、パリティの判定は行いません。</td> </tr> <tr> <td>1</td> <td>0</td> <td>奇数パリティを追加します。</td> <td>奇数パリティビットの受信を待機します。</td> </tr> <tr> <td>1</td> <td>1</td> <td>偶数パリティを追加します。</td> <td>偶数パリティビットの受信を待機します。</td> </tr> </tbody> </table>	CSIGNPS1	CSIGNPS0	送信	受信	0	0	パリティを送信しません。	パリティの受信を待機しません。	0	1	0に固定されたパリティビットを追加します。	パリティビットの受信を待機しますが、パリティの判定は行いません。	1	0	奇数パリティを追加します。	奇数パリティビットの受信を待機します。	1	1	偶数パリティを追加します。	偶数パリティビットの受信を待機します。
CSIGNPS1	CSIGNPS0	送信	受信																			
0	0	パリティを送信しません。	パリティの受信を待機しません。																			
0	1	0に固定されたパリティビットを追加します。	パリティビットの受信を待機しますが、パリティの判定は行いません。																			
1	0	奇数パリティを追加します。	奇数パリティビットの受信を待機します。																			
1	1	偶数パリティを追加します。	偶数パリティビットの受信を待機します。																			
27 ~ 24	CSIGNDLS[3:0]	<p>データ長を指定します。</p> <p>0 : データ長を 16 ビットにします。 1 : データ長を 1 ビットにします。 2 : データ長を 2 ビットにします。 ... 15 : データ長を 15 ビットにします。</p> <p>注意</p> <p>拡張データ長モードが無効 (CSIGNCTL1.CSIGNEDLE ビット = 0) のときは CSIGNCFG0.CSIGNDLS[3:0] ビットを 1 ~ 6 の値に設定しないでください。また、データ長が 7 ビット未満のデータを 2 つ続けて送信することは禁止されています。</p>																				
23 ~ 19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																				
18	CSIGNDIR	<p>シリアルデータ方向を選択します。</p> <p>0 : MSB ファーストでデータを送受信します。 1 : LSB ファーストでデータを送受信します。</p>																				
17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																				

表 16.19 CSIGnCFG0 レジスタの内容 (2/2)

ビット位置	ビット名	機能															
16	CSIGnDAP	<p>データ位相選択ビット CSIGnCTL1.CSIGnCKR ビットと合わせ、データ位相を選択します。 クロック/データ位相については、下表を参照ください。</p> <table border="1"> <thead> <tr> <th>CSIGnCTL1.CSIGnCKR</th> <th>CSIGnDAP</th> <th>クロック位相とデータ位相の選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td> </td> </tr> <tr> <td>0</td> <td>1</td> <td> </td> </tr> <tr> <td>1</td> <td>0</td> <td> </td> </tr> <tr> <td>1</td> <td>1</td> <td> </td> </tr> </tbody> </table>	CSIGnCTL1.CSIGnCKR	CSIGnDAP	クロック位相とデータ位相の選択	0	0		0	1		1	0		1	1	
CSIGnCTL1.CSIGnCKR	CSIGnDAP	クロック位相とデータ位相の選択															
0	0																
0	1																
1	0																
1	1																
15 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															

注 意

本レジスタの設定では、「表 16.24 レジスタ設定上の注意事項」を参照してください。

16.3.9 CSIGnTX0W — ワードアクセス用 CSIGn 送信レジスタ 0

本レジスタは送信データを保存します。さらに、拡張データ長を指定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIGn_base> + 1004_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CSIGn EDL	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIGnTX[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.20 CSIGnTX0W レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29	CSIGnEDL	拡張データ長を指定します。 0: 通常の動作 1: 拡張データ長を有効にします。 関連付けられたデータは16ビットデータとして送信されます。 このビットはCSIGnCTL1.CSIGnEDLE = 1のときにのみセットできます。
28 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 0	CSIGnTX[15:0]	送信データ

注 意

本レジスタの設定では、「表 16.24 レジスタ設定上の注意事項」を参照してください。

16.3.10 CSIGNTX0H — ハーフワードアクセス用 CSIGN 送信レジスタ 0

本レジスタは送信データを保存します。本レジスタは CSIGNTX0W レジスタのビット 15～0 と同じです。

転送には、CSIGNTX0W の上位 16 ビットの設定が適用されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <CSIGN_base> + 1008_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIGNTX[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.21 CSIGNTX0H レジスタの内容

ビット位置	ビット名	機能
15～0	CSIGNTX[15:0]	送信データ

注 意

本レジスタの設定では、「表 16.24 レジスタ設定上の注意事項」を参照してください。

16.3.11 CSIGNRX0 — CSIGN 受信レジスタ 0

本レジスタは受信データを保存します。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <CSIGN_base> + 100C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIGNRX[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.22 CSIGNRX0 レジスタの内容

ビット位置	ビット名	機能
15～0	CSIGNRX [15:0]	受信データ 本ビットは、CSIGNCTL0.CSIGNPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。 本ビットの値を読む場合は、CSIGTIR 割り込みが発生する 1 クロック前までに行ってください。

注 意

本レジスタの設定では、「表 16.24 レジスタ設定上の注意事項」を参照してください。

16.3.12 CSIGNEMU — CSIGN エミュレーションレジスタ

このレジスタはSVSTOPによる動作を制御します。

アクセス 1ビット単位と8ビット単位でリード/ライト可能です。
(EPC.SVSTOP = 0) のときにライト動作を行ってください。

アドレス <CSIGN_base> + 0018_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	CSIGNSVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 16.23 CSIGNEMU レジスタの内容

ビット位置	ビット名	機能
7	CSIGNSVSDIS	デバッグ時の送受信動作の継続/停止を選択します。 <ul style="list-style-type: none"> EPC.SVSTOP = 0 のとき 本ビットの設定にかかわらず、送受信動作を継続します。 EPC.SVSTOP = 1 のとき 0: 送受信動作を停止 1: 送受信動作を継続
6 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

本レジスタの設定では、「表 16.24 レジスタ設定上の注意事項」を参照してください。

16.3.13 注意事項の一覧

表 16.24 レジスタ設定上の注意事項

レジスタ名	ビット名	注意事項
CSIGnCTL0	CSIGnPWR	通信中にこのビットをクリアすると、実行中の通信が中断されます。中断後は、通信の再起動が必要です。
CSIGnCTL0	CSIGnTXE CSIGnRXE	CSIGnCTL0.CSIGnPWR = 0 の間、これらのビットのいずれも変更しないでください。(これらのビットは、CSIGnCTL0.CSIGnPWR ビットと同時に変更することができます。) 実行中の通信が中断されると、設定した動作が保証されないため、CSIGnSTR0.CSIGnTSF = 1 の間、これらのビットを変更しないでください。
CSIGnCTL0	CSIGnMBS	このビットは、必ず“1”を設定してください。(リセット後の値は“0”です。) このビットの変更は、CSIGnCTL0.CSIGnPWR ビットと同時に行ってください。
CSIGnCTL1	CSIGnCKR	このビットの値の変更は、CSIGnCTL0.CSIGnPWR = 0 のときのみ許可されます。
CSIGnCTL1	CSIGnSLIT CSIGnEDLE CSIGnDCS CSIGnHSE	このビットの値の変更は、CSIGnCTL0.CSIGnPWR = 0 のときのみ許可されます。
CSIGnCTL1	CSIGnLBM	このビットの値の変更は、CSIGnCTL0.CSIGnPWR = 0 のときのみ許可されます。 本ビットの設定は、スレーブモードでは禁止されます。
CSIGnCTL1	CSIGnSSE	このビットの値の変更は、CSIGnCTL0.CSIGnPWR = 0 のときのみ許可されます。 このビットを1に設定することは、マスターモードでは禁止されます。
CSIGnCTL1	CSIGnSIT	このビットの値の変更は、CSIGnCTL0.CSIGnPWR = 0 のときのみ許可されます。 このビットはマスターモードでのみ有効になります。スレーブモードでは遅延は生成されません。
CSIGnCTL2	CSIGnPRS[2:0] CSIGnBRS[11:0]	これらのビットの値の変更は、CSIGnCTL0.CSIGnPWR = 0 のときのみ許可されます。 最大転送クロック周波数の設定は、以下のとおりです。 <ul style="list-style-type: none"> マスターモード：10.0MHz (ただし、PCLK/4 以下) スレーブモード：5.0MHz (ただし、PCLK/16 以下)
CSIGnSTR0	CSIGnTSF	書き込みは禁止です。読み出しのみ有効です。
CSIGnSTR0	CSIGnDCE CSIGnPE CSIGnOVE	書き込みは禁止です。読み出しのみ有効です。 このビットは、CSIGnCTL0.CSIGnPWR = 0 → 1 または CSIGnCTL0.CSIGnPWR = 1 → 0 のときに初期化されます。
CSIGnBCTL0	CSIGnSCE	CSIGnRX0 を読み出す前に、このビットをライトしてください。 転送モードが送信モードまたは送受信モードのときは、CSIGnSCE ビットは0に固定してください。
CSIGnCFG0	CSIGnPS[1:0] CSIGnDLS[3:0] CSIGnDIR CSIGnDAP	これらのビットの値の変更は、CSIGnCTL0.CSIGnPWR = 0 のときのみ許可されます。
CSIGnTX0W	CSIGnEDL	このビットは、CSIGnCTL1.CSIGnEDLE = 1 のときのみ、有効です。
CSIGnTX0W CSIGnTX0H		CSIGnCTL0.CSIGnTXE = CSIGnCTL0.CSIGnRXE = 0 のとき、これらのビットのライトアクセスすることは禁止です。
CSIGnRX0		CSIGnCTL0.CSIGnPWR = 0 → 1、または CSIGnCTL0.CSIGnPWR = 1 → 0 のときに初期化されます。 CSIGnCTL0.CSIGnTXE = CSIGnCTL0.CSIGnRXE = 0 のとき、これらのビットのリードアクセスすることは禁止です。
CSIGnEMU	CSIGnSVSDIS	このビットの値の変更は、SVSTOP = 1 のとき禁止されています。

16.4 割り込み要因

CSIG は以下の割り込みを発生することができます。

- INTCSIGTIC (通信ステータス割り込み)
- INTCSIGTIR (受信ステータス割り込み)
- INTCSIGTIRE (通信エラー割り込み)

16.4.1 割り込みの遅延

マスタモードでは、マスタから発生するすべての割り込みを送信クロック CSIGTSCK の半周期だけ遅延させることができます。スレーブモードでこの機能を利用することはできません。

遅延を指定するには、CSIGnCTL1.CSIGnSIT = 1 に設定します (スレーブモードでは CSIGnSIT ビットの設定は無効です)。

CSIGnCTL1.CSIGnSIT = 1 (割り込み遅延有効)、CSIGnCTL1.CSIGnCKR = 0、CSIGnCFG0.CSIGnDAP = 0 (通常のカロック位相とデータ位相)、CSIGnCFG0.CSIGnDLS[3:0] = 1000_B (データ長 8 ビット) の設定で割り込み遅延機能を使用する例を以下の図に示します。

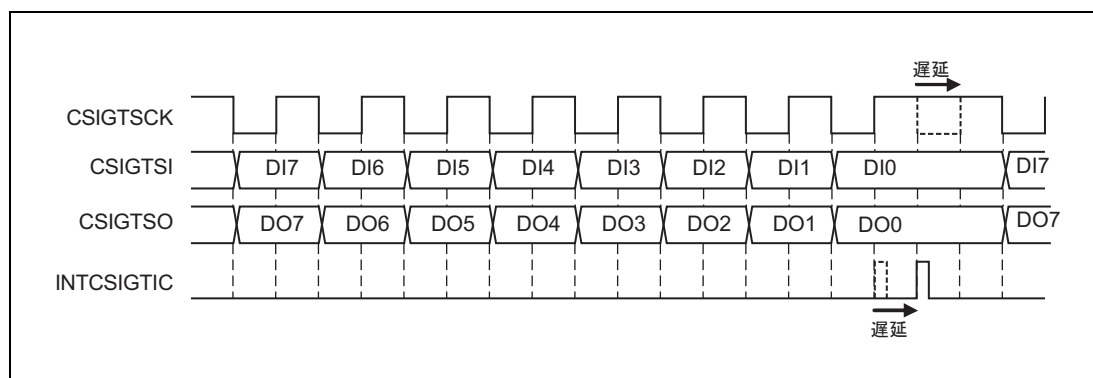


図 16.2 割り込み遅延機能 (CSIGnCTL1.CSIGnSIT = 1)

16.4.2 INTCSIGTIC (通信ステータス割り込み)

この割り込みは、通常、データ転送が行われるたびに発生します。この割り込みを利用して、CSIGnTX0W レジスタまたは CSIGnTX0H レジスタへ新しい送信データを書き込むための DMA をトリガすることができます。

以下の例では、マスタモード、CSIGnCTL1.CSIGnSIT = 0 (割り込み遅延なし)、CSIGnCTL1.CSIGnCKR = 0、CSIGnCFG0.CSIGnDAP = 0 (通常のクロック位相とデータ位相)、CSIGnCFG0.CSIGnDLS[3:0] = 1000_B (データ長 8 ビット)、CSIGnCTL1.CSIGnSLIT = 0 (通常の割り込みタイミング) を想定しています。

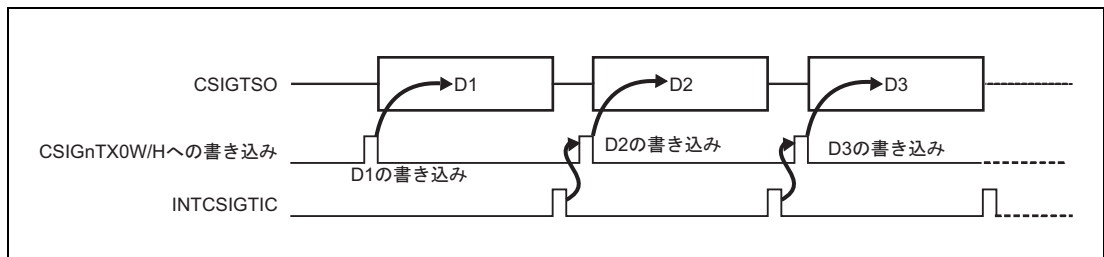


図 16.3 通信終了後の INTCSIGTIC の発生 (CSIGnCTL1.CSIGnSLIT = 0)

ただし、CSIGnTX0W/H レジスタが空になり、次のデータの受け入れが可能になったときに INTCSIGTIC を発生するように設定することもできます。そうするには、CSIGnCTL1.CSIGnSLIT = 1 に設定します。

このモードを利用すれば、データ転送の効率を高めることができます。

以下の図にその効果を示します。

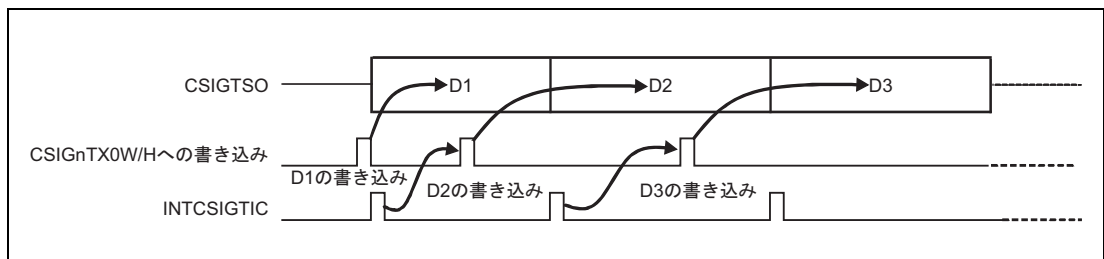


図 16.4 通信開始時の INTCSIGTIC の発生

16.4.3 INTCSIGTIR (受信ステータス割り込み)

この割り込みは、受信専用モードまたは送受信モードで、データが受信され、そのデータが受信レジスタで利用可能になると発生します。この割り込みを利用して、CSIGNRX0 レジスタから受信データを読み出すためのDMA をトリガすることができます。

以下の図の例では、マスタモード、CSIGNCTL1.CSIGNSIT = 0 (割り込み遅延なし)、CSIGNCTL1.CSIGNCKR = 0、CSIGNCFG0.CSIGNDAP = 0 (通常のクロック位相とデータ位相)、CSIGNCFG0.CSIGNDLS[3:0] = 1000_B (データ長 8 ビット) を想定しています。

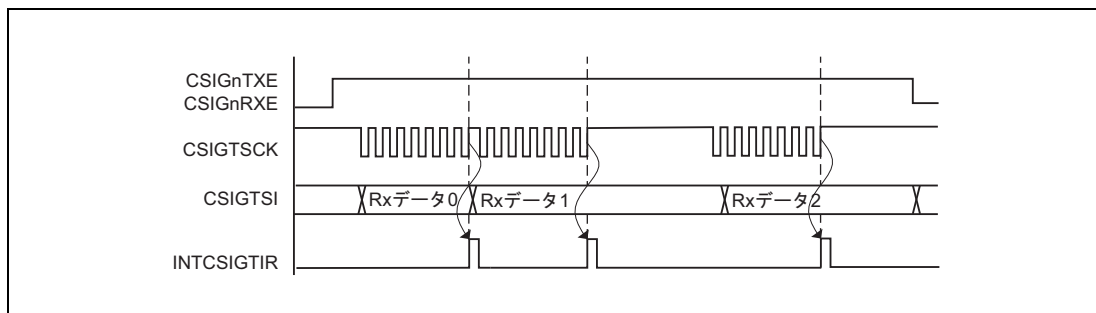


図 16.5 INTCSIGTIR の発生

16.4.4 INTCSIGTIRE (通信エラー割り込み)

この割り込みはエラーが検出されるたびに発生します。

表 16.25 データエラーのタイプ

エラーのタイプ	エラー割り込み後の通信ステータス	備考
パリティエラー	割り込みが発生しても通信は継続します。	—
データ整合性チェックエラー	割り込みが発生しても通信は継続します。	—
オーバランエラー ^{注1}	スレープモードで CSIGNCTL1.CSIGNHSE = 0 (ハンドシェイクなし) の場合は、割り込みが発生しても通信は継続します。	スレープモードで CSIGNCTL1.CSIGNHSE = 1 (ハンドシェイクあり) の場合は、ハンドシェイクにより通信が停止します。割り込みは発生せず、オーバランエラーとなりません。

注1. マスタモードではオーバランエラーは発生しません。
スレープモードでは通信を停止させることはできません。

INTCSIGTIRE が発生する原因となったエラーのタイプは、CSIGNSTR0 レジスタによって識別されます。

さまざまなエラータイプの詳細については、「16.5.10 エラー検出」を参照してください。

16.5 動作

16.5.1 マスタ/スレーブモード

マスタ/スレーブの選択は CSIGnCTL2.CSIGnPRS[2:0] ビットで行い、マスタを選択した場合は、送信クロックのソースクロックも選択する必要があります。

16.5.1.1 マスタモード

マスタモードでは、シリアル送信クロックが内蔵のポーレートジェネレータ (BRG) によって生成され、CSIGTSCK 信号を介してスレーブに供給されます。

マスタモードは、CSIGnCTL2.CSIGnPRS[2:0] を 111_B 以外の任意の値に設定することによって有効になります。マスタモードでは、CSIGnCTL2.CSIGnPRS[2:0] ビットと CSIGnCTL2.CSIGnBRS[11:0] ビットを組み合わせることで BRG の周波数を設定できます。

CSIGTSCK のデフォルトレベルは、CSIGTSCK のクロック反転機能ビットの状態によって異なります。CSIGTSCK のデフォルトレベルは、CSIGnCTL1.CSIGnCKR = 0 であればハイレベルであり、CSIGnCTL1.CSIGnCKR = 1 であればロウレベルです。

以下の例は、データ長 8 ビット、CSIGnCTL1.CSIGnCKR = 0、CSIGnCFG0.CSIGnDAP = 0、MSB ファーストのときのマスタモードの通信を示しています。

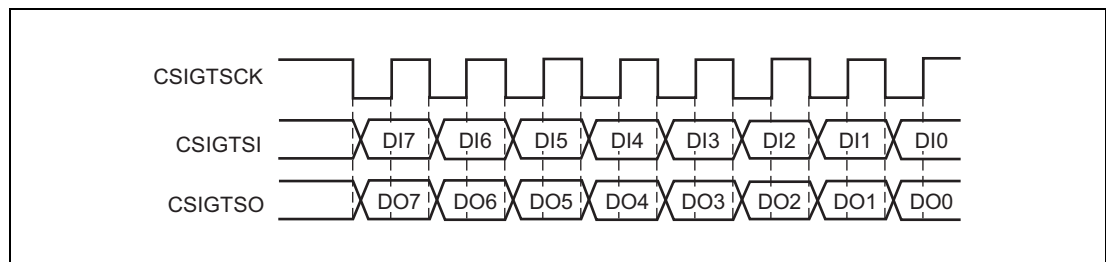


図 16.6 マスタモードでの送受信

16.5.1.2 スレーブモード

スレーブモードでは、ほかのデバイスが通信マスタになります。外部クロックは CSIGTSCK 信号を介して供給されます。クロック信号が検出されると、ただちに送信動作または受信動作が開始されます。

スレーブモードは、CSIGnCTL2.CSIGnPRS[2:0] を 111_B に設定することによって選択されます。

備 考

スレーブモードを使用するときは、CSIGnCTL2.CSIGnBRS[11:0] ビットを 000_H に設定することによってポーレートジェネレータ (BRG) を無効にします。

以下の例は、データ長 8 ビット、CSIGnCTL1.CSIGnCKR = 0、CSIGnCFG0.CSIGnDAP = 0、MSB ファーストのときのスレーブモードの通信を示しています。

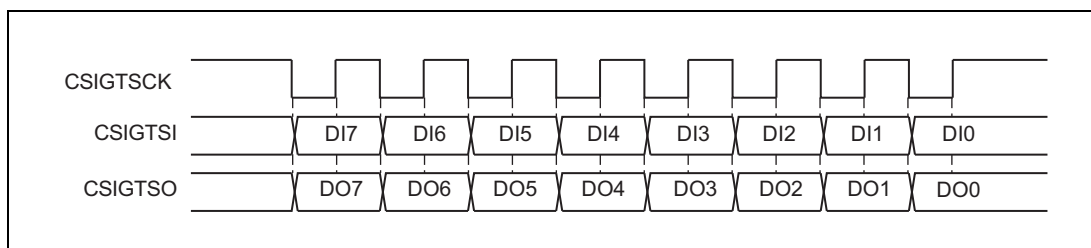


図 16.7 スレーブモードでの送受信

16.5.2 マスタ/スレーブの接続

16.5.2.1 マスタ1、スレーブ1の場合

以下の図は、1つのマスタと1つのスレーブの間の接続を示しています。

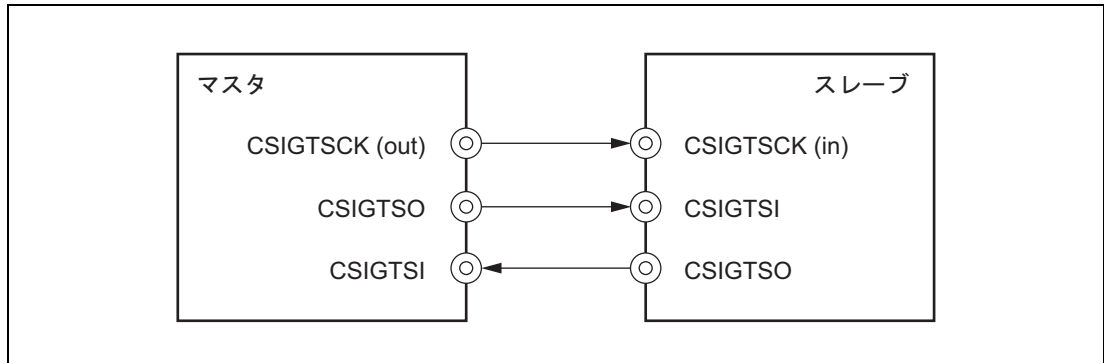


図 16.8 マスタ/スレーブの直接接続

16.5.2.2 マスタ 1、スレーブ複数の場合

以下の図は、1つのマスタと複数のスレーブの間の接続を示しています。この場合、マスタは各スレーブに1つずつスレーブ選択 (SS : Slave Select) 信号を供給する必要があります。この信号は、スレーブのスレーブ選択入力 $\overline{\text{CSIGTSSI}}$ に接続されます。

$\overline{\text{CSIGTSSI}}$ 信号は、CSIGNCTL1.CSIGNSSE ビットを使用して有効または無効にすることができます。

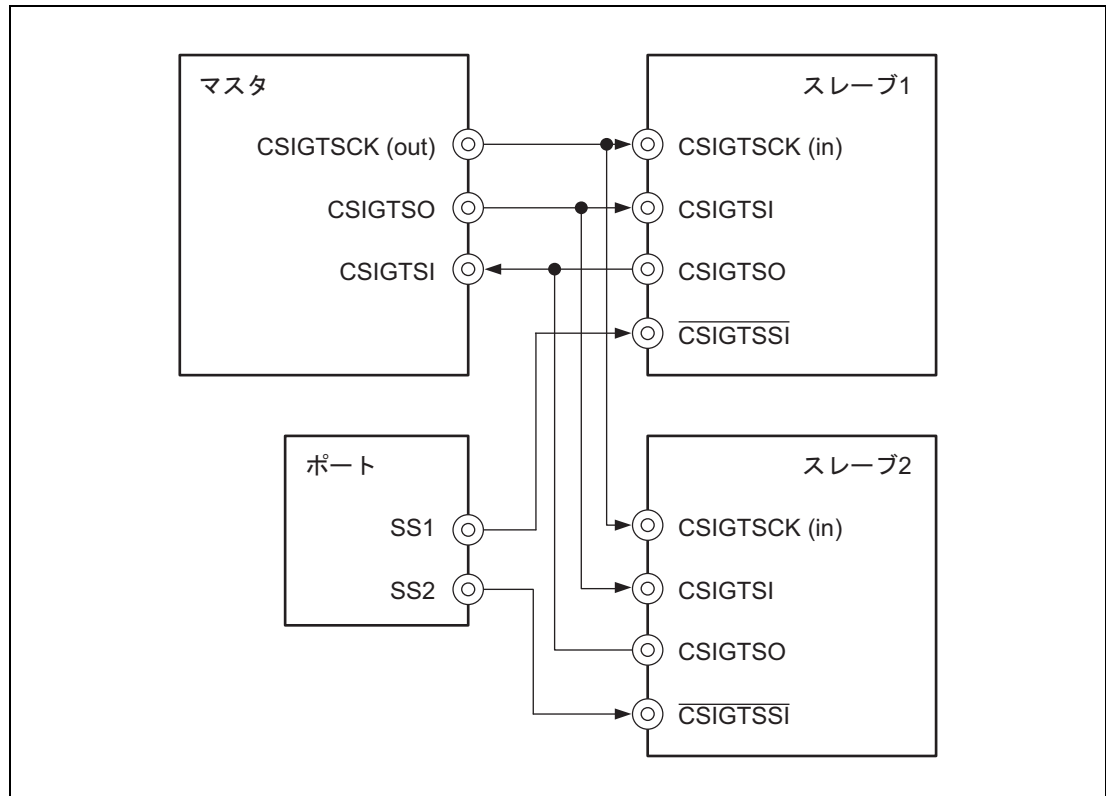


図 16.9 1つのマスタと複数のスレーブの間の接続

スレーブは、スレーブの $\overline{\text{CSIGTSSI}}$ 信号がロウレベルのときに選択されます (有効になります)。

選択されていないスレーブは、データの受信も送信も行いません。また、送信専用モードまたは送受信モードに設定されている (CSIGNCTL0.CSIGNTXE = 1) とき、選択されていないスレーブの CSIGTSO 出力バッファは、選択されているほかのスレーブの出力と干渉しないように、入力モードに設定され、無効になります。

16.5.3 送信クロックの選択

マスタモードでは、CSIGnCTL2 レジスタの CSIGnPRS[2:0] ビットと CSIGnBRS[11:0] ビットを使用して転送クロック周波数を選択できます。

BRG のブロック図を以下に示します。

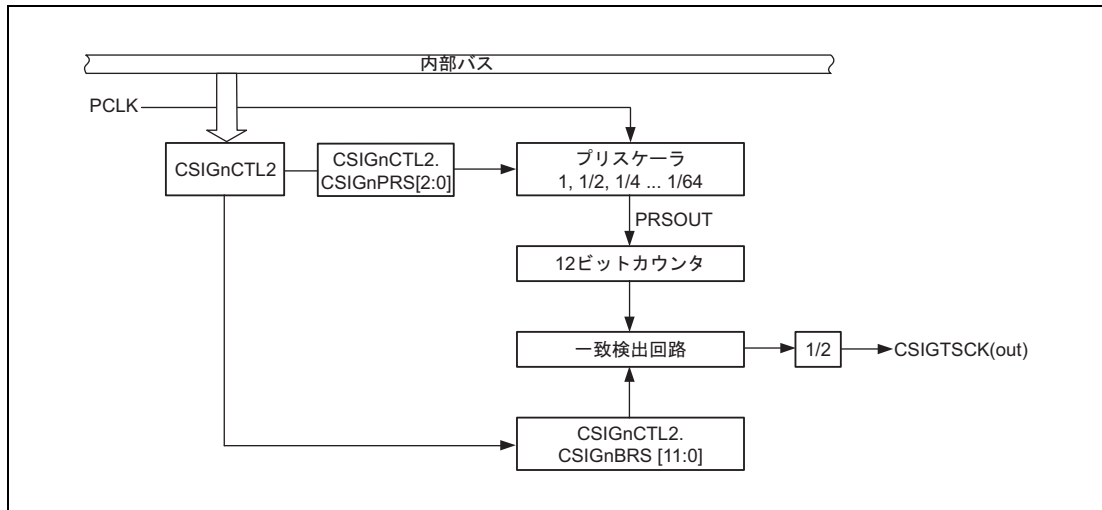


図 16.10 BRG のブロック図

CSIGnCTL2.CSIGnBRS[11:0] を 000_{H} に設定すると、BRG が無効になります。

転送クロック周波数の計算

マスタモード時の転送クロック周波数は以下の式で計算します。

$$\text{転送クロック周波数 (CSIGTSCK)} = \text{PCLK} / (\text{PCLK の分周比}) = \text{PCLK} / (2^{\alpha} \times k \times 2)$$

ただし、

$$\alpha = \text{CSIGnCTL2.CSIGnPRS}[2:0] = 0 \sim 6$$

$$k = \text{CSIGnCTL2.CSIGnBRS}[11:0] = 1 \sim 4095$$

転送クロック周波数の上限と下限

転送クロック周波数を設定するときは、以下のことに注意してください。

- 本製品のマスタモードおよびスレーブモードの最大転送クロック周波数は電気的特性で示す CSIG タイミングを参照してください。また、いずれのモードにおいても、規定の周波数内となるように設定してください。
- 転送クロックの最小周波数は、マスタ・スレーブモードともに $\text{PCLK} / 524160$ です。
- 転送クロックの最大周波数は、以下の通りです。
 - マスタモード：10.0MHz (ただし、 $\text{PCLK}/4$ 以下)
 - スレーブモード：5.0MHz (ただし、 $\text{PCLK}/16$ 以下)

16.5.4 データ転送モード

16.5.4.1 送信専用モード

CSIGnCTL0.CSIGnTXE = 1、CSIGnCTL0.CSIGnRXE = 0 に設定すると、CSIG は送信専用モードになります。CSIGnTX0W レジスタまたは CSIGnTX0H レジスタに送信データが書き込まれると、送信が開始されます。

注 意

いずれかの受信モードから送信専用モードに入った場合は、最初の送信が完了したあと、CSIGnRX0 バッファのデータが未定義になります。
したがって、送信専用モードに切り換える前に受信レジスタ CSIGnRX0 を読み出す必要があります。

16.5.4.2 受信専用モード

CSIGnCTL0.CSIGnTXE = 0、CSIGnCTL0.CSIGnRXE = 1 に設定すると、CSIG は受信専用モードになります。

マスタモードでは、CSIGnRX0 レジスタのダミーデータを読み出すと受信が開始されます。CSIGnBCTL0.CSIGnSCE = 1 であれば、それ以降の全ての受信は CSIGnRX0 レジスタからの読み出しによってトリガされます。

さらに、最後に受信したデータを CSIGnRX0 から読み出す前に、CSIGnBCTL0.CSIGnSCE に 0 を設定する必要があります。

推奨されている手順を以下に示します。

1. CSIGnBCTL0.CSIGnSCE = 1 に設定します。
2. CSIGnRX0 (ダミーデータ) を読み出します。
3. 受信割り込み INTCSIGTIR を待機します。
4. CSIGnRX0 (受信データ) を読み出します。
手順3 でデータの受信が続いた場合は、すべてのデータを受信するまで読み出しを続けます。
最後に受信したデータを CSIGnRX0 から読み出す前に、CSIGnBCTL0.CSIGnSCE = 0 に設定します。

スレーブモードでは、マスタから通信クロック CSIGTSCK が供給されると、受信が開始されます。この場合、スレーブの CSIGnRX0 レジスタのデータを読み出す必要はありません。

備 考

スレーブモードでは、データが上書きされないように、すでに受信しているデータを受信レジスタ CSIGnRX0 から読み出す必要があります。

16.5.4.3 送受信モード

CSIGnCTL0.CSIGnTXE = 1 かつ CSIGnCTL0.CSIGnRXE = 1 に設定すると、CSIG は送受信モードになります。

CSIGnTX0W レジスタまたは CSIGnTX0H レジスタに送信データが書き込まれると、データ転送 (送信と受信) が開始されます。

16.5.5 データ長の選択

16.5.5.1 データ長が拡張されていない場合のデータ長の選択

CSIGNCFG0 レジスタの CSIGNDLS[3:0] ビットを使用して、送信データ長を7ビットから16ビットの間に設定することができます。以下の例は、MSB ファースト (CSIGNCFG0.CSIGNDIR = 0) での通信を示しています。

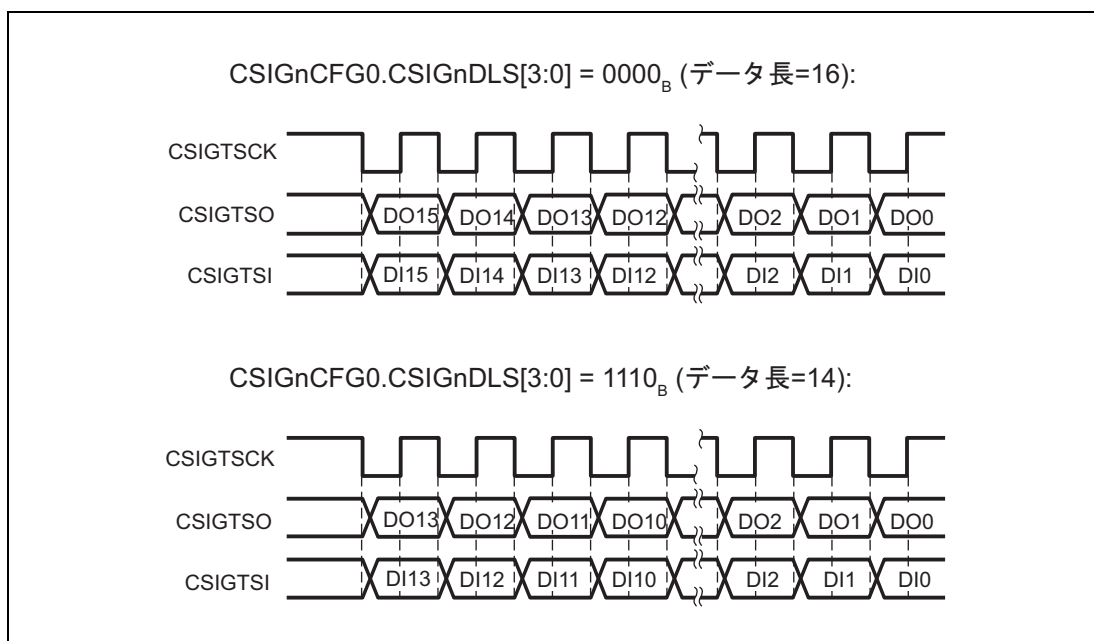


図 16.11 データ長選択機能

16.5.5.2 データ長が拡張されている場合のデータ長の選択

16ビットを上回るデータを送受信する場合は、拡張データ長 (EDL) 機能を使用できます。EDL 機能は、CSIGNCTL1.CSIGNEDLE ビットを1にセットすることによって有効になります。

EDL 機能の動作および設定手順を次に示します。

- データを16ビットのブロックと剰余部分に分割する必要があります。たとえば、42ビットのデータは2つの16ビットブロックと10ビットに分割します。
- 剰余部分のビット長は、CSIGNCFG0.CSIGNDLS[3:0] ビットに、「データ長」として設定します。
- 16ビットのブロックを送信するときは、CSIGNTX0W.CSIGNEDL ビットをセット (1) してください。この場合、CSIGNTX0W レジスタに書き込まれるデータは、CSIGNCFG0.CSIGNDLS[3:0] ビットの設定に関係なく、データ長16ビットのデータとして送信されます。
- 指定されたデータ長 (CSIGNTX0W.CSIGNEDL = 0 のときの剰余部分) のデータが送信されると転送が完了します。

例

123456789A_H という 40 ビットのデータを送信する例

40 ビットを 2 × 16 ビットと 8 ビットに分割します。

- CSIGnCFG0.CSIGnDLS[3:0] = 8_D に初期化します。
- 123456789A_H を MSB ファーストで送信するには、以下のシーケンスを CSIGnTX0W に書き込みます。
 - 2000 1234_H (CSIGnTX0W.CSIGnEDL = 1)
 - 2000 5678_H (CSIGnTX0W.CSIGnEDL = 1)
 - 0000 009A_H (CSIGnTX0W.CSIGnEDL = 0)

以下の図にタイミングを示します。

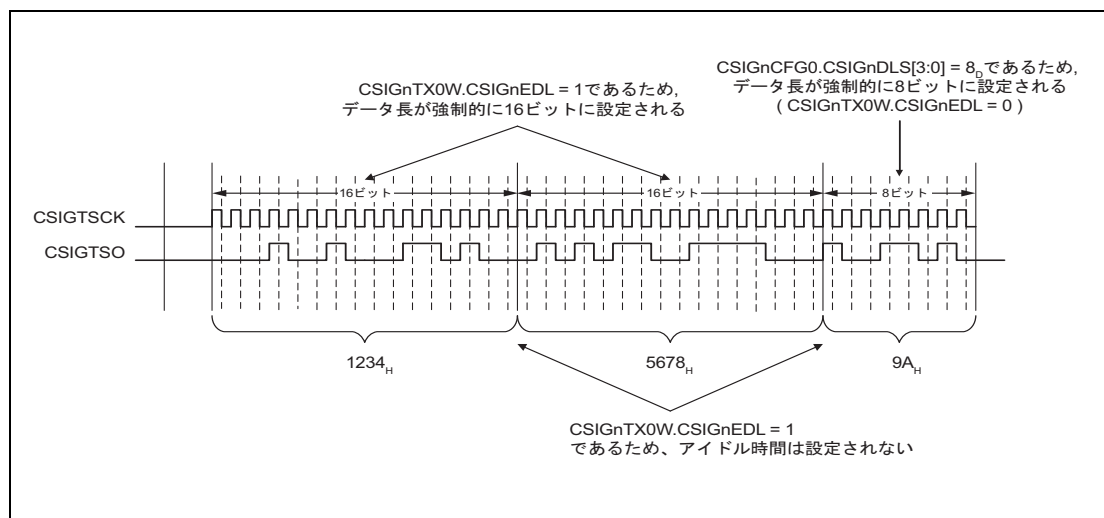


図 16.12 EDL のタイミング図

備考

1. 7 ビット未満のデータ長は、EDL モードを使用するときのみ設定できます。
2. データ長が 7 ビット未満のデータを 2 つ続けて送信することはできません。
3. パリティが有効になっていると、最後のビットの後ろにパリティビットが追加されます。
4. 以下の例でデータ方向について説明します。
 - 送信されるデータ : 123456_H
 - MSB ファースト :
 - CSIGnCFG0.CSIGnDIR = 0 に設定
 - CSIGnTX0W = 2000 1234_H を書き込み (EDL ビット = 1)
 - CSIGnTX0W = 0000 0056_H を書き込み (EDL ビット = 0)
 - LSB ファースト :
 - CSIGnCFG0.CSIGnDIR = 1 に設定
 - CSIGnTX0W = 2000 3456_H を書き込み (EDL ビット = 1)
 - CSIGnTX0W = 0000 0012_H を書き込み (EDL ビット = 0)

5. EDL モードは、スレーブモードの受信専用モードでは使えません。
(CSIGnCTL2.CSIGnPRS[2:0] = 111_B, CSIGnCTL0.CSIGnTXE = 0,
CSIGnCTL0.CSIGnRXE = 1)
-

16.5.6 シリアルデータ方向選択機能

CSIGNCFG0 レジスタの CSIGNDIR ビットを使用してシリアルデータの方法を選択できます。以下の例は 8 ビットデータ (CSIGNCFG0.CSIGNDLS[3:0] = 1000_B) の通信を示しています。

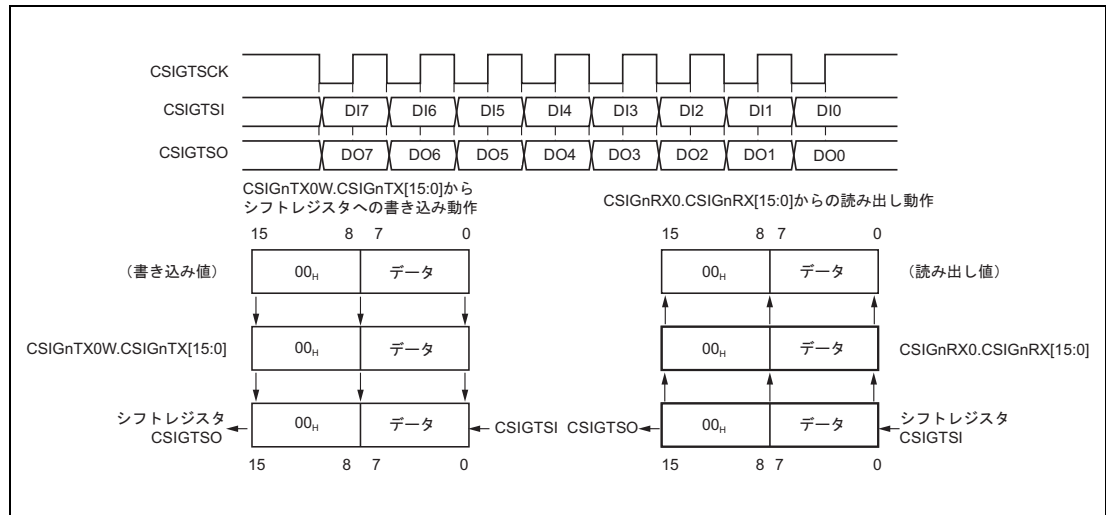


図 16.13 シリアルデータ方向選択機能 — MSB ファースト (CSIGNDIR = 0)

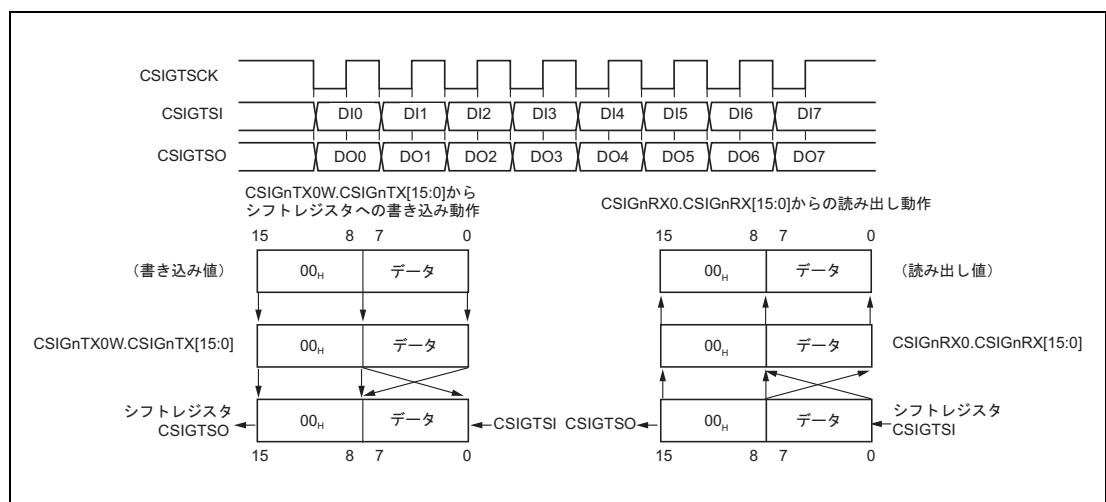


図 16.14 シリアルデータ方向選択機能 — LSB ファースト (CSIGNDIR = 1)

16.5.7 スレーブモードでの通信

以下の図は、スレーブモードでの通信の信号とタイミングを示しています。

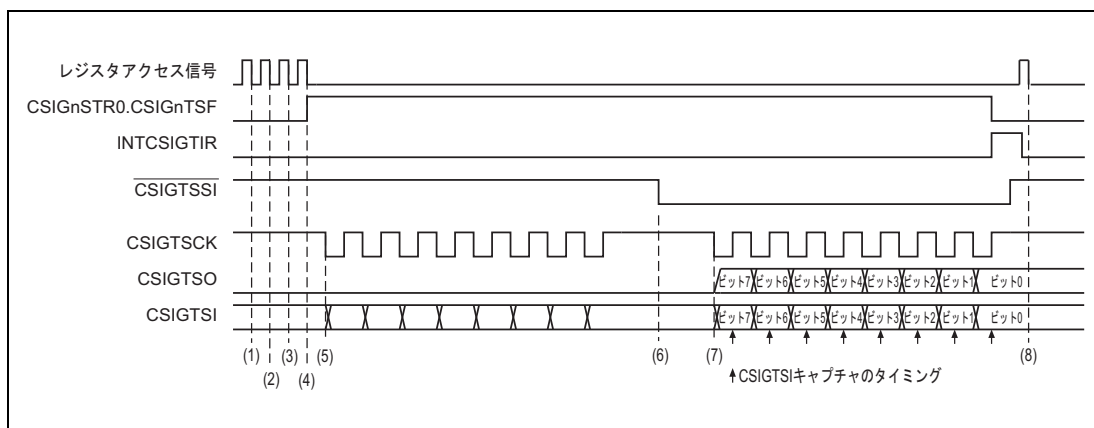


図 16.15 スレーブモードでの受信/送信の通信タイミング

1. スレーブモードを選択 (CSIGnCTL2.CSIGnPRS[2:0]=111_B)、CSIGnSTR0.CSIGnTSF 信号が有効 (CSIGnCTL1.CSIGnSSE=1)、CSIGTSSI 信号が有効 (CSIGnCTL1.CSIGnSSE=1)、CSIGTSSSI 信号が有効 (CSIGnCTL1.CSIGnSSE=1)、CSIGTSCk クロック位相はハイレベル (CSIGnCTL1.CSIGnCKR=1) に設定します。
2. データ長は 8 ビット (CSIGnCFG0.CSIGnDLS[3:0] = 1000_B)
データ方向は MSB ファースト (CSIGnCFG0.CSIGnDIR = 0) に設定します。
3. 送受信モード (CSIGnCTL0.CSIGnPWR = 1,
CSIGnCTL0.CSIGnTXE = 1, CSIGnCTL0.CSIGnRXE = 1) に設定します。
4. 転送データが送信レジスタ CSIGnTX0H に書き込まれると、転送ステータスフラグ CSIGnSTR0.CSIGnTSF が自動的にセットされ、CSIGTSSI 信号がロウレベルになるのを待ちます。
5. CSIGTSSI 信号がハイレベルである間は、シリアルクロック入力が供給されていても、送受信は開始されません。CSIGTSO は値を保持し CSIGTSI への入力は無視されます。
6. CSIGTSSI がロウレベルになると、CSIGTSO が有効になります。
7. CSIGTSSI がロウレベル時にシリアルクロックが入力されると転送データはシリアルクロックに同期して CSIGTSO に送信されます。同時に CSIGTSI からデータを受信します。
8. CSIGnRX0 レジスタを読み出します。

16.5.8 ハンドシェーク機能

CSIGはマスタデバイスとスレーブデバイスを同期させるハンドシェーク機能を備えています。この機能はCSIGNCTL1.CSIGNHSEビットで有効または無効にすることができます。ハンドシェークでは、CSIGTRYI、CSIGTRYO信号を使用します。

ビジーとなるタイミングはデータ位相選択CSIGNCFG0.CSIGNDAPビットの設定によって異なります。

16.5.8.1 スレーブモード

CSIGNCTL1.CSIGNHSE = 1 のとき、スレーブはビジー状態になるとCSIGTRYOがロウレベルを出力します。すでに受信したデータがまだCSIGNRX0レジスタにあるため、シフトレジスタからCSIGNRX0へ新しいデータをコピーできないと、この状態になります（CSIGNRX0フル状態）。

以下の例では、8ビットのデータ長を想定しています。

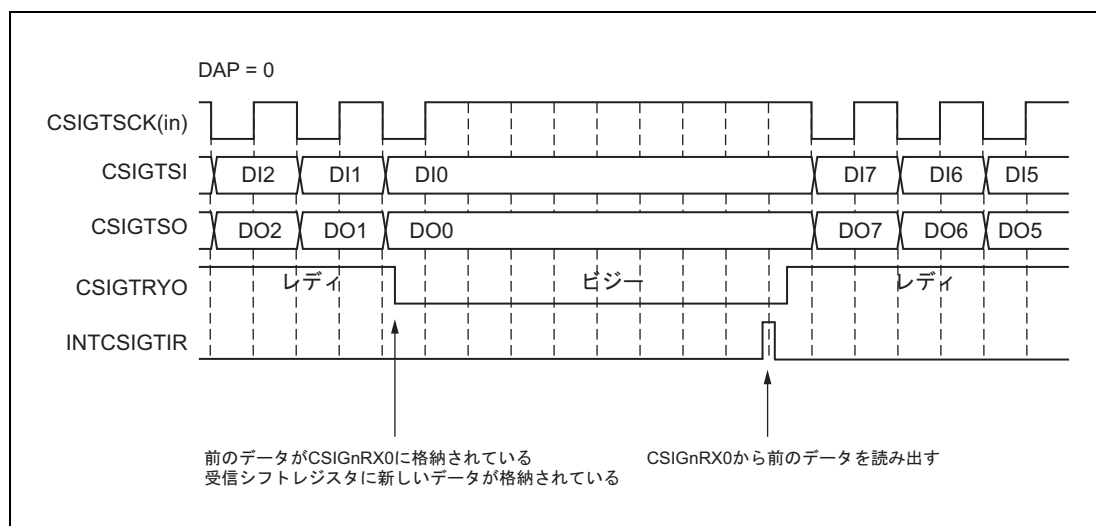


図 16.16 スレーブからのレディ/ビジー信号 (CSIGNCFG0.CSIGNDAP = 0)

スレーブがビジーである間、マスタは待機する（送信クロックを停止させる）必要があります。受信レジスタCSIGNRX0からの読み出しが完了すると、ただちにスレーブはCSIGTRYOをハイ（「レディ」）に設定します。

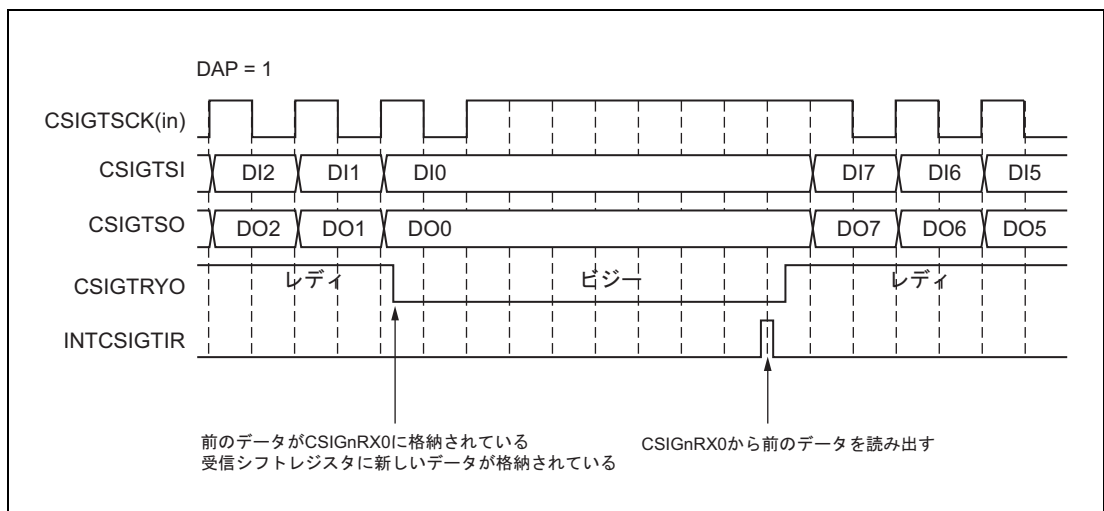


図 16.17 スレーブからのレディ/ビジー信号 (CSIGNCFG0.CSIGNDAP = 1)

16.5.8.2 マスタモード

CSIGNCTL1.CSIGNHSE = 1 のとき、マスタが CSIGTRYI のロウレベルを検出すると、それ以降の転送が保留され、マスタは待機状態に入ります。マスタは CSIGTSCK へのクロックの出力を停止します。

CSIGTRYI のレベルは、CSIGTSCK の半周期ごとにチェックされます。

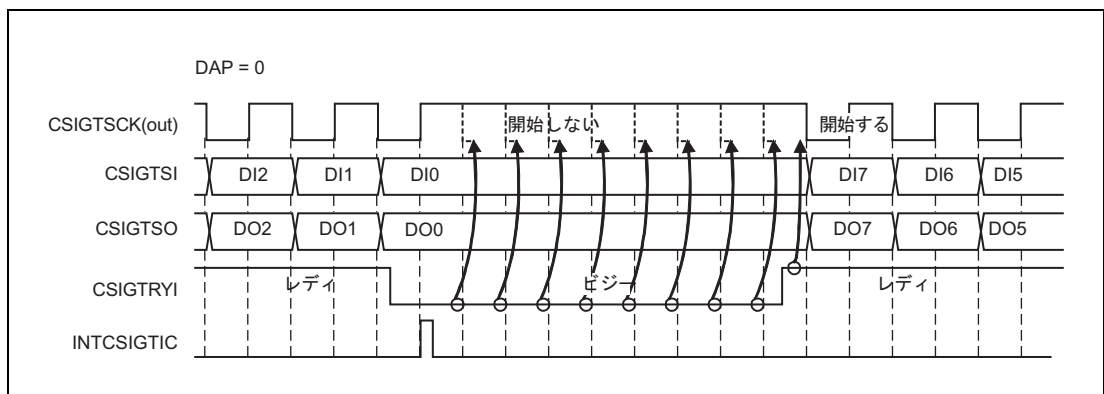


図 16.18 CSIGTRYI に対するマスタの反応 (CSIGNCFG0.CSIGNDAP = 0)

データの転送中に CSIGTRYI ロウ信号がスレーブから送信されると、転送が完了したあと、シリアルクロックが停止します。

マスタは CSIGTRYI がハイになる (スレーブが「レディ」状態になる) と、ただちに通信を再開します。

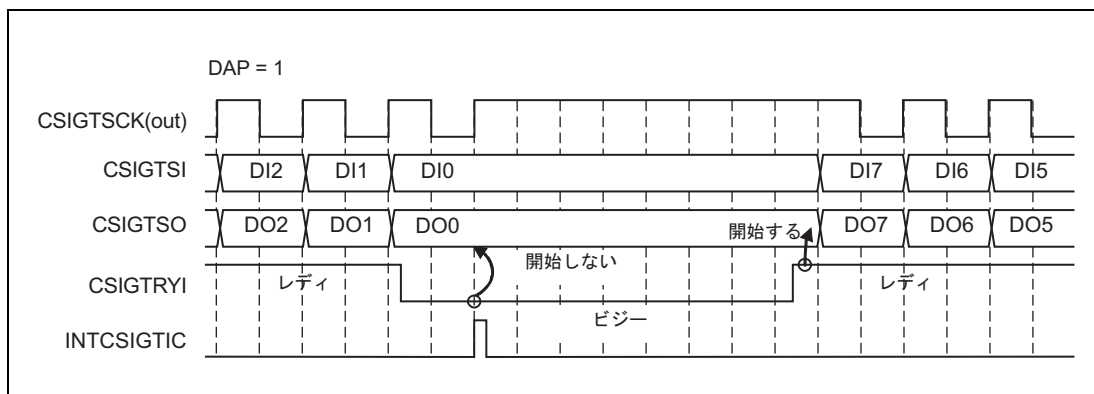


図 16.19 CSIGTRYI に対するマスタの反応 (CSIGNCFG0.CSIGNDAP = 1)

注 意

複数のスレーブが接続されている場合、マスタは、通信相手として選択したスレーブからの CSIGTRYI 信号だけを検出する必要があります。

次の転送が始まる前にスレーブは、マスタの CSIGTRYI をロウレベルに下げする必要があります。転送中にスレーブがこの信号をロウレベルに下げても、転送は完了するまで継続します。

16.5.9 ループバックモード

ループバックモードは自己テスト用の特殊なモードです。この機能はマスタモードでのみ利用できます。

このモードがアクティブ (CSIGnCTL1.CSIGnLBM = 1) になっていると、以下の図に示すように、送信信号と受信信号が内部で接続されます。CSIGTSCK 信号、CSIGTSO 信号、CSIGTSI 信号はポートから切り離されます。さらに、CSIGTSO の出力レベルがロウレベルに固定され、CSIGTSCK はリセットレベル (High) に設定されます。CSIG のそれ以外の部分は通常どおりに動作します。

CSIG をテストするには、ループバックモードに設定し、通常の転送操作を実行します。その後、受信データが送信データと同じかどうかをチェックします。

表 16.26 端子の出力レベル

端子名	出力レベル
CSIGTSCK(out)	ハイレベル
CSIGTSO	ロウレベル (それまでの値に依存しない)
割り込み	通常の機能
CSIGTRYO	通常の機能 (ロウレベル)

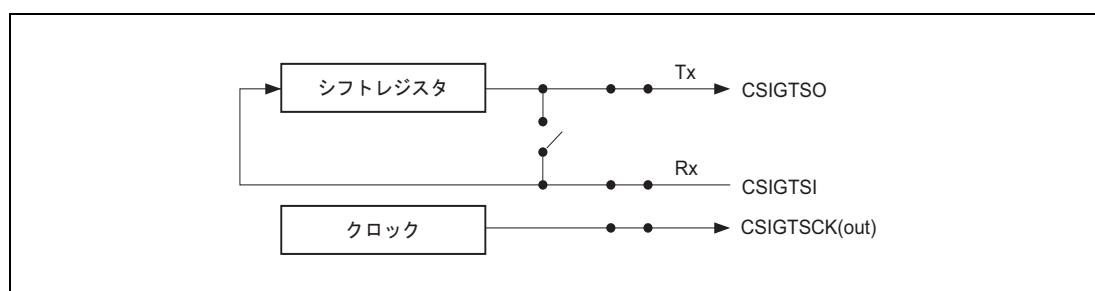


図 16.20 通常の動作

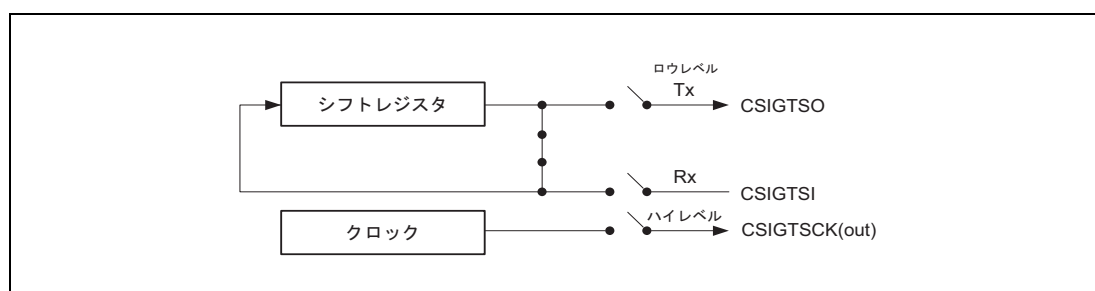


図 16.21 ループバックモードでの動作

16.5.10 エラー検出

CSIGは3つのエラータイプを検出することができます。

- データ整合性チェックエラー (送信データ)
- パリティエラー (受信データ)
- オーバランエラー (受信データ)

データ整合性チェックエラー、パリティエラーのチェック機能は個別に有効または無効にすることができます。

いずれかのエラーが検出されると、割り込み INTCSIGTIRE が発生します。

16.5.10.1 データ整合性チェック

データ整合性チェックの目的は、出力信号として物理的に送信されたデータがシフトレジスタへコピーされた元のデータと同じかどうかを確認することです。

データ整合性チェックは CSIGnCTL1.CSIGnDCS ビットで有効または無効にすることができます (データ整合性チェックを行う場合は、CSIGTSO を必ず PIPn.PIPCn_m = 1 に設定してください)。データ送信が禁止されていると (CSIGnCTL0.CSIGnTXE = 0)、データ整合性チェックはアクティブになりません。

データ整合性チェックがアクティブになっていると、CSIGnTX0W または CSIGnTX0H からシフトレジスタへ転送されたデータが別のレジスタへコピーされます。さらに、出力信号 CSIGTSO の物理的なレベルがキャプチャされ、その論理的な解釈が独自のシフトレジスタに書き込まれます。

送信が完了すると、送信されたデータと元の送信データとの比較が行われます。

データの不一致はデータ整合性チェックエラーと見なされます。

- 割り込み INTCSIGTIRE が発生します。
- CSIGnSTR0.CSIGnDCE ビットがセットされます。

データ整合性チェックの機能を以下のブロック図に示します。

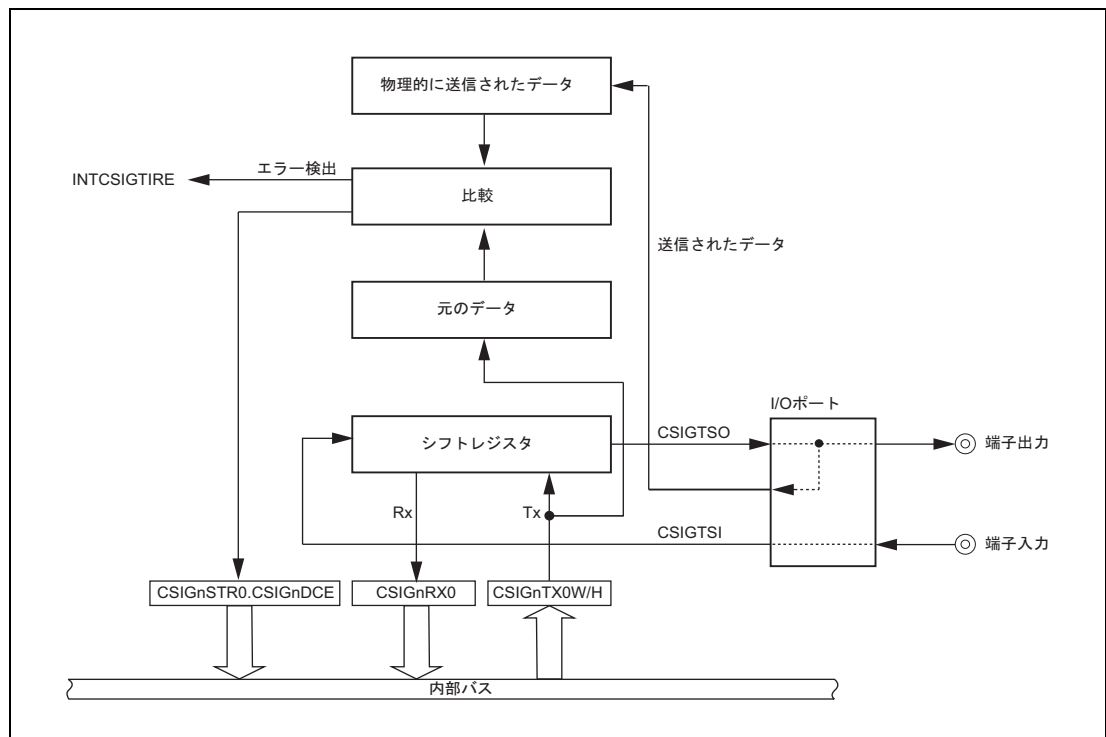


図 16.22 データ整合性チェックの機能ブロック図

16.5.10.2 パリティチェック

パリティはデータ送信中の単一ビットエラーを検出する手段としてよく使われます。CSIGでは、最後のデータビットの後ろにパリティビットを追加することができます（拡張データ長が使われている場合を含む）。

パリティを使用するかどうかとパリティのタイプは `CSIGnCFG0.CSIGnPS[1:0]` で指定されます。

`CSIGnCFG0.CSIGnPS[1]=1` であれば、パリティチェックが有効になります。

パリティビットは受信完了後にチェックされます。パリティエラーが発生すると、以下のことが行われます。

- 割り込み `INTCSIGTIRE` が発生します。
- `CSIGnSTR0.CSIGnPE` ビットがセットされます。

以下の図に例を示します。

データ長は 8 ビットです。送信されるデータは `05H` と `35H` です。パリティタイプは奇数です。

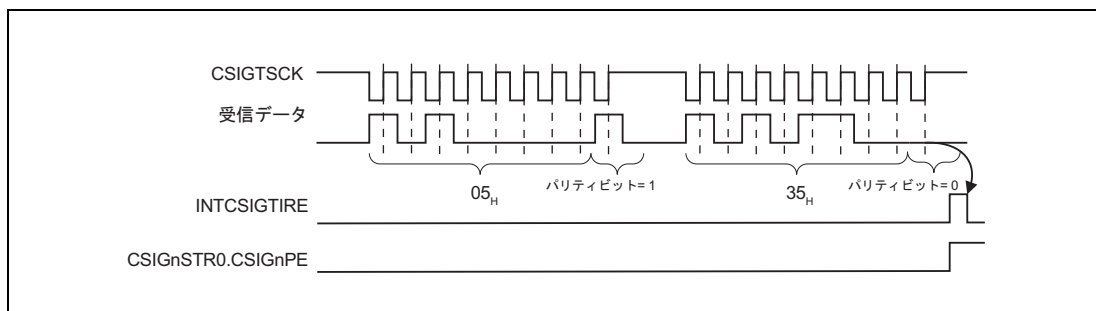


図 16.23 パリティチェックの例

先頭 8 ビットのパリティビットは 1 です。1 の総数（パリティビットを含む）が奇数であるため、パリティエラーは発生しません。

次の 8 ビットのパリティビットは 0 です。1 の総数（パリティビットを含む）が偶数であるため、これはパリティエラーとして検出されます。

拡張データ長（EDL）機能を使用した場合、パリティビットは、データの最後のビットの後ろに追加されます。

16.5.10.3 オーバランエラー

前に受信したデータが読み出されていないため、まだ受信レジスタ CSIGnRX0 に残っている状態で新しいデータを受信すると、このエラーが発生します。

データ受信が禁止されていると（CSIGnCTL0.CSIGnRXE = 0）、オーバランエラーは発生しません。

オーバランエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIGTIRE が発生します。
- CSIGnSTR0.CSIGnOVE ビットがセットされます。
- CSIGnRX0 レジスタのデータは上書きされ、通信は継続します。

以下の図にオーバランエラー検出機能の仕組みを示します。

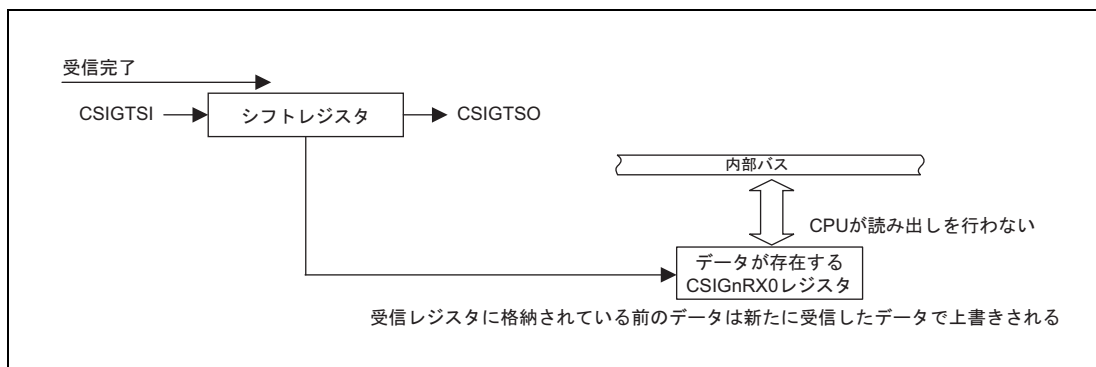


図 16.24 オーバランエラーの検出

以下の図に例を示します。

- 受信データ 3 は読み出されていません。
- 受信データ 4 が受信され、データは上書きされます。

したがって、オーバランエラーが発生します。

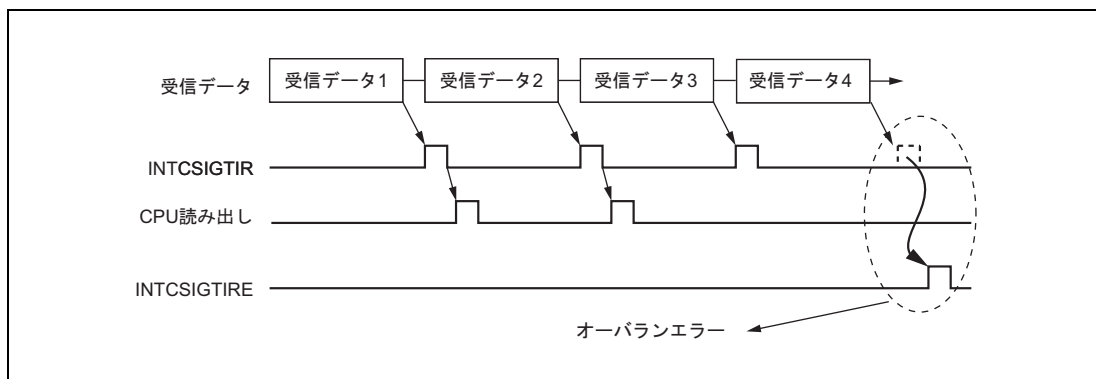


図 16.25 オーバランエラーの検出の例

備考

オーバーランエラーは、ハンドシェイクを利用することで回避できます。

スレーブモードでハンドシェイクを使用すると、受信側（スレーブ）は送信側（マスタ）に自分がビジーであることを伝えます。送信側は、受信側が自分の受信レジスタを読み出し、再びレディ状態になるまで待機します。

詳細については、「**16.5.8 ハンドシェイク機能**」を参照してください。

16.6 操作手順

16.6.1 DMAによるマスタモード送受信

ここでは、マスタモードでの送受信を DMA と組み合わせて行う例について説明します。

ここに示す手順では、以下の条件を想定しています。

- 送信データ長は 8 ビット (CSIGnCFG0.CSIGnDLS[3:0] = 1000_B)
- 送信方向は MSB ファースト (CSIGnCFG0.CSIGnDIR = 0)
- 転送の最後に INTCSIGTIC 割り込みを発生 (CSIGnCTL1.CSIGnSLIT = 0)
- 通常のクロック位相とデータ位相 (CSIGnCTL1.CSIGnCKR = 0, CSIGnCFG0.CSIGnDAP = 0)
- データの数は 10 個 (0 ~ 9)

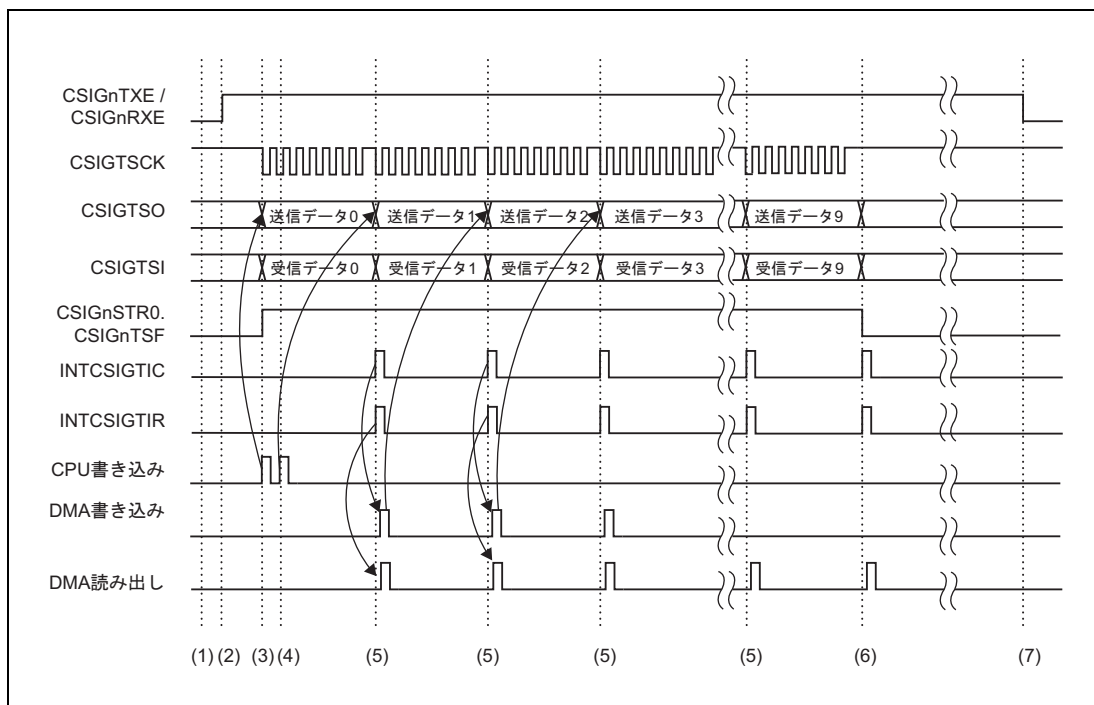


図 16.26 マスタモードでの通信

手順：

1. CSIGnCFG0 レジスタで通信プロトコルを設定します。CSIGnCTL1 レジスタと CSIGnCTL2 レジスタの対応するビットを設定することで、割り込みタイミングと動作モードなどを指定します。
2. CSIGnCTL0 レジスタで、CSIGnPWR = 1 (クロック有効)、CSIGnTXE = 1 (送信許可)、CSIGnRXE = 1 (受信許可) に設定します。
3. 最初の送信データを送信レジスタ CSIGnTX0H に書き込みます。最初のデータが利用可能になると送信が自動的に開始されます。
4. 2 番目のデータを CSIGnTX0H に書き込みます。最初のデータを書き込んだ直後に 2 番目のデータを書き込むことで、データ間の不要な遅延を回避できます。

5. データが1つ送受信されるたびに割り込み INTCSIGTIC と INTCSIGTIR が発生します。INTCSIGTIC は、次のデータを CSIGnTX0H に書き込めることを示します。INTCSIGTIR は、受信レジスタ CSIGnRX0 を読み出す必要があることを示します。この例では、CPU 書き込みと DMA 書き込みを同じものと見なしています。
6. データ8の送信が完了すれば、それ以降の書き込みアクションは必要ありません。データ9（最後のデータ）は、データ7送信後に書き込まれています。ただし、データ8とデータ9の受信が完了したあと、受信レジスタ CSIGnRX0 を読み出す必要があります。
7. 最後に、CSIGnCTL0.CSIGnTXE と CSIGnCTL0.CSIGnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIGn の消費電力を最小限にするために CSIGnCTL0.CSIGnPWR=0 に設定してください。

第17章 クロック同期シリアルインタフェースH (CSIH)

本章では、クロック同期シリアルインタフェースH (CSIH) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1K に固有の特長について説明します。それ以降の節では、CSIH の機能、レジスタについて説明します。

17.1 RH850/F1K CSIH の特長

17.1.1 ユニット数

本製品は、以下に示すユニット数のCSIHを搭載しています。

CSIH 1ユニット当たり1チャンネルのインタフェースを持っています。

表 17.1 ユニット数

製品名	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
ユニット数	4	4	4
名称	CSIHn (n = 0 ~ 3)	CSIHn (n = 0 ~ 3)	CSIHn (n = 0 ~ 3)

表 17.2 添字

添字	説明
n	本章では、CSIH の各ユニットを「n」(n = 0 ~ 3) で識別します。たとえば、CSIHn 制御レジスタ 0 は CSIHnCTL0 と記述します。
x	CSIHn は最大 8 個のチップセレクト信号を備えています。本章では、各チップセレクト信号を「x」で識別します。たとえば、特定のチップセレクト信号は CSx と記述します。
y	説明時における変数を「y」で識別します。たとえば、CSIHn ボーレート設定レジスタは CSIHnBRSy と記述します。

各製品の添字が示す値を以下に示します。

表 17.3 各製品の添字対応

各製品の添字対応		
100 pin	144 pin	176 pin
x の値は、「表 17.4 チップセレクト数」を参照してください		
y = 0 ~ 3	y = 0 ~ 3	y = 0 ~ 3

CSIH の各チャンネルのチップセレクト信号の数を以下の表に示します。

表 17.4 チップセレクト数

ユニット名	チップセレクト数		
	100 pin	144 pin	176 pin
CSIH0	CSx (x = 0 ~ 7)	CSx (x = 0 ~ 7)	CSx (x = 0 ~ 7)
CSIH1	CSx (x = 0 ~ 5)	CSx (x = 0 ~ 5)	CSx (x = 0 ~ 5)
CSIH2	CSx (x = 0 ~ 3)	CSx (x = 0 ~ 5)	CSx (x = 0 ~ 5)
CSIH3	CSx (x = 0 ~ 3)	CSx (x = 0 ~ 3)	CSx (x = 0 ~ 3)

17.1.2 レジスタベースアドレス

CSIH のベースアドレスを以下の表に示します。

CSIH のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 17.5 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<CSIH0_base>	FFD8 0000 _H
<CSIH1_base>	FFD8 2000 _H
<CSIH2_base>	FFD8 4000 _H
<CSIH3_base>	FFD8 6000 _H

17.1.3 クロック供給

CSIH のクロック供給を以下の表に示します。

表 17.6 クロック供給

ユニット名	ユニットクロック名	供給クロック名	説明
CSIHn	PCLK	CKSCLK_ICSI	通信クロック
	レジスタアクセスクロック	CPUCLK2	バスクロック
		CKSCLK_ICSI	

17.1.4 割り込み要求

CSIH の割り込み要求を以下の表に示します。

表 17.7 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
CSIH0			
INTCSIHTIC	通信ステータス割り込み	29	70
INTCSIHTIR	受信ステータス割り込み	30	71
INTCSIHTIRE	通信エラー割り込み	31	—
INTCSIHTIJC	ジョブ完了割り込み	20、32	72
CSIH1			
INTCSIHTIC	通信ステータス割り込み	16、116	28
INTCSIHTIR	受信ステータス割り込み	17、117	29
INTCSIHTIRE	通信エラー割り込み	27、118	—
INTCSIHTIJC	ジョブ完了割り込み	28、119	30
CSIH2			
INTCSIHTIC	通信ステータス割り込み	8、132	89
INTCSIHTIR	受信ステータス割り込み	10、133	90
INTCSIHTIRE	通信エラー割り込み	11、134	—
INTCSIHTIJC	ジョブ完了割り込み	12、135	91
CSIH3			
INTCSIHTIC	通信ステータス割り込み	9、158	41
INTCSIHTIR	受信ステータス割り込み	13、159	42
INTCSIHTIRE	通信エラー割り込み	14、160	—
INTCSIHTIJC	ジョブ完了割り込み	15、161	43

17.1.5 リセット要因

CSIH のリセット要因を以下に示します。CSIH は以下のリセット要因で初期化されます。

表 17.8 リセット要因

ユニット名	リセット要因
CSIHn	すべてのリセット要因 (ISORES)

17.1.6 外部入出力信号

CSIH の外部入出力信号を以下の表に示します。

表 17.9 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
CSIH0		
CSIHTSCK	シリアルクロック信号	CSIH0SC ^{注2}
CSIHTSI	シリアルデータ入力信号	CSIH0SI
CSIHTSSI	スレーブ選択入力信号	CSIH0SSI
CSIHTRYI	レディ/ビジー入力信号	CSIH0RYI
CSIHTSO	シリアルデータ出力信号	CSIH0SO ^{注2}
CSIHTRYO	レディ/ビジー出力信号	CSIH0RYO
CSIHTCSS[7:0] ^{注1}	チップセレクト信号	CSIH0CSS[7:0] ^{注1}
CSIH1		
CSIHTSCK	シリアルクロック信号	CSIH1SC ^{注2}
CSIHTSI	シリアルデータ入力信号	CSIH1SI
CSIHTSSI	スレーブ選択入力信号	CSIH1SSI
CSIHTRYI	レディ/ビジー入力信号	CSIH1RYI
CSIHTSO	シリアルデータ出力信号	CSIH1SO ^{注2}
CSIHTRYO	レディ/ビジー出力信号	CSIH1RYO
CSIHTCSS[5:0] ^{注1}	チップセレクト信号	CSIH1CSS[5:0] ^{注1}
CSIH2		
CSIHTSCK	シリアルクロック信号	CSIH2SC ^{注2}
CSIHTSI	シリアルデータ入力信号	CSIH2SI
CSIHTSSI	スレーブ選択入力信号	CSIH2SSI
CSIHTRYI	レディ/ビジー入力信号	CSIH2RYI
CSIHTSO	シリアルデータ出力信号	CSIH2SO ^{注2}
CSIHTRYO	レディ/ビジー出力信号	CSIH2RYO
CSIHTCSS[5:0] ^{注1}	チップセレクト信号	CSIH2CSS[5:0] ^{注1}
CSIH3		
CSIHTSCK	シリアルクロック信号	CSIH3SC ^{注2}
CSIHTSI	シリアルデータ入力信号	CSIH3SI
CSIHTSSI	スレーブ選択入力信号	CSIH3SSI
CSIHTRYI	レディ/ビジー入力信号	CSIH3RYI
CSIHTSO	シリアルデータ出力信号	CSIH3SO ^{注2}
CSIHTRYO	レディ/ビジー出力信号	CSIH3RYO
CSIHTCSS[3:0] ^{注1}	チップセレクト信号	CSIH3CSS[3:0] ^{注1}

注 1. チップセレクト信号数は、「表 17.4 チップセレクト数」を参照してください。

注 2. CSIHnSO、CSIHnSC として使用するポートは、出力ドライバ強度をハイドライバ強度 (PDSCn_m = 1) に設定してください。

注 意

ポート P8_6 を CSIH0CSS4 として使用する場合、リセット中およびリセット解除後、ポート P8_6 (RESETOUT 信号) からロウレベルを出力します。

詳細は「2.11.1.1 P8_6 : RESETOUT」を参照してください。

17.1.7 データ整合性チェック

CSIHnSO (CSIHTSO) の兼用ポートのデータ整合性チェック対応を以下の表に示します。
データ整合性チェックの詳細は、「17.5.12 エラー検出」を参照してください。

表 17.10 データ整合性チェックの対象端子

ユニット信号名	ポート端子名	兼用機能
CSIH0		
CSIHTSO	P0_3	ALT_OUT4
CSIH1		
CSIHTSO	P0_5	ALT_OUT3
	P10_2	ALT_OUT5
CSIH2		
CSIHTSO	P11_2	ALT_OUT1
CSIH3		
CSIHTSO	P11_6	ALT_OUT3

17.2 概要

17.2.1 機能概要

- 3ワイヤシリアル同期データ転送
- マスタモードまたはスレーブモードを選択可能
- 設定可能な8個のチップセレクト出力信号を備えているため、複数スレーブ構成とRCB (Recessive Configuration for Broadcasting) が可能
- スレーブ選択入力信号 ($\overline{\text{CSIHTSSI}}$) が使用可能
- ボーレートジェネレータを内蔵
- マスタモードでは転送クロック周波数が調整可能。スレーブモードでは入力クロックによって転送クロック周波数を決定
- 最大転送クロック周波数：
 - マスタモード：10.0MHz (ただし、PCLK/4 以下)
 - スレーブモード：5.0MHz (ただし、PCLK/16 以下)
- クロックとデータの位相を選択可能
- MSBファーストまたはLSBファーストでのデータ転送を選択可能
- 2ビットから16ビットまでの転送データ長を1ビット単位で選択可能
- 16ビットを上回るデータを転送するためのEDL (Extended Data Length : 拡張データ長) 機能を内蔵
- 以下の3つの転送モードを選択可能：
 - 送信専用モード
 - 受信専用モード
 - 送受信モード
- ハンドシェイク機能を内蔵
- エラー検出 (データ整合性チェック、パリティ、タイムアウト、オーバフロー、オーバーラン) を内蔵
- ジョブ概念のサポート
- 128ワードのI/Oバッファメモリ
- ダイレクトアクセスモードと、メモリモード (FIFO、デュアルバッファ、送信専用バッファ) を選択可能
- 4個の割り込み要求信号 (INTCSIHTIC、INTCSIHTIR、INTCSIHTIRE、INTCSIHTIJC)
- 自己テスト用のLBM (ループバックモード) 機能を内蔵
- CPU制御による高優先通信機能
- 強制CSアイドル設定
- ブロードキャストイングのためRCB (Recessive Configuration for Broadcasting) ビットを内蔵
- AUTOSARのためのJOBイネーブル制御ビットを内蔵

17.2.2 機能概要説明

CSIH では以下の3つの信号を通信に使用します。

- 送信クロック CSIHTSCK (マスタモードでは出力、スレーブモードでは入力)
- データ出力信号 CSIHTSO
- データ入力信号 CSIHTSI

そのほかに、外部制御とモニタ用に利用できる信号があります。

- $\overline{\text{CSIHTSSI}}$: スレーブ選択入力信号
- CSIHTRYO : レディ/ビジー出力信号 (ハンドシェーク信号)
- CSIHTRYI : レディ/ビジー入力信号 (ハンドシェーク信号)
- CSIHTCSS[7:0] : チップセレクト信号

データ送信は、1ビットずつシリアルに行われ、送信クロックに同期します。

CSIH の設定で重要な役割を果たすレジスタを以下の表に示します。

表 17.11 CSIH の主なレジスタ

レジスタ	機能
CSIHnCTL0	シリアルクロックを有効または無効にし、データ送信とデータ受信を許可または禁止します。ジョブ終了時の動作を定義し、バッファリングを有効または無効 (バッファのバイパス) にします。
CSIHnCTL1	割り込みのタイミング、拡張データ長、ジョブの機能、データ整合性チェック、ループバックモード、ハンドシェークなどのオプション機能を制御します。
CSIHnCTL2	マスタモードまたはスレーブモードを選択し、マスタモードでは内蔵ポーレートジェネレータ (BRG) で転送クロック周波数を選択します。
CSIHnBRSy	チップセレクト信号ごとに転送クロック周波数を設定するためのレジスタです。
CSIHnMCTL0	メモリモードを選択し、タイムアウトを指定します。
CSIHnMCTL1	FIFO モードでメモリを制御します。
CSIHnMCTL2	デュアルバッファモードでメモリを制御します。
CSIHnCFGx	各チップセレクト信号の通信プロトコルを設定するレジスタです。

17.2.3 ブロック図

以下のブロック図はCSIHの主要なコンポーネントを示しています。

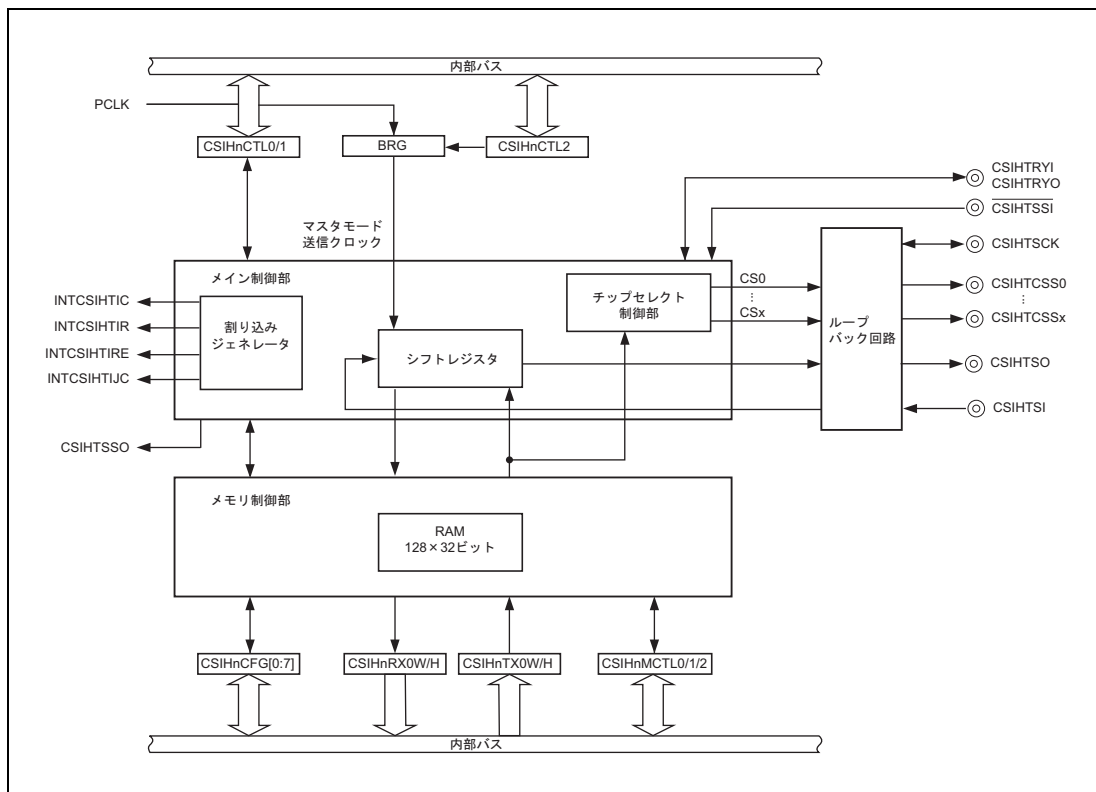


図 17.1 CSIHのブロック図

マスタモードでは、送信クロック **CSIHTSCK** が内蔵のポーレートジェネレータ (**BRG**) によって生成されます。スレーブモードでは、外部ソースから送信クロックが供給されます。内蔵のメモリはFIFO、デュアルバッファ（別々の送信バッファと受信バッファ）または送信専用バッファとして設定できます。メモリをバイパスし、バッファリングなしでデータを送信または受信することもできます。

ループバック回路はCSIHをポートから完全に切り離し、内部の自己テストに対応します。

備考

本章では、以下のモードについて説明します。

- 「動作モード」はマスタモードとスレーブモードに分かれています。マスタのみが複数のスレーブを制御し、複数のスレーブと通信することができます（詳細については、「**17.5.1 動作モード (マスタ/スレーブ)**」を参照してください)。
- 「ジョブモード」はAUTOSARジョブ概念に関連しています（詳細については、「**17.5.3.3 ジョブ概念**」を参照してください)。
- 「メモリモード」では、関連付けられたバッファメモリのさまざまな設定に対応します（詳細については、「**17.5.6 CSIHのバッファメモリ**」を参照してください)。
- 「データ転送モード」では、通信のモードを指定します。送信専用モード、受信専用モード、送受信モードがあります（詳細については、「**17.5.7 データ転送モード**」を参照してください)。

17.3 レジスタ

17.3.1 レジスタ一覧

CSIH のレジスタ一覧を以下の表に示します。

<CSIHn_base> は「17.1.2 レジスタベースアドレス」を参照してください。

表 17.12 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
CSIHn	CSIHn 制御レジスタ 0	CSIHnCTL0	<CSIHn_base> + 0000 _H
	CSIHn 制御レジスタ 1	CSIHnCTL1	<CSIHn_base> + 0010 _H
	CSIHn 制御レジスタ 2	CSIHnCTL2	<CSIHn_base> + 0014 _H
	CSIHn ステータスレジスタ 0	CSIHnSTR0	<CSIHn_base> + 0004 _H
	CSIHn ステータスクリアレジスタ 0	CSIHnSTCR0	<CSIHn_base> + 0008 _H
	CSIHn メモリ制御レジスタ 0	CSIHnMCTL0	<CSIHn_base> + 1040 _H
	CSIHn メモリ制御レジスタ 1	CSIHnMCTL1	<CSIHn_base> + 1000 _H
	CSIHn メモリ制御レジスタ 2	CSIHnMCTL2	<CSIHn_base> + 1004 _H
	CSIHn メモリ読み出し/書き込みポインタレジスタ 0	CSIHnMRWP0	<CSIHn_base> + 1018 _H
	CSIHn コンフィグレーションレジスタ 0	CSIHnCFG0	<CSIHn_base> + 1044 _H
	CSIHn コンフィグレーションレジスタ 1	CSIHnCFG1	<CSIHn_base> + 1048 _H
	CSIHn コンフィグレーションレジスタ 2	CSIHnCFG2	<CSIHn_base> + 104C _H
	CSIHn コンフィグレーションレジスタ 3	CSIHnCFG3	<CSIHn_base> + 1050 _H
	CSIHn コンフィグレーションレジスタ 4	CSIHnCFG4	<CSIHn_base> + 1054 _H
	CSIHn コンフィグレーションレジスタ 5	CSIHnCFG5	<CSIHn_base> + 1058 _H
	CSIHn コンフィグレーションレジスタ 6	CSIHnCFG6	<CSIHn_base> + 105C _H
	CSIHn コンフィグレーションレジスタ 7	CSIHnCFG7	<CSIHn_base> + 1060 _H
	CSIHn ワードアクセス用送信データレジスタ 0	CSIHnTX0W	<CSIHn_base> + 1008 _H
	CSIHn ハーフワードアクセス用送信データレジスタ 0	CSIHnTX0H	<CSIHn_base> + 100C _H
	CSIHn ワードアクセス用受信データレジスタ 0	CSIHnRX0W	<CSIHn_base> + 1010 _H
	CSIHn ハーフワードアクセス用受信データレジスタ 0	CSIHnRX0H	<CSIHn_base> + 1014 _H
	CSIHn エミュレーションレジスタ	CSIHnEMU	<CSIHn_base> + 0018 _H
	CSIHn ボーレート設定レジスタ 0	CSIHnBRS0	<CSIHn_base> + 1068 _H
	CSIHn ボーレート設定レジスタ 1	CSIHnBRS1	<CSIHn_base> + 106C _H
	CSIHn ボーレート設定レジスタ 2	CSIHnBRS2	<CSIHn_base> + 1070 _H
	CSIHn ボーレート設定レジスタ 3	CSIHnBRS3	<CSIHn_base> + 1074 _H

17.3.2 CSIHnCTL0 — CSIHn 制御レジスタ 0

本レジスタでは、動作クロックを制御し、送受信を許可/禁止し、送信または受信、あるいはその両方に割り当てられるメモリを有効または無効にします。また、現在のジョブの終了時に通信を強制的に停止します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 0000_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	CSIHnPWR	CSIHnTXE	CSIHnRXE	—	—	—	CSIHnJOBE	CSIHnMBS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R/W	R/W

表 17.13 CSIHnCTL0 レジスタの内容

ビット位置	ビット名	機能
7	CSIHnPWR	動作クロックを制御します。 0: 動作クロックを停止させます。 1: 動作クロックを供給します。 CSIHnPWR をクリア (0) すると、内部回路がリセットされ、動作が停止し、CSIH がスタンバイ状態に設定されます。内部回路へのクロックの供給が停止します。 通信中に CSIHnPWR をクリア (0) した場合、実行中の通信はただちに中止されます。その場合は、通信設定を最初からやり直す必要があります。
6	CSIHnTXE	送信を許可または禁止します。 0: 送信を禁止します。 1: 送信を許可します。
5	CSIHnRXE	受信を許可または禁止します。 0: 受信を禁止します。 1: 受信を許可します。
4 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	CSIHnJOBE	現在のジョブの終了時に通信を停止します (CSIHnTX0W.CSIHnEOJ = 1 (ジョブ終了) 時に送信バッファにデータを書き込まれると通信が終了になります)。 0: 通信停止を要求しません。 1: 通信を停止します。 このビットを使って実行中のジョブを中止することができます。このビットは自動的にクリア (0) されます。このビットをセット (1) しても、リード値は常に 0 です。 FIFO モードでは、CSIHnSTCR0.CSIHnPCT = 1 に設定することによってポイントをクリアしたあと、次の通信を開始する必要があります。
0	CSIHnMBS	送信データまたは受信データあるいはその両方のメモリをバイパスします。 0: メモリモード 送信データまたは受信データあるいはその両方に CSIH のメモリを使用します。 1: ダイレクトアクセスモード CSIH のメモリをバイパスします。

注 意

本レジスタの設定では、「表 17.32 レジスタ設定上の注意事項」を参照してください。

17.3.3 CSIHnCTL1 — CSIHn 制御レジスタ 1

本レジスタでは、割り込みのタイミングと割り込み遅延モードを指定します。本レジスタは、拡張データ長制御、データ整合性チェック、ループバックモード、ハンドシェイク機能、ジョブモードを有効または無効する機能も持っています。また、各チップセレクト信号のアクティブ出力レベルと、最後のデータを転送したあとのチップセレクト信号の動作の選択も行います。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 0010_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	CSIHn SLRS	—	—	—	—	—	CSIHn PHE	CSIHn CKR	CSIHn SLIT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHn CSL7	CSIHn CSL6	CSIHn CSL5	CSIHn CSL4	CSIHn CSL3	CSIHn CSL2	CSIHn CSL1	CSIHn CSL0	CSIHn EDLE	CSIHn JE	CSIHn DCS	CSIHn CSRI	CSIHn LBM	CSIHn SIT	CSIHn HSE	CSIHn SSE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.14 CSIHnCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 25	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
24	CSIHnSLRS	受信データ入力の内部同期タイミングを設定します。 0: PCLK の立ち上がり 1: PCLK の立ち下がり 設定による違いについては、データシートを参照してください。
23 ~ 19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	CSIHnPHE	CPU 制御の優先度別通信機能を設定します。 0: CPU 制御の高優先通信機能は無効です。 1: CPU 制御の高優先通信機能は有効です。 CPU 制御の高優先通信機能を有効にする場合は、本ビットを 1 に設定するほかに、CSIHnJE = 1 を設定してください。このビットは送信専用バッファモードでのみ設定可能です。
17	CSIHnCKR	CSIHTSCK のクロック反転機能 0: CSIHTSCK のデフォルトレベルはハイレベル 1: CSIHTSCK のデフォルトレベルはロウレベル 詳細については、「17.3.11 CSIHnCFGx — CSIHn コンフィグレーションレジスタ x」を参照してください。
16	CSIHnSLIT	割り込み INTCSIHTIC のタイミングを選択します。 0: 通常の割り込みのタイミング (転送後に割り込みを発生します)。 1: CSIHnTX0W/H レジスタの内容がシフトレジスタに転送されると、ただちに割り込みが発生します (ダイレクトアクセスモード/送信専用バッファモードでのみ機能します)。 詳細については、「17.4.3 INTCSIHTIC (通信ステータス割り込み)」を参照してください。
15 ~ 8	CSIHnCSLx	チップセレクト信号 x (CSIHTCSSx) のアクティブ出力レベルを選択します (x = 0-7)。 0: チップセレクト信号をアクティブロウにします。 1: チップセレクト信号をアクティブハイにします。 詳細については、「17.5.3 チップセレクト (CS) 機能」を参照してください。

表 17.14 CSIHnCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	CSIHnEDLE	拡張データ長 (EDL) モードを有効または無効にします。 0: 拡張データ長モードを無効にします。 1: 拡張データ長モードを有効にします。 詳細については、「17.5.8.2 16 ビットを上回るデータ長」を参照してください。
6	CSIHnJE	ジョブモードを有効または無効にします。 0: ジョブモードを無効にします。 1: ジョブモードを有効にします。 詳細については、「17.5.3.3 ジョブ概念」を参照してください。 CSIHnCTL0.CSIHnJOB, CSIHnTX0W.CSIHnEOJ, CSIHnTX0W.CSIHnCIRE ビットは CSIHnJE = 1 のときにのみ有効です。 このビットはスレーブモードでは設定禁止です。 また、CPU 制御の高優先通信機能を有効にする場合は、CSIHnPHE = 1 のほかに、本ビットを 1 に設定してください。
5	CSIHnDCS	データ整合性チェックを有効または無効にします。 0: データ整合性チェックを無効にします。 1: データ整合性チェックを有効にします。 詳細については、「17.5.12.1 データ整合性チェック」を参照してください。
4	CSIHnCSRI	最後のデータが転送されたあとのチップセレクト信号の動作を定義します。 0: チップセレクト信号がアクティブレベルを保持します。 1: チップセレクト信号が非アクティブレベルに戻ります。 最後のデータの判定はダイレクトアクセスモード/FIFO モード時の割り込みタイミングで行います。CSIHnCTL1.CSIHnSLIT = 1 のときはダイレクトアクセスモードです。
3	CSIHnLBM	ループバックモード (LBM) を制御します。 0: ループバックモードをインアクティブにします。 1: ループバックモードをアクティブにします。 詳細については、「17.5.13 ループバックモード」を参照してください。
2	CSIHnSIT	割り込み遅延モードを選択します。 0: 遅延を生成しません。 1: すべての割り込みについて半クロック周期の遅延を生成します。 このビットはマスタモードでのみ有効になります。スレーブモードでは遅延は生成されません。 詳細については、「17.4.2 割り込み遅延」を参照してください。
1	CSIHnHSE	ハンドシェイク機能を有効または無効にします。 0: ハンドシェイク機能を無効にします。 1: ハンドシェイク機能を有効にします。 詳細については、「17.5.11 ハンドシェイク機能」を参照してください。
0	CSIHnSSE	スレーブ選択機能を有効または無効にします。 0: 入力信号 CSIHTSSI を無効にします。 1: 入力信号 CSIHTSSI を認識します。 スレーブ選択機能を使用しない場合は、このビットを 0 に設定する必要があります (「17.5.2 マスタ/スレーブの接続」も参照してください)。

CSIHnCTL1.CSIHnSSE の詳細を次に示します。

表 17.15 受信におけるスレーブ選択機能の動作

CSIHnCTL0. CSIHnRXE	CSIHnCTL1. CSIHnSSE	CSIHTSSI	受信動作
0	—	—	受信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	無効

表 17.16 送信におけるスレーブ選択機能の動作

CSIHnCTL0. CSIHnTXE	CSIHnCTL1. CSIHnSSE	CSIHnTSSI	送信動作
0	—	—	送信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	無効

注 意

本レジスタの設定では、「表 17.32 レジスタ設定上の注意事項」を参照してください。

17.3.4 CSIHnCTL2 — CSIHn 制御レジスタ 2

本レジスタでは動作モードと基本クロックの値を選択し、転送クロック周波数を指定します。

詳細については、「17.5.5 送信クロックの選択」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 0014_H

リセット後の値 E000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnPRS[2:0]			—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.17 CSIHnCTL2 レジスタの内容

ビット位置	ビット名	機能																																				
15 ~ 13	CSIHnPRS[2:0]	動作モードと基本クロックの値を選択します																																				
		<table border="1"> <thead> <tr> <th>CSIHnPRS2</th> <th>CSIHnPRS1</th> <th>CSIHnPRS0</th> <th>基本クロック (PRSOUT) の選択</th> </tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>PCLK (マスタモード)</td> </tr> <tr> <td>0</td><td>0</td><td>1</td><td>PCLK/2 (マスタモード)</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>PCLK/4 (マスタモード)</td> </tr> <tr> <td>0</td><td>1</td><td>1</td><td>PCLK/8 (マスタモード)</td> </tr> <tr> <td>1</td><td>0</td><td>0</td><td>PCLK/16 (マスタモード)</td> </tr> <tr> <td>1</td><td>0</td><td>1</td><td>PCLK/32 (マスタモード)</td> </tr> <tr> <td>1</td><td>1</td><td>0</td><td>PCLK/64 (マスタモード)</td> </tr> <tr> <td>1</td><td>1</td><td>1</td><td>CSIHTSCK(in) 経由の外部クロック (スレーブモード)</td> </tr> </tbody> </table>	CSIHnPRS2	CSIHnPRS1	CSIHnPRS0	基本クロック (PRSOUT) の選択	0	0	0	PCLK (マスタモード)	0	0	1	PCLK/2 (マスタモード)	0	1	0	PCLK/4 (マスタモード)	0	1	1	PCLK/8 (マスタモード)	1	0	0	PCLK/16 (マスタモード)	1	0	1	PCLK/32 (マスタモード)	1	1	0	PCLK/64 (マスタモード)	1	1	1	CSIHTSCK(in) 経由の外部クロック (スレーブモード)
		CSIHnPRS2	CSIHnPRS1	CSIHnPRS0	基本クロック (PRSOUT) の選択																																	
		0	0	0	PCLK (マスタモード)																																	
		0	0	1	PCLK/2 (マスタモード)																																	
		0	1	0	PCLK/4 (マスタモード)																																	
		0	1	1	PCLK/8 (マスタモード)																																	
		1	0	0	PCLK/16 (マスタモード)																																	
		1	0	1	PCLK/32 (マスタモード)																																	
1	1	0	PCLK/64 (マスタモード)																																			
1	1	1	CSIHTSCK(in) 経由の外部クロック (スレーブモード)																																			
12 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																				

マスタモードでは、以下のビットを使って転送クロック周波数を設定します。

CSIHnCTL2.CSIHnPRS[2:0], CSIHnCFGx.CSIHnBRSS[1:0], CSIHnBRSy.CSIHnBRS[11:0]

また、CSIHnBRSy.CSIHnBRS[11:0] ビットで設定される 4 種類の転送クロック周波数設定は、チップセレクト信号ごとに、そのいずれかの設定が選択されます。チップセレクト信号ごとの転送クロック周波数設定の選択は、CSIHnCFGx.CSIHnBRSS[1:0] ビットにて行います。

CSIHnCFGx.CSIHnBRSS[1:0] と CSIHnBRSy.CSIHnBRS[11:0] の関係は、以下のとおりです。

CSIHnCFGx. CSIHnBRSS[1:0]	選択される転送クロック周波数設定ビット
00	CSIHnBRS0.CSIHnBRS[11:0]
01	CSIHnBRS1.CSIHnBRS[11:0]
10	CSIHnBRS2.CSIHnBRS[11:0]
11	CSIHnBRS3.CSIHnBRS[11:0]

CSIHnPRS[2:0] ビットの値を α とした場合、CSIHnBRSS[1:0] ビットにて選択された転送クロック周波数設定 (CSIHnBRSy[11:0]) と転送クロック周波数の関係は、以下のとおりです。

CSIHnBRSy[11:0]	転送クロック周波数
0	BRG stopped
1	$PCLK / (2^\alpha \times 1 \times 2)$
2	$PCLK / (2^\alpha \times 2 \times 2)$
3	$PCLK / (2^\alpha \times 3 \times 2)$
4	$PCLK / (2^\alpha \times 4 \times 2)$
...	...
4095	$PCLK / (2^\alpha \times 4095 \times 2)$

スレーブモードで、タイムアウトエラーを使用する場合のクロックは、本設定で設定したクロックが使われます。スレーブモードで使用する際は、CSIHnPRS[2:0] ビットに 111_B を設定しますが、その際のプリスケアラは、CSIHnPRS[2:0] ビットに 000_B を設定した場合と同じ設定になります。タイムアウトエラーを使用する場合は、CSIHnBRSy.CSIHnBRS[11:0] ビットには、000_H 以外の値を設定して使用してください。

注 意

本レジスタの設定では、「表 17.32 レジスタ設定上の注意事項」を参照してください。

17.3.5 CSIHnSTR0 — CSIHn ステータスレジスタ 0

本レジスタは CSIH の状態を示します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <CSIHn_base> + 0004_H

リセット後の値 0000 0010_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHnSRP[7:0]								CSIHnSPF[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHn TMOE	CSIHn OFE	—	—	—	—	—	CSIHn HPST	CSIHn TSF	—	CSIHn FLF	CSIHn EMF	CSIHn DCE	—	CSIHn PE	CSIHn OVE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.18 CSIHnSTR0 レジスタの内容 (1/3)

ビット位置	ビット名	機能										
31 ~ 24	CSIHnSRP[7:0]	<p>FIFO モードで受信データ数を示します。</p> <table border="1"> <thead> <tr> <th>CSIHnSRP[7:0]</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>00_H</td> <td>受信データ数 (0 ~ 128)</td> </tr> <tr> <td>:</td> <td></td> </tr> <tr> <td>80_H</td> <td></td> </tr> <tr> <td>上記以外</td> <td>未定義</td> </tr> </tbody> </table> <p>これらのビットは CSIHnSTCR0.CSIHnPCT によってクリアされます。ダイレクトアクセスモード、デュアルバッファモードまたは送信専用バッファメモリモードでは、この値が 00_H に固定されます。ダイレクトアクセスモードの場合はポインタを持たないため、バッファモードでは、CSIHnMCTL2.CSIHnND[7:0] によってデータの数を管理するため、このビットは 0 に固定されます。</p>	CSIHnSRP[7:0]	説明	00 _H	受信データ数 (0 ~ 128)	:		80 _H		上記以外	未定義
CSIHnSRP[7:0]	説明											
00 _H	受信データ数 (0 ~ 128)											
:												
80 _H												
上記以外	未定義											
23 ~ 16	CSIHnSPF[7:0]	<p>FIFO モードで未送信データの数を示します。 (CPU によって書き込まれたデータの数は送信データ数です)</p> <table border="1"> <thead> <tr> <th>CSIHnSPF[7:0]</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>00_H</td> <td>未送信データパケットの数 (0 ~ 128)</td> </tr> <tr> <td>:</td> <td></td> </tr> <tr> <td>80_H</td> <td></td> </tr> <tr> <td>上記以外</td> <td>未定義</td> </tr> </tbody> </table> <p>これらのビットは CSIHnSTCR0.CSIHnPCT によってクリアされます。ダイレクトアクセスモード、デュアルバッファモードまたは送信専用バッファメモリモードでは、この値が 00_H に固定されます。ダイレクトアクセスモードの場合はポインタを持たないため、バッファモードでは、CSIHnMCTL2.CSIHnND[7:0] によってデータの数を管理するため、このビットは 0 に固定されます。</p>	CSIHnSPF[7:0]	説明	00 _H	未送信データパケットの数 (0 ~ 128)	:		80 _H		上記以外	未定義
CSIHnSPF[7:0]	説明											
00 _H	未送信データパケットの数 (0 ~ 128)											
:												
80 _H												
上記以外	未定義											

表 17.18 CSIHnSTR0 レジスタの内容 (2/3)

ビット位置	ビット名	機能																										
15	CSIHnTMOE	<p>FIFO モード時のタイムアウトエラーフラグ FIFO モード時のタイムアウトエラーが検出されたかどうかを示します。 0: FIFO モード時のタイムアウトエラーが検出されていません。 1: FIFO モード時のタイムアウトエラーが検出されています。 詳細については、「17.5.12.3 タイムアウトエラー」を参照してください。 このビットは CSIHnSTCR0.CSIHnTMOEC によってクリア (0) されます。 タイムアウトエラーの検出によるセット (1) と CSIHnSTCR0.CSIHnTMOEC によるクリア (0) が同時に発生した場合、セット (1) を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。</p>																										
14	CSIHnOFE	<p>FIFO モード時のオーバーフローエラーフラグ FIFO モード時のオーバーフローエラーが検出されたかどうかを示します。 0: FIFO モード時のオーバーフローエラーが検出されていません。 1: FIFO モード時のオーバーフローエラーが検出されています。 詳細については、「17.5.12.4 オーバーフローエラー」を参照してください。 このビットは CSIHnSTCR0.CSIHnOFEC によってクリア (0) されます。 オーバーフローエラーの検出によるセット (1) と CSIHnSTCR0.CSIHnOFEC によるクリア (0) が同時に発生した場合、セット (1) を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。</p>																										
13 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。																										
8	CSIHnHPST	<p>通信優先度確認フラグ 0: 低優先の通信中であることを示します。 1: 高優先の通信中であることを示します。 本ビットは、CPU 制御による高優先通信を無効 (CSIHnCTL1.CSIHnPHE = 0) 設定にしている場合は、常に 0 が読み出されます。</p>																										
7	CSIHnTSF	<p>転送ステータスフラグ 0: アイドル状態 1: 通信中または通信の準備中 このビットがセットまたはクリアされるタイミングを以下に示します。</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2">マスタモード</th> <th colspan="2">セットされるタイミング</th> <th rowspan="2">クリアされるタイミング</th> </tr> <tr> <th>ダイレクトアクセスモード、FIFO モード</th> <th>デュアルバッファモード、送信専用バッファモード</th> </tr> </thead> <tbody> <tr> <td>送信専用モード</td> <td rowspan="3">送信レジスタ (CSIHnTX0W/CSIHnTX0H) への書き込み</td> <td rowspan="3">CSIHnMCTL2.CSIHnBTST ビットのセット</td> <td rowspan="3">最後のシリアルクロックエッジから半クロック以内</td> </tr> <tr> <td>送受信モード</td> </tr> <tr> <td>受信専用モード</td> </tr> </tbody> </table> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2">スレーブモード</th> <th colspan="2">セットされるタイミング</th> <th rowspan="2">クリアされるタイミング</th> </tr> <tr> <th>ダイレクトアクセスモード、FIFO モード</th> <th>デュアルバッファモード、送信専用バッファモード</th> </tr> </thead> <tbody> <tr> <td>送信専用モード</td> <td rowspan="2">送信レジスタ (CSIHnTX0W/CSIHnTX0H) への書き込み</td> <td rowspan="2">CSIHnMCTL2.CSIHnBTST ビットのセット</td> <td rowspan="3">最後のシリアルクロックエッジから半クロック以内</td> </tr> <tr> <td>送受信モード</td> </tr> <tr> <td>受信専用モード</td> <td>CSIHTSCK 入力タイミング</td> <td></td> </tr> </tbody> </table>	マスタモード	セットされるタイミング		クリアされるタイミング	ダイレクトアクセスモード、FIFO モード	デュアルバッファモード、送信専用バッファモード	送信専用モード	送信レジスタ (CSIHnTX0W/CSIHnTX0H) への書き込み	CSIHnMCTL2.CSIHnBTST ビットのセット	最後のシリアルクロックエッジから半クロック以内	送受信モード	受信専用モード	スレーブモード	セットされるタイミング		クリアされるタイミング	ダイレクトアクセスモード、FIFO モード	デュアルバッファモード、送信専用バッファモード	送信専用モード	送信レジスタ (CSIHnTX0W/CSIHnTX0H) への書き込み	CSIHnMCTL2.CSIHnBTST ビットのセット	最後のシリアルクロックエッジから半クロック以内	送受信モード	受信専用モード	CSIHTSCK 入力タイミング	
マスタモード	セットされるタイミング			クリアされるタイミング																								
	ダイレクトアクセスモード、FIFO モード	デュアルバッファモード、送信専用バッファモード																										
送信専用モード	送信レジスタ (CSIHnTX0W/CSIHnTX0H) への書き込み	CSIHnMCTL2.CSIHnBTST ビットのセット	最後のシリアルクロックエッジから半クロック以内																									
送受信モード																												
受信専用モード																												
スレーブモード	セットされるタイミング		クリアされるタイミング																									
	ダイレクトアクセスモード、FIFO モード	デュアルバッファモード、送信専用バッファモード																										
送信専用モード	送信レジスタ (CSIHnTX0W/CSIHnTX0H) への書き込み	CSIHnMCTL2.CSIHnBTST ビットのセット	最後のシリアルクロックエッジから半クロック以内																									
送受信モード																												
受信専用モード	CSIHTSCK 入力タイミング																											
6	予約ビット	リードした場合はリセット後の値が読めます。																										
5	CSIHnFLF	<p>FIFO モード時のバッファフルの状態を示すフラグです。 0: FIFO バッファがフル状態ではありません。 1: FIFO バッファがフル状態です。 このビットは CSIHnSTCR0.CSIHnPCT によってクリア (0) されます。 FIFO バッファは未送信データや受信データでフルになることがあります。</p>																										

表 17.18 CSIHnSTR0 レジスタの内容 (3/3)

ビット位置	ビット名	機能
4	CSIHnEMF	FIFO モード時のバッファエンプティの状態を示すフラグです。 0: FIFO バッファがエンプティ状態ではありません。 1: FIFO バッファがエンプティ状態です。 このビットは CSIHnSTCR0.CSIHnPCT によってセット (1) されます。 このビットは、CSIHnSTR0.CSIHnSRP[7:0] + CSIHnSTR0.CSIHnSPF[7:0] = 00 _H となったときにセット (1) されます。 FIFO バッファは未送信データや受信データでフルになることがあります。
3	CSIHnDCE	データ整合性チェックエラーフラグ 0: データ整合性チェックエラーが検出されていません。 1: データ整合性チェックエラーが検出されています。 このビットは CSIHnSTCR0.CSIHnDCEC に 1 を書き込むことによってクリア (0) されます。 データ整合性チェックエラーの検出によるセット (1) と CSIHnSTCR0.CSIHnDCEC によるクリア (0) が同時に発生した場合、セット (1) を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。
2	予約ビット	リードした場合はリセット後の値が読めます。
1	CSIHnPE	パリティエラーフラグ 0: パリティエラーが検出されていません。 1: パリティエラーが検出されています。 このビットは CSIHnSTCR0.CSIHnPEC に 1 を書き込むことによってクリア (0) されます。 ただし、パリティエラーの検出によるセット (1) と CSIHnSTCR0.CSIHnPEC によるクリア (0) が同時に発生した場合、パリティエラーの検出によるセット (1) を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。
0	CSIHnOVE	オーバランエラーフラグ (デュアルバッファモードでは 0 固定です) 0: オーバランエラーが検出されていません。 1: オーバランエラーが検出されています。 このビットは CSIHnSTCR0.CSIHnOVEC に 1 を書き込むことによってクリア (0) されます。 ただし、オーバランエラーの検出によるセット (1) と CSIHnSTCR0.CSIHnOVEC によるクリア (0) が同時に発生した場合、オーバランエラーの検出によるセット (1) を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。

表 17.19 メモリモードでの動作

ビット名	ビット位置	ダイレクト アクセスモード	FIFO モード	送信専用 バッファモード	デュアル バッファモード
CSIHnSRP[7:0]	31-24	0 固定	受信データ数	0 固定	0 固定
CSIHnSPF[7:0]	23-16	0 固定	未送信データ数	0 固定	0 固定
CSIHnTMOE	15	0 固定	0: エラー未検出 1: エラー検出	0 固定	0 固定
CSIHnOFE	14	0 固定	0: エラー未検出 1: エラー検出	0 固定	0 固定
CSIHnTSF	7	0: アイドル状態 1: 通信中または通信の準備中			
CSIHnFLF	5	0 固定	0: フルでない 1: フル	0 固定	0 固定
CSIHnEMF	4	1 固定	0: エンプティでない 1: エンプティ	1 固定	1 固定
CSIHnDCE	3	0: エラー未検出 1: エラー検出			
CSIHnPE	1	0: エラー未検出 1: エラー検出			
CSIHnOVE	0	0: エラー未検出 1: エラー検出	0: エラー未検出 1: エラー検出	0: エラー未検出 1: エラー検出	0 固定

注 意

本レジスタの設定では、「表 17.32 レジスタ設定上の注意事項」を参照してください。

17.3.6 CSIHnSTCR0 — CSIHn ステータスクリアレジスタ 0

本レジスタは CSIHnSTR0 ステータスレジスタのステータスフラグをクリアします。

アクセス 16 ビット単位でリード/ライト可能です。
読み出すと、常に値 0000_H が返されます。

アドレス <CSIHn_base> + 0008_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnTMOEC	CSIHnOFEC	—	—	—	—	—	CSIHnPCT	—	—	—	—	CSIHnDCEC	—	CSIHnPEC	CSIHnOVEC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R/W	R	R	R	R	R/W	R	R/W	R/W

表 17.20 CSIHnSTCR0 レジスタの内容

ビット位置	ビット名	機能										
15	CSIHnTMOEC	タイムアウトエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に 0 になります。 1: タイムアウトエラーフラグ (CSIHnSTR0.CSIHnTMOE) をクリアします。										
14	CSIHnOFEC	オーバフローエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に 0 になります。 1: オーバフローエラーフラグ (CSIHnSTR0.CSIHnOFE) をクリアします。										
13 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。										
8	CSIHnPCT	FIFO ポインタクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に 0 になります。 1: 次の FIFO バッファポインタ (FIFO モード、デュアルバッファモード、送信専用バッファモード) およびステータスビットをクリアします。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>FIFO バッファポインタ</th> <th>ステータスビット</th> </tr> </thead> <tbody> <tr> <td>CSIHnMRWP0.CSIHnTRWA[6:0]</td> <td>CSIHnSTR0.CSIHnSPF[7:0]</td> </tr> <tr> <td>CSIHnMRWP0.CSIHnRRA[6:0]</td> <td>CSIHnSTR0.CSIHnSRP[7:0]</td> </tr> <tr> <td>CSIHnMCTL2.CSIHnSOP[6:0]</td> <td>CSIHnSTR0.CSIHnFLF</td> </tr> <tr> <td></td> <td>CSIHnSTR0.CSIHnTSF</td> </tr> </tbody> </table> さらに、CSIHnSTR0.CSIHnEMF ビットがセット (1) されます (FIFO エンブティ) (FIFO モード時のみ)。	FIFO バッファポインタ	ステータスビット	CSIHnMRWP0.CSIHnTRWA[6:0]	CSIHnSTR0.CSIHnSPF[7:0]	CSIHnMRWP0.CSIHnRRA[6:0]	CSIHnSTR0.CSIHnSRP[7:0]	CSIHnMCTL2.CSIHnSOP[6:0]	CSIHnSTR0.CSIHnFLF		CSIHnSTR0.CSIHnTSF
FIFO バッファポインタ	ステータスビット											
CSIHnMRWP0.CSIHnTRWA[6:0]	CSIHnSTR0.CSIHnSPF[7:0]											
CSIHnMRWP0.CSIHnRRA[6:0]	CSIHnSTR0.CSIHnSRP[7:0]											
CSIHnMCTL2.CSIHnSOP[6:0]	CSIHnSTR0.CSIHnFLF											
	CSIHnSTR0.CSIHnTSF											
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。										
3	CSIHnDCEC	データ整合性チェックエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に 0 になります。 1: データ整合性チェックエラーフラグ (CSIHnSTR0.CSIHnDCE) をクリアします。										
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。										
1	CSIHnPEC	パリティエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に 0 になります。 1: パリティエラーフラグ (CSIHnSTR0.CSIHnPE) をクリアします。										
0	CSIHnOVEC	オーバランエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に 0 になります。 1: オーバランエラーフラグ (CSIHnSTR0.CSIHnOVE) をクリアします。										

注 意

本レジスタの設定では、「表 17.32 レジスタ設定上の注意事項」を参照してください。

17.3.7 CSIHnMCTL0 — CSIHn メモリ制御レジスタ 0

本レジスタではメモリモードとタイムアウトの設定を選択します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 1040_H

リセット後の値 001F_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CSIHnMMS[1:0]	—	—	—	CSIHnTO[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 17.21 CSIHnMCTL0 レジスタの内容

ビット位置	ビット名	機能															
15 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
9, 8	CSIHnMMS [1:0]	<p>メモリモードを選択します。</p> <table border="1"> <thead> <tr> <th>CSIHnMMS1</th> <th>CSIHnMMS0</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>FIFO モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>デュアルバッファモード</td> </tr> <tr> <td>1</td> <td>0</td> <td>送信専用バッファモード</td> </tr> <tr> <td>1</td> <td>1</td> <td>禁止</td> </tr> </tbody> </table> <p>メモリモードを変更後、CSIHnSTCR0.CSIHnPCT ビットをセット (1) し個々のバッファポインタをクリアしてください。 ダイレクトアクセスモードでは、これらのビットの設定は無視されます。</p>	CSIHnMMS1	CSIHnMMS0	説明	0	0	FIFO モード	0	1	デュアルバッファモード	1	0	送信専用バッファモード	1	1	禁止
CSIHnMMS1	CSIHnMMS0	説明															
0	0	FIFO モード															
0	1	デュアルバッファモード															
1	0	送信専用バッファモード															
1	1	禁止															
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
4 ~ 0	CSIHnTO[4:0]	<p>FIFO モードのタイムアウトの設定を選択します。</p> <table border="1"> <thead> <tr> <th>CSIHnTO[4:0]</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0000_B</td> <td>タイムアウトを検出しません。</td> </tr> <tr> <td>00001_B</td> <td>タイムアウトを (1 × 8 × BRG 出カクロック) にします。</td> </tr> <tr> <td>00010_B</td> <td>タイムアウトを (2 × 8 × BRG 出カクロック) にします。</td> </tr> <tr> <td>...</td> <td></td> </tr> <tr> <td>11111_B</td> <td>タイムアウトを (31 × 8 × BRG 出カクロック) にします。</td> </tr> </tbody> </table> <p>注意</p> <p>タイムアウトの設定は、CSIHnCTL0.CSIHnPWR = 0 のときのみ変更することができます。 CSIHnTO[4:0] ビットは FIFO モード以外 (ダイレクトアクセスモード、デュアルバッファモード、送信専用バッファモード) は 00000_B に設定してください。 タイムアウトの検出の詳細については、「17.5.12.3 タイムアウトエラー」も参照してください。</p>	CSIHnTO[4:0]	説明	0000 _B	タイムアウトを検出しません。	00001 _B	タイムアウトを (1 × 8 × BRG 出カクロック) にします。	00010 _B	タイムアウトを (2 × 8 × BRG 出カクロック) にします。	...		11111 _B	タイムアウトを (31 × 8 × BRG 出カクロック) にします。			
CSIHnTO[4:0]	説明																
0000 _B	タイムアウトを検出しません。																
00001 _B	タイムアウトを (1 × 8 × BRG 出カクロック) にします。																
00010 _B	タイムアウトを (2 × 8 × BRG 出カクロック) にします。																
...																	
11111 _B	タイムアウトを (31 × 8 × BRG 出カクロック) にします。																

注 意

本レジスタの設定では、「表 17.32 レジスタ設定上の注意事項」を参照してください。

17.3.8 CSIHnMCTL1 — CSIHn メモリ制御レジスタ 1

本レジスタでは FIFO モードで割り込み要求 INTCSIHTIC と INTCSIHTIR を発生する条件を選択します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 1000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	CSIHnFES[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CSIHnFFS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.22 CSIHnMCTL1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ~ 16	CSIHnFES [6:0]	FIFO モードで INTCSIHTIC 割り込み（送信データエンプティ）を発生する条件を選択します。 FIFOに残っている未送信の送信データの数（CSIHnSTR0.CSIHnSPF[7:0] ビットで確認）が CSIHnMCTL1.CSIHnFES[6:0] と一致すると、FIFO エンプティフラグ（CSIHnSTR0.CSIHnEMF ビット）がセット（1）され、INTCSIHTIC 割り込み要求が発生します。
15 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 0	CSIHnFFS [6:0]	FIFO モードで INTCSIHTIR 割り込み（受信データフル）を発生する条件を選択します。 FIFOに残っている受信データの数が（CSIHnSTR0.CSIHnSRP[7:0] ビットで確認）（128-CSIHnMCTL1.CSIHnFFS[6:0]）と一致すると、INTCSIHTIR 割り込み要求が発生します。

注 意

本レジスタの設定では、「表 17.32 レジスタ設定上の注意事項」を参照してください。

17.3.9 CSIHnMCTL2 — CSIHn メモリ制御レジスタ 2

本レジスタでは、デュアルバッファモードまたは送信専用バッファモードのときにメモリの動作を制御し、通信の開始をトリガします。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 1004_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHn BTST	—	—	—	—	—	—	—	CSIHnND[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CSIHnSOP[6:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.23 CSIHnMCTL2 レジスタの内容 (1/2)

ビット位置	ビット名	機能																																																		
31	CSIHnBTST	<p>バッファ転送の開始トリガを供給します。</p> <p>0: 何も操作を行いません。</p> <p>1: 転送開始コマンドを発行します。</p> <p>読み出し値は常に0になります。</p> <p>注意</p> <p>このビットはデュアルバッファモードおよび送信専用バッファモードでのみ使用できます。</p>																																																		
30 ~ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																																		
23 ~ 16	CSIHnND[7:0]	<p>各メモリモードにおけるデータの数を指定します。</p> <p>リード値は残りの通信データ数を表します。</p> <table border="1"> <thead> <tr> <th>CSIHnND[7:0]</th> <th>デュアルバッファモード</th> <th>送信専用バッファモード</th> <th>FIFOモード</th> <th>ダイレクトアクセスモード</th> </tr> </thead> <tbody> <tr> <td>00_H</td> <td>0個のデータを送信</td> <td>0個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>01_H</td> <td>1個のデータを送信</td> <td>1個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>3F_H</td> <td>63個のデータを送信</td> <td>63個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>40_H</td> <td>64個のデータを送信</td> <td>64個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>禁止</td> <td>...</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>7F_H</td> <td>禁止</td> <td>127個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>80_H</td> <td>禁止</td> <td>128個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>上記以外</td> <td colspan="4">設定禁止</td> </tr> </tbody> </table> <p>データ転送後、値は自動的にデクリメントされます（ダイレクトアクセスモードではデクリメントされません）。</p>	CSIHnND[7:0]	デュアルバッファモード	送信専用バッファモード	FIFOモード	ダイレクトアクセスモード	00 _H	0個のデータを送信	0個のデータを送信	影響なし	影響なし	01 _H	1個のデータを送信	1個のデータを送信	影響なし	影響なし	影響なし	影響なし	3F _H	63個のデータを送信	63個のデータを送信	影響なし	影響なし	40 _H	64個のデータを送信	64個のデータを送信	影響なし	影響なし	...	禁止	...	影響なし	影響なし	7F _H	禁止	127個のデータを送信	影響なし	影響なし	80 _H	禁止	128個のデータを送信	影響なし	影響なし	上記以外	設定禁止			
CSIHnND[7:0]	デュアルバッファモード	送信専用バッファモード	FIFOモード	ダイレクトアクセスモード																																																
00 _H	0個のデータを送信	0個のデータを送信	影響なし	影響なし																																																
01 _H	1個のデータを送信	1個のデータを送信	影響なし	影響なし																																																
...	影響なし	影響なし																																																
3F _H	63個のデータを送信	63個のデータを送信	影響なし	影響なし																																																
40 _H	64個のデータを送信	64個のデータを送信	影響なし	影響なし																																																
...	禁止	...	影響なし	影響なし																																																
7F _H	禁止	127個のデータを送信	影響なし	影響なし																																																
80 _H	禁止	128個のデータを送信	影響なし	影響なし																																																
上記以外	設定禁止																																																			
15 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																																		

表 17.23 CSIHnMCTL2 レジスタの内容 (2/2)

ビット位置	ビット名	機能																																								
6 ~ 0	CSIHnSOP [6:0]	<p>送信データのポインタを選択します。 CSIHnCTL0.CSIHnPWR = 0、または CSIHnSTCR0.CSIHnPCT = 1 に設定して 通信を強制的に停止すると、これらのビットはハードウェアによってクリアされ ます。 FIFO モードでは、これらのビットは送信アドレスを示します。</p> <table border="1"> <thead> <tr> <th>CSIHn SOP[6:0]</th> <th>デュアル バッファモード</th> <th>送信専用 バッファモード</th> <th>FIFO モード</th> <th>ダイレクト アクセスモード</th> </tr> </thead> <tbody> <tr> <td>00_H</td> <td>0000_H</td> <td>0000_H</td> <td>0000_H</td> <td>影響なし</td> </tr> <tr> <td>01_H</td> <td>0004_H</td> <td>0004_H</td> <td>0004_H</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>影響なし</td> </tr> <tr> <td>3F_H</td> <td>00FC_H</td> <td>00FC_H</td> <td>00FC_H</td> <td>影響なし</td> </tr> <tr> <td>40_H</td> <td>禁止</td> <td>0100_H</td> <td>0100_H</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>禁止</td> <td>...</td> <td>...</td> <td>影響なし</td> </tr> <tr> <td>7F_H</td> <td>禁止</td> <td>01FC_H</td> <td>01FC_H</td> <td>影響なし</td> </tr> </tbody> </table> <p>注意 ダイレクトアクセスモードではこれらのビットはインクリメントされません。</p>	CSIHn SOP[6:0]	デュアル バッファモード	送信専用 バッファモード	FIFO モード	ダイレクト アクセスモード	00 _H	0000 _H	0000 _H	0000 _H	影響なし	01 _H	0004 _H	0004 _H	0004 _H	影響なし	影響なし	3F _H	00FC _H	00FC _H	00FC _H	影響なし	40 _H	禁止	0100 _H	0100 _H	影響なし	...	禁止	影響なし	7F _H	禁止	01FC _H	01FC _H	影響なし
CSIHn SOP[6:0]	デュアル バッファモード	送信専用 バッファモード	FIFO モード	ダイレクト アクセスモード																																						
00 _H	0000 _H	0000 _H	0000 _H	影響なし																																						
01 _H	0004 _H	0004 _H	0004 _H	影響なし																																						
...	影響なし																																						
3F _H	00FC _H	00FC _H	00FC _H	影響なし																																						
40 _H	禁止	0100 _H	0100 _H	影響なし																																						
...	禁止	影響なし																																						
7F _H	禁止	01FC _H	01FC _H	影響なし																																						

注 意

本レジスタの設定では、「表 17.32 レジスタ設定上の注意事項」を参照してください。

17.3.10 CSIHnMRWP0 — CSIHn メモリ読み出し/書き込みポインタレジスタ 0

本レジスタではデュアルバッファまたは送信専用バッファの読み出しポインタと書き込みポインタを設定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 1018_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	CSIHnRRA[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CSIHnTRWA[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.24 CSIHnMRWP0 レジスタの内容 (1/2)

ビット位置	ビット名	機能																																								
31 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																								
22 ~ 16	CSIHnRRA [6:0]	<p>受信バッファの読み出しポインタを選択します。</p> <table border="1"> <thead> <tr> <th>CSIHnRRA[6:0]</th> <th>デュアルバッファモード</th> <th>送信専用バッファモード</th> <th>FIFOモード</th> <th>ダイレクトアクセスモード</th> </tr> </thead> <tbody> <tr> <td>00_H</td> <td>0000_H</td> <td>影響なし</td> <td>0000_H</td> <td>影響なし</td> </tr> <tr> <td>01_H</td> <td>0004_H</td> <td>影響なし</td> <td>0004_H</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>...</td> <td>影響なし</td> <td>...</td> <td>影響なし</td> </tr> <tr> <td>3F_H</td> <td>00FC_H</td> <td>影響なし</td> <td>00FC_H</td> <td>影響なし</td> </tr> <tr> <td>40_H</td> <td>禁止</td> <td>影響なし</td> <td>0100_H</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>禁止</td> <td>影響なし</td> <td>...</td> <td>影響なし</td> </tr> <tr> <td>7F_H</td> <td>禁止</td> <td>影響なし</td> <td>01FC_H</td> <td>影響なし</td> </tr> </tbody> </table> <p>受信データが読み出されると、これらのビットは自動的にインクリメントされません。 CSIHnRX0W または CSIHnRX0H レジスタの読み出し中にオーバランエラーが発生した場合、読み出しポインタはインクリメントされません。 CSIHnSTCR0.CSIHnPCT がセット (1) されると、これらのビットはクリアされます。 ダイレクトアクセスモード、送信専用バッファモードではこれらのビットはインクリメントされません。 送信専用バッファモードでライトアクセスしたい場合、これらのビットには 00_H を設定してください。 FIFO モードでは、これらのビットは受信データの読み出しアドレスを示します。</p>	CSIHnRRA[6:0]	デュアルバッファモード	送信専用バッファモード	FIFOモード	ダイレクトアクセスモード	00 _H	0000 _H	影響なし	0000 _H	影響なし	01 _H	0004 _H	影響なし	0004 _H	影響なし	影響なし	...	影響なし	3F _H	00FC _H	影響なし	00FC _H	影響なし	40 _H	禁止	影響なし	0100 _H	影響なし	...	禁止	影響なし	...	影響なし	7F _H	禁止	影響なし	01FC _H	影響なし
CSIHnRRA[6:0]	デュアルバッファモード	送信専用バッファモード	FIFOモード	ダイレクトアクセスモード																																						
00 _H	0000 _H	影響なし	0000 _H	影響なし																																						
01 _H	0004 _H	影響なし	0004 _H	影響なし																																						
...	...	影響なし	...	影響なし																																						
3F _H	00FC _H	影響なし	00FC _H	影響なし																																						
40 _H	禁止	影響なし	0100 _H	影響なし																																						
...	禁止	影響なし	...	影響なし																																						
7F _H	禁止	影響なし	01FC _H	影響なし																																						
15 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																								

表 17.24 CSIHnMRWP0 レジスタの内容 (2/2)

ビット位置	ビット名	機能				
6 ~ 0	CSIHnTRWA [6:0]	送信バッファの読み出し/書き込みポイントを選択します。				
		CSIHn TRWA[6:0]	デュアル バッファモード	送信専用 バッファモード	FIFO モード	ダイレクト アクセスモード
		00 _H	0000 _H	0000 _H	0000 _H	影響なし
		01 _H	0004 _H	0004 _H	0004 _H	影響なし
		影響なし
		3F _H	00FC _H	00FC _H	00FC _H	影響なし
		40 _H	禁止	0100 _H	0100 _H	影響なし
		...	禁止	影響なし
		7F _H	禁止	01FC _H	01FC _H	影響なし
		送信データが書き込まれるか、読み出されると、これらのビットは自動的にインクリメントされます。 CSIHnSTCR0.CSIHnPCT がセット (1) されると、これらのビットはクリアされます。 ダイレクトアクセスモードではこれらのビットはインクリメントされません。 FIFO モードでは、これらのビットは送信データの読み出し/書き込みアドレスを示します。				

注 意

本レジスタの設定では、「表 17.32 レジスタ設定上の注意事項」を参照してください。

17.3.11 CSIHnCFGx — CSIHn コンフィグレーションレジスタ x

これら 8 個のレジスタでは、各チップセレクト信号 CSIHnCSSx のプリスケアラ、パリティ、データ長、ブロードキャスト用のリセッパの設定、シリアルデータ方向、クロック位相とデータ位相、強制アイドル状態の設定、アイドル時間、ホールド時間、データ間時間、セットアップ時間を指定します。

スレーブモード

スレーブモードでは、CSIHnCFG0 レジスタによる送信プロトコルの設定が有効になります。

- CSIHnPSx[1:0] : パリティの使用法
- CSIHnDLSx[3:0] : データ長の選択
- CSIHnDIRx : データ方向
- CSIHnCKPx、CSIHnDAPx : クロック位相とデータ位相

スレーブモードでは CSIHnCFG0 レジスタの上記以外のビットおよび CSIHnCFG1 ~ CSIHnCFG7 レジスタには 0 を設定してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス CSIHnCFG0 : <CSIHn_base> + 1044_H
 CSIHnCFG1 : <CSIHn_base> + 1048_H
 CSIHnCFG2 : <CSIHn_base> + 104C_H
 CSIHnCFG3 : <CSIHn_base> + 1050_H
 CSIHnCFG4 : <CSIHn_base> + 1054_H
 CSIHnCFG5 : <CSIHn_base> + 1058_H
 CSIHnCFG6 : <CSIHn_base> + 105C_H
 CSIHnCFG7 : <CSIHn_base> + 1060_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	CSIHn BRSSx[1:0]		CSIHn PSx[1:0]		CSIHnDLSx[3:0]				—	—	—	—	CSIHn RCBx	CSIHn DIRx	CSIHn CKPx	CSIHn DAPx	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	CSIHn IDLx	CSIHnIDx[2:0]			CSIHnHDx[3:0]			CSIHnINx[3:0]			CSIHnSPx[3:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

表 17.25 CSIHnCFGx レジスタの内容 (1/5)

ビット位置	ビット名	機能															
31、30	CSIHnBRSSx [1:0]	<p>ポーレート設定レジスタ (CSIHnBRSSy) を選択するビットです。</p> <table border="1"> <thead> <tr> <th>CSIHn BRSSx1</th> <th>CSIHn BRSSx0</th> <th>ポーレート設定レジスタの選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CSIHnBRS0 の設定に従い転送クロック周波数を設定します。</td> </tr> <tr> <td>0</td> <td>1</td> <td>CSIHnBRS1 の設定に従い転送クロック周波数を設定します。</td> </tr> <tr> <td>1</td> <td>0</td> <td>CSIHnBRS2 の設定に従い転送クロック周波数を設定します。</td> </tr> <tr> <td>1</td> <td>1</td> <td>CSIHnBRS3 の設定に従い転送クロック周波数を設定します。</td> </tr> </tbody> </table> <p>転送クロック周波数設定の最大値は、CSIHnCTL2.CSIHnPRS[2:0] 設定と合わせて、以下のとおりとしてください。 マスタモード : PCLK/4, スレーブモード : PCLK/16</p>	CSIHn BRSSx1	CSIHn BRSSx0	ポーレート設定レジスタの選択	0	0	CSIHnBRS0 の設定に従い転送クロック周波数を設定します。	0	1	CSIHnBRS1 の設定に従い転送クロック周波数を設定します。	1	0	CSIHnBRS2 の設定に従い転送クロック周波数を設定します。	1	1	CSIHnBRS3 の設定に従い転送クロック周波数を設定します。
CSIHn BRSSx1	CSIHn BRSSx0	ポーレート設定レジスタの選択															
0	0	CSIHnBRS0 の設定に従い転送クロック周波数を設定します。															
0	1	CSIHnBRS1 の設定に従い転送クロック周波数を設定します。															
1	0	CSIHnBRS2 の設定に従い転送クロック周波数を設定します。															
1	1	CSIHnBRS3 の設定に従い転送クロック周波数を設定します。															

表 17.25 CSIHnCFGx レジスタの内容 (2/5)

ビット位置	ビット名	機能																				
29、28	CSIHnPSx[1:0]	<p>チップセレクト信号 x の送信用と受信用のパリティを選択します。</p> <table border="1"> <thead> <tr> <th>CSIHn PSx1</th> <th>CSIHn PSx0</th> <th>送信</th> <th>受信</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パリティを送信しません。</td> <td>パリティの受信を待機しません。</td> </tr> <tr> <td>0</td> <td>1</td> <td>0に固定されたパリティビットを追加します。</td> <td>パリティビットの受信を待機しますが、パリティの判定は行いません。</td> </tr> <tr> <td>1</td> <td>0</td> <td>奇数パリティを追加します。</td> <td>奇数パリティビットの受信を待機します。</td> </tr> <tr> <td>1</td> <td>1</td> <td>偶数パリティを追加します。</td> <td>偶数パリティビットの受信を待機します。</td> </tr> </tbody> </table>	CSIHn PSx1	CSIHn PSx0	送信	受信	0	0	パリティを送信しません。	パリティの受信を待機しません。	0	1	0に固定されたパリティビットを追加します。	パリティビットの受信を待機しますが、パリティの判定は行いません。	1	0	奇数パリティを追加します。	奇数パリティビットの受信を待機します。	1	1	偶数パリティを追加します。	偶数パリティビットの受信を待機します。
CSIHn PSx1	CSIHn PSx0	送信	受信																			
0	0	パリティを送信しません。	パリティの受信を待機しません。																			
0	1	0に固定されたパリティビットを追加します。	パリティビットの受信を待機しますが、パリティの判定は行いません。																			
1	0	奇数パリティを追加します。	奇数パリティビットの受信を待機します。																			
1	1	偶数パリティを追加します。	偶数パリティビットの受信を待機します。																			
27 ~ 24	CSIHnDLSx [3:0]	<p>チップセレクト信号 x のデータ長を選択します。</p> <table border="1"> <thead> <tr> <th>CSIHn DLSx[3:0]</th> <th>データ長</th> </tr> </thead> <tbody> <tr> <td>0000_B</td> <td>16 ビット</td> </tr> <tr> <td>0001_B</td> <td>1 ビット</td> </tr> <tr> <td>0010_B</td> <td>2 ビット</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>1111_B</td> <td>15 ビット</td> </tr> </tbody> </table> <p>注意</p> <p>CSIHnTX0W.CSIHnEDL = 1 のとき、このビットの設定は意味を持ちません。 (データ長は 16 ビット) CSIHnTX0W.CSIHnEDL = 0 のとき、このビットの設定が有効になります。1 つ前の送信データが CSIHnEDL = 1 設定の 16 ビットである時だけ、1 ビットを設定することが可能です。</p>	CSIHn DLSx[3:0]	データ長	0000 _B	16 ビット	0001 _B	1 ビット	0010 _B	2 ビット	1111 _B	15 ビット								
CSIHn DLSx[3:0]	データ長																					
0000 _B	16 ビット																					
0001 _B	1 ビット																					
0010 _B	2 ビット																					
...	...																					
1111 _B	15 ビット																					
23 ~ 20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																				
19	CSIHnRCBx	<p>チップセレクト信号 x のブロードキャストのリセツプ設定を選択します。</p> <p>0 : ドミナント (高優先度) 1 : リセツプ (低優先度)</p> <p>詳細については、「17.5.3.1 コンフィグレーションレジスタ」を参照してください。</p>																				
18	CSIHnDIRx	<p>チップセレクト信号 x のシリアルデータ方向を選択します。</p> <p>0 : MSB ファーストでデータを送受信します。 1 : LSB ファーストでデータを送受信します。</p> <p>詳細については、「17.5.9 シリアルデータ方向選択機能」を参照してください。</p>																				

表 17.25 CSIHnCFGx レジスタの内容 (3/5)

ビット位置	ビット名	機能																											
17	CSIHnCKPx	CSIHnCKPx : クロック位相選択ビット																											
16	CSIHnDAPx	CSIHnDAPx : データ位相選択ビット <ul style="list-style-type: none"> CSIHnCTL1.CSIHnCKR = 0 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>CSIHnCKPx</th> <th>CSIHnDAPx</th> <th>クロック位相とデータ位相の選択</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td> </td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td> </td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td> </td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td> </td> </tr> </tbody> </table> <ul style="list-style-type: none"> CSIHnCTL1.CSIHnCKR = 1 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>CSIHnCKPx</th> <th>CSIHnDAPx</th> <th>クロック位相とデータ位相の選択</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td> </td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td> </td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">×</td> <td>設定禁止</td> </tr> </tbody> </table>	CSIHnCKPx	CSIHnDAPx	クロック位相とデータ位相の選択	0	0		0	1		1	0		1	1		CSIHnCKPx	CSIHnDAPx	クロック位相とデータ位相の選択	0	0		0	1		1	×	設定禁止
CSIHnCKPx	CSIHnDAPx	クロック位相とデータ位相の選択																											
0	0																												
0	1																												
1	0																												
1	1																												
CSIHnCKPx	CSIHnDAPx	クロック位相とデータ位相の選択																											
0	0																												
0	1																												
1	×	設定禁止																											
15	CSIHnIDLx	<p>チップセレクト信号 x の強制アイドル状態の設定を選択します。</p> <p>0 : 連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定が違うならば、2 つの転送の間に必ずアイドル状態が入ります。連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定が同じならば、2 つの転送の間にアイドル状態はありません。</p> <p>1 : 連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定に関係なく、2 つの転送の間にアイドル状態が入ります。</p> <p>このビットはマスタモードでのみ利用できます。 強制アイドル状態については「17.5.15 強制 CS アイドル設定」を参照してください。</p>																											

表 17.25 CSIHnCFGx レジスタの内容 (4/5)

ビット位置	ビット名	機能																																																			
14 ~ 12	CSIHnIDx[2:0]	<p>チップセレクト信号 x のアイドル時間を選択します。</p> <table border="1"> <thead> <tr> <th>CSIHn IDx[2:0]</th> <th>アイドル時間</th> </tr> </thead> <tbody> <tr><td>000_B</td><td>0.5 送信クロック周期</td></tr> <tr><td>001_B</td><td>1.0 送信クロック周期</td></tr> <tr><td>010_B</td><td>1.5 送信クロック周期</td></tr> <tr><td>011_B</td><td>2.5 送信クロック周期</td></tr> <tr><td>100_B</td><td>3.5 送信クロック周期</td></tr> <tr><td>101_B</td><td>4.5 送信クロック周期</td></tr> <tr><td>110_B</td><td>6.5 送信クロック周期</td></tr> <tr><td>111_B</td><td>8.5 送信クロック周期</td></tr> </tbody> </table> <p>これらのビットはマスタモードでのみ利用可能です。</p>	CSIHn IDx[2:0]	アイドル時間	000 _B	0.5 送信クロック周期	001 _B	1.0 送信クロック周期	010 _B	1.5 送信クロック周期	011 _B	2.5 送信クロック周期	100 _B	3.5 送信クロック周期	101 _B	4.5 送信クロック周期	110 _B	6.5 送信クロック周期	111 _B	8.5 送信クロック周期																																	
CSIHn IDx[2:0]	アイドル時間																																																				
000 _B	0.5 送信クロック周期																																																				
001 _B	1.0 送信クロック周期																																																				
010 _B	1.5 送信クロック周期																																																				
011 _B	2.5 送信クロック周期																																																				
100 _B	3.5 送信クロック周期																																																				
101 _B	4.5 送信クロック周期																																																				
110 _B	6.5 送信クロック周期																																																				
111 _B	8.5 送信クロック周期																																																				
11 ~ 8	CSIHnHDx [3:0]	<p>チップセレクト信号 x のホールド時間を送信クロック周期単位で指定します。</p> <table border="1"> <thead> <tr> <th>CSIHn HDx[3:0]</th> <th>CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間</th> <th>CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>0.5 送信クロック周期</td><td>1.0 送信クロック周期</td></tr> <tr><td>0001_B</td><td>1.0 送信クロック周期</td><td>1.5 送信クロック周期</td></tr> <tr><td>0010_B</td><td>1.5 送信クロック周期</td><td>2.0 送信クロック周期</td></tr> <tr><td>0011_B</td><td>2.5 送信クロック周期</td><td>3.0 送信クロック周期</td></tr> <tr><td>0100_B</td><td>3.5 送信クロック周期</td><td>4.0 送信クロック周期</td></tr> <tr><td>0101_B</td><td>4.5 送信クロック周期</td><td>5.0 送信クロック周期</td></tr> <tr><td>0110_B</td><td>6.5 送信クロック周期</td><td>7.0 送信クロック周期</td></tr> <tr><td>0111_B</td><td>8.5 送信クロック周期</td><td>9.0 送信クロック周期</td></tr> <tr><td>1000_B</td><td>9.5 送信クロック周期</td><td>10.0 送信クロック周期</td></tr> <tr><td>1001_B</td><td>10.5 送信クロック周期</td><td>11.0 送信クロック周期</td></tr> <tr><td>1010_B</td><td>11.5 送信クロック周期</td><td>12.0 送信クロック周期</td></tr> <tr><td>1011_B</td><td>12.5 送信クロック周期</td><td>13.0 送信クロック周期</td></tr> <tr><td>1100_B</td><td>14.5 送信クロック周期</td><td>15.0 送信クロック周期</td></tr> <tr><td>1101_B</td><td>16.5 送信クロック周期</td><td>17.0 送信クロック周期</td></tr> <tr><td>1110_B</td><td>18.5 送信クロック周期</td><td>19.0 送信クロック周期</td></tr> <tr><td>1111_B</td><td>20.5 送信クロック周期</td><td>21.0 送信クロック周期</td></tr> </tbody> </table> <p>これらのビットはマスタモードでのみ利用可能です。</p>	CSIHn HDx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間	CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間	0000 _B	0.5 送信クロック周期	1.0 送信クロック周期	0001 _B	1.0 送信クロック周期	1.5 送信クロック周期	0010 _B	1.5 送信クロック周期	2.0 送信クロック周期	0011 _B	2.5 送信クロック周期	3.0 送信クロック周期	0100 _B	3.5 送信クロック周期	4.0 送信クロック周期	0101 _B	4.5 送信クロック周期	5.0 送信クロック周期	0110 _B	6.5 送信クロック周期	7.0 送信クロック周期	0111 _B	8.5 送信クロック周期	9.0 送信クロック周期	1000 _B	9.5 送信クロック周期	10.0 送信クロック周期	1001 _B	10.5 送信クロック周期	11.0 送信クロック周期	1010 _B	11.5 送信クロック周期	12.0 送信クロック周期	1011 _B	12.5 送信クロック周期	13.0 送信クロック周期	1100 _B	14.5 送信クロック周期	15.0 送信クロック周期	1101 _B	16.5 送信クロック周期	17.0 送信クロック周期	1110 _B	18.5 送信クロック周期	19.0 送信クロック周期	1111 _B	20.5 送信クロック周期	21.0 送信クロック周期
CSIHn HDx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間	CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間																																																			
0000 _B	0.5 送信クロック周期	1.0 送信クロック周期																																																			
0001 _B	1.0 送信クロック周期	1.5 送信クロック周期																																																			
0010 _B	1.5 送信クロック周期	2.0 送信クロック周期																																																			
0011 _B	2.5 送信クロック周期	3.0 送信クロック周期																																																			
0100 _B	3.5 送信クロック周期	4.0 送信クロック周期																																																			
0101 _B	4.5 送信クロック周期	5.0 送信クロック周期																																																			
0110 _B	6.5 送信クロック周期	7.0 送信クロック周期																																																			
0111 _B	8.5 送信クロック周期	9.0 送信クロック周期																																																			
1000 _B	9.5 送信クロック周期	10.0 送信クロック周期																																																			
1001 _B	10.5 送信クロック周期	11.0 送信クロック周期																																																			
1010 _B	11.5 送信クロック周期	12.0 送信クロック周期																																																			
1011 _B	12.5 送信クロック周期	13.0 送信クロック周期																																																			
1100 _B	14.5 送信クロック周期	15.0 送信クロック周期																																																			
1101 _B	16.5 送信クロック周期	17.0 送信クロック周期																																																			
1110 _B	18.5 送信クロック周期	19.0 送信クロック周期																																																			
1111 _B	20.5 送信クロック周期	21.0 送信クロック周期																																																			

表 17.25 CSIHnCFGx レジスタの内容 (5/5)

ビット位置	ビット名	機能																																																			
7 ~ 4	CSIHnINx[3:0]	チップセレクト信号 x のデータ間時間を送信クロック周期単位で指定します。 <table border="1"> <thead> <tr> <th>CSIHnINx[3:0]</th> <th>CSIHnCTL1.CSIHnSIT = 0 のときのデータ間時間</th> <th>CSIHnCTL1.CSIHnSIT = 1 のときのデータ間時間</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>0.0 送信クロック周期</td><td>0.5 送信クロック周期</td></tr> <tr><td>0001_B</td><td>0.5 送信クロック周期</td><td>1.0 送信クロック周期</td></tr> <tr><td>0010_B</td><td>1.0 送信クロック周期</td><td>1.5 送信クロック周期</td></tr> <tr><td>0011_B</td><td>2.0 送信クロック周期</td><td>2.5 送信クロック周期</td></tr> <tr><td>0100_B</td><td>3.0 送信クロック周期</td><td>3.5 送信クロック周期</td></tr> <tr><td>0101_B</td><td>4.0 送信クロック周期</td><td>4.5 送信クロック周期</td></tr> <tr><td>0110_B</td><td>6.0 送信クロック周期</td><td>6.5 送信クロック周期</td></tr> <tr><td>0111_B</td><td>8.0 送信クロック周期</td><td>8.5 送信クロック周期</td></tr> <tr><td>1000_B</td><td>9.0 送信クロック周期</td><td>9.5 送信クロック周期</td></tr> <tr><td>1001_B</td><td>10.0 送信クロック周期</td><td>10.5 送信クロック周期</td></tr> <tr><td>1010_B</td><td>11.0 送信クロック周期</td><td>11.5 送信クロック周期</td></tr> <tr><td>1011_B</td><td>12.0 送信クロック周期</td><td>12.5 送信クロック周期</td></tr> <tr><td>1100_B</td><td>14.0 送信クロック周期</td><td>14.5 送信クロック周期</td></tr> <tr><td>1101_B</td><td>16.0 送信クロック周期</td><td>16.5 送信クロック周期</td></tr> <tr><td>1110_B</td><td>18.0 送信クロック周期</td><td>18.5 送信クロック周期</td></tr> <tr><td>1111_B</td><td>20.0 送信クロック周期</td><td>20.5 送信クロック周期</td></tr> </tbody> </table> <p>これらのビットはマスタモードでのみ利用可能です。</p>	CSIHnINx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのデータ間時間	CSIHnCTL1.CSIHnSIT = 1 のときのデータ間時間	0000 _B	0.0 送信クロック周期	0.5 送信クロック周期	0001 _B	0.5 送信クロック周期	1.0 送信クロック周期	0010 _B	1.0 送信クロック周期	1.5 送信クロック周期	0011 _B	2.0 送信クロック周期	2.5 送信クロック周期	0100 _B	3.0 送信クロック周期	3.5 送信クロック周期	0101 _B	4.0 送信クロック周期	4.5 送信クロック周期	0110 _B	6.0 送信クロック周期	6.5 送信クロック周期	0111 _B	8.0 送信クロック周期	8.5 送信クロック周期	1000 _B	9.0 送信クロック周期	9.5 送信クロック周期	1001 _B	10.0 送信クロック周期	10.5 送信クロック周期	1010 _B	11.0 送信クロック周期	11.5 送信クロック周期	1011 _B	12.0 送信クロック周期	12.5 送信クロック周期	1100 _B	14.0 送信クロック周期	14.5 送信クロック周期	1101 _B	16.0 送信クロック周期	16.5 送信クロック周期	1110 _B	18.0 送信クロック周期	18.5 送信クロック周期	1111 _B	20.0 送信クロック周期	20.5 送信クロック周期
CSIHnINx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのデータ間時間	CSIHnCTL1.CSIHnSIT = 1 のときのデータ間時間																																																			
0000 _B	0.0 送信クロック周期	0.5 送信クロック周期																																																			
0001 _B	0.5 送信クロック周期	1.0 送信クロック周期																																																			
0010 _B	1.0 送信クロック周期	1.5 送信クロック周期																																																			
0011 _B	2.0 送信クロック周期	2.5 送信クロック周期																																																			
0100 _B	3.0 送信クロック周期	3.5 送信クロック周期																																																			
0101 _B	4.0 送信クロック周期	4.5 送信クロック周期																																																			
0110 _B	6.0 送信クロック周期	6.5 送信クロック周期																																																			
0111 _B	8.0 送信クロック周期	8.5 送信クロック周期																																																			
1000 _B	9.0 送信クロック周期	9.5 送信クロック周期																																																			
1001 _B	10.0 送信クロック周期	10.5 送信クロック周期																																																			
1010 _B	11.0 送信クロック周期	11.5 送信クロック周期																																																			
1011 _B	12.0 送信クロック周期	12.5 送信クロック周期																																																			
1100 _B	14.0 送信クロック周期	14.5 送信クロック周期																																																			
1101 _B	16.0 送信クロック周期	16.5 送信クロック周期																																																			
1110 _B	18.0 送信クロック周期	18.5 送信クロック周期																																																			
1111 _B	20.0 送信クロック周期	20.5 送信クロック周期																																																			
3 ~ 0	CSIHnSPx[3:0]	チップセレクト信号 x のセットアップ時間を送信クロック周期単位で指定します。 <table border="1"> <thead> <tr> <th>CSIHnSPx[3:0]</th> <th>セットアップ時間</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>0.5 送信クロック周期</td></tr> <tr><td>0001_B</td><td>1.0 送信クロック周期</td></tr> <tr><td>0010_B</td><td>1.5 送信クロック周期</td></tr> <tr><td>0011_B</td><td>2.5 送信クロック周期</td></tr> <tr><td>0100_B</td><td>3.5 送信クロック周期</td></tr> <tr><td>0101_B</td><td>4.5 送信クロック周期</td></tr> <tr><td>0110_B</td><td>6.5 送信クロック周期</td></tr> <tr><td>0111_B</td><td>8.5 送信クロック周期</td></tr> <tr><td>1000_B</td><td>9.5 送信クロック周期</td></tr> <tr><td>1001_B</td><td>10.5 送信クロック周期</td></tr> <tr><td>1010_B</td><td>11.5 送信クロック周期</td></tr> <tr><td>1011_B</td><td>12.5 送信クロック周期</td></tr> <tr><td>1100_B</td><td>14.5 送信クロック周期</td></tr> <tr><td>1101_B</td><td>16.5 送信クロック周期</td></tr> <tr><td>1110_B</td><td>18.5 送信クロック周期</td></tr> <tr><td>1111_B</td><td>20.5 送信クロック周期</td></tr> </tbody> </table> <p>これらのビットはマスタモードでのみ利用可能です。</p>	CSIHnSPx[3:0]	セットアップ時間	0000 _B	0.5 送信クロック周期	0001 _B	1.0 送信クロック周期	0010 _B	1.5 送信クロック周期	0011 _B	2.5 送信クロック周期	0100 _B	3.5 送信クロック周期	0101 _B	4.5 送信クロック周期	0110 _B	6.5 送信クロック周期	0111 _B	8.5 送信クロック周期	1000 _B	9.5 送信クロック周期	1001 _B	10.5 送信クロック周期	1010 _B	11.5 送信クロック周期	1011 _B	12.5 送信クロック周期	1100 _B	14.5 送信クロック周期	1101 _B	16.5 送信クロック周期	1110 _B	18.5 送信クロック周期	1111 _B	20.5 送信クロック周期																	
CSIHnSPx[3:0]	セットアップ時間																																																				
0000 _B	0.5 送信クロック周期																																																				
0001 _B	1.0 送信クロック周期																																																				
0010 _B	1.5 送信クロック周期																																																				
0011 _B	2.5 送信クロック周期																																																				
0100 _B	3.5 送信クロック周期																																																				
0101 _B	4.5 送信クロック周期																																																				
0110 _B	6.5 送信クロック周期																																																				
0111 _B	8.5 送信クロック周期																																																				
1000 _B	9.5 送信クロック周期																																																				
1001 _B	10.5 送信クロック周期																																																				
1010 _B	11.5 送信クロック周期																																																				
1011 _B	12.5 送信クロック周期																																																				
1100 _B	14.5 送信クロック周期																																																				
1101 _B	16.5 送信クロック周期																																																				
1110 _B	18.5 送信クロック周期																																																				
1111 _B	20.5 送信クロック周期																																																				

注 意

本レジスタの設定では、「表 17.32 レジスタ設定上の注意事項」を参照してください。

17.3.12 CSIHnTX0W — CSIHn ワードアクセス用送信データレジスタ 0

本レジスタは送信データを保存します。さらに、通信割り込み要求、エンドオブジョブ、拡張データ長、チップセレクトアクティブ化を指定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 1008_H

リセット後の値 X0XX XXXX_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHn CIRE	CSIHn EOJ	CSIHn EDL	—	—	—	—	—	CSIHnC S7	CSIHnC S6	CSIHnC S5	CSIHnC S4	CSIHnC S3	CSIHnC S2	CSIHnC S1	CSIHnC S0
リセット後の値	—	—	—	0	0	0	0	0	—	—	—	—	—	—	—	—
	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnTX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.26 CSIHnTX0W レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	CSIHnCIRE	デュアルバッファモードまたは送信専用バッファモードのときの通信割り込み要求 INTCSIHTIC または FIFO モードのときのジョブ完了割り込み INTCSIHTIJC を許可します。 0: 割り込みを要求しません。 1: 割り込みを要求します。送信後、割り込み INTCSIHTIC または INTCSIHTIJC を発生します。詳細については、「17.4.3 INTCSIHTIC (通信ステータス割り込み)」と「17.4.6 INTCSIHTIJC (ジョブ完了割り込み)」を参照してください。 注意 このビットはジョブモードが有効になっているとき (CSIHnCTL1.CSIHnJE = 1) にのみ有効です。
30	CSIHnEOJ	ジョブの終了を指定します。 0: エンドオブジョブデータではないことを示します。ジョブを続行します。 1: エンドオブジョブデータであることを示します。 注意 このビットはジョブモードが有効になっているとき (CSIHnCTL1.CSIHnJE = 1) にのみ有効です。 スレーブモードで使用するときこのビットは必ず 0 に設定してください。
29	CSIHnEDL	関連付けられたデータが拡張データ長 (EDL) オプションを必要とするかどうかを指定します。 0: 通常の動作。 1: 拡張データ長を有効にします。 関連付けられたデータは 16 ビットの packets として送信されます。データ送信後にデータ間時間またはアイドル時間は挿入されません。 CSIHnCTL1.CSIHnEDLE = 1 かつ CSIHnTX0W.CSIHnEDL = 1 の場合は、次のデータに対しても同じ CS を選択しなければなりません。次のデータに対して CS を変更した場合、正しい動作は保証されません。 注意 このビットは CSIHnCTL1.CSIHnEDLE = 1 のときにのみ利用できます。
28 ~ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 17.26 CSIHnTX0W レジスタの内容 (2/2)

ビット位置	ビット名	機能
23 ~ 16	CSIHnCS[7:0]	<p>1つ以上のチップセレクト信号をアクティブにします。 0: 関連付けられた送信に対してチップセレクト信号 x をアクティブにします。 1: 関連付けられた送信に対してチップセレクト信号 x を非アクティブにします。</p> <p>CSIHnTX0W.CSIHnCS[7:0] = FF_H は設定禁止です。</p> <p>注意</p> <hr/> <p>複数のチップセレクト信号がブロードキャストिंगに対して有効になっている場合は、CSIHnCFGx.CSIHnRCBx = 0 (ドミナント) に設定されている信号の設定が使用されます。その場合は、すべてのドミナントなチップセレクト信号をまったく同じ値に設定する必要があります。 スレーブモードで使用する場合には CSIHnCS[7:0] ビット = FE_H に設定してください。</p> <hr/>
15 ~ 0	CSIHnTX[15:0]	送信データを保存します。

注意

本レジスタの設定では、「表 17.32 レジスタ設定上の注意事項」を参照してください。

17.3.13 CSIHnTX0H — CSIHn ハーフワードアクセス用送信データレジスタ 0

本レジスタは送信データを保存します。本レジスタは CSIHnTX0W レジスタのビット 15～0 と同じです。

転送には、CSIHnTX0W の上位 16 ビットの設定が適用されます。ただし、リセット後は CSIHnTX0W の値が不定ですので、本レジスタの使用前に、CSIHnTX0W に送信データ設定を行ってください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 100C_H

リセット後の値 不定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnTX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.27 CSIHnTX0H レジスタの内容

ビット位置	ビット名	機能
15～0	CSIHnTX[15:0]	送信データを保存します。

注 意

本レジスタの設定では、「表 17.32 レジスタ設定上の注意事項」を参照してください。

17.3.14 CSIHnRX0W — CSIHn ワードアクセス用受信データレジスタ 0

本レジスタは受信データを保存します。

アクセス 32ビット単位でリードのみ可能です。

アドレス <CSIHn_base> + 1010_H

リセット後の値 0XXX XXXX_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CSIHn RPE	CSIHn TDCE	CSIHn CS7	CSIHn CS6	CSIHn CS5	CSIHn CS4	CSIHn CS3	CSIHn CS2	CSIHn CS1	CSIHn CS0
リセット後の値	0	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnRX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.28 CSIHnRX0W レジスタの内容

ビット位置	ビット名	機能
31 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。
25	CSIHnRPE	受信データパリティエラーが検出されたかどうかを示します。 0: 関連付けられた受信データでパリティエラーが検出されていません。 1: 関連付けられた受信データでパリティエラーが検出されています。
24	CSIHnTDCE	送信データ整合性チェックエラーが検出されたかどうかを示します。 0: 関連付けられた送信で整合性チェックエラーが検出されていません。 1: 関連付けられた送信で整合性チェックエラーが検出されています。
23 ~ 16	CSIHnCSx (x = 7 ~ 0)	どのチップセレクト信号がアクティブになっているかを示します。 0: 関連付けられた受信に対してチップセレクト信号 x がアクティブになっています。 1: 関連付けられた受信に対してチップセレクト信号 x が非アクティブになっています。
15 ~ 0	CSIHnRX [15:0]	受信データを保存します。

備考

本レジスタを読み込む場合は、割り込みが発生する 1 シリアルクロック前までに行ってください。

注意

本レジスタの設定では、「表 17.32 レジスタ設定上の注意事項」を参照してください。

17.3.15 CSIHnRX0H — CSIHn ハーフワードアクセス用受信データレジスタ 0

本レジスタは受信データを保存します。本レジスタは CSIHnRX0W レジスタのビット 15～0 と同じです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <CSIHn_base> + 1014_H

リセット後の値 不定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnRX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.29 CSIHnRX0H レジスタの内容

ビット位置	ビット名	機能
15～0	CSIHnRX [15:0]	受信データを保存します。

注 意

本レジスタの設定では、「表 17.32 レジスタ設定上の注意事項」を参照してください。

17.3.16 CSIHnEMU — CSIHn エミュレーションレジスタ

このレジスタは SVSTOP による動作を制御します。

アクセス 8/1 ビット単位でリード/ライト可能です。
(EPC.SVSTOP=0) のときにライト動作を行ってください。

アドレス <CSIHn_base> + 0018_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	CSIHnSVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 17.30 CSIHnEMU レジスタの内容

ビット位置	ビット名	機能
7	CSIHnSVSDIS	デバッグ時の送受信動作の継続 / 停止を選択します。 <ul style="list-style-type: none"> EPC.SVSTOP = 0 のとき 本ビットの設定にかかわらず、送受信動作を継続します。 EPC.SVSTOP = 1 のとき 0: 送受信動作を停止 1: 送受信動作を継続
6～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

本レジスタの設定では、「表 17.32 レジスタ設定上の注意事項」を参照してください。

17.3.17 CSIHnBRSy— CSIHn ボーレート設定レジスタ y (y = 0 ~ 3)

チップセレクト信号ごとに転送クロック周波数を設定するためのレジスタです。

CSIHnCFG0 ~ 7.CSIHnBRSSx[1:0] ビットにより、チップセレクト信号ごとに、4種類の転送クロック周波数設定から1つの設定を選択することができます。転送クロック周波数設定の詳細については、「17.5.5 送信クロックの選択」を参照してください。

アクセス 16ビット単位でリード/ライト可能です。

アドレス CSIHnBRS0: <CSIHn_base> + 1068_H
 CSIHnBRS1: <CSIHn_base> + 106C_H
 CSIHnBRS2: <CSIHn_base> + 1070_H
 CSIHnBRS3: <CSIHn_base> + 1074_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CSIHnBRS[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.31 CSIHnBRSy レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11 ~ 0	CSIHnBRS [11:0]	0 : BRG stopped 1 : PCLK / ($2^\alpha \times 1 \times 2$) 2 : PCLK / ($2^\alpha \times 2 \times 2$) 3 : PCLK / ($2^\alpha \times 3 \times 2$) 4 : PCLK / ($2^\alpha \times 4 \times 2$) . . . 4095 : PCLK / ($2^\alpha \times 4095 \times 2$) α は CSIHnCTL2.CSIHnPRS[2:0] の値です。

注 意

本レジスタの設定では、「表 17.32 レジスタ設定上の注意事項」を参照してください。

17.3.18 注意事項の一覧

表 17.32 レジスタ設定上の注意事項 (1/3)

レジスタ名	ビット名	注意事項
CSIHnCTL0	CSIHnPWR	通信中にこのビットをクリアすると、実行中の通信が中断されます。中断後は、通信の再起動が必要です。
CSIHnCTL0	CSIHnTXE CSIHnRXE	CSIHnCTL0.CSIHnPWR = 0 の間、これらのビットのいずれも変更しないでください。(これらのビットは、CSIHnCTL0.CSIHnPWR ビットと同時に変更することができます。) 実行中の通信が中断されると、設定した動作が保証されないため、CSIHnSTR0.CSIHnTSF = 1 の間、これらのビットを変更しないでください。
CSIHnCTL0	CSIHnJOBE	CSIHnCTL0.CSIHnPWR = 0 である間に、このビットを変更しないでください。 CSIHnCTL1.CSIHnJE = 1 のときのみ、このビットは有効です。 このビットの設定は、スレーブモードでは禁止されます。
CSIHnCTL0	CSIHnMBS	CSIHnCTL0.CSIHnPWR = 0 である間に、このビットを変更しないでください。(このビットは、CSIHnCTL0.CSIHnPWR ビットと同時に変更することができます) このビットの変更は CSIHnSTR0.CSIHnTSF = 0 のときのみ許可されます。 CSIHnCTL0.CSIHnPWR = 1 であるときに、FIFO モードと、ダイレクトアクセスモード間でのモードの変更をしないでください。 CPU 制御による高優先通信を実施している期間は、CSIHnMBS ビット設定に関わらずダイレクトアクセスモードと同じ動作を行います。
CSIHnCTL1	CSIHnCKR	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 CS が使用されていない場合、CSIHnCFGx.CSIHnCKPx の代わりにこのビットを使用し、CSIHnCFGx.CSIHnCKPx は 0 に設定してください。 スレーブモードでは、このビットを使用してください。
CSIHnCTL1	CSIHnSLIT CSIHnCSL[7:0] CSIHnEDLE CSIHnDCS CSIHnCSRI CSIHnHSE	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。
CSIHnCTL1	CSIHnPHE CSIHnJE CSIHnLBM	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 本ビットの設定は、スレーブモードでは禁止されます。
CSIHnCTL1	CSIHnSSE	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 このビットを 1 に設定することは、マスタモードでは禁止されます。
CSIHnCTL1	CSIHnSIT	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 このビットはマスタモードでのみ有効になります。スレーブモードでは遅延は生成されません。
CSIHnCTL2	CSIHnPRS[2:0]	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 最大転送クロック周波数の設定は、以下のとおりです。 <ul style="list-style-type: none"> マスタモード：10.0MHz (ただし、PCLK/4 以下) スレーブモード：5.0MHz (ただし、PCLK/16 以下)
CSIHnSTR0	CSIHnSRP[7:0] CSIHnSPF[7:0] CSIHnHPST CSIHnFLF CSIHnEMF CSIHnTSF	書き込みは禁止です。読み出しのみ有効です。
CSIHnSTR0	CSIHnTMOE CSIHnOFE CSIHnDCE CSIHnPE CSIHnOVE	書き込みは禁止です。読み出しのみ有効です。 このビットは、CSIHnCTL0.CSIHnPWR = 0 → 1 または CSIHnCTL0.CSIHnPWR = 1 → 0 のときに初期化されます。

表 17.32 レジスタ設定上の注意事項 (2/3)

レジスタ名	ビット名	注意事項
CSIHnSTCR0	CSIHnPCT	通信中にこのビットを1に設定すると、実行中の通信は中断されます。
CSIHnMCTL0	CSIHnMMS[1:0]	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0、CSIHnCTL0.CSIHnMBS = 0 のときのみ許可されます。
CSIHnMCTL0	CSIHnTO[4:0]	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 マスタモードでは、これらのビットを“0”に設定してください。 ダイレクトアクセス、デュアルバッファ、送信専用バッファモードでは、これらのビットを“0”に設定してください。
CSIHnMCTL1	CSIHnFES[6:0] CSIHnFFS[6:0]	通信中に書き込むことは可能です。
CSIHnMCTL2	CSIHnBTST CSIHnND[7:0] CSIHnSOP[6:0]	CSIHnCTL0.CSIHnPWR = 0 のとき、これらのビットへ書き込みすることは禁止されています。 CSIHnCTL0.CSIHnTXE = CSIHnCTL0.CSIHnRXE = 0 のとき、これらのビットへ書き込みすることは禁止されています。 CSIHnSTR0.CSIHnTSF = 1 のとき、これらのビットへ書き込みすることは禁止されています。 ダイレクトアクセス、FIFO モードでは、これらのビットへの書き込みは、禁止されています。
CSIHnMRWP0	CSIHnRRA[6:0]	通信中に書き込むことは可能です。 ダイレクトアクセス、FIFO モードでは、これらのビットへの書き込みは、禁止されています。 書き込みが必要なときは、送信専用バッファモードでこれらのビットに“00 _H ”を設定してください。
CSIHnMRWP0	CSIHnTRWA[6:0]	通信中に書き込むことは可能です。 ダイレクトアクセス、FIFO モードでは、これらのビットへの書き込みは、禁止されています。
CSIHnCFGx x = 0 ~ 7	CSIHnBRSSx[1:0] CSIHnRCBx CSIHnIDLx CSIHnIDx[2:0] CSIHnHDx[3:0] CSIHnINx[3:0] CSIHnSPx[3:0]	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 スレーブモードでは、これらのビットを“0”に設定してください。
CSIHnCFGx x = 0 ~ 7	CSIHnPSx[1:0] CSIHnDLSx[3:0] CSIHnDIRx CSIHnDAPx	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 スレーブモードのときは、CSIHnCFG0 の設定はコンフィグレーションのために使用されます。そのため、CSIHnCFG1 ~ 7 のすべてビットは“0”に設定されなければなりません。
CSIHnCFGx x = 0 ~ 7	CSIHnCKPx	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 スレーブモードでは、CSIHnCTL1.CSIHnCKR を使用する必要があるため、本ビットには“0”を設定してください。 CS が使用されていない場合、このビットの代わりに、CSIHnCTL1.CSIHnCKR ビットを使用し、このビットを“0”に設定してください。
CSIHnTX0W	CSIHnEOJ CSIHnCIRE	このビットは、CSIHnCTL1.CSIHnJE = 1 のときのみ、有効です。 CSIHnCTL1.CSIHnJE = 0 のとき、読み出し値が“1”でも、これらの値は無視されます。 スレーブモードのときは、これらのビットを“0”に設定してください。
CSIHnTX0W	CSIHnEDL	このビットは、CSIHnCTL1.CSIHnEDLE = 1 のときのみ、有効です。 CSIHnCTL1.CSIHnEDLE = 0 のとき、読み出し値が“1”でも、これらの値は無視されます。
CSIHnTX0W	CSIHnCS[7:0]	マスタモード時は、これらのビットを“FF _H ”に設定することは禁止されています。 スレーブモード時は、これらのビットを“FE _H ”に設定してください。

表 17.32 レジスタ設定上の注意事項 (3/3)

レジスタ名	ビット名	注意事項
CSIHnTX0W CSIHnTX0H		これらのビットの読み出しは FIFO モードでの通信中は禁止されています。 CSIHnCTL0.CSIHnPWR = 0 かつ FIFO モードのとき、これらのビットを読み書きすることは禁止されています。 CSIHnCTL0.CSIHnTXE = CSIHnCTL0.CSIHnRXE = 0 のとき、ダイレクトアクセスモードでは、これらのビットへの書き込みは、禁止されています。
CSIHnRX0W		これらのビットは CSIHnCTL0.CSIHnPWR = 0 → 1、または、CSIHnCTL0.CSIHnPWR = 1 → 0 のときに初期化されます。 CSIHnCTL0.CSIHnPWR = 0 のとき、FIFO モードでは、これらのビットを読み書きすることは禁止されています。 CSIHnCTL0.CSIHnPWR = 0 のとき、FIFO モード以外のモード（送信専用バッファモード、デュアルバッファモード、ダイレクトアクセスモード）ではこれらのビットの書き込み、読み出しは有効です。 CSIHnCTL0.CSIHnPWR = 1 のとき、これらのビットの書き込みは無効です。読み出しのみ有効です。
CSIHnRX0H		これらのビットは CSIHnCTL0.CSIHnPWR = 0 → 1、または、CSIHnCTL0.CSIHnPWR = 1 → 0 のときに初期化されます。 CSIHnCTL0.CSIHnPWR = 0 のとき、FIFO モードでは、これらのビットを読み書きすることは禁止されています。 CSIHnCTL0.CSIHnPWR = 1 のとき、FIFO モードではこれらのビットの書き込みは無効です。読み出しのみ有効です。 CSIHnCTL0.CSIHnPWR の値にかかわらず、FIFO モード以外のモード（送信専用バッファモード、デュアルバッファモード、ダイレクトアクセスモード）では書き込みは無効です。読み出しのみ有効です。
CSIHnEMU	CSIHnSVSDIS	このビットの値の変更は、SVSTOP = 0 のときのみ許可されます。
CSIHnBRSy y = 0 ~ 3		これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。

17.4 割り込み要因

CSIH は以下の割り込み要求を発生することができます。

- INTCSIHTIC (通信ステータス割り込み)
- INTCSIHTIR (受信ステータス割り込み)
- INTCSIHTIRE (通信エラー割り込み)
- INTCSIHTIJC (ジョブ完了割り込み)

17.4.1 概要

エラーが検出されると、通信エラー割り込み INTCSIHTIRE が発生します。ほかの割り込みが発生する条件は、メモリモード、ジョブモードによって異なり、ジョブ完了割り込み INTCSIHTIJC の場合は動作モードによっても異なります。

ジョブ完了割り込み INTCSIHTIJC は、ジョブモードが有効になっているとき (CSIHnCTL1.CSIHnJE = 1) にのみ発生します。スレーブモードでこの割り込みを利用することはできません。

割り込みの概要を以下の表に示します。

表 17.33 割り込みの発生 (1/2)

メモリモード	割り込み	割り込み要因	
		ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
FIFO	INTCSIHTIC	Tx データエンプティ ^{注1}	Tx データエンプティ ^{注1} ジョブ中断 ^{注4} 時を除く
	INTCSIHTIR	Rx データフル ^{注2} かつ CSIHnCTL0.CSIHnRXE = 1	Rx データフル ^{注2} かつ CSIHnCTL0.CSIHnRXE = 1
	INTCSIHTIRE	エラー検出	エラー検出
	INTCSIHTIJC ^{注3}	適用不可	CSIHnTX0W.CSIHnCIRE = 1 (Tx データエンプティではないとき) またはジョブ中断 ^{注4}
送信専用バッファ	INTCSIHTIC	通信終了	CSIHnTX0W.CSIHnCIRE = 1かつ (CSIHnCTL0.CSIHnJOBE = 0 もしくは CSIHnTX0W.CSIHnEOJ = 0) のとき
	INTCSIHTIR	データ受信かつ CSIHnCTL0.CSIHnRXE = 1	データ受信かつ CSIHnCTL0.CSIHnRXE = 1
	INTCSIHTIRE	エラー検出	エラー検出
	INTCSIHTIJC ^{注3}	適用不可	ジョブ中断 ^{注4}
デュアルバッファ	INTCSIHTIC	通信終了	CSIHnTX0W.CSIHnCIRE = 1かつ (CSIHnCTL0.CSIHnJOBE = 0 もしくは CSIHnTX0W.CSIHnEOJ = 0) のとき
	INTCSIHTIR	通信終了かつ CSIHnCTL0.CSIHnRXE = 1	データ受信かつ CSIHnCTL0.CSIHnRXE = 1
	INTCSIHTIRE	エラー検出	エラー検出
	INTCSIHTIJC ^{注3}	適用不可	ジョブ中断 ^{注4}

表 17.33 割り込みの発生 (2/2)

メモリモード	割り込み	割り込み要因	
		ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
ダイレクトアクセス	INTCSIHTIC	1 データ転送	1 データ転送 (ジョブ中断 ^{注4} の状態を除く)
	INTCSIHTIR	データ受信かつ CSIHnCTL0.CSIHnRXE = 1	データ受信かつ CSIHnCTL0.CSIHnRXE = 1
	INTCSIHTIRE	エラー検出	エラー検出
	INTCSIHTIJC ^{注3}	適用不可	ジョブ中断 ^{注4}

注 1. 「Tx データエンプティ」とは、CSIHnMCTL1.CSIHnFES[6:0] で定義される FIFO の充填レベルです。

注 2. 「Rx データフル」とは、CSIHnMCTL1.CSIHnFFS[6:0] で定義される FIFO の充填レベルです。

注 3. スレーブモードでは INTCSIHTIJC は利用できません。

注 4. ジョブ中断の条件 : CSHnTX0W.CSIHnEOJ = 1 かつ CSHnCTL0.CSIHnJOBE = 1
送信専用バッファモードの高優先通信中は、ダイレクトアクセスモードと同じ動作となります。

17.4.2 割り込み遅延

マスタモードでは、マスタから発生するすべての割り込みを送信クロック CSIHTSCK の半周期だけ遅延させることができます。スレーブモードでこの機能を利用することはできません。

遅延を指定するには、CSIHnCTL1.CSIHnSIT = 1 に設定します (スレーブモードでは CSHnSIT ビットの設定は無効です)。

CSIHnCTL1.CSIHnSIT = 1 (割り込み遅延有効)、

CSIHnCFGx.CSIHnCKPx = 0、CSIHnCFGx.CSIHnDAPx = 0 (クロック位相とデータ位相)、

CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B (データ長 8 ビット) の設定で割り込み遅延機能を使用する例を以下の図に示します。

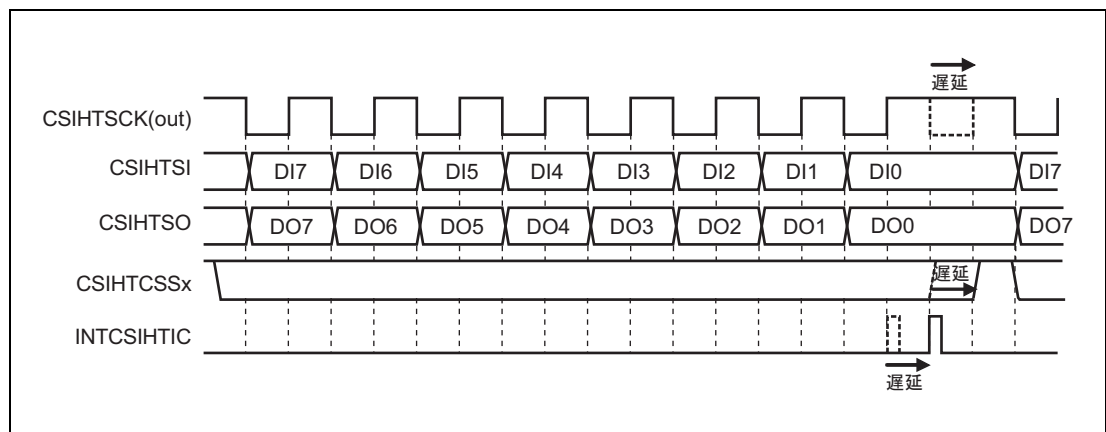


図 17.2 割り込み遅延機能 (CSIHnCTL1.CSIHnSIT = 1)

CSIHnCTL1.CSIHnSIT = 1 に設定すると、送信クロックに半周期の遅延が追加されます。これによって現在のチップセレクト信号 (CSIHTCSSx) の終了も遅延します。

17.4.3 INTCSIHTIC (通信ステータス割り込み)

この割り込みが発生する条件は、以下に示すように、メモリモードとジョブモードによって異なります。

表 17.34 INTCSIHTIC 割り込みの発生

メモリモード	割り込み要因	
	ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
FIFO	この割り込みは、FIFO 内の送信データがなくなる直前に発生し、新しいデータを追加する必要があることをアプリケーションに知らせます。 FIFOに残っている送信データの数 CSIHnSTR0.CSIHnSPF[7:0] が CSIHnMCTL1.CSIHnFES[6:0] と等しくなると INTCSIHTIC が発生します。	JE = 0 のときと同様に、FIFOに残っている送信データの数 CSIHnSTR0.CSIHnSPF[7:0] が CSIHnMCTL1.CSIHnFES[6:0] と等しくなったとき発生しますが、ジョブ中断の場合は発生しません。
送信専用バッファ、デュアルバッファ	通信終了時 (CSIHnMCTL2.CSIHnND[7:0] ビットで指定) に発生します。	CSIHnTX0W.CSIHnCIRE = 1 の設定でデータが送信されたときに発生します。 ただし、CSIHnTX0W.CSIHnCIRE = 1 の設定でデータとジョブ中断 ^{注1} が送信された場合は、INTCSIHTIC の代わりに割り込み INTCSIHTIJC が発生します。
ダイレクトアクセス	データ転送が 1 回行われるたびに発生します。	通信が中断された場合を除き、データ転送が 1 回行われるたびに発生します。

注 1. ジョブ中断の条件 : CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1
送信専用バッファモードの高優先通信中は、ダイレクトアクセスモードと同じ動作となります。

17.4.3.1 ダイレクトアクセスモードでの INTCSIHTIC

以下の例はダイレクトアクセスモードでの INTCSIHTIC の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ダイレクトアクセスモード
- 割り込み遅延なし ($\text{CSIHnCTL1.CSIHnSIT} = 0$)
- 通常のクロック位相とデータ位相 ($\text{CSIHnCFGx.CSIHnCKPx} = 0$,
 $\text{CSIHnCFGx.CSIHnDAPx} = 0$)
- データ長 8 ビット ($\text{CSIHnCFGx.CSIHnDLSx}[3:0] = 1000_B$)
- 通常の INTCSIHTIC 割り込みのタイミング ($\text{CSIHnCTL1.CSIHnSLIT} = 0$)

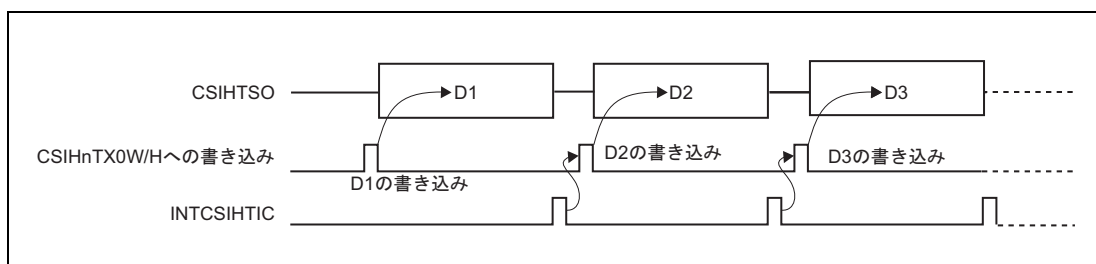


図 17.3 転送後の INTCSIHTIC の発生 ($\text{CSIHnCTL1.CSIHnSLIT} = 0$)

ジョブモードが有効になっており ($\text{CSIHnCTL1.CSIHnJE} = 1$)、 $\text{CSIHnTX0W.CSIHnEOJ} = 1$ の設定でデータが送信され、通信停止の要求が発行されている ($\text{CSIHnCTL0.CSIHnJOB} = 1$) 状態でジョブが終了した場合、INTCSIHTIC はジョブ完了割り込み INTCSIHTIJC に置き換えられます。

CSIHnTX0W/H レジスタが空になり、次のデータの受け入れが可能になったときに INTCSIHTIC が発生するように設定することもできます。そうするには、 $\text{CSIHnCTL1.CSIHnSLIT} = 1$ に設定します。

以下の図にその効果を示します。

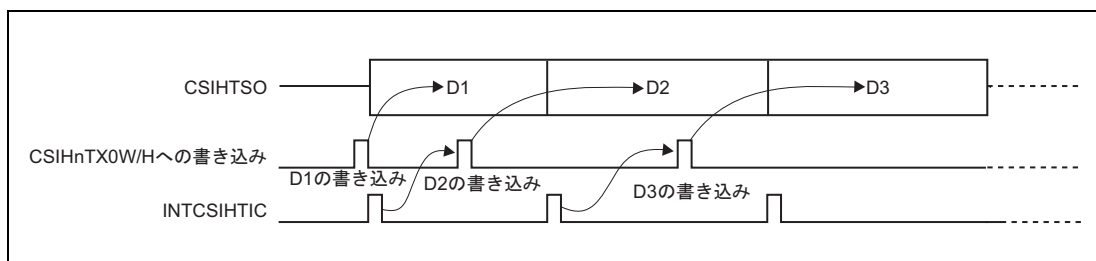


図 17.4 INTCSIHTIC の即時発生 ($\text{CSIHnCTL1.CSIHnSLIT} = 1$)

このように、新しいデータを先行して書き込むことができます。

備考

送信専用バッファモードの高優先通信中は、ダイレクトアクセスモードと同じ動作となります。

17.4.3.2 FIFO モードでの INTCSIHTIC

以下の例は FIFO モードでの INTCSIHTIC の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- FIFO モード
- 割り込み遅延なし ($\text{CSIHnCTL1.CSIHnSIT} = 0$)
- 通常のクロック位相とデータ位相 ($\text{CSIHnCFGx.CSIHnCKPx} = 0$,
 $\text{CSIHnCFGx.CSIHnDAPx} = 0$)
- データ長 8 ビット ($\text{CSIHnCFGx.CSIHnDLSx}[3:0] = 1000_{\text{B}}$)

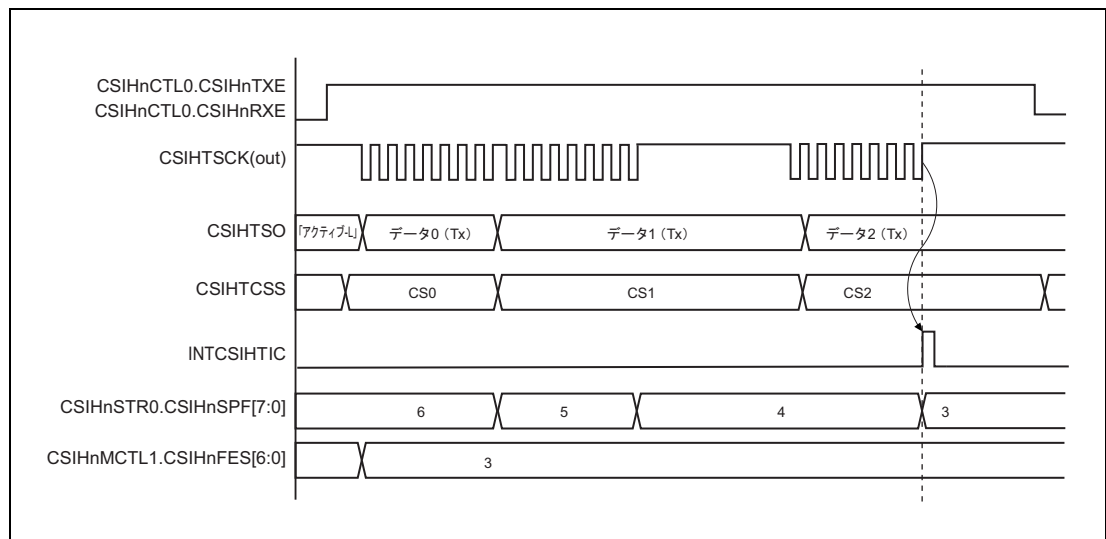


図 17.5 FIFO メモリモードでの INTCSIHTIC の発生

「FIFO エンプティ」の条件は $\text{CSIHnMCTL1.CSIHnFES}[6:0]$ で指定します。上の図の例では、FIFOに残っている未送信の送信データの数が 3 に設定されています。 $\text{CSIHnSTR0.CSIHnSPF}[7:0]$ は未送信のデータの数を示します。両方の数が一致すると、割り込み INTCSIHTIC が発生します。

17.4.3.3 ジョブモードでの INTCSIHTIC

以下の例はジョブモードでの INTCSIHTIC の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ジョブモード有効 (CSIHnCTL1.CSIHnJE = 1)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 通常の INTCSIHTIC 割り込みのタイミング (CSIHnCTL1.CSIHnSLIT = 0)

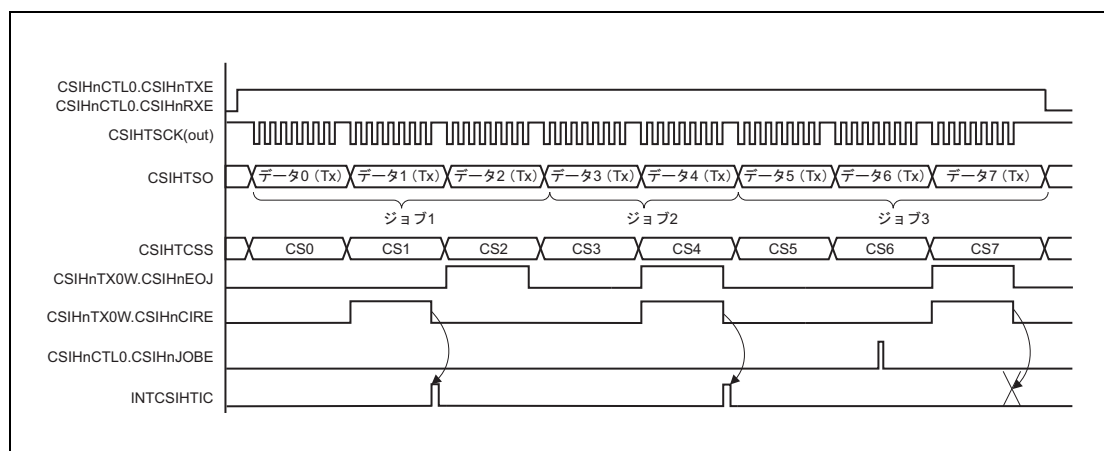


図 17.6 ジョブモードでの INTCSIHTIC の発生

ジョブモードでの INTCSIHTIC の発生に適用される規則を以下の表に示します。

表 17.35 ジョブモードでの INTCSIHTIC の発生

CSIHnTX0W. CSIHnEOJ	CSIHnTX0W. CSIHnCIRE	INTCSIHTIC
0	0	発生しません。
0	1	発生します。
1	0	発生しません。
1	1	CSIHnCTL0.CSIHnJOBE = 0 : 発生します。
1	1	CSIHnCTL0.CSIHnJOBE = 1 : 発生せず、割り込み INTCSIHTIJC に置き換えられます。

17.4.4 INTCSIHTIR (受信ステータス割り込み)

この割り込みが発生する条件は、以下に示すように、メモリモードとジョブモードによって異なります。

表 17.36 INTCSIHTIR 割り込みの発生

メモリモード	割り込み要因	
	ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
FIFO モード	この割り込みは、CSIHnCTL0.CSIHnRXE = 1 のとき、FIFO バッファが受信データでフルになる直前に発生し、FIFO を空にする必要があることをアプリケーションに知らせます。 FIFO に残っている受信データの数 $CSIHnSTR0.CSIHnSRP[7:0]$ が $(128 - CSIHnMCTL1.CSIHnFFS[6:0])$ と等しくなると INTCSIHTIR が発生します。	
デュアルバッファモード	通信が終了し (CSIHnMCTL2.CSIHnND[7:0] ビットで指定)、かつ CSIHnCTL0.CSIHnRXE = 1 であれば発生します。	データ転送が 1 回行われるたびに発生します。
送信専用バッファモード ダイレクトアクセスモード	データ転送が 1 回行われるたびに発生します。	

17.4.4.1 ダイレクトアクセスモードでの INTCSIHTIR

以下の例はダイレクトアクセスモードでの INTCSIHTIR の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ダイレクトアクセスモード
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- 通常のカロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)

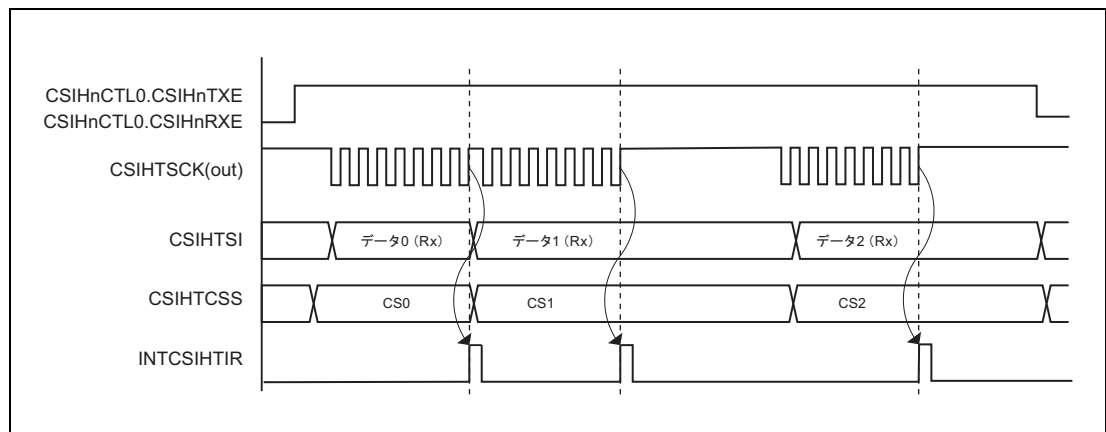


図 17.7 ダイレクトアクセスモードでの INTCSIHTIR の発生

17.4.4.2 デュアルバッファモードでの INTCSIHTIR

以下の例はデュアルバッファモードでの INTCSIHTIR の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- デュアルバッファモード
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- デフォルトのクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)

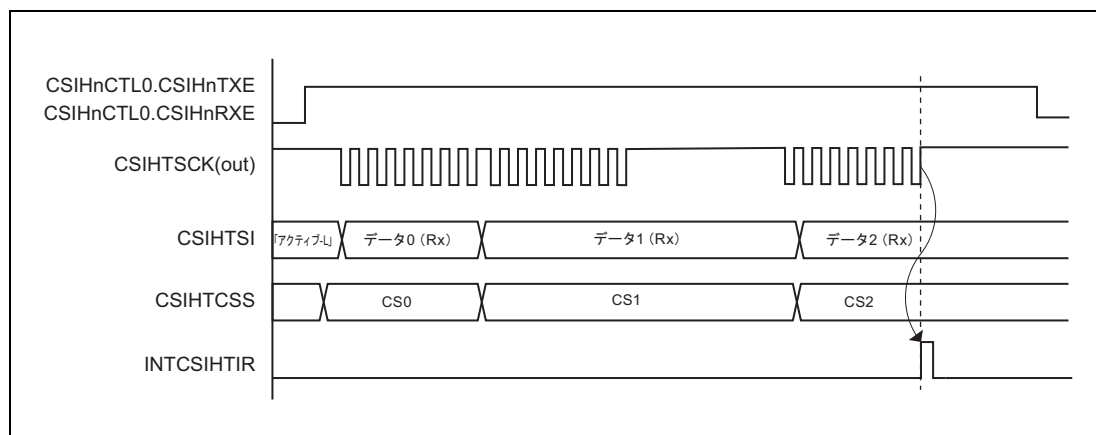


図 17.8 デュアルバッファモードでの INTCSIHTIR の発生

17.4.5 INTCSIHTIRE (通信エラー割り込み)

この割り込みはエラーが検出されるたびに発生します。

割り込み発生タイミングは、「17.5.12 エラー検出」を参照ください。

表 17.37 データエラーのタイプ

エラーのタイプ	エラー割り込み後の通信ステータス	備考
オーバーフローエラー	割り込みが発生しても通信は継続します。	FIFO バッファに書き込まれず、オーバーフローしたデータは失われますが、エラー発生前に開始された通信は継続して行われます。
パリティエラー	割り込みが発生しても通信は継続します。	—
データ整合性チェックエラー	割り込みが発生しても通信は継続します。	—
タイムアウトエラー	割り込みが発生しても通信は継続します。	—
オーバランエラー	(エラー発生条件 1) FIFO モードで受信データの数が 0 になった状態で CPU が CSIHnRX0W/H レジスタをリードすると、割り込みが発生します。通信は継続します。	—
	(エラー発生条件 2) スレーブモードで CSIHnCTL1.CSIHnHSE = 0 (ハンドシェイクなし) の場合、 [1] ダイレクトアクセスモードもしくは送信専用バッファモードで、前の受信データが CSIHnRX0W/H レジスタに残っている状態で受信を完了した場合、割り込みが発生します。通信は継続します。 [2] FIFO モードで、FIFO バッファが受信データでフル状態で受信を完了した場合、割り込みが発生します。通信は継続します。	スレーブモードで CSIHnCTL1.CSIHnHSE = 1 (ハンドシェイクあり) の場合は、ハンドシェイクにより通信が停止するため、オーバランエラーは発生しません。

INTCSIHTIRE が発生する原因となったエラーのタイプは、CSIHnSTR0 レジスタのフラグによって識別されます。

さらに、CSIHnRX0W 内の受信データにパリティエラーフラグとデータ整合性チェックエラーフラグが添付されます。

さまざまなエラータイプの詳細については、「17.5.12 エラー検出」を参照してください。

17.4.6 INTCSIHTIJC (ジョブ完了割り込み)

この割り込みはジョブの処理に対応しています。「17.5.3.3 ジョブ概念」を参照してください。この割り込みはマスタモードでのみ利用できます。

ジョブモードは $CSIHnCTL1.CSIHnJE = 1$ に設定することによって有効になります。 $CSIHnCTL1.CSIHnJE = 0$ の場合、INTCSIHTIJC は発生しません。

この割り込みが発生する条件は、以下に示すように、メモリモードによって異なります。

表 17.38 INTCSIHTIJC 割り込みの発生

メモリモード	割り込み要因	
	ジョブモード無効 $CSIHnCTL1.CSIHnJE = 0$	ジョブモード有効 $CSIHnCTL1.CSIHnJE = 1$
FIFO	適用不可	ジョブ中断 ^{注1} がトリガされたあと、ジョブの終了時に通信が停止したことを示します。 FIFO エンプティが検出されていない場合は、 $CSIHnCIRE = 1$ のときに INTCSIHTIJC が発生します。
送信専用バッファ		ジョブ中断 ^{注1} がトリガされたあと、ジョブの終了時に通信が停止したことを示します。
デュアルバッファ		
ダイレクトアクセス		

注 1. ジョブ中断の条件 : $CSIHnTX0W.CSIHnEOJ = 1$ かつ $CSIHnCTL0.CSIHnJOBE = 1$

17.5 動作

17.5.1 動作モード (マスタ/スレーブ)

CSIH がマスタモードまたはスレーブモードのどちらで動作するかでシリアルクロックのソースが異なります。

17.5.1.1 マスタモード

マスタモードでは、シリアル送信クロックが内蔵のポーレートジェネレータ (BRG) によって生成され、CSIHTSCK 信号を介してスレーブに供給されます。

マスタモードは、CSIHnCTL2.CSIHnPRS[2:0] を 111_B 以外の任意の値に設定することによって有効になります。マスタモードでは、CSIHnCTL2.CSIHnPRS[2:0] ビットと CSIHnBRSy.CSIHnBRS[11:0] ビットを組み合わせることで BRG の周波数を設定できます。

(1) チップセレクト信号

マスタモードでは、1 つ以上のチップセレクト信号を使用できます。複数のスレーブがマスタに接続されている場合は、チップセレクト信号を利用して 1 つ以上のスレーブを通信相手として選択できます。選択されたスレーブのみが通信可能になります。

通信プロトコルとさまざまなパラメータはチップセレクト信号ごとに個別に保存されます。そのため、データ転送の設定を個々のスレーブの要件に応じて変更することができます。詳細については、「17.5.3 チップセレクト (CS) 機能」を参照してください。

(2) クロックのデフォルト設定

CSIHTSCK のデフォルトレベルは、CSIHTSCK のクロック反転機能ビットの状態によって異なります。CSIHTSCK のデフォルトレベルは、CSIHnCTL1.CSIHnCKR = 0 であればハイレベルであり、CSIHnCTL1.CSIHnCKR = 1 であればロウレベルです。

以下の例は、データ長 8 ビット、CSIHnCTL1.CSIHnCKR = 0、CSIHnCFGx.CSIHnCKPx = 0、CSIHnCFGx.CSIHnDAPx = 0、MSB ファーストのときのマスタモードの通信を示しています。

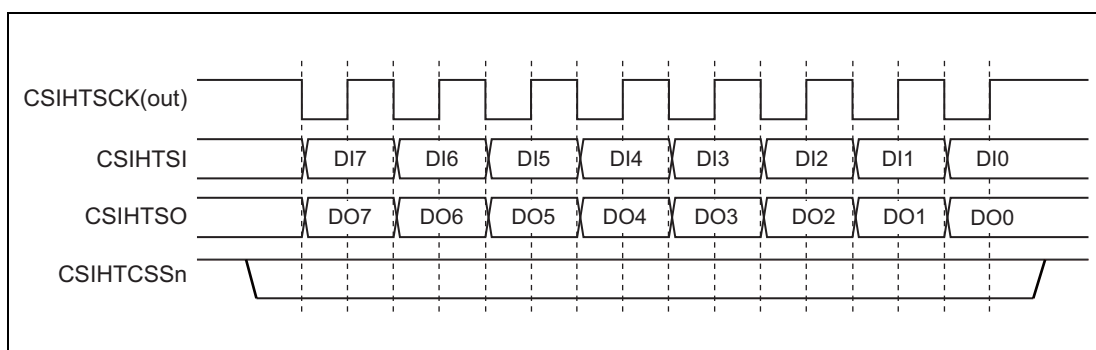


図 17.9 マスタモードでの送受信

17.5.1.2 スレーブモード

スレーブモードでは、ほかのデバイスが通信マスタになり、送信クロックが供給されます。クロック信号を検出すると、ただちに通常どおりの送信動作または受信動作が開始されます。

スレーブモードは、CSIHnCTL2.CSIHnPRS[2:0] ビットを 111_B に設定することによって選択されます。

スレーブモードでは、CSIHnCFG0 レジスタによる送信プロトコルの設定が有効になります (CSIHnCFG1-CSIHnCFG7 レジスタの設定は無効となります)。

- CSIHnPSx[1:0] : パリティの使用法
- CSIHnDLsx[3:0] : データ長の選択
- CSIHnDIRx : データ方向
- CSIHnCKPx、CSIHnDAPx : クロック位相とデータ位相

備 考

スレーブモードを使用するときは、CSIHnBRSy.CSIHnBRS[11:0] ビットを 000_H に設定することによってポーレートジェネレータ (BRG) を無効にします。ただし、タイムアウトエラーを使用する場合は、CSIHnBRSy.CSIHnBRS[11:0] ビットに、000_H 以外の値を設定してください。

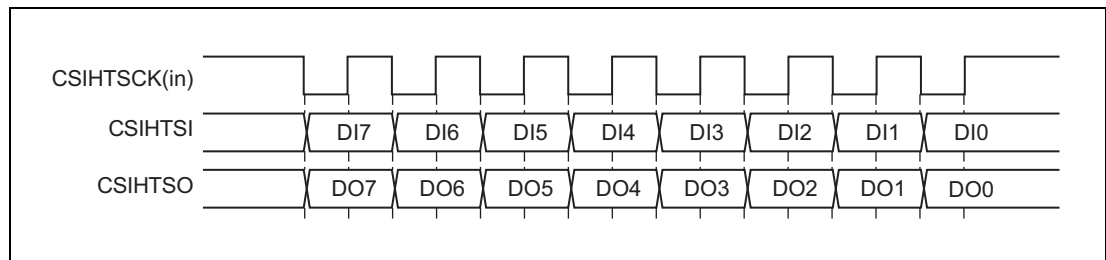


図 17.10 スレーブモードでの送受信

17.5.2 マスタ/スレーブの接続

17.5.2.1 マスタ 1、スレーブ 1 の場合

以下の図は、1つのマスタと1つのスレーブの間の接続を示しています。

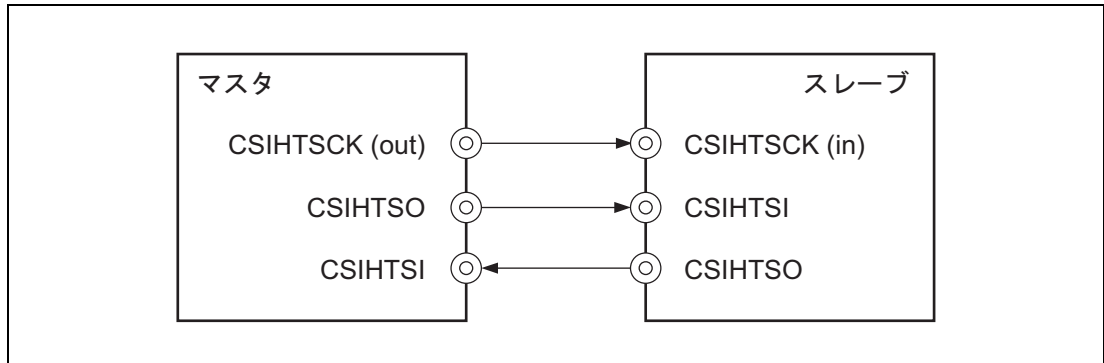


図 17.11 マスタ/スレーブの直接接続

17.5.2.2 マスタ 1、スレーブ複数の場合

以下の図は、1つのマスタと複数のスレーブの間の接続を示しています。この例では、マスタが各スレーブに1つずつチップセレクト (CS) 信号を供給します。この信号は、スレーブのスレーブ選択入力 $\overline{\text{CSIHTSSI}}$ に接続されます。

$\overline{\text{CSIHTSSI}}$ 信号は、 $\text{CSIHnCTL1.CSIHnSSE}$ ビットを使用して有効または無効にすることができます。

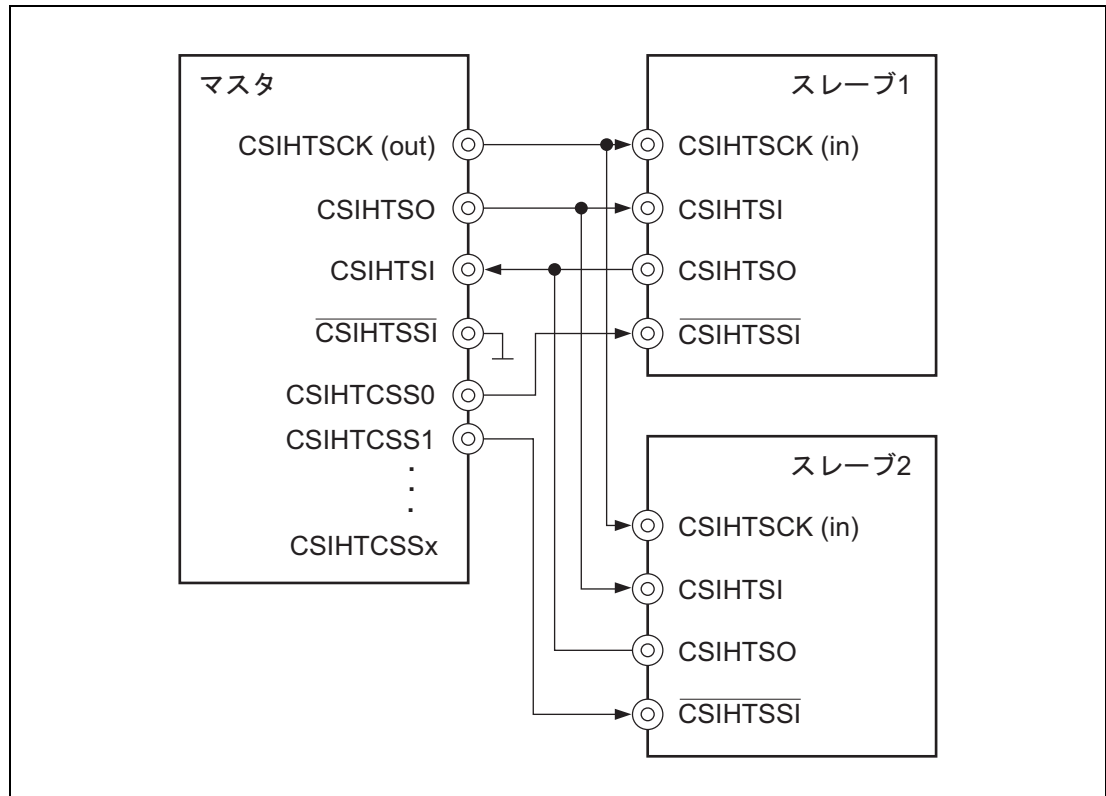


図 17.12 1つのマスタと複数のスレーブの間の接続

デフォルトのチップセレクトレベルはアクティブロウです。つまり、スレーブの $\overline{\text{CSIHTSSI}}$ 信号がロウレベルになっていると、そのスレーブが CSIH スレーブとして選択されます (有効になります)。ただし、CS をほかのデバイスに適合させるために、チップセレクト信号の出力レベルがアクティブハイになるようにプログラミングすることもできます。

選択されていないスレーブは、データの受信も送信も行いません。また、送信専用モードまたは送受信モードに設定されている ($\text{CSIHnCTL0.CSIHnTXE} = 1$) とき、選択されていないスレーブの出力 CSIHTSO は、選択されているスレーブの出力と干渉しないように、入力モードに設定されます。

17.5.3 チップセレクト (CS) 機能

マスタはチップセレクト信号 CSIHTCSS_x を使用して 1 つ以上のスレーブを通信相手として選択することができます。

17.5.3.1 コンフィグレーションレジスタ

各チップセレクト信号 CSIHTCSS_x のパラメータは、対応するコンフィグレーションレジスタ CSIHnCFG_x で定義されます。パラメータには、通信プロトコルと付加的な CS パラメータが含まれます。

通信プロトコルでは以下の項目を指定します。

- データ長：送信または受信されるビットの数。
(CSIHnCFG_x.CSIHnDLS_x[3:0])
- 転送方向：MSB ファーストまたは LSB ファースト。
(CSIHnCFG_x.CSIHnDIR_x)
- パリティの使用法：奇数、偶数、0 パリティまたは、なし。
(CSIHnCFG_x.CSIHnPS_x[1:0])
- クロック位相とデータ位相。(CSIHnCFG_x.CSIHnCKP_x, CSIHnCFG_x.CSIHnDAP_x)

マスタモードでのみ利用可能な各チップセレクト信号の付加的なパラメータを以下に示します。

- 各チップセレクト信号個別のポーレートジェネレータのプリスケアラ選択。
(CSIHnCFG_x.CSIHnBRSS_x[1:0])
- チップセレクト優先度：チップセレクト信号を「ドミナント」と「リセッシブ」に分けます。設定の異なる複数のチップセレクト信号がメッセージブロードキャスト用として同時にアクティブになった場合は、優先度が考慮されます。その場合は、ドミナントに指定された設定が使用されます。(CSIHnCFG_x.CSIHnRCB_x)

この原則は、「RCB (Recessive Configuration for Broadcasting)」とも呼ばれます。

注 意

複数のチップセレクト信号をドミナントに指定するときは、必ずすべてのドミナント信号を同じ設定にしてください。

- チップセレクトのタイミング
 - セットアップ時間 T_{setup} ：CS 信号をアクティブに設定してからデータの出力が開始されるまでの時間。
(CSIHnCFG_x.CSIHnSP_x[3:0])
 - データ間時間 T_{inter} ：同じ CS 信号がアクティブになっている間の 1 つのデータと次のデータの間の時間。
(CSIHnCFG_x.CSIHnIN_x[3:0])
 - ホールド時間 T_{hold} ：CS が切り替わるまでの CS 信号がアクティブの状態のままの時間。
(CSIHnCFG_x.CSIHnHD_x[3:0])
 - アイドル時間 T_{idle} ：CS 信号が終了したあと、または同じ CS_x への 1 回ごとのデータ転送が完了したあとの非アクティブ時間。(CSIHnCFG_x.CSIHnID_x[2:0])

以下の図に CS のセットアップ時間、データ間時間、ホールド時間、アイドル時間のタイミングを示します。CSIHnCFGx.CSIHnIDLx ビットに 1 を設定した場合、CS 信号に関係なく 1 転送ごとにアイドル時間を挿入します。

CSIHTCSS1 信号と CSIHTCSS2 信号がデフォルトのアクティブロウ (CSIHnCTL1.CSIHnCSL1 ビット = 0, CSHnCTL1.CSIHnCSL2 ビット = 0) に設定した場合の例を図 17.13 に示します。アクティブレベルは CS ごとに個別に指定することができます。

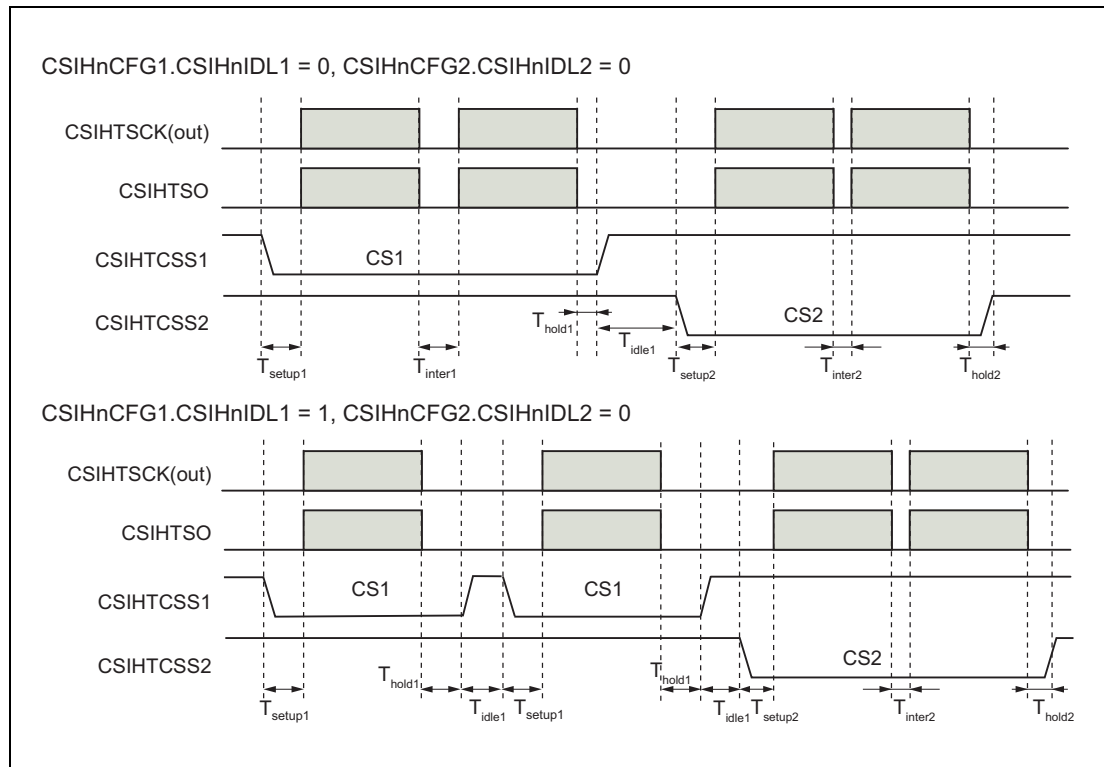


図 17.13 チップセレクトのタイミング

セットアップ時間、データ間時間、ホールド時間、アイドル時間を CS 信号ごとに個別に設定できる点に注意してください。

特定のチップセレクト信号をアクティブにするには、送信レジスタ CSHnTX0W.CSIHnCSx の対応するビットをセットします。

受信レジスタの CSHnRX0W.CSIHnCSx は、受信データに関連付けられたチップセレクト信号を示します。

注 意

CPU 制御による高優先通信機能を有効にしている場合 (CSIHnCTL1.CSIHnPHE = 1) で、低優先通信モードから高優先通信モードに移行するとき、高優先通信モードから低優先通信モードに移行するときは、IDLn ビット設定に関わらず IDLE ステートが挿入されます。

17.5.3.2 CS の例

以下の図は2回続けてデータを送信する例を示しています。

最初の通信では CS0 を使用して1つのスレーブと通信しています。2番目の通信では CS0 と CS1 を有効にして2つのスレーブにメッセージをブロードキャストしています。CS0 の優先度は「リセッシブ：低優先度」に設定されており、CS1 の優先度は「ドミナント：高優先度」に設定されています。よって、2番目の通信はドミナントに設定されている CS1 の設定を用いて行われます。

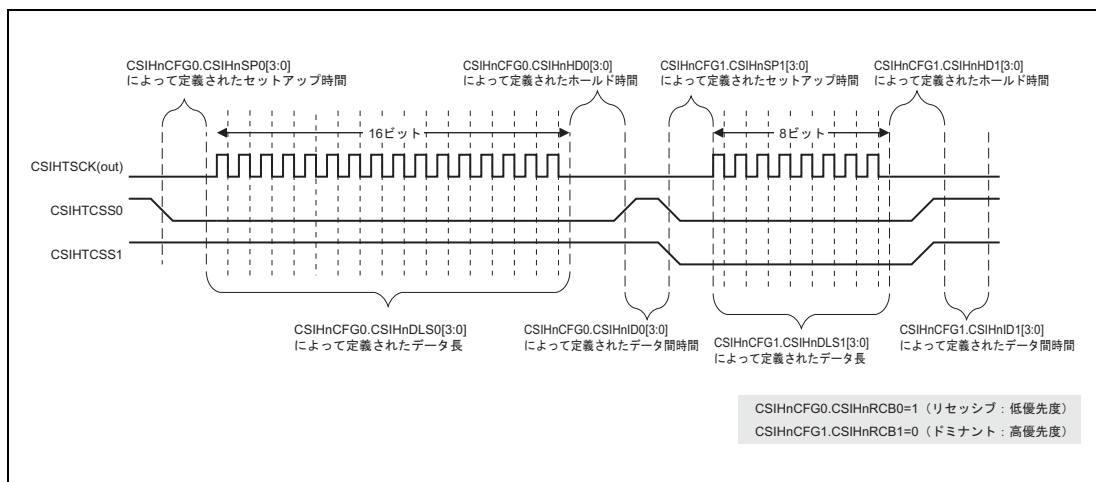


図 17.14 チップセレクトと RCB の例

17.5.3.3 ジョブ概念

CSIH というジョブは、転送の対象となる複数のデータから構成されます。

ジョブモードの有効化

ジョブモードはマスタモードでのみ有効になります。CSIHnCTL0.CSIHnPWR = 0 の設定によって CSIH が無効になっている間に、CSIHnCTL1.CSIHnJE によってジョブモードを有効または無効にします。

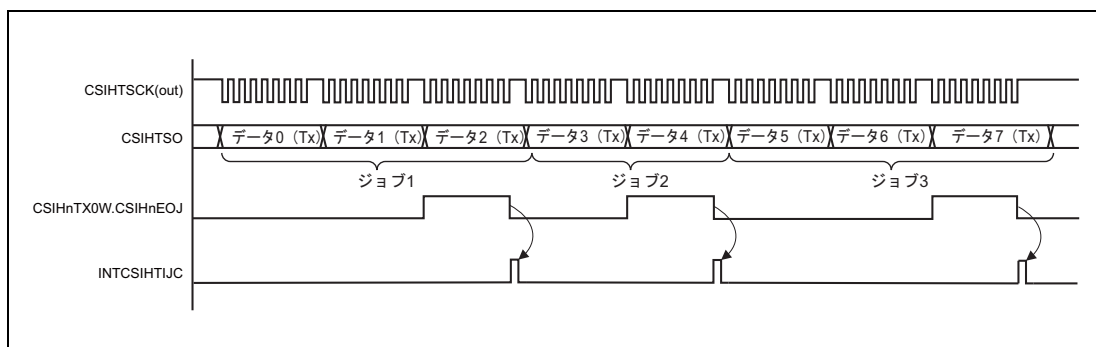


図 17.15 ジョブの例

CSIHnTX0W.CSIHnEOJ = 1 に設定されているデータを送信することによってジョブは終了します。

ジョブが終了したときに通信が停止するように指定することができます。そうするには、CSIHnCTL0.CSIHnJOBE をセットします。CSIHnJOBE がセットされていると、CSIHnEOJ ビットがセットされたデータが送信されるまで通信が継続します。そのデータの送信後、通信が停止し、ジョブ完了割り込み INTCSIHTIJC が発生します。

17.5.4 チップセレクトのタイミングの詳細

17.5.4.1 クロック位相の変更

CSIHnCFGx.CSIHnCKPx によって指定されたシリアルクロックレベルを通信停止中に変更することができます。アイドル時間の最小値は送信クロック (CSIHTSCK(out)) の1周期です。

CSIHnCFGx.CSIHnIDx[2:0] でアイドル時間が 0.5 送信クロック周期に設定されており、異なる CSIHnCFGx.CSIHnCKPx の設定を持つ 2 つのデータが連続して送信されると、アイドル時間が自動的に CSIHTSCK(out) の1周期に延長されます。

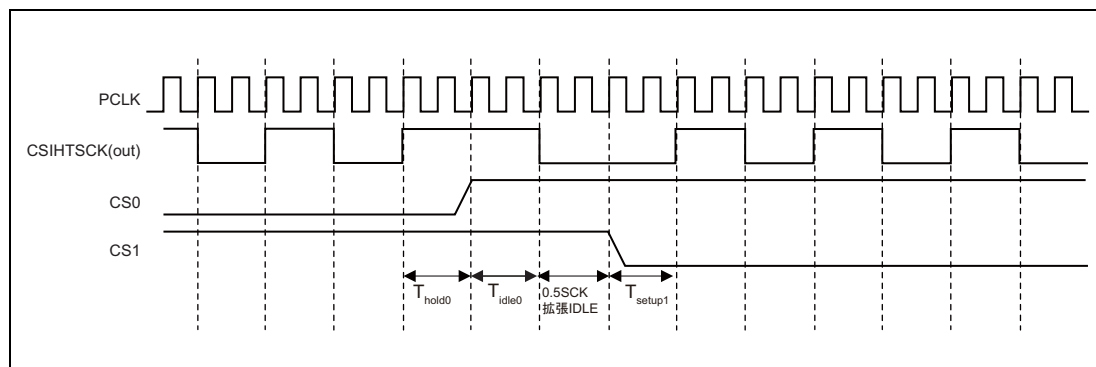


図 17.16 クロック位相のタイミング (PCLK/4、 $T_{\text{hold}0} = T_{\text{setup}1} = 0.5\text{CSIHTSCK}$ 、 $T_{\text{idle}0} = 0.5\text{CSIHTSCK}$ 、CSIHnCFG0.CSIHnCKP0 = 0 (CSIHTCSS0) → CSIHnCFG1.CSIHnCKP1 = 1 (CSIHTCSS1) の場合)

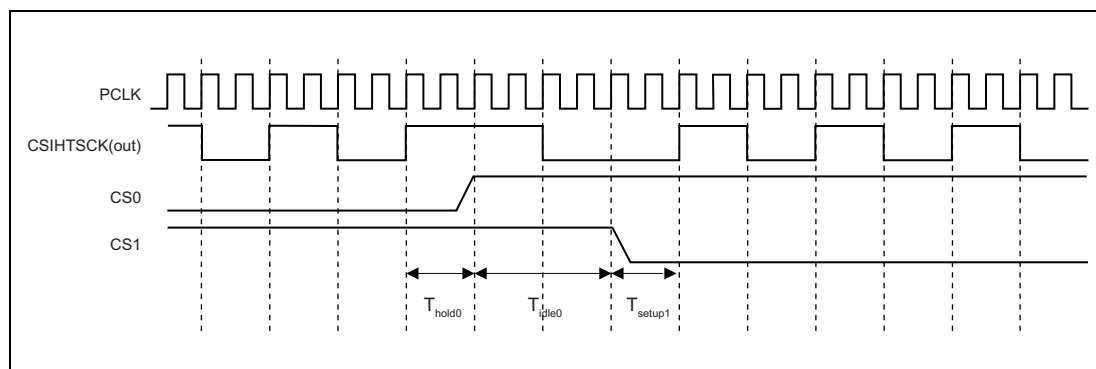


図 17.17 クロック位相のタイミング (PCLK/4、 $T_{\text{hold}0} = T_{\text{setup}1} = 0.5\text{CSIHTSCK}$ 、 $T_{\text{idle}0} = 1\text{CSIHTSCK}$ 、CSIHnCFG0.CSIHnCKP0 = 0 (CSIHTCSS0) → CSIHnCFG1.CSIHnCKP1 = 1 (CSIHTCSS1) の場合)

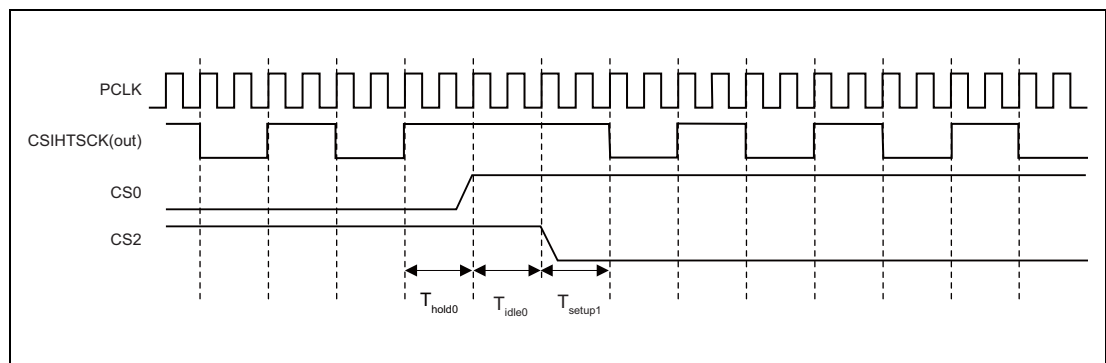


図 17.18 クロック位相のタイミング ($PCLK/4$ 、 $T_{hold0} = T_{setup1} = 0.5CSIHnTSC$ 、 $T_{idle0} = 0.5CSIHnTSC$ 、 $CSIHnCFG0.CSIHnCKP0 = 0$ (CSIHnTSCSS0) → $CSIHnCFG2.CSIHnCKP2 = 0$ (CSIHnTSCSS2) の場合)

17.5.4.2 データ位相の変更

CSIHnCFGx.CSIHnDAPx ビットでは、クロックを基準とするデータビットの位相を定義します。

CSIHnCFGx.CSIHnDAPx ビットとホールド/セットアップ期間の関係は次の通りになります。

ホールド期間は、CSIHnCFGx.CSIHnDAPx の設定に関係なく、シリアルクロック (CSIHTSCK) の最後のエッジから CSIHTCSS[7:0] がインアクティブレベルになるまでの期間です。

セットアップ期間は、CSIHTCSS[7:0] がアクティブレベルになるときから送信データ (CSIHTSO) が出力されるまでの期間です。

従って、CSIHnCFGx.CSIHnDAPx の設定によりシリアルクロック (CSIHTSCK) のエッジが出力されるまで 0.5 CSIHTSCK 分のずれがあります。

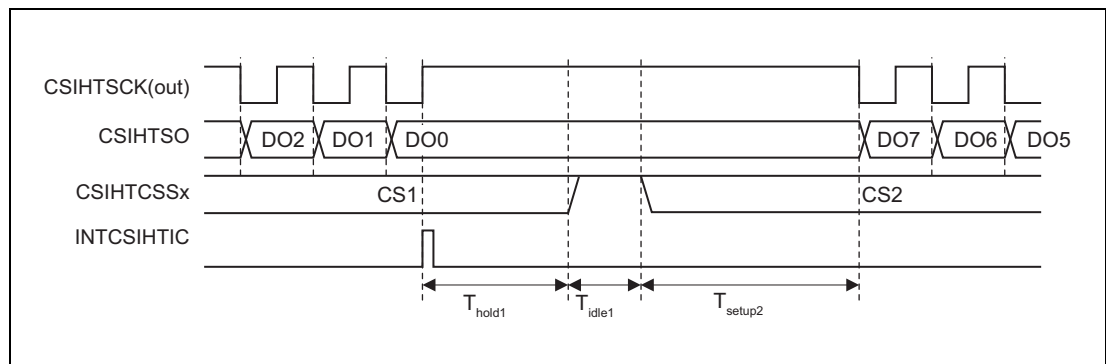


図 17.19 データ位相のタイミング
(CSIHnCFG1.CSIHnCKP1 = 0、CSIHnCFG1.CSIHnDAP1 = 0 かつ
CSIHnCFG2.CSIHnCKP2 = 0、CSIHnCFG2.CSIHnDAP2 = 0 の場合)

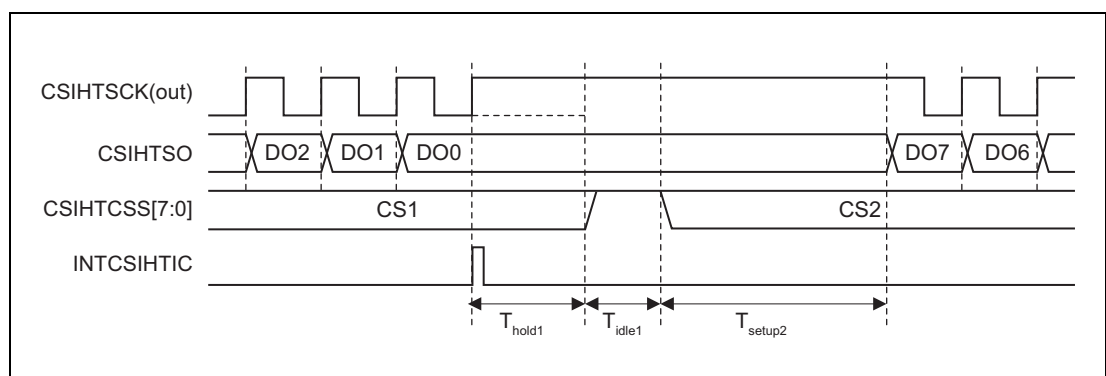


図 17.20 データ位相のタイミング
(CSIHnCFG1.CSIHnCKP1 = 1、CSIHnCFG1.CSIHnDAP1 = 0 かつ
CSIHnCFG2.CSIHnCKP2 = 0、CSIHnCFG2.CSIHnDAP2 = 1 の場合)

17.5.5 送信クロックの選択

マスタモードでは、以下のビットを使って転送クロック周波数を選択できます。

- CSIHnCTL2.CSIHnPRS[2:0]
- CSIHnBRSy.CSIHnBRS[11:0]
- CSIHnCFGx.CSIHnBRSSx[1:0]

送信クロック CSIHTSCK の転送クロック周波数は、CSIHnCTL2.CSIHnPRS[2:0] の設定と、CSIHnBRSy.CSIHnBRS[11:0] の設定によって決まりますが、CSIHnCFGx.CSIHnBRSSx[1:0] によってチップセレクト信号ごとに CSIHnBRS3 ~ CSIHnBRS0 の4種類のうちいずれか1つの設定を選択することができます。

ポーレートジェネレータのブロック図を以下に示します。

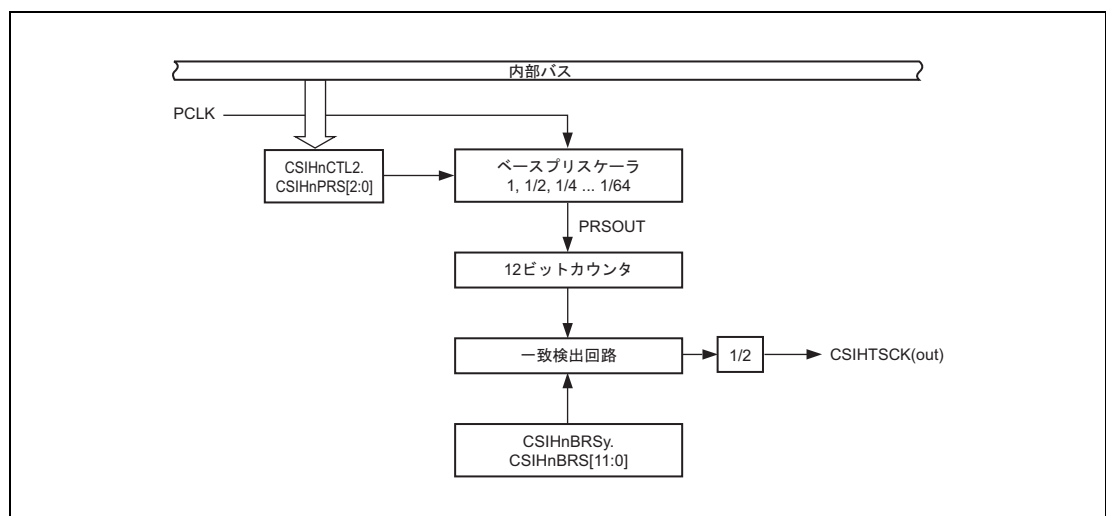


図 17.21 ポーレートジェネレータのブロック図

CSIHnBRSy.CSIHnBRS[11:0] に 000_H に設定すると、ポーレートジェネレータが無効になり、すべての CSIHTSCK が停止します。

転送クロック周波数の計算

マスタモード時の転送クロック周波数は以下の式で計算します。

$$\text{転送クロック周波数 (CSIHTSCK)} = \text{PCLK} / (\text{PCLK の分周比}) = \text{PCLK} / (2^\alpha \times k \times 2)$$

ただし、

$$\alpha = \text{CSIHnCTL2.CSIHnPRS}[2:0] = 0 \sim 6$$

$$k = \text{CSIHnBRS0.CSIHnBRS0}[11:0] = 1 \sim 4095$$

(CSIHnCFGx.CSIHnBRSSx[1:0] = 0 のとき)

$$\text{CSIHnBRS1.CSIHnBRS1}[11:0] = 1 \sim 4095$$

(CSIHnCFGx.CSIHnBRSSx[1:0] = 1 のとき)

$$\text{CSIHnBRS2.CSIHnBRS2}[11:0] = 1 \sim 4095$$

(CSIHnCFGx.CSIHnBRSSx[1:0] = 2 のとき)

$$\text{CSIHnBRS3.CSIHnBRS3}[11:0] = 1 \sim 4095$$

(CSIHnCFGx.CSIHnBRSSx[1:0] = 3 のとき)

転送クロック周波数の上限と下限

転送クロック周波数を設定するときは、以下のことに注意してください。

- 転送クロックの最小周波数は、マスタ・スレーブモードともに PCLK / 524160 です。
- 転送クロックの最大周波数は、以下の通りです。
 - マスタモード : 10.0MHz (ただし、PCLK/4 以下)
 - スレーブモード : 5.0MHz (ただし、PCLK/16 以下)

17.5.6 CSIH のバッファメモリ

CSIH はバッファ I/O として使用できる設定可能な RAM を備えています。サイズは 128 ワードです。1 ワードは 32 ビットのデータと 7 ビットの ECC から構成されます。

以下の設定が可能です。

モード	CSIHnCTL0. CSIHnMBS	CSIHnMCTL0. CSIHnMMS[1:0]
FIFO モード	0	00 _B
デュアルバッファモード		01 _B
送信専用バッファモード		10 _B
ダイレクトアクセスモード	1	X

17.5.6.1 FIFO モード

FIFO モードでは、FIFO フルになっていなければ、送信の完了を待たずに CSIHnTX0W レジスタにデータを書き込んだり、受信後ただちに CSIHnRX0W レジスタを読み出さなくてもデータを受信したりすることができます。

送信されるデータは FIFO メモリに保存されます。送信と受信は同時に行われ、1 データが送信されると同時に 1 データが受信されます。つまり、受信データは FIFO 内の送信済みデータを上書きします。

CSIH は、データが FIFO メモリに書き込みされたとき、読み出しされたとき、またはデータが FIFO メモリから送受信されたときに、それぞれに対応する FIFO メモリポインタを自動的に更新します。

表 17.39 FIFO モード

ポインタの説明	ポインタ ^{注1}	範囲
未送信ワード数	CSIHnSTR0.CSIHnSPF[7:0]	0 ~ 128
受信して FIFO に格納されているワード数	CSIHnSTR0.CSIHnSRP[7:0]	0 ~ 128
送信データの書き込み / 読み出しのアドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000 _H ~ 01FC _H
受信データの読み出しのアドレス	CSIHnMRWP0.CSIHnRRA[6:0]	0000 _H ~ 01FC _H
送信アドレス	CSIHnMCTL2.CSIHnSOP[6:0]	0000 _H ~ 01FC _H

注 1. 1 回の書き込み、読み出し、またはデータの送受信ごとに、自動的に値が更新されます。

CSIH ステータスレジスタには 2 つの FIFO ステータスフラグが含まれています。

- CSIHnSTR0.CSIHnFLF : FIFO フル
- CSIHnSTR0.CSIHnEMF : FIFO エンプティ

このモードを開始するときは、CSIHnSTCR0.CSIHnPCT ビットをセットする必要があります。そうすることで、CSIHnSTR0.CSIHnEMF のみ、リセットではなくセットされます。

CSIHnSTR0.CSIHnEMF を除くすべての FIFO ポインタと FIFO フラグがリセットされ、CSIHnSTR0.CSIHnEMF がセットされます。

17.5.6.2 デュアルバッファモード

このモードでは、サイズの等しい2つの部分にメモリが分割されます。つまり、64ワードが送信データに割り当てられ、64ワードが受信データに割り当てられます。デュアルバッファモードでは、個々のバッファポインタが以下の値を示します。

表 17.40 デュアルバッファモード

ポインタの説明	ポインタ ^{注1}	範囲
送信バッファに書き込み、読み出しされるデータのアドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000 _H ~ 00FC _H
受信バッファから読みだされるデータのアドレス	CSIHnMRWP0.CSIHnRRA[6:0]	0000 _H ~ 00FC _H
送信バッファに残っている送信データの数	CSIHnMCTL2.CSIHnND[6:0]	0 ~ 64
送信アドレス	CSIHnMCTL2.CSIHnSOP[6:0]	0000 _H ~ 00FC _H

注 1. 1回の書き込み、読み出しごとにポインタが自動的にインクリメントされます。

17.5.6.3 送信専用バッファモード

このモードでは、メモリ全体が送信データの保存に使用されます。

受信データは CSIHnRX0W/H から直接読み出す必要があります。

送信専用バッファモードでは、個々のバッファポインタが以下の値を示します。

表 17.41 送信専用バッファモード

ポインタの説明	ポインタ ^{注1}	範囲
送信バッファに書き込み、読み出しされるデータのアドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000 _H ~ 01FC _H
送信バッファに残っている送信データの数	CSIHnMCTL2.CSIHnND[6:0]	0 ~ 128
送信アドレス	CSIHnMCTL2.CSIHnSOP[6:0]	0000 _H ~ 01FC _H

注 1. 1回の書き込み、読み出しごとにポインタが自動的にインクリメントされます。

17.5.6.4 ダイレクトアクセスモード

ダイレクトアクセスモードでは、CSIHのメモリが完全にバイパスされます。

- CPUから送信レジスタCSIHnTX0WまたはCSIHnTX0Hに供給される送信データはシフトレジスタに直接コピーされます。
- 受信データはシフトレジスタから受信レジスタCSIHnRX0WまたはCSIHnRX0Hへ直接コピーされます。

17.5.7 データ転送モード

17.5.7.1 送信専用モード

CSIHnCTL0.CSIHnTXE = 1 かつ CSIHnCTL0.CSIHnRXE = 0 に設定すると、CSIH は送信専用モードになります。送信が開始される条件はメモリモードによって異なります。

- FIFO モードまたはダイレクトアクセスモードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタに送信データが書き込まれると送信が開始されます。
- デュアルバッファモードまたは送信専用バッファモードでは、CSIHnMCTL2.CSIHnBTST ビットがセットされると送信が開始されます。

17.5.7.2 受信専用モード

CSIHnCTL0.CSIHnTXE = 0 かつ CSIHnCTL0.CSIHnRXE = 1 に設定すると、CSIH は受信専用モードになります。

マスタモードでは、受信を開始する条件がメモリモードによって異なります。

- FIFO モードまたはダイレクトアクセスモードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタにダミーデータが書き込まれると受信が開始されます。

スレーブモードでは、マスタから送信クロック CSIHnTSCK を受信すると、ただちに受信が開始されます。この場合、スレーブの CSIHnTX0W レジスタまたは CSIHnTX0H レジスタにデータを書き込む必要はありません。

- デュアルバッファモード、または送信専用バッファモードでは、CSIHnMCTL2.CSIHnBTST ビットがセットされると受信が開始されます。

17.5.7.3 送受信モード

CSIHnCTL0.CSIHnTXE = 1 かつ CSIHnCTL0.CSIHnRXE = 1 に設定すると、CSIH は送受信モードになります。

通信（送信と受信）を開始する条件はメモリモードによって異なります。

- FIFO モードまたはダイレクトアクセスモードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタに送信データが書き込まれると通信が開始されます。
- デュアルバッファモードまたは送信専用バッファモードでは、CSIHnMCTL2.CSIHnBTST ビットがセットされると通信が開始されます。

17.5.7.4 まとめ

以下の表にこの節のまとめを記載します。この表は、さまざまなメモリモード、動作モード、転送モードでデータ転送を開始する条件を示しています。

表 17.42 データ転送の開始

メモリモードと動作モード		転送モード	
		送信専用モード 送受信モード	受信専用モード
FIFO モード、 ダイレクトアクセスモード	マスタ	CSIHnTX0W または CSIHnTX0H レジスタへの書き込み	CSIHnTX0W または CSIHnTX0H レジスタへの書き込み
	スレーブ	マスタからのクロックの受信	マスタからのクロックの受信
送信専用バッファモード、 デュアルバッファモード	マスタ	CSIHnMCTL2.CSIHnBTST = 1	CSIHnMCTL2.CSIHnBTST = 1
	スレーブ	マスタからのクロックの受信	マスタからのクロックの受信

17.5.8 データ長の選択

17.5.8.1 2～16ビットのデータ長

CSIHnCFGx.CSIHnDLSx[3:0] を使用して、チップセレクト信号ごとに2ビットから16ビットの間のデータパケット長を選択できます。以下の例は、MSBファースト (CSIHnCFGx.CSIHnDIRx = 0) での通信を示しています。

データ長 = 16ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 0000_B)

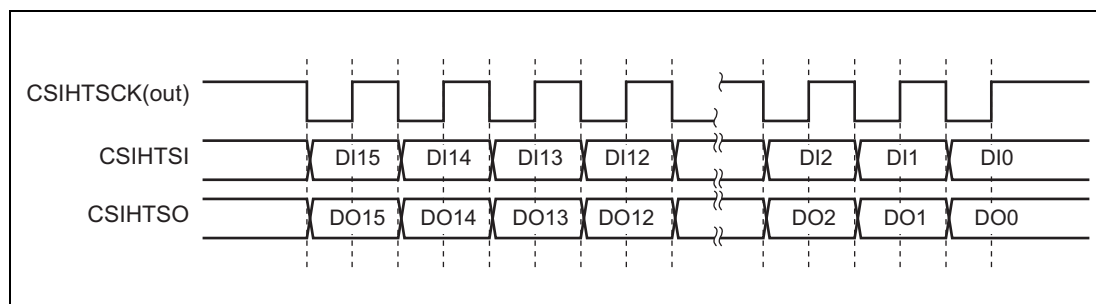


図 17.22 データ長 16 ビット、MSB ファースト

データ長 = 14ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1110_B)

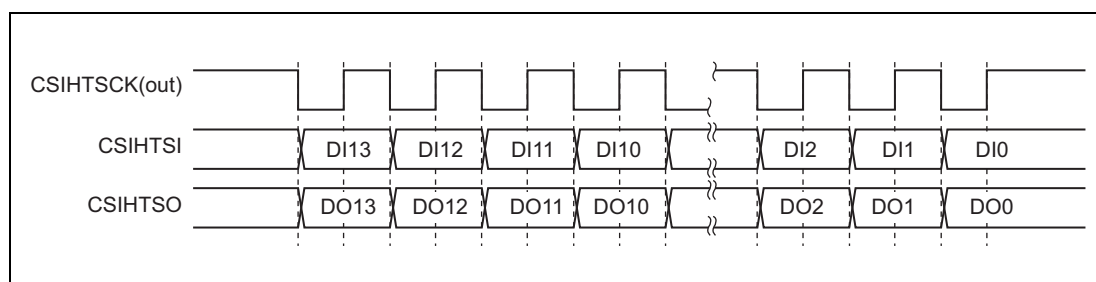


図 17.23 データ長 14 ビット、MSB ファースト

17.5.8.2 16ビットを上回るデータ長

16ビットを上回るデータを送受信する場合は、拡張データ長 (EDL) 機能を使用できます。EDL 機能は CSIHnCTL1.CSIHnEDLE ビットを 1 にセットすることで有効になります。

EDL 機能は以下のように動作します。

- データを 16 ビットのブロックと剰余部分に分割する必要があります。たとえば、42 ビットのデータは 2 つの 16 ビットブロックと 10 ビットに分割します。
- 剰余部分のビット長は、CSIHnCFGx.CSIHnDLSx[3:0] ビットに、「データ長」として設定します。
- 16 ビットブロックを送信するには、CSIHnTX0W.CSIHnEDL を 1 にセットする必要があります。その場合、CSIHnTX0W に書き込まれるデータは、CSIHnCFGx.CSIHnDLSx[3:0] ビットの設定に関係なく、データ長 16 ビットのデータとして送信されます。
- 指定されたデータ長 (CSIHnTX0W.CSIHnEDL = 0 に設定して指定された剰余部分) のブロックが送信されると転送が完了します。

例

123456789A_H という 40 ビットのデータを CS0 に送信する例

40 ビットを 2 つの 16 ビットブロックと 8 ビットに分割します。

- CSIHnCFG0.CSIHnDLS0[3:0] = 8 に初期化します。
- 123456789A_H を MSB ファーストで送信するには、以下のシーケンスを CSIHnTX0W に書き込みます。
 - 20FE 1234_H (CSIHnTX0W.CSIHnEDL = 1)
 - 20FE 5678_H (CSIHnTX0W.CSIHnEDL = 1)
 - 00FE 009A_H (CSIHnTX0W.CSIHnEDL = 0)

以下にタイミング図を示します。

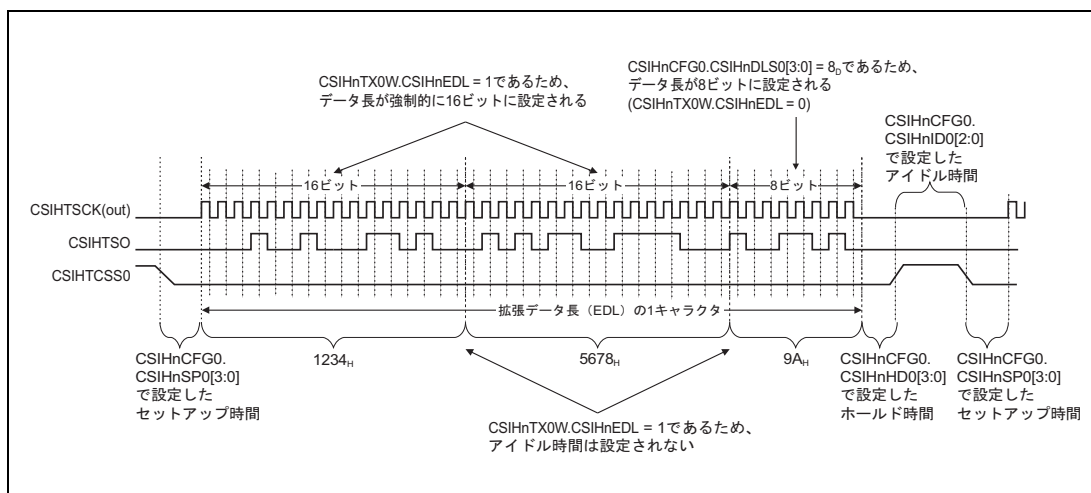


図 17.24 EDL のタイミング図

備 考

1. 1 ビットのデータ長は、EDL モードを使用するときのみ設定できます。
2. パリティが有効になっていると、最後のビットの後ろにパリティビットが追加されます。
3. 拡張データ長 (EDL) 機能を使用しているときは、同一のチップセレクト信号を使用してください。
4. 以下の例でデータ方向について説明します。
 - 送信されるデータ : 123456_H
 - MSB ファースト :
CSIHnCFGx.CSIHnDIRx = 0 に設定
CSIHnTX0W = 20FE 1234_H を書き込み (EDL ビット = 1)
CSIHnTX0W = 00FE 0056_H を書き込み (EDL ビット = 0)
 - LSB ファースト :
CSIHnCFGx.CSIHnDIRx = 1 に設定
CSIHnTX0W = 20FE 3456_H を書き込み (EDL ビット = 1)
CSIHnTX0W = 00FE 0012_H を書き込み (EDL ビット = 0)
5. CSIHnCTL1.CSIHnJE = 1, CSIHnCTL1.CSIHnEDLE = 1 のときに、CSIHnTX0W.CSIHnEOJ = 1 と CSIHnTX0W.CSIHnEDL = 1 に、同時に 1 を設定した場合は、動作の保証ができません。
6. EDL モードは、スレーブモードの受信専用モードでは使えません。
(CSIHnCTL2.CSIHnPRS[2:0] = 111_B, CSIHnCTL0.CSIHnTXE = 0, CSIHnCTL0.CSIHnRXE = 1)

17.5.9 シリアルデータ方向選択機能

CSIHnCFGx レジスタの CSIHnDIRx ビットを使用して、チップセレクト信号ごとにシリアルデータ方向を選択することができます。

以下の例はデータ長 8 ビットの通信 (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B) を示しています。

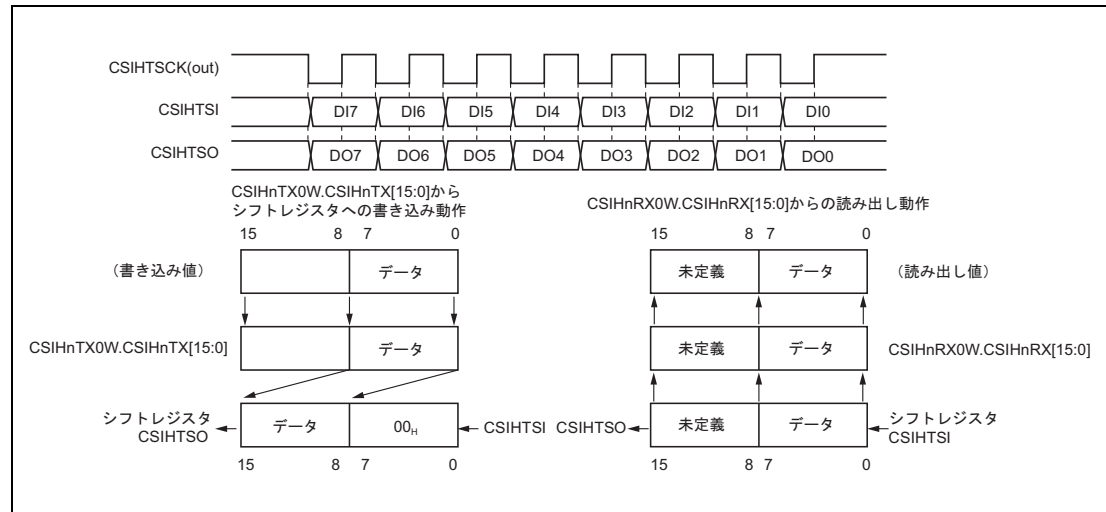


図 17.25 シリアルデータ方向選択機能 — MSB ファースト (CSIHnDIRx = 0)

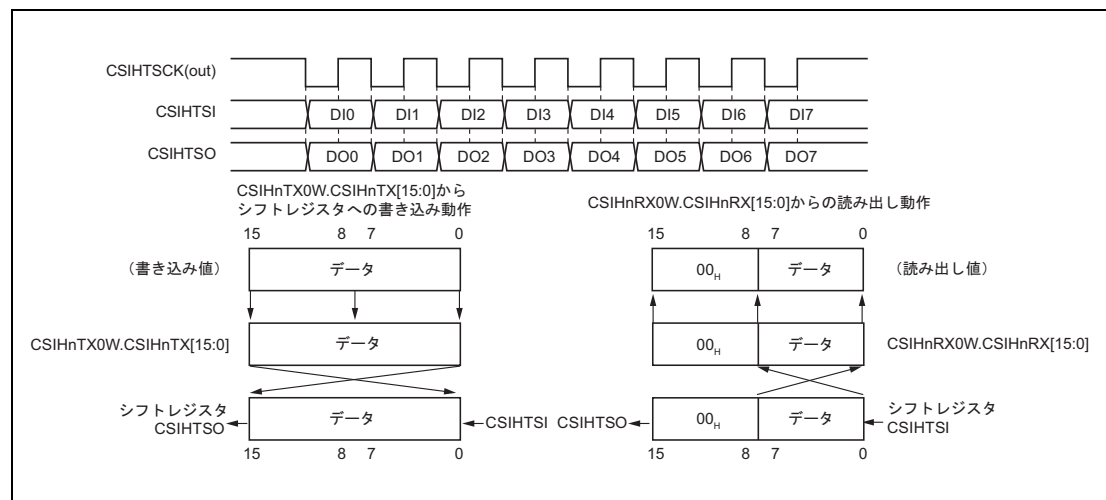


図 17.26 シリアルデータ方向選択機能 — LSB ファースト (CSIHnDIRx = 1)

17.5.10 SS (スレーブセレクト) 機能

SS (スレーブセレクト) 機能を使用することによって1つのマスタと複数のスレーブ間の通信が可能です。

マスタモードのとき1つのスレーブに対しスレーブ選択信号 (CSIHTCSSx) を出力します。スレーブモードではスレーブ入力選択信号 (CSIHTSSI) がロウレベルのとき通信を行います。

SS 機能による接続例は「17.5.2 マスタ/スレーブの接続」を参照してください。

17.5.10.1 SS 機能を使用した通信のタイミング

以下の図は、SS 機能を使用した通信の信号とタイミングを示しています。

スレーブモードでは、CSIHnCFG0 レジスタによってデータ転送の設定が決まります。

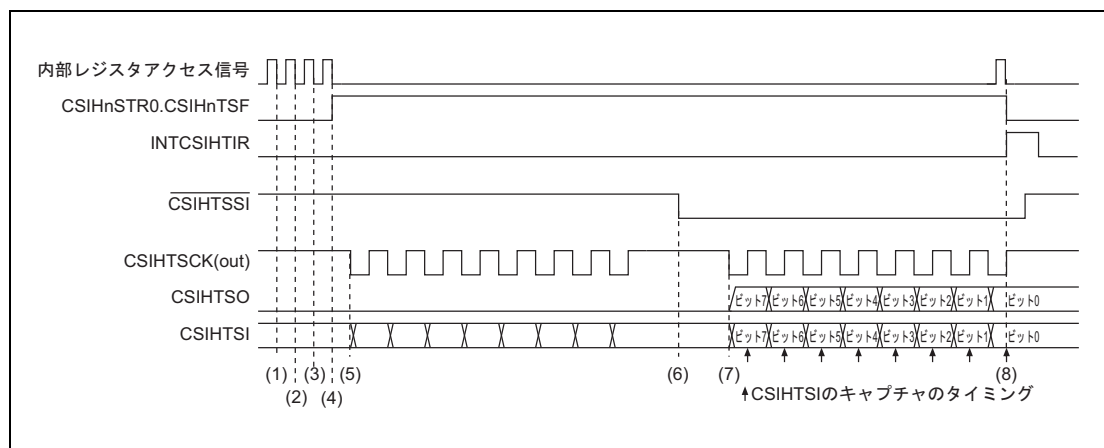


図 17.27 SS 機能を使用した通信の送受信のタイミング

- (1) CSIHnCTL2.CSIHnPRS[2:0] = 111_B を設定することによって、CSIH はスレーブモードに入ります。CSIHnCFG0.CSIHnCKP0 と CSIHnCFG0.CSIHnDAP0 は 0 です。
- (2) データ長は 8 ビットです (CSIHnCFG0.CSIHnDLS0[3:0] = 1000_B)。データ方向は MSB ファースト (CSIHnCFG0.CSIHnDIR0 = 0) です。
- (3) 送受信モードに設定されます (CSIHnCTL0.CSIHnTXE = 1, CSIHnCTL0.CSIHnRXE = 1, CSIHnCTL0.CSIHnPWR = 1)。通信の開始が許可されます。
- (4) 転送データが送信レジスタ CSIHnTX0W または CSIHnTX0H に書き込まれると、ダイレクトアクセスモードのとき、または FIFO モードのときは、転送ステータスフラグ CSIHnSTR0.CSIHnTSF が自動的にセットされます。
- (5) CSIHTSSI 信号がハイレベルである間は、外部送信クロック CSIHTSCK が入力されても、送受信は開始されません。CSIHTSI への入力は無視されます。
- (6) CSIHTSSI がロウレベルになると、CSIHTSO が有効になったことを示し、送信が可能になります。
- (7) 外部クロック信号 CSIHTSCK が検出されると、スレーブはだたちにデータを CSIHTSO に送信し、同時に CSIHTSI からデータをキャプチャします。
- (8) 割り込み INTCSIHTIR が受信の完了を示します。CSIHnRX0W/H レジスタが読み出し可能になります。

17.5.10.2 CSIHTSSO オペレーション

CSIHnPWR	CSIHnTXE	CSIHnRXE	CSIHnSSE	CSIHTSSO
0	—	—	—	H
1	—	—	0	H
	0		1	H
	1		1	CSIHTSSI レベルの反転値

CSIHTSSO 端子は、SS 機能を使用する場合にチップの SO 端子の I/O 機能を制御する信号です。

CSIHTSO 端子は CSIHTSSO 端子がハイレベルのときに有効になります (チップの SO 端子は駆動されている)。

CSIHTSO 端子は CSIHTSSO 端子がロウレベルのときに無効になります (チップの SO 端子は駆動されていない)。

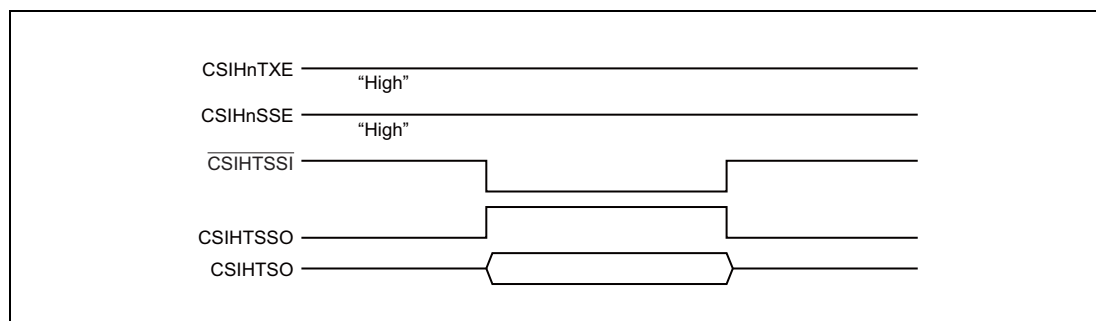


図 17.28 CSIHTSSO の動作

注意

通信中に $\overline{\text{CSIHTSSI}}$ 端子が変化した場合 (CSIHnSTR0.CSIHnTSF = 1) の通信は保証されません。

17.5.11 ハンドシェーク機能

CSIHはマスタデバイスとスレーブデバイスを同期させるハンドシェーク機能を備えています。この機能はCSIHnCTL1.CSIHnHSEビットで有効または無効にすることができます。ハンドシェークでは、CSIHTRYI、CSIHTRYO信号を使用します。

ビジーとなるタイミングはデータ位相選択CSIHnCFGx.CSIHnDAPxビットの設定によって異なります。

17.5.11.1 スレーブモード

CSIHnCTL1.CSIHnHSE = 1 のとき、スレーブはビジー状態になるとCSIHTRYO信号がロウレベルを出力します。この状態になるのは以下の2つの場合です。

1. 次の送信データが用意されていない場合：
スレーブが送信専用モードまたは送受信モードに設定されている状態 (CSIHnCTL0.CSIHnTXE = 1) で、以下の状態のとき、CSIHTRYOはビジー状態 (ロウレベル) を出力します。

表 17.43 メモリモードとスレーブの転送状態

メモリモード	スレーブの転送状態
ダイレクトアクセスモード	次の転送データがない状態
FIFOモード	次の転送データがない状態 (CSIHnSTR0.CSIHnEMF = 1 の状態)
デュアルバッファモード	CSIHnMCTL2.CSIHnBTST が1に設定されていない状態
送信専用バッファモード	

以下の例では、8ビットのデータ長を想定しています。

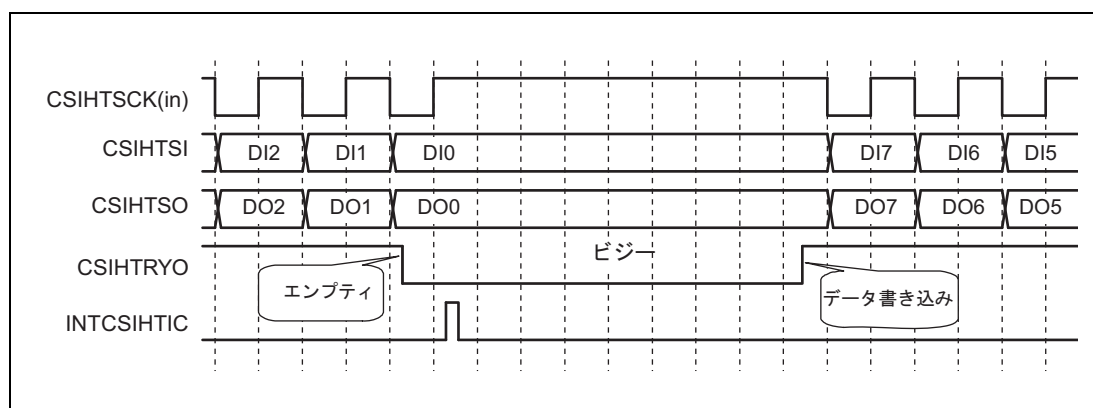


図 17.29 スレーブからのビジー信号 (FIFOモード、CSIHnCFGx.CSIHnDAPx = 0)

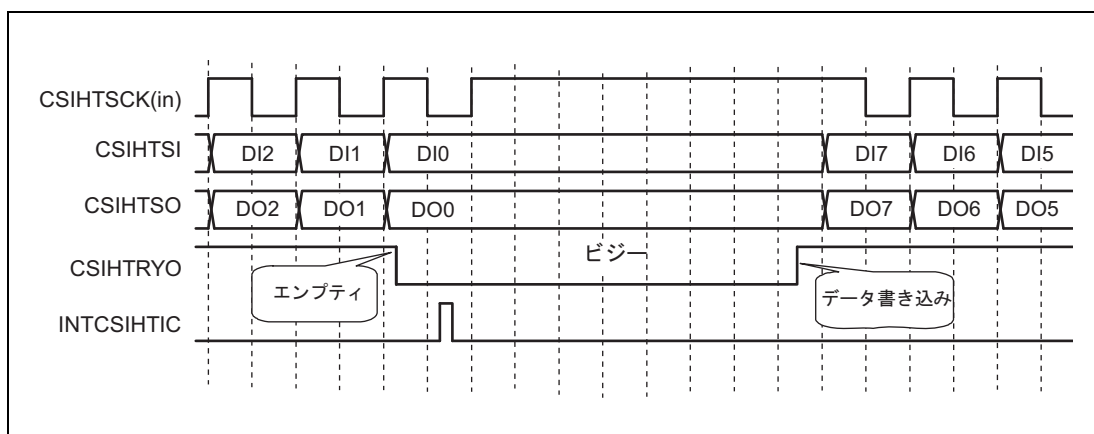


図 17.30 スレープからのビジー信号 (FIFO モード、CSIHnCFGx.CSIHnDAPx = 1)

2. 受信レジスタがフルになっている場合：
 スレープが受信専用モードまたは送受信モードに設定されている状態 (CSIHnCTL0.CSIHnRXE = 1) で、前に受信したデータがまだ CSIHnRX0W/H レジスタにあるため、新しいデータをシフトレジスタから CSIHnRX0W/H へコピーできない状態 (CSIHnRX0W/H フル状態) のとき。
 CSIHnCTL0.CSIHnRXE = 1 で、以下の状態のとき、CSIHTRYO はビジー状態 (ロウレベル) を出力します。

表 17.44 メモリモードとスレープの受信状態

メモリモード	スレープの受信状態
ダイレクトアクセスモード	CSIHnRX0W または CSIHnRX0H がフル状態
FIFO モード	受信データがバッファに残っている状態 (CSIHnSTR0.CSIHnFLF = 1 の状態)
デュアルバッファモード	該当する状態なし
送信専用バッファモード	CSIHnRX0W または CSIHnRX0H がフル状態

以下の例では、8 ビットのデータ長を想定しています。

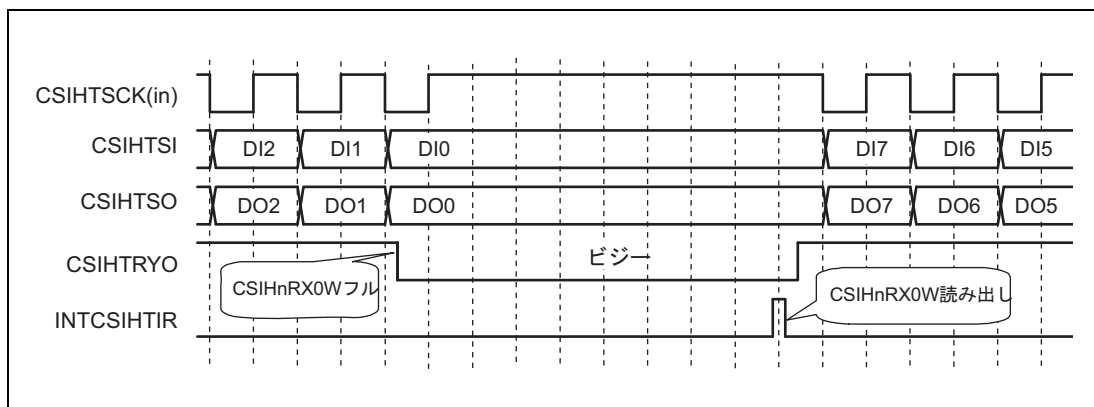


図 17.31 スレープからのビジー信号 (ダイレクトアクセスモード、CSIHnCFGx.CSIHnDAPx = 0)

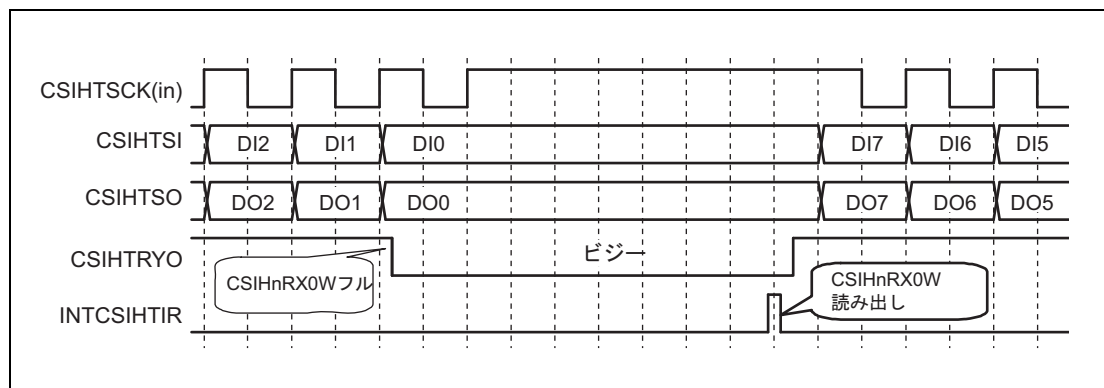


図 17.32 スレープからのビジー信号 (ダイレクトアクセスモード、 $\text{CSIHnCFGx.CSIHnDAPx} = 1$)

17.5.11.2 マスタモード

CSIHnCTL1.CSIHnHSE = 1 のとき、マスタが CSIHTRYI = 0 を検出すると、それ以降の転送が保留され、マスタは待機状態に入ります。マスタはクロック CSIHTSCK を停止させます。CSIHTRYI のレベルは、CSIHTSCK の半クロック周期ごとにチェックされます。

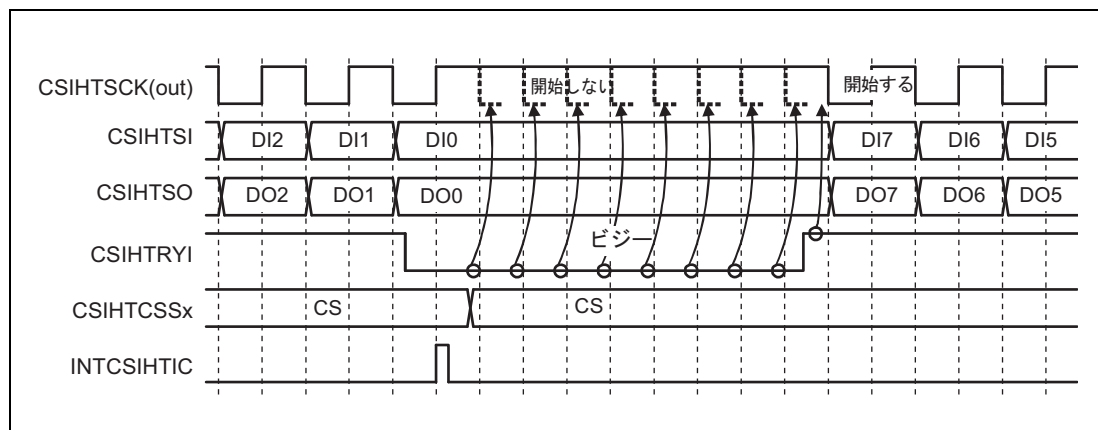


図 17.33 CSIHTRYI に対するマスタの反応 (CSIHnCFGx.CSIHnDAPx = 0)

次の転送が始まる前にスレーブは CSIHTRYI をロウレベルに下げする必要があります。データ転送中にスレーブ側で CSIHTRYI 信号をロウレベルに下げると、転送が完了した後、マスタからのシリアルクロックが停止します。

マスタは CSIHTRYI がハイレベルになる (スレーブが「レディ」になる) と、ただちに通信を再開します。

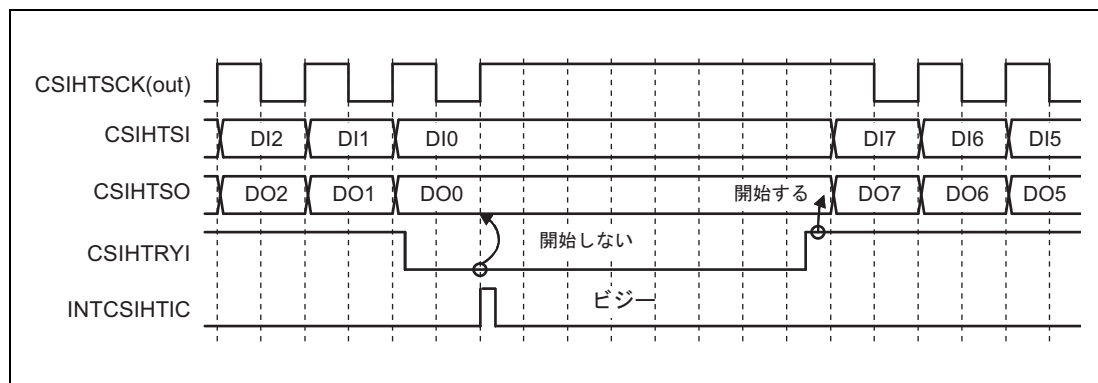


図 17.34 CSIHTRYI に対するマスタの反応 (CSIHnCFGx.CSIHnDAPx = 1)

注 意

1. 複数のスレーブが接続されている場合、マスタは、通信相手として選択したスレーブからの CSIHTRYI 信号だけを検出する必要があります。
2. データ転送中にスレーブの CSIHTRYO 信号をマスタの CSIHTRYI 端子が検出しても、データ転送が終わるまで通信は待機しません。

17.5.12 エラー検出

CSIHは5種類のエラーを検出することができます。

- データ整合性チェックエラー (送信データ)
- パリティエラー (受信データ)
- オーバランエラー (受信データ)
- タイムアウトエラー (FIFO モード時)
- オーバフローエラー (FIFO モード時)

パリティエラー、データ整合性チェックエラー、タイムアウトエラーのチェック機能は個別に有効または無効にすることができます。

これらのエラーのいずれかが検出されると、割り込み要求 INTCSIHITIRE が発生し、検出されたエラーに対応するフラグがセットされます。

17.5.12.1 データ整合性チェック

データ整合性チェックの目的は、出力信号として物理的に送信されたデータがシフトレジスタへコピーされた元のデータと同じかどうかを確認することです。

データ整合性チェックは CSIHnCTL1.CSIHnDCS ビットで有効または無効にすることができます (データ整合性チェックを行う場合は、必ず PIPn.PIPn_m = 1 に設定してください)。データ送信が禁止されていると (CSIHnCTL0.CSIHnTXE = 0)、データ整合性チェックはアクティブになりません。

データ整合性チェックがアクティブになっていると、CSIHnTX0W または CSIHnTX0H からシフトレジスタへ転送されたデータが別のレジスタへコピーされます。さらに、CSIHTSO の物理レベルが独自のシフトレジスタに読み込まれます。

送信が完了すると、送信されたデータと元の送信データとの比較が行われます。

データの不一致はデータ整合性チェックエラーと見なされます。

- 割り込み INTCSIHITIRE が発生します。
- CSIHnSTR0.CSIHnDCE ビットがセットされます。

さらに、エラーが発生したデータの CSIHnRX0W.CSIHnTDCE がセットされます。

データ整合性チェックの機能を以下のブロック図に示します。

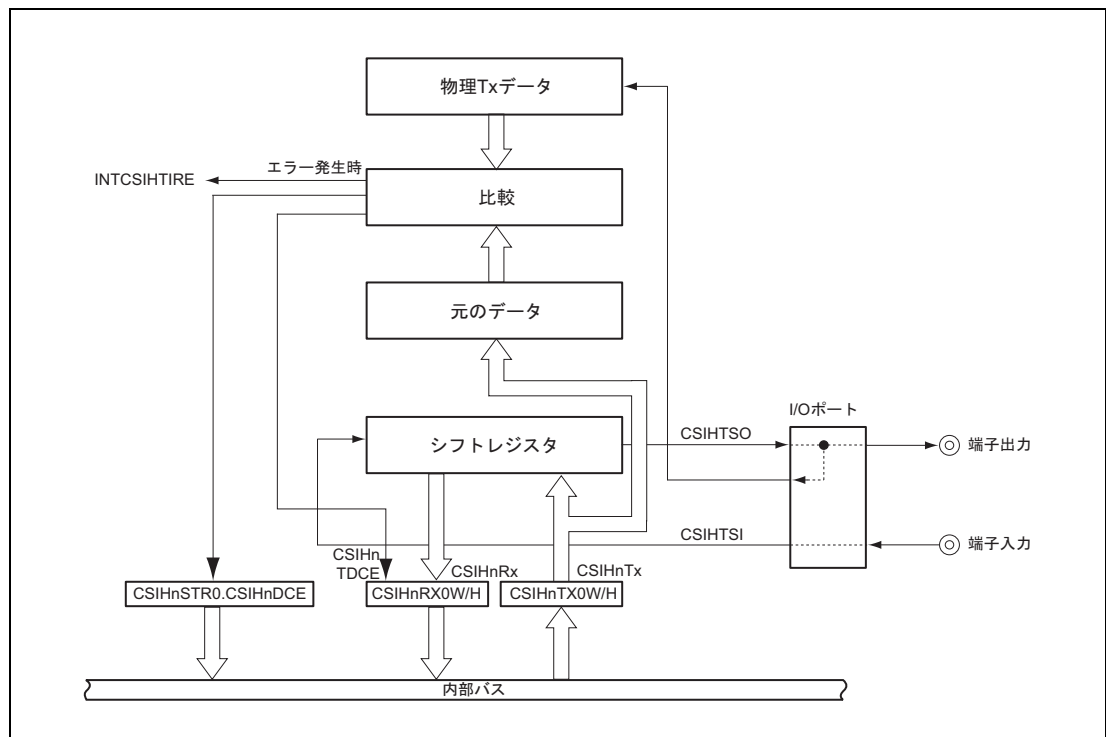


図 17.35 データ整合性チェック機能のブロック図

17.5.12.2 パリティチェック

CSIH では、最後のデータビットの後ろにパリティビットを追加することができます（拡張データ長が使われている場合を含む）。

パリティを使用するかどうかとパリティのタイプは `CSIHnCFGx.CSIHnPSx[1:0]` で指定されます。

`CSIHnCFGx.CSIHnPSx[1]=1` であれば、パリティチェックが有効になります。

パリティビットは受信完了後にチェックされます。パリティエラーが発生すると、以下のことが行われます。

- 割り込み `INTCSIHTIRE` が発生します。
- `CSIHnSTR0.CSIHnPE` ビットがセットされます。

さらに、エラーが発生したデータの `CSIHnRX0W.CSIHnRPE` がセットされます。

以下の図に例を示します。

- データ長は 8 ビットです。
- 送信されるデータは `05H` と `35H` です。
- データ方向は LSB ファーストです。
- パリティタイプは奇数です。

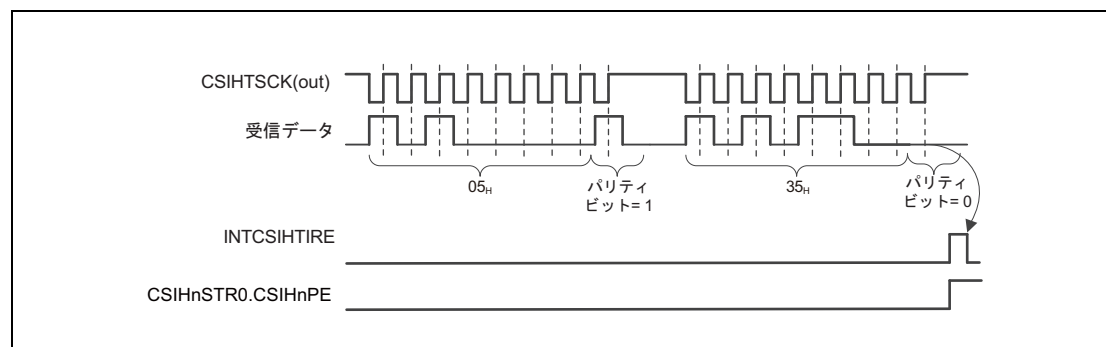


図 17.36 パリティチェックの例

1 つめのデータのパリティビットは 1 です。1 の総数（パリティビットを含む）が奇数であるため、パリティエラーは発生しません。

2 つめのデータのパリティビットは 0 です。1 の総数（パリティビットを含む）が偶数であるため、これはパリティエラーとして検出されます。

拡張データ長（EDL）機能を使用した場合、パリティビットは、データの最後のビットの後ろに追加されます。

17.5.12.3 タイムアウトエラー

タイムアウトエラーチェックはスレーブの FIFO モードでのみ可能です。

タイムアウトエラーは、ある一定の時間において次のどちらも行われなかった場合に発生します。

- FIFO 内の受信データが読み出し
- FIFO が CSIHTSI からデータを受信

タイムアウトの時間は、CSIHnMCTL0.CSIHnTO[4:0] によって送信クロック CSIHTSCK の 8 倍の単位で定義されます。指定された時間を超過するとタイムアウトエラーが発生します (CSIHnMCTL0.CSIHnTO[4:0] = 00000_B に設定した場合タイムアウト時間は検出されません)。

専用のタイムアウトカウンタは、CSIHnCTL2.CSIHnPRS[2:0] ビットと、CSIHnBRSy.CSIHnBRS[11:0] ビットで設定をします。

CSIHnBRSy.CSIHnBRS[11:0] ビットに 000_H を設定したままなら、専用のタイムアウトカウンタは動作しません。

専用のタイムアウトカウンタで最後の読み出し操作から次の読み出し操作までの時間を測定します。

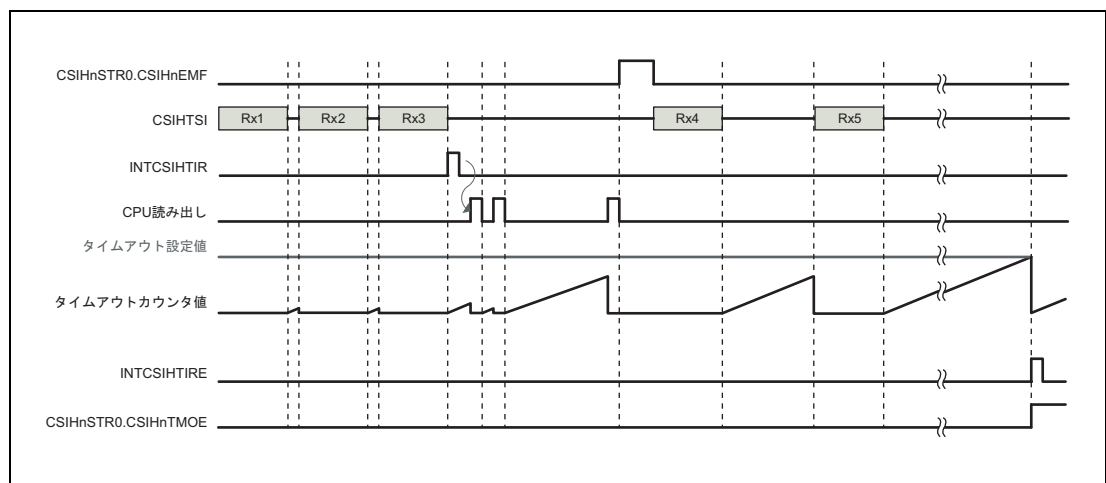


図 17.37 タイムアウトチェック機能のタイミング図

タイムアウトカウンタのスタートタイミングを次に示します。

- 受信が完了したとき
- CPU からのデータ読み込みが完了したとき
(バッファが空なら、カウンタはスタートしません)
- タイムアウトエラーを検出したとき

タイムアウトエラーが検出された後、そのままであれば、タイムアウトカウンタは再起動します。

CSIHnMCTL0.CSIHnTO[4:0] ビットで設定した値まで再度来た場合は、INTCSIHTIRE 割り込みが再度出力されます。

タイムアウトカウンタは受信データがリードされない限りはカウントし続けます。タイムアウトカウンタを停止したい場合、すべての受信データを読みだすか、

CSIHnSTCR0.CSIHnPCT をセット (1) してください。ただしその場合、ポインタがクリアされます。

タイムアウトカウンタのリセットタイミングを次に示します。

- 読み出しが1回行われる
- 新しいデータが1つ着信
- タイムアウトエラーを検出
- CSIHnSTCR0.CSIHnPCT ビットをセット (1)

タイムアウトエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIHTIRE が発生します。
- CSIHnSTR0.CSIHnTMOE ビットがセットされます。

17.5.12.4 オーバフローエラー

オーバフローエラーは FIFO モードで発生する可能性があります。オーバフローエラーは、FIFO バッファが受信データフルになっている状態で CSIHnTX0W レジスタに送信データが書き込まれると発生します。

例

100 個のデータが送信されています。つまり、FIFO には 100 個の受信データが格納されています。アプリケーションが受信データの読み出しを開始します。

読み出し操作の進行中に、アプリケーションが新たに 50 個の送信データを FIFO に書き込みはじめます。しかし、現在までに 10 個の受信データしか読み出されておらず、90 個のデータがまだ FIFO に残っています。

この例では、新しい送信データを受け入れることができるバッファは 38 個しかありません。CPU が 39 個目のデータを書き込もうとすると、オーバフローエラーが発生します。

以下の図はその様子を示しています。

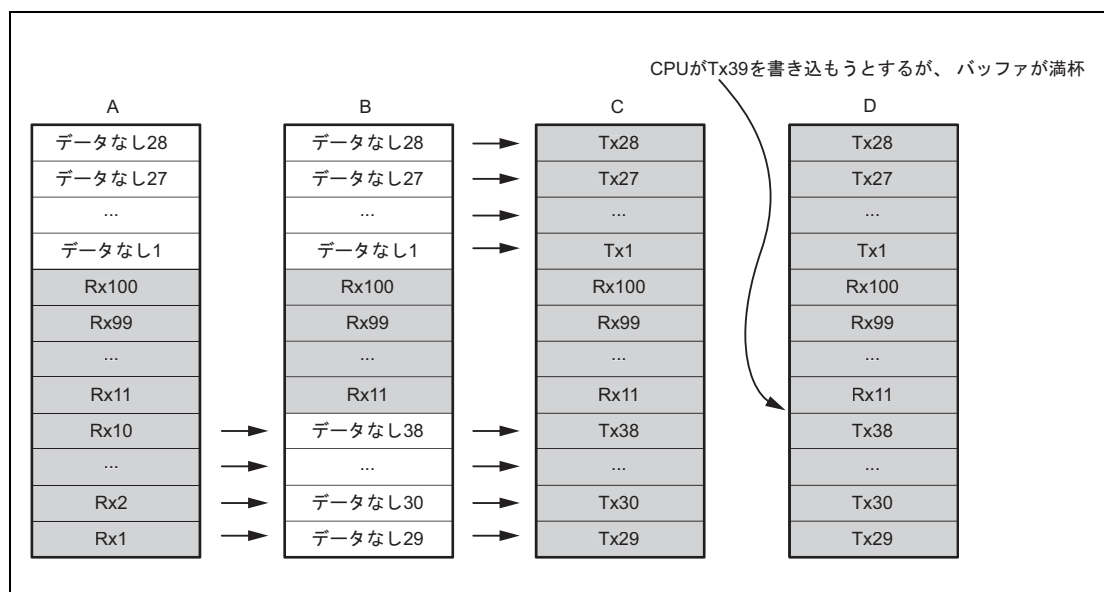


図 17.38 FIFO の概要

39 個目以降のデータは破棄されます。以下の図にオーバーフローのタイミングを示します。

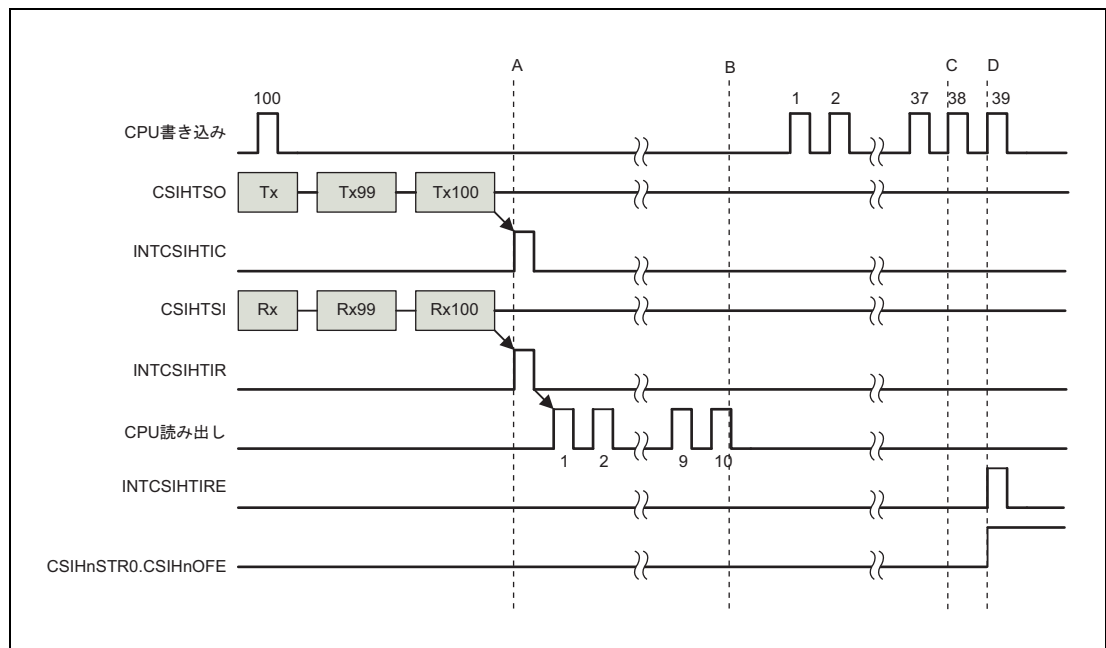


図 17.39 FIFO のオーバーフローのタイミング

オーバーフローエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIHTIRE が発生します。
- CSIHnSTR0.CSIHnOFE ビットがセットされます。

17.5.12.5 オーバランエラー

オーバランエラーは、ダイレクトアクセスモード、送信専用バッファモード、FIFO モードで発生する可能性があります。デュアルバッファモードでオーバランエラーが発生する可能性はありません。データ受信が禁止されていると (CSIHnCTL0.CSIHnRXE = 0)、オーバランエラーは発生しません。

オーバランエラーの発生条件は2つあります。

エラー発生条件 1

- FIFO モードで受信データの数が 0 になった状態で、CPU が CSIHnRX0W/H レジスタをリードした場合

エラー発生条件 2

- スレーブモードで CSIHnCTL1.CSIHnHSE = 0 (ハンドシェイクなし) の場合
 - ダイレクトアクセスモードもしくは送信専用バッファモードで、前の受信データが CSIHnRX0W/H レジスタに残っている状態で受信を完了した場合
 - FIFO モードで、FIFO バッファが受信データでフル状態で受信を完了した場合

(1) ダイレクトアクセス/送信専用バッファ

ダイレクトアクセスモードと送信専用バッファモードでは、新たに受信したデータをシフトレジスタから受信レジスタ CSIHnRX0W/H へ転送できなくなると、このエラーが発生します。CSIHnRX0W/H が読み出されていないため、前に受信したデータが CSIHnRX0W/H に残っていると、その状態になります。以下の図にオーバランエラー検出機能の仕組みを示します。

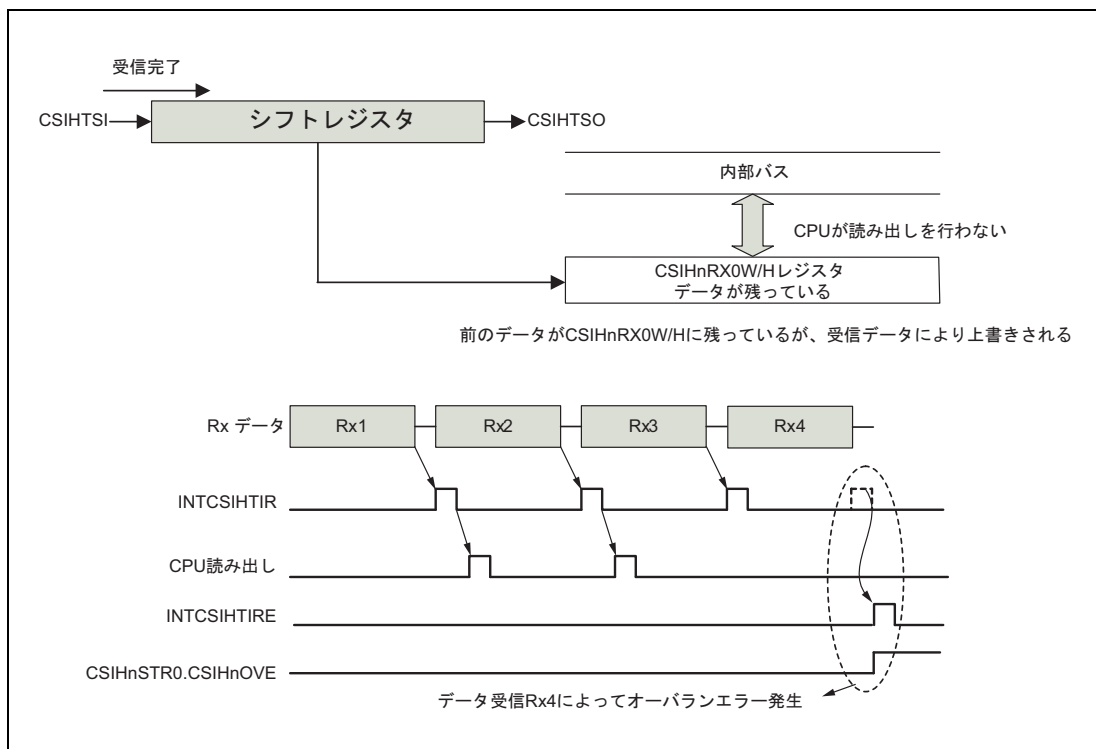


図 17.40 ダイレクトアクセスモードと送信専用バッファモードでのオーバランエラーの検出

備考

スレーブモードでは、ハンドシェイク機能を利用してオーバランエラーを回避することができます。

スレーブモードでハンドシェイクを使用すると、受信側（スレーブ）は送信側（マスタ）に自分がビジーであることを伝えます。送信側は受信側が自分の受信レジスタを読み出し、再びレディ状態になるまで待機します。

(2) FIFO モード

FIFO モードでは、以下の条件でエラーが発生します。

1. FIFO フルのため、新たに受信したデータをシフトレジスタから FIFO へ転送できない

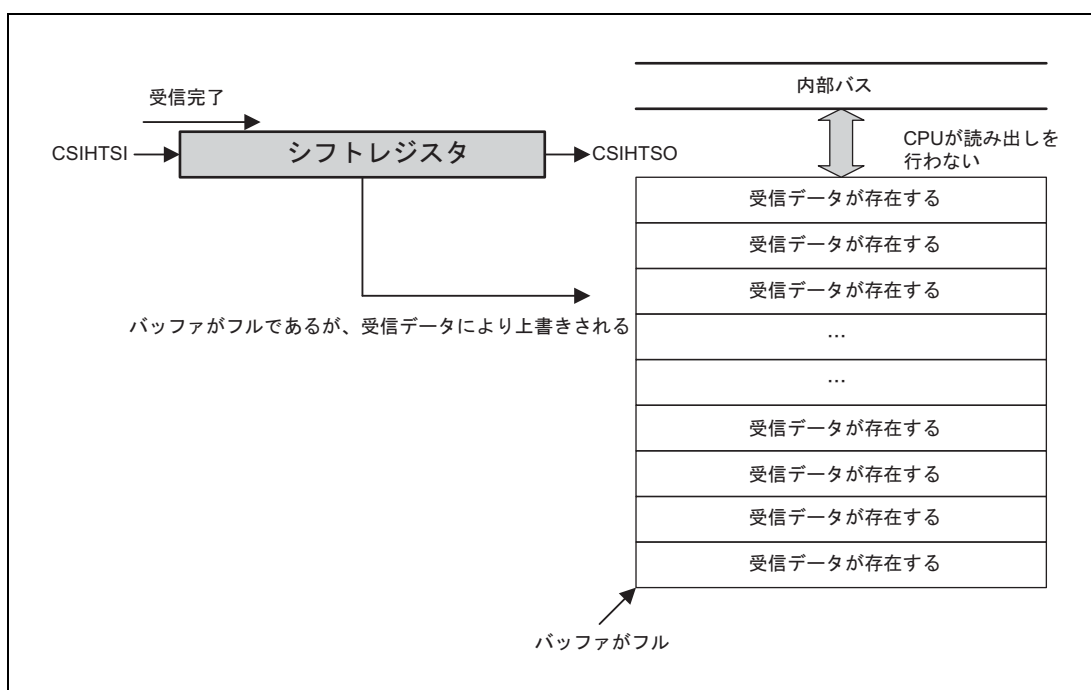


図 17.41 FIFO モードでのオーバランエラーの検出 (FIFO フル)

備考

スレーブモードでは、ハンドシェイク機能を利用してオーバランエラーを回避することができます。

スレーブモードでハンドシェイクを使用すると、受信側（スレーブ）は送信側（マスタ）に自分がビジーであることを伝えます。送信側は受信側が自分の受信レジスタを読み出し、再びレディ状態になるまで待機します。

2. CPU が存在しない受信データを読み出そうとしている

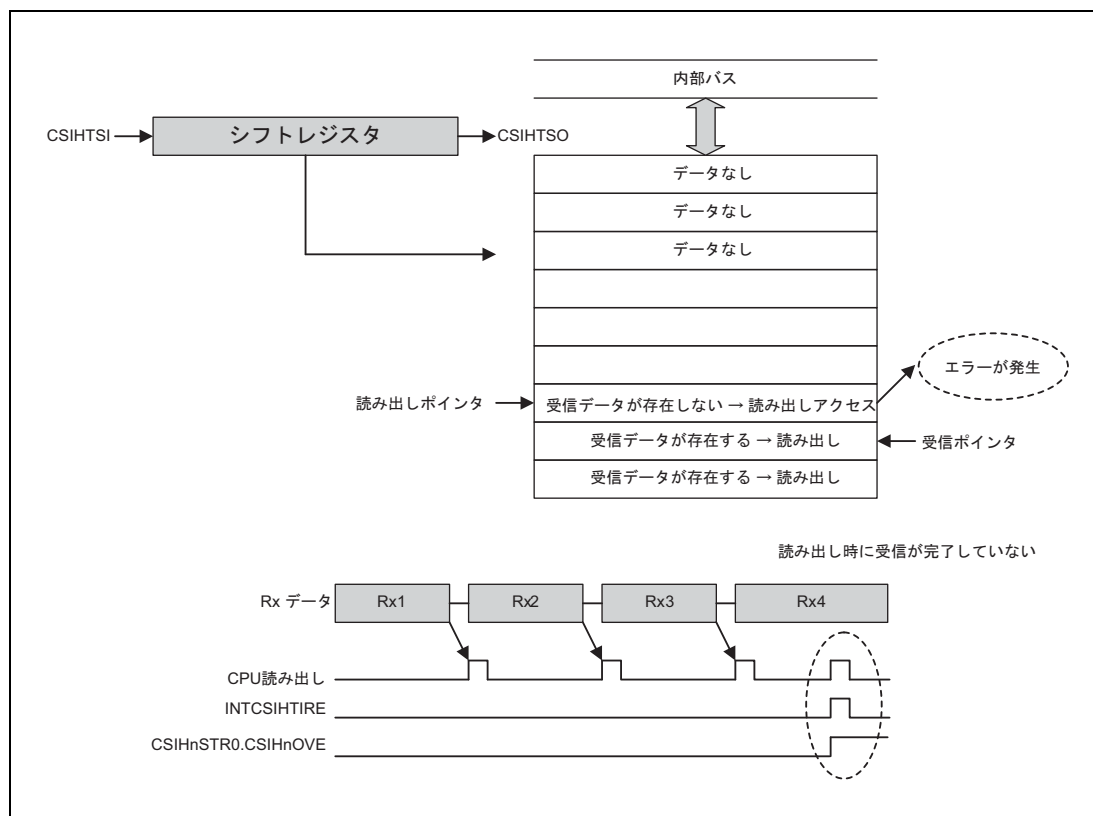


図 17.42 FIFO モードでのオーバランエラーの検出 (データなし)

オーバランエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIHTIRE が発生します。
- CSIHnSTR0.CSIHnOVE ビットがセットされます。
- 受信データが上書きされ、通信は継続します。
(CPU が存在しないデータを読み出そうとした場合、受信完了まで待機した後に CPU による読み出しが再開します。)

詳細については、「**17.5.11 ハンドシェイク機能**」を参照してください。

17.5.13 ループバックモード

ループバックモードは自己テスト用の特殊なモードです。この機能はマスタモードでのみ利用できます。

このモードがアクティブ (CSIHnCTL1.CSIHnLBM = 1) になっていると、CSIHTCSSx はインアクティブレベルに固定されます (アクティブレベルは CSIHnCTL1.CSIHnCSLx の値で定義されます)。そして、以下の図に示すように、送信信号と受信信号が内部で接続されます。CSIHTSCK 信号、CSIHTSO 信号、CSIHTSI 信号、CSIHTCSSx 信号はポートから切り離されます。さらに、CSIHTSO の出力レベルがロウレベルに固定され、CSIHnCFGx.CSIHnCKPx の値に関係なく、CSIHTSCK はリセットレベル (High) に設定されます。CSIH のそれ以外の部分は通常どおりに動作します。

CSIH をテストするには、ループバックモードに設定し、通常の転送操作を実行します。その後、受信データが送信データと同じかどうかをチェックします。ループバックテストは、接続先のデバイスに影響を与えません。

表 17.45 ループバックモード使用時の端子の出力レベル

端子名	出力レベル
CSIHTSCK(out)	ハイレベル
CSIHTCSS[7:0]	インアクティブレベル
CSIHTSO	ロウレベル (それまでの値に依存しない)
割り込み	通常の機能
CSIHTRYO	通常の機能 (ロウレベル)

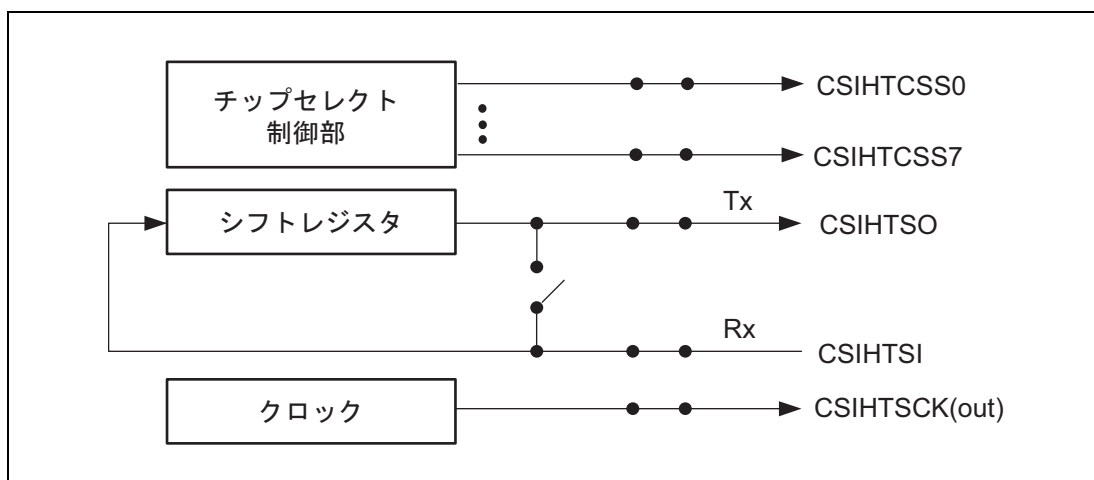


図 17.43 通常の動作

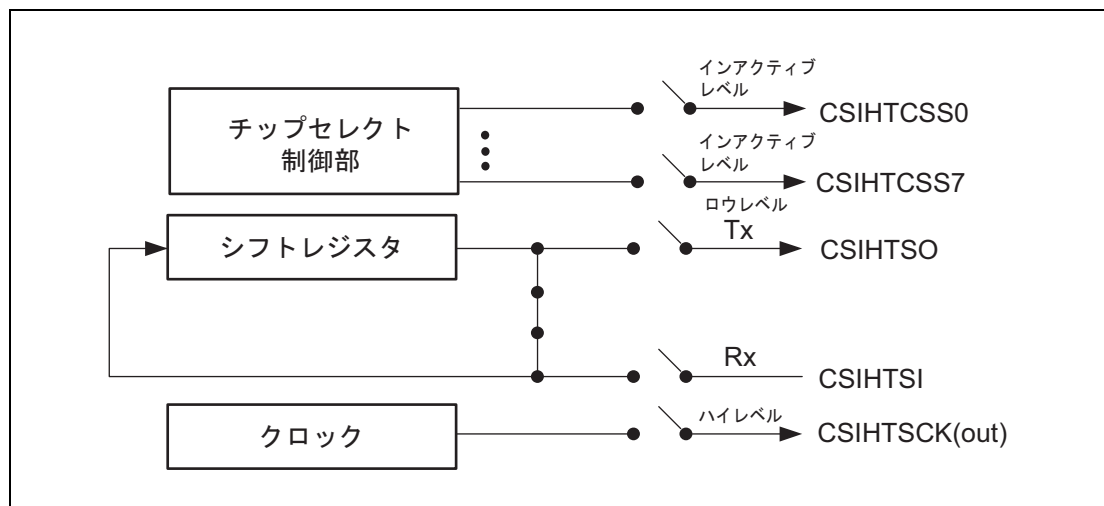


図 17.44 ループバックモードでの動作

17.5.14 CPU 制御による高優先通信機能

CSIH は、低優先通信を行っているときに、CPU からの高優先通信要求があった場合に、低優先通信を中断して、高優先通信を行う機能を備えています。本機能は、低優先通信として送信専用バッファモード、高優先通信としてダイレクトアクセスモードのみに対応します。本機能を有効にするためには、 $CSIHnCTL1.CSIHnPHE = 1$ 、 $CSIHnCTL1.CSIHnJE = 1$ を設定する必要があります。

CPU 制御により高優先通信を行う例を示します。

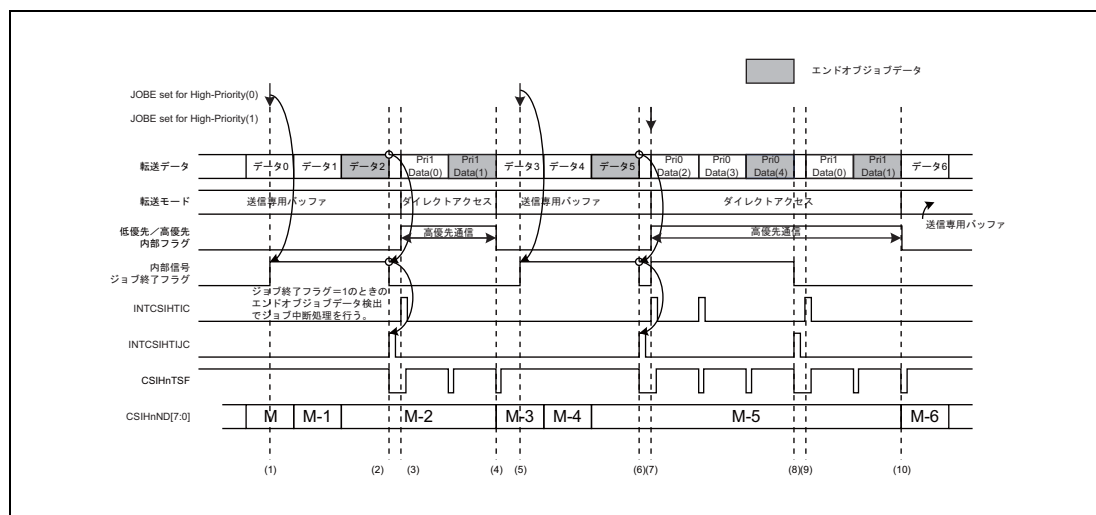


図 17.45 CPU 制御による高優先通信例

- (1) 低優先通信中に、 $CSIHnCTL0.CSIHnJOBE = 1$ を設定することで、エンドオブジョブデータに続いて高優先通信を行うことを通知し、内部信号フラグをセットします。
- (2) エンドオブジョブデータを検出すると、現在の低優先通信を中断して INTCSIHTIJC 割り込みを発生します。通信を中断したことで、内部信号 JOB 終了フラグがクリアされ、続く高優先通信に備えてメモリモードをダイレクトアクセスモードに自動切り換えします。
- (3) CPU が、割り込みを検出し、高優先通信の最初の送信データを CSIHnTX0W または CSIHnTX0H にライトすることで、通信を開始します。
- (4) エンドオブジョブデータを検出すると、通信を中断します。このとき内部信号 JOB 終了フラグが 0 のため、CSIH は、次の通信が低優先通信であると判断し、メモリモードを送信専用バッファモードに自動切り替えた後、中断していた低優先通信を再開します。
- (5) (1) と同じ
- (6) (2) と同じ
- (7) CPU が、割り込みを検出し、高優先通信の最初の送信データを CSIHnTX0W または CSIHnTX0H にライトすることで、通信を開始します。CPU は、次の通信が高優先通信であることを通知するため、再び $CSIHnCTL0.CSIHnJOBE = 1$ を設定します。
- (8) エンドオブジョブデータを検出すると、通信を中断して INTCSIHTIJC 割り込みを発生します。このとき、内部信号 JOB 終了フラグ = 1 のため、続く通信も高優先通信と判断し、通信開始を待ちます。
- (9) (3) と同じ

(10) (4) と同じ

注 意

低優先通信から高優先通信に切り替わる際のメモリモード切り換え動作（送信専用バッファモードからダイレクトアクセスモードへの切り替え）および、高優先通信から低優先通信に切り替わる際のメモリモード切り換え動作（ダイレクトアクセスモードから送信専用バッファモードへの切り替え）は、自動的に行われます。

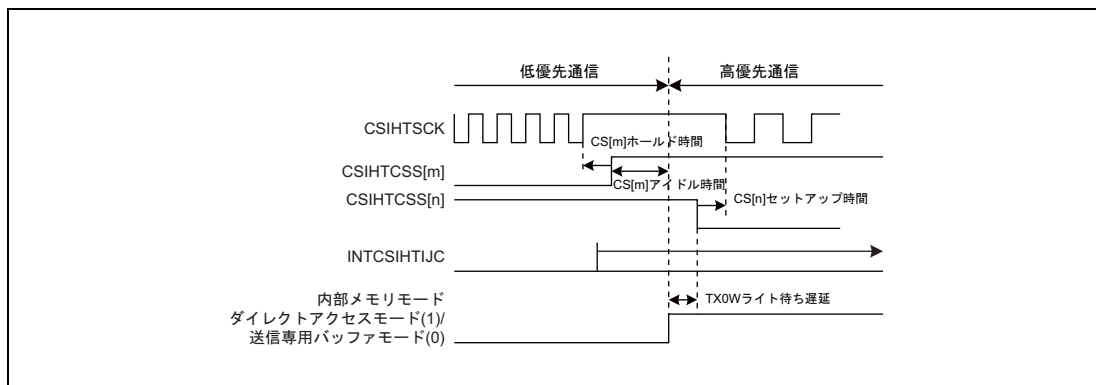


図 17.46 低優先モードから高優先モードへの移行

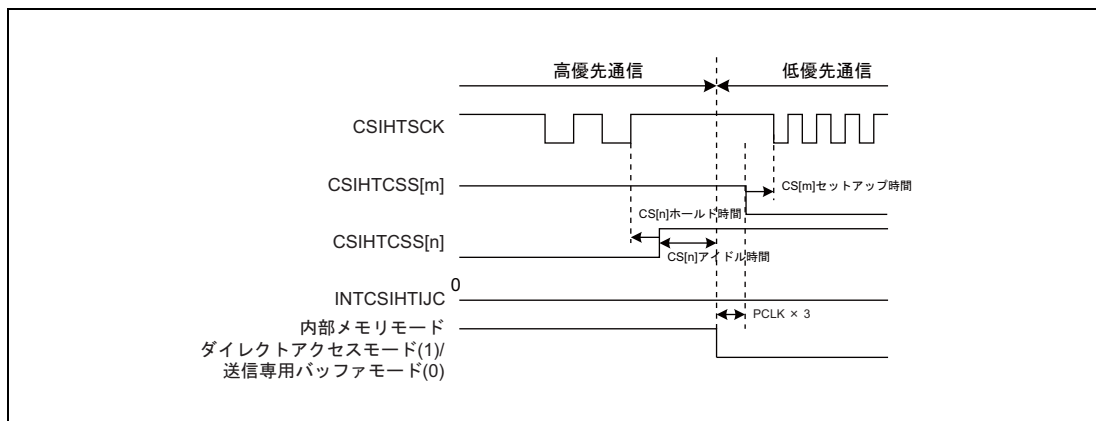


図 17.47 高優先モードから低優先モードへの移行

低優先／高優先通信モードの切り替えを正しく行うために、通信データのライト動作および、CSIHnCTL0.CSIHnJOB_E ビット操作は設定禁止期間では行わないでください。

CSIHnTX0W レジスタライト禁止期間：

- 高優先通信モードに移行するための CSIHnJOB_E ビット設定後、INTCSIHTIJC 割り込みを検出するまでの期間。
- 高優先通信の最後のデータ（End of JOB データ）をライトした後、CSIHnHPST ステータス = 0 を検出するまでの期間。

CSIHnJOB_E レジスタライト禁止期間：

- 高優先通信モードに移行するための CSIHnJOB_E ビット設定後、INTCSIHTIJC 割り込みを検出するまでの期間。

高優先通信モード期間中は CSIHnJOBE ビットの設定禁止期間はありません。通信データをライトする前に CSIHnJOBE ビットを設定することも可能です。例えば、予め複数の JOB データを高優先で通信することが分かっている場合は、最初の通信データをライトする前に CSIHnJOBE ビットを設定しておくことができます。

注 意

高優先通信の最後の通信が終了する間に CSIHnJOBE ビットをセットした場合、内部で CSIHnJOBE ビットのセットを検出するタイミングによって動作が異なります。

最終ビットの通信が完了する前に CSIHnJOBE ビットのセットを検出した場合は、高優先通信モードを継続します。

最終ビットの通信が完了した後に CSIHnJOBE ビットのセットを検出した場合は、一旦低優先通信モードへ復帰した後、低優先通信データの End of JOB データを検出して、再び高優先通信モードへ遷移します。

17.5.15 強制 CS アイドル設定

CSIHnCFGx.CSIHnIDLx を設定することで、連続する2つの転送データ間にアイドル状態を挿入することができます。

1. CSHnCFGx.CSIHnIDLx が 0 のとき
次の CSIHTCSSx が前と同じ場合、アイドル状態が挿入されず、データ間時間が挿入されます。
次の CSIHTCSSx が前と違う場合、アイドル状態が挿入されます。
2. CSHnCFGx.CSIHnIDLx が 1 のとき
次の CSIHTCSSx が前と同じ場合でも、アイドル状態が常に挿入されます。

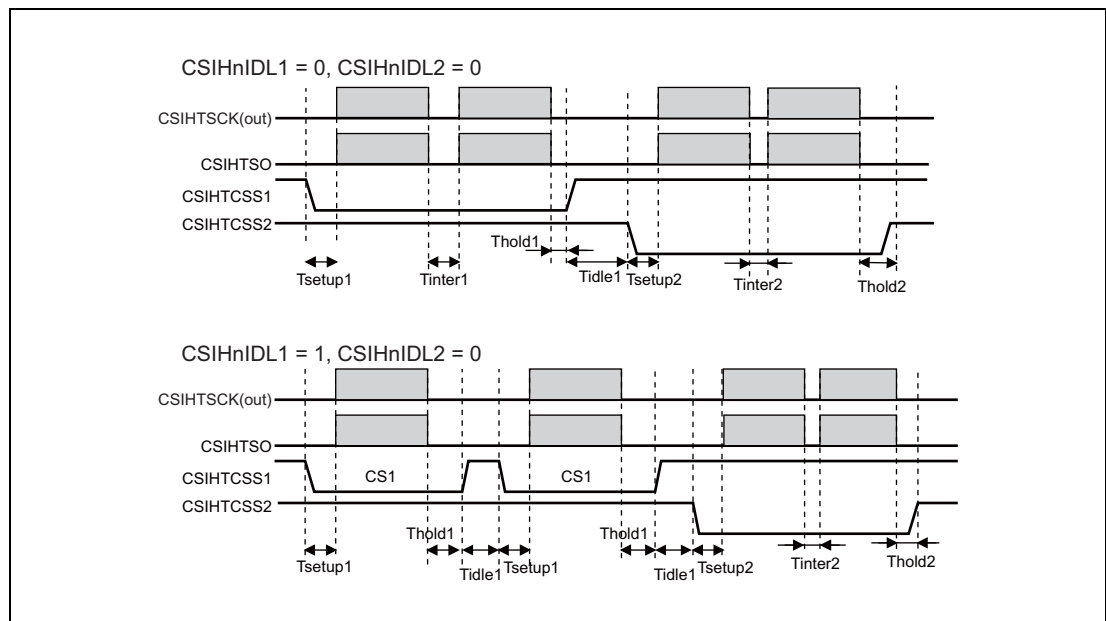


図 17.48 強制 CS アイドル設定の例

注意

CPU 制御による高優先通信機能を有効にしている場合 (CSIHnCTL1.CSIHnPHE = 1) で、低優先通信モードから高優先通信モードに移行するときと、高優先通信モードから低優先通信モードに移行するときは、CSIHnCFGx.CSIHnIDLx ビット設定にかかわらずアイドル状態が挿入されます。

17.6 操作手順

ここに示す例および手順は、以下のメモリモード順に記載されています。

- ダイレクトアクセスモード
- 送信専用バッファモード
- デュアルバッファモード
- FIFO モード

17.6.1 ダイレクトアクセスモードでの手順

マスタのジョブモードが無効になっている例とジョブモードが有効になっている例を示します。

17.6.1.1 マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード無効 (CSIHnCTL1.CSIHnJE = 0)
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- ダイレクトアクセスモード (CSIHnCTL0.CSIHnMBS = 1)

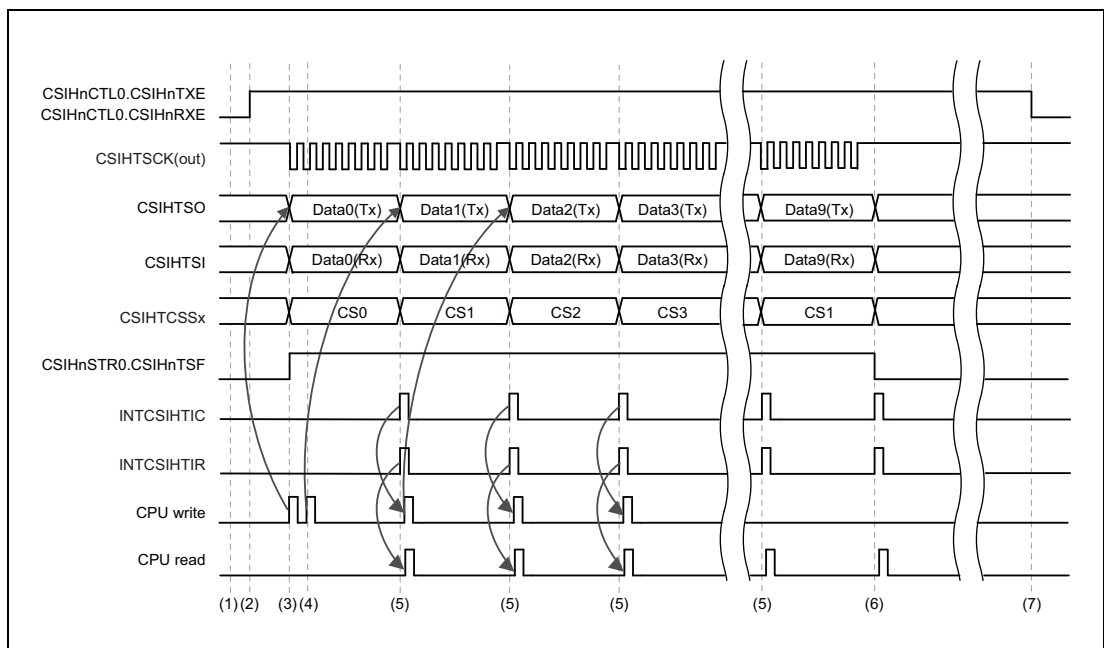


図 17.49 ダイレクトアクセスモードのマスタ、CSIHnCTL1.CSIHnJE = 0

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CSIHnCSS0 ~ CSIHnCSS3 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブモードを指定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可)、CSIHnMBS = 1 (ダイレクトアクセスモード選択) に設定します。
3. 最初の送信データを送信レジスタ CSIHnTX0W に書き込みます。同じ書き込み操作で CS0 をアクティブにします。最初のデータが利用可能になると送信が自動的に開始されます。
4. 2番目のデータを CSIHnTX0W に書き込みます。必要に応じて、CS を変更し、別のデバイスを通信相手にすることができます。最初のデータを書き込んだ直後に2番目のデータを書き込むことで、データ間の不要な遅延を回避できます。
5. データが送受信されるたびに割り込み INTCSIHTIC と INTCSIHTIR が発生します。
 - INTCSIHTIC は、次のデータを CSIHnTX0W に書き込めることを示します。
 - INTCSIHTIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。
6. データ8の書き込みが完了すれば、それ以降の書き込みアクションは必要ありません。データ9(最後のデータ)は、その前に書き込まれています。
ただし、データ8とデータ9の書き込みが完了したあと、受信レジスタ CSIHnRX0W を読み出す必要があります。
7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR=0 に設定してください。

17.6.1.2 マスタモードでジョブモードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード有効 (CSIHnCTL1.CSIHnJE = 1)
- 通常の INTCSIH TIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- ダイレクトアクセスモード (CSIHnCTL0.CSIHnMBS = 1)
- それぞれ 3 個のデータを送信する 2 つのジョブ

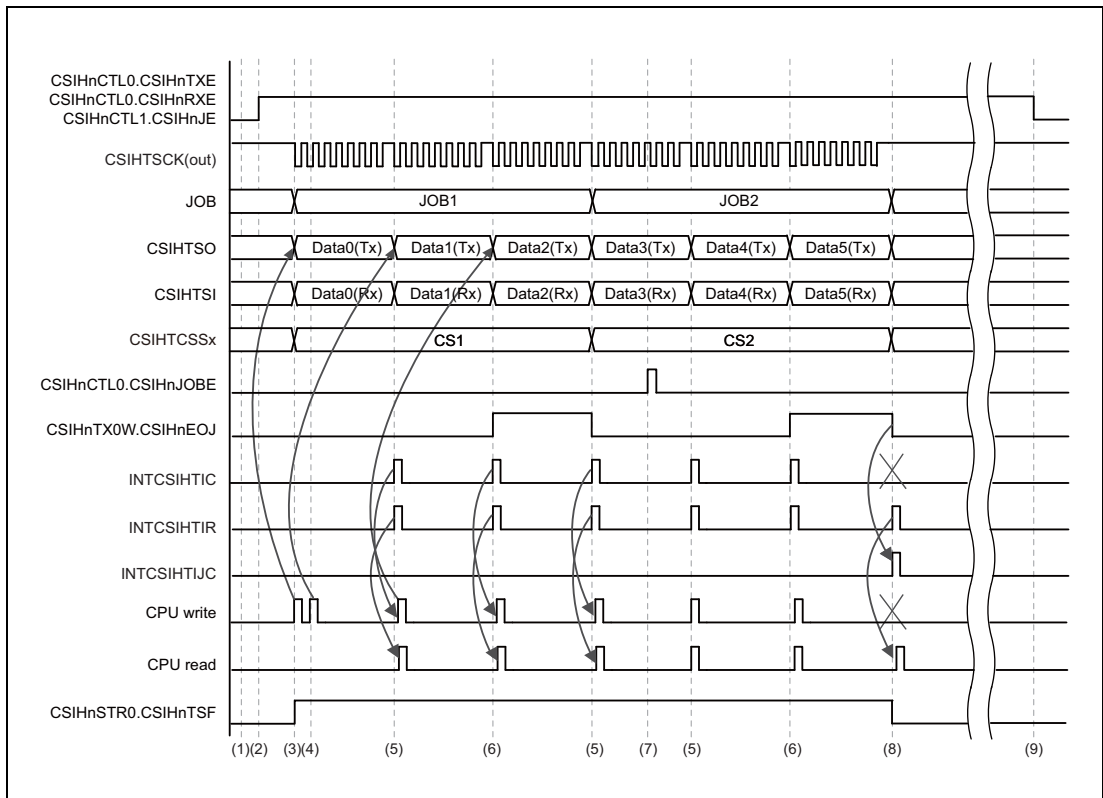


図 17.50 ダイレクトアクセスモードのマスタ、CSIHnCTL1.CSIHnJE = 1

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CS1、CS2 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブモードを指定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可)、CSIHnMBS = 1 (ダイレクトアクセスモード選択) を設定します。
3. 最初の送信データを送信レジスタ CSIHnTX0W に書き込みます。最初のデータが利用可能になると送信が自動的に開始されます。
通信が進行中であることを CSIHnSTR0.CSIHnTSF フラグが示します。
4. 2 番目のデータを CSIHnTX0W に書き込みます。最初のデータを書き込んだ直後に 2 番目のデータを書き込むことで、データ間の不要な遅延を回避できます。
5. データが送受信されるたびに割り込み要求 INTCSIHTIC と INTCSIHTIR が発生します。
 - INTCSIHTIC は、次のデータを CSIHnTX0W に書き込めることを示します。
 - INTCSIHTIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。
6. CSIHnTX0W.CSIHnEOJ = 1 に設定することで、現在のジョブの最後のデータが送信されることを示します。そのあと、次のジョブを開始できます。
7. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、現在のジョブ (ジョブ 2) の終了時に通信を強制的に停止します。
8. 通信の強制停止後、割り込み要求 INTCSIHTIC が INTCSIHTIJC に置き換えられます。INTCSIHTIR は通常どおりに発生します。
割り込み要求 INTCSIHTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
割り込み要求 INTCSIHTIC は発生しません。また、CSIHnTX0W レジスタ内の利用可能な送信データは送信されません。
9. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

通信を停止せず新しい送信を開始する場合は、手順 3 以降の手順で実施ください。

17.6.2 送信専用バッファモードでの手順

マスタのジョブモードが無効になっている例とジョブモードが有効になっている例を示します。

17.6.2.1 マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード無効 (CSIHnCTL1.CSIHnJE = 0)
- データの数：9 (CSIHnMCTL2.CSIHnND[7:0] = 09_H)
- 転送開始アドレス：10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- 送信専用バッファモード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 10_B)

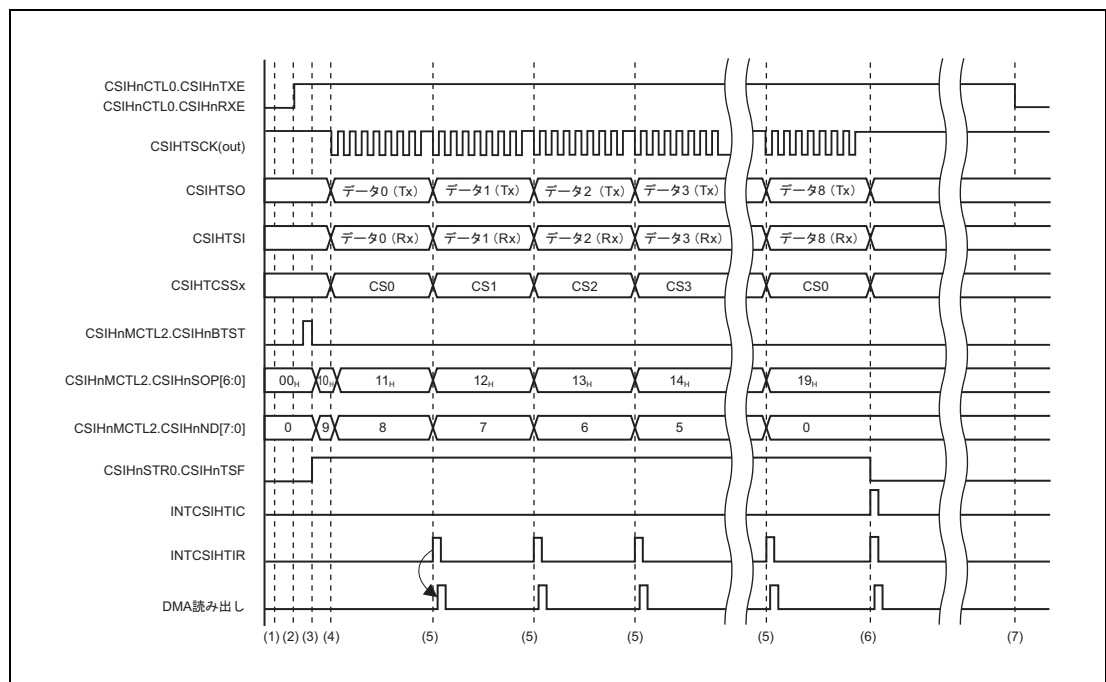


図 17.51 送信専用バッファモードのマスタ、CSIHnCTL1.CSIHnJE = 0

備考

ここでは、バッファにデータを書き込む手順は説明しません。

手順 :

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CSIHnCSS0 ~ CSIHnCSS3 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0] でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0] = 10_B (送信専用バッファモード) に設定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
3. ビット CSIHnMCTL2.CSIHnSOP[6:0] ビットと CSIHnMCTL2.CSIHnND[7:0] ビットを設定することによって送信ポイントとデータの数を設定します。
CSIHnMCTL2.CSIHnBTST を設定することによってバッファ転送を開始します。
4. 送受信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、データが1つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。
5. データが1つ受信されるたびに割り込み要求 INTCSIHTIR が発生します。INTCSIHTIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。
6. すべての送信が完了すると、割り込み要求 INTCSIHTIC が発生します。
7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

17.6.2.2 マスタモードでジョブモードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLsX[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード有効 (CSIHnCTL1.CSIHnJE = 1)
- データの数：8 (CSIHnMCTL2.CSIHnND[7:0] = 08_H)
- 転送開始アドレス：10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- 送信専用バッファモード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 10_B)

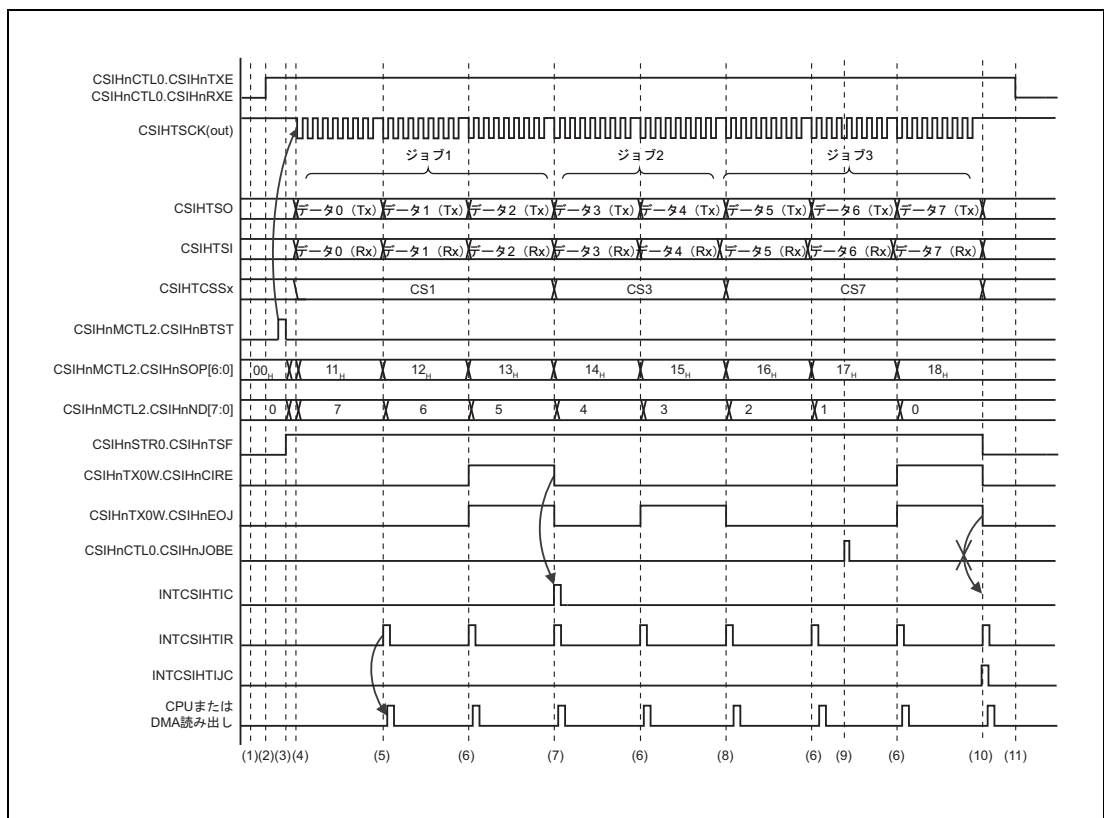


図 17.52 送信専用バッファモードのマスタ、CSIHnCTL1.CSIHnJE = 1

備考

ここでは、バッファにデータを書き込む手順は説明しません。

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CS1、CS3、CS7 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブモードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0] でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0] = 10_B (送信専用バッファモード) に設定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
3. CSIHnMCTL2.CSIHnSOP[6:0] ビットと CSIHnMCTL2.CSIHnND[7:0] ビットを設定することによって送信ポイントとデータの数を設定します。CSIHnMCTL2.CSIHnBTST を設定することによってバッファ転送を開始します。
4. 送信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、データが1つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。
5. データが1つ受信されるたびに割り込み要求 INTCSIHTIR が発生します。INTCSIHTIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。
6. CSIHnTX0W.CSIHnEOJ = 1 に設定することで、現在のジョブの最後のデータが送信されることを示します。
7. 割り込み要求 INTCSIHTIC が発生します。INTCSIHTIC は、現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 1 の設定で送信されたことを示します。
8. 現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 INTCSIHTIC は発生しません。
9. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、ジョブ3の終了時に通信を強制的に停止します。
10. 通信の強制停止後、ジョブ3の終了時に割り込み要求 INTCSIHTIJC と INTCSIHTIR が発生します。
割り込み要求 INTCSIHTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
割り込み要求 INTCSIHTIC の代わりに割り込み要求 INTCSIHTIJC が発生するため、割り込み要求 INTCSIHTIC は発生しません。また、CSIHnTX0W レジスタ内の利用可能な送信データは送信されません。
11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

17.6.3 デュアルバッファモードでの手順

マスタモード時、ジョブモードが有効になっている例と無効になっている例、およびスレーブモード時、ジョブモードが無効になっている例を示します。

17.6.3.1 マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード無効 (CSIHnCTL1.CSIHnJE = 0)
- データの数：9 (CSIHnMCTL2.CSIHnND[7:0] = 09_H)
- 転送開始アドレス：10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- デュアルバッファモード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01_B)

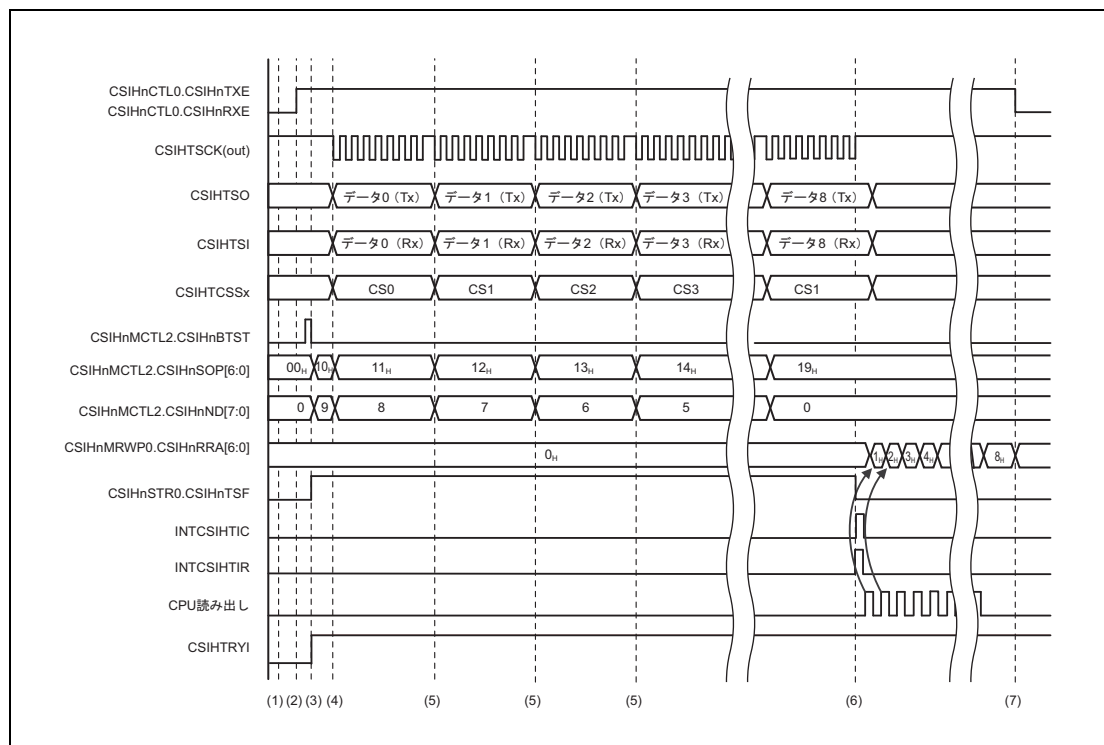


図 17.53 デュアルバッファモードのマスタ、CSIHnCTL1.CSIHnJE = 0

備考

ここでは、バッファにデータを書き込む手順は説明しません。

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CSIHnCSS0 ~ CSIHnCSS3 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0] でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0] = 01_B (デュアルバッファモード) に設定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
3. CSIHnMCTL2.CSIHnSOP[6:0] と CSIHnMCTL2.CSIHnND[7:0] を設定することによって通信を設定します。CSIHnMCTL2.CSIHnBTST をセットすることによってバッファ転送を許可します。
4. 送信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、データが1つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。
5. 最後のデータが送受信されるまで、この動作が繰り返し実行されます。
割り込み要求 INTCSIHTIC と INTCSIHTIR は発生しません。
6. 最後のデータが送受信されると、割り込み要求 INTCSIHTIC と INTCSIHTIR が発生します。
CPU が受信バッファからの受信データの読み出しを開始します。読み出しアクセスの開始アドレスは CSIHnMRWP0.CSIHnRRA[6:0] で指定されます。これらのビットはデータが1つ読み出されるたびにインクリメントされます。
7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

17.6.3.2 マスタモードでジョブモードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLsX[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード有効 (CSIHnCTL1.CSIHnJE = 1)
- データの数：8 (CSIHnMCTL2.CSIHnND[7:0] = 08_H)
- 転送開始アドレス：00_H (CSIHnMCTL2.CSIHnSOP[6:0] = 00_H)
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- デュアルバッファモード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01_B)

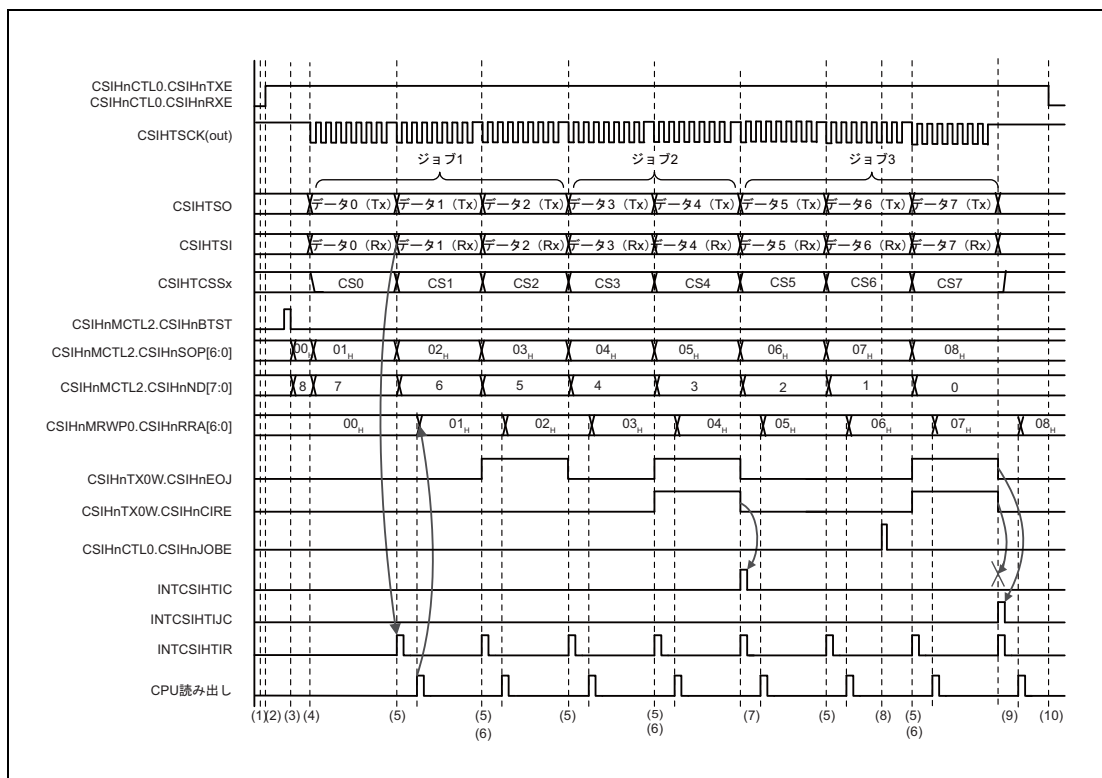


図 17.54 デュアルバッファモードのマスタ、CSIHnCTL1.CSIHnJE = 1

備考

ここでは、バッファにデータを書き込む手順は説明しません。

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CS0 ~ CS7 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0] でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0] = 01_B (デュアルバッファモード) に設定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
3. CSIHnMCTL2.CSIHnSOP[6:0] ビットと CSIHnMCTL2.CSIHnND[7:0] を設定することによって通信を設定します。CSIHnMCTL2.CSIHnBTST をセットすることによってバッファ転送を開始します。
4. 送信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、データが1つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。最後のデータが送受信されるまで、この動作が繰り返し実行されます。
5. データが1つ受信されるたびに割り込み要求 INTCSIHTIR が発生します。
現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が
CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 INTCSIHTIC は発生しません。
6. CSIHnTX0W.CSIHnEOJ = 1 に設定することで、現在のジョブの最後のデータが送信されることを示します。
7. 割り込み要求 INTCSIHTIC が発生します。INTCSIHTIC は、現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 1 の設定で送信されたことを示します。
8. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、ジョブ3の終了時に通信を強制的に停止します。
9. 通信の強制停止後、ジョブ3の終了時に割り込み要求 INTCSIHTIJC と INTCSIHTIR が発生します。
割り込み要求 INTCSIHTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
割り込み要求 INTCSIHTIC の代わりに割り込み要求 INTCSIHTIJC が発生するため、割り込み要求 INTCSIHTIC は発生しません。また、CSIHnTX0W レジスタ内の利用可能な送信データは送信されません。
10. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

17.6.3.3 スレーブモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLsX[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCTL1.CSIHnCKR = 0, CSIHnCFG0.CSIHnDAP0 = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード無効 (CSIHnCTL1.CSIHnJE = 0)
- データの数：9 (CSIHnMCTL2.CSIHnND[7:0] = 09_H)
- 転送開始アドレス：10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- デュアルバッファモード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01_B)
- ハンドシェイク機能有効 (CSIHnCTL1.CSIHnHSE = 1)

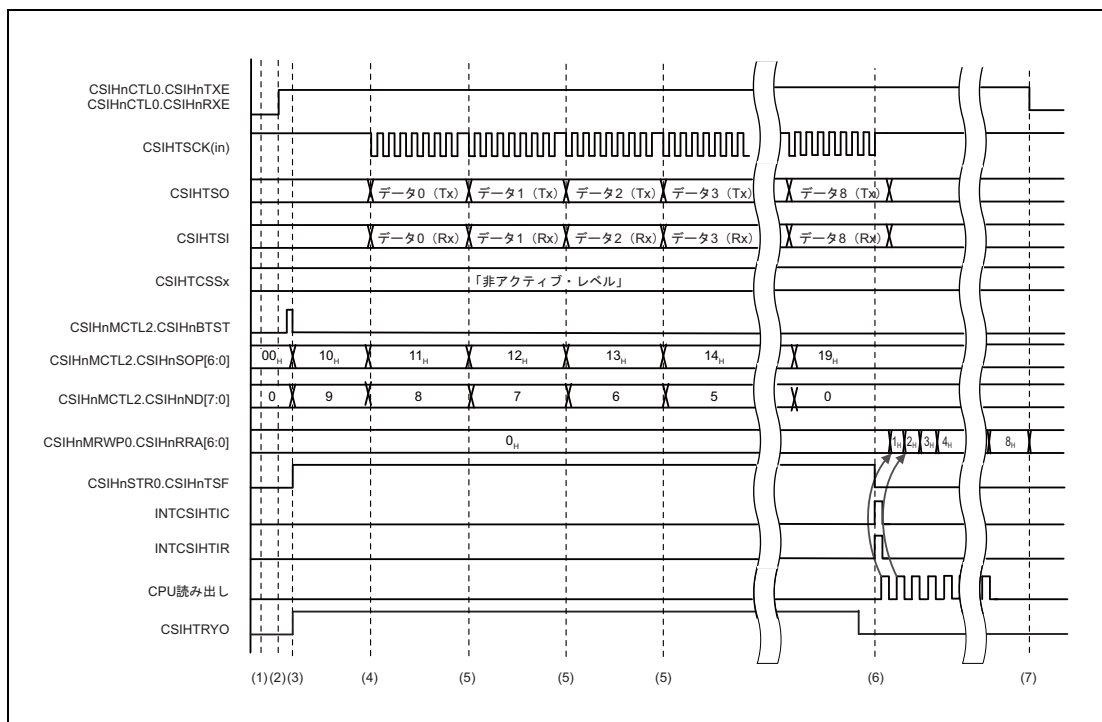


図 17.55 デュアルバッファモードのスレーブ、CSIHnCTL1.CSIHnJE = 0

備考

ここでは、バッファにデータを書き込む手順は説明しません。

手順：

1. CSIHnCFG0 レジスタで通信プロトコルを設定します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0] でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0] = 01_B でデュアルバッファモードに設定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
3. CSIHnMCTL2.CSIHnSOP[6:0] を設定することによって転送開始アドレスを指定し、CSIHnMCTL2.CSIHnND[7:0] を設定することによってデータの数を指定します。
CSIHnMCTL2.CSIHnBTST をセットすることによってバッファ転送を許可します。
4. マスタから入力クロックを受信すると送信が開始されます。
CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、データが1つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。
5. 最後のデータが送受信されるまで、この動作が繰り返し実行されます。
送信データがバッファから送信され、受信データがバッファに格納されるため、割り込み要求 INTCSIHTIC と INTCSIHTIR は発生しません。
6. 最後のデータが送受信されると、割り込み要求 INTCSIHTIC と INTCSIHTIR が発生します。
CPU が受信バッファに格納された受信データの読み出しを開始します。読み出しアクセスの開始アドレスは CSIHnMRWP0.CSIHnRRA[6:0] で指定されます。これらのビットはデータが1つ読み出されるたびにインクリメントされます。
7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

17.6.4 FIFO モードでの手順

マスタのジョブモードが無効になっている例とジョブモードが有効になっている例を示します。

17.6.4.1 マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード無効 (CSIHnCTL1.CSIHnJE = 0)
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- FIFO モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 00_B)

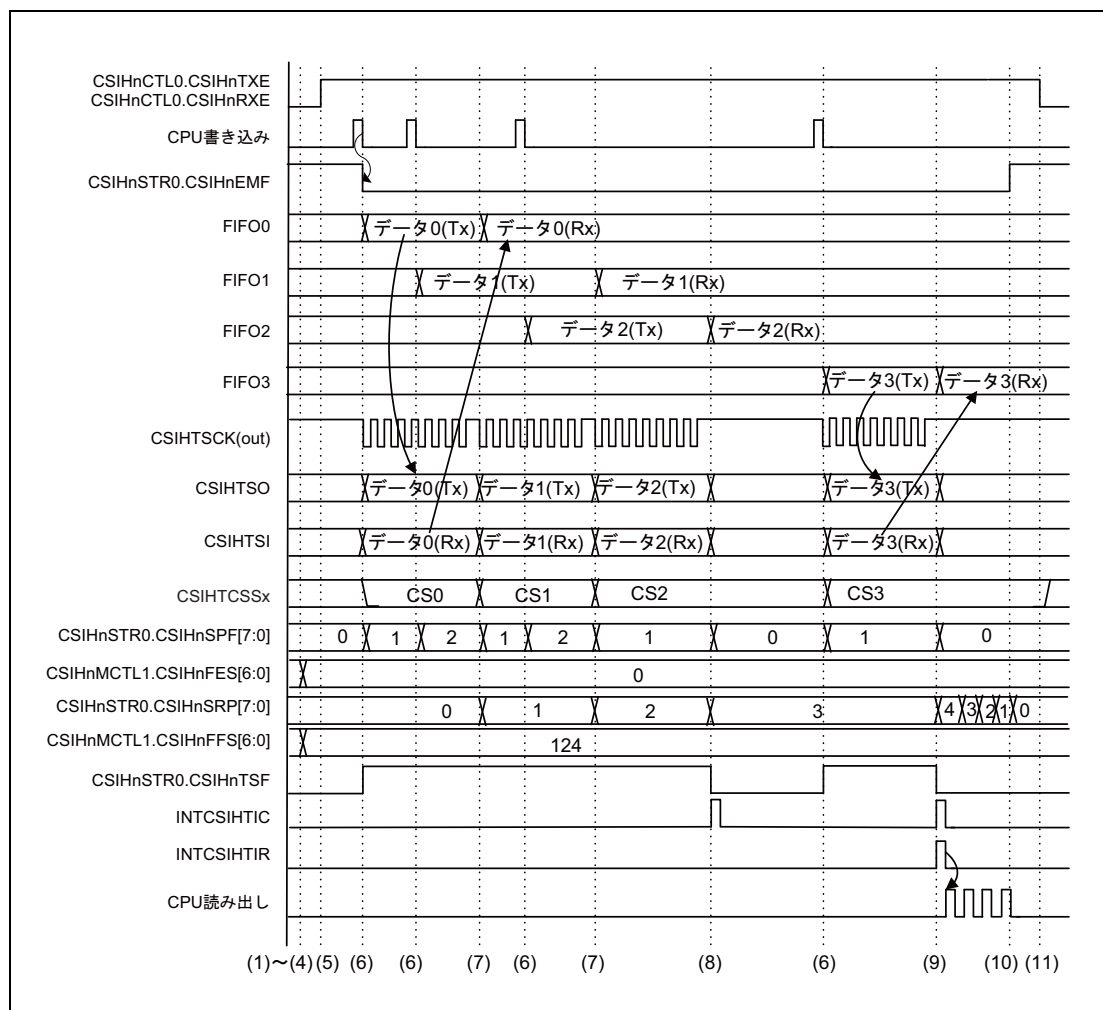


図 17.56 FIFO モードのマスタ、CSIHnCTL1.CSIHnJE = 0

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定、CSIHnCTL1、CSIHnCTL2 レジスタの対応するビットで、ジョブモード無効とマスタ・モードを設定、CSIHnMCTL0.CSIHnMMS[1:0] = 00_B で FIFO モードを設定します。この例ではチップ選択信号 CSIHTCSS0 ~ CSIHTCSS3 を使用します。
2. CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファポインタをクリアします。
3. CSIHnSTR0.CSIHnFLF = 0、CSIHnSTR0.CSIHnEMF = 1、CSIHnSTR0.CSIHnSPF[7:0] = 00_H に設定されていることを確認します。
4. CSIHnMCTL1.CSIHnFES[6:0] で INTCSIHTIC 割り込み出力の条件を指定します。同じレジスタの CSIHnFFS[6:0] で INTCSIHTIR 割り込み出力の条件を指定します。
5. CSIHnCTL0.CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
6. 最初の送信データを送信レジスタ CSIHnTX0W にライトします。最初のデータが利用可能になると送信が自動的に開始されます。CSIHnSTR0.CSIHnEMF = 0 であることを確認します。
7. 現在の送信が完了します。CSIHnFES[6:0] = CSIHnSPF[7:0] でないため、割り込み要求 INTCSIHTIC が生成されません。
8. CSIHnFES[6:0] = CSIHnSPF[7:0] なので、割り込み要求 INTCSIHTIC が生成されます。
9. CSIHnFFS[6:0] = 128 - CSIHnSRP[7:0] になると割り込み要求 INTCSIHTIR が生成されます。CSIHnFES[6:0] = CSIHnSPF[7:0] なので、割り込み要求 INTCSIHTIC が生成されます。割り込みが生成されたあと、CPU が受信バッファに格納された受信データのリードを開始します。
10. CPU が受信バッファに格納された受信データのリードを完了したとき、CSIHnSTR0.CSIHnEMF が 1 にセットされ、FIFO バッファはエンプティ状態になります。
11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR=0 に設定してください。

17.6.4.2 マスタモードでジョブモードが有効になっている送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLsx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード有効 (CSIHnCTL1.CSIHnJE = 1)
- ジョブ1 = 4データ、ジョブ2 = 3データ、ジョブ3 = 5データ
- 通常のINTCSIHTIC割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- FIFOモード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 00_B)

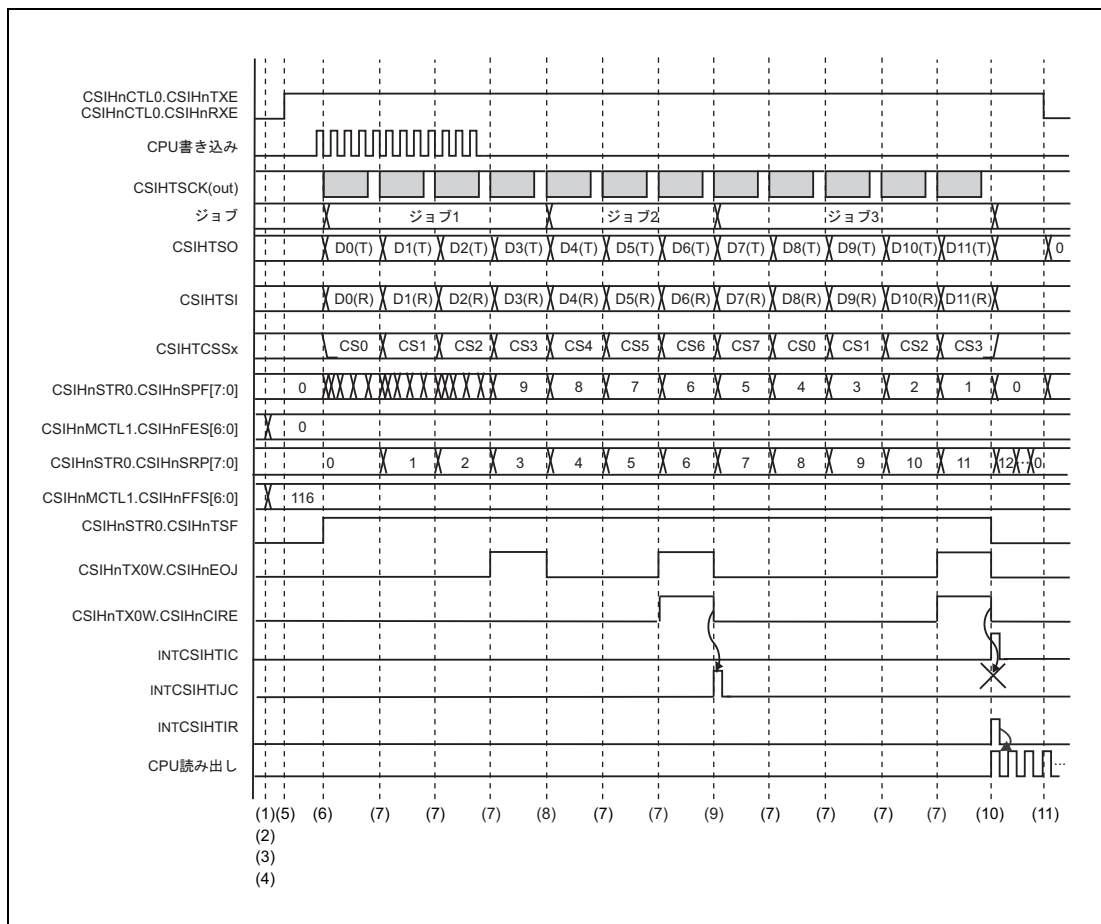


図 17.57 FIFOモードのマスタ、CSIHnCTL1.CSIHnJE = 1

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定、CSIHnCTL1、CSIHnCTL2 レジスタの対応するビットで、ジョブモード無効とマスタ・モードを設定、CSIHnMCTL0.CSIHnMMS[1:0] = 00_B で FIFO モードを設定します。この例ではチップ選択信号 CS0 ~ CS7 を使用します。
2. CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファポインタをクリアします。
3. CSIHnSTR0.CSIHnFLF = 0、CSIHnSTR0.CSIHnEMF = 1、CSIHnSTR0.CSIHnSPF[7:0] = 00_H であることを確認します。
4. CSIHnMCTL1.CSIHnFES[6:0] で割り込み要求 INTCSIHTIC の発生条件を指定し、CSIHnMCTL1.CSIHnFFS[6:0] で割り込み要求 INTCSIHTIR の発生条件を指定します。
5. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
6. 最初の送信データを送信レジスタ CSIHnTX0W に書き込みます。最初のデータが利用可能になると送信が自動的に開始されます。CSIHnSTR0.CSIHnEMF = 0 であることを確認します。
7. 現在の送信が完了します。CSIHnFES[6:0] = CSIHnSPF[7:0] でないため、割り込み要求 INTCSIHTIC が生成されません。
8. 現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 INTCSIHTIJC は発生しません。
9. 現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 1 の設定で送信されたため、割り込み要求 INTCSIHTIJC が生成されます。
10. CSIHnFES[6:0] = CSIHnSPF[7:0] なので、割り込み要求 INTCSIHTIC が生成されます。INTCSIHTIC が生成されているので、INTCSIHTIJC は生成されません。CSIHnFFS[6:0] = 128 - CSIHnSRP[7:0] になると割り込み要求 INTCSIHTIR が生成されます。INTCSIHTIR 割り込みが生成されたあと、CPU が受信バッファに格納された受信データのリードを開始します。
11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

17.7 CSIHn RAM のエラー検出／訂正

17.7.1 CSIHn RAM ECC

表 17.46 に CSIHn RAM ECC の機能概要を示します。

表 17.46 CSIHn RAM ECC の機能一覧

項目	機能概要
ECC エラー検出／訂正	ECC エラー判定を行います。 下記設定を選択可能です。 <ul style="list-style-type: none"> 2 ビットエラー検出と 1 ビットエラー検出／訂正を行います 2 ビットエラー検出と 1 ビットエラー検出を行います ECC エラー検出 / 訂正を無効にもできます（スルーモード時）。 初期状態は、エラー検出 / 訂正が有効です。
エラー通知	ECC2 ビットエラー発生時は、エラー通知を行います。 <ul style="list-style-type: none"> ECC2 ビットエラー検出時のエラー通知許可／禁止を選択可 ECC1 ビットエラー検出時のエラー通知許可／禁止を選択可 初期状態は、2 ビットエラー検出時のエラー通知許可および 1 ビットエラー検出時のエラー通知禁止。 ただし、FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。
エラーステータス	ECC2 ビットエラー検出、ECC1 ビットエラー検出をモニタできます。 エラーステータスのクリアビットを持ちます。
アドレスキャプチャ	ECC エラー発生時にアドレスがキャプチャされます。ECC2 ビットまたは 1 ビットエラー検出時に信号が生成され、エラー誘発アドレスをキャプチャするためのトリガとして使用されます（フラグがクリアされたあとの最初の（1 ビットまたは 2 ビット）エラーが検出されるとき）。

17.7.2 割り込み要求

表 17.47 に CSIHn の RAM ECC 割り込み要求を示します。

表 17.47 CSIHn ECC の割り込み要求（FE レベルマスカブル割り込み）

ユニット割り込み信号	概要	名称	DMA トリガ番号
INTECCDCSIHn	CSIHn ECC2 ビットエラー割り込み	INTECCDCSIH0	—
		INTECCDCSIH1	
		INTECCDCSIH2	
		INTECCDCSIH3	

17.7.3 レジスタベースアドレス

表 17.48 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<ECCCSIH0_base>	FFC7 0100 _H
<ECCCSIH1_base>	FFC7 0200 _H
<ECCCSIH2_base>	FFC7 0300 _H
<ECCCSIH3_base>	FFC7 0400 _H

17.7.4 レジスタ一覧

CSIHn RAM ECC のレジスタ一覧を以下の表に示します。

<ECCCSIHn_base> は「**17.7.3 レジスタベースアドレス**」を参照してください。

表 17.49 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
ECCCSIHn	CSIHn ECC コントロールレジスタ	ECCCSIHnCTL	<ECCCSIHn_base> + 00 _H
	CSIHn ECC テストモードコントロールレジスタ	ECCCSIHnTMC	<ECCCSIHn_base> + 04 _H
	CSIHn ECC エンコード/デコード入出力代替テストレジスタ	ECCCSIHnTED	<ECCCSIHn_base> + 0C _H
	CSIHn ECC 冗長ビットデータコントロールテストレジスタ	ECCCSIHnTRC	<ECCCSIHn_base> + 08 _H
	CSIHn ECC エラーアドレスレジスタ 0	ECCCSIHnAD0	<ECCCSIHn_base> + 10 _H
	CSIHn ECC デコードシンドロームデータレジスタ	ECCCSIHnSYND	<ECCCSIHn_base> + 0B _H
	CSIHn ECC 7 ビット冗長ビットデータ保持テストレジスタ	ECCCSIHnHORD	<ECCCSIHn_base> + 0A _H
	CSIHn ECC エンコードテストレジスタ	ECCCSIHnECRD	<ECCCSIHn_base> + 09 _H
	CSIHn ECC リダンダントビット入出力代替バッファレジスタ	ECCCSIHnERDB	<ECCCSIHn_base> + 08 _H
SL_READTEST	ECCREAD テスト選択レジスタ	SELB_READTEST	FFC7 8000 _H

17.7.5 ECCCSIHnCTL — CSIHn ECC コントロールレジスタ

ECCCSIHnCTL レジスタは CSIH の ECC のモードを制御、およびステータスの制御を行うレジスタです。

ビット 7, 5 ~ 3 の設定 (書き込み) は CSIHn が動作していない時に行ってください。

また、ビット 7 への書き込みは EMCA1, EMCA0 を 01_B にして実行してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <ECCCSIHn_base> + 00_H

リセット後の値 不定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EMCA1	EMCA0	—	—	ECCOVFF	ECER2C	ECER1C	—	ECTHM	—	EC1ECP	EC2EDIC	EC1EDIC	ECER2F	ECER1F	ECEMF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	—
R/W	R/W ^{注1}	R/W ^{注1}	R	R	R	R/W ^{注1}	R/W ^{注1}	R	R/W	R	R/W	R/W	R/W	R	R	R

注 1. リード値は常に 0 が読み出されます。

表 17.50 ECCCSIHnCTL レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	EMCA1	ECC モード選択ビットへのアクセス制御ビット 1、0
14	EMCA0	本ビットは ECTHM (ビット 7) の書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。本ビットのデータ値が 01 _B のとき、ビット 7 への書き込みが可能になります。
13, 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	ECCOVFF	エラーステータスがセットされ、新しいエラーのアドレスがラッチ済みのもとは異なる場合 (クリアされておらず、リセットも行われていない)、エラーを検出すると、このビットがセットされ、エラー通知が生成されます。 0: ECER2F、ECER1F をクリアしてリセットした後、オーバフローは発生しない。 1: エラーアドレスレジスタでオーバフローが発生する。 備考 このビットのクリア条件は以下となります。 (1) リセット (2) ECER2C = 1 または ECER1C = 1 の書き込み (3) スルーモード許可選択 (ECTHM = 1)
10	ECER2C	2 ビット ECC エラー検出フラグクリアビット 本ビットは ECER2F (ビット 2) の 2 ビットエラー検出フラグをクリアするためのビットです。読み出すと常に 0 が読み出されます。0 書き込みは無効です。ECER2F ビットがセットされている際に、本ビットに 1 書き込みを行うことで ECER2F ビットがクリアされます。1 書き込みと ECER2F のセット要因が競合した際には本ビットの書き込みが優先されます。
9	ECER1C	1 ビット ECC エラー検出訂正累積フラグクリアビット 本ビットは ECER1F (ビット 1) の 1 ビットエラー検出/訂正フラグをクリアするためのビットです。読み出すと常に 0 が読み出されます。0 書き込みは無効です。ECER1F ビットがセットされている際に、本ビットに 1 書き込みを行うことで ECER1F ビットがクリアされます。1 書き込みと ECER1F のセット要因が競合した際には本ビットの書き込みが優先されます。
8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ECTHM	ECC 機能スルーモード選択ビット 本ビットは、ECC 機能の有効/無効を設定するビットです。セット "1" することで、ECC 機能を無効にすることができます。このビットの書き込み時は EMCA1、EMCA0 = 0、1 を同時に書き込む必要があります。 0: スルーモード禁止 (通常動作モード) 1: スルーモード許可 (ECC 機能無効)
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 17.50 ECCCSIHnCTL レジスタの内容 (2/2)

ビット位置	ビット名	機能
5	EC1ECP	1ビットエラー訂正許可ビット 本ビットはECCエラー検出/訂正の有効時に、1ビットエラー訂正の許可/禁止を設定するためのビットです。 0: 1ビットエラー検出時にエラー訂正を行う。 1: 1ビットエラー検出時にエラー訂正を行わない。
4	EC2EDIC	2ビットエラー検出割り込み制御ビット 本ビットは2ビットエラー検出時に割り込みを発生させるかを制御するビットです。 0: 2ビットエラー検出時に INTECCDCSIHn 割り込みを発生させない。 1: 2ビットエラー検出時に INTECCDCSIHn 割り込みを発生する。
3	EC1EDIC	1ビットエラー検出割り込み制御ビット 本ビットは1ビットエラー検出時に割り込みを発生させるかを制御するビットです。 0: 1ビットエラー検出時に INTECCDCSIHn 割り込みを発生させない。 1: 1ビットエラー検出時に INTECCDCSIHn 割り込みを発生する。
2	ECER2F	2ビットエラー検出フラグビット 本ビットはエラー判定許可状態 (ECTHM = 0) で RAM へのリードアクセス時に2ビットエラーが検出されたことを示すフラグです。2ビットエラー割り込み許可状態 (EC2EDIC = 1) で、本フラグがセットされるとECC2ビットエラー割り込み (INTECCDCSIHn) が発生します。 クリアの際には ECER2C ビット (ビット10) へ1書き込みを行ってください。スルーモード許可選択 (ECTHM = 1) 時も本ビットはクリアされます。本ビットがセットされた状態で再度2ビットのビットエラーが検出されても割り込みは発生しません。 0: 本ビットクリア後、2ビットエラーは発生していない。 1: 2ビットエラーが発生したことがある。 本ビットはリード専用であり、0または1書き込みを行っても内部状態に変化はありません。
1	ECER1F	1ビットエラー検出/訂正フラグビット 本ビットはエラー判定許可状態 (ECTHM = 0) で RAM へのリードアクセス時に1ビットエラーが検出されたことを示すフラグです。クリアの際には ECER1C ビット (ビット9) へ1書き込みを行ってください。スルーモード許可選択 (ECTHM = 1) 時も本ビットはクリアされます。 0: 本ビットクリア後、1ビットエラーは発生していない。 1: 1ビットエラーが発生したことがある。 本ビットはリード専用であり、0または1書き込みを行っても内部状態に変化はありません。
0	ECEMF	ECCエラー表示フラグ 本ビットは現在のリードデータバスに対してエラーが存在することを示すフラグです。本ビットはRAM出力データごとに更新されます。スルーモード許可選択 (ECTHM = 1) 時、およびデコード回路入力データに1ビットエラーがないときも本ビットはクリアされます。 0: 現在のRAM出力データには、ビットエラーが存在していない。 1: 現在のRAM出力データでは、ビットエラーが存在する。

注 意

ビット2、1をクリアする場合には、ECCエラー表示フラグ (ECEMF) がセットされていない時にクリアする必要があります。

17.7.6 ECCCSIHnTMC — CSIHn ECC テストモードコントロールレジスタ

ECCCSIHnTMC レジスタはテストモードへの切り替え、およびテストモード制御のためのレジスタです。

本レジスタは CSIHn が RAM アクセスしていないときに使用できます。

ビット7への書き込みは ETMA1, ETMA0 を 10_B にして実行してください。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <ECCCSIHn_base> + 04_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ETMA1	ETMA0	—	—	—	—	—	—	ECTMCE	—	—	ECTRRS	ECREOS	ECENS	ECDCS	ECREIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W ^{注1}	R/W ^{注1}	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W

注1. リード値は常に0が読み出されます。

表 17.51 ECCCSIHnTMC レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	ETMA1	ECC テストモードビットへのアクセス制御ビット1、0
14	ETMA0	本ビットは ECTMCE (ビット7) の書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に0が読み出されます。本ビットのデータ値が 10 _B のとき、ビット7への書き込みが可能になります
13 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ECTMCE	ECC テストモードイネーブルビット 本ビットはテストレジスタおよび、本レジスタのテスト制御ビットへのアクセスを許可するかを選択するビットです。このビットの書き込み時は、ETMA1、ETMA0 = 1、0 を同時に書き込む必要があります。 0 : テストモードレジスタおよびビットに対するアクセスを禁止する 1 : テストモードレジスタおよびビットに対するアクセスを許可する テストレジスタ : ECCCSIHnTED, ECCCSIHnTRC, ECCCSIHnSYND, ECCCSIHnHORD, ECCCSIHnECRD, ECCCSIHnERDB レジスタ テスト制御ビット : ECTRRS, ECREOS, ECENS, ECDCS, ECREIS
6, 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	ECTRRS	ECC RAM リードテストモード選択ビット 本ビットは ECCCSIHnTED レジスタをリードする際の読み込み先、および ECCCSIHnERDB レジスタをリードする際の読み込み先を選択します。本ビットへのライトアクセスは、ECTMCE = 1 のときのみ有効です (同時設定可能)。 また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア)。 0 : ECCCSIHnTED レジスタのリード値は、ECCCSIHnTED レジスタの書き込み値となります。 ECCCSIHnERDB レジスタのリード値は、ECCCSIHnERDB レジスタの書き込み値となります。 1 : ECCCSIHnTED レジスタのリード値は、RAM データが読み出せます。 ECCCSIHnERDB レジスタのリード値は、RAM に書き込まれる ECC データとなります。

表 17.51 ECCCSIHnTMC レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	ECREOS	<p>ECC 冗長ビット出力データ選択ビット</p> <p>本ビットは RAM に格納する ECC データを書き込みデータに対して生成された ECC データとするか、または ECCCSIHnERDB レジスタの値とするかを選択するビットです。</p> <p>本ビットへのライトアクセスは、ECTMCE = 1 のときのみ有効です (同時設定可能)。</p> <p>また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア)。</p> <p>0 : 書き込みデータに対して生成された ECC データを RAM に格納する。</p> <p>1 : ECCCSIHnERDB レジスタの値を RAM に格納する。</p>
2	ECENS	<p>ECC エンコード入力選択ビット</p> <p>本ビットは ECC データを生成する際の対象データを RAM への書き込みデータとするか、または ECCCSIHnTED レジスタの値とするかを選択するビットです。</p> <p>本ビットへのライトアクセスは、ECTMCE = 1 のときのみ有効です (同時設定可能)。</p> <p>また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア)。</p> <p>0 : RAM へのライトデータから ECC データを生成する。</p> <p>1 : ECCCSIHnTED レジスタの値から ECC データを生成する。</p>
1	ECDCS	<p>ECC デコード入力選択ビット</p> <p>本ビットはシンドロームコードの生成と誤り検出を行う際の対象データを、RAM データとするか、または ECCCSIHnTED レジスタの値とするかを選択するビットです。</p> <p>本ビットへのライトアクセスは、ECTMCE = 1 のときのみ有効です (同時設定可能)。</p> <p>また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア)。</p> <p>0 : RAM データからシンドロームコードの生成と誤り検出を行う。</p> <p>1 : ECCCSIHnTED レジスタの値からシンドロームコードの生成と誤り検出を行う。</p>
0	ECREIS	<p>ECC 冗長ビット入力データ選択ビット</p> <p>本ビットはシンドロームコードの生成と誤り検出を行う際の対象 ECC データを、RAM に格納された ECC データとするか、または ECCCSIHnERDB レジスタの値とするかを選択するビットです。</p> <p>本ビットへのライトアクセスは、ECTMCE = 1 のときのみ有効です (同時設定可能)。</p> <p>また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア)。</p> <p>0 : RAM に格納された ECC データからシンドロームコードの生成と、誤り検出を行う。</p> <p>1 : ECCCSIHnERDB レジスタの値からシンドロームコードの生成と、誤り検出を行う。</p>

17.7.7 ECCCSIHnTED — CSIHn ECC エンコード/デコード入出力代替テストレジスタ

ECC テストモードにおいて、テストデータを扱うレジスタです。

本レジスタの値から、ECC データの生成またはシンドロームコードの生成を行います。

ECC テストモードがイネーブル (ECCCSIHnTMC.ECTMCE = 1) である場合にアクセス可能です。ECCCSIHnTMC.ECTMCE = 0 の場合は、書き込みは無効、読み出し値は 0000 0000_H となります。

本レジスタは CSIHn が RAM アクセスしていないときに使用できます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ECCCSIHn_base> + 0C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECEDB[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEDB[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.52 ECCCSIHnTED レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	ECEDB[31:0]	ECCCSIHnTMC.ECENS = 1 において、本レジスタの値から ECC データを生成し、本レジスタの値を RAM へ格納します。 ECCCSIHnTMC.ECDCS = 1 において、本レジスタの値からシンドロームコードを生成し、本レジスタの値を ECC デコードシンドロームデータレジスタ (ECCCSIHnSYND) に格納します。 また、ECCCSIHnTMC.ECTRRS = 1 の際には本レジスタのリード値は書き込んだデータではなく、RAM データ [31:0] が読み出されます。

17.7.8 ECCCSIHnTRC — CSIHn ECC 冗長ビットデータコントロールテストレジスタ

ECC テストモードにおいて、ECC データに対するテストレジスタで、ECCCSIHnSYND、ECCCSIHnHORD、ECCCSIHnECRD、ECCCSIHnERDB の4つの8ビットレジスタで構成されます。

ECC テストモードがイネーブル (ECCCSIHnTMC.ECTMCE = 1) である場合にアクセス可能です。ECCCSIHnTMC.ECTMCE = 0 の場合は、書き込みは無効、読み出し値は 0000 0000_H となります。

本レジスタは CSIHn が RAM アクセスしていないときに使用できます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECCCSIHn_base> + 08_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECCCSIHnSYND (17.7.10 参照)								ECCCSIHnHORD (17.7.11 参照)							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECCCSIHnECRD (17.7.12 参照)								ECCCSIHnERDB (17.7.13 参照)							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

17.7.9 ECCCSIHnAD0 — CSIHn ECC エラーアドレスレジスタ 0

ECC エラー発生アドレスを格納するリード専用レジスタです。

ECC エラー判定許可状態で ECC エラーが検出されると、検出信号をトリガとして RAM アドレスがキャプチャされ、これが、エラー発生アドレスとして格納されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ECCCSIHn_base> + 10_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECEAD[30:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEAD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.53 ECCCSIHnAD0 レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。
30 ~ 0	ECEAD[30:0]	ECEAD0 は ECC エラー発生アドレスを格納するリード専用レジスタです。ECC エラー検出許可時に ECC エラーを検出すると、検出信号をトリガとして RAM アドレスがラッチされ、このアドレスが ECC エラー発生アドレスとして ECEAD0 に格納されます。 エラーステータスがセットされていなくても、最初の ECC エラー検出時にアドレスが格納されますが、1 ビットエラーの後に 2 ビットエラーが発生すると、格納されるのは 2 ビットエラーのアドレスとなります。 ECEAD0 には 1 つのアドレスしか格納できません。

17.7.10 ECCCSIHnSYND — CSIHn ECC デコードシンドロームデータレジスタ

ECC テストモードにおいて、生成されたシンドロームコードが格納されるリード専用レジスタです。

書き込みは無効です。

ECC テストモードがイネーブル (ECCCSIHnTMC.ECTMCE = 1) のときリードアクセスのみ可能、ディセーブル (ECCCSIHnTMC.ECTMCE = 0) のとき読み出し値は 00_H となります。

アクセス 8ビット単位でリードのみ可能です。

アドレス <ECCCSIHn_base> + 0B_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	SYND6	SYND5	SYND4	SYND3	SYND2	SYND1	SYND0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 17.54 ECCCSIHnSYND レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ~ 0	SYND[6:0]	生成されたシンドロームコードが随時格納されます。

17.7.11 ECCCSIHnHORD — CSIHn ECC7 ビット冗長ビットデータ保持テストレジスタ

ECC テストモードにおいて、読み出した RAM データに対する ECC データが格納されるレジスタです。

書き込みは無効です。

ECC テストモードがイネーブル (ECCCSIHnTMC.ECTMCE = 1) のときリードアクセスのみ可能、ディセーブル (ECCCSIHnTMC.ECTMCE = 0) のとき読み出し値は 00_H となります。

アクセス 8ビット単位でリードのみ可能です。

アドレス <ECCCSIHn_base> + 0A_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	HORD6	HORD5	HORD4	HORD3	HORD2	HORD1	HORD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 17.55 ECCCSIHnHORD レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ~ 0	HORD[6:0]	読み出した RAM データに対する ECC コードが随時格納されます。また、ECCCSIHnTMC.ECTRRS = 1 の場合、ECCCSIHnTED レジスタをリードした際にも ECC コードが格納されます。

17.7.12 ECCCSIHnECRD — CSIHn ECC エンコードテストレジスタ

ECC テストモードにおいて、書き込んだ RAM データに対して生成された ECC データが格納されるリード専用レジスタです。

書き込みは無効です。

ECC テストモードがイネーブル (ECCCSIHnTMC.ECTMCE = 1) のときリードアクセスのみ可能、ディセーブル (ECCCSIHnTMC.ECTMCE = 0) のとき読み出し値は 00_H となります。

アクセス 8ビット単位でリードのみ可能です。

アドレス <ECCCSIHn_base> + 09_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	ECRD6	ECRD5	ECRD4	ECRD3	ECRD2	ECRD1	ECRD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 17.56 ECCCSIHnECRD レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ~ 0	ECRD[6:0]	RAM データ書き込み時に生成される ECC データを読み出すことができます。また、ECCCSIHnTMC.ECENS = 1 の際には、ECCCSIHnTED レジスタに書き込んだデータに対する ECC データを読み出すことができます。

17.7.13 ECCCSIHnERDB — CSIHn ECC リダンダントビット入出力代替バッファレジスタ

ECC テストモードにおいて、ECC データを扱うレジスタです。

本レジスタの値は、RAM への書き込み時に生成される ECC データ、または RAM データの読み出し時に読み込まれる ECC データとして扱うことができます。

ECC テストモードがイネーブル (ECCCSIHnTMC.ECTMCE = 1) である場合に、アクセスが可能です。ECCCSIHnTMC.ECTMCE = 0 の場合は、書き込みは無効、読み出し値は 00_H となります。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <ECCCSIHn_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	ERDB6	ERDB5	ERDB4	ERDB3	ERDB2	ERDB1	ERDB0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.57 ECCCSIHnERDB レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 0	ERDB[6:0]	ECCCSIHnTMC.ECREOS = 1 の場合、本レジスタの値を ECC データとして RAM へ格納します。 ECCCSIHnTMC.ECREIS = 1 の場合、本レジスタの値を RAM から読み出された ECC データとします。 また、ECCCSIHnTMC.ECTRRS = 1 の際には本レジスタのリード値は書き込んだデータではなく、RAM に格納する ECC データが読み出されます。

17.7.14 SELB_READTEST — ECCREAD テスト選択レジスタ

CSIHn、RS-CANn の ECC のレジスタのリード/ライトチェックに使用します。

各機能に対応するビットを“1”に設定することで、リードオンリービットにライトすることが可能になります。

アクセス 16ビット単位でリード/ライト可能です。

アドレス FFC7 8000_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	RTCAN FDE7A 02	RTCAN FDE7A 01	—	—	—	RTCAN E7A1	—	—	—	—	—	RTCSIH E7A3	RTCSIH E7A2	RTCSIH E7A1	RTCSIH E7A0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R	R	R	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W

表 17.58 SELB_READTEST レジスタの内容

ビット位置	ビット名	機能
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14	RTCANFDE7A02	RS-CAN0 (AFL バッファ) の ECC レジスタテストライト許可/禁止ビット 0: テストライト禁止。 1: テストライト許可。(RS-CAN0 ECC のリードオンリービットへの書き込み可能)
13	RTCANFDE7A01	RS-CAN0 (メッセージバッファ) の ECC レジスタテストライト許可/禁止ビット 0: テストライト禁止。 1: テストライト許可。(RS-CAN0 ECC のリードオンリービットへの書き込み可能)
12 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	RTCANE7A1	RS-CAN1 の ECC レジスタテストライト許可/禁止ビット 0: テストライト禁止。 1: テストライト許可。(RS-CAN1 ECC のリードオンリービットへの書き込み可能)
8 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RTCSIHE7A3	CSIH3 の ECC レジスタテストライト許可/禁止ビット 0: テストライト禁止。 1: テストライト許可。(CSIH3ECC のリードオンリービットへの書き込み可能)
2	RTCSIHE7A2	CSIH2 の ECC レジスタテストライト許可/禁止ビット 0: テストライト禁止。 1: テストライト許可。(CSIH2ECC のリードオンリービットへの書き込み可能)
1	RTCSIHE7A1	CSIH1 の ECC レジスタテストライト許可/禁止ビット 0: テストライト禁止。 1: テストライト許可。(CSIH1ECC のリードオンリービットへの書き込み可能)
0	RTCSIHE7A0	CSIH0 の ECC レジスタテストライト許可/禁止ビット 0: テストライト禁止。 1: テストライト許可。(CSIH0ECC のリードオンリービットへの書き込み可能)

第18章 LIN マスタインタフェース (RLIN2)

本章では、LIN マスタインタフェース (RLIN2) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1K に固有の特長について説明します。それ以降の節では、RLIN2 の機能、レジスタについて説明します。

18.1 RH850/F1K RLIN2 の特長

18.1.1 ユニット数とチャンネル数

本製品シリーズは、以下に示すユニット数とチャンネル数の RLIN2 を搭載しています。

表 18.1 ユニット数

製品名	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
ユニット数	1	2	3
名称	RLIN24n (n = 0)	RLIN24n (n = 0, 1)	RLIN24n (n = 0 ~ 2)

表 18.2 RLIN2 のユニット構成とチャンネル及びユニットチャンネル番号の対応

ユニット名 RLIN24n	ユニット チャンネル数	ユニット チャンネル番号	チャンネル名 RLIN2m	RH850/F1K 100 pin (3 ch)	RH850/F1K 144 pin (6 ch)	RH850/F1K 176 pin (10 ch)
RLIN240	4	0	RLIN20	○	○	○
		1	RLIN21	○	○	○
		2	RLIN22	○	○	○
		3	RLIN23		○	○
RLIN241	4	0	RLIN24		○	○
		1	RLIN25		○	○
		2	RLIN26			○
		3	RLIN27			○
RLIN242	2	0	RLIN28			○
		1	RLIN29			○

表 18.3 添字

添字	説明
n	本章では、RLIN2 の各ユニットを「n」(n = 0 ~ 2) で識別します。
m	本章では、各チャンネルを「m」(m = 0 ~ 9) で識別します。
i	本章では、RLIN2 を構成するユニットの各チャンネルを「i」(i = 0 ~ 3) で識別します。
b	本章では、RLIN2 が搭載する各データバッファを「b」(b = 1 ~ 8) で識別します。

例えば、RLIN2 のグローバルレジスタである LIN ウェイクアップポーレート選択レジスタは、RLN24nGLWBR、チャンネルレジスタである LIN モードレジスタは RLN24nmLiMD と記述しています。

各製品の添字が示す値を以下に示します。

表 18.4 各製品の添字対応

各製品の添字対応		
100 pin	144 pin	176 pin
i = 0 ~ 2 (RLIN240)	i = 0 ~ 3 (RLIN240) i = 0, 1 (RLIN241)	i = 0 ~ 3 (RLIN240、1) i = 0, 1 (RLIN242)
b = 1 ~ 8	b = 1 ~ 8	b = 1 ~ 8

18.1.2 レジスタベースアドレス

RLIN2 のベースアドレスを以下の表に示します。

RLIN2 のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 18.5 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RLIN240_base>	FFCE 0000 _H
<RLIN241_base>	FFCE 0080 _H
<RLIN242_base>	FFCE 0100 _H

18.1.3 クロック供給

RLIN2 のクロック供給を以下の表に示します。

表 18.6 クロック供給

ユニット名	ユニットクロック名	供給クロック名	説明
RLIN24n	LIN 通信クロック源	CKSCLK_ILIN	通信クロック
	レジスタアクセスクロック	CPUCLK2	バスクロック
		CKSCLK_ILIN	

18.1.4 割り込み要求

RLIN2 の割り込み要求を以下の表に示します。

表 18.7 割り込み要求 (1/2)

ユニット割り込み信号	説明	割り込み番号
RLIN240		
INTRLIN0	RLIN20 割り込み	58
INTRLIN1	RLIN21 割り込み	59
INTRLIN2	RLIN22 割り込み	162
INTRLIN3	RLIN23 割り込み	163
RLIN241		
INTRLIN4	RLIN24 割り込み	226
INTRLIN5	RLIN25 割り込み	227
INTRLIN6	RLIN26 割り込み	275

表 18.7 割り込み要求 (2/2)

ユニット割り込み信号	説明	割り込み番号
INTRLIN7	RLIN27 割り込み	276
RLIN242		
INTRLIN8	RLIN28 割り込み	285
INTRLIN9	RLIN29 割り込み	286

18.1.5 リセット要因

RLIN2 のリセット要因を以下に示します。RLIN2 は以下のリセット要因で初期化されます。

表 18.8 リセット要因

ユニット名	リセット要因
RLIN24n	すべてのリセット要因 (ISORES)

18.1.6 外部入出力信号

RLIN2 の外部入出力信号を以下の表に示します。

表 18.9 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
RLIN240		
RLIN2mRX (m = 0 ~ 3)	RLIN240 受信データ入力	RLIN2mRX (m = 0 ~ 3)
RLIN2mTX (m = 0 ~ 3)	RLIN240 送信データ出力	RLIN2mTX (m = 0 ~ 3)
RLIN241		
RLIN2mRX (m = 4 ~ 7)	RLIN241 受信データ入力	RLIN2mRX (m = 4 ~ 7)
RLIN2mTX (m = 4 ~ 7)	RLIN241 送信データ出力	RLIN2mTX (m = 4 ~ 7)
RLIN242		
RLIN2mRX (m = 8, 9)	RLIN242 受信データ入力	RLIN2mRX(m = 8, 9)
RLIN2mTX (m = 8, 9)	RLIN242 送信データ出力	RLIN2mTX (m = 8, 9)

18.2 概要

18.2.1 機能概要

LIN マスタインタフェースは LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAEJ2602(SEP 2005) に準拠したハードウェア LIN 通信コントローラで、フレーム通信とエラー判定を自動で行います。

表 18.10 に LIN マスタインタフェースの仕様を示します。

表 18.10 LIN マスタインタフェースの仕様

項目	仕様	
チャンネル数	10 チャンネル (この製品では、2 チャンネル版と 4 チャンネル版の RLIN2 が搭載されています。)	
LIN 通信機能	プロトコル	LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAEJ2602(SEP 2005)
	フレーム構成可変	<ul style="list-style-type: none"> 送信ブレイク幅 : 13 ~ 28 Tbit 送信ブレイクデリミタ幅 : 1 ~ 4 Tbit インタバイトスペース (ヘッダ) : 0 ~ 7 Tbit (Sync フィールドと ID フィールド間のスペース) 注1 レスポンススペース : 0 ~ 7 Tbit 注1 インタバイトスペース : 0 ~ 3 Tbit (レスポンス領域内のデータバイト間のスペース) 送信ウェイクアップ : 1 ~ 16 Tbit
	チェックサム	<ul style="list-style-type: none"> 送受信ともに自動演算 クラシックまたはエンハンス選択可能 (フレームごとに変更可能)
	レスポンスフィールドデータバイト数	0 ~ 8 バイト可変
	フレーム通信方法	<ul style="list-style-type: none"> ヘッダ送信とレスポンス送信 / 受信を 1 つの送信開始要求により通信するモード ヘッダとレスポンスを別々の送信開始要求により送信するモード (フレームセパレートモード)
	ウェイクアップ送受信	LIN ウェイクアップモードで使用可能 <ul style="list-style-type: none"> ウェイクアップ送信機能 (1 ~ 16 Tbit) ウェイクアップ受信 入力信号ロウレベル幅カウント機能
	ステータス	<ul style="list-style-type: none"> フレーム/ウェイクアップ送信完了 ヘッダ送信完了 フレーム/ウェイクアップ受信完了注2 データ 1 受信完了 エラー検出 動作モード (LIN リセットモード、LIN ウェイクアップモード、LIN 動作モード、LIN セルフテストモード)
	エラーステータス	<ul style="list-style-type: none"> ビットエラー チェックサムエラー フレームタイムアウトエラー フィジカルバスエラー フレーミングエラー
	ポーレート選択	ポーレートジェネレータで LIN 仕様のポーレートを生成可能
	テストモード	ユーザ評価用セルフテストモード
割り込み機能	<ul style="list-style-type: none"> フレーム/ウェイクアップ送信完了 フレーム/ウェイクアップ受信完了注2 エラー検出 <p>これら 3 つの論理和が各チャンネルの割り込み要因 (INTRLINm) となります。</p>	

- 注1. 同一レジスタで設定するため、インタバイトスペース（ヘッダ）＝レスポンススペースとなります。
 注2. ウェイクアップ受信は、入力信号ロウレベル幅カウントを示します。

18.2.2 ブロック図

図 18.1 に LIN マスタインタフェースのブロック図を示します。

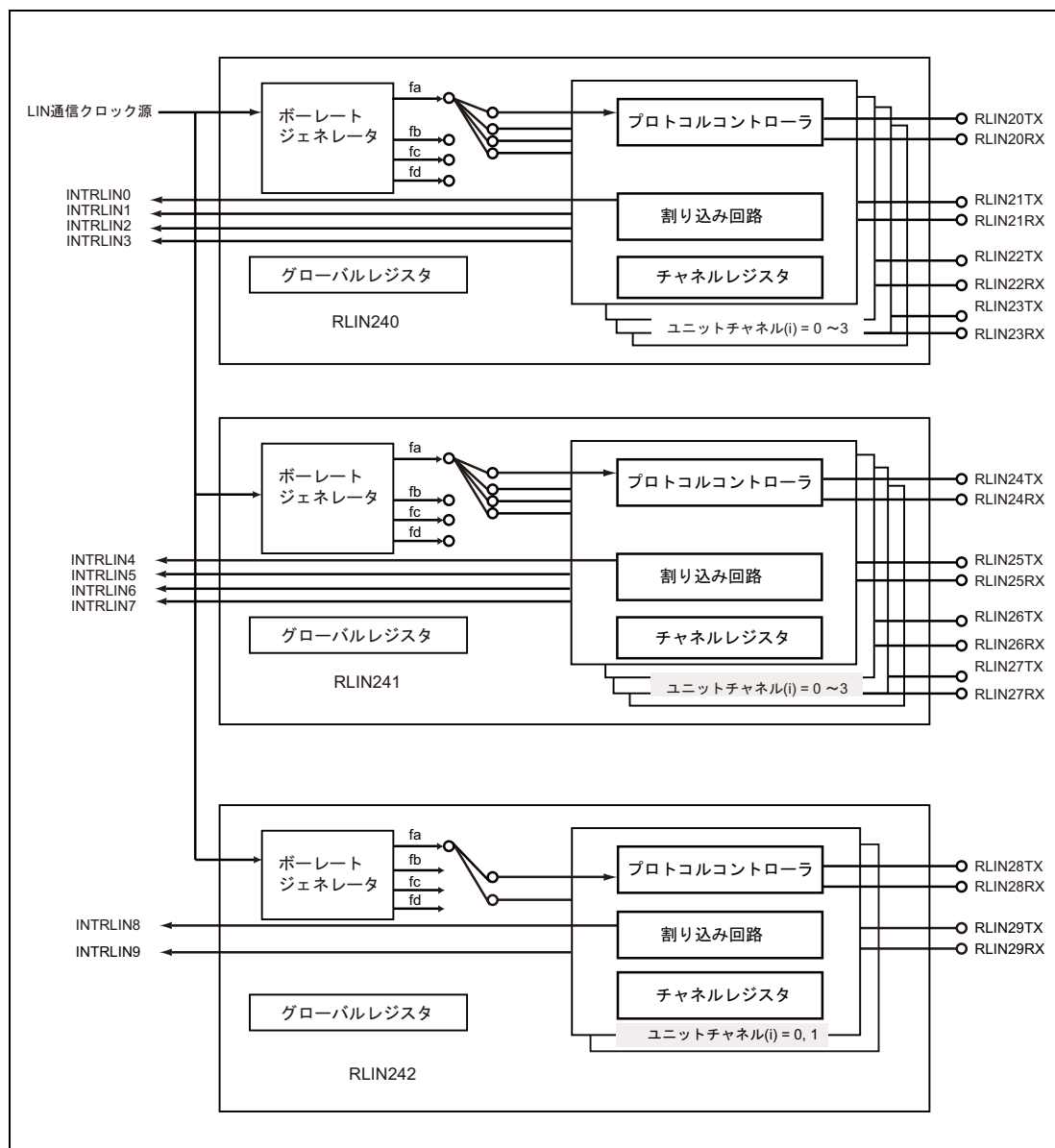


図 18.1 LIN マスタインタフェースブロック図 (176 pin、RLIN2 10 チャンネル搭載品)

18.3 レジスタ

LIN マスタインタフェースのレジスタは、グローバルレジスタとチャンネルレジスタで構成されています。グローバルレジスタは、ユニット毎に配置されているため、ユニット単位で個々の設定が可能です。チャンネルレジスタは、チャンネル毎に存在し各チャンネルの制御が可能です。

18.3.1 レジスタ一覧

RLIN2 のレジスタ一覧を以下の表に示します。

<RLIN24n_base> は「**18.1.2 レジスタベースアドレス**」を参照してください。

表 18.11 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
グローバルレジスタ			
RLN24n	LIN ウェイクアップボーレート選択レジスタ	RLN24nGLWBR	<RLIN24n_base> + 01 _H
	LIN ボーレートプリスケラ 0 レジスタ	RLN24nGLBRP0	<RLIN24n_base> + 02 _H
	LIN ボーレートプリスケラ 1 レジスタ	RLN24nGLBRP1	<RLIN24n_base> + 03 _H
	LIN セルフテスト制御レジスタ	RLN24nGLSTC	<RLIN24n_base> + 04 _H
チャンネルレジスタ			
RLN24nm	LIN モードレジスタ	RLN24nmLiMD	<RLIN24n_base> + 08 _H + i × 20 _H
	LIN ブレークフィールド設定レジスタ	RLN24nmLiBFC	<RLIN24n_base> + 09 _H + i × 20 _H
	LIN スペース設定レジスタ	RLN24nmLiSC	<RLIN24n_base> + 0A _H + i × 20 _H
	LIN ウェイクアップ設定レジスタ	RLN24nmLiWUP	<RLIN24n_base> + 0B _H + i × 20 _H
	LIN 割り込み許可レジスタ	RLN24nmLiIE	<RLIN24n_base> + 0C _H + i × 20 _H
	LIN エラー検出許可レジスタ	RLN24nmLiEDE	<RLIN24n_base> + 0D _H + i × 20 _H
	LIN 制御レジスタ	RLN24nmLiCUC	<RLIN24n_base> + 0E _H + i × 20 _H
	LIN 送信制御レジスタ	RLN24nmLiTRC	<RLIN24n_base> + 10 _H + i × 20 _H
	LIN モードステータスレジスタ	RLN24nmLiMST	<RLIN24n_base> + 11 _H + i × 20 _H
	LIN ステータスレジスタ	RLN24nmLiST	<RLIN24n_base> + 12 _H + i × 20 _H
	LIN エラーステータスレジスタ	RLN24nmLiEST	<RLIN24n_base> + 13 _H + i × 20 _H
	LIN データフィールド設定レジスタ	RLN24nmLiDFC	<RLIN24n_base> + 14 _H + i × 20 _H
	LIN ID バッファレジスタ	RLN24nmLiIDB	<RLIN24n_base> + 15 _H + i × 20 _H
	LIN チェックサムバッファレジスタ	RLN24nmLiCBR	<RLIN24n_base> + 16 _H + i × 20 _H
	LIN データバッファ 1 レジスタ	RLN24nmLiDBR1	<RLIN24n_base> + 18 _H + i × 20 _H
	LIN データバッファ 2 レジスタ	RLN24nmLiDBR2	<RLIN24n_base> + 19 _H + i × 20 _H
	LIN データバッファ 3 レジスタ	RLN24nmLiDBR3	<RLIN24n_base> + 1A _H + i × 20 _H
	LIN データバッファ 4 レジスタ	RLN24nmLiDBR4	<RLIN24n_base> + 1B _H + i × 20 _H
	LIN データバッファ 5 レジスタ	RLN24nmLiDBR5	<RLIN24n_base> + 1C _H + i × 20 _H
	LIN データバッファ 6 レジスタ	RLN24nmLiDBR6	<RLIN24n_base> + 1D _H + i × 20 _H
LIN データバッファ 7 レジスタ	RLN24nmLiDBR7	<RLIN24n_base> + 1E _H + i × 20 _H	
LIN データバッファ 8 レジスタ	RLN24nmLiDBR8	<RLIN24n_base> + 1F _H + i × 20 _H	

備考 未使用のレジスタに書き込みを行う場合は、リセット後の値を書いてください。

18.3.2 グローバルレジスタ

18.3.2.1 RLN24nGLWBR — LIN ウェイクアップポーレート選択レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス RLN24nGLWBR: <RLIN24n_base> + 01_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	LWBR0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 18.12 RLN24nGLWBR レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	LWBR0	ウェイクアップポーレート選択ビット 0: LIN ウェイクアップモードにおいて、RLN24nmLiMD レジスタの LCKS ビットの設定通りのクロックが使用される (LIN1.3 使用時) 1: LIN ウェイクアップモードにおいて、RLN24nmLiMD レジスタの LCKS ビットの設定によらずクロック fa が使用される (LIN2.x 使用時)

RLN24nGLWBR レジスタは同一ユニット内の全てのチャンネルの RLN24nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) のときに設定してください。

LWBR0 ビット (ウェイクアップポーレート選択ビット)

LIN Specification Package Revision 1.3 使用時は、RLN24nGLWBR レジスタの LWBR0 ビットを“0”にしてください。これにより入力信号ロウレベル幅をビットタイムで 2.5 Tbit 以上で計測することができます。

LIN Specification Package Revision 2.x 使用時は“1”にしてください。“1”にすることで LIN ウェイクアップモード中は RLN24nmLiMD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック (f_{LIN}) は fa が選択されます (LCKS ビットは変化しません)。入力信号ロウレベル幅を 2.5Tbit 以上で計測することができます。

fa 選択時のポーレートを 19200bps に設定することにより、RLN24nmLiMD レジスタの LCKS ビットの設定にかかわらず、LIN ウェイクアップモード時に 130 μ s 以上の入力信号ロウレベル幅を検出することができます。

18.3.2.2 RLN24nGLBRP0 — LIN ボーレートプリスケアラ 0 レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス RLN24nGLBRP0: <RLIN24n_base> + 02_H

リセット後の値 00_H

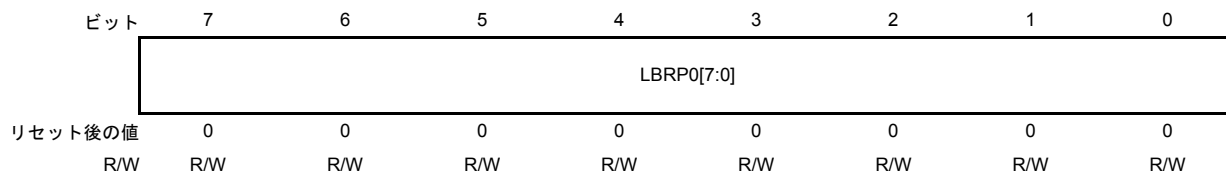


表 18.13 RLN24nGLBRP0 レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	LBRP0[7:0]	設定値を N (0 ~ 255) とすると、ボーレートプリスケアラは LIN 通信クロック源を N+1 分周する 設定範囲 : 00 _H ~ FF _H

RLN24nGLBRP0 レジスタは同一ユニット内の全てのチャンネルの RLN24nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) のときに設定してください。

このレジスタの設定値が、ボーレートクロックソース“fa”、“fb”、“fc”の周波数制御に使用されます。

このレジスタの設定値を N とすると、ボーレートプリスケアラ 0 は LIN 通信クロック源を N+1 分周します。

18.3.2.3 RLN24nGLBRP1 — LIN ボーレートプリスケアラ 1 レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス RLN24nGLBRP1: <RLIN24n_base> + 03_H

リセット後の値 00_H

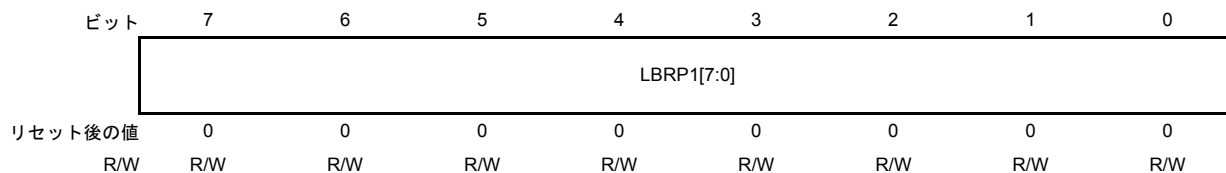


表 18.14 RLN24nGLBRP1 レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	LBRP1[7:0]	設定値を M (0 ~ 255) とすると、ボーレートプリスケアラは LIN 通信クロック源を M+1 分周する 設定範囲 : 00 _H ~ FF _H

RLN24nGLBRP1 レジスタは同一ユニット内の全てのチャンネルの RLN24nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) のときに設定してください。

このレジスタの設定値が、ボーレートクロックソース“fd”の周波数制御に使用されます。

このレジスタの設定値を M とすると、ボーレートプリスケアラ 1 は LIN 通信クロック源を M+1 分周します。

18.3.2.4 RLN24nGLSTC — LIN セルフテスト制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス RLN24nGLSTC: <RLIN24n_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	LSTM
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.15 RLN24nGLSTC レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	—	“A7 _H ” → “58 _H ” → “01 _H ” の連続書き込みにより、LIN セルフテストモードへエントリーします。
0	LSTM	LIN セルフテストモードビット 0 : LIN セルフテストモードではない 1 : LIN セルフテストモード

RLN24nGLSTC レジスタは LIN セルフテストモードのプロテクトを解除するために使用するレジスタです。

RLN24nGLSTC レジスタは同一ユニット内の全てのチャンネルの RLN24nmLiMST レジスタの OMM0 ビットが “0” (LIN リセットモード) のときに設定してください。

“A7_H” → “58_H” → “01_H” の連続書き込みにより、LIN セルフテストモードへエントリーします。

連続書き込みが成功し、LIN セルフテストモードにした場合は、LSTM ビットが “1” になります。

連続書き込みの間に別の書き込みを行わないでください。

LIN セルフテストモードへの移行方法は、「**18.15 LIN セルフテストモード**」を参照してください。

ビット 6 ~ 1 を読み出すと “000000_B” が、ビット 7 を読み出すと不定値が読めます。

LSTM ビット (LIN セルフテストモードビット)

LIN セルフテストモードに移行したとき、このビットは “1” になります。

LIN セルフテストモードからの終了方法は、「**18.15 LIN セルフテストモード**」を参照してください。

RLN24nGLSTC レジスタへの “A7_H” → “58_H” → “01_H” の連続書き込み以外で、このビットに “1” を書いても値は変化しません。

18.3.3 チャネルレジスタ

18.3.3.1 RLN24nmLiMD — LIN モードレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス RLN24nmLiMD: <RLIN24n_base> + 08_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	LCKS[1:0]		—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R	R

表 18.16 RLN24nmLiMD レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3, 2	LCKS[1:0]	LIN システムクロック選択ビット b3 b2 0 0 : fa (ボーレートプリスケーラ 0 生成クロック) 0 1 : fb (ボーレートプリスケーラ 0 生成クロック /2) 1 0 : fc (ボーレートプリスケーラ 0 生成クロック /8) 1 1 : fd (ボーレートプリスケーラ 1 生成クロック /2)
1, 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN24nmLiMD レジスタは RLN24nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) のときに設定してください。

LCKS[1:0] ビット (LIN システムクロック選択ビット)

プロトコルコントローラに入力するクロックを選択するビットです。

“00_B” の場合、プロトコルコントローラには fa (ボーレートプリスケーラ 0 生成クロック) が入力されます。

“01_B” の場合、プロトコルコントローラには fb (ボーレートプリスケーラ 0 生成クロック / 2) が入力されます。

“10_B” の場合、プロトコルコントローラには fc (ボーレートプリスケーラ 0 生成クロック / 8) が入力されます。

“11_B” の場合、プロトコルコントローラには fd (ボーレートプリスケーラ 1 生成クロック / 2) が入力されます。

RLN24nGLWBR レジスタの LWBR0 ビットが“1” (LIN 2.x 使用時) かつ RLN24nmLiMST レジスタが“01_H” (LIN ウェイクアップモード) の場合、このビットの設定にかかわらず、プロトコルコントローラには fa が入力されます (LCKS ビットは変化しません)。

18.3.3.2 RLN24nmLiBFC — LIN ブレークフィールド設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス RLN24nmLiBFC: <RLIN24n_base> + 09_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	BDT[1:0]		BLT[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 18.17 RLN24nmLiBFC レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5, 4	BDT[1:0]	送信ブレークデリミタ (ハイレベル) 幅設定ビット b5 b4 0 0 : 1 Tbit 0 1 : 2 Tbits 1 0 : 3 Tbits 1 1 : 4 Tbits
3 ~ 0	BLT[3:0]	送信ブレーク (ロウレベル) 幅設定ビット b3 b0 0 0 0 0 : 13 Tbits 0 0 0 1 : 14 Tbits 0 0 1 0 : 15 Tbits : 1 1 1 0 : 27 Tbits 1 1 1 1 : 28 Tbits

RLN24nmLiBFC レジスタは RLN24nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) のときに設定してください。

設定値の組み合わせによっては、1 フレームの長さがフレームタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

BDT[1:0] ビット (送信ブレークデリミタ (ハイレベル) 幅設定ビット)

送信フレーム ヘッダ部のブレークデリミタ (ハイレベル) 幅の設定をします。
1 Tbit ~ 4 Tbits を設定できます。

BLT[3:0] ビット (送信ブレーク (ロウレベル) 幅設定ビット)

送信フレーム ヘッダ部のブレーク (ロウレベル) 幅の設定をします。
13 Tbits ~ 28 Tbits を設定できます。

18.3.3.3 RLN24nmLiSC — LIN スペース設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス RLN24nmLiSC: <RLIN24n_base> + 0A_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	IBHS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

表 18.18 RLN24nmLiSC レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5, 4	IBS[1:0]	インタバイトスペース設定ビット $b_5 \ b_4$ 0 0 : 0 Tbit 0 1 : 1 Tbit 1 0 : 2 Tbits 1 1 : 3 Tbits
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	IBHS[2:0]	インタバイトスペース (ヘッダ) / レスポンススペース設定ビット $b_2 \ b_0$ 0 0 0 : 0 Tbit 0 0 1 : 1 Tbit 0 1 0 : 2 Tbits 0 1 1 : 3 Tbits 1 0 0 : 4 Tbits 1 0 1 : 5 Tbits 1 1 0 : 6 Tbits 1 1 1 : 7 Tbits

RLN24nmLiSC レジスタは RLN24nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) のときに設定してください。

設定値の組み合わせによっては、1 フレーム または レスポンスの長さがタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

IBS[1:0] ビット (インタバイトスペース設定ビット)

送信フレームレスポンス部のインタバイトスペースの幅の設定をします。

0 Tbit ~ 3 Tbits を設定できます。

レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。

IBHS[2:0] ビット (インタバイトスペース (ヘッダ) / レスポンススペース設定ビット)

送信フレームヘッダ部のインタバイトスペース (ヘッダ) とレスポンススペースの幅の設定をします。

0 Tbit ~ 7 Tbits を設定できます。

レスポンススペースの設定は、レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。

インタバイトスペース (ヘッダ) とレスポンススペースの値は、同じになります。

18.3.3.4 RLN24nmLiWUP — LIN ウェイクアップ設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス RLN24nmLiWUP: <RLIN24n_base> + 0B_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	WUTL[3:0]				—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 18.19 RLN24nmLiWUP レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	WUTL[3:0]	ウェイクアップ送信ロウレベル幅設定ビット b7 b4 0 0 0 0 : 1 Tbit 0 0 0 1 : 2 Tbits 0 0 1 0 : 3 Tbits 0 0 1 1 : 4 Tbits : 1 1 0 0 : 13 Tbits 1 1 0 1 : 14 Tbits 1 1 1 0 : 15 Tbits 1 1 1 1 : 16 Tbits
3 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN24nmLiWUP レジスタは RLN24nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) のときに設定してください。

WUTL[3:0] ビット (ウェイクアップ送信ロウレベル幅設定ビット)

ウェイクアップシグナル送信時のロウレベル幅を設定します。

1 Tbit ~ 16 Tbits を設定できます。

RLN24nGLWBR レジスタの LWBR0 ビットが“1” (LIN 2.x 使用時) の場合、RLN24nmLiMD レジスタの LCKS ビットにかかわらず、LIN システムクロック (f_{LIN}) は f_a が選択されます (LCKS ビットは変化しません)。

18.3.3.5 RLN24nmLiE — LIN 割り込み許可レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス RLN24nmLiE: <RLIN24n_base> + 0CH + i × 20H

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	ERRIE	FRCIE	FTCIE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 18.20 RLN24nmLiE レジスタの内容

ビット位置	ビット名	機能
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	ERRIE	エラー検出割り込み要求許可ビット 0: エラー検出割り込み要求禁止 1: エラー検出割り込み要求許可
1	FRCIE	フレーム/ウェイクアップ受信完了割り込み要求許可ビット 0: フレーム/ウェイクアップ受信完了割り込み要求禁止 1: フレーム/ウェイクアップ受信完了割り込み要求許可
0	FTCIE	フレーム/ウェイクアップ送信完了割り込み要求許可ビット 0: フレーム/ウェイクアップ送信完了割り込み要求禁止 1: フレーム/ウェイクアップ送信完了割り込み要求許可

RLN24nmLiE レジスタは RLN24nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) のときに設定してください。

ERRIE ビット (エラー検出割り込み要求許可ビット)

エラーを検出したときの割り込み要求許可/禁止を設定します。

“0”の場合、RLN24nmLiST レジスタの ERR フラグが“1”になった際に割り込み要求が発生しません。

“1”の場合、RLN24nmLiST レジスタの ERR フラグが“1”になった際に割り込み要求が発生します。

発生要因となるエラーは、ビットエラー、フィジカルバスエラー、フレームタイムアウトエラー、フレーミングエラー、チェックサムエラーです。

ビットエラー、フィジカルバスエラー、フレームタイムアウトエラー、フレーミングエラーは、RLN24nmLiEDE レジスタで検出許可/禁止の設定ができます。

FRCIE ビット (フレーム/ウェイクアップ受信完了割り込み要求許可ビット)

フレーム受信完了、またはウェイクアップシグナル受信 (入力信号ロウレベル幅カウント) 完了時の割り込み要求の許可/禁止を設定します。

“0”の場合、RLN24nmLiST レジスタの FRC フラグが“1”になった際に割り込み要求が発生しません。

“1”の場合、RLN24nmLiST レジスタの FRC フラグが“1”になった際に割り込み要求が発生します。

FTCIE ビット (フレーム/ウェイクアップ送信完了割り込み要求許可ビット)

フレーム送信完了、または ウェイクアップシグナル送信完了時の割り込み要求許可/禁止を設定します。

“0” の場合、RLN24nmLiST レジスタの FTC フラグが “1” になった際に割り込み要求が発生しません。

“1” の場合、RLN24nmLiST レジスタの FTC フラグが “1” になった際に割り込み要求が発生します。

18.3.3.6 RLN24nmLiEDE — LIN エラー検出許可レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス RLN24nmLiEDE: <RLIN24n_base> + 0D_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	FERE	FTERE	PBERE	BERE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 18.21 RLN24nmLiEDE レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	FERE	フレーミングエラー検出許可ビット 0: フレーミングエラー検出禁止 1: フレーミングエラー検出許可
2	FTERE	フレームタイムアウトエラー検出許可ビット 0: フレームタイムアウトエラー検出禁止 1: フレームタイムアウトエラー検出許可
1	PBERE	フィジカルバスエラー検出許可ビット 0: フィジカルバスエラー検出禁止 1: フィジカルバスエラー検出許可
0	BERE	ビットエラー検出許可ビット 0: ビットエラー検出禁止 1: ビットエラー検出許可

RLN24nmLiEDE レジスタは RLN24nmLiMST レジスタの OMM0 ビットが ”0_B” (LIN リセットモード) のときに設定してください。

FERE ビット (フレーミングエラー検出許可ビット)

フレーミングエラー検出の許可/禁止を設定します。

“0” の場合、フレーミングエラーを検出しません。

“1” の場合、フレーミングエラーを検出します。

このビットが “1” の場合の検出結果は、RLN24nmLiEST レジスタの FER フラグに反映されます。

フレーミングエラーの詳細は、「18.14 エラーステータス」を参照ください。

FTERE ビット (フレームタイムアウトエラー検出許可ビット)

フレームタイムアウトエラー 検出の許可/禁止を設定します。

“0” の場合、フレームタイムアウトエラーを検出しません。

“1” の場合、フレームタイムアウトエラー を検出します。

このビットが“1” の場合の検出結果は、RLN24nmLiEST レジスタの FTER フラグに反映されます。

フレームタイムアウトエラーの詳細は、「**18.14 エラーステータス**」を参照ください。

PBERE ビット (フィジカルバスエラー検出許可ビット)

フィジカルバスエラー検出の許可/禁止を設定します。

“0” の場合、フィジカルバスエラーを検出しません。

“1” の場合、フィジカルバスエラーを検出します。

このビットが“1” の場合の検出結果は、RLN24nmLiEST レジスタの PBER フラグに反映されます。

フィジカルバスエラーの詳細は、「**18.14 エラーステータス**」を参照ください。

BERE ビット (ビットエラー検出許可ビット)

ビットエラー検出の許可/禁止を設定します。

“0” の場合、ビットエラーを検出しません。

“1” の場合、ビットエラーを検出します。

このビットが“1” の場合の検出結果は、RLN24nmLiEST レジスタの BER フラグに反映されます。

ビットエラーの詳細は、「**18.14 エラーステータス**」を参照ください。

18.3.3.7 RLN24nmLiCUC — LIN 制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス RLN24nmLiCUC: <RLIN24n_base> + 0E_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OM1	OM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.22 RLN24nmLiCUC レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	OM1	LIN モード選択ビット 0: LIN ウェイクアップモード 1: LIN 動作モード
0	OM0	LIN リセットビット 0: LIN リセットモード 1: LIN リセットモード解除

LIN リセットモードを解除するときに、LIN ウェイクアップモードに移行させる場合は RLN24nmLiCUC レジスタに“01_H”を、LIN 動作モードに移行させる場合は RLN24nmLiCUC レジスタに“03_H”を設定してください。

LIN セルフテストモードでは、LIN セルフテストモード移行後に RLN24nmLiCUC レジスタを“03_H”にしてください。

このレジスタに書き込みをした後は、書き込んだ値が RLN24nmLiMST レジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM1 ビット (LIN モード選択ビット)

LIN リセットモード解除時の動作モード (LIN ウェイクアップモード、LIN 動作モード) 選択をするビットです。

“0”にすると、LIN ウェイクアップモードになります。

“1”にすると、LIN 動作モードになります。

このビットは、RLN24nmLiMST レジスタの OMM0 ビットが“1”のときのみ有効です。

このビットは、RLN24nmLiTRC レジスタの FTS ビットが“1”の間は書けません。

OM0 ビット (LIN リセットビット)

LIN リセットモードへの移行/LIN リセットモードの解除を選択するビットです。

“0”にすると、LIN リセットモードになります。

“1”にすると、LIN リセットモードは解除されます。

18.3.3.8 RLN24nmLiTRC — LIN 送信制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス RLN24nmLiTRC: <RLIN24n_base> + 10_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RTS	FTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.23 RLN24nmLiTRC レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RTS	レスポンス送信開始ビット 0: フレームセパレートモードにおいてレスポンス送信停止 1: フレームセパレートモードにおいてレスポンス送信開始
0	FTS	フレーム送信/ウェイクアップ送受信開始ビット 0: フレーム送信/ウェイクアップ送受信停止 1: フレーム送信/ウェイクアップ送受信開始

RTS ビット (レスポンス送信開始ビット)

フレームセパレートモードで、ヘッダを送信開始 (FTS ビットを“1”) し、レスポンス送信データの準備が完了した後に、“1”にしてください。設定後、このビットはフレーム送信終了および LIN リセットモード移行時に自動的に“0”になります。

このビットは“1”のみ書けます。“0”は書けません。

このビットに“1”を書く場合は、ストア命令で“02_H”を書き込んでください。

このビットは、OMM0 ビットが“0” (LIN リセットモード) のときは書けません。OMM1 ビットが“0” (LIN ウェイクアップモード) のときは、“1”を書かないでください。

このビットは、FTS ビットが“0” (フレーム送信/ウェイクアップ送受信停止) のときは書けません。

FTS ビット (フレーム送信/ウェイクアップ送受信開始ビット)

フレーム/ウェイクアップ送信開始時、“1”にしてください。

また、ウェイクアップ受信 (入力信号ロウレベル幅カウント) を行う場合にも、このビットを“1”にしてください。

このビットは“1”のみ書けます。“0”は書けません。

このビットは、OMM0 ビットが“0” (LIN リセットモード) のときは書けません。

このビットは、フレーム および ウェイクアップの通信終了時に“0”になります。

LIN リセットモード移行時に“0”になります。

18.3.3.9 RLN24nmLiMST — LIN モードステータスレジスタ

アクセス 8ビット単位でリードのみ可能です。

アドレス RLN24nmLiMST: <RLIN24n_base> + 11_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OMM1	OMM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 18.24 RLN24nmLiMST レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	OMM1	LIN モードステータスマニタ 0: LIN ウェイクアップモード 1: LIN 動作モード
0	OMM0	LIN リセットステータスマニタ 0: LIN リセットモード 1: LIN リセットモードでない

OMM1 ビット (LIN モードステータスマニタ)

現在の動作モードが確認できます。

OMM0 ビットが“0_B” (LIN リセットモード) の間、このビットの値は無効です。

OMM0 ビット (LIN リセットステータスマニタ)

現在の動作モードが確認できます。

18.3.3.10 RLN24nmLiST — LIN ステータスレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス RLN24nmLiST: <RLIN24n_base> + 12_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	HTRC	D1RC	—	—	ERR	—	FRC	FTC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R/W	R/W

表 18.25 RLN24nmLiST レジスタの内容

ビット位置	ビット名	機能
7	HTRC	ヘッダ送信完了フラグ 0: 送信未完了 1: ヘッダ送信完了
6	D1RC	データ 1 受信完了フラグ 0: 受信未完了 1: データ 1 受信完了
5, 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	ERR	エラー検出フラグ 0: エラー未検出 1: エラー検出
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	FRC	フレーム/ウェイクアップ受信完了フラグ 0: 受信未完了 1: フレームまたはウェイクアップ受信完了
0	FTC	フレーム/ウェイクアップ送信完了フラグ 0: 送信未完了 1: フレームまたはウェイクアップ送信完了

RLN24nmLiST レジスタは LIN リセットモード移行時 および 次の通信開始 (RLN24nmLiTRC レジスタの FTS ビットが“1”) 時、自動的に“00_H”になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。

RLN24nmLiTRC レジスタの FTS ビットが“1” (フレーム送信 / ウェイクアップ送受信開始) の間は、このレジスタに書き込まないでください。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

HTRC フラグ (ヘッダ送信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

ヘッダ送信完了時、“1”となりますが、割り込み要求は発生しません。

次の通信が始まる (RLN24nmLiTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

D1RC フラグ (データ 1 受信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
データ 1 受信完了時、“1”となりますが、割り込み要求は発生しません。
次の通信が始まる (RLN24nmLiTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

ERR フラグ (エラー検出フラグ)

エラー検出 (RLN24nmLiEST レジスタのフラグのうち1つでも“1”)時、“1”となります。
このとき RLN24nmLiE レジスタの ERRIE ビットが“1” (割り込み許可) の場合、割り込み要求が発生します。
次の通信が始まる (RLN24nmLiTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で RLN24nmLiEST レジスタの CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグに“0”を書いてください。ERR フラグが“0”となります。

FRC フラグ (フレーム/ウェイクアップ受信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
フレーム受信完了またはウェイクアップ受信完了時、“1”となります。このとき RLN24nmLiE レジスタの FRCIE ビットが“1” (割り込み許可) の場合、割り込み要求が発生します。
次の通信が始まる (RLN24nmLiTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

FTC フラグ (フレーム/ウェイクアップ送信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
フレーム送信完了またはウェイクアップ送信完了時、“1”となります。このとき RLN24nmLiE レジスタの FTCIE ビットが“1” (割り込み許可) の場合、割り込み要求が発生します。
次の通信が始まる (RLN24nmLiTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

18.3.3.11 RLN24nmLiEST — LIN エラーステータスレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス RLN24nmLiEST: <RLIN24n_base> + 13_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	CSER	—	FER	FTER	PBER	BER
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R/W	R/W	R/W	R/W

表 18.26 RLN24nmLiEST レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CSER	チェックサムエラーフラグ 0: チェックサムエラー未検出 1: チェックサムエラー検出
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	FER	フレーミングエラーフラグ 0: フレーミングエラー未検出 1: フレーミングエラー検出
2	FTER	フレームタイムアウトエラーフラグ 0: フレームタイムアウトエラー未検出 1: フレームタイムアウトエラー検出
1	PBER	フィジカルバスエラーフラグ 0: フィジカルバスエラー未検出 1: フィジカルバスエラー検出
0	BER	ビットエラーフラグ 0: ビットエラー未検出 1: ビットエラー検出

RLN24nmLiEST レジスタは LIN リセットモード移行時、および次の通信開始 (RLN24nmLiTRC レジスタの FTS ビットが“1”) 時、自動的に“00_H”になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。

RLN24nmLiTRC レジスタの FTS ビットが“1” (フレーム送信/ウェイクアップ送受信開始) の間は、このレジスタに書かないでください。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

CSER フラグ (チェックサムエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

チェックサムエラー検出時、“1”となります。次の通信が始まる (RLN24nmLiTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

FER フラグ (フレーミングエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

RLN24nmLiEST レジスタの FERF ビットが“1” (フレーミングエラー検出許可) で、フレーミングエラー検出時、“1”となります。次の通信が始まる (RLN24nmLiTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

FTER フラグ (フレームタイムアウトエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

RLN24nmLiEDE レジスタの FTERE ビットが“1” (フレームタイムアウトエラー検出許可) で、フレームタイムアウトエラー検出時、“1”となります。次の通信が始まる (RLN24nmLiTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

PBER フラグ (フィジカルバスエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

RLN24nmLiEDE レジスタの PBERE ビットが“1” (フィジカルバスエラー検出許可) で、フィジカルバスエラー検出時、“1”となります。次の通信が始まる (RLN24nmLiTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

BER フラグ (ビットエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

RLN24nmLiEDE レジスタの BERE ビットが“1” (ビットエラー検出許可) で、ビットエラー検出時、“1”となります。次の通信が始まる (RLN24nmLiTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

18.3.3.12 RLN24nmLiDFC — LIN データフィールド設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス RLN24nmLiDFC: <RLIN24n_base> + 14_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	FSM	CSM	RFT	RFDL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.27 RLN24nmLiDFC レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	FSM	フレームセパレートモード選択ビット 0: フレームセパレートモードではない 1: フレームセパレートモード
5	CSM	チェックサム選択ビット 0: クラシック 1: エンハンス
4	RFT	レスポンスフィールド通信方向選択ビット 0: 受信 1: 送信
3 ~ 0	RFDL[3:0]	レスポンスフィールド長設定ビット b3 b0 0000: 0バイト+チェックサム 0001: 1バイト+チェックサム 0010: 2バイト+チェックサム : 0111: 7バイト+チェックサム 1000: 8バイト+チェックサム 上記以外は設定しないでください。

RLN24nmLiDFC レジスタは、RLN24nmLiTRC レジスタの FTS ビットが“0”（フレーム送信 / ウェイクアップ送受信停止）のときに設定してください。

FSM ビット（フレームセパレートモード選択ビット）

レスポンス送信の方式を設定します。

“0”の場合、フレームセパレートモードになりません。ヘッダ送信開始（RLN24nmLiTRC レジスタの FTS ビットが“1”）後、RLN24nmLiTRC レジスタの RTS ビットのセットなしに、レスポンスの送受信を行います。

“1”の場合、フレームセパレートモードになります。ヘッダ送信中に RLN24nmLiTRC レジスタの RTS ビットを“1”にした場合、ヘッダ送信完了を待ってからレスポンス送信を行います。

レスポンス受信（RFT ビットが“0”）時は、このビットを“0”に設定してください。

LIN セルフテストモードに移行する場合は、移行前にこのビットを“0”に設定してください。

フレームセパレートモードの詳細は「18.11.1 LIN フレームの送信」を参照してください。

CSM ビット (チェックサム選択ビット)

チェックサムの方式の設定をします。

“0” の場合、チェックサムの方式はクラシックとなります。

“1” の場合、チェックサムの方式はエンハンスとなります。

フレームタイムアウトエラーを使用する (RLN24nmLiEDE レジスタの FTERE ビットが “1”) の場合は、このビット設定によりタイムアウト時間が異なります。詳細は「**18.14 エラーステータス**」を参照してください。

RFT ビット (レスポンスフィールド通信方向選択ビット)

レスポンスフィールド/ウェイクアップシグナルの通信方向を設定します。

“0” の場合、レスポンスフィールドで受信を行います。また、LIN ウェイクアップモードでは、ウェイクアップ受信 (入力信号ロウレベル幅カウント) を行います。

“1” の場合、レスポンスフィールドで送信を行います。また、LIN ウェイクアップモードでは、ウェイクアップ送信を行います。

RFDL[3:0] ビット (レスポンスフィールド長設定ビット)

レスポンスフィールドのデータ長を設定します。

データ長は 0 ~ 8 バイトまで設定でき、データ長にはチェックサムのサイズを含みません。

18.3.3.13 RLN24nmLiIDB — LIN ID バッファレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス RLN24nmLiIDB: <RLIN24n_base> + 15_H + i × 20_H

リセット後の値 不定

ビット	7	6	5	4	3	2	1	0
	IDP1	IDP0	ID[5:0]					
リセット後の値	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.28 RLN24nmLiIDB レジスタの内容

ビット位置	ビット名	機能
7	IDP1	パリティ設定ビット (P1) ID フィールドで送信するパリティ (P1) ビットを設定
6	IDP0	パリティ設定ビット (P0) ID フィールドで送信するパリティ (P0) ビットを設定
5 ~ 0	ID[5:0]	ID 設定ビット ID フィールドで送信する 6 ビットの ID 値を設定

このレジスタは、RLN24nmLiTRC レジスタの FTS ビットが“0”（フレーム送信/ウェイクアップ送受信停止）のときに設定してください。

LIN セルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**18.15 LIN セルフテストモード**」を参照してください。

IDP ビット（パリティ設定ビット）

LIN フレームの ID フィールドで送信するパリティ（P0、P1）ビットを設定します。IDP0 が P0、IDP1 が P1 です。

パリティは自動演算されないため、演算値を設定してください。誤った演算結果を設定した場合もそのまま送信します。

ID ビット（ID 設定ビット）

LIN フレームの ID フィールドで送信する 6 ビットの ID を設定します。

18.3.3.14 RLN24nmLiCBR — LIN チェックサムバッファレジスタ

アクセス 8ビット単位でリードのみ可能です。ただし、LINセルフテストモード時は、8ビット単位でリード/ライト可能です。

アドレス RLN24nmLiCBR: <RLIN24n_base> + 16_H + i × 20_H

リセット後の値 不定

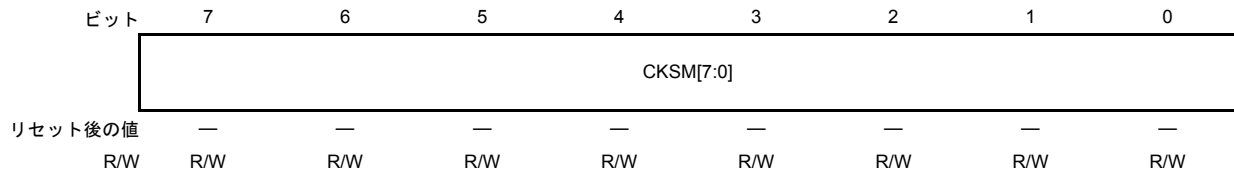


表 18.29 RLN24nmLiCBR レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	CKSM[7:0]	チェックサムの送受信データを格納します

LIN 動作モード時は、以下の通りとなります。

- RLN24nmLiDFC レジスタの RFT ビットが“1”（送信）の場合：
送信した値を読むことができます。読み出す場合は、送信完了後に行ってください。
書き込みは無効になります。
- RLN24nmLiDFC レジスタの RFT ビットが“0”（受信）の場合：
受信した値を読むことができます。読み出す場合は、受信完了後に行ってください。
書き込みは無効になります。

LIN セルフテストモード時は、以下の通りとなります。

- RLN24nmLiDFC レジスタの RFT ビットが“1”（送信）の場合：
フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。
書き込みは無効になります。
- RLN24nmLiDFC レジスタの RFT ビットが“0”（受信）の場合：
通信前に受信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**18.15 LIN セルフテストモード**」を参照してください。

このレジスタは RLN24nmLiTRC レジスタの FTS ビットが“0”（フレーム送信/ウェイクアップ送受信停止）のときに設定してください。

18.3.3.15 RLN24nmLiDBRb — LIN データバッファ b レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス RLN24nmLiDBR1: <RLIN24n_base> + 18_H + i × 20_H
 RLN24nmLiDBR2: <RLIN24n_base> + 19_H + i × 20_H
 RLN24nmLiDBR3: <RLIN24n_base> + 1A_H + i × 20_H
 RLN24nmLiDBR4: <RLIN24n_base> + 1B_H + i × 20_H
 RLN24nmLiDBR5: <RLIN24n_base> + 1C_H + i × 20_H
 RLN24nmLiDBR6: <RLIN24n_base> + 1D_H + i × 20_H
 RLN24nmLiDBR7: <RLIN24n_base> + 1E_H + i × 20_H
 RLN24nmLiDBR8: <RLIN24n_base> + 1F_H + i × 20_H

リセット後の値 不定

ビット	7	6	5	4	3	2	1	0
	LDB[7:0]							
リセット後の値	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.30 RLN24nmLiDBRb レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	LDB[7:0]	送信データを設定、または受信データを読み出し 設定範囲：00 _H ~ FF _H

- レスポンス送信の場合：

レスポンスフィールドで送信するデータを設定します。

これらのレジスタは以下の状態で設定してください

- RLN24nmLiDFC レジスタの RFT ビットが“1” (送信)
- RLN24nmLiDFC レジスタの FSM ビットが“0” (フレームセパレートモードではない)
- RLN24nmLiTRC レジスタの FTS ビットが“0” (フレーム送信/ウェイクアップ送受信停止)

または

- RLN24nmLiDFC レジスタの RFT ビットが“1” (送信)
- RLN24nmLiDFC レジスタの FSM ビットが“1” (フレームセパレートモード)
- RLN24nmLiTRC レジスタの RTS ビットが“0” (レスポンス送信停止)

- レスポンス受信の場合：

レスポンスフィールドで受信したデータが格納されます。

受信データは上書きされます。また、エラー検出時、受信が中断される前までのデータは格納されます。

これらのレジスタは、FTS ビットが“1” (フレーム送信/ウェイクアップ送受信開始) のときに読み出さないでください。

LIN セルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**18.15 LIN セルフテストモード**」を参照してください。

18.4 割り込み要因

LIN マスタインタフェースは LIN 割り込み要求を生成します。

割り込み要因はチャンネル毎に、フレーム/ウェイクアップ送信完了、フレーム/ウェイクアップ受信完了、エラー検出の3つがあります。

フレーム/ウェイクアップ送信完了、フレーム/ウェイクアップ受信完了、エラー検出の3つのステータスによる割り込み要求は、論理和をとって1つの割り込み要求「LIN 割り込み」にまとめられます。

それぞれの割り込み要求は、RLN24nmLiIE レジスタの対応するビットが“1”（割り込み許可）のとき、RLN24nmLiST レジスタの対応するフラグが“1”になると出力されます。ただし、RLN24nmLiST レジスタの対応するフラグが“1”の状態での割り込み要求は無視されますので、再度割り込みを可能にするには、該当するフラグを“0”にしてください。

図 18.2 に LIN 割り込みブロック図を示します。

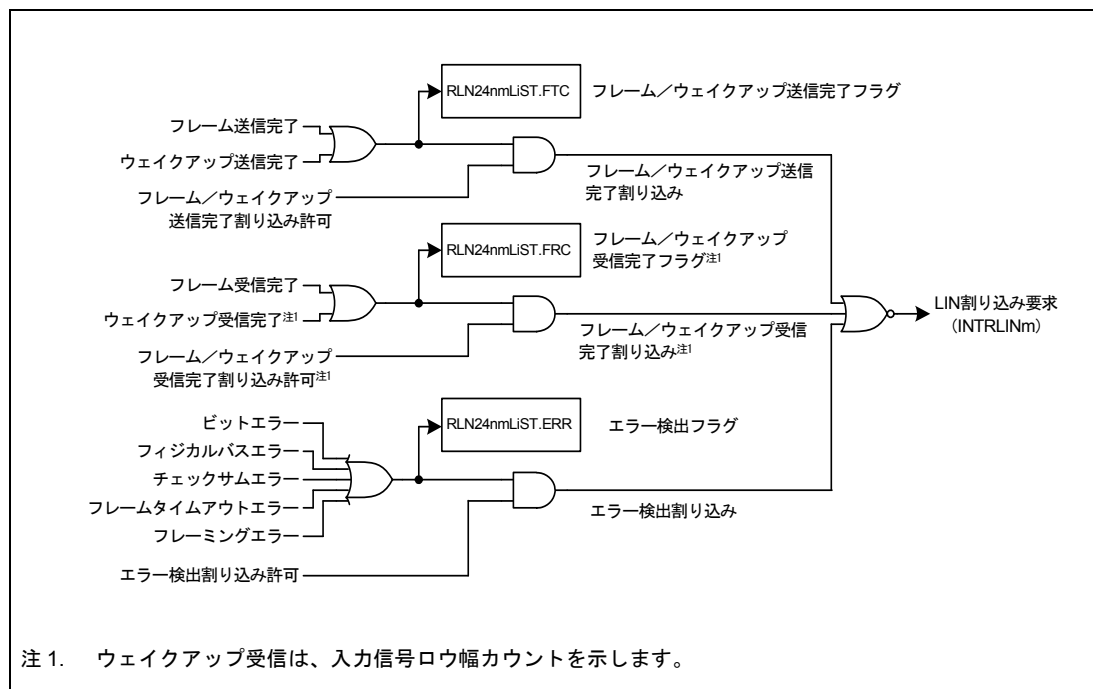


図 18.2 LIN 割り込みブロック図

18.5 モード

LIN マスタインタフェースには、次の4つのモードがあります。

- LIN リセットモード
- LIN 動作モード
- LIN ウェイクアップモード
- LIN セルフテストモード

LIN セルフテストモードを除くモードの移行は、チャンネル毎に独立して制御します。

図 18.3 にモードの移行、表 18.31 にモード移行条件、表 18.32 に各モードで可能な動作を示します。

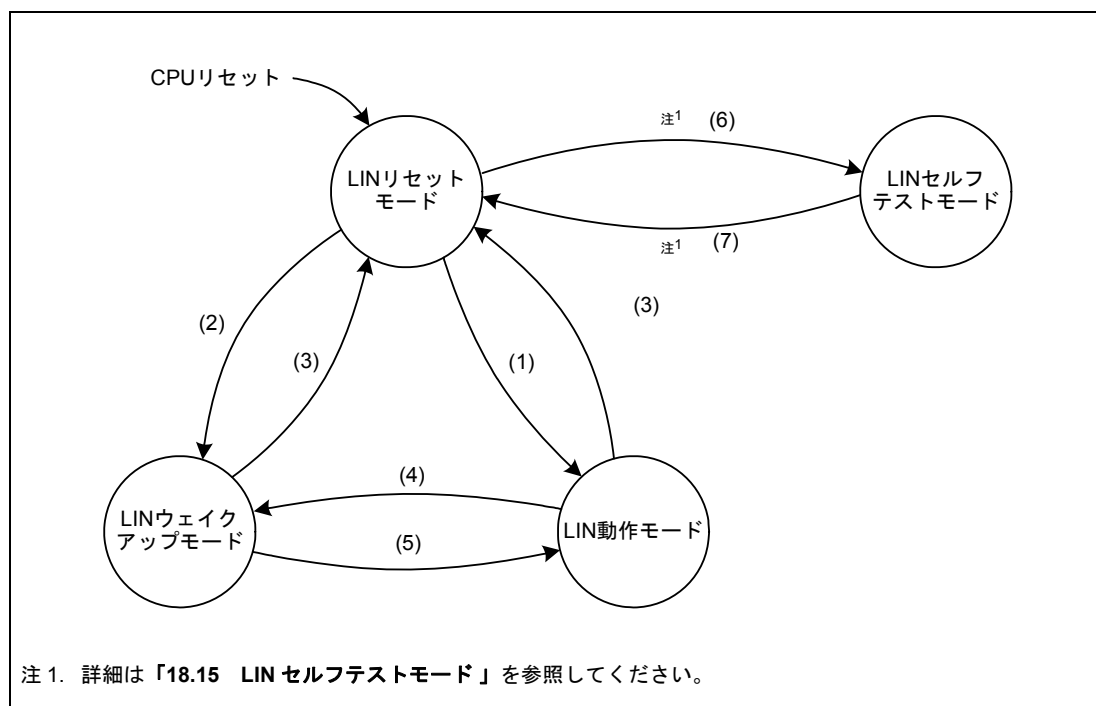


図 18.3 モードの移行

表 18.31 各モードの移行条件

	移行モード	移行条件
(1)	LIN リセットモード → LIN 動作モード	RLN24nmLiCUC.OM1,OM0 = "11 _B "
(2)	LIN リセットモード → LIN ウェイクアップモード	RLN24nmLiCUC.OM1,OM0 = "01 _B "
(3)	LIN ウェイクアップモード LIN 動作モード → LIN リセットモード	RLN24nmLiCUC.OM0 = "0 _B "
(4)	LIN 動作モード → LIN ウェイクアップモード	RLN24nmLiCUC.OM1,OM0 = "01 _B "
(5)	LIN ウェイクアップモード → LIN 動作モード	RLN24nmLiCUC.OM1,OM0 = "11 _B "
(6)	LIN リセットモード → LIN セルフテストモード	「18.15 LIN セルフテストモード」参照
(7)	LIN セルフテストモード → LIN リセットモード	「18.15 LIN セルフテストモード」参照

表 18.32 各モードで可能な動作

LIN 動作モード	LIN ウェイクアップモード	LIN セルフテストモード
ヘッダ送信 レスポンス送信 レスポンス受信 エラー検出	ウェイクアップ送信 ウェイクアップ受信 エラー検出	セルフテスト

RLN24nmLiMST レジスタの OMM1、OMM0 ビットを読むことで、LIN リセットモード、LIN 動作モード、LIN ウェイクアップモードへ移行したことを確認できます。

LIN セルフテストモードについては、「18.15 LIN セルフテストモード」を参照してください。

18.6 LIN リセットモード

RLN24nmLiCUC レジスタの OM0 ビットを“0” (LIN リセットモード) にすると、LIN リセットモードに移行します。RLN24nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) になることで、LIN リセットモードに移行したことが確認できます。このモードのとき、LIN 通信機能は停止しています。

LIN リセットモードからは、LIN 動作モード、LIN ウェイクアップモード、LIN セルフテストモードに移行できます。

以下のレジスタは、LIN リセットモードに移行した後、それぞれのリセット後の値に初期化され、LIN リセットモード中は初期値を保持します。

- RLN24nmLiTRC レジスタ
- RLN24nmLiST レジスタ
- RLN24nmLiEST レジスタ

以下のレジスタは、LIN リセットモードに移行した後も、以前の値を保持します。

- RLN24nGLWBR レジスタ
- RLN24nGLBRP0 レジスタ
- RLN24nGLBRP1 レジスタ
- RLN24nmLiMD レジスタ
- RLN24nmLiBFC レジスタ
- RLN24nmLiSC レジスタ
- RLN24nmLiWUP レジスタ
- RLN24nmLiIE レジスタ
- RLN24nmLiEDE レジスタ
- RLN24nmLiDFC レジスタ
- RLN24nmLiIDB レジスタ
- RLN24nmLiCBR レジスタ
- RLN24nmLiDBRb レジスタ

18.7 LIN 動作モード

LIN 動作モードでは、フレーム処理（ヘッダ送信、レスポンス送信、レスポンス受信、エラー検出）をします。

LIN リセットモードから LIN モードに移行する際に、RLN24nmLiCUC レジスタの OM1 ビット、OM0 ビットを“11_B”にすると LIN 動作モードになり、RLN24nmLiMST レジスタの OMM1 ビット、OMM0 ビットが“11_B”になります。RLN24nmLiMST レジスタが“11_B”になるのを待ってから、通信設定を行ってください。

18.8 LIN ウェイクアップモード

LIN ウェイクアップモードでは、ウェイクアップシグナル処理（ウェイクアップ送信、ウェイクアップ受信、エラー検出）をします。

LIN リセットモードから LIN モードに移行する際に、RLN24nmLiCUC レジスタの OM1 ビット、OM0 ビットを“01_B”にすると LIN ウェイクアップモードになり、RLN24nmLiMST レジスタの OMM1 ビット、OMM0 ビットが“01_B”になります。RLN24nmLiMST レジスタが“01_B”になるのを待ってから、通信設定を行ってください。

18.9 ヘッダ送信 / レスポンス送信 / レスポンス受信

18.9.1 ヘッダ送信

図 18.4 にヘッダ送信時の動作、表 18.33 にヘッダ送信時の処理を示します。

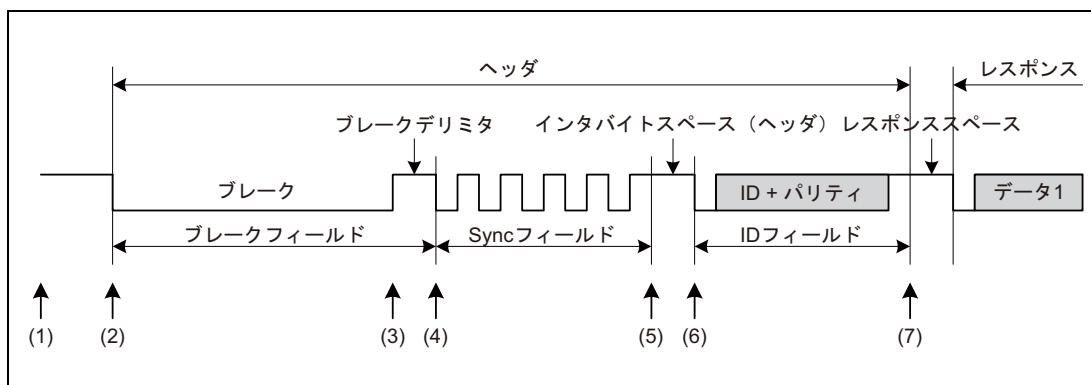


図 18.4 ヘッダ送信時の動作

表 18.33 ヘッダ送信時の処理

	ソフトウェア処理	LIN マスタインタフェース処理
(1)	<ul style="list-style-type: none"> • ボーレートを設定 • 割り込み許可を設定 • エラー検出許可を設定 • フレーム構成パラメータを設定 • LIN 動作モードに移行 • 送信するフレーム情報 (ID、パリティ、データ長、レスポンス方向、チェックサム方式、送信データ) を設定 	ソフトウェアによる RLIN24nmLiTRC レジスタの FTS ビット設定待ち (アイドル)
(2)	RLN24nmLiTRC レジスタの FTS ビットを "1" (フレーム送信 / ウェイクアップ送受信開始) にする	ブレーク送信
(3)	割り込み要求待ち	ブレークデリミタ送信
(4)		Sync フィールド (55µs) 送信
(5)		インタバイトスペース (ヘッダ) 送信
(6)		ID フィールド送信
(7)		ヘッダ送信完了フラグ設定

備考

エラー検出に関しては、「18.14 エラーステータス」を参照してください。

18.9.2 レスポンス送信

図 18.5 にレスポンス送信時の動作、表 18.34 にレスポンス送信時の処理を示します。

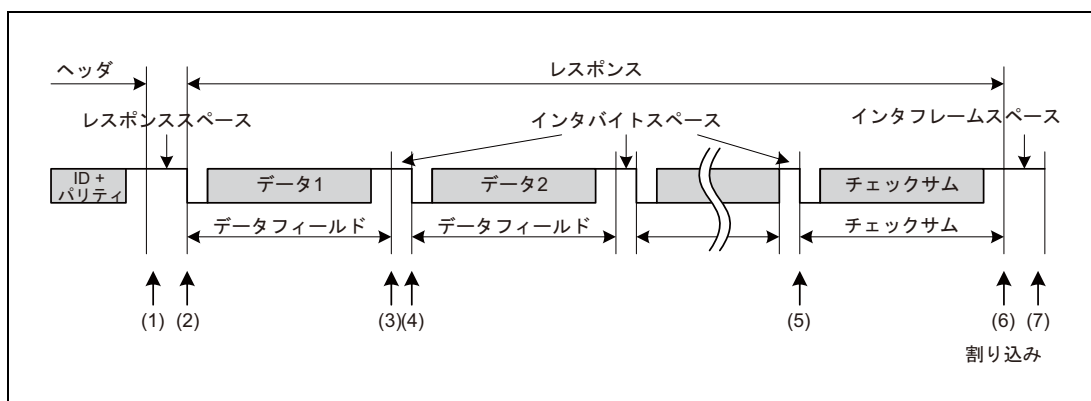


図 18.5 レスポンス送信時の動作

表 18.34 レスポンス送信時の処理

	ソフトウェア処理	LIN マスタインタフェース処理
(1)	(フレームセパレートモード時) <ul style="list-style-type: none"> RLN24nmLiTRC レジスタの RTS ビットに "1" を設定 (レスポンス送信開始) (フレームセパレートモードでないとき) <ul style="list-style-type: none"> 割り込み要求発生待ち 	(フレームセパレートモード時) <ul style="list-style-type: none"> ソフトウェア処理による RLN24nmLiTRC レジスタの RTS ビットの "1" 設定待ち (この間、"1" を出力) "1" に設定されたあと、レスポンススペースを送信 (フレームセパレートモードでないとき) レスポンススペースを送信
(2)	割り込み要求発生待ち	データ 1 送信
(3)		インタバイトスペース送信
(4)		<ul style="list-style-type: none"> データ 2 送信 インタバイトスペース送信 データ 3 送信 インタバイトスペース送信 (RLN24nmLiDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返し。 : :)
(5)		チェックサム送信
(6)		<ul style="list-style-type: none"> フレーム/ウェイクアップ送信完了フラグ設定 RLN24nmLiTRC レジスタの FTS ビットを "0" (フレーム送信/ウェイクアップ送受信停止) にする (フレームセパレートモード時) RLN24nmLiTRC レジスタの RTS ビットを "0" (レスポンス送信停止) にする
(7)	<ul style="list-style-type: none"> 通信後の処理 RLN24nmLiST レジスタのチェック、フラグのクリア 	アイドル

備考

エラー検出に関しては、「18.14 エラーステータス」を参照してください。

18.9.3 レスポンス受信

図 18.6 にレスポンス受信時の動作、表 18.35 にレスポンス受信時の処理を示します。

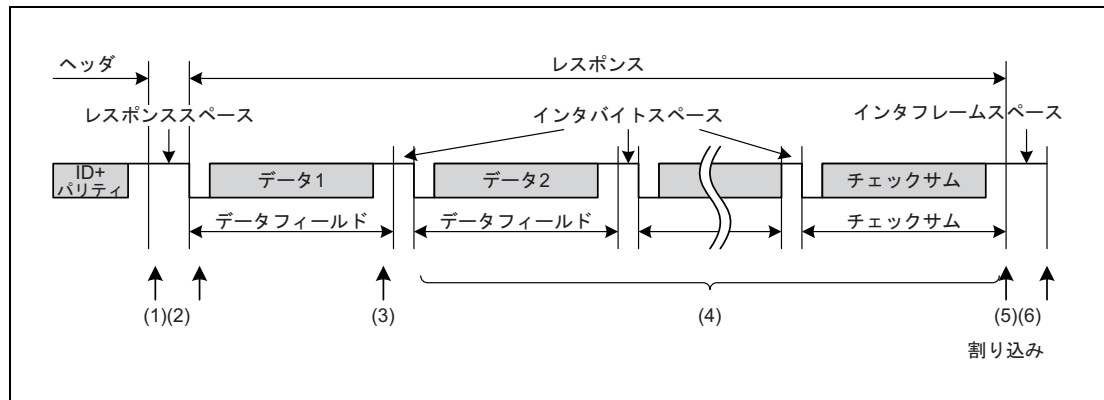


図 18.6 レスポンス受信時の動作

表 18.35 レスポンス受信時の処理

	ソフトウェア処理	LIN マスタインタフェース処理
(1)	割り込み要求発生待ち (処理はなし)	スタートビット検出待ち
(2)	割り込み要求発生待ち	スタートビット検出によりデータ 1 受信
(3)		データ 1 受信完了フラグ設定
(4)		<ul style="list-style-type: none"> スタートビット検出によりデータ 2 受信 スタートビット検出によりデータ 3 受信 (RLN24nmLiDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返し。) ⋮ スタートビット検出によりチェックサム受信
(5)		<ul style="list-style-type: none"> チェックサム判定 フレーム/ウェイクアップ受信完了フラグ設定 RLN24nmLiTRC レジスタの FTS ビットを“0”(フレーム送信/ウェイクアップ送受信停止) にする
(6)	<ul style="list-style-type: none"> 通信後の処理 受信データの読み出し RLN24nmLiST レジスタのチェック、フラグのクリア 	アイドル

備 考

エラー検出に関しては、「18.14 エラーステータス」を参照してください。

18.10 データ送信／受信

18.10.1 データ送信

データ送信は、1 Tbit に 1 ビットずつ行われます。

送信したデータは、LIN トランシーバを経由して受信データ入力端子に戻ってきます。この受信データと送信したデータの比較がビットごとに行われ、結果は RLIN24nmLiEST レジスタの BER フラグに格納されます（「18.14 エラーステータス」参照）。

LIN マスタインタフェースでは、 $1 \text{ Tbit} = 16f_{\text{LIN}}$ で生成され、受信データのサンプリングポイントは 13 クロック目（81.25% 位置）になります。

図 18.7 にデータ送信タイミングの例を示します。

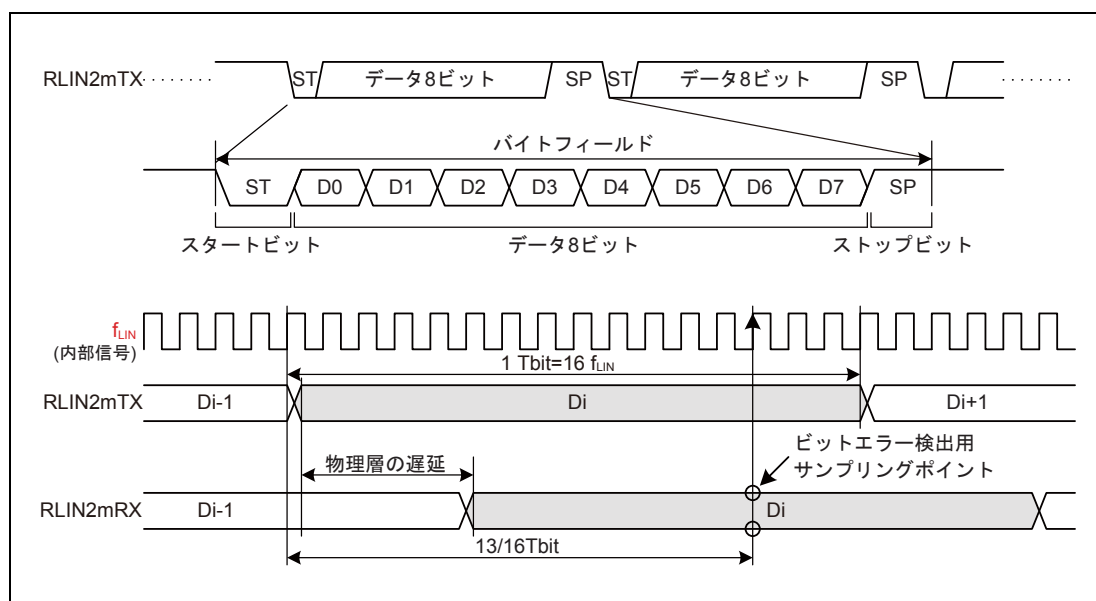


図 18.7 データ送信タイミング例

18.10.2 データ受信

データ受信は、RLIN2mRX 端子からの入力を LIN システムクロック (f_{LIN}) に同期させた同期化 RLIN2mRX (内部信号) を使用して行います。

この同期化 RLIN2mRX 信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、0.5 Tbit 後に再度サンプリングを行い、同期化 RLIN2mRX 信号がロウレベルであった場合にスタートビットと認識します。リセット解除後から RLIN2mRX 信号がロウレベル固定の場合や、再サンプリング時にハイレベルを検出した場合はスタートビットとは認識しません。

スタートビット検出後は、1 Tbit ごとにビットのサンプリングを行います。

図 18.8 にデータ受信タイミングの例を示します。

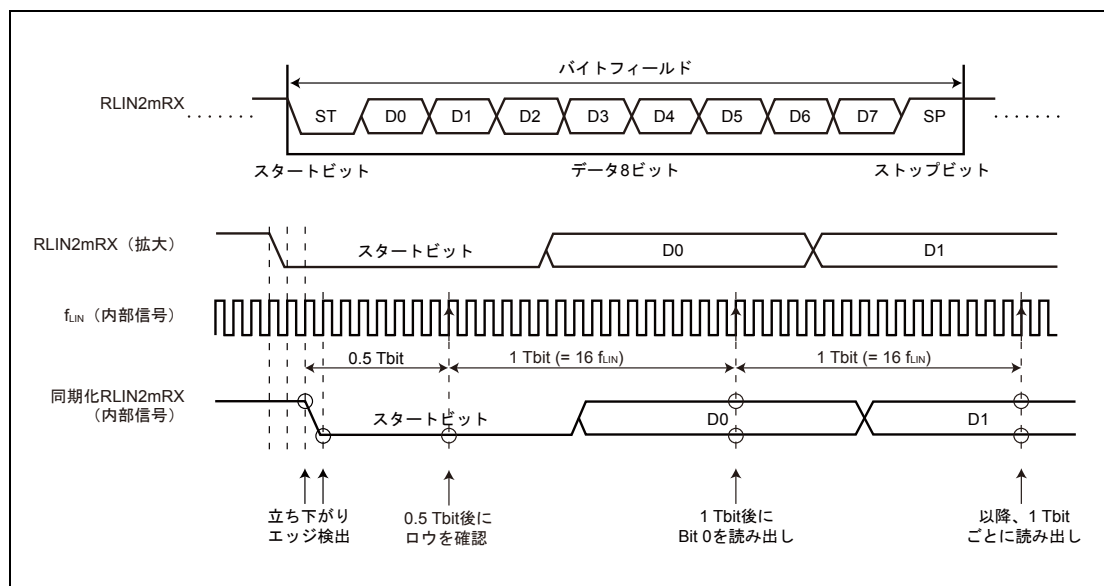


図 18.8 データ受信タイミング例

18.11 送信／受信データのバッファ処理

LIN マスタインタフェースの連続データ送受信時のバッファ処理について説明します。

18.11.1 LIN フレームの送信

8 バイト送信の場合、RLN24nmLiDBR1 レジスタ～RLN24nmLiDBR8 レジスタに格納されている内容が、順番に LIN フレームのデータ 1～8 領域に送信されます。4 バイト送信の場合は、RLN24nmLiDBR1 レジスタ～RLN24nmLiDBR4 レジスタに格納されている内容が LIN フレームのデータ 1～4 領域に送信され、RLN24nmLiDBR5 レジスタ～RLN24nmLiDBR8 レジスタの内容は送信されません。また、RLN24nmLiCDBR レジスタには送信したチェックサムデータが格納されます。

図 18.9 に LIN 送信処理とバッファを示します。

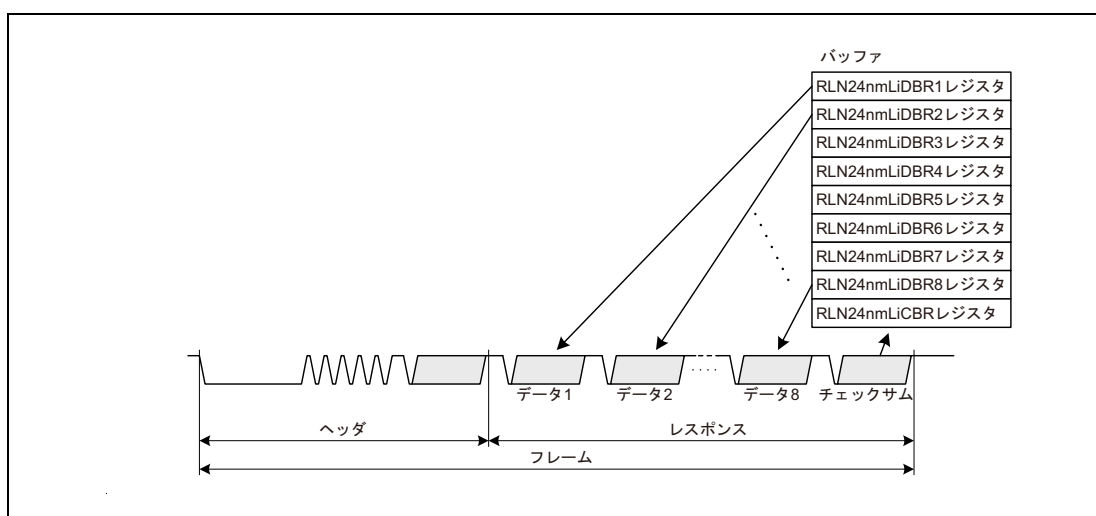


図 18.9 LIN 送信処理とバッファ

(1) フレームセパレートモード

RLN24nmLiDFC レジスタの FSM ビットを“1”にすることにより、フレームセパレートモードになります。

ヘッダとレスポンスを別々の送信開始要求により送信するモードです。

ヘッダ送信が完了すると RLN24nmLiST レジスタの HTRC フラグが“1”（ヘッダ送信完了）になります。

18.11.2 LIN フレームの受信

8 バイト受信の場合、LIN フレームのデータ 1～8 領域の内容が、ストップビットを受信するごとにそれぞれの RLN24nmLiDBR1 レジスタ～RLN24nmLiDBR8 レジスタに格納されます。4 バイト受信の場合は、LIN フレームのデータ 1～4 領域の内容が、それぞれ RLN24nmLiDBR1 レジスタ～RLN24nmLiDBR4 レジスタに格納され、RLN24nmLiDBR5 レジスタ～RLN24nmLiDBR8 レジスタには何も格納されません。また、RLN24nmLiCBR レジスタには受信したチェックサムデータが格納されます。

図 18.10 に LIN 受信処理とバッファを示します。

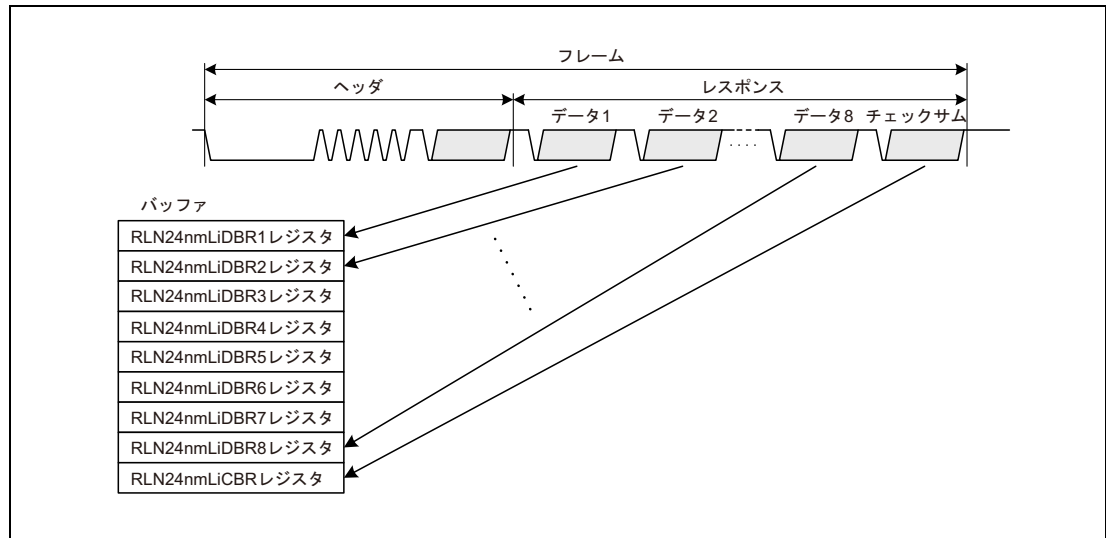


図 18.10 LIN 受信処理とバッファ

(1) データ 1 受信

1 バイト目のデータ受信が完了すると、RLN24nmLiST レジスタの DIRC フラグが“1”（データ 1 受信完了）になります。

18.12 ウェイクアップ送信／受信

ウェイクアップの送受信はLIN ウェイクアップモードで使用できます。

18.12.1 ウェイクウェイクアップ送信動作

LIN ウェイクアップモード時、RLN24nmLiDFC レジスタの RFT ビットを“1”（送信）、RLN24nmLiTRC レジスタの FTS ビットを“1”（フレーム送信／ウェイクアップ送受信開始）にすると、出力端子からウェイクアップ信号が出力されます。ウェイクアップ信号のロウ幅は RLN24nmLiWUP レジスタの WUTL[3:0] ビットで設定します。ただし、RLN24nGLWBR レジスタの LWBR0 ビットが“1”（LIN2.x 使用時）の場合は、RLN24nmLiMD レジスタの LCKS ビットの設定に関わらず、LIN システムクロック (f_{LIN}) が f_a でのロウ幅になります。 f_a 選択時のボーレートを 19200 bps に、RLN24nmLiWUP レジスタの WUTL[3:0] ビットを“0100_B”（5Tbits）に設定することにより、RLN24nmLiMD レジスタの LCKS ビットの設定にかかわらず、LIN ウェイクアップモード時に 260 μ s のロウ幅を出力することができます。

エラーなくウェイクアップのロウレベルが出力された場合、RLN24nmLiST レジスタの FTC フラグが“1”（フレームまたはウェイクアップ送信完了）になり、RLN24nmLiIE レジスタの FTCIE ビットが“1”（フレーム／ウェイクアップ送信完了割り込み許可）のとき割り込み要求が発生します。

エラーを検出した場合は、ウェイクアップ送信を中断し、検出したエラーに対するエラーフラグ（RLN24nmLiEST レジスタの PBER フラグまたは BER フラグ）を“1”（フィジカルバスエラー検出／ビットエラー検出）にします。

図 18.11 にウェイクアップ送信タイミングを示します。

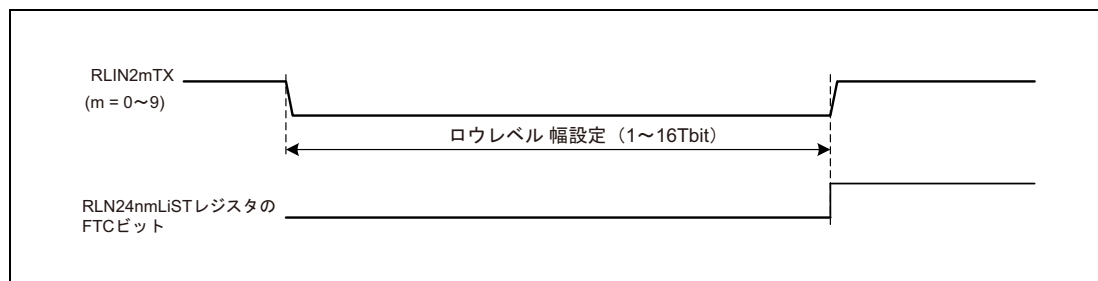


図 18.11 ウェイクアップ送信タイミング

18.12.2 ウェイクアップ受信動作

ウェイクアップシグナルを検出するには、入力信号ロウレベル幅カウント機能を使用します。入力信号ロウレベル幅カウント機能は、データ受信と同じサンプリングポイントで RLIN2mRX 端子への入力信号のロウレベル幅を計測する機能です。入力信号のロウレベル幅を f_{LIN} の 2.5Tbit 以上で計測することができます。

LIN Specification Package Revision 1.3 使用時は、RLN24nGLWBR レジスタの LWBR0 ビットを“0”に、LIN Specification Package Revision 2.x 使用時は“1”に設定してください。LWBR0 ビットを“1”にすると RLN24nmLiMD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック (f_{LIN}) が f_a になります (LCKS ビットは変化しません)。 f_a 選択時のボーレートは 19200bps に設定することにより、RLN24nmLiMD レジスタの LCKS ビットの設定に関わらず、LIN ウェイクアップモード時に 130us 以上の入力信号ロウレベル幅を検出することができます。

この機能を使用する場合、LIN ウェイクアップモードにて、RLN24nmLiDFC レジスタの RFT ビットを“0” (受信)、RLN24nmLiTRC レジスタの FTS ビットを“1” (フレーム送信/ウェイクアップ送受信開始) にしてください。

計測するロウレベル幅に達すると RLN24nmLiST レジスタの FRC フラグが“1” (フレームまたはウェイクアップ受信完了) になり、RLN24nmLiIE レジスタの FRCIE ビットが“1” (フレーム/ウェイクアップ受信完了割り込み許可) の場合、割り込み要求が発生します。

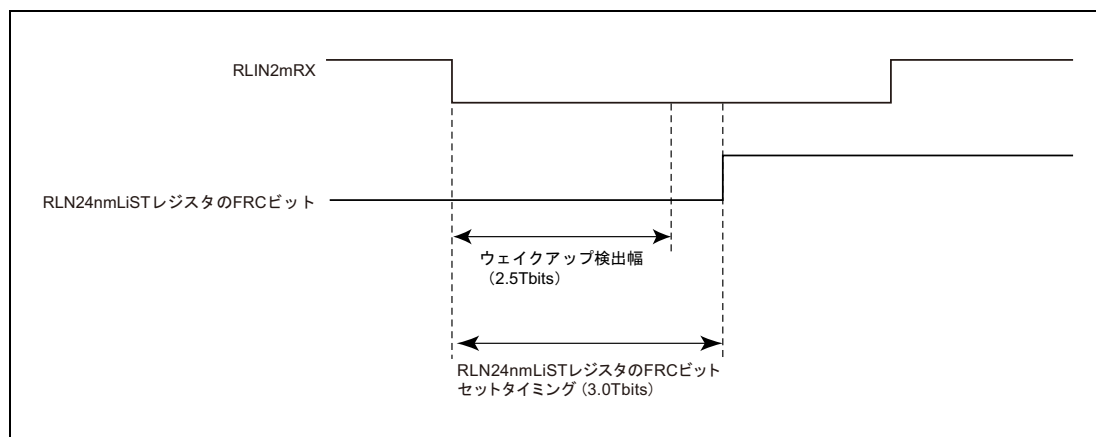


図 18.12 入力信号ロウレベルカウント機能

18.12.3 ウェイクアップ衝突

マスタノードとスレーブノードが同時にウェイクアップ信号を送信した場合、LIN バス上で衝突が発生しますが、LIN マスタインタフェースではウェイクアップ信号の衝突は検知しません。

18.13 ステータス

LIN マスタインタフェースは7種類のステータスを検出します。

フレーム/ウェイクアップ送信完了、フレーム/ウェイクアップ受信完了、エラー検出の3つのステータスは割り込み要求を発生することができます。

表 18.36 にステータスの種類を示します。

表 18.36 ステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	ステータスを検出できる動作モード	対応ビット	割り込み
リセット	RLN24nmLiCUC レジスタの OM0 ビットを LIN リセットモードでないに設定後、実際に LIN マスタインタフェースが LIN リセットモード解除になったとき	RLN24nmLiCUC レジスタの OM0 ビットを LIN リセットモードに設定後、実際に LIN マスタインタフェースが LIN リセットモードになったとき	すべてのモード	RLN24nmLiMST レジスタの OMM0 ビット	—
動作モード	RLN24nmLiCUC レジスタの OM1 ビットを LIN 動作モードに設定後、実際に LIN マスタインタフェースが LIN 動作モードになったとき	RLN24nmLiCUC レジスタの OM1 ビットを LIN ウェイクアップモードに設定後、実際に LIN マスタインタフェースが LIN ウェイクアップモードになったとき	<ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード 	RLN24nmLiMST レジスタの OMM1 ビット	—
フレーム/ウェイクアップ送信完了	フレーム (ヘッダ送信 + レスポンス送信)、またはウェイクアップ信号を正常に送信完了したとき	<ul style="list-style-type: none"> 次の通信開始時 ソフトウェアによるクリア LIN リセットモード移行時 	<ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード 	RLN24nmLiST レジスタの FTC フラグ	○
フレーム/ウェイクアップ受信完了	フレーム (ヘッダ送信 + レスポンス受信)、またはウェイクアップ信号を正常に受信完了したとき	<ul style="list-style-type: none"> 次の通信開始時 ソフトウェアによるクリア LIN リセットモード移行時 	<ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード 	RLN24nmLiST レジスタの FRC フラグ	○
エラー検出	RLN24nmLiEST レジスタの CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグのいずれかが "1" (エラー検出) になったとき	<ul style="list-style-type: none"> 次の通信開始時 ソフトウェアによるクリア^{注1} LIN リセットモード移行時 	<ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード 	RLN24nmLiST レジスタの ERR フラグ	○
データ 1 受信完了	RLN24nmLiDFC レジスタの RFT ビットが "0" (受信) で、レスポンスフィールドの最初の 1 バイトを受信完了したとき ^{注2}	<ul style="list-style-type: none"> 次の通信開始時 ソフトウェアによるクリア LIN リセットモード移行時 	LIN 動作モード	RLN24nmLiST レジスタの D1RC フラグ	—
ヘッダ送信完了	ヘッダフィールドを正常に送信完了した場合	<ul style="list-style-type: none"> 次の通信開始時 ソフトウェアによるクリア LIN リセットモード移行時 	LIN 動作モード	RLN24nmLiST レジスタの HTRC フラグ	—

注 1. LIN 動作モード内で RLN24nmLiEST レジスタの CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグに "0" を書くことにより、RLN24nmLiST レジスタの ERR フラグは "0" になります。

注 2. RLN24nmLiDFC レジスタの RFDL[3:0] ビットが "0000_B" (0 バイト + チェックサム) のときは検出されません。

18.14 エラーステータス

18.14.1 エラーステータスの種類

LIN マスタインタフェースでは LIN マスタモードで 5 種類のエラーステータスを検出します。これらのエラーの状態は RLN24nmLiEST レジスタの各ビットで確認できます。

すべてのエラーステータスは、割り込み要因となります。

表 18.37 にエラーステータスの種類を示します。

表 18.37 エラーステータスの種類

ステータス	エラー検出条件	エラーを検出できる動作モード	通信処理	検出許可／禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしている LIN バス上のデータが一致しなかったとき ^{注1}	<ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード 	中断	○	RLN24nmLiEST レジスタの BER フラグ
フィジカルバスエラー	<ul style="list-style-type: none"> ブレイク送信時に LIN バスがハイレベルを検出した場合 ブレイクデリミタ送信時に LIN バスがロウレベルを検出した場合 ウェイクアップ送信時に LIN バスがハイレベルを検出した場合 	<ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード 	中断	○	RLN24nmLiEST レジスタの PBER フラグ
フレームタイムアウトエラー	フレームの送受信がある一定の時間内に終了しなかったとき ^{注2}	LIN 動作モード	中断	○	RLN24nmLiEST レジスタの FTER フラグ
フレーミングエラー	レスポンスフィールド受信処理において、各データバイトのストップビットがロウレベルであったとき	LIN 動作モード	中断	○	RLN24nmLiEST レジスタの FER フラグ
チェックサムエラー	レスポンスフィールド受信処理において、チェックサム判定の結果がエラーのとき	LIN 動作モード	—	×	RLN24nmLiEST レジスタの CSER フラグ

注 1. ビットエラーを検出した場合は、ストップビット送信後に中断します。インタバイトスペースなどの非データ領域でビットエラーを検出したときは、エラーになったビットを送信した直後に送信を中断します。ウェイクアップ送信中にビットエラーを検出したときは、エラーになったビットを送信した直後にウェイクアップ送信を中断します。

注 2. タイムアウト時間は、レスポンスフィールドデータ長 (RLN24nmLiDFC レジスタの RFDL[3:0] ビット)、およびチェックサム選択 (RLN24nmLiDFC レジスタの CSM ビット) に依存し、下記の式により計算できます。

クラシック選択時 (RLN24nmLiDFC レジスタの CSM ビットが“0”の場合) :

$$\text{タイムアウト時間} = 49 + (\text{データバイト数} + 1) \times 14 \text{ [Tbit]}$$

エンハンス選択時 (RLN24nmLiDFC レジスタの CSM ビットが“1”の場合) :

$$\text{タイムアウト時間} = 48 + (\text{データバイト数} + 1) \times 14 \text{ [Tbit]}$$

上記タイムアウト時間は、クラシック選択時に LIN Specification Package Revision 1.3 の TFRAME_MAX を、エンハンス選択時に LIN Specification Package Revision 2.x の TFRAME_MAX を超える時間となります。

エラーステータスのクリア条件は、次の通信開始時、ソフトウェアによるクリア、LIN リセットモード移行時です。

18.14.2 エラー検出の対象時間領域

図 18.13 にエラーを検出するために LIN マスタインタフェースが監視する時間領域を示します。

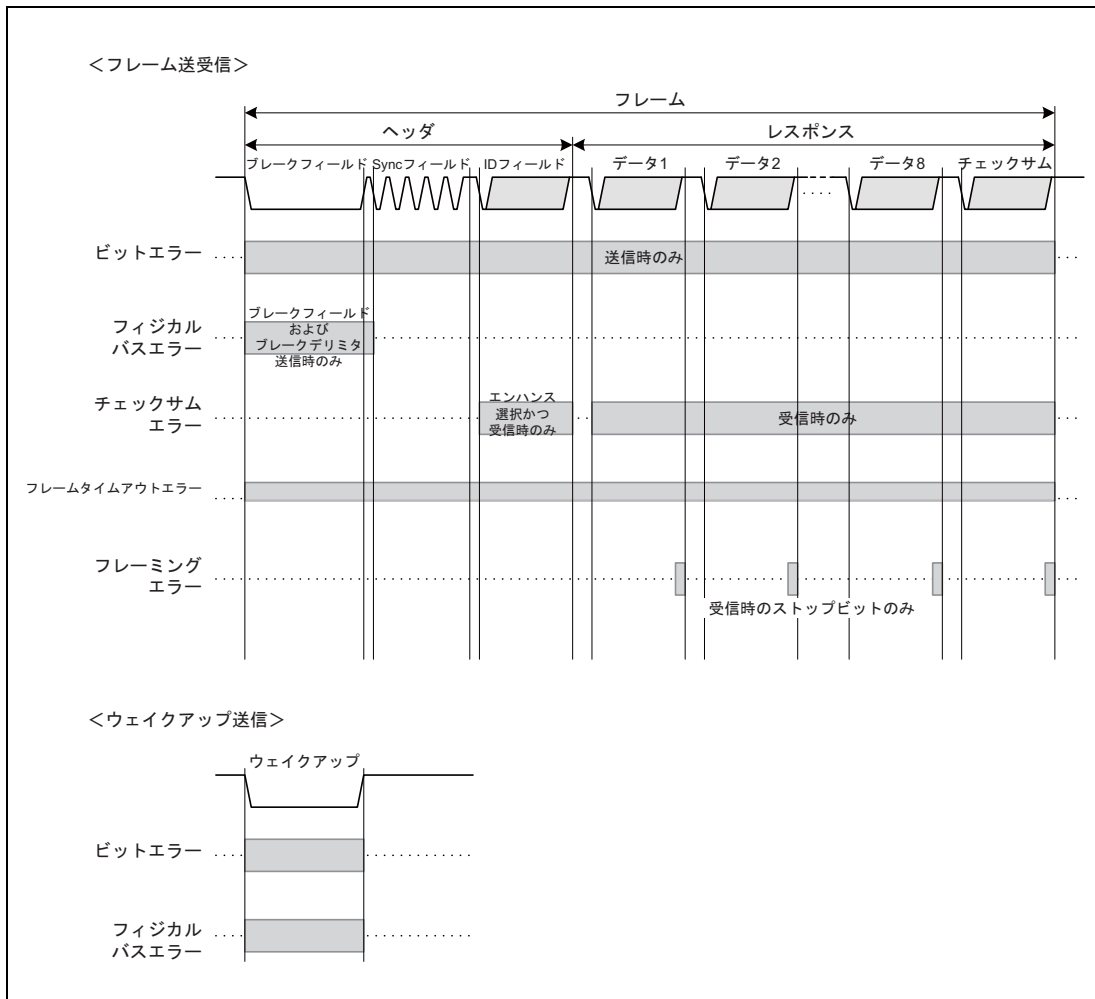


図 18.13 エラー検出の対象時間領域

18.15 LIN セルフテストモード

LIN マスタインタフェースは、LIN セルフテストモードを持ちます。一度 LIN マスタインタフェースが LIN セルフテストモードになると、RLIN2mTX と RLIN2mRX は外部端子から切断され、LIN マスタインタフェース内部で RLIN2mTX と RLIN2mRX が接続されます。よって、RLIN2mTX から送信するフレームは RLIN2mRX にループバックします。

セルフテストは、以下の2種類行うことができます。

- LIN セルフテストモード (送信) : ヘッダ送信およびレスポンス送信
- LIN セルフテストモード (受信) : ヘッダ送信およびレスポンス受信

LIN セルフテストモードでは、ボーレートジェネレータの設定に関わらず、最速ボーレートで動作します。

ボーレートは、ボーレート関連レジスタの設定に関わらず、LIN 通信クロック源 /16[bps] で動作します。

また、LIN セルフテストモードでは、以下の機能はサポートしません。

- LIN ウェイクアップモード
- フレームセパレートモード

これらの機能は使用しないでください。

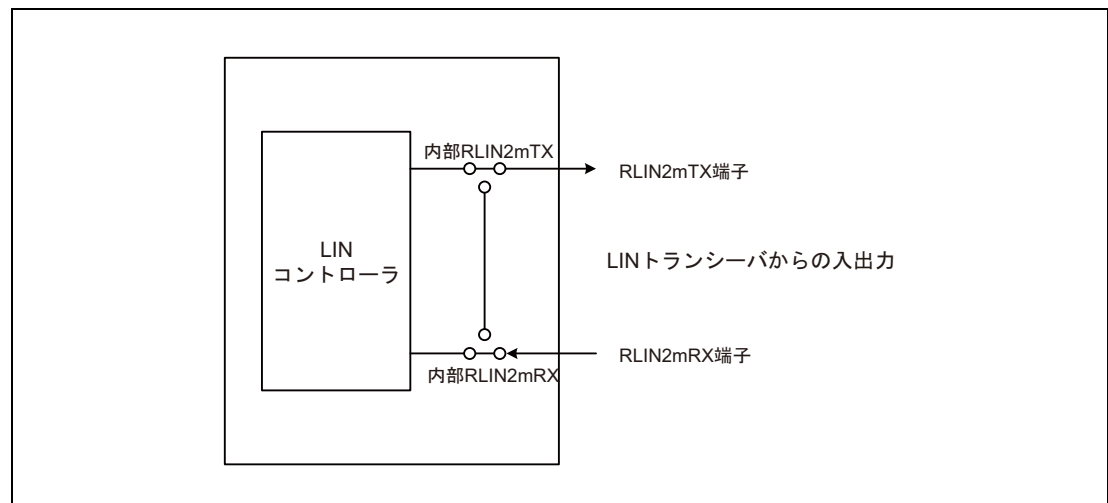


図 18.14 LIN リセットモード、LIN ウェイクアップモード、LIN 動作モード 接続

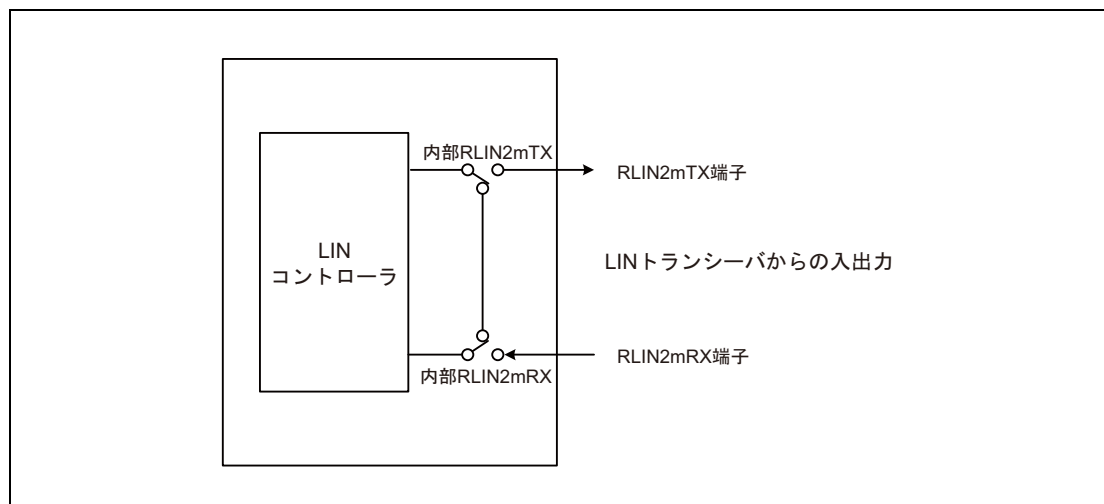


図 18.15 LIN セルフテストモード接続

18.15.1 LIN セルフテストモードへの移行

RLN24nGLSTC レジスタへの書き込みにより、LIN セルフテストモードになります。

RLN24nGLSTC レジスタの LSTM ビットが“1”になると、LIN セルフテストモードに移行したことが確認できます。

LIN セルフテストモードに移行するには、特定のシーケンスを必ず実行してください。このシーケンスでは、次の通り LIN セルフテスト制御レジスタに 3 回連続書き込みを行う必要があります。

- ユニット内の全チャネルを LIN リセットモードへ移行
RLN24nmLiCUC レジスタの OM0 ビットを“0” (LIN リセットモード) にする。
RLN24nmLiMST レジスタの OMM0 ビットを読み出し、“0” (LIN リセットモード) であることを確認する
- 1 回目書き込み : RLN24nGLSTC レジスタ = “1010 0111_B” (A7_H)
- 2 回目書き込み : RLN24nGLSTC レジスタ = “0101 1000_B” (58_H)
- 3 回目書き込み : RLN24nGLSTC レジスタ = “0000 0001_B” (01_H)
- LIN セルフテストモードへの移行を確認する
RLN24nGLSTC レジスタの LSTM ビットを読み出し、“1” (LIN セルフテストモード) であることを確認する。

1 回目のキー (A7_H) を誤って 2 回書き込みした場合、LIN セルフテストモードへの移行は中断します。再度 1 回目の書き込みから実施してください。また、LIN セルフテストモードへの移行 (RLN24nGLSTC レジスタへの 3 回連続書き込み) 中に同一ユニット内の他の LIN 関連レジスタに書き込みを行った場合も移行は中断します。

18.15.2 LIN セルフテストモードにおける送信

送信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート関連レジスタを設定する
 RLN24nGLBRP0 レジスタ = xxxx xxxxB^{注1}
 RLN24nGLBRP1 レジスタ = xxxx xxxxB^{注1}
 RLN24nmLiMD レジスタ = 0000 xx00B^{注1}
- 割り込み許可、エラー許可関連レジスタを設定する
 RLN24nmLiIE レジスタ = 0000 0xxxB^{注2}
 RLN24nmLiEDE レジスタ = 0000 xxxxB
- ブレークフィールド、スペース関連レジスタを設定する
 RLN24nmLiBFC レジスタ = 00xx xxxxB
 RLN24nmLiSC レジスタ = 00xx 0xxxB
- LIN リセットモード解除
 RLN24nmLiCUC レジスタの OM1、OM0 ビットに“1_B”を書き込み、RLN24nmLiMST
 レジスタの OMM1、OMM0 ビットが“1_B”になることを確認する
- 送信フレーム関連レジスタを設定する
 RLN24nmLiDFC レジスタ = 00x1 xxxxB
 RLN24nmLiIDB レジスタ = xxxx xxxxB
 RLN24nmLiDBR1 ~ RLN24nmLiDBR8 レジスタ = xxxx xxxxB
- ヘッダ送信→レスポンス送信開始
 RLN24nmLiTRC レジスタの FTS ビットを“1”（フレーム送信／ウェイクアップ送受信
 開始）にする
 LIN セルフテストモード（送信）が実行され、割り込み発生、ステータス、エラー
 ステータス更新も合わせて実行される。チェックサムは LIN マスタインタフェースが自
 動演算する
 LIN セルフテストモード（送信）実行中に中断したい場合は、RLN24nmLiCUC レジ
 スタの OM0 ビットに“0”（LIN リセットモード）を書き込み、LIN リセットモードへ移行
 する
- 送信完了の場合、ループバックしたフレームデータの反転値が RLN24nmLiIDB レジ
 スタ、RLN24nmLiDBRb レジスタ、RLN24nmLiCBR レジスタに格納され（送信した値と
 ループバックした値を比較するため、反転値として格納されます。）、RLN24nmLiTRC
 レジスタの FTS ビットがクリアされる
- エラーにより送信が完了しなかった場合、該当するエラーフラグが設定され、
 RLN24nmLiTRC レジスタの FTS ビットがクリアされる

備 考

x : 任意の値を設定してください。

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
 RLN24nGLBRP0 レジスタ、RLN24nGLBRP1 レジスタ、RLN24nmLiMD レジスタの LCKS
 ビット
 そのため、設定は必須ではありません。

注 2. 必要に応じて、「第 7 章 例外／割り込み」の関連レジスタを設定してください。

18.15.3 LIN セルフテストモードにおける受信

受信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート関連レジスタを設定する
 RLN24nGLBRP0 レジスタ = xxxx xxxxB ^{注1}
 RLN24nGLBRP1 レジスタ = xxxx xxxxB ^{注1}
 RLN24nmLiMD レジスタ = 0000 xx00B ^{注1}
- 割り込み許可、エラー許可関連レジスタを設定する
 RLN24nmLiIE レジスタ = 0000 0xxxB ^{注2}
 RLN24nmLiEDE レジスタ = 0000 x0xxB
- ブレークフィールド、スペース関連レジスタを設定する
 RLN24nmLiBFC レジスタ = 00xx xxxxB
 RLN24nmLiSC レジスタ = 00xx 0xxxB ^{注1}
- LIN リセットモード解除
 RLN24nmLiCUC レジスタの OM1、OM0 ビットに“1_B”を書き込み、RLN24nmLiMST
 レジスタの OMM1、OMM0 ビットが“1_B”になることを確認する
- 受信フレーム関連レジスタを設定する
 RLN24nmLiDFC レジスタ = 00x0 xxxxB
 RLN24nmLiIDB レジスタ = xxxx xxxxB
 RLN24nmLiDBR1 ~ RLN24nmLiDBR8 レジスタ = xxxx xxxxB
 RLN24nmLiCBR レジスタ = xxxx xxxxB
 送信するチェックサム値は自動演算されないため、ユーザで演算し、RLN24nmLiCBR
 レジスタに設定する。このとき 誤ったチェックサム値を設定することによって、
 チェックサムエラーをテストすることが可能です
- ヘッダ送信→レスポンス受信開始
 RLN24nmLiTRC レジスタの FTS ビットを“1”（フレーム送信／ウェイクアップ送受信
 開始）にする
 LIN セルフテストモード（受信）が実行され、割り込み発生、ステータス、エラー
 ステータス更新も合わせて実行される
 LIN セルフテストモード（受信）実行中に中断したい場合は、RLN24nmLiCUC レジ
 スタの OM0 ビットに“0”（LIN リセットモード）を書き込み、LIN リセットモードへ移行
 する
- 受信完了の場合、ループバックしたフレームデータの反転値が RLN24nmLiIDB レジ
 スタ、RLN24nmLiDBRb レジスタ、RLN24nmLiCBR レジスタに格納され（設定した値と
 ループバックした値を比較するため、反転値として格納されます。）、RLN24nmLiTRC
 レジスタの FTS ビットがクリアされる
- エラーにより受信が完了しなかった場合、該当するエラーフラグが設定され、
 RLN24nmLiTRC レジスタの FTS ビットがクリアされる

備 考

x : 任意の値を設定してください。

- 注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
RLN24nGLBRP0 レジスタ、RLN24nGLBRP1 レジスタ、RLN24nmLiMD レジスタの LCKS ビット、RLN24nmLiSC レジスタの IBS ビット、IBHS ビット (レスポンススペースのみ)
そのため、設定は必須ではありません。
- 注 2. 必要に応じて、「第 7 章 例外／割り込み」の関連レジスタを設定してください。

18.15.4 LIN セルフテストモード終了

LIN セルフテストモードを終了するには、次の手順を行ってください。

- ユニット内の全チャンネルを LIN リセットモードへ移行。
RLN24nmLiCUC レジスタの OM0 ビットに“0”を書き込み、LIN リセットモードに移行します。ただし、LIN セルフテストモード移行後、ユニット内で 1 チャンネルも RLN24nmLiMST レジスタの OMM1、OMM0 ビットが“11_B”でない場合は、任意の 1 チャンネルに対して RLN24nmLiCUC レジスタの OM1、OM0 ビットに“11_B”を書き、RLN24nmLiMST レジスタの OMM1、OMM0 ビットが“11_B”になることを確認した後に、LIN リセットモードに移行してください。
- LIN セルフテストモードの解除を確認する。
RLN24nGLSTC レジスタの LSTM ビットを読み、“0” (LIN セルフテストモードではない) を確認。
- LIN リセットモードへの移行を確認する。
RLN24nmLiMST レジスタの OMM0 ビットを読み、“0” (LIN リセットモード) を確認。

18.16 ボーレートジェネレータ

LIN 通信クロック源をボーレートジェネレータで分周したクロックが LIN システムクロック (f_{LIN}) となり、これを 16 分周したクロックがボーレートになります。このボーレートの逆数をビットタイム (Tbit) といいます。

図 18.16 にボーレート生成ブロック図を示します。

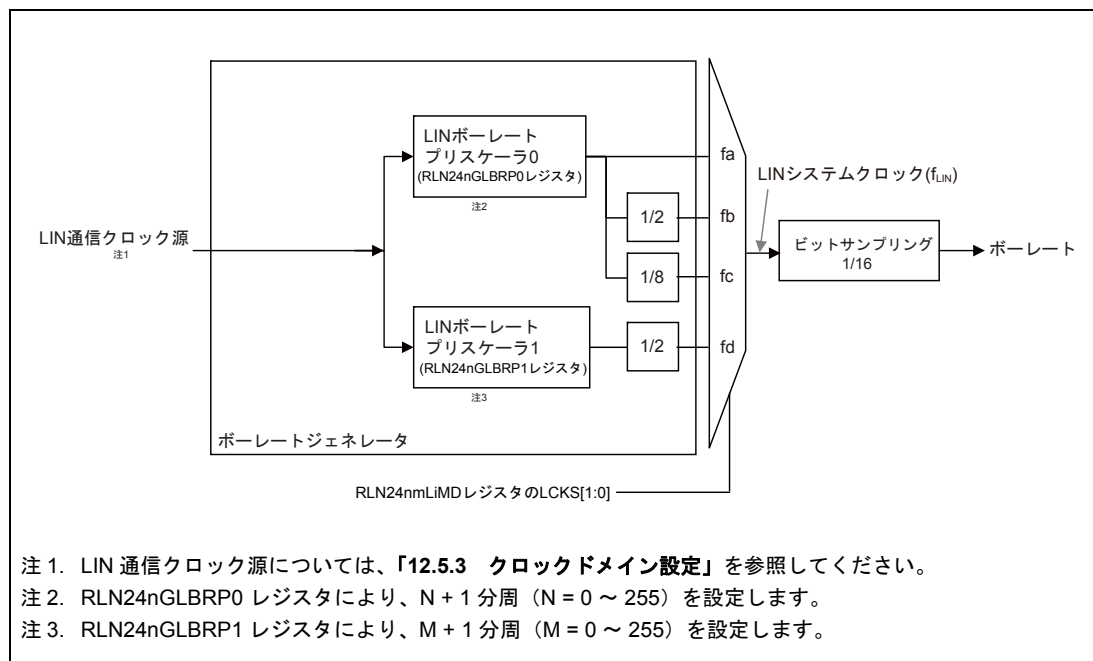


図 18.16 ボーレート生成ブロック図

LIN 通信クロック源は、4MHz ~ 40MHz に設定してください。

fa が 307200Hz ($= 19200 \times 16$) となるように RLIN24nGLBRP0 レジスタを設定すれば、 $fa = 19200 \times 16$ 、 $fb = 9600 \times 16$ 、 $fc = 2400 \times 16$ となり、ビットタイミング生成部で 16 分周するため、19200bps、9600bps、2400bps が生成できます。また、fd が 166672Hz ($= 10417 \times 16$) となるように RLIN24nGLBRP1 レジスタを設定すれば、 $fd = 10417 \times 16$ となり、ビットタイミング生成部で 16 分周するため、10417bps が生成できます。

ボーレートの計算式は、以下のとおりです。

ボーレート

$$\begin{aligned}
 &= \{\text{LIN 通信クロック源の周波数}\} \div (\text{RLIN24nGLBRP0} + 1) \div 16 \text{ [bps]} \text{ (fa 選択時)} \\
 &= \{\text{LIN 通信クロック源の周波数}\} \div (\text{RLIN24nGLBRP0} + 1) \div 2 \div 16 \text{ [bps]} \text{ (fb 選択時)} \\
 &= \{\text{LIN 通信クロック源の周波数}\} \div (\text{RLIN24nGLBRP0} + 1) \div 8 \div 16 \text{ [bps]} \text{ (fc 選択時)} \\
 &= \{\text{LIN 通信クロック源の周波数}\} \div (\text{RLIN24nGLBRP1} + 1) \div 2 \div 16 \text{ [bps]} \text{ (fd 選択時)}
 \end{aligned}$$

第19章 LIN/UART インタフェース (RLIN3)

本章では、LIN/UART インタフェース (RLIN3) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1K に固有の特長について説明します。それ以降の節では、RLIN3 の機能、レジスタについて説明します。

19.1 RH850/F1K RLIN3 の特長

19.1.1 ユニット数とチャンネル数

本製品は、以下に示すユニット数の RLIN3 を搭載しています。

RLIN3 1 ユニットは 1 チャンネルのインタフェースを持っています。本章のユニット数とチャンネル数は同義です。

表 19.1 ユニット数

製品名	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
ユニット数	4	6	6
名称	RLIN3n (n = 0 ~ 3)	RLIN3n (n = 0 ~ 5)	RLIN3n (n = 0 ~ 5)

表 19.2 RLIN3 のユニット構成とチャンネルの対応

ユニット名 (チャンネル名) RLIN3n	ユニット チャンネル数	RH850/F1K 100 pin (4ch)	RH850/F1K 144 pin (6ch)	RH850/F1K 176 pin (6ch)
RLIN30	1	○	○	○
RLIN31	1	○	○	○
RLIN32	1	○	○	○
RLIN33	1	○	○	○
RLIN34	1		○	○
RLIN35	1		○	○

備考 チャンネル名はユニット名と同じです。

表 19.3 添字

添字	説明
n	本章では、RLIN3 の各ユニットを「n」(n = 0 ~ 5) で識別します。たとえば、LIN 制御レジスタは RLIN3nLCUC と記述します。
b	RLIN3n の送信/受信用のデータバッファを「b」(b = 1 ~ 8) で識別します。たとえばデータバッファレジスタは、RLIN3nLDBRb と記述します。

各製品の添字が示す値を以下に示します。

表 19.4 各製品の添字対応

各製品の添字対応
全製品
b = 1 ~ 8

19.1.2 レジスタベースアドレス

RLIN3 のベースアドレスを以下の表に示します。

RLIN3 のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 19.5 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RLIN30_base>	FFCE 2000 _H
<RLIN31_base>	FFCE 2040 _H
<RLIN32_base>	FFCE 2080 _H
<RLIN33_base>	FFCE 20C0 _H
<RLIN34_base>	FFCE 2100 _H
<RLIN35_base>	FFCE 2140 _H

19.1.3 クロック供給

RLIN3 のクロック供給を以下の表に示します。

表 19.6 クロック供給

ユニット名	ユニットクロック名	供給クロック名	説明
RLIN3n	LIN 通信クロック源	CKSCLK_ILIN 注1,注2	通信クロック
	レジスタアクセスクロック	CPUCLK2	バスクロック
		CKSCLK_ILIN	

注 1. RLIN30 のみ CKSCLK_ILIN の分周クロック供給が可能です。

注 2. LIN 通信クロック源は、4MHz ~ 40MHz に設定してください。

19.1.4 割り込み要求

RLIN3 の割り込み要求を以下の表に示します。

表 19.7 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
RLIN30			
INTRLIN3n (n = 0)	RLIN30 割り込み	33	—
INTRLIN3nUR0 (n = 0)	RLIN30 送信割り込み	34	10
INTRLIN3nUR1 (n = 0)	RLIN30 受信完了割り込み	35	11
INTRLIN3nUR2 (n = 0)	RLIN30 ステータス割り込み	36	—
RLIN31			
INTRLIN3n (n = 1)	RLIN31 割り込み	120	—
INTRLIN3nUR0 (n = 1)	RLIN31 送信割り込み	121	86
INTRLIN3nUR1 (n = 1)	RLIN31 受信完了割り込み	122	87
INTRLIN3nUR2 (n = 1)	RLIN31 ステータス割り込み	123	—
RLIN32			
INTRLIN3n (n = 2)	RLIN32 割り込み	164	—
INTRLIN3nUR0 (n = 2)	RLIN32 送信割り込み	165	44
INTRLIN3nUR1 (n = 2)	RLIN32 受信完了割り込み	166	45
INTRLIN3nUR2 (n = 2)	RLIN32 ステータス割り込み	167	—
RLIN33			
INTRLIN3n (n = 3)	RLIN33 割り込み	228	—
INTRLIN3nUR0 (n = 3)	RLIN33 送信割り込み	229	111
INTRLIN3nUR1 (n = 3)	RLIN33 受信完了割り込み	230	112
INTRLIN3nUR2 (n = 3)	RLIN33 ステータス割り込み	231	—
RLIN34			
INTRLIN3n (n = 4)	RLIN34 割り込み	224	—
INTRLIN3nUR0 (n = 4)	RLIN34 送信割り込み	225	50
INTRLIN3nUR1 (n = 4)	RLIN34 受信完了割り込み	226	51
INTRLIN3nUR2 (n = 4)	RLIN34 ステータス割り込み	227	—
RLIN35			
INTRLIN3n (n = 5)	RLIN35 割り込み	228	—
INTRLIN3nUR0 (n = 5)	RLIN35 送信割り込み	229	113
INTRLIN3nUR1 (n = 5)	RLIN35 受信完了割り込み	230	114
INTRLIN3nUR2 (n = 5)	RLIN35 ステータス割り込み	231	—

19.1.5 リセット要因

RLIN3 のリセット要因を以下に示します。RLIN3 は以下のリセット要因で初期化されます。

表 19.8 リセット要因

ユニット名	リセット要因
RLIN3n	すべてのリセット要因 (ISORES)

19.1.6 外部入出力信号

RLIN3 の外部入出力信号を以下の表に示します。

表 19.9 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
RLIN30		
RLIN3nRX (n = 0)	RLIN30 受信データ入力	RLIN30RX
RLIN3nTX (n = 0)	RLIN30 送信データ出力	RLIN30TX
RLIN31		
RLIN3nRX (n = 1)	RLIN31 受信データ入力	RLIN31RX
RLIN3nTX (n = 1)	RLIN31 送信データ出力	RLIN31TX
RLIN32		
RLIN3nRX (n = 2)	RLIN32 受信データ入力	RLIN32RX
RLIN3nTX (n = 2)	RLIN32 送信データ出力	RLIN32TX
RLIN33		
RLIN3nRX (n = 3)	RLIN33 受信データ入力	RLIN33RX
RLIN3nTX (n = 3)	RLIN33 送信データ出力	RLIN33TX
RLIN34		
RLIN3nRX (n = 4)	RLIN34 受信データ入力	RLIN34RX
RLIN3nTX (n = 4)	RLIN34 送信データ出力	RLIN34TX
RLIN35		
RLIN3nRX (n = 5)	RLIN35 受信データ入力	RLIN35RX
RLIN3nTX (n = 5)	RLIN35 送信データ出力	RLIN35TX

19.2 概要

19.2.1 機能概要

LIN/UART インタフェースは LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAE J2602 に対応したハードウェア LIN 通信コントローラで、フレーム通信とエラー判定を自動で行います。

また、UART モードを持っており、UART として使用することもできます。

LIN マスタ、LIN スレーブ、UART の用途に応じて、以下のモードを使用します。

LIN マスタ

- LIN リセットモード
- LIN モード (LIN マスタモード)
 - LIN ウェイクアップモード
 - LIN 動作モード
- LIN セルフテストモード

LIN スレーブ

- LIN リセットモード
- LIN モード (LIN スレーブモード [オートボーレート] または LIN スレーブモード [固定ボーレート])
 - LIN ウェイクアップモード
 - LIN 動作モード
- LIN セルフテストモード

UART

- LIN リセットモード
- UART モード

表 19.10 に LIN/UART インタフェースの仕様を示します。

表 19.10 LIN/UART インタフェースの仕様 (1/3)

項目	仕様		
	チャンネル数	最大 6 チャンネル	
LIN 通信機能	プロトコル	LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAE J2602	
	フレーム構成可変	マスタ	<ul style="list-style-type: none"> 送信ブレーク幅：13 ~ 28 Tbit 送信ブレークデリミタ幅：1 ~ 4 Tbit 送信インタバイトスペース幅（ヘッダ）：0 ~ 7 Tbit（Sync フィールドと ID フィールド間のスペース）注¹ 送信レスポンススペース幅：0 ~ 7 Tbit 注¹ 送信インタバイトスペース幅：0 ~ 3 Tbit（レスポンス領域内のデータバイト間のスペース） 送信ウェイクアップ幅：1 ~ 16 Tbit
		スレーブ	<ul style="list-style-type: none"> 受信ブレーク幅：9.5 または 10.5 Tbit [固定ボーレートの場合] ：10 または 11 Tbit [オートボーレートの場合] 送信レスポンススペース幅：0 ~ 7 Tbit 送信インタバイトスペース幅：0 ~ 3 Tbit（レスポンス領域内のデータバイト間のスペース） 送信ウェイクアップ幅：1 ~ 16 Tbit
	チェックサム	<ul style="list-style-type: none"> 送受信ともに自動演算 クラシックまたはエンハンス選択可能（フレームごとに変更可能） 	
	レスポンスフィールドデータバイト数	0 ~ 8 バイト可変 9 バイト以上の多バイト・レスポンス送受信にも対応	
	フレーム通信方法	マスタ	<ul style="list-style-type: none"> ヘッダ送信とレスポンス送信／受信を 1 つの送信開始要求により通信するモード ヘッダとレスポンスを別々の送信開始要求により送信するモード（フレームセパレートモード）
		スレーブ	<ul style="list-style-type: none"> 固定ボーレートで自動的にヘッダを受信するモード ブレークフィールドとシンクフィールドを検出し、そのシンクフィールドの計測結果からボーレートの設定を行い、自動でヘッダを受信するモード
	ウェイクアップ送受信	LIN ウェイクアップモードで使用可能 <ul style="list-style-type: none"> ウェイクアップ送信機能（1 ~ 16 Tbit） ウェイクアップ受信 入力信号ロウレベル幅カウント機能 	
ステータス	マスタ	<ul style="list-style-type: none"> フレーム／ウェイクアップ送信完了 ヘッダ送信完了 フレーム／ウェイクアップ受信完了注² データ 1 受信完了 エラー検出 動作モード （LIN リセットモード、LIN ウェイクアップモード、LIN 動作モード、LIN セルフテストモード） 	

表 19.10 LIN/UART インタフェースの仕様 (2/3)

項目		仕様	
LIN 通信機能	ステータス	スレーブ	<ul style="list-style-type: none"> レスポンス/ウェイクアップ送信完了 レスポンス/ウェイクアップ受信完了^{注2} ヘッダ受信完了 データ 1 受信完了 エラー検出 動作モード (LIN リセットモード、LIN ウェイクアップモード、LIN 動作モード、LIN セルフテストモード)
	エラーステータス	マスタ	<ul style="list-style-type: none"> ビットエラー チェックサムエラー フレームタイムアウトエラー/レスポンスタイムアウトエラー フィジカルバスエラー フレーミングエラー レスポンス準備エラー
		スレーブ	<ul style="list-style-type: none"> ビットエラー チェックサムエラー フレームタイムアウトエラー/レスポンスタイムアウトエラー シンクフィールドエラー ID パリティエラー フレーミングエラー レスポンス準備エラー
	ポーレート選択	ポーレートジェネレータで LIN 仕様のポーレートを生成可能	
	テストモード	ユーザ評価用セルフテストモード	
	割り込み機能	マスタ	<ul style="list-style-type: none"> ヘッダ/フレーム/ウェイクアップ送信完了 フレーム/ウェイクアップ受信完了^{注2} エラー検出
スレーブ		<ul style="list-style-type: none"> レスポンス/ウェイクアップ送信完了 ヘッダ/レスポンス/ウェイクアップ受信完了^{注2} エラー検出 	
UART 通信機能	データバッファ	<ul style="list-style-type: none"> 送信データバッファ/ウェイト用送信データバッファ (送信専用。データ長 1。キャラクタ長 7、8、9 ビットに対応) UART バッファ (送信専用。データ長 1~9 で可変。キャラクタ長 7、8 ビットに対応) 受信データバッファ (受信専用。データ長 1。キャラクタ長 7、8、9 ビットに対応) 	
	データフォーマット	キャラクタ長：7、8 ビット	
		拡張ビットにより、9 ビット対応可能	
		送信ストップビット：1、2 ビット	
		パリティ機能：奇数、偶数、0、なし	
LSB / MSB ファースト転送選択可能			
送受信データの反転入出力が可能			
ステータス	<ul style="list-style-type: none"> 送信ステータス 受信ステータス UART バッファ送信完了 エラー検出 拡張ビット検出 ID 一致 リセットモードステータス 		

表 19.10 LIN/UART インタフェースの仕様 (3/3)

項目		仕様
UART 通信機能	エラーステータス	<ul style="list-style-type: none"> • ビットエラー • フレーミングエラー • パリティエラー • オーバランエラー
	ボーレート選択	ボーレートジェネレータ内蔵により任意のボーレートを設定可能
		任意の拡張ビットが期待するレベルであった場合、受信データをあらかじめ設定したレジスタ内のデータと8ビット比較が可能
		受信のストップビットを保証（送信開始時に受信のストップビット中の場合、送信開始をウェイト可能）
	割り込み機能	<ul style="list-style-type: none"> • 送信開始／完了 • 受信完了 • ステータス／エラー検出

注 1. 同一レジスタで設定するため、インタバイトスペース（ヘッダ）＝レスポンススペースとなります。

注 2. ウェイクアップ受信は、入力信号ロウレベル幅カウントを示します。

19.2.2 ブロック図

図 19.1 に LIN/UART インタフェースのブロック図を示します。

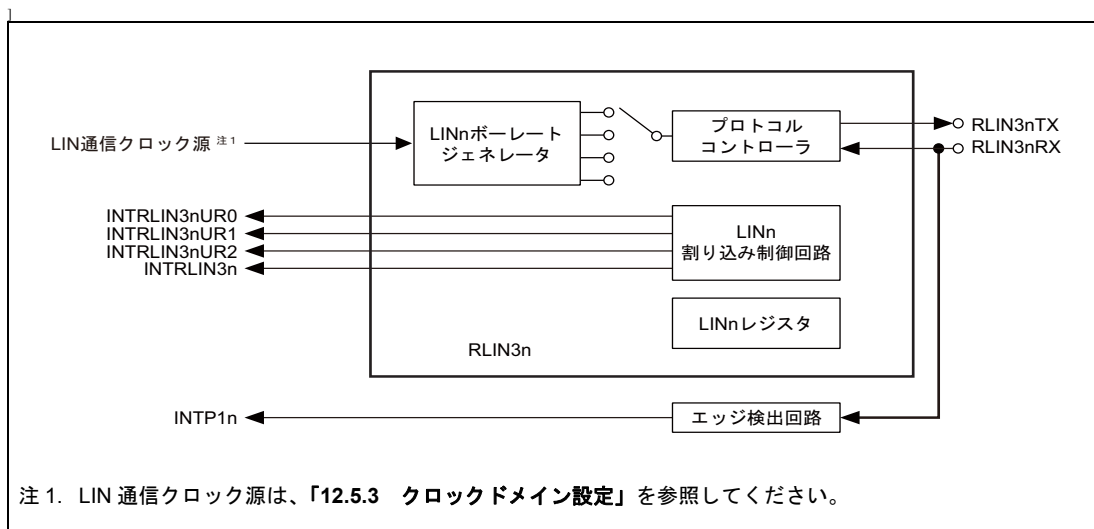


図 19.1 LIN/UART インタフェースブロック図

19.2.3 ブロック図の説明

- RLIN3nTX、RLIN3nRX : LIN/UART インタフェースの入出力端子です。
- LINn ボーレートジェネレータ : LIN/UART インタフェースの通信クロックを生成します。
- LINn レジスタ : LIN/UART インタフェースのレジスタです。
- LINn 割り込み制御回路 : LIN/UART インタフェースによって生成される割り込み要求を制御します。

19.3 レジスタ

19.3.1 レジスタ一覧

RLIN3 のレジスタ一覧を以下の表に示します。

<RLIN3n_base> は「19.1.2 レジスタベースアドレス」を参照してください。

表 19.11 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス	LIN マスタ	LIN スレーブ	UART
RLN3n	LIN ウェイクアップポーレート選択レジスタ	RLN3nLWBR	<RLIN3n_base> + 01 _H	○	○	○
	LIN/UART ポーレートプリスケアラ 01 レジスタ	RLN3nLBRP01	<RLIN3n_base> + 02 _H	—	○	○
	LIN/UART ポーレートプリスケアラ 0 レジスタ	RLN3nLBRP0	<RLIN3n_base> + 02 _H	○	○	○
	LIN/UART ポーレートプリスケアラ 1 レジスタ	RLN3nLBRP1	<RLIN3n_base> + 03 _H	○	○	○
	LIN セルフテスト制御レジスタ	RLN3nLSTC	<RLIN3n_base> + 04 _H	○	○	—
	LIN/UART モードレジスタ	RLN3nLMD	<RLIN3n_base> + 08 _H	○	○	○
	LIN ブレークフィールド設定レジスタ/ UART 設定レジスタ	RLN3nLBFC	<RLIN3n_base> + 09 _H	○	○	○
	LIN/UART スペース設定レジスタ	RLN3nLSC	<RLIN3n_base> + 0A _H	○	○	○
	LIN ウェイクアップ設定レジスタ	RLN3nLWUP	<RLIN3n_base> + 0B _H	○	○	—
	LIN 割り込み許可レジスタ	RLN3nLIE	<RLIN3n_base> + 0C _H	○	○	—
	LIN/UART エラー検出許可レジスタ	RLN3nLEDE	<RLIN3n_base> + 0D _H	○	○	○
	LIN/UART 制御レジスタ	RLN3nLCUC	<RLIN3n_base> + 0E _H	○	○	○
	LIN/UART 送信制御レジスタ	RLN3nLTRC	<RLIN3n_base> + 10 _H	○	○	○
	LIN/UART モードステータスレジスタ	RLN3nLMST	<RLIN3n_base> + 11 _H	○	○	○
	LIN/UART ステータスレジスタ	RLN3nLST	<RLIN3n_base> + 12 _H	○	○	○
	LIN/UART エラーステータスレジスタ	RLN3nLEST	<RLIN3n_base> + 13 _H	○	○	○
	LIN/UART データフィールド設定レジスタ	RLN3nLDFC	<RLIN3n_base> + 14 _H	○	○	○
	LIN/UART ID バッファレジスタ	RLN3nLIDB	<RLIN3n_base> + 15 _H	○	○	○
	LIN チェックサムバッファレジスタ	RLN3nLCBR	<RLIN3n_base> + 16 _H	○	○	—
	UART データバッファ 0 レジスタ	RLN3nLUDB0	<RLIN3n_base> + 17 _H	—	—	○
	LIN/UART データバッファ 1 レジスタ	RLN3nLDBR1	<RLIN3n_base> + 18 _H	○	○	○
	LIN/UART データバッファ 2 レジスタ	RLN3nLDBR2	<RLIN3n_base> + 19 _H	○	○	○
	LIN/UART データバッファ 3 レジスタ	RLN3nLDBR3	<RLIN3n_base> + 1A _H	○	○	○
	LIN/UART データバッファ 4 レジスタ	RLN3nLDBR4	<RLIN3n_base> + 1B _H	○	○	○
	LIN/UART データバッファ 5 レジスタ	RLN3nLDBR5	<RLIN3n_base> + 1C _H	○	○	○
	LIN/UART データバッファ 6 レジスタ	RLN3nLDBR6	<RLIN3n_base> + 1D _H	○	○	○
	LIN/UART データバッファ 7 レジスタ	RLN3nLDBR7	<RLIN3n_base> + 1E _H	○	○	○
	LIN/UART データバッファ 8 レジスタ	RLN3nLDBR8	<RLIN3n_base> + 1F _H	○	○	○
	UART オペレーション許可レジスタ	RLN3nLUOER	<RLIN3n_base> + 20 _H	—	—	○
	UART オプションレジスタ 1	RLN3nLUOR1	<RLIN3n_base> + 21 _H	—	—	○
	UART 送信データレジスタ	RLN3nLUTDR	<RLIN3n_base> + 24 _H	—	—	○
	UART 送信データレジスタ L	RLN3nLUTDRL	<RLIN3n_base> + 24 _H	—	—	○
	UART 送信データレジスタ H	RLN3nLUTDRH	<RLIN3n_base> + 25 _H	—	—	○
	UART 受信データレジスタ	RLN3nLURDR	<RLIN3n_base> + 26 _H	—	—	○
	UART 受信データレジスタ L	RLN3nLURDRL	<RLIN3n_base> + 26 _H	—	—	○
	UART 受信データレジスタ H	RLN3nLURDRH	<RLIN3n_base> + 27 _H	—	—	○
	UART ウェイト用送信データレジスタ	RLN3nLUWTD	<RLIN3n_base> + 28 _H	—	—	○
	UART ウェイト用送信データレジスタ L	RLN3nLUWTDRL	<RLIN3n_base> + 28 _H	—	—	○
	UART ウェイト用送信データレジスタ H	RLN3nLUWTDH	<RLIN3n_base> + 29 _H	—	—	○

備考 ○ : 使用、— : 未使用

未使用のレジスタに書き込みを行う場合は、リセット後の値を書いてください。

19.3.2 LIN マスタ関連レジスタ

19.3.2.1 RLIN3nLWBR — LIN ウェイクアップポーレート選択レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 01_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	NSPB[3:0]				LPRS[2:0]		LWBR0	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.12 RLIN3nLWBR レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	NSPB[3:0]	ビットサンプリング数選択ビット b7 b4 0000: 16 サンプリング 1111: 16 サンプリング 上記 以外は設定しないでください。
3 ~ 1	LPRS[2:0]	プリスケールクロック選択ビット b3 b1 000: 1/1 001: 1/2 010: 1/4 011: 1/8 100: 1/16 101: 1/32 110: 1/64 111: 1/128
0	LWBR0	ウェイクアップポーレート選択ビット 0: LIN ウェイクアップモードにおいて、RLN3nLMD レジスタの LCKS ビットの設定どおりのクロックが使用される (LIN1.3 使用時) 1: LIN ウェイクアップモードにおいて、RLN3nLMD レジスタの LCKS ビットの設定によらずクロック fa が使用される (LIN2.x 使用時)

RLN3nLWBR レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

NSPB ビット (ビットサンプリング数選択ビット)

1 Tbit (ポーレートの逆数) のサンプリング数を選択するビットです。

LIN マスタモード (LIN モードレジスタの LIN/UART モード選択ビットが 00_B) で使用するときは、これらのビットを“0000_B”または“1111_B” (16 サンプリング) に設定してください。

LPRS ビット (プリスケールクロック選択ビット)

プリスケーラの分周比を選択するビットです。

このプリスケーラにより LIN 通信クロック源を分周します。

LWBR0 ビット (ウェイクアップポーレート選択ビット)

LIN Specification Package Revision 1.3 使用時は、RLN3nLWBR レジスタの LWBR0 ビットを“0”にしてください。これにより入力信号ロウレベル幅をビットタイムで 2.5 Tbit 以上で計測することができます。LIN Specification Package Revision 2.x 使用時は“1”にしてください。“1”にすることで LIN ウェイクアップモード中は RLN3nLMD レジスタの LCKS ビット

の設定にかかわらず LIN システムクロック (f_{LIN}) は fa が選択されます (LCKS ビットは変化しません)。入力信号ロウレベル幅を 2.5Tbit 以上で計測することができます。

fa 選択時のボーレートを 19200bps に設定することにより、RLN3nLMD レジスタの LCKS ビットの設定に関わらず、LIN ウェイクアップモード時に 130us 以上の入力信号ロウレベル幅を検出することができます。

19.3.2.2 RLN3nLBRP0 — LIN ボーレートプリスケアラ 0 レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 02_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LBRP0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.13 RLN3nLBRP0 レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	LBRP0[7:0]	設定値を N (0 ~ 255) とすると、ボーレートプリスケアラはプリスケアラクロックのクロックを N+1 分周する 設定範囲 : 00 _H ~ FF _H

RLN3nLBRP0 レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

このレジスタの設定値が、ボーレートクロックソース “fa”、“fb”、“fc” の周波数制御に使用されます。

このレジスタの設定値を N とすると、ボーレートプリスケアラ 0 は LPRS ビット (プリスケアラクロック選択ビット) で分周したクロックを N+1 分周します。

19.3.2.3 RLN3nLBRP1 — LIN ボーレートプリスケラ 1 レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 03_H

リセット後の値 00_H

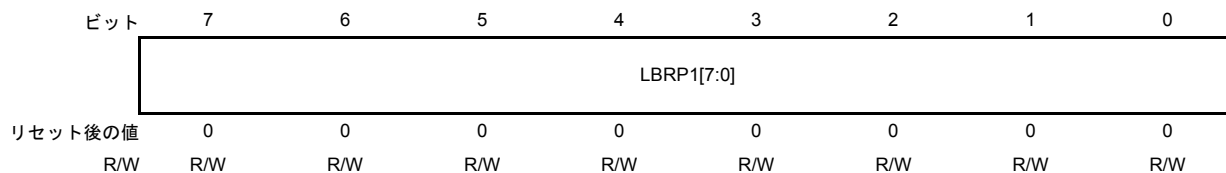


表 19.14 RLN3nLBRP1 レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	LBRP1[7:0]	設定値を M (0 ~ 255) とすると、ボーレートプリスケラはプリスケラクロックのクロックを M+1 分周する 設定範囲 : 00 _H ~ FF _H

RLN3nLBRP1 レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

このレジスタの設定値が、ボーレートクロックソース“fd”の周波数制御に使用されます。

このレジスタの設定値を M とすると、ボーレートプリスケラ 1 は LPRS ビット (プリスケラクロック選択ビット) で分周したクロックを M+1 分周します。

19.3.2.4 RLN3nLSTC — LIN セルフテスト制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	LSTM
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.15 RLN3nLSTC レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	予約ビット	“A7 _H ” → “58 _H ” → “01 _H ” の連続書き込みにより、LIN セルフテストモードへエントリします。
0	LSTM	LIN セルフテストモードビット 0 : LIN セルフテストモードではない 1 : LIN セルフテストモード

RLN3nLSTC レジスタは LIN セルフテストモードのプロテクトを解除するために使用するレジスタです。

RLN3nLSTC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

“A7_H” → “58_H” → “01_H” の連続書き込みにより、LIN セルフテストモードへエントリします。

連続書き込みが成功し、LIN セルフテストモードにした場合は、LSTM ビットが “1” になります。

連続書き込みの間に別の書き込みを行わないでください。

LIN セルフテストモードへの移行方法は、「19.9 LIN セルフテストモード」を参照してください。

ビット 6 ~ 1 を読み出すと “000000_B” が、ビット 7 を読み出すと不定値が読めます。

LSTM ビット (LIN セルフテストモードビット)

LIN セルフテストモードに移行したとき、このビットは “1” になります。

LIN セルフテストモードからの終了方法は、「19.9 LIN セルフテストモード」を参照してください。

RLN3nLSTC レジスタへの “A7_H” → “58_H” → “01_H” の連続書き込み以外で、このビットに “1” を書いても値は変化しません。

19.3.2.5 RLN3nLMD — LIN モードレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base>+ 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	LRDNFS	LIOS	LCKS[1:0]		LMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 19.16 RLN3nLMD レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	LRDNFS	LIN 受信データノイズフィルタ禁止ビット 0 : ノイズフィルタを使用する 1 : ノイズフィルタを使用しない
4	LIOS	LIN 割り込み出力選択ビット 0 : RLIN3n 割り込みを使用 1 : RLIN3n 送信割り込み、RLIN3n 受信完了割り込み、RLIN3n ステータス割り込みを使用
3, 2	LCKS[1:0]	LIN システムクロック選択ビット b ₃ b ₂ 0 0 : fa (ボーレートプリスケアラ 0 生成クロック) 0 1 : fb (ボーレートプリスケアラ 0 生成クロック /2) 1 0 : fc (ボーレートプリスケアラ 0 生成クロック /8) 1 1 : fd (ボーレートプリスケアラ 1 生成クロック /2)
1, 0	LMD[1:0]	LIN/UART モード選択ビット b ₁ b ₀ 0 0 : LIN マスタモード

RLN3nLMD レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

LRDNFS ビット (LIN 受信データノイズフィルタ禁止ビット)

データ受信時のノイズフィルタの有効/無効を選択するビットです。

“0”の場合、データ受信時のノイズフィルタは有効です。

“1”の場合、データ受信時のノイズフィルタは無効です。

LIOS ビット (LIN 割り込み出力選択ビット)

LIN/UART インタフェースからの割り込み出力本数を選択するビットです。

“0”の場合、LIN/UART インタフェースからの RLIN3n 割り込みが発生します。

“1”の場合、LIN/UART インタフェースから RLIN3n 送信割り込み、RLIN3n 受信完了割り込み、RLIN3n ステータス割り込みが発生します。

各割り込みの要因は、「19.4 割り込み要因」を参照してください。

LCKS[1:0] ビット (LIN システムクロック選択ビット)

プロトコルコントローラに入力するクロックを選択するビットです。

“00_B”の場合、プロトコルコントローラには fa (ボーレートプリスケアラ 0 生成クロック) が入力されます。

“01_B”の場合、プロトコルコントローラには fb (ボーレートプリスケアラ 0 生成クロック / 2) が入力されます。

“10_B”の場合、プロトコルコントローラには fc (ボーレートプリスケアラ 0 生成クロック / 8) が入力されます。

“11_B”の場合、プロトコルコントローラには fd (ボーレートプリスケアラ 1 生成クロック / 2) が入力されます。

RLN3nLWBR レジスタの LWBR0 ビットが “1_B” (LIN 2.x) かつ RLN3nLMST レジスタが “01_H” (LIN ウェイクアップモード) の場合、このビットの設定にかかわらず、プロトコルコントローラには fa が入力されます (LCKS ビットは変化しません)。

LMD[1:0] ビット (LIN/ UART モード選択ビット)

LIN/UART インタフェースのモードを選択するビットです。

LIN マスタとして使用する場合は、これらのビットを “00_B” に設定してください。

19.3.2.6 RLN3nLBFC — LIN ブレークフィールド設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 09_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	BDT[1:0]		BLT[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 19.17 RLN3nLBFC レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5, 4	BDT[1:0]	送信ブレークデリミタ (ハイレベル) 幅設定ビット b5 b4 0 0 : 1 Tbit 0 1 : 2 Tbits 1 0 : 3 Tbits 1 1 : 4 Tbits
3 ~ 0	BLT[3:0]	送信ブレーク (ロウレベル) 幅設定ビット b3 b0 0 0 0 0 : 13 Tbits 0 0 0 1 : 14 Tbits 0 0 1 0 : 15 Tbits : 1 1 1 0 : 27 Tbits 1 1 1 1 : 28 Tbits

RLN3nLBFC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

設定値の組み合わせによっては、1フレームの長さがフレームタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

BDT[1:0] ビット (送信ブレークデリミタ (ハイレベル) 幅設定ビット)

送信フレーム ヘッダ部のブレークデリミタ (ハイレベル) 幅の設定をします。
1 Tbit ~ 4 Tbits を設定できます。

BLT[3:0] ビット (送信ブレーク (ロウレベル) 幅設定ビット)

送信フレーム ヘッダ部のブレーク (ロウレベル) 幅の設定をします。
13 Tbits ~ 28 Tbits を設定できます。

19.3.2.7 RLN3nLSC — LIN スペース設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base>+ 0AH

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	IBHS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

表 19.18 RLN3nLSC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	IBS[1:0]	インタバイトスペース設定ビット b5 b4 0 0 : 0 Tbit 0 1 : 1 Tbit 1 0 : 2 Tbits 1 1 : 3 Tbits
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	IBHS[2:0]	インタバイトスペース（ヘッダ）/レスポンススペース設定ビット b2 b0 0 0 0 : 0 Tbit 0 0 1 : 1 Tbit 0 1 0 : 2 Tbits 0 1 1 : 3 Tbits 1 0 0 : 4 Tbits 1 0 1 : 5 Tbits 1 1 0 : 6 Tbits 1 1 1 : 7 Tbits

RLN3nLSC レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

設定値の組み合わせによっては、1 フレームまたはレスポンスの長さがタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

IBS[1:0] ビット（インタバイトスペース設定ビット）

送信フレームレスポンス部のインタバイトスペースの幅の設定をします。

0 Tbit ～ 3 Tbits を設定できます。

レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。

IBHS[2:0] ビット（インタバイトスペース（ヘッダ）/レスポンススペース設定ビット）

送信フレームヘッダ部のインタバイトスペース（ヘッダ）とレスポンススペースの幅の設定をします。0 Tbit ～ 7 Tbits を設定できます。

レスポンススペースの設定は、レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。インタバイトスペース（ヘッダ）とレスポンススペースの値は、同じになります。

19.3.2.8 RLN3nLWUP — LIN ウェイクアップ設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base>+ 0BH

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	WUTL[3:0]				—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 19.19 RLN3nLWUP レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	WUTL[3:0]	ウェイクアップ送信 ロウレベル幅設定ビット b7 b4 0 0 0 0 : 1 Tbit 0 0 0 1 : 2 Tbits 0 0 1 0 : 3 Tbits 0 0 1 1 : 4 Tbits : 1 1 0 0 : 13 Tbits 1 1 0 1 : 14 Tbits 1 1 1 0 : 15 Tbits 1 1 1 1 : 16 Tbits
3 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN3nLWUP レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

WUTL[3:0] ビット (ウェイクアップ送信ロウレベル幅設定ビット)

ウェイクアップシグナル送信時のロウレベル幅を設定します。

1 Tbit ~ 16 Tbits を設定できます。

RLN3nLWBR レジスタの LWBR0 ビットが“1” (LIN 2.x) の場合、RLN3nLMD レジスタの LCKS ビットにかかわらず、LIN システムクロック (f_{LIN}) は f_a が選択されます (LCKS ビットは変化しません)。

19.3.2.9 RLN3nLIE — LIN 割り込み許可レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	SHIE	ERRIE	FRCIE	FTCIE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 19.20 RLN3nLIE レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	SHIE	ヘッダ送信完了割り込み要求許可ビット 0: ヘッダ送信完了割り込み要求禁止 1: ヘッダ送信完了割り込み要求許可
2	ERRIE	エラー検出割り込み要求許可ビット 0: エラー検出割り込み要求禁止 1: エラー検出割り込み要求許可
1	FRCIE	フレーム/ウェイクアップ受信完了割り込み要求許可ビット 0: フレーム/ウェイクアップ受信完了割り込み要求禁止 1: フレーム/ウェイクアップ受信完了割り込み要求許可
0	FTCIE	フレーム/ウェイクアップ送信完了割り込み要求許可ビット 0: フレーム/ウェイクアップ送信完了割り込み要求禁止 1: フレーム/ウェイクアップ送信完了割り込み要求許可

RLN3nLIE レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

SHIE ビット (ヘッダ送信完了割り込み要求許可ビット)

ヘッダ送信完了時の割り込み要求の許可/禁止を設定します。

“0”の場合、RLN3nLST レジスタの HTRC フラグが“1”になった際に RLIN3n 送信割り込み要求が発生しません。

“1”の場合、RLN3nLST レジスタの HTRC フラグが“1”になった際に RLIN3n 送信割り込み要求が発生します。

ERRIE ビット (エラー検出割り込み要求許可ビット)

エラーを検出したときの割り込み要求の許可/禁止を設定します。

“0”の場合、RLN3nLST レジスタの ERR フラグが“1”になった際に RLIN3n ステータス割り込み要求が発生しません。

“1”の場合、RLN3nLST レジスタの ERR フラグが“1”になった際に RLIN3n ステータス割り込み要求が発生します。

発生要因となるエラーは、ビットエラー、フィジカルバスエラー、フレーム/レスポンスタイムアウトエラー、フレーミングエラー、チェックサムエラー、レスポンス準備エラーです。

ビットエラー、フィジカルバスエラー、フレーム/レスポンスタイムアウトエラー、フレーミングエラーは、RLN3nLEDE レジスタで検出許可/禁止の設定ができます。

FRCIE ビット (フレーム/ウェイクアップ受信完了割り込み要求許可ビット)

フレーム受信完了、またはウェイクアップシグナル受信 (入力信号ロウレベル幅カウント) 完了時の割り込み要求の許可/禁止を設定します。

“0” の場合、RLN3nLST レジスタの FRC フラグが“1” になった際に RLIN3n 受信完了割り込み要求が発生しません。

“1” の場合、RLN3nLST レジスタの FRC フラグが“1” になった際に RLIN3n 受信完了割り込み要求が発生します。

FTCIE ビット (フレーム/ウェイクアップ送信完了割り込み要求許可ビット)

フレーム送信完了、またはウェイクアップシグナル送信完了時の割り込み要求の許可/禁止を設定します。

“0” の場合、RLN3nLST レジスタの FTC フラグが“1” になった際に RLIN3n 送信割り込み要求が発生しません。

“1” の場合、RLN3nLST レジスタの FTC フラグが“1” になった際に RLIN3n 送信割り込み要求が発生します。

19.3.2.10 RLN3nLEDE — LIN エラー検出許可レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0D_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LTES	—	—	—	FERE	FTERE	PBERE	BERE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

表 19.21 RLN3nLEDE レジスタの内容

ビット位置	ビット名	機能
7	LTES	タイムアウトエラー選択ビット 0: フレームタイムアウトエラー 1: レスポンスタイムアウトエラー
6~4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	FERE	フレーミングエラー検出許可ビット ^{注1} 0: フレーミングエラー検出禁止 1: フレーミングエラー検出許可
2	FTERE	タイムアウトエラー検出許可ビット 0: フレーム/レスポンスタイムアウトエラー検出禁止 1: フレーム/レスポンスタイムアウトエラー検出許可
1	PBERE	フィジカルバスエラー検出許可ビット 0: フィジカルバスエラー検出禁止 1: フィジカルバスエラー検出許可
0	BERE	ビットエラー検出許可ビット ^{注1} 0: ビットエラー検出禁止 1: ビットエラー検出許可

注1. FERE ビットと BERE ビットは“1”にセットしてください。

RLN3nLEDE レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

LTES ビット (タイムアウトエラー選択ビット)

タイムアウトを選択するビットです。

“0”の場合、タイムアウト機能はフレームタイムアウトとして動作します。

“1”の場合、タイムアウト機能はレスポンスタイムアウトとして動作します。

タイムアウトエラーの詳細は、「19.7.7 エラーステータス」を参照してください。

FERE ビット (フレーミングエラー検出許可ビット)

フレーミングエラー検出の許可/禁止を設定します。

“0”の場合、フレーミングエラーを検出しません。

“1”の場合、フレーミングエラーを検出します。

このビットを“1”にしてください。フレーミングエラーの検出結果は、RLN3nLEST レジスタの FER フラグに反映されます。

フレーミングエラーの詳細は、「19.7.7 エラーステータス」を参照してください。

FTERE ビット (タイムアウトエラー検出許可ビット)

フレームタイムアウトエラー または レスポンスタイムアウトエラー検出の許可/禁止を設定します。

“0”の場合、フレームタイムアウトエラー または レスポンスタイムアウトエラーを検出しません。

“1”の場合、フレームタイムアウトエラー または レスポンスタイムアウトエラーを検出します。

このビットが“1”の場合の検出結果は、RLN3nLEST レジスタの FTER フラグに反映されません。

LTES ビットで、フレームタイムアウトエラー、レスポンスタイムアウトエラーの選択ができます。

タイムアウトエラーは、レスポンスを 9 バイト以上で送信 または 受信する場合には使用しないでください。

タイムアウトエラーの詳細は、「**19.7.7 エラーステータス**」を参照してください。

PBERE ビット (フィジカルバスエラー検出許可ビット)

フィジカルバスエラー検出の許可/禁止を設定します。

“0”の場合、フィジカルバスエラーを検出しません。

“1”の場合、フィジカルバスエラーを検出します。

このビットが“1”の場合の検出結果は、RLN3nLEST レジスタの PBER フラグに反映されません。

フィジカルバスエラーの詳細は、「**19.7.7 エラーステータス**」を参照してください。

BERE ビット (ビットエラー検出許可ビット)

ビットエラー検出の許可/禁止を設定します。

“0”の場合、ビットエラーを検出しません。

“1”の場合、ビットエラーを検出します。

このビットを“1”にしてください。ビットエラーの検出結果は、RLN3nLEST レジスタの BER フラグに反映されます。

ビットエラーの詳細は、「**19.7.7 エラーステータス**」を参照してください。

19.3.2.11 RLN3nLCUC — LIN 制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0E_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OM1	OM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 19.22 RLN3nLCUC レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	OM1	LIN モード選択ビット 0: LIN ウェイクアップモード 1: LIN 動作モード
0	OM0	LIN リセットビット 0: LIN リセットモード 1: LIN リセットモード解除

LIN リセットモードを解除するとき、LIN ウェイクアップモードに移行させる場合は RLN3nLCUC レジスタに“01_H”を、LIN 動作モードに移行させる場合は RLN3nLCUC レジスタに“03_H”を設定してください。

LIN セルフテストモードでは、LIN セルフテストモード移行後に RLN3nLCUC レジスタを“03_H”にしてください。

このレジスタに書き込みをした後は、書き込んだ値が RLN3nLMST レジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM1 ビット (LIN モード選択ビット)

LIN リセットモード解除時の動作モード (LIN ウェイクアップモード、LIN 動作モード) 選択をするビットです。

“0”にすると、LIN ウェイクアップモードになります。

“1”にすると、LIN 動作モードになります。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“1”のときのみ有効になります。

このビットは、RLN3nLTRC レジスタの FTS ビットが“1”の間は書けません。

OM0 ビット (LIN リセットビット)

LIN リセットモードへの移行/LIN リセットモードの解除を選択するビットです。

“0”にすると、LIN リセットモードになります。

“1”にすると、LIN リセットモードは解除されます。

19.3.2.12 RLIN3nLTRC — LIN 送信制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RTS	FTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 19.23 RLIN3nLTRC レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RTS	レスポンス送信/受信開始ビット 0: フレームセパレートモードにおいてレスポンス送受信停止 1: フレームセパレートモードにおいてレスポンス送受信開始
0	FTS	フレーム送信/ウェイクアップ送受信開始ビット 0: フレーム送信/ウェイクアップ送受信停止 1: フレーム送信/ウェイクアップ送受信開始

RTS ビット (レスポンス送信/受信開始ビット)

フレームセパレートモードで、ヘッダを送信開始 (FTS ビットが“1”) し、レスポンス送信データ準備完了した後に、“1”にしてください。設定後、このビットはフレーム通信終了 (エラー検出時を含む) および LIN リセットモード移行時、自動的に“0”になります。

このビットは“1”のみ書けます。“0”は書けません。

このビットに“1”を書く場合は、ストア命令で“02_H”を書き込んでください。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときは書けません。

このビットは、FTS ビットが“0” (フレーム送信/ウェイクアップ送受信停止) のときは書けません。

9 バイト以上のレスポンスデータの送受信を行う場合は、データグループ (0～8 バイトで可変) の送受信ごとに“1”に設定してください。設定後、データグループの通信終了時または LIN リセットモード移行時に自動的に“0”になります。

FTS ビット (フレーム送信/ウェイクアップ送受信開始ビット)

フレーム送受信開始時、“1”にしてください。

また、ウェイクアップ送信、ウェイクアップ受信 (入力信号ロウレベル幅カウント) を行う場合にも、このビットを“1”にしてください。

このビットは“1”のみ書けます。“0”は書けません。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときは書けません。

このビットは、フレームおよびウェイクアップの通信終了時 (エラー検出時を含む) に“0”になります。LIN リセットモード移行時に“0”になります。

19.3.2.13 RLIN3nLMST — LIN モードステータスレジスタ

アクセス 8ビット単位でリードのみ可能です。

アドレス <RLIN3n_base> + 11_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OMM1	OMM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 19.24 RLIN3nLMST レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	OMM1	LIN モードステータスマニタ 0: LIN ウェイクアップモード 1: LIN 動作モード
0	OMM0	LIN リセットステータスマニタ 0: LIN リセットモード 1: LIN リセットモードでない

OMM1 ビット (LIN モードステータスマニタ)

現在の動作モードが確認できます。

OMM0 ビット (LIN リセットステータスマニタ)

現在の動作モードが確認できます。

19.3.2.14 RLN3nLST — LIN ステータスレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 12_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	HTRC	D1RC	—	—	ERR	—	FRC	FTC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R/W	R/W

表 19.25 RLN3nLST レジスタの内容

ビット位置	ビット名	機能
7	HTRC	ヘッダ送信完了フラグ 0: 送信未完了 1: ヘッダ送信完了
6	D1RC	データ 1 受信完了フラグ 0: 受信未完了 1: データ 1 受信完了
4、5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	ERR	エラー検出フラグ 0: エラー未検出 1: エラー検出
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	FRC	フレーム/ウェイクアップ受信完了フラグ 0: 受信未完了 1: フレームまたはウェイクアップ受信完了
0	FTC	フレーム/ウェイクアップ送信完了フラグ 0: 送信未完了 1: フレームまたはウェイクアップ送信完了

RLN3nLST レジスタは LIN リセットモード移行時および次の通信開始 (RLN3nLTRC レジスタの FTS ビットが “1”) 時、自動的に “00_H” になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は “00_H” を保持します。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには “0” を、クリアしないビットには “1” をストア命令で書き込んでください。

HTRC フラグ (ヘッダ送信完了フラグ)

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。

ヘッダ送信完了時、“1” となります。このとき RLN3nLIE レジスタの SHIE ビットが “1” (割り込み許可) の場合、RLIN3n 送信割り込み要求が発生します。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが “1”) 前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

D1RC フラグ (データ 1 受信完了フラグ)

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。

データ 1 受信完了時、“1” となりますが割り込み要求は発生しません。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが “1”) 前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

9 バイト以上のレスポンスデータ受信を行う場合は、データグループ (0 ~ 8 バイトで可変) ごとでデータ 1 受信完了時、“1” となります。次のデータグループ受信開始前に“0”を書いてください。

ERR フラグ (エラー検出フラグ)

エラー検出 (RLN3nLEST レジスタのフラグのうち 1 つでも“1”) 時、“1” となります。このとき RLN3nLIE レジスタの ERRIE ビットが“1” (割り込み許可) の場合、RLIN3n ステータス割り込み要求が発生します。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で RLN3nLEST レジスタの RPER フラグ、CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグに“0”を書いてください。ERR フラグが“0” となります。

FRC フラグ (フレーム/ウェイクアップ受信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。フレーム受信完了またはウェイクアップ受信完了時、“1” となります。このとき RLN3nLIE レジスタの FRCIE ビットが“1” (割り込み許可) の場合、RLIN3n 受信完了割り込み要求が発生します。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。9 バイト以上のレスポンスデータ受信を行う場合は、データグループ (0 ~ 8 バイトで可変) の受信完了ごとに“1” となります。次のデータグループ受信開始前に“0”を書いてください。

FTC フラグ (フレーム/ウェイクアップ送信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。フレーム送信完了またはウェイクアップ送信完了時、“1” となります。このとき RLN3nLIE レジスタの FTCIE ビットが“1” (割り込み許可) の場合、RLIN3n 送信割り込み要求が発生します。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。9 バイト以上のレスポンスデータ送信を行う場合は、データグループ (0 ~ 8 バイトで可変) の送信完了ごとに“1” となります。次のデータグループ送信開始前に“0”を書いてください。

19.3.2.15 RLN3nLEST — LIN エラーステータスレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 13_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	RPER	—	CSER	—	FER	FTER	PBER	BER
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R/W	R	R/W	R/W	R/W	R/W

表 19.26 RLN3nLEST レジスタの内容

ビット位置	ビット名	機能
7	RPER	レスポンス準備エラーフラグ 0: レスポンス準備エラー未検出 1: レスポンス準備エラー検出
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CSER	チェックサムエラーフラグ 0: チェックサムエラー未検出 1: チェックサムエラー検出
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	FER	フレーミングエラーフラグ 0: フレーミングエラー未検出 1: フレーミングエラー検出
2	FTER	タイムアウトエラーフラグ 0: フレーム/レスポンスタイムアウトエラー未検出 1: フレーム/レスポンスタイムアウトエラー検出
1	PBER	フィジカルバスエラーフラグ 0: フィジカルバスエラー未検出 1: フィジカルバスエラー検出
0	BER	ビットエラーフラグ 0: ビットエラー未検出 1: ビットエラー検出

RLN3nLEST レジスタは LIN リセットモード移行時、および次の通信開始 (RLN3nLTRC レジスタの FTS ビットが“1”) 時、自動的に“00_H”になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。

RLN3nLTRC レジスタの FTS ビットが“1” (フレーム送信/ウェイクアップ送受信開始) の間は、このレジスタに書き込まないでください。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

RPER フラグ (レスポンス準備エラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

レスポンス準備エラー検出時、“1”となります。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

CSER フラグ (チェックサムエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
チェックサムエラー検出時、“1”となります。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

FER フラグ (フレーミングエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの FERF ビットが“1” (フレーミングエラー検出許可) で、フレーミングエラー検出時、“1”となります。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

FTER フラグ (タイムアウトエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの FTERE ビットが“1” (フレーム/レスポンスタイムアウトエラー検出許可) で、フレームタイムアウトエラー または レスポンスタイムアウトエラー検出時、“1”となります。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

PBER フラグ (フィジカルバスエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの PBERE ビットが“1” (フィジカルバスエラー検出許可) で、フィジカルバスエラー検出時、“1”となります。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

BER フラグ (ビットエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの BERE ビットが“1” (ビットエラー検出許可) で、ビットエラー検出時、“1”となります。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

19.3.2.16 RLIN3nLDFC — LIN データフィールド設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LSS	FSM	CSM	RFT	RFDL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.27 RLIN3nLDFC レジスタの内容

ビット位置	ビット名	機能
7	LSS	継続選択ビット 0: 次に送受信するデータグループは最終である。 1: 次に送受信するデータグループは最終ではない。 (チェックサムなし)
6	FSM	フレームセパレートモード選択ビット 0: フレームセパレートモードではない 1: フレームセパレートモード
5	CSM	チェックサム選択ビット 0: クラシック 1: エンハンス
4	RFT	レスポンスフィールド通信方向選択ビット 0: 受信 1: 送信
3~0	RFDL[3:0]	レスポンスフィールド長設定ビット b3 b0 0000: 0バイト (+チェックサム) 0001: 1バイト (+チェックサム) 0010: 2バイト (+チェックサム) : 0111: 7バイト (+チェックサム) 1000: 8バイト (+チェックサム) 上記以外は設定しないでください。

LSS ビット (継続選択ビット)

9バイト以上のレスポンスデータ送受信を行う場合に、次に送受信するデータグループが最後でないことを示すためのビットです。

“0”の場合、次に送信または受信するデータグループが最後として、データとチェックサムの送信または受信を行います。

“1”の場合、次に送信または受信するデータグループが最後でないため、データのみを送信または受信を行ない、チェックサムは含みません。

このビットは、FSM ビットが“1” (フレームセパレートモード) で、かつ9バイト以上のレスポンスデータ送受信を行う場合にのみ設定してください。

このビットは、RLN3nLTRC レジスタの RTS ビットが“0” (レスポンス送受信停止) のときに設定してください。

FSM ビット (フレームセパレートモード選択ビット)

レスポンス通信の方式を設定します。

“0”の場合、フレームセパレートモードになりません。ヘッダ送信開始 (RLN3nLTRC レジスタの FTS ビットが“1”) 後、RLN3nLTRC レジスタの RTS ビットのセットなしに、レスポンスの送受信を行います。

“1”の場合、フレームセパレートモードになります。ヘッダ送信中に RLN3nLTRC レジスタの RTS ビットを“1”にした場合、ヘッダ送信完了を待ってからレスポンス送信を行います。8 バイト以下のレスポンス受信 (RFT ビットが“0”) 時は、このビットを“0”に設定してください。

LIN セルフテストモードに移行する場合は、移行前にこのビットを“0”に設定してください。

フレームセパレートモードの詳細は「**19.7.4.1 LIN フレームの送信**」を参照してください。このビットは、RLN3nLTRC レジスタの FTS ビットが“0” (フレーム送信/ウェイクアップ送受信停止) のときに設定してください。

9 バイト以上のレスポンスデータ送受信を行う場合は、このビットを“1”にしてください。

CSM ビット (チェックサム選択ビット)

チェックサムの方式の設定をします。

“0”の場合、チェックサムの方式はクラシックとなります。

“1”の場合、チェックサムの方式はエンハンスとなります。

タイムアウトエラーを使用する (RLN3nLEDE レジスタの FTERE ビットが“1”) 場合は、このビット設定によりタイムアウト時間が異なります。詳細は「**19.7.7 エラーステータス**」を参照してください。

このビットは、RLN3nLTRC レジスタの FTS ビットが“0” (フレーム送信/ウェイクアップ送受信停止) のときに設定してください。

9 バイト以上のレスポンスデータ送受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。

9 バイト以上のレスポンスデータ送受信を行う場合は、最後のデータグループ (LSS ビットが“0”) のみチェックサムを含み、それ以外のデータグループ (LSS ビットが“1”) はチェックサムを含みません。

RFT ビット (レスポンスフィールド通信方向選択ビット)

レスポンスフィールド/ウェイクアップシグナルの通信方向を設定します。

“0”の場合、レスポンスフィールドで受信を行います。また、LIN ウェイクアップモードでは、ウェイクアップ受信 (入力信号ロウレベル幅カウント) を行います。

“1”の場合、レスポンスフィールドで送信を行います。また、LIN ウェイクアップモードでは、ウェイクアップ送信を行います。

このビットは、RLN3nLTRC レジスタの FTS ビットが“0” (フレーム送信/ウェイクアップ送受信停止) のときに設定してください。

9 バイト以上のレスポンスデータ送受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。

RFDL[3:0] ビット (レスポンスフィールド長設定ビット)

レスポンスフィールドのデータ長を設定します。

データ長は 0 ~ 8 バイトまで設定でき、データ長にはチェックサムのサイズを含みません。FSM ビットが“0” (フレームセパレートモードではない) で、レスポンス送信を行う場合は、ヘッダ送信前 (RLN3nLTRC レジスタの FTS ビットが“0”) に、これらのビットを設定してください。

FSM ビットが“1” (フレームセパレートモード) で、レスポンス送信を行う場合は、レスポンス送信前 (RLN3nLTRC レジスタの RTS ビットが“0”) に、これらのビットを設定してください。

レスポンスの受信を行う場合は、ヘッダ送信前 (RLN3nLTRC レジスタの FTS ビットが“0”) に、これらのビットを設定してください。

9 バイト以上のレスポンスデータの送受信を行う場合は、データグループの送受信前 (RLN3nLTRC レジスタの RTS ビットが“0”) に、これらのビットを設定してください。最後のデータグループ (LSS ビットが“0”) のみチェックサムを含み、それ以外のデータグループ (LSS ビットが“1”) はチェックサムを含みません。

19.3.2.17 RLN3nLIDB — LIN ID バッファレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 15_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	IDP1	IDP0	ID[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.28 RLN3nLIDB レジスタの内容

ビット位置	ビット名	機能
7	IDP1	パリティ設定ビット (P1) ID フィールドで送信するパリティ (P1) ビットを設定
6	IDP0	パリティ設定ビット (P0) ID フィールドで送信するパリティ (P0) ビットを設定
5 ~ 0	ID[5:0]	ID 設定ビット ID フィールドで送信する 6 ビットの ID 値を設定

このレジスタは、RLN3nLTRC レジスタの FTS ビットが“0” (フレーム送信/ウェイクアップ送受信停止) のときに設定してください。

LIN セルフテストモード時は、以下の通りとなります。

通信前に送信する値を書き込んでください。フレーム送受信完了後 (ループバック後)、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「19.9 LIN セルフテストモード」を参照してください。

IDP[1:0] ビット (パリティ設定ビット)

LIN フレームの ID フィールドで送信するパリティ (P0、P1) ビットを設定します。IDP0 が P0、IDP1 が P1 です。

パリティは自動演算されないため、演算値を設定してください。誤った演算結果を設定した場合もそのまま送信します。

ID[5:0] ビット (ID 設定ビット)

LIN フレームの ID フィールドで送信する 6 ビットの ID を設定します。

19.3.2.18 RLN3nLCBR — LIN チェックサムバッファレジスタ

アクセス	8ビット単位でリードのみ可能です。ただし、LINセルフテストモード時は、8ビット単位でリード/ライト可能です。							
アドレス	<RLN3n_base> + 16 _H							
リセット後の値	00 _H							
ビット	7	6	5	4	3	2	1	0
	CKSM[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.29 RLN3nLCBR レジスタの内容

ビット位置	ビット名	機能
7～0	CKSM[7:0]	チェックサムの送受信データを格納します

LIN モード時は、以下のとおりとなります。

- RLN3nLDFC レジスタの RFT ビットが“1”（送信）の場合：
送信した値を読むことができます。読み出す場合は、送信完了後に行ってください。
書き込みは無効になります。
- RLN3nLDFC レジスタの RFT ビットが“0”（受信）の場合：
受信した値を読むことができます。読み出す場合は、受信完了後に行ってください。
書き込みは無効になります。

9バイト以上のレスポンスデータ送信またはレスポンスデータ受信を行う場合は、最後のデータグループにのみチェックサムが付加されるため、それ以外のデータグループではこのレジスタは更新されません。

LINセルフテストモード時は、以下のとおりとなります。

- RLN3nLDFC レジスタの RFT ビットが“1”（送信）の場合：
フレーム送信完了後（ループバック後）、受信した値の反転値を読むことができます。
- RLN3nLDFC レジスタの RFT ビットが“0”（受信）の場合：
通信前に受信する値を書き込んでください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LINセルフテストモードの詳細は、「19.9 LINセルフテストモード」を参照してください。

このレジスタはRLN3nLTRCレジスタのFTSビットが“0”（フレーム送信/ウェイクアップ送受信停止）のときに設定してください。

19.3.2.19 RLN3nLDBRb — LIN データバッファ b レジスタ (b = 1 ~ 8)

アクセス 8ビット単位でリード/ライト可能です。

アドレス RLN3nLDBR1 : <RLIN3n_base> + 18_H
 RLN3nLDBR2 : <RLIN3n_base> + 19_H
 RLN3nLDBR3 : <RLIN3n_base> + 1A_H
 RLN3nLDBR4 : <RLIN3n_base> + 1B_H
 RLN3nLDBR5 : <RLIN3n_base> + 1C_H
 RLN3nLDBR6 : <RLIN3n_base> + 1D_H
 RLN3nLDBR7 : <RLIN3n_base> + 1E_H
 RLN3nLDBR8 : <RLIN3n_base> + 1F_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LDB[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.30 RLN3nLDBRb レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	LDB[7:0]	送信データを設定、または受信データを読み出し 設定範囲：00 _H ~ FF _H

- レスポンス送信の場合：

レスポンスフィールドで送信するデータを設定します。
これらのレジスタは以下の状態で設定してください。

 - RLN3nLDFC レジスタの RFT ビットが“1” (送信)
 - RLN3nLDFC レジスタの FSM ビットが“0” (フレームセパレートモードではない)
 - RLN3nLTRC レジスタの FTS ビットが“0” (フレーム送信/ウェイクアップ送受信停止)

または

 - RLN3nLDFC レジスタの RFT ビットが“1” (送信)
 - RLN3nLDFC レジスタの FSM ビットが“1” (フレームセパレートモード)
 - RLN3nLTRC レジスタの RTS ビットが“0” (レスポンス送信/受信停止)
- レスポンス受信の場合：

レスポンスフィールドで受信したデータが格納されます。
受信データは上書きされます。また、エラー検出時、受信が中断される前までのデータは格納されます。
これらのレジスタは、FTS ビットが“1” (フレーム送信/ウェイクアップ送受信開始) のときに読み出さないでください。
- 9バイト以上のレスポンス送信の場合：

これらのレジスタは以下の状態で設定してください

 - RLN3nLDFC レジスタの RFT ビットが“1” (送信)
 - RLN3nLDFC レジスタの FSM ビットが“1” (フレームセパレートモード)
 - RLN3nLTRC レジスタの RTS ビットが“0” (レスポンス送信/受信停止)
- 9バイト以上のレスポンス受信の場合：

これらのレジスタは、RTS ビットが“1” (レスポンス送信/受信開始) のときに読み出さないでください。

LIN セルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**19.9 LIN セルフテストモード**」を参照してください。

19.3.3 LIN スレーブ関連レジスタ

19.3.3.1 RLN3nLWBR — LIN ウェイクアップボーレート選択レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 01_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	NSPB[3:0]				LPRS[2:0]			—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 19.31 RLN3nLWBR レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	NSPB[3:0]	ビットサンプリング数選択ビット b7 b4 0000: 16 サンプリング 0011: 4 サンプリング 0111: 8 サンプリング 1111: 16 サンプリング 上記 以外は設定しないでください。
3 ~ 1	LPRS[2:0]	プリスケラクロック選択ビット b3 b1 000: 1/1 001: 1/2 010: 1/4 011: 1/8 100: 1/16 101: 1/32 110: 1/64 111: 1/128
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN3nLWBR レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

NSPB ビット (ビットサンプリング数選択ビット)

1 Tbit (ボーレートの逆数) のサンプリング数を選択するビットです。

LIN スレーブモード [固定ボーレート] (RLN3nLMD レジスタの LMD[1:0] ビットが“11_B”) の通信を行う場合は、これらのビットを“0000_B”または“1111_B” (16 サンプリング) に設定してください。

LIN スレーブモード [オートボーレート] (RLN3nLMD レジスタの LMD[1:0] ビットが“10_B”) で LIN フレームの通信を行う場合は、これらのビットを“0011_B” (4 サンプリング) または“0111_B” (8 サンプリング) に設定してください。

LPRS ビット (プリスケラクロック選択ビット)

プリスケララの分周比を選択するビットです。このプリスケララにより LIN 通信クロック源を分周します。

LIN スレーブモード [オートボーレート] (RLN3nLMD レジスタの LMD[1:0] ビットが“10_B”) で使用する場合は、ターゲットとなるボーレートに応じて、これらのビットをプリスケララクロックが、下記 となるように設定してください。

[ターゲットとなるボーレート]	[プリスケラクロック]
1 kbps ~ 20 kbps	: 4MHz 注1
1 kbps ~ 2.4 kbps 未満	: 4MHz
2.4 kbps ~ 20 kbps	: 8 MHz ~ 12 MHz

注 1. NSPB ビットは、“0011_B” (4 サンプルング) で使用してください。

19.3.3.2 RLN3nLBRP01 — LIN ボーレートプリスケラ 01 レジスタ

アクセス RLN3nLBRP01 レジスタは 16 ビット単位でリード/ライト可能です。
RLN3nLBRP0 レジスタは 8 ビット単位でリード/ライト可能です。
RLN3nLBRP1 レジスタは 8 ビット単位でリード/ライト可能です。

アドレス RLN3nLBRP01: <RLIN3n_base> + 02_H
RLN3nLBRP0: <RLIN3n_base> + 02_H
RLN3nLBRP1: <RLIN3n_base> + 03_H

リセット後の値 0000_H

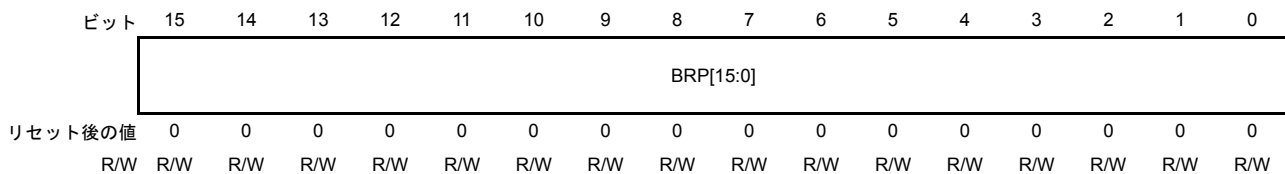


表 19.32 RLN3nLBRP01 レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	BRP[15:0]	設定値を L(0 ~ 65535) とすると、ボーレートプリスケラはプリスケラクロックを L+1 分周する。 設定範囲: 0000 _H ~ FFFF _H

RLN3nLBRP01 レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

このレジスタの設定値を L とすると、ボーレートプリスケラは RLN3nLWBR レジスタの LPRS ビット (プリスケラクロック選択ビット) で分周したクロックを L+1 分周します。

RLN3nLBRP01 レジスタは、RLN3nLBRP0 レジスタおよび RLN3nLBRP1 レジスタにより、8 ビットアクセスが可能です。

備考

LIN スレープモード [オートボーレート] では、シンクフィールドの受信が成功したとき、ボーレート補正結果を自動で RLN3nLBRP01 レジスタに設定します。

19.3.3.3 RLN3nLSTC — LIN セルフテスト制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	LSTM
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.33 RLN3nLSTC レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	—	“A7 _H ” → “58 _H ” → “01 _H ” の連続書き込みにより、LIN セルフテストモードへエントリーします。
0	LSTM	LIN セルフテストモードビット 0 : LIN セルフテストモードではない 1 : LIN セルフテストモード

RLN3nLSTC レジスタは LIN セルフテストモードのプロテクトを解除するために使用するレジスタです。

RLN3nLSTC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

“A7_H” → “58_H” → “01_H” の連続書き込みにより、LIN セルフテストモードへエントリーします。

連続書き込みが成功し、LIN セルフテストモードにした場合は、LSTM ビットが “1” になります。

連続書き込みの間に別の書き込みを行わないでください。

LIN セルフテストモードへの移行方法は、「**19.9 LIN セルフテストモード**」を参照してください。

ビット 6 ~ 1 を読み出すと “000000_B” が、ビット 7 を読み出すと不定値が読めます。

LSTM ビット (LIN セルフテストモードビット)

LIN セルフテストモードに移行したとき、このビットは “1” になります。

LIN セルフテストモードからの終了方法は、「**19.9 LIN セルフテストモード**」を参照してください。

RLN3nLSTC レジスタへの “A7_H” → “58_H” → “01_H” の連続書き込み以外で、このビットに “1” を書いても値は変化しません。

19.3.3.4 RLN3nLMD — LIN モードレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	LRDNFS	LIOS	—	—	LMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W

表 19.34 RLN3nLMD レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	LRDNFS	LIN 受信データノイズフィルタ禁止ビット 0: ノイズフィルタを使用する 1: ノイズフィルタを使用しない
4	LIOS	LIN 割り込み出力選択ビット 0: RLIN3n 割り込みを使用 1: RLIN3n 送信割り込み、RLIN3n 受信完了割り込み、RLIN3n ステータス割り込みを使用
3, 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	LMD[1:0]	LIN/UART モード選択ビット b1 b0 1 0: LIN スLEEPモード【オートポーレート】 1 1: LIN スLEEPモード【固定ポーレート】

RLN3nLMD レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

LRDNFS ビット (LIN 受信データノイズフィルタ禁止ビット)

データ受信時のノイズフィルタの有効/無効を選択するビットです。

“0”の場合、データ受信時のノイズフィルタは有効です。

“1”の場合、データ受信時のノイズフィルタは無効です。

LIOS ビット (LIN 割り込み出力選択ビット)

LIN/UART インタフェースからの割り込み出力本数を選択するビットです。

“0”の場合、LIN/UART インタフェースからの RLIN3n 割り込みが発生します。

“1”の場合、LIN/UART インタフェースからの RLIN3n 送信割り込み、RLIN3n 受信完了割り込み、RLIN3n ステータス割り込みが発生します。

各割り込みの要因は、「19.4 割り込み要因」を参照してください。

LMD[1:0] ビット (LIN/UART モード選択ビット)

LIN/UART インタフェースのモードを選択するビットです。

LIN スLEEPとして使用する場合は、これらのビットを“10_B” (オートポーレート) もしくは“11_B” (固定ポーレート) に設定してください。

19.3.3.5 RLN3nLBFC — LIN ブレークフィールド設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 09_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	LBLT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 19.35 RLN3nLBFC レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	LBLT	受信ブレーク（ロウレベル）検出幅設定ビット 0：9.5 Tbits または 10 Tbits でブレーク（ロウレベル）を検出 1：10.5 Tbits または 11 Tbits でブレーク（ロウレベル）を検出

RLN3nLBFC レジスタは、RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

LBLT ビット（受信ブレーク（ロウレベル）検出幅設定ビット）

- RLN3nLMD.LMD が “10_B”（LIN スレーブモード [オートボーレート]）の場合
 - “0” の場合、10 Tbits 以上のロウレベル幅を検出します。
 - “1” の場合、11 Tbits 以上のロウレベル幅を検出します。
- RLN3nLMD.LMD が “11_B”（LIN スレーブモード [固定ボーレート]）の場合
 - “0” の場合、9.5 Tbits 以上のロウレベル幅を検出します。
 - “1” の場合、10.5 Tbits 以上のロウレベル幅を検出します。

19.3.3.6 RLN3nLSC — LIN スペース設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0A_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	IBHS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

表 19.36 RLN3nLSC レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5, 4	IBS[1:0]	インタバイトスペース設定ビット b_5 b_4 0 0 : 0 Tbit 0 1 : 1 Tbit 1 0 : 2 Tbits 1 1 : 3 Tbits
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	IBHS[2:0]	レスポンススペース設定ビット b_2 b_0 0 0 0 : 0 Tbit 0 0 1 : 1 Tbit 0 1 0 : 2 Tbits 0 1 1 : 3 Tbits 1 0 0 : 4 Tbits 1 0 1 : 5 Tbits 1 1 0 : 6 Tbits 1 1 1 : 7 Tbits

RLN3nLSC レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

レスポンス送信時のみ有効です。レスポンス受信時は無効となります。

設定値の組み合わせによっては、1 フレーム または レスポンスの長さがタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

IBS[1:0] ビット (インタバイトスペース設定ビット)

レスポンス送信のインタバイトスペースの幅の設定をします。

0 Tbit ~ 3 Tbits を設定できます。

IBHS[2:0] ビット (レスポンススペース設定ビット)

レスポンススペースの送信幅の設定をします。

0 Tbit ~ 7 Tbits を設定できます。

19.3.3.7 RLN3nLWUP — LIN ウェイクアップ設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0B_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	WUTL[3:0]				—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 19.37 RLN3nLWUP レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	WUTL[3:0]	ウェイクアップ送信ロウレベル幅設定ビット b7 b4 0 0 0 0 : 1 Tbit 0 0 0 1 : 2 Tbits 0 0 1 0 : 3 Tbits 0 0 1 1 : 4 Tbits : 1 1 0 0 : 13 Tbits 1 1 0 1 : 14 Tbits 1 1 1 0 : 15 Tbits 1 1 1 1 : 16 Tbits
3 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN3nLWUP レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

WUTL[3:0] ビット (ウェイクアップ送信ロウレベル幅設定ビット)

ウェイクアップフレーム送信時のロウレベル幅を設定します。

1 Tbit ~ 16 Tbits を設定できます。

19.3.3.8 RLN3nLIE — LIN 割り込み許可レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	SHIE	ERRIE	FRCIE	FTCIE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 19.38 RLN3nLIE レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	SHIE	ヘッダ受信完了割り込み要求許可ビット 0: ヘッダ受信完了割り込み要求禁止 1: ヘッダ受信完了割り込み要求許可
2	ERRIE	エラー検出割り込み要求許可ビット 0: エラー検出割り込み要求禁止 1: エラー検出割り込み要求許可
1	FRCIE	レスポンス/ウェイクアップ受信完了割り込み要求許可ビット 0: レスポンス/ウェイクアップ受信完了割り込み要求禁止 1: レスポンス/ウェイクアップ受信完了割り込み要求許可
0	FTCIE	レスポンス/ウェイクアップ送信完了割り込み要求許可ビット 0: レスポンス/ウェイクアップ送信完了割り込み要求禁止 1: レスポンス/ウェイクアップ送信完了割り込み要求許可

RLN3nLIE レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

SHIE ビット (ヘッダ受信完了割り込み要求許可ビット)

ヘッダ受信完了時の割り込み要求の許可/禁止を設定します。

“0”の場合、RLN3nLST レジスタの HTRC フラグが“1”になった際に RLIN3n 受信完了割り込み要求が発生しません。

“1”の場合、RLN3nLST レジスタの HTRC フラグが“1”になった際に RLIN3n 受信完了割り込み要求が発生します。

ERRIE ビット (エラー検出割り込み要求許可ビット)

エラーを検出したときの割り込み要求の許可/禁止を設定します。

“0”の場合、RLN3nLST レジスタの ERR フラグが“1”になった際に RLIN3n ステータス割り込み要求が発生しません。

“1”の場合、RLN3nLST レジスタの ERR フラグが“1”になった際に RLIN3n ステータス割り込み要求が発生します。

発生要因となるエラーは、ビットエラー、フレーム/レスポンスタイムアウトエラー、フレーミングエラー、シンクフィールドエラー、ID パリティエラー、チェックサムエラー、レスポンス準備エラーです。

ビットエラー、フレーム/レスポンスタイムアウトエラー、シンクフィールドエラー、ID パリティエラー、フレーミングエラーは、RLN3nLEDE レジスタで検出許可/禁止の設定ができます。

FRCIE ビット (レスポンス/ウェイクアップ受信完了割り込み要求許可ビット)

レスポンス受信完了、または ウェイクアップフレーム受信 (入力信号ロウレベル幅カウント) 完了時の割り込み要求の許可/禁止を設定します。

“0” の場合、RLN3nLST レジスタの FRC フラグが“1” になった際に RLIN3n 受信完了割り込み要求が発生しません。

“1” の場合、RLN3nLST レジスタの FRC フラグが“1” になった際に RLIN3n 受信完了割り込み要求が発生します。

FTCIE ビット (レスポンス/ウェイクアップ送信完了割り込み要求許可ビット)

レスポンス送信完了、または ウェイクアップフレーム送信完了時の割り込み要求の許可/禁止を設定します。

“0” の場合、RLN3nLST レジスタの FTC フラグが“1” になった際に RLIN3n 送信割り込み要求が発生しません。

“1” の場合、RLN3nLST レジスタの FTC フラグが“1” になった際に RLIN3n 送信割り込み要求が発生します。

19.3.3.9 RLN3nLEDE — LIN エラー検出許可レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0D_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LTES	IPERE	—	SFERE	FERE	TERE	—	BERE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W

表 19.39 RLN3nLEDE レジスタの内容

ビット位置	ビット名	機能
7	LTES	タイムアウトエラー選択ビット 0: フレームタイムアウトエラー 1: レスポンスタイムアウトエラー
6	IPERE	ID パリティエラー検出許可ビット 0: ID パリティエラー検出禁止 1: ID パリティエラー検出許可
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	SFERE	シンクフィールドエラー検出許可ビット 0: シンクフィールドエラー検出禁止 1: シンクフィールドエラー検出許可
3	FERE	フレーミングエラー検出許可ビット ^{注1} 0: フレーミングエラー検出禁止 1: フレーミングエラー検出許可
2	TERE	タイムアウトエラー検出許可ビット 0: フレーム/レスポンスタイムアウトエラー検出禁止 1: フレーム/レスポンスタイムアウトエラー検出許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	BERE	ビットエラー検出許可ビット ^{注1} 0: ビットエラー検出禁止 1: ビットエラー検出許可

注1. FERE ビットと BERE ビットは“1”にセットしてください。

RLN3nLEDE レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

LTES ビット (タイムアウトエラー選択ビット)

タイムアウトを選択するビットです。

“0”の場合、タイムアウト機能はフレームタイムアウトとして動作します。

“1”の場合、タイムアウト機能はレスポンスタイムアウトとして動作します。

タイムアウトエラーの詳細は、「19.7.7 エラーステータス」を参照してください。

IPERE ビット (ID パリティエラー検出許可ビット)

ID パリティエラー検出許可/禁止設定します。

“0”の場合、ID パリティエラーを検出しません。

“1”の場合、ID パリティエラーを検出します。

このビットが“1”の場合の検出結果は、RLN3nLEST レジスタの IPER フラグに反映されません。

ID パリティエラーの詳細は、「19.7.7 エラーステータス」を参照してください。

SFERE ビット (シンクフィールドエラー検出許可ビット)

シンクフィールドエラー検出の許可/禁止を設定します。

“0”の場合、シンクフィールドエラーを検出しません。

“1”の場合、シンクフィールドエラーを検出します。

このビットは設定にかかわらず、シンクフィールドエラー検出時は次のヘッダ待ち状態になります。

このビットが“1”の場合の検出結果は、RLN3nLEST レジスタの SFER フラグに反映されます。

シンクフィールドエラーの詳細は、「19.7.7 エラーステータス」を参照してください。

FERE ビット (フレーミングエラー検出許可ビット)

フレーミングエラー検出の許可/禁止を設定します。

“0”の場合、フレーミングエラーを検出しません。

“1”の場合、フレーミングエラーを検出します。

このビットを“1”にしてください。フレーミングエラーの検出結果は、RLN3nLEST レジスタの FER フラグに反映されます。

フレーミングエラーの詳細は、「19.7.7 エラーステータス」を参照してください。

TERE ビット (タイムアウトエラー検出許可ビット)

フレームタイムアウトエラー または レスポンスタイムアウトエラー検出の許可/禁止を設定します。

“0”の場合、フレームタイムアウトエラー または レスポンスタイムアウトエラーを検出しません。

“1”の場合、フレームタイムアウトエラー または レスポンスタイムアウトエラーを検出します。

このビットが“1”の場合の検出結果は、RLN3nLEST レジスタの TER フラグに反映されます。

LTES ビットで、フレームタイムアウトエラー、レスポンスタイムアウトエラーの選択ができます。

タイムアウトエラーは、LIN スレーブモード [オートボーレート] (RLN3nLMD レジスタの LMD[1:0] ビットが“10_B”) では使用しないでください。

タイムアウトエラーは、レスポンスを9バイト以上で送信 または 受信する場合には使用しないでください。

タイムアウトエラーの詳細は、「19.7.7 エラーステータス」を参照してください。

BERE ビット (ビットエラー検出許可ビット)

ビットエラー検出の許可/禁止を設定します。

“0”の場合、ビットエラーを検出しません。

“1”の場合、ビットエラーを検出します。

このビットを“1”にしてください。ビットエラーの検出結果は、RLN3nLEST レジスタの BER フラグに反映されます。

ビットエラーの詳細は、「19.7.7 エラーステータス」を参照してください。

19.3.3.10 RLN3nLCUC — LIN 制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0E_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OM1	OM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 19.40 RLN3nLCUC レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	OM1	LIN モード選択ビット 0: LIN ウェイクアップモード 1: LIN 動作モード
0	OM0	LIN リセットビット 0: LIN リセットモード 1: LIN リセットモード解除

LIN リセットモードを解除するとき、LIN ウェイクアップモードに移行させる場合は RLN3nLCUC レジスタに“01_H”を、LIN 動作モードに移行させる場合は RLN3nLCUC レジスタに“03_H”を設定してください。

LIN セルフテストモードでは、LIN セルフテストモード移行後に RLN3nLCUC レジスタを“03_H”にしてください。

このレジスタに書き込みをした後は、書き込んだ値が RLN3nLMST レジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM1 ビット (LIN モード選択ビット)

LIN リセットモード解除時の動作モード (LIN ウェイクアップモード、LIN 動作モード) 選択をするビットです。

“0”にすると、LIN/UART インタフェースは LIN ウェイクアップモードになります。

“1”にすると、LIN/UART インタフェースは LIN 動作モードになります。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“1”のときのみ有効になります。

このビットは、RLN3nLTRC レジスタの FTS ビットが“1”の間は書けません。

OM0 ビット (LIN リセットビット)

LIN リセットモードへの移行/LIN リセットモードの解除を選択するビットです。

“0”にすると、LIN/UART インタフェースは LIN リセットモードになります。

“1”にすると、LIN/UART インタフェースは LIN リセットモードは解除されます。

19.3.3.11 RLN3nLTRC — LIN 送信制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	LNRR	RTS	FTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 19.41 RLN3nLTRC レジスタの内容

ビット位置	ビット名	機能
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	LNRR	LIN レスポンスなし要求ビット 0: 受信 ID に対するレスポンスあり 1: 受信 ID に対するレスポンスなし
1	RTS	レスポンス送信/受信開始ビット 0: レスポンス送信/受信停止 1: レスポンス送信/受信開始
0	FTS	LIN 通信開始ビット 0: ヘッダ受信/ウェイクアップ送受信停止 1: ヘッダ受信/ウェイクアップ送受信開始

LNRR ビット (LIN レスポンスなし要求ビット)

ヘッダを受信し、受信 ID を確認後、レスポンス送受信を行わない場合に“1”にしてください。

設定後、このビットは新たなシンクフィールド検出および LIN リセットモード移行時に、自動的に“0”になります。

このビットは“1”のみ書けます。“0”は書けません。

このビットに“1”を書く場合は、ストア命令で“04_H”を書き込んでください。

このビットは、RTS と同時に“1”にしないでください。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときは書けません。

このビットは、FTS が“0” (ヘッダ受信/ウェイクアップ送受信停止) のときは書けません。

9 バイト以上のレスポンスデータの送受信を行う場合は、ヘッダ完了後以外でこのビットを使用しないでください。(2 つ目以降のデータグループには使用しないでください)

RTS ビット (レスポンス送信/受信開始ビット)

ヘッダを受信し、受信 ID を確認後、レスポンス送信またはレスポンス受信開始時、“1”にしてください。設定後、このビットはレスポンス送信/受信完了 (エラー検出時を含む) および LIN リセットモード移行時に自動的に“0”になります。

このビットは“1”のみ書けます。“0”は書けません。

このビットに“1”を書く場合は、ストア命令で“02_H”を書き込んでください。

このビットは、LNRR と同時に“1”にしないでください。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときは書けません。

このビットは、FTS ビットが“0” (ヘッダ受信/ウェイクアップ送受信停止) のときは書け

ません。

9 バイト以上のレスポンスデータの送受信を行う場合は、データグループ (0 ~ 8 バイトで可変) の送受信ごとに“1”に設定してください。設定後、データグループの送受信完了または LIN リセットモード移行時に自動的に“0”になります。

FTS ビット (LIN 通信開始ビット)

ヘッダ受信/ウェイクアップ送受信開始時、“1”にしてください。

このビットは“1”のみ書けます。“0”は書けません。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときは書けません。

このビットは、ウェイクアップの通信終了時に“0”になります。

LIN リセットモード移行時に“0”になります。

19.3.3.12 RLN3nLMST — LIN モードステータスレジスタ

アクセス 8 ビット単位でリードのみ可能です。

アドレス <RLIN3n_base> +11_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OMM1	OMM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 19.42 RLN3nLMST レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	OMM1	LIN モードステータスマニタ 0: LIN ウェイクアップモード 1: LIN 動作モード
0	OMM0	LIN リセットステータスマニタ 0: LIN リセットモード 1: LIN リセットモードでない

OMM1 ビット (LIN モードステータスマニタ)

現在の動作モードが確認できます。

OMM0 ビット (LIN リセットステータスマニタ)

現在の動作モードが確認できます。

19.3.3.13 RLN3nLST — LIN ステータスレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 12_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	HTRC	D1RC	—	—	ERR	—	FRC	FTC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R/W	R/W

表 19.43 RLN3nLST レジスタの内容

ビット位置	ビット名	機能
7	HTRC	ヘッダ受信完了フラグ 0: 受信未完了 1: ヘッダ受信完了
6	D1RC	データ 1 受信完了フラグ 0: 受信未完了 1: データ 1 受信完了
4、5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	ERR	エラー検出フラグ 0: エラー未検出 1: エラー検出
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	FRC	レスポンス/ウェイクアップ受信完了フラグ 0: 受信未完了 1: レスポンスまたはウェイクアップ受信完了
0	FTC	レスポンス/ウェイクアップ送信完了フラグ 0: 送信未完了 1: レスポンスまたはウェイクアップ送信完了

RLN3nLST レジスタは LIN リセットモード移行時、自動的に“00_H”になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。

レジスタ内の特定のビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

HTRC フラグ (ヘッダ受信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

ヘッダ受信完了時、“1”となります。このとき RLN3nLIE レジスタの SHIE ビットが“1” (割り込み許可) の場合、RLIN3n 受信完了割り込み要求が発生します。ただし、このビットが“1”の状態、ヘッダ受信完了した場合は、割り込みが発生しません。クリアする場合は、“0”を書いてください。

ヘッダ受信完了後、レスポンスフィールドで新規ヘッダを検出したい場合は、このビットが“1”になった後、クリアしてください。

D1RC フラグ (データ 1 受信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

データ 1 受信完了時、“1”となりますが割り込み要求は発生しません。クリアする場合

は、“0”を書いてください。

9バイト以上のレスポンスデータ受信を行う場合は、データグループ（0～8バイトで可変）ごとにデータ1受信完了時、“1”となります。次のデータグループ受信開始前に“0”を書いてください。

ERR フラグ（エラー検出フラグ）

エラー検出（RLN3nLEST レジスタのフラグのうち1つでも“1”）時、“1”となります。このとき RLN3nLIE レジスタの ERRIE ビットが“1”（割り込み許可）の場合、RLIN3n ステータス割り込み要求が発生します。ただし、このビットが“1”の状態、エラー検出した場合は、割り込みが発生しません。クリアする場合は、RLN3nLEST レジスタの RPER フラグ、IPER フラグ、CSER フラグ、SFER フラグ、FER フラグ、TER フラグ、BER フラグに“0”を書いてください。ERR フラグが“0”となります。

FRC フラグ（レスポンス／ウェイクアップ受信完了フラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

レスポンス受信完了またはウェイクアップ受信完了時、“1”となります。このとき RLN3nLIE レジスタの FRCIE ビットが“1”（割り込み許可）の場合、RLIN3n 受信完了割り込み要求が発生します。ただし、このビットが“1”の状態、レスポンス受信完了またはウェイクアップ受信完了した場合は、割り込みが発生しません。クリアする場合は、“0”を書いてください。

9バイト以上のレスポンスデータ受信を行う場合は、データグループ（0～8バイトで可変）の受信完了ごとに“1”となります。次のデータグループ受信開始前に“0”を書いてください。

FTC フラグ（レスポンス／ウェイクアップ送信完了フラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

レスポンス送信完了またはウェイクアップ送信完了時、“1”となります。このとき RLN3nLIE レジスタの FTCIE ビットが“1”（割り込み許可）の場合、RLIN3n 送信割り込み要求発生します。ただし、このビットが“1”の状態、レスポンス送信完了またはウェイクアップ送信完了した場合は、割り込みが発生しません。クリアする場合は、“0”を書いてください。

9バイト以上のレスポンスデータ送信を行う場合は、データグループ（0～8バイトで可変）の送信完了ごとに“1”となります。次のデータグループ送信開始前に“0”を書いてください。

19.3.3.14 RLN3nLEST — LIN エラーステータスレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 13_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	RPER	IPER	CSER	SFER	FER	TER	—	BER
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

表 19.44 RLN3nLEST レジスタの内容

ビット位置	ビット名	機能
7	RPER	レスポンス準備エラーフラグ 0: レスポンス準備エラー未検出 1: レスポンス準備エラー検出
6	IPER	ID パリティエラーフラグ 0: ID パリティエラー未検出 1: ID パリティエラー検出
5	CSER	チェックサムエラーフラグ 0: チェックサムエラー未検出 1: チェックサムエラー検出
4	SFER	シンクフィールドエラーフラグ 0: シンクフィールドエラー未検出 1: シンクフィールドエラー検出
3	FER	フレーミングエラーフラグ 0: フレーミングエラー未検出 1: フレーミングエラー検出
2	TER	タイムアウトエラーフラグ 0: フレーム/レスポンスタイムアウトエラー未検出 1: フレーム/レスポンスタイムアウトエラー検出
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	BER	ビットエラーフラグ 0: ビットエラー未検出 1: ビットエラー検出

RLN3nLEST レジスタは LIN リセットモード移行時、自動的に“00_H”になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。

レジスタ内の特定のビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

RPER フラグ (レスポンス準備エラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

レスポンス準備エラー検出時、“1”となります。クリアする場合は、“0”を書いてください。

IPER フラグ (ID パリティエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

RLN3nLEDE レジスタの IPERE ビットが“1” (ID パリティエラー検出許可) で、ID パリティエラー発生時、“1”となります。クリアする場合は、“0”を書いてください。

CSER フラグ (チェックサムエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

チェックサムエラー検出時、“1”となります。クリアする場合は、“0”を書いてください。

SFER フラグ (シンクフィールドエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

RLN3nLEDE レジスタの SFERE ビットが“1” (シンクフィールドエラー検出許可) で、シンクフィールドエラー検出時、“1”となります。クリアする場合は、“0”を書いてください。

FER フラグ (フレーミングエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

RLN3nLEDE レジスタの FERE ビットが“1” (フレーミングエラー検出許可) で、フレーミングエラー検出時、“1”となります。クリアする場合は、“0”を書いてください。

TER フラグ (タイムアウトエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

RLN3nLEDE レジスタの TERE ビットが“1” (フレーム/レスポンスタイムアウトエラー検出許可) で、フレームタイムアウトエラーまたはレスポンスタイムアウトエラー検出時、“1”となります。クリアする場合は、“0”を書いてください。

BER フラグ (ビットエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

RLN3nLEDE レジスタの BERE ビットが“1” (ビットエラー検出許可) で、ビットエラー検出時、“1”となります。クリアする場合は、“0”を書いてください。

19.3.3.15 RLIN3nLDFC — LIN データフィールド設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LSS	—	LCS	RCDS	RFDL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

表 19.45 RLIN3nLDFC レジスタの内容

ビット位置	ビット名	機能
7	LSS	継続選択ビット 0: 次に送受信するデータグループは最終である。 1: 次に送受信するデータグループは最終ではない。 (次のヘッダ受信を待たずにデータ送受信を継続)
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	LCS	チェックサム選択ビット 0: クラシック 1: エンハンス
4	RCDS	レスポンスフィールド通信方向選択ビット 0: レスポンス受信 1: レスポンス送信
3 ~ 0	RFDL[3:0]	レスポンスフィールド長設定ビット b3 b0 0000: 0バイト (+チェックサム) 0001: 1バイト (+チェックサム) 0010: 2バイト (+チェックサム) : 0111: 7バイト (+チェックサム) 1000: 8バイト (+チェックサム) 上記以外は設定しないでください。

LSS ビット (継続選択ビット)

9バイト以上のレスポンスデータ送受信を行う場合に、次に送受信するデータグループが最後でないことを示すためのビットです。

“0”の場合、次に送信または受信するデータグループが最後として、データとチェックサムの送信または受信を行います。

“1”の場合、次に送信または受信するデータグループが最後でないため、データのみを送信または受信を行ない、チェックサムは含みません。

多バイトレスポンス送受信機能を使用しない場合は、このビットに“0”を設定してください。

このビットは、RTSが“0”(レスポンス送信/受信停止)のときに設定してください。

LCS ビット (チェックサム選択ビット)

チェックサムの方式の設定をします。

“0”の場合、チェックサムの方式はクラシックとなります。

“1”の場合、チェックサムの方式はエンハンスとなります。

タイムアウトエラーを使用する (RLN3nLEDE レジスタの TERE ビットが“1”) 場合は、このビット設定によりタイムアウト時間が異なります。詳細は「19.7.7 エラーステータス」を参照してください。

レスポンスフィールド長が0バイト (RFDL ビットが“0”) のとき、このビットを“1” (エンハンス) にしないでください。

9バイト以上のレスポンスデータ送受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。

9バイト以上のレスポンスデータ送受信を行う場合は、最後のデータグループ (LSS ビットが“0”) のみチェックサムを含み、それ以外のデータグループ (LSS ビットが“1”) はチェックサムを含みません。

このビットは、RTS が“0” (レスポンス送信/受信停止) のときに設定してください。

RCDS ビット (レスポンスフィールド通信方向選択ビット)

レスポンスフィールド/ウェイクアップシグナルの通信方向を設定します。

“0” の場合、レスポンスフィールドで受信します。また、LIN ウェイクアップモードでは、ウェイクアップ受信 (入力信号ローレベル幅カウンタ) を行います。

“1” の場合、レスポンスフィールドで送信します。また、LIN ウェイクアップモードでは、ウェイクアップ送信を行います。

このビットは、LIN 動作モードでは RLN3nLTRC レジスタの RTS ビットが“0” (レスポンス送信/受信停止) のときに、LIN ウェイクアップモードでは FTS ビットが“0” (ヘッダ受信/ウェイクアップ送受信停止) のときに設定してください。

9バイト以上のレスポンスデータ送信またはレスポンスデータ受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。

RFDL[3:0] ビット (レスポンスフィールド長設定ビット)

レスポンスフィールドのデータ長を設定します。

データ長は0~8バイトまで設定でき、データ長にはチェックサムのサイズを含みません。これらのビットは、RLN3nLTRC レジスタの RTS が“0” (レスポンス送信/受信停止) のときに設定してください。

9バイト以上のレスポンスデータ送受信を行う場合は、最後のデータグループ (LSS ビットが“0”) のみチェックサムを含み、それ以外のデータグループ (RLN3nLDFC レジスタの LSS ビットが“1”) はチェックサムを含みません。

19.3.3.16 RLN3nLIDB — LIN ID バッファレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 15_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	IDP1	IDP0	ID[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.46 RLN3nLIDB レジスタの内容

ビット位置	ビット名	機能
7	IDP1	パリティ設定ビット (P1) ID フィールドで受信したパリティ (P1) ビットを格納
6	IDP0	パリティ設定ビット (P0) ID フィールドで受信したパリティ (P0) ビットを格納
5 ~ 0	ID[5:0]	ID 設定ビット ID フィールドで受信した 6 ビットの ID 値を格納

RLN3nLIDB レジスタの値は、ヘッダ受信完了したときに有効です。LIN モード (LIN 動作モード、LIN ウェイクアップモード) では書き込みできません。

LIN セルフテストモード時は、以下の通りになります。

通信前に送信する値を書いてください。フレーム送受信完了後 (ループバック後)、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**19.9 LIN セルフテストモード**」を参照してください。

IDP ビット (パリティ設定ビット)

LIN フレームの ID フィールドで受信したパリティ (P0、P1) ビットが格納されます。IDP0 が P0、IDP1 が P1 です。

RLN3nLEDE レジスタの IPERE ビットが“1” (ID パリティ検出許可) の場合、受信した値と内部で算出した値の確認を行い、一致しない場合は、IPER (ID パリティエラーフラグ) がセットされます。

ID ビット (ID 設定ビット)

LIN フレームの ID フィールドで受信した 6 ビットの ID が格納されます。

19.3.3.17 RLN3nLCBR — LIN チェックサムバッファレジスタ

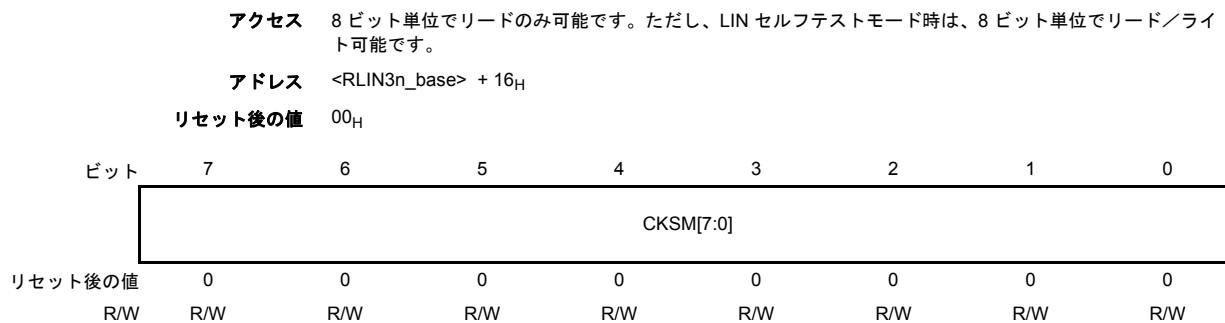


表 19.47 RLN3nLCBR レジスタの内容

ビット位置	ビット名	機能
7～0	CKSM[7:0]	チェックサムの送受信データを格納します。

LIN 動作モード時は、以下のとおりとなります。

- RLN3nLDFC レジスタの RCDS ビットが“1”（送信）の場合：
送信した値を読むことができます。読み出す場合は、送信完了後に行ってください。
書き込みは無効になります。
- RLN3nLDFC レジスタの RCDS ビットが“0”（受信）の場合：
受信した値を読むことができます。読み出す場合は、受信完了後に行ってください。
書き込みは無効になります。

9バイト以上のレスポンスデータ送信またはレスポンスデータ受信を行う場合は、最後のデータグループにのみチェックサムが付加されるため、それ以外のデータグループではこのレジスタは更新されません。

LINセルフテストモード時は、以下の通りとなります。

- RLN3nLDFC レジスタの RCDS ビットが“1”（送信）の場合：
フレーム送信完了後（ループバック後）、受信した値の反転値を読むことができます。
- RLN3nLDFC レジスタの RCDS ビットが“0”（受信）の場合：
通信前に受信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LINセルフテストモードの詳細は、「19.9 LINセルフテストモード」を参照してください。

このレジスタは RLN3nLTRC レジスタの FTS ビットが“0”（フレーム送信/ウェイクアップ送受信停止）のときに設定してください。

19.3.3.18 RLN3nLDBRb — LIN データバッファ b レジスタ (b = 1 ~ 8)

アクセス 8ビット単位でリード/ライト可能です。

アドレス RLN3nLDBR1 : <RLIN3n_base> + 18_H
 RLN3nLDBR2 : <RLIN3n_base> + 19_H
 RLN3nLDBR3 : <RLIN3n_base> + 1A_H
 RLN3nLDBR4 : <RLIN3n_base> + 1B_H
 RLN3nLDBR5 : <RLIN3n_base> + 1C_H
 RLN3nLDBR6 : <RLIN3n_base> + 1D_H
 RLN3nLDBR7 : <RLIN3n_base> + 1E_H
 RLN3nLDBR8 : <RLIN3n_base> + 1F_H

リセット後の値 00_H

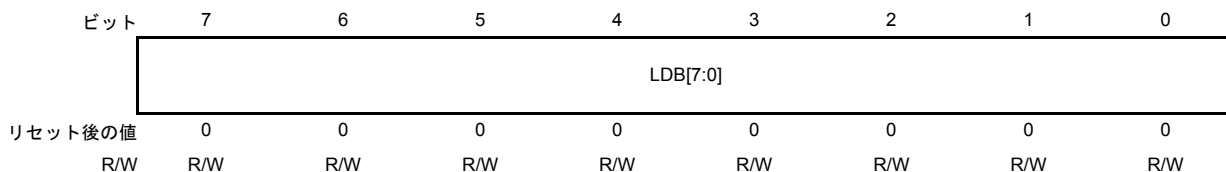


表 19.48 RLN3nLDBRb レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	LDB[7:0]	送信データを設定、または受信データを保持 設定範囲 : 00 _H ~ FF _H

- レスポンス送信の場合 :
レスポンスフィールドで送信するデータを設定します。
これらのレジスタは、RLN3nLTRC レジスタの RTS ビットが“0” (レスポンス送信/受信停止) のときに設定してください。
- レスポンス受信の場合 :
レスポンスフィールドで受信したデータが格納されます。
受信データは上書きされます。また、エラー検出時、受信が中断される前までのデータは格納されます。
これらのレジスタは、RTS ビットが“1” (レスポンス送信/受信開始) のときに読み出さないでください。

LIN セルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後 (ループバック後)、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「19.9 LIN セルフテストモード」を参照してください。

19.3.4 UART 関連レジスタ

19.3.4.1 RLIN3nLWBR — LIN ウェイクアップボーレート選択レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 01_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	NSPB[3:0]				LPRS[2:0]		—	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 19.49 RLIN3nLWBR レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	NSPB[3:0]	ビットサンプリング数選択ビット b7 b4 0000: 16 サンプリング 0101: 6 サンプリング 0110: 7 サンプリング 0111: 8 サンプリング 1000: 9 サンプリング 1001: 10 サンプリング 1010: 11 サンプリング 1011: 12 サンプリング 1100: 13 サンプリング 1101: 14 サンプリング 1110: 15 サンプリング 1111: 16 サンプリング 上記以外は設定しないでください。
3 ~ 1	LPRS[2:0]	プリスケークロック選択ビット b3 b1 000: 1/1 001: 1/2 010: 1/4 011: 1/8 100: 1/16 101: 1/32 110: 1/64 111: 1/128
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLIN3nLWBR レジスタは RLIN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

NSPB ビット (ビットサンプリング数選択ビット)

1 Tbit (ボーレートの逆数) のサンプリング数を選択するビットです。
UART モードでは、これらのビットを 6 ~ 16 サンプリングで設定可能です。

LPRS ビット (プリスケークロック選択ビット)

プリスケークラの分周比を選択するビットです。
このプリスケークラにより LIN 通信クロック源を分周します。

19.3.4.2 RLN3nLBRP01 — UART ボーレートプリスケアラ 01 レジスタ

アクセス RLN3nLBRP01 レジスタは 16 ビット単位でリード/ライト可能です。
RLN3nLBRP0 レジスタは 8 ビット単位でリード/ライト可能です。
RLN3nLBRP1 レジスタは 8 ビット単位でリード/ライト可能です。

アドレス RLN3nLBRP01: <RLIN3n_base> + 02_H
RLN3nLBRP0: <RLIN3n_base> + 02_H
RLN3nLBRP1: <RLIN3n_base> + 03_H

リセット後の値 0000_H

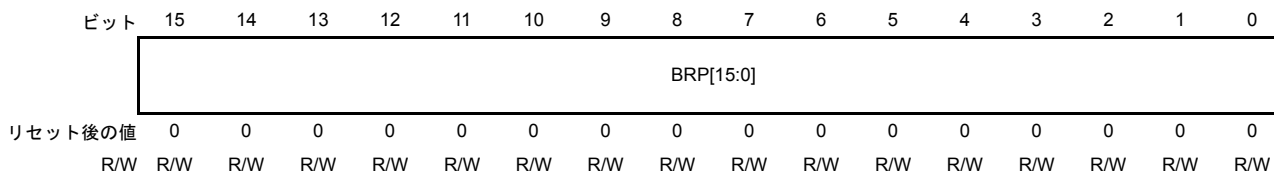


表 19.50 RLN3nLBRP01 レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	BRP[15:0]	設定値を L(0 ~ 65535) とすると、ボーレートプリスケアラはプリスケアラクロックを L+1 分周する。 設定範囲 : 0000 _H ~ FFFF _H

RLN3nLBRP01 レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

このレジスタの設定値を L とすると、ボーレートプリスケアラは RLN3nLWBR レジスタの LPRS ビット (プリスケアラクロック選択ビット) で分周したクロックを L+1 分周します。

RLN3nLBRP01 レジスタは、RLN3nLBRP0 レジスタおよび RLN3nLBRP1 レジスタにより、8 ビットアクセスが可能です。

19.3.4.3 RLN3nLMD — UART モードレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	LRDNFS	—	—	—	LMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R	R	R/W	R/W

表 19.51 RLN3nLMD レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	LRDNFS	UART 受信データノイズフィルタ禁止ビット 0 : ノイズフィルタを使用する 1 : ノイズフィルタを使用しない
4～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	LMD[1:0]	LIN/UART モード選択ビット b1 b0 0 1 : UART モード

RLN3nLMD レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

LRDNFS ビット (UART 受信データノイズフィルタ禁止ビット)

データ受信時のノイズフィルタの有効/無効を選択するビットです。

“0” の場合、データ受信時のノイズフィルタは有効です。

“1” の場合、データ受信時のノイズフィルタは無効です。

LMD[1:0] ビット (LIN/UART モード選択ビット)

LIN/UART インタフェースのモードを選択するビットです。

UART として使用する場合は、これらのビットを“01_B”に設定してください。

19.3.4.4 RLN3nLBFC — UART 設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 09_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	UTPS	URPS	UPS[1:0]		USBLS	UBOS	UBLS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.52 RLN3nLBFC レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	UTPS	UART 出力極性切り換えビット 0: 送信データ通常出力 1: 送信データ反転出力
5	URPS	UART 入力極性切り換えビット 0: 受信データ通常入力 1: 受信データ反転入力
4、3	UPS[1:0]	UART パリティ選択ビット 00: パリティ禁止 01: 偶数パリティ 10: 0 パリティ 11: 奇数パリティ
2	USBLS	UART ストップビット長選択ビット 0: ストップビット: 1 ビット 1: ストップビット: 2 ビット
1	UBOS	UART 転送フォーマット順選択ビット 0: LSB ファースト 1: MSB ファースト
0	UBLS	UART キャラクタ長選択ビット 0: UART 8 ビット通信 1: UART 7 ビット通信

RLN3nLBFC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

UTPS ビット (UART 出力極性切り替えビット)

UART 通信の出力極性を設定します。

“0” の場合、送信データをそのまま出力します。

“1” の場合、送信データを反転して出力します。

このビットの設定は、UART フレームの全てのビットで有効です。

半二重通信で使用するときは、URPS ビットと設定を合わせてください。

URPS ビット (UART 入力極性切り替えビット)

UART 通信の入力極性を設定します。

“0” の場合、受信データをそのまま取り込みます。

“1” の場合、受信データを反転して取り込みます。

このビットの設定は、UART フレームのすべてのビットで有効です。

半二重通信で使用するときは、UTPS ビットと設定を合わせてください。

このビットに “1” を設定して、拡張ビット受信 ((拡張ビット比較あり) または (データ比較

あり)) を行う場合は、受信した値の反転値で比較を行うため、期待値の反転値を RLN3nLUOR1 レジスタの UEBDL ビット、RLN3nLIDB レジスタに設定してください。

UPS[1:0] ビット (UART パリティ選択ビット)

UART のパリティを設定します。

- “00_B” の場合、パリティなしで通信します。

【送信】

送信データにパリティビットを付加しません。

【受信】

パリティ処理なしで受信します。そのため、パリティエラーは発生しません。

- “01_B” の場合、偶数パリティで通信します。

【送信】

送信データ内の“1”の個数が奇数の場合、パリティビットに“1”を付加し、送信データ内の“1”の個数が偶数の場合、パリティビットに“0”を付加します。

【受信】

パリティビットを含めた受信データ内の“1”の個数が、奇数の場合にパリティエラーが発生します。

- “10_B” の場合、0 パリティで通信します。

【送信】

送信データ内の“1”の個数にかかわらず、パリティビットに“0”を付加します。

【受信】

パリティビットの値を判定しません。そのため、パリティエラーは発生しません。

- “11_B” の場合、奇数パリティで通信します。

【送信】

送信データ内の“1”の個数が奇数の場合、パリティビットに“0”を付加し、送信データ内の“1”の個数が偶数の場合、パリティビットに“1”を付加します。

【受信】

パリティビットを含めた受信データ内の“1”の個数が、偶数の場合にパリティエラーが発生します。

USBLS ビット (UART ストップビット長選択ビット)

UART 通信のストップビット長を設定します。

“0” の場合、1 ビットのストップビット長で送信します。

“1” の場合、2 ビットのストップビット長で送信します。

UBOS ビット (UART 転送フォーマット選択ビット)

UART 通信データのビットオーダを設定します。

“0” の場合、LSB ファーストで通信します。

“1” の場合、MSB ファーストで通信します。

UBLS ビット (UART キャラクタ長選択ビット)

UART 通信 1 フレームのキャラクタ長を設定します。

“0” の場合、8 ビット

“1” の場合、7 ビット

1 フレームのキャラクタ長を 9 ビットで使用する場合 (RLN3nLUOR1 レジスタの UEBE ビットが“1”) は、このビットの設定は無効です。

19.3.4.5 RLN3nLSC — UART スペース設定レジスタ

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0A_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R	R

表 19.53 RLN3nLSC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	IBS[1:0]	インタバイトスペース設定ビット b5 b4 0 0 : 0 Tbit 0 1 : 1 Tbit 1 0 : 2 Tbits 1 1 : 3 Tbits
3～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN3nLSC レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

IBS[1:0] ビット (インタバイトスペース設定ビット)

UART バッファによる送信時、UART フレーム間のスペースの幅の設定をします。

0 Tbit ~ 3 Tbits を設定できます。UART バッファを使用しない場合は、“00_B” に設定してください。

UART 送信データレジスタ (RLN3nLUTDR) と UART ウェイト用送信データレジスタ (RLN3nLUWTD) からデータが転送された場合、これらのビットの設定は無視されます。これらのビットは“00_B” に設定してください。

19.3.4.6 RLN3nLEDE — UART エラー検出許可レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0D_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	FERE	OERE	—	BERE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R	R/W

表 19.54 RLN3nLEDE レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	FERE	フレーミングエラー検出許可ビット 0: フレーミングエラー検出禁止 1: フレーミングエラー検出許可
2	OERE	オーバランエラー検出許可ビット 0: オーバランエラー検出禁止 1: オーバランエラー検出許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	BERE	ビットエラー検出許可ビット 0: ビットエラー検出禁止 1: ビットエラー検出許可

RLN3nLEDE レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

FERE ビット (フレーミングエラー検出許可ビット)

フレーミングエラー検出の許可/禁止を設定します。

“0” の場合、フレーミングエラーを検出しません。

“1” の場合、フレーミングエラーを検出します。

このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの FER フラグに反映されません。

フレーミングエラーの詳細は、「19.8.5 エラーステータス」を参照してください。

OERE ビット (オーバランエラー検出許可ビット)

オーバランエラー検出の許可/禁止を設定します。

“0” の場合、オーバランエラーを検出しません。

“1” の場合、オーバランエラーを検出します。

このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの OER フラグに反映されません。オーバランの詳細は、「19.8.5 エラーステータス」を参照してください。

BERE ビット (ビットエラー検出許可ビット)

ビットエラー検出の許可/禁止を設定します。

“0” の場合、ビットエラーを検出しません。

“1” の場合、ビットエラーを検出します。

このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの BER フラグに反映されません。

全二重通信で使用する場合は、このビットを“1”にしないでください。

RLN3nLWBR レジスタの NSPB ビットが“0101_B” (6 サンプリング) かつ RLN3nLMD レジスタの LRDNFS ビットが“0” (ノイズフィルタを使用する) のときに、このビットを設定しないでください。

ビットエラーの詳細は、「19.8.5 エラーステータス」を参照してください。

19.3.4.7 RLN3nLCUC — UART 制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0E_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 19.55 RLN3nLCUC レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	OM0	LIN リセットビット 0: LIN リセットモード 1: LIN リセットモード解除

このレジスタに書き込みをした後は、書き込んだ値が RLN3nLMST レジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM0 ビット (LIN リセットビット)

LIN リセットモードへの移行 / LIN リセットモードの解除を選択するビットです。

“0” にすると、LIN リセットモードになります。

“1” にすると、LIN リセットモードは解除されます。

19.3.4.8 RLN3nLTRC — UART 送信制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RTS	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R

表 19.56 RLN3nLTRC レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RTS	UART バッファ送信開始ビット 0: UART バッファ送信停止 1: UART バッファ送信開始
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RTS ビット (UART バッファ送信開始ビット)

UART バッファからデータ送信を行う場合に“1”にしてください。

このビットは“1”のみ書けます。“0”は書けません。

このビットは、RLN3nLUOER レジスタの UTOE ビットが“1” (送信動作許可) かつ

RLN3nLST レジスタの UTS ビットが“0” (送信動作中でない) のときに書いてください。

設定後、エラーの有無にかかわらず、RLN3nLDFC レジスタの MDL ビットで設定したデータ数のデータを送信完了したとき、自動的に“0”になります。また、LIN リセットモードに移行したときも自動的に“0”になります。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときは書けません。

RLN3nLDFC レジスタの UTSW ビットが“1” (UART バッファ送信要求時、受信のストップビット完了まで送信開始を遅らせる) でこのビットに“1”を書き込む場合は、ストップビットの受信中にのみ行ってください。

19.3.4.9 RLN3nLMST — UART モードステータスレジスタ

アクセス 8ビット単位でリードのみ可能です。

アドレス <RLIN3n_base> + 11_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OMM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 19.57 RLN3nLMST レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	OMM0	LIN リセットステータスマニタ 0 : LIN リセットモード 1 : LIN リセットモードでない

OMM0 ビット (LIN リセットステータスマニタ)

現在の動作モードが確認できます。

19.3.4.10 RLN3nLST — UART ステータスレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 12_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	URS	UTS	ERR	—	—	FTC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 19.58 RLN3nLST レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	URS	受信ステータスフラグ 0: 受信動作中でない 1: 受信動作中
4	UTS	送信ステータスフラグ 0: 送信動作中でない 1: 送信動作中
3	ERR	エラー検出フラグ 0: エラー未検出 1: エラー検出
2, 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	FTC	UART バッファ送信完了フラグ 0: UART バッファ送信未完了 1: UART バッファ送信完了

RLN3nLST レジスタは LIN リセットモード移行時、自動的に“00_H”になります。LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。レジスタ内の特定ビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

URS フラグ (受信ステータスフラグ)

受信動作開始時に“1”となります。

受信動作開始となるのは以下の条件です。

- スタートビットを検出したとき

受信動作終了時に“0”になります。受信動作停止中は”0”を保持します。

受信動作終了となるのは以下の条件です。

- ストップビット 1 ビット目のサンプリングポイント

UTS フラグ (送信ステータスフラグ)

送信動作開始時に“1”となります。送信動作中は“1”を保持します。

送信動作開始となるのは以下の条件です。

- RLN3nLUTDR レジスタまたは RLN3nLUWTDR レジスタに送信データがセットされたとき
- RLN3nLTRC レジスタの RTS ビットに“1”がセットされたとき

送信動作終了時に“0”になります。

送信動作終了となるのは以下の条件です。

- RLIN3nLUTDR レジスタまたはRLIN3nLUWTDR レジスタにセットされたデータの送信完了かつ次のデータが設定されていないとき
- UART バッファからの送信が完了したとき (RLIN3nLTRC レジスタの RTS ビットが“0”になったとき)

ERR フラグ (エラー検出フラグ)

エラー検出、拡張ビット検出および ID 一致 (RLIN3nLEST レジスタのフラグのうち1つでも“1”) 時、“1”となります。このとき、RLIN3n ステータス割り込み要求が発生します。ただし、このビットが“1”の状態、エラー検出、拡張ビット検出および ID 一致した場合は、割り込みが発生しません。クリアする場合は、RLIN3nLEST レジスタの UPER フラグ、IDMT フラグ、EXBT フラグ、FER フラグ、OER フラグ、BER フラグに“0”を書いてください。

FTC フラグ (UART バッファ送信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

UART バッファから RLIN3nLDFC レジスタの MDL ビットで設定したデータ数のデータをエラーの有無にかかわらず送信完了時、“1”となります。このとき、RLIN3n 送信割り込み要求が発生します。クリアする場合は、“0”を書いてください。

19.3.4.11 RLN3nLEST — UART エラーステータスレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 13_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	UPER	IDMT	EXBT	FER	OER	—	BER
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R	R/W

表 19.59 RLN3nLEST レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	UPER	パリティエラーフラグ 0: パリティエラー未検出 1: パリティエラー検出
5	IDMT	ID一致フラグ 0: 受信データとID値不一致 1: 受信データとID値一致
4	EXBT	拡張ビット検出フラグ 0: 拡張ビット未検出 1: 拡張ビット検出
3	FER	フレーミングエラーフラグ 0: フレーミングエラー未検出 1: フレーミングエラー検出
2	OER	オーバランエラーフラグ 0: オーバランエラー未検出 1: オーバランエラー検出
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	BER	ビットエラーフラグ 0: ビットエラー未検出 1: ビットエラー検出

RLN3nLEST レジスタは LIN リセットモード移行時、自動的に“00_H”になります。LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。レジスタ内の特定ビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

UPER フラグ (パリティエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。パリティエラー検出時、“1”となります。クリアする場合は、“0”を書いてください。

IDMT フラグ (ID一致フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

以下のすべての条件が成立したときに、“1”となります。

- RLN3nLUOR1 レジスタの UEBE ビットが“1” (拡張ビット動作許可)
- RLN3nLUOR1 レジスタの UECD ビットが“0” (拡張ビット比較許可)
- RLN3nLUOR1 レジスタの UEBDCE ビットが“1” (拡張ビット検出後のデータ比較する)

- 受信した拡張ビットが RLN3nLUOR1 レジスタの UEBDL ビットの値と一致
- 受信データのうち 拡張ビットを除く 8 ビットの値が RLN3nLIDB レジスタの値と一致

クリアする場合は、“0”を書いてください。

EXBT フラグ (拡張ビット検出フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

RLN3nLUOR1 レジスタの UEBE ビットが“1” (拡張ビット動作許可) で、受信した拡張ビットが RLN3nLUOR1 レジスタの UEBDL ビットの値と一致した場合、“1”となります。クリアする場合は、“0”を書いてください。

FER フラグ (フレーミングエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

RLN3nLEDE レジスタの FERE ビットが“1” (フレーミングエラー検出許可) で、フレーミングエラー検出時、“1”となります。

クリアする場合は、“0”を書いてください。

OER フラグ (オーバランエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書き前の値を保持します。

RLN3nLEDE レジスタの OERE ビットが“1” (オーバランエラー検出許可) で、オーバランエラー発生時、“1”となります。

クリアする場合は、“0”を書いてください。

BER フラグ (ビットエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

RLN3nLEDE レジスタの BERE ビットが“1” (ビットエラー検出許可) で、送信したデータと、受信端子でモニタしているデータが一致しなかったとき、“1”となります。

クリアする場合は、“0”を書いてください。

19.3.4.12 RLIN3nLDFC — UART データフィールド設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	UTSW	—	MDL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R/W	R/W	R/W	R/W

表 19.60 RLIN3nLDFC レジスタの内容

ビット位置	ビット名	機能																														
7, 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																														
5	UTSW	送信開始ウェイトビット 0: UART バッファ送信要求時、すぐに送信を開始 1: UART バッファ送信要求時、受信のストップビット完了まで送信開始を遅らせる																														
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																														
3 ~ 0	MDL[3:0]	UART バッファデータ長選択ビット <table border="0"> <tr> <td>b3</td> <td>b0</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> </table> 上記以外は設定しないでください。	b3	b0		0	0	0	0	0	1	0	0	1	0	1	0	0	1	1	0	1	0	0	1	1	1	0	0	1	0	1
b3	b0																															
0	0	0																														
0	0	1																														
0	0	1																														
0	1	0																														
0	1	1																														
0	1	0																														
0	1	1																														
1	0	0																														
1	0	1																														

UTSW ビット (送信開始ウェイトビット)

UART バッファの送信開始タイミングを制御します。

“0” の場合、UART バッファ送信開始が要求され次第、すぐに送信を開始します。

“1” の場合、ストップビットの受信完了後、送信が開始されます。

なお、RLN3nLBFC レジスタの USBL ビットによってストップビット長を 2 ビットにしても、1 ビット分しか待ちません。

このビットは、RLN3nLTRC レジスタの RTS ビットに“1”を設定したときに有効となります。また、RTS ビットが“1” (UART バッファ送信開始) のときは書けません。

半二重通信で受信から送信に切り替えるとき以外で、このビットを“1”にしないでください。

MDL ビット (UART バッファデータ長選択ビット)

UART バッファのデータ長を設定します。

これらのビットは、RLN3nLTRC レジスタの RTS ビットが“1” (UART バッファ送信開始) のときは書けません。

19.3.4.13 RLN3nLIDB — UART ID バッファレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 15_H

リセット後の値 00_H

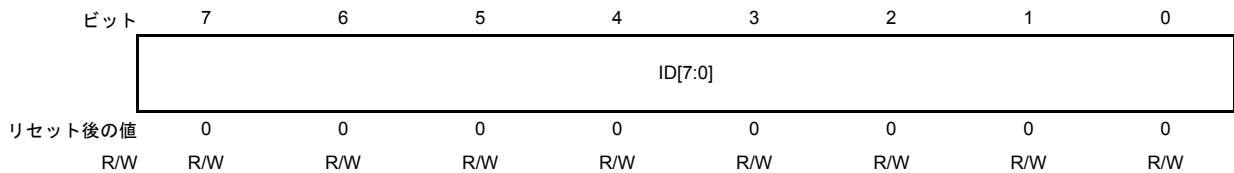


表 19.61 RLN3nLIDB レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	ID[7:0]	拡張ビットデータ比較で参照する ID 値を設定

ID ビット (ID ビット)

RLN3nLUOR1 レジスタの UEBE ビットが“1” (拡張ビット動作許可) かつ UECD ビットが“0” (拡張ビット比較許可) かつ UEBDCE ビットが“1” (拡張ビット検出後のデータ比較する) で使用する際に、受信データと比較する値を設定してください。RLN3nLIDB レジスタは、RLN3nLST レジスタの URS ビットが“0” (受信動作中でない) のときに書いてください。

19.3.4.14 RLN3nLUDB0 — UART データバッファ 0 レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 17_H

リセット後の値 00_H

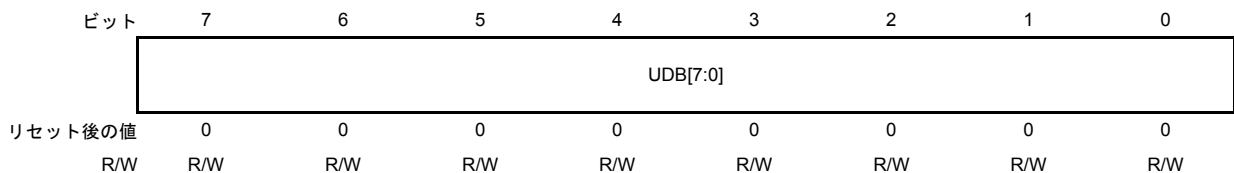


表 19.62 RLN3nLUDB0 レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	UDB[7:0]	送信データを設定 設定範囲: 00 _H ~ FF _H

UART バッファからデータ長 9 データ (RLN3nLDFC レジスタの MDL ビットが“0_H”または“9_H”) で送信する際に、始めに送信するデータを設定します。

RLN3nLUDB0 レジスタは、RLN3nLTRC レジスタの RTS ビットが“0” (UART バッファ送信停止) のときに書いてください。

通信フォーマットの設定によるビット配置を「表 19.63 各通信フォーマットでの RLN3nLUDB0 レジスタのビット配置」に示します。

UART バッファの詳細は、「19.8.1.2 UART バッファ送信 (1) UART バッファの送信」を参照してください。

表 19.63 各通信フォーマットでの RLN3nLUDB0 レジスタのビット配置

	RLN3nLUDB0							
	b7	b6	b5	b4	b3	b2	b1	b0
7bit LSB ファースト	—	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
7bit MSB ファースト	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6
8bit LSB ファースト	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
8bit MSB ファースト	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7

19.3.4.15 RLN3nLDBRb — UART データバッファ b レジスタ (b = 1 ~ 8)

アクセス 8ビット単位でリード/ライト可能です。

アドレス RLN3nLDBR1 : <RLIN3n_base> + 18_H
 RLN3nLDBR2 : <RLIN3n_base> + 19_H
 RLN3nLDBR3 : <RLIN3n_base> + 1A_H
 RLN3nLDBR4 : <RLIN3n_base> + 1B_H
 RLN3nLDBR5 : <RLIN3n_base> + 1C_H
 RLN3nLDBR6 : <RLIN3n_base> + 1D_H
 RLN3nLDBR7 : <RLIN3n_base> + 1E_H
 RLN3nLDBR8 : <RLIN3n_base> + 1F_H

リセット後の値 00_H

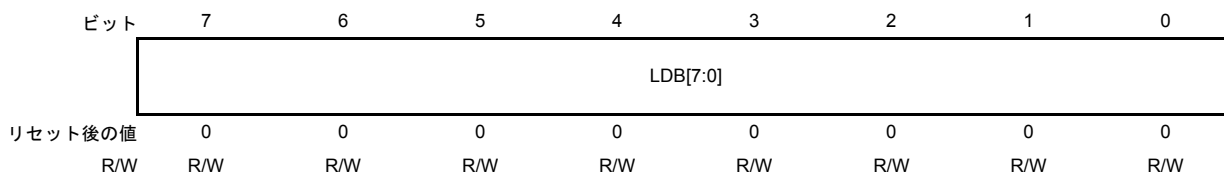


表 19.64 RLN3nLDBRb レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	LDB[7:0]	送信データを設定 設定範囲 : 00 _H ~ FF _H

UART バッファから送信するデータを設定します。

これらのレジスタは、RLN3nLTRC レジスタの RTS ビットが“0” (UART バッファ送信停止) のときに書いてください。

通信フォーマットの設定によるビット配置を「表 19.65 各通信フォーマットでの RLN3nLDBRb レジスタのビット配置」に示します。

UART バッファの詳細は、「19.8.1.2 UART バッファ送信 (1) UART バッファの送信」を参照してください。

表 19.65 各通信フォーマットでの RLN3nLDBRb レジスタのビット配置

	RLN3nLDBRb							
	b7	b6	b5	b4	b3	b2	b1	b0
7bit LSB ファースト	—	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
7bit MSB ファースト	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6
8bit LSB ファースト	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
8bit MSB ファースト	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7

19.3.4.16 RLN3nLUOER — UART オペレーション許可レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	UROE	UTOE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 19.66 RLN3nLUOER レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	UROE	受信動作許可ビット 0: 受信動作禁止 1: 受信動作許可
0	UTOE	送信動作許可ビット 0: 送信動作禁止 1: 送信動作許可

RLN3nLUOER レジスタは LIN リセットモード移行時、自動的に“00_H”になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。

UROE ビット (受信動作許可ビット)

受信動作の許可/禁止を設定します。

“0”の場合、受信動作を禁止します。

“1”の場合、受信動作を許可します。

受信中にこのビットをクリアしないでください。受信中に通信を中断する場合は、RLN3nLCUC レジスタの OM0 ビットに“0” (LIN リセットモード) を設定し、LIN リセットモードに遷移させてください。ただし、このとき送信動作も中断されます。

UART バッファからデータを送信しているときは、このビットに“1”をセットしないでください。

UTOE ビット (送信動作許可ビット)

送信動作の許可/禁止を設定します。

“0”の場合、送信動作を禁止します。

“1”の場合、送信動作を許可します。

送信中にこのビットをクリアしないでください。送信中に通信を中断する場合は、RLN3nLCUC レジスタの OM0 ビットに“0” (LIN リセットモード) を設定し、LIN リセットモードに遷移させてください。ただし、このとき受信動作も中断されます。

19.3.4.17 RLN3nLUOR1 — UART オプションレジスタ 1

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 21_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	UECD	UTIGTS	UEBDCE	UEBDL	UEBE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 19.67 RLN3nLUOR1 レジスタの内容

ビット位置	ビット名	機能
7～5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	UECD	拡張ビット比較禁止ビット 0: 拡張ビット比較許可 1: 拡張ビット比較禁止
3	UTIGTS	送信割り込み発生タイミング選択ビット 0: 送信開始時に送信割り込み発生 1: 送信完了時に送信割り込み発生
2	UEBDCE	拡張ビット・データ比較許可ビット 0: 拡張ビット検出後のデータ比較しない 1: 拡張ビット検出後のデータ比較する
1	UEBDL	拡張ビット検出レベル選択ビット 0: 拡張ビット値“0”を拡張ビット検出レベルに選択 1: 拡張ビット値“1”を拡張ビット検出レベルに選択
0	UEBE	拡張ビット許可ビット 0: 拡張ビット動作禁止 1: 拡張ビット動作許可

UECD ビット (拡張ビット比較禁止ビット)

UEBE ビットが“1” (拡張ビット動作許可) のときに、受信した拡張ビットの値と UEBDL ビットの値との比較の禁止/許可を設定します。

“0”の場合、拡張ビット受信時に受信した拡張ビットと UEBDL ビットの値の比較を許可します。

“1”の場合、拡張ビット受信時に受信した拡張ビットと UEBDL ビットの値の比較を禁止します。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

UART バッファを使用する場合は、このビットに“1”をセットしないでください。

UEBDCE ビットを“1” (拡張ビット検出後のデータ比較する) で使用する場合は、このビットに“1”をセットしないでください。

UTIGTS ビット (送信割り込み発生タイミング選択ビット)

送信割り込み発生タイミングを設定します。

“0”の場合、送信開始時に送信割り込みが発生します。

“1”の場合、送信完了時に送信割り込みが発生します。

“0”の状態 UART バッファからの送信を行う場合は、RLN3nLDFC レジスタの MDL ビットで設定したデータ長の最終データの送信開始時にのみ送信割り込みが発生します。

“1”の状態では UART バッファからの送信を行う場合は、RLN3nLDFC レジスタの MDL ビットで設定したデータ長の最終データの送信完了時にのみ送信割り込みが発生します。

UEBDCE (拡張ビット・データ比較許可ビット)

拡張ビット検出後、拡張ビットを除く 8 ビット受信データと RLN3nLIDB レジスタ値の比較の許可/禁止を設定します。

“0”の場合、UEBDL ビットで選択したレベルが拡張ビットとして検出されたときに RLN3nLURDR レジスタに受信した値と RLN3nLIDB レジスタの値の比較動作を禁止します。“1”の場合、UEBDL ビットで選択したレベルが拡張ビットとして検出されたときに、RLN3nLURDR レジスタに受信した値と RLN3nLIDB レジスタの値の比較動作を許可します。このビットは RLN3nLMST レジスタの OMM0 ビットが“0_B”(LIN リセットモード)のときに設定してください。

UEBE ビットを“0”(拡張ビット動作禁止)で使用する場合は、このビットに“1”をセットしないでください。

UECD ビットを“1”(拡張ビット比較禁止)で使用する場合は、このビットに“1”をセットしないでください。

UART バッファを使用する場合は、このビットに“1”をセットしないでください。

UEBDL ビット (拡張ビット検出レベル選択ビット)

UEBE ビットが“1”(拡張ビット動作許可)かつ UECD ビットが“0”(拡張ビット比較許可)のときに、拡張ビットとして検出するレベルを設定します。

“0”の場合、拡張ビット値“0”を拡張ビット検出レベルとします。

“1”の場合、拡張ビット値“1”を拡張ビット検出レベルとします。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B”(LIN リセットモード)のときに設定してください。

UART バッファを使用する場合は、このビットに“1”をセットしないでください。

UEBE ビット (拡張ビット許可ビット)

拡張ビットの動作の許可/禁止を設定します。

“0”の場合、拡張ビット動作を禁止します。

“1”の場合、拡張ビット動作を許可します。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B”(LIN リセットモード)のときに設定してください。

UART バッファを使用する場合は、このビットに“1”をセットしないでください。

19.3.4.18 RLN3nLUTDR — UART 送信データレジスタ

アクセス RLN3nLUTDR は 16 ビット単位でリード/ライト可能です。
RLN3nLUTDRL は 8 ビット単位でリード/ライト可能です。
RLN3nLUTDRH は 8 ビット単位でリード/ライト可能です。

アドレス RLN3nLUTDR : <RLIN3n_base> + 24_H
RLN3nLUTDRL : <RLIN3n_base> + 24_H
RLN3nLUTDRH : <RLIN3n_base> + 25_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	UTD[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.68 RLN3nLUTDR レジスタの内容

ビット位置	ビット名	機能
15 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8 ~ 0	UTD[8:0]	送信データを設定 設定範囲：000 _H ~ 1FF _H

送信データレジスタから送信するデータを設定します。

RLN3nLUOER レジスタの UTOE ビットが“1”のときに、このレジスタにデータを書き込むことにより送信が開始します。

このレジスタは、8 ビットアクセス可能です。

9 ビット通信の場合は 8 ビットアクセスしないでください。

UART バッファからデータを送信しているときは、このレジスタにデータの書き込みをしないでください。

RLN3nLUWTDR レジスタへの書き込みにより送信要求が発生しているときは、このレジスタにデータの書き込みをしないでください。

連続送信する場合、送信割り込み発生前にこのレジスタに次のデータの書き込みをしないでください。

通信フォーマットの設定によるビット配置を下記に示します。

表 19.69 各通信フォーマットでの RLN3nLUTDR レジスタのビット配置

	RLN3nLUTDR									
	b8	b7	b6	b5	b4	b3	b2	b1	b0	
7bit LSB ファースト	—	—	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
7bit MSB ファースト	—	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	
8bit LSB ファースト	—	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
8bit MSB ファースト	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	
9bit LSB ファースト	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
9bit MSB ファースト	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	Bit8	

19.3.4.19 RLN3nLURDR — UART 受信データレジスタ

アクセス RLN3nLURDR は 16 ビット単位でリードのみ可能です。
RLN3nLURDRL は 8 ビット単位でリードのみ可能です。
RLN3nLURDRH は 8 ビット単位でリードのみ可能です。

アドレス RLN3nLURDR : <RLIN3n_base> + 26_H
RLN3nLURDRL : <RLIN3n_base> + 26_H
RLN3nLURDRH : <RLIN3n_base> + 27_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	URD [8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19.70 RLN3nLURDR レジスタの内容

ビット位置	ビット名	機能
15 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。
8 ~ 0	URD [8:0]	受信データを格納

受信データレジスタから、受信データを読み出すことができます。

RLN3nLUOER レジスタの UROE ビットが“1”のときに、受信データがこのレジスタに格納され、読み出すことができます。

このレジスタは、受信データのストップビット受信で更新されます。

このレジスタは、パリティやストップビットでエラーが発生したときも値は更新されます。

しかし、RLN3nLEDE レジスタの OERE ビットが“1”（オーバランエラー検出許可）で、オーバランエラー発生時は値が更新されません。OERE ビットが“0”（オーバランエラー検出禁止）で、オーバランエラー発生時は値が更新されます。

RLN3nLEDE レジスタの OERE ビットが“1”（オーバランエラー検出許可）で、受信エラー（オーバランエラー、フレーミングエラー、パリティエラー）が発生した場合は、このレジスタを読み出してください。このレジスタを読み出さないままで、次のデータを受信するとオーバランエラーが発生します。

このレジスタは 8 ビットアクセス可能です。ただし、拡張ビット使用時（RLN3nLUOR1 レジスタの UEBE ビットが“1”（拡張ビット動作許可））は 8 ビットアクセスしないでください。

通信フォーマットの設定によるビット配置を下記に示します。

表 19.71 各通信フォーマットでの RLN3nLURDR レジスタのビット配置

	RLN3nLURDR									
	b8	b7	b6	b5	b4	b3	b2	b1	b0	
7bit LSB ファースト	—	—	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
7bit MSB ファースト	—	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	
8bit LSB ファースト	—	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
8bit MSB ファースト	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	
9bit LSB ファースト	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
9bit MSB ファースト	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	Bit8	

19.3.4.20 RLN3nLUWTDR — UART ウェイト用送信データレジスタ

アクセス RLN3nLUWTDR は 16 ビット単位でリード/ライト可能です。
RLN3nLUWTDRL は 8 ビット単位でリード/ライト可能です。
RLN3nLUWTDRLH は 8 ビット単位でリード/ライト可能です。

アドレス RLN3nLUWTDR : <RLIN3n_base> + 28_H
RLN3nLUWTDRL : <RLIN3n_base> + 28_H
RLN3nLUWTDRLH : <RLIN3n_base> + 29_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	UWTD[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.72 RLN3nLUWTDR レジスタの内容

ビット位置	ビット名	機能
15 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8 ~ 0	UWTD[8:0]	受信のストップビット完了を待った後にウェイト用送信データレジスタから送信するデータを設定 設定範囲：000 _H ~ 1FF _H

UART ウェイト用送信データレジスタから送信するデータを設定します。

RLN3nLUOER レジスタの UTOE ビットが“1”のときに、このレジスタにデータを書き込むことにより送信が開始します。

このレジスタは、半二重通信で受信から送信に切り替え時にのみ使用してください。

また、ユーザはストップビットの受信中にのみ、このレジスタへの書き込みを行ってください。

RLN3nLBFC レジスタの USBLS ビットによってストップビット長を 2 ビットにしても、1 ビット分しか待ちません。

このレジスタを読み出したときは、RLN3nLUTDR レジスタの値が読めます。

9 ビット通信の場合は 8 ビットアクセスしないでください。

UART バッファからデータを送信しているときは、このレジスタにデータの書き込みをしないでください。

通信フォーマットの設定によるビット配置を下記に示します。

表 19.73 各通信フォーマットでの RLN3nLUWTDR レジスタのビット配置

	RLN3nLUWTDR									
	b8	b7	b6	b5	b4	b3	b2	b1	b0	
7bit LSB ファースト	—	—	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
7bit MSB ファースト	—	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	
8bit LSB ファースト	—	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
8bit MSB ファースト	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	
9bit LSB ファースト	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
9bit MSB ファースト	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	Bit8	

19.4 割り込み要因

LIN/UART インタフェースは4種類の割り込み要求を生成します。

- RLIN3n 送信割り込み
- RLIN3n 受信完了割り込み
- RLIN3n ステータス割り込み
- RLIN3n 割り込み

RLN3nLMD レジスタの LIOS ビットを“0”にすると、全ての割り込み要因の論理和をとって、RLIN3n 割り込みから割り込み要求を出力します。

RLN3nLMD レジスタの LIOS ビットを“1”にすると、要因に応じて RLIN3n 送信割り込み、RLIN3n 受信完了割り込み、RLIN3n ステータス割り込みの要求を出力します。

表 19.74 に各割り込みの要因を示します。

表 19.74 割り込み要因

		RLN3nLMD レジスタの LIOS ビットが“0”	RLN3nLMD レジスタの LIOS ビットが“1”注1		
		RLIN3n 割り込み	RLIN3n 送信割り込み	RLIN3n 受信完了割り込み	RLIN3n ステータス割り込み
LIN モード	LIN マスタ モード	<ul style="list-style-type: none"> • フレーム送信完了 • フレーム受信完了 • ウェイクアップ送信完了 • ウェイクアップ受信完了 • ヘッダ送信完了 • ビットエラー • フィジカルバスエラー • フレーム/レスポンスタイムアウトエラー • フレーミングエラー • チェックサムエラー • レスポンス準備エラー 	<ul style="list-style-type: none"> • フレーム送信完了 • ウェイクアップ送信完了 • ヘッダ送信完了 	<ul style="list-style-type: none"> • フレーム受信完了 • ウェイクアップ受信完了 	<ul style="list-style-type: none"> • ビットエラー • フィジカルバスエラー • フレーム/レスポンスタイムアウトエラー • フレーミングエラー • チェックサムエラー • レスポンス準備エラー
	LIN スレーブ モード	<ul style="list-style-type: none"> • レスポンス送信完了 • レスポンス受信完了 • ウェイクアップ送信完了 • ウェイクアップ受信完了 • ヘッダ受信完了 • ビットエラー • フレーム/レスポンスタイムアウトエラー • フレーミングエラー • シンクフィールドエラー • チェックサムエラー • ID パリティエラー • レスポンス準備エラー 	<ul style="list-style-type: none"> • レスポンス送信完了 • ウェイクアップ送信完了 	<ul style="list-style-type: none"> • レスポンス受信完了 • ウェイクアップ受信完了 • ヘッダ受信完了 	<ul style="list-style-type: none"> • ビットエラー • フレーム/レスポンスタイムアウトエラー • フレーミングエラー • シンクフィールドエラー • チェックサムエラー • ID パリティエラー • レスポンス準備エラー
UART モード		—	<ul style="list-style-type: none"> • 送信開始/送信完了 	<ul style="list-style-type: none"> • 受信完了 • 拡張ビット不一致 	<ul style="list-style-type: none"> • ビットエラー • オーバランエラー • フレーミングエラー • 拡張ビット一致 • ID 一致 • パリティエラー

注1. LIOS ビットの設定は、LIN モードで有効です。UART モードでは、LIOS ビットの設定は不要です。

LIN モードの場合、それぞれの割り込み要求は、RLN3nLIE レジスタの対応するビットが“1”（割り込み許可）のときに、RLN3nLST レジスタの対応するフラグが“1”になると出力されます。

19.5 モード

LIN/UART インタフェースには、機能に応じた次の4つのモードがあります。

- LIN リセットモード
- LIN モード
 - LIN マスタモード
 - LIN スレーブモード [オートボーレート]
 - LIN スレーブモード [固定ボーレート]
- UART モード
- LIN セルフテストモード

図 19.2 にモードの移行、表 19.75 にモード移行条件、表 19.76 に各モードで可能な動作を示します。

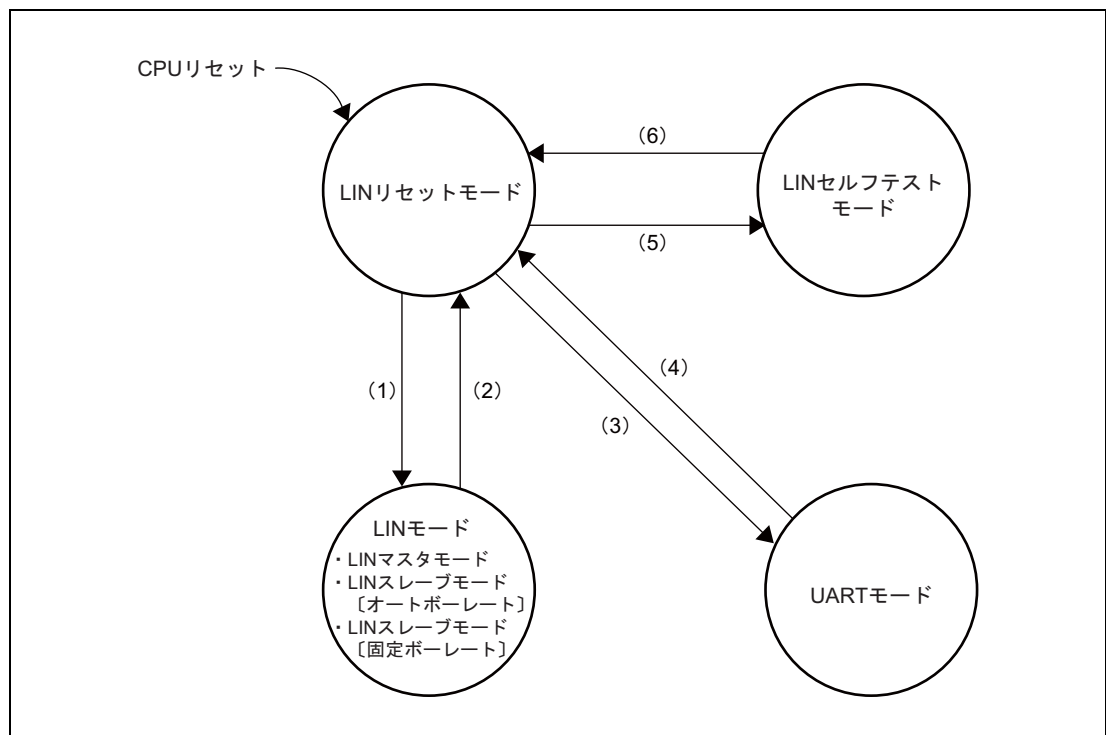


図 19.2 モードの移行

表 19.75 各モードの移行条件 (1/2)

	移行モード	移行条件
(1)	LIN リセットモード → LIN モード <ul style="list-style-type: none"> • LIN マスタモード • LIN スレーブモード [固定ボーレート] • LIN スレーブモード [オートボーレート] 	<ul style="list-style-type: none"> • RLN3nLMD.LMD = "00_B" かつ RLN3nLCUC.OM1, OM0 = "01_B" または "11_B" • RLN3nLMD.LMD = "11_B" かつ RLN3nLCUC.OM1, OM0 = "01_B" または "11_B" • RLN3nLMD.LMD = "10_B" かつ RLN3nLCUC.OM1, OM0 = "01_B" または "11_B"
(2)	LIN モード → LIN リセットモード	RLN3nLCUC.OM0 = "0 _B "
(3)	LIN リセットモード → UART モード	RLN3nLMD.LMD = "01 _B " かつ RLN3nLCUC.OM0 = "1 _B "
(4)	UART モード → LIN リセットモード	RLN3nLCUC.OM0 = "0 _B "

表 19.75 各モードの移行条件 (2/2)

	移行モード	移行条件
(5)	LIN リセットモード → LIN セルフテストモード	「19.9 LIN セルフテストモード」参照
(6)	LIN セルフテストモード → LIN リセットモード	「19.9 LIN セルフテストモード」参照

表 19.76 各モードで可能な動作

LIN モード		UART モード	LIN セルフテストモード
LIN マスタモード	LIN スレープモード [オートポーレート] / LIN スレープモード [固定ポーレート]		
ヘッダ送信 レスポンス送信 レスポンス受信 ウェイクアップ送信 ウェイクアップ受信 エラー検出	ヘッダ受信 レスポンス送信 レスポンス受信 ウェイクアップ送信 ウェイクアップ受信 エラー検出	UART 送信 UART 受信 エラー検出	セルフテスト

RLN3nLMD レジスタの LMD ビット および RLN3nLMST レジスタの OMM0 ビットを読むことで、LIN リセットモード、LIN モード、UART モードへ移行したことを確認できます。

LIN セルフテストモードについては、「19.9 LIN セルフテストモード」を参照してください。

19.6 LIN リセットモード

RLN3nLCUC レジスタの OM0 ビットを“0” (LIN リセットモード) にすると、LIN リセットモードに移行します。RLN3nLMST レジスタの OMM0 ビットが“0” (LIN リセットモード) になることで、LIN リセットモードに移行したことが確認できます。このモードのとき、LIN 通信機能、UART 通信は停止しています。

LIN リセットモードからは、LIN モード、UART モード、LIN セルフテストモードに移行できます。

以下のレジスタは、LIN リセットモードに移行した後、それぞれのリセット後の値に初期化され、LIN リセットモード中は初期値を保持します。

- RLN3nLTRC レジスタ
- RLN3nLST レジスタ
- RLN3nLEST レジスタ
- RLN3nLUOER レジスタ

以下のレジスタは、LIN リセットモードに移行した後も、以前の値を保持します。

- RLN3nLWBR レジスタ
- RLN3nLBRP0 レジスタ
- RLN3nLBRP1 レジスタ
- RLN3nLMD レジスタ
- RLN3nLBFC レジスタ
- RLN3nLSC レジスタ
- RLN3nLWUP レジスタ
- RLN3nLIE レジスタ
- RLN3nLEDE レジスタ
- RLN3nLDFC レジスタ
- RLN3nLIDB レジスタ
- RLN3nLCBR レジスタ
- RLN3nLUDB0 レジスタ
- RLN3nLDBRb レジスタ (b = 1 ~ 8)
- RLN3nLUOR1 レジスタ
- RLN3nLUTDR レジスタ
- RLN3nLURDR レジスタ
- RLN3nLUWTDR レジスタ

19.7 LIN モード

LIN モードには、LIN マスタモード、LIN スレーブモード [オートボーレート]、LIN スレーブモード [固定ボーレート] があります。

LIN マスタモードでは、ヘッダ送信、レスポンス送信、レスポンス受信、ウェイクアップ送信、ウェイクアップ受信、エラー検出が可能です。LIN リセットモードで、RLN3nLMD レジスタの LMD ビットを“00_B” (LIN マスタモード) に設定し、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを“01_B” または“11_B” にすると LIN マスタモードになり、RLN3nLMST レジスタの OMM1 ビット、OMM0 ビットが“01_B” または“11_B” になります。

LIN スレーブモード [オートボーレート] および LIN スレーブモード [固定ボーレート] では、ヘッダ受信、レスポンス送信、レスポンス受信、ウェイクアップ送信、ウェイクアップ受信、エラー検出が可能です。

LIN スレーブモード [オートボーレート] は、自動的にブレークフィールドとシンクフィールドを検出し、シンクフィールドの測定結果からボーレートを設定します。ボーレートは、1 kbps ~ 20 kbps で動作可能です。ターゲットとなるボーレートに応じて、LIN 通信クロック源の周波数からプリスケアラで分周したクロック (プリスケアラクロック) が、下記となるように RLN3nLWBR レジスタの LPRS[2:0] ビットを設定してください。

[ターゲットとなるボーレート]	[プリスケアラクロック]
1 kbps ~ 20 kbps	: 4 MHz ^{注1}
1 kbps ~ 2.4 kbps 未満	: 4 MHz
2.4 kbps ~ 20 kbps	: 8 MHz ~ 12 MHz

注 1. RLN3nLWBR レジスタの NSPB[3:0] ビットは、“0011_B” (4 サンプリング) で使用してください。

LIN スレーブモード [固定ボーレート] は、予めボーレートジェネレータで設定されたボーレートで、自動的にブレークフィールド、シンクフィールド、ID フィールドを検出します。

LIN リセットモードで、RLN3nLMD レジスタの LMD ビットを“10_B” (LIN スレーブモード [オートボーレート]) に設定し、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを“01_B” または“11_B” にすると LIN スレーブモード [オートボーレート] に、RLN3nLMD レジスタの LMD ビットを“11_B” (LIN スレーブモード [固定ボーレート]) に設定し、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを“01_B” または“11_B” にすると LIN スレーブモード [固定ボーレート] になり、RLN3nLMST レジスタの OMM1 ビット、OMM0 ビットが“01_B” または“11_B” になります。

LIN モード内の別のモードに変更する場合は、1 度 LIN リセットモードに移行し、RLN3nLMD レジスタの LMD ビットを設定を変更する必要があります。

LIN モードには、次の 2 つの動作モードがあります。

- LIN 動作モード
- LIN ウェイクアップモード

図 19.3 に動作モードの移行、**表 19.77** に動作モード移行条件を示します。

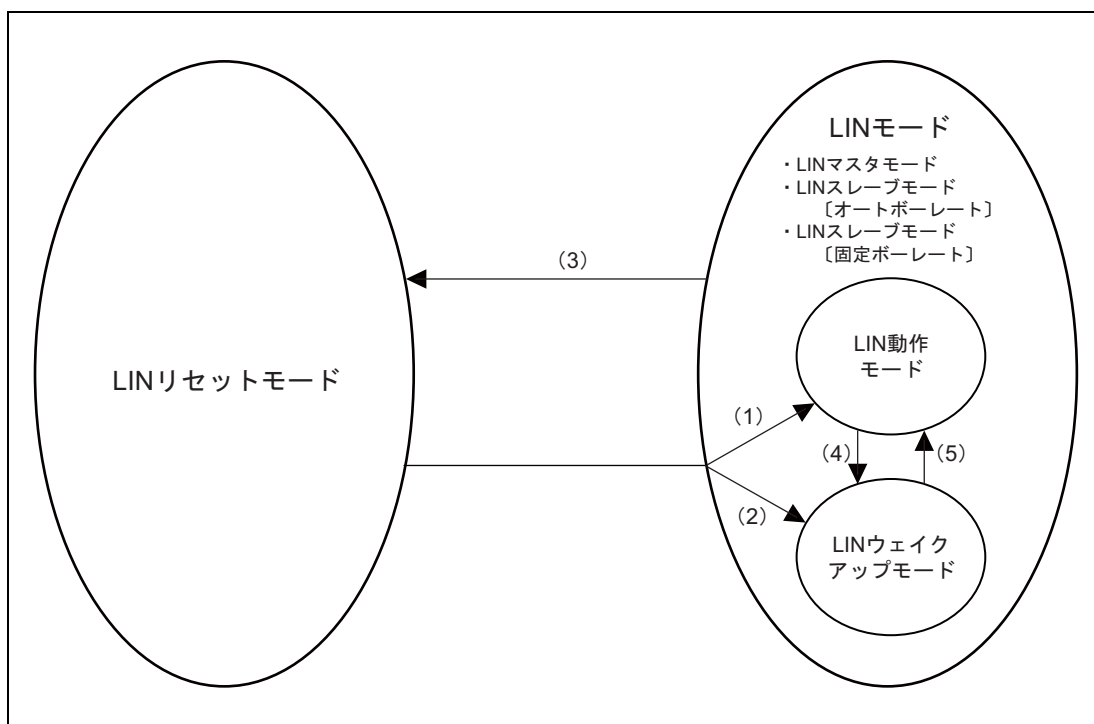


図 19.3 動作モードの移行

表 19.77 動作モード移行条件

	移行モード	移行条件
(1)	LIN リセットモード → LIN モード • LIN 動作モード	RLN3nLMD.LMD = "00 _B " または "10 _B " または "11 _B " かつ RLN3nLCUC.OM1,OM0 = "11 _B "
(2)	LIN リセットモード → LIN モード • LIN ウェイクアップモード	RLN3nLMD.LMD = "00 _B " または "10 _B " または "11 _B " かつ RLN3nLCUC.OM1,OM0 = "01 _B "
(3)	LIN モード → LIN リセットモード • LIN 動作モード • LIN ウェイクアップモード	RLN3nLCUC.OM0 = "0 _B "
(4) 注1	LIN モード → LIN モード • LIN 動作モード • LIN ウェイクアップモード	RLN3nLCUC.OM1,OM0 = "01 _B "
(5) 注1	LIN モード → LIN モード • LIN ウェイクアップモード • LIN 動作モード	RLN3nLCUC.OM1,OM0 = "11 _B "

注 1. LIN 動作モード⇔LIN ウェイクアップモードの移行は、通信中 (RLN3nLTRC レジスタの FTS ビットが "1") の間ではできません。

(1) LIN 動作モード

LIN 動作モードでは、フレーム処理（ヘッダ送信、ヘッダ受信、レスポンス送信、レスポンス受信、エラー検出）をします。

LIN リセットモードから LIN モードに移行する際に、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを“11_B”にすると LIN 動作モードになり、RLN3nLMST レジスタの OMM1 ビット、OMM0 ビットが“11_B”になります。OMM1 ビット、OMM0 ビットが“11_B”になるのを待ってから、通信設定を行ってください。

(2) LIN ウェイクアップモード

LIN ウェイクアップモードでは、ウェイクアップシグナル処理（ウェイクアップ送信、ウェイクアップ受信、エラー検出）をします。

LIN リセットモードから LIN モードに移行する際に、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを“01_B”にすると LIN ウェイクアップモードになり、RLN3nLMST レジスタの OMM1 ビット、OMM0 ビットが“01_B”になります。OMM1 ビット、OMM0 ビットが“01_B”になるのを待ってから、通信設定を行ってください。

19.7.1 LIN マスタモード

19.7.1.1 ヘッダ送信

図 19.4 に LIN/UART インタフェース (LIN マスタモード) のヘッダ送信時の動作、表 19.78 にヘッダ送信時の処理を示します。

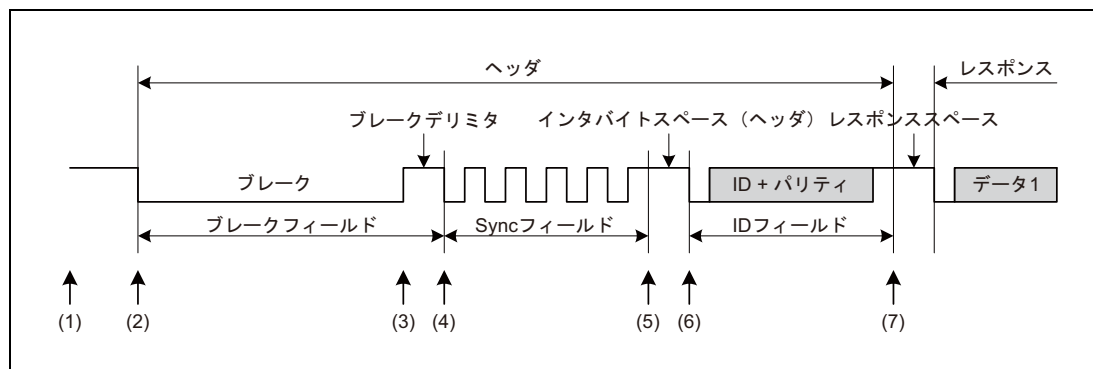


図 19.4 ヘッダ送信時の動作

表 19.78 ヘッダ送信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	<ul style="list-style-type: none"> ボーレートを設定 ノイズフィルタ ON/OFF を設定 割り込み許可を設定 エラー検出許可を設定 フレーム構成パラメータを設定 LIN/UART インタフェースを LIN マスタモード : LIN 動作モードに移行 送信するフレーム情報 (ID、パリティ、データ長、レスポンス方向、チェックサム方式、送信データ) を設定 	ソフトウェアによる RLIN3nLTRC レジスタの FTS ビット設定待ち (アイドル)
(2)	RLIN3nLTRC レジスタの FTS ビットを "1" (フレーム送信/ウェイクアップ送受信開始) にする	ブレーク送信
(3)	割り込み要求待ち	ブレークデリミタ送信
(4)		Sync フィールド (55 μ) 送信
(5)		インタバイトスペース (ヘッダ) 送信
(6)		ID フィールド送信
(7)		ヘッダ送信完了フラグ設定

備考

エラー検出条件に関しては、「19.7.7 エラーステータス」を参照してください。

19.7.1.2 レスポンス送信

図 19.5 に LIN/UART インタフェース (LIN マスタモード) のレスポンス送信時の動作、表 19.79 にレスポンス送信時の処理を示します。

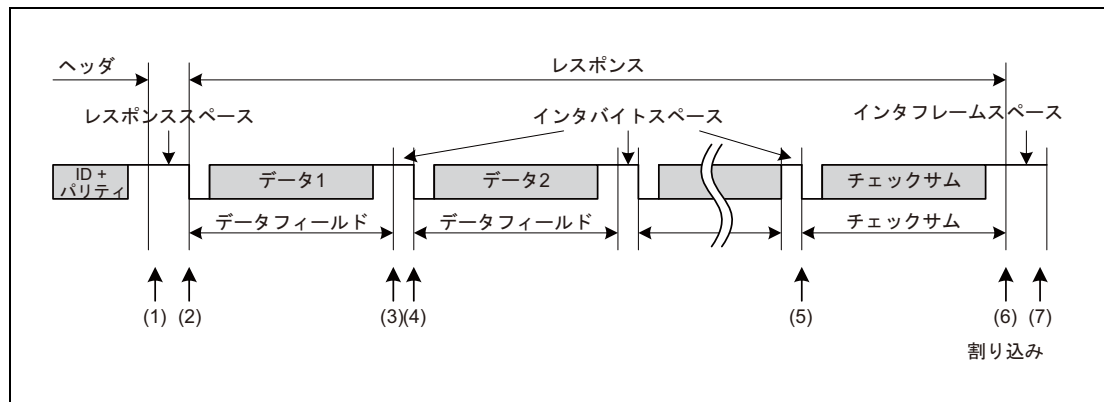


図 19.5 レスポンス送信時の動作

表 19.79 レスポンス送信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	【フレームセパレートモード時】 <ul style="list-style-type: none"> RLN3nLTRC レジスタの RTS ビットに“1”を設定 (レスポンス送信/受信開始) 【フレームセパレートモードでないとき】 <ul style="list-style-type: none"> 割り込み要求発生待ち 	【フレームセパレートモード時】 <ul style="list-style-type: none"> ソフトウェア処理による RLN3nLTRC レジスタの RTS ビットの“1”設定待ち “1”に設定されたあと、レスポンススペースを送信 【フレームセパレートモードでないとき】 <ul style="list-style-type: none"> レスポンススペースを送信
(2)	割り込み要求発生待ち	データ 1 送信
(3)		インタバイトスペース送信
(4)		<ul style="list-style-type: none"> データ 2 送信 インタバイトスペース送信 データ 3 送信 インタバイトスペース送信 (RLN3nLDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返す。) <p style="text-align: center;">⋮</p>
(5)		チェックサム送信
(6)		<ul style="list-style-type: none"> フレーム/ウェイクアップ送信完了フラグ設定 RLN3nLTRC レジスタの FTS ビットを“0”(フレーム送信/ウェイクアップ送受信停止)にする 【フレームセパレートモード時】 <ul style="list-style-type: none"> RLN3nLTRC レジスタの RTS ビットを“0”(レスポンス送信/受信停止)にする
(7)	<ul style="list-style-type: none"> 通信後の処理 RLN3nLST レジスタのチェック、フラグのクリア 	アイドル

備 考

エラー検出条件に関しては、「19.7.7 エラーステータス」を参照してください。

19.7.1.3 レスポンス受信

図 19.6 に LIN/UART インタフェース (LIN マスタモード) のレスポンス受信時の動作、表 19.80 にレスポンス受信時の処理を示します。

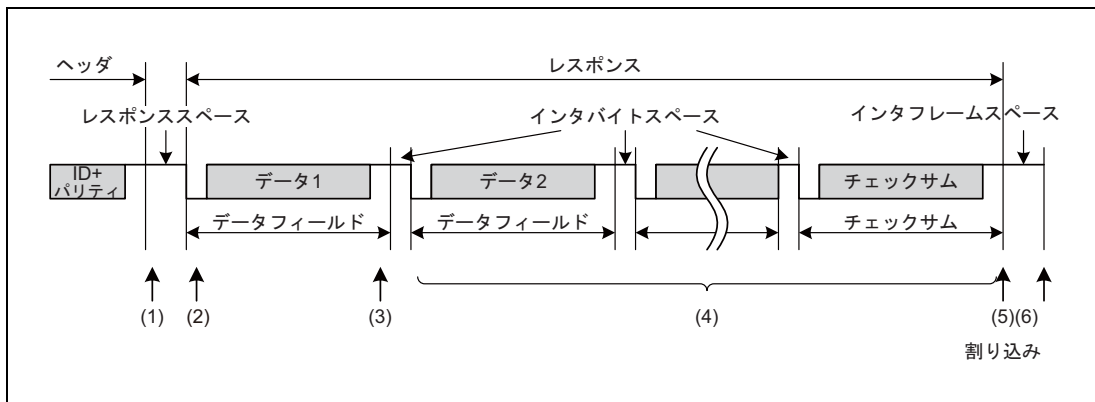


図 19.6 レスポンス受信時の動作

表 19.80 レスポンス受信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	割り込み要求発生待ち (処理はなし)	スタートビット検出待ち
(2)		スタートビット検出によりデータ 1 受信
(3)		データ 1 受信完了フラグ設定
(4)		<ul style="list-style-type: none"> スタートビット検出によりデータ 2 受信 スタートビット検出によりデータ 3 受信 (RLN3nLDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返す。) ⋮ スタートビット検出によりチェックサム受信
(5)		<ul style="list-style-type: none"> チェックサム判定 フレーム/ウェイクアップ受信完了フラグ設定 RLN3nLTRC レジスタの FTS ビットを "0" (フレーム送信/ウェイクアップ送受信停止) にする
(6)		<ul style="list-style-type: none"> 通信後の処理 受信データの読み出し RLN3nLST レジスタのチェック、フラグのクリア

備 考

エラー検出条件に関しては、「19.7.7 エラーステータス」を参照してください。

19.7.2 LIN スレーブモード

19.7.2.1 ヘッダ受信

図 19.7 に LIN/UART インタフェース (LIN スレーブモード) のヘッダ受信時の動作、表 19.81 にヘッダ受信時の処理を示します。

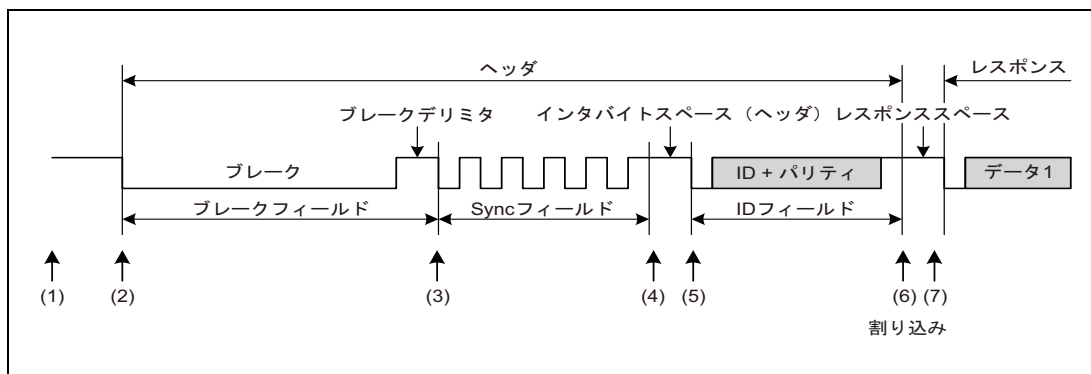


図 19.7 ヘッダ受信時の動作

表 19.81 ヘッダ受信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	<ul style="list-style-type: none"> • ボーレートを設定 • ノイズフィルタ ON/OFF を設定 • 割り込み許可を設定 • エラー検出許可を設定 • フレーム構成パラメータを設定 • LIN/UART インタフェースを LIN スレーブモード LIN 動作モードに移行 • RLN3nLTRC レジスタの FTS ビットを“1” (ヘッダ受信/ウェイクアップ送受信開始) にする 	ソフトウェアによる RLN3nLTRC レジスタの FTS ビット 設定待ち
(2)	割り込み要求発生待ち	ブレークフィールド検出待ち
(3)		ブレークフィールド検出 (LIN スレーブモード [固定ボーレート] の場合。LIN スレーブモード [オートボーレート] の場合のブレークフィールド検出タイミングの詳細は、【オートボーレート補正機能】参照)
(4)		<ul style="list-style-type: none"> • シンクフィールド (55_H) 検出 • ボーレートジェネレータ設定 (LIN スレーブモード [オートボーレート] の場合) • レスポンスなし要求ビット (LNRR ビット) クリア
(5)		<ul style="list-style-type: none"> • ID フィールド受信 • ID パリティビットのチェック
(6)		ヘッダ受信完了フラグを設定
(7)	<ul style="list-style-type: none"> • RLN3nLST レジスタのチェック、フラグのクリア • RLN3nLIDB レジスタの確認、レスポンスの準備 	<ul style="list-style-type: none"> • ヘッダ受信プロセス完了 • レスポンス要求待ち

備考

LIN/UART インタフェースは、フレーム送受信中にブレイクフィールドを受信できます。この場合、ブレイクフィールド受信前のフレームのストップビット位置になると、フレーミングエラー、ビットエラーなどを検出してステータス割り込みが発生することがありますが、エラーの有無に関わらず新たなヘッダ（続く Sync フィールド、ID フィールド）の受信は継続します。エラー検出条件に関しては、「19.7.7 エラーステータス」を参照してください。

【オートボーレート補正機能】

LIN スレーブモード [オートボーレート] では、常に受信したロウレベル幅を計測しています。そして1回目の“ロウレベル”幅がシンクフィールドの始めの2ビット（シンクフィールドの始めの連続する立ち下がりエッジの期間）の平均から計算された1ビット幅の10倍（RLN3nLBFC レジスタの BLT ビットが“0”のとき）または11倍（RLN3nLBFC レジスタの BLT ビットが“1”のとき）以上の場合はブレイクフィールド検出に成功したと判断し、シンクフィールドのデータが 55_Hであることを確認します。データが 55_Hであることを確認し、シンクフィールドの受信が成功したと判断できた場合、ボーレート補正結果を自動で RLN3nLBRP01 レジスタに設定します。

エラーなく ID フィールドまで受信すると、ストップビット位置でヘッダ受信完了割り込みが発生します。

一方、シンクフィールドのデータが 55_H でなかった場合は、シンクフィールド検出に失敗したと判断し、シンクフィールドエラーフラグをセットしてエラー割り込みが発生します。この場合、ボーレート補正は行われず、LIN/UART インタフェースは次のブレイクフィールド（ロウレベル）の検出待ちになります。

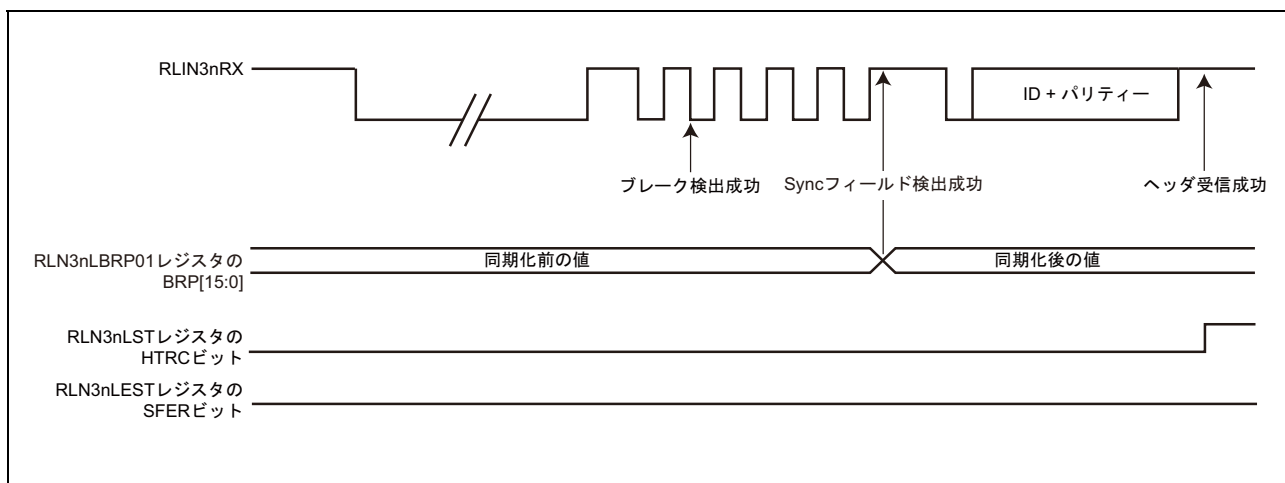


図 19.8 LIN スレーブモード [オートボーレート] ヘッダ受信 (正常動作時)

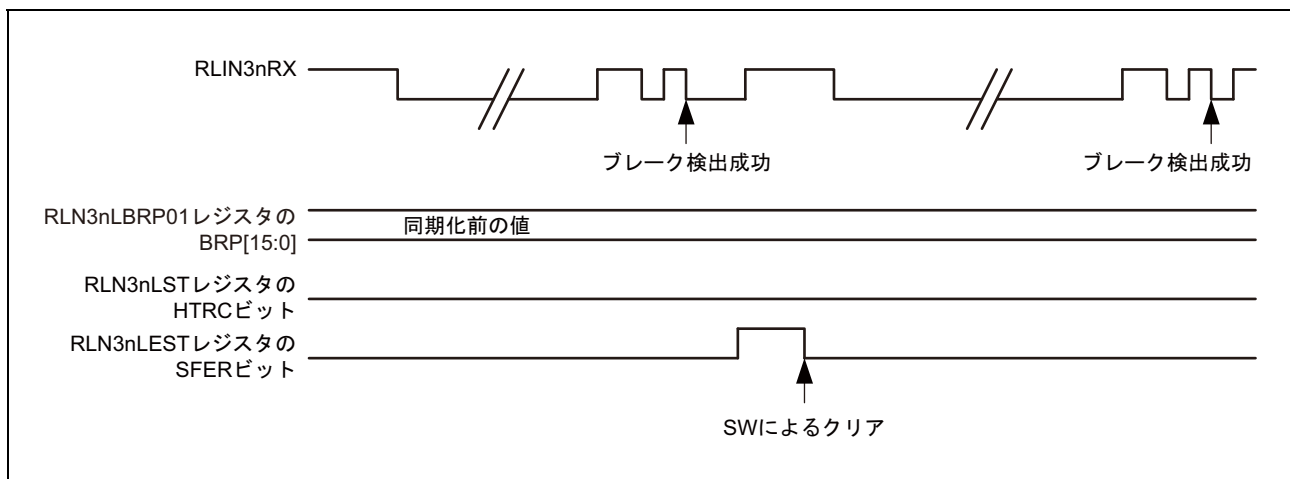


図 19.9 LIN スレーブモード [オートボーレート] ヘッダ受信 (シンクフィールドエラー)

19.7.2.2 レスポンス送信

図 19.10 に LIN/UART インタフェース (LIN スレーブモード) のレスポンス送信時の動作、表 19.82 にレスポンス送信時の処理を示します。

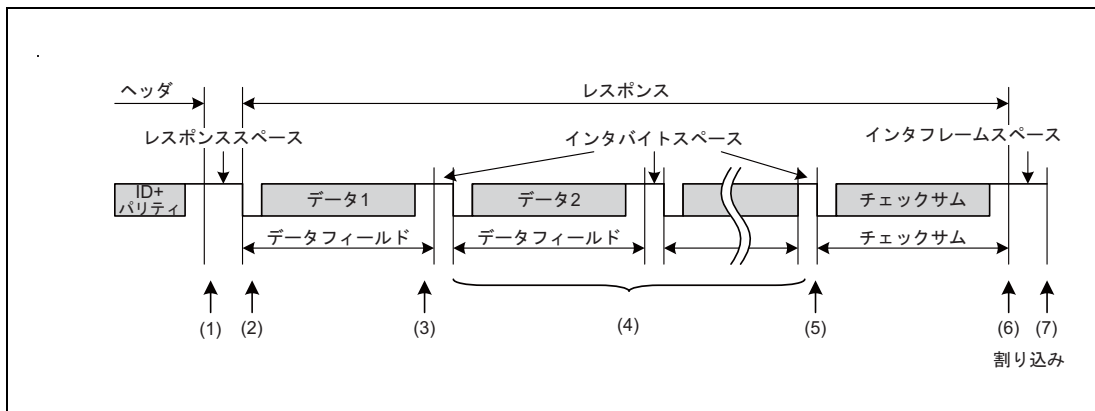


図 19.10 レスポンス送信時の動作

表 19.82 レスポンス送信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	<ul style="list-style-type: none"> RLN3nLDFC レジスタの設定 RLN3nLDBRb レジスタの設定 (b = 1 ~ 8) RLN3nLTRC レジスタの RTS ビットを "1" (レスポンス送受信開始) にする 	<ul style="list-style-type: none"> ソフトウェアによる RLN3nLTRC レジスタの RTS ビットまたは LNRR ビット設定待ち RLN3nLTRC レジスタの RTS ビットが "1" に設定されたあと、レスポンススペースを送信
(2)	割り込み要求発生待ち	データ 1 送信
(3)		インタバイトスペース送信
(4)		<ul style="list-style-type: none"> データ 2 送信 インタバイトスペース送信 データ 3 送信 インタバイトスペース送信 (RLN3nLDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返す。) : :
(5)		チェックサム送信
(6)		<ul style="list-style-type: none"> レスポンス/ウェイクアップ送信完了フラグ設定 RLN3nLTRC レジスタの RTS ビットを "0" (レスポンス送信/受信停止) にする
(7)	<ul style="list-style-type: none"> 通信後の処理 RLN3nLST レジスタのチェック、フラグのクリア 	<ul style="list-style-type: none"> レスポンス送信プロセス完了 新規ブレーク待ち

備考

- エラー検出条件に関しては、「19.7.7 エラーステータス」を参照してください。
- LIN/UART インタフェースは、フレーム送受信中にブレークフィールドを受信できません。この場合、ブレークフィールド受信前のフレームのストップビット位置になると、フレーミングエラー、ビットエラーなどを検出してステータス割り込みが発生することがありますが、エラーの有無に関わらず新たなヘッダ (続く Sync フィールド、ID フィールド) の受信は続きます。

19.7.2.3 レスポンス受信

図 19.11 に LIN/UART インタフェース (LIN スレーブモード) のレスポンス受信時の動作、表 19.83 にレスポンス受信時の処理を示します。

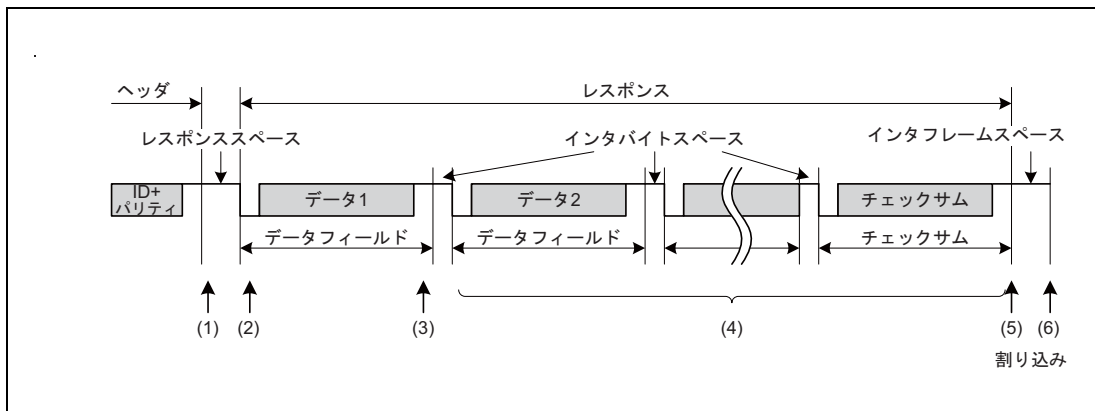


図 19.11 レスポンス受信時の動作

表 19.83 レスポンス受信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	<ul style="list-style-type: none"> RLN3nLDFC レジスタの設定 レスポンス送信/受信開始ビット (RTS ビット) を "1" に設定 	<ul style="list-style-type: none"> ソフトウェアによるレスポンス送信/受信開始ビット (RTS ビット) または レスポンスなし要求ビット (LNRR ビット) の設定待ち スタートビット検出待ち
(2)	割り込み要求発生待ち	スタートビット検出によりデータ 1 受信
(3)		データ 1 受信完了フラグ設定
(4)		<ul style="list-style-type: none"> スタートビット検出によりデータ 2 受信 スタートビット検出によりデータ 3 受信 (RLN3nLDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返す。) : : <ul style="list-style-type: none"> スタートビット検出によりチェックサム受信
(5)		<ul style="list-style-type: none"> チェックサム判定 レスポンス/ウェイクアップ受信完了フラグ設定、またはエラーフラグ設定 RLN3nLTRC レジスタの RTS ビットを "0" (レスポンス送信/受信停止) にする
(6)	<ul style="list-style-type: none"> 通信後の処理 受信データの読み出し RLN3nLST レジスタのチェック、フラグのクリア 	<ul style="list-style-type: none"> レスポンスプロセス完了 新規ブレーク待ち

備考

- エラー検出条件に関しては、「19.7.7 エラーステータス」を参照してください。
- LIN/UART インタフェースは、フレーム送受信中にブレークフィールドを受信できません。この場合、ブレークフィールド受信前のフレームのストップビット位置になると、フレーミングエラー、ビットエラーなどを検出してステータス割り込みが発生することがありますが、エラーの有無に関わらず新たなヘッダ (続く Sync フィールド、ID フィールド) の受信は継続します。

19.7.2.4 レスポンス要求なし

図 19.12 に LIN/UART インタフェース (LIN スレーブモード) のレスポンス要求なし時の動作、表 19.84 にレスポンス要求なし時の処理を示します。

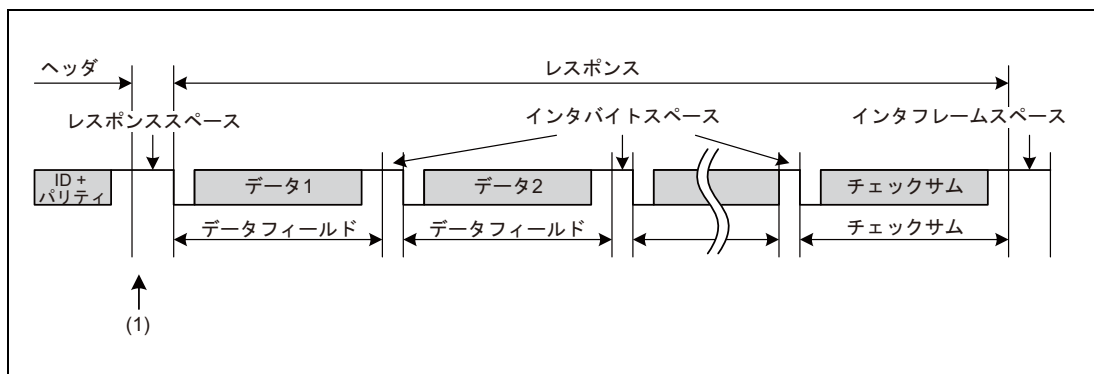


図 19.12 レスポンス要求なし時の動作

表 19.84 レスポンス受信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	<ul style="list-style-type: none"> レスポンス要求なしビット (LNRR ビット) を "1" に設定 	<ul style="list-style-type: none"> ソフトウェアによる LNRR ビット (レスポンス要求なし) セット待ち フレーム受信プロセス完了 新規ブレーク待ち

19.7.3 データ送信／受信

19.7.3.1 データ送信

データ送信は、1 Tbit に 1 ビットずつ行われます。

送信したデータは、LIN トランシーバを経由して受信データ入力端子に戻ってきます。この受信データと送信したデータの比較がビットごとに行われ、結果は RLN3nLEST レジスタの BER フラグに格納されます（「19.7.7 エラーステータス」参照）。

LIN マスタモード、LIN スレーブモード〔固定ボーレート〕では、 $1 \text{ Tbit} = 16f_{\text{LIN}}$ で生成され、受信データのサンプリングポイントは 13 クロック目（81.25% 位置）になります。

LIN スレーブモード〔オートボーレート〕では、 $1 \text{ Tbit} = 4f_{\text{LIN}}$ で生成される場合は、受信データのサンプリングポイントは 3 クロック目（75% 位置）、 $1 \text{ Tbit} = 8f_{\text{LIN}}$ で生成される場合は、受信データのサンプリングポイントは 7 クロック目（87.5% 位置）になります。

図 19.13 にデータ送信タイミングの例を示します。

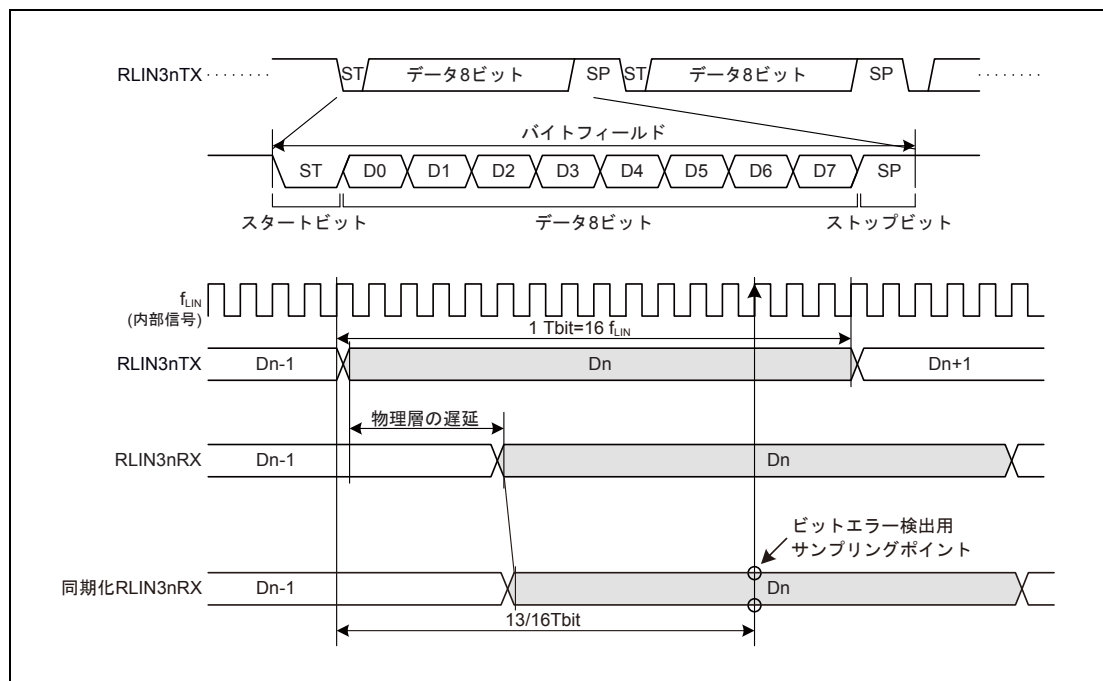


図 19.13 データ送信タイミング例 (LIN マスタモード、LIN スレーブモード〔固定ボーレート〕)

19.7.3.2 データ受信

データ受信は、RLIN3nRX 端子からの入力をプリスケールクロックに同期させた同期化 RLIN3nRX (内部信号) を使用して行います。

この同期化 RLIN3nRX 信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、0.5 Tbit 後に再度サンプリングを行い、同期化 RLIN3nRX 信号がロウレベルであった場合にスタートビットと認識します。リセット解除後から RLIN3nRX 信号がロウレベル固定の場合や、再サンプリング時にハイレベルを検出した場合はスタートビットとは認識しません。

スタートビット検出後は、1 Tbit ごとにビットのサンプリングを行います。

LIN/UART インタフェースは、受信データに対するノイズフィルタ機能をもっています。RLN3nLMD レジスタの LRDNFS ビットが“0”の場合は、ノイズフィルタ使用となり、サンプリングの値はプリスケールクロックで3サンプリング多数決により決定した値を使用します。RLN3nLMD レジスタの LRDNFS ビットが“1”の場合は、ノイズフィルタ未使用となり、サンプリングの値はサンプリング位置での同期化 RLIN3nRX 値の値をそのまま使用します。

図 19.14 にデータ受信タイミングの例を示します。

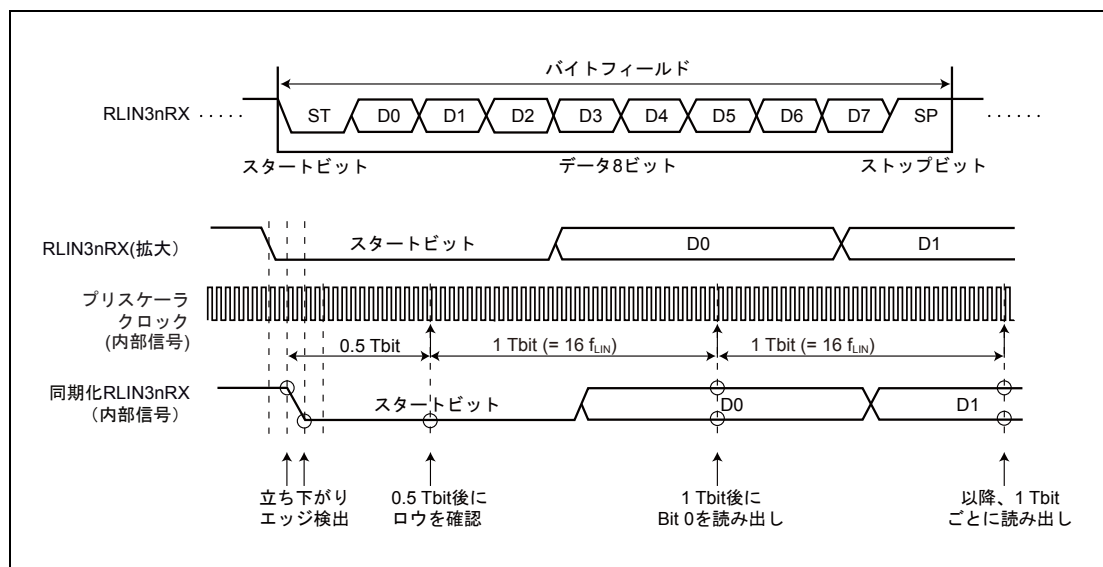


図 19.14 データ受信タイミング例 (LIN マスタモード、LIN スレーブモード [固定ポート])

19.7.4 送信／受信データのバッファ処理

LIN/UART インタフェースの連続データ送受信時のバッファ処理について説明します。

19.7.4.1 LIN フレームの送信

8 バイト送信の場合、RLN3nLDBR1 レジスタ～RLN3nLDBR8 レジスタに格納されている内容が、順番に LIN フレームのデータ 1～8 領域に送信されます。4 バイト送信の場合は、RLN3nLDBR1 レジスタ～RLN3nLDBR4 レジスタに格納されている内容が LIN フレームのデータ 1～4 領域に送信され、RLN3nLDBR5 レジスタ～RLN3nLDBR8 レジスタの内容は送信されません。また、RLN3nLCBR レジスタには送信したチェックサムデータが格納されます。

図 19.15 に LIN 送信処理とバッファを示します。

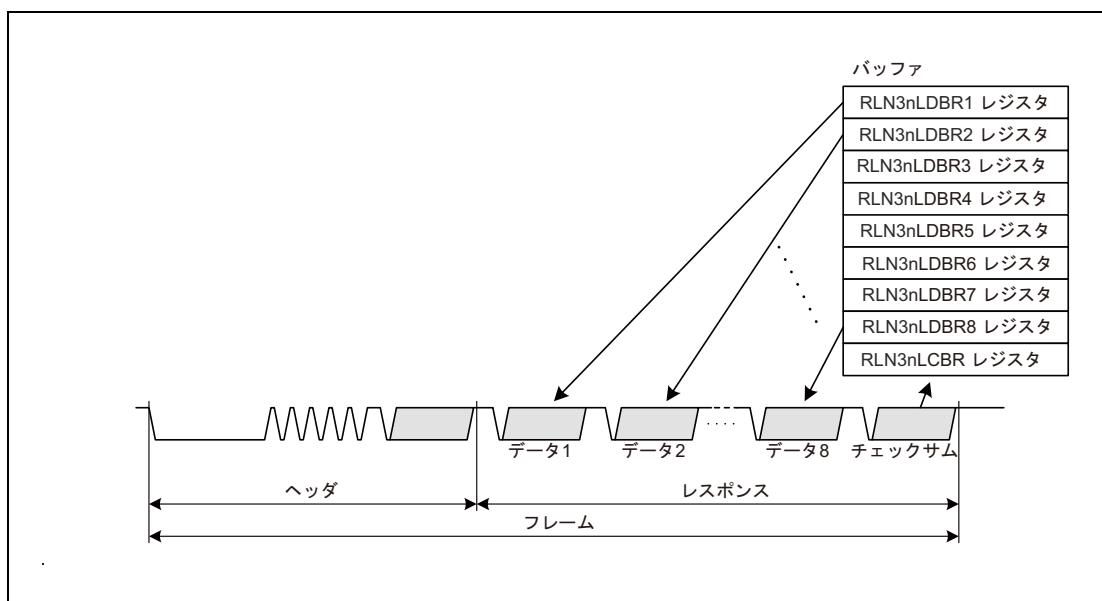


図 19.15 LIN 送信処理とバッファ

【フレームセパレートモード】

RLN3nLDFC レジスタの FSM ビットを“1”にすることにより、フレームセパレートモードになります。

ヘッダとレスポンスを別々の送信開始要求により送信するモードです。

ヘッダ送信が完了すると RLN3nLST レジスタの HTRC フラグが“1”（ヘッダ送信完了）になります。

LIN マスタモードで9バイト以上のレスポンスデータ送信 または レスポンスデータ受信を行なう場合は、フレームセパレートモードを使用してください。

19.7.4.2 LIN フレームの受信

8 バイト受信の場合、LIN フレームのデータ 1～8 領域の内容が、ストップビットを受信するごとにそれぞれの RLN3nLDBR1 レジスタ～RLN3nLDBR8 レジスタに格納されます。4 バイト受信の場合は、LIN フレームのデータ 1～4 領域の内容が、それぞれ RLN3nLDBR1 レジスタ～RLN3nLDBR4 レジスタに格納され、RLN3nLDBR5 レジスタ～RLN3nLDBR8 レジスタには何も格納されません。また、RLN3nLCBR レジスタには受信したチェックサムデータが格納されます。

図 19.16 に LIN 受信処理とバッファを示します。

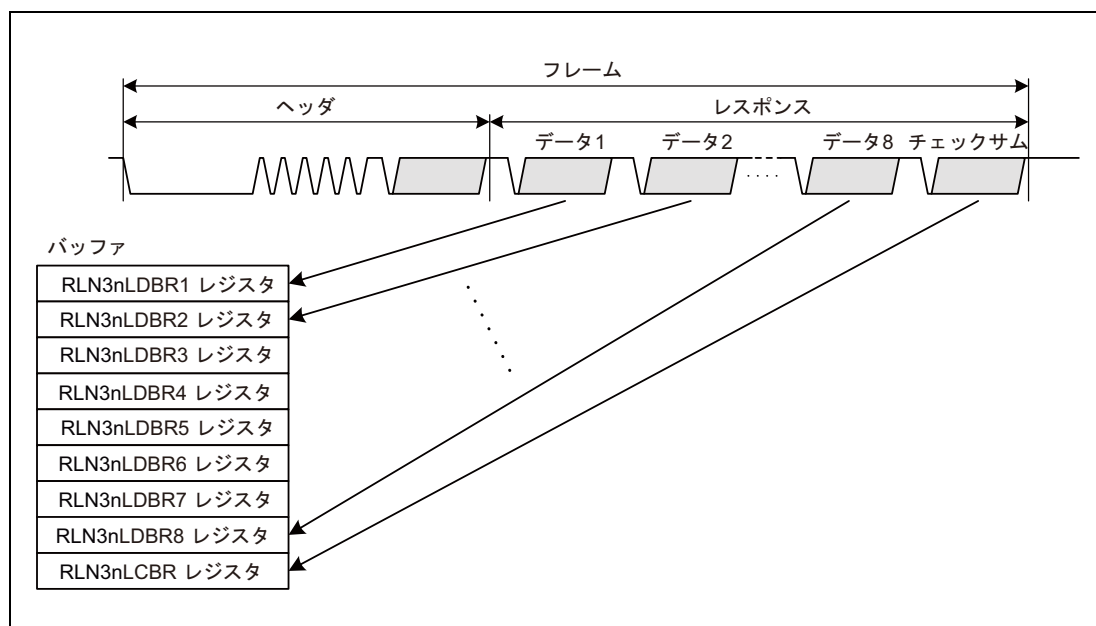


図 19.16 LIN 受信処理とバッファ

【データ 1 受信】

1 バイト目のデータ受信が完了すると、RLN3nLST レジスタの D1RC フラグが“1”（データ 1 受信完了）になります。

19.7.4.3 多バイトレスポンス送受信機能

通常 LIN 通信において、レスポンスはチェックサムを含み 9 バイト以下ですが、10 バイト以上のレスポンスを送受信することが可能です。

このとき、ビットエラー、フレーミングエラー、レスポンス準備エラー検出機能 および 自動チェックサム機能は有効です。

データ長が 8 バイトより多い場合は、最初のデータグループ (0 ~ 8 バイトで可変) で RLN3nLDFC レジスタの LSS ビットを“1” (次に送受信するデータグループは最終ではない) に設定し、送信または受信します。送信または受信後、ユーザは次のデータグループが最後かどうかの判定を行い、最後のデータグループの場合は、RLN3nLDFC レジスタの LSS ビットを“0” (次に送受信するデータグループは最終) に設定し、送信または受信します。チェックサムは最後のデータグループに付加します。

ユーザは、RLN3nLTRC レジスタの RTS ビットが“0”のときに RLN3nLDFC レジスタの RFDL ビットの設定を変更することにより、データグループごとにデータ長を変更することができます。

LIN マスタモードで、多バイトレスポンス送受信を行う場合は、RLN3nLDFC レジスタの FSM ビットを“1” (フレームセパレートモード) に設定して行ってください。

備 考

LIN/UART インタフェースは、LIN スレーブモードのとき、レスポンス送信 または 受信中に新たなブレークフィールドを検出することができます。

19.7.5 ウェイクアップ送信／受信

ウェイクアップの送受信は LIN ウェイクアップモードで使用できます。

19.7.5.1 ウェイクアップ送信動作

LIN ウェイクアップモード時、RLN3nLDFC レジスタの RFT ビットを“1” (LIN マスタモード：レスポンス送信)、または RLN3nLDFC レジスタの RCDS ビットを“1” (LIN スレーブモード：レスポンス送信) に設定後、RLN3nLTRC レジスタの FTS ビットを“1” (フレーム送信・ヘッダ受信／ウェイクアップ送受信開始) にすると、出力端子からウェイクアップ信号が出力されます。ウェイクアップ信号のロウ幅は RLN3nLWUP レジスタの WUTL[3:0] ビットで設定します。ただし、LIN マスタモードで RLN3nLWBR レジスタの LWBR0 ビットが“1” (LIN2.x 使用時) の場合は、RLN3nLMD レジスタの LCKS ビットの設定にかかわらず、LIN システムクロック (f_{LIN}) が f_a でのロウレベル幅になります。 f_a 選択時のボーレートを 19200 bps に、RLN3nLWUP レジスタの WUTL[3:0] ビットを“0100_B” (5Tbits) に設定することにより、RLN3nLMD レジスタの LCKS ビットの設定にかかわらず、LIN ウェイクアップモード時に 260 μ s のロウ幅を出力することができます。

ビットエラーなくウェイクアップのロウレベルが出力された場合、RLN3nLST レジスタの FTC フラグが“1” (フレームレスポンスまたはウェイクアップ送信完了) になり、RLN3nLIE レジスタの FTCIE ビットが“1” (フレームレスポンス／ウェイクアップ送信完了割り込み許可) のとき RLIN3n 送信割り込み要求が発生します。

RLN3nLEDE.BERE がセットされていてビットエラーを検出した場合は、ウェイクアップ送信を中断し、RLN3nLEST レジスタの BER フラグを“1” (ビットエラー検出) にします。

LIN マスタモードで RLN3nLEDE.PBERE がセットされている場合は、ビットエラーと同時に RLN3nLEST.PBER フラグを“1” (フィジカルバスエラー検出) にします。

図 19.17 にウェイクアップ送信タイミングを示します。

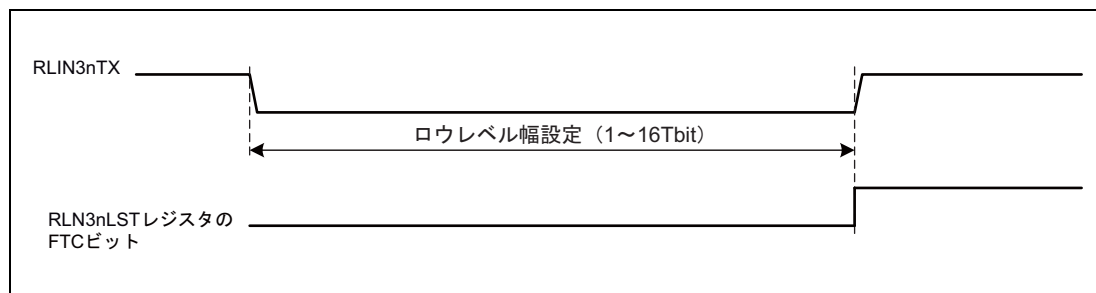


図 19.17 ウェイクアップ送信タイミング

19.7.5.2 ウェイクアップ受信動作

ウェイクアップ信号を検出するには、入力信号ロウレベル幅カウント機能を使用します。入力信号ロウレベル幅カウント機能は、データ受信と同じサンプリングポイントで RLIN3nRX 端子への入力信号のロウレベル幅を計測する機能です。入力信号ロウレベル幅を f_{LIN} の 2.5 Tbit 以上で計測することができます。

LIN マスタモード時は、RLN3nLWBR レジスタの LWBR0 ビットの設定により、LIN 動作モードと LIN ウェイクアップモードの切り替え時に、ボーレートジェネレータの設定を変更することなく、動作させることが可能です。

LIN Specification Package Revision 1.3 使用時は、RLN3nLWBR レジスタの LWBR0 ビットを“0”に、LIN Specification Package Revision 2.x 使用時は“1”に設定してください。LWBR0 ビットを“1”にすると RLN3nLMD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック (f_{LIN}) が f_a になります。(LCKS ビットは変化しません)。 f_a 選択時のボーレートを 19200bps に設定することにより、RLN3nLMD レジスタの LCKS ビットの設定に関わらず、LIN ウェイクアップモード時に 130 μ s 以上の入力信号ロウレベル幅を検出することができます。

ウェイクアップ受信機能を使用する場合、LIN ウェイクアップモードにて、RLN3nLDLFC レジスタの RFT ビットを“0” (LIN マスタモード：レスポンス受信)、または RLN3nLDLFC レジスタの RCDS ビットを“0” (LIN スレーブモード：レスポンス受信) に設定後、RLN3nLTRC レジスタの FTS ビットを“1” (フレーム送信 (ヘッダ受信) / ウェイクアップ送受信開始) にしてください。

計測するロウレベル幅に達すると RLN3nLST レジスタの FRC フラグが“1” (フレームレスポンスまたはウェイクアップ受信完了) になり、RLN3nLIE レジスタの FRCIE ビットが“1” (フレームレスポンス / ウェイクアップ受信完了割り込み許可) の場合、RLIN3n 受信完了割り込み要求が発生します。

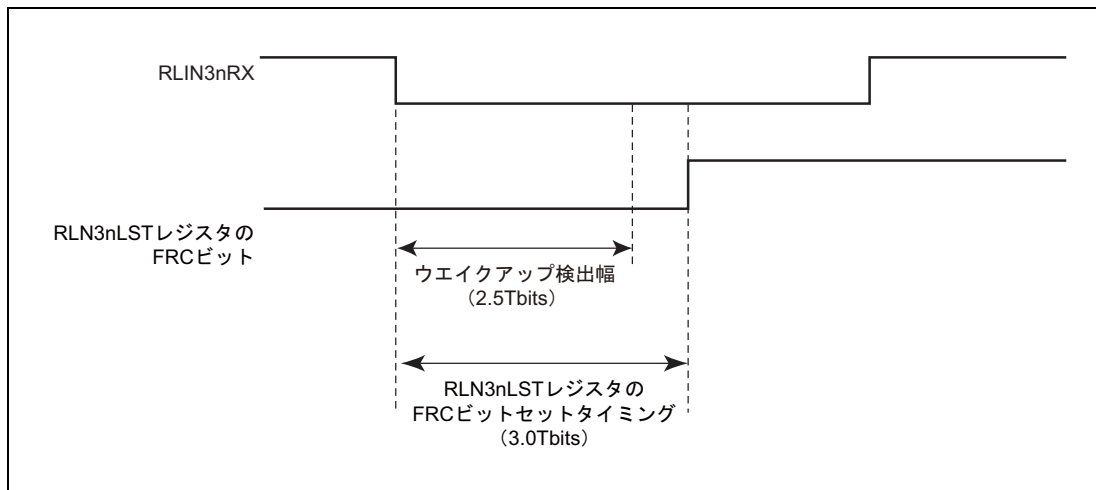


図 19.18 入力信号ロウレベルカウント機能

19.7.5.3 ウェイクアップ衝突

マスタノードとスレーブノードが同時にウェイクアップ信号を送信した場合、LIN バス上で衝突が発生しますが、LIN/UART インタフェースではウェイクアップ信号の衝突は検知しません。

19.7.6 ステータス

LIN/UART インタフェースは LIN モード動作時に、7 種類のステータスを検出します。

フレーム/ウェイクアップ送信完了、フレーム/ウェイクアップ受信完了、エラー検出、ヘッダ送信完了/ヘッダ受信完了の 4 つのステータスは割り込み要求を発生することができます。

表 19.85 に LIN マスタモードでのステータスの種類を、**表 19.86** に LIN スレーブモード [オートボーレート] および LIN スレーブモード [固定ボーレート] のステータスの種類を示します。

表 19.85 LIN マスタモード ステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	ステータスを検出できる動作モード	対応ビット	割り込み
リセット	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードでないうちに設定後、実際に LIN/UART インタフェースが LIN リセットモード解除になったとき	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードに設定後、実際に LIN/UART インタフェースが LIN リセットモードになったとき	すべてのモード	RLN3nLMST レジスタの OMM0 ビット	—
動作モード	RLN3nLCUC レジスタの OM1 ビットを LIN 動作モードに設定後、実際に LIN/UART インタフェースが LIN 動作モードになったとき	RLN3nLCUC レジスタの OM1 ビットを LIN ウェイクアップモードに設定後、実際に LIN/UART インタフェースが LIN ウェイクアップモードになったとき	<ul style="list-style-type: none"> • LIN 動作モード • LIN ウェイクアップモード 	RLN3nLMST レジスタの OMM1 ビット	—
フレーム/ウェイクアップ送信完了	フレーム (ヘッダ送信 + レスポンス送信)、ウェイクアップ信号または データグループを正常に送信完了したとき	<ul style="list-style-type: none"> • 次の通信開始時 (RLN3nLTRC レジスタの FTS ビットをセットしたとき) • ソフトウェアによるクリア • LIN リセットモード移行時 	<ul style="list-style-type: none"> • LIN 動作モード • LIN ウェイクアップモード 	RLN3nLST レジスタの FTC フラグ	○
フレーム/ウェイクアップ受信完了	フレーム (ヘッダ送信 + レスポンス受信)、ウェイクアップ信号または データグループを正常に受信完了したとき	<ul style="list-style-type: none"> • 次の通信開始時 (RLN3nLTRC レジスタの FTS ビットをセットしたとき) • ソフトウェアによるクリア • LIN リセットモード移行時 	<ul style="list-style-type: none"> • LIN 動作モード • LIN ウェイクアップモード 	RLN3nLST レジスタの FRC フラグ	○
エラー検出	RLN3nLEST レジスタの RPER フラグ、CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグのいずれかが "1" (エラー検出) になったとき	<ul style="list-style-type: none"> • 次の通信開始時 (RLN3nLTRC レジスタの FTS ビットをセットしたとき) • ソフトウェアによるクリア^{注1} • LIN リセットモード移行時 	<ul style="list-style-type: none"> • LIN 動作モード • LIN ウェイクアップモード 	RLN3nLST レジスタの ERR フラグ	○
データ 1 受信完了	RLN3nLDFC レジスタの RFT ビットが "0" (受信) で、レスポンスフィールドの最初の 1 バイト、または、データグループごとの最初の 1 バイトを受信完了したとき ^{注2}	<ul style="list-style-type: none"> • 次の通信開始時 (RLN3nLTRC レジスタの FTS ビットをセットしたとき) • ソフトウェアによるクリア • LIN リセットモード移行時 	LIN 動作モード	RLN3nLST レジスタの D1RC フラグ	—
ヘッダ送信完了	ヘッダフィールドを正常に送信完了した場合	<ul style="list-style-type: none"> • 次の通信開始時 (RLN3nLTRC レジスタの FTS ビットをセットしたとき) • ソフトウェアによるクリア • LIN リセットモード移行時 	LIN 動作モード	RLN3nLST レジスタの HTRC フラグ	○

注 1. LIN ウェイクアップモードおよび LIN 動作モード内で RLN3nLEST レジスタの RPER フラグ、CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグに "0" を書くことにより、RLN3nLST レジスタの ERR フラグは "0" になります。

注 2. RLN3nLDFC レジスタの RFDL[3:0] ビットが "0000_B" (0 バイト + チェックサム) のときは検出されません。

表 19.86 LIN スレープモード ステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	ステータスを検出できる動作モード	対応ビット	割り込み
リセット	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードでないに設定後、実際に LIN/UART インタフェースが LIN リセットモード解除になったとき	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードに設定後、実際に LIN/UART インタフェースが LIN リセットモードになったとき	すべてのモード	RLN3nLMST レジスタの OMM0 ビット	—
動作モード	RLN3nLCUC レジスタの OM1 ビットを LIN 動作モードに設定後、実際に LIN/UART インタフェースが LIN 動作モードになったとき	RLN3nLCUC レジスタの OM1 ビットを LIN ウェイクアップモードに設定後、実際に LIN/UART インタフェースが LIN ウェイクアップモードになったとき	<ul style="list-style-type: none"> • LIN 動作モード • LIN ウェイクアップモード 	RLN3nLMST レジスタの OMM1 ビット	—
レスポンス／ウェイクアップ送信完了	レスポンスフィールド、ウェイクアップ信号またはデータグループを正常に送信完了したとき	<ul style="list-style-type: none"> • ソフトウェアによるクリア • LIN リセットモード移行時 	<ul style="list-style-type: none"> • LIN 動作モード • LIN ウェイクアップモード 	RLN3nLST レジスタの FTC フラグ	○
レスポンス／ウェイクアップ受信完了	レスポンスフィールド、ウェイクアップ信号またはデータグループを正常に受信完了したとき	<ul style="list-style-type: none"> • ソフトウェアによるクリア • LIN リセットモード移行時 	<ul style="list-style-type: none"> • LIN 動作モード • LIN ウェイクアップモード 	RLN3nLST レジスタの FRC フラグ	○
エラー検出	RLN3nLEST レジスタの RPER フラグ、IPER フラグ、CSER フラグ、SFER フラグ、FER フラグ、TER フラグ、BER フラグのいずれかが“1”（エラー検出）になったとき	<ul style="list-style-type: none"> • ソフトウェアによるクリア^{注1} • LIN リセットモード移行時 	<ul style="list-style-type: none"> • LIN 動作モード • LIN ウェイクアップモード 	RLN3nLST レジスタの ERR フラグ	○
データ 1 受信完了	RLN3nLDFC レジスタの RCDS ビットが“0”（受信）で、レスポンスフィールドの最初の 1 バイト、または、データグループごとの最初の 1 バイトを受信完了したとき ^{注2}	<ul style="list-style-type: none"> • ソフトウェアによるクリア • LIN リセットモード移行時 	LIN 動作モード	RLN3nLST レジスタの D1RC フラグ	—
ヘッダ受信完了	ヘッダフィールドを正常に受信完了した場合	<ul style="list-style-type: none"> • ソフトウェアによるクリア • LIN リセットモード移行時 	LIN 動作モード	RLN3nLST レジスタの HTRC フラグ	○

注 1. LIN ウェイクアップモードおよび LIN 動作モード内で RLN3nLEST レジスタの RPER フラグ、IPER フラグ、CSER フラグ、SFER フラグ、FER フラグ、TER フラグ、BER フラグに“0”を書くことにより、RLN3nLST レジスタの ERR フラグは“0”になります。

注 2. RLN3nLDFC レジスタの RFDL[3:0] ビットが“0000_B”（0 バイト+チェックサム）のときは検出されません。

19.7.7 エラーステータス

19.7.7.1 LIN マスタモード

(1) エラーステータスの種類

LIN/UART インタフェースは LIN マスタモードで 6 種類のエラーステータスを検出します。これらのエラーの状態は RLN3nLEST レジスタの各ビットで確認できます。

すべてのエラーステータスは、割り込み要因となります。

表 19.87 にエラーステータスの種類を示します。

表 19.87 エラーステータスの種類 (LIN マスタモード)

ステータス	エラー検出条件	エラーを検出できる動作モード	通信処理	検出許可/禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしている LIN バス上のデータが一致しなかったとき注1, 注2	<ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード 	中断	○	RLN3nLEST レジスタの BER フラグ
フィジカルバスエラー	<ul style="list-style-type: none"> ブ레이크送信時に LIN バスがハイレベルを検出した場合 ブ레이크デリミタ送信時に LIN バスがロウレベルを検出した場合 ウェイクアップ送信時に LIN バスがハイレベルを検出した場合 	<ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード 	中断	○	RLN3nLEST レジスタの PBER フラグ
タイムアウトエラー	フレームまたはレスポンスの送受信がある一定の時間内に終了しなかったとき注3	LIN 動作モード	中断	○	RLN3nLEST レジスタの FTER フラグ
フレーミングエラー	レスポンスフィールド受信処理において、各データバイトのストップビットがロウレベルであったとき	LIN 動作モード	中断	○	RLN3nLEST レジスタの FER フラグ
チェックサムエラー	レスポンスフィールド受信処理において、チェックサム判定の結果がエラーのとき	LIN 動作モード	—	×	RLN3nLEST レジスタの CSER フラグ
レスポンス準備エラー	フレームセパレートモードで多バイトレスポンス受信において以下の場合 <ul style="list-style-type: none"> ヘッダ送信完了後、レスポンス送信要求設定前に 1 バイト目の受信データを受信したとき 前のデータグループ受信完了後、次のデータグループの送受信要求設定前に 1 バイト目の受信データを受信したとき 	LIN 動作モード	中断	×	RLN3nLEST レジスタの RPER フラグ

注 1. ビットエラーを検出した場合は、ストップビット送信後に中断します。インタバイトスペースなどの非データ領域でビットエラーを検出したときは、エラーになったビットを送信した直後に送信を中断します。ウェイクアップ送信中にビットエラーを検出したときは、エラーになったビットを送信した直後にウェイクアップ送信を中断します。

注 2. 多バイトレスポンス送信においては、データグループとデータグループの間でもビットエラーを検出します。

注 3. タイムアウト時間は、レスポンスフィールドデータ長 (RLN3nLDFC レジスタの RFDL[3:0] ビット)、およびチェックサム選択 (RLN3nLDFC レジスタの CSM ビット) に依存し、下記の式により計算できます。RLN3nLDFC レジスタの FSM ビットが "1" (フレームセパレートモード) の場合、RLN3nLTRC レジスタの RTS ビットを設定するまでは、データバイト数 8 バイトのタイムアウト時間となります。RTS ビットが設定されると、タイムアウト時間は、レスポンスフィールドデータ長 (RLN3nLDFC レジスタの RFDL[3:0] ビット) を元にした時間に再設定されます。

【フレームタイムアウト】

クラシック選択時 (RLN3nLDFC レジスタの CSM ビットが "0" の場合) :

$$\text{タイムアウト時間} = 49 + (\text{データバイト数} + 1) \times 14 \text{ [Tbit]}$$

エンハンス選択時 (RLN3nLDFC レジスタの CSM ビットが "1" の場合) :

$$\text{タイムアウト時間} = 48 + (\text{データバイト数} + 1) \times 14 \text{ [Tbit]}$$

上記タイムアウト時間は、クラシック選択時に LIN Specification Package Revision 1.3 の TFRAME_MAX を、エンハンス選択時に LIN Specification Package Revision 2.x の TFRAME_MAX を超える時間となります。

【レスポンスタイムアウト】

$$\text{タイムアウト時間} = (\text{データバイト数} + 1) \times 14 \text{ [Tbit]}$$

なお、エラーを検出した場合、タイムアウトエラー検出機能は停止します。

エラーステータスのクリア条件は、次の通信開始時 (RLN3nLTRC レジスタの FTS ビットをセットしたとき)、ソフトウェアによるクリア、LIN リセットモード移行時です。

(2) LIN エラー検出の対象時間領域

図 19.19 にエラーを検出するために LIN/UART インタフェースが LIN マスタモード時に監視する時間領域を示します。

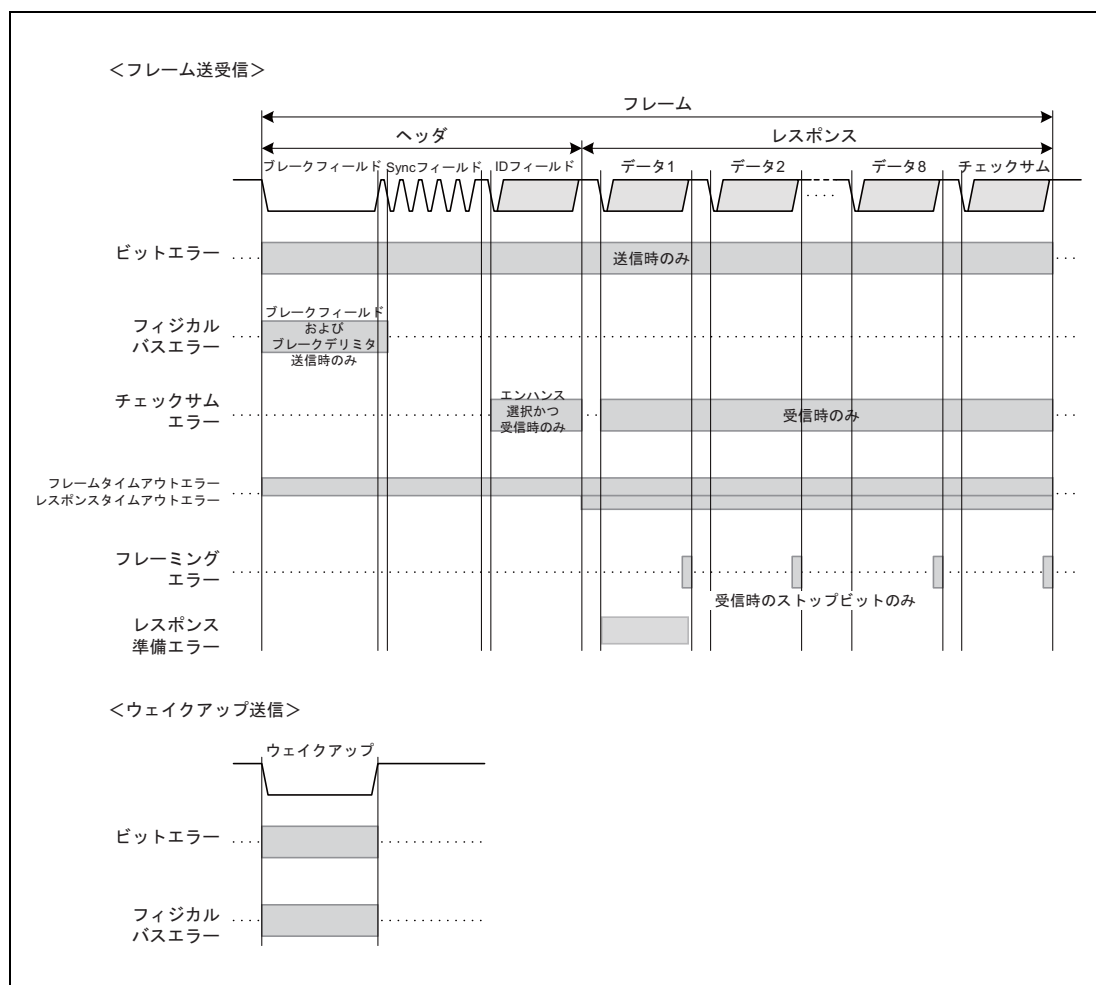


図 19.19 LIN エラー検出の対象時間領域 (LIN マスタモード)

19.7.7.2 LIN スレーブモード

(1) エラーステータスの種類

LIN/UART インタフェースは LIN スレーブモード [オートボーレート] または LIN スレーブモード [固定ボーレート] で、7 種類のエラーステータスを検出します。これらのエラーの状態は RLN3nLEST レジスタの各ビットで確認できます。

表 19.88 にエラーステータスの種類を示します。

表 19.88 エラーステータスの種類 (LIN スレーブモード)

ステータス	エラー検出条件	エラーを検出できる動作モード	通信処理	検出許可/禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしている LIN バス上のデータが一致しなかったとき注1,注2	<ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード 	中断	○	RLN3nLEST レジスタの BER フラグ
タイムアウトエラー	フレーム または レスポンスの受信がある一定の時間内に終了しなかったとき注3	LIN 動作モード	中断	○	RLN3nLEST レジスタの TER フラグ
フレーミングエラー	フレーム受信処理において、各データバイトのストップビットがロウレベルであったとき	LIN 動作モード	中断	○	RLN3nLEST レジスタの FER フラグ
シンクフィールドエラー	ブレイクローレベルの幅が RLN3nLBFC レジスタの LBLT ビットで設定した幅よりも長く、シンクフィールドが "55 _H " でないとき	LIN 動作モード	中断	○注4	RLN3nLEST レジスタの SFER フラグ
チェックサムエラー	レスポンスフィールド受信処理において、チェックサム判定の結果がエラーのとき	LIN 動作モード	一注5	×	RLN3nLEST レジスタの CSER フラグ
ID パリティエラー	受信した ID パリティビットが、LIN/UART インタフェースが自動で計算した値と一致しなかったとき	LIN 動作モード	中断	○	RLN3nLEST レジスタの IPER フラグ
レスポンス準備エラー	<ul style="list-style-type: none"> ヘッダ受信後、1 バイト目の受信データを受信完了前にレスポンスの準備が間に合わなかったとき 多バイトレスポンス受信で、次のデータグループの 1 バイト目の受信データを受信完了前に次のデータグループの受信準備が間に合わなかったとき 	LIN 動作モード	中断	×	RLN3nLEST レジスタの RPER フラグ

- 注 1. ビットエラーを検出した場合は、ストップビット送信後に中断します。インタバイトスペースなどの非データ領域でビットエラーを検出したときは、エラーになったビットを送信した直後に送信を中断します。ウェイクアップ送信中にビットエラーを検出したときは、エラーになったビットを送信した直後にウェイクアップ送信を中断します。
- 注 2. 多バイトレスポンス送信においては、データグループとデータグループの間でもビットエラーを検出します。
- 注 3. タイムアウト時間は、レスポンスフィールドデータ長 (RLN3nLDFC レジスタの RFDL[3:0] ビット)、およびチェックサム選択 (RLN3nLDFC レジスタの LCS ビット) に依存し、下記の式により計算できます。RLN3nLTRC レジスタの RTS ビットまたは LNRR ビットを設定するまでは、データバイト数 8 バイトのタイムアウト時間となります。RTS ビットが設定されると、タイムアウト時間は、レスポンスフィールドデータ長 (RLN3nLDFC レジスタの RFDL[3:0] ビット) を元にした時間に再設定されます。LNRR ビットが設定されると、タイムアウト機能は停止します。

【フレームタイムアウト】

クラシック選択時 (RLN3nLDFC.CSM ビットが "0" の場合) :

$$\text{タイムアウト時間} = 49 + (\text{データバイト数} + 1) \times 14 \text{ [Tbit]}$$

エンハンス選択時 (RLN3nLDFC.CSM ビットが "1" の場合) :

$$\text{タイムアウト時間} = 48 + (\text{データバイト数} + 1) \times 14 \text{ [Tbit]}$$

上記タイムアウト時間は、クラシック選択時に LIN Specification Package Revision 1.3 の TFRAME_MAX を、エンハンス選択時に LIN Specification Package Revision 2.x の TFRAME_MAX を超える時間となります。

【レスポンスタイムアウト】

$$\text{タイムアウト時間} = (\text{データバイト数} + 1) \times 14 \text{ [Tbit]}$$

なお、エラーを検出した場合、タイムアウトエラー検出機能は停止します。

- 注 4. SFER フラグへの反映の許可/禁止であり、エラー検出の許可/禁止ではありません。
- 注 5. レスポンスフレーム受信完了後にチェックサム判定を行います。エラーの場合、受信完了フラグは“1”になりません。

エラーステータスのクリア条件は、ソフトウェアによるクリア、LIN リセットモード移行時です。

(2) LIN エラー検出の対象時間領域

図 19.20 にエラーを検出するために LIN/UART インタフェースが LIN スレーブモード時に監視する時間領域を示します。

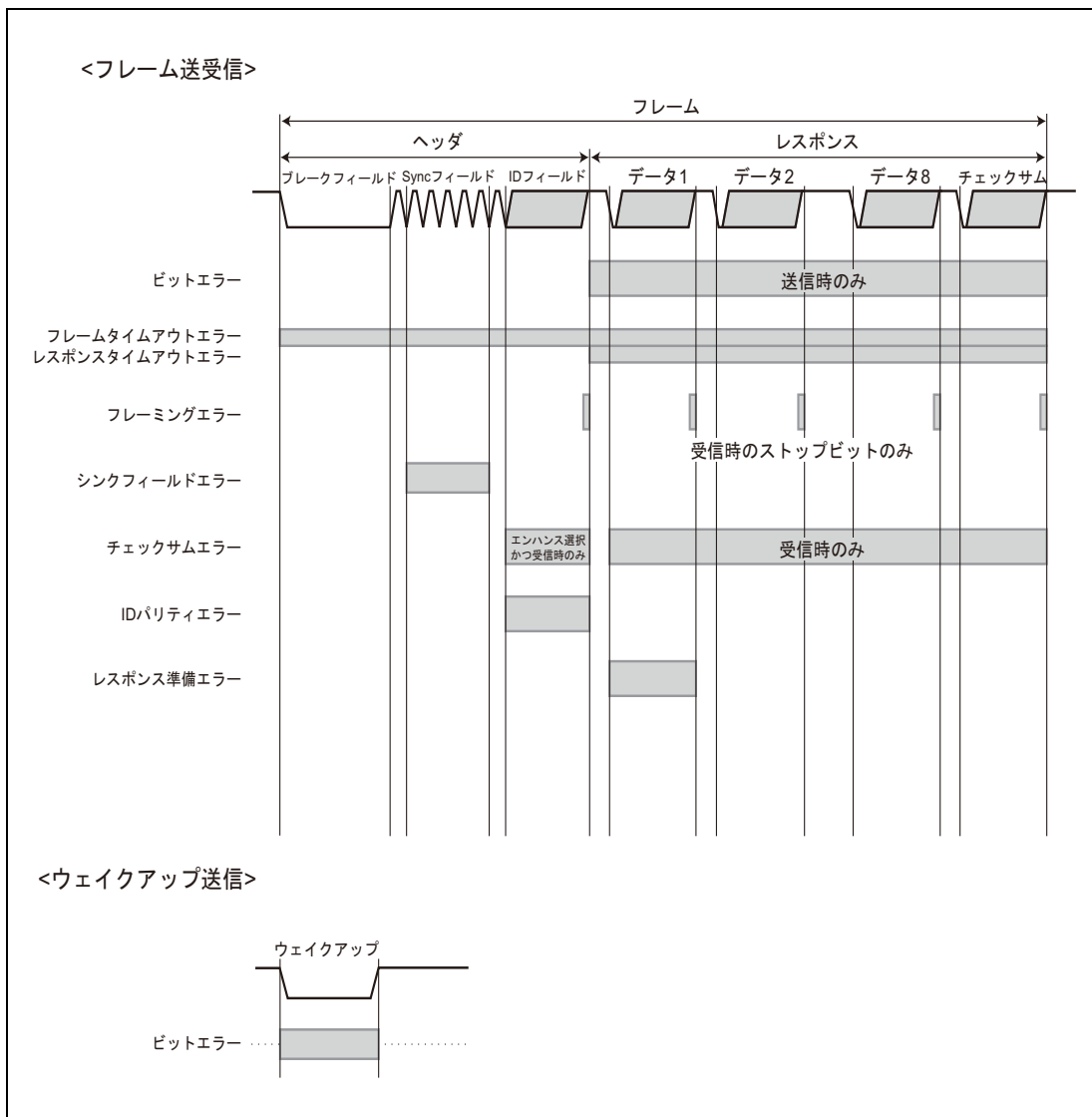


図 19.20 LIN エラー検出の対象時間領域 (LIN スレーブモード)

19.8 UART モード

LIN リセットモードで、RLN3nLMD レジスタの LMD ビットを“01_B” (UART モード) に設定し、RLN3nLCUC レジスタの OM0 ビットを“1”にしてください。これにより UART モードになり、RLN3nLMST レジスタの OMM0 ビットが“1”になります。

19.8.1 送信

図 19.21 に LIN/UART インタフェース (UART モード) の送信動作、表 19.89 に LIN/UART インタフェース (UART モード) の送信処理を示します。

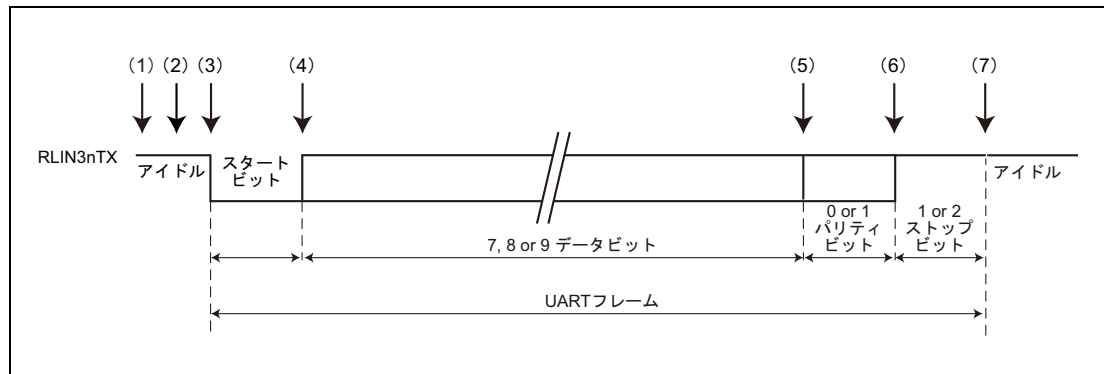


図 19.21 LIN/UART インタフェース (UART モード) の送信動作

表 19.89 LIN/UART インタフェース (UART モード) の送信処理 (1/2)

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	<ul style="list-style-type: none"> • ボーレートを設定 • ノイズフィルタ ON/OFF を設定 • エラー検出許可を設定 • データフォーマットを設定 • 割り込み発生タイミングを設定 • LIN/UART インタフェースを LIN リセットモードから解除 • 送信動作許可ビット (UTOE ビット) を“1”に設定 	<ul style="list-style-type: none"> • ソフトウェアによる送信トリガ (RLN3nLUTDR レジスタ) 待ち
(2)	<ul style="list-style-type: none"> • UART 送信データレジスタ (RLN3nLUTDR) または UART ウェイト用送信データレジスタ (RLN3nLUWTD) に送信データを設定 	<ul style="list-style-type: none"> • 送信ステータスフラグを設定

表 19.89 LIN/UART インタフェース (UART モード) の送信処理 (2/2)

	ソフトウェア処理	LIN/UART インタフェース処理
(3)	<ul style="list-style-type: none"> 割り込み要求発生待ち <p>【UTIGTS ビットが“0” (送信開始時に送信割り込み発生) のとき】</p> <ul style="list-style-type: none"> 連続してデータの送信を行う場合は、UART 送信データレジスタ (RLN3nLUTDR レジスタ) に次の送信データを設定。割り込み要求発生待ち 	<ul style="list-style-type: none"> スタートビット送信 (半二重通信で受信→送信切り替え時は、受信の1ストップビットの終わり以後、スタートビット送信。この機能は「19.8.1.4 送信開始ウェイト機能」を参照してください。) <p>【UTIGTS ビットが“0” (送信開始時に送信割り込み発生) のとき】</p> <ul style="list-style-type: none"> 送信割り込み出力
(4)		UART (ウェイト用) 送信データレジスタに設定したデータを送信
(5)		パリティ使用時、パリティビットを送信
(6)		1 or 2 ストップビットを送信
(7)	<p>【UTIGTS ビットが“0” (送信開始時に送信割り込み発生) のとき】</p> <ul style="list-style-type: none"> 次の送信データがセットされている場合は、(3) へ <p>【UTIGTS ビットが“1” (送信完了時に送信割り込み発生) のとき】</p> <ul style="list-style-type: none"> 連続してデータの送信を行う場合は、(2) へ 	<p>【UTIGTS ビットが“0” (送信開始時に送信割り込み発生) のとき】</p> <ul style="list-style-type: none"> 次の送信データがセットされている場合は、(3) へ 次の送信データがセットされていない場合は、送信ステータスフラグをクリア <p>【UTIGTS ビットが“1” (送信完了時に送信割り込み発生) のとき】</p> <ul style="list-style-type: none"> RLIN3n 送信割り込み要求発生 送信ステータスフラグをクリア

19.8.1.1 連続送信

LIN/UART インタフェース (UART モード) では、RLN3nLUTDR レジスタを使用して複数のデータを連続送信することができます。送信割り込み発生タイミングが送信開始の場合の動作例および送信割り込み発生タイミングが送信完了の場合の動作例を図 19.22 に示します。

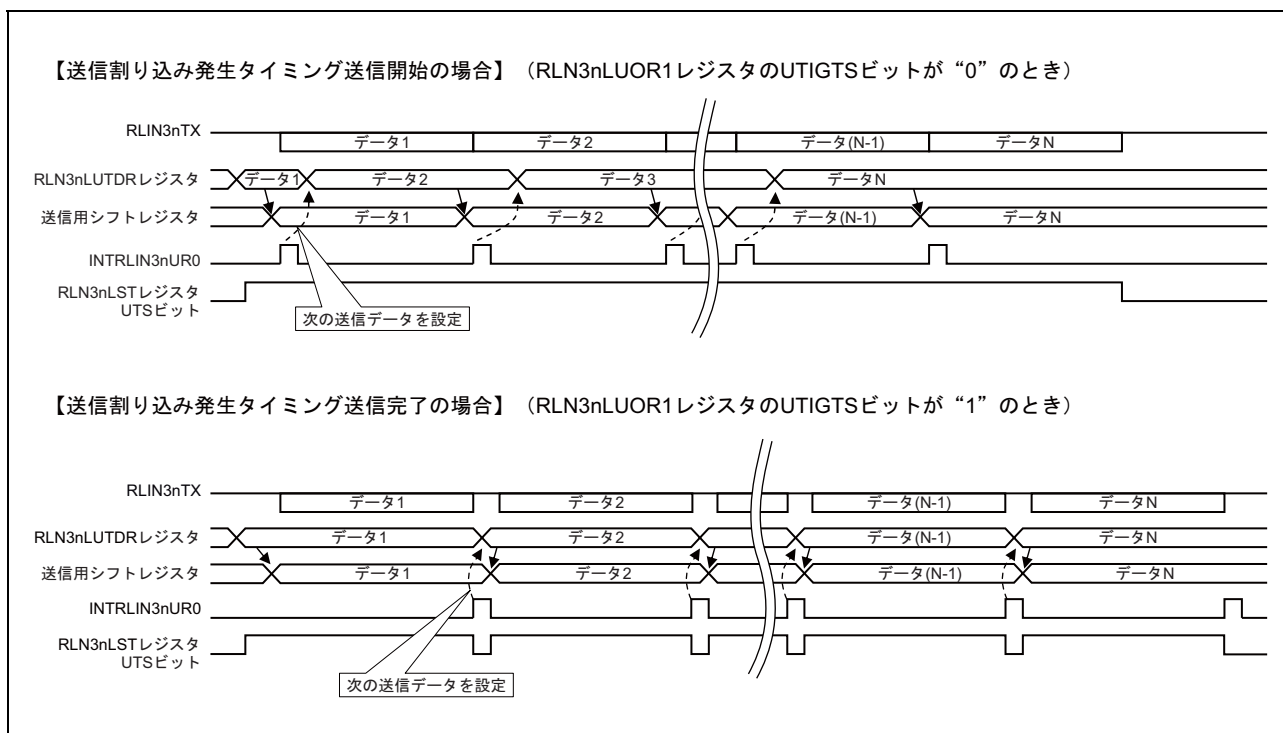


図 19.22 LIN/UART インタフェース (UART モード) 連続送信動作例

送信割り込み発生タイミングが送信開始で最終データの送信完了を知る必要がある場合のみ、最終データの送信開始後に RLN3nLUOR1 レジスタの UTIGTS ビットを“0”から“1”に変更することにより、送信完了で割り込みを発生させることができます。

19.8.1.2 UART バッファ送信

LIN/UART インタフェース (UART モード) は、最大9バイトの UART バッファを持っており、UART バッファを使用した連続送信が可能です。

図 19.23 に LIN/UART インタフェース (UART モード) の UART バッファ送信動作、表 19.90 に UART バッファ送信処理を示します。

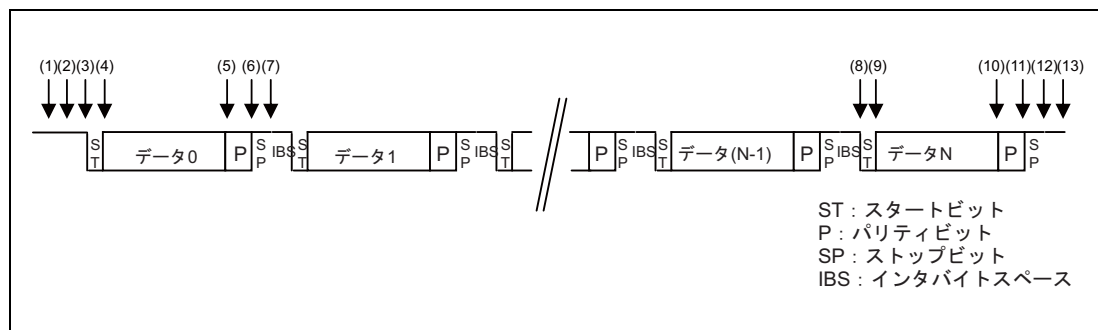


図 19.23 LIN/UART インタフェース (UART モード) の UART バッファ送信動作

表 19.90 LIN/UART インタフェース (UART モード) UART バッファ送信処理 (1/2)

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	<ul style="list-style-type: none"> ボーレートを設定 ノイズフィルタ ON/OFF を設定 エラー検出許可を設定 データフォーマットを設定 割り込み発生タイミングを送信完了時に設定 LIN リセットモードから解除 送信動作許可ビット (UTOE ビット) を“1”に設定 	<ul style="list-style-type: none"> ソフトウェアによる送信トリガ (RTS ビット) 待ち
(2)	<ul style="list-style-type: none"> UART バッファデータ長 および 送信開始ウェイト有無の設定 UART データ 0 バッファレジスタ (RLN3nLUDB0)、LIN データバッファ b レジスタ (RLN3nLDBRb) に送信データを設定 (b = 1 ~ 8) UART バッファ送信開始ビット (RTS) を設定 	<ul style="list-style-type: none"> 送信ステータスフラグをセット
(3)	割り込み要求発生待ち	スタートビット送信 (半二重通信で受信→送信切り替え時は、受信の1ストップビットの終わり以後、スタートビット送信。この機能は「19.8.1.4 送信開始ウェイト機能」を参照してください。)
(4)		UART データバッファ 0 レジスタ (RLN3nLUDB0) または LIN/UART データバッファ b レジスタ (RLN3nLDBRb) に設定したデータを送信
(5)		パリティ使用時、パリティビットを送信
(6)		1 または 2 ストップビットを送信 (UART バッファデータ長設定ビットで設定したデータ数が 1 の場合、(12)に進む)
(7)		インタバイトスペース (アイドル) を送信
		UART バッファデータ長設定ビットで設定したデータ数 -1 まで、(3) ~ (7) を繰り返す

表 19.90 LIN/UART インタフェース (UART モード) UART バッファ送信処理 (2/2)

	ソフトウェア処理	LIN/UART インタフェース処理
(8)		スタートビット送信
(9)		LIN/UART データバッファ b レジスタ (RLN3nLDBRb) に設定したデータを送信
(10)		パリティ使用時、パリティビットを送信
(11)		1 または 2 ストップビットを送信
(12)		<ul style="list-style-type: none"> バッファ送信完了フラグをセット UART バッファ送信開始ビット (RTS) をクリア 送信割り込み要求信号 送信ステータスフラグをクリア
(13)	<ul style="list-style-type: none"> RLN3nLST レジスタのチェック、フラグのクリア 連続してデータの送信を行う場合は、(2) へ 	

(1) UART バッファの送信

9 バイト送信の場合、RLN3nLUDB0 レジスタ、RLN3nLDBR1 ~ RLN3nLDBR8 レジスタに格納されている内容が、データ 0 ~ 8 領域に送信されます。9 バイトの送信設定のときのみ、RLN3nLUDB0 レジスタは使われます。その他の場合、データ長により、RLN3nLDBR1 ~ RLN3nLDBR8 レジスタが選択されます。4 バイト送信の場合は、RLN3nLDBR1 ~ RLN3nLDBR4 レジスタに格納されている内容がデータ 1 ~ 4 領域に送信されます。RLN3nLDBR5 ~ RLN3nLDBR8 レジスタの内容は送信されません。RLN3nLDFC レジスタの MDL[3:0] ビットに設定したデータ数送信後、RLIN3n の送信割り込みが発生します。各送信データ間スペースは、RLN3nLSC レジスタの IBS ビットで設定できます。

図 19.24 に 9 バイトの UART バッファと送信処理を示します。

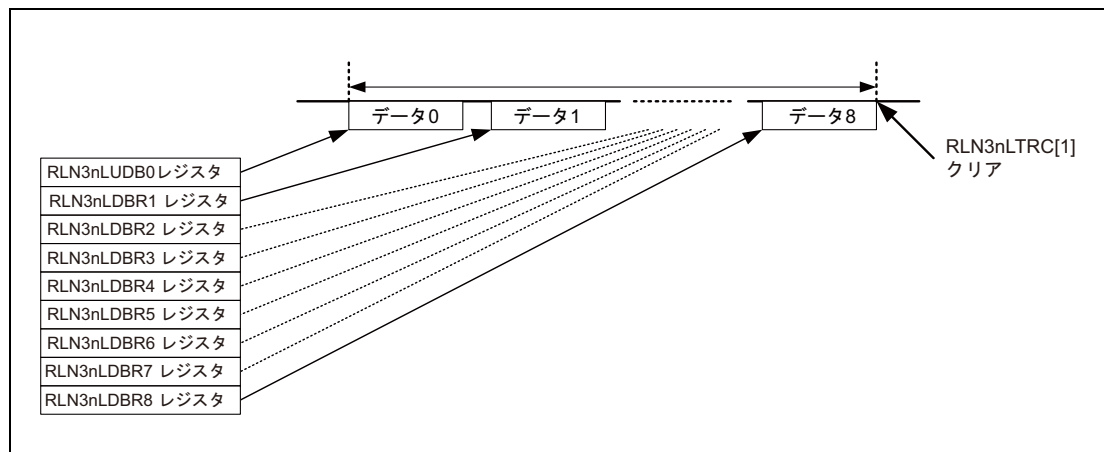


図 19.24 UART バッファと送信処理 (9 バイトの場合)

19.8.1.3 データ送信

データ送信は、1 Tbit に 1 ビットずつ行われます。

半二重通信で、RLN3nLEDE レジスタの BERE ビットが“1”（ビットエラー検出許可）のとき、データ送信時に送信データと入力端子レベルの比較がビットごとに行われ、結果は RLN3nLEST レジスタの BER フラグに格納されます（「19.8.5 エラーステータス」参照）。データ送信時に、入力端子をサンプリングするタイミングは、RLN3nLWBR レジスタの LPRS[2:0] および NSPB[3:0] ビットの設定により異なります。

UART モード時のビットエラー検出タイミングを表 19.91 に示します。

表 19.91 UART モード時のビットエラー検出タイミング

1 ビットあたりのサンプリング数	ビットエラー検出タイミング
6 サンプリング	3 クロック目 + 1 プリスケールクロック
7 サンプリング	4 クロック目 + 1 プリスケールクロック
8 サンプリング	4 クロック目 + 1 プリスケールクロック
9 サンプリング	5 クロック目 + 1 プリスケールクロック
10 サンプリング	5 クロック目 + 1 プリスケールクロック
11 サンプリング	6 クロック目 + 1 プリスケールクロック
12 サンプリング	6 クロック目 + 1 プリスケールクロック
13 サンプリング	7 クロック目 + 1 プリスケールクロック
14 サンプリング	7 クロック目 + 1 プリスケールクロック
15 サンプリング	8 クロック目 + 1 プリスケールクロック
16 サンプリング	8 クロック目 + 1 プリスケールクロック

データ送信のタイミング例 (1 Tbit が 16 サンプリングの場合) を図 19.25 に示します。

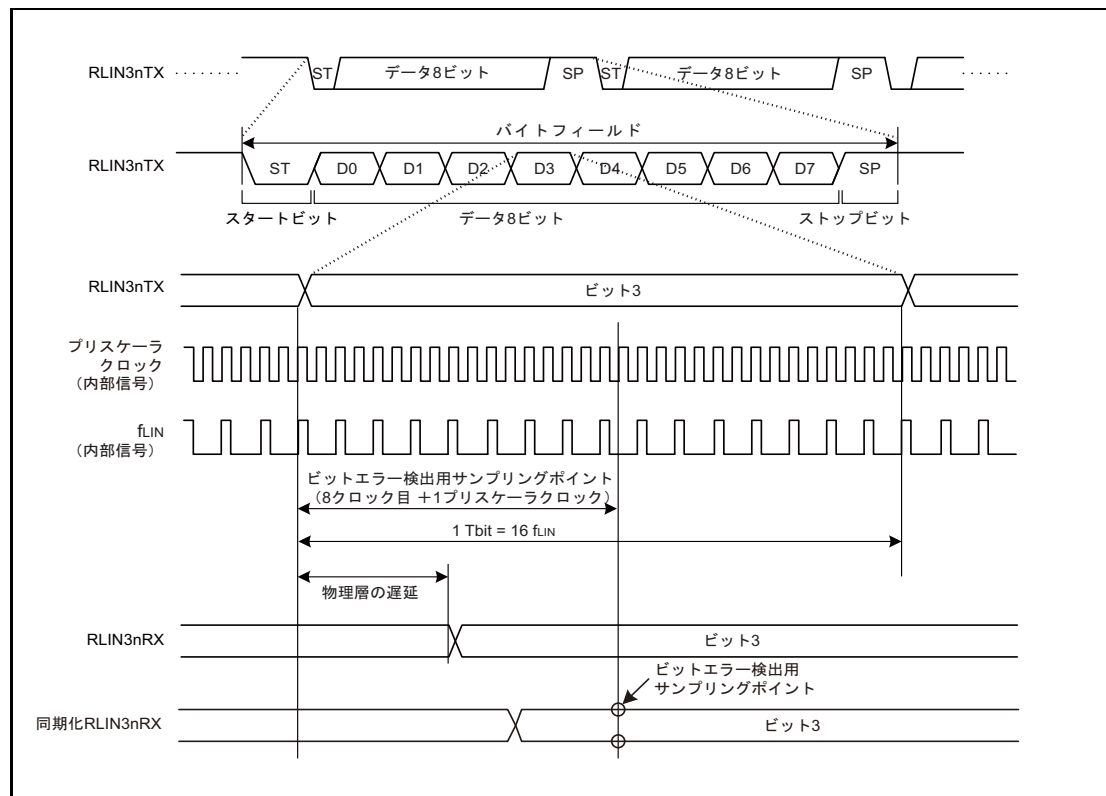


図 19.25 データ送信のタイミング例 (1 Tbit が 16 サンプリングの場合)

19.8.1.4 送信開始ウェイト機能

LIN/UART インタフェース (UART モード) は、半二重通信を行う場合、受信から送信へ切り替わるときに受信のストップビット長を確保する機能を持っています。

受信のストップビット完了まで送信開始を遅らせたい場合、送信開始要求として RLIN3nLUTDR レジスタへ送信データを設定する代わりに、ウェイト専用レジスタである RLIN3nLUWTD R レジスタへデータを設定してください。UART バッファから送信する場合は、RLIN3nLDFC レジスタの UTSW ビットを“1”に設定した状態で、RLIN3nLTRC レジスタの RTS ビットに“1” (UART バッファ送信開始) を設定してください。

この場合、受信データのストップビットが終了するまで、送信開始をウェイトします。

なお、RLIN3nBLFC レジスタの UART ストップビット長選択ビット (USBLS) が“1” (ストップビット 2 ビット) の場合でも、1 ビット分しかウェイトしません。

送信ウェイト機能の動作を **図 19.26** に示します。

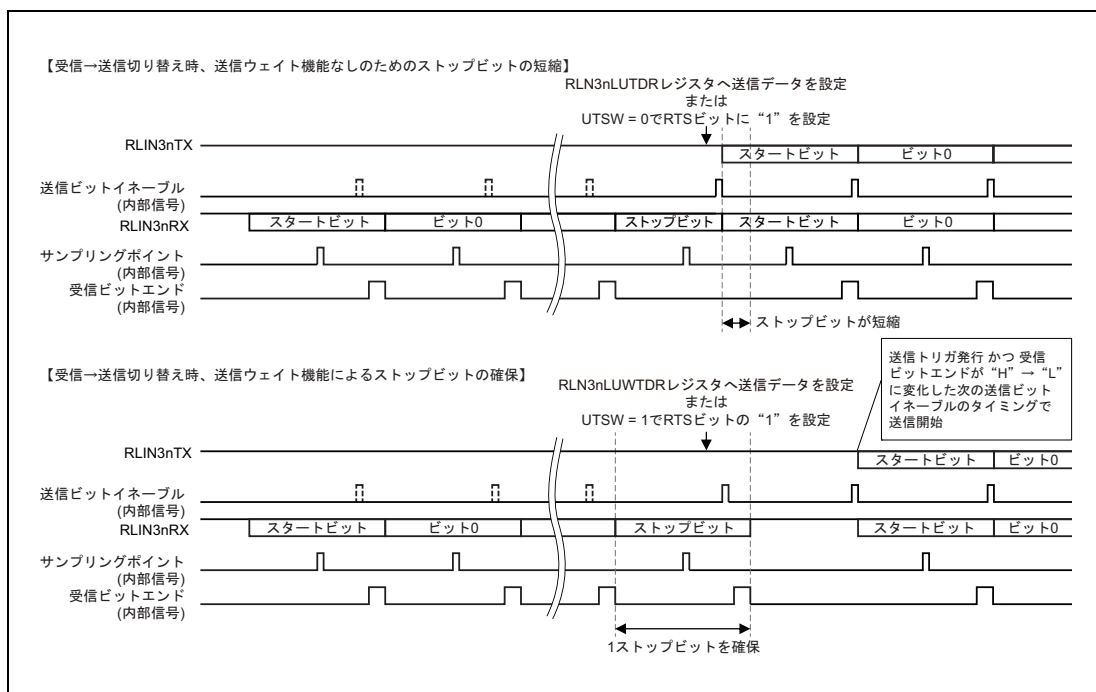


図 19.26 受信データのストップビット中に送信データを設定した場合

19.8.2 受信

図 19.27 に LIN/UART インタフェース (UART モード) の受信動作、表 19.92 に LIN/UART インタフェース (UART モード) の受信処理を示します。

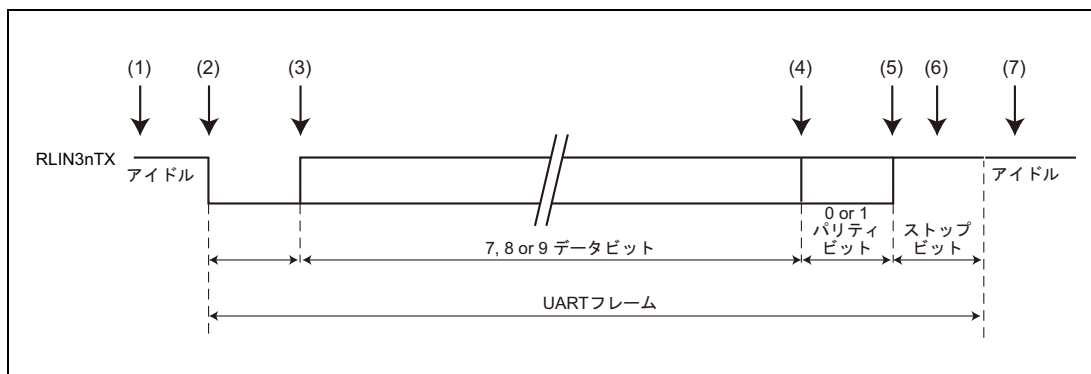


図 19.27 LIN/UART インタフェース (UART モード) の受信動作

表 19.92 LIN/UART インタフェース (UART モード) の受信処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	<ul style="list-style-type: none"> • ボーレートを設定 • ノイズフィルタ ON/OFF を設定 • エラー検出許可を設定 • データフォーマットを設定 • LIN リセットモードから解除 • 受信動作許可ビット (UROE ビット) を“1”に設定 	<ul style="list-style-type: none"> • ソフトウェアによる受信許可状態切り換え待ち • スタートビット検出待ち
(2)	割り込み要求発生待ち	<ul style="list-style-type: none"> • 受信端子からの立ち下がりエッジを待ち、スタートビットを検出 • 受信ステータスフラグをセット
(3)		データを受信
(4)		パリティ使用時、パリティビットを受信
(5)		1ストップビットのみ受信
(6)		<ul style="list-style-type: none"> • RLIN3n 受信完了割り込み要求発生 • 受信ステータスフラグをクリア
(7)	RLN3nLST レジスタのチェック、フラグのクリア	受信端子からの立ち下がりエッジ待ち

19.8.2.1 データ受信

データ受信は、RLIN3nRX 端子からの入力をプリスケールクロックに同期させた同期化 RLIN3nRX (内部信号) を使用して行います。

この同期化 RLIN3nRX 信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、1 Tbit あたりのサンプリング数が偶数の場合は 0.5 Tbit 後に、奇数の場合は $\{ (\text{サンプリング数} + 1) / 2 \} / (\text{サンプリング数})$ Tbit 後に再度サンプリングを行い、同期化 RLIN3nRX 信号がロウレベルであった場合にスタートビットと認識します。リセット解除後から RLIN3nRX 信号がロウレベル固定の場合や、再サンプリング時にハイレベルを検出した場合はスタートビットとは認識しません。

スタートビット検出後は、1 Tbit ごとにビットのサンプリングを行います。

ただし、RLN3nLEDE レジスタの BERE ビットが“1”の場合は、サンプリングポイントがビットエラー検出タイミングと同じになります。

LIN/UART インタフェースは、受信データに対するノイズフィルタ機能をもっています。RLN3nLMD レジスタの LRDNFS ビットが“0”の場合は、ノイズフィルタ使用となり、サンプリングの値はプリスケールクロックで3サンプリング多数決により決定した値を使用します。RLN3nLMD レジスタの LRDNFS ビットが“1”の場合は、ノイズフィルタ未使用となり、サンプリングの値はサンプリング位置での同期化 RLIN3nRX 値の値をそのまま使用します。

図 19.28 にデータ受信タイミングの例を示します。

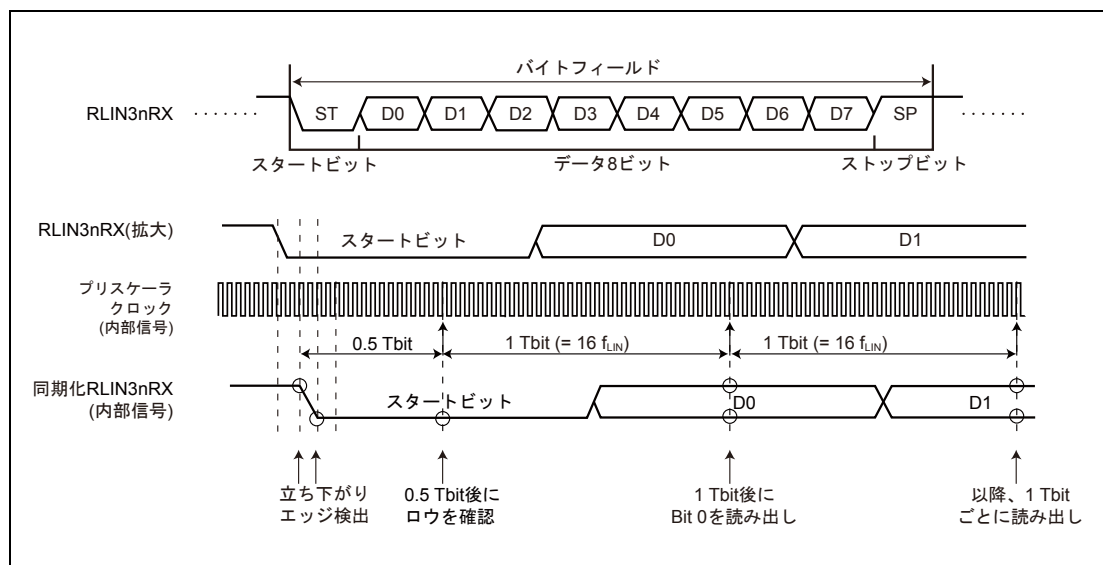


図 19.28 データ受信タイミング例 (1 Tbit が 16 サンプリングの場合)

19.8.3 拡張ビット

LIN/UART インタフェース (UART モード) で、RLN3nLUOR1 レジスタの UEBE ビットを“1”に設定することにより、9 ビット長のデータを送受信することが可能です。

19.8.3.1 拡張ビット送信

LIN/UART インタフェース (UART モード) で、UART オプションレジスタ 1 (RLN3nLUOR1) の拡張ビット許可ビット (UEBE) が“1”で、UART 送信データレジスタ (RLN3nLUTDR) または UART ウェイト用送信データレジスタ (RLN3nLUWTD) に 9 ビットのデータを書き込むと 9 ビット長のデータが送信されます。

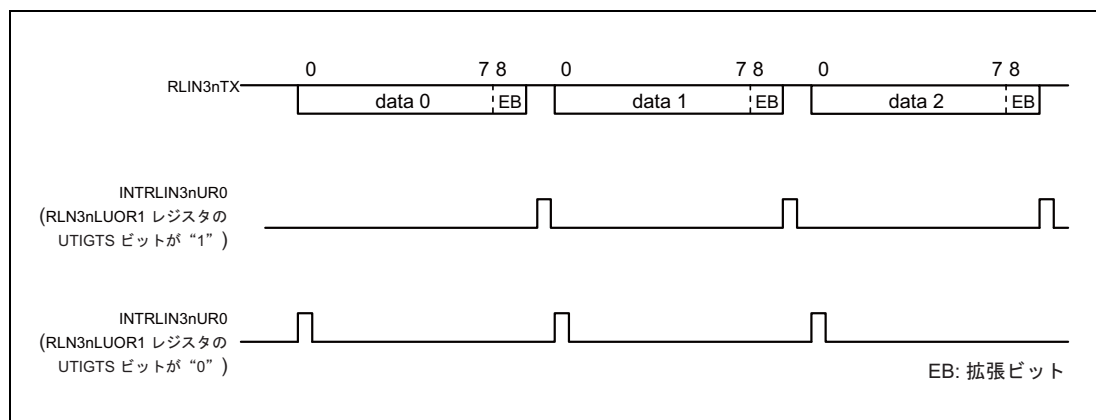


図 19.29 拡張ビット許可時送信例 (LSB ファースト)

19.8.3.2 拡張ビット受信

LIN/UART インタフェース (UART モード) で、UART オプションレジスタ 1 (RLN3nLUOR1) の拡張ビット許可ビット (UEBE) が“1”かつ拡張ビット比較禁止ビット (UECD) が“1”かつ拡張ビット・データ比較許可ビット (UEBDCE) が“0”のとき、拡張ビットの比較なしで常に 9 ビット長の受信が可能です。UART オプションレジスタ 1 (RLN3nLUOR1) の拡張ビット検出レベル選択ビット (UEBDL) の設定にかかわらず、9 ビット長のデータを受信すると RLIN3n の受信完了割り込みが発生します。

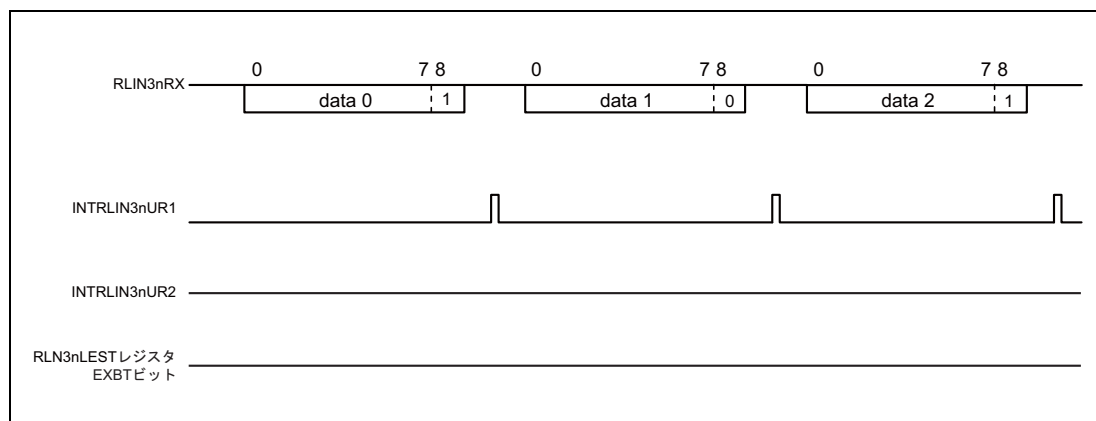


図 19.30 拡張ビット受信の例 (LSB ファースト)

19.8.3.3 拡張ビット受信 (拡張ビット比較あり)

LIN/UART インタフェース (UART モード) で、UART オプションレジスタ 1 (RLN3nLUOR1) の拡張ビット許可ビット (UEBE) が“1”かつ拡張ビット比較禁止ビット (UECD) が“0”かつ拡張ビット・データ比較許可ビット (UEBDCE) が“0”のとき、受信した拡張ビットと UEBDL ビットの比較が可能です。

拡張ビット検出レベル選択ビット (UEBDL) で設定したレベルを検出した場合は、データ受信完了時に RLIN3n のステータス割り込み要求が発生し、LIN エラーステータスレジスタ (RLN3nLEST) の拡張ビット検出フラグ (EXBT) がセットされます。拡張ビット検出レベルの反転値が検出された場合は、RLIN3n の受信完了割り込み要求が発生します。どちらの場合も、オーバランエラーでなければ受信データを UART 受信データレジスタ (RLN3nLURDR) へ格納します。

拡張ビット検出レベル選択ビット (UEBDL) を“0”に設定した場合の例を図 19.31 に示します。

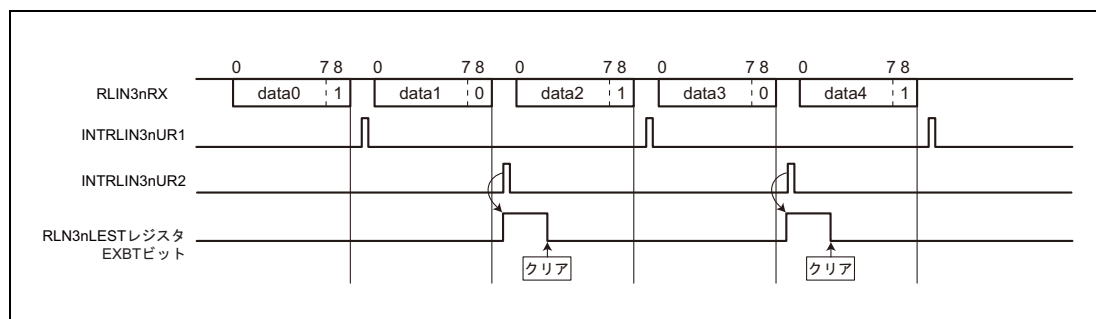


図 19.31 拡張ビット受信 (拡張ビット比較あり) の例 (LSB ファースト、UEBDL = 0)

備考

- 受信 data0、2、4 (拡張ビット検出レベルの反転値が検出された場合) で受信エラー (パリティエラー/フレーミングエラー/オーバランエラー) が発生すると、RLIN3n のステータス割り込みが発生し、エラーフラグが更新されます。このとき、RLIN3n の受信完了割り込みは発生しません。
- 受信 data1、3 (拡張ビット検出レベルが検出された場合) で受信エラー (パリティエラー/フレーミングエラー/オーバランエラー) が発生すると、RLIN3n のステータス割り込みが発生し、エラーフラグが更新されます。オーバランエラー発生時は、拡張ビット検出フラグ (EXBT) もセットされます。

19.8.3.4 拡張ビット受信（データ比較あり）

LIN/UART インタフェース（UART モード）で、UART オプションレジスタ 1（RLN3nLUOR1）の拡張ビット許可ビット（UEBE）が“1”かつ拡張ビット比較禁止ビット（UECD）が“0”かつ拡張ビット・データ比較許可ビット（UEBDCE）が“1”のとき、拡張ビット検出レベル選択ビット（UEBDL）で設定したレベルを検出すると、受信データの拡張ビットをのぞく 8 ビットを、あらかじめ設定した RLN3nLIDB レジスタ値と比較します。比較結果が一致の場合は、以下の動作を実行します。

- RLIN3n のステータス割り込みを発生
- 拡張ビット検出フラグ（EXBT）をセット
- ID 一致フラグ（IDMT）をセット
- 受信データを UART 受信データレジスタ（RLN3nLURDR）に格納

比較結果が一致の場合においても、RLIN3n の受信完了割り込みは発生しません。

比較結果が一致しない場合は、RLIN3n の受信完了割り込み および RLIN3n のステータス割り込みは発生せず、EXBT フラグ および IDMT フラグは“1”にセットされません。受信データは UART 受信データレジスタ（RLN3nLURDR）に格納されません。

UEBDCE ビットを“0”に変更する場合は、次の受信データ完了後までに行ってください。

拡張ビット検出レベル選択ビット（UEBDL）を“0”に設定した場合の例を図 19.32 に示します。

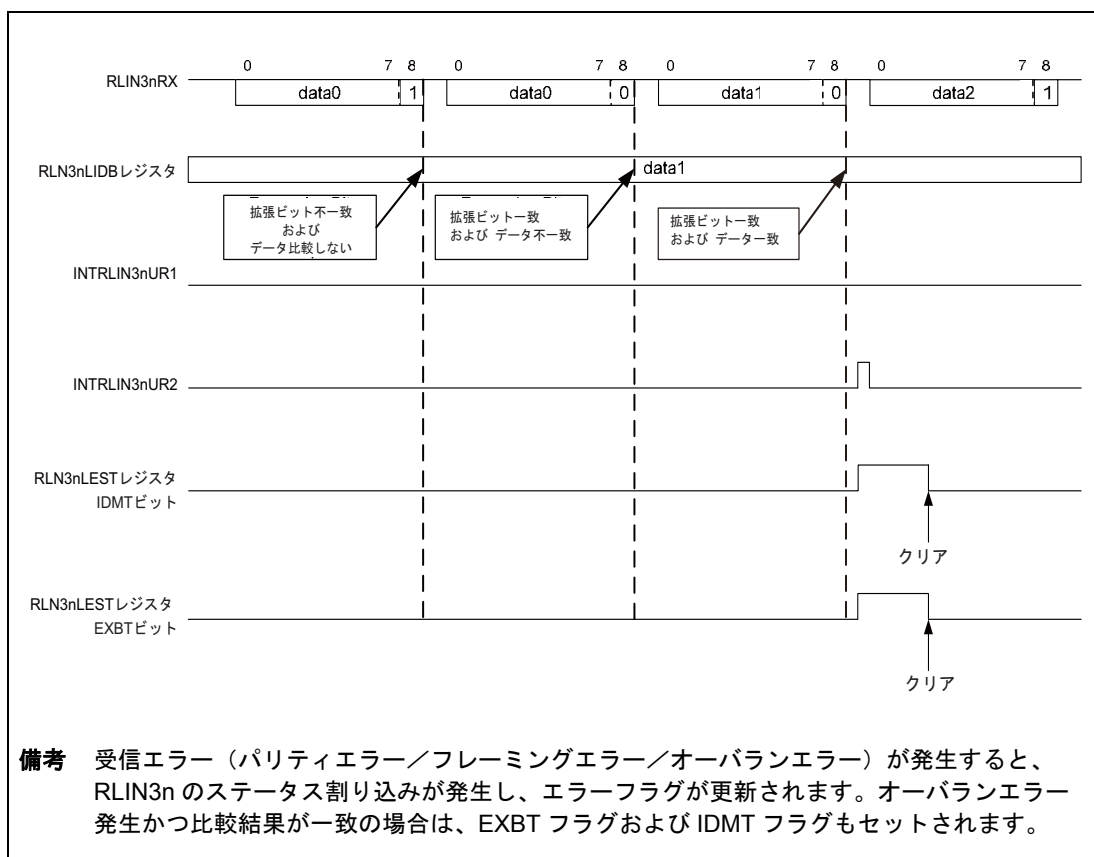


図 19.32 拡張ビット受信（データ比較あり）の例（LSB ファースト、UEBDL = 0）

19.8.4 ステータス

LIN/UART インタフェースは UART モード動作時に、5 種類のステータスを検出します。

UART バッファ送信完了、エラー検出の 2 つのステータスは割り込み要求を発生することができます。

表 19.93 に UART モードでのステータスの種類を示します。

表 19.93 UART モード ステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	対応ビット	割り込み
リセット	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードでないに設定後、実際に LIN/UART インタフェースが LIN リセットモード解除になったとき	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードに設定後、実際に LIN/UART インタフェースが LIN リセットモードになったとき	RLN3nLMST レジスタの OMM0 ビット	—
UART バッファ送信完了	<ul style="list-style-type: none"> RLN3nLUOR1 レジスタの UTIGTS ビットが“0”（送信開始時に送信割り込み発生）の場合、RLN3nLDFC レジスタの MDL ビットに設定したデータ長の最終データを送信開始したとき RLN3nLUOR1 レジスタの UTIGTS ビットが“1”（送信完了時に送信割り込み発生）の場合、RLN3nLDFC レジスタの MDL ビットに設定したデータ長を送信完了したとき 	<ul style="list-style-type: none"> ソフトウェアによるクリア LIN リセットモード移行時 	RLN3nLST レジスタの FTC フラグ	○
エラー検出	RLN3nLEST レジスタの UPER フラグ、IDMT フラグ、EXBT フラグ、FER フラグ、OER フラグ、BER フラグのいずれかが“1”（検出）になったとき	<ul style="list-style-type: none"> ソフトウェアによるクリア^{注1} LIN リセットモード移行時 	RLN3nLST レジスタの ERR フラグ	○
送信ステータス	<ul style="list-style-type: none"> RLN3nLUTDR レジスタ または RLN3nLUWTD R レジスタにデータを書き込んだとき RLN3nLTRC レジスタの RTS ビットに“1”を書き込んだとき 	<ul style="list-style-type: none"> RLN3nLUTDR レジスタ または RLN3nLUWTD R レジスタにセットされたデータが送信完了して、次の送信データがセットされていないとき UART バッファのデータの送信が完了して、RLN3nLTRC レジスタの RTS ビットがクリアされたとき LIN リセットモード移行時 	RLN3nLST レジスタの UTS フラグ	—
受信ステータス	<ul style="list-style-type: none"> スタートビットを検出したとき 	<ul style="list-style-type: none"> ストップビットのサンプリングポイントを検出したとき LIN リセットモード移行時 	RLN3nLST レジスタの URS フラグ	—

注 1. LIN リセットモード解除中に RLN3nLEST レジスタの UPER フラグ、IDMT フラグ、EXBT フラグ、FER フラグ、OER フラグ、BER フラグに“0”を書くことにより、RLN3nLST レジスタの ERR フラグは“0”になります。

19.8.5 エラーステータス

エラーステータスの種類

LIN/UART インタフェースは UART モードで、4 種類のエラーと 2 種類のステータスを検出します。これらのステータスの状態は RLN3nLEST レジスタの各ビットで確認できます。

表 19.94 にステータスの種類を示します。

表 19.94 ステータスの種類 (UART モード)

ステータス	エラー検出条件	通信処理	検出許可/ 禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしているデータが一致しなかったとき ^{注1}	設定された送信データの送信完了まで継続	○	RLN3nLEST レジスタの BER フラグ
オーバランエラー	RLN3nLURDR レジスタに受信データ格納後、データの読み出し前に、次のデータを受信したとき (このとき、RLN3nLURDR レジスタには格納されない)	— (検出時はすでに受信完了)	○	RLN3nLEST レジスタの OER フラグ
フレーミングエラー	受信処理において、1 ビット目のストップビットがロウレベルであったとき	— (検出時はすでに受信完了)	○	RLN3nLEST レジスタの FER フラグ
パリティエラー	受信したパリティ値が、受信データから算出したパリティ値と一致しなかったとき	受信完了まで継続	× 注2	RLN3nLEST レジスタの UPER フラグ
拡張ビット検出	受信した拡張ビットの値が、RLN3nLUOR1 レジスタの UEBDL ビットの値と一致したとき	—	○	RLN3nLEST レジスタの EXBT フラグ
ID 一致検出	受信した拡張ビットの値が、RLN3nLUOR1 レジスタの UEBDL ビットの値と一致かつ拡張ビットを除く受信した 8 ビットデータが RLN3nLIDB レジスタの値と一致したとき	—	○	RLN3nLEST レジスタの IDMT フラグ

注 1. UART バッファから送信する場合は、UART フレーム間のスペース (インタバイトスペース) でもビットエラーを検出します。

注 2. RLN3nLBFC レジスタの UPS[1:0] ビットを "10_B" (0 パリティ) に設定すると、パリティビットの値の判定を実施しません。そのため、パリティエラーは発生しません。

エラーステータスのクリア条件は、ソフトウェアによるクリア、LIN リセットモード移行時です。

19.9 LIN セルフテストモード

LIN/UART インタフェースは、LIN セルフテストモードを持ちます。一度 LIN/UART インタフェースが LIN セルフテストモードになると、RLIN3nTX と RLIN3nRX は外部端子から切断され、LIN/UART インタフェース内部で RLIN3nTX と RLIN3nRX が接続されます。よって、RLIN3nTX から送信するフレームは RLIN3nRX にループバックします。LIN セルフテストモードは、LIN モードのみのテストが可能です。

セルフテストは、以下の4種類行うことができます。

- LIN マスタ セルフテストモード (送信) : ヘッダ送信およびレスポンス送信
- LIN マスタ セルフテストモード (受信) : ヘッダ送信およびレスポンス受信
- LIN スレーブ セルフテストモード (送信) : ヘッダ受信およびレスポンス送信
- LIN スレーブ セルフテストモード (受信) : ヘッダ受信およびレスポンス受信

LIN セルフテストモードでは、ボーレートジェネレータの設定に関わらず、最速ボーレートで動作します。

ボーレートは、ボーレート関連レジスタの設定に関わらず、LIN 通信クロック源 / 16[bps] で動作します。(RLN3nLWBR レジスタの NSPB ビットは、必ず“0000_B”または“1111_B”で使用してください。)

また、LIN セルフテストモードでは、以下の機能はサポートしません。

- LIN ウェイクアップモード
- フレームセパレートモード
- 多バイトレスポンス送受信機能
- LIN スレーブモード [オートボーレート]
- フレーム / レスポンスタイムアウトエラー

これらの機能は使用しないでください。

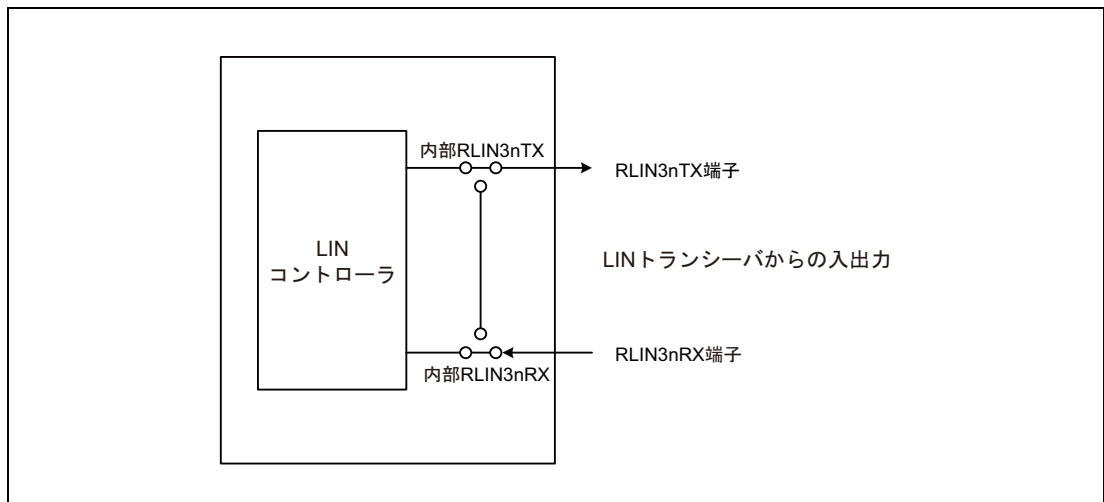


図 19.33 LIN リセットモード、LIN モード および UART モード接続

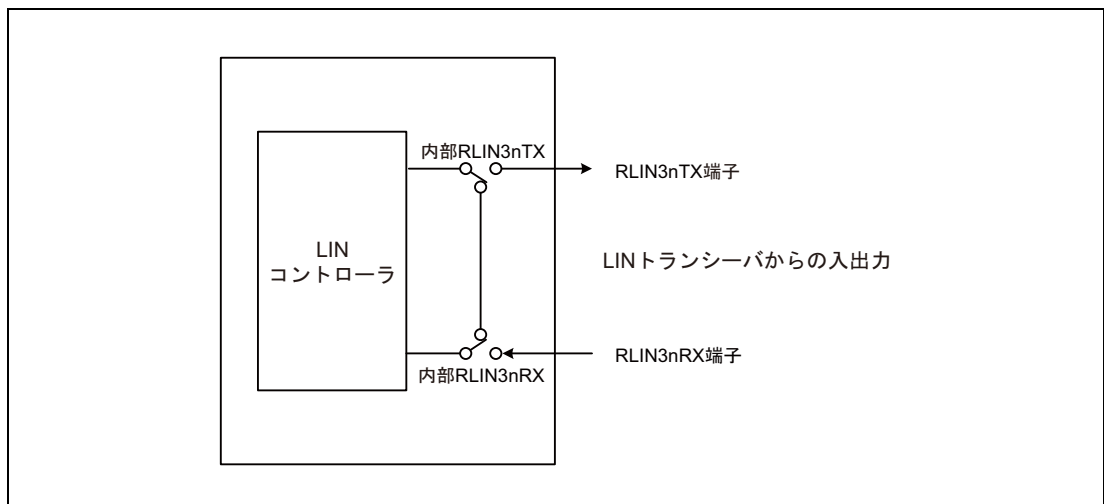


図 19.34 LIN セルフテストモード接続

19.9.1 LIN セルフテストモードへの移行

RLN3nLSTC レジスタへの書き込みにより、LIN セルフテストモードになります。
RLN3nLSTC レジスタの LSTM ビットが“1”になると、LIN セルフテストモードに移行したことが確認できます。

LIN セルフテストモードに移行するには、特定のシーケンスを必ず実行してください。このシーケンスでは、次の通り LIN セルフテスト制御レジスタに 3 回連続書き込みを行う必要があります。

- LIN リセットモードへ移行
RLN3nLCUC レジスタの OM0 ビットを“0” (LIN リセットモード) にする。
RLN3nLMST レジスタの OMM0 ビットを読み出し、“0” (LIN リセットモード) であることを確認する
- LIN モードの選択
RLN3nLMD レジスタの LMD ビットが“00_B” (LIN マスタモード) または“11_B” (LIN スレーブ [固定ボーレート])
- 1 回目書き込み : RLN3nLSTC レジスタ = “1010 0111_B” (A7_H)
- 2 回目書き込み : RLN3nLSTC レジスタ = “0101 1000_B” (58_H)
- 3 回目書き込み : RLN3nLSTC レジスタ = “0000 0001_B” (01_H)
- LIN セルフテストモードへの移行を確認する
RLN3nLSTC レジスタの LSTM ビットを読み出し、“1” (LIN セルフテストモード) であることを確認する。

1 回目のキー (A7_H) を誤って 2 回書き込みした場合、LIN セルフテストモードへの移行は中断します。再度 1 回目の書き込みから実施してください。また、LIN セルフテストモードへの移行 (RLN3nLSTC レジスタへの 3 回連続書き込み) 中にほかの LIN 関連レジスタに書き込みを行った場合も移行は中断します。

19.9.2 LIN マスタ セルフテストモードにおける送信

LIN マスタの送信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。
 RLN3nLWBR レジスタ = 0000 xxxx_B^{注1}
 RLN3nLBRP0 レジスタ = xxxx xxxx_B^{注1}
 RLN3nLBRP1 レジスタ = xxxx xxxx_B^{注1}
 RLN3nLMD レジスタ = 00xx xx00_B^{注1}
- 割り込み許可、エラー許可関連レジスタを設定する。
 RLN3nLIE レジスタ = 0000 xxxx_B^{注2}
 RLN3nLEDE レジスタ = x000 x0xx_B
- ブレークフィールド、スペース関連レジスタを設定する。
 RLN3nLBFC レジスタ = 00xx xxxx_B
 RLN3nLSC レジスタ = 00xx 0xxx_B
- LIN リセットモード解除
 RLN3nLCUC レジスタの OM1、OM0 ビットに“1_B”を書き込み、RLN3nLMST レジスタの OMM1、OMM0 ビットが“1_B”になることを確認する。
- 送信フレーム関連レジスタを設定する。
 RLN3nLDFC レジスタ = 00x1 xxxx_B
 RLN3nLIDB レジスタ = xxxx xxxx_B
 RLN3nLDBR1 ~ RLN3nLDBR8 レジスタ = xxxx xxxx_B
- ヘッダ送信→レスポンス送信開始
 RLN3nLTRC レジスタの FTS ビットを“1”（フレーム送信/ウェイクアップ送受信開始）にする。
 LIN マスタセルフテストモード（送信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。チェックサムは LIN/UART インタフェースが自動演算する。LIN マスタセルフテストモード（送信）実行中に中断したい場合は、RLN3nLCUC レジスタの OM0 ビットに“0”（LIN リセットモード）を書き込み、LIN リセットモードへ移行する。
- 送信完了の場合、ループバックしたフレームデータの反転値が RLN3nLIDB レジスタ、RLN3nLDBRb レジスタ（b = 1 ~ 8）、RLN3nLCBR レジスタに格納され（送信した値とループバックした値を比較するため、反転値として格納されます）、RLN3nLTRC レジスタの FTS ビットがクリアされる。
- エラーにより送信が完了しなかった場合、該当するエラーフラグが設定され、RLN3nLTRC レジスタの FTS ビットがクリアされる。

備考 x : 任意の値を設定してください。

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。

RLN3nLWBR レジスタの LPRS ビット、RLN3nLBRP0 レジスタ、RLN3nLBRP1 レジスタ、RLN3nLMD レジスタの LCKS ビット
 そのため、設定は必須ではありません。

注 2. 必要に応じて、「第 7 章 例外/割り込み」の関連レジスタを設定してください。

注 3. ヘッダ送信完了割り込みとフレーム送信完了割り込みを同じ割り込みで使用する場合、ヘッダ送信完了割り込みのソフトウェア処理がフレーム送信完了割り込み発生までに完了しない場合は、RLN3nLIE レジスタの SHIE ビットを“1”（ヘッダ送信完了割り込み許可）にしないでください。

ヘッダ送信完了フラグのセットからフレーム/ウェイクアップ送信完了フラグのセットまでの時間は次式で表されます。

$$10 \times (\text{データバイト数} + 1) [\text{Tbit}]$$

$$1 \text{ Tbit} = 1/\text{LIN 通信クロック源の周波数} \times 16$$

19.9.3 LIN マスタ セルフテストモードにおける受信

LIN マスタの受信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。
 RLN3nLWBR レジスタ = 0000 xxxx_B ^{注1}
 RLN3nLBRP0 レジスタ = xxxx xxxx_B ^{注1}
 RLN3nLBRP1 レジスタ = xxxx xxxx_B ^{注1}
 RLN3nLMD レジスタ = 00xx xx00_B ^{注1}
- 割り込み許可、エラー許可関連レジスタを設定する。
 RLN3nLIE レジスタ = 0000 xxxx_B ^{注2}
 RLN3nLEDE レジスタ = x000 x0xx_B
- ブレークフィールド、スペース関連レジスタを設定する。
 RLN3nLBFC レジスタ = 00xx xxxx_B
 RLN3nLSC レジスタ = 00xx 0xxx_B ^{注1}
- LIN リセットモード解除
 RLN3nLCUC レジスタの OM1、OM0 ビットに“1_B”を書き込み、RLN3nLMST レジスタの OMM1、OMM0 ビットが“1_B”になることを確認する。
- 受信フレーム関連レジスタを設定する。
 RLN3nLDFC レジスタ = 00x0 xxxx_B
 RLN3nLIDB レジスタ = xxxx xxxx_B
 RLN3nLDBR1 ~ RLN3nLDBR8 レジスタ = xxxx xxxx_B
 RLN3nLCBR レジスタ = xxxx xxxx_B
 送信するチェックサム値は自動演算されないため、ユーザで演算し、RLN3nLCBR レジスタに設定する。このとき誤ったチェックサム値を設定することによって、チェックサムエラーをテストすることが可能です。
- ヘッダ送信→レスポンス受信開始
 RLN3nLTRC レジスタの FTS ビットを“1”（フレーム送信/ウェイクアップ送受信開始）にする。
 LIN マスタセルフテストモード（受信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。LIN マスタセルフテストモード（受信）実行中に中断したい場合は、RLN3nLCUC レジスタの OM0 ビットに“0”（LIN リセットモード）を書き込み、LIN リセットモードへ移行する。
- 受信完了の場合、ループバックしたフレームデータの反転値が RLN3nLIDB レジスタ、RLN3nLDBRb レジスタ (b = 1 ~ 8)、RLN3nLCBR レジスタに格納され（設定した値とループバックした値を比較するため、反転値として格納されます）、RLN3nLTRC レジスタの FTS ビットがクリアされる。
- エラーにより受信が完了しなかった場合、該当するエラーフラグが設定され、RLN3nLTRC レジスタの FTS ビットがクリアされる。

備考 x: 任意の値を設定してください。

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
 RLN3nLWBR レジスタの LPRS ビット、RLN3nLBRP0 レジスタ、RLN3nLBRP1 レジスタ、

RLN3nLMD レジスタの LCKS ビット、RLN3nLSC レジスタの IBS ビット
そのため、設定は必須ではありません。

注2. 必要に応じて、「第7章 例外/割り込み」の関連レジスタを設定してください。

注3. ヘッダ送信完了割り込みとフレーム受信完了割り込みを同じ割り込みで使用する場合、ヘッダ送信完了割り込みのソフトウェア処理がフレーム受信完了割り込み発生までに完了しない場合は、RLN3nLIE レジスタの SHIE ビットを“1”（ヘッダ送信完了割り込み許可）にしないでください。

ヘッダ送信完了フラグのセットからフレーム/ウェイクアップ受信完了フラグのセットまでの時間は次式で表されます。

$$10 \times (\text{データバイト数} + 1) [\text{Tbit}]$$

$$1 \text{ Tbit} = 1/\text{LIN 通信クロック源} \times 16$$

19.9.4 LIN スレーブセルフテストモードにおける送信

LIN スレーブの送信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。
 RLN3nLWBR レジスタ = 0000 xxx0_B ^{注1}
 RLN3nLBRP0 レジスタ = xxxx xxxxB ^{注1}
 RLN3nLBRP1 レジスタ = xxxx xxxxB ^{注1}
 RLN3nLMD レジスタ = 00xx 001_B
- 割り込み許可、エラー許可関連レジスタを設定する。
 RLN3nLIE レジスタ = 0000 xxxxB ^{注2}
 RLN3nLEDE レジスタ = xx0x x00xB
- ブレークフィールド、スペース関連レジスタを設定する。
 RLN3nLBFC レジスタ = 0000 000xB ^{注3}
 RLN3nLSC レジスタ = 00xx 0001_B
- LIN リセットモード解除
 RLN3nLCUC レジスタの OM1、OM0 ビットに“1_B”を書き込み、RLN3nLMST レジスタの OMM1、OMM0 ビットが“1_B”になることを確認する。
- 送信フレーム関連レジスタを設定する。
 RLN3nLDFC レジスタ = 00x1 xxxxB
 RLN3nLIDB レジスタ = xxxx xxxxB
 RLN3nLDBR1 ~ RLN3nLDBR8 レジスタ = xxxx xxxxB
- ヘッダ受信→レスポンス送信開始
 RLN3nLTRC レジスタの FTS ビットを“1”（ヘッダ受信/ウェイクアップ送受信開始）にする。
 (RLN3nLTRC レジスタの RTS ビットの操作なしで、ヘッダ受信、レスポンス送信の順で実行)
 LIN スレーブセルフテストモード（送信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。
 チェックサムは LIN/UART インタフェースが自動演算する。LIN スレーブセルフテストモード（送信）実行中に中断したい場合は、RLN3nLCUC レジスタの OM0 ビットに“0”（LIN リセットモード）を書き込み、LIN リセットモードへ移行する。
- 送信完了の場合、ループバックしたフレームデータの反転値が RLN3nLIDB レジスタ、RLN3nLDBRb レジスタ (b = 1 ~ 8)、RLN3nLCBR レジスタに格納され（送信した値とループバックした値を比較するため、反転値として格納されます）、RLN3nLTRC レジ

スタの FTS ビットがクリアされる。

- エラーにより送信が完了しなかった場合、該当するエラーフラグが設定され、RLN3nLTRC レジスタの FTS ビットがクリアされる。

備考 x: 任意の値を設定してください。

- 注 1.** 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
RLN3nLWBR レジスタの LPRS ビット、RLN3nLBRP0 レジスタ、RLN3nLBRP1 レジスタ
そのため、設定は必須ではありません。
- 注 2.** 必要に応じて、「第 7 章 例外/割り込み」の関連レジスタを設定してください。
- 注 3.** このレジスタの設定によって、9.5 Tbit または 10.5 Tbit 幅のブレークを内部 RLIN3nTX より出力します。
- 注 4.** ヘッダ受信完了割り込みとレスポンス送信完了割り込みを同じ割り込みで使用する場合、ヘッダ受信完了割り込みのソフトウェア処理がレスポンス送信完了割り込み発生までに完了しない場合は、RLN3nLIE レジスタの SHIE ビットを“1”（ヘッダ受信完了割り込み許可）にしないでください。
ヘッダ受信完了フラグのセットからレスポンス/ウェイクアップ送信完了フラグのセットまでの時間は次式で表されます。

$$10 \times (\text{データバイト数} + 1) [\text{Tbit}]$$

$$1 \text{ Tbit} = 1/\text{LIN 通信クロック源の周波数} \times 16$$

19.9.5 LIN スレーブ セルフテストモードにおける受信

LIN スレーブの受信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。
 RLN3nLWBR レジスタ = 0000 xxx0_B ^{注1}
 RLN3nLBRP0 レジスタ = xxxx xxxxB ^{注1}
 RLN3nLBRP1 レジスタ = xxxx xxxxB ^{注1}
 RLN3nLMD レジスタ = 00xx 0011_B
- 割り込み許可、エラー許可関連レジスタを設定する。
 RLN3nLIE レジスタ = 0000 xxxxB ^{注2}
 RLN3nLEDE レジスタ = xx0x x0xB
- ブレークフィールド、スペース関連レジスタを設定する。
 RLN3nLBFC レジスタ = 0000 000xB ^{注3}
 RLN3nLSC レジスタ = 00xx 0001_B ^{注1}
- LIN リセットモード解除
 RLN3nLCUC レジスタの OM1、OM0 ビットに“11_B”を書き込み、RLN3nLMST レジスタの OMM1、OMM0 ビットが“11_B”になることを確認する。
- 受信フレーム関連レジスタを設定する。
 RLN3nLDFC レジスタ = 00x0 xxxxB
 RLN3nLIDB レジスタ = xxxx xxxxB
 RLN3nLDBR1 ~ RLN3nLDBR8 レジスタ = xxxx xxxxB
 RLN3nLCBR レジスタ = xxxx xxxxB
 送信するチェックサム値は自動演算されないため、ユーザで演算し、RLN3nLCBR レジスタに設定する。このとき誤ったチェックサム値を設定することによって、チェックサムエラーをテストすることが可能です。
- ヘッダ受信→レスポンス受信開始
 RLN3nLTRC レジスタの FTS ビットを“1” (ヘッダ受信/ウェイクアップ送受信開始) にする。
 (RLN3nLTRC レジスタの RTS ビットの操作なしで、ヘッダ受信、レスポンス受信の順で実行)
 LIN スレーブセルフテストモード (受信) が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。LIN スレーブセルフテストモード (受信) 実行中に中断したい場合は、RLN3nLCUC レジスタの OM0 ビットに“0” (LIN リセットモード) を書き込み、LIN リセットモードへ移行してください。
- 受信完了の場合、ループバックしたフレームデータの反転値が RLN3nLIDB レジスタ、RLN3nLDBRb レジスタ (b = 1 ~ 8)、RLN3nLCBR レジスタに格納され (設定した値とループバックした値を比較するため、反転値として格納されます)、RLN3nLTRC レジスタの FTS ビットがクリアされる。
- エラーにより受信が完了しなかった場合、該当するエラーフラグが設定され、RLN3nLTRC レジスタの FTS ビットがクリアされる。

備考 x: 任意の値を設定してください。

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。

RLN3nLWBR レジスタの LPRS ビット、RLN3nLBRP0 レジスタ、RLN3nLBRP1 レジスタ、RLN3nLSC レジスタの IBS ビット

そのため、設定は必須ではありません。

- 注2. 必要に応じて、「第7章 例外／割り込み」の関連レジスタを設定してください。
- 注3. このレジスタの設定によって、9.5 Tbit または 10.5 Tbit 幅のブレークを内部 RLIN3nTX より出力します。
- 注4. ヘッダ受信完了割り込みとレスポンス受信完了割り込みを同じ割り込みで使用する場合、ヘッダ受信完了割り込みのソフトウェア処理がレスポンス受信完了割り込み発生までに完了しない場合は、RLN3nLIE レジスタの SHIE ビットを“1”（ヘッダ受信完了割り込み許可）にしないでください。
ヘッダ受信完了フラグのセットからレスポンス／ウェイクアップ受信完了フラグのセットまでの時間は次式で表されます。

$$10 \times (\text{データバイト数} + 1) [\text{Tbit}]$$

$$1 \text{ Tbit} = 1/\text{LIN 通信クロック源の周波数} \times 16$$

19.9.6 LIN セルフテストモード終了

LIN セルフテストモードを終了するには、次の手順を行ってください。

- RLN3nLCUC レジスタの OM0 ビットに“0”（LIN リセットモード）を書く。
RLN3nLMST レジスタの OMM1、OMM0 ビットが“11_B”でない場合は、RLN3nLCUC レジスタの OM1、OM0 ビットに“11_B”を書き、RLN3nLMST レジスタ OMM1、OMM0 ビットが“11_B”になることを確認した後に、LIN リセットモードに移行してください。
- LIN セルフテストモードの解除を確認する。
RLN3nLSTC レジスタの LSTM ビットを読み、“0”（LIN セルフテストモードではない）を確認。
- LIN リセットモードへの移行を確認する。
RLN3nLMST レジスタの OMM0 ビットを読み、“0”（LIN リセットモード）を確認。

19.10 ボーレートジェネレータ

LIN 通信クロック源をプリスケアラで分周したクロックがプリスケアラクロックとなり、プリスケアラクロックをボーレートジェネレータで分周したクロックが LIN システムクロック (f_{LIN}) となり、これをサンプリング数で分周したクロックがボーレートになります。このボーレートの逆数をビットタイム (Tbit) といいます。

LIN/UART インタフェースは、2 種類のボーレートジェネレータを持ち、モードにより使用するボーレートジェネレータが切り替わります。

19.10.1 LIN マスタモード

図 19.35 に LIN マスタモード時のボーレート生成ブロック図を示します。

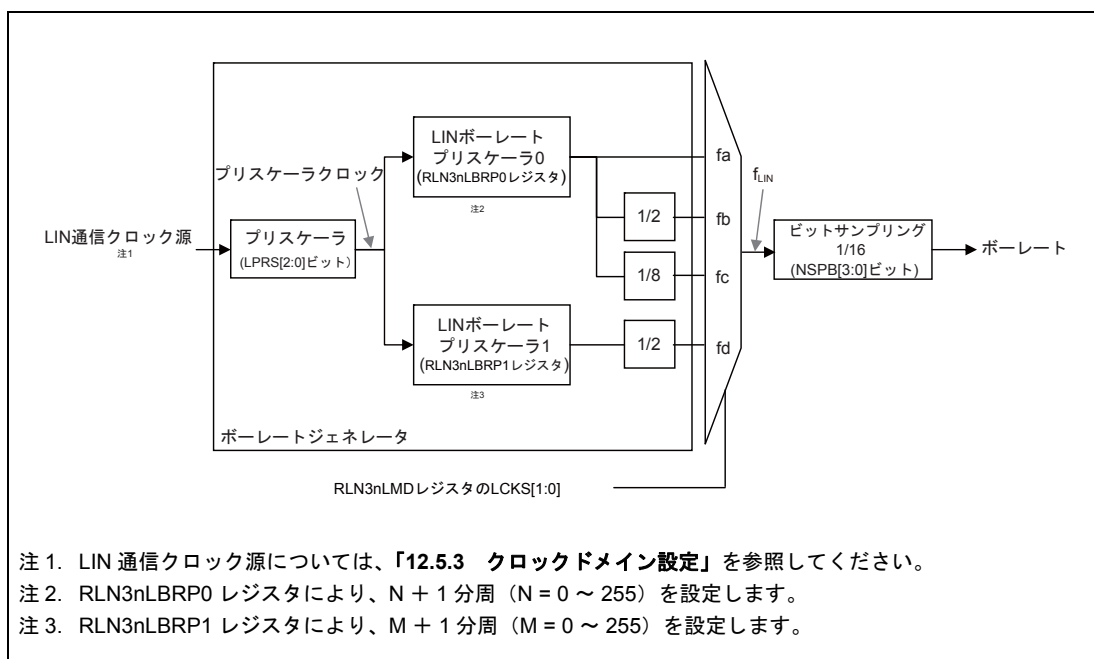


図 19.35 LIN マスタモード ボーレート生成ブロック図

f_a が 307200 Hz ($= 19200 \times 16$) となるように RLIN3nLBRP0 レジスタを設定すれば、 $f_a = 19200 \times 16$ 、 $f_b = 9600 \times 16$ 、 $f_c = 2400 \times 16$ となり、ビットタイミング生成部で 16 分周するため、19200bps、9600bps、2400bps が生成できます。また、 f_d が 166672Hz ($= 10417 \times 16$) となるように RLIN3nLBRP1 レジスタを設定すれば、 $f_d = 10417 \times 16$ となり、ビットタイミング生成部で 16 分周するため、10417 bps が生成できます。

ボーレートの計算式は、以下のとおりです。

LIN マスタ のボーレート

$$= \{ \text{LIN 通信クロック源の周波数} \} \times (\text{RLIN3nLWBR.LPRS}[2:0] \text{ 選択クロック}) \div (\text{RLIN3nLBRP0} + 1) \div 16 \text{ [bps]} \text{ (} f_{LIN} \text{ に } f_a \text{ 選択時)}$$

$$= \{ \text{LIN 通信クロック源の周波数} \} \times (\text{RLIN3nLWBR.LPRS}[2:0] \text{ 選択クロック}) \div (\text{RLIN3nLBRP0} + 1) \div 2 \div 16 \text{ [bps]} \text{ (} f_{LIN} \text{ に } f_b \text{ 選択時)}$$

$$= \{ \text{LIN 通信クロック源の周波数} \} \times (\text{RLIN3nLWBR.LPRS}[2:0] \text{ 選択クロック}) \div (\text{RLIN3nLBRP0} + 1) \div 8 \div 16 \text{ [bps]} \text{ (} f_{LIN} \text{ に } f_c \text{ 選択時)}$$

$$= \{ \text{LIN 通信クロック源の周波数} \} \times (\text{RLN3nLWBR.LPRS}[2:0] \text{ 選択クロック}) \\ \div (\text{RLN3nLBRP1} + 1) \div 2 \div 16 \text{ [bps]} (\text{f}_{\text{LIN}} \text{ に fd 選択時})$$

19.10.2 LIN スレーブモード

図 19.36 に LIN スレーブモード時のボーレート生成ブロック図を示します。

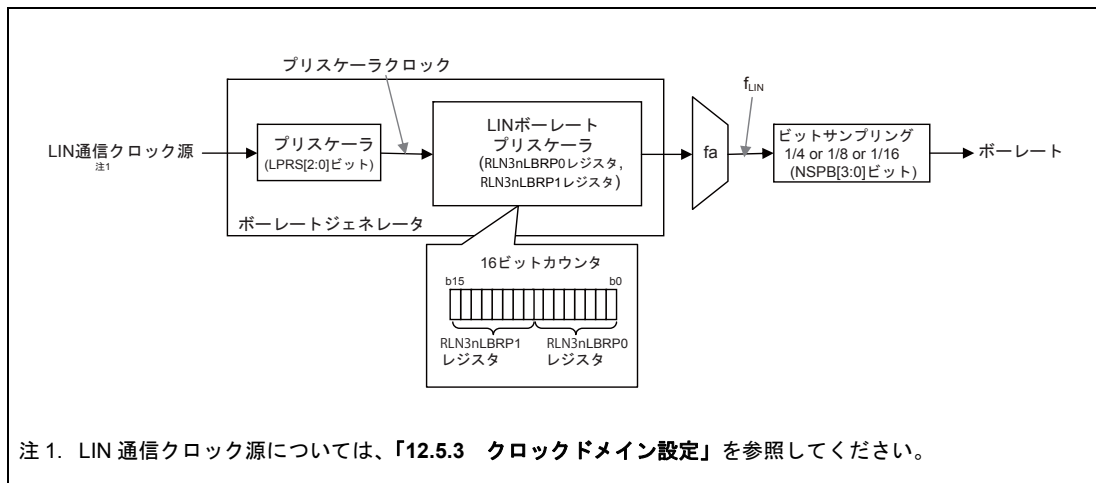


図 19.36 LIN スレーブモード ボーレート生成ブロック図

LIN スレーブモード [オートボーレート] は、ボーレート 1 kbps ~ 20 kbps で動作可能です。ターゲットとなるボーレートに応じて、プリスケアラクロックを、下記となるように設定してください。

[ターゲットとなるボーレート]	[プリスケアラクロック]
1 kbps ~ 20 kbps	: 4 MHz 注 1
1 kbps ~ 2.4 kbps 未満	: 4 MHz
2.4 kbps ~ 20 kbps	: 8 MHz ~ 12 MHz

注 1. RLN3nLWBR レジスタの NSPB[3:0] ビットは、“0011_B” (4 サンプルング) で使用してください。

ボーレートの計算式は、以下のとおりです。

LIN スレーブのボーレート

$$= \{ \text{LIN 通信クロック源の周波数} \} \times (\text{RLN3nLWBR.LPRS}[2:0] \text{ 選択クロック}) \\ \div (\text{RLN3nLBRP0} + 1) \div 16 \text{ [bps]} ([\text{固定ボーレート}] \text{時})$$

$$= \{ \text{LIN 通信クロック源の周波数} \} \times (\text{RLN3nLWBR.LPRS}[2:0] \text{ 選択クロック}) \\ \div (\text{RLN3nLBRP0} + 1) \div 4 \text{ or } 8 \text{ [bps]} ([\text{オートボーレート}] \text{時})$$

備考

LIN スレーブ [固定ボーレート] 時は、NSPB[3:0] ビットは“0000_B” (16 サンプルング) または “1111_B” (16 サンプルング) に、LIN スレーブ [オートボーレート] 時は、NSPB[3:0] ビットは、“0011_B” (4 サンプルング) または “0100_B” (8 サンプルング) に設定してください。

19.10.3 UART モード

図 19.37 に UART モード時のボーレート生成ブロック図を示します。

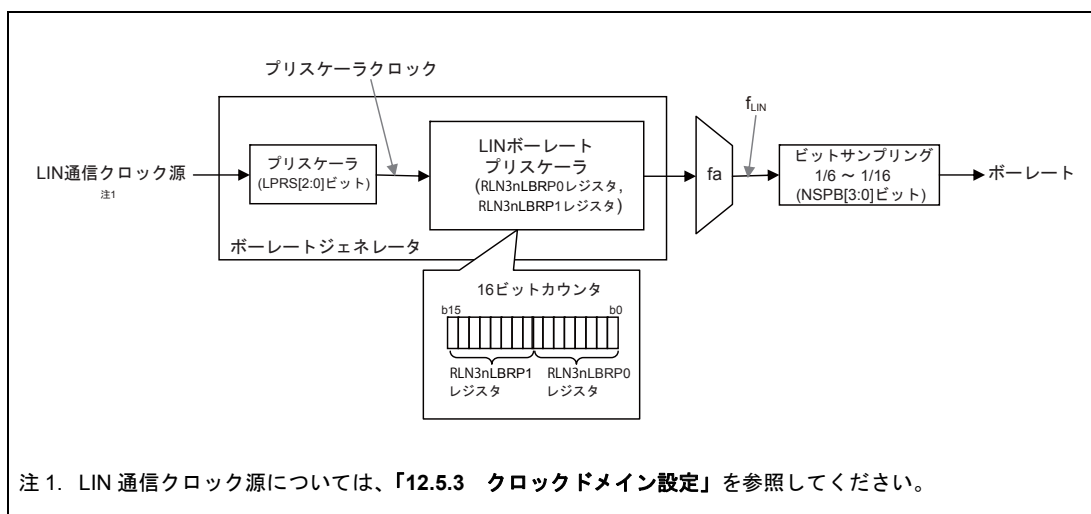


図 19.37 UART ボーレート生成ブロック図

UART のボーレートは次式で表せます。

$$\begin{aligned} & \text{UART のボーレート} \\ & = \{ \text{LIN 通信クロック源の周波数} \} \times (\text{RLN3nLWBR.LPRS}[2:0] \text{ 選択クロック}) \\ & \quad \div (\text{RLN3nLBRP0} + 1) \div \{ \text{RLN3nLWBR.NSPB}[3:0] \text{ 選択数} \} [\text{bps}] \end{aligned}$$

19.11 ノイズフィルタ

LIN/UART インタフェースは、ノイズによるデータの誤受信を低減するためにノイズフィルタを持ちます。RLN3nLMDレジスタのLRDNFSビットを“0”（ノイズフィルタを使用する）にすることによりノイズフィルタが有効になります。ノイズフィルタは、同期化RLIN3nRXのレベルをプリスケールクロックでサンプリングし、サンプリング3回分の多数決の結果を出力します。受信データの各ビットの値はノイズフィルタ出力で決定されます。

図 19.38 にノイズフィルタの構成、図 19.39 にノイズフィルタ回路例、図 19.40 にノイズフィルタ使用時の受信データの決定を示します。

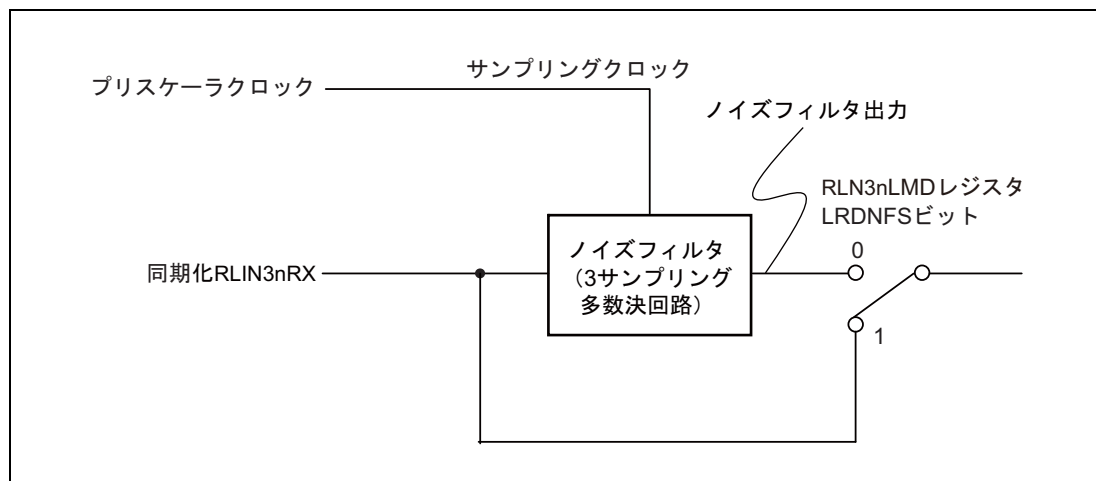


図 19.38 ノイズフィルタの構成

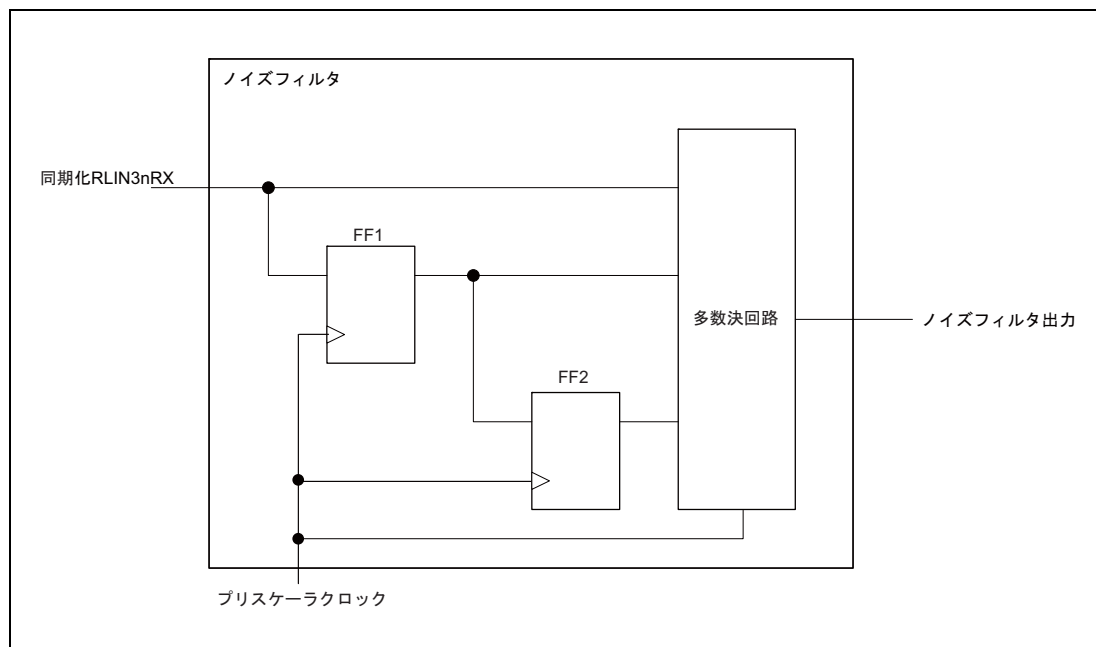


図 19.39 ノイズフィルタ回路例

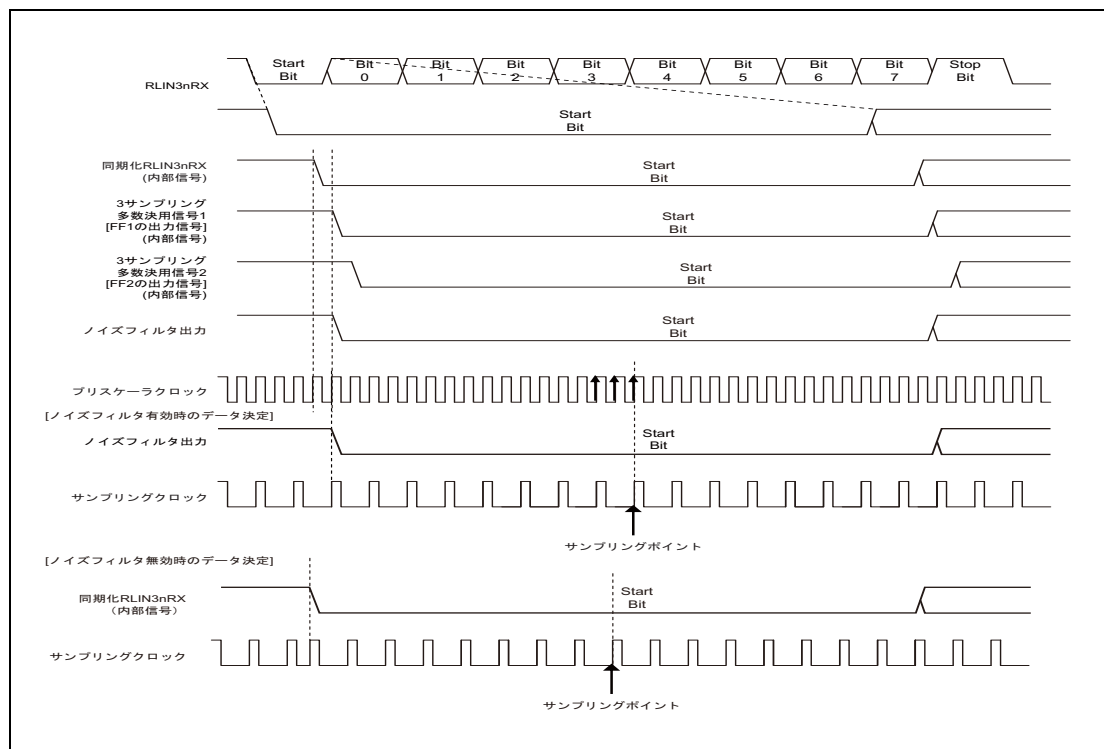


図 19.40 ノイズフィルタ使用時の受信データの決定

第20章 I²Cバスインタフェース (RIIC)

本章では、I²Cバスインタフェース (RIIC) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1Kに固有の特長について説明します。それ以降の節では、RIICの機能、レジスタについて説明します。

20.1 RH850/F1K RIICの特長

20.1.1 ユニット数とチャネル数

本製品は、以下のユニット数のRIICを搭載しています。

RIIC 1ユニットは1チャネルのインタフェースを持っています。本章のユニット数とチャネル数は同義です。

表 20.1 ユニット数

製品名	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
ユニット数	1		
名称	RIICn (n = 0)		

表 20.2 添字

添字	説明
n	本章では、RIICの各ユニットを「n」(n = 0)で識別します。たとえば、I ² Cバスコントロールレジスタ1はRIICnCR1と記述します。

20.1.2 レジスタベースアドレス

RIICのベースアドレスを以下の表に示します。

RIICのレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 20.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RIIC0_base>	FFCA 0000 _H

20.1.3 クロック供給

RIIC のクロック供給を以下に示します。

表 20.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名	説明
RIICn	PCLK ^{注1}	CKSCLK_IIC	通信クロック
	レジスタアクセスクロック	CPUCLK2	バスクロック
		CKSCLK_IIC	

注 1. PCLK は、SCL クロック (ハイレベル幅) の 1/2 未満に設定してください。

20.1.4 割り込み要求

RIIC の割り込み要求を以下の表に示します。

表 20.5 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
RIIC0			
INTRIICnEE	RIIC 通信エラー/イベント発生割り込み	77	—
INTRIICnRI	RIIC 受信終了割り込み	78	20
INTRIICnTI	RIIC 送信データエンプティ割り込み	76	19
INTRIICnTEI	RIIC 送信終了割り込み	79	—

20.1.5 リセット要因

RIIC のリセット要因を以下に示します。RIIC は以下に示すリセット要因で初期化されます。

表 20.6 リセット要因

ユニット名	リセット要因
RIIC0	すべてのリセット要因 (ISORES)

20.1.6 外部入出力信号

RIIC の外部入出力信号を以下の表に示します。

表 20.7 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
RIIC0		
RIICnSCL	シリアルクロック入出力端子	RIIC0SCL
RIICnSDA	シリアルデータ入出力端子	RIIC0SDA

これらのポートを使用する場合、該当するポートの PBDCn レジスタと PODCn レジスタの対応するビットを 1 に設定する必要があります。

20.2 概要

20.2.1 機能概要

通信フォーマット

- I²Cバスフォーマット
- マスタ/スレーブ選択可能
- 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保

転送速度

～ 400kbps

SCLクロック

- マスタ時、SCLクロックのデューティ比を以下の範囲で設定可能
 - 0% < デューティ < 100%

コンディション発行・コンディション検出

スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション (リスタートコンディション含む) /ストップコンディション検出可能

スレーブアドレス

- スレーブアドレスを3セット設定可能
- 7ビット/10ビットアドレスフォーマット対応 (混在可能)
- ジェネラルコールアドレス検出、デバイスIDアドレス検出

アクリッジ応答

- 送信時、アクリッジビットの自動ロード
 - ノットアクリッジ受信時に次送信データ転送の自動中断が可能
- 受信時、アクリッジビットの自動送出
 - 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクリッジビット応答のソフトウェア制御が可能

ウェイト機能

- 受信時、SCLクロックのLowホールドによるウェイトが可能
 - 8クロック目と9クロック目の間をウェイト
 - 9クロック目と1クロック目の間をウェイト (WAIT機能)

SDA出力遅延機能

アクリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能

アービトレーション

- マルチマスタ対応
 - 他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能
 - スタートコンディション発行競合時、SDA ライン上の状態が不一致ならアービトレーションロスト検出可能
 - マスタ時、SDA ライン上の状態が不一致ならアービトレーションロスト検出可能
- バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能（スタートコンディションの二重発行防止）
- ノットアクノリッジ送信時、SDA ライン上の状態が不一致ならアービトレーションロスト検出可能
- スレーブ送信時、SDA ライン上の状態が不一致ならアービトレーションロスト検出可能

タイムアウト検出機能

内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能

ノイズ除去

SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能

割り込み要因

- 4 種類
 - 通信エラー/イベント発生（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出（リスタートコンディション含む）、ストップコンディション検出）
 - 受信終了（スレーブアドレス一致時含む）
 - 送信データエンプティ（スレーブアドレス一致時含む）
 - 送信終了

20.2.2 ブロック図

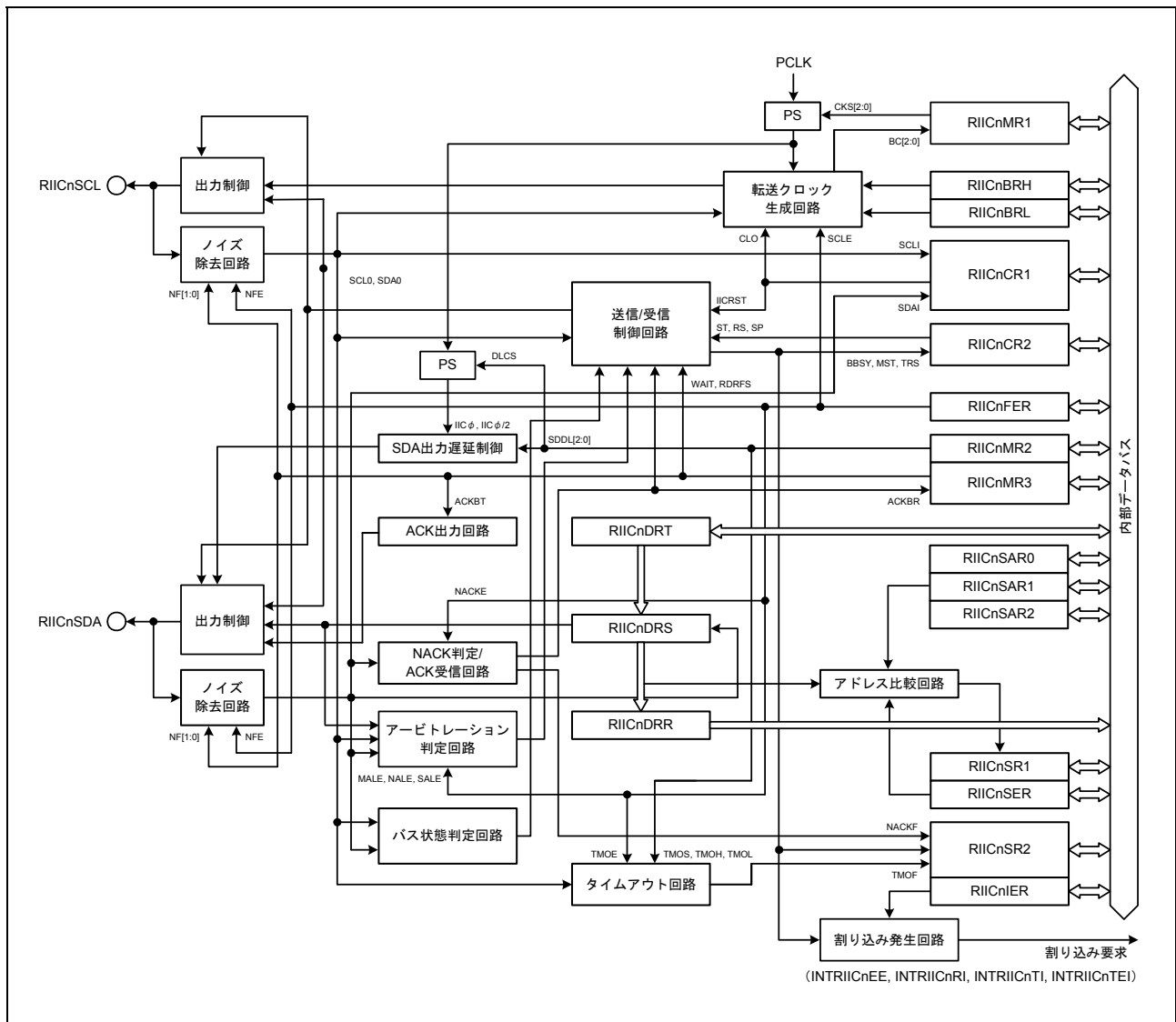


図 20.1 RIIC のブロック図

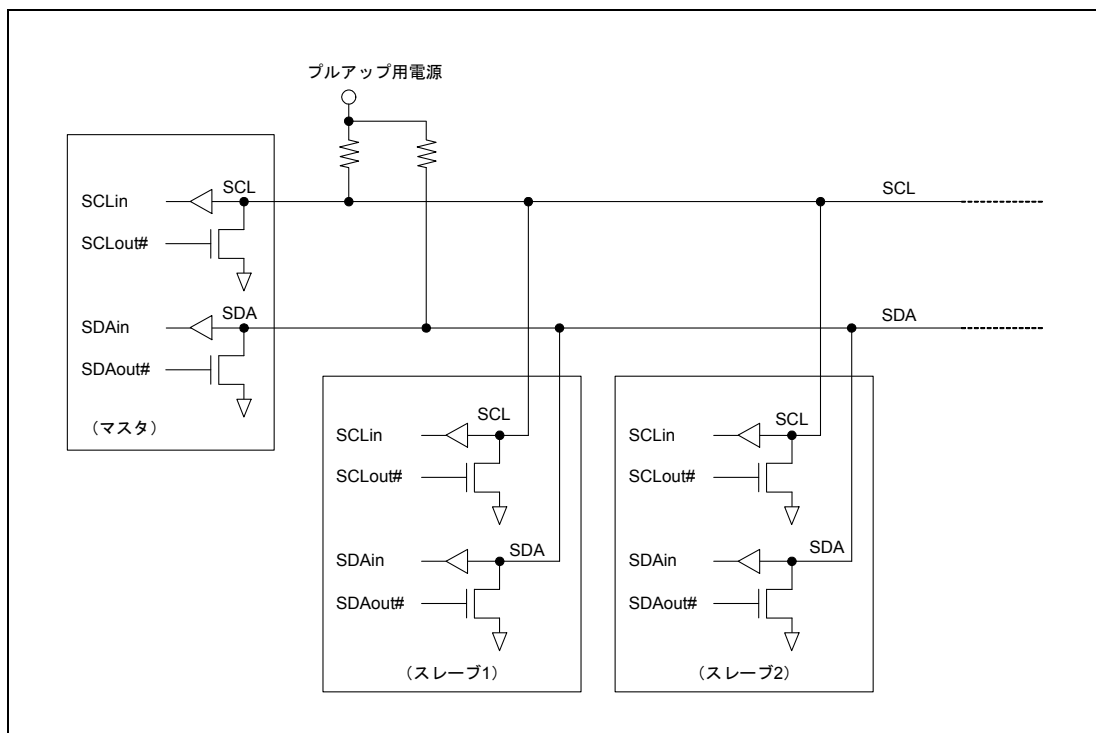


図 20.2 入出力端子の外部回路接続例 (I²C バス構成例)

20.3 レジスタ

20.3.1 レジスタ一覧

RIIC のレジスタ一覧を以下の表に示します。

<RIICn_base> は「**20.1.2 レジスタベースアドレス**」を参照してください。

表 20.8 レジスタ一覧

ユニット名	レジスタ名	略号	アドレス
RIICn	I ² C バスコントロールレジスタ 1	RIICnCR1	<RIICn_base> + 0000 _H
	I ² C バスコントロールレジスタ 2	RIICnCR2	<RIICn_base> + 0004 _H
	I ² C バスモードレジスタ 1	RIICnMR1	<RIICn_base> + 0008 _H
	I ² C バスモードレジスタ 2	RIICnMR2	<RIICn_base> + 000C _H
	I ² C バスモードレジスタ 3	RIICnMR3	<RIICn_base> + 0010 _H
	I ² C バスファンクションイネーブルレジスタ	RIICnFER	<RIICn_base> + 0014 _H
	I ² C バスステータスイネーブルレジスタ	RIICnSER	<RIICn_base> + 0018 _H
	I ² C バスインタラプトイネーブルレジスタ	RIICnIER	<RIICn_base> + 001C _H
	I ² C バスステータスレジスタ 1	RIICnSR1	<RIICn_base> + 0020 _H
	I ² C バスステータスレジスタ 2	RIICnSR2	<RIICn_base> + 0024 _H
	I ² C スレーブアドレスレジスタ 0	RIICnSAR0	<RIICn_base> + 0028 _H
	I ² C スレーブアドレスレジスタ 1	RIICnSAR1	<RIICn_base> + 002C _H
	I ² C スレーブアドレスレジスタ 2	RIICnSAR2	<RIICn_base> + 0030 _H
	I ² C バスビットレートロウレベルレジスタ	RIICnBRL	<RIICn_base> + 0034 _H
	I ² C バスビットレートハイレベルレジスタ	RIICnBRH	<RIICn_base> + 0038 _H
	I ² C バス送信データレジスタ	RIICnDRT	<RIICn_base> + 003C _H
	I ² C バス受信データレジスタ	RIICnDRR	<RIICn_base> + 0040 _H
	I ² C バスシフトレジスタ	RIICnDRS	—

20.3.2 RIICnCR1 — I²C バスコントロールレジスタ 1

アクセス RIICnCR1 レジスタは、32 ビット単位でリード/ライト可能です。
RIICnCR1L レジスタは、16 ビット単位でリード/ライト可能です。
RIICnCR1LL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RIICnCR1: <RIICn_base> + 0000_H
RIICnCR1L: <RIICn_base> + 0000_H
RIICnCR1LL: <RIICn_base> + 0000_H

リセット後の値 0000 001F_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	W	R/W	R/W	R	R

表 20.9 RIICnCR1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ICE	I ² C バスインタフェース許可ビット 0: 禁止 (RIICnSCL、RIICnSDA 端子非駆動状態) 1: 許可 (RIICnSCL、RIICnSDA 端子駆動状態) (IICRST ビットとの組合せで、RIIC リセット、内部リセットを選択)
6	IICRST	I ² C バスインタフェース内部リセットビット 0: RIIC/ 内部リセット解除 1: RIIC/ 内部リセット状態 (ビットカウンタのクリア、SCL/SDA 出力ラッチを解除)
5	CLO	SCL クロック追加出力ビット 0: SCL クロックを追加で出力しない (通常状態) 1: SCL クロックを追加で出力する (1 クロック出力後、自動的に“0”になる)
4	SOWP	SCLO/SDAO ライトプロテクトビット 0: SCLO、SDAO ビットの書き換え許可 1: SCLO、SDAO ビットを保護 (読むと“1”が読めます)
3	SCLO	SCL 出力制御/モニタビット <ul style="list-style-type: none"> リード時 0: RIICnSCL 端子を Low にしている 1: RIICnSCL 端子を解放している ライト時 0: RIICnSCL 端子を Low 出力にする 1: RIICnSCL 端子を解放する

表 20.9 RIICnCR1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	SDAO	SDA 出力制御/モニタビット <ul style="list-style-type: none"> • リード時 0: RIICnSDA 端子を Low にしている 1: RIICnSDA 端子を解放している • ライト時 0: RIICnSDA 端子を Low 出力にする 1: RIICnSDA 端子を解放する
1	SCLI	SCL ラインモニタビット 0: RIICnSCL ラインは Low 1: RIICnSCL ラインは High
0	SDAI	SDA ラインモニタビット 0: RIICnSDA ラインは Low 1: RIICnSDA ラインは High

SDAO ビット (SDA 出力制御/モニタビット)、SCLO ビット (SCL 出力制御/モニタビット)

RIIC が出力する RIICnSDA 信号、RIICnSCL 信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時に SOWP ビットにも“0”を書いてください。

これらのビットを操作した結果は入力バッファを介して RIIC に入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えしないでください。これらの期間に書き換えた場合の動作は保証できません。

これらのビットを読んだ場合は、そのとき RIIC が出力している信号の状態が読めます。

CLO ビット (SCL クロック追加出力ビット)

SCL クロックを 1 クロック単位で追加出力をする機能で、デバッグ時または異常処理時に使用します。

通常は“0”にしてください。正常な通信動作中に使用すると通信エラーの原因になります。

本機能の詳細については、「**20.13.2 SCL クロック追加出力機能**」を参照してください。

IICRST ビット (I²C バス内部リセットビット)

RIIC の内部状態をリセットします。

IICRST ビットを“1”にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。**表 20.10**に RIIC のリセットの種類を示します。

RIIC リセットでは RIICnCR2.BBSY フラグを含めた全レジスタ (ICE, IICRST は除く) および内部状態を、内部リセットではビットカウンタ (RIICnMR1.BC[2:0] ビット)、I²C バスシフトレジスタ (RIICnDRS)、I²C バスステータスレジスタ (RIICnSR1、RIICnSR2) および内部状態をリセットします。各レジスタのリセット状況については、「**20.14 RIIC のリセット機能**」を参照してください。

動作中 (ICE ビット = 1 の状態)、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを“1”にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで RIICnSCL 端子 / RIICnSDA 端子をハイインピーダンスにしてバスを解放することができます。

注 意

スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態 (主に双方のビットカウンタ情報に差異が生じる) になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、RIIC がスレーブモード時に SCL ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ズレの原因になります。

表 20.10 RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタ (ICE, IICRST は除く) および内部状態をリセット
	1	内部リセット	RIICnMR1.BC[2:0] ビット、RIICnSR1、RIICnSR2、RIICnDRS レジスタおよび内部状態をリセット

ICE ビット (I²C バスインタフェース許可ビット)

RIICnSCL、RIICnSDA 端子の駆動状態、非駆動状態を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2 種類のリセットを行うことができます。リセットの種類については「表 20.10 RIIC のリセットの種類」を参照してください。

RIIC を使用するときは、ICE ビットを“1”に設定してください。ICE ビットが“1”のとき、RIICnSCL、RIICnSDA 端子駆動状態になります。

RIIC を使用しないときは、ICE ビットを“0”に設定してください。ICE ビットが“0”のとき、RIICnSCL、RIICnSDA 端子非駆動状態になります。

注 意

ICE ビットが“0”のとき、RIICnSDA、RIICnSCL の出力は禁止になりますが、RIICnSDA、RIICnSCL への入力是有効になります。端子機能設定で RIICnSCL 端子、RIICnSDA 端子を RIIC に割り当てないでください。RIIC に割り当てられている場合、スレーブアドレスの比較動作を行いますので注意してください。

20.3.3 RIIcNCR2 — I²C バスコントロールレジスタ 2

アクセス RIIcNCR2 レジスタは、32 ビット単位でリード/ライト可能です。
RIIcNCR2L レジスタは、16 ビット単位でリード/ライト可能です。
RIIcNCR2LL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RIIcNCR2: <RIIcN_base> + 0004_H
RIIcNCR2L: <RIIcN_base> + 0004_H
RIIcNCR2LL: <RIIcN_base> + 0004_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R

表 20.11 RIIcNCR2 レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	BBSY	バスビジー検出フラグ 0: I ² C バスが解放状態 (バスフリー状態) 1: I ² C バスが占有状態 (バスビジー状態)
6	MST ^{注1}	マスタ/スレーブモードビット 0: スレーブモード 1: マスタモード
5	TRS ^{注1}	送信/受信モードビット 0: 受信モード 1: 送信モード
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	SP	ストップコンディション発行要求ビット 0: ストップコンディションの発行を要求しない 1: ストップコンディションの発行を要求する
2	RS	リスタートコンディション発行要求ビット 0: リスタートコンディションの発行を要求しない 1: リスタートコンディションの発行を要求する
1	ST	スタートコンディション発行要求ビット 0: スタートコンディションの発行を要求しない 1: スタートコンディションの発行を要求する
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 1. RIIcNMR1.MTWP ビットが“1”のとき、MST、TRS ビットへの書き込みができます。

ST ビット (スタートコンディション発行要求ビット)

マスタモードへの移行およびスタートコンディションの発行を要求します。

ST ビットが“1”になるとスタートコンディションの発行を要求し、BBSY フラグが“0” (バスフリー) のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、「**20.12 スタートコンディション、リスタートコンディション、ストップコンディション発行機能**」を参照してください。

["1"になる条件]

“1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- スタートコンディションの発行が完了したとき
- RIICnSR2.AL フラグが“1”になったとき（アービトレーションロスト）
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注 意

ST ビットは、BBSY フラグが“0”（バスフリー）のとき、“1”（スタートコンディション発行要求）にしてください。

BBSY フラグが“1”（バスビジー）のとき、ST ビットを“1”（スタートコンディション発行要求）にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RS ビット（リスタートコンディション発行要求ビット）

マスタモードでリスタートコンディションの発行を要求します。

RS ビットが“1”になるとリスタートコンディションの発行を要求し、BBSY フラグが“1”（バスビジー）でかつ MST ビットが“1”（マスタモード）のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、「**20.12 スタートコンディション、リスタートコンディション、ストップコンディション発行機能**」を参照してください。

["1"になる条件]

RIICnCR2.BBSY フラグが“1”の状態、“1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- リスタートコンディションの発行が完了したとき、またはスタートコンディションを検出したとき
- ストップコンディションを検出したとき
- RIICnSR2.AL フラグが“1”になったとき（アービトレーションロスト）
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注 意

1. ストップコンディション発行中に RS ビットを“1”にしないでください。
2. リスタートコンディションを発行する場合、マスタ送信モードで実施することを推奨します。マスタモード以外で RS ビットに“1”（リスタートコンディション発行要求）を書いた場合、リスタートコンディションはその動作モードでは発行されずに RS ビットは“1”のままになります。このまま動作モードをマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット (ストップコンディション発行要求ビット)

マスタモードでストップコンディションの発行を要求します。

SP ビットが“1”になるとストップコンディションの発行を要求し、BBSY フラグが“1” (バスビジー) でかつ MST ビットが“1” (マスタモード) のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「**20.12 スタートコンディション、リスタートコンディション、ストップコンディション発行機能**」を参照してください。

[“1”になる条件]

RIICnCR2.BBSY フラグが“1”でかつ RIICnCR2.MST ビットが“1”の状態、“1”を書いたとき

[“0”になる条件]

- “0”を書いたとき
- ストップコンディションの発行が完了したとき、またはストップコンディションを検出したとき
- RIICnSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- スタートコンディションおよびリスタートコンディションを検出したとき
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注 意

1. BBSY フラグ = 0 (バスフリー) のとき書き込みはできません。
2. リスタートコンディション発行中に SP ビットを“1”にしないでください。

TRS ビット (送信/受信モードビット)

送信/受信モードを示すビットです。

TRS ビットが“0”のとき受信モード、TRS ビットが“1”のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行/検出および R/W# ビットなどで“1”/“0”になり、動作モードは自動的に送信モードまたは受信モードに移行します。RIICnMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

[“1”になる条件]

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき (ST ビットが“1”の状態、スタートコンディションを検出したとき)
- スレーブモード時、受信したスレーブアドレスが RIICnSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“1”を受信したとき
- RIICnMR1.MTWP ビットが“1”の状態“1”を書いたとき

[“0”になる条件]

- ストップコンディションを検出したとき
- RIICnSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“1”のとき

- スレーブ送信モード時、リスタートコンディションを検出したとき (RIICnCR2.BBSY = 1、RIICnCR2.MST = 0 の状態でリスタートコンディションを検出したとき)
- RIICnMR1.MTWP ビットが“1”の状態でも“0”を書いたとき
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

MST ビット (マスタ/スレーブモードビット)

マスタモード/スレーブモードを示すビットです。

MST ビットが“0”のときスレーブモード、MST ビットが“1”のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行/検出などで“1”/“0”になり、動作モードは自動的にマスタモードまたはスレーブモードに移行します。RIICnMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

[“1”になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき (ST ビットが“1”の状態でも、スタートコンディションを検出したとき)
- RIICnMR1.MTWP ビットが“1”の状態でも“1”を書いたとき

[“0”になる条件]

- ストップコンディションを検出したとき
- RIICnSR2.AL フラグが“1”になったとき (アービトラージロスト)
- RIICnMR1.MTWP ビットが“1”の状態でも“0”を書いたとき
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ (バスビジー検出フラグ)

I²C バスの占有 (バスビジー) /解放状態 (バスフリー) を示します。

SCL ラインが High の状態で SDA ラインが High から Low に変化すると、スタートコンディションが発行されたと認識して“1”になります。

SCL ラインが High の状態で SDA ラインが Low から High に変化すると、ストップコンディションが発行されたと認識し、バスフリーの時間 (RIICnBRL レジスタに設定した時間) スタートコンディション検出がないとき“0”になります。

[“1”になる条件]

スタートコンディションを検出したとき

[“0”になる条件]

- ストップコンディションを検出後、バスフリーの時間 (RIICnBRL レジスタに設定した時間) スタートコンディション検出がないとき
- RIICnCR1.ICE ビットが“0”の状態でも RIICnCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

注 意

- ストップコンディション検出後のバスフリー期間中に、内部リセットをかけた場合、BBSY フラグが内部リセット解除から、バスフリー時間を経由して、“0” となる
- バスフリー期間以外で内部リセットをかけた場合は、BBSY フラグはクリアされない

20.3.4 RIICnMR1 — I²C バスモードレジスタ 1

アクセス RIICnMR1 レジスタは、32 ビット単位でリード/ライト可能です。
RIICnMR1L レジスタは、16 ビット単位でリード/ライト可能です。
RIICnMR1LL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RIICnMR1: <RIICn_base> + 0008_H
RIICnMR1L: <RIICn_base> + 0008_H
RIICnMR1LL: <RIICn_base> + 0008_H

リセット後の値 0000 0008_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	MTWP	CKS[2:0]		BCWP	BC[2:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	W	R/W	R/W	R/W

表 20.12 RIICnMR1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	MTWP	MST/TRS ライトプロテクトビット 0 : RIICnCR2.MST, TRS ビットへの書き込み禁止 1 : RIICnCR2.MST, TRS ビットへの書き込み許可
6 ~ 4	CKS[2:0]	内部基準クロック選択ビット (IICφ) b6 b4 0 0 0 : PCLK/1 クロック 0 0 1 : PCLK/2 クロック 0 1 0 : PCLK/4 クロック 0 1 1 : PCLK/8 クロック 1 0 0 : PCLK/16 クロック 1 0 1 : PCLK/32 クロック 1 1 0 : PCLK/64 クロック 1 1 1 : PCLK/128 クロック

表 20.12 RIICnMR1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	BCWP ^{注1}	BC ライトプロテクトビット 0: BC[2:0] ビットの値を設定許可 (読むと“1”が読めず) 1: BC[2:0] ビットを保護
2 ~ 0	BC[2:0]	ビットカウンタ b2 b0 0 0 0: 9 ビット 0 0 1: 2 ビット 0 1 0: 3 ビット 0 1 1: 4 ビット 1 0 0: 5 ビット 1 0 1: 6 ビット 1 1 0: 7 ビット 1 1 1: 8 ビット

注1. BC[2:0] ビットを書き換える場合は、同時に BCWP ビットに“0”を書いてください。

BC[2:0] ビット (ビットカウンタ)

SCL ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできますが、通常ではアクセスする必要はありません。

なお、書く場合には転送するデータのビット数+1を指定し (データにアクリッジ1ビットが付加されて転送される)、転送フレーム間で行ってください。また、000_B以外の値を設定する場合は、SCL ラインが Low の状態で行ってください。

[“0”になる条件]

- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき
- アクリッジを含むデータ転送が終了したとき
- スタートコンディション検出 (リスタートコンディション含む) したとき

20.3.5 RIICnMR2 — I²C バスモードレジスタ 2

アクセス RIICnMR2 レジスタは、32 ビット単位でリード/ライト可能です。
RIICnMR2L レジスタは、16 ビット単位でリード/ライト可能です。
RIICnMR2LL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RIICnMR2: <RIICn_base> + 000C_H
RIICnMR2L: <RIICn_base> + 000C_H
RIICnMR2LL: <RIICn_base> + 000C_H

リセット後の値 0000 0006_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DLCS	SDDL[2:0]		—	TMOH	TMOL	TMOS	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 20.13 RIICnMR2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	DLCS	SDA 出力遅延クロックソース選択ビット 0 : SDA 出力遅延カウンタのクロックソースに内部基準クロック (IICφ) を選択 1 : SDA 出力遅延カウンタのクロックソースに内部基準クロックの 2 分周 (IICφ/2) を選択 ¹
6 ~ 4	SDDL[2:0]	SDA 出力遅延カウンタ • RIICnMR2.DLCS = 0 (IICφ) のとき b6 b4 0 0 0 : 出力遅延なし 0 0 1 : IICφ の 1 サイクル 0 1 0 : IICφ の 2 サイクル 0 1 1 : IICφ の 3 サイクル 1 0 0 : IICφ の 4 サイクル 1 0 1 : IICφ の 5 サイクル 1 1 0 : IICφ の 6 サイクル 1 1 1 : IICφ の 7 サイクル • RIICnMR2.DLCS = 1 (IICφ/2) のとき b6 b4 0 0 0 : 出力遅延なし 0 0 1 : IICφ の 1 ~ 2 サイクル 0 1 0 : IICφ の 3 ~ 4 サイクル 0 1 1 : IICφ の 5 ~ 6 サイクル 1 0 0 : IICφ の 7 ~ 8 サイクル 1 0 1 : IICφ の 9 ~ 10 サイクル 1 1 0 : IICφ の 11 ~ 12 サイクル 1 1 1 : IICφ の 13 ~ 14 サイクル
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TMOH	タイムアウト H カウント制御ビット 0 : SCL ラインが High 期間中のカウント禁止 1 : SCL ラインが High 期間中のカウント有効

表 20.13 RIICnMR2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	TMOL	タイムアウトLカウント制御ビット 0: SCL ラインが Low 期間中のカウント禁止 1: SCL ラインが Low 期間中のカウント有効
0	TMOS	タイムアウト検出時間選択ビット 0: ロングモードを選択 1: ショートモードを選択

注 1. SCL = Low のときのみ DLCS = 1 (IICφ/2) の設定が有効になります。SCL = High のとき DLCS = 1 の設定は無効となり内部基準クロック (IICφ) となります。

TMOS ビット (タイムアウト検出時間選択ビット)

タイムアウト検出機能有効時 (RIICnFER.TMOE ビット = 1) にタイムアウト検出時間を選択するビットで、“0”にするとロングモード、“1”にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが 16 ビットカウンタとして、またショートモードでは 14 ビットカウンタとして動作し、SCL ラインが TMOH、TMOL ビットで選択された状態になったとき、内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「20.13.1 タイムアウト検出機能」を参照してください。

TMOL ビット (タイムアウトLカウント制御ビット)

タイムアウト検出機能有効時 (RIICnFER.TMOE ビット = 1) に SCL ラインが Low 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TMOH ビット (タイムアウトHカウント制御ビット)

タイムアウト検出機能有効時 (RIICnFER.TMOE ビット = 1) に SCL ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

本機能の詳細については、「20.7 SDA 出力遅延機能」を参照してください。

注 意

SDA 出力遅延の設定は、I²C バス規格 (データ有効時間/アクノリッジ有効時間^{注1} 内) に収まるようにしてください。規格外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

注 1. データ有効時間/アクノリッジ有効時間
3,450ns (~ 100kbps : スタンダードモード [Sm])
900ns (~ 400kbps : ファストモード [Fm])

20.3.6 RIICnMR3 — I²C バスモードレジスタ 3

アクセス RIICnMR3 レジスタは、32 ビット単位でリード/ライト可能です。
RIICnMR3L レジスタは、16 ビット単位でリード/ライト可能です。
RIICnMR3LL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RIICnMR3: <RIICn_base> + 0010_H
RIICnMR3L: <RIICn_base> + 0010_H
RIICnMR3LL: <RIICn_base> + 0010_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W

表 20.14 RIICnMR3 レジスタの内容

ビット位置	ビット名	機能
31 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	WAIT ^{注2}	WAIT ビット 0: WAIT なし (9クロック目と1クロック目の間を Low にホールドしない) 1: WAIT あり (9クロック目と1クロック目の間を Low にホールドする) Low ホールドは RIICnDRR レジスタの読み出しで解除
5	RDRFS ^{注2}	RDRF フラグセットタイミング選択ビット 0: SCL クロックの9クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりで SCL ラインを Low にホールドしない) 1: SCL クロックの8クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりで SCL ラインを Low にホールドする) Low ホールドは ACKBT ビットへの書き込みで解除
4	ACKWP ^{注1}	ACKBT ライトプロテクトビット 0: ACKBT ビットへの書き込み禁止 1: ACKBT ビットへの書き込み許可
3	ACKBT ^{注1}	送信アクノリッジビット 0: アクノリッジビットに“0”を送出 (ACK 送信) 1: アクノリッジビットに“1”を送出 (NACK 送信)
2	ACKBR	受信アクノリッジビット 0: アクノリッジビットに“0”を受信 (ACK 受信) 1: アクノリッジビットに“1”を受信 (NACK 受信)
1, 0	NF[1:0]	デジタルノイズフィルタ段数選択ビット b1 b0 0 0: 1IICφ 以下のノイズを除去 (フィルタは1段) 0 1: 2IICφ 以下のノイズを除去 (フィルタは2段) 1 0: 3IICφ 以下のノイズを除去 (フィルタは3段) 1 1: 4IICφ 以下のノイズを除去 (フィルタは4段)

注1. ACKWP ビットは、ACKBT ビットへの書き込みと同時に“1”にしても、ACKBT ビットに書き込みはできません。

注2. WAIT ビットおよび RDRFS ビットは、受信モードのみ有効、送信モード時は無効です。

NF[1:0] ビット (デジタルノイズフィルタ段数選択ビット)

デジタルノイズフィルタの段数を選択します。

注 意

ノイズフィルタで除去するノイズ幅の設定は、SCL ラインの High/Low 幅よりも狭くしてください。
(SCL クロックの幅 : High 幅または Low 幅のいずれか短い方) - {1.5 内部基準クロック同期 (IICφ)} と同じか、それ以上に設定した場合は、RIIC のノイズフィルタ機能により SCL クロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

ACKBR ビット (受信アクリッジビット)

送信モード時に受信デバイスから受け取ったアクリッジビットの内容を格納します。

[“1” になる条件]

RIICnCR2.TRS ビットが“1”の状態であクリッジビットに“1”を受信したとき

[“0” になる条件]

- RIICnCR2.TRS ビットが“1”の状態であクリッジビットに“0”を受信したとき
- RIICnCR1.ICE ビットが“0”の状態であクリッジビットに“1”を書いたとき (RIIC リセット)

ACKBT ビット (送信アクリッジビット)

受信モード時にアクリッジのタイミングで送出するビットを設定します。

[“1” になる条件]

ACKWP ビットが“1”の状態であクリッジビットに“1”を書いたとき

[“0” になる条件]

- ACKWP ビットが“1”の状態であクリッジビットを読み出した後、“0”を書いたとき
- ストップコンディションを検出したとき
- RIICnCR1.ICE ビットが“0”の状態であクリッジビットに“1”を書いたとき (RIIC リセット)

注 意

ACKBT ビットに書く場合には、ACKWP ビットが“1”の状態で行ってください。ACKWP ビットが“0”の状態であクリッジビットに書く場合には、ACKBT ビットへの書き込みは無効となります。

ACKWP ビット (ACKBT ライトプロテクトビット)

ACKBT ビットへの書き込みを制御します。

RDRFS ビット (RDRF フラグセットタイミング選択ビット)

受信モードにおいて RDRF フラグのセットタイミングおよび SCL クロックの 8 クロック目の立ち下がりで SCL ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが“0”のとき、8 クロック目の立ち下がりで SCL ラインの Low ホールドは行わず、9 クロック目の立ち上がりで RDRF フラグを“1”にします。

RDRFS ビットが“1”のとき、RDRF フラグは 8 クロック目の立ち上がりで“1”にし、8 クロック目の立ち下がりで SCL ラインを Low にホールドします。この SCL ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アクノリッジビット送出前に SCL ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK (ACKBT ビットが“0”) または NACK (ACKBT ビットが“1”) を送出する処理が可能です。

WAIT ビット (WAIT ビット)

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに受信データバッファ (RIICnDRR レジスタ) の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが“0”のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに“0”のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが“1”のとき、1 バイト受信ごとに 9 クロック目の立ち下がり以降、RIICnDRR レジスタの値が読み出されるまでの間 SCL ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注 意

WAIT ビットを“0”にする場合は、RIICnDRR を先に読んでから“0”にしてください。

20.3.7 RIICnFER — I²C バスファンクションイネーブルレジスタ

アクセス RIICnFER レジスタは、32 ビット単位でリード/ライト可能です。
RIICnFERL レジスタは、16 ビット単位でリード/ライト可能です。
RIICnFERLL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RIICnFER: <RIICn_base> + 0014_H
RIICnFERL: <RIICn_base> + 0014_H
RIICnFERLL: <RIICn_base> + 0014_H

リセット後の値 0000 0072_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.15 RIICnFER レジスタの内容

ビット位置	ビット名	機能
31 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	SCLE	SCL 同期回路有効ビット 0: SCL 同期回路無効 1: SCL 同期回路有効
5	NFE	デジタルノイズフィルタ回路有効ビット 0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する
4	NACKE	NACK 受信転送中断許可ビット 0: NACK 受信時、転送を中断しない (転送中断禁止) 1: NACK 受信時、転送を中断する (転送中断許可)
3	SALE	スレーブアービトレーションロスト検出許可ビット 0: スレーブアービトレーションロスト検出禁止 1: スレーブアービトレーションロスト検出許可
2	NALE	NACK 送信アービトレーションロスト検出許可ビット 0: NACK 送信アービトレーションロスト検出禁止 1: NACK 送信アービトレーションロスト検出許可
1	MALE	マスタアービトレーションロスト検出許可ビット 0: マスタのアービトレーションロスト検出禁止 (アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生による RIICnCR2.MST, TRS ビットの自動クリアを行わない) 1: マスタアービトレーションロスト検出許可 (アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生による RIICnCR2.MST, TRS ビットの自動クリアを行う) スレーブ送信モードで BBSY フラグが "1" の状態で、ST ビットに "1" を書いた場合、TRS ビットはクリアされません。
0	TMOE	タイムアウト検出機能有効ビット 0: タイムアウト検出機能無効 1: タイムアウト検出機能有効

TMOE ビット (タイムアウト検出機能有効ビット)

タイムアウト検出機能の有効/無効を選択します。

タイムアウト検出機能の詳細については、「**20.13.1 タイムアウト検出機能**」を参照してください。

MALE ビット (マスタアービトレーションロスト検出許可ビット)

アービトレーションロスト検出機能の有効/無効を選択します。通常は“1”にしてください。

NALE ビット (NACK 送信アービトレーションロスト検出許可ビット)

受信モード時、NACK 送出中に ACK が検出された場合 (同じアドレスのスレーブがバス上に存在し、それぞれが違うデータを送信してきた場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など) にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット (スレーブアービトレーションロスト検出許可ビット)

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など) にアービトレーションロストを発生させるかどうかを選択します。

NACKE ビット (NACK 受信転送中断許可ビット)

送信モード時、NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は“1”にしてください。

NACKE ビットが“1”のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが“0”のとき、受信アクノリッジの内容に関わらず次の転送動作を継続します。

SCLE ビット (SCL 同期回路有効ビット)

SCL ラインの立ち上がり、立ち下がりに対して、SCL クロックの同期化を行うかどうかを選択します。通常は“1”にしてください。

SCLE ビットを“0” (SCL 同期回路無効) にすると、クロック同期を行いません。この設定の場合、RIIC は SCL ラインの状態に関わらず RIICnBRH および RIICnBRL レジスタで設定された転送速度の SCL クロックを出力します。そのため、I²C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合など、規格外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション、リスタートコンディション、ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き“0”にしないでください。

20.3.8 RIICnSER — I²C バスステータスイネーブルレジスタ

アクセス RIICnSER レジスタは、32 ビット単位でリード/ライト可能です。
RIICnSERL レジスタは、16 ビット単位でリード/ライト可能です。
RIICnSERLL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RIICnSER: <RIICn_base> + 0018_H
RIICnSERL: <RIICn_base> + 0018_H
RIICnSERLL: <RIICn_base> + 0018_H

リセット後の値 0000 0009_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	DIDE	—	GCE	SAR2	SAR1	SAR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W

表 20.16 RIICnSER レジスタの内容

ビット位置	ビット名	機能
31 ~ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	DIDE	デバイス ID アドレス検出許可ビット 0: デバイス ID アドレス検出は無効 1: デバイス ID アドレス検出は有効
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	GCE	ジェネラルコールアドレス許可ビット 0: ジェネラルコールアドレス検出は無効 1: ジェネラルコールアドレス検出は有効
2	SAR2	スレーブアドレスレジスタ 2 許可ビット 0: RIICnSAR2 の設定値は無効 1: RIICnSAR2 の設定値は有効
1	SAR1	スレーブアドレスレジスタ 1 許可ビット 0: RIICnSAR1 の設定値は無効 1: RIICnSAR1 の設定値は有効
0	SAR0	スレーブアドレスレジスタ 0 許可ビット 0: RIICnSAR0 の設定値は無効 1: RIICnSAR0 の設定値は有効

SAR_y ビット (スレーブアドレスレジスタ y 許可ビット) ($y = 0 \sim 2$)

RIICnSAR_y レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SAR_y ビットを“1”にすると、RIICnSAR_y レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SAR_y ビットを“0”にすると、RIICnSAR_y レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCE ビット (ジェネラルコールアドレス許可ビット)

ジェネラルコールアドレス (0000 000_B + 0[W] : All“0”) を受信した場合、無視するかどうかを選択します。

GCE ビットが“1”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は RIICnSAR_y レジスタ ($y = 0 \sim 2$) で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCE ビットが“0”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出許可ビット)

スタートコンディションまたはリスタートコンディション検出後の第1フレームにデバイス ID アドレス (1111 100_B) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが“1”の場合、受信した第1フレームがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが“0”[W] のとき第2フレーム目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが“0”の場合、受信した第1フレームがデバイス ID アドレスと一致しても無視され、第1フレームを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「**20.9.3 デバイス ID アドレス検出機能**」を参照してください。

20.3.9 RIICnIER — I²C バスインタラプトイネーブルレジスタ

アクセス RIICnIER レジスタは、32 ビット単位でリード/ライト可能です。
RIICnIERL レジスタは、16 ビット単位でリード/ライト可能です。
RIICnIERLL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RIICnIER: <RIICn_base> + 001C_H
RIICnIERL: <RIICn_base> + 001C_H
RIICnIERLL: <RIICn_base> + 001C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.17 RIICnIER レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	TIE	送信データエンプティ割り込み許可ビット 0: 送信データエンプティ割り込み (INTRIICnTI) の禁止 1: 送信データエンプティ割り込み (INTRIICnTI) の許可
6	TEIE	送信終了割り込み許可ビット 0: 送信終了割り込み (INTRIICnTEI) の禁止 1: 送信終了割り込み (INTRIICnTEI) の許可
5	RIE	受信終了割り込み許可ビット 0: 受信終了割り込み (INTRIICnRI) の禁止 1: 受信終了割り込み (INTRIICnRI) の許可
4	NAKIE	NACK 受信割り込み許可ビット 0: NACK 受信割り込み (NAKI) の禁止 1: NACK 受信割り込み (NAKI) の許可
3	SPIE	ストップコンディション検出割り込み許可ビット 0: ストップコンディション検出割り込み (SPI) の禁止 1: ストップコンディション検出割り込み (SPI) の許可
2	STIE	スタートコンディション検出割り込み許可ビット 0: スタートコンディション検出割り込み (STI) の禁止 1: スタートコンディション検出割り込み (STI) の許可
1	ALIE	アービトレーションロスト割り込み許可ビット 0: アービトレーションロスト割り込み (ALI) の禁止 1: アービトレーションロスト割り込み (ALI) の許可
0	TMOIE	タイムアウト割り込み許可ビット 0: タイムアウト割り込み (TMOI) の禁止 1: タイムアウト割り込み (TMOI) の許可

TMOIE ビット (タイムアウト割り込み許可ビット)

RIICnSR2.TMOF フラグが“1”のとき、タイムアウト割り込み (TMOI) の許可/禁止を選択します。TMOI 割り込みは、TMOF フラグを“0”にするか、または TMOIE ビットを“0”にすることで解除できます。

ALIE ビット (アービトレーションロスト割り込み許可ビット)

RIICnSR2.AL フラグが“1”のとき、アービトレーションロスト割り込み (ALI) の許可/禁止を選択します。ALI 割り込みは、AL フラグを“0”にするか、または ALIE ビットを“0”にすることで解除できます。

STIE ビット (スタートコンディション検出割り込み許可ビット)

RIICnSR2.START フラグが“1”のとき、スタートコンディション検出割り込み (STI) の許可/禁止を選択します。STI 割り込みは、START フラグを“0”にするか、または STIE ビットを“0”にすることで解除できます。

SPIE ビット (ストップコンディション検出割り込み許可ビット)

RIICnSR2.STOP フラグが“1”のとき、ストップコンディション検出割り込み (SPI) の許可/禁止を選択します。SPI 割り込みは、STOP フラグを“0”にするか、または SPIE ビットを“0”にすることで解除できます。

NAKIE ビット (NACK 受信割り込み許可ビット)

RIICnSR2.NACKF フラグが“1”のとき、NACK 受信割り込み (NAKI) の許可/禁止を選択します。NAKI 割り込みは、NACKF フラグを“0”にするか、または NAKIE ビットを“0”にすることで解除できます。

RIE ビット (受信終了割り込み許可ビット)

RIICnSR2.RDRF フラグが“1”になったときの受信終了割り込み (INTRIICnRI) の許可/禁止を選択します。

TEIE ビット (送信終了割り込み許可ビット)

RIICnSR2.TEND フラグが“1”のとき、送信終了割り込み (INTRIICnTEI) の許可/禁止を選択します。INTRIICnTEI 割り込みは、TEND フラグを“0”にするか、または TEIE ビットを“0”にすることで解除できます。

TIE ビット (送信データエンプティ割り込み許可ビット)

RIICnSR2.TDRE フラグが“1”になったときの送信データエンプティ割り込み (INTRIICnTI) の許可/禁止を選択します。

20.3.10 RIICnSR1 — I²C バスステータスレジスタ 1

アクセス RIICnSR1 レジスタは、32 ビット単位でリード/ライト可能です。
RIICnSR1L レジスタは、16 ビット単位でリード/ライト可能です。
RIICnSR1LL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RIICnSR1: <RIICn_base> + 0020_H
RIICnSR1L: <RIICn_base> + 0020_H
RIICnSR1LL: <RIICn_base> + 0020_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	DID	—	GCA	AAS2	AAS1	AAS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R(W) 注1	R	R(W) 注1	R(W) 注1	R(W) 注1	R(W) 注1

注 1. “0”のみ書けます。

表 20.18 RIICnSR1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	DID	デバイス ID アドレス検出フラグ 0: デバイス ID アドレス未検出 1: デバイス ID アドレス検出
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	GCA	ジェネラルコールアドレス検出フラグ 0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出
2	AAS2	スレーブアドレス 2 検出フラグ 0: スレーブアドレス 2 未検出 1: スレーブアドレス 2 検出
1	AAS1	スレーブアドレス 1 検出フラグ 0: スレーブアドレス 1 未検出 1: スレーブアドレス 1 検出
0	AAS0	スレーブアドレス 0 検出フラグ 0: スレーブアドレス 0 未検出 1: スレーブアドレス 0 検出

AASy フラグ (スレーブアドレス y 検出フラグ) (y = 0 ~ 2)

["1" になる条件]

【7 ビットアドレスフォーマット選択時: RIICnSARy.FSy ビット = 0】

RIICnSER.SARy ビットが "1" (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが RIICnSARy.SVA[7:1] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

【10 ビットアドレスフォーマット選択時: RIICnSARy.FSy ビット = 1】

RIICnSER.SARy ビットが "1" (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0_B + RIICnSARy.SVA[9:8] と一致し、それに続くアドレスが RIICnSARy.SVA[7:0] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき
- ストップコンディションを検出したとき
- RIICnCR1.IICRST ビットに "1" を書き、RIIC リセットまたは内部リセットしたとき

【7 ビットアドレスフォーマット選択時: RIICnSARy.FSy ビット = 0】

RIICnSER.SARy ビットが "1" (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが RIICnSARy.SVA[7:1] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

【10 ビットアドレスフォーマット選択時: RIICnSARy.FSy ビット = 1】

- RIICnSER.SARy ビットが "1" (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0_B + RIICnSARy.SVA[9:8] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnSER.SARy ビットが "1" (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0_B + RIICnSARy.SVA[9:8] と一致し、それに続くアドレスが RIICnSARy.SVA[7:0] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

GCA フラグ (ジェネラルコールアドレス検出フラグ)

["1" になる条件]

- RIICnSER.GCE ビットが "1" (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000_B + 0[W]) と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき
- ストップコンディションを検出したとき

- RIICnSER.GCE ビットが“1” (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス ($0000\ 000_B + 0[W]$) と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ (デバイス ID アドレス検出フラグ)

[“1”になる条件]

- RIICnSER.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス ($1111\ 100_B + 0[W]$) と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnSER.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、デバイス ID アドレスが一致した後にリスタートコンディション検出し、さらにデバイス ID アドレス ($1111\ 100_B + 1[R]$) と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- RIICnSER.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス ($1111\ 100_B$) と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnSER.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス ($1111\ 100_B + 0[W]$) と一致し、続く第 2 フレームがスレーブアドレス 0 ~ 2 のすべてと不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

20.3.11 RIICnSR2 — I²C バスステータスレジスタ 2

アクセス RIICnSR2 レジスタは、32 ビット単位でリード/ライト可能です。
RIICnSR2L レジスタは、16 ビット単位でリード/ライト可能です。
RIICnSR2LL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RIICnSR2: <RIICn_base> + 0024_H
RIICnSR2L: <RIICn_base> + 0024_H
RIICnSR2LL: <RIICn_base> + 0024_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R(W) 注1	R(W) 注1	R(W) 注1	R(W) 注1	R(W) 注1	R(W) 注1	R(W) 注1

注1. “0”のみ書けます。

表 20.19 RIICnSR2 レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	TDRE	送信データエンプティフラグ 0: RIICnDRT レジスタに送信データあり 1: RIICnDRT レジスタに送信データなし
6	TEND	送信終了フラグ 0: データ送信中 1: データ送信終了
5	RDRF	受信終了フラグ 0: RIICnDRR レジスタに受信データなし 1: RIICnDRR レジスタに受信データあり
4	NACKF	NACK 検出フラグ 0: NACK 未検出 1: NACK 検出
3	STOP	ストップコンディション検出フラグ 0: ストップコンディション未検出 1: ストップコンディション検出
2	START	スタートコンディション検出フラグ 0: スタートコンディション未検出 1: スタートコンディション検出
1	AL	アービトレーションロストフラグ 0: アービトレーションロストの発生なし 1: アービトレーションロストの発生あり
0	TMOF	タイムアウト検出フラグ 0: タイムアウト未検出 1: タイムアウト検出

TMOF フラグ (タイムアウト検出フラグ)

SCL ラインの状態が一定期間変化しない場合、タイムアウトを認識して“1”になります。

[“1”になる条件]

タイムアウト検出機能は RIICnFER.TMOE ビットが“1”のとき有効で、以下の期間に SCL ラインの Low 固定または High 固定のバス異常状態を検出します。

- マスタモード (RIICnCR2.MST ビット=1) で、バスビジー (RIICnCR2.BBSY フラグ=1)
- スレーブモード (RIICnCR2.MST ビット=0) で、自スレーブアドレス一致 (RIICnSR1 レジスタ≠00_H) かつバスビジー (RIICnCR2.BBSY フラグ=1)
- スタートコンディション発行要求中 (RIICnCR2.ST ビット=1) で、バスフリー (RIICnCR2.BBSY フラグ=0)

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失 (アービトレーションロスト) したことを示します。RIIC は送信中に SDA ラインのレベルを監視し、出力データと SDA ラインのレベルが一致しない場合 AL フラグを“1”にしてバスが他のデバイスによって占有されたことを示します。

このほか、RIIC では設定により受信モード時に NACK 送信中のアービトレーションロストの検出やスレーブモード時にデータ送信中のアービトレーションロストの検出も可能です。

[“1”になる条件]

【マスタアービトレーションロスト検出有効時：RIICnFER.MALE ビット=1】

- マスタ送信モード時のデータ送信 (スレーブアドレス送信含む) において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDA ライン上の信号の状態が不一致 (内部 SDA 出力が High 出力 (= SDA 端子はハイインピーダンス) で、SDA ラインに Low を検出) したとき
- RIICnCR2.ST ビットが“1” (スタートコンディション発行要求) の状態でスタートコンディションを検出したとき、自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき
- RIICnCR2.BBSY フラグが“1”の状態 RIICnCR2.ST ビットが“1” (スタートコンディション発行要求) に設定したとき

【NACK アービトレーションロスト検出有効時：RIICnFER.NALE ビット=1】

受信モード時の NACK 送信において、ACK 期間の SCL クロックの立ち上がりで自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき

【スレーブアービトレーションロスト検出有効時：RIICnFER.SALE ビット=1】

スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

表 20.20 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

RIICnFER			RIICnSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	RIICnCR2.ST = 1 の状態でスタートコンディション検出時に自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき RIICnCR2.BBSY = 1 の状態で RIICnCR2.ST = 1 にしたとき
			1	送信データ不一致	マスタ送信モードで送信データ（スレーブアドレス送信含む）とバス状態が不一致のとき
x	1	x	1	NACK 送信不一致	マスタ受信モードまたはスレーブ受信モードで NACK 送信時に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

x : Don't care

START フラグ（スタートコンディション検出フラグ）

["1" になる条件]

スタートコンディション（リスタートコンディション含む）を検出したとき

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき
- ストップコンディションを検出したとき
- RIICnCR1.IICRST ビットに "1" を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ（ストップコンディション検出フラグ）

["1" になる条件]

ストップコンディションを検出したとき

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき
- RIICnCR1.IICRST ビットに "1" を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ（NACK 検出フラグ）

["1" になる条件]

RIICnFER.NACKE ビットが "1"（転送中断許可）の状態で、送信モード時に受信デバイスからアクノリッジがなかった（NACK を受信した）とき

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき
- RIICnCR1.IICRST ビットに "1" を書き、RIIC リセットまたは内部リセットしたとき

注 意

NACKF フラグが“1”になると RIIC は通信動作を中断します。NACKF フラグが“1”の状態では送信モード時に RIICnDRT レジスタへの書き込みや、受信モード時に RIICnDRR レジスタの読み出しを行っても、送信／受信動作は行われません。通信動作を再開する場合は NACKF フラグを“0”にしてください。

RDRF フラグ (受信終了フラグ)

[“1”になる条件]

- RIICnDRS レジスタから RIICnDRR レジスタに受信データが転送されたとき、RIICnMR3.RDRFS ビットの設定により SCL クロックの 8 または 9 クロック目の立ち上がり
- スタートコンディション (リスタートコンディション含む) 検出後、受信したスレーブアドレスが RIICnSER レジスタで有効にしたアドレスと一致し、RIICnCR2.TRS ビットが“0”になったとき
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“1”で、マスタ受信モードに移行したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- RIICnDRR レジスタを読んだとき
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ (送信終了フラグ)

[“1”になる条件]

TDRE フラグが“1”の状態では、SCL クロックの 9 クロック目の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- RIICnDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ (送信データエンプティフラグ)

[“1”になる条件]

- RIICnDRT レジスタから RIICnDRS レジスタにデータ転送が行われ、RIICnDRT レジスタが空になったとき
- RIICnCR2.TRS ビットが“1”になったとき
 - スタートコンディション検出後、RIICnCR2.MST ビットが“1”になったとき
 - RIICnMR1.MTWP ビットが“1”の状態では、RIICnCR2.TRS ビットに“1”を書いたとき

- スタートコンディション（リスタートコンディション含む）検出後、受信したスレーブアドレスが RIICnSER レジスタで有効にしたアドレスと一致し、RIICnCR2.TRS ビットが“1”になったとき

[“0”になる条件]

- RIICnDRT レジスタヘデータを書いたとき
- RIICnCR2.TRS ビットが“0”になったとき
 - ストップコンディションを検出したとき
 - 送信モードから受信モードになったとき
 - RIICnMR1.MTWP ビットが“1”の状態、RIICnCR2.TRS ビットに“0”を書いたとき
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注 意

RIICnFER.NACKF ビットが“1”の状態、NACKF フラグが“1”になると RIIC は通信動作を中断します。このとき、TDRE フラグが“0”の状態（次の送信データが既に書き込まれている状態）の場合、9クロック目の立ち上がりで RIICnDRS レジスタへのデータ転送が行われ RIICnDRT レジスタが空状態になりますが、TDRE フラグは“1”になりません。

20.3.12 RIICnSARy — I²C スレーブアドレスレジスタ y (y = 0 ~ 2)

アクセス RIICnSARy レジスタは、32 ビット単位でリード/ライト可能です。
RIICnSARyL レジスタは、16 ビット単位でリード/ライト可能です。
RIICnSARyLL、RIICnSARyLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RIICnSAR0: <RIICn_base> + 0028_H
RIICnSAR0L: <RIICn_base> + 0028_H
RIICnSAR0LL: <RIICn_base> + 0028_H、
RIICnSAR0LH: <RIICn_base> + 0029_H
RIICnSAR1: <RIICn_base> + 002C_H
RIICnSAR1L: <RIICn_base> + 002C_H
RIICnSAR1LL: <RIICn_base> + 002C_H、
RIICnSAR1LH: <RIICn_base> + 002D_H
RIICnSAR2: <RIICn_base> + 0030_H
RIICnSAR2L: <RIICn_base> + 0030_H
RIICnSAR2LL: <RIICn_base> + 0030_H、
RIICnSAR2LH: <RIICn_base> + 0031_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FSy	—	—	—	—	—	SVA[9:1]									SVA0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.21 RIICnSARy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	FSy	7 ビット / 10 ビットアドレスフォーマット選択ビット 0 : 7 ビットアドレスフォーマット選択 1 : 10 ビットアドレスフォーマット選択
14 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9 ~ 1	SVA[9:1]	7 ビットアドレス / 10 ビットアドレス上位ビット スレーブアドレスを設定してください。 <ul style="list-style-type: none"> FSy ビット = 0 (7 ビットアドレスフォーマット選択) のとき、SVA[7:1] ビットが有効になり、7 ビットスレーブアドレスになる FSy ビット = 1 (10 ビットアドレスフォーマット選択) のとき、SVA[9:1] ビットは SVA0 ビットと合わせて 10 ビットスレーブアドレスになる
0	SVA0	10 ビットアドレス最下位ビット スレーブアドレスを設定してください。 <ul style="list-style-type: none"> FSy ビット = 0 (7 ビットアドレスフォーマット選択) のとき、SVA0 ビットは無効になる FSy ビット = 1 (10 ビットアドレスフォーマット選択) のとき、SVA0 ビットが有効になり、SVA[9:1] ビットと合わせて 10 ビットスレーブアドレスになる

SVA0 ビット (10 ビットアドレス最下位ビット)

10 ビットアドレスフォーマット選択時 (RIICnSARy.FSy ビット = 1)、10 ビットアドレス最下位ビットとして機能し、SVA[9:1] ビットと合わせて 10 ビットアドレスを設定します。

RIICnSER.SARy ビットが“1” (RIICnSARy レジスタ有効) でかつ RIICnSARy.FSy ビットが“1” のとき設定値が有効になり、RIICnSARy.FSy ビットまたは SARy ビットが“0” のとき設定値は無視されます。

SVA[9:1] ビット (7 ビットアドレス / 10 ビットアドレス上位ビット)

7 ビットアドレスフォーマット選択時 (RIICnSARy.FSy ビット = 0)、7 ビットアドレスとして機能し、10 ビットアドレスフォーマット選択時 (RIICnSARy.FSy ビット = 1)、SVA0 ビットと合わせて 10 ビットアドレスとして機能します。

RIICnSER.SARy ビットが“0” のとき設定値は無視されます。

FSy ビット (7 ビット / 10 ビットアドレスフォーマット選択ビット)

スレーブアドレス y (RIICnSARy レジスタ) を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

RIICnSER.SARy ビットが“1” (RIICnSARy レジスタ有効) でかつ RIICnSARy.FSy ビットが“0” のとき、スレーブアドレス y は 7 ビットアドレスフォーマットが選択され、

RIICnSARy.SVA[7:1] ビットの設定値が有効になり SVA[9:8] ビットおよび RIICnSARy.SVA0 ビットの設定値は無視されます。

RIICnSER.SARy ビットが“1” (RIICnSARy レジスタ有効) でかつ RIICnSARy.FSy ビットが“1” のとき、スレーブアドレス y は 10 ビットアドレスフォーマットが選択され、SVA[9:1] ビット、SVA0 ビットの設定値が有効になります。

RIICnSER.SARy ビットが“0” (RIICnSARy レジスタ無効) のとき RIICnSARy.FSy ビットの設定値は無効です。

20.3.13 RIICnBRL — I²C バスビットレートロウレベルレジスタ

アクセス RIICnBRL レジスタは、32 ビット単位でリード/ライト可能です。
RIICnBRLL レジスタは、16 ビット単位でリード/ライト可能です。
RIICnBRLLL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RIICnBRL: <RIICn_base> + 0034_H
RIICnBRLL: <RIICn_base> + 0034_H
RIICnBRLLL: <RIICn_base> + 0034_H

リセット後の値 0000 00FF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	BRL[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

表 20.22 RIICnBRL レジスタの内容

ビット位置	ビット名	機能
31 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 0	BRL[4:0]	ビットレート Low 幅設定ビット SCL クロックの Low 幅の値を設定

RIICnBRL レジスタは SCL クロックの Low 幅を設定するための 5 ビットのレジスタです。

また RIICnBRL レジスタは、SCL 自動 Low ホールド発生時（「**20.10 SCL の自動 Low ホールド機能**」参照）のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間以上^{注1}の値を設定してください。

RIICnBRL レジスタは RIICnMR1.CKS[2:0] ビットで選択した内部基準クロックソース (IICφ) で Low 幅をカウントします。

注 1. データセットアップ時間 (t_{SU:DAT})
250ns (~ 100kbps : スタンダードモード [Sm])
100ns (~ 400kbps : ファストモード [Fm])

20.3.14 RIICnBRH — I²C バスビットレートハイレベルレジスタ

アクセス RIICnBRH レジスタは、32 ビット単位でリード/ライト可能です。
RIICnBRHL レジスタは、16 ビット単位でリード/ライト可能です。
RIICnBRHLL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RIICnBRH: <RIICn_base> + 0038_H
RIICnBRHL: <RIICn_base> + 0038_H
RIICnBRHLL: <RIICn_base> + 0038_H

リセット後の値 0000 00FF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	BRH[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

表 20.23 RIICnBRH レジスタの内容

ビット位置	ビット名	機能
31 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 0	BRH[4:0]	ビットレート High 幅設定ビット SCL クロックの High 幅の値を設定

RIICnBRH レジスタは SCL クロックの High 幅を設定するための 5 ビットのレジスタで、マスターモード時に有効です。RIIC を常にスレーブモードで使用する場合には、High 幅を設定する必要はありません。

RIICnBRH レジスタは RIICnMR1.CKS[2:0] ビットで選択された内部基準クロックソース (IICφ) で High 幅をカウントします。

I²C 転送速度および SCL クロックのデューティ比は以下の式で表されます。

- (1) RIICnFER.SCLE = 0 の場合

$$\text{転送速度} = 1 / \{ [(RIICnBRH+1) + (RIICnBRL+1)] / IIC\phi^{\text{注1}} + tr + tf \}$$

$$\text{デューティ比} = \{ tr + [(RIICnBRH+1) / IIC\phi] \} / \{ tr + tf + [(RIICnBRH+1) + (RIICnBRL+1)] / IIC\phi \}$$

- (2) RIICnFER.SCLE=1、RIICnFER.NFE=0、IICφ = PCLK の場合

$$\text{転送速度} = 1 / \{ [(RIICnBRH+3) + (RIICnBRL+3)] / IIC\phi^{\text{注1}} + tr + tf \}$$

$$\text{デューティ比} = \{ tr + [(RIICnBRH+3) / IIC\phi] \} / \{ tr + tf + [(RIICnBRH+3) + (RIICnBRL+3)] / IIC\phi \}$$

- (3) RIICnFER.SCLE=1、RIICnFER.NFE=1、IICφ = PCLK の場合

$$\text{転送速度} = 1 / \{ [(RIICnBRH+3+nf) + (RIICnBRL+3+nf)] / IIC\phi^{\text{注1}} + tr + tf \}$$

$$\text{デューティ比} = \{ tr + [(RIICnBRH+3+nf) / IIC\phi] \} / \{ tr + tf + [(RIICnBRH+3+nf) + (RIICnBRL+3+nf)] / IIC\phi \}$$

- (4) RIICnFER.SCLE=1、RIICnFER.NFE=0、IICφ < PCLK の場合
 転送速度 = $1 / \{ [(RIICnBRH+2) + (RIICnBRL+2)] / IIC\phi^{\text{注1}} + tr + tf \}$
 デューティ比 = $\{ tr + [(RIICnBRH+2) / IIC\phi] \} / \{ tr + tf + [(RIICnBRH+2) + (RIICnBRL+2)] / IIC\phi \}$
- (5) RIICnFER.SCLE=1、RIICnFER.NFE=1、IICφ < PCLK の場合
 転送速度 = $1 / \{ [(RIICnBRH+2+nf) + (RIICnBRL+2+nf)] / IIC\phi^{\text{注1}} + tr + tf \}$
 デューティ比 = $\{ tr + [(RIICnBRH+2+nf) / IIC\phi] \} / \{ tr + tf + [(RIICnBRH+2+nf) + (RIICnBRL+2+nf)] / IIC\phi \}$

tf : SCL ライン立ち下がり時間 [ns] ^{注2}

tr : SCL ライン立ち上がり時間 [ns] ^{注2}

nf : デジタルノイズフィルタ段数

デューティ比 : 0% < デューティ < 100%

- 注1.** IICφ は「20.3.4 RIICnMR1 — I²C バスモードレジスタ 1」の CKS[2:0] を参照してください。
- 注2.** SCL ライン立ち上がり時間 [tr]、SCL ライン立ち下がり時間 [tf] は、バスライン総容量 [Cb] とプルアップ抵抗 [Rp] に依存します。詳細については NXP 社の I²C バス規格書を参照してください。

SCL 同期回路未使用時の RIICnBRH、RIICnBRL レジスタの値の設定例を表 20.24 に示します。

表 20.24 転送速度に対する RIICnBRH、RIICnBRL レジスタの設定例

転送速度 (kbps)	PCLK 周波数 (MHz)														
	8					10					12.5				
	CKS [2:0]	RIICnBRH		RIICnBRL		CKS [2:0]	RIICnBRH		RIICnBRL		CKS [2:0]	RIICnBRH		RIICnBRL	
SCL クロックの High 幅 [IICφ]		設定値 [書き込む値]	SCL クロックの Low 幅 [IICφ]	設定値 [書き込む値]	SCL クロックの High 幅 [IICφ]		設定値 [書き込む値]	SCL クロックの Low 幅 [IICφ]	設定値 [書き込む値]	SCL クロックの High 幅 [IICφ]		設定値 [書き込む値]	SCL クロックの Low 幅 [IICφ]	設定値 [書き込む値]	
10	100 _B	22	F6 _H	25	F9 _H	101 _B	13	ED _H	15	EF _H	101 _B	16	F0 _H	20	F4 _H
50	010 _B	16	F0 _H	19	F3 _H	010 _B	21	F5 _H	24	F8 _H	011 _B	12	EC _H	15	EF _H
100	001 _B	15	EF _H	18	F2 _H	001 _B	19	F3 _H	23	F7 _H	001 _B	24	F8 _H	29	FD _H
400	000 _B	4	E4 _H	10	EA _H	000 _B	5	E5 _H	12	EC _H	000 _B	7	E7 _H	16	F0 _H

転送速度 (kbps)	PCLK 周波数 (MHz)														
	16					20					25				
	CKS [2:0]	RIICnBRH		RIICnBRL		CKS [2:0]	RIICnBRH		RIICnBRL		CKS [2:0]	RIICnBRH		RIICnBRL	
SCL クロックの High 幅 [IICφ]		設定値 [書き込む値]	SCL クロックの Low 幅 [IICφ]	設定値 [書き込む値]	SCL クロックの High 幅 [IICφ]		設定値 [書き込む値]	SCL クロックの Low 幅 [IICφ]	設定値 [書き込む値]	SCL クロックの High 幅 [IICφ]		設定値 [書き込む値]	SCL クロックの Low 幅 [IICφ]	設定値 [書き込む値]	
10	101 _B	22	F6 _H	25	F9 _H	110 _B	13	ED _H	15	EF _H	110 _B	16	F0 _H	20	F4 _H
50	011 _B	16	F0 _H	19	F3 _H	011 _B	21	F5 _H	24	F8 _H	100 _B	12	EC _H	15	EF _H
100	010 _B	15	EF _H	18	F2 _H	010 _B	19	F3 _H	23	F7 _H	010 _B	24	F8 _H	29	FD _H
400	000 _B	9	E9 _H	20	F4 _H	000 _B	11	EB _H	25	F9 _H	001 _B	7	E7 _H	16	F0 _H

転送速度 (kbps)	PCLK 周波数 (MHz)									
	30					33				
	CKS [2:0]	RIICnBRH		RIICnBRL		CKS [2:0]	RIICnBRH		RIICnBRL	
SCL クロックの High 幅 [IICφ]		設定値 [書き込む値]	SCL クロックの Low 幅 [IICφ]	設定値 [書き込む値]	SCL クロックの High 幅 [IICφ]		設定値 [書き込む値]	SCL クロックの Low 幅 [IICφ]	設定値 [書き込む値]	
10	110 _B	20	F4 _H	24	F8 _H	110 _B	22	F6 _H	26	FA _H
50	100 _B	15	EF _H	18	F2 _H	100 _B	17	F1 _H	20	F4 _H
100	011 _B	14	EE _H	17	F1 _H	011 _B	16	F0 _H	19	F3 _H
400	001 _B	8	E8 _H	19	F3 _H	001 _B	9	E9 _H	21	F5 _H

注 意

SCL ラインの立ち上がり時間 (tr) を ~ 100kbps 以下 [Sm] は 100ns、~ 400kbps[Fm] は 300ns、SCL ラインの立ち下がり時間 (tf) を ~ 400kbps 以下 [Sm/Fm] は 300ns として計算した場合の設定例です。

SCL ライン立ち上がり時間 (tr)、SCL ライン立ち下がり時間 (tf) の規格値については NXP 社の I²C バス規格書を参照してください。

20.3.15 RIICnDRT — I²C バス送信データレジスタ

アクセス RIICnDRT レジスタは、32 ビット単位でリード/ライト可能です。
RIICnDRTL レジスタは、16 ビット単位でリード/ライト可能です。
RIICnDRTLL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RIICnDRT: <RIICn_base> + 003C_H
RIICnDRTL: <RIICn_base> + 003C_H
RIICnDRTLL: <RIICn_base> + 003C_H

リセット後の値 0000 00FF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DRT[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

I²C バスシフトレジスタ (RIICnDRS) の空きを検出すると、RIICnDRT レジスタに書き込まれた送信データが RIICnDRS レジスタへ転送され、送信モード時にデータ送信を開始します。

RIICnDRT レジスタと RIICnDRS レジスタはダブルバッファ構造になっているため、RIICnDRS レジスタのデータ送信中に、次に送信するデータを RIICnDRT レジスタに書いておくことで連続送信動作が可能です。

RIICnDRT レジスタは常に読み出し/書き込み可能です。RIICnDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (INTRIICnTI) 要求が発生したときに 1 回だけ行ってください。ビット 31 ~ 8 にライトする場合はリセット後の値を書いてください。

20.3.16 RIICnDRR — I²C バス受信データレジスタ

アクセス RIICnDRR レジスタは、32 ビット単位でリードのみ可能です。
RIICnDRRL レジスタは、16 ビット単位でリードのみ可能です。
RIICnDRRLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス RIICnDRR: <RIICn_base> + 0040_H
RIICnDRRL: <RIICn_base> + 0040_H
RIICnDRRLL: <RIICn_base> + 0040_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DRR[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

1 バイトのデータの受信が終了すると、受信したデータは I²C バスシフトレジスタ (RIICnDRS) から RIICnDRR レジスタへ転送され、次のデータを受信可能にします。

RIICnDRS レジスタと RIICnDRR レジスタはダブルバッファ構造になっているため、RIICnDRS レジスタのデータ受信中に、すでに受信したデータを RIICnDRR レジスタから読んでおくと連続受信動作が可能です。

RIICnDRR レジスタに書き込みはできません。RIICnDRR レジスタの読み出しは、受信終了割り込み (INTRIICnRI) 要求が発生したときに 1 回だけ行ってください。

受信データを RIICnDRR レジスタから読み出ししないまま (RIICnSR2.RDRF フラグが“1”の状態のまま) 次の受信データを受け取ると、RIIC は RDRF フラグが次に“1”になるタイミングの 1 つ手前の SCL クロックで自動的に Low ホールドを行います。

20.3.17 RIICnDRS — I²C バスシフトレジスタ

アクセス アクセスすることはできません。

アドレス —

リセット後の値 0000 00FF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DRS[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

RIICnDRS レジスタは、データを送信/受信するためのシフトレジスタです。

送信時は RIICnDRT レジスタから送信データが RIICnDRS レジスタに転送され、SDA 端子からデータが送信されます。受信時は 1 バイトのデータの受信が終了すると、データが RIICnDRS レジスタから RIICnDRR レジスタへ転送されます。

RIICnDRS レジスタは直接アクセスすることはできません。

20.4 割り込み要因

RIIC の割り込み要因には、通信エラー／イベント発生（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）、受信終了、送信データエンプティ、送信終了の 4 種類があります。

表 20.25 に割り込み一覧を示します。受信終了および送信データエンプティ割り込み要求により、DMAC を起動してデータ転送を行うことができます。

表 20.25 割り込み要因

名称	割り込み要因	割り込みフラグ	DMAC の起動	割り込み条件
INTRIICnTI	送信データエンプティ	TDRE	可能	TDRE = 1 かつ TIE = 1
INTRIICnTEI	送信終了	TEND	不可能	TEND = 1 かつ TEIE = 1
INTRIICnRI	受信終了	RDRF	可能	RDRF = 1 かつ RIE = 1
INTRIICnEE	通信エラー／ イベント発生	AL	不可能	AL = 1 かつ ALIE = 1
		NACKF		NACKF = 1 かつ NAKIE = 1
		TMOF		TMOF = 1 かつ TMOIE = 1
		START		START = 1 かつ STIE = 1
		STOP		STOP = 1 かつ SPIE = 1

割り込み処理の中でそれぞれのフラグをクリアまたはマスクしてください。

注 意

- CPU から周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、レイテンシがあります。割り込みフラグをクリアまたはマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。
- INTRIICnTI 割り込みはエッジ割り込みのためクリアの必要はありません。また INTRIICnTI 割り込みの条件となる RIICnSR2.TDRE フラグは、RIICnDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (RIICnSR2.STOP フラグ=1) で自動的に“0”になります。
- INTRIICnRI 割り込みはエッジ割り込みのためクリアの必要はありません。また INTRIICnRI 割り込みの条件となる RIICnSR2.RDRF フラグは、RIICnDRR レジスタの読み出しで自動的に“0”になります。
- INTRIICnTEI 割り込みを使用する場合、INTRIICnTEI 割り込み処理の中で RIICnSR2.TEND フラグをクリアしてください。
なお RIICnSR2.TEND フラグは、RIICnDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (RIICnSR2.STOP フラグ = 1) で自動的に“0”になります。

20.5 動作

20.5.1 通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続くフレームは、アドレスフレームでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 20.3 に I²C バスフォーマットを、図 20.4 に I²C バスタイミングを示します。

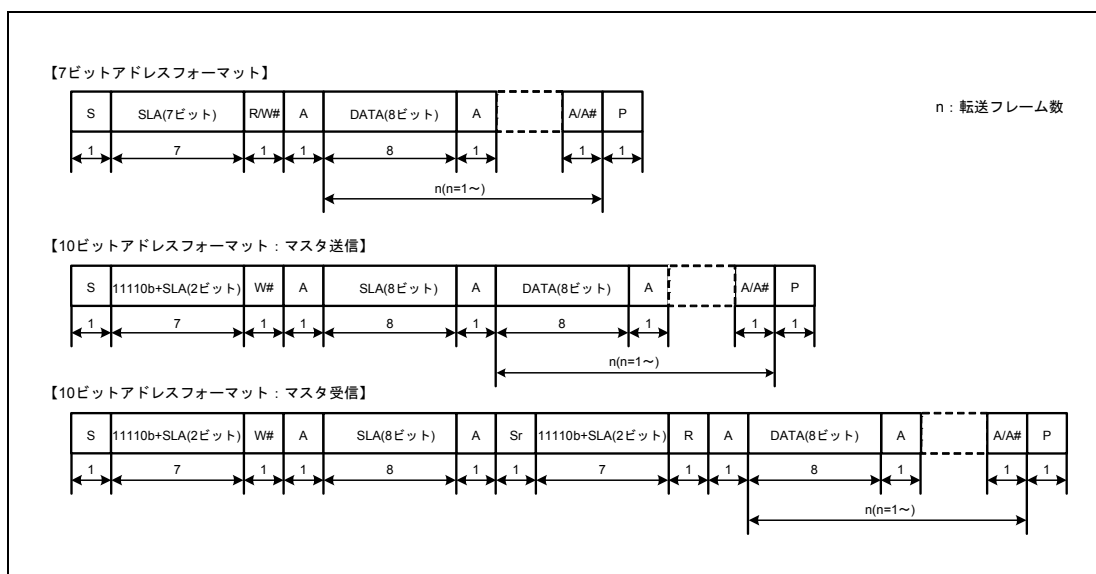


図 20.3 I²C バスフォーマット

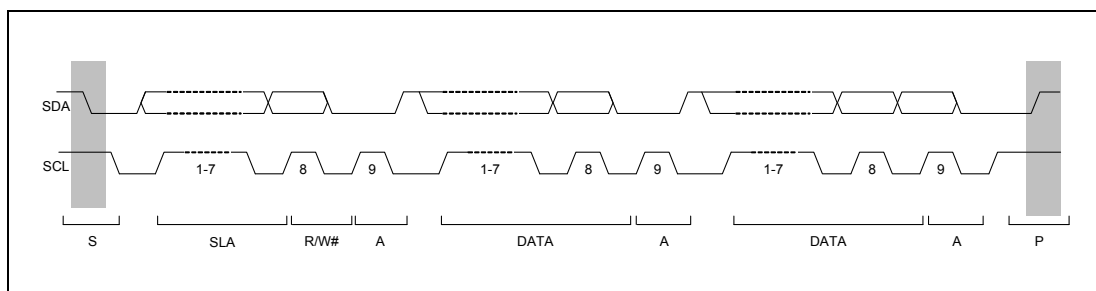


図 20.4 I²C バスタイミング (SLA = 7 ビットの場合)

- S : スタートコンディションを示します。SCL ラインが High の状態の時、マスタデバイスが SDA ラインを High から Low に変化させます。
- SLA : スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W# : 送信／受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジを示します。受信デバイスが SDA ラインを Low にします (マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。
- A# : ノットアクノリッジを示します。受信デバイスから応答がない、または受信デバイスが存在せず、SDA ラインが High の状態のままです。

- Sr : リスタートコンディションを示します。SCL ラインが High の状態の時、マスタデバイスがセットアップ時間経過後に SDA ラインを High から Low に変化させます。
- DATA : 送受信データを示します。
- P : ストップコンディションを示します。SCL ラインが High の状態の時、マスタデバイスがセットアップ時間経過後に SDA ラインを Low から High に変化させます。

20.5.2 初期設定

データの送信/受信を開始する場合、**図 20.5** に示す手順に従って RIIC を初期化してください。本初期設定は RIIC 起動時に 1 度設定してください。

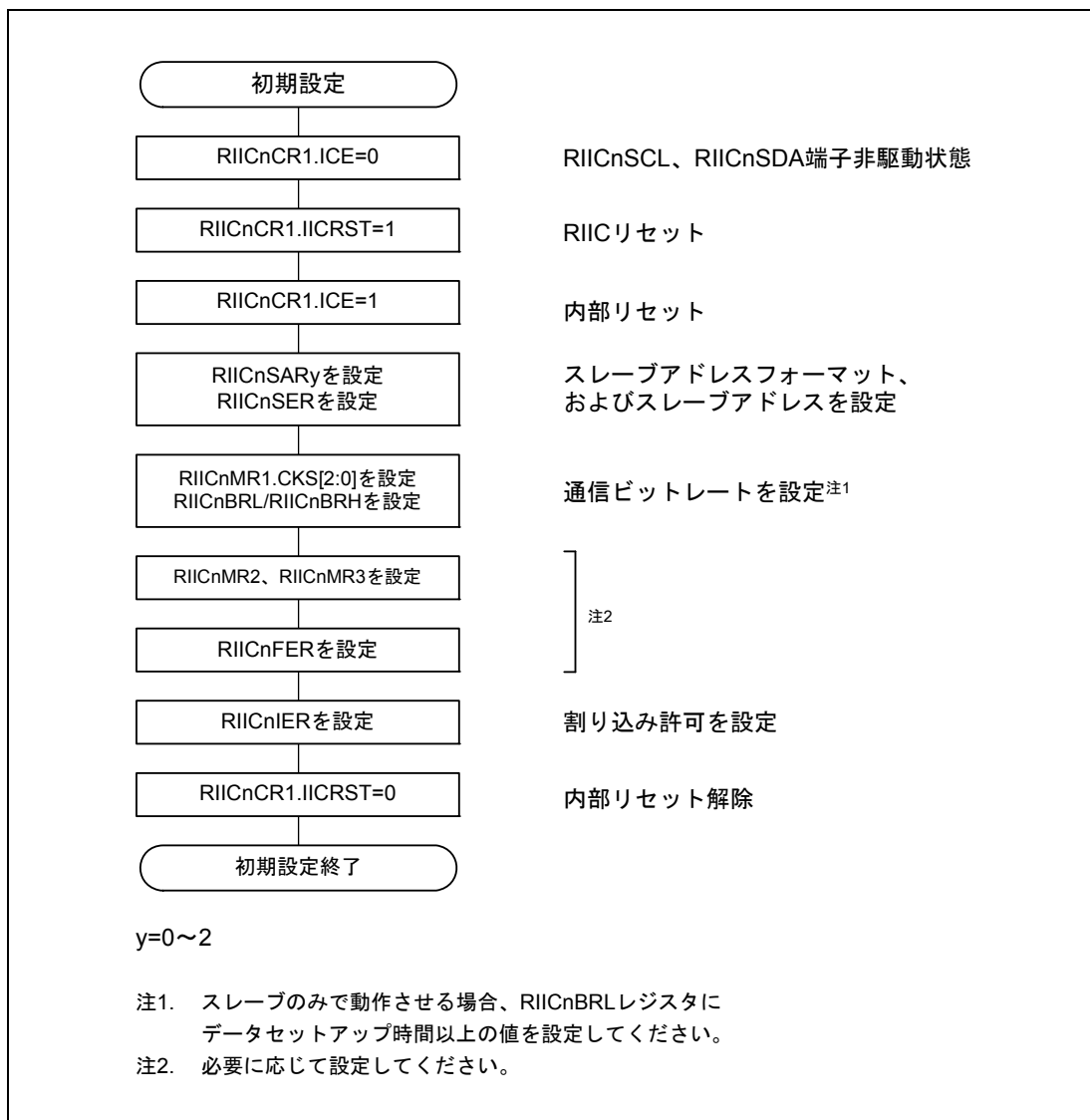


図 20.5 RIIC の初期化フローチャート例

20.5.3 マスタ送信動作

マスタ送信では、マスタデバイスである RIIC が SCL クロックと送信データを出力して、スレーブデバイスがアクノリッジを返します。図 20.6 にマスタ送信の使用例を、図 20.7 ~ 図 20.9 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

- (1) RIICnCR1.ICE ビットを“0” (RIICnSCL、RIICnSDA 端子非駆動状態) にしたまま RIICnCR1.IICRST ビットを“1” (RIIC リセット) にした後、RIICnCR1.ICE ビットを“1” (内部リセット) にします。これにより RIICnSR1 レジスタの各フラグや内部状態の初期化を行います。その後、RIICnSARy、RIICnSER、RIICnMR1、RIICnBRH、RIICnBRL レジスタ (y = 0 ~ 2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については図 20.5 参照)。必要なレジスタの設定が終了したら、RIICnCR1.IICRST ビットを“0” (リセット解除) にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。
- (2) RIICnCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、RIICnCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、RIICnSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態で自分が出した SDA 信号と SDA ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、RIICnCR2.MST、TRS ビットを自動的に“1”にしてマスタ送信モードになります。また RIICnSR2.TDRE は、MST ビット = 1 かつ TRS ビット = 1 により自動的に“1”になります。
- (3) RIICnSR2.TDRE フラグが“1”であることを確認した後、RIICnDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。RIICnDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、RIICnDRT レジスタから RIICnDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビット = 0 を受信すると、引き続きマスタ送信モードの状態を継続します。このとき RIICnSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は RIICnCR2.SP ビットに“1”を書くことで行われます。
なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で RIICnDRT レジスタに 1111 0_p+ スレーブアドレスの上位 2 ビット + W# を書き、2 回目のアドレス送信処理で RIICnDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- (4) RIICnSR2.TDRE フラグが“1”であることを確認した後、送信データを RIICnDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCL ラインを Low にホールドします。
- (5) 送信する全バイトを RIICnDRT レジスタに書いた後、RIICnSR2.TEND フラグが“1”になるまで待ってから RIICnCR2.SP ビットに“1”を書いてください (ストップコンディション発行要求)。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。

- (6) RIIC はストップコンディションを検出すると、RIICnCR2.MST, TRS ビットが自動的に“00_B”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により RIICnSR2.TDRE, TEND フラグも自動的に“0”になり、RIICnSR2.STOP フラグが“1”になります。
- (7) RIICnSR2.STOP フラグが“1”であることを確認した後、次通信のために RIICnSR2.NACKF, STOP フラグを“0”にしてください。

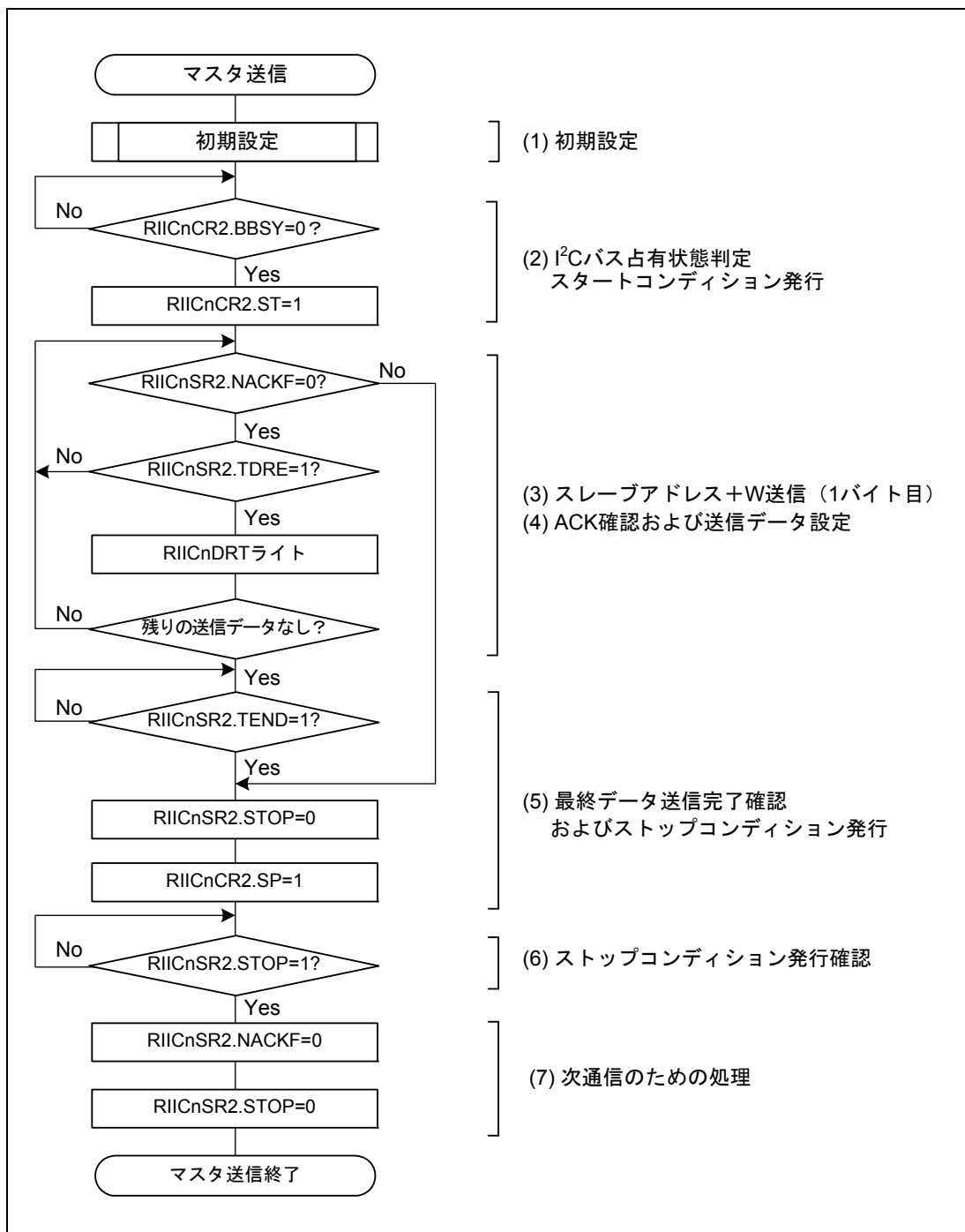


図 20.6 マスタ送信のフローチャート例

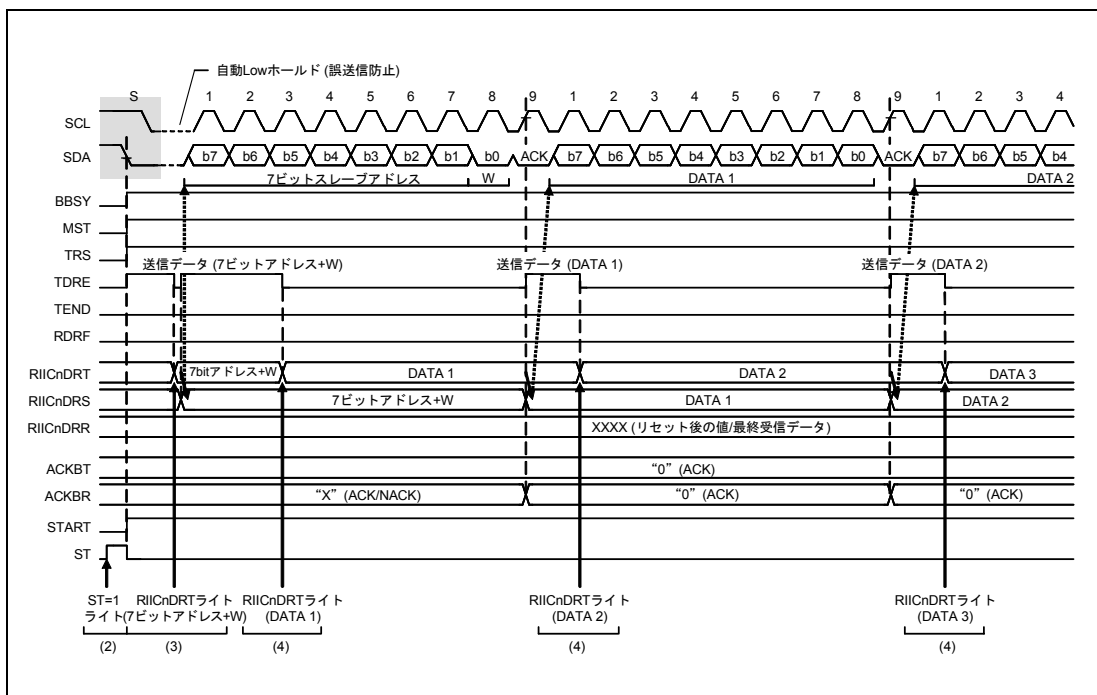


図 20.7 マスタ送信の動作タイミング (1) (7ビットアドレスフォーマットの時)

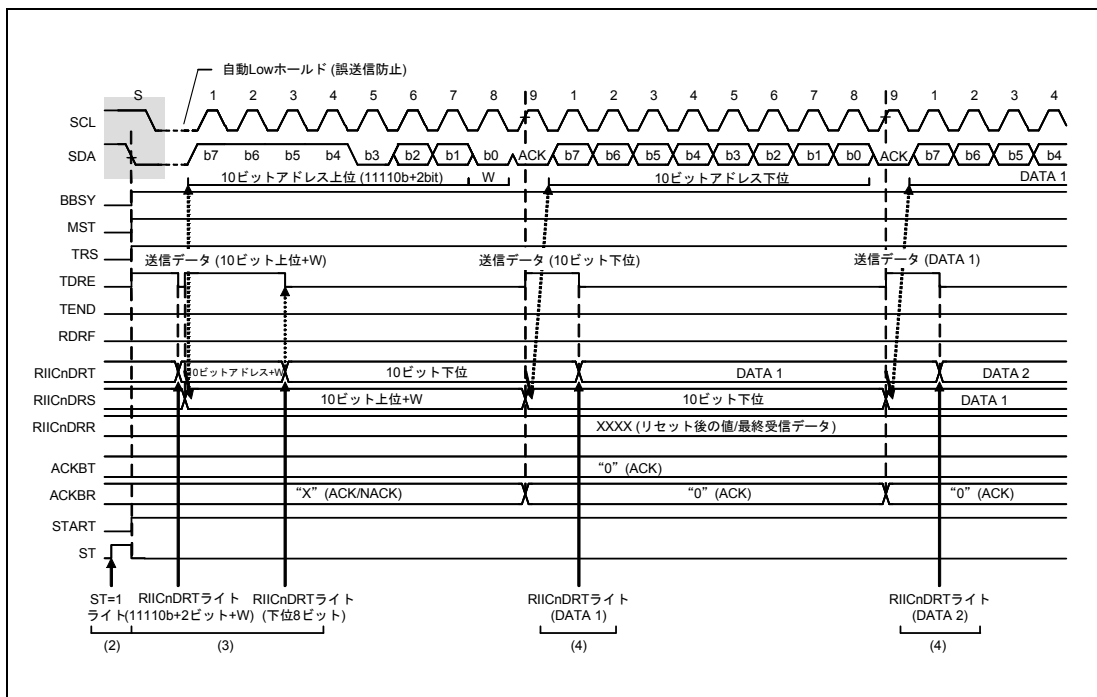


図 20.8 マスタ送信の動作タイミング (2) (10ビットアドレスフォーマットの時)

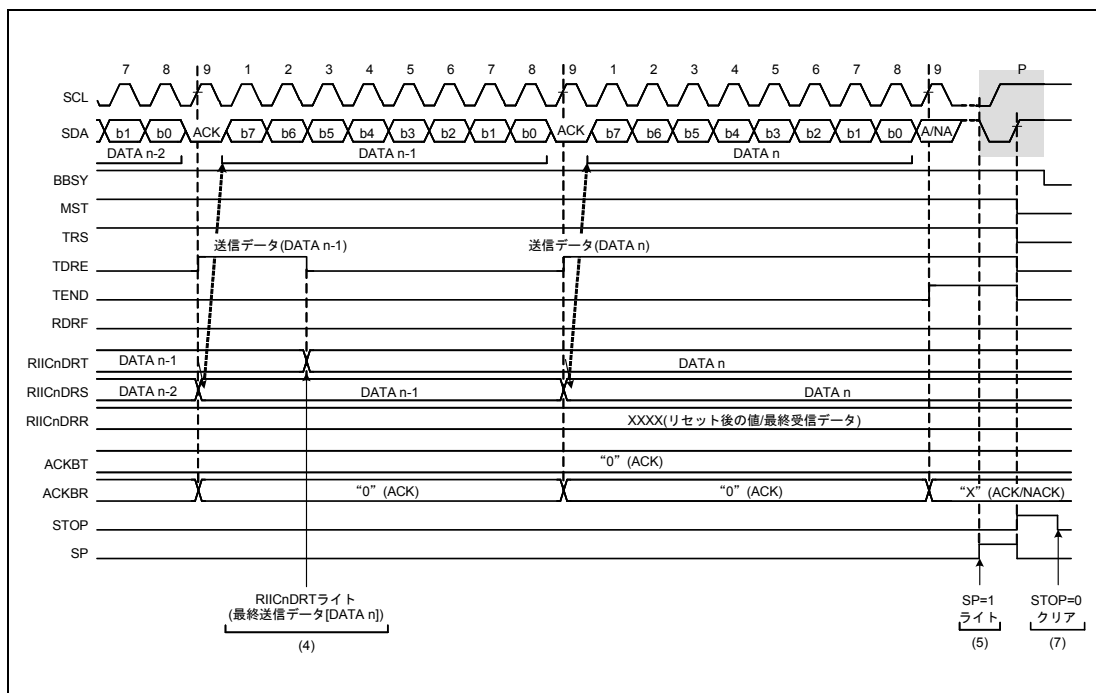


図 20.9 マスタ送信の動作タイミング (3)

20.5.4 マスタ受信動作

マスタ受信では、マスタデバイスである IIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 20.10 にマスタ受信のフローチャート例 (7 ビットアドレスフォーマット、2 バイト以下の場合)、図 20.11 にマスタ受信のフローチャート例 (7 ビットアドレスフォーマット、3 バイト以上の場合) を、図 20.12 ~ 図 20.14 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

- (1) IICnCR1.ICE ビットを“0” (IICnSCL、IICnSDA 端子非駆動状態) にしたまま IICnCR1.IICRST ビットを“1” (IIC リセット) にした後、IICnCR1.ICE ビットを“1” (内部リセット) にします。これにより IICnSR1 レジスタの各フラグや内部状態の初期化を行います。その後、IICnSARy、IICnSER、IICnMR1、IICnBRH、IICnBRL レジスタ (y=0~2) を設定し、その他のレジスタは必要に応じて設定してください (IIC の初期設定については図 20.5 参照)。必要なレジスタの設定が終了したら、IICnCR1.IICRST ビットを“0” (リセット解除) にしてください。すでに IIC の初期化が完了している場合、この手順は不要です。
- (2) IICnCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、IICnCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。IIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。IIC はスタートコンディションを検出すると BBSY フラグ、IICnSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態で自分が出した SDA 信号と SDA ラインの状態がずれることなくスタートコンディションを検出した場合、IIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、IICnCR2.MST、TRS ビットを自動的に“1”にしてマスタ送信モードになります。また IICnSR2.TDRE フラグは、TRS ビット=1 により自動的に“1”になります。
- (3) IICnSR2.TDRE フラグが“1”であることを確認した後、IICnDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。IICnDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、IICnDRT レジスタから IICnDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に IICnCR2.TRS ビットが変更され送信モード/受信モードが選択されます。IIC は R/W# ビット=1 を受信すると、9 クロック目の立ち上がりで TRS ビットを“0”にしてマスタ受信モードに移行します。このとき TDRE フラグは“0”に、IICnSR2.RDRF フラグは自動的に“1”になります。
このとき IICnSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は IICnCR2.SP ビットに“1”を書くことで行えます。
なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信でスレーブアドレス上位 2 ビットを送信、次にスレーブアドレス下位 8 ビットを送信した後、スレーブアドレス下位 8 ビットの送信終了割り込み発生後 (または、TEND=1 となった後) に、リスタートコンディションを発行します (動作タイミングについては図 20.13 を参照)。その後、1111 0_B+ スレーブアドレスの上位 2 ビット+ R を送信することで、マスタ受信モードに移行します。

- (4) RIICnSR2.RDRF フラグが“1”であることを確認した後、ダミーで RIICnDRR レジスタを読むと、RIIC は SCL クロックを出力して受信動作を開始します。
- (5) 1 バイトのデータ受信が終了し、RIICnMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、RIICnSR2.RDRF フラグが“1”になります。このとき RIICnDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に“0”になります。また SCL クロックの 9 クロック目のアクノリッジビットには、RIICnMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト - 1 の場合、RIICnDRR レジスタ（最終バイト - 2 バイト目）を読む前に RIICnMR3.WAIT ビットを“1”（WAIT あり）にしてください。これにより、続く (6) の RIICnMR3.ACKBT ビットを“1”（NACK）にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするとともに、最終バイトの受信時に 9 クロック目の立ち下がり SCL ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。
- (6) RIICnMR3.RDRFS ビットが“0”でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、RIICnMR3.ACKBT ビットを“1”（NACK）にしてください。
- (7) RIICnDRR レジスタ（最終バイト - 1 バイト目）読み出し後、RIICnSR2.RDRF フラグが“1”であることを確認してから、RIICnCR2.SP ビットに“1”を書いて（ストップコンディション発行要求）、RIICnDRR レジスタ（最終バイト）を読んでください。RIIC は RIICnDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCL ラインの Low ホールド解除後にストップコンディションを発行します。
- (8) RIIC はストップコンディションを検出すると、RIICnCR2.MST, TRS ビットは自動的に“00_B”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により RIICnSR2.STOP フラグが“1”になります。
- (9) RIICnSR2.STOP フラグが“1”であることを確認した後、次通信のために RIICnSR2.NACKF, STOP フラグを“0”にしてください。

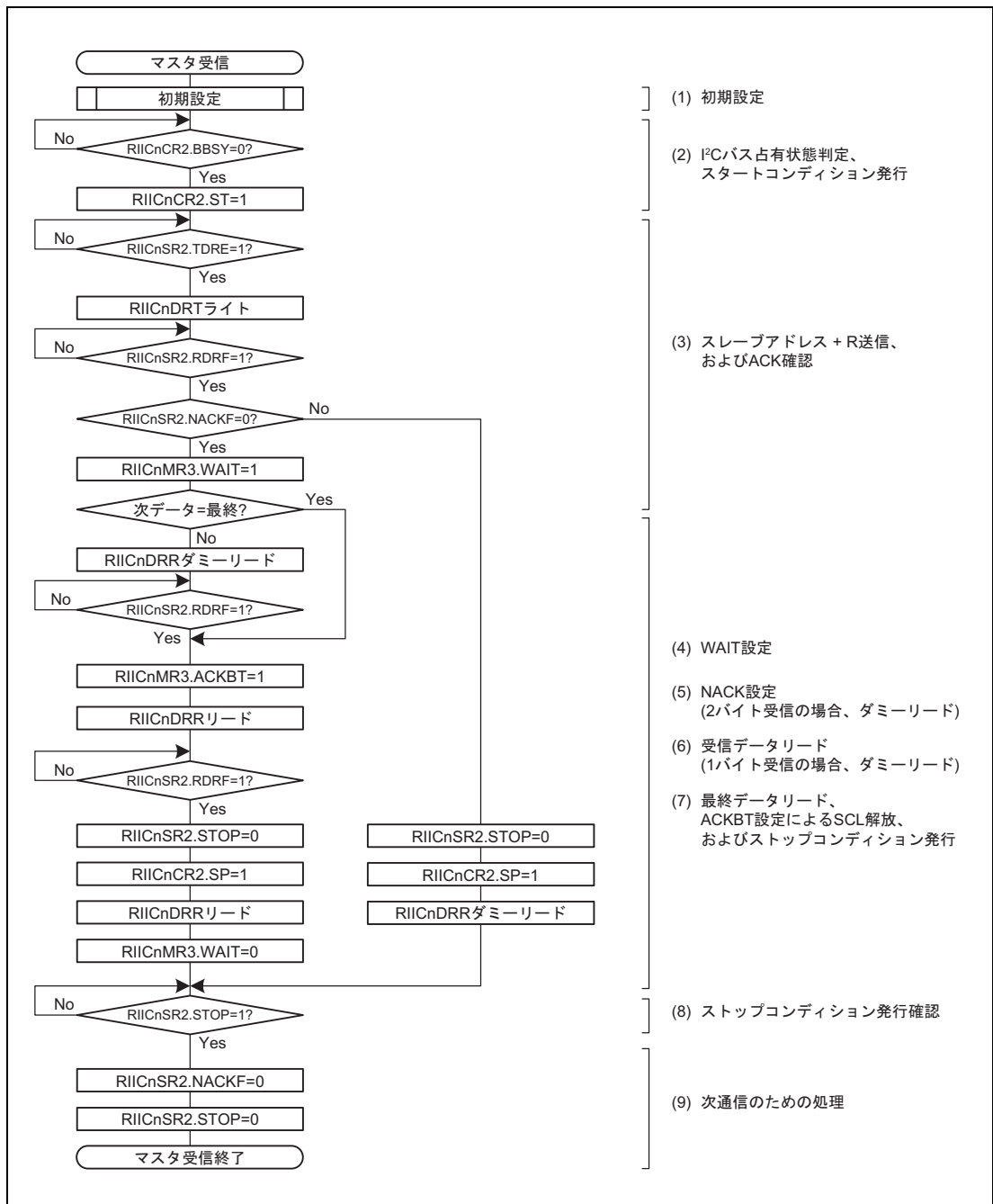


図 20.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマット、2バイト以下の場合)

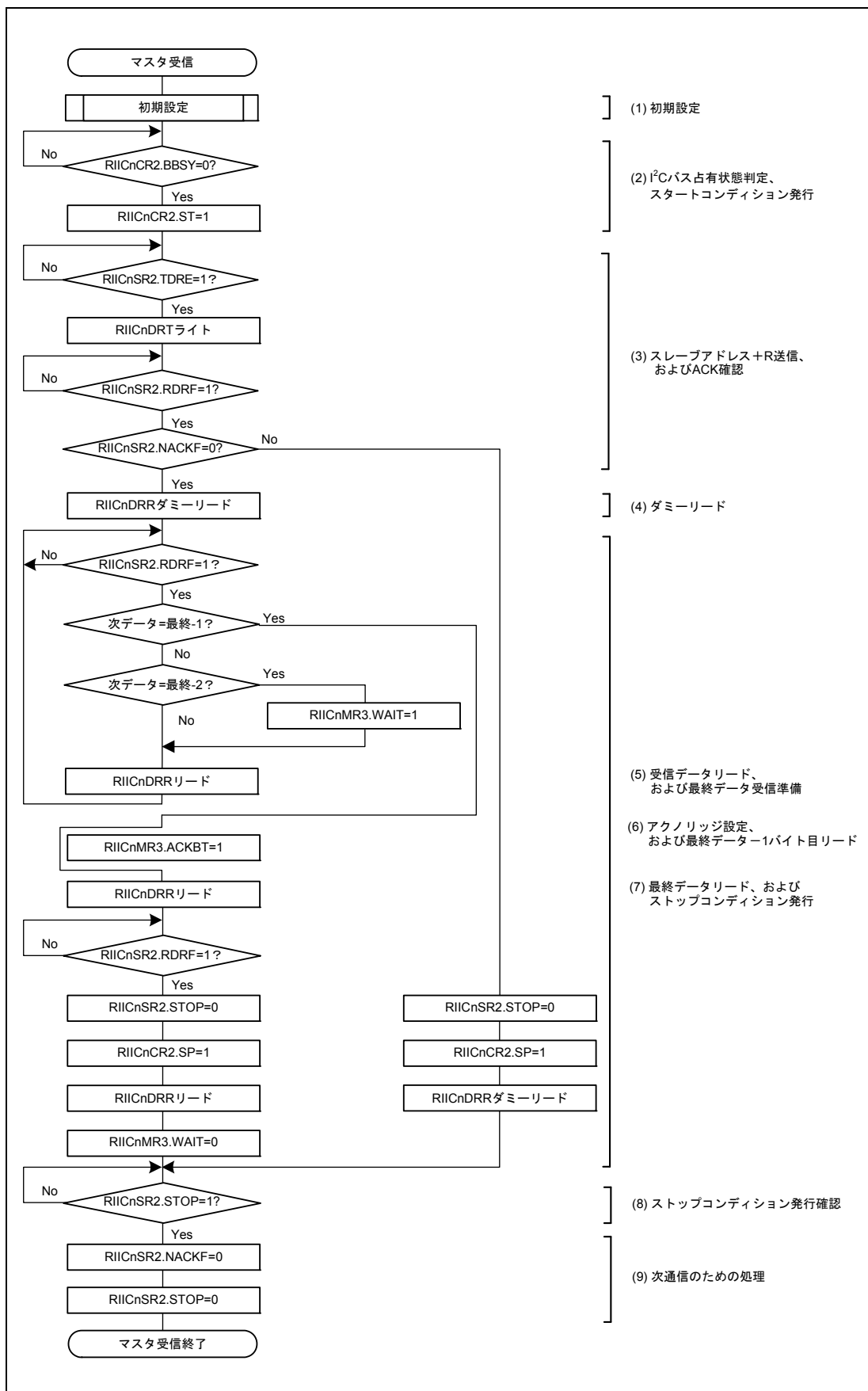


図 20.11 マスタ受信のフローチャート例 (7ビットアドレスフォーマット、3バイト以上の場合)

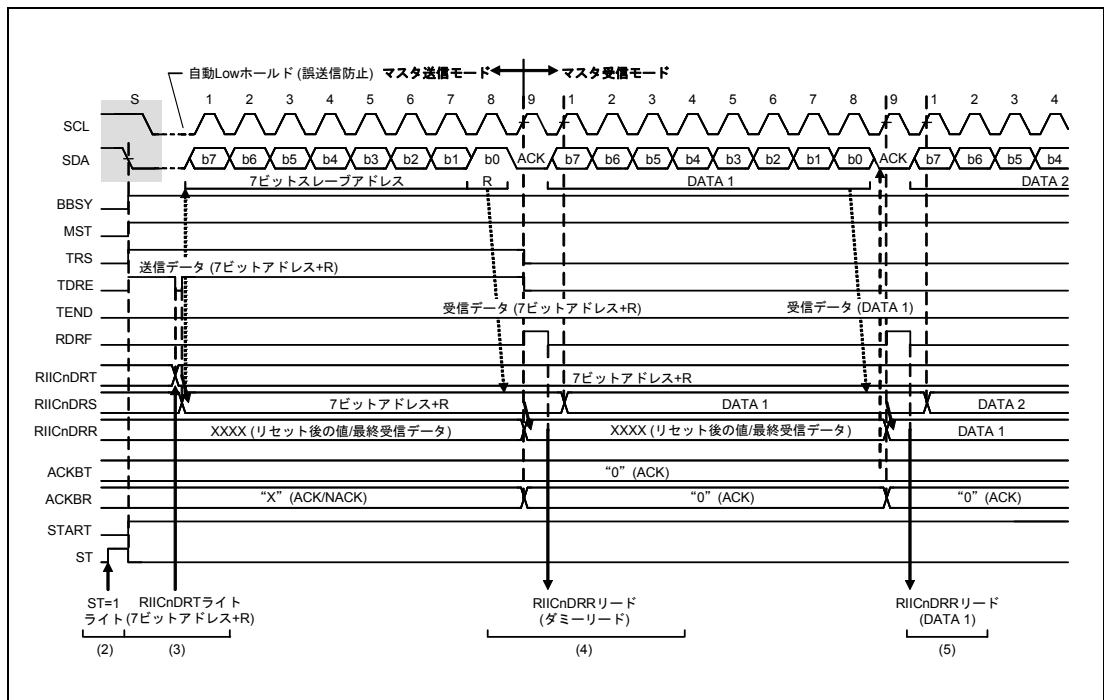


図 20.12 マスタ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS = 0 のとき)

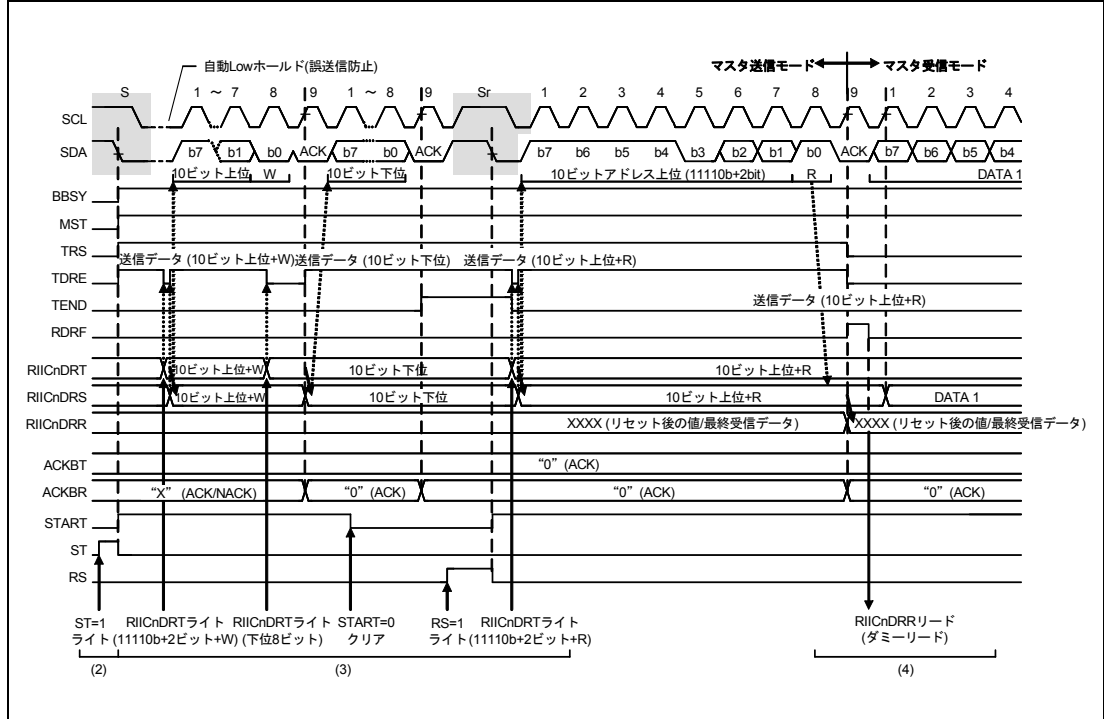


図 20.13 マスタ受信の動作タイミング (2) (10ビットアドレスフォーマット、RDRFS = 0 のとき)

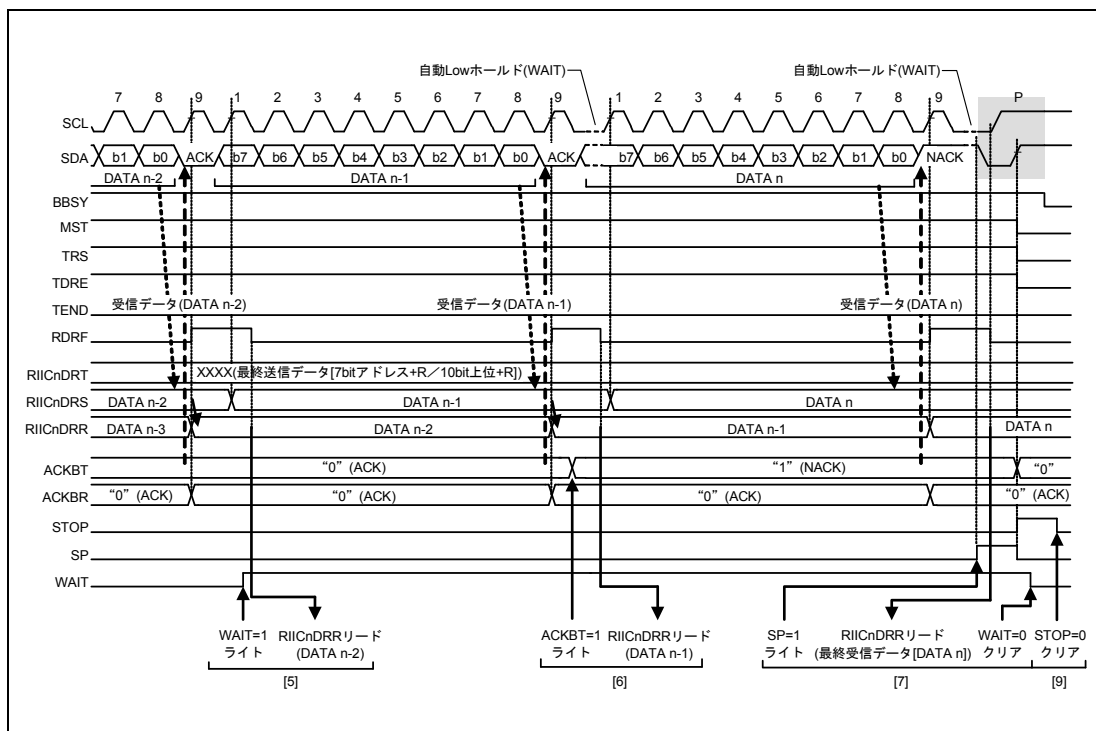


図 20.14 マスタ受信の動作タイミング (3) (RDRFS = 0 のとき)

20.5.5 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 20.15 にスレーブ送信の使用例を示します。図 20.16、図 20.17 にスレーブ送信のタイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

- (1) 図 20.5 に示す手順で RIIC を初期設定してください。すでに RIIC の初期化が完了している場合、この手順は不要です。初期設定完了後、RIIC はスタートコンディションを検出する BBSY フラグ、RIICnSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。
- (2) RIIC はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する RIICnSR1.GCA, AASy ビット (y=0~2) のいずれかを“1”にし、SCL クロックの 9 クロック目のアクノリッジビットに RIICnMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“1”のとき、RIICnCR2.TRS ビットおよび RIICnSR2.TDRE フラグを“1”にし、自動的にスレーブ送信モードに切り替わります。
- (3) RIICnSR2.TDRE フラグが“1”であることを確認した後、RIICnDRT レジスタに送信データを書いてください。このとき、RIICnFER.NACKC ビットが“1”の状態でもマスタデバイスからアクノリッジがなかった (NACK を受信した) 場合、RIIC は次の通信動作を中断します。
- (4) RIICnSR2.NACKF フラグが“1”になるか、または最終送信データを RIICnDRT レジスタに書いた後、RIICnSR2.TDRE フラグが“1”の状態、RIICnSR2.TEND フラグが“1”になるまで待ってください。RIICnSR2.NACKF フラグが“1”または TEND フラグが“1”の場合、RIIC は 9 クロック目の立ち下がり以降 SCL ラインを Low にホールドします。
- (5) RIICnSR2.NACKF フラグが“1”または RIICnSR2.TEND フラグが“1”の場合、終了処理のため RIICnDRR レジスタをダミーで読んでください。これにより SCL ラインを開放します。
- (6) RIIC はストップコンディションを検出すると、RIICnSR1.GCA, AASy ビット (y=0~2)、RIICnSR2.TDRE、TEND フラグ、RIICnCR2.TRS ビットを自動的に“0”にし、スレーブ受信モードに移行します。また、ストップコンディション検出により、RIICnSR2.STOP フラグが“1”になります。
- (7) RIICnSR2.STOP フラグが“1”であることを確認した後、次通信のために RIICnSR2.NACKF、STOP フラグを“0”にしてください。

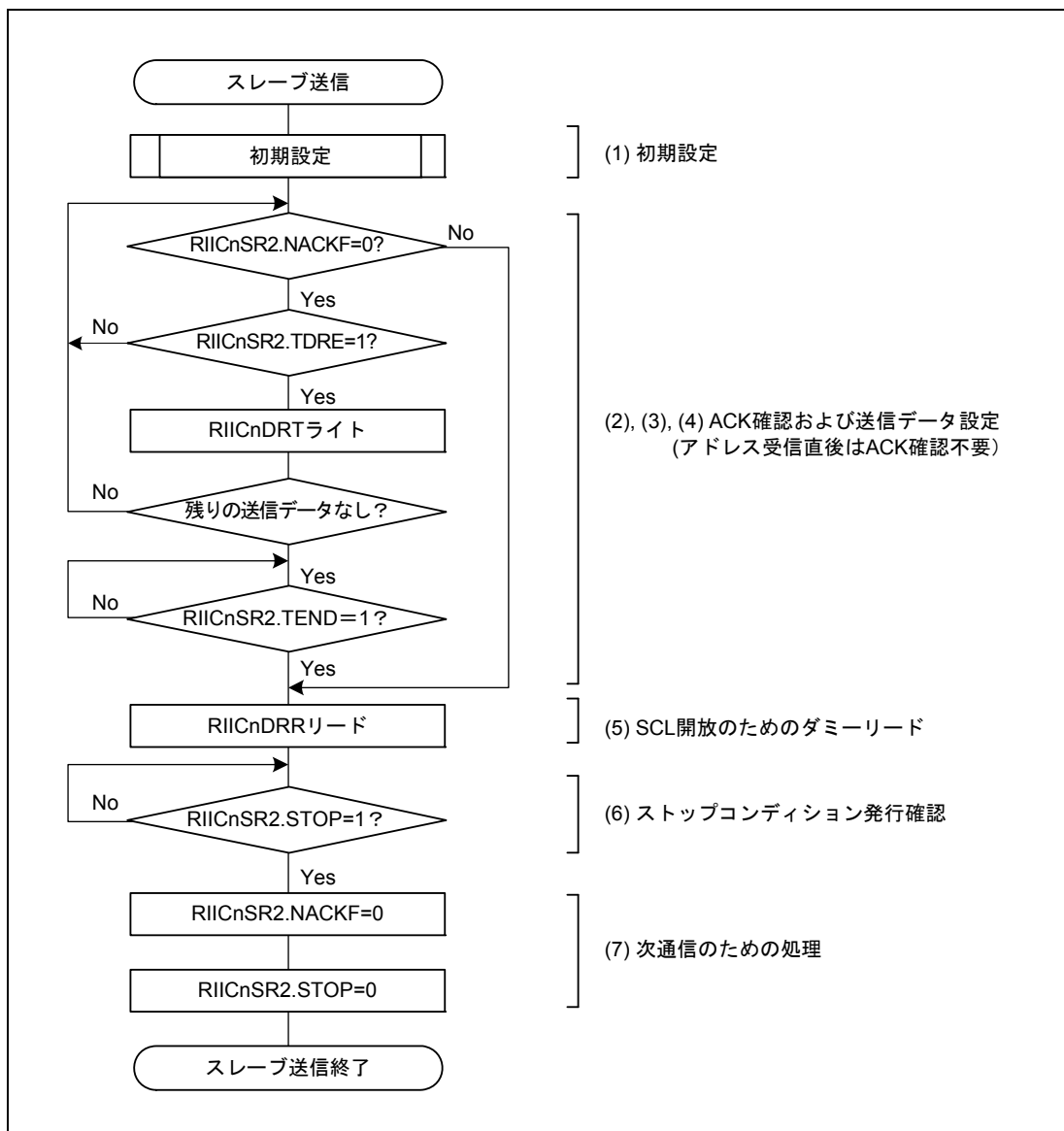


図 20.15 スレーブ送信のフローチャート例

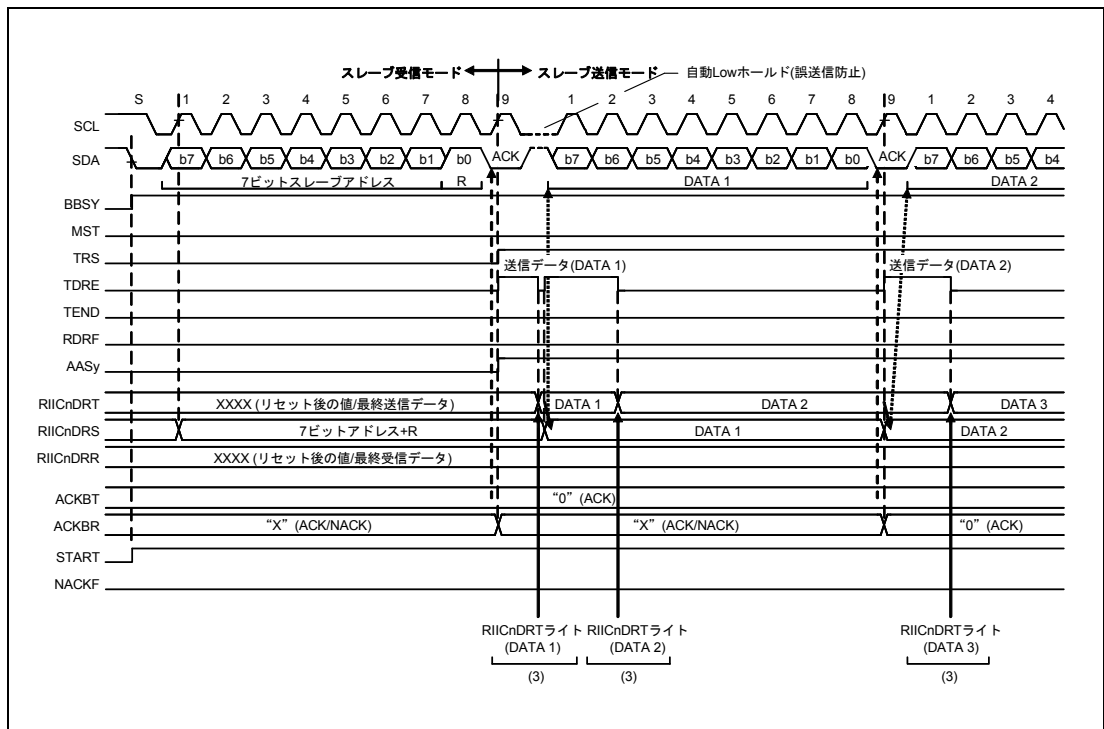


図 20.16 スレーブ送信の動作タイミング (1) (7 ビットアドレスフォーマットの場合)

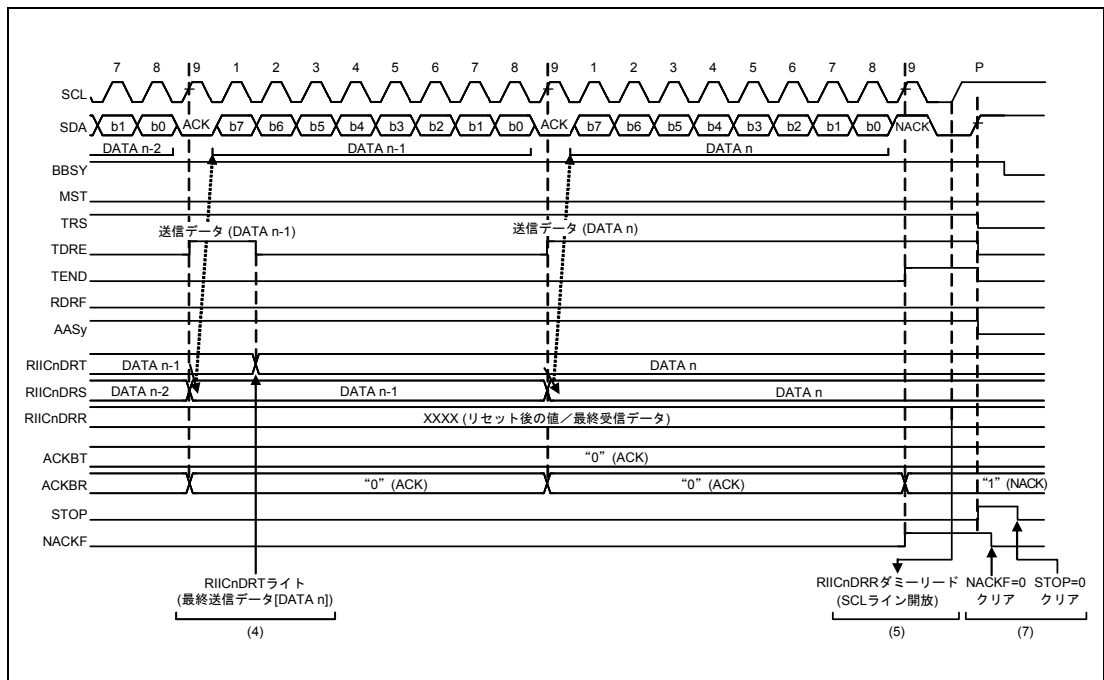


図 20.17 スレーブ送信の動作タイミング (2)

20.5.6 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 20.18 にスレーブ受信の使用例を、図 20.19、図 20.20 にスレーブ受信の動作タイミングを示します。

以下にスレーブ受信の受信手順と動作を示します。

- (1) 図 20.5 に示す手順で RIIC を初期設定してください。すでに RIIC の初期化が完了している場合、この手順は不要です。初期設定完了後、RIIC はスタートコンディションを検出する BBSY フラグ、RIICnSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。
- (2) RIIC はスレーブアドレスが一致した場合、RIIC は SCL クロックの 9 クロック目の立ち上がりで該当する RIICnSR1.GCA, AASy ビット (y=0 ~ 2) のいずれかを“1”にし、SCL クロックの 9 クロック目のアクノリッジビットに RIICnMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“0”なら、スレーブ受信モードの状態を継続し、RIICnSR2.RDRF フラグを“1”にします。
- (3) RIICnSR2.STOP フラグが“0”で、かつ RIICnSR2.RDRF フラグが“1”であることを確認したら、最初の 1 回目は RIICnDRR レジスタをダミーで読んでください（なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります）。
- (4) RIICnDRR レジスタを読むと RIIC は RIICnSR2.RDRF フラグを自動的に“0”にします。なお、RIICnDRR レジスタの読み出しが遅れて、RDRF フラグが“1”になった状態で次のデータを受信すると、RIIC は RDRF フラグが“1”になるタイミングの 1 つ手前の SCL クロック立ち下がり SCL ラインを Low にホールドします。この Low ホールドは RIICnDRR レジスタを読むことで解除され RIIC は SCL ラインを開放します。RIICnSR2.STOP フラグが“1”で、かつ RIICnSR2.RDRF フラグが“1”の場合、または全データ受信が完了するタイミングで RIICnDRR レジスタを読んでください。
- (5) RIIC はストップコンディションを検出すると、RIICnSR1.GCA, AASy ビット (y=0 ~ 2) を自動的に“0”にします。また、ストップコンディション検出により、RIICnSR2.STOP フラグが“1”になります。
- (6) RIICnSR2.STOP フラグが“1”であることを確認した後、次通信のために RIICnSR2.STOP フラグを“0”にしてください。

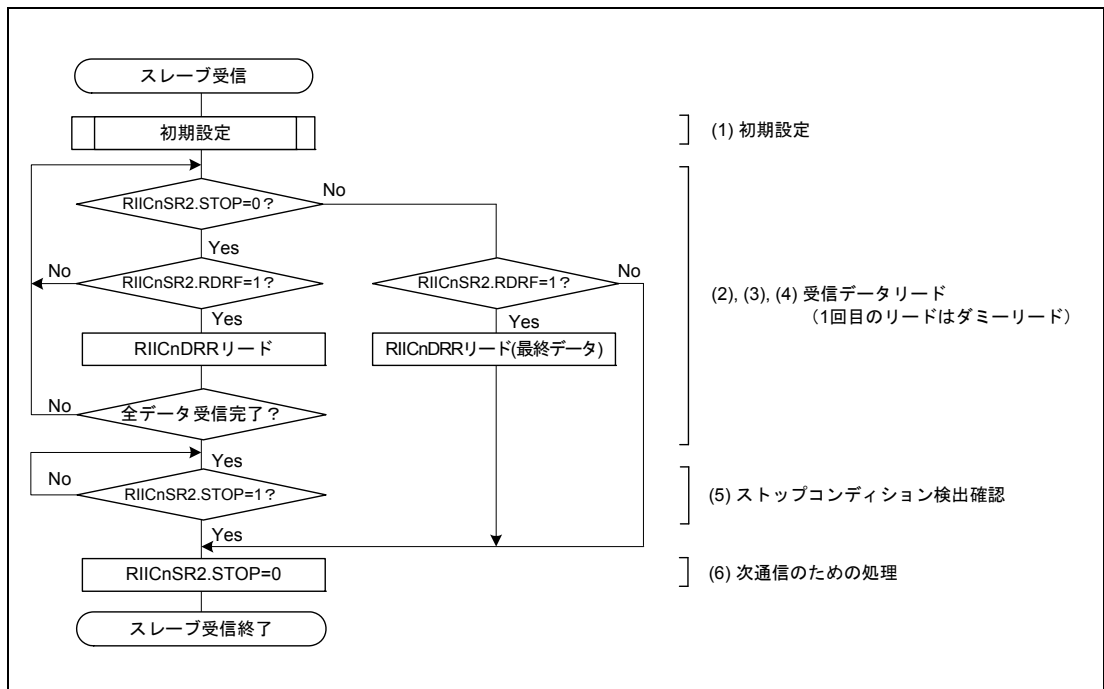


図 20.18 スレーブ受信のフローチャート例

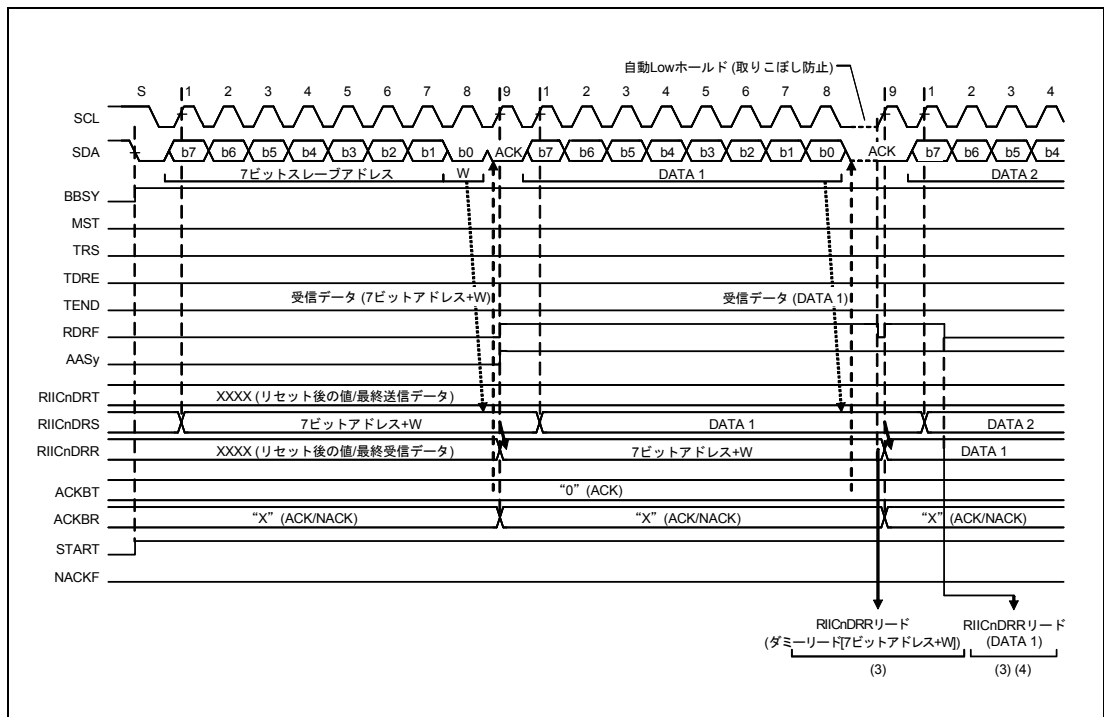


図 20.19 スレーブ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS = 0 のとき)

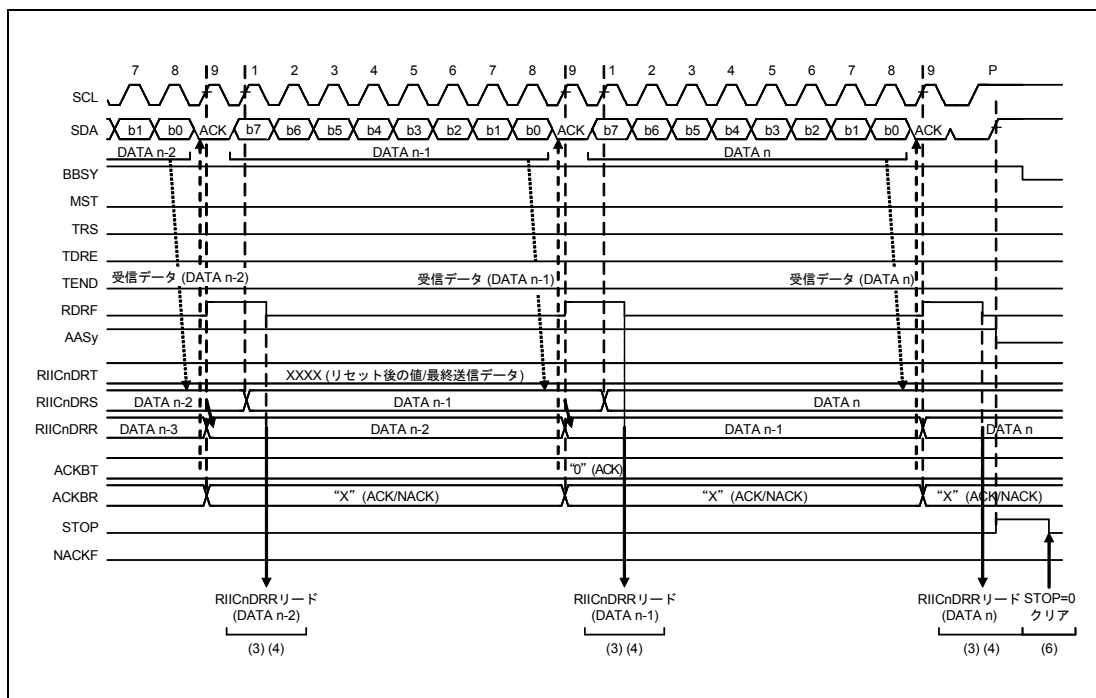


図 20.20 スレーブ受信の動作タイミング (2) (RDRFS = 0 のとき)

20.6 SCL 同期回路

RIIC の SCL クロック生成は SCL ラインの立ち上がりを検出すると、RIICnBRH レジスタで設定された High 幅のカウンタを開始し、High 幅のカウンタが終了すると SCL ラインを Low にドライブして立ち下げます。また SCL ラインの立ち下がり検出すると、RIICnBRL レジスタで設定された Low 幅のカウンタを開始し、Low 幅のカウンタが終了すると SCL ラインの Low ドライブを終了して SCL ラインを開放します。これにより SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、SCL クロックは他のマスタデバイスとの競合により SCL クロック同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL クロックの同期化を行う必要があります。この SCL クロックの同期はビットごとに行う必要があり、RIIC は通信時に SCL ラインを監視してビットごとに同期を取りながら SCL クロックを生成する機能 (SCL 同期回路) を備えています。

RIIC が SCL ラインの立ち上がり検出し RIICnBRH レジスタで設定された High 幅のカウンタ中に他のマスタデバイスの SCL クロック出力により SCL ラインが立ち下げられた場合、RIIC は SCL ラインの立ち下がり検出すると High 幅のカウンタアップ動作を中断し、SCL ラインの Low ドライブを行うと同時に RIICnBRL レジスタで設定された Low 幅のカウンタアップを開始します。Low 幅のカウンタが終了すると SCL ラインの Low ドライブを終了して SCL ラインを開放します。このとき他のマスタデバイスの SCL クロックの Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL クロックの Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCL ラインが開放され SCL クロックが立ち上がります。そのため SCL クロック出力衝突時の SCL クロックの High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は RIICnFER.SCLE ビットが“1”のとき有効です。

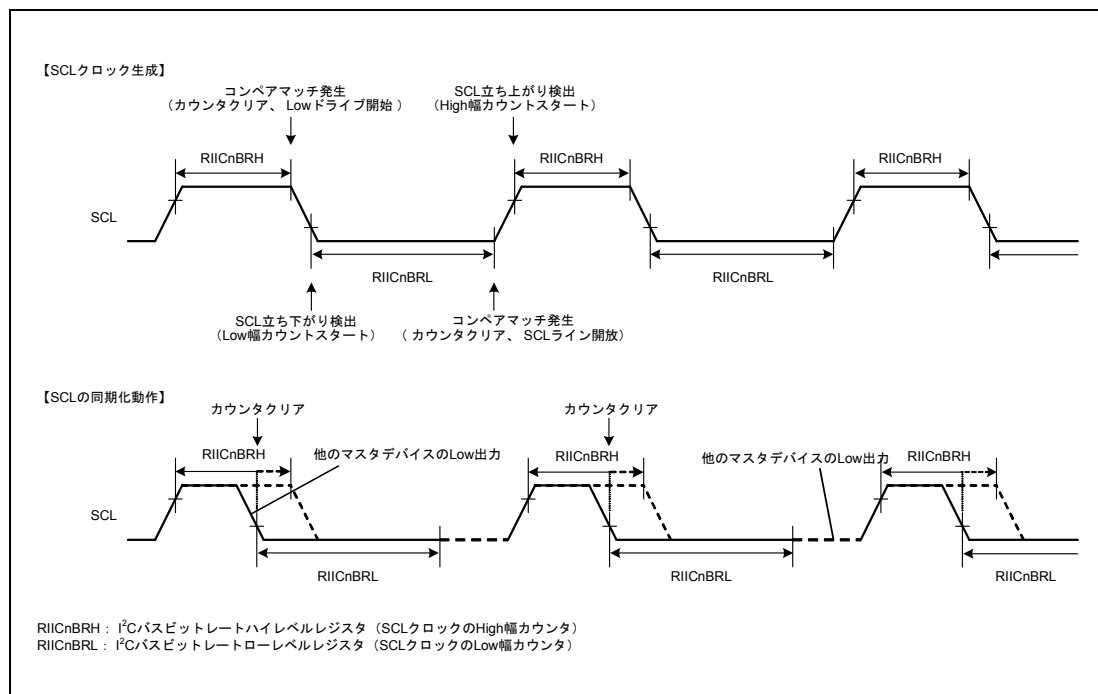


図 20.21 RIIC の SCL クロック生成および SCL 同期化動作

20.7 SDA 出力遅延機能

RIICにはSDA出力遅延機能を備えています。SDA出力遅延機能は、すべてのSDA出力タイミング（発行動作（スタートコンディション／リスタートコンディション／ストップコンディション）、データ出力、ACK/NACK出力）を遅延させることができます。

SDA出力遅延機能は、SCLクロックの立ち下がり検出からSDA出力を遅延させ、確実にSCLクロックのLow期間中にSDA出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用することができます。

このSDA出力遅延機能はRIICnMR2.SDDL[2:0]ビットが“000_B”以外のとき有効で、SDDL[2:0]ビットが“000_B”のとき無効です。

SDA出力遅延機能が有効（SDDL[2:0]ビットが“000_B”以外）のとき、SDA出力遅延カウンタはRIICnMR2.DLCSビットで選択された内部基準クロック（IICφ）またはその2分周クロック（IICφ/2）をカウントソースとしてSDDL[2:0]ビットで設定されたサイクル数分のカウント動作を行い、遅延サイクル分のカウントが終了した時点でRIICはSDA出力（発行動作（スタートコンディション／リスタートコンディション／ストップコンディション）、データ出力、ACK/NACK出力）を行います。

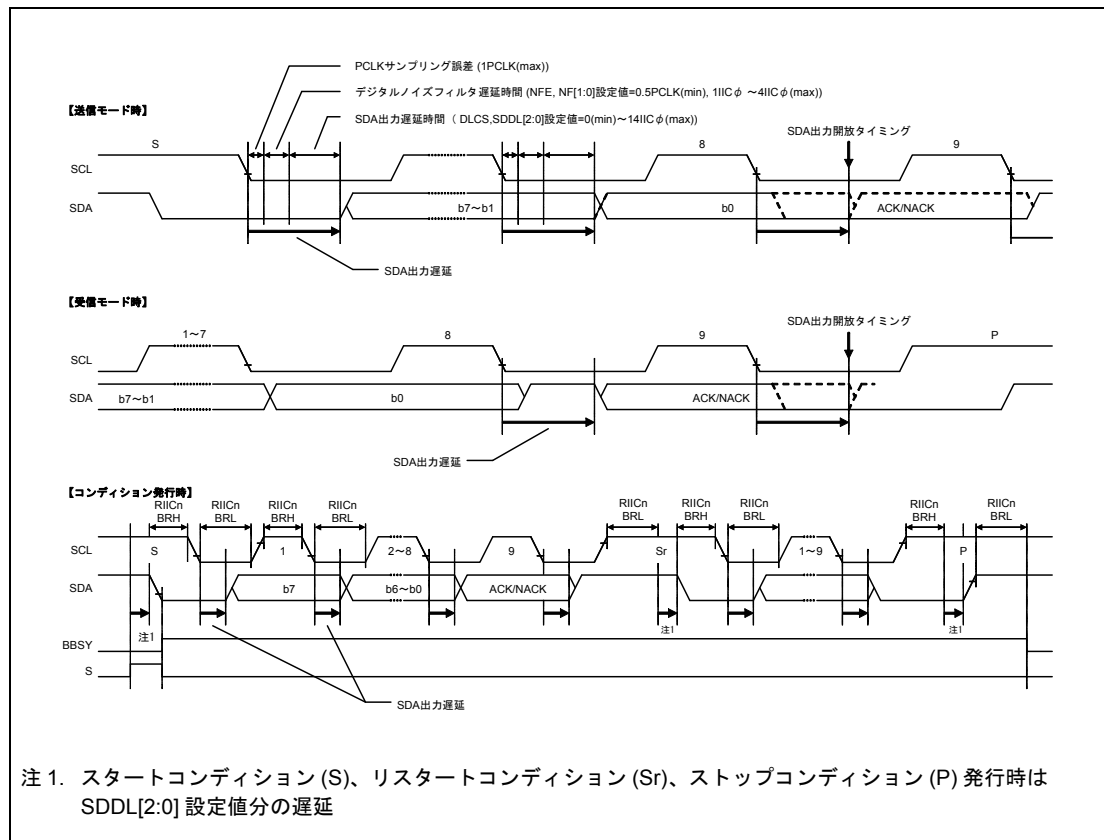


図 20.22 SDA 出力遅延タイミング

20.8 デジタルノイズフィルタ回路

RIICnSCL 端子および RIICnSDA 端子の状態は、デジタルノイズフィルタ回路を経由して内部に取り込むことが可能です。図 20.23 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は RIICnMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて $1IIC\phi \sim 4IIC\phi$ サイクル分となります。

RIICnSCL 端子入力信号（または RIICnSDA 端子入力信号）は $IIC\phi$ の立ち下がりでもサンプリングされ、RIICnMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

内部動作クロック (PCLK) と通信速度の比が小さい場合、デジタルノイズフィルタの特性上ノイズ発生時に必要な信号まで除去してしまう場合があります。そのような場合は、デジタルノイズフィルタ回路の使用を禁止 (RIICnFER.NFE ビット = 0) してください。

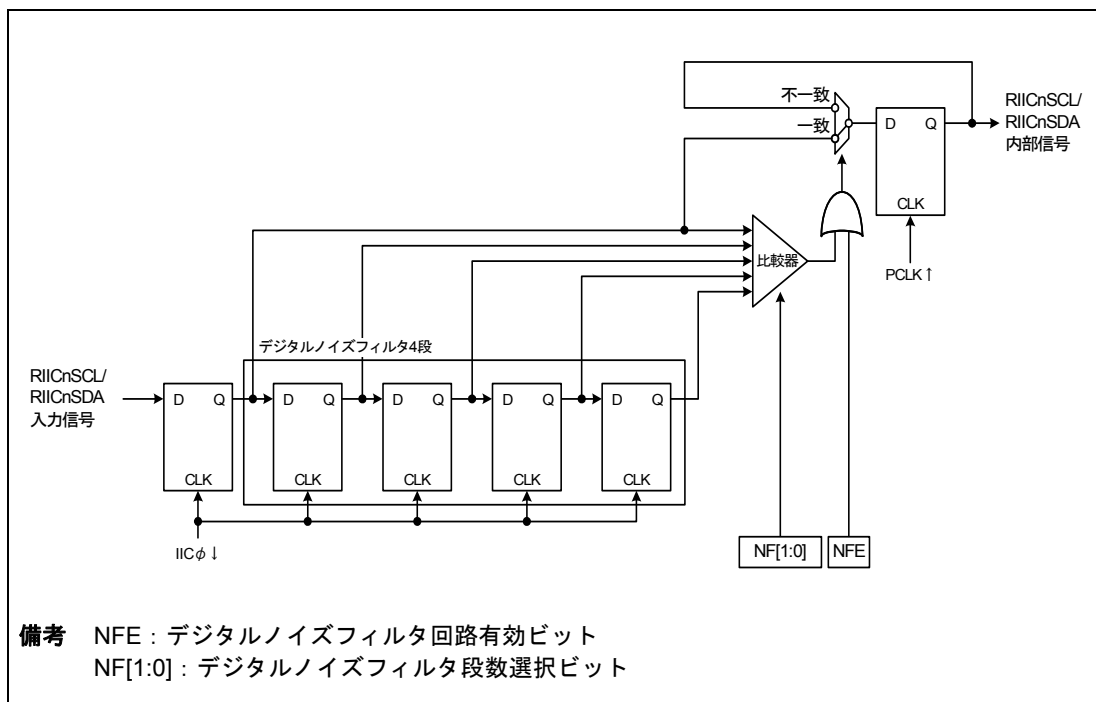


図 20.23 デジタルノイズフィルタ回路のブロック図

20.9 アドレス一致検出機能

IICはジェネラルコールアドレス、デバイスIDアドレスの他に3種類のスレーブアドレスを設定可能です。またスレーブアドレスには7ビットアドレスまたは10ビットアドレスの設定が可能です。

20.9.1 スレーブアドレス一致検出機能

IICは3種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。RIICnSER.SARy ビット (y=0~2) が“1”のとき、RIICnSARy レジスタ (y=0~2) に設定されたスレーブアドレスを検出することができます。

IICは設定されたスレーブアドレス一致を検出すると、SCLクロックの9クロック目の立ち上がりで該当するRIICnSR1.AASy フラグ (y=0~2) を“1”にし、SCLクロックの9クロック目のアクノリッジビットにRIICnMR3.ACKBT ビットに設定した値を返信します。続くR/W#ビットによりRIICnSR2.RDRF フラグまたはRIICnSR2.TDRE フラグを“1”にします。これにより受信終了割り込み (INTRIICnRI) または送信データエンプティ割り込み (INTIICnTI) を発生させることができ、AASy フラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図 20.24 ~ 図 20.26 に AASy フラグが“1”になるタイミングを示します。

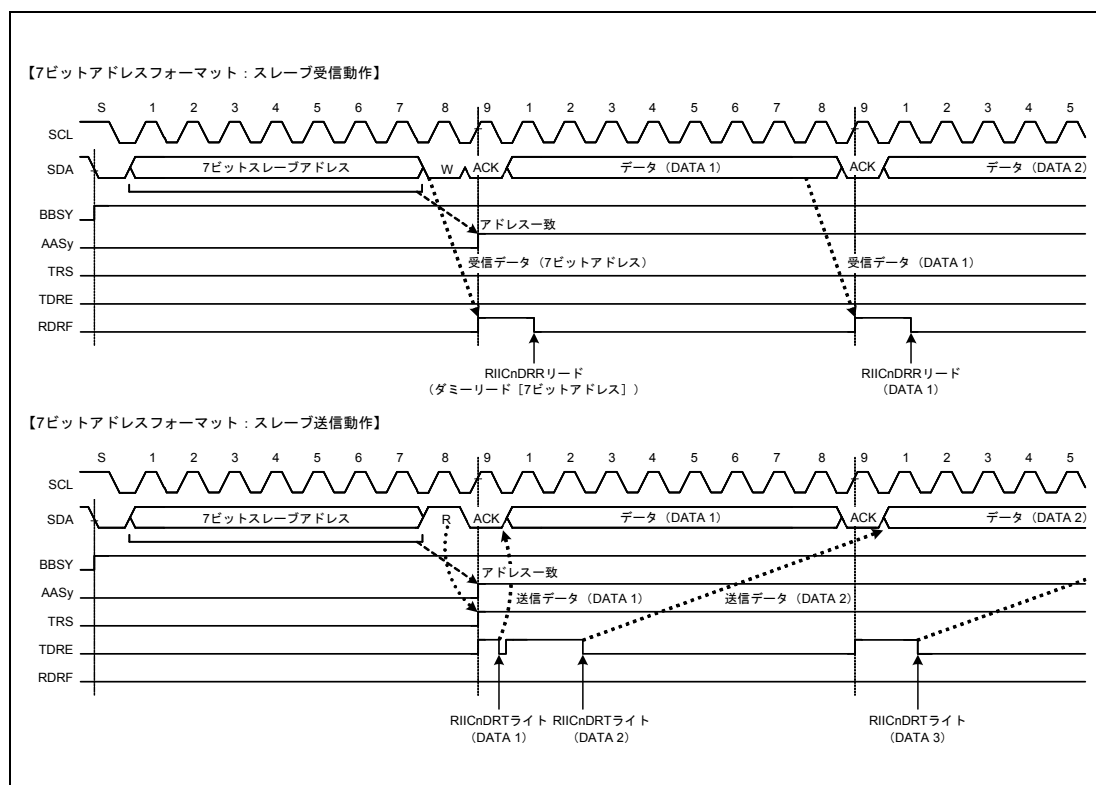


図 20.24 7ビットアドレスフォーマット選択時に AASy フラグが“1”になるタイミング

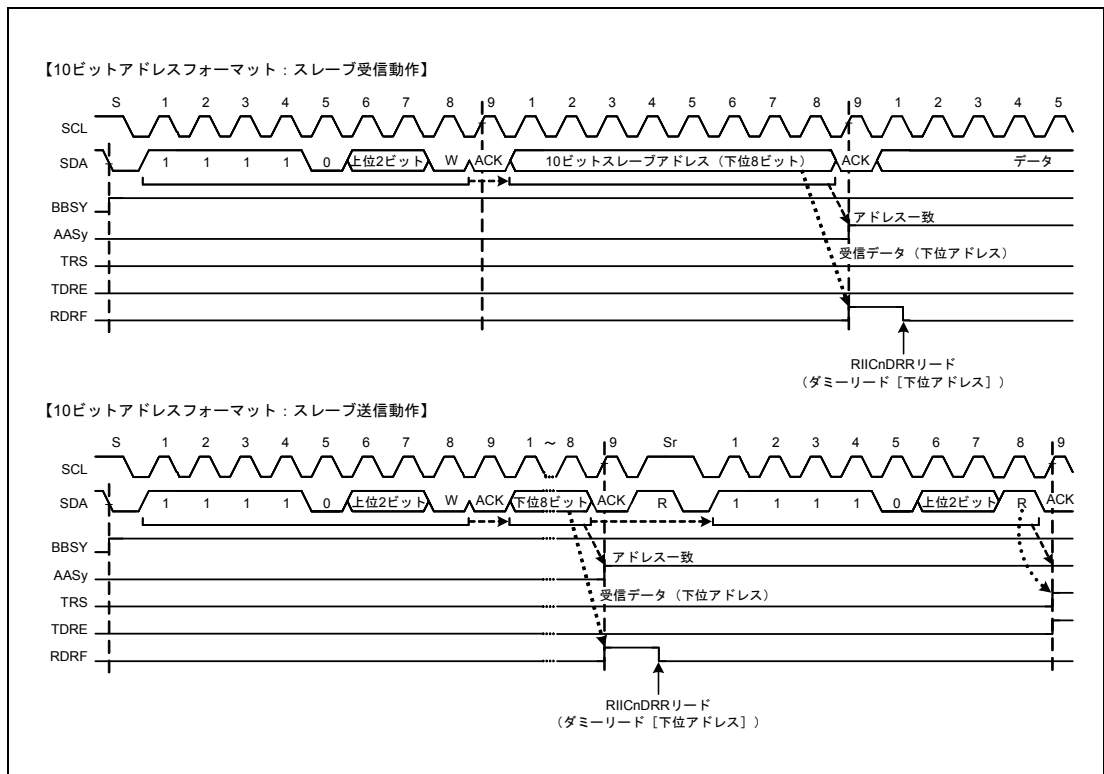


図 20.25 10ビットアドレスフォーマット選択時に AASy フラグが“1”になるタイミング

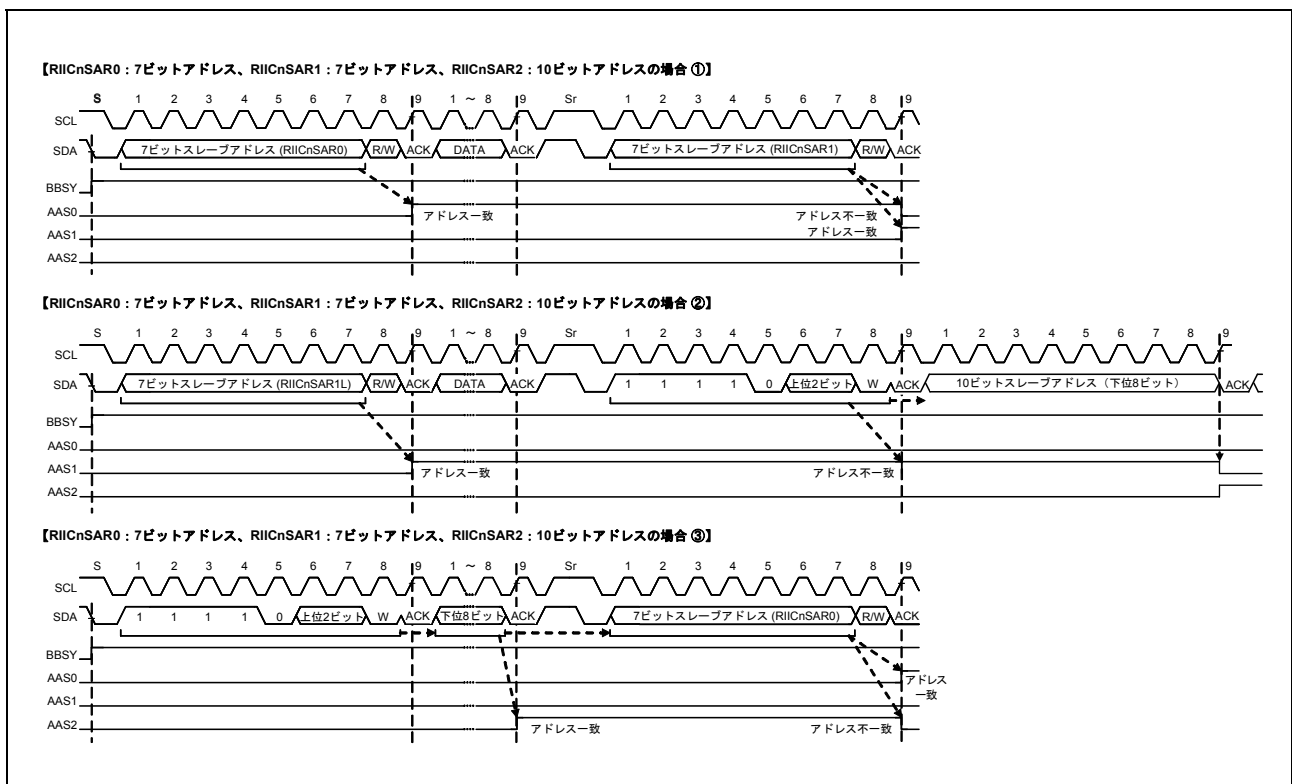


図 20.26 7ビット/10ビットアドレスフォーマット混在時に AASy フラグが“1”/“0”になるタイミング

20.9.2 ジェネラルコールアドレス検出機能

RIIC はジェネラルコールアドレス ($0000\ 000_B + 0[W]$) の検出機能を備えています。RIICnSER.GCE ビットが“1” のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが $0000\ 000_B + 1[R]$ (スタートバイト) だった場合、RIICはこのアドレスを All“0” のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIIC はジェネラルコールアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで RIICnSR1.GCA フラグを“1” にし、同時に RIICnSR2.RDRF フラグを“1” にします。これにより受信終了割り込み (INTRIICnRI) を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

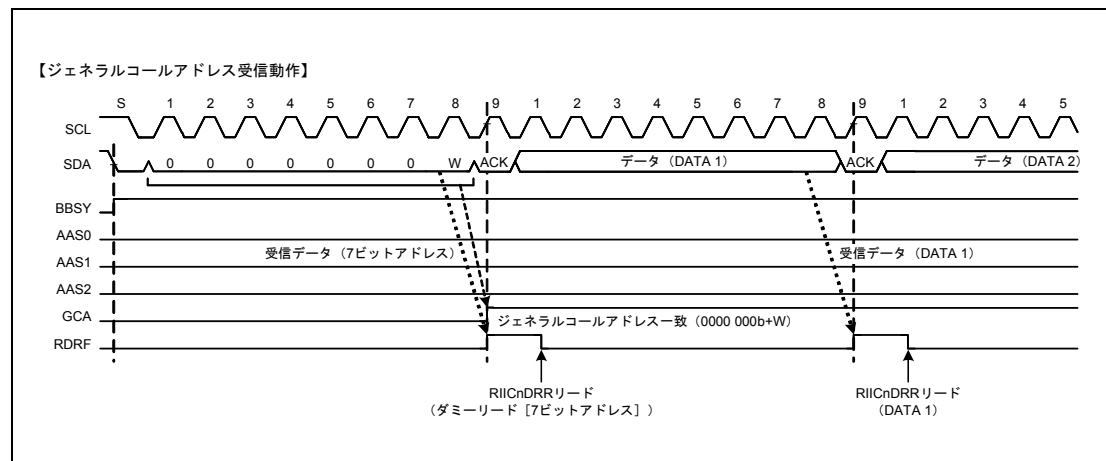


図 20.27 ジェネラルコールアドレス受信時に GCA フラグが“1”になるタイミング

20.9.3 デバイス ID アドレス検出機能

RIIC は I²C バス (Rev.03) に準拠したデバイス ID アドレスの検出機能を備えています。RIICnSER.DIDE ビットを“1”にした状態で、スタートコンディションまたはリスタートコンディション後の 1 バイト目に 1111 100_B を受信すると、RIIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが“0”のとき SCL クロックの 9 クロック目の立ち上がりで RIICnSR1.DID フラグを“1”にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当する RIICnSR1.AASy フラグ (y=0 ~ 2) が“1”になります。

その後スタートコンディションまたはリスタートコンディション後の 1 バイト目が再びデバイス ID アドレス (1111 100_B) と一致し、続く R/W# ビットが“1”のとき RIIC は続く 2 バイト目以降はアドレス比較動作を行わず、RIICnSR2.TDRE フラグを“1”にします。

デバイス ID アドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイス ID アドレスと不一致の場合、DID フラグを“0”にし、スタートコンディションまたはリスタートコンディション後の 1 バイト目がデバイス ID アドレス (1111 100_B) と一致し、かつ R/W# ビットが“0”のとき DID フラグを“1”にセットし、続く 2 バイト目以降をスレーブアドレスと比較します。R/W# ビットが“1”の場合、DID フラグは前値の状態を継続し、2 バイト目以降のスレーブアドレス比較を行いません。そのため、TDRE = 1 確認後 DID フラグをチェックすることで、デバイス ID を受信したことを確認することができます。

なお、一連のデバイス ID 受信後にホストに送信するデバイス ID フィールドとして必要な情報 (3 バイト分: メーカー [12 ビット] + 部品識別 [9 ビット] + リビジョン [3 ビット]) は、通常の送信データと同様あらかじめ準備してください。詳細については NXP 社の I²C バス規格書を参照してください。

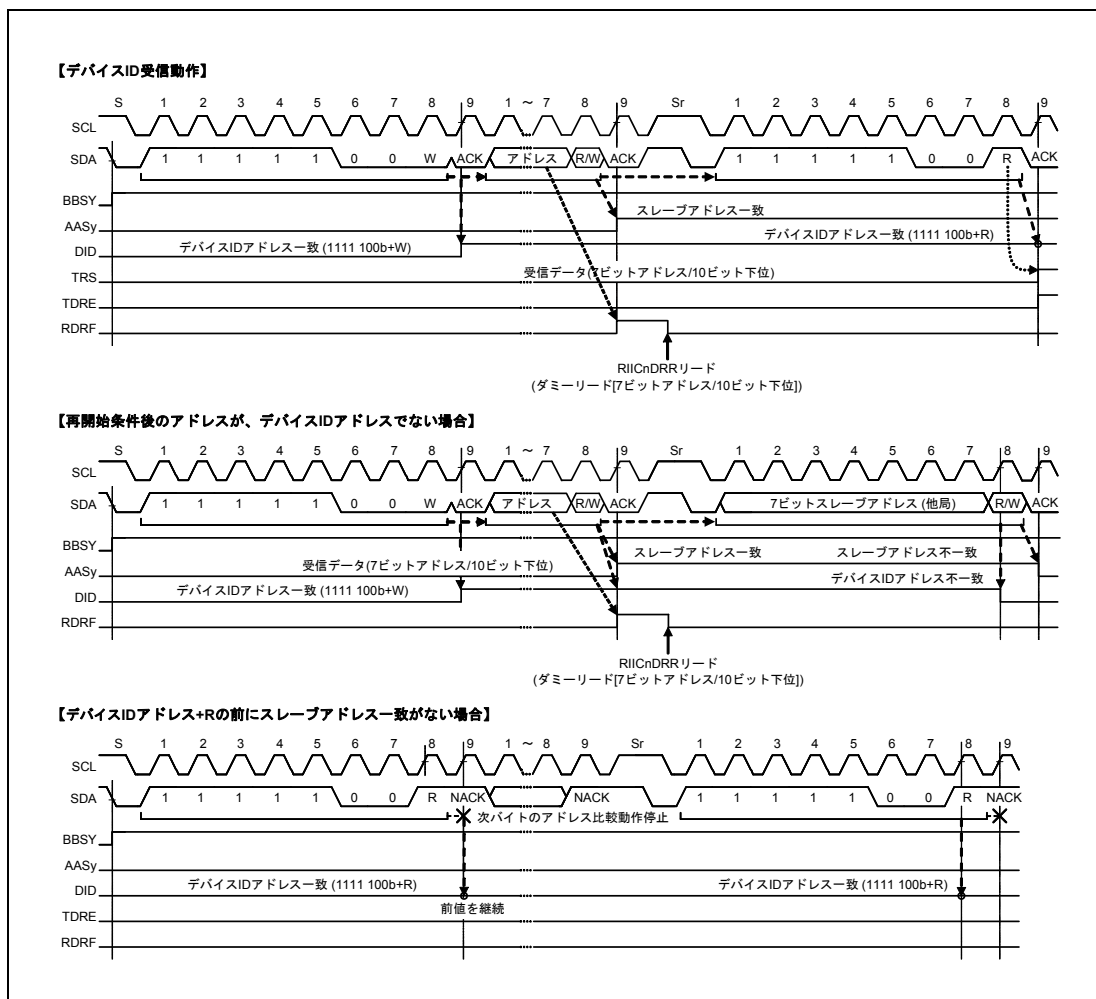


図 20.28 デバイス ID アドレス受信時の AASy、DID フラグセット/クリアタイミング

20.10 SCL の自動 Low ホールド機能

20.10.1 送信データ誤送信防止機能

RIIC は送信モード時 (RIICnCR2.TRS ビット = 1)、シフトレジスタ (RIICnDRS レジスタ) が空の状態であつ送信データ (RIICnDRT レジスタ) が書かれていない場合、以下に示す区間、自動的に SCL ラインの Low ホールドを行います。この Low ホールドは送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。また、ストップコンディション発行までの期間、RIICnDRR レジスタをダミーで読むまでの期間にも SCL ラインの Low ホールドを行います。

《マスタ送信モード》

- スタートコンディション/リスタートコンディション発行後の Low 区間
- 9クロック目と1クロック目の Low 区間
- 9クロック目とストップコンディション発行までの Low 区間

《スレーブ送信モード》

- 9クロック目と1クロック目の Low 区間
- 9クロック目と RIICnDRR レジスタをダミーで読むまでの Low 区間

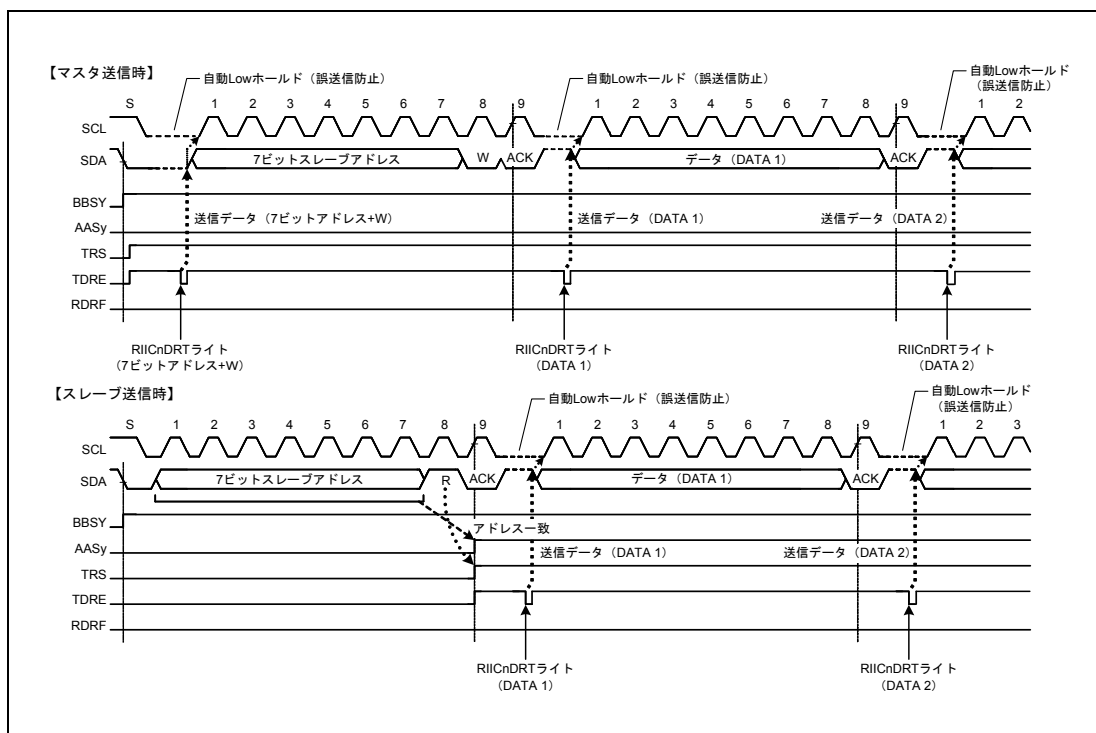


図 20.29 送信モードの自動 Low ホールド動作

20.10.2 NACK 受信転送中断機能

RIIC は送信モード時 (RIICnCR2.TRS ビット = 1) に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は RIICnFER.NACKE ビットが “1” (転送中断許可) のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合 (RIICnSR2.TDRE フラグ = 0 の状態)、SCL クロックの 9 クロック目の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次送信データの MSB が “0” のときの SDA ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合 (RIICnSR2.NACKF フラグ = 1)、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを “0” にしてください。またマスタ送信モードの場合には NACKF フラグを “0” にした後、リスタートコンディション発行またはストップコンディション発行後にスタートコンディション発行を行って、動作をやり直してください。

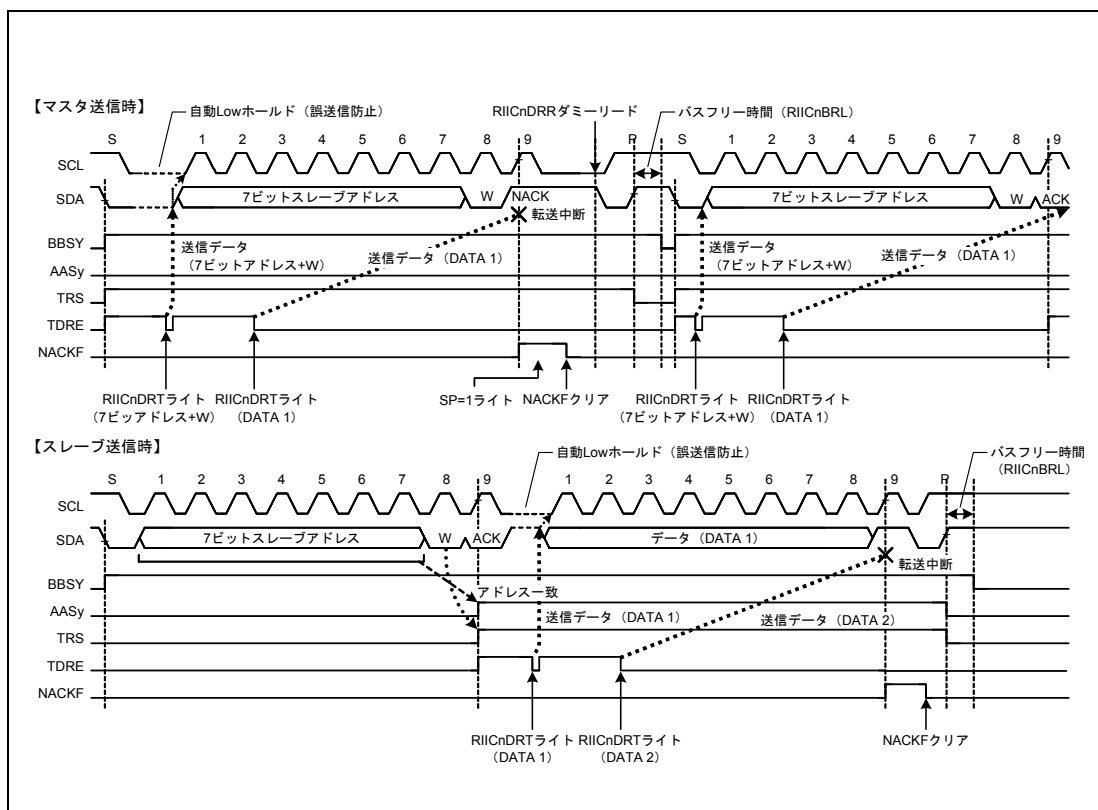


図 20.30 NACK 受信時の転送中断動作 (NACKE = 1 のとき)

20.10.3 受信データ取りこぼし防止機能

RIIC は受信モード時 (RIICnCR2.TRS ビット = 0)、受信終了 (RIICnSR2.RDRF フラグ = 1) の状態で受信データ (RIICnDRR レジスタ) の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の 1 つ手前で自動的に SCL ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIIC では RIICnMR3.WAIT, RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1) WAIT ビットによる 1 バイト受信動作 / 自動 Low ホールド機能

RIICnMR3.WAIT ビットを“1”にすると、RIIC は WAIT ビット機能による 1 バイト受信動作になります。RIICnMR3.RDRFS ビットが“0”のとき、RIIC は SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がり期間のアクノリッジビットには自動的に RIICnMR3.ACKBT ビットの内容が送出され、9 クロック目の立ち下がりを検出すると WAIT ビット機能により自動的に SCL ラインを Low にホールドします。この Low ホールドは RIICnDRR レジスタの読み出しによって解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、デバイス ID アドレス含む) と一致した以降の受信フレームから有効になります。

(2) RDRFS ビットによる 1 バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

RIICnMR3.RDRFS ビットを“1”にすると、RIIC は RDRFS ビット機能による 1 バイト受信動作になります。RDRFS ビットを“1”にすると、受信終了フラグ (RIICnSR2.RDRF フラグ) が“1”になるタイミングが SCL クロックの 8 クロック目の立ち上がりに変更され、8 クロック目の立ち下がりを検出すると自動的に SCL ラインを Low にホールドします。この Low ホールドは RIICnMR3.ACKBT ビットへの書き込みによって解除され、RIICnDRR レジスタの読み出しでは解除されません。そのため 1 バイトごとに受信したデータの内容に応じた ACK/NACK 送出の受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、デバイス ID アドレス含む) と一致した以降の受信フレームから有効になります。

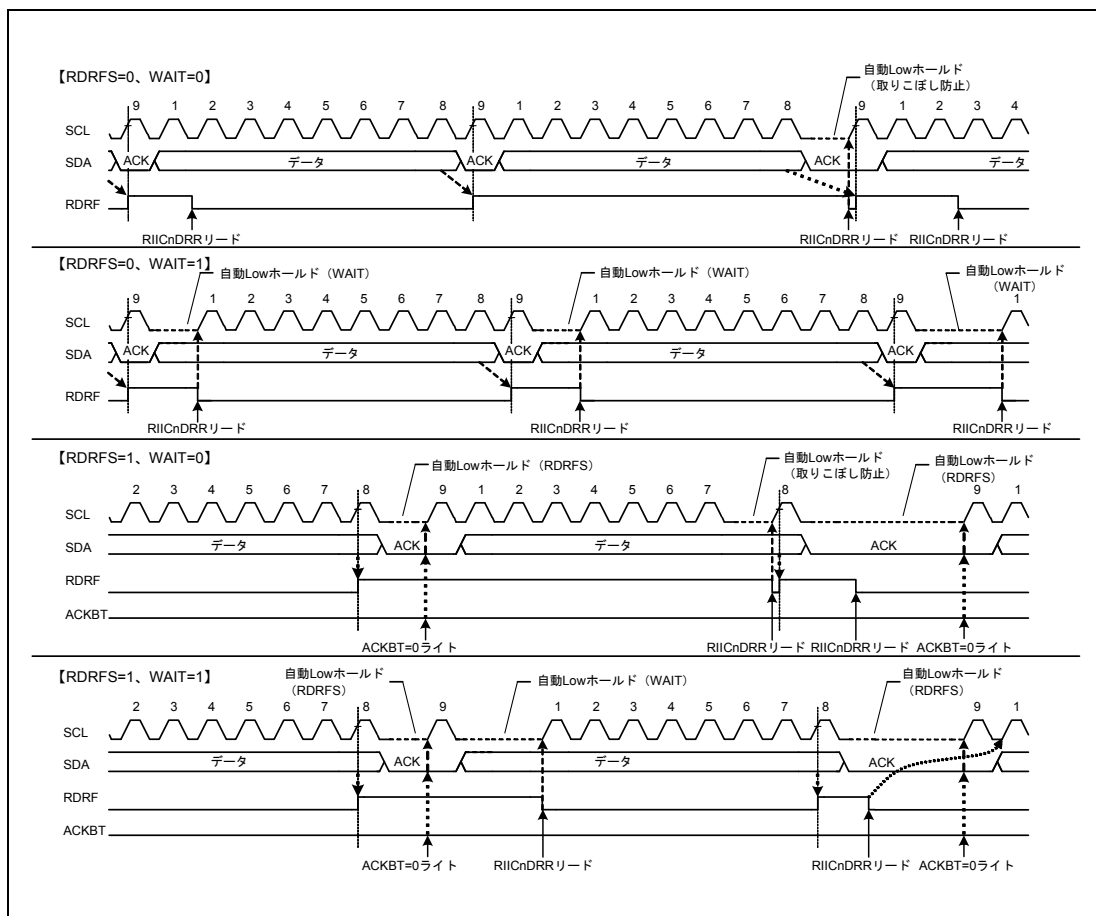


図 20.31 受信モードの自動 Low ホールド動作 (RDRFS、WAIT ビット)

20.11 アービトレーションロスト検出機能

RIICにはI²Cバス規格で定めている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

20.11.1 マスタアービトレーションロスト検出機能 (MALE ビット)

RIICはスタートコンディション発行の際SDAラインをLowにしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDAラインをLowにした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様にRIICnCR2.BBSYフラグが“1”（バスビジー中）のときにRIICnCR2.STビットを“1”にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ（SDA信号）とSDAラインに不一致が生じた場合（自分が出したSDA出力がHigh出力（=SDA端子はハイインピーダンス）で、SDAラインにLowを検出したとき）、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIICはスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なおマスタアービトレーションロスト検出は、RIICnFER.MALEビットが“1”（マスタアービトレーションロスト検出許可）の状態以下に示す条件が成立したとき、アービトレーションロストを検出します。

[マスタアービトレーションロスト条件]

- RIICnCR2.BBSYフラグ=0の状態 RIICnCR2.STビット=1によるスタートコンディション発行時にSDA信号とSDAライン上の信号の状態が不一致のとき（スタートコンディション発行エラー）
- RIICnCR2.BBSYフラグ=1でRIICnCR2.STビットを“1”にしたとき（スタートコンディション二重発行エラー）
- マスタ送信モード時（RIICnCR2.MST, TRSビット=1_B）、アクノリッジを除く送信データ（SDA信号）とSDAライン上の信号の状態が不一致のとき

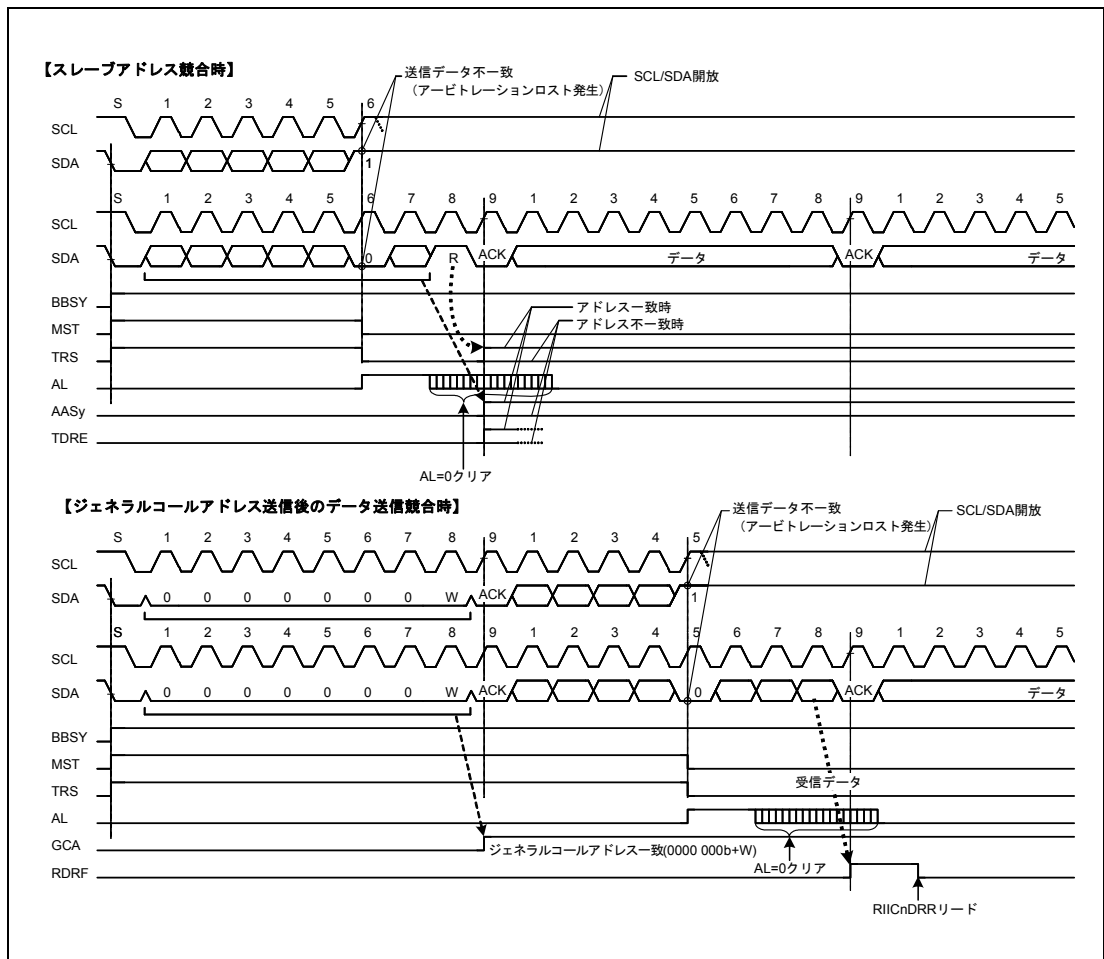


図 20.32 マスタアービトレーションロスト検出動作例 (MALE = 1 のとき)

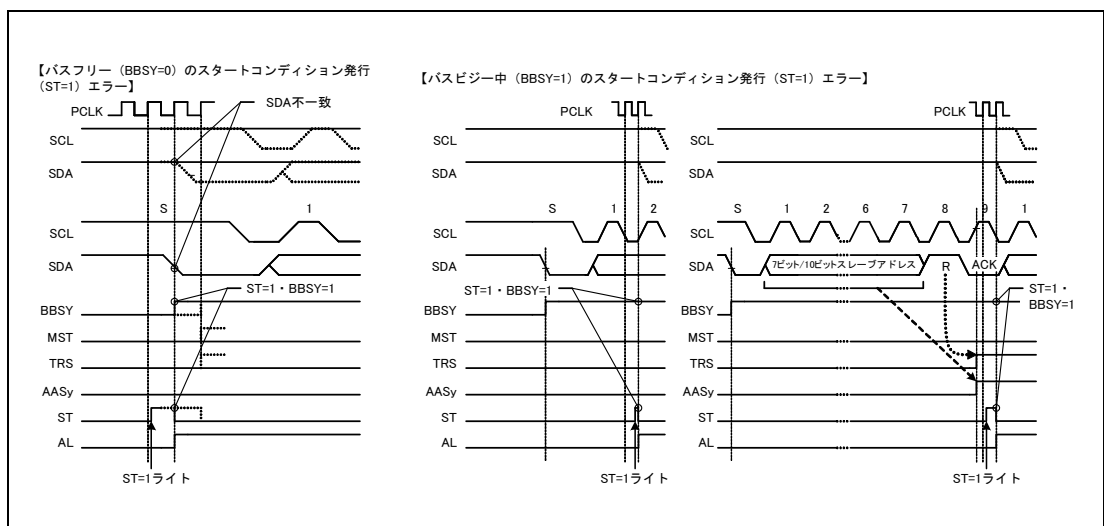


図 20.33 スタートコンディション発行時のアービトレーションロスト (MALE = 1 のとき)

スレーブ送信モードで BBSY フラグが “1” の状態で、ST ビットに “1” を書いた場合、TRS ビットはクリアされません。

20.11.2 NACK 送信アービトレーションロスト検出機能 (NALE ビット)

RIIC は受信モード時で NACK 送信時に自分が出した SDA 信号と SDA ライン上の信号の状態が不一致の場合（自分が出した SDA 出力が High 出力（= SDA 端子はハイインピーダンス）で、SDA ラインに Low を検出したとき）、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主にマルチマスタのシステムにおいて 2 つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際に NACK 送信と ACK 送信が衝突することで発生します。これは 2 つ以上のマスタデバイスが 1 つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。図 20.34 に NACK 送信アービトレーションロスト検出動作例を示します。

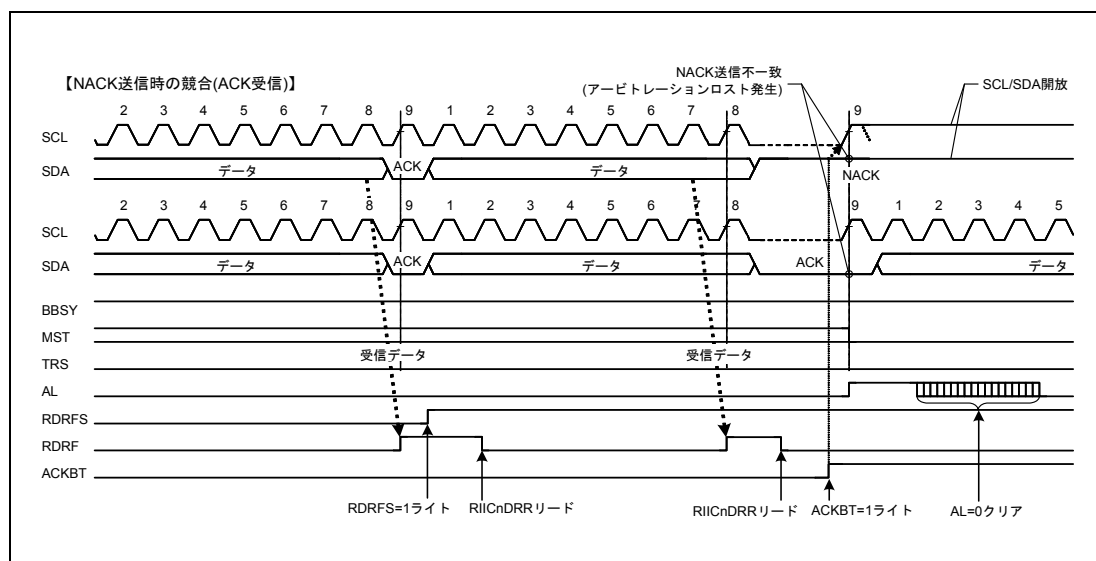


図 20.34 NACK 送信アービトレーションロスト検出動作例 (NALE = 1 のとき)

2 つのマスタデバイス（マスタ A、マスタ B）と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げて説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

このときマスタ A とマスタ B が同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタ A、マスタ B とともにスレーブデバイスアクセス時にアービトレーションロストが発生しません。そのためマスタ A、マスタ B とともにどちらもバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスから必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的にこのような状況が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できないままストップコンディション発行動作を行うため、マスタ B の SCL クロック出力と競合し通信を阻害します。

RIIC はこのような NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知しアービトレーションロストを発生させることができます。

NACK 送信アービトレーションロストが発生した場合、RIIC はスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

なお NACK 送信アービトレーションロスト検出は、RIICnFER.NALE ビットが“1” (NACK 送信アービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

[NACK 送信アービトレーションロスト条件]

NACK 送信時 (RIICnMR3.ACKBT ビット=1)、自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき (ACK を受信したとき)

20.11.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

RIIC は、スレーブ送信時に送信データ (自分が出した SDA 信号) と SDA ライン上の信号の状態に不一致が生じた場合 (自分が出した SDA 出力が High 出力 (= SDA 端子はハイインピーダンス) で、SDA ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。

スレーブアービトレーションロストが発生した場合、RIIC はスレーブ受信モードに移行します。

なおスレーブアービトレーションロスト検出は、RIICnFER.SALE ビットが“1” (スレーブアービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

スレーブ送信モード時 (RIICnCR2.MST, TRS ビット = 01_B)、アクノリッジを除く送信データ (自分が出した SDA 信号) と SDA ライン上の信号の状態が不一致のとき

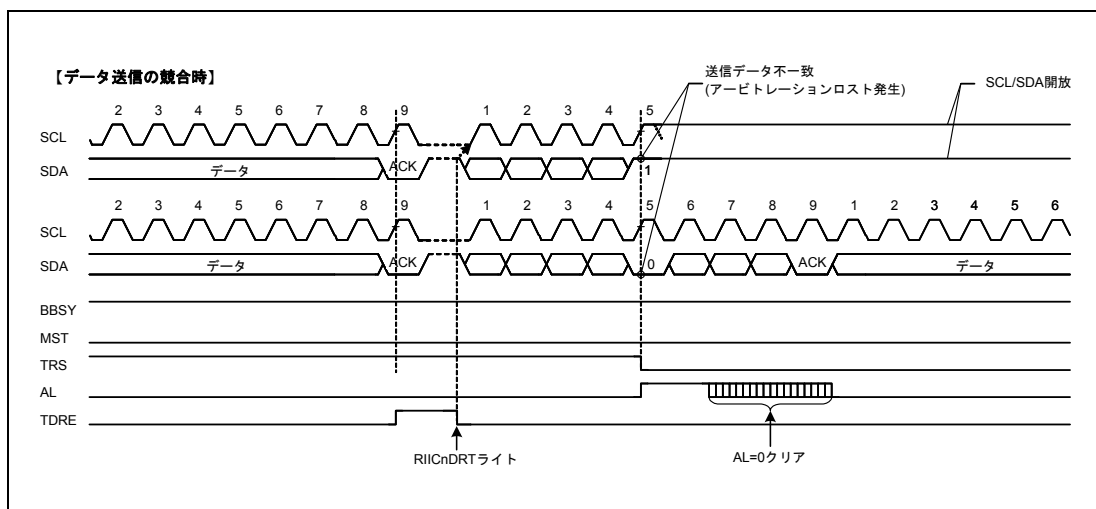


図 20.35 スレーブアービトレーションロスト検出動作例 (SALE = 1 のとき)

20.12 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

20.12.1 スタートコンディション発行動作

RIICは、RIICnCR2.STビットによりスタートコンディションの発行を行います。

STビットを“1”にすると、スタートコンディション発行の要求が行われRIICnCR2.BBSYフラグが“0”（バスフリー）の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIICは自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

[スタートコンディション発行動作]

- SDAラインを立ち下げ（HighからLowに遷移）
- RIICnBRHレジスタで設定した時間スタートコンディションのホールド時間を確保
- SCLラインを立ち下げ（HighからLowに遷移）
- SCLラインのLowを検出後、RIICnBRLレジスタで設定した時間SCLラインのLow幅を確保

20.12.2 リスタートコンディション発行動作

RIICはRIICnCR2.RSビットによりリスタートコンディションの発行を行います。

RSビットを“1”にすると、通信中でもリスタートコンディション発行の要求が行われ、RIICはRIICnCR2.BBSYフラグが“1”（バスビジー）の状態であつRIICnCR2.MSTビットが“1”（マスタモード）のとき、リスタートコンディションの発行を行います。

（リスタートコンディションの発行を検出する場合は、リスタートコンディション発行前に、RIICnSR2.STARTフラグをクリアしてください。）

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

[リスタートコンディション発行動作]

- SDAラインを開放
- RIICnBRLレジスタで設定した時間SCLラインのLow幅を確保
- SCLラインを開放（LowからHighに遷移）
- SCLラインのHigh検出後、RIICnBRLレジスタで設定した時間リスタートコンディションのセットアップ時間を確保
- SDAラインを立ち下げ（HighからLowに遷移）
- RIICnBRHレジスタで設定した時間リスタートコンディションのホールド時間を確保
- SCLラインを立ち下げ（HighからLowに遷移）
- SCLラインのLowを検出後、RIICnBRLレジスタで設定した時間SCLラインのLow幅を確保

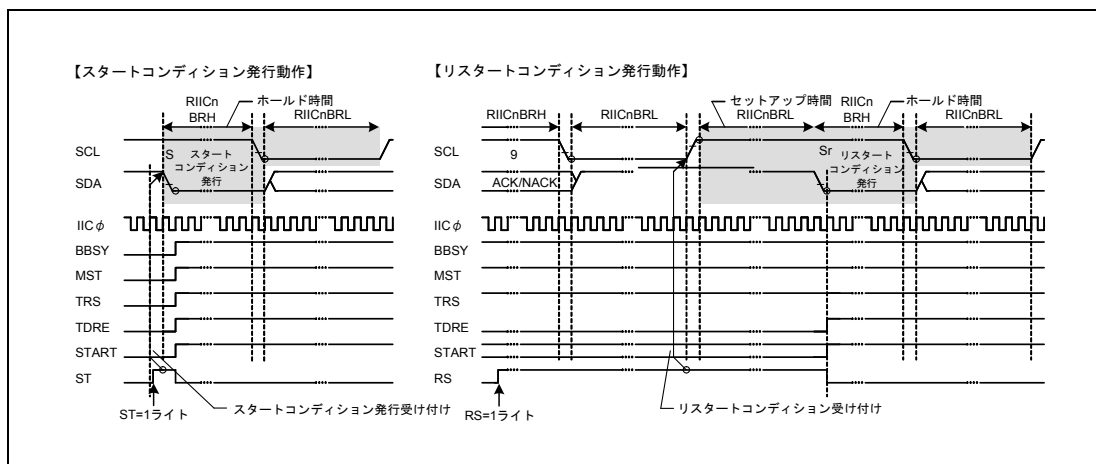


図 20.36 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット)

20.12.3 ストップコンディション発行動作

RIICはRIICnCR2.SPビットによりストップコンディションの発行を行います。

SPビットを“1”にするとストップコンディション発行の要求が行われ、RIICはRIICnCR2.BBSYフラグが“1”（バスビジー）の状態であつRIICnCR2.MSTビットが“1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

[ストップコンディション発行動作]

- SDAラインを立ち下げ（HighからLowに遷移）
- RIICnBRLレジスタで設定した時間SCLラインのLow幅を確保
- SCLラインを開放（LowからHighに遷移）
- SCLラインのHigh検出後、RIICnBRHレジスタで設定した時間ストップコンディションのセットアップ時間を確保
- SDAラインを開放（LowからHighに遷移）
- RIICnBRLレジスタで設定した時間バスフリー時間を確保
- BBSYフラグクリア（バス権解放）

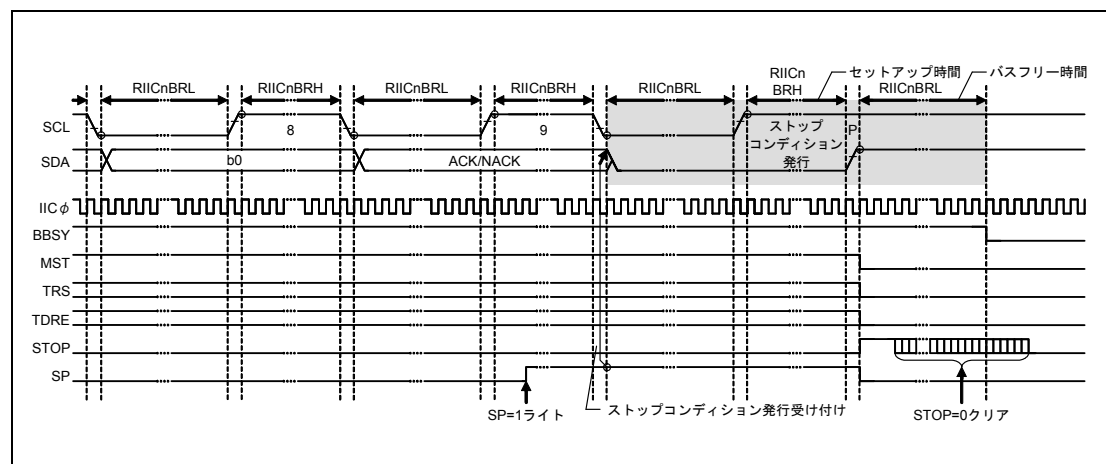


図 20.37 ストップコンディション発行動作タイミング (SPビット)

20.13 バスハングアップ

I²Cバスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCLラインやSDAラインが固定されたままバスハングアップを起こす場合があります。

RIICは、このバスハングアップ状態に対しSCLラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ズレによるバスハングアップ状態を解除するためのSCLクロック追加出力機能およびRIIC/内部リセット機能を備えています。

また、RIICnCR1.SCLO, SDAO, SCLI, SDAIビットを確認することで、RIIC自身がSCLライン/SDAラインにLow出力しているか、あるいは通信デバイス側がLow出力しているかどうかを確認することが可能です。

20.13.1 タイムアウト検出機能

RIICにはSCLラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIICはSCLラインがLowまたはHighに固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能はSCLラインの状態を監視し、LowまたはHighの時間を内部カウンタでカウントします。タイムアウト検出機能はSCLラインに変化（立ち上がり/立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLラインに変化がないまま内部カウンタがオーバーフローすると、RIICはタイムアウトを検出しバス異常状態を知らせることができます。

内部カウンタは下記条件の時にクリアされます。

- (1) RIICnMR2.TMOH=0, RIICnMR2.TMOL=1 の場合は
SCLの立ち上がりでクリア
- (2) RIICnMR2.TMOH=1, RIICnMR2.TMOL=0 の場合は
SCLの立ち下がりでクリア
- (3) RIICnMR2.TMOH=RIICnMR2.TMOL=1 の場合は
SCLの立ち上がり/立ち下がりでクリア

このタイムアウト検出機能はRIICnFER.TMOEビットが“1”のとき有効で、以下の期間にSCLラインのLow固定またはHigh固定のバス異常状態を検出します。

- マスタモード (RIICnCR2.MSTビット=1) で、バスビジー (RIICnCR2.BBSYフラグ=1)
- スレーブモード (RIICnCR2.MSTビット=0) で、自スレーブアドレス一致 (RIICnSR1レジスタ ≠ 00_H) かつバスビジー (RIICnCR2.BBSYフラグ=1)
- スタートコンディション発行要求中 (RIICnCR2.STビット=1) で、バスフリー (RIICnCR2.BBSYフラグ=0)

タイムアウト検出機能の内部カウンタは、RIICnMR1.CKS[2:0]ビットで設定された内部基準クロック (IICφ) をカウントソースとして動作し、ロングモード選択時 (RIICnMR2.TMOSビット=0) 16ビットカウンタ、ショートモード選択時 (TMOSビット=1) 14ビットカウンタとなります。

また内部カウンタのカウント動作は、SCLラインがLow状態のときカウントさせるか、High状態のときカウントさせるか、あるいはその両方をカウントさせるかを

RIICnMR2.TMOH, TMOL ビットの設定により選択することが可能です。なお TMOH, TMOL ビットの両方を“0”にした場合は、内部カウント動作を行いません。

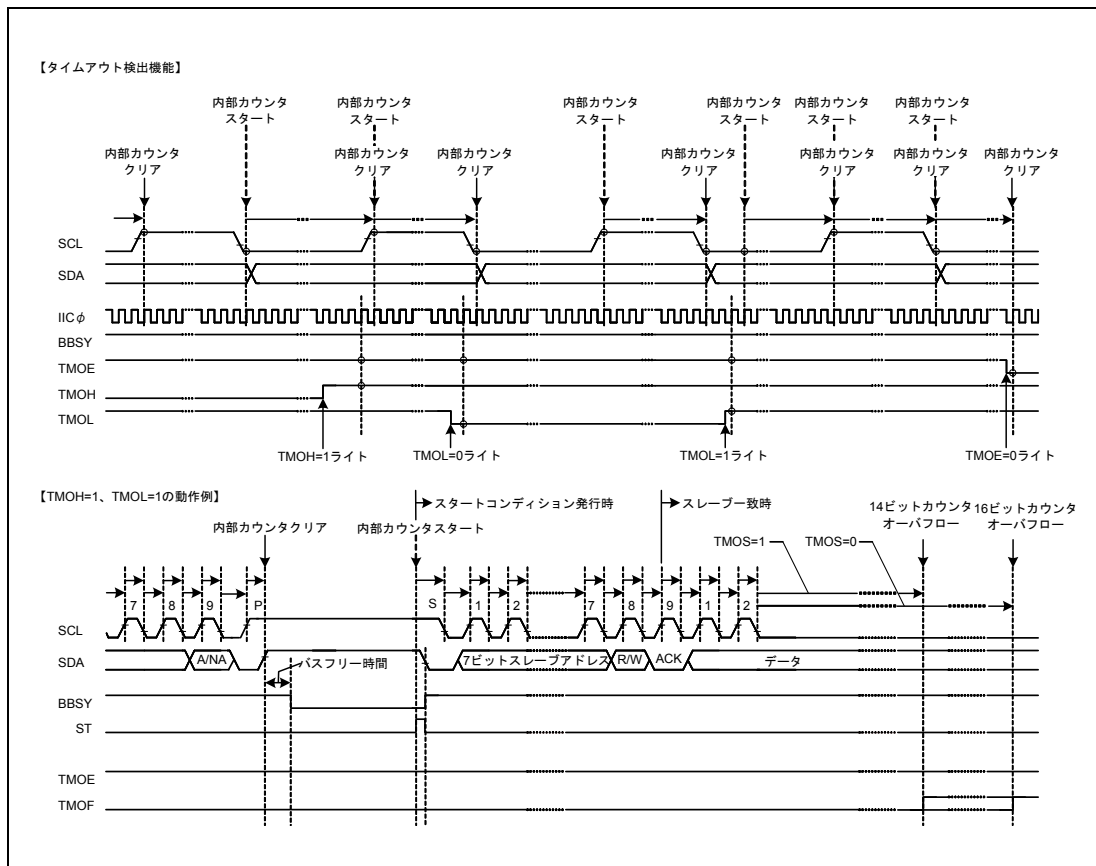


図 20.38 タイムアウト検出機能 (TMOE、TMOS、TMOH、TMOL ビット)

20.13.2 SCL クロック追加出力機能

RIICにはマスタモード時、スレーブデバイスとの同期ズレによるスレーブデバイスのSDAラインLow固定状態を開放するためのSCLクロック追加出力機能を備えています。

SCLクロック追加出力機能は、SCLクロックを1クロック単位で追加出力をする機能で、主にマスタモード時にスレーブデバイスがSDAラインをLow固定状態のままストップコンディションを発行できない場合に、スレーブデバイスのSDAライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

SCLクロック追加出力は、RIICnCR1.CLOビットを“1”にすると、RIICnMR1.CKS[2:0]ビット、RIICnBRH、RIICnBRLレジスタで設定された転送速度のSCLクロックが1クロック分追加クロックとして出力されます。1クロック分の追加クロック出力が終了するとCLOビットは自動的に“0”になります。そのためソフトウェアでCLOビットが“0”であることを確認後“1”を書くことにより、追加クロックを連続的に出力することができます。

RIICがマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ズレが原因でスレーブデバイスがSDAラインをLow固定状態のままストップコンディションを発行できないバス異常状態のとき、SCLクロック追加出力機能を使用して追加クロックを1クロックずつ出力することでスレーブデバイスのSDAラインのLow固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスのSDAライン開放はRIICnCR1.SDAIビットをチェックすることで確認することができます。スレーブデバイスのSDAライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合はRIICnFER.MALEビットを“0”（マスタアービトレーションロスト検出禁止）にして使用してください。MALEビットが“1”（マスタアービトレーションロスト検出許可）の場合、RIICnCR1.SDAOビットの値とSDAラインが不一致のときアービトレーションロストが発生しますので注意してください。

[SCLクロック追加出力条件]

- マスタモードかつバスフリー状態のとき
- マスタモードかつSCLラインをLowホールドしていない状態のとき（バスビジー状態）

図 20.39 に SCL クロック追加出力機能（CLO ビット）を示します。

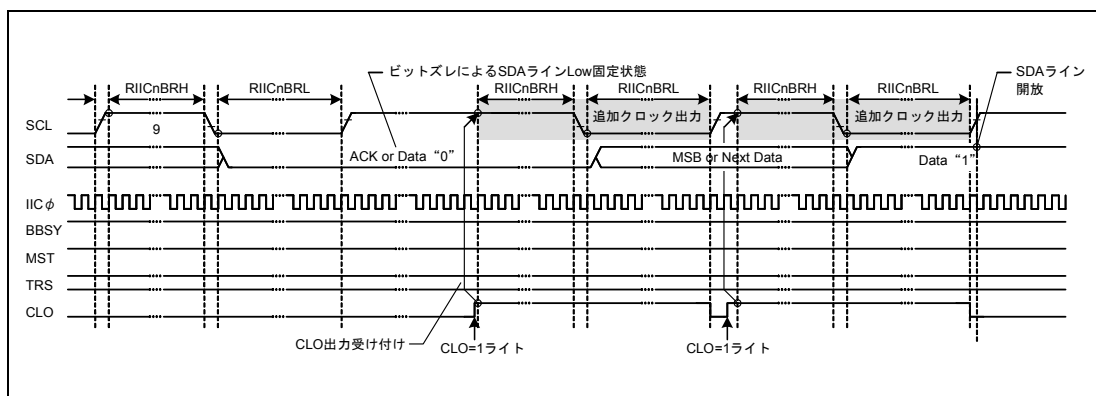


図 20.39 SCL クロック追加出力機能（CLO ビット）

20.13.3 RIIC/ 内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは RIICnCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は RIICnCR1.IICRST ビットを“0”にしてください。

いずれのリセットも SCL 端子 / SDA 端子の出力状態を解除しハイインピーダンスに戻すため、バスハングアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット (RIICnCR1.IICE, IICRST ビット = 01_B) のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC / 内部リセットの詳細については、「**20.14 RIIC のリセット機能**」を参照してください。

20.14 RIICのリセット機能

RIICは、RIICリセットおよび内部リセットのリセット機能を持っています。加えて、RIICはISOIRESによってリセットされます。表20.26に各リセットのリセット範囲およびリセット状況を示します。

表 20.26 RIICのリセット機能 (1/2)

UM		ISOIRES	RIICリセット (ICEビット=0、 IICRSTビット=1)	内部リセット (ICEビット=1、 IICRSTビット=1)	スタートコンディション/ リスタートコンディション 検出	ストップコンディ ション検出
RIICnCR1	ICE	初期化	0	1	保持	保持
	IICRST	初期化	1	1	保持	保持
	CLO	初期化	初期化	保持	保持	保持
	SOWP	初期化	初期化	保持	保持	保持
	SCLO	初期化	初期化	初期化	保持	保持
	SDAO	初期化	初期化	初期化	保持	保持
	SCLI	初期化	初期化	保持	保持	保持
	SDAI	初期化	初期化	保持	保持	保持
RIICnCR2	BBSY	初期化	初期化	初期化 ^{注1}	動作	保持
	MST	初期化	初期化	初期化	動作(保持)	初期化
	TRS	初期化	初期化	初期化	動作(保持)	初期化
	SP	初期化	初期化	初期化	初期化	初期化
	RS	初期化	初期化	初期化	初期化	初期化
	ST	初期化	初期化	初期化	初期化	保持
RIICnMR1	MTWP	初期化	初期化	保持	保持	保持
	CKS[2:0]	初期化	初期化	保持	保持	保持
	BCWP	初期化	初期化	保持	保持	保持
	BC[2:0]	初期化	初期化	初期化	初期化	保持
RIICnMR2		初期化	初期化	保持	保持	保持
RIICnMR3	WAIT	初期化	初期化	保持	保持	保持
	RDRFS	初期化	初期化	保持	保持	保持
	ACKWP	初期化	初期化	保持	保持	保持
	ACKBT	初期化	初期化	保持	保持	初期化
	ACKBR	初期化	初期化	保持	保持	保持
	NF[1:0]	初期化	初期化	保持	保持	保持
RIICnFER		初期化	初期化	保持	保持	保持
RIICnSER		初期化	初期化	保持	保持	保持
RIICnIER		初期化	初期化	保持	保持	保持
RIICnSR1	DID	初期化	初期化	初期化	保持	初期化
	GCA	初期化	初期化	初期化	保持	初期化
	AAS2	初期化	初期化	初期化	保持	初期化
	AAS1	初期化	初期化	初期化	保持	初期化
	AAS0	初期化	初期化	初期化	保持	初期化

表 20.26 RIIC のリセット機能 (2/2)

UM		ISORES	RIIC リセット (ICE ビット=0、 IICRST ビット=1)	内部リセット (ICE ビット=1、 IICRST ビット=1)	スタートコンディション/ リスタートコンディション 検出	ストップコンディ ション検出
RIICnSR2	TDRE	初期化	初期化	初期化	保持	初期化
	TEND	初期化	初期化	初期化	保持	初期化
	RDRF	初期化	初期化	初期化	保持	保持
	NACKF	初期化	初期化	初期化	保持	保持
	STOP	初期化	初期化	初期化	保持	動作
	START	初期化	初期化	初期化	動作	初期化
	AL	初期化	初期化	初期化	保持	保持
	TMOF	初期化	初期化	初期化	保持	保持
RIICnSAR0、1、2		初期化	初期化	保持	保持	保持
RIICnBRH、RIICnBRL		初期化	初期化	保持	保持	保持
RIICnDRT		初期化	初期化	保持	保持	保持
RIICnDRR		初期化	初期化	保持	保持	保持
RIICnDRS		初期化	初期化	初期化	保持	保持

注 1. ストップコンディション検出後のバスフリー期間中に、内部リセットをかけた場合、BBSY フラグが内部リセット解除から、バスフリー時間を經由して、“0”となる。
バスフリー期間以外で内部リセットをかけた場合は、BBSY フラグはクリアされない。

第21章 CANインタフェース (RS-CAN)

本章では、CANインタフェース (RS-CAN) 全般について説明します。

CAN FD は PREMIUM のみ対応しています。これらのチャンネルは、ECO および ADVANCED では CAN (FD なし) として使用することができます。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1K に固有の特長について説明します。それ以降の節では、RS-CANFD および RS-CAN の機能、レジスタについて説明します。

21.1 RH850/F1K RS-CANFD の特長

21.1.1 ユニット数とチャンネル数

この製品は、ISO/CD11898-1 (スタップ数を含む新しい CRC フィールドの定義) に準拠した CAN FD をサポートしています。また、OPBT0.CANFDCRC = 0 に設定することによって、この製品は 2014 年 8 月 12 日に発行された ISO/CD11898-1 に準拠する CRC フィールド定義をサポートすることができます。OPBT0 については、「第 37 章 フラッシュメモリ」を参照してください。

本製品は以下のユニット数の RS-CANFD および RS-CAN を搭載しています。

表 21.1 RS-CANFD ユニット数

製品名	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
ユニット数	1		
名称	RSCAN0		

表 21.2 RS-CAN ユニット数

製品名	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
ユニット数	—	—	1
名称	—	—	RSCAN1

また各製品は以下に示す CAN インタフェースチャンネルを搭載しています。

表 21.3 RS-CAN のユニット構成とチャンネルの対応

ユニット名	チャンネル名	CAN FD 対応 ^{注1}	RH850/F1K 100 pin (6 ch)	RH850/F1K 144 pin (6 ch)	RH850/F1K 176 pin (7ch)
RSCAN0	CAN0	○	○	○	○
	CAN1	○	○	○	○
	CAN2	○	○	○	○
	CAN3	○	○	○	○
	CAN4	○	○	○	○
	CAN5	○	○	○	○
RSCAN1	CAN6	—	—	—	○

注 1. CAN FD は PREMIUM のみ対応しています。これらのチャンネルは、ECO および ADVANCED では CAN (FD なし) として使用することができます。

CAN0 ~ CAN5 (RS-CANFD) の機能とレジスタについては、「21.2 RS-CANFD」を参照してください。

CAN6 (RS-CAN) の機能とレジスタについては、「21.14 RS-CAN」を参照してください。

21.2 RS-CANFD

この節では、RS-CANFD の機能とレジスタについて説明します。

RS-CANFD は 2 種類のインタフェースモード (クラシカル CAN モードと CAN FD モード) を持ち、それぞれで異なるレジスタを使用します。レジスタ名はインタフェースモードによって RSCANnXXX と RSCFDnCFDXXX の 2 種類があり (XXX は任意)、2 つのレジスタで共通した仕様について説明する場合は RSCANn(CFD)XXX と記述します。

表 21.4 添字

添字	説明
n	本章では、RS-CAN のユニットを「n」(n = 0) で識別します。たとえば、RSCANn ユニットのグローバル制御レジスタは RSCANn(CFD)GCTR と記述します。
m	本章では、RS-CAN のチャンネル数を「m」(m = 0 ~ 5) で識別します。たとえば、チャンネル m ステータスレジスタは RSCANn(CFD)CmSTS と記述します。
j	受信ルールテーブルを関係するレジスタを「j」(j = 0 ~ 15) で識別します。たとえば、受信ルール ID レジスタは RSCANn(CFD)GAFLIDj と記述します。
k	送受信 FIFO バッファ番号を「k」(k = 0 ~ チャンネル m × 3 + 2) で識別します。たとえば、送受信 FIFO バッファコンフィグレーション / 制御レジスタは RSCANn(CFD)CFCK と記述します。
x	受信 FIFO バッファ番号を「x」(x = 0 ~ 7) で識別します。例えば、受信 FIFO バッファステータスレジスタは、RSCANn(CFD)RFSTSx と記述します。
d	送受信 FIFO バッファおよび受信 FIFO バッファのデータフィールドレジスタを「d」(クラシカル CAN モードは d = 0 ~ 1、CAN FD モードは d = 0 ~ 15) で識別します。たとえば、送受信 FIFO バッファデータフィールドレジスタは RSCANn(CFD)CFDFdk と記述します。
q	受信バッファの番号を「q」(q = 0 ~ チャンネル m × 16 + 15) で識別します。たとえば、受信バッファ ID レジスタは RSCANn(CFD)RMIDq と記述します。
p	送信バッファの番号を「p」(p = 0 ~ チャンネル m × 16 + 15) で識別します。たとえば、送信バッファ制御レジスタは RSCANn(CFD)TMCp と記述します。
b	受信バッファおよび送信バッファのデータフィールドレジスタを「b」(クラシカル CAN モードは b = 0 ~ 1、CAN FD モードは b = 0 ~ 4) で識別します。たとえば、受信バッファデータフィールドレジスタは RSCANn(CFD)RMDfbq と記述します。
r	CAN 用 RAM テスト番号を「r」(r = 0 ~ 63) で識別します。たとえば、RAM テストページアクセスレジスタは RSCANn(CFD)RPGACCr と記述します。
y	上記以外のレジスタをまとめて説明する場合、「y」(y = 0 ~ 2) で識別します。たとえば、受信バッファ新データレジスタは RSCANn(CFD)RMNDy と記述します。

備考 本章の機能およびレジスタ説明は、RS-CANFD 6 チャンネル内蔵品 (m = 0 ~ 5) について記載しています。本文中の添字の値はお使いになる製品に合わせてください。また、以下の点に注意してください。お使いになる製品により添字の範囲外となるビットへ書き込む場合はリセット後の値を書き込んでください。

各製品の添字が示す値を以下に示します。

表 21.5 各製品の添字対応

各製品の添字対応	
100 pin, 144 pin, 176 pin (6 ch)	
	j = 0 ~ 15
	k = 0 ~ 17
	x = 0 ~ 7
	q = 0 ~ 95
	p = 0 ~ 95
	r = 0 ~ 63
	y = 0 ~ 2

21.2.1 レジスタベースアドレス

RSCAN0 のベースアドレスを以下の表に示します。

RSCAN0 のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 21.6 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RSCAN0_base>	FFD0 0000 _H
MB RAM 用 <ECCCAN0_base>	FFC7 1300 _H
AFL RAM 用 <ECCCANFD0_base>	FFC7 1400 _H

21.2.2 クロック供給

RSCANn のクロック供給を以下の表に示します。

表 21.7 クロック供給

ユニット名	ユニットクロック名	供給クロック名	説明
RSCANn (n = 0)	clk_xincan	CKSCLK_ICANOSC	OSC クロックからの通信クロック
	clkc	CKSCLK_IPERI2	通信クロック
	pclk	CKSCLK_ICAN	モジュールクロック
	レジスタアクセスクロック	CPUCLK2	バスクロック
	CKSCLK_ICAN		

RSCANn の動作周波数は、転送レート、および使用チャンネル数に依存します。表 21.8 に示す範囲で使用してください。

表 21.8 RH850/F1K における転送レート・使用チャンネル数での動作周波数範囲

条件		動作可能な周波数範囲		
転送レート	使用 ch 数	pclk	clk_xincan ^{注1}	clkc ^{注1,注2}
1Mbps	6ch	pclk ≥ 53MHz	8MHz ≤ clk_xincan ≤ pclk/2	12.5MHz ≤ clkc ≤ pclk/2
	5ch	pclk ≥ 46MHz		
	4ch	pclk ≥ 40MHz		
	3ch	pclk ≥ 32MHz		
	2ch	pclk ≥ 26MHz		
	1ch	pclk ≥ 18MHz		
500kbps	6ch	pclk ≥ 27MHz	4MHz ≤ clk_xincan ≤ pclk/2	12.5MHz ≤ clkc ≤ pclk/2
	5ch	pclk ≥ 23MHz		
	4ch	pclk ≥ 20MHz		
	3ch	pclk ≥ 16MHz		
	2ch	pclk ≥ 13MHz		
	1ch	pclk ≥ 8MHz		
125kbps	6ch	pclk ≥ 8MHz	4MHz ≤ clk_xincan ≤ pclk/2	12.5MHz ≤ clkc ≤ pclk/2
	5ch			
	4ch			
	3ch			
	2ch			
	1ch			

注 1. RSCANn(CFD)GCFG の DCS ビットにより、clk_xincan、clkc いずれかを選択可能です。各クロックは pclk/2 以下（最大 40MHz）に設定してください。

注 2. pclk ≤ 25MHz 時は、clk_xincan を選択してください。

注 意

STOP モードで RS-CANFD を使用をする場合は、RS-CANFD のクロック源に MainOSC を設定してください。クロック源の設定は「12.4.3.10 RS-CAN クロックドメイン C_ISO_CAN と C_ISO_CANOSC」を参照してください。

21.2.3 割り込み要求

RSCANn の割り込み要求を以下の表に示します。

表 21.9 割り込み要求

ユニット割り込み信号		説明	割り込み番号	DMA トリガ番号 (CAN-FD モードのみ)
RSCANn (n = 0)				
グローバル	INTRCANGERR0	CAN グローバルエラー割り込み	22	—
	INTRCANGRECC0	CAN 受信 FIFO 割り込み	23	—
	RSCANFDRF0	受信 FIFO アクセスメッセージバッファ 0	—	60
	RSCANFDRF1	受信 FIFO アクセスメッセージバッファ 1	—	61
	RSCANFDRF2	受信 FIFO アクセスメッセージバッファ 2	—	62
	RSCANFDRF3	受信 FIFO アクセスメッセージバッファ 3	—	63
	RSCANFDRF4	受信 FIFO アクセスメッセージバッファ 4	—	68
	RSCANFDRF5	受信 FIFO アクセスメッセージバッファ 5	—	69
	RSCANFDRF6	受信 FIFO アクセスメッセージバッファ 6	—	82
RSCANFDRF7	受信 FIFO アクセスメッセージバッファ 7	—	83	
CAN0	INTRCANmERR(m = 0)	CAN0 エラー割り込み	24	—
	INTRCANmREC(m = 0)	CAN0 送受信 FIFO 受信完了割り込み	25	—
	INTRCANmTRX(m = 0)	CAN0 送信割り込み	26	—
	RSCANFDCF0	CAN0 共通 FIFO アクセスメッセージバッファ	—	23
CAN1	INTRCANmERR(m = 1)	CAN1 エラー割り込み	113	—
	INTRCANmREC(m = 1)	CAN1 送受信 FIFO 受信完了割り込み	114	—
	INTRCANmTRX(m = 1)	CAN1 送信割り込み	115	—
	RSCANFDCF1	CAN1 共通 FIFO アクセスメッセージバッファ	—	24
CAN2	INTRCANmERR(m = 2)	CAN2 エラー割り込み	217	—
	INTRCANmREC(m = 2)	CAN2 送受信 FIFO 受信完了割り込み	218	—
	INTRCANmTRX(m = 2)	CAN2 送信割り込み	219	—
	RSCANFDCF2	CAN2 共通 FIFO アクセスメッセージバッファ	—	26
CAN3	INTRCANmERR(m = 3)	CAN3 エラー割り込み	220	—
	INTRCANmREC(m = 3)	CAN3 送受信 FIFO 受信完了割り込み	221	—
	INTRCANmTRX(m = 3)	CAN3 送信割り込み	222	—
	RSCANFDCF3	CAN3 共通 FIFO アクセスメッセージバッファ	—	27
CAN4	INTRCANmERR(m = 4)	CAN4 エラー割り込み	272	—
	INTRCANmREC(m = 4)	CAN4 送受信 FIFO 受信完了割り込み	273	—
	INTRCANmTRX(m = 4)	CAN4 送信割り込み	274	—
	RSCANFDCF4	CAN4 共通 FIFO アクセスメッセージバッファ	—	48
CAN5	INTRCANmERR(m = 5)	CAN5 エラー割り込み	287	—
	INTRCANmREC(m = 5)	CAN5 送受信 FIFO 受信完了割り込み	288	—
	INTRCANmTRX(m = 5)	CAN5 送信割り込み	289	—
	RSCANFDCF5	CAN5 共通 FIFO アクセスメッセージバッファ	—	49

備 考

スタンバイモードから復帰可能なウェイクアップ要因については、「**14.1.2.1 各スタンバイモードのウェイクアップ要因**」を参照してください。

21.2.4 リセット要因

RSCANn のリセット要因を以下に示します。RSCANn は以下のリセット要因で初期化されます。

表 21.10 リセット要因

ユニット名	リセット要因
RSCANn (n = 0)	すべてのリセット要因 (ISORES)

21.2.5 外部入出力信号

RSCANn の外部入出力信号を以下の表に示します。

表 21.11 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
RSCANn (n = 0)		
CANmRX (m = 0 ~ 5)	CANm 受信データ入力	CANmRX (m = 0 ~ 5)
CANmTX (m = 0 ~ 5)	CANm 送信データ出力	CANmTX (m = 0 ~ 5)

21.3 概要

21.3.1 機能概要

RH850/F1K は、ISO11898-1 仕様に準拠した CAN コントローラを 6 チャンネル (CAN0 ~ CAN5) 搭載した CAN インタフェース (RS-CAN) を 1 ユニット内蔵しています。表 21.12 に RS-CANFD モジュールの仕様、図 21.1 に RS-CANFD モジュールブロック図を示します。

表 21.12 RS-CANFD モジュールの仕様 (1/3)

項目	仕様
チャンネル数	6
プロトコル	ISO11898-1 仕様準拠 使用する CAN FD フレームをインターフェースモードにより選択可能
通信速度	<p>クラシカル CAN モード :</p> <ul style="list-style-type: none"> 最大 1Mbps $\text{通信速度 (CANm ビットタイムクロック)} = \frac{1}{\text{CANm ビットタイム}}$ $\text{CANm ビットタイム} = \text{CANmTq} \times 1 \text{ ビット分の Tq 数}$ $\text{CANmTq} = \frac{(\text{RSCANnCmCFG レジスタの BRP}[9:0] \text{ ビット} + 1)}{f_{\text{CAN}}}$ <p>f_{CAN} : CAN クロック (RSCANnGCFG レジスタの DCS ビットで選択したクロック) の周波数</p> <p>CAN FD モード :</p> <ul style="list-style-type: none"> 通常ビットレート 最大 1Mbps、データビットレート 最大 5 Mbps $\text{送信レート (CANm 通常ビットレートタイム クロック)} = \frac{1}{\text{CANm 通常ビットタイム}}$ $\text{送信レート (CANm データビットタイムクロック)} = \frac{1}{\text{CANm データビットタイム}}$ $\text{CANm 通常ビットタイム} = \text{CANmTq(N)} \times 1 \text{ 通常ビット分の Tq 数}$ $\text{CANm データビットタイム} = \text{CANmTq(D)} \times 1 \text{ データビット分の Tq 数}$ $\text{CANmTq(N)} = \frac{(\text{RSCFDnCFDCmNCFG レジスタの NBRP}[9:0] \text{ ビット} + 1)}{f_{\text{CAN}}}$ $\text{CANmTq(D)} = \frac{(\text{RSCFDnCFDCmDCFG レジスタの DBRP}[7:0] \text{ ビット} + 1)}{f_{\text{CAN}}}$ <p>f_{CAN} : CAN クロック (RSCFDnCFDGCFCFG レジスタの DCS ビットで選択したクロック) の周波数</p> <p>$m = 0 \sim 5$ Tq: Time quantum</p>
バッファ	<p>合計 480 バッファ</p> <ul style="list-style-type: none"> 各チャンネル専用 : 96 バッファ (16 バッファ × 6 チャンネル) 送信バッファ : 16 バッファ / 1 チャンネル 送信キュー : 1 本 / 1 チャンネル (送信バッファと共用、最大 16 バッファ割り当て可能) チャンネル間共用 : 384 バッファ 受信バッファ : 0 ~ 96 バッファ 受信 FIFO バッファ : 8 本 (1 本あたり最大 128 バッファ割り当て可能) 送受信 FIFO バッファ : 3 本 / 1 チャンネル (1 本あたり最大 128 バッファ割り当て可能) ECC 内蔵

表 21.12 RS-CANFD モジュールの仕様 (2/3)

項目	仕様
受信機能	<ul style="list-style-type: none"> データフレームとリモートフレームを受信可能 受信する ID フォーマット (標準 ID、拡張 ID、両方) を選択可能 FIFO ごとの割り込み許可/禁止設定可能 ミラー機能 (自送信メッセージの受信機能) タイムスタンプ機能 (メッセージの受信時間を 16 ビットタイマ値で記録)
受信フィルタ機能	<ul style="list-style-type: none"> 合計 384 個の受信ルールで受信メッセージを選別可能 チャンネルごとに 0 ~ 128 個の範囲で受信ルール数を設定可能 アクセプタンスフィルタ処理: 各受信ルールごとに ID、マスク設定可能 DLC フィルタ処理: 各受信ルールごとに DLC フィルタチェック可能
受信メッセージ転送機能	<ul style="list-style-type: none"> ルーティング機能 受信メッセージを任意のバッファへ転送する機能 (転送可能バッファ数: 8) 転送先: 受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ ラベル付加機能 受信バッファおよび FIFO バッファへメッセージ格納時、ラベル情報も同時に格納可能
送信機能	<ul style="list-style-type: none"> データフレームとリモートフレームを送信可能 送信する ID フォーマット (標準 ID、拡張 ID、両方) を選択可能 送信バッファ、送受信 FIFO バッファごとに割り込み許可/禁止設定可能 ID 優先送信または送信バッファ番号優先送信を選択可能 送信アボート機能 (フラグでアボート完了を確認可能) ワンショット送信機能
インターバル送信機能	メッセージの送信間隔を設定可能 (送受信 FIFO バッファの送信モードまたはゲートウェイモード)
送信キュー機能	格納された全メッセージが ID 優先で送信される機能
送信履歴機能	<ul style="list-style-type: none"> 送信完了したメッセージの履歴情報を格納する機能 タイムスタンプ機能 (メッセージの送信時間を 16 ビットタイマ値で記録)
ゲートウェイ機能	受信したメッセージを自動送信する機能
バスオフ復帰モード選択	<p>バスオフ状態からの復帰方法を選択可能</p> <ul style="list-style-type: none"> ISO11898-1 仕様準拠 バスオフ開始でチャンネル待機モードへ自動遷移 バスオフ終了でチャンネル待機モードへ自動遷移 プログラムによる要求でチャンネル待機モードへ遷移 プログラムによる要求でエラーアクティブ状態へ遷移 (バスオフ強制復帰機能)
エラー状態の監視	<ul style="list-style-type: none"> CAN プロトコルエラー (スタッフエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー、バスドミナントロック) を監視 エラー状態の遷移を検出 (エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) エラーカウンタの読み出し DLC エラーを監視
割り込み要因	<p>20 本</p> <ul style="list-style-type: none"> グローバル割り込み (2 本) 受信 FIFO 割り込み グローバルエラー割り込み チャンネル割り込み (各チャンネルごとに 3 本ずつ) CANm 送信割り込み (m = 0 ~ 5) <ul style="list-style-type: none"> - CANm 送信完了割り込み - CANm 送信アボート割り込み - CANm 送受信 FIFO 送信完了割り込み (送信モード、ゲートウェイモード時) - CANm 送信履歴割り込み - CANm 送信キュー割り込み CANm 送受信 FIFO 受信完了割り込み (受信モード、ゲートウェイモード時) CANm エラー割り込み
CAN ストップモード	RS-CANFD モジュールに供給されるクロックを停止することで消費電流を低減可能

表 21.12 RS-CANFD モジュールの仕様 (3/3)

項目	仕様
CAN クロックソース	clkc か clk_xincan を選択可能 設定可能な周波数は「表 21.8 RH850/F1K における転送レート・使用チャネル数での動作周波数範囲」を参照してください。
テスト機能	ユーザ評価用テスト機能 <ul style="list-style-type: none"> • リッスンオンリモード • セルフテストモード0 (外部ループバック) • セルフテストモード1 (内部ループバック) • 制限動作モード • RAM テスト (読み書きテスト) • チャネル間通信テスト (CRC エラーテスト可能)

21.3.2 インタフェースモード

RS-CANFD は 2 種類のインタフェースモードを持ちます。

- クラシカル CAN モード：クラシカル CAN フレームのみを扱います
- CAN FD モード：クラシカル CAN フレームと CAN FD フレームの両方を扱います

2 種類のモードはベースアドレスが共通の異なるレジスタマップを使用します。レジスタマップは、インタフェースモードを選択することにより切り替わります。

インタフェースモードの切り替えは RSCFDnCFDGRMCFG レジスタの RCMC ビットで行います。

21.3.3 ブロック図

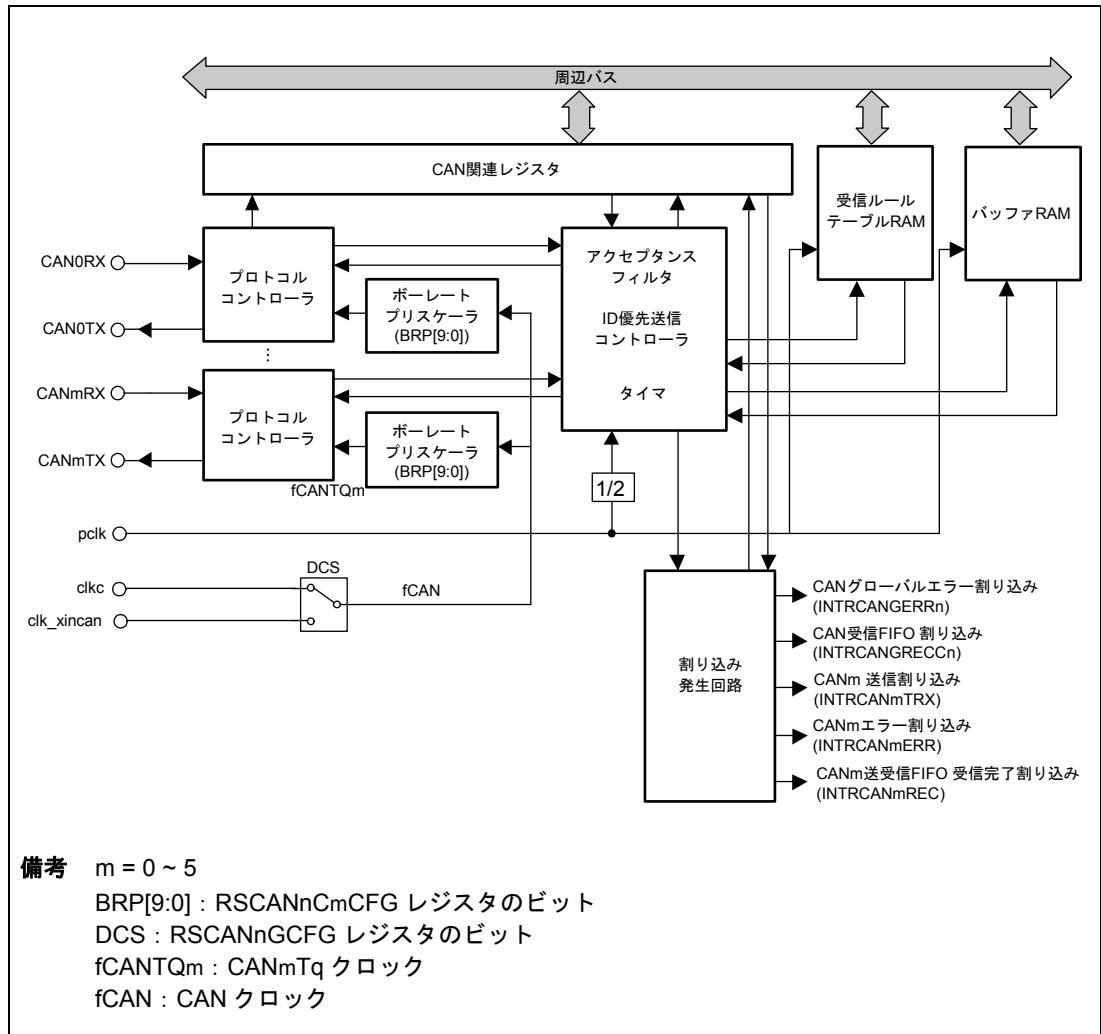


図 21.1 RS-CANFD モジュールのブロック図 (クラシカル CAN モード時)

CAN FD モード時は、ボーレートプリスケラおよびプロトコルコントローラに入力されるクロックが異なります。「21.11.1.3 通信速度の設定」を参照してください。

21.4 レジスタ (クラシカル CAN モード)

21.4.1 レジスタ一覧

クラシカル CAN モードで使用する場合の RS-CANFD のレジスタ一覧を以下の表に示します。

<RSCANn_base> は「21.2.1 レジスタベースアドレス」を参照してください。

表 21.13 レジスタ一覧 (1/3)

モジュール名	レジスタ名	略号	アドレス	ガードグループ
チャンネル関連レジスタ				
RSCANn	チャンネル m コンフィグレーションレジスタ	RSCANnCmCFG	<RSCANn_base> + 0000 _H + (10 _H × m)	RSCANn Chm
	チャンネル m 制御レジスタ	RSCANnCmCTR	<RSCANn_base> + 0004 _H + (10 _H × m)	RSCANn Chm
	チャンネル m ステータスレジスタ	RSCANnCmSTS	<RSCANn_base> + 0008 _H + (10 _H × m)	RSCANn Chm
	チャンネル m エラーフラグレジスタ	RSCANnCmERFL	<RSCANn_base> + 000C _H + (10 _H × m)	RSCANn Chm
グローバル関連レジスタ				
RSCANn	グローバルコンフィグレーションレジスタ	RSCANnGCFG	<RSCANn_base> + 0084 _H	RSCANn global
	グローバル制御レジスタ	RSCANnGCTR	<RSCANn_base> + 0088 _H	RSCANn global
	グローバルステータスレジスタ	RSCANnGSTS	<RSCANn_base> + 008C _H	RSCANn global
	グローバルエラーフラグレジスタ	RSCANnGERFL	<RSCANn_base> + 0090 _H	RSCANn global
	グローバルタイムスタンプカウンタレジスタ	RSCANnGTSC	<RSCANn_base> + 0094 _H	RSCANn global
	グローバル TX 割り込みステータスレジスタ 0	RSCANnGTINTSTS0	<RSCANn_base> + 0460 _H	RSCANn global
	グローバル TX 割り込みステータスレジスタ 1	RSCANnGTINTSTS1	<RSCANn_base> + 0464 _H	RSCANn global
	グローバル FD コンフィグレーションレジスタ	RSCANnGFDCFG	<RSCANn_base> + 0474 _H	RSCANn global
受信ルール関連レジスタ				
RSCANn	受信ルールエントリ制御レジスタ	RSCANnGAFLECTR	<RSCANn_base> + 0098 _H	RSCANn global
	受信ルールコンフィグレーションレジスタ 0	RSCANnGAFLCFG0	<RSCANn_base> + 009C _H	RSCANn global
	受信ルールコンフィグレーションレジスタ 1	RSCANnGAFLCFG1	<RSCANn_base> + 00A0 _H	RSCANn global
	受信ルール ID レジスタ j	RSCANnGAFLIDj	<RSCANn_base> + 0500 _H + (10 _H × j)	RSCANn global
	受信ルールマスクレジスタ j	RSCANnGAFLMj	<RSCANn_base> + 0504 _H + (10 _H × j)	RSCANn global
	受信ルールポインタ 0 レジスタ j	RSCANnGAFLP0j	<RSCANn_base> + 0508 _H + (10 _H × j)	RSCANn global
	受信ルールポインタ 1 レジスタ j	RSCANnGAFLP1j	<RSCANn_base> + 050C _H + (10 _H × j)	RSCANn global
	受信バッファ関連レジスタ			
RSCANn	受信バッファナンバレジスタ	RSCANnRMNB	<RSCANn_base> + 00A4 _H	RSCANn global
	受信バッファ新データレジスタ y	RSCANnRMNDy	<RSCANn_base> + 00A8 _H + (04 _H × y)	RSCANn global
	受信バッファ ID レジスタ q	RSCANnRMIDq	<RSCANn_base> + 0600 _H + (10 _H × q)	RSCANn global
	受信バッファポインタレジスタ q	RSCANnRMPTRq	<RSCANn_base> + 0604 _H + (10 _H × q)	RSCANn global
	受信バッファデータフィールド 0 レジスタ q	RSCANnRMDf0q	<RSCANn_base> + 0608 _H + (10 _H × q)	RSCANn global
	受信バッファデータフィールド 1 レジスタ q	RSCANnRMDf1q	<RSCANn_base> + 060C _H + (10 _H × q)	RSCANn global
受信 FIFO バッファ関連レジスタ				
RSCANn	受信 FIFO バッファコンフィグレーション/制御レジスタ x	RSCANnRFCCx	<RSCANn_base> + 00B8 _H + (04 _H × x)	RSCANn global
	受信 FIFO バッファステータスレジスタ x	RSCANnRFSTx	<RSCANn_base> + 00D8 _H + (04 _H × x)	RSCANn global
	受信 FIFO バッファポインタ制御レジスタ x	RSCANnRFPCTRx	<RSCANn_base> + 00F8 _H + (04 _H × x)	RSCANn global
	受信 FIFO バッファアクセス ID レジスタ x	RSCANnRFIDx	<RSCANn_base> + 0E00 _H + (10 _H × x)	RSCANn global
	受信 FIFO バッファアクセスポインタレジスタ x	RSCANnRFPTRx	<RSCANn_base> + 0E04 _H + (10 _H × x)	RSCANn global
	受信 FIFO バッファアクセスデータフィールド 0 レジスタ x	RSCANnRFDf0x	<RSCANn_base> + 0E08 _H + (10 _H × x)	RSCANn global
	受信 FIFO バッファアクセスデータフィールド 1 レジスタ x	RSCANnRFDf1x	<RSCANn_base> + 0E0C _H + (10 _H × x)	RSCANn global

表 21.13 レジスタ一覧 (2/3)

モジュール名	レジスタ名	略号	アドレス	ガードグループ
送受信 FIFO バッファ関連レジスタ				
RSCANn	送受信 FIFO バッファコンフィグレーション/制御レジスタ k	RSCANnCFCCk	<RSCANn_base> + 0118 _H + (04 _H × k)	RSCANn global
	送受信 FIFO バッファステータスレジスタ k	RSCANnCFSTSk	<RSCANn_base> + 0178 _H + (04 _H × k)	RSCANn global
	送受信 FIFO バッファポインタ制御レジスタ k	RSCANnCFPCTRk	<RSCANn_base> + 01D8 _H + (04 _H × k)	RSCANn global
	送受信 FIFO バッファアクセス ID レジスタ k	RSCANnCFIDk	<RSCANn_base> + 0E80 _H + (10 _H × k)	RSCANn global
	送受信 FIFO バッファアクセスポインタレジスタ k	RSCANnCFPTRk	<RSCANn_base> + 0E84 _H + (10 _H × k)	RSCANn global
	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ k	RSCANnCFDF0k	<RSCANn_base> + 0E88 _H + (10 _H × k)	RSCANn global
	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ k	RSCANnCFDF1k	<RSCANn_base> + 0E8C _H + (10 _H × k)	RSCANn global
FIFO ステータス関連レジスタ				
RSCANn	FIFO エンプティステータスレジスタ	RSCANnFESTS	<RSCANn_base> + 0238 _H	RSCANn global
	FIFO フルステータスレジスタ	RSCANnFFSTS	<RSCANn_base> + 023C _H	RSCANn global
	FIFO メッセージロスステータスレジスタ	RSCANnFMSTS	<RSCANn_base> + 0240 _H	RSCANn global
	受信 FIFO バッファ割り込みフラグステータスレジスタ	RSCANnRFISTS	<RSCANn_base> + 0244 _H	RSCANn global
	送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ	RSCANnCFRISTS	<RSCANn_base> + 0248 _H	RSCANn global
	送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ	RSCANnCFITISTS	<RSCANn_base> + 024C _H	RSCANn global
送信バッファ関連レジスタ				
RSCANn	送信バッファ制御レジスタ p	RSCANnTMCp	<RSCANn_base> + 0250 _H + (01 _H × p)	RSCANn global
	送信バッファステータスレジスタ p	RSCANnTMSTSp	<RSCANn_base> + 02D0 _H + (01 _H × p)	RSCANn global
	送信バッファ ID レジスタ p	RSCANnTMIDp	<RSCANn_base> + 1000 _H + (10 _H × p)	RSCANn global
	送信バッファポインタレジスタ p	RSCANnTMPTRp	<RSCANn_base> + 1004 _H + (10 _H × p)	RSCANn global
	送信バッファデータフィールド 0 レジスタ p	RSCANnTMDF0p	<RSCANn_base> + 1008 _H + (10 _H × p)	RSCANn global
	送信バッファデータフィールド 1 レジスタ p	RSCANnTMDF1p	<RSCANn_base> + 100C _H + (10 _H × p)	RSCANn global
	送信バッファ割り込みイネーブルコンフィグレーションレジスタ y	RSCANnTMIECy	<RSCANn_base> + 0390 _H + (04 _H × y)	RSCANn global
送信バッファステータス関連レジスタ				
RSCANn	送信バッファ送信要求ステータスレジスタ y	RSCANnTMTRSTSy	<RSCANn_base> + 0350 _H + (04 _H × y)	RSCANn global
	送信バッファ送信アボート要求ステータスレジスタ y	RSCANnTMTARSTSy	<RSCANn_base> + 0360 _H + (04 _H × y)	RSCANn global
	送信バッファ送信完了ステータスレジスタ y	RSCANnTMTCASTSy	<RSCANn_base> + 0370 _H + (04 _H × y)	RSCANn global
	送信バッファ送信アボートステータスレジスタ y	RSCANnTMTASTSy	<RSCANn_base> + 0380 _H + (04 _H × y)	RSCANn global
送信キュー関連レジスタ				
RSCANn	送信キューコンフィグレーション/制御レジスタ m	RSCANnTXQCCm	<RSCANn_base> + 03A0 _H + (04 _H × m)	RSCANn Chm
	送信キューステータスレジスタ m	RSCANnTXQSTSm	<RSCANn_base> + 03C0 _H + (04 _H × m)	RSCANn Chm
	送信キューポインタ制御レジスタ m	RSCANnTXQPCTRM	<RSCANn_base> + 03E0 _H + (04 _H × m)	RSCANn Chm
送信履歴関連レジスタ				
RSCANn	送信履歴コンフィグレーション/制御レジスタ m	RSCANnTHLCCm	<RSCANn_base> + 0400 _H + (04 _H × m)	RSCANn Chm
	送信履歴ステータスレジスタ m	RSCANnTHLSTSm	<RSCANn_base> + 0420 _H + (04 _H × m)	RSCANn Chm
	送信履歴ポインタ制御レジスタ m	RSCANnTHLPCTRM	<RSCANn_base> + 0440 _H + (04 _H × m)	RSCANn Chm
	送信履歴アクセスレジスタ m	RSCANnTHLACCm	<RSCANn_base> + 1800 _H + (04 _H × m)	RSCANn Chm
テスト関連レジスタ				
RSCANn	グローバルテストコンフィグレーションレジスタ	RSCANnGTSTCFG	<RSCANn_base> + 0468 _H	RSCANn global
	グローバルテスト制御レジスタ	RSCANnGTSTCTR	<RSCANn_base> + 046C _H	RSCANn global

表 21.13 レジスタ一覧 (3/3)

モジュール名	レジスタ名	略号	アドレス	ガードグループ
RSCANn	グローバルロックキーレジスタ	RSCANnGLOCKK	<RSCANn_base> + 047C _H	RSCANn global
	RAM テストページアクセスレジスタ r	RSCANnRPGACCr	<RSCANn_base> + 1900 _H + (04 _H × r)	RSCANn global

備考 ガードグループの詳細は、「第33章 ファンクショナルセーフティ」を参照してください。

表 21.14 各チャネルに割り当てられる送信バッファ p

	CANm
送信バッファ p	送信バッファ 16 × m + 0
	送信バッファ 16 × m + 1
	送信バッファ 16 × m + 2
	送信バッファ 16 × m + 3
	送信バッファ 16 × m + 4
	送信バッファ 16 × m + 5
	送信バッファ 16 × m + 6
	送信バッファ 16 × m + 7
	送信バッファ 16 × m + 8
	送信バッファ 16 × m + 9
	送信バッファ 16 × m + 10
	送信バッファ 16 × m + 11
	送信バッファ 16 × m + 12
	送信バッファ 16 × m + 13
	送信バッファ 16 × m + 14
送信バッファ 16 × m + 15	

表 21.15 各チャネルに割り当てられる送受信 FIFO バッファ k

	CANm
送受信 FIFO バッファ k	送受信 FIFO バッファ 3 × m + 0
	送受信 FIFO バッファ 3 × m + 1
	送受信 FIFO バッファ 3 × m + 2

表 21.16 CFTML[3:0] ビットの設定値によって送受信 FIFO バッファにリンクされる送信バッファ p (1/2)

CFTML[3:0] ビットの設定値	送受信 FIFO バッファにリンクされる送信バッファ p
0000 _B	送信バッファ 16 × m + 0
0001 _B	送信バッファ 16 × m + 1
0010 _B	送信バッファ 16 × m + 2
0011 _B	送信バッファ 16 × m + 3
0100 _B	送信バッファ 16 × m + 4
0101 _B	送信バッファ 16 × m + 5
0110 _B	送信バッファ 16 × m + 6
0111 _B	送信バッファ 16 × m + 7
1000 _B	送信バッファ 16 × m + 8
1001 _B	送信バッファ 16 × m + 9
1010 _B	送信バッファ 16 × m + 10

表 21.16 CFTML[3:0] ビットの設定値によって送受信 FIFO バッファにリンクされる送信バッファ p (2/2)

CFTML[3:0] ビットの設定値	送受信 FIFO バッファにリンクされる送信バッファ p
1011 _B	送信バッファ 16 × m + 11
1100 _B	送信バッファ 16 × m + 12
1101 _B	送信バッファ 16 × m + 13
1110 _B	送信バッファ 16 × m + 14
1111 _B	送信バッファ 16 × m + 15

表 21.17 各チャネルの送信キューに割り当てられる送信バッファ p

TXQDC [3:0] ビットの設定値	送信キューに割り当てられる送信バッファ p
0000 _B	設定しないでください。
0001 _B	設定しないでください。
0010 _B	送信バッファ 16 × m + 15 ~ 16 × m + 13
0011 _B	送信バッファ 16 × m + 15 ~ 16 × m + 12
0100 _B	送信バッファ 16 × m + 15 ~ 16 × m + 11
0101 _B	送信バッファ 16 × m + 15 ~ 16 × m + 10
0110 _B	送信バッファ 16 × m + 15 ~ 16 × m + 9
0111 _B	送信バッファ 16 × m + 15 ~ 16 × m + 8
1000 _B	送信バッファ 16 × m + 15 ~ 16 × m + 7
1001 _B	送信バッファ 16 × m + 15 ~ 16 × m + 6
1010 _B	送信バッファ 16 × m + 15 ~ 16 × m + 5
1011 _B	送信バッファ 16 × m + 15 ~ 16 × m + 4
1100 _B	送信バッファ 16 × m + 15 ~ 16 × m + 3
1101 _B	送信バッファ 16 × m + 15 ~ 16 × m + 2
1110 _B	送信バッファ 16 × m + 15 ~ 16 × m + 1
1111 _B	送信バッファ 16 × m + 15 ~ 16 × m + 0

21.4.2 チャネル関連レジスタの詳細

21.4.2.1 RSCANnCmCFG — チャネルコンフィグレーションレジスタ (m = 0 ~ 5)

アクセス RSCANnCmCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnCmCFGL、RSCANnCmCFGH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnCmCFGLL、RSCANnCmCFGLH、RSCANnCmCFGHL、RSCANnCmCFGHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnCmCFG: <RSCANn_base> + 0000_H + (10_H × m)

RSCANnCmCFGL: <RSCANn_base> + 0000_H + (10_H × m)、
RSCANnCmCFGH: <RSCANn_base> + 0002_H + (10_H × m)

RSCANnCmCFGLL: <RSCANn_base> + 0000_H + (10_H × m)、
RSCANnCmCFGLH: <RSCANn_base> + 0001_H + (10_H × m)、
RSCANnCmCFGHL: <RSCANn_base> + 0002_H + (10_H × m)、
RSCANnCmCFGHH: <RSCANn_base> + 0003_H + (10_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	SJW [1:0]		—	TSEG2 [2:0]			TSEG1 [3:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	BRP [9:0]									—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

表 21.18 RSCANnCmCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25、24	SJW [1:0]	再同期ジャンプ幅制御ビット b ²⁵ b ²⁴ 0 0: 1 Tq 0 1: 2 Tq 1 0: 3 Tq 1 1: 4 Tq
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ~ 20	TSEG2 [2:0]	タイムセグメント 2 制御ビット b ²² b ²¹ b ²⁰ 0 0 0: 設定しないでください 0 0 1: 2 Tq 0 1 0: 3 Tq 0 1 1: 4 Tq 1 0 0: 5 Tq 1 0 1: 6 Tq 1 1 0: 7 Tq 1 1 1: 8 Tq

表 21.18 RSCANnCmCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
19 ~ 16	TSEG1 [3:0]	タイムセグメント 1 制御ビット $b_{19} b_{18} b_{17} b_{16}$ 0 0 0 0 : 設定しないでください 0 0 0 1 : 設定しないでください 0 0 1 0 : 設定しないでください 0 0 1 1 : 4 Tq 0 1 0 0 : 5 Tq 0 1 0 1 : 6 Tq 0 1 1 0 : 7 Tq 0 1 1 1 : 8 Tq 1 0 0 0 : 9 Tq 1 0 0 1 : 10 Tq 1 0 1 0 : 11 Tq 1 0 1 1 : 12 Tq 1 1 0 0 : 13 Tq 1 1 0 1 : 14 Tq 1 1 1 0 : 15 Tq 1 1 1 1 : 16 Tq
15 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9 ~ 0	BRP [9:0]	プリスケーラ分周比設定ビット 設定値を P (0 ~ 1023) とすると、ポーレートプリスケーラは fCAN を P+1 で分周します。

RSCANnCmCFG レジスタは、チャンネルリセットモードまたはチャンネル待機モードで書き換えてください。また、チャンネルリセットモードで本レジスタを設定した後で、チャンネル通信モードまたはチャンネル待機モードに遷移してください。ビットタイミングパラメータの説明と設定については、「**21.11.1 初期設定**」を参照してください。

SJW[1:0] ビット

再同期ジャンプ幅 (Resynchronization jump width) を Tq 値で指定します。1 ~ 4Tq の値が設定可能です。TSEG2 ビット以下の値を設定してください。

TSEG2[2:0] ビット

フェーズセグメント 2 (PHASE_SEG2) の長さを Tq 値で指定します。

2 ~ 8Tq の値が設定可能です。

TSEG1 ビットより小さい値を設定してください。

TSEG1[3:0] ビット

プロパゲーションセグメント (PROP_SEG) とフェーズセグメント 1 (PHASE_SEG1) の合計長を Tq 値で指定します。

4 ~ 16Tq の値が設定可能です。

BRP[9:0] ビット

CAN クロック (fCAN) をポーレートプリスケーラ ((BRP[9:0]) + 1) で分周したクロックが CANmTq クロック (fCANTQm) になり、CANmTq クロックの 1 クロックが 1 Time Quantum (Tq) になります。

21.4.2.2 RSCANnCmCTR — チャネル制御レジスタ (m = 0 ~ 5)

アクセス RSCANnCmCTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnCmCTRL、RSCANnCmCTRH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnCmCTRLH、RSCANnCmCTRLH、RSCANnCmCTRHL、RSCANnCmCTRHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnCmCTR: <RSCANn_base> + 0004_H + (10_H × m)
RSCANnCmCTRL: <RSCANn_base> + 0004_H + (10_H × m)、
RSCANnCmCTRH: <RSCANn_base> + 0006_H + (10_H × m)
RSCANnCmCTRLH: <RSCANn_base> + 0004_H + (10_H × m)、
RSCANnCmCTRLH: <RSCANn_base> + 0005_H + (10_H × m)、
RSCANnCmCTRHL: <RSCANn_base> + 0006_H + (10_H × m)、
RSCANnCmCTRHH: <RSCANn_base> + 0007_H + (10_H × m)

リセット後の値 0000 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	CRCT	—	—	—	CTMS[1:0]	CTME	ERRD	BOM[1:0]	—	—	—	—	—	—	TAIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 21.19 RSCANnCmCTR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30	CRCT	CRC エラーテスト許可 0: 受信 ID フィールドの先頭ビットを反転しない 1: 受信 ID フィールドの先頭ビットを反転する
29 ~ 27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26、25	CTMS[1:0]	通信テストモード選択ビット b26 b25 0 0: 標準テストモード 0 1: リッスンオンリモード 1 0: セルフテストモード 0 (外部ループバックモード) 1 1: セルフテストモード 1 (内部ループバックモード)
24	CTME	通信テストモード許可ビット 0: 通信テストモード禁止 1: 通信テストモード許可
23	ERRD	エラー表示モード選択ビット 0: RSCANnCmERFL レジスタのビット 14 ~ 8 がすべてクリアされた後、最初に発生したエラー情報のみのエラーフラグ表示 1: 発生したすべてのエラー情報のエラーフラグを表示
22、21	BOM[1:0]	バスオフ復帰モード選択ビット b22 b21 0 0: ISO11898-1 仕様準拠 0 1: バスオフ開始でチャネル待機モードへ遷移 1 0: バスオフ終了でチャネル待機モードへ遷移 1 1: バスオフ中にプログラムによる要求でチャネル待機モードへ遷移
20 ~ 17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 21.19 RSCANnCMCTR レジスタの内容 (2/2)

ビット位置	ビット名	機能
16	TAIE	送信アボート割り込み許可ビット 0: 送信アボート割り込み禁止 1: 送信アボート割り込み許可
15	ALIE	アービトレーションロスト割り込み許可ビット 0: アービトレーションロスト割り込み禁止 1: アービトレーションロスト割り込み許可
14	BLIE	バスロック割り込み許可ビット 0: バスロック割り込み禁止 1: バスロック割り込み許可
13	OLIE	オーバーロードフレーム送信割り込み許可ビット 0: オーバーロードフレーム送信割り込み禁止 1: オーバーロードフレーム送信割り込み許可
12	BORIE	バスオフ復帰割り込み許可ビット 0: バスオフ復帰割り込み禁止 1: バスオフ復帰割り込み許可
11	BOEIE	バスオフ開始割り込み許可ビット 0: バスオフ開始割り込み禁止 1: バスオフ開始割り込み許可
10	EPIE	エラーパッシブ割り込み許可ビット 0: エラーパッシブ割り込み禁止 1: エラーパッシブ割り込み許可
9	EWIE	エラーワーニング割り込み許可ビット 0: エラーワーニング割り込み禁止 1: エラーワーニング割り込み許可
8	BEIE	バスエラー割り込み許可ビット 0: バスエラー割り込み禁止 1: バスエラー割り込み許可
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RTBO	バスオフ強制復帰ビット RTBO ビットを "1" にすると、バスオフから強制的に復帰します。常に "0" が読めます。
2	CSLPR	チャンネルストップモードビット 0: チャンネルストップモードではない 1: チャンネルストップモード
1、0	CHMDC[1:0]	モード選択ビット b1 b0 0 0: チャンネル通信モード 0 1: チャンネルリセットモード 1 0: チャンネル待機モード 1 1: 設定しないでください

CRCT ビット

RS-CANFD モジュール内部の CRC 生成回路をテストするビットです。"1" にするとメッセージの受信時に ID フィールドの先頭ビットを反転します。このビット反転により、CRC 演算結果は受信フレームの正常な CRC 値と一致しなくなるため、CRC エラーが検出されず (RSCANnCMERFL レジスタの CERR ビットが "1")。この機能を使用する場合は、以下の点に注意してください。

- RSCANnCMCTR レジスタの CTME ビットが "1" (通信テストモード許可) の場合に使用できます。
- 他の CAN ノードと通信はできません。チャンネル間通信テスト (RSCANnGTSTCFG レジスタの CmICBCE ビットが "1") で使用してください。

- IDフィールドのビット反転によりビットスタッフィングルール違反が起こる可能性があります。その場合は、CRC エラーではなくスタッフエラーが検出されます。

このビットはチャンネル待機モードのみで書き換えてください。チャンネルリセットモード時は、“0”になります。

CTMS[1:0] ビット

通信テストモードを選択するビットです。このビットはチャンネル待機モードのみで書き換えてください。チャンネルリセットモード時は、“0”になります。

CTME ビット

“1”にすると通信テストモードは許可になります。このビットはチャンネル待機モードで書き換えてください。チャンネルリセットモード時は、“0”になります。

ERRD ビット

RSCANn CmERFL レジスタのビット 14～8 の表示モードを制御します。

“0”にすると、RSCANn CmERFL レジスタのビット 14～8 のすべてのフラグが“0”の状態エラーが検出された場合に、最初に発生したエラーのフラグのみが“1”になります。最初のエラーで複数のエラーが発生した場合は、検出されたエラーのフラグはすべて“1”になります。

“1”にすると発生順に関係なく、起こったエラーのフラグはすべて“1”になります。

このビットはチャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。

BOM[1:0] ビット

RS-CANFD モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが“00_B”の場合、バスオフ状態からエラーアクティブ状態への復帰はCAN仕様に準拠します。すなわち、RS-CANFD モジュールは、11 ビットの連続するレセシブを128 回検出後、再びCAN 通信（エラーアクティブ状態）に入ります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生します。128 回検出する前に CHMDC[1:0] ビットを“10_B”（チャンネル待機モード）にしても128 回検出するまでチャンネル待機モードには遷移しません。

BOM[1:0] ビットが“01_B”の場合、RS-CANFD モジュールがバスオフ状態に達すると、RSCANn CmCTR レジスタ（m=0~5）の CHMDC[1:0] ビットが“10_B”になり、チャンネル待機モードへ遷移します。バスオフ復帰割り込み要求は発生せず、RSCANn CmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが“00_H”になります。

BOM[1:0] ビットが“10_B”の場合、RS-CANFD モジュールがバスオフ状態に達すると CHMDC[1:0] ビットが“10_B”になり、バスオフ状態から復帰した（11 ビットの連続するレセシブを128 回検出）後に、チャンネル待機モードに遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生し、TEC[7:0] ビットと REC[7:0] ビットが“00_H”になります。

BOM[1:0] ビットが“11_B”の場合、RS-CANFD モジュールがバスオフ状態のときに CHMDC[1:0] ビットを“10_B”にすると、チャンネル待機モードになります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、TEC[7:0] ビットと REC[7:0] ビットは“00_H”になります。しかし、CHMDC[1:0] ビットを“10_B”にする前に、11 ビットの連続する

レセシブを 128 回検出して、バスオフ状態からエラーアクティブ状態に復帰した場合は、バスオフ復帰割り込み要求が発生します。

RS-CANFD モジュールがチャンネル待機モードに遷移すると同時 (BOM[1:0] ビットが “01_B” のとき : バスオフ開始時、または BOM[1:0] ビットが “10_B” のとき : バスオフ終了時) に、プログラムによる CHMDC[1:0] ビットへの書き込みが発生した場合は、プログラムの書き込みが優先されます。BOM[1:0] ビットはチャンネルリセットモードでのみ書き換えてください。

TAIE ビット

TAIE ビットを “1” に設定し、送信バッファの送信アボートが完了した場合、割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

ALIE ビット

ALIE ビットを “1” に設定し、RSCANn CmERFL レジスタの ALF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BLIE ビット

BLIE ビットを “1” に設定し、RSCANn CmERFL レジスタの BLF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

OLIE ビット

OLIE ビットを “1” に設定し、RSCANn CmERFL レジスタの OVLF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BORIE ビット

BORIE ビットを “1” に設定し、RSCANn CmERFL レジスタの BORF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BOEIE ビット

BOEIE ビットを “1” に設定し、RSCANn CmERFL レジスタの BOEF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EPIE ビット

EPIE ビットを “1” に設定し、RSCANn CmERFL レジスタの EPF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EWIE ビット

EWIE ビットを “1” に設定し、RSCANn CmERFL レジスタの EWF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BEIE ビット

BEIE ビットを“1”に設定し、RSCANn CmERFL レジスタの BEF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

RTBO ビット

バスオフ状態時“1”にすると、強制的にバスオフ状態からエラーアクティブ状態へと変化します。このビットは自動的に“0”になります。“1”にすると、RSCANn CmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが“00_H”になり、RSCANn CmSTS レジスタの BOSTS フラグは“0”（バスオフ状態ではない）になります。他のレジスタは変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。RSCANn CmCTR レジスタの BOM[1:0] ビットが“00_B”（ISO11898-1 仕様準拠）のときにのみ使用してください。

RTBO ビットを“1”にしてからエラーアクティブ状態に遷移するまでに、最大 1 CAN ビットタイムの遅延が発生します。このビットはチャンネル通信モードで“1”を書いてください。

CSLPR ビット

“1”にすると、チャンネルストップモードになります。

“0”にすると、チャンネルストップモードは解除されます。

このビットは、チャンネル通信モードまたはチャンネル待機モードでは書き換えしないでください。

CHMDC[1:0] ビット

チャンネルのモード（チャンネル通信モード、チャンネルリセットモード、チャンネル待機モード）を選択するビットです。詳細は、「**21.7.2 チャンネルモード**」を参照してください。チャンネルストップモードへは、チャンネルリセットモード時に CSLPR ビットを“1”にすることで遷移します。CHMDC[1:0] ビットを“11_B”には設定しないでください。BOM[1:0] ビットの設定によってチャンネル待機モードへ遷移した場合は、CHMDC[1:0] ビットは自動的に“10_B”になります。

21.4.2.3 RSCANnCmSTS — チャネルステータスレジスタ (m = 0 ~ 5)

アクセス RSCANnCmSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCANnCmSTSL、RSCANnCmSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnCmSTSLL、RSCANnCmSTSHL、RSCANnCmSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnCmSTS: <RSCANn_base> + 0008_H + (10_H × m)

RSCANnCmSTSL: <RSCANn_base> + 0008_H + (10_H × m)、
RSCANnCmSTSH: <RSCANn_base> + 000A_H + (10_H × m)

RSCANnCmSTSLL: <RSCANn_base> + 0008_H + (10_H × m)、
RSCANnCmSTSHL: <RSCANn_base> + 000A_H + (10_H × m)、
RSCANnCmSTSHH: <RSCANn_base> + 000B_H + (10_H × m)

リセット後の値 0000 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEC [7:0]								REC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	COMSTS	RECSTS	TRMSTS	BOSTS	EPSTS	CSLPSTS	CHLTSTS	CRSTSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.20 RSCANnCmSTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	TEC [7:0]	送信エラーカウンタ (TEC) の値が読めます。
23 ~ 16	REC [7:0]	受信エラーカウンタ (REC) の値が読めます。
15 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。
7	COMSTS	通信ステータスフラグ 0: 通信可能な状態ではない 1: 通信可能な状態
6	RECSTS	受信ステータスフラグ 0: バスアイドルまたは送信中またはバスオフ状態 1: 受信中
5	TRMSTS	送信ステータスフラグ 0: バスアイドルまたは受信 1: 送信中またはバスオフ状態
4	BOSTS	バスオフステータスフラグ 0: バスオフ状態ではない 1: バスオフ状態
3	EPSTS	エラーパッシブステータスフラグ 0: エラーパッシブ状態ではない 1: エラーパッシブ状態
2	CSLPSTS	チャネルストップステータスフラグ 0: チャネルストップモードではない 1: チャネルストップモード
1	CHLTSTS	チャネル待機ステータスフラグ 0: チャネル待機モードではない 1: チャネル待機モード
0	CRSTSTS	チャネルリセットステータスフラグ 0: チャネルリセットモードではない 1: チャネルリセットモード

TEC[7:0] ビット

送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

チャンネルリセットモード時は、“0”になります。

REC[7:0] ビット

受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

チャンネルリセットモード時は、“0”になります。

COMSTS フラグ

通信準備が整ったことを示すビットです。

チャンネルリセットモードまたはチャンネル待機モードからチャンネル通信モードに移行し、11ビットの連続するレセシブを検出した後に、“1”になります。チャンネルリセットモードまたはチャンネル待機モード時は、“0”になります。

RECSTS フラグ

受信を開始すると“1”になります。バスアイドル状態になるか、または送信を開始すると“0”になります。

TRMSTS フラグ

送信を開始すると“1”になります。バスオフ状態では“1”のままです。バスアイドル状態になるか、または受信を開始すると“0”になります。

BOSTS フラグ

バスオフ状態 (TEC[7:0] ビット > 255) になると“1”になります。バスオフ状態以外になると“0”になります。

EPSTS フラグ

エラーパッシブ状態 ((128 ≤ TEC[7:0] ビット ≤ 255) または (128 ≤ REC[7:0] ビット)) になると、“1”になります。エラーパッシブ状態以外になるか、またはチャンネルリセットモードになると、“0”になります。

CSLPSTS フラグ

チャンネルストップモードに遷移すると、“1”になります。チャンネルストップモードから復帰すると“0”になります。

CHLTSTS フラグ

チャンネル待機モードに遷移すると“1”になります。チャンネル待機モード以外のモードに遷移すると“0”になります。

CRSTSTS フラグ

チャンネルリセットモードに遷移すると“1”になります。チャンネル通信モードまたはチャンネル待機モードに遷移すると“0”になります。チャンネルリセットモードからチャンネルストップモードに遷移しても、“1”のままです。

21.4.2.4 RSCANnCmERFL — チャネルエラーフラグレジスタ (m = 0 ~ 5)

アクセス RSCANnCmERFL レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnCmERFLL レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnCmERFLH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnCmERFLLL、RSCANnCmERFLHL レジスタは、8 ビット単位でリード/ライト可能です。
RSCANnCmERFLHL、RSCANnCmERFLHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnCmERFL: <RSCANn_base> + 000C_H + (10_H × m)

RSCANnCmERFLL: <RSCANn_base> + 000C_H + (10_H × m)、
RSCANnCmERFLH: <RSCANn_base> + 000E_H + (10_H × m)

RSCANnCmERFLLL: <RSCANn_base> + 000C_H + (10_H × m)、
RSCANnCmERFLHL: <RSCANn_base> + 000D_H + (10_H × m)、
RSCANnCmERFLHL: <RSCANn_base> + 000E_H + (10_H × m)、
RSCANnCmERFLHH: <RSCANn_base> + 000F_H + (10_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CRCREG[14:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVL	BORF	BOEF	EPF	EW	BEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1

注1. このフラグビットへの書き込みは、ステータスクリアする ("0" にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.21 RSCANnCmERFL レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30 ~ 16	CRCREG[14:0]	CRC 演算データ 送信メッセージまたは受信メッセージを基に計算した CRC 値を表示します。
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14	ADERR	ACK デリミタエラーフラグ 0: ACK デリミタエラー未検出 1: ACK デリミタエラー検出
13	B0ERR	ドミナントビットエラーフラグ 0: ドミナントビットエラー未検出 1: ドミナントビットエラー検出
12	B1ERR	レセシブビットエラーフラグ 0: レセシブビットエラー未検出 1: レセシブビットエラー検出
11	CERR	CRC エラーフラグ 0: CRC エラー未検出 1: CRC エラー検出
10	AERR	ACK エラーフラグ 0: ACK エラー未検出 1: ACK エラー検出
9	FERR	フォームエラーフラグ 0: フォームエラー未検出 1: フォームエラー検出

表 21.21 RSCANnCmERFL レジスタの内容 (2/2)

ビット位置	ビット名	機能
8	SERR	スタッフエラーフラグ 0: スタッフエラー未検出 1: スタッフエラー検出
7	ALF	アービトレーションロストフラグ 0: アービトレーションロスト未検出 1: アービトレーションロスト検出
6	BLF	バスロックフラグ 0: チャンネルバスロック未検出 1: チャンネルバスロック検出
5	OVLf	オーバロードフラグ 0: オーバロード未検出 1: オーバロード検出
4	BORF	バスオフ復帰フラグ 0: バスオフ復帰未検出 1: バスオフ復帰検出
3	BOEF	バスオフ開始フラグ 0: バスオフ開始未検出 1: バスオフ開始検出
2	EPF	エラーパッシブフラグ 0: エラーパッシブ未検出 1: エラーパッシブ検出
1	EWf	エラーワーニングフラグ 0: エラーワーニング未検出 1: エラーワーニング検出
0	BEF	バスエラーフラグ 0: チャンネルバスエラーは未検出 1: チャンネルバスエラー検出

各エラーの発生条件を確認するには、CAN仕様 (ISO11898-1) を参照してください。各フラグを“0”にする場合は、プログラムで“0”を書いてください。プログラムで“1”にできません。フラグが“1”になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのフラグは“1”になります。チャンネルリセットモード時、“0”になります。

RSCANnCmCTR レジスタのERRD ビットを“0”（最初に発生したエラー情報のみ表示）に設定し、RSCANnCmERFL レジスタのビット 14～8 に関するエラーが検出されると、ビット 14～8 のすべてのフラグが“0”の状態でもエラーが検出された場合に対応するフラグは“1”になります。

CRCREG[14:0] フラグ

RSCANnCmCTR レジスタのCTME ビットが“1”（通信テストモード許可）の場合、送信または受信メッセージを基に計算したCRC値が読めます。CTME ビットが“0”（通信テストモード禁止）の場合、常に“0”が読めます。

ADERR フラグ

送信中のACKデリミタでフォームエラーを検出すると、“1”になります。

B0ERR フラグ

ドミナントを送信したにも関わらずレセシブを検出すると“1”になります。

B1ERR フラグ

レセシブを送信したにも関わらずドミナントを検出すると“1”になります。

CERR フラグ

CRC エラーを検出すると“1”になります。

AERR フラグ

ACK エラーを検出すると“1”になります。

FERR フラグ

フォームエラーを検出すると“1”になります。

SERR フラグ

スタッフエラーを検出すると“1”になります。

ALF フラグ

アービトレーションロストを検出すると“1”になります。

BLF フラグ

チャンネル通信モード時、CAN バス上に 32 ビットの連続するドミナントを検出すると、“1”になります。“1”になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- BLF ビットを“1”から“0”にした後、レセシブビットを検出
- BLF ビットを“1”から“0”にした後、チャンネルリセットモードに遷移し、再度チャンネル通信モードに遷移

OVLV フラグ

受信または送信を行う場合に、オーバロードフレームの送信条件が検出されると“1”になります。

BORF フラグ

11 ビットの連続するレセシブを 128 回検出してバスオフ状態から復帰すると“1”になります。ただし、11 ビットの連続するレセシブを 128 回検出する前に、以下の方法でバスオフ状態から復帰した場合は“1”になりません。

- RSCANnCMCTR レジスタの CHMDC[1:0] ビットを“01_B” (チャンネルリセットモード) に設定した場合
- RSCANnCMCTR レジスタの RTBO ビットを“1” (バスオフからの強制復帰) に設定した場合
- RSCANnCMCTR レジスタの BOM[1:0] ビットを“01_B” (バスオフ開始でチャンネル待機モードへ遷移) に設定した場合
- BOM[1:0] ビットが“11_B” (バスオフ中にプログラムによる要求でチャンネル待機モードへ遷移) で、11 ビットの連続するレセシブを 128 回検出する前に、CHMDC[1:0] ビットを“10_B” (チャンネル待機モード) に設定した場合

BOEF フラグ

バスオフ状態 (TEC[7:0] ビット > 255) になると、“1” になります。RSCANn CmCTR レジスタ (m = 0 ~ 5) の BOM[1:0] ビットが “01_B” (バスオフ開始でチャンネル待機モードへ遷移) で、バスオフ状態になった場合も、“1” になります。

EPF フラグ

エラーパッシブ状態 (REC[7:0] または TEC[7:0] ビット > 127) になると、“1” になります。REC[7:0] または TEC[7:0] ビットが最初に 127 を超えたときのみ “1” になります。したがって、REC[7:0] または TEC[7:0] ビットが 127 を超えたままで、プログラムで “0” を書いた場合、一度 REC [7:0] と TEC[7:0] ビットの両方が 127 以下になり、再び REC[7:0] または TEC[7:0] ビットが 127 を超えるまでは “1” にはなりません。

EWf フラグ

REC[7:0] または TEC[7:0] ビットの値が 95 を超えると、“1” になります。REC[7:0] または TEC[7:0] ビットが最初に 95 を超えたときのみ “1” になります。したがって、REC[7:0] または TEC [7:0] ビットが 95 を超えたままで、プログラムで “0” を書いた場合、一度 REC [7:0] と TEC[7:0] ビットの両方が 95 以下になり、再び REC[7:0] または TEC[7:0] ビットが 95 を超えるまでは “1” にはなりません。

BEF フラグ

RSCANn CmERFL レジスタの ADERR、BOERR、BIERR、CERR、AERR、FERR、SERR フラグのいずれか 1 つでも “1” になると、BEF フラグは “1” になります。

備 考

本レジスタのフラグを “0” にする場合は、対象フラグには “0” を、それ以外のフラグには “1” を、ストア命令を使用して書いてください。

21.4.3 グローバル関連レジスタの詳細

21.4.3.1 RSCANnGCFG — グローバルコンフィグレーションレジスタ

アクセス RSCANnGCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnGCFGL、RSCANnGCFGH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnGCFGLL、RSCANnGCFGLH、RSCANnGCFGHL、RSCANnGCFGHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGCFG: <RSCANn_base> + 0084_H
RSCANnGCFGL: <RSCANn_base> + 0084_H,
RSCANnGCFGH: <RSCANn_base> + 0086_H
RSCANnGCFGLL: <RSCANn_base> + 0084_H,
RSCANnGCFGLH: <RSCANn_base> + 0085_H,
RSCANnGCFGHL: <RSCANn_base> + 0086_H,
RSCANnGCFGHH: <RSCANn_base> + 0087_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ITRCP [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSBTCS[2:0]		TSSS	TSP[3:0]			TMTSC E	EEFE	—	DCS	MME	DRE	DCE	TPRI		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 21.22 RSCANnGCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 16	ITRCP [15:0]	インターバルタイムプリスケアラ設定ビット 設定値を M とすると pclk を M 分周します。 インターバルタイムを使用する場合、“0000 _H ” を設定しないでください。
15 ~ 13	TSBTCS[2:0]	タイムスタンプクロック源選択ビット b15 b14 b13 0 0 0: チャンネル 0 ビットタイムクロック 0 0 1: チャンネル 1 ビットタイムクロック 0 1 0: チャンネル 2 ビットタイムクロック 0 1 1: チャンネル 3 ビットタイムクロック 1 0 0: チャンネル 4 ビットタイムクロック 1 0 1: チャンネル 5 ビットタイムクロック 1 1 0: 設定しないでください 1 1 1: 設定しないでください
12	TSSS	タイムスタンプソース選択 0: pclk/2 ^{注1} 1: ビットタイムクロック

表 21.22 RSCANnGCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
11 ~ 8	TSP[3:0]	タイムスタンプクロック源分周ビット b11 b10 b9 b8 0 0 0 0 : 分周なし 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 0 1 0 0 : 16分周 0 1 0 1 : 32分周 0 1 1 0 : 64分周 0 1 1 1 : 128分周 1 0 0 0 : 256分周 1 0 0 1 : 512分周 1 0 1 0 : 1024分周 1 0 1 1 : 2048分周 1 1 0 0 : 4096分周 1 1 0 1 : 8192分周 1 1 1 0 : 16384分周 1 1 1 1 : 32768分周
7	TMTSCE	送信タイムスタンプ許可ビット 0 : 送信タイムスタンプ禁止 1 : 送信タイムスタンプ許可
6	EEFE	ECC エラーフラグ許可ビット 0 : ECC エラーフラグ禁止 1 : ECC エラーフラグ許可
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	DCS	CAN クロック源選択ビット ^{注2} 0 : clk 1 : clk_xincan
3	MME	ミラー機能許可ビット 0 : ミラー機能禁止 1 : ミラー機能許可
2	DRE	DLC 置換許可ビット 0 : DLC 置換禁止 1 : DLC 置換許可
1	DCE	DLC チェック許可ビット 0 : DLC チェック禁止 1 : DLC チェック許可
0	TPRI	送信優先順位選択ビット 0 : ID 優先 1 : 送信バッファ番号優先

注 1. タイムスタンプのカウンタソースに pclk/2 を設定するときは、TSBTCS[2:0] を “000_B” にしてください。

注 2. CAN クロックの周波数の設定は、「表 21.8 RH850/F1K における転送レート・使用チャネル数での動作周波数範囲」を参照してください。

RSCANnGCFG レジスタはグローバルリセットモードのみで書き換えてください。

ITRCP[15:0] ビット

FIFO 用インターバルタイマのクロック源の分周値を設定します。詳細は「21.9.3.1 インターバル送信機能」を参照してください。

TSBTCS[2:0] ビット

TSSS ビットが“1”のとき、タイムスタンプカウンタのクロック源となるビットタイムクロックのチャンネルの選択ができます。

TSSS ビット

タイムスタンプカウンタのクロック源を選択します。

TSP[3:0] ビット

TSBTCS[2:0] ビット、TSSS ビットで選択したクロック源を TSP[3:0] ビットで分周したクロックがタイムスタンプカウンタのカウントソースになります。

TMTSCE ビット

“1” にすると、送信完了したメッセージのタイムスタンプを送信履歴バッファに格納できません。タイムスタンプは RSCANnTHLACCm レジスタの TMTS[15:0] ビットに格納されます。

EEFE ビット

“1” にすると、送信優先順位判定で ECC2 ビットエラーを検出したとき、RSCANnGERFL レジスタの EEFE ビットが “1” になります。このとき、ECC2 ビットエラーが検出されたメッセージの送信は行いません。

DCS ビット

“0” のとき、clk_c が CAN クロック (fCAN) のクロック源になります。

“1” のとき、clk_{xincan} が CAN クロック (fCAN) のクロック源になります。

CAN クロックの周波数の設定は、「表 21.8 RH850/F1K における転送レート・使用チャンネル数での動作周波数範囲」を参照してください。

MME ビット

“1” にすると、ミラー機能が使用できます。

DRE ビット

DRE ビットを “1” にすると、DLC フィルタを通過した場合、受信メッセージの DLC 値の代わりに、受信ルール of DLC 値がバッファに格納されます。この場合、受信ルール of DLC 値を超えるデータバイトには “00_H” が格納されます。

DCE ビットが “1” (DLC チェック許可) のときに、DLC 置換機能を使用できます。

DCE ビット

“1” にすると、DLC チェック機能が使用できます。RSCANnGAFLP0j レジスタの GAFLDLC[3:0] ビットを “0000_B” にしてから、RSCANnGCFG レジスタの DCE ビットを “0” にしてください。

TPRI ビット

TPRI ビットにより、送信優先順位を設定します。

“0” の場合、ID 優先となり送信優先順位は CAN バス アービトレーションルール (ISO11898-1 仕様) に準拠します。“1” の場合、送信バッファ番号優先となり送信に設定された一番小さい番号の送信バッファが優先されます。

送信キューを使用している場合は、“0” に設定してください。

21.4.3.2 RSCANnGCTR — グローバル制御レジスタ

アクセス RSCANnGCTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnGCTRL、RSCANnGCTRH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnGCTRLL、RSCANnGCTRLH、RSCANnGCTRHL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGCTR: <RSCANn_base> + 0088_H
RSCANnGCTRL: <RSCANn_base> + 0088_H,
RSCANnGCTRH: <RSCANn_base> + 008A_H
RSCANnGCTRLL: <RSCANn_base> + 0088_H,
RSCANnGCTRLH: <RSCANn_base> + 0089_H,
RSCANnGCTRHL: <RSCANn_base> + 008A_H

リセット後の値 0000 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 21.23 RSCANnGCTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	TSRST	タイムスタンプカウンタリセットビット TSRST ビットを“1”にすると、タイムスタンプカウンタをリセットします。読むと“0”が読み出されます。
15 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	THLEIE	送信履歴バッファオーバーフロー割り込み許可ビット 0 : 送信履歴バッファオーバーフロー割り込み禁止 1 : 送信履歴バッファオーバーフロー割り込み許可
9	MEIE	FIFO メッセージロス割り込み許可ビット 0 : FIFO メッセージロス割り込み禁止 1 : FIFO メッセージロス割り込み許可
8	DEIE	DLC エラー割り込み許可ビット 0 : DLC エラー割り込み禁止 1 : DLC エラー割り込み許可
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	GSLPR	グローバルストップモードビット 0 : グローバルストップモードではない 1 : グローバルストップモード
1、0	GMDC[1:0]	グローバルモード選択ビット b1 b0 0 0 : グローバル動作モード 0 1 : グローバルリセットモード 1 0 : グローバルテストモード 1 1 : 設定しないでください

TSRST ビット

タイムスタンプカウンタをリセットするために使用します。“1”にすると RSCANnGTSC レジスタが“0000_H”になります。

THLEIE ビット

THLEIE ビットを“1”に設定し、RSCANnGERFL レジスタの THLES フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

MEIE ビット

MEIE ビットを“1”に設定し、RSCANnGERFL レジスタの MES フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

DEIE ビット

DEIE ビットを“1”に設定し、RSCANnGERFL レジスタの DEF フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

GSLPR ビット

“1”にすると、グローバルストップモードになります。

“0”にすると、グローバルストップモードは解除されます。

このビットは、グローバル動作モードまたはグローバルテストモードでは書き換えないでください。

GMDC[1:0] ビット

RS-CANFD モジュール全体のモード（グローバル動作モード、グローバルリセットモード、グローバルテストモード）を選択するビットです。詳細は、「**21.7.1 グローバルモード**」を参照してください。グローバルストップモードへは、グローバルリセットモード時に GSLPR ビットを“1”にすることで遷移します。

21.4.3.3 RSCANnGSTS — グローバルステータスレジスタ

アクセス RSCANnGSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCANnGSTSL レジスタは、16 ビット単位でリードのみ可能です。
RSCANnGSTSLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnGSTS: <RSCANn_base> + 008C_H
RSCANnGSTSL: <RSCANn_base> + 008C_H
RSCANnGSTSLL: <RSCANn_base> + 008C_H

リセット後の値 0000 000D_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	GRAM NIT	GSLP STS	GHLT STS	GRST STS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.24 RSCANnGSTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。
3	GRAMINIT	CAN 用 RAM クリアステータスフラグ 0: CAN 用 RAM クリア完了 1: CAN 用 RAM クリア中
2	GSLPSTS	グローバルストップステータスフラグ 0: グローバルストップモードではない 1: グローバルストップモード
1	GHLTSTS	グローバルテストステータスフラグ 0: グローバルテストモードではない 1: グローバルテストモード
0	GRSTSTS	グローバルリセットステータスフラグ 0: グローバルリセットモードではない 1: グローバルリセットモード

GRAMINIT フラグ

CAN 用 RAM のクリア状態を示します。

MCU のリセット後、“1” になります。CAN 用 RAM クリアが完了すると“0” になります。

GSLPSTS フラグ

グローバルストップモードに遷移すると、“1” になります。グローバルストップモードから復帰すると“0” になります。

GHLTSTS フラグ

グローバルテストモードに遷移すると、“1” になります。グローバルテストモード以外のモードに遷移すると“0” になります。

GRSTSTS フラグ

グローバルリセットモードに遷移すると“1”になります。

グローバルリセットモード以外のモードに遷移すると“0”になります。グローバルリセットモードからグローバルストップモードに遷移しても、“1”のままです。

21.4.3.4 RSCANnGERFL — グローバルエラーフラグレジスタ

アクセス RSCANnGERFL レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnGERFLL、RSCANnGERFLH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnGERFLLL、RSCANnGERFLHL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGERFL: <RSCANn_base> + 0090_H
RSCANnGERFLL: <RSCANn_base> + 0090_H、
RSCANnGERFLH: <RSCANn_base> + 0092_H
RSCANnGERFLLL: <RSCANn_base> + 0090_H、
RSCANnGERFLHL: <RSCANn_base> + 0092_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	EEF5	EEF4	EEF3	EEF2	EEF1	EEF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	THLES	MES	DEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1

注1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.25 RSCANnGERFL レジスタの内容 (1/2)

ビット位置	ビット名	機能
31～22、 15、14、 7、6、3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21	EEF5	チャンネル5用 ECC エラーフラグ 0: 送信優先順位判定時の2ビット ECC エラーなし 1: 送信優先順位判定時の2ビット ECC エラー
20	EEF4	チャンネル4用 ECC エラーフラグ 0: 送信優先順位判定時の2ビット ECC エラーなし 1: 送信優先順位判定時の2ビット ECC エラー
19	EEF3	チャンネル3用 ECC エラーフラグ 0: 送信優先順位判定時の2ビット ECC エラーなし 1: 送信優先順位判定時の2ビット ECC エラー
18	EEF2	チャンネル2用 ECC エラーフラグ 0: 送信優先順位判定時の2ビット ECC エラーなし 1: 送信優先順位判定時の2ビット ECC エラー
17	EEF1	チャンネル1用 ECC エラーフラグ 0: 送信優先順位判定時の2ビット ECC エラーなし 1: 送信優先順位判定時の2ビット ECC エラー
16	EEF0	チャンネル0用 ECC エラーフラグ 0: 送信優先順位判定時の2ビット ECC エラーなし 1: 送信優先順位判定時の2ビット ECC エラー
13～8、 5、4	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。

表 21.25 RSCANnGERFL レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	THLES	送信履歴バッファオーバーフローステータスフラグ 0: 送信履歴バッファオーバーフローなし 1: 送信履歴バッファオーバーフロー
1	MES	FIFO メッセージロストステータスフラグ 0: FIFO メッセージロストエラーなし 1: FIFO メッセージロストエラー
0	DEF	DLC エラーフラグ 0: DLC エラーなし 1: DLC エラー

RSCANnGERFL レジスタのフラグは、グローバルリセットモード時、“0”になります。

EEFm フラグ

RSCANnGCFG レジスタの EEFm ビットが "1" のとき、チャンネル m (m=0~5) の送信優先順位判定で ECC2 ビットエラーが検出されると、EEFm フラグが "1" になり、メッセージの送信は行われません。プログラムで "0" を書くことで、"0" にできます。

THLES フラグ

RSCANnTHLSTSm レジスタ (m=0~5) の THLELT フラグのいずれか1つでも“1”になると、THLES フラグは“1”になります。

全チャンネルの THLELT フラグを“0”にすると、THLES フラグは“0”になります。

MES フラグ

RSCANnRFSTSk レジスタ (x=0~7) の RFMLT フラグまたは RSCANnCFSTSk レジスタ (k=0~17) の CFMLT フラグのいずれか1つでも“1”になると、MES フラグは“1”になります。

すべての RFMLT フラグおよび CFMLT フラグを“0”にすると、MES フラグは“0”になります。

DEF フラグ

DLC チェックでエラーが検出されると、“1”になります。プログラムで“0”を書くことで、“0”にできます。

備 考

本レジスタのフラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

21.4.3.5 RSCANnGTSC — グローバルタイムスタンプカウンタレジスタ

アクセス RSCANnGTSC レジスタは、32 ビット単位でリードのみ可能です。
RSCANnGTSCCL レジスタは、16 ビット単位でリードのみ可能です。

アドレス RSCANnGTSC: <RSCANn_base> + 0094_H
RSCANnGTSCCL: <RSCANn_base> + 0094_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.26 RSCANnGTSC レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。
15 ~ 0	TS[15:0]	タイムスタンプ値 タイムスタンプ用カウンタの値が読めます。 カウンタ値 : 0000 _H ~ FFFF _H

TS[15:0] ビット

TS[15:0] ビットを読むと、その時点のタイムスタンプカウンタ（16 ビットフリーランカウンタ）の値が読めます。SOF を検出したとき、TS[15:0] ビットの値がキャプチャされ、その後、受信バッファまたは FIFO バッファに格納されます。また、TS[15:0] ビットの値は、送信履歴バッファに格納されます。タイムスタンプカウンタは、グローバルリセットモードで初期化されます。

タイムスタンプカウンタの開始、停止タイミングは、カウントソースに依存します。

- RSCANnGCFG レジスタの TSSS ビットが "0" (pclk) の場合 :
グローバル動作モードへ遷移したときに、カウント開始。
グローバルストップモードまたはグローバルテストモードで、カウント停止。
- TSSS ビットが "1" (CANm ビットタイムクロック) の場合 :
対応するチャンネルがチャンネル通信モードへ遷移したときに、カウント開始。
対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードで、カウント停止。

21.4.3.6 RSCANnGTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0

アクセス RSCANnGTINTSTS0 レジスタは、32 ビット単位でリードのみ可能です。
RSCANnGTINTSTS0L、RSCANnGTINTSTS0H レジスタは、16 ビット単位でリードのみ可能です。
RSCANnGTINTSTS0LL、RSCANnGTINTSTS0LH、RSCANnGTINTSTS0HL、RSCANnGTINTSTS0HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnGTINTSTS0: <RSCANn_base> + 0460_H
RSCANnGTINTSTS0L: <RSCANn_base> + 0460_H、
RSCANnGTINTSTS0H: <RSCANn_base> + 0462_H
RSCANnGTINTSTS0LL: <RSCANn_base> + 0460_H、
RSCANnGTINTSTS0LH: <RSCANn_base> + 0461_H、
RSCANnGTINTSTS0HL: <RSCANn_base> + 0462_H、
RSCANnGTINTSTS0HH: <RSCANn_base> + 0463_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	THIF3	CFTIF3	TQIF3	TAIF3	TSIF3	—	—	—	THIF2	CFTIF2	TQIF2	TAIF2	TSIF2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R注1	R注1	R注1	R注1	R注1	R	R	R	R注1	R注1	R注1	R注1	R注1
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THIF1	CFTIF1	TQIF1	TAIF1	TSIF1	—	—	—	THIF0	CFTIF0	TQIF0	TAIF0	TSIF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R注1	R注1	R注1	R注1	R注1	R	R	R	R注1	R注1	R注1	R注1	R注1

注1. 本ビットはグローバルリセットモードまたはチャンネルリセットモードで自動的にクリアされます。

表 21.27 RSCANnGTINTSTS0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 29	予約ビット	リードした場合はリセット後の値が読めます。
28	THIF3	チャンネル 3 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
27	CFTIF3	チャンネル 3 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
26	TQIF3	チャンネル 3 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
25	TAIF3	チャンネル 3 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
24	TSIF3	チャンネル 3 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり
23 ~ 21	予約ビット	リードした場合はリセット後の値が読めます。
20	THIF2	チャンネル 2 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
19	CFTIF2	チャンネル 2 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
18	TQIF2	チャンネル 2 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり

表 21.27 RSCANnGTINTSTS0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
17	TAIF2	チャンネル2 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
16	TSIF2	チャンネル2 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり
15 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。
12	THIF1	チャンネル1 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
11	CFTIF1	チャンネル1 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
10	TQIF1	チャンネル1 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
9	TAIF1	チャンネル1 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
8	TSIF1	チャンネル1 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。
4	THIF0	チャンネル0 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
3	CFTIF0	チャンネル0 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
2	TQIF0	チャンネル0 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
1	TAIF0	チャンネル0 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
0	TSIF0	チャンネル0 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり

TSIFm ビット

RSCANnTMIECy レジスタの TMIEp ビットが“1”（送信バッファ割り込みが許可）、かつ対応する RSCANnTMSTSp レジスタの TMTRF[1:0] フラグが“10_B”（送信完了、アポート要求なし）、または“11_B”（送信完了、アポート要求あり）になると、TSIFm ビットは“1”になります。

TSIFm が“1”になる条件が成立している TMTRF[1:0] フラグをすべて“00_B”にすると、このフラグは“0”になります。また TMIEp ビットを“0”にすることも、このフラグは“0”になります。

TAIFm ビット

RSCANnCmCTR レジスタの TAIE ビットが“1” (送信アポート割り込み許可)、かつ RSCANnTMSTSp レジスタの TMTRF[1:0] フラグが“01_B” (送信アポート完了) になると、TAIFm ビットは“1” になります。

送信アポートを完了後に TMTRF[1:0] フラグを“00_B” にすると、このフラグは“0” になります。

TQIFm ビット

RSCANnTXQCCm レジスタの TXQIE ビットが“1” (送信キュー割り込み許可)、かつ RSCANnTXQSTSm レジスタの TXQIF が“1” (送信キュー割り込み要求あり) になると TQIFm ビットは“1” になります。

RSCANnTXQSTSm レジスタの TXQIF ビット (送信キュー割り込み要求) を“0” にすると、このビットは“0” になります。TXQIE ビットを“0” にすることでも、このフラグは“0” になります。

CFTIFm ビット

RSCANnCFCCk レジスタの CFTXIE ビットが“1” (送受信 FIFO 送信割り込み許可)、かつ RSCANnCFSTSk レジスタの CFTXIF ビットが“1” (送受信 FIFO 送信割り込み要求あり) になると CFTIFm ビットは“1” になります。

CFTIFm が“1” になる条件が成立している CFTXIF ビットをすべて“0” にすると、このビットは“0” になります。CFTXIE ビットを“0” にすることでも、このフラグは“0” になります。

THIFm ビット

RSCANnTHLCCm レジスタの THLIE ビットが“1” (送信履歴割り込み許可)、かつ RSCANnTHLSTSm レジスタの THLIF ビットが“1” (送信履歴割り込み要求あり) になると、THIFm ビットは“1” になります。

RSCANnTHLSTSm レジスタの THLIF ビットを“0” にすると、このビットは“0” になります。THLIE ビットを“0” にすることでも、このフラグは“0” になります。

21.4.3.7 RSCANnGTINTSTS1 — グローバル TX 割り込みステータスレジスタ 1

アクセス RSCANnGTINTSTS1 レジスタは、32 ビット単位でリードのみ可能です。
RSCANnGTINTSTS1L レジスタは、16 ビット単位でリードのみ可能です。
RSCANnGTINTSTS1LL、RSCANnGTINTSTS1LH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnGTINTSTS1: <RSCANn_base> + 0464_H
RSCANnGTINTSTS1L: <RSCANn_base> + 0464_H
RSCANnGTINTSTS1LL: <RSCANn_base> + 0464_H、
RSCANnGTINTSTS1LH: <RSCANn_base> + 0465_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THIF5	CFTIF5	TQIF5	TAIF5	TSIF5	—	—	—	THIF4	CFTIF4	TQIF4	TAIF4	TSIF4
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R	R	R	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}

注1. 本ビットはグローバルリセットモードまたはチャンネルリセットモードで自動的にクリアされます。

表 21.28 RSCANnGTINTSTS1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。
12	THIF5	チャンネル 5 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
11	CFTIF5	チャンネル 5 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
10	TQIF5	チャンネル 5 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
9	TAIF5	チャンネル 5 送信バッファポート割り込みステータスフラグ 0: 送信バッファポート割り込み要求なし 1: 送信バッファポート割り込み要求あり
8	TSIF5	チャンネル 5 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。
4	THIF4	チャンネル 4 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
3	CFTIF4	チャンネル 4 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
2	TQIF4	チャンネル 4 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
1	TAIF4	チャンネル 4 送信バッファポート割り込みステータスフラグ 0: 送信バッファポート割り込み要求なし 1: 送信バッファポート割り込み要求あり

表 21.28 RSCANnGTINTSTS1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
0	TSIF4	チャンネル4 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり

TSIFm ビット

RSCANnTMIECy レジスタの TMIEp ビットが“1”（送信バッファ割り込みが許可）、かつ対応する RSCANnTMSTSp レジスタの TMTRF[1:0] フラグが“10_B”（送信完了、アボート要求なし）、または“11_B”（送信完了、アボート要求あり）になると、TSIFm ビットは“1”になります。

TSIFm が“1”になる条件が成立している TMTRF[1:0] フラグをすべて“00_B”にすると、このフラグは“0”になります。また TMIEp ビットを“0”にすることも、このフラグは“0”になります。

TAIFm ビット

RSCANnCmCTR レジスタの TAIE ビットが“1”（送信アボート割り込み許可）、かつ RSCANnTMSTSp レジスタの TMTRF[1:0] フラグが“01_B”（送信アボート完了）になると TAIFm ビットは“1”になります。

送信アボートを完了後に TMTRF[1:0] フラグを“00_B”にすると、このフラグは“0”になります。

TQIFm ビット

RSCANnTXQCCm レジスタの TXQIE ビットが“1”（送信キュー割り込み許可）、かつ RSCANnTXQSTSm レジスタの TXQIF が“1”（送信キュー割り込み要求あり）になると TQIFm ビットは“1”になります。

RSCANnTXQSTSm レジスタの TXQIF ビット（送信キュー割り込み要求）を“0”にすると、このビットは“0”になります。TXQIE ビットを“0”にすることも、このフラグは“0”になります。

CFTIFm ビット

RSCANnCFCCk レジスタの CFTXIE ビットが“1”（送受信 FIFO 送信割り込み許可）、かつ RSCANnCFSTSk レジスタの CFTXIF ビットが“1”（送受信 FIFO 送信割り込み要求あり）になると CFTIFm ビットは“1”になります。

CFTIFm が“1”になる条件が成立している CFTXIF ビットをすべて“0”にすると、このビットは“0”になります。CFTXIE ビットを“0”にすることも、このフラグは“0”になります。

THIFm ビット

RSCANnTHLCCm レジスタの THLIE ビットが“1”（送信履歴割り込み許可）、かつ RSCANnTHLSTSm レジスタの THLIF ビットが“1”（送信履歴割り込み要求あり）になると、THIFm ビットは“1”になります。

RSCANnTHLSTSm レジスタの THLIF ビットを“0”にすると、このビットは“0”になります。THLIE ビットを“0”にすることも、このフラグは“0”になります。

21.4.3.8 RSCANnGFDCFG — グローバル FD コンフィグレーションレジスタ

アクセス RSCANnGFDCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnGFDCFGL レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnGFDCFGLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGFDCFG: <RSCANn_base> + 0474_H
RSCANnGFDCFGL: <RSCANn_base> + 0474_H
RSCANnGFDCFGLH: <RSCANn_base> + 0475_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSCCFG[1:0]	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

表 21.29 RSCANnGFDCFG レジスタの内容

ビット位置	ビット名	機能
31 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9、8	TSCCFG[1:0]	タイムスタンプキャプチャ設定ビット b ₉ b ₈ 0 0: SOF ビットのサンプルポイントでキャプチャされます。 0 1: 有効なフレームの送受信時にキャプチャされます。 1 0: 設定禁止 1 1: 設定禁止
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。

TSCCFG[1:0] ビット

タイムスタンプ値がキャプチャされる時点を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

21.4.4 受信ルール関連レジスタの詳細

21.4.4.1 RSCANnGAFLECTR — 受信ルールエン트리制御レジスタ

アクセス RSCANnGAFLECTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnGAFLECTRL レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnGAFLECTRL、RSCANnGAFLECTRLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGAFLECTR: <RSCANn_base> + 0098_H
RSCANnGAFLECTRL: <RSCANn_base> + 0098_H
RSCANnGAFLECTRL: <RSCANn_base> + 0098_H、
RSCANnGAFLECTRLH: <RSCANn_base> + 0099_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	AFLDAE	—	—	—	AFLPN [4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 21.30 RSCANnGAFLECTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	AFLDAE	受信ルールテーブル書き込み許可ビット 0: 受信ルールテーブル書き込み禁止 1: 受信ルールテーブル書き込み許可
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 0	AFLPN [4:0]	受信ルールテーブルページ番号設定ビット ページ 0 (0000 _B) からページ 23 (10111 _B) の範囲で選択

AFLDAE ビット

“0” にすると、受信ルールテーブルへの書き込みを禁止します。受信ルールテーブルへの書き込みが完了したあと、“0” にして、受信ルールテーブルへの書き込みを禁止してください。“0” にしても、受信ルールテーブルの読み出しは可能です。

AFLDAE ビットはグローバルリセットモードでのみ“1”にしてください。

AFLPN[4:0] ビット

受信ルールテーブルのページ番号を設定します。1 ページにつき、16 個の受信ルールを設定できます。

“0000_B” ~ “10111_B” 以外の値を設定しないでください。

21.4.4.2 RSCANnGAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0

アクセス RSCANnGAFLCFG0 レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnGAFLCFG0L、RSCANnGAFLCFG0H レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnGAFLCFG0LL、RSCANnGAFLCFG0LH、RSCANnGAFLCFG0HL、RSCANnGAFLCFG0HH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGAFLCFG0: <RSCANn_base> + 009C_H
RSCANnGAFLCFG0L: <RSCANn_base> + 009C_H、
RSCANnGAFLCFG0H: <RSCANn_base> + 009E_H
RSCANnGAFLCFG0LL: <RSCANn_base> + 009C_H、
RSCANnGAFLCFG0LH: <RSCANn_base> + 009D_H、
RSCANnGAFLCFG0HL: <RSCANn_base> + 009E_H、
RSCANnGAFLCFG0HH: <RSCANn_base> + 009F_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RNC0[7:0]								RNC1[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RNC2[7:0]								RNC3[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.31 RSCANnGAFLCFG0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RNC0[7:0]	チャンネル 0 用ルール数 チャンネル 0 の受信ルール数を設定してください。
23 ~ 16	RNC1[7:0]	チャンネル 1 用ルール数 チャンネル 1 の受信ルール数を設定してください。
15 ~ 8	RNC2[7:0]	チャンネル 2 用ルール数 チャンネル 2 の受信ルール数を設定してください。
7 ~ 0	RNC3[7:0]	チャンネル 3 用ルール数 チャンネル 3 の受信ルール数を設定してください。

RSCANnGAFLCFG0 レジスタはグローバルリセットモードでのみ書き換えてください。

受信ルールテーブルに登録できるルール数は、ユニット全体で 64 × (チャンネル数) です。各チャンネルの受信ルール数は、次の条件を満たしてください。

- 1 チャンネルのルール数は 128 以下である。
- 各チャンネルに割り当てたルール数の合計が、ユニット全体で登録できるルール数を超えない。

RNC0[7:0] ビット

チャンネル 0 の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H 以外の値を設定しないでください。

RNC1[7:0] ビット

チャンネル 1 の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H 以外の値を設定しないでください。

RNC2[7:0] ビット

チャンネル2の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H 以外の値を設定しないでください。

RNC3[7:0] ビット

チャンネル3の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H 以外の値を設定しないでください。

21.4.4.3 RSCANnGAFLCFG1 — 受信ルールコンフィグレーションレジスタ 1

アクセス RSCANnGAFLCFG1 レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnGAFLCFG1H レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnGAFLCFG1HL、RSCANnGAFLCFG1HH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGAFLCFG1: <RSCANn_base> + 00A0_H
RSCANnGAFLCFG1H: <RSCANn_base> + 00A2_H
RSCANnGAFLCFG1HL: <RSCANn_base> + 00A2_H、
RSCANnGAFLCFG1HH: <RSCANn_base> + 00A3_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RNC4[7:0]								RNC5[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.32 RSCANnGAFLCFG1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RNC4[7:0]	チャンネル 4 用ルール数 チャンネル 4 の受信ルール数を設定してください。
23 ~ 16	RNC5[7:0]	チャンネル 5 用ルール数 チャンネル 5 の受信ルール数を設定してください。
15 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RSCANnGAFLCFG1 レジスタはグローバルリセットモードでのみ書き換えてください。

受信ルールテーブルに登録できるルール数は、ユニット全体で 64 × (チャンネル数) です。各チャンネルの受信ルール数は、次の条件を満たしてください。

- 1 チャンネルのルール数は 128 以下である。
- 各チャンネルに割り当てたルール数の合計が、ユニット全体で登録できるルール数を超えない。

RNC4[7:0] ビット

チャンネル 4 の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H 以外の値を設定しないでください。

RNC5[7:0] ビット

チャンネル 5 の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H 以外の値を設定しないでください。

21.4.4.4 RSCANnGAFLIDj — 受信ルール ID レジスタ (j = 0 ~ 15)

アクセス RSCANnGAFLIDj レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnGAFLIDjL、RSCANnGAFLIDjH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnGAFLIDjLL、RSCANnGAFLIDjLH、RSCANnGAFLIDjHL、RSCANnGAFLIDjHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGAFLIDj: $\langle \text{RSCANn_base} \rangle + 0500_{\text{H}} + (10_{\text{H}} \times j)$
RSCANnGAFLIDjL: $\langle \text{RSCANn_base} \rangle + 0500_{\text{H}} + (10_{\text{H}} \times j)$ 、
RSCANnGAFLIDjH: $\langle \text{RSCANn_base} \rangle + 0502_{\text{H}} + (10_{\text{H}} \times j)$
RSCANnGAFLIDjLL: $\langle \text{RSCANn_base} \rangle + 0500_{\text{H}} + (10_{\text{H}} \times j)$ 、
RSCANnGAFLIDjLH: $\langle \text{RSCANn_base} \rangle + 0501_{\text{H}} + (10_{\text{H}} \times j)$ 、
RSCANnGAFLIDjHL: $\langle \text{RSCANn_base} \rangle + 0502_{\text{H}} + (10_{\text{H}} \times j)$ 、
RSCANnGAFLIDjHH: $\langle \text{RSCANn_base} \rangle + 0503_{\text{H}} + (10_{\text{H}} \times j)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLID E	GAFLR TR	GAFL LB	GAFLID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.33 RSCANnGAFLIDj レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDE	IDE 選択ビット 0: 標準 ID 1: 拡張 ID
30	GAFLRTR	RTR 選択ビット 0: データフレーム 1: リモートフレーム
29	GAFLLB	受信ルール対象メッセージ選択ビット 0: 他の CAN ノードが送信したメッセージを受信時 1: 自らが送信したメッセージを受信時
28 ~ 0	GAFLID[28:0]	ID 設定ビット 受信ルールの ID を設定してください。 標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は "0" にしてください。

RSCANnGAFLIDj レジスタは、RSCANnGAFLECTR レジスタの AFLDAE ビットが "1" (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLIDE ビット

受信ルールの ID フォーマット (標準 ID または拡張 ID) を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの IDE ビットを比較します。

GAFLRTR ビット

受信ルールのフレームフォーマット (データフレームまたはリモートフレーム) を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの RTR ビットを比較します。

GAFLLB ビット

“0” にすると、他の CAN ノードが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

ミラー機能使用時に“1” にすると、自らが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

GAFLID[28:0] ビット

受信ルールの ID フィールドを設定します。アクセプタンスフィルタ処理では、ここで設定した ID と受信メッセージの ID を比較します。

21.4.4.5 RSCANnGAFLMj — 受信ルールマスクレジスタ (j = 0 ~ 15)

アクセス RSCANnGAFLMj レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnGAFLMjL、RSCANnGAFLMjH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnGAFLMjLL、RSCANnGAFLMjLH、RSCANnGAFLMjHL、RSCANnGAFLMjHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGAFLMj: <RSCANn_base> + 0504_H + (10_H × j)

RSCANnGAFLMjL: <RSCANn_base> + 0504_H + (10_H × j)、
RSCANnGAFLMjH: <RSCANn_base> + 0506_H + (10_H × j)

RSCANnGAFLMjLL: <RSCANn_base> + 0504_H + (10_H × j)、
RSCANnGAFLMjLH: <RSCANn_base> + 0505_H + (10_H × j)、
RSCANnGAFLMjHL: <RSCANn_base> + 0506_H + (10_H × j)、
RSCANnGAFLMjHH: <RSCANn_base> + 0507_H + (10_H × j)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLIDEM	GAFLRTRM	—	GAFLIDM [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLIDM [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.34 RSCANnGAFLMj レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDEM	IDE マスクビット 0: IDE ビットを比較しない 1: IDE ビットを比較する
30	GAFLRTRM	RTR マスクビット 0: RTR ビットを比較しない 1: RTR ビットを比較する
29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28 ~ 0	GAFLIDM [28:0]	ID マスクビット 0: 対応する ID ビットを比較しない 1: 対応する ID ビットを比較する

RSCANnGAFLMj レジスタは、RSCANnGAFLECTR レジスタの AFLDAE ビットが“1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLIDEM ビット

“1” にすると、RSCANnGAFLIDj レジスタの GAFLIDE ビットで設定した ID フォーマットのメッセージに対してのみフィルタ処理を行います。

“0” にすると、すべての受信メッセージと ID が一致したとみなします。GAFLIDEM ビットを“0”にする場合は、GAFLIDM[28:0] ビットをすべて“0”にしてください。

GAFLRTRM ビット

受信ルールの RTR ビットをマスクするビットです。

GAFLIDM[28:0] ビット

受信ルールの対応する ID ビットをマスクするビットです。

21.4.4.6 RSCANnGAFLP0j — 受信ルールポインタ 0 レジスタ (j = 0 ~ 15)

アクセス RSCANnGAFLP0j レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnGAFLP0jL、RSCANnGAFLP0jH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnGAFLP0jLH、RSCANnGAFLP0jHL、RSCANnGAFLP0jHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGAFLP0j: <RSCANn_base> + 0508_H + (10_H × j)

RSCANnGAFLP0jL: <RSCANn_base> + 0508_H + (10_H × j)、
RSCANnGAFLP0jH: <RSCANn_base> + 050A_H + (10_H × j)

RSCANnGAFLP0jLH: <RSCANn_base> + 0509_H + (10_H × j)、
RSCANnGAFLP0jHL: <RSCANn_base> + 050A_H + (10_H × j)、
RSCANnGAFLP0jHH: <RSCANn_base> + 050B_H + (10_H × j)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLDLC [3:0]				GAFLPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLR MV	GAFLRMDP [6:0]						—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 21.35 RSCANnGAFLP0j レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	GAFLDLC [3:0]	受信ルール DLC 設定ビット b ₃₁ b ₃₀ b ₂₉ b ₂₈ 0 0 0 0 : DLC チェックしない 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ~ 16	GAFLPTR [11:0]	受信ルールラベル設定ビット 12 ビットのラベル情報を設定
15	GAFLRMV	受信バッファ許可ビット 0 : 受信バッファを使用しない 1 : 受信バッファを使用する
14 ~ 8	GAFLRMDP [6:0]	受信バッファ番号選択ビット 受信メッセージを格納する受信バッファの番号を設定
7 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RSCANnGAFLP0j レジスタは、RSCANnGAFLECTR レジスタの AFLDAE ビットが“1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLDLC[3:0] ビット

メッセージを受信するために必要な最小のデータ長を設定します。フィルタ処理中のメッセージのデータ長が GAFLDLC[3:0] ビットで設定した値以上の場合、DLC チェックを通過します。“0000_B”を設定すると、DLC チェック機能は無効になり、すべてのデータ長のメッセージが通過します。

GAFLPTR[11:0] ビット

フィルタを通過したメッセージに添付する 12 ビットのラベルを設定します。ラベルはメッセージを受信バッファや FIFO バッファに格納する際に添付されます。

GAFLRMV ビット

“1”にすると、GAFLRMDP[6:0] ビットで選択した受信バッファに、フィルタを通過した受信メッセージを格納します。

GAFLRMDP[6:0] ビット

GAFLRMV ビットを“1”にした場合に、フィルタを通過した受信メッセージを格納する受信バッファの番号を選択します。RSCANnRMNB レジスタの NRXMB[7:0] ビットで設定した値より小さい番号を設定してください。

21.4.4.7 RSCANnGAFLP1j — 受信ルールポインタ 1 レジスタ (j = 0 ~ 15)

アクセス RSCANnGAFLP1j レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnGAFLP1jL、RSCANnGAFLP1jH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnGAFLP1jLL、RSCANnGAFLP1jLH、RSCANnGAFLP1jHL、RSCANnGAFLP1jHH レジスタは、8
ビット単位でリード/ライト可能です。

アドレス RSCANnGAFLP1j: <RSCANn_base> + 050C_H + (10_H × j)

RSCANnGAFLP1jL: <RSCANn_base> + 050C_H + (10_H × j)、
RSCANnGAFLP1jH: <RSCANn_base> + 050E_H + (10_H × j)

RSCANnGAFLP1jLL: <RSCANn_base> + 050C_H + (10_H × j)、
RSCANnGAFLP1jLH: <RSCANn_base> + 050D_H + (10_H × j)、
RSCANnGAFLP1jHL: <RSCANn_base> + 050E_H + (10_H × j)、
RSCANnGAFLP1jHH: <RSCANn_base> + 050F_H + (10_H × j)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	GAFLFDP[25:16]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	GAFLFDP [15:0]																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

表 21.36 RSCANnGAFLP1j レジスタの内容

ビット位置	ビット名	機能
31 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25 ~ 8	GAFLFDP [25:8]	送受信 FIFO バッファ k 選択ビット (ビット位置 -8 が対象となる送受信 FIFO バッファ番号 k になります) 0: 送受信 FIFO バッファを選択しない 1: 送受信 FIFO バッファを選択する
7 ~ 0	GAFLFDP [7:0]	受信 FIFO バッファ x 選択ビット (ビット位置が対象となる受信 FIFO バッファ番号 x になります) 0: 受信 FIFO バッファを選択しない 1: 受信 FIFO バッファを選択する

RSCANnGAFLP1j レジスタは、RSCANnGAFLECTR レジスタの AFLDAE ビットが“1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLFDP [25:0] ビット

フィルタを通過した受信メッセージを格納する FIFO バッファを指定します。最大 8 つの FIFO バッファが選択できます。ただし、RSCANnGAFLP0j レジスタの GAFLRMV ビットを“1” (受信バッファにメッセージを格納する) にした場合は、最大 7 つの FIFO バッファが選択できます。受信 FIFO バッファと、RSCANnCFCK レジスタの CFM[1:0] ビットを“00_B” (受信モード) または“10_B” (ゲートウェイモード) に設定した送受信 FIFO バッファのみ選択できます。

21.4.5 受信バッファナンバ関連レジスタの詳細

21.4.5.1 RSCANnRMNB — 受信バッファナンバレジスタ

アクセス RSCANnRMNB レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnRMNBL レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnRMNBLL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnRMNB: <RSCANn_base> + 00A4_H
RSCANnRMNBL: <RSCANn_base> + 00A4_H
RSCANnRMNBLL: <RSCANn_base> + 00A4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	NRXMB [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.37 RSCANnRMNB レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ~ 0	NRXMB [7:0]	受信バッファ数設定ビット 受信バッファ数を設定する。 0 ~ 96 の範囲で設定してください。

RSCANnRMNB レジスタはグローバルリセットモードでのみ書き換えてください。

NRXMB[7:0] ビット

RS-CANFD モジュール全体の受信バッファ数を設定します。最大値は、16 × (チャンネル数) です。

“0” を設定すると、受信バッファは使用できません。

21.4.5.2 RSCANnRMNDy — 受信バッファ新データレジスタ (y = 0 ~ 2)

アクセス RSCANnRMNDy レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnRMNDyL、RSCANnRMNDyH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnRMNDyLL、RSCANnRMNDyLH、RSCANnRMNDyHL、RSCANnRMNDyHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnRMNDy: $\langle \text{RSCANn_base} \rangle + 00A8_H + (04_H \times y)$
RSCANnRMNDyL: $\langle \text{RSCANn_base} \rangle + 00A8_H + (04_H \times y)$ 、
RSCANnRMNDyH: $\langle \text{RSCANn_base} \rangle + 00AA_H + (04_H \times y)$
RSCANnRMNDyLL: $\langle \text{RSCANn_base} \rangle + 00A8_H + (04_H \times y)$ 、
RSCANnRMNDyLH: $\langle \text{RSCANn_base} \rangle + 00A9_H + (04_H \times y)$ 、
RSCANnRMNDyHL: $\langle \text{RSCANn_base} \rangle + 00AA_H + (04_H \times y)$ 、
RSCANnRMNDyHH: $\langle \text{RSCANn_base} \rangle + 00AB_H + (04_H \times y)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMNSq (q = y × 32 + 31 ~ y × 32 + 16 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMNSq (q = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.38 RSCANnRMNDy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	RMNSq	受信バッファ受信完了フラグ q (q = y × 32 + 31 ~ y × 32 + 16) 0: 受信バッファ q に新しいメッセージなし 1: 受信バッファ q に新しいメッセージあり
15 ~ 0	RMNSq	受信バッファ受信完了フラグ q (q = y × 32 + 15 ~ y × 32 + 0) 0: 受信バッファ q に新しいメッセージなし 1: 受信バッファ q に新しいメッセージあり

RSCANnRMNDy レジスタは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

RMNSq フラグ (q = 0 ~ 95)

対応する受信バッファにメッセージを格納する処理が始まると“1”になります。

フラグを“0”にする場合は、プログラムで“0”を書いてください。書く場合はストア 命令を使用し、それ以外のフラグには“1”を書いて下さい。メッセージ格納中は“0”にできません。メッセージを格納する時間は pclk の 10 クロック分です。

グローバルリセットモード時、“0”になります。

21.4.5.3 RSCANnRMIDq — 受信バッファ ID レジスタ (q = 0 ~ 95)

アクセス RSCANnRMIDq レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRMIDqL、RSCANnRMIDqH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRMIDqLL、RSCANnRMIDqLH、RSCANnRMIDqHL、RSCANnRMIDqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRMIDq: <RSCANn_base> + 0600_H + (10_H × q)

RSCANnRMIDqL: <RSCANn_base> + 0600_H + (10_H × q)、
RSCANnRMIDqH: <RSCANn_base> + 0602_H + (10_H × q)

RSCANnRMIDqLL: <RSCANn_base> + 0600_H + (10_H × q)、
RSCANnRMIDqLH: <RSCANn_base> + 0601_H + (10_H × q)、
RSCANnRMIDqHL: <RSCANn_base> + 0602_H + (10_H × q)、
RSCANnRMIDqHH: <RSCANn_base> + 0603_H + (10_H × q)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMIDE	RMRTR	—	RMID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.39 RSCANnRMIDq レジスタの内容

ビット位置	ビット名	機能
31	RMIDE	受信バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	RMRTR	受信バッファ RTR ビット 0: データフレーム 1: リモートフレーム
29	予約ビット	リードした場合はリセット後の値が読めます。
28 ~ 0	RMID [28:0]	受信バッファ ID データ 受信メッセージの標準 ID / 拡張 ID が読めます。 標準 ID の場合は、b10 ~ b0 を読んでください。b28 ~ b11 は "0" が読めます。

RMIDE ビット

受信バッファに格納されたメッセージの ID フォーマット (標準 ID または拡張 ID) を示します。

RMRTR ビット

受信バッファに格納されたメッセージのフレームフォーマット (データフレームまたはリモートフレーム) を示します。

RMID[28:0] ビット

受信バッファに格納されたメッセージの ID を示します。

21.4.5.4 RSCANnRMPTRq — 受信バッファポインタレジスタ (q = 0 ~ 95)

アクセス RSCANnRMPTRq レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRMPTRqL、RSCANnRMPTRqH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRMPTRqLL、RSCANnRMPTRqLH、RSCANnRMPTRqHL、RSCANnRMPTRqHH レジスタは、8
ビット単位でリードのみ可能です。

アドレス RSCANnRMPTRq: <RSCANn_base> + 0604_H + (10_H × q)

RSCANnRMPTRqL: <RSCANn_base> + 0604_H + (10_H × q)、
RSCANnRMPTRqH: <RSCANn_base> + 0606_H + (10_H × q)

RSCANnRMPTRqLL: <RSCANn_base> + 0604_H + (10_H × q)、
RSCANnRMPTRqLH: <RSCANn_base> + 0605_H + (10_H × q)、
RSCANnRMPTRqHL: <RSCANn_base> + 0606_H + (10_H × q)、
RSCANnRMPTRqHH: <RSCANn_base> + 0607_H + (10_H × q)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDLC [3:0]				RMPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMTS [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.40 RSCANnRMPTRq レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	RMDLC [3:0]	受信バッファ DLC データ b31 b30 b29 b28 0 0 0 0: データバイトなし 0 0 0 1: 1 データバイト 0 0 1 0: 2 データバイト 0 0 1 1: 3 データバイト 0 1 0 0: 4 データバイト 0 1 0 1: 5 データバイト 0 1 1 0: 6 データバイト 0 1 1 1: 7 データバイト 1 X X X: 8 データバイト
27 ~ 16	RMPTR [11:0]	受信バッファラベルデータ 受信メッセージのラベル情報が読めます。
15 ~ 0	RMTS [15:0]	受信バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

RMDLC[3:0] ビット

受信バッファに格納されたメッセージのデータ長を示します。

RMPTR[11:0] ビット

受信バッファに格納されたメッセージのラベル情報を示します。

RMTS[15:0] ビット

受信バッファに格納されたメッセージのタイムスタンプ値を示します。

21.4.5.5 RSCANnRMDf0q — 受信バッファデータフィールド 0 レジスタ (q = 0 ~ 95)

アクセス RSCANnRMDf0q レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRMDf0qL、RSCANnRMDf0qH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRMDf0qLL、RSCANnRMDf0qLH、RSCANnRMDf0qHL、RSCANnRMDf0qHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRMDf0q: <RSCANn_base> + 0608_H + (10_H × q)

RSCANnRMDf0qL: <RSCANn_base> + 0608_H + (10_H × q)、
RSCANnRMDf0qH: <RSCANn_base> + 060A_H + (10_H × q)

RSCANnRMDf0qLL: <RSCANn_base> + 0608_H + (10_H × q)、
RSCANnRMDf0qLH: <RSCANn_base> + 0609_H + (10_H × q)、
RSCANnRMDf0qHL: <RSCANn_base> + 060A_H + (10_H × q)、
RSCANnRMDf0qHH: <RSCANn_base> + 060B_H + (10_H × q)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB3 [7:0]								RMDB2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB1 [7:0]								RMDB0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.41 RSCANnRMDf0q レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RMDB3 [7:0]	受信バッファデータバイト 3
23 ~ 16	RMDB2 [7:0]	受信バッファデータバイト 2
15 ~ 8	RMDB1 [7:0]	受信バッファデータバイト 1
7 ~ 0	RMDB0 [7:0]	受信バッファに格納されたメッセージのデータが読めます。

RSCANnRMPTRq レジスタの RMDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

21.4.5.6 RSCANnRMDF1q — 受信バッファデータフィールド1レジスタ (q = 0 ~ 95)

アクセス RSCANnRMDF1q レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRMDF1qL、RSCANnRMDF1qH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRMDF1qLL、RSCANnRMDF1qLH、RSCANnRMDF1qHL、RSCANnRMDF1qHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRMDF1q: <RSCANn_base> + 060C_H + (10_H × q)

RSCANnRMDF1qL: <RSCANn_base> + 060C_H + (10_H × q)、
RSCANnRMDF1qH: <RSCANn_base> + 060E_H + (10_H × q)

RSCANnRMDF1qLL: <RSCANn_base> + 060C_H + (10_H × q)、
RSCANnRMDF1qLH: <RSCANn_base> + 060D_H + (10_H × q)、
RSCANnRMDF1qHL: <RSCANn_base> + 060E_H + (10_H × q)、
RSCANnRMDF1qHH: <RSCANn_base> + 060F_H + (10_H × q)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB7 [7:0]								RMDB6 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB5 [7:0]								RMDB4 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.42 RSCANnRMDF1q レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RMDB7 [7:0]	受信バッファデータバイト7
23 ~ 16	RMDB6 [7:0]	受信バッファデータバイト6 受信バッファデータバイト5
15 ~ 8	RMDB5 [7:0]	受信バッファデータバイト4
7 ~ 0	RMDB4 [7:0]	受信バッファに格納されたメッセージのデータが読めます。

RSCANnRMPTRq レジスタの RMDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

21.4.6 受信 FIFO バッファ関連レジスタの詳細

21.4.6.1 RSCANnRFCCx — 受信 FIFO バッファコンフィグレーション/制御レジスタ (x = 0 ~ 7)

アクセス RSCANnRFCCx レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnRFCCxL レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnRFCCxLL、RSCANnRFCCxLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnRFCCx: <RSCANn_base> + 00B8_H + (04_H × x)
RSCANnRFCCxL: <RSCANn_base> + 00B8_H + (04_H × x)
RSCANnRFCCxLL: <RSCANn_base> + 00B8_H + (04_H × x)、
RSCANnRFCCxLH: <RSCANn_base> + 00B9_H + (04_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFIGCV [2:0]			RFIM	—	RFDC [2:0]			—	—	—	—	—	—	RFIE	RFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 21.43 RSCANnRFCCx レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 13	RFIGCV [2:0]	受信 FIFO 割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0: FIFO バッファに 1/8 までメッセージ格納時 0 0 1: FIFO バッファに 2/8 までメッセージ格納時 0 1 0: FIFO バッファに 3/8 までメッセージ格納時 0 1 1: FIFO バッファに 4/8 までメッセージ格納時 1 0 0: FIFO バッファに 5/8 までメッセージ格納時 1 0 1: FIFO バッファに 6/8 までメッセージ格納時 1 1 0: FIFO バッファに 7/8 までメッセージ格納時 1 1 1: FIFO バッファがフルのとき
12	RFIM	受信 FIFO 割り込み要因選択ビット 0: RFIGCV[2:0] ビットで設定した条件に達したときに発生 1: 1 メッセージ受信完了ごとに発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ~ 8	RFDC [2:0]	受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0: 0 メッセージ 0 0 1: 4 メッセージ 0 1 0: 8 メッセージ 0 1 1: 16 メッセージ 1 0 0: 32 メッセージ 1 0 1: 48 メッセージ 1 1 0: 64 メッセージ 1 1 1: 128 メッセージ

表 21.43 RSCANnRFCCx レジスタの内容 (2/2)

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RFIE	受信 FIFO 割り込み許可ビット 0: 受信 FIFO 割り込み禁止 1: 受信 FIFO 割り込み許可
0	RFE	受信 FIFO バッファ許可ビット 0: 受信 FIFO バッファを使用しない 1: 受信 FIFO バッファを使用する

RFIGCV[2:0] ビット

RFIM ビットを“0”にした場合の受信 FIFO 割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数 (RFDC[2:0] の設定) に対する分数で指定します。

RFDC[2:0] ビットを“001_B” (4 メッセージ) に設定した場合は、RFIGCV[2:0] ビットを“001_B”、“011_B”、“101_B”、または“111_B”にしてください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIM ビット

FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFDC[2:0] ビット

1つの受信 FIFO バッファに格納できるメッセージの数を選択します。“000_B”に設定した場合は、受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIE ビット

“1”にすると、受信 FIFO 割り込みが使用できます。RFE ビットが“0” (受信 FIFO バッファを使用しない) のときに、RFIE ビットを書き換えてください。

RFE ビット

“1”にすると、受信 FIFO バッファが使用できます。“0”にすると、RSCANnRFSTSx レジスタの RFEMP フラグが“1” (バッファ空) になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

RSCANnRFCCx レジスタのすべての設定後に別の命令でこのビットを“1”としてください。このビットは、グローバルリセットモードで 0 にクリアされます。

21.4.6.2 RSCANnRFSTSx — 受信 FIFO バッファステータスレジスタ (x = 0 ~ 7)

アクセス RSCANnRFSTSx レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnRFSTSxL レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnRFSTSxLL レジスタは、8 ビット単位でリード/ライト可能です。
RSCANnRFSTSxLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRFSTSx: <RSCANn_base> + 00D8_H + (04_H × x)
RSCANnRFSTSxL: <RSCANn_base> + 00D8_H + (04_H × x)
RSCANnRFSTSxLL: <RSCANn_base> + 00D8_H + (04_H × x)、
RSCANnRFSTSxLH: <RSCANn_base> + 00D9_H + (04_H × x)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFMC[7:0]							—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする (“0” にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.44 RSCANnRFSTSx レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 8	RFMC[7:0]	受信 FIFO 未読メッセージ数表示カウンタ 受信 FIFO バッファに格納された未読メッセージ数を示します。
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RFIF	受信 FIFO 割り込み要求フラグ 0: 受信 FIFO 割り込み要求なし 1: 受信 FIFO 割り込み要求あり
2	RFMLT	受信 FIFO メッセージロスフラグ 0: 受信 FIFO メッセージロスなし 1: 受信 FIFO メッセージロス
1	RFFLL	受信 FIFO バッファフルステータスフラグ 0: 受信 FIFO バッファフルではない 1: 受信 FIFO バッファフル
0	RFEMP	受信 FIFO バッファ空ステータスフラグ 0: 受信 FIFO バッファに未読メッセージあり 1: 受信 FIFO バッファに未読メッセージなし (バッファ空)

RFMC[7:0] フラグ

受信 FIFO バッファ内の未読メッセージ数を示します。RSCANnRFCCx レジスタの RFE ビットを “0” にすると、“00_H” になります。

RFIF フラグ

RSCANnRFCCx レジスタの RFIGCV[2:0] ビットと RFIM ビットで設定した受信 FIFO 割り込み要求発生条件が整ったときに“1”になります。RFIF フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

RFMLT フラグ

受信 FIFO バッファがフルの場合に、新しいメッセージを格納しようとしたとき“1”になります。この場合、新しいメッセージは破棄されます。

RFMLT フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。

このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

RFFLL フラグ

受信 FIFO バッファに格納されたメッセージ数が、RSCANnRFCCx レジスタの RFDC[2:0] ビットで設定した段数と一致すると“1”になります。

受信 FIFO バッファに格納されたメッセージ数が、RFDC[2:0] ビットで設定した段数より小さくなると“0”になります。また、RSCANnRFCCx レジスタの RFE ビットが“0”（受信 FIFO バッファを使用しない）のとき、またはグローバルリセットモード時に“0”になります。

RFEMP フラグ

受信 FIFO バッファのすべてのメッセージを読むと“1”になります。また、RSCANnRFCCx レジスタの RFE ビットが“0”のとき、またはグローバルリセットモード時に“1”になります。

受信メッセージが1つでも受信 FIFO バッファに格納されると“0”になります。

備 考

RFMLT もしくは RFIF フラグを“0”にする場合は、対象フラグには“0”を、それ以外のフラグには“1”を、ストア命令を使用して書いてください。

21.4.6.3 RSCANnRFPCTR_x — 受信 FIFO バッファポインタ制御レジスタ (x = 0 ~ 7)

アクセス RSCANnRFPCTR_x レジスタは、32 ビット単位でライトのみ可能です。
RSCANnRFPCTR_{xL} レジスタは、16 ビット単位でライトのみ可能です。
RSCANnRFPCTR_{xLL} レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCANnRFPCTR_x: <RSCANn_base> + 00F8_H + (04_H × x)
RSCANnRFPCTR_{xL}: <RSCANn_base> + 00F8_H + (04_H × x)
RSCANnRFPCTR_{xLL}: <RSCANn_base> + 00F8_H + (04_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RFPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 21.45 RSCANnRFPCTR_x レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ~ 0	RFPC [7:0]	受信 FIFO ポインタ制御 “FF _H ” を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。

RFPC[7:0] ビット

RFPC[7:0] ビットに“FF_H”を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCANnRFSTS_x レジスタの RFMC[7:0] ビット (受信 FIFO 未読メッセージ数表示カウンタ) の値が 1 減算されます。RSCANnRFID、RSCANnRFPTR、RSCANnRFDf0_x、RSCANnRFDf1_x レジスタを読んで受信 FIFO バッファのメッセージを読み出した後、RFPC[7:0] ビットに“FF_H”を書いてください。

なお、“FF_H”の書き込みは、RSCANnRFCC_x レジスタの RFE ビットが“1” (受信 FIFO バッファを使用する) で、RSCANnRFSTS_x レジスタの RFEMP フラグが“0” (未読メッセージあり) のときに行ってください。

21.4.6.4 RSCANnRFIDx — 受信 FIFO バッファアクセス ID レジスタ (x = 0 ~ 7)

アクセス RSCANnRFIDx レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRFIDxL、RSCANnRFIDxH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRFIDxLL、RSCANnRFIDxLH、RSCANnRFIDxHL、RSCANnRFIDxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRFIDx: <RSCANn_base> + 0E00_H + (10_H × x)

RSCANnRFIDxL: <RSCANn_base> + 0E00_H + (10_H × x)、
RSCANnRFIDxH: <RSCANn_base> + 0E02_H + (10_H × x)

RSCANnRFIDxLL: <RSCANn_base> + 0E00_H + (10_H × x)、
RSCANnRFIDxLH: <RSCANn_base> + 0E01_H + (10_H × x)、
RSCANnRFIDxHL: <RSCANn_base> + 0E02_H + (10_H × x)、
RSCANnRFIDxHH: <RSCANn_base> + 0E03_H + (10_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFIDE	RFRTR	—	RFID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.46 RSCANnRFIDx レジスタの内容

ビット位置	ビット名	機能
31	RFIDE	受信 FIFO バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	RFRTR	受信 FIFO バッファ RTR ビット 0: データフレーム 1: リモートフレーム
29	予約ビット	リードした場合はリセット後の値が読めます。
28 ~ 0	RFID [28:0]	受信 FIFO バッファ ID データ 受信メッセージの標準 ID / 拡張 ID が読めます。 標準 ID の場合は、b10 ~ b0 を読んでください。b28 ~ b11 は "0" が読めます。

RFIDE ビット

受信 FIFO バッファに格納されたメッセージの ID フォーマット (標準 ID または拡張 ID) を示します。

RFRTR ビット

受信 FIFO バッファに格納されたメッセージのフレームフォーマット (データフレームまたはリモートフレーム) を示します。

RFID[28:0] ビット

受信 FIFO バッファに格納されたメッセージの ID を示します。

21.4.6.5 RSCANnRFPTRx — 受信 FIFO バッファアクセスポインタレジスタ (x = 0 ~ 7)

アクセス RSCANnRFPTRx レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRFPTRxL、RSCANnRFPTRxH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRFPTRxLL、RSCANnRFPTRxLH、RSCANnRFPTRxHL、RSCANnRFPTRxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRFPTRx: <RSCANn_base> + 0E04_H + (10_H × x)
RSCANnRFPTRxL: <RSCANn_base> + 0E04_H + (10_H × x)、
RSCANnRFPTRxH: <RSCANn_base> + 0E06_H + (10_H × x)
RSCANnRFPTRxLL: <RSCANn_base> + 0E04_H + (10_H × x)、
RSCANnRFPTRxLH: <RSCANn_base> + 0E05_H + (10_H × x)、
RSCANnRFPTRxHL: <RSCANn_base> + 0E06_H + (10_H × x)、
RSCANnRFPTRxHH: <RSCANn_base> + 0E07_H + (10_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDLC [3:0]				RFPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFTS [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.47 RSCANnRFPTRx レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	RFDLC [3:0]	受信 FIFO バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ~ 16	RFPTR [11:0]	受信 FIFO バッファラベルデータ 受信メッセージのラベル情報が読めます。
15 ~ 0	RFTS [15:0]	受信 FIFO バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

RFDLC[3:0] ビット

受信 FIFO バッファに格納されたメッセージのデータ長を含んでいます。

RFPTR[11:0] ビット

受信 FIFO バッファに格納されたメッセージのラベル情報を含んでいます。

RFTS[15:0] ビット

受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を含んでいます。

21.4.6.6 RSCANnRFDF0x — 受信 FIFO バッファアクセスデータフィールド 0 レジスタ (x = 0 ~ 7)

アクセス RSCANnRFDF0x レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRFDF0xL、RSCANnRFDF0xH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRFDF0xLL、RSCANnRFDF0xLH、RSCANnRFDF0xHL、RSCANnRFDF0xHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRFDF0x: <RSCANn_base> + 0E08_H + (10_H × x)
RSCANnRFDF0xL: <RSCANn_base> + 0E08_H + (10_H × x)、
RSCANnRFDF0xH: <RSCANn_base> + 0E0A_H + (10_H × x)
RSCANnRFDF0xLL: <RSCANn_base> + 0E08_H + (10_H × x)、
RSCANnRFDF0xLH: <RSCANn_base> + 0E09_H + (10_H × x)、
RSCANnRFDF0xHL: <RSCANn_base> + 0E0A_H + (10_H × x)、
RSCANnRFDF0xHH: <RSCANn_base> + 0E0B_H + (10_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB3 [7:0]								RFDB2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB1 [7:0]								RFDB0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.48 RSCANnRFDF0x レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RFDB3 [7:0]	受信 FIFO バッファデータバイト 3
23 ~ 16	RFDB2 [7:0]	受信 FIFO バッファデータバイト 2
15 ~ 8	RFDB1 [7:0]	受信 FIFO バッファデータバイト 1
7 ~ 0	RFDB0 [7:0]	受信 FIFO バッファデータバイト 0
		受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCANnRFPTRx レジスタの RFDLC[3:0] ビットの値が“1000_B”未満の場合、データが設定されていないデータバイトは、“00_H”が読めます。

21.4.6.7 RSCANnRFDF1x — 受信 FIFO バッファアクセスデータフィールド 1 レジスタ (x = 0 ~ 7)

アクセス RSCANnRFDF1x レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRFDF1xL、RSCANnRFDF1xH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRFDF1xLL、RSCANnRFDF1xLH、RSCANnRFDF1xHL、RSCANnRFDF1xHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRFDF1x: <RSCANn_base> + 0E0C_H + (10_H × x)

RSCANnRFDF1xL: <RSCANn_base> + 0E0C_H + (10_H × x)、
RSCANnRFDF1xH: <RSCANn_base> + 0E0E_H + (10_H × x)

RSCANnRFDF1xLL: <RSCANn_base> + 0E0C_H + (10_H × x)、
RSCANnRFDF1xLH: <RSCANn_base> + 0E0D_H + (10_H × x)、
RSCANnRFDF1xHL: <RSCANn_base> + 0E0E_H + (10_H × x)、
RSCANnRFDF1xHH: <RSCANn_base> + 0E0F_H + (10_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB7 [7:0]								RFDB6 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB5 [7:0]								RFDB4 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.49 RSCANnRFDF1x レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RFDB7 [7:0]	受信 FIFO バッファデータバイト 7
23 ~ 16	RFDB6 [7:0]	受信 FIFO バッファデータバイト 6 受信 FIFO バッファデータバイト 5
15 ~ 8	RFDB5 [7:0]	受信 FIFO バッファデータバイト 4
7 ~ 0	RFDB4 [7:0]	受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCANnRFPTRx レジスタの RFDLC[3:0] ビットの値が“1000_B”未満の場合、データが設定されていないデータバイトは、“00_H”が読めます。

21.4.7 送受信 FIFO バッファ関連レジスタの詳細

21.4.7.1 RSCANnCFCCk — 送受信 FIFO バッファコンフィグレーション/制御レジスタ (k = 0 ~ 17)

アクセス RSCANnCFCCk レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnCFCCkL、RSCANnCFCCkH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnCFCCkLL、RSCANnCFCCkLH、RSCANnCFCCkHL、RSCANnCFCCkHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnCFCCk: <RSCANn_base> + 0118_H + (04_H × k)
RSCANnCFCCkL: <RSCANn_base> + 0118_H + (04_H × k)、
RSCANnCFCCkH: <RSCANn_base> + 011A_H + (04_H × k)
RSCANnCFCCkLL: <RSCANn_base> + 0118_H + (04_H × k)、
RSCANnCFCCkLH: <RSCANn_base> + 0119_H + (04_H × k)、
RSCANnCFCCkHL: <RSCANn_base> + 011A_H + (04_H × k)、
RSCANnCFCCkHH: <RSCANn_base> + 011B_H + (04_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFITT[7:0]							CFTML[3:0]			CFITR	CFITSS	CFM[1:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFIGCV [2:0]		CFIM	—	CFDC [2:0]		—	—	—	—	—	—	CFIXIE	CFRXIE	CFE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 21.50 RSCANnCFCCk レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 24	CFITT[7:0]	メッセージの送信間隔を設定してください。 設定値 : 00 _H ~ FF _H
23 ~ 20	CFTML[3:0]	送信バッファリンク設定ビット 送受信 FIFO バッファにリンクさせる送信バッファ番号を設定してください。
19	CFITR	送受信 FIFO インターバルタイム分解能 0 : pclk/2 を ITRCP [15:0] ビットで分周したクロック 1 : pclk/2 を ITRCP [15:0] ビットの値 × 10 で分周したクロック
18	CFITSS	送受信 FIFO インターバルタイムクロックソース選択 0 : CFITR ビットで選択したクロックソース 1 : 関連チャンネルのビットタイムクロック
17 ~ 16	CFM[1:0]	送受信 FIFO モード選択ビット b17 b16 0 0 : 受信モード 0 1 : 送信モード 1 0 : ゲートウェイモード 1 1 : 設定しないでください
15 ~ 13	CFIGCV [2:0]	送受信 FIFO 受信割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0 : FIFO バッファに 1/8 までメッセージ格納時 0 0 1 : FIFO バッファに 2/8 までメッセージ格納時 0 1 0 : FIFO バッファに 3/8 までメッセージ格納時 0 1 1 : FIFO バッファに 4/8 までメッセージ格納時 1 0 0 : FIFO バッファに 5/8 までメッセージ格納時 1 0 1 : FIFO バッファに 6/8 までメッセージ格納時 1 1 0 : FIFO バッファに 7/8 までメッセージ格納時 1 1 1 : FIFO バッファがフルのとき

表 21.50 RSCANnCFCCk レジスタの内容 (2/2)

ビット位置	ビット名	機能
12	CFIM	送受信 FIFO 割り込み要因選択ビット 0 : <ul style="list-style-type: none"> 受信モード、ゲートウェイモード時 受信メッセージ数が CFIGCV[2:0] ビットで設定した条件に達したとき、FIFO 受信割り込み要求発生 送信モード、ゲートウェイモード時 メッセージ送信完了によってバッファが空になったとき、FIFO 送信割り込み要求発生 1 : <ul style="list-style-type: none"> 受信モード、ゲートウェイモード時 1 メッセージ受信ごとに FIFO 受信割り込み要求発生 送信モード、ゲートウェイモード時 1 メッセージ送信が完了するごとに FIFO 送信割り込み要求発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ~ 8	CFDC [2:0]	送受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0 : 0 メッセージ 0 0 1 : 4 メッセージ 0 1 0 : 8 メッセージ 0 1 1 : 16 メッセージ 1 0 0 : 32 メッセージ 1 0 1 : 48 メッセージ 1 1 0 : 64 メッセージ 1 1 1 : 128 メッセージ
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	CFTXIE	送受信 FIFO 送信割り込み許可ビット 0 : 送受信 FIFO 送信割り込み禁止 1 : 送受信 FIFO 送信割り込み許可
1	CFRXIE	送受信 FIFO 受信割り込み許可ビット 0 : 送受信 FIFO 受信割り込み禁止 1 : 送受信 FIFO 受信割り込み許可
0	CFE	送受信 FIFO バッファ許可ビット 0 : 送受信 FIFO バッファを使用しない 1 : 送受信 FIFO バッファを使用する

CFITT[7:0] ビット

CFM[1:0] ビットを“01_B” (送信モード) または“10_B” (ゲートウェイモード) に設定した送受信 FIFO バッファから連続してメッセージを送信する場合、メッセージの送信間隔を設定します。

CFE ビットを“0” (送受信 FIFO バッファを使用しない) にしてから、CFITT[7:0] ビットを書き換えてください。

CFTML[3:0] ビット

CFM[1:0] ビットを“01_B” (送信モード) または“10_B” (ゲートウェイモード) に設定した場合、送受信 FIFO バッファ k にリンクさせる送信バッファ番号を設定します。チャンネル当たり 3 つの送受信 FIFO バッファがあり、FIFO バッファ k が割り当てられているチャンネル番号 m は、k/3 の整数となります。FIFO バッファ k にリンクされる実際の送信バッファ番号 p は、(16 × m) + CFTML[3:0] となります。

送受信 FIFO バッファ k と送信バッファ p の関係は、表 21.15 および表 21.16 を参照してください。

CFDC[2:0] ビットを“001_B”以上にすると、CFTML[3:0] ビットの設定が有効になります。

同一チャネルの送信キュー、またはその他の送受信 FIFO バッファに既に割り当てられている送信バッファにはリンクしないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFITR ビット

CFITSS ビットが“0”のとき、有効です。

“0”のとき、インターバルタイマクロックソースは、pclk/2 を RSCANnGCFCFG レジスタの ITRCP [15:0] ビットで分周したクロックとなります。

“1”のとき、インターバルタイマクロックソースは、pclk/2 を RSCANnGCFCFG レジスタの ITRCP[15:0] ビットの値×10 で分周したクロックとなります。

CFE ビットが“0”（送受信 FIFO バッファを使用しない）の状態、CFITR ビットを書き換えてください。

CFITSS ビット

“0”のとき、CFITR ビットで選択したクロックがインターバルタイマのカウントソースになります。

“1”のとき、FIFO にリンクしているチャネルのビットタイムクロックがインターバルタイマのカウントソースになります。

CFE ビットが“0”（送受信 FIFO バッファを使用しない）の状態、CFITSS ビットを書き換えてください。

CFM[1:0] ビット

送受信 FIFO のモードを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFIGCV[2:0] ビット

CFM[1:0] ビットを“00_B”（受信モード）または“10_B”（ゲートウェイモード）に、CFIM ビットを“0”にした場合の送受信 FIFO 受信割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数（CFDC[2:0] の設定）に対する分数で指定します。

CFDC[2:0] ビットを“001_B”（4 メッセージ）に設定した場合は、CFIGCV[2:0] ビットを“001_B”、“011_B”、“101_B”、または“111_B”にしてください。

このビットはグローバルリセットモードでのみ書き換えてください。

CFIM ビット

送受信 FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFDC[2:0] ビット

1 つの送受信 FIFO バッファに格納できるメッセージの数を設定します。“000_B”に設定した場合は、送受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFTXIE ビット

このビットを“1”に設定し、RSCANnCFSTSk レジスタの CFTXIF フラグが“1”になった場合、送受信 FIFO 送信割り込み要求が発生します。

CFE ビットが“0”（送受信 FIFO バッファを使用しない）の状態で、CFTXIE ビットを書き換えてください。

CFRXIE ビット

このビットを“1”に設定し、RSCANnCFSTSk レジスタの CFRXIF フラグが“1”になった場合、送受信 FIFO 受信割り込み要求が発生します。

CFE ビットが“0”の状態で、CFRXIE ビットを書き換えてください。

CFE ビット

“1”にすると、送受信 FIFO バッファを使用できます。

“0”にすると、送信モードまたはゲートウェイモードでは、送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトラジョンロストの後に、空になります。それ以外の場合、または受信モードでは直ちに空になります。

このビットは、次に示す条件で“0”になります。

- 受信モード時：グローバルリセットモード
- 送信モードまたはゲートウェイモード時：チャンネルリセットモード

このビットは、次に示すモードで書き換えてください。

- 受信モード：グローバル動作モードまたはグローバルテストモード
- 送信モードまたはゲートウェイモード：チャンネル通信モードまたはチャンネル待機モード

このビットは、RSCANnCFCCk レジスタの他のすべてのビットを設定後に、別の命令を使用して“1”にしてください。

21.4.7.2 RSCANnCFSTSk — 送受信 FIFO バッファステータスレジスタ (k = 0 ~ 17)

アクセス RSCANnCFSTSk レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnCFSTSkL レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnCFSTSkLL レジスタは、8 ビット単位でリード/ライト可能です。
RSCANnCFSTSkLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnCFSTSk: <RSCANn_base> + 0178_H + (04_H × k)
RSCANnCFSTSkL: <RSCANn_base> + 0178_H + (04_H × k)
RSCANnCFSTSkLL: <RSCANn_base> + 0178_H + (04_H × k)、
RSCANnCFSTSkLH: <RSCANn_base> + 0179_H + (04_H × k)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFMC [7:0]							—	—	—	CFTXIF	CFRXIF	CFMLT	CFLL	CFEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R/W 注1	R	R

注1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.51 RSCANnCFSTSk レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 8	CFMC [7:0]	送受信 FIFO メッセージ数表示カウンタ 送受信 FIFO バッファに格納されたメッセージ数を示します。
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	CFTXIF	送受信 FIFO 送信割り込み要求フラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
3	CFRXIF	送受信 FIFO 受信割り込み要求フラグ 0: 送受信 FIFO 受信割り込み要求なし 1: 送受信 FIFO 受信割り込み要求あり
2	CFMLT	送受信 FIFO メッセージロスフラグ 0: 送受信 FIFO メッセージロスなし 1: 送受信 FIFO メッセージロス
1	CFLL	送受信 FIFO バッファフルステータスフラグ 0: 送受信 FIFO バッファフルではない 1: 送受信 FIFO バッファフル
0	CFEMP	送受信 FIFO バッファ空ステータスフラグ 0: 送受信 FIFO バッファにメッセージあり 1: 送受信 FIFO バッファにメッセージなし (バッファ空)

CFMC[7:0] ビット

CFMC[7:0] ビットが示す値は、RSCANnCFCCk レジスタの CFM[1:0] ビットの設定により次のようになります。

- CFM[1:0] ビットが “01_B” (送信モード) の場合: バッファに格納した未送信メッセージ数

- CFM[1:0] ビットが“00_B” (受信モード) の場合 : バッファに格納された未読の受信メッセージ数
- CFM[1:0] ビットが“10_B” (ゲートウェイモード) の場合 : バッファに格納された受信メッセージの内、未送信のメッセージ数

このビットは、次に示す条件で“0”になります。

- CFM[1:0] ビットが“00_B”の場合 : グローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合 : チャネルリセットモード
- RSCANnCFCCk レジスタの CFE ビットが 0 にクリアされた場合

CFTXIF フラグ

次の条件で、CFTXIF フラグは“1”になります。

- CFM[1:0] ビットが“01_B”または“10_B”で、RSCANnCFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFTXIF フラグは“0”になります。

- CFTXIF フラグへの“0”書き込み
- CFM[1:0] ビットが“00_B”の場合 : グローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合 : チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

CFRXIF フラグ

次の条件で、CFRXIF フラグは“1”になります。

- CFM[1:0] ビットが“00_B”または“10_B”で、RSCANnCFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFRXIF フラグは“0”になります。

- CFRXIF フラグへの“0”書き込み
- CFM[1:0] ビットが“00_B”の場合 : グローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合 : チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

CFMLT フラグ

次の条件で、CFMLT フラグは“1”になります。

- 送受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたと

き。この場合、新しいメッセージは破棄されます。

次の条件で、CFMLT フラグは“0”になります。

- CFMLT フラグへの“0”書き込み
- CFM[1:0] ビットが“00_B”の場合：グローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合：チャンネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

CFLL フラグ

次の条件で、CFLL フラグは“1”になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、RSCANnCFCCk レジスタの CFDC[2:0] ビットで設定した段数と一致したとき

次の条件で、CFLL フラグは“0”になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、CFDC[2:0] ビットで設定した段数より小さくなったとき
- RSCANnCFCCk レジスタの CFE ビットが“0”（送受信 FIFO バッファを使用しない）の場合：送信アポート中でないとき
- CFM[1:0] ビットが“00_B”の場合：グローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合：チャンネルリセットモード

CFEMP フラグ

次の条件で、CFEMP フラグは“1”になります。

- CFM[1:0] ビットが“00_B”の場合：
全メッセージを読み出したとき、またはグローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合：
すべてのメッセージを送信したとき、またはチャンネルリセットモード
- CFE ビットが“0”（送受信 FIFO バッファを使用しない）の場合：
送信アポート中でないとき

次の条件で、CFEMP フラグは“0”になります。

- CFM[1:0] ビットが“00_B”または“10_B”の場合：
受信メッセージが1つでも送受信 FIFO バッファに格納されたとき
- CFM[1:0] ビットが“01_B”の場合：
RSCANnCFIDk、RSCANnCFPTRk、RSCANnCFDF0k、RSCANnCFDF1k レジスタに書いてから、RSCANnCFPCTRk レジスタに“FF_H”を書いたとき

備考

CFMXIF、CFRXIF、CFMLT フラグを“0”にする場合は、プログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、それ以外のフラグには“1”を書いてください。

21.4.7.3 RSCANnCFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ (k = 0 ~ 17)

アクセス RSCANnCFPCTRk レジスタは、32 ビット単位でライトのみ可能です。
RSCANnCFPCTRkL レジスタは、16 ビット単位でライトのみ可能です。
RSCANnCFPCTRkLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCANnCFPCTRk: <RSCANn_base> + 01D8_H + (04_H × k)
RSCANnCFPCTRkL: <RSCANn_base> + 01D8_H + (04_H × k)
RSCANnCFPCTRkLL: <RSCANn_base> + 01D8_H + (04_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CFPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 21.52 RSCANnCFPCTRk レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ~ 0	CFPC [7:0]	送受信 FIFO ポインタ制御 <ul style="list-style-type: none"> 受信モード時 “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。 送信モード時 “FF_H” を書くと、送受信 FIFO バッファの次の段にライトポインタが移動します。 ゲートウェイモード時 設定しないでください。

CFPC[7:0] ビット

- 受信モード (RSCANnCFCCk レジスタの CFM[1:0] ビットが “00_B”) のとき：
CFPC[7:0] ビットに “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCANnCFSTSk レジスタの CFMC[7:0] ビット (送受信 FIFO メッセージ数表示カウンタ) の値が 1 減算されます。RSCANnCFIDk、RSCANnCFPTRk、RSCANnCFDF0k、RSCANnCFDF1k レジスタを読んで送受信 FIFO バッファからメッセージを読み出したあと、CFPC[7:0] ビットに “FF_H” を書いてください。
なお、“FF_H” の書き込みは RSCANnCFCCk レジスタの CFE ビットが “1” (送受信 FIFO バッファを使用する) で、RSCANnCFSTSk レジスタの CFEMP フラグが “0” (メッセージあり) のときに行ってください。
- 送信モード (RSCANnCFCCk レジスタの CFM[1:0] ビットが “01_B”) のとき：
CFPC[7:0] ビットに “FF_H” を書くと、RSCANnCFIDk、RSCANnCFPTRk、RSCANnCFDF0k、RSCANnCFDF1k レジスタに書いたデータが送受信 FIFO バッファに格納され、バッファの次の段にライトポインタが移動します。このとき CFMC[7:0] ビットの値が 1 加算されます。RSCANnCFIDk、RSCANnCFPTRk、RSCANnCFDF0k、RSCANnCFDF1k レジスタに送信メッセージを書いた後に、CFPC[7:0] ビットに “FF_H”

を書いてください。

なお、“FF_H”の書き込みは、RSCAN_nCFCCk レジスタの CFE ビットが“1”で、RSCAN_nCFSTSk レジスタの CFLL フラグが“0”（フルではない）のときに行ってください。

- ゲートウェイモード（RSCAN_nCFCCk レジスタの CFM[1:0] ビットが“10_B”）のとき：設定しないでください。

21.4.7.4 RSCANnCFIDk — 送受信 FIFO バッファアクセス ID レジスタ (k = 0 ~ 17)

アクセス RSCANnCFIDk レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnCFIDkL、RSCANnCFIDkH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnCFIDkLL、RSCANnCFIDkLH、RSCANnCFIDkHL、RSCANnCFIDkHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnCFIDk: <RSCANn_base> + 0E80_H + (10_H × k)

RSCANnCFIDkL: <RSCANn_base> + 0E80_H + (10_H × k)、
RSCANnCFIDkH: <RSCANn_base> + 0E82_H + (10_H × k)

RSCANnCFIDkLL: <RSCANn_base> + 0E80_H + (10_H × k)、
RSCANnCFIDkLH: <RSCANn_base> + 0E81_H + (10_H × k)、
RSCANnCFIDkHL: <RSCANn_base> + 0E82_H + (10_H × k)、
RSCANnCFIDkHH: <RSCANn_base> + 0E83_H + (10_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFIDE	CFRTR	THLEN	CFID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.53 RSCANnCFIDk レジスタの内容

ビット位置	ビット名	機能
31	CFIDE	送受信 FIFO バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	CFRTR	送受信 FIFO バッファ RTR ビット 0: データフレーム 1: リモートフレーム
29	THLEN	送信履歴データ格納許可ビット CFM[1:0] ビットが“01 _B ” (送信モード) 時のみ有効 0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する
28 ~ 0	CFID [28:0]	送受信 FIFO バッファ ID データ <ul style="list-style-type: none"> CFM[1:0] ビットが“01_B” (送信モード) 時 標準 ID または拡張 ID を設定してください。標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は“0”にしてください。 CFM[1:0] ビットが“00_B” (受信モード) 時 受信メッセージの標準 ID または拡張 ID が読めます。標準 ID の場合、b10 ~ b0 を読んでください。b28 ~ b11 は“0”が読めます。

RSCANnCFIDk レジスタの CFM[1:0] ビットが“01_B” (送信モード) の場合のみ、このレジスタに書けます。CFM[1:0] ビットが“00_B” (受信モード) の場合のみ、このレジスタを読めます。CFM[1:0] ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタにアクセスしないでください。

CFIDE ビット

CFM[1:0] ビットが“00_B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID フォーマット (標準 ID または拡張 ID) を示します。CFM[1:0] ビットが“01_B” のとき、送受信 FIFO バッファから送信するメッセージの ID フォーマットを設定します。

CFRTR ビット

CFM[1:0] ビットが“00_B”のとき、送受信 FIFO バッファに格納された受信メッセージのデータフォーマット（データフレームまたはリモートフレーム）を示します。CFM[1:0] ビットが“01_B”のとき、送受信 FIFO バッファから送信するメッセージのデータフォーマットを設定します。

THLEN ビット

“1”にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファタイプ）が送信履歴バッファに格納されます。

CFM[1:0] ビットが“01_B”（送信モード）のときに、有効になります。

CFID[28:0] ビット

CFM[1:0] ビットが“00_B”のとき、送受信 FIFO バッファに格納された受信メッセージの ID を含んでいます。

CFM[1:0] ビットが“01_B”のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

21.4.7.5 RSCANnCFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ (k = 0 ~ 17)

アクセス RSCANnCFPTRk レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnCFPTRkL、RSCANnCFPTRkH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnCFPTRkLL、RSCANnCFPTRkLH、RSCANnCFPTRkHL、RSCANnCFPTRkHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnCFPTRk: $\langle \text{RSCANn_base} \rangle + 0\text{E}84_{\text{H}} + (10_{\text{H}} \times k)$
RSCANnCFPTRkL: $\langle \text{RSCANn_base} \rangle + 0\text{E}84_{\text{H}} + (10_{\text{H}} \times k)$ 、
RSCANnCFPTRkH: $\langle \text{RSCANn_base} \rangle + 0\text{E}86_{\text{H}} + (10_{\text{H}} \times k)$
RSCANnCFPTRkLL: $\langle \text{RSCANn_base} \rangle + 0\text{E}84_{\text{H}} + (10_{\text{H}} \times k)$ 、
RSCANnCFPTRkLH: $\langle \text{RSCANn_base} \rangle + 0\text{E}85_{\text{H}} + (10_{\text{H}} \times k)$ 、
RSCANnCFPTRkHL: $\langle \text{RSCANn_base} \rangle + 0\text{E}86_{\text{H}} + (10_{\text{H}} \times k)$ 、
RSCANnCFPTRkHH: $\langle \text{RSCANn_base} \rangle + 0\text{E}87_{\text{H}} + (10_{\text{H}} \times k)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDLC [3:0]				CFPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFTS [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.54 RSCANnCFPTRk レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	CFDLC [3:0]	送受信 FIFO バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ~ 16	CFPTR [11:0]	送受信 FIFO バッファラベルデータ <ul style="list-style-type: none"> CFM[1:0] ビットが“01_B” (送信モード) 時 送信履歴バッファに格納するラベル情報を設定してください。 CFPTR[7:0] のみ有効です。 CFM[1:0] ビットが“00_B” (受信モード) 時 受信メッセージのラベル情報が読めます。
15 ~ 0	CFTS [15:0]	送受信 FIFO バッファタイムスタンプデータ CFM[1:0] ビットが“00 _B ” (受信モード) 時のみ有効 受信メッセージのタイムスタンプ値が読めます。

RSCANnCFCCk レジスタの CFM[1:0] ビットが“01_B” (送信モード) の場合のみ、このレジスタに書けます。CFM[1:0] ビットが“00_B” (受信モード) の場合のみ、このレジスタを読めます。CFM[1:0] ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタにアクセスしないでください。

CFDLC[3:0] ビット

CFM[1:0] ビットが“00_B”のとき、送受信 FIFO バッファに格納された受信メッセージのデータ長を示します。CFM[1:0] ビットが“01_B”のとき、送受信 FIFO バッファから送信されるメッセージのデータ長を設定します。9 バイト以上を設定した場合、実際に送られるデータは 8 バイトになります。

CFPTR[11:0] ビット

CFM[1:0] ビットが“00_B”のとき、送受信 FIFO バッファに格納された受信メッセージに添付したラベル情報を示します。CFM[1:0] ビットが“01_B”のとき、メッセージ送信が完了した場合、CFPTR[7:0] ビットの値が送信履歴に格納されます。

CFTS[15:0] ビット

送受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。

CFM[1:0] ビットが“00_B”のときに、有効になります。

21.4.7.6 RSCANnCFDF0k — 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ (k = 0 ~ 17)

アクセス RSCANnCFDF0k レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnCFDF0kL、RSCANnCFDF0kH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnCFDF0kLL、RSCANnCFDF0kLH、RSCANnCFDF0kHL、RSCANnCFDF0kHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnCFDF0k: $\langle \text{RSCANn_base} \rangle + 0\text{E}88_{\text{H}} + (10_{\text{H}} \times k)$
RSCANnCFDF0kL: $\langle \text{RSCANn_base} \rangle + 0\text{E}88_{\text{H}} + (10_{\text{H}} \times k)$ 、
RSCANnCFDF0kH: $\langle \text{RSCANn_base} \rangle + 0\text{E}8\text{A}_{\text{H}} + (10_{\text{H}} \times k)$
RSCANnCFDF0kLL: $\langle \text{RSCANn_base} \rangle + 0\text{E}88_{\text{H}} + (10_{\text{H}} \times k)$ 、
RSCANnCFDF0kLH: $\langle \text{RSCANn_base} \rangle + 0\text{E}89_{\text{H}} + (10_{\text{H}} \times k)$ 、
RSCANnCFDF0kHL: $\langle \text{RSCANn_base} \rangle + 0\text{E}8\text{A}_{\text{H}} + (10_{\text{H}} \times k)$ 、
RSCANnCFDF0kHH: $\langle \text{RSCANn_base} \rangle + 0\text{E}8\text{B}_{\text{H}} + (10_{\text{H}} \times k)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB3 [7:0]								CFDB2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB1 [7:0]								CFDB0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.55 RSCANnCFDF0k レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	CFDB3 [7:0]	送受信 FIFO バッファデータバイト 3
23 ~ 16	CFDB2 [7:0]	送受信 FIFO バッファデータバイト 2
15 ~ 8	CFDB1 [7:0]	送受信 FIFO バッファデータバイト 1
7 ~ 0	CFDB0 [7:0]	送受信 FIFO バッファデータバイト 0

- CFM[1:0] ビットが“01_B” (送信モード) 時
送受信 FIFO バッファのデータを設定してください。
- CFM[1:0] ビットが“00_B” (受信モード) 時
送受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCANnCFCCk レジスタの CFM[1:0] ビットが“01_B” の場合のみ、このレジスタに書けません。

CFM[1:0] ビットが“00_B” の場合のみ、このレジスタを読めます。RSCANnCFPTRk レジスタの CFDLC[3:0] ビットの値が“1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

CFM[1:0] ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタにアクセスしないでください。

21.4.7.7 RSCANnCFDF1k — 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ (k = 0 ~ 17)

アクセス RSCANnCFDF1k レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnCFDF1kL、RSCANnCFDF1kH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnCFDF1kLL、RSCANnCFDF1kLH、RSCANnCFDF1kHL、RSCANnCFDF1kHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnCFDF1k: $\langle \text{RSCANn_base} \rangle + 0\text{E}8\text{C}_\text{H} + (10_\text{H} \times k)$
RSCANnCFDF1kL: $\langle \text{RSCANn_base} \rangle + 0\text{E}8\text{C}_\text{H} + (10_\text{H} \times k)$ 、
RSCANnCFDF1kH: $\langle \text{RSCANn_base} \rangle + 0\text{E}8\text{E}_\text{H} + (10_\text{H} \times k)$
RSCANnCFDF1kLL: $\langle \text{RSCANn_base} \rangle + 0\text{E}8\text{C}_\text{H} + (10_\text{H} \times k)$ 、
RSCANnCFDF1kLH: $\langle \text{RSCANn_base} \rangle + 0\text{E}8\text{D}_\text{H} + (10_\text{H} \times k)$ 、
RSCANnCFDF1kHL: $\langle \text{RSCANn_base} \rangle + 0\text{E}8\text{E}_\text{H} + (10_\text{H} \times k)$ 、
RSCANnCFDF1kHH: $\langle \text{RSCANn_base} \rangle + 0\text{E}8\text{F}_\text{H} + (10_\text{H} \times k)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB7 [7:0]								CFDB6 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB5 [7:0]								CFDB4 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.56 RSCANnCFDF1k レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	CFDB7 [7:0]	送受信 FIFO バッファデータバイト 7
23 ~ 16	CFDB6 [7:0]	送受信 FIFO バッファデータバイト 6
15 ~ 8	CFDB5 [7:0]	送受信 FIFO バッファデータバイト 5
7 ~ 0	CFDB4 [7:0]	送受信 FIFO バッファデータバイト 4
		<ul style="list-style-type: none"> CFM[1:0] ビットが“01_B” (送信モード) 時 送受信 FIFO バッファのデータを設定してください。 CFM[1:0] ビットが“00_B” (受信モード) 時 送受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCANnCFCCk レジスタの CFM[1:0] ビットが“01_B”の場合のみ、このレジスタに書けません。

CFM[1:0] ビットが“00_B”の場合のみ、このレジスタを読めます。RSCANnCFPTRk レジスタの CFDLC[3:0] ビットの値が“1000_B”未満の場合、データが設定されていないデータバイトは、“00_H”が読めます。

CFM[1:0] ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタにアクセスしないでください。

21.4.8 FIFO ステータス関連レジスタの詳細

21.4.8.1 RSCANnFESTS — FIFO エンプティステータスレジスタ

アクセス RSCANnFESTS レジスタは、32 ビット単位でリードのみ可能です。
RSCANnFESTSL、RSCANnFESTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnFESTSLL、RSCANnFESTSLH、RSCANnFESTSHL、RSCANnFESTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnFESTS: <RSCANn_base> + 0238_H
RSCANnFESTSL: <RSCANn_base> + 0238_H、
RSCANnFESTSH: <RSCANn_base> + 023A_H
RSCANnFESTSLL: <RSCANn_base> + 0238_H、
RSCANnFESTSLH: <RSCANn_base> + 0239_H、
RSCANnFESTSHL: <RSCANn_base> + 023A_H、
RSCANnFESTSHH: <RSCANn_base> + 023B_H

リセット後の値 03FF FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CF17E MP	CF16E MP	CF15E MP	CF14E MP	CF13E MP	CF12E MP	CF11E MP	CF10E MP	CF9EM P	CF8EM P
リセット後の値	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7EM P	CF6EM P	CF5EM P	CF4EM P	CF3EM P	CF2EM P	CF1EM P	CF0EM P	RF7EM P	RF6EM P	RF5EM P	RF4EM P	RF3EM P	RF2EM P	RF1EM P	RF0EM P
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.57 RSCANnFESTS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。
25	CF17EMP	送受信 FIFO バッファエンプティステータスフラグ 0: 送受信 FIFO バッファ k にメッセージあり 1: 送受信 FIFO バッファ k にメッセージなし (k = 0 ~ 17)
24	CF16EMP	
23	CF15EMP	
22	CF14EMP	
21	CF13EMP	
20	CF12EMP	
19	CF11EMP	
18	CF10EMP	
17	CF9EMP	
16	CF8EMP	
15	CF7EMP	
14	CF6EMP	
13	CF5EMP	
12	CF4EMP	
11	CF3EMP	
10	CF2EMP	
9	CF1EMP	
8	CF0EMP	

表 21.57 RSCANnFESTS レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	RF7EMP	受信 FIFO バッファエンプティステータスフラグ 0: 受信 FIFO バッファ x に未読メッセージあり 1: 受信 FIFO バッファ x に未読メッセージなし (x = 0 ~ 7)
6	RF6EMP	
5	RF5EMP	
4	RF4EMP	
3	RF3EMP	
2	RF2EMP	
1	RF1EMP	
0	RF0EMP	

RSCANnFESTS レジスタは、グローバルリセットモード時、“03FF FFFF_H”になります。

CFkEMP フラグ (k = 0 ~ 17)

RSCANnCFSTSk レジスタの CFEMP フラグが“1” (メッセージなし) になると、CFkEMP フラグは“1”になります。CFEMP フラグが“0” (メッセージあり) になると、CFkEMP フラグは“0”になります。

RFxEMP フラグ (x = 0 ~ 7)

RSCANnRFSTSc レジスタの RFEMP フラグが“1” (未読メッセージなし) になると、RFxEMP フラグは“1”になります。RFEMP フラグが“0” (未読メッセージあり) になると、RFxEMP フラグは“0”になります。

21.4.8.2 RSCANnFFSTS — FIFO フルステータスレジスタ

アクセス RSCANnFFSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCANnFFSTSL、RSCANnFFSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnFFSTSLL、RSCANnFFSTSLH、RSCANnFFSTSHL、RSCANnFFSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnFFSTS: <RSCANn_base> + 023C_H

RSCANnFFSTSL: <RSCANn_base> + 023C_H、
RSCANnFFSTSH: <RSCANn_base> + 023E_H

RSCANnFFSTSLL: <RSCANn_base> + 023C_H、
RSCANnFFSTSLH: <RSCANn_base> + 023D_H、
RSCANnFFSTSHL: <RSCANn_base> + 023E_H、
RSCANnFFSTSHH: <RSCANn_base> + 023F_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CF17FL	CF16FL	CF15FL	CF14FL	CF13FL	CF12FL	CF11FL	CF10FL	CF9FLL	CF8FLL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7FLL	CF6FLL	CF5FLL	CF4FLL	CF3FLL	CF2FLL	CF1FLL	CF0FLL	RF7FLL	RF6FLL	RF5FLL	RF4FLL	RF3FLL	RF2FLL	RF1FLL	RF0FLL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.58 RSCANnFFSTS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。
25	CF17FLL	送受信 FIFO バッファフルステータスフラグ 0 : 送受信 FIFO バッファ k はフルではない 1 : 送受信 FIFO バッファ k はフル (k = 0 ~ 17)
24	CF16FLL	
23	CF15FLL	
22	CF14FLL	
21	CF13FLL	
20	CF12FLL	
19	CF11FLL	
18	CF10FLL	
17	CF9FLL	
16	CF8FLL	
15	CF7FLL	
14	CF6FLL	
13	CF5FLL	
12	CF4FLL	
11	CF3FLL	
10	CF2FLL	
9	CF1FLL	
8	CF0FLL	

表 21.58 RSCANnFFSTS レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	RF7FLL	受信 FIFO バッファフルステータスフラグ 0: 受信 FIFO バッファ x はフルではない 1: 受信 FIFO バッファ x はフル (x = 0 ~ 7)
6	RF6FLL	
5	RF5FLL	
4	RF4FLL	
3	RF3FLL	
2	RF2FLL	
1	RF1FLL	
0	RF0FLL	

RSCANnFFSTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkFLL フラグ (k = 0 ~ 17)

RSCANnCFSTS_k レジスタの CFFLL フラグが“1” (バッファフル) になると、CFkFLL フラグは“1”になります。

CFFLL フラグが“0” (送受信 FIFO がバッファフルでない) になると、CFkFLL フラグは“0”になります。

RFxFLL フラグ (x = 0 ~ 7)

RSCANnRFSTS_x レジスタの RFFLL フラグが“1” (バッファフル) になると、RFxFLL フラグは“1”になります。RFFLL フラグが“0” (バッファフルでない) になると、RFxFLL フラグは“0”になります。

21.4.8.3 RSCANnFMSTS — FIFO メッセージロストステータスレジスタ

アクセス RSCANnFMSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCANnFMSTSL、RSCANnFMSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnFMSTSLH、RSCANnFMSTSLH、RSCANnFMSTSHL、RSCANnFMSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnFMSTS: <RSCANn_base> + 0240_H

RSCANnFMSTSL: <RSCANn_base> + 0240_H、
RSCANnFMSTSH: <RSCANn_base> + 0242_H

RSCANnFMSTSLH: <RSCANn_base> + 0240_H、
RSCANnFMSTSLH: <RSCANn_base> + 0241_H、
RSCANnFMSTSHL: <RSCANn_base> + 0242_H、
RSCANnFMSTSHH: <RSCANn_base> + 0243_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CF17MLT	CF16MLT	CF15MLT	CF14MLT	CF13MLT	CF12MLT	CF11MLT	CF10MLT	CF9MLT	CF8MLT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7MLT	CF6MLT	CF5MLT	CF4MLT	CF3MLT	CF2MLT	CF1MLT	CF0MLT	RF7MLT	RF6MLT	RF5MLT	RF4MLT	RF3MLT	RF2MLT	RF1MLT	RF0MLT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.59 RSCANnFMSTS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。
25	CF17MLT	送受信 FIFO バッファメッセージロストステータスフラグ 0 : 送受信 FIFO バッファ k メッセージロストなし 1 : 送受信 FIFO バッファ k メッセージロスト (k = 0 ~ 17)
24	CF16MLT	
23	CF15MLT	
22	CF14MLT	
21	CF13MLT	
20	CF12MLT	
19	CF11MLT	
18	CF10MLT	
17	CF9MLT	
16	CF8MLT	
15	CF7MLT	
14	CF6MLT	
13	CF5MLT	
12	CF4MLT	
11	CF3MLT	
10	CF2MLT	
9	CF1MLT	
8	CF0MLT	

表 21.59 RSCANnFMSTS レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	RF7MLT	受信 FIFO バッファメッセージロストステータスフラグ 0: 受信 FIFO バッファ x メッセージロストなし 1: 受信 FIFO バッファ x メッセージロスト (x = 0 ~ 7)
6	RF6MLT	
5	RF5MLT	
4	RF4MLT	
3	RF3MLT	
2	RF2MLT	
1	RF1MLT	
0	RF0MLT	

RSCANnFMSTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkMLT フラグ (k = 0 ~ 17)

RSCANnCFSTS_k レジスタの CFMLT フラグが“1” (メッセージロスト) になると、CFkMLT フラグは“1”になります。

CFMLT フラグを“0”にすると、CFkMLT フラグは“0”になります。

RFxMLT フラグ (x = 0 ~ 7)

RSCANnRFSTS_x レジスタの RFMLT フラグが“1” (メッセージロスト) になると、RFxMLT フラグは“1”になります。RFMLT フラグを“0”にすると、RFxMLT フラグは“0”になります。

21.4.8.4 RSCANnRFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ

アクセス RSCANnRFISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRFISTS_{SL} レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRFISTS_{SL_L} レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRFISTS: <RSCANn_base> + 0244_H
RSCANnRFISTS_{SL}: <RSCANn_base> + 0244_H
RSCANnRFISTS_{SL_L}: <RSCANn_base> + 0244_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RF7IF	RF6IF	RF5IF	RF4IF	RF3IF	RF2IF	RF1IF	RF0IF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.60 RSCANnRFISTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。
7	RF7IF	受信 FIFO バッファ割り込み要求ステータスフラグ 0: 受信 FIFO バッファ x 割り込み要求なし 1: 受信 FIFO バッファ x 割り込み要求あり (x = 0 ~ 7)
6	RF6IF	
5	RF5IF	
4	RF4IF	
3	RF3IF	
2	RF2IF	
1	RF1IF	
0	RF0IF	

RSCANnRFISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

RFxIF フラグ (x = 0 ~ 7)

RSCANnRFISTS_x レジスタの RFIF フラグが“1” (割り込み要求あり) になると、RFxIF フラグは“1”になります。RFIF フラグを“0”にすると、RFxIF フラグは“0”になります。

21.4.8.5 RSCANnCFRISTS — 送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ

アクセス RSCANnCFRISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCANnCFRISTSL、RSCANnCFRISTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnCFRISTSLL、RSCANnCFRISTSLH、RSCANnCFRISTSHL レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnCFRISTS: <RSCANn_base> + 0248_H

RSCANnCFRISTSL: <RSCANn_base> + 0248_H、
RSCANnCFRISTSH: <RSCANn_base> + 024A_H

RSCANnCFRISTSLL: <RSCANn_base> + 0248_H、
RSCANnCFRISTSLH: <RSCANn_base> + 0249_H、
RSCANnCFRISTSHL: <RSCANn_base> + 024A_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CF17RXIF	CF16RXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF15RXIF	CF14RXIF	CF13RXIF	CF12RXIF	CF11RXIF	CF10RXIF	CF9RXIF	CF8RXIF	CF7RXIF	CF6RXIF	CF5RXIF	CF4RXIF	CF3RXIF	CF2RXIF	CF1RXIF	CF0RXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.61 RSCANnCFRISTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 18	予約ビット	リードした場合はリセット後の値が読めます。
17	CF17RXIF	送受信 FIFO バッファ受信割り込み要求ステータスフラグ 0: 送受信 FIFO バッファ k 受信割り込み要求なし 1: 送受信 FIFO バッファ k 受信割り込み要求あり (k = 0 ~ 17)
16	CF16RXIF	
15	CF15RXIF	
14	CF14RXIF	
13	CF13RXIF	
12	CF12RXIF	
11	CF11RXIF	
10	CF10RXIF	
9	CF9RXIF	
8	CF8RXIF	
7	CF7RXIF	
6	CF6RXIF	
5	CF5RXIF	
4	CF4RXIF	
3	CF3RXIF	
2	CF2RXIF	
1	CF1RXIF	
0	CF0RXIF	

RSCANnCFRISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkRXIF フラグ (k = 0 ~ 17)

RSCAN_nCFSTSk レジスタの CFRXIF フラグが“1” (割り込み要求あり) になると、CFkRXIF フラグは“1”になります。CFRXIF フラグを“0”にすると、CFkRXIF フラグは“0”になります。

21.4.8.6 RSCANnCFITISTS — 送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ

アクセス RSCANnCFITISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCANnCFITISTSL、RSCANnCFITISTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnCFITISTSLL、RSCANnCFITISTSLH、RSCANnCFITISTSHL レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnCFITISTS: <RSCANn_base> + 024C_H
RSCANnCFITISTSL: <RSCANn_base> + 024C_H、
RSCANnCFITISTSH: <RSCANn_base> + 024E_H
RSCANnCFITISTSLL: <RSCANn_base> + 024C_H、
RSCANnCFITISTSLH: <RSCANn_base> + 024D_H、
RSCANnCFITISTSHL: <RSCANn_base> + 024E_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CF17TXIF	CF16TXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF15TXIF	CF14TXIF	CF13TXIF	CF12TXIF	CF11TXIF	CF10TXIF	CF9TXIF	CF8TXIF	CF7TXIF	CF6TXIF	CF5TXIF	CF4TXIF	CF3TXIF	CF2TXIF	CF1TXIF	CF0TXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.62 RSCANnCFITISTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 18	予約ビット	リードした場合はリセット後の値が読めます。
17	CF17TXIF	送受信 FIFO バッファ 送信割り込み要求ステータスフラグ 0: 送受信 FIFO バッファ k 送信割り込み要求なし 1: 送受信 FIFO バッファ k 送信割り込み要求あり (k = 0 ~ 17)
16	CF16TXIF	
15	CF15TXIF	
14	CF14TXIF	
13	CF13TXIF	
12	CF12TXIF	
11	CF11TXIF	
10	CF10TXIF	
9	CF9TXIF	
8	CF8TXIF	
7	CF7TXIF	
6	CF6TXIF	
5	CF5TXIF	
4	CF4TXIF	
3	CF3TXIF	
2	CF2TXIF	
1	CF1TXIF	
0	CF0TXIF	

RSCANnCFITISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkTXIF フラグ (k = 0 ~ 17)

RSCAN_nCFSTSk レジスタの CFTXIF フラグが“1” (割り込み要求あり) になると、CFkTXIF フラグは“1”になります。CFTXIF フラグを“0”にすると、CFkTXIF フラグは“0”になります。

21.4.9 送信バッファ関連レジスタの詳細

21.4.9.1 RSCANnTMCp — 送信バッファ制御レジスタ (p = 0 ~ 95)

アクセス RSCANnTMCp レジスタは、8ビット単位でリード/ライト可能です。

アドレス RSCANnTMCp: <RSCANn_base> + 0250_H + (01_H × p)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	TMOM	TMTAR	TMTR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W注1	R/W注1

注1. このビットへの書き込みは、ビットセットする (“1” にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.63 RSCANnTMCp レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TMOM	ワンショット送信許可ビット 0: ワンショット送信禁止 1: ワンショット送信許可
1	TMTAR	送信アボート要求ビット 0: 送信アボートを要求しない 1: 送信アボートを要求する
0	TMTR	送信要求ビット 0: 送信を要求しない 1: 送信を要求する

RSCANnTMCp レジスタが次の条件を満たす場合は、“00_H” にしてください。

- RSCANnCFCCk レジスタの CFTML[3:0] ビットで選択した送信バッファ番号に対応する RSCANnTMCp レジスタ (p = m × 16 + CFTML[3:0] ビットの値)
- RSCANnTXQCCm レジスタ (m = 0 ~ 5) の TXQDC[3:0] ビットで送信キューに割り当てた送信バッファに対応する RSCANnTMCp レジスタ (p = (m × 16 + 15) ~ (m × 16 + 15 - TXQDC[3:0] ビットの値))

RSCANnTMCp レジスタのビットは、チャンネルリセットモード時に “0” になります。

RSCANnTMCp レジスタは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。

TMOM ビット

“1” にすると、ワンショット送信が許可されます。送信に失敗しても、CAN プロトコルに規定された再送信を行いません。

TMOM ビットは、RSCANnTMSTSp レジスタの TMTRM フラグが “0” のときに書き換えてください。TMOM ビットに “1” を書く場合は、TMTR ビットと同時に “1” を書いてください。

TMTAR ビット

“1” にすると、送信バッファに格納されたメッセージの送信アボート要求が発生します。ただし、送信中または次の送信に決定したメッセージはアボートできません。

TMTR ビットが“1”のとき、TMTAR ビットを“1”にできます。

TMTAR ビットは次の条件で“0”になります。プログラムで“0”を書いても“0”になりません。

- 送信が完了したとき
- 送信アボートが完了したとき
- エラーまたはアービトレーションロストを検出したとき

“0”になるタイミングと“1”を書くタイミングが同じ場合、“0”になります。

TMTR ビット

“1”にすると、送信バッファに格納されたメッセージの送信を行います。

TMTR ビットは次の条件で“0”になります。プログラムで“0”を書いても“0”にできません。

- 送信が完了したとき
- TMTAR ビットを“1”にし、送信アボートが完了したとき
- TMOM ビットが“1”の状態、エラーまたはアービトレーションロストを検出したとき

RSCANnTMSTSp レジスタの TMTRF[1:0] フラグが“00_B”のときに、TMTR ビットを“1”に設定してください。

21.4.9.2 RSCANnTMSTSp — 送信バッファステータスレジスタ (p = 0 ~ 95)

アクセス RSCANnTMSTSp レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnTMSTSp: <RSCANn_base> + 02D0_H + (01_H × p)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	TMTARM	TMTRM	TMTRF[1:0]		TMTSTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R

表 21.64 RSCANnTMSTSp レジスタの内容

ビット位置	ビット名	機能
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	TMTARM	送信バッファ送信アボート要求ステータスフラグ 0: 送信アボート要求なし 1: 送信アボート要求あり
3	TMTRM	送信バッファ送信要求ステータスフラグ 0: 送信要求なし 1: 送信要求あり
2, 1	TMTRF[1:0]	送信バッファ送信結果フラグ b2 b1 0 0: 送信中、または送信要求なし 0 1: 送信アボート完了 1 0: 送信完了 (送信アボート要求なし) 1 1: 送信完了 (送信アボート要求あり)
0	TMTSTS	送信バッファ送信ステータスフラグ 0: 送信中ではない 1: 送信中

RSCANnTMSTSp レジスタのビットは、チャンネルリセットモード時に“0”になります。

TMTARM フラグ

RSCANnTMSTSp レジスタの TMTARM ビットを“1”にすると、TMTARM フラグは“1”になります。

RSCANnTMSTSp レジスタの TMTARM ビットが“0”になると、TMTARM フラグは“0”になります。

TMTRM フラグ

RSCANnTMSTSp レジスタの TMTRM ビットを“1”にすると、TMTRM フラグは“1”になります。

RSCANnTMSTSp レジスタの TMTRM ビットが“0”になると、TMTRM フラグは“0”になります。

TMTRF[1:0] フラグ

送信バッファからの送信結果を示します。

00_B: 送信中または送信要求なし。

01_B: 送信バッファからの送信がアボートされた。

10_B : RSCANnTMCp レジスタの TMTAR ビットが “0” (送信アボートを要求しない) で、送信が完了した。

11_B : RSCANnTMCp レジスタの TMTAR ビットが “1” (送信アボートを要求する) で、送信が完了した。

TMTRF[1:0] フラグは、チャンネル通信モードまたはチャンネル待機モードで “00_B” を書いてください。“00_B” 以外の値は書かないでください。

TMTSTS フラグ

送信バッファからの送信が開始すると、“1” になります。送信バッファからの送信が完了、またはバスエラーやアービトラージロストにより中断されると、“0” になります。

21.4.9.3 RSCANnTMIDp — 送信バッファ ID レジスタ (p = 0 ~ 95)

アクセス RSCANnTMIDp レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnTMIDpL、RSCANnTMIDpH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnTMIDpLL、RSCANnTMIDpLH、RSCANnTMIDpHL、RSCANnTMIDpHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnTMIDp: <RSCANn_base> + 1000_H + (10_H × p)

RSCANnTMIDpL: <RSCANn_base> + 1000_H + (10_H × p)、
RSCANnTMIDpH: <RSCANn_base> + 1002_H + (10_H × p)

RSCANnTMIDpLL: <RSCANn_base> + 1000_H + (10_H × p)、
RSCANnTMIDpLH: <RSCANn_base> + 1001_H + (10_H × p)、
RSCANnTMIDpHL: <RSCANn_base> + 1002_H + (10_H × p)、
RSCANnTMIDpHH: <RSCANn_base> + 1003_H + (10_H × p)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIDE	TMRTR	THLEN	TMID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.65 RSCANnTMIDp レジスタの内容

ビット位置	ビット名	機能
31	TMIDE	送信バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	TMRTR	送信バッファ RTR ビット 0: データフレーム 1: リモートフレーム
29	THLEN	送信履歴データ格納許可ビット 0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する
28 ~ 0	TMID [28:0]	送信バッファ ID データ 標準 ID または拡張 ID を設定してください。 標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は "0" にしてください。

このレジスタは、対応する RSCANnTMSTSp レジスタの TMTRM ビットが "0" (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャンネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMIDE ビット

送信バッファから送信するメッセージの ID フォーマットを設定します。

TMRTR ビット

送信バッファから送信するメッセージのデータフォーマットを設定します。

THLEN ビット

“1”にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファタイプ、RSCANnGCFG レジスタの TMTSCE ビットが“1”のときはタイムスタンプを含む）が送信履歴バッファに格納されます。

TMID[28:0] ビット

送信バッファから送信するメッセージの ID を設定します。

21.4.9.4 RSCANnTMPTRp — 送信バッファポインタレジスタ (p = 0 ~ 95)

アクセス RSCANnTMPTRp レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnTMPTRpH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnTMPTRpHL、RSCANnTMPTRpHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnTMPTRp: <RSCANn_base> + 1004_H + (10_H × p)
RSCANnTMPTRpH: <RSCANn_base> + 1006_H + (10_H × p)
RSCANnTMPTRpHL: <RSCANn_base> + 1006_H + (10_H × p)、
RSCANnTMPTRpHH: <RSCANn_base> + 1007_H + (10_H × p)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDLC [3:0]				—	—	—	—	TMPTR [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.66 RSCANnTMPTRp レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	TMDLC [3:0]	送信バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 × × × : 8 データバイト
27 ~ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23 ~ 16	TMPTR [7:0]	送信バッファラベルデータ 送信履歴バッファに格納するラベル情報を設定してください。
15 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

このレジスタは、対応する RSCANnTMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMDLC[3:0] ビット

RSCANnTMIDp レジスタの TMRTR ビットが“0”（データフレーム）のとき、送信バッファから送信されるメッセージのデータ長を設定します。9 バイト以上を設定した場合、送信されるデータは、8 バイトになります。

TMRTR ビットが“1”（リモートフレーム）のとき、要求するメッセージのデータ長を設定します。

TMPTR[7:0] ビット

メッセージ送信が完了した場合、TMPTR[7:0] ビットの値が送信履歴バッファに格納されま
す。

21.4.9.5 RSCANnTMDF0p — 送信バッファデータフィールド 0 レジスタ (p = 0 ~ 95)

アクセス RSCANnTMDF0p レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnTMDF0pL、RSCANnTMDF0pH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnTMDF0pLL、RSCANnTMDF0pLH、RSCANnTMDF0pHL、RSCANnTMDF0pHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnTMDF0p: <RSCANn_base> + 1008_H + (10_H × p)
RSCANnTMDF0pL: <RSCANn_base> + 1008_H + (10_H × p)、
RSCANnTMDF0pH: <RSCANn_base> + 100A_H + (10_H × p)
RSCANnTMDF0pLL: <RSCANn_base> + 1008_H + (10_H × p)、
RSCANnTMDF0pLH: <RSCANn_base> + 1009_H + (10_H × p)、
RSCANnTMDF0pHL: <RSCANn_base> + 100A_H + (10_H × p)、
RSCANnTMDF0pHH: <RSCANn_base> + 100B_H + (10_H × p)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB3 [7:0]								TMDB2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB1 [7:0]								TMDB0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.67 RSCANnTMDF0p レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	TMDB3 [7:0]	送信バッファデータバイト 3
23 ~ 16	TMDB2 [7:0]	送信バッファデータバイト 2
15 ~ 8	TMDB1 [7:0]	送信バッファデータバイト 1
7 ~ 0	TMDB0 [7:0]	送信バッファデータバイト 0
		送信バッファのデータを設定してください。

このレジスタは、対応する RSCANnTMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

21.4.9.6 RSCANnTMDF1p — 送信バッファデータフィールド 1 レジスタ (p = 0 ~ 95)

アクセス RSCANnTMDF1p レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnTMDF1pL、RSCANnTMDF1pH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnTMDF1pLL、RSCANnTMDF1pLH、RSCANnTMDF1pHL、RSCANnTMDF1pHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnTMDF1p: $\langle \text{RSCANn_base} \rangle + 100\text{C}_\text{H} + (10_\text{H} \times p)$
RSCANnTMDF1pL: $\langle \text{RSCANn_base} \rangle + 100\text{C}_\text{H} + (10_\text{H} \times p)$ 、
RSCANnTMDF1pH: $\langle \text{RSCANn_base} \rangle + 100\text{E}_\text{H} + (10_\text{H} \times p)$
RSCANnTMDF1pLL: $\langle \text{RSCANn_base} \rangle + 100\text{C}_\text{H} + (10_\text{H} \times p)$ 、
RSCANnTMDF1pLH: $\langle \text{RSCANn_base} \rangle + 100\text{D}_\text{H} + (10_\text{H} \times p)$ 、
RSCANnTMDF1pHL: $\langle \text{RSCANn_base} \rangle + 100\text{E}_\text{H} + (10_\text{H} \times p)$ 、
RSCANnTMDF1pHH: $\langle \text{RSCANn_base} \rangle + 100\text{F}_\text{H} + (10_\text{H} \times p)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB7 [7:0]								TMDB6 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB5 [7:0]								TMDB4 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.68 RSCANnTMDF1p レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	TMDB7 [7:0]	送信バッファデータバイト 7
23 ~ 16	TMDB6 [7:0]	送信バッファデータバイト 6
15 ~ 8	TMDB5 [7:0]	送信バッファデータバイト 5
7 ~ 0	TMDB4 [7:0]	送信バッファデータバイト 4
		送信バッファのデータを設定してください。

このレジスタは、対応する RSCANnTMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

21.4.9.7 RSCANnTMIECy — 送信バッファ割り込みイネーブルコンフィグレーションレジスタ (y = 0 ~ 2)

アクセス RSCANnTMIECy レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnTMIECyL、RSCANnTMIECyH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnTMIECyLL、RSCANnTMIECyLH、RSCANnTMIECyHL、RSCANnTMIECyHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnTMIECy: $\langle \text{RSCANn_base} \rangle + 0390_{\text{H}} + (04_{\text{H}} \times y)$
RSCANnTMIECyL: $\langle \text{RSCANn_base} \rangle + 0390_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCANnTMIECyH: $\langle \text{RSCANn_base} \rangle + 0392_{\text{H}} + (04_{\text{H}} \times y)$
RSCANnTMIECyLL: $\langle \text{RSCANn_base} \rangle + 0390_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCANnTMIECyLH: $\langle \text{RSCANn_base} \rangle + 0391_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCANnTMIECyHL: $\langle \text{RSCANn_base} \rangle + 0392_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCANnTMIECyHH: $\langle \text{RSCANn_base} \rangle + 0393_{\text{H}} + (04_{\text{H}} \times y)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIEp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMIEp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.69 RSCANnTMIECy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	TMIEp	送信バッファ割り込み許可ビット p (p = y × 32 + 31 ~ y × 32 + 16) 0: 送信バッファ割り込み禁止 1: 送信バッファ割り込み許可
15 ~ 0	TMIEp	送信バッファ割り込み許可ビット p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信バッファ割り込み禁止 1: 送信バッファ割り込み許可

TMIEp ビット (p = 0 ~ 95)

このビットを“1”に設定し、対応する送信が完了した場合、送信バッファ割り込み要求が発生します。

このビットは対応する RSCANnTMSTSp レジスタの TMTRM フラグが“0” (送信要求なし) のときに書き換えてください。

送受信 FIFO バッファにリンクした送信バッファ、または送信キューに割り当てられた送信バッファに対応するビットは“0”にしてください。

表 21.70 にビット配置を示します。

表 21.70 TMIEp ビットの配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
.	.	.
15	0	15
16	1	0
.	.	.
30	1	14
31	1	15
32	2	0
33	2	1
.	.	.
47	2	15
48	3	0
.	.	.
62	3	14
63	3	15
64	4	0
65	4	1
.	.	.
78	4	14
79	4	15
80	5	0
81	5	1
.	.	.
94	5	14
95	5	15

21.4.10 送信バッファステータス関連レジスタの詳細

21.4.10.1 RSCANnTMTRSTSy — 送信バッファ送信要求ステータスレジスタ (y = 0 ~ 2)

アクセス RSCANnTMTRSTSy レジスタは、32 ビット単位でリードのみです。
RSCANnTMTRSTSyL、RSCANnTMTRSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnTMTRSTSyLL、RSCANnTMTRSTSyLH、RSCANnTMTRSTSyHL、RSCANnTMTRSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnTMTRSTSy: <RSCANn_base> + 0350_H + (04_H × y)

RSCANnTMTRSTSyL: <RSCANn_base> + 0350_H + (04_H × y)、
RSCANnTMTRSTSyH: <RSCANn_base> + 0352_H + (04_H × y)

RSCANnTMTRSTSyLL: <RSCANn_base> + 0350_H + (04_H × y)、
RSCANnTMTRSTSyLH: <RSCANn_base> + 0351_H + (04_H × y)、
RSCANnTMTRSTSyHL: <RSCANn_base> + 0352_H + (04_H × y)、
RSCANnTMTRSTSyHH: <RSCANn_base> + 0353_H + (04_H × y)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTRSTSp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTRSTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.71 RSCANnTMTRSTSy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	TMTRSTSp	送信バッファ送信要求ステータスフラグ p (p = y × 32 + 31 ~ y × 32 + 16) 0: 送信要求なし 1: 送信要求あり
15 ~ 0	TMTRSTSp	送信バッファ送信要求ステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信要求なし 1: 送信要求あり

TMTRSTSp フラグ (p = 0 ~ 95)

RSCANnTMCp レジスタの TMTR ビットの状態を示します。

TMTR ビットを“1” (送信を要求する) にすると、対応する TMTRSTSp フラグは“1” になります。

TMTR ビットが“0” (送信を要求しない) になると、対応する TMTRSTSp フラグは“0” になります。また、チャンネルリセットモード時、“0” になります。

表 21.72 にビット配置を示します。

表 21.72 TMTRSTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
.	.	.
.	.	.
15	0	15
16	1	0
.	.	.
.	.	.
30	1	14
31	1	15
32	2	0
33	2	1
.	.	.
.	.	.
47	2	15
48	3	0
.	.	.
.	.	.
62	3	14
63	3	15
64	4	0
65	4	1
.	.	.
.	.	.
78	4	14
79	4	15
80	5	0
81	5	1
.	.	.
.	.	.
94	5	14
95	5	15

21.4.10.2 RSCANnTMTARSTSy — 送信バッファ送信アポート要求ステータスレジスタ (y = 0 ~ 2)

アクセス RSCANnTMTARSTSy レジスタは、32 ビット単位でリードのみです。
RSCANnTMTARSTSyL、RSCANnTMTARSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnTMTARSTSyLL、RSCANnTMTARSTSyLH、RSCANnTMTARSTSyHL、RSCANnTMTARSTSyHH
レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnTMTARSTSy: $\langle \text{RSCANn_base} \rangle + 0360_{\text{H}} + (04_{\text{H}} \times y)$

RSCANnTMTARSTSyL: $\langle \text{RSCANn_base} \rangle + 0360_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCANnTMTARSTSyH: $\langle \text{RSCANn_base} \rangle + 0362_{\text{H}} + (04_{\text{H}} \times y)$

RSCANnTMTARSTSyLL: $\langle \text{RSCANn_base} \rangle + 0360_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCANnTMTARSTSyLH: $\langle \text{RSCANn_base} \rangle + 0361_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCANnTMTARSTSyHL: $\langle \text{RSCANn_base} \rangle + 0362_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCANnTMTARSTSyHH: $\langle \text{RSCANn_base} \rangle + 0363_{\text{H}} + (04_{\text{H}} \times y)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTARSTSp ($p = y \times 32 + 31 \sim y \times 32 + 16$ ($y = 0, 1, 2$))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTARSTSp ($p = y \times 32 + 15 \sim y \times 32 + 0$ ($y = 0, 1, 2$))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.73 RSCANnTMTARSTSy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	TMTARSTSp	送信バッファ送信アポート要求ステータスフラグ p ($p = y \times 32 + 31 \sim y \times 32 + 16$) 0: 送信アポート要求なし 1: 送信アポート要求あり
15 ~ 0	TMTARSTSp	送信バッファ送信アポート要求ステータスフラグ p ($p = y \times 32 + 15 \sim y \times 32 + 0$) 0: 送信アポート要求なし 1: 送信アポート要求あり

TMTARSTSp フラグ (p = 0 ~ 95)

RSCANnTMCp レジスタの TMTAR ビットの状態を示します。

TMTAR ビットを“1” (送信アポートを要求する) にすると、対応する TMTARSTSp フラグは“1”になります。

TMTAR ビットが“0” (送信アポートを要求しない) になると、対応する TMTARSTSp フラグは“0”になります。また、チャンネルリセットモード時、“0”になります。

表 21.74 にビット配置を示します。

表 21.74 TMTARSTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
.	.	.
.	.	.
15	0	15
16	1	0
.	.	.
.	.	.
30	1	14
31	1	15
32	2	0
33	2	1
.	.	.
.	.	.
47	2	15
48	3	0
.	.	.
.	.	.
62	3	14
63	3	15
64	4	0
65	4	1
.	.	.
.	.	.
78	4	14
79	4	15
80	5	0
81	5	1
.	.	.
.	.	.
94	5	14
95	5	15

21.4.10.3 RSCANnTMCSTSy — 送信バッファ送信完了ステータスレジスタ (y = 0 ~ 2)

アクセス RSCANnTMCSTSy レジスタは、32 ビット単位でリードのみです。
RSCANnTMCSTSyL、RSCANnTMCSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnTMCSTSyLL、RSCANnTMCSTSyLH、RSCANnTMCSTSyHL、RSCANnTMCSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnTMCSTSy: <RSCANn_base> + 0370_H + (04_H × y)

RSCANnTMCSTSyL: <RSCANn_base> + 0370_H + (04_H × y)、
RSCANnTMCSTSyH: <RSCANn_base> + 0372_H + (04_H × y)

RSCANnTMCSTSyLL: <RSCANn_base> + 0370_H + (04_H × y)、
RSCANnTMCSTSyLH: <RSCANn_base> + 0371_H + (04_H × y)、
RSCANnTMCSTSyHL: <RSCANn_base> + 0372_H + (04_H × y)、
RSCANnTMCSTSyHH: <RSCANn_base> + 0373_H + (04_H × y)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMCSTSp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMCSTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.75 RSCANnTMCSTSy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	TMCSTSp	送信バッファ送信完了ステータスフラグ p (p = y × 32 + 31 ~ y × 32 + 16) 0: 送信未完了 1: 送信完了
15 ~ 0	TMCSTSp	送信バッファ送信完了ステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信未完了 1: 送信完了

TMCSTSp フラグ (p = 0 ~ 95)

RSCANnTMSTSp レジスタの TMTRF[1:0] フラグが“10_B” (送信完了、送信アポート要求なし) または“11_B” (送信完了、送信アポート要求あり) になると、対応する TMCSTSp フラグは“1”になります。

TMCSTSp フラグを“0”にする場合は、対応する TMTRF[1:0] フラグを“00_B”にしてください。また、チャンネルリセットモード時、“0”になります。

表 21.76 にビット配置を示します。

表 21.76 TMTcSTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
.	.	.
.	.	.
15	0	15
16	1	0
.	.	.
.	.	.
30	1	14
31	1	15
32	2	0
33	2	1
.	.	.
.	.	.
47	2	15
48	3	0
.	.	.
.	.	.
62	3	14
63	3	15
64	4	0
65	4	1
.	.	.
.	.	.
78	4	14
79	4	15
80	5	0
81	5	1
.	.	.
.	.	.
94	5	14
95	5	15

21.4.10.4 RSCANnTMTASTSy — 送信バッファ送信アポートステータスレジスタ (y = 0 ~ 2)

アクセス RSCANnTMTASTSy レジスタは、32 ビット単位でリードのみです。
RSCANnTMTASTSyL、RSCANnTMTASTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnTMTASTSyLL、RSCANnTMTASTSyLH、RSCANnTMTASTSyHL、RSCANnTMTASTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnTMTASTSy: <RSCANn_base> + 0380_H + (04_H × y)

RSCANnTMTASTSyL: <RSCANn_base> + 0380_H + (04_H × y)、
RSCANnTMTASTSyH: <RSCANn_base> + 0382_H + (04_H × y)

RSCANnTMTASTSyLL: <RSCANn_base> + 0380_H + (04_H × y)、
RSCANnTMTASTSyLH: <RSCANn_base> + 0381_H + (04_H × y)、
RSCANnTMTASTSyHL: <RSCANn_base> + 0382_H + (04_H × y)、
RSCANnTMTASTSyHH: <RSCANn_base> + 0383_H + (04_H × y)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTASTSp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTASTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.77 RSCANnTMTASTSy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	TMTASTSp	送信バッファ送信アポートステータスフラグ p (p = y × 32 + 31 ~ y × 32 + 16) 0: 送信アポートなし 1: 送信アポートあり
15 ~ 0	TMTASTSp	送信バッファ送信アポートステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信アポートなし 1: 送信アポートあり

TMTASTSp フラグ (p = 0 ~ 95)

RSCANnTMTASTSp レジスタの TMTRF[1:0] フラグが“01_B” (送信アポート完了) になると、対応する TMTASTSp フラグは“1”になります。

TMTASTSp フラグを“0”にする場合は、対応する TMTRF[1:0] フラグを“00_B”にしてください。また、チャンネルリセットモード時、“0”になります。

表 21.78 にビット配置を示します。

表 21.78 TMTASTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
.	.	.
15	0	15
16	1	0
.	.	.
30	1	14
31	1	15
32	2	0
33	2	1
.	.	.
47	2	15
48	3	0
.	.	.
62	3	14
63	3	15
64	4	0
65	4	1
.	.	.
78	4	14
79	4	15
80	5	0
81	5	1
.	.	.
94	5	14
95	5	15

21.4.11 送信キュー関連レジスタの詳細

21.4.11.1 RSCANnTXQCCm — 送信キューコンフィグレーション/制御レジスタ (m = 0 ~ 5)

アクセス RSCANnTXQCCm レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnTXQCCmL レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnTXQCCmLL、RSCANnTXQCCmLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnTXQCCm: <RSCANn_base> + 03A0_H + (04_H × m)
RSCANnTXQCCmL: <RSCANn_base> + 03A0_H + (04_H × m)
RSCANnTXQCCmLL: <RSCANn_base> + 03A0_H + (04_H × m)、
RSCANnTXQCCmLH: <RSCANn_base> + 03A1_H + (04_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TXQIM	TXQIE	TXQDC [3:0]			—	—	—	—	—	—	—	—	TXQE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 21.79 RSCANnTXQCCm レジスタの内容

ビット位置	ビット名	機能
31 ~ 14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13	TXQIM	送信キュー割り込み要因選択ビット 0: 送信完了によって送信キューが空になったときに発生 1: 1メッセージ送信完了ごとに発生
12	TXQIE	送信キュー割り込み許可ビット 0: 送信キュー割り込み禁止 1: 送信キュー割り込み許可
11 ~ 8	TXQDC [3:0]	送信キュー段数設定ビット 設定値を g (g = 2 ~ 15) とすると、g+1 の送信キューを使用できます。 “0” を設定すると、送信キューは使用できません。 “1” は設定しないでください。
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TXQE	送信キュー許可ビット 0: 送信キューを使用しない 1: 送信キューを使用する

TXQIM ビット

送信キュー割り込み要因を選択します。このビットはチャンネルリセットモードで書き換えてください。

TXQIE ビット

TXQIE ビットを“1”に設定し、TXQIM ビットで選択した要因が発生すると、割り込み要求が発生します。

TXQIE ビットを書き換える場合は、TXQE ビットを“0”にしてください。

TXQDC[3:0] ビット

送信キューに割り付ける送信バッファの数を設定します。送信キューは、送信バッファ番号の大きい方から順に $(m \times 16 + 15)$ から $(m \times 16 + 0)$ まで順番に割り付けられます。バッファの割り当て例については、**図 21.9** を参照してください。このビットはチャンネルリセットモード時にのみ書き換えてください。

TXQE ビット

“1” にすると送信キューを使用できます。このビットは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。チャンネルリセットモード時、“0” になります。

TXQDC[3:0] ビットの値を “0010_B” 以上に設定してから TXQE ビットを “1” にしてください。

21.4.11.2 RSCANnTXQSTSm — 送信キューステータスレジスタ (m = 0 ~ 5)

アクセス RSCANnTXQSTSm レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnTXQSTSmL レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnTXQSTSmLL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnTXQSTSm: <RSCANn_base> + 03C0_H + (04_H × m)
RSCANnTXQSTSmL: <RSCANn_base> + 03C0_H + (04_H × m)
RSCANnTXQSTSmLL: <RSCANn_base> + 03C0_H + (04_H × m)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TXQIF	TXQFL L	TXQEM P
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.80 RSCANnTXQSTSm レジスタの内容

ビット位置	ビット名	機能
31 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ~ 8	予約ビット	リードした場合は不定値が読めます。ライトする場合は“0”を書いてください。
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TXQIF	送信キュー割り込み要求フラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
1	TXQFLL	送信キューフルステータスフラグ 0: 送信キューフルではない 1: 送信キューフル
0	TXQEMP	送信キュー空ステータスフラグ 0: 送信キューにメッセージあり 1: 送信キューにメッセージなし (送信キュー空)

TXQIF フラグ

RSCANnTXQCCm レジスタの TXQIM ビットで設定した要因が発生すると、“1”になります。

TXQIF フラグへの“0”書き込み、またはチャンネルリセットモード時、“0”になります。
TXQIF フラグは、RSCANnTXQCCm レジスタの TXQE ビットを“0”（送信キューを使用しない）にしても“0”になりません。

TXQFLL フラグ

送信キューに設定したメッセージ数と、RSCANnTXQCCm レジスタの TXQDC[3:0] ビットで設定した段数が一致すると、“1” になります。

次の条件で“0” になります。

- 送信キューに設定したメッセージが、TXQDC[3:0] ビットで設定した数より少ない
- チャンネルリセットモード時

TXQEMP フラグ

メッセージを1つでも送信キューに設定すると、TXQEMP フラグは“0” になります。

次の条件で、“1” になります。

- TXQE ビットを“0” (送信キューを使用しない) にしたとき
- 送信キューが空になったとき
- チャンネルリセットモード時

21.4.11.3 RSCANnTXQPCTRM — 送信キューポインタ制御レジスタ (m = 0 ~ 5)

アクセス RSCANnTXQPCTRM レジスタは、32 ビット単位でライトのみ可能です。
RSCANnTXQPCTRM L レジスタは、16 ビット単位でライトのみ可能です。
RSCANnTXQPCTRM LL レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCANnTXQPCTRM: <RSCANn_base> + 03E0_H + (04_H × m)
RSCANnTXQPCTRM L: <RSCANn_base> + 03E0_H + (04_H × m)
RSCANnTXQPCTRM LL: <RSCANn_base> + 03E0_H + (04_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TXQPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 21.81 RSCANnTXQPCTRM レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ~ 0	TXQPC [7:0]	送信キューポインタ制御 “FF _H ” を書くと、送信キューのライトポインタを次のキューバッファに移動します。

TXQPC[7:0] ビット

TXQPC[7:0] ビットに “FF_H” を書くと、次の送信キューバッファへライトポインタが移動し、そのメッセージの送信要求が発生します。RSCANnTMIDp、RSCANnTMPTRp、RSCANnTMDf0p、RSCANnTMDf1p レジスタ (p = 15、31、47、63、79、95) に送信メッセージを書いた後に、TXQPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCANnTXQCCm レジスタの TXQE ビットが “1” (送信キューを使用する) で、RSCANnTXQSTSm レジスタの TXQFLL フラグが “0” (フルではない) の場合にのみ行ってください。

21.4.12 送信履歴関連レジスタの詳細

21.4.12.1 RSCANnTHLCCm — 送信履歴コンフィグレーション/制御レジスタ (m = 0 ~ 5)

アクセス RSCANnTHLCCm レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnTHLCCmL レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnTHLCCmLL、RSCANnTHLCCmLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnTHLCCm: <RSCANn_base> + 0400_H + (04_H × m)
RSCANnTHLCCmL: <RSCANn_base> + 0400_H + (04_H × m)
RSCANnTHLCCmLL: <RSCANn_base> + 0400_H + (04_H × m)、
RSCANnTHLCCmLH: <RSCANn_base> + 0401_H + (04_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLDTE	THLIM	THLIE	—	—	—	—	—	—	—	THLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 21.82 RSCANnTHLCCm レジスタの内容

ビット位置	ビット名	機能
31 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	THLDTE	送信履歴対象バッファ選択ビット 0: 送受信 FIFO バッファ、送信キューからのエントリ 1: 送信バッファ、送受信 FIFO バッファ、送信キューからのエントリ
9	THLIM	送信履歴割り込み要因選択ビット 0: 送信履歴バッファに 12 データ格納されたとき 1: 1 送信履歴データの格納完了時
8	THLIE	送信履歴割り込み許可ビット 0: 送信履歴割り込み禁止 1: 送信履歴割り込み許可
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	THLE	送信履歴バッファ許可ビット 0: 送信履歴バッファを使用しない 1: 送信履歴バッファを使用する

THLDTE ビット

“0” にすると、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを送信履歴バッファに格納します。“1” にすると、送信バッファ、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを、送信履歴バッファに格納します。

このビットはチャンネルリセットモードでのみ書き換えてください。

THLIM ビット

送信履歴割り込み要因を選択します。

このビットはチャンネルリセットモードでのみ書き換えてください。

THLIE ビット

THLIE ビットを“1”に設定し、THLIM ビットで選択した要因が発生した場合、送信履歴割り込み要求が発生します。THLE ビットが“0”の状態でのみ、THLIE ビットを書き換えてください。

THLE ビット

“1”にすると、送信履歴バッファが使用できます。THLDTE ビットで選択したバッファからの送信が完了すると、送信メッセージの送信履歴データが、送信履歴バッファへ格納されます。

このビットは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。

このビットは、チャンネルリセットモードで0にクリアされます。

21.4.12.2 RSCANnTHLSTSm — 送信履歴ステータスレジスタ (m = 0 ~ 5)

アクセス RSCANnTHLSTSm レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnTHLSTSmL レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnTHLSTSmLL レジスタは、8 ビット単位でリード/ライト可能です。
RSCANnTHLSTSmLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnTHLSTSm: <RSCANn_base> + 0420_H + (04_H × m)
RSCANnTHLSTSmL: <RSCANn_base> + 0420_H + (04_H × m)
RSCANnTHLSTSmLL: <RSCANn_base> + 0420_H + (04_H × m)、
RSCANnTHLSTSmLH: <RSCANn_base> + 0421_H + (04_H × m)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THLMC [4:0]				—	—	—	—	—	THLIF	THLELT	THLFLL	THLEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする (“0” にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.83 RSCANnTHLSTSm レジスタの内容

ビット位置	ビット名	機能
31 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ~ 8	THLMC [4:0]	送信履歴バッファ未読数カウンタ 送信履歴バッファに格納された未読データ数を示します。
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	THLIF	送信履歴割り込み要求フラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
2	THLELT	送信履歴バッファオーバーフローフラグ 0: 送信履歴バッファオーバーフローではない 1: 送信履歴バッファオーバーフロー
1	THLFLL	送信履歴バッファフルステータスフラグ 0: 送信履歴バッファフルではない 1: 送信履歴バッファフル
0	THLEMP	送信履歴バッファ空ステータスフラグ 0: 送信履歴バッファに未読データあり 1: 送信履歴バッファに未読データなし (バッファ空)

THLMC[4:0] ビット

送信履歴バッファ内の未読データ数を示します。

このビットは、チャンネルリセットモードで 0 にクリアされます。

THLIF フラグ

RSCANnTHLCCm レジスタの THLIM ビットで設定した割り込み要因が発生したとき、“1” になります。

プログラムで“0”を書き込むことで“0”にしてください。チャンネルリセットモード時、“0”になります。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

THLELT フラグ

送信履歴バッファがフルの場合に、さらに新しい送信履歴データを格納しようとしたとき“1”になります。この場合、新しいデータは破棄されます。プログラムで“0”を書き込むことで“0”にしてください。チャンネルリセットモード時、“0”になります。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

THLFLL フラグ

送信履歴バッファに 16 個のデータが格納されると、“1”になります。格納数が 16 個より少なくなると“0”になります。RSCANnTHLCCm レジスタの THLE ビットが“0”（送信履歴バッファを使用しない）のとき、またはチャンネルリセットモード時、“0”になります。

THLEMP フラグ

送信履歴データが 1 つでも送信履歴バッファへ格納されると“0”になります。

送信履歴バッファのすべてのデータを読むと“1”になります。RSCANnTHLCCm レジスタの THLE ビットを“0”（送信履歴バッファを使用しない）にしたとき、またはチャンネルリセットモード時、“1”になります。

21.4.12.3 RSCANnTHLPCTRm — 送信履歴ポインタ制御レジスタ (m = 0 ~ 5)

アクセス RSCANnTHLPCTRm レジスタは、32 ビット単位でライトのみ可能です。
RSCANnTHLPCTRmL レジスタは、16 ビット単位でライトのみ可能です。
RSCANnTHLPCTRmLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCANnTHLPCTRm: <RSCANn_base> + 0440_H + (04_H × m)
RSCANnTHLPCTRmL: <RSCANn_base> + 0440_H + (04_H × m)
RSCANnTHLPCTRmLL: <RSCANn_base> + 0440_H + (04_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	THLPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 21.84 RSCANnTHLPCTRm レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ~ 0	THLPC [7:0]	送信履歴リストポインタ制御 “FF _H ” を書くと、送信履歴バッファの次の未読データにリードポインタが移動します。

THLPC[7:0] ビット

THLPC[7:0] ビットに “FF_H” を書くと、送信履歴バッファの次のデータにリードポインタが移動します。このとき RSCANnTHLSTSm レジスタの THLMC[4:0] ビット (送信履歴バッファ未読数カウンタ) の値が 1 減算されます。RSCANnTHLACCm レジスタを読んだあと、THLPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCANnTHLCCm レジスタの THLE ビットが “1” (送信履歴バッファを使用する) で、RSCANnTHLSTSm レジスタの THLEMP フラグが “0” のときのみ行ってください。

21.4.12.4 RSCANnTHLACCm — 送信履歴アクセスレジスタ (m = 0 ~ 5)

アクセス RSCANnTHLACCm レジスタは、32 ビット単位でリードのみです。
RSCANnTHLACCmL、RSCANnTHLACCmH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnTHLACCmLL、RSCANnTHLACCmLH、RSCANnTHLACCmHL、RSCANnTHLACCmHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnTHLACCm: $\langle \text{RSCANn_base} \rangle + 1800_{\text{H}} + (04_{\text{H}} \times m)$

RSCANnTHLACCmL: $\langle \text{RSCANn_base} \rangle + 1800_{\text{H}} + (04_{\text{H}} \times m)$ 、
RSCANnTHLACCmH: $\langle \text{RSCANn_base} \rangle + 1802_{\text{H}} + (04_{\text{H}} \times m)$

RSCANnTHLACCmLL: $\langle \text{RSCANn_base} \rangle + 1800_{\text{H}} + (04_{\text{H}} \times m)$ 、
RSCANnTHLACCmLH: $\langle \text{RSCANn_base} \rangle + 1801_{\text{H}} + (04_{\text{H}} \times m)$ 、
RSCANnTHLACCmHL: $\langle \text{RSCANn_base} \rangle + 1802_{\text{H}} + (04_{\text{H}} \times m)$ 、
RSCANnTHLACCmHH: $\langle \text{RSCANn_base} \rangle + 1803_{\text{H}} + (04_{\text{H}} \times m)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TID[7:0]							—	BN[3:0]			BT[2:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.85 RSCANnTHLACCm レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	TMTS[15:0]	タイムスタンプデータ 格納されたデータのタイムスタンプデータが読めます。
15 ~ 8	TID[7:0]	ラベルデータ 格納されたデータのラベル情報が読めます。
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ~ 3	BN[3:0]	バッファ番号データ 送信元の送信バッファ/送受信 FIFO バッファ/送信キュー番号が読めます。
2 ~ 0	BT[2:0]	バッファタイプデータ b2 b1 b0 0 0 1: 送信バッファ 0 1 0: 送受信 FIFO バッファ 1 0 0: 送信キュー

TMTS[15:0] ビット

RSCANnGCFG レジスタの TMTSCE ビットが“1”のとき、送信履歴バッファに格納された送信履歴データのタイムスタンプ値を表示します。TMTSCE ビットが“0”のとき、常に“0”が読めます。

TID[7:0] ビット

送信履歴バッファに格納された送信履歴データのラベル情報を表示します。

BN[3:0] ビット

送信履歴バッファに格納された送信履歴データの送信元バッファ番号を表示します。

BT[2:0] ビット

送信履歴バッファに格納された送信履歴データの送信元バッファの種類を表示します。

21.4.13 テスト関連レジスタの詳細

21.4.13.1 RSCANnGTSTCFG — グローバルテストコンフィグレーションレジスタ

アクセス RSCANnGTSTCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnGTSTCFGH、RSCANnGTSTCFGH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnGTSTCFGH、RSCANnGTSTCFGH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGTSTCFG: <RSCANn_base> + 0468_H
RSCANnGTSTCFGH: <RSCANn_base> + 0468_H、
RSCANnGTSTCFGH: <RSCANn_base> + 046A_H
RSCANnGTSTCFGH: <RSCANn_base> + 0468_H、
RSCANnGTSTCFGH: <RSCANn_base> + 046A_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	RTMPS [6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	C5ICBCE	C4ICBCE	C3ICBCE	C2ICBCE	C1ICBCE	C0ICBCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 21.86 RSCANnGTSTCFG レジスタの内容

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ~ 16	RTMPS [6:0]	RAM テストページ設定ビット ページ 0 (00 _H) ~ 59 (3B _H) ページの範囲で設定
15 ~ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	C5ICBCE	CAN5 チャンネル間通信テスト許可ビット 0: CAN5 チャンネル間通信テスト禁止 1: CAN5 チャンネル間通信テスト許可
4	C4ICBCE	CAN4 チャンネル間通信テスト許可ビット 0: CAN4 チャンネル間通信テスト禁止 1: CAN4 チャンネル間通信テスト許可
3	C3ICBCE	CAN3 チャンネル間通信テスト許可ビット 0: CAN3 チャンネル間通信テスト禁止 1: CAN3 チャンネル間通信テスト許可
2	C2ICBCE	CAN2 チャンネル間通信テスト許可ビット 0: CAN2 チャンネル間通信テスト禁止 1: CAN2 チャンネル間通信テスト許可
1	C1ICBCE	CAN1 チャンネル間通信テスト許可ビット 0: CAN1 チャンネル間通信テスト禁止 1: CAN1 チャンネル間通信テスト許可
0	C0ICBCE	CAN0 チャンネル間通信テスト許可ビット 0: CAN0 チャンネル間通信テスト禁止 1: CAN0 チャンネル間通信テスト許可

RSCANnGTSTCFG レジスタはグローバルテストモードでのみ書き換えてください。

RTMPS[6:0] ビット

RAM テスト時、RAM テスト対象となるページ番号を設定します。00_H ~ 3B_H 以外の値を設定しないでください。

C5ICBCE ビット

“1” にすると、チャンネル 5 のチャンネル間通信テストが許可になります。
このビットは、グローバルリセットモードで 0 にクリアされます。

C4ICBCE ビット

“1” にすると、チャンネル 4 のチャンネル間通信テストが許可になります。
このビットは、グローバルリセットモードで 0 にクリアされます。

C3ICBCE ビット

“1” にすると、チャンネル 3 のチャンネル間通信テストが許可になります。
このビットは、グローバルリセットモードで 0 にクリアされます。

C2ICBCE ビット

“1” にすると、チャンネル 2 のチャンネル間通信テストが許可になります。
このビットは、グローバルリセットモードで 0 にクリアされます。

C1ICBCE ビット

“1” にすると、チャンネル 1 のチャンネル間通信テストが許可になります。
このビットは、グローバルリセットモードで 0 にクリアされます。

C0ICBCE ビット

“1” にすると、チャンネル 0 のチャンネル間通信テストが許可になります。
このビットは、グローバルリセットモードで 0 にクリアされます。

21.4.13.2 RSCANnGTSTCTR — グローバルテスト制御レジスタ

アクセス RSCANnGTSTCTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnGTSTCTRL レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnGTSTCTRLRLL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGTSTCTR: <RSCANn_base> + 046C_H
RSCANnGTSTCTRL: <RSCANn_base> + 046C_H
RSCANnGTSTCTRLRLL: <RSCANn_base> + 046C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	ICBCTME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W

表 21.87 RSCANnGTSTCTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	RTME	RAM テスト許可ビット 0: RAM テスト禁止 1: RAM テスト許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ICBCTME	チャンネル間通信テスト許可ビット 0: チャンネル間通信テスト禁止 1: チャンネル間通信テスト許可

RTME ビット

“1”にすると、RAM テストが許可になります。このビットはグローバルテストモードでのみ書き換えてください。

1. RSCANnGCTR レジスタの GMDC[1:0] ビットを“10_B” (グローバルテストモード) にする。
2. RTME ビットを“1”にする。
3. RTME ビットが“1”になったことを確認する。

ICBCTME ビット

“1”にすると、RSCANnGTSTCFG レジスタの CmICBCE ビット (m = 0 ~ 5) を“1”に設定したチャンネルのチャンネル間通信テストが許可になります。ICBCTME ビットはグローバルテストモードで書き換えてください。

21.4.13.3 RSCANnGLOCKK — グローバルロックキーレジスタ

アクセス RSCANnGLOCKK レジスタは、32 ビット単位でライトのみ可能です。
RSCANnGLOCKKL レジスタは、16 ビット単位でライトのみ可能です。

アドレス RSCANnGLOCKK: <RSCANn_base> + 047C_H
RSCANnGLOCKKL: <RSCANn_base> + 047C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LOCK[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1

注1. RS-CANFD モジュールがグローバルテストモード時にのみこのビットへの書き込みが可能です。

表 21.88 RSCANnGLOCKK レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	ライトする場合はリセット後の値を書いてください。
15 ~ 0	LOCK[15:0]	ロックキービット テストモードの保護を解除するためのキービット

RSCANnGLOCKK レジスタは、特殊テストビットの保護を解除するための書き込み専用レジスタです。

プロテクト解除データについては、「21.11.4.2 プロテクト解除手順」を参照してください。

LOCK[15:0] ビット

プロテクト解除データを連続して LOCK[15:0] ビットに書くと、RSCANnGTSTCTR レジスタの RTME ビットへの“1”書き込みが可能になります。

プロテクトが解除された後、RAM を除く CAN の I/O レジスタ領域 (<RSCANn_base> + 0000_H ~ <RSCANn_base> + 04FF_H) に書き込みを実行すると、再度プロテクトが有効になります。

CAN の I/O レジスタ領域の読み出し、または他の領域への読み書きを実行しても、プロテクトは有効になりません。

21.4.13.4 RSCANnRPGACCr — RAM テストページアクセスレジスタ (r = 0 ~ 63)

アクセス RSCANnRPGACCr レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnRPGACCrL、RSCANnRPGACCrH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnRPGACCrLL、RSCANnRPGACCrLH、RSCANnRPGACCrHL、RSCANnRPGACCrHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnRPGACCr: $\langle \text{RSCANn_base} \rangle + 1900_{\text{H}} + (04_{\text{H}} \times r)$

RSCANnRPGACCrL: $\langle \text{RSCANn_base} \rangle + 1900_{\text{H}} + (04_{\text{H}} \times r)$ 、
RSCANnRPGACCrH: $\langle \text{RSCANn_base} \rangle + 1902_{\text{H}} + (04_{\text{H}} \times r)$

RSCANnRPGACCrLL: $\langle \text{RSCANn_base} \rangle + 1900_{\text{H}} + (04_{\text{H}} \times r)$ 、
RSCANnRPGACCrLH: $\langle \text{RSCANn_base} \rangle + 1901_{\text{H}} + (04_{\text{H}} \times r)$ 、
RSCANnRPGACCrHL: $\langle \text{RSCANn_base} \rangle + 1902_{\text{H}} + (04_{\text{H}} \times r)$ 、
RSCANnRPGACCrHH: $\langle \text{RSCANn_base} \rangle + 1903_{\text{H}} + (04_{\text{H}} \times r)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDTA [31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDTA [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.89 RSCANnRPGACCr レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RDTA [31:0]	RAM データテストアクセス RS-CAN 用 RAM データの読み書きができます。

RSCANnRPGACCr レジスタは、グローバルテストモードでかつ RSCANnGTSTCTR レジスタの RTME ビットが“1” (RAM テスト許可) の状態で書き換えてください。

RTME ビットが“1” のときに、RSCANnRPGACCr レジスタへの読み書きができます。

21.5 レジスタ (CAN FD モード)

この節では、RS-CANFD を CAN FD モードで使用する場合のすべてのレジスタについて説明します。

21.5.1 レジスタ一覧

CAN FD モードで使用する場合の RS-CANFD のレジスタ一覧を以下の表に示します。

<RSCANn_base> は「21.2.1 レジスタベースアドレス」を参照してください。

表 21.90 レジスタ一覧 (1/3)

モジュール名	レジスタ	略号	アドレス	ガードグループ
インタフェースモード関連レジスタ				
RSCFDn	グローバルインタフェースモード選択レジスタ	RSCFDnCFDGRMCFG	<RSCANn_base> + 04FC _H	RSCANn global
チャンネル関連レジスタ				
RSCFDn	チャンネル m 通常ビットレート コンフィグレーションレジスタ	RSCFDnCFDCmNCFG	<RSCANn_base> + 0000 _H + (10 _H × m)	RSCANn Chm
	チャンネル m 制御レジスタ	RSCFDnCFDCmCTR	<RSCANn_base> + 0004 _H + (10 _H × m)	RSCANn Chm
	チャンネル m ステータスレジスタ	RSCFDnCFDCmSTS	<RSCANn_base> + 0008 _H + (10 _H × m)	RSCANn Chm
	チャンネル m エラーフラグレジスタ	RSCFDnCFDCmERFL	<RSCANn_base> + 000C _H + (10 _H × m)	RSCANn Chm
	チャンネル m データビットレート コンフィグレーションレジスタ	RSCFDnCFDCmDCFG	<RSCANn_base> + 0500 _H + (20 _H × m)	RSCANn Chm
	チャンネル m CAN FD コンフィグレーションレジスタ	RSCFDnCFDCmFDCFG	<RSCANn_base> + 0504 _H + (20 _H × m)	RSCANn Chm
	チャンネル m CAN FD 制御レジスタ	RSCFDnCFDCmFDCTR	<RSCANn_base> + 0508 _H + (20 _H × m)	RSCANn Chm
	チャンネル m CAN FD ステータスレジスタ	RSCFDnCFDCmFDSTS	<RSCANn_base> + 050C _H + (20 _H × m)	RSCANn Chm
	チャンネル m CAN FD CRC レジスタ	RSCFDnCFDCmFDCRC	<RSCANn_base> + 0510 _H + (20 _H × m)	RSCANn Chm
グローバル関連レジスタ				
RSCFDn	グローバルコンフィグレーションレジスタ	RSCFDnCFDGCFCFG	<RSCANn_base> + 0084 _H	RSCANn global
	グローバル制御レジスタ	RSCFDnCFDGCCTR	<RSCANn_base> + 0088 _H	RSCANn global
	グローバルステータスレジスタ	RSCFDnCFDGCSTS	<RSCANn_base> + 008C _H	RSCANn global
	グローバルエラーフラグレジスタ	RSCFDnCFDGERFL	<RSCANn_base> + 0090 _H	RSCANn global
	グローバルタイムスタンプカウンタレジスタ	RSCFDnCFDGTSC	<RSCANn_base> + 0094 _H	RSCANn global
	グローバル TX 割り込みステータスレジスタ 0	RSCFDnCFDGTINTSTS0	<RSCANn_base> + 0460 _H	RSCANn global
	グローバル TX 割り込みステータスレジスタ 1	RSCFDnCFDGTINTSTS1	<RSCANn_base> + 0464 _H	RSCANn global
	グローバルコンフィグレーションレジスタ	RSCFDnCFDGFDCFG	<RSCANn_base> + 0474 _H	RSCANn global
受信ルール関連レジスタ				
RSCFDn	受信ルールエントリ制御レジスタ	RSCFDnCFDGAFLLECTR	<RSCANn_base> + 0098 _H	RSCANn global
	受信ルールコンフィグレーションレジスタ 0	RSCFDnCFDGAFLCFG0	<RSCANn_base> + 009C _H	RSCANn global
	受信ルールコンフィグレーションレジスタ 1	RSCFDnCFDGAFLCFG1	<RSCANn_base> + 00A0 _H	RSCANn global
	受信ルール ID レジスタ j	RSCFDnCFDGAFLIDj	<RSCANn_base> + 1000 _H + (10 _H × j)	RSCANn global
	受信ルールマスクレジスタ j	RSCFDnCFDGAFLMj	<RSCANn_base> + 1004 _H + (10 _H × j)	RSCANn global
	受信ルールポインタ 0 レジスタ j	RSCFDnCFDGAFLP0_j	<RSCANn_base> + 1008 _H + (10 _H × j)	RSCANn global
	受信ルールポインタ 1 レジスタ j	RSCFDnCFDGAFLP1_j	<RSCANn_base> + 100C _H + (10 _H × j)	RSCANn global
受信バッファ関連レジスタ				
RSCFDn	受信バッファナンバレジスタ	RSCFDnCFDRMNB	<RSCANn_base> + 00A4 _H	RSCANn global
	受信バッファ新データレジスタ y	RSCFDnCFDRMNDy	<RSCANn_base> + 00A8 _H + (04 _H × y)	RSCANn global
	受信バッファ ID レジスタ q	RSCFDnCFDRMIDq	<RSCANn_base> + 2000 _H + (20 _H × q)	RSCANn global
	受信バッファポインタレジスタ q	RSCFDnCFDRMPTRq	<RSCANn_base> + 2004 _H + (20 _H × q)	RSCANn global
	受信バッファ CAN FD ステータスレジスタ q	RSCFDnCFDRMFDSTSq	<RSCANn_base> + 2008 _H + (20 _H × q)	RSCANn global

表 21.90 レジスタ一覧 (2/3)

モジュール名	レジスタ	略号	アドレス	ガードグループ
RSCFDn	受信バッファデータフィールド b レジスタ q	RSCFDnCFDRMDfb_q	<RSCANn_base> + 200C _H + (04 _H × b) + (20 _H × q)	RSCANn global
受信 FIFO バッファ関連レジスタ				
RSCFDn	受信 FIFO バッファコンフィグレーション/制御レジスタ x	RSCFDnCFDRFCCx	<RSCANn_base> + 00B8 _H + (04 _H × x)	RSCANn global
	受信 FIFO バッファステータスレジスタ x	RSCFDnCFDRFSTSx	<RSCANn_base> + 00D8 _H + (04 _H × x)	RSCANn global
	受信 FIFO バッファポインタ制御レジスタ x	RSCFDnCFDRFPCTRx	<RSCANn_base> + 00F8 _H + (04 _H × x)	RSCANn global
	受信 FIFO バッファアクセス ID レジスタ x	RSCFDnCFDRFIDx	<RSCANn_base> + 3000 _H + (80 _H × x)	RSCANn global
	受信 FIFO バッファアクセスポインタレジスタ x	RSCFDnCFDRFPTRx	<RSCANn_base> + 3004 _H + (80 _H × x)	RSCANn global
	受信 FIFO CAN FD ステータスレジスタ x	RSCFDnCFDRFFDSTSx	<RSCANn_base> + 3008 _H + (80 _H × x)	RSCANn global
	受信 FIFO バッファアクセスデータフィールド d レジスタ x	RSCFDnCFDRFDf_x	<RSCANn_base> + 300C _H + (04 _H × d) + (80 _H × x)	RSCANn global
送受信 FIFO バッファ関連レジスタ				
RSCFDn	送受信 FIFO バッファコンフィグレーション/制御レジスタ k	RSCFDnCFDCFCCK	<RSCANn_base> + 0118 _H + (04 _H × k)	RSCANn global
	送受信 FIFO バッファステータスレジスタ k	RSCFDnCFDCFSTSk	<RSCANn_base> + 0178 _H + (04 _H × k)	RSCANn global
	送受信 FIFO バッファポインタ制御レジスタ k	RSCFDnCFDCFPCTRk	<RSCANn_base> + 01D8 _H + (04 _H × k)	RSCANn global
	送受信 FIFO バッファアクセス ID レジスタ k	RSCFDnCFDCFIDk	<RSCANn_base> + 3400 _H + (80 _H × k)	RSCANn global
	送受信 FIFO バッファアクセスポインタレジスタ k	RSCFDnCFDCFPTRk	<RSCANn_base> + 3404 _H + (80 _H × k)	RSCANn global
	送受信 FIFO CAN FD コンフィグレーション/ステータスレジスタ k	RSCFDnCFDCFFDCSTSk	<RSCANn_base> + 3408 _H + (80 _H × k)	RSCANn global
	送受信 FIFO バッファアクセスデータフィールド d レジスタ k	RSCFDnCFDCFDf_k	<RSCANn_base> + 340C _H + (04 _H × d) + (80 _H × k)	RSCANn global
FIFO ステータス関連レジスタ				
RSCFDn	FIFO エンプティステータスレジスタ	RSCFDnCFDFESTS	<RSCANn_base> + 0238 _H	RSCANn global
	FIFO フルステータスレジスタ	RSCFDnCFDFFFSTS	<RSCANn_base> + 023C _H	RSCANn global
	FIFO メッセージロスステータスレジスタ	RSCFDnCFDFMSTS	<RSCANn_base> + 0240 _H	RSCANn global
	受信 FIFO バッファ割り込みフラグステータスレジスタ	RSCFDnCFDRFISTS	<RSCANn_base> + 0244 _H	RSCANn global
	送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ	RSCFDnCFDCFRISTS	<RSCANn_base> + 0248 _H	RSCANn global
	送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ	RSCFDnCFDCFTISTS	<RSCANn_base> + 024C _H	RSCANn global
FIFO DMA 関連レジスタ				
RSCFDn	DMA 許可レジスタ	RSCFDnCFDCDTCT	<RSCANn_base> + 0490 _H	RSCANn global
	DMA ステータスレジスタ	RSCFDnCFDCDTSTS	<RSCANn_base> + 0494 _H	RSCANn global
送信バッファ関連レジスタ				
RSCFDn	送信バッファ制御レジスタ p	RSCFDnCFDTMCP	<RSCANn_base> + 0250 _H + (01 _H × p)	RSCANn global
	送信バッファステータスレジスタ p	RSCFDnCFDTMSTSp	<RSCANn_base> + 02D0 _H + (01 _H × p)	RSCANn global
	送信バッファ ID レジスタ p	RSCFDnCFDTMIDp	<RSCANn_base> + 4000 _H + (20 _H × p)	RSCANn global
	送信バッファポインタレジスタ p	RSCFDnCFDTMPTRp	<RSCANn_base> + 4004 _H + (20 _H × p)	RSCANn global
	送信バッファ CAN FD コンフィグレーションレジスタ p	RSCFDnCFDTMFDCTRp	<RSCANn_base> + 4008 _H + (20 _H × p)	RSCANn global
	送信バッファデータフィールド b レジスタ p	RSCFDnCFDTMDfb_p	<RSCANn_base> + 400C _H + (04 _H × b) + (20 _H × p)	RSCANn global
	送信バッファ割り込みイネーブルコンフィグレーションレジスタ y	RSCFDnCFDTMIECy	<RSCANn_base> + 0390 _H + (04 _H × y)	RSCANn global
送信バッファステータス関連レジスタ				
RSCFDn	送信バッファ送信要求ステータスレジスタ y	RSCFDnCFDTMTRSTSy	<RSCANn_base> + 0350 _H + (04 _H × y)	RSCANn global
	送信バッファ送信アボート要求ステータスレジスタ y	RSCFDnCFDTMTARSTSy	<RSCANn_base> + 0360 _H + (04 _H × y)	RSCANn global

表 21.90 レジスタ一覧 (3/3)

モジュール名	レジスタ	略号	アドレス	ガードグループ
RSCFDn	送信バッファ送信完了ステータスレジスタ y	RSCFDnCFDnTMCSTSy	<RSCANn_base> + 0370 _H + (04 _H × y)	RSCANn global
	送信バッファ送信アボートステータスレジスタ y	RSCFDnCFDnTMASTSy	<RSCANn_base> + 0380 _H + (04 _H × y)	RSCANn global
送信キュー関連レジスタ				
RSCFDn	送信キューコンフィグレーション/制御レジスタ m	RSCFDnCFDnTXQCCm	<RSCANn_base> + 03A0 _H + (04 _H × m)	RSCANn Chm
	送信キューステータスレジスタ m	RSCFDnCFDnTXQSTSm	<RSCANn_base> + 03C0 _H + (04 _H × m)	RSCANn Chm
	送信キューポインタ制御レジスタ m	RSCFDnCFDnTXQPCTm	<RSCANn_base> + 03E0 _H + (04 _H × m)	RSCANn Chm
送信履歴関連レジスタ				
RSCFDn	送信履歴コンフィグレーション/制御レジスタ m	RSCFDnCFDnTHLCCm	<RSCANn_base> + 0400 _H + (04 _H × m)	RSCANn Chm
	送信履歴ステータスレジスタ m	RSCFDnCFDnTHLSTSm	<RSCANn_base> + 0420 _H + (04 _H × m)	RSCANn Chm
	送信履歴ポインタ制御レジスタ m	RSCFDnCFDnTHLPCTm	<RSCANn_base> + 0440 _H + (04 _H × m)	RSCANn Chm
	送信履歴アクセスレジスタ m	RSCFDnCFDnTHLACCm	<RSCANn_base> + 6000 _H + (04 _H × m)	RSCANn Chm
テスト関連レジスタ				
RSCFDn	グローバルテストコンフィグレーションレジスタ	RSCFDnCFDnGTSTCFG	<RSCANn_base> + 0468 _H	RSCANn global
	グローバルテスト制御レジスタ	RSCFDnCFDnGTSTCTR	<RSCANn_base> + 046C _H	RSCANn global
	グローバルロックキーレジスタ	RSCFDnCFDnGLCKK	<RSCANn_base> + 047C _H	RSCANn global
	RAM テストページアクセスレジスタ r	RSCFDnCFDnRPACCr	<RSCANn_base> + 6400 _H + (04 _H × r)	RSCANn global

備考 ガードグループの詳細は、「第 33 章 ファンクショナルセーフティ」を参照してください。

表 21.91 各チャンネルに割り当てられる送信バッファ p

	CANm
送信バッファ p	送信バッファ $16 \times m + 0$
	送信バッファ $16 \times m + 1$
	送信バッファ $16 \times m + 2$
	送信バッファ $16 \times m + 3$
	送信バッファ $16 \times m + 4$
	送信バッファ $16 \times m + 5$
	送信バッファ $16 \times m + 6$
	送信バッファ $16 \times m + 7$
	送信バッファ $16 \times m + 8$
	送信バッファ $16 \times m + 9$
	送信バッファ $16 \times m + 10$
	送信バッファ $16 \times m + 11$
	送信バッファ $16 \times m + 12$
	送信バッファ $16 \times m + 13$
	送信バッファ $16 \times m + 14$
送信バッファ $16 \times m + 15$	

表 21.92 各チャンネルに割り当てられる送受信 FIFO バッファ k

	CANm
送受信 FIFO バッファ k	送受信 FIFO バッファ $3 \times m + 0$
	送受信 FIFO バッファ $3 \times m + 1$
	送受信 FIFO バッファ $3 \times m + 2$

表 21.93 CFTML[3:0] ビットの設定値によって送受信 FIFO バッファにリンクされる送信バッファ p

CFTML[3:0] ビットの設定値	送受信 FIFO バッファにリンクされる送信バッファ p
0000 _B	送信バッファ 16 × m + 0
0001 _B	送信バッファ 16 × m + 1
0010 _B	送信バッファ 16 × m + 2
0011 _B	送信バッファ 16 × m + 3
0100 _B	送信バッファ 16 × m + 4
0101 _B	送信バッファ 16 × m + 5
0110 _B	送信バッファ 16 × m + 6
0111 _B	送信バッファ 16 × m + 7
1000 _B	送信バッファ 16 × m + 8
1001 _B	送信バッファ 16 × m + 9
1010 _B	送信バッファ 16 × m + 10
1011 _B	送信バッファ 16 × m + 11
1100 _B	送信バッファ 16 × m + 12
1101 _B	送信バッファ 16 × m + 13
1110 _B	送信バッファ 16 × m + 14
1111 _B	送信バッファ 16 × m + 15

表 21.94 各チャネルの送信キューに割り当てられる送信バッファ p

TXQDC [3:0] ビットの設定値	送信キューに割り当てられる送信バッファ p
0000 _B	設定しないでください。
0001 _B	設定しないでください。
0010 _B	送信バッファ 16 × m + 15 ~ 16 × m + 13
0011 _B	送信バッファ 16 × m + 15 ~ 16 × m + 12
0100 _B	送信バッファ 16 × m + 15 ~ 16 × m + 11
0101 _B	送信バッファ 16 × m + 15 ~ 16 × m + 10
0110 _B	送信バッファ 16 × m + 15 ~ 16 × m + 9
0111 _B	送信バッファ 16 × m + 15 ~ 16 × m + 8
1000 _B	送信バッファ 16 × m + 15 ~ 16 × m + 7
1001 _B	送信バッファ 16 × m + 15 ~ 16 × m + 6
1010 _B	送信バッファ 16 × m + 15 ~ 16 × m + 5
1011 _B	送信バッファ 16 × m + 15 ~ 16 × m + 4
1100 _B	送信バッファ 16 × m + 15 ~ 16 × m + 3
1101 _B	送信バッファ 16 × m + 15 ~ 16 × m + 2
1110 _B	送信バッファ 16 × m + 15 ~ 16 × m + 1
1111 _B	送信バッファ 16 × m + 15 ~ 16 × m + 0

21.5.2 インタフェースモード関連レジスタの詳細

21.5.2.1 RSCFDnCFDGRMCFG — グローバルインタフェースモード選択レジスタ

アクセス RSCFDnCFDGRMCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDGRMCFGGL レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDGRMCFGLL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGRMCFG: <RSCANn_base> + 04FC_H
RSCFDnCFDGRMCFGGL: <RSCANn_base> + 04FC_H
RSCFDnCFDGRMCFGLL: <RSCANn_base> + 04FC_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RCMC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 21.95 RSCFDnCFDGRMCFG レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	RCMC	インタフェースモード選択ビット 0: クラシカル CAN モード 1: CAN FD モード (PREMIUM のみ)

備考 CAN FD モードは PREMIUM のみ対応しています。ECO および ADVANCED 製品では、RCMC ビットが 1 に設定されていても、CAN FD モードは動作しません。ECO および ADVANCED 製品では、RCMC は 0 に設定してください。

RSCFDnCFDGRMCFG レジスタはグローバルリセットモードでのみ書き換えてください。また、他の RS-CANFD レジスタを設定する前に設定を行ってください。

RCMC ビット

“0” にすると、クラシカル CAN モードになります。CAN FD モードからクラシカル CAN モードに変更する場合は、CAN FD モードのレジスタマップに割り当てられているすべてのレジスタ、ビットをリセット後の値にしてから、RSCFDnCFDGRMCFG レジスタを書き換えてください。

21.5.3 チャネル関連レジスタの詳細

21.5.3.1 RSCFDnCFDCmNCFG — チャネル 通常ビットレート コンフィグレーションレジスタ (m = 0 ~ 5)

アクセス RSCFDnCFDCmNCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCmNCFG L、RSCFDnCFDCmNCFG H レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCmNCFG LL、RSCFDnCFDCmNCFG LH、RSCFDnCFDCmNCFG HL、
RSCFDnCFDCmNCFG HH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCmNCFG: <RSCANn_base> + 0000_H + (10_H × m)

RSCFDnCFDCmNCFG L: <RSCANn_base> + 0000_H + (10_H × m)、
RSCFDnCFDCmNCFG H: <RSCANn_base> + 0002_H + (10_H × m)

RSCFDnCFDCmNCFG LL: <RSCANn_base> + 0000_H + (10_H × m)、
RSCFDnCFDCmNCFG LH: <RSCANn_base> + 0001_H + (10_H × m)、
RSCFDnCFDCmNCFG HL: <RSCANn_base> + 0002_H + (10_H × m)、
RSCFDnCFDCmNCFG HH: <RSCANn_base> + 0003_H + (10_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	NTSEG2[4:0]				—	NTSEG1[6:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NSJW[4:0]				—	NBRP [9:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.96 RSCFDnCFDCmNCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28 ~ 24	NTSEG2 [4:0]	通常ビットレートタイムセグメント 2 制御ビット b28 b27 b26 b25 b24 0 0 0 0 0 : 設定しないでください 0 0 0 0 1 : 2 Tq : : 1 1 1 1 0 : 31 Tq 1 1 1 1 1 : 32 Tq
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ~ 16	NTSEG1[6:0]	タイムセグメント 1 制御ビット b22 b21 b20 b19 b18 b17 b16 0 0 0 0 0 0 0 : 設定しないでください 0 0 0 0 0 0 1 : 設定しないでください 0 0 0 0 0 1 0 : 設定しないでください 0 0 0 0 0 1 1 : 4 Tq : : 1 1 1 1 1 1 0 : 127 Tq 1 1 1 1 1 1 1 : 128 Tq

表 21.96 RSCFDnCFDCmNCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
15 ~ 11	NSJW[4:0]	通常ビットレート再同期ジャンプ幅 制御ビット b15 b14 b13 b12 b11 0 0 0 0 0 : 1 Tq 0 0 0 0 1 : 2 Tq : : 1 1 1 1 0 : 31 Tq 1 1 1 1 1 : 32 Tq
10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9 ~ 0	NBRP [9:0]	プリスケアラ分周比設定ビット 設定値を P (0 ~ 1023) とすると、ポーレートプリスケアラは fCAN を P+1 で分周します。

RSCFDnCFDCmNCFG レジスタは、チャンネルリセットモードまたはチャンネル待機モードで書き換えてください。また、チャンネルリセットモードで本レジスタを設定した後で、チャンネル通信モードまたはチャンネル待機モードに遷移してください。ビットタイミングパラメータの説明と設定については、「**21.11.1 初期設定**」を参照してください。

NTSEG2[4:0] ビット

通常ビットレートのフェーズセグメント 2 (PHASE_SEG2) の長さを Tq 値で指定します。2 ~ 32 Tq の値が設定可能です。
NTSEG1[6:0] ビットより小さい値を設定してください。

NTSEG1[6:0] ビット

通常ビットレートのプロパゲーションセグメント (PROP_SEG) とフェーズセグメント 1 (PHASE_SEG1) の合計長を Tq 値で指定します。
4 ~ 128 Tq の値が設定可能です。

NSJW[4:0] ビット

通常ビットレートの再同期ジャンプ幅 (Resynchronization jump width) を Tq 値で指定します。
1 ~ 32 Tq の値が設定可能です。
NTSEG2[4:0] ビット以下の値を設定してください。

NBRP[9:0] ビット

CAN クロック (fCAN) を通常ビットレートプリスケアラ ((NBRP[9:0]) + 1) で分周したクロックが CANmTq(N) クロック (fCANTQ(N)m) になり、CANmTq(N) クロックの 1 クロックが 1 Time Quantum (Tq) になります。
NBRP[9:0] ビットと RSCFDnCFDCmDCFG レジスタの DBRP[7:0] ビットは同じ値とし、2つのビットレート値はそれぞれのセグメント値に応じて異なる値としてください。

21.5.3.2 RSCFDnCFDCmCTR — チャネル制御レジスタ (m = 0 ~ 5)

アクセス RSCFDnCFDCmCTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCmCTRL、RSCFDnCFDCmCTRH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCmCTRL、RSCFDnCFDCmCTRLH、RSCFDnCFDCmCTRHL、RSCFDnCFDCmCTRHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCmCTR: <RSCANn_base> + 0004_H + (10_H × m)

RSCFDnCFDCmCTRL: <RSCANn_base> + 0004_H + (10_H × m)、
RSCFDnCFDCmCTRH: <RSCANn_base> + 0006_H + (10_H × m)

RSCFDnCFDCmCTRL: <RSCANn_base> + 0004_H + (10_H × m)、
RSCFDnCFDCmCTRLH: <RSCANn_base> + 0005_H + (10_H × m)、
RSCFDnCFDCmCTRHL: <RSCANn_base> + 0006_H + (10_H × m)、
RSCFDnCFDCmCTRHH: <RSCANn_base> + 0007_H + (10_H × m)

リセット後の値 0000 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ROM	CRCT	—	—	—	CTMS[1:0]	CTME	ERRD	BOM[1:0]	—	TDCVFI E	SOCOI E	EOCOI E	TAIE		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 21.97 RSCFDnCFDCmCTR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	ROM	制限動作モード許可ビット 0: 制限動作モード禁止 1: 制限動作モード許可
30	CRCT	CRC エラーテスト許可ビット 0: 受信 ID フィールドの先頭ビットを反転しない 1: 受信 ID フィールドの先頭ビットを反転する
29 ~ 27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26、25	CTMS[1:0]	通信テストモード選択ビット b26 b25 0 0: 標準テストモード 0 1: リッスンオンリモード 1 0: セルフテストモード 0 (外部ループバックモード) 1 1: セルフテストモード 1 (内部ループバックモード)
24	CTME	通信テストモード許可ビット 0: 通信テストモード禁止 1: 通信テストモード許可
23	ERRD	エラー表示モード選択ビット 0: RSCFDnCFDCmERFL レジスタのビット 14 ~ 8 がすべてクリアされた後、最初に発生したエラー情報のみのエラーフラグ表示 1: 発生したすべてのエラー情報のエラーフラグを表示
22、21	BOM[1:0]	バスオフ復帰モード選択ビット b22 b21 0 0: ISO11898-1 仕様準拠 0 1: バスオフ開始でチャネル待機モードへ遷移 1 0: バスオフ終了でチャネル待機モードへ遷移 1 1: バスオフ中にプログラムによる要求でチャネル待機モードへ遷移
20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 21.97 RSCFDnCFDCmCTR レジスタの内容 (2/2)

ビット位置	ビット名	機能
19	TDCVFIE	送信遅延補正バイオレーション割り込み許可ビット 0: 送信遅延補正バイオレーション割り込み禁止 1: 送信遅延補正バイオレーション割り込み許可
18	SOCOIE	通信成功回数カウンタオーバーフロー割り込み許可ビット 0: 通信成功回数カウンタオーバーフロー割り込み禁止 1: 通信成功回数カウンタオーバーフロー割り込み許可
17	EOCOIE	エラー発生回数カウンタオーバーフロー割り込み許可ビット 0: エラー発生回数カウンタオーバーフロー割り込み禁止 1: エラー発生回数カウンタオーバーフロー割り込み許可
16	TAIE	送信アボート割り込み許可ビット 0: 送信アボート割り込み禁止 1: 送信アボート割り込み許可
15	ALIE	アービトレーションロスト割り込み許可ビット 0: アービトレーションロスト割り込み禁止 1: アービトレーションロスト割り込み許可
14	BLIE	バスロック割り込み許可ビット 0: バスロック割り込み禁止 1: バスロック割り込み許可
13	OLIE	オーバーロードフレーム送信割り込み許可ビット 0: オーバーロードフレーム送信割り込み禁止 1: オーバーロードフレーム送信割り込み許可
12	BORIE	バスオフ復帰割り込み許可ビット 0: バスオフ復帰割り込み禁止 1: バスオフ復帰割り込み許可
11	BOEIE	バスオフ開始割り込み許可ビット 0: バスオフ開始割り込み禁止 1: バスオフ開始割り込み許可
10	EPIE	エラーパッシブ割り込み許可ビット 0: エラーパッシブ割り込み禁止 1: エラーパッシブ割り込み許可
9	EWIE	エラーワーニング割り込み許可ビット 0: エラーワーニング割り込み禁止 1: エラーワーニング割り込み許可
8	BEIE	バスエラー割り込み許可ビット 0: バスエラー割り込み禁止 1: バスエラー割り込み許可
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RTBO	バスオフ強制復帰ビット RTBO ビットを“1”にすると、バスオフから強制的に復帰します。常に“0”が読めます。
2	CSLPR	チャネルストップモードビット 0: チャネルストップモードではない 1: チャネルストップモード
1、0	CHMDC[1:0]	モード選択ビット b1 b0 0 0: チャネル通信モード 0 1: チャネルリセットモード 1 0: チャネル待機モード 1 1: 設定しないでください

ROM ビット

RSCFDnCFDCmCTR レジスタの ROM ビットおよび CTME ビットが“1”にセットされているとき、制限動作モードは許可になります。RSCFDnCFDCmCTR レジスタの CTMS[1:0] ビットの値が“00_B”（標準テストモード）の場合のみ、制限動作モードを使用してください

い。このビットはチャンネルストップモードでのみ書き換えてください。チャンネルリセットモード時は、“0”になります。

CRCT ビット

RS-CANFD モジュール内部の CRC 生成回路をテストするビットです。“1”にするとメッセージの受信時に ID フィールドの先頭ビットを反転します。このビット反転により、CRC 演算結果は受信フレームの正常な CRC 値と一致なくなるため、CRC エラーが検出されず (RSCFDnCFDCmERFL レジスタの CERR ビットが“1”)。この機能を使用する場合は、以下の点に注意してください。

- RSCFDnCFDCmCTR レジスタの CTME ビットが“1” (通信テストモード許可) の場合に使用できます。
- 他の CAN ノードと通信はできません。チャンネル間通信テスト (RSCFDnCFDGTSTCFG レジスタの CmICBCE ビットが“1”) で使用してください。
- IDフィールドのビット反転によりビットスタッフィングルール違反が起こる可能性があります。その場合は、CRC エラーではなくスタッフエラーが検出されます。

このビットはチャンネル待機モードでのみ書き換えてください。チャンネルリセットモード時は、“0”になります。

CTMS[1:0] ビット

通信テストモードを選択するビットです。このビットはチャンネル待機モードのみで書き換えてください。チャンネルリセットモード時は、“0”になります。

CTME ビット

“1”にすると通信テストモードは許可になります。このビットはチャンネル待機モードで書き換えてください。チャンネルリセットモード時は、“0”になります。

ERRD ビット

RSCFDnCFDCmERFL レジスタのビット 14 ~ 8 の表示モードを制御します。

“0”にすると、RSCFDnCFDCmERFL レジスタのビット 14 ~ 8 をすべて 0 に設定した場合に何らかのエラーを検出すると、最初に発生したエラーのフラグのみ“1”になります。最初のエラーで複数のエラーが発生した場合、検出されたエラーのフラグはすべて“1”になります。

“1”にすると発生順に関係なく、起こったエラーのフラグはすべて“1”になります。

このビットはチャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。

BOM[1:0] ビット

RS-CANFD モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが“00_B”の場合、バスオフ状態からエラーアクティブ状態への復帰は CAN 仕様に準拠します。すなわち、RS-CANFD モジュールは、11 ビットの連続するレセシブを 128 回検出後、再び CAN 通信 (エラーアクティブ状態) に入ります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生します。128 回検出する前に CHMDC[1:0] ビットを“10_B” (チャンネル待機モード) にしても 128 回検出するまでチャンネル待機モードには遷移しません。

BOM[1:0] ビットが“01_B”の場合、RS-CANFD モジュールがバスオフ状態に達すると、RSCFDnCFDCmCTR レジスタ (m=0~5) の CHMDC[1:0] ビットが“10_B”になり、チャンネル待機モードへ遷移します。バスオフ復帰割り込み要求は発生せず、RSCFDnCFDCmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが“00_H”になります。

BOM[1:0] ビットが“10_B”の場合、RS-CANFD モジュールがバスオフ状態に達すると CHMDC[1:0] ビットが“10_B”になり、バスオフ状態から復帰した (11 ビットの連続するレセシブを 128 回検出) 後に、チャンネル待機モードに遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生し、TEC[7:0] ビットと REC[7:0] ビットが“00_H”になります。

BOM[1:0] ビットが“11_B”の場合、RS-CANFD モジュールがバスオフ状態のときに CHMDC[1:0] ビットを“10_B”にすると、チャンネル待機モードになります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、TEC[7:0] ビットと REC[7:0] ビットは“00_H”になります。しかし、CHMDC[1:0] ビットを“10_B”にする前に、11 ビットの連続するレセシブを 128 回検出して、バスオフ状態からエラーアクティブ状態に復帰した場合は、バスオフ復帰割り込み要求が発生します。

RS-CANFD モジュールがチャンネル待機モードに遷移するのと同じ (BOM[1:0] ビットが“01_B”のとき:バスオフ開始時、または BOM[1:0] ビットが“10_B”のとき:バスオフ終了時) に、プログラムによる CHMDC[1:0] ビットへの書き込みが発生した場合は、プログラムの書き込みが優先されます。BOM[1:0] ビットはチャンネルリセットモードでのみ書き換えてください。

TDCVFIE ビット

TDCVFIE ビットを“1”に設定し、RSCFDnCFDCmFDSTS レジスタの TDCVF フラグが“1”になった場合、割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

SOCIOIE ビット

SOCIOIE ビットを“1”に設定し、RSCFDnCFDCmFDSTS レジスタの SOCO フラグが“1”になった場合、割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EOCOIE ビット

EOCOIE ビットを“1”に設定し、RSCFDnCFDCmFDSTS レジスタの EOCO フラグが“1”になった場合、割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

TAIE ビット

TAIE ビットを“1”に設定し、送信バッファの送信アポートが完了した場合、割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

ALIE ビット

ALIE ビットを“1”に設定し、RSCFDnCFDCmERFL レジスタの ALF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BLIE ビット

BLIE ビットを“1”に設定し、RSCFDnCFDCmERFL レジスタの BLF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

OLIE ビット

OLIE ビットを“1”に設定し、RSCFDnCFDCmERFL レジスタの OVLF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BORIE ビット

BORIE ビットを“1”に設定し、RSCFDnCFDCmERFL レジスタの BORF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BOEIE ビット

BOEIE ビットを“1”に設定し、RSCFDnCFDCmERFL レジスタの BOEF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EPIE ビット

EPIE ビットを“1”に設定し、RSCFDnCFDCmERFL レジスタの EPF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EWIE ビット

EWIE ビットを“1”に設定し、RSCFDnCFDCmERFL レジスタの EWF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BEIE ビット

BEIE ビットを“1”に設定し、RSCFDnCFDCmERFL レジスタの BEF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

RTBO ビット

バスオフ状態時“1”にすると、強制的にバスオフ状態からエラーアクティブ状態へと変化します。このビットは自動的に“0”になります。“1”にすると、RSCFDnCFDCmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが“00_H”になり、RSCFDnCFDCmSTS レジスタの BOSTS フラグは“0”（バスオフ状態ではない）になります。他のレジスタは変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。RSCFDnCFDCmCTR レジスタの BOM[1:0] ビットが“00_B”（ISO11898-1 仕様準拠）のときのみ使用してください。

RTBO ビットを“1”にしてからエラーアクティブ状態に遷移するまでに、最大 1 CAN ビットタイムの遅延が発生します。このビットはチャンネル通信モードで“1”を書いてください。

CSLPR ビット

“1” にすると、チャンネルストップモードになります。

“0” にすると、チャンネルストップモードは解除されます。

このビットは、チャンネル通信モードまたはチャンネル待機モードでは書き換えないでください。

CHMDC[1:0] ビット

チャンネルのモード（チャンネル通信モード、チャンネルリセットモード、チャンネル待機モード）を選択するビットです。詳細は、「**21.7.2 チャンネルモード**」を参照してください。チャンネルストップモードへは、チャンネルリセットモード時に CSLPR ビットを“1” にすることで遷移します。CHMDC[1:0] ビットを“11_B”には設定しないでください。BOM[1:0] ビットの設定によってチャンネル待機モードへ遷移した場合は、CHMDC[1:0] ビットは自動的に“10_B”になります。

21.5.3.3 RSCFDnCFDCmSTS — チャネルステータスレジスタ (m = 0 ~ 5)

アクセス RSCFDnCFDCmSTS レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCmSTSL レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCmSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDCmSTSLL レジスタは、8 ビット単位でリードのみ可能です。
RSCFDnCFDCmSTSLH レジスタは、8 ビット単位でリード/ライト可能です。
RSCFDnCFDCmSTSHL、RSCFDnCFDCmSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDCmSTS: <RSCANn_base> + 0008_H + (10_H × m)

RSCFDnCFDCmSTSL: <RSCANn_base> + 0008_H + (10_H × m)、
RSCFDnCFDCmSTSH: <RSCANn_base> + 000A_H + (10_H × m)

RSCFDnCFDCmSTSLL: <RSCANn_base> + 0008_H + (10_H × m)、
RSCFDnCFDCmSTSLH: <RSCANn_base> + 0009_H + (10_H × m)、
RSCFDnCFDCmSTSHL: <RSCANn_base> + 000A_H + (10_H × m)、
RSCFDnCFDCmSTSHH: <RSCANn_base> + 000B_H + (10_H × m)

リセット後の値 0000 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEC [7:0]								REC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ESIF	COMSTS	RECSTS	TRMSTS	BOSTS	EPSTS	CSLPTS	CHLPTS	CRSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R	R	R	R/W注1	R	R	R	R	R	R	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする ("0" にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.98 RSCFDnCFDCmSTS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 24	TEC [7:0]	送信エラーカウンタ (TEC) の値が読めます。
23 ~ 16	REC [7:0]	受信エラーカウンタ (REC) の値が読めます。
15 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	ESIF	エラー状態表示フラグ 0: ESI ビットがレセシブである CAN FD メッセージを受信していない 1: ESI ビットがレセシブである CAN FD メッセージを少なくとも 1 メッセージ受信した
7	COMSTS	通信ステータスフラグ 0: 通信可能な状態ではない 1: 通信可能な状態
6	RECSTS	受信ステータスフラグ 0: バスアイドルまたは送信中またはバスオフ状態 1: 受信中
5	TRMSTS	送信ステータスフラグ 0: バスアイドルまたは受信中 1: 送信中またはバスオフ状態
4	BOSTS	バスオフステータスフラグ 0: バスオフ状態ではない 1: バスオフ状態
3	EPSTS	エラーパッシブステータスフラグ 0: エラーパッシブ状態ではない 1: エラーパッシブ状態

表 21.98 RSCFDnCFDCmSTS レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	CSLPSTS	チャンネルストップステータスフラグ 0: チャンネルストップモードではない 1: チャンネルストップモード
1	CHLTSTS	チャンネル待機ステータスフラグ 0: チャンネル待機モードではない 1: チャンネル待機モード
0	CRSTSTS	チャンネルリセットステータスフラグ 0: チャンネルリセットモードではない 1: チャンネルリセットモード

TEC[7:0] ビット

送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

チャンネルリセットモード時は、“0”になります。

REC[7:0] ビット

受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

チャンネルリセットモード時は、“0”になります。

ESIF フラグ

正常に受信したメッセージでレセシブの ESI ビットを検出すると、“1”になります。ループバックモードまたはミラーモードの場合は、自送信メッセージが受信メッセージとみなされます。このフラグを“0”にする場合は、プログラムで“0”を書いてください。プログラムで“1”にできません。フラグが“1”になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのフラグは“1”になります。チャンネルリセットモード時は、“0”になります。

COMSTS フラグ

通信準備が整ったことを示すビットです。

チャンネルリセットモードまたはチャンネル待機モードからチャンネル通信モードに移行し、11ビットの連続するレセシブを検出した後に、“1”になります。チャンネルリセットモードまたはチャンネル待機モード時は、“0”になります。

RECSTS フラグ

受信を開始すると“1”になります。バスアイドル状態になるか、または送信を開始すると“0”になります。

TRMSTS フラグ

送信を開始すると“1”になります。バスオフ状態では“1”のままです。バスアイドル状態になるか、または受信を開始すると“0”になります。

BOSTS フラグ

バスオフ状態 (TEC[7:0] ビット > 255) になると“1”になります。バスオフ状態以外になると“0”になります。

EPSTS フラグ

エラーパッシブ状態 ($128 \leq \text{TEC}[7:0]$ ビット ≤ 255) または ($128 \leq \text{REC}[7:0]$ ビット) になると、“1”になります。エラーパッシブ状態以外になるか、またはチャンネルリセットモードになると、“0”になります。

CSLPSTS フラグ

チャンネルストップモードに遷移すると、“1”になります。チャンネルストップモードから復帰すると“0”になります。

CHLTSTS フラグ

チャンネル待機モードに遷移すると“1”になります。チャンネル待機モード以外のモードに遷移すると“0”になります。

CRSTSTS フラグ

チャンネルリセットモードに遷移すると“1”になります。チャンネル通信モードまたはチャンネル待機モードに遷移すると“0”になります。チャンネルリセットモードからチャンネルストップモードに遷移しても、“1”のままです。

21.5.3.4 RSCFDnCFDCmERFL — チャネルエラーフラグレジスタ (m = 0 ~ 5)

アクセス RSCFDnCFDCmERFL レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCmERFLL レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCmERFLH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDCmERFLLL、RSCFDnCFDCmERFLLH レジスタは、8 ビット単位でリード/ライト可能です。
RSCFDnCFDCmERFLHL、RSCFDnCFDCmERFLHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDCmERFL: <RSCANn_base> + 000C_H + (10_H × m)

RSCFDnCFDCmERFLL: <RSCANn_base> + 000C_H + (10_H × m)、
RSCFDnCFDCmERFLH: <RSCANn_base> + 000E_H + (10_H × m)

RSCFDnCFDCmERFLLL: <RSCANn_base> + 000C_H + (10_H × m)、
RSCFDnCFDCmERFLLH: <RSCANn_base> + 000D_H + (10_H × m)、
RSCFDnCFDCmERFLHL: <RSCANn_base> + 000E_H + (10_H × m)、
RSCFDnCFDCmERFLHH: <RSCANn_base> + 000F_H + (10_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CRCREG[14:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVLF	BORF	BOEF	EPF	EWf	BEF	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}

注1. このフラグビットへの書き込みは、ステータスクリアする ("0" にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.99 RSCFDnCFDCmERFL レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30 ~ 16	CRCREG[14:0]	CRC 演算データ (CRC 長 15 ビット) 送信メッセージまたは受信メッセージを基に計算した CRC 値を表示します。
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14	ADERR	ACK デリミタエラーフラグ 0: ACK デリミタエラー未検出 1: ACK デリミタエラー検出
13	B0ERR	ドミナントビットエラーフラグ 0: ドミナントビットエラー未検出 1: ドミナントビットエラー検出
12	B1ERR	レセシブビットエラーフラグ 0: レセシブビットエラー未検出 1: レセシブビットエラー検出
11	CERR	CRC エラーフラグ 0: CRC エラー未検出 1: CRC エラー検出
10	AERR	ACK エラーフラグ 0: ACK エラー未検出 1: ACK エラー検出
9	FERR	フォームエラーフラグ 0: フォームエラー未検出 1: フォームエラー検出

表 21.99 RSCFDnCFDCmERFL レジスタの内容 (2/2)

ビット位置	ビット名	機能
8	SERR	スタッフエラーフラグ 0: スタッフエラー未検出 1: スタッフエラー検出
7	ALF	アービトレーションロストフラグ 0: アービトレーションロスト未検出 1: アービトレーションロスト検出
6	BLF	バスロックフラグ 0: チャンネルバスロック未検出 1: チャンネルバスロック検出
5	OVLf	オーバロードフラグ 0: オーバロード未検出 1: オーバロード検出
4	BORF	バスオフ復帰フラグ 0: バスオフ復帰未検出 1: バスオフ復帰検出
3	BOEF	バスオフ開始フラグ 0: バスオフ開始未検出 1: バスオフ開始検出
2	EPF	エラーパッシブフラグ 0: エラーパッシブ未検出 1: エラーパッシブ検出
1	EWf	エラーワーニングフラグ 0: エラーワーニング未検出 1: エラーワーニング検出
0	BEF	バスエラーフラグ 0: チャンネルバスエラーは未検出 1: チャンネルバスエラー検出

各エラーの発生条件を確認するには、CAN 仕様 (ISO11898-1) を参照してください。各フラグを“0”にする場合は、プログラムで“0”を書いてください。プログラムで“1”にできません。フラグが“1”になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのフラグは“1”になります。チャンネルリセットモード時、“0”になります。

RSCFDnCFDCmERFL レジスタのビット 14～8 に関して、RSCFDnCFDCmCTR レジスタの ERRD ビットを“0”（最初に発生したエラー情報のみ表示）に設定すると、ビット 14～8 のすべてのフラグが“0”の状態エラーが検出された場合には、対応するフラグのみが“1”になります。

CRCREG[14:0] フラグ

RSCFDnCFDCmCTR レジスタの CTME ビットが“1”（通信テストモード許可）の場合、送信または受信メッセージがクラシカル CAN フレーム（CRC 長 15 ビット）ならば、このフラグが更新され、メッセージをもとに計算した CRC 値が読めます。CAN FD フレームを送受信したときは、RSCFDnCFDCmFDCRC レジスタの CRCREG[20:0] ビットが更新されます。CTME ビットが“0”（通信テストモード禁止）の場合、常に“0”が読めます。

ADERR フラグ

送信中の ACK デリミタでフォームエラーを検出すると、“1”になります。

B0ERR フラグ

ドミナントを送信したにも関わらずレセプブを検出すると“1”になります。

B1ERR フラグ

レセシブを送信したにも関わらずドミナントを検出すると“1”になります。

CERR フラグ

CRC エラーを検出すると“1”になります。

AERR フラグ

ACK エラーを検出すると“1”になります。

FERR フラグ

フォームエラーを検出すると“1”になります。

SERR フラグ

スタッフエラーを検出すると“1”になります。

ALF フラグ

アービトレーションロストを検出すると“1”になります。

BLF フラグ

チャンネル通信モード時、CAN バス上に 32 ビットの連続するドミナントを検出すると、“1”になります。“1”になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- BLF ビットを“1”から“0”にした後、レセシブビットを検出
- BLF ビットを“1”から“0”にした後、チャンネルリセットモードに遷移し、再度チャンネル通信モードに遷移

OVLF フラグ

受信または送信を行う場合に、オーバロードフレームの送信条件が検出されると“1”になります。

BORF フラグ

11 ビットの連続するレセシブを 128 回検出してバスオフ状態から復帰すると“1”になります。ただし、11 ビットの連続するレセシブを 128 回検出する前に、以下の方法でバスオフ状態から復帰した場合は“1”になりません。

- RSCFDnCFDCmCTR レジスタの CHMDC[1:0] ビットを“01_B”(チャンネルリセットモード)に設定した場合
- RSCFDnCFDCmCTR レジスタの RTBO ビットを“1”(バスオフからの強制復帰)に設定した場合
- RSCFDnCFDCmCTR レジスタの BOM[1:0] ビットを“01_B”(バスオフ開始でチャンネル待機モードへ遷移)に設定した場合
- RSCFDnCFDCmCTR レジスタの BOM[1:0] ビットが“11_B”(バスオフ中にプログラムによる要求でチャンネル待機モードへ遷移)で、11 ビットの連続するレセシブを 128 回検出する前に、CHMDC[1:0] ビットを“10_B”(チャンネル待機モード)に設定した場合

BOEF フラグ

バスオフ状態 (TEC[7:0] ビット > 255) になると、“1” になります。RSCFDnCFDCmCTR レジスタ (m=0~5) のBOM[1:0] ビットが“01_B” (バスオフ開始でチャンネル待機モードへ遷移) で、バスオフ状態になった場合も、“1” になります。

EPF フラグ

エラーパッシブ状態 (REC[7:0] または TEC[7:0] ビット > 127) になると、“1” になります。REC[7:0] または TEC[7:0] ビットが最初に 127 を超えたときのみ“1” になります。したがって、REC[7:0] または TEC[7:0] ビットが 127 を超えたままで、プログラムで“0” を書いた場合、一度 REC [7:0] と TEC[7:0] ビットの両方が 127 以下になり、再び REC[7:0] または TEC[7:0] ビットが 127 を超えるまでは“1” にはなりません。

EWf フラグ

REC[7:0] または TEC[7:0] ビットの値が 95 を超えると、“1” になります。REC[7:0] または TEC[7:0] ビットが最初に 95 を超えたときのみ“1” になります。したがって、REC[7:0] または TEC [7:0] ビットが 95 を超えたままで、プログラムで“0” を書いた場合、一度 REC [7:0] と TEC[7:0] ビットの両方が 95 以下になり、再び REC[7:0] または TEC[7:0] ビットが 95 を超えるまでは“1” にはなりません。

BEF フラグ

RSCFDnCFDCmERFL レジスタの ADERR、BOERR、BIERR、CERR、AERR、FERR、SERR フラグのいずれか 1 つでも“1” になると、BEF フラグは“1” になります。

備考

本レジスタのフラグを“0” にする場合は、対象フラグには“0” を、それ以外のフラグには“1” を、ストア命令を使用して書いてください。

21.5.3.5 RSCFDnCFDCmDCFG — チャネルデータビットレートコンフィグレーションレジスタ (m = 0 ~ 5)

アクセス RSCFDnCFDCmDCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCmDCFGL、RSCFDnCFDCmDCFGLH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCmDCFGLL、RSCFDnCFDCmDCFGLH、RSCFDnCFDCmDCFGLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCmDCFG: <RSCANn_base> + 0500_H + (20_H × m)

RSCFDnCFDCmDCFGL: <RSCANn_base> + 0500_H + (20_H × m)、
RSCFDnCFDCmDCFGLH: <RSCANn_base> + 0502_H + (20_H × m)

RSCFDnCFDCmDCFGLL: <RSCANn_base> + 0500_H + (20_H × m)、
RSCFDnCFDCmDCFGLH: <RSCANn_base> + 0502_H + (20_H × m)、
RSCFDnCFDCmDCFGLH: <RSCANn_base> + 0503_H + (20_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	DSJW[2:0]			—	DTSEG2[2:0]			DTSEG1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DBRP[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.100 RSCFDnCFDCmDCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26 ~ 24	DSJW[2:0]	データビットレート 再同期ジャンプ幅制御ビット b26 b25 b24 0 0 0 : 1 Tq 0 0 1 : 2 Tq 0 1 0 : 3 Tq 0 1 1 : 4 Tq 1 0 0 : 5 Tq 1 0 1 : 6 Tq 1 1 0 : 7 Tq 1 1 1 : 8 Tq
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ~ 20	DTSEG2[2:0]	データビットレート タイムセグメント 2 制御ビット b22 b21 b20 0 0 0 : 設定しないでください 0 0 1 : 2 Tq 0 1 0 : 3 Tq 0 1 1 : 4 Tq 1 0 0 : 5 Tq 1 0 1 : 6 Tq 1 1 0 : 7 Tq 1 1 1 : 8 Tq

表 21.100 RSCFDnCFDCmDCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
19 ~ 16	DTSEG1[3:0]	データビットレート タイムセグメント1 制御ビット b19 b18 b17 b16 0 0 0 0 : 設定しないでください 0 0 0 1 : 2 Tq 0 0 1 0 : 3 Tq 0 0 1 1 : 4 Tq 0 1 0 0 : 5 Tq 0 1 0 1 : 6 Tq 0 1 1 0 : 7 Tq 0 1 1 1 : 8 Tq 1 0 0 0 : 9 Tq 1 0 0 1 : 10 Tq 1 0 1 0 : 11 Tq 1 0 1 1 : 12 Tq 1 1 0 0 : 13 Tq 1 1 0 1 : 14 Tq 1 1 1 0 : 15 Tq 1 1 1 1 : 16 Tq
15 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ~ 0	DBRP[7:0]	データビットレート プリスケーラ分周比設定ビット 設定値を P (0 ~ 255) とすると、データビットレートプリスケーラは fCAN を P+1 で分周します。

RSCFDnCFDCmDCFG レジスタは、チャンネルリセットモードまたはチャンネル待機モードで書き換えてください。また、チャンネルリセットモードで本レジスタを設定した後で、チャンネル通信モードまたはチャンネル待機モードに遷移してください。クラシカル CAN フレームしか使用しない場合は、RSCFDnCFDCmDCFG レジスタに、RSCFDnCFDCmNCFG レジスタの設定値と同じ値を設定してください。ビットタイミングパラメータの説明と設定については、「21.11.1 初期設定」を参照してください。

DSJW[2:0] ビット

データビットレートの再同期ジャンプ幅 (Resynchronization jump width) を Tq 値で指定します。1 ~ 8Tq の値が設定可能です。DTSEG2[2:0] ビット以下の値を設定してください。

DTSEG2[2:0] ビット

データビットレートのフェーズセグメント2 (PHASE_SEG2) の長さを Tq 値で指定します。2 ~ 8Tq の値が設定可能です。

DTSEG1[3:0] ビットより小さい値を設定してください。

DTSEG1[3:0] ビット

データビットレートのプロパゲーションセグメント (PROP_SEG) とフェーズセグメント1 (PHASE_SEG1) の合計長を Tq 値で指定します。

2 ~ 16Tq の値が設定可能です。

DBRP[7:0] ビット

CAN クロック (fCAN) をデータビットレートプリスケーラ ((DBRP[7:0]) + 1) で分周したクロックが CANmTq(D) クロック (fCANTQ(D)m) になり、CANmTq(D) クロックの 1 クロックが 1 Time Quantum (Tq) になります。

RSCFDnCFDCmNCFG レジスタの NBRP[9:0] ビットと DBRP[7:0] ビットは同じ値とし、2つのビットレート値はそれぞれのセグメント値に応じて異なる値としてください。

21.5.3.6 RSCFDnCFDCmFDCFG — チャネル CAN FD コンフィグレーションレジスタ (m = 0 ~ 5)

アクセス RSCFDnCFDCmFDCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCmFDCFG_L、RSCFDnCFDCmFDCFG_H レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCmFDCFG_LL、RSCFDnCFDCmFDCFG_LH、RSCFDnCFDCmFDCFG_HL、
RSCFDnCFDCmFDCFG_HH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCmFDCFG: <RSCANn_base> + 0504_H + (20_H × m)
RSCFDnCFDCmFDCFG_L: <RSCANn_base> + 0504_H + (20_H × m)、
RSCFDnCFDCmFDCFG_H: <RSCANn_base> + 0506_H + (20_H × m)

RSCFDnCFDCmFDCFG_LL: <RSCANn_base> + 0504_H + (20_H × m)、
RSCFDnCFDCmFDCFG_LH: <RSCANn_base> + 0505_H + (20_H × m)、
RSCFDnCFDCmFDCFG_HL: <RSCANn_base> + 0506_H + (20_H × m)、
RSCFDnCFDCmFDCFG_HH: <RSCANn_base> + 0507_H + (20_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	REFE	FDOE	TMME	GWBR S	GWDFD	GWEN	—	TDCO[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ESIC	TDCE	TDCOC	—	—	—	—	—	EOCCFG[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 21.101 RSCFDnCFDCmFDCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29	REFE	受信データエッジフィルタ有効ビット 0: 受信データエッジフィルタ無効 1: 受信データエッジフィルタ有効
28	FDOE	FD 専用モード許可ビット 0: FD 専用モード禁止 1: FD 専用モード許可
27	TMME	送信バッファマージモード許可ビット 0: 送信バッファマージモード禁止 1: 送信バッファマージモード許可
26	GWBR S	ゲートウェイ BRS 設定ビット 0: 受信フレームの BRS ビットを "0" にして送信 1: 受信フレームの BRS ビットを "1" にして送信
25	GWDFD	ゲートウェイ FDF 設定ビット 0: 受信フレームをクラシカル CAN フレームとして送信 1: 受信フレームを CAN FD フレームとして送信
24	GWEN	CAN-CAN FD ゲートウェイ許可ビット 0: CAN-CAN FD ゲートウェイ禁止 1: CAN-CAN FD ゲートウェイ許可
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ~ 16	TDCO[6:0]	送信遅延補正オフセット設定ビット 送信遅延補正のオフセット値を設定します。
15 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 21.101 RSCFDnCFDCmFDCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
10	ESIC	エラー状態表示モード選択ビット 0: 常にチャンネルのエラー状態をフレームの ESI ビットとして送信 1: チャンネルがエラーパッシブではないとき、メッセージバッファのエラー状態をフレームの ESI ビットとして送信 チャンネルがエラーパッシブのとき、チャンネルのエラー状態をフレームの ESI ビットとして送信
9	TDCE	送信遅延補正許可ビット 0: 送信遅延補正禁止 1: 送信遅延補正許可
8	TDCOC	送信遅延補正計測選択ビット 0: 計測およびオフセット 1: オフセットのみ
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	EOCCFG[2:0]	エラー発生回数カウント方式選択ビット b2 b1 b0 0 0 0: 全ての送信メッセージと受信メッセージ 0 0 1: 全ての送信メッセージ 0 1 0: 全ての受信メッセージ 0 1 1: 設定しないでください 1 0 0: 送信または受信した CAN FD メッセージのデータフェーズのみ 1 0 1: 送信した CAN FD メッセージのデータフェーズのみ 1 1 0: 受信した CAN FD メッセージのデータフェーズのみ 1 1 1: 設定しないでください

REFE ビット

このビットを“1”に設定すると、アイドル状態の検出時に受信データエッジフィルタが有効になります。また、2倍未満の量のドミナントレベルが無視されます。2倍以上の量のドミナントレベルはエッジとして検出されます。

このビットはチャンネルリセットモードでのみ書き換えてください。

FDOE ビット

このビットを“1”に設定すると、FD 専用モードが許可されます。データ送信時は、RSCFDnCFDCFFDCSTSk レジスタの CFFDF ビットまたは RSCFDnCFDnTMFDCTRp レジスタの TMFDF ビットの設定に関係なく CAN FD フレームが送信されます。クラシカル CAN フレーム受信時は、フォームエラーが検出されます。このビットはチャンネルリセットモードでのみ書き換えてください。

TMME ビット

“1”にすると送信バッファマージモードが許可されます。このビットはチャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。

GWBRs ビット

GWEN ビットが“1”のとき、ゲートウェイ機能で送信する CAN FD フレームの BRS ビットを設定します。GWDFD ビットを“0”にするときは、このビットに“0”を書いてください。このビットはチャンネルリセットモードでのみ書き換えてください。

GWDFD ビット

GWEN ビットが“1”のとき、ゲートウェイ機能で送信する CAN FD フレームの FDF ビットを設定します。このビットはチャンネルリセットモードでのみ書き換えてください。

GWEN ビット

RSCFDnCFDFCCK レジスタの CFM[1:0] ビットを“10_B” (ゲートウェイモード) に設定した送受信 FIFO バッファの動作を制御します。

このビットを“1”にすると、CAN-CAN FD ゲートウェイが許可され、ゲートウェイ機能で受信したフレームと異なるフォーマットでの送信ができます。受信フレームは GWFDF ビットと GWBRS ビットの設定に従って置換されます。受信したクラシカル CAN フレームの DLC 値が“1001_B”以上であり、GWFDF ビットが“1” (CAN FD フレーム) の場合は、DLC を“1000_B”に置き換えます。

このビットが“1”のとき、以下のフレームはゲートウェイ機能でルーティングしないでください。

- ペイロード長が 8 バイトを超える CAN FD フレーム
- リモートフレーム

また、このビットが“1”のとき、GWFDF の設定により以下のフレームのみ該当するチャンネルから送信してください。

- GWFDF = 0 のとき、クラシカル CAN フレームのみ送信してください。
- GWFDF = 1 のとき、CAN FD フレームのみ送信してください。

表 21.102 に CAN-CAN FD ゲートウェイ許可時の送受信フレームのフォーマットと設定を示します。

表 21.102 CAN-CAN FD ゲートウェイ許可時動作

受信フレーム			GWFDF ビット	送信フレーム		
フォーマット	BRS ビット	受信 DLC 値		フォーマット	BRS ビット	送信 DLC 値
クラシカル CAN	なし	DLC ≤ 1000 _B	0	クラシカル CAN	なし	置換しない
		DLC > 1000 _B				
CAN FD	任意	DLC ≤ 1000 _B				
クラシカル CAN	なし	DLC ≤ 1000 _B	1	CAN FD	GWBRS ビット の設定に従 う	置換しない
		DLC > 1000 _B				“1000 _B ”に置換
CAN FD	任意	DLC ≤ 1000 _B				置換しない

TDCO[6:0] ビット

SSP オフセット値を設定します。この値の使用方法は、RSCFDnCFDCmFDCFG レジスタの TDCOC ビットに依存します。

TDCOC ビットが“0”のとき、送信遅延補正結果は測定した遅延と TDCO[6:0] ビット値の合計値と等しくなります (最も近い整数の T_q に切り捨てます)。

TDCOC ビットが“1”のとき、送信遅延補正結果は TDCO[6:0] ビットの値と等しくなります。

SSP オフセット値は TDCO[6:0] ビットの設定値 +1 となります。

このビットはチャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。

ESIC ビット

ESIC ビットを“1”にすると、チャンネルがエラーアクティブならば、送信メッセージの ESI ビット値として、送受信 FIFO バッファまたは送信バッファに設定された ESI ビット値 (RSCFDnCFDCFFDCSTSk レジスタの CFESI ビットまたは RSCFDnCFDTMFDCTR_p レジスタの TMESI ビット) が送信されます。チャンネルがエラーパッシブであるか、ESIC ビットが“0”ならばチャンネルのステータスが ESI ビット値として送信されます。このビットはチャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。

表 21.103 送信 ESI 値

ESIC ビット	チャンネルステータス	送信 ESI 値
0	エラーアクティブ	0 (ノードはエラーアクティブ)
	エラーパッシブ	1 (ノードはエラーパッシブ)
1	エラーアクティブ	送受信 FIFO バッファまたは送信バッファに設定した ESI 値 (RSCFDnCFDCFFDCSTSk レジスタの CFESI ビットまたは RSCFDnCFDTMFDCTR _p レジスタの TMESI ビット)
	エラーパッシブ	1 (ノードはエラーパッシブ)

TDCE ビット

“1”にすると送信遅延補正が許可されます。このビットはチャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。

TDCOC ビット

“0”のとき、SSP の位置は測定した遅延と SSP オフセット値 (固定値) の合計で定義されません。

“1”のとき、SSP の位置は SSP オフセット値のみで定義されます。

このビットはチャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。

EOCCFG[2:0] ビット

エラー発生回数カウンタで CAN バスエラーをカウントするときのフレームフォーマットおよび送受信方向を選択します。

このビットはチャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。

21.5.3.7 RSCFDnCFDCmFDCTR — チャネル CAN FD 制御レジスタ (m = 0 ~ 5)

アクセス RSCFDnCFDCmFDCTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCmFDCTRL レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCmFDCTRLLL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCmFDCTR: <RSCANn_base> + 0508_H + (20_H × m)
RSCFDnCFDCmFDCTRL: <RSCANn_base> + 0508_H + (20_H × m)
RSCFDnCFDCmFDCTRLLL: <RSCANn_base> + 0508_H + (20_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOCCLR	EOCCLR
															R	R
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 21.104 RSCFDnCFDCmFDCTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SOCCLR	通信成功回数カウンタクリアビット SOCCLR ビットを“1”にすると、通信成功回数カウンタがクリアされます。常に“0”が読めます。
0	EOCCLR	エラー発生回数カウンタクリアビット EOCCLR ビットを“1”にすると、エラー発生回数カウンタがクリアされます。常に“0”が読めます。

SOCCLR ビット

“1”にすると、通信成功回数カウンタ (RSCFDnCFDCmFDSTS レジスタの SOC[7:0] ビット) がクリアされます。このビットは自動的に“0”になります。

EOCCLR ビット

“1”にすると、エラー発生回数カウンタ (RSCFDnCFDCmFDSTS レジスタの EOC[7:0] ビット) がクリアされます。このビットは自動的に“0”になります。

21.5.3.8 RSCFDnCFDCmFDSTS — チャネル CAN FD ステータスレジスタ (m = 0 ~ 5)

アクセス RSCFDnCFDCmFDSTS レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCmFDSTSL レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCmFDSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDCmFDSTSLL、RSCFDnCFDCmFDSTSLH レジスタは、8 ビット単位でリード/ライト可能です。
RSCFDnCFDCmFDSTSHL、RSCFDnCFDCmFDSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDCmFDSTS: <RSCANn_base> + 050C_H + (20_H × m)

RSCFDnCFDCmFDSTSL: <RSCANn_base> + 050C_H + (20_H × m)、
RSCFDnCFDCmFDSTSH: <RSCANn_base> + 050E_H + (20_H × m)

RSCFDnCFDCmFDSTSLL: <RSCANn_base> + 050C_H + (20_H × m)、
RSCFDnCFDCmFDSTSLH: <RSCANn_base> + 050D_H + (20_H × m)、
RSCFDnCFDCmFDSTSHL: <RSCANn_base> + 050E_H + (20_H × m)、
RSCFDnCFDCmFDSTSHH: <RSCANn_base> + 050F_H + (20_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SOC[7:0]								EOC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SOCO	EOCO	TDCVF	TDCR[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R	R	R	R	R	R	R

注1. このフラグビットへの書き込みは、ステータスクリアする ("0" にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.105 RSCFDnCFDCmFDSTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	SOC[7:0]	通信成功回数カウンタ 通信成功回数カウンタの値が読めます。
23 ~ 16	EOC[7:0]	エラー発生回数カウンタ エラー発生回数カウンタの値が読めます。
15 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	SOCO	通信成功回数カウンタオーバフローフラグ 0: 通信成功回数カウンタオーバフローではない 1: 通信成功回数カウンタオーバフロー
8	EOCO	エラー発生回数カウンタオーバフローフラグ 0: エラー発生回数カウンタオーバフローではない 1: エラー発生回数カウンタオーバフロー
7	TDCVF	送信遅延補正バイオレーションフラグ 0: 送信遅延補正バイオレーションなし 1: 送信遅延補正バイオレーション
6 ~ 0	TDCR[6:0]	送信遅延補正結果ステータスビット 送信遅延補正結果が読めます。

SOC[7:0] ビット

通信成功回数カウンタの値を示します。通信成功回数カウンタはエラーなしでメッセージの受信完了または送信完了が起るとインクリメントされ、“FF_H”に達すると、更新を停止します。ループバックモードのとき、このカウンタは2回インクリメントされます。

このビットは、RSCFDnCFDCmFDCTR レジスタの SOCCLR ビットに“1”を書き込むと“0”にクリアされます。チャンネルリセットモード時は、“0”になります。

EOC[7:0] ビット

エラー発生回数カウンタの値を示します。エラー発生回数カウンタは、RSCFDnCFDCmFDCFG レジスタの EOCCFG[2:0] ビットに設定された条件に従って、エラー発生時にインクリメントされ、カウンタが“FF_H”に達すると、更新が停止します。

このビットは、RSCFDnCFDCmFDCTR レジスタの EOCCLR ビットに“1”を書き込むと“0”にクリアされます。チャンネルリセットモード時は、“0”になります。

SOCO フラグ

通信成功回数カウンタのオーバフローが発生したことを示すビットです。

SOC[7:0] ビットが“FF_H”に達しているとき、メッセージの受信完了または送信完了が起こると“1”になります。チャンネルリセットモード時は、“0”になります。

EOCO フラグ

エラー発生回数カウンタのオーバフローが発生したことを示すビットです。

EOC[7:0] ビットが“FF_H”に達しているとき、RSCFDnCFDCmFDCFG レジスタの EOCCFG[2:0] ビットに設定された条件下で CAN バスエラーが検出されると“1”になります。チャンネルリセットモード時は、“0”になります。

TDCVF フラグ

送信遅延補正のバイオレーションを示すビットです。

送信データはトランシーバのループ遅延によって遅延した受信 CAN バスレベルと比較されます。この遅延は温度のような物理的な要因によって変化します。TDCR[6:0] フラグはメッセージごとに更新されるため、一時的な最大遅延を確認することができません。

このビットは送信遅延補正が補正最大 3CANm ビットタイム - 2fCAN を超えた場合、“1”になります (CANm ビットタイムはデータビットレートの値)。

チャンネルリセットモード時は、“0”になります。

TDCR[6:0] フラグ

送信遅延補正結果を CAN クロック (fCAN) のクロックの倍数で示すビットです。

この結果は RSCFDnCFDCmFDCFG レジスタの TDCOC ビットおよび TDCO[6:0] ビットの設定に依存します。

RSCFDnCFDCmFDCFG レジスタの TDCE ビット (送信遅延補正許可ビット) が“1”で、かつ RSCFDnCFDCmFDCFG レジスタの TDCOC ビット (送信遅延補正計測選択ビット) が“0”の場合、FDF ビットおよび res ビット間の立ち下がりエッジで更新されます。

チャンネルリセットモード時は、“0”になります。

21.5.3.9 RSCFDnCFDCmFDCRC — チャネル CAN FD CRC レジスタ (m = 0 ~ 5)

アクセス RSCFDnCFDCmFDCRC レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDCmFDCRCRCL、RSCFDnCFDCmFDCRCH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDCmFDCRCRLL、RSCFDnCFDCmFDCRCLH、RSCFDnCFDCmFDCRCHL、
RSCFDnCFDCmFDCRCHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDCmFDCRC: <RSCANn_base> + 0510_H + (20_H × m)
RSCFDnCFDCmFDCRCRCL: <RSCANn_base> + 0510_H + (20_H × m)、
RSCFDnCFDCmFDCRCH: <RSCANn_base> + 0512_H + (20_H × m)
RSCFDnCFDCmFDCRCRLL: <RSCANn_base> + 0510_H + (20_H × m)、
RSCFDnCFDCmFDCRCLH: <RSCANn_base> + 0511_H + (20_H × m)、
RSCFDnCFDCmFDCRCHL: <RSCANn_base> + 0512_H + (20_H × m)、
RSCFDnCFDCmFDCRCHH: <RSCANn_base> + 0513_H + (20_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	SCNT[3:0]				—	—	—	CRCREG[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRCREG[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.106 RSCFDnCFDCmFDCRC レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	予約ビット	リードした場合はリセット後の値が読めます。
27 ~ 24	SCNT[3:0]	スタッフカウントビット CAN FD フレームのスタッフカウント値を示します。 ビット 27 ~ 25 は、送受信フレームのスタッフビットカウントモジュール 8 の グレーコード値を示します。 ビット 24 は、ビット 27 ~ 25 の偶数パリティ値を示します。
23 ~ 21	予約ビット	リードした場合はリセット後の値が読めます。
20 ~ 0	CRCREG[20:0]	CRC 演算データ (CRC 長 17 ビットまたは 21 ビット) 送信メッセージまたは受信メッセージを基に計算した CRC 値を表示します。 CRC 長 17 ビットのとき、b20 ~ b17 は“0”が読めます。

SCNT[3:0] フラグ

RSCFDnCFDCmCTR レジスタの CTME ビットが“1” (通信テストモード許可) の場合、送信または受信メッセージが CAN FD フレームならば、CAN FD フレームのスタッフカウントビット値が読み出されます。CTME ビットが“0” (通信テストモード禁止) の場合、このフラグは常に“0”で読み出されます。このフラグは CAN FD フレームの CRC フィールドの最初のビットで更新されます。チャンネルリセットモード時は、“0”になります。

CRCREG[20:0] フラグ

RSCFDnCFDCmCTR レジスタの CTME ビットが“1” (通信テストモード許可) の場合、送信または受信メッセージが CAN FD フレーム (CRC 長 17 ビットまたは 21 ビット) ならば、このフラグが更新され、メッセージを基に計算した CRC 値が読めます。メッセージの CRC 長が 17 ビットのとき、b20 ~ b17 は常に“0”が読めます。クラシカル CAN フレームを送受信したときは、RSCFDnCFDCmERFL レジスタの CRCREG[14:0] ビットが更新されます。CTME ビットが“0” (通信テストモード禁止) の場合、常に“0”が読めます。

21.5.4 グローバル関連レジスタの詳細

21.5.4.1 RSCFDnCFDGCFCFG — グローバルコンフィグレーションレジスタ

アクセス RSCFDnCFDGCFCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDGCFCFGL、RSCFDnCFDGCFCFGH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDGCFCFGLL、RSCFDnCFDGCFCFGLH、RSCFDnCFDGCFCFGLH、RSCFDnCFDGCFCFGHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGCFCFG: <RSCANn_base> + 0084_H

RSCFDnCFDGCFCFGL: <RSCANn_base> + 0084_H、
RSCFDnCFDGCFCFGH: <RSCANn_base> + 0086_H

RSCFDnCFDGCFCFGLL: <RSCANn_base> + 0084_H、
RSCFDnCFDGCFCFGLH: <RSCANn_base> + 0085_H、
RSCFDnCFDGCFCFGLH: <RSCANn_base> + 0086_H、
RSCFDnCFDGCFCFGHH: <RSCANn_base> + 0087_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ITRCP [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSBTCS[2:0]		TSSS	TSP[3:0]			—	—	CMPO C	DCS	MME	DRE	DCE	TPRI		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 21.107 RSCFDnCFDGCFCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 16	ITRCP [15:0]	インターバルタイムプリスケール設定ビット 設定値を M とすると pclk を M 分周します。 インターバルタイムを使用する場合、“0000 _H ” を設定しないでください。
15 ~ 13	TSBTCS[2:0]	タイムスタンプクロック源選択ビット b15 b14 b13 0 0 0: チャネル0 ビットタイムクロック 0 0 1: チャネル1 ビットタイムクロック 0 1 0: チャネル2 ビットタイムクロック 0 1 1: チャネル3 ビットタイムクロック 1 0 0: チャネル4 ビットタイムクロック 1 0 1: チャネル5 ビットタイムクロック 1 1 0: 設定しないでください 1 1 1: 設定しないでください
12	TSSS	タイムスタンプソース選択 0: pclk/2 ^{注1} 1: ビットタイムクロック

表 21.107 RSCFDnCFDGCFCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
11 ~ 8	TSP[3:0]	タイムスタンプクロック源分周ビット b11 b10 b9 b8 0 0 0 0 : 分周なし 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 0 1 0 0 : 16分周 0 1 0 1 : 32分周 0 1 1 0 : 64分周 0 1 1 1 : 128分周 1 0 0 0 : 256分周 1 0 0 1 : 512分周 1 0 1 0 : 1024分周 1 0 1 1 : 2048分周 1 1 0 0 : 4096分周 1 1 0 1 : 8192分周 1 1 1 0 : 16384分周 1 1 1 1 : 32768分周
7,6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CMPOC	ペイロードオーバーフローモード選択ビット 0 : メッセージは格納されない 1 : メッセージは格納され、バッファサイズを超える分のペイロードは切り捨てられる
4	DCS	CAN クロック源選択ビット注2 0 : clkc 1 : clk_xincan
3	MME	ミラー機能許可ビット 0 : ミラー機能禁止 1 : ミラー機能許可
2	DRE	DLC 置換許可ビット 0 : DLC 置換禁止 1 : DLC 置換許可
1	DCE	DLC チェック許可ビット 0 : DLC チェック禁止 1 : DLC チェック許可
0	TPRI	送信優先順位選択ビット 0 : ID 優先 1 : 送信バッファ番号優先

注 1. タイムスタンプのカウンタソースに pclk/2 を設定するときは、TSBTCS[2:0] を “000_B” にしてください。

注 2. CAN クロックの周波数の設定は、「表 21.8 RH850/F1K における転送レート・使用チャネル数での動作周波数範囲」を参照してください。

RSCFDnCFDGCFCFG レジスタはグローバルリセットモードのみで書き換えてください。

ITRCP[15:0] ビット

FIFO 用インターバルタイマのクロック源の分周値を設定します。詳細は「21.9.3.1 インターバル送信機能」を参照してください。

TSBTCS[2:0] ビット

TSSS ビットが“1”のとき、タイムスタンプカウンタのクロック源となるビットタイムクロックのチャンネルの選択ができます。ただし、CAN FD フレームを処理するチャンネルを選択しないでください。

TSSS ビット

タイムスタンプカウンタのクロック源を選択します。

TSP[3:0] ビット

TSBTCS[2:0] ビット、TSSS ビットで選択したクロック源を TSP[3:0] ビットで分周したクロックがタイムスタンプカウンタのカウンタソースになります。

CMPOC ビット

受信したメッセージのペイロード長が格納先バッファのペイロード格納サイズを超えた場合の動作を選択します。

“0” のとき、ペイロードがオーバーフローする受信メッセージはバッファに格納されません。
“1” のとき、ペイロードがオーバーフローする受信メッセージはバッファに格納されます。このとき、バッファのペイロード格納サイズを超える分のペイロードは切り捨てられます。バッファのペイロード格納サイズは以下のビットで設定します。

- 受信バッファ：RSCFDnCFDRMNB レジスタの RMPLS[1:0] ビット
- 受信 FIFO バッファ：RSCFDnCFDRFCCx レジスタの RFPLS[2:0] ビット
- 送受信 FIFO バッファ：RSCFDnCFDCFCCK レジスタの CFPLS[2:0] ビット

DCS ビット

“0” のとき、clk_c が CAN クロック (fCAN) のクロック源になります。

“1” のとき、clk_{xincan} が CAN クロック (fCAN) のクロック源になります。

CAN クロックの周波数の設定は、「表 21.8 RH850/F1K における転送レート・使用チャンネル数での動作周波数範囲」を参照してください。

MME ビット

“1” にすると、ミラー機能が使用できます。

DRE ビット

DRE ビットを“1” にすると、DLC フィルタを通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには“00_H”が格納されます。

DCE ビットが“1” (DLC チェック許可) のときに、DLC 置換機能を使用できます。

DCE ビット

“1” にすると、DLC チェック機能が使用できます。RSCFDnCFDGAFLP0_j レジスタの GAFLDLC[3:0] ビットを“0000_B”にしてから、RSCFDnCFDGCFCFG レジスタの DCE ビットを“0”にしてください。

TPRI ビット

TPRI ビットにより、送信優先順位を設定します。

“0” の場合、ID 優先となり送信優先順位は CAN バス アービトレーションルール (ISO11898-1 仕様) に準拠します。“1” の場合、送信バッファ番号優先となり送信に設定された一番小さい番号の送信バッファが優先されます。

送信キューを使用している場合は、“0”に設定してください。

21.5.4.2 RSCFDnCFDGCTR — グローバル制御レジスタ

アクセス RSCFDnCFDGCTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDGCTRL、RSCFDnCFDGCTRH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDGCTRLL、RSCFDnCFDGCTRLH、RSCFDnCFDGCTRHL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGCTR: <RSCANn_base> + 0088_H

RSCFDnCFDGCTRL: <RSCANn_base> + 0088_H、
RSCFDnCFDGCTRH: <RSCANn_base> + 008A_H

RSCFDnCFDGCTRLL: <RSCANn_base> + 0088_H、
RSCFDnCFDGCTRLH: <RSCANn_base> + 0089_H、
RSCFDnCFDGCTRHL: <RSCANn_base> + 008A_H

リセット後の値 0000 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CMPOF IE	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 21.108 RSCFDnCFDGCTR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	TSRST	タイムスタンプカウンタリセットビット TSRST ビットを“1”にすると、タイムスタンプカウンタをリセットします。読むと“0”が読み出されます。
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	CMPOFIE	ペイロードオーバーフロー割り込み許可ビット 0: ペイロードオーバーフロー割り込み禁止 1: ペイロードオーバーフロー割り込み許可
10	THLEIE	送信履歴バッファオーバーフロー割り込み許可ビット 0: 送信履歴バッファオーバーフロー割り込み禁止 1: 送信履歴バッファオーバーフロー割り込み許可
9	MEIE	FIFO メッセージロス割り込み許可ビット 0: FIFO メッセージロス割り込み禁止 1: FIFO メッセージロス割り込み許可
8	DEIE	DLC エラー割り込み許可ビット 0: DLC エラー割り込み禁止 1: DLC エラー割り込み許可

表 21.108 RSCFDnCFDGCTR レジスタの内容 (2/2)

ビット位置	ビット名	機能
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	GSLPR	グローバルストップモードビット 0: グローバルストップモードではない 1: グローバルストップモード
1, 0	GMDC[1:0]	グローバルモード選択ビット b1 b0 0 0: グローバル動作モード 0 1: グローバルリセットモード 1 0: グローバルテストモード 1 1: 設定しないでください

TSRST ビット

タイムスタンプカウンタをリセットするために使用します。“1”にすると RSCFDnCFDGTSC レジスタが“0000_H”になります。

CMPOFIE ビット

CMPOFIE ビットを“1”に設定し、RSCFDnCFDGERFL レジスタの CMPOF フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

THLEIE ビット

THLEIE ビットを“1”に設定し、RSCFDnCFDGERFL レジスタの THLES フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

MEIE ビット

MEIE ビットを“1”に設定し、RSCFDnCFDGERFL レジスタの MES フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

DEIE ビット

DEIE ビットを“1”に設定し、RSCFDnCFDGERFL レジスタの DEF フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

GSLPR ビット

“1”にすると、グローバルストップモードになります。

“0”にすると、グローバルストップモードは解除されます。

このビットは、グローバル動作モードまたはグローバルテストモードでは書き換えしないでください。

GMDC[1:0] ビット

RS-CANFD モジュール全体のモード（グローバル動作モード、グローバルリセットモード、グローバルテストモード）を選択するビットです。詳細は、「**21.7.1 グローバルモード**」を参照してください。グローバルストップモードへは、グローバルリセットモード時に GSLPR ビットを“1”にすることで遷移します。

21.5.4.3 RSCFDnCFDGSTS — グローバルステータスレジスタ

アクセス RSCFDnCFDGSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDGSTSL レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDGSTSLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDGSTS: <RSCANn_base> + 008C_H

RSCFDnCFDGSTSL: <RSCANn_base> + 008C_H

RSCFDnCFDGSTSLL: <RSCANn_base> + 008C_H

リセット後の値 0000 000D_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	GRAMINIT	GSLPSTS	GHLTSTS	GRSTSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.109 RSCFDnCFDGSTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。
3	GRAMINIT	CAN 用 RAM クリアステータスフラグ 0: CAN 用 RAM クリア完了 1: CAN 用 RAM クリア中
2	GSLPSTS	グローバルストップステータスフラグ 0: グローバルストップモードではない 1: グローバルストップモード
1	GHLTSTS	グローバルテストステータスフラグ 0: グローバルテストモードではない 1: グローバルテストモード
0	GRSTSTS	グローバルリセットステータスフラグ 0: グローバルリセットモードではない 1: グローバルリセットモード

GRAMINIT フラグ

CAN 用 RAM のクリア状態を示します。

MCU のリセット後、“1” になります。CAN 用 RAM クリアが完了すると“0” になります。

GSLPSTS フラグ

グローバルストップモードに遷移すると、“1” になります。グローバルストップモードから復帰すると“0” になります。

GHLTSTS フラグ

グローバルテストモードに遷移すると、“1” になります。グローバルテストモード以外のモードに遷移すると“0” になります。

GRSTSTS フラグ

グローバルリセットモードに遷移すると“1”になります。

グローバルリセットモード以外のモードに遷移すると“0”になります。グローバルリセットモードからグローバルストップモードに遷移しても、“1”のままです。

21.5.4.4 RSCFDnCFDGERFL — グローバルエラーフラグレジスタ

アクセス RSCFDnCFDGERFL レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDGERFLL、RSCFDnCFDGERFLH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDGERFLLL、RSCFDnCFDGERFLHL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGERFL: <RSCANn_base> + 0090_H

RSCFDnCFDGERFLL: <RSCANn_base> + 0090_H、
RSCFDnCFDGERFLH: <RSCANn_base> + 0092_H

RSCFDnCFDGERFLLL: <RSCANn_base> + 0090_H、
RSCFDnCFDGERFLHL: <RSCANn_base> + 0092_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	EEF5	EEF4	EEF3	EEF2	EEF1	EEF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CMPOF	THLES	MES	DEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W ^{注1}	R	R	R/W ^{注1}

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.110 RSCFDnCFDGERFL レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21	EEF5	チャンネル 5 用 ECC エラーフラグ 0: 送信優先順位判定時の 2 ビット ECC エラーなし 1: 送信優先順位判定時の 2 ビット ECC エラー
20	EEF4	チャンネル 4 用 ECC エラーフラグ 0: 送信優先順位判定時の 2 ビット ECC エラーなし 1: 送信優先順位判定時の 2 ビット ECC エラー
19	EEF3	チャンネル 3 用 ECC エラーフラグ 0: 送信優先順位判定時の 2 ビット ECC エラーなし 1: 送信優先順位判定時の 2 ビット ECC エラー
18	EEF2	チャンネル 2 用 ECC エラーフラグ 0: 送信優先順位判定時の 2 ビット ECC エラーなし 1: 送信優先順位判定時の 2 ビット ECC エラー
17	EEF1	チャンネル 1 用 ECC エラーフラグ 0: 送信優先順位判定時の 2 ビット ECC エラーなし 1: 送信優先順位判定時の 2 ビット ECC エラー
16	EEF0	チャンネル 0 用 ECC エラーフラグ 0: 送信優先順位判定時の 2 ビット ECC エラーなし 1: 送信優先順位判定時の 2 ビット ECC エラー
15,14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13 ~ 8	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
7,6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 21.110 RSCFDnCFDGERFL レジスタの内容 (2/2)

ビット位置	ビット名	機能
5	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	CMPOF	ペイロードオーバーフローフラグ 0: ペイロードオーバーフローなし 1: ペイロードオーバーフロー
2	THLES	送信履歴バッファオーバーフローステータスフラグ 0: 送信履歴バッファオーバーフローなし 1: 送信履歴バッファオーバーフロー
1	MES	FIFO メッセージロストステータスフラグ 0: FIFO メッセージロストエラーなし 1: FIFO メッセージロストエラー
0	DEF	DLC エラーフラグ 0: DLC エラーなし 1: DLC エラー

RSCFDnCFDGERFL レジスタのフラグは、グローバルリセットモード時、“0”になります。

EEFm フラグ

チャンネル m ($m=0\sim 5$) の送信優先順位判定で ECC2 ビットエラーが検出されると、EEFm フラグが“1”になり、メッセージの送信は行われません。プログラムで“0”を書くことで、“0”にできます。

CMPOF フラグ

チャンネル m ($m=0\sim 5$) のいずれか1つでもペイロードオーバーフローが発生すると、CMPOF フラグは“1”になります。プログラムで“0”を書くことで、“0”にできます。

THLES フラグ

RSCFDnCFDTHLSTSm レジスタ ($m=0\sim 5$) の THLELT フラグのいずれか1つでも“1”になると、THLES フラグは“1”になります。

全チャンネルの THLELT フラグを“0”にすると、THLES フラグは“0”になります。

MES フラグ

RSCFDnCFDRFSTStx レジスタ ($x=0\sim 7$) の RFMLT フラグまたは RSCFDnCFDCFSTSk レジスタ ($k=0\sim 17$) の CFMLT フラグのいずれか1つでも“1”になると、MES フラグは“1”になります。

すべての RFMLT フラグおよび CFMLT フラグを“0”にすると、MES フラグは“0”になります。

DEF フラグ

DLC チェックでエラーが検出されると、“1”になります。プログラムで“0”を書くことで、“0”にできます。

備 考

本レジスタのフラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

21.5.4.5 RSCFDnCFDGTSC — グローバルタイムスタンプカウンタレジスタ

アクセス RSCFDnCFDGTSC レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDGTSCCL レジスタは、16 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDGTSC: <RSCANn_base> + 0094_H

RSCFDnCFDGTSCCL: <RSCANn_base> + 0094_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.111 RSCFDnCFDGTSC レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。
15 ~ 0	TS[15:0]	タイムスタンプ値 タイムスタンプ用カウンタの値が読めます。 カウンタ値 : 0000 _H ~ FFFF _H

TS[15:0] ビット

TS[15:0] ビットを読むと、その時点のタイムスタンプカウンタ（16 ビットフリーランカウンタ）の値が読めます。TS[15:0] ビットの値がキャプチャされ、その後、受信バッファまたは FIFO バッファに格納されます。また、RSCFDnCFDGCFCFG レジスタの TMTSCE ビットが“1”のとき、送信履歴バッファに格納されます。タイムスタンプカウンタは、グローバルリセットモードで初期化されます。

タイムスタンプカウンタの開始、停止タイミングは、カウントソースに依存します。

- RSCFDnCFDGCFCFG レジスタの TSSS ビットが“0”（pclk）の場合：
グローバル動作モードへ遷移したときに、カウント開始。
グローバルストップモードまたはグローバルテストモードで、カウント停止。
- TSSS ビットが“1”（CANm ビットタイムクロック）の場合：
対応するチャンネルがチャンネル通信モードへ遷移したときに、カウント開始。
対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードで、カウント停止。

21.5.4.6 RSCFDnCFDGTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0

アクセス RSCFDnCFDGTINTSTS0 レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDGTINTSTS0L、RSCFDnCFDGTINTSTS0H レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDGTINTSTS0LL、RSCFDnCFDGTINTSTS0LH、RSCFDnCFDGTINTSTS0HL、
RSCFDnCFDGTINTSTS0HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDGTINTSTS0: <RSCANn_base> + 0460_H

RSCFDnCFDGTINTSTS0L: <RSCANn_base> + 0460_H、
RSCFDnCFDGTINTSTS0H: <RSCANn_base> + 0462_H

RSCFDnCFDGTINTSTS0LL: <RSCANn_base> + 0460_H、
RSCFDnCFDGTINTSTS0LH: <RSCANn_base> + 0461_H、
RSCFDnCFDGTINTSTS0HL: <RSCANn_base> + 0462_H、
RSCFDnCFDGTINTSTS0HH: <RSCANn_base> + 0463_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	THIF3	CFTIF3	TQIF3	TAIF3	TSIF3	—	—	—	THIF2	CFTIF2	TQIF2	TAIF2	TSIF2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R注1	R注1	R注1	R注1	R注1	R	R	R	R注1	R注1	R注1	R注1	R注1
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THIF1	CFTIF1	TQIF1	TAIF1	TSIF1	—	—	—	THIF0	CFTIF0	TQIF0	TAIF0	TSIF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R注1	R注1	R注1	R注1	R	R	R	R注1	R注1	R注1	R注1	R注1

注1. 本ビットはグローバルリセットモードまたはチャンネルリセットモードで自動的にクリアされます。

表 21.112 RSCFDnCFDGTINTSTS0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 29	予約ビット	リードした場合はリセット後の値が読めます。
28	THIF3	チャンネル 3 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
27	CFTIF3	チャンネル 3 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
26	TQIF3	チャンネル 3 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
25	TAIF3	チャンネル 3 送信バッファポート割り込みステータスフラグ 0: 送信バッファポート割り込み要求なし 1: 送信バッファポート割り込み要求あり
24	TSIF3	チャンネル 3 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり
23 ~ 21	予約ビット	リードした場合はリセット後の値が読めます。
20	THIF2	チャンネル 2 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
19	CFTIF2	チャンネル 2 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
18	TQIF2	チャンネル 2 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり

表 21.112 RSCFDnCFDGTINTSTS0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
17	TAIF2	チャンネル 2 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
16	TSIF2	チャンネル 2 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり
15 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。
12	THIF1	チャンネル 1 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
11	CFTIF1	チャンネル 1 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
10	TQIF1	チャンネル 1 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
9	TAIF1	チャンネル 1 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
8	TSIF1	チャンネル 1 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。
4	THIF0	チャンネル 0 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
3	CFTIF0	チャンネル 0 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
2	TQIF0	チャンネル 0 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
1	TAIF0	チャンネル 0 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
0	TSIF0	チャンネル 0 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり

TSIFm ビット

RSCFDnCFDTMIECy レジスタの TMIEp ビットが“1”（送信バッファ割り込みが許可）、かつ対応する RSCFDnCFDTMSTSp レジスタの TMTRF[1:0] フラグが“10_B”（送信完了、アポート要求なし）、または“11_B”（送信完了、アポート要求あり）になると、TSIFm ビットは“1”になります。

TSIFm が“1”になる条件が成立している TMTRF[1:0] フラグを全て“00_B”にすると、このフラグは“0”になります。また TMIEp ビットを“0”にすることでも、このフラグは“0”になります。

TAIFm ビット

RSCFDnCFDCmCTR レジスタの TAIE ビットが“1”（送信アポート割り込み許可）、かつ RSCFDnCFDTMSTSp レジスタの TMTRF[1:0] フラグが“01_B”（送信アポート完了）になると、TAIFm ビットは“1”になります。

送信アボートを完了後に TMTRF[1:0] フラグを“00_B”にすると、このフラグは“0”になります。

TQIFm ビット

RSCFDnCFDnTXQCCm レジスタの TXQIE ビットが“1”（送信キュー割り込み許可）、かつ RSCFDnCFDnTXQSTSm レジスタの TXQIF が“1”（送信キュー割り込み要求あり）になると TQIFm ビットは“1”になります。

RSCFDnCFDnTXQSTSm レジスタの TXQIF ビット（送信キュー割り込み要求）を“0”にすると、このビットは“0”になります。TXQIE ビットを“0”にすることでも、このフラグは“0”になります。

CFTIFm ビット

RSCFDnCFDnCFCCk レジスタの CFTXIE ビットが“1”（送受信 FIFO 送信割り込み許可）、かつ RSCFDnCFDnCFSTSk レジスタの CFTXIF ビットが“1”（送受信 FIFO 送信割り込み要求あり）になると CFTIFm ビットは“1”になります。

CFTIFm が“1”になる条件が成立している CFTXIF ビットをすべて“0”にすると、このビットは“0”になります。CFTXIE ビットを“0”にすることでも、このフラグは“0”になります。

THIFm ビット

RSCFDnCFDnTHLCCm レジスタの THLIE ビットが“1”（送信履歴割り込み許可）、かつ RSCFDnCFDnTHLSTSm レジスタの THLIF ビットが“1”（送信履歴割り込み要求あり）になると、THIFm ビットは“1”になります。

RSCFDnCFDnTHLSTSm レジスタの THLIF ビットを“0”にすると、このビットは“0”になります。THLIE ビットを“0”にすることでも、このフラグは“0”になります。

21.5.4.7 RSCFDnCFDGTINTSTS1 — グローバル TX 割り込みステータスレジスタ 1

アクセス RSCFDnCFDGTINTSTS1 レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDGTINTSTS1L レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDGTINTSTS1LL、RSCFDnCFDGTINTSTS1LH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDGTINTSTS1: <RSCANn_base> + 0464_H
RSCFDnCFDGTINTSTS1L: <RSCANn_base> + 0464_H
RSCFDnCFDGTINTSTS1LL: <RSCANn_base> + 0464_H、
RSCFDnCFDGTINTSTS1LH: <RSCANn_base> + 0465_H

リセット後の値 0000 0000_H どのリセット要因でも初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THIF5	CFTIF5	TQIF5	TAIF5	TSIF5	—	—	—	THIF4	CFTIF4	TQIF4	TAIF4	TSIF4
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R	R	R	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}

注1. 本ビットはグローバルリセットモードまたはチャンネルリセットモードで自動的にクリアされます。

表 21.113 RSCFDnCFDGTINTSTS1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。
12	THIF5	チャンネル 5 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
11	CFTIF5	チャンネル 5 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
10	TQIF5	チャンネル 5 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
9	TAIF5	チャンネル 5 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
8	TSIF5	チャンネル 5 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。
4	THIF4	チャンネル 4 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
3	CFTIF4	チャンネル 4 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
2	TQIF4	チャンネル 4 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり

表 21.113 RSCFDnCFDGTINTSTS1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	TAIF4	チャンネル4 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
0	TSIF4	チャンネル4 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり

TSIFm ビット

RSCFDnCFDTMIECy レジスタの TMIEp ビットが“1” (送信バッファ割り込み許可)、かつ対応する RSCFDnCFDTMSTSp レジスタの TMTRF[1:0] フラグが“10_B” (送信完了、アポート要求なし)、または“11_B” (送信完了、アポート要求あり) になると、TSIFm ビットは“1”になります。

TSIFm が“1”になる条件が成立している TMTRF[1:0] フラグをすべて“00_B”にすると、このフラグは“0”になります。また TMIEp ビットを“0”にすることも、このフラグは“0”になります。

TAIFm ビット

RSCFDnCFDCmCTR レジスタの TAIE ビットが“1” (送信アポート割り込み許可)、かつ RSCFDnCFDTMSTSp レジスタの TMTRF[1:0] フラグが“01_B” (送信アポート完了) になると TAIFm ビットは“1”になります。

送信アポートを完了後に TMTRF[1:0] フラグを“00_B”にすると、このフラグは“0”になります。

TQIFm ビット

RSCFDnCFDCTXQCCm レジスタの TXQIE ビットが“1” (送信キュー割り込み許可)、かつ RSCFDnCFDCTXQSTSm レジスタの TXQIF が“1” (送信キュー割り込み要求あり) になると TQIFm ビットは“1”になります。

RSCFDnCFDCTXQSTSm レジスタの TXQIF ビット (送信キュー割り込み要求) を“0”にすると、このビットは“0”になります。TXQIE ビットを“0”にすることも、このフラグは“0”になります。

CFTIFm ビット

RSCFDnCFDCFCCK レジスタの CFTXIE ビットが“1” (送受信 FIFO 送信割り込み許可)、かつ RSCFDnCFDCFCSTSk レジスタの CFTXIF ビットが“1” (送受信 FIFO 送信割り込み要求あり) になると CFTIFm ビットは“1”になります。

CFTIFm が“1”になる条件が成立している CFTXIF ビットをすべて“0”にすると、このビットは“0”になります。CFTXIE ビットを“0”にすることも、このフラグは“0”になります。

THIFm ビット

RSCFDnCFDTHLCCm レジスタの THLIE ビットが“1” (送信履歴割り込み許可)、かつ RSCFDnCFDTHLSTSm レジスタの THLIF ビットが“1” (送信履歴割り込み要求あり) になると、THIFm ビットは“1”になります。

RSCFDnCFDTHLSTSm レジスタの THLIF ビットを“0”にすると、このビットは“0”になります。THLIE ビットを“0”にすることも、このフラグは“0”になります。

21.5.4.8 RSCFDnCFDGFDCFG — グローバル FD コンフィグレーションレジスタ

アクセス RSCFDnCFDGFDCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDGFDCFGFL レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDGFDCFGGLL、RSCFDnCFDGFDCFGFLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGFDCFG: <RSCANn_base> + 0474_H
RSCFDnCFDGFDCFGFL: <RSCANn_base> + 0474_H
RSCFDnCFDGFDCFGGLL: <RSCANn_base> + 0474_H、
RSCFDnCFDGFDCFGFLH: <RSCANn_base> + 0475_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSCCFG[1:0]	—	—	—	—	—	—	—	—	PRED
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W

表 21.114 RSCFDnCFDGFDCFG レジスタの内容

ビット位置	ビット名	機能
31 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9、8	TSCCFG[1:0]	タイムスタンプキャプチャ設定ビット B9 b8 0 0: SOF ビットのサンプルポイントでキャプチャされます。 0 1: 有効なフレームの送受信時にキャプチャされます。 1 0: res ビットのサンプルポイントでキャプチャされます。注1 1 1: 設定禁止
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PRED	プロトコル例外イベント検出禁止ビット 0: プロトコル例外イベント検出許可 1: プロトコル例外イベント検出禁止

注 1. クラシカル CAN フレームの送受信時には、SOF ビットのサンプルポイントでタイムスタンプ値がキャプチャされます。

TSCCFG[1:0] ビット

タイムスタンプ値がキャプチャされる時点を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

PRED ビット

このビットを“1”に設定すると、プロトコル例外イベント検出が禁止されます。このビットが“1”に設定されている場合にプロトコル例外イベントが検出されると、そのイベントはフォームエラーと見なされ、エラーフレームが出力されます。このビットはグローバルリセットモードでのみ書き換えてください。

21.5.5 受信ルール関連レジスタの詳細

21.5.5.1 RSCFDnCFDGAFLECTR — 受信ルールエントリ制御レジスタ

アクセス RSCFDnCFDGAFLECTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDGAFLECTRL レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDGAFLECTRLL、RSCFDnCFDGAFLECTRLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGAFLECTR: <RSCANn_base> + 0098_H

RSCFDnCFDGAFLECTRL: <RSCANn_base> + 0098_H

RSCFDnCFDGAFLECTRLL: <RSCANn_base> + 0098_H、

RSCFDnCFDGAFLECTRLH: <RSCANn_base> + 0099_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	AFLDAE	—	—	—	AFLPN [4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 21.115 RSCFDnCFDGAFLECTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	AFLDAE	受信ルールテーブル書き込み許可ビット 0: 受信ルールテーブル書き込み禁止 1: 受信ルールテーブル書き込み許可
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 0	AFLPN [4:0]	受信ルールテーブルページ番号設定ビット ページ 0 (0000 _B) からページ 23 (10111 _B) の範囲で選択

AFLDAE ビット

“0” にすると、受信ルールテーブルへの書き込みを禁止します。受信ルールテーブルへの書き込みが完了したあと、“0” にして、受信ルールテーブルへの書き込みを禁止してください。“0” にしても、受信ルールテーブルの読み出しは可能です。

AFLDAE ビットはグローバルリセットモードでのみ“1”にしてください。

AFLPN[4:0] ビット

受信ルールテーブルのページ番号を設定します。1 ページにつき、16 個の受信ルールを設定できます。

“0000_B” ~ “10111_B” 以外の値を設定しないでください。

21.5.5.2 RSCFDnCFDGAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0

アクセス RSCFDnCFDGAFLCFG0 レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDGAFLCFG0L、RSCFDnCFDGAFLCFG0H レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDGAFLCFG0LL、RSCFDnCFDGAFLCFG0LH、RSCFDnCFDGAFLCFG0HL、
RSCFDnCFDGAFLCFG0HH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGAFLCFG0: <RSCANn_base> + 009C_H

RSCFDnCFDGAFLCFG0L: <RSCANn_base> + 009C_H、
RSCFDnCFDGAFLCFG0H: <RSCANn_base> + 009E_H

RSCFDnCFDGAFLCFG0LL: <RSCANn_base> + 009C_H、
RSCFDnCFDGAFLCFG0LH: <RSCANn_base> + 009D_H、
RSCFDnCFDGAFLCFG0HL: <RSCANn_base> + 009E_H、
RSCFDnCFDGAFLCFG0HH: <RSCANn_base> + 009F_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RNC0[7:0]								RNC1[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RNC2[7:0]								RNC3[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.116 RSCFDnCFDGAFLCFG0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RNC0[7:0]	チャンネル 0 用ルール数 チャンネル 0 の受信ルール数を設定してください。
23 ~ 16	RNC1[7:0]	チャンネル 1 用ルール数 チャンネル 1 の受信ルール数を設定してください。
15 ~ 8	RNC2[7:0]	チャンネル 2 用ルール数 チャンネル 2 の受信ルール数を設定してください。
7 ~ 0	RNC3[7:0]	チャンネル 3 用ルール数 チャンネル 3 の受信ルール数を設定してください。

RSCFDnCFDGAFLCFG0 レジスタはグローバルリセットモードでのみ書き換えてください。

受信ルールテーブルに登録できるルール数は、ユニット全体で 64 × (チャンネル数) です。各チャンネルの受信ルール数は、次の条件を満たしてください。

- 1 チャンネルのルール数は 128 以下である。
- 各チャンネルに割り当てたルール数の合計が、ユニット全体で登録できるルール数を超えない。

RNC0[7:0] ビット

チャンネル 0 の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H 以外の値を設定しないでください。

RNC1[7:0] ビット

チャンネル1の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H 以外の値を設定しないでください。

RNC2[7:0] ビット

チャンネル2の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H 以外の値を設定しないでください。

RNC3[7:0] ビット

チャンネル3の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H 以外の値を設定しないでください。

21.5.5.3 RSCFDnCFDGAFLCFG1 — 受信ルールコンフィグレーションレジスタ 1

アクセス RSCFDnCFDGAFLCFG1 レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDGAFLCFG1H レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDGAFLCFG1HL、RSCFDnCFDGAFLCFG1HH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGAFLCFG1: <RSCANn_base> + 00A0_H
RSCFDnCFDGAFLCFG1H: <RSCANn_base> + 00A2_H
RSCFDnCFDGAFLCFG1HL: <RSCANn_base> + 00A2_H、
RSCFDnCFDGAFLCFG1HH: <RSCANn_base> + 00A3_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RNC4[7:0]								RNC5[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.117 RSCFDnCFDGAFLCFG1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RNC4[7:0]	チャンネル 4 用ルール数 チャンネル 4 の受信ルール数を設定してください。
23 ~ 16	RNC5[7:0]	チャンネル 5 用ルール数 チャンネル 5 の受信ルール数を設定してください。
15 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RSCFDnCFDGAFLCFG1 レジスタはグローバルリセットモードでのみ書き換えてください。

受信ルールテーブルに登録できるルール数は、ユニット全体で 64 × (チャンネル数) です。各チャンネルの受信ルール数は、次の条件を満たしてください。

- 1 チャンネルのルール数は 128 以下である。
- 各チャンネルに割り当てたルール数の合計が、ユニット全体で登録できるルール数を超えない。

RNC4[7:0] ビット

チャンネル 4 の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H 以外の値を設定しないでください。

RNC5[7:0] ビット

チャンネル 5 の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H 以外の値を設定しないでください。

21.5.5.4 RSCFDnCFDGAFLIDj — 受信ルール ID レジスタ (j = 0 ~ 15)

アクセス RSCFDnCFDGAFLIDj レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDGAFLIDjL、RSCFDnCFDGAFLIDjH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDGAFLIDjLL、RSCFDnCFDGAFLIDjLH、RSCFDnCFDGAFLIDjHL、RSCFDnCFDGAFLIDjHH
レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGAFLIDj: <RSCANn_base> + 1000_H + (10_H × j)

RSCFDnCFDGAFLIDjL: <RSCANn_base> + 1000_H + (10_H × j)、
RSCFDnCFDGAFLIDjH: <RSCANn_base> + 1002_H + (10_H × j)

RSCFDnCFDGAFLIDjLL: <RSCANn_base> + 1000_H + (10_H × j)、
RSCFDnCFDGAFLIDjLH: <RSCANn_base> + 1001_H + (10_H × j)、
RSCFDnCFDGAFLIDjHL: <RSCANn_base> + 1002_H + (10_H × j)、
RSCFDnCFDGAFLIDjHH: <RSCANn_base> + 1003_H + (10_H × j)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLID E	GAFLR TR	GAFL LB	GAFLID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.118 RSCFDnCFDGAFLIDj レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDE	IDE 選択ビット 0: 標準 ID 1: 拡張 ID
30	GAFLRTR	RTR 選択ビット 0: データフレーム 1: リモートフレーム
29	GAFLLB	受信ルール対象メッセージ選択ビット 0: 他の CAN ノードが送信したメッセージを受信時 1: 自らが送信したメッセージを受信時
28 ~ 0	GAFLID[28:0]	ID 設定ビット 受信ルールの ID を設定してください。 標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は "0" にしてください。

RSCFDnCFDGAFLIDj レジスタは、RSCFDnCFDGAFLIDj レジスタの AFLDAE ビットが "1" (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLIDE ビット

受信ルールの ID フォーマット (標準 ID または拡張 ID) を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの IDE ビットを比較します。

GAFLRTR ビット

受信ルールのフレームフォーマット（データフレームまたはリモートフレーム）を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの RTR ビットを比較します。

GAFLLB ビット

“0” にすると、他の CAN ノードが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

ミラー機能使用時に“1” にすると、自らが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

GAFLID[28:0] ビット

受信ルールの ID フィールドを設定します。アクセプタンスフィルタ処理では、ここで設定した ID と受信メッセージの ID を比較します。

21.5.5.5 RSCFDnCFDGAFLMj — 受信ルールマスクレジスタ (j = 0 ~ 15)

アクセス RSCFDnCFDGAFLMj レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDGAFLMjL、RSCFDnCFDGAFLMjH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDGAFLMjLL、RSCFDnCFDGAFLMjLH、RSCFDnCFDGAFLMjHL、RSCFDnCFDGAFLMjHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGAFLMj: <RSCANn_base> + 1004_H + (10_H × j)

RSCFDnCFDGAFLMjL: <RSCANn_base> + 1004_H + (10_H × j)、
RSCFDnCFDGAFLMjH: <RSCANn_base> + 1006_H + (10_H × j)

RSCFDnCFDGAFLMjLL: <RSCANn_base> + 1004_H + (10_H × j)、
RSCFDnCFDGAFLMjLH: <RSCANn_base> + 1005_H + (10_H × j)、
RSCFDnCFDGAFLMjHL: <RSCANn_base> + 1006_H + (10_H × j)、
RSCFDnCFDGAFLMjHH: <RSCANn_base> + 1007_H + (10_H × j)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLID EM	GAFLR TRM	—	GAFLIDM [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLIDM [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.119 RSCFDnCFDGAFLMj レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDEM	IDE マスクビット 0: IDE ビットを比較しない 1: IDE ビットを比較する
30	GAFLRTRM	RTR マスクビット 0: RTR ビットを比較しない 1: RTR ビットを比較する
29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28 ~ 0	GAFLIDM [28:0]	ID マスクビット 0: 対応する ID ビットを比較しない 1: 対応する ID ビットを比較する

RSCFDnCFDGAFLMj レジスタは、RSCFDnCFDGAFLMjL レジスタの AFLDAE ビットが“1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLIDEM ビット

“1” にすると、RSCFDnCFDGAFLMj レジスタの GAFLIDE ビットで設定した ID フォーマットのメッセージに対してのみフィルタ処理を行います。

“0” にすると、すべての受信メッセージと ID が一致したとみなします。GAFLIDEM ビットを“0”にする場合は、GAFLIDM[28:0] ビットをすべて“0”にしてください。

GAFLRTRM ビット

受信ルールの RTR ビットをマスクするビットです。

GAFLIDM[28:0] ビット

受信ルールの対応する ID ビットをマスクするビットです。

21.5.5.6 RSCFDnCFDGAFLP0_j — 受信ルールポインタ 0 レジスタ (j = 0 ~ 15)

アクセス RSCFDnCFDGAFLP0_j レジスタは、32 ビット単位でリード/ライト可能です。
 RSCFDnCFDGAFLP0_jL、RSCFDnCFDGAFLP0_jH レジスタは、16 ビット単位でリード/ライト可能です。
 RSCFDnCFDGAFLP0_jLH、RSCFDnCFDGAFLP0_jHL、RSCFDnCFDGAFLP0_jHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGAFLP0_j: <RSCANn_base> + 1008_H + (10_H × j)
 RSCFDnCFDGAFLP0_jL: <RSCANn_base> + 1008_H + (10_H × j)、
 RSCFDnCFDGAFLP0_jH: <RSCANn_base> + 100A_H + (10_H × j)
 RSCFDnCFDGAFLP0_jLH: <RSCANn_base> + 1009_H + (10_H × j)、
 RSCFDnCFDGAFLP0_jHL: <RSCANn_base> + 100A_H + (10_H × j)、
 RSCFDnCFDGAFLP0_jHH: <RSCANn_base> + 100B_H + (10_H × j)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLDLC [3:0]				GAFLPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLR MV	GAFLRMDP [6:0]						—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 21.120 RSCFDnCFDGAFLP0_j レジスタの内容 (1/2)

ビット位置	ビット名	機能																																																																																																
31 ~ 28	GAFLDLC [3:0]	受信ルール DLC 設定ビット																																																																																																
		<table border="1"> <thead> <tr> <th>b31</th><th>b30</th><th>b29</th><th>b28</th><th>クラシカル CAN フレーム</th><th>CAN FD フレーム</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td colspan="2">0 データバイト</td></tr> <tr> <td>0</td><td>0</td><td>0</td><td>1</td><td colspan="2">1 データバイト</td></tr> <tr> <td>0</td><td>0</td><td>1</td><td>0</td><td colspan="2">2 データバイト</td></tr> <tr> <td>0</td><td>0</td><td>1</td><td>1</td><td colspan="2">3 データバイト</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>0</td><td colspan="2">4 データバイト</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>1</td><td colspan="2">5 データバイト</td></tr> <tr> <td>0</td><td>1</td><td>1</td><td>0</td><td colspan="2">6 データバイト</td></tr> <tr> <td>0</td><td>1</td><td>1</td><td>1</td><td colspan="2">7 データバイト</td></tr> <tr> <td>1</td><td>0</td><td>0</td><td>0</td><td colspan="2">8 データバイト</td></tr> <tr> <td>1</td><td>0</td><td>0</td><td>1</td><td rowspan="7">8 データバイト</td><td>12 データバイト</td></tr> <tr> <td>1</td><td>0</td><td>1</td><td>0</td><td>16 データバイト</td></tr> <tr> <td>1</td><td>0</td><td>1</td><td>1</td><td>20 データバイト</td></tr> <tr> <td>1</td><td>1</td><td>0</td><td>0</td><td>24 データバイト</td></tr> <tr> <td>1</td><td>1</td><td>0</td><td>1</td><td>32 データバイト</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>0</td><td>48 データバイト</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>1</td><td>64 データバイト</td></tr> </tbody> </table>	b31	b30	b29	b28	クラシカル CAN フレーム	CAN FD フレーム	0	0	0	0	0 データバイト		0	0	0	1	1 データバイト		0	0	1	0	2 データバイト		0	0	1	1	3 データバイト		0	1	0	0	4 データバイト		0	1	0	1	5 データバイト		0	1	1	0	6 データバイト		0	1	1	1	7 データバイト		1	0	0	0	8 データバイト		1	0	0	1	8 データバイト	12 データバイト	1	0	1	0	16 データバイト	1	0	1	1	20 データバイト	1	1	0	0	24 データバイト	1	1	0	1	32 データバイト	1	1	1	0	48 データバイト	1	1	1	1	64 データバイト
		b31	b30	b29	b28	クラシカル CAN フレーム	CAN FD フレーム																																																																																											
		0	0	0	0	0 データバイト																																																																																												
		0	0	0	1	1 データバイト																																																																																												
		0	0	1	0	2 データバイト																																																																																												
		0	0	1	1	3 データバイト																																																																																												
		0	1	0	0	4 データバイト																																																																																												
		0	1	0	1	5 データバイト																																																																																												
		0	1	1	0	6 データバイト																																																																																												
		0	1	1	1	7 データバイト																																																																																												
		1	0	0	0	8 データバイト																																																																																												
		1	0	0	1	8 データバイト	12 データバイト																																																																																											
		1	0	1	0		16 データバイト																																																																																											
		1	0	1	1		20 データバイト																																																																																											
		1	1	0	0		24 データバイト																																																																																											
1	1	0	1	32 データバイト																																																																																														
1	1	1	0	48 データバイト																																																																																														
1	1	1	1	64 データバイト																																																																																														
27 ~ 16	GAFLPTR [11:0]	受信ルールラベル設定ビット																																																																																																
		12 ビットのラベル情報を設定																																																																																																

表 21.120 RSCFDnCFDGAFLP0_j レジスタの内容 (2/2)

ビット位置	ビット名	機能
15	GAFLRMV	受信バッファ許可ビット 0: 受信バッファを使用しない 1: 受信バッファを使用する
14 ~ 8	GAFLRMDP [6:0]	受信バッファ番号選択ビット 受信メッセージを格納する受信バッファの番号を設定
7 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RSCFDnCFDGAFLP0_j レジスタは、RSCFDnCFDGAFLLECTR レジスタの AFLDAE ビットが“1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLDLC[3:0] ビット

メッセージを受信するために必要な最小のデータ長を設定します。フィルタ処理中のメッセージのデータ長が GAFLDLC[3:0] ビットで設定した値以上の場合、DLC チェックを通過します。“0000_B”を設定すると、DLC チェック機能は無効になり、すべてのデータ長のメッセージが通過します。

GAFLPTR[11:0] ビット

フィルタを通過したメッセージに添付する 12 ビットのラベルを設定します。ラベルはメッセージを受信バッファや FIFO バッファに格納する際に添付されます。

GAFLRMV ビット

“1”にすると、GAFLRMDP[6:0] ビットで選択した受信バッファに、フィルタを通過した受信メッセージを格納します。

GAFLRMDP[6:0] ビット

GAFLRMV ビットを“1”にした場合に、フィルタを通過した受信メッセージを格納する受信バッファの番号を選択します。RSCFDnCFDRMNB レジスタの NRXMB[7:0] ビットで設定した値より小さい番号を設定してください。

21.5.5.7 RSCFDnCFDGAFLP1_j — 受信ルールポインタ 1 レジスタ (j = 0 ~ 15)

アクセス RSCFDnCFDGAFLP1_j レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDGAFLP1_{jL}、RSCFDnCFDGAFLP1_{jH} レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDGAFLP1_{jLL}、RSCFDnCFDGAFLP1_{jLH}、RSCFDnCFDGAFLP1_{jHL}、
RSCFDnCFDGAFLP1_{jHH} レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGAFLP1_j: <RSCANn_base> + 100C_H + (10_H × j)

RSCFDnCFDGAFLP1_{jL}: <RSCANn_base> + 100C_H + (10_H × j)、
RSCFDnCFDGAFLP1_{jH}: <RSCANn_base> + 100E_H + (10_H × j)

RSCFDnCFDGAFLP1_{jLL}: <RSCANn_base> + 100C_H + (10_H × j)、
RSCFDnCFDGAFLP1_{jLH}: <RSCANn_base> + 100D_H + (10_H × j)、
RSCFDnCFDGAFLP1_{jHL}: <RSCANn_base> + 100E_H + (10_H × j)、
RSCFDnCFDGAFLP1_{jHH}: <RSCANn_base> + 100F_H + (10_H × j)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	GAFLFDP [25:16]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	GAFLFDP [15:0]																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

表 21.121 RSCFDnCFDGAFLP1_j レジスタの内容

ビット位置	ビット名	機能
31 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25 ~ 8	GAFLFDP [25:8]	送受信 FIFO バッファ k 選択ビット (ビット位置 -8 が対象となる送受信 FIFO バッファ番号 k になります) 0 : 送受信 FIFO バッファを選択しない 1 : 送受信 FIFO バッファを選択する
7 ~ 0	GAFLFDP [7:0]	受信 FIFO バッファ x 選択ビット (ビット位置が対象となる受信 FIFO バッファ番号 x になります) 0 : 受信 FIFO バッファを選択しない 1 : 受信 FIFO バッファを選択する

RSCFDnCFDGAFLP1_j レジスタは、RSCFDnCFDGAFLP1_j レジスタの AFLDAE ビットが“1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLFDP [25:0] ビット

フィルタを通過した受信メッセージを格納する FIFO バッファを指定します。最大 8 つの FIFO バッファが選択できます。ただし、RSCFDnCFDGAFLP0_j レジスタの GAFLRMV ビットを“1” (受信バッファにメッセージを格納する) にした場合は、最大 7 つの FIFO バッファが選択できます。受信 FIFO バッファと、RSCFDnCFDGFCCk レジスタの CFM[1:0] ビットを“00_B” (受信モード) または“10_B” (ゲートウェイモード) に設定した送受信 FIFO バッファのみ選択できます。

21.5.6 受信バッファ関連レジスタの詳細

21.5.6.1 RSCFDnCFDRMNB — 受信バッファナンバレジスタ

アクセス RSCFDnCFDRMNB レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDRMNBL レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDRMNBLL、RSCFDnCFDRMNBLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDRMNB: <RSCANn_base> + 00A4_H

RSCFDnCFDRMNBL: <RSCANn_base> + 00A4_H

RSCFDnCFDRMNBLL: <RSCANn_base> + 00A4_H、

RSCFDnCFDRMNBLH: <RSCANn_base> + 00A5_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RMPLS[1:0]		NRXMB [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.122 RSCFDnCFDRMNB レジスタの内容

ビット位置	ビット名	機能
31 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9,8	RMPLS[1:0]	受信バッファペイロード格納サイズ選択ビット b9 b8 0 0 : 8 バイト 0 1 : 12 バイト 1 0 : 16 バイト 1 1 : 20 バイト
7 ~ 0	NRXMB [7:0]	受信バッファ数設定ビット 受信バッファ数を設定する。 0 ~ 96 の範囲で設定してください。

RSCFDnCFDRMNB レジスタはグローバルリセットモードでのみ書き換えてください。

RMPLS[1:0] Bits

受信バッファに格納できるペイロードの上限サイズを選択します。

NRXMB[7:0] ビット

RS-CANFD モジュール全体の受信バッファ数を設定します。最大値は、16 × (チャンネル数) です。

“0” を設定すると、受信バッファは使用できません。

21.5.6.2 RSCFDnCFDRMNDy — 受信バッファ新データレジスタ (y = 0 ~ 2)

アクセス RSCFDnCFDRMNDy レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDRMNDyL、RSCFDnCFDRMNDyH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDRMNDyLL、RSCFDnCFDRMNDyLH、RSCFDnCFDRMNDyHL、RSCFDnCFDRMNDyHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDRMNDy: <RSCANn_base> + 00A8_H + (04_H × y)

RSCFDnCFDRMNDyL: <RSCANn_base> + 00A8_H + (04_H × y)、
RSCFDnCFDRMNDyH: <RSCANn_base> + 00AA_H + (04_H × y)

RSCFDnCFDRMNDyLL: <RSCANn_base> + 00A8_H + (04_H × y)、
RSCFDnCFDRMNDyLH: <RSCANn_base> + 00A9_H + (04_H × y)、
RSCFDnCFDRMNDyHL: <RSCANn_base> + 00AA_H + (04_H × y)、
RSCFDnCFDRMNDyHH: <RSCANn_base> + 00AB_H + (04_H × y)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMNSq (q = y × 32 + 31 ~ y × 32 + 16 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMNSq (q = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.123 RSCFDnCFDRMNDy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	RMNSq	受信バッファ受信完了フラグ q (q = y × 32 + 31 ~ y × 32 + 16) 0: 受信バッファ q に新しいメッセージなし 1: 受信バッファ q に新しいメッセージあり
15 ~ 0	RMNSq	受信バッファ受信完了フラグ q (q = y × 32 + 15 ~ y × 32 + 0) 0: 受信バッファ q に新しいメッセージなし 1: 受信バッファ q に新しいメッセージあり

RSCFDnCFDRMNDy レジスタは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

RMNSq フラグ (q = 0 ~ 95)

対応する受信バッファにメッセージを格納する処理が始まると“1”になります。
フラグを“0”にする場合は、プログラムで“0”を書いてください。書く場合はストア命令を使用し、それ以外のフラグには“1”を書いて下さい。メッセージ格納中は“0”にできません。メッセージを格納する時間は受信バッファの格納ペイロードサイズによって異なり、RSCFDnCFDRMNB レジスタの RMPLS[1:0] ビットが“00_B” (8 バイト) のときは pclk の 12 クロック分、RMPLS[1:0] ビットが“11_B” (20 バイト) のときは pclk の 18 クロック分です (格納ペイロードサイズ 4 バイトあたり pclk の 2 クロック分)。
グローバルリセットモード時、“0”になります。

21.5.6.3 RSCFDnCFDRMIDq — 受信バッファ ID レジスタ (q = 0 ~ 95)

アクセス RSCFDnCFDRMIDq レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRMIDqL、RSCFDnCFDRMIDqH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRMIDqLL、RSCFDnCFDRMIDqLH、RSCFDnCFDRMIDqHL、RSCFDnCFDRMIDqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRMIDq: $\langle \text{RSCANn_base} \rangle + 2000_{\text{H}} + (10_{\text{H}} \times q)$

RSCFDnCFDRMIDqL: $\langle \text{RSCANn_base} \rangle + 2000_{\text{H}} + (10_{\text{H}} \times q)$ 、
RSCFDnCFDRMIDqH: $\langle \text{RSCANn_base} \rangle + 2002_{\text{H}} + (10_{\text{H}} \times q)$

RSCFDnCFDRMIDqLL: $\langle \text{RSCANn_base} \rangle + 2000_{\text{H}} + (10_{\text{H}} \times q)$ 、
RSCFDnCFDRMIDqLH: $\langle \text{RSCANn_base} \rangle + 2001_{\text{H}} + (10_{\text{H}} \times q)$ 、
RSCFDnCFDRMIDqHL: $\langle \text{RSCANn_base} \rangle + 2002_{\text{H}} + (10_{\text{H}} \times q)$ 、
RSCFDnCFDRMIDqHH: $\langle \text{RSCANn_base} \rangle + 2003_{\text{H}} + (10_{\text{H}} \times q)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMIDE	RMRTR	—	RMID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.124 RSCFDnCFDRMIDq レジスタの内容

ビット位置	ビット名	機能
31	RMIDE	受信バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	RMRTR	受信バッファ RTR ビット 0: データフレーム 1: リモートフレーム
29	予約ビット	リードした場合はリセット後の値が読めます。
28 ~ 0	RMID [28:0]	受信バッファ ID データ 受信メッセージの標準 ID / 拡張 ID が読めます。 標準 ID の場合は、b10 ~ b0 を読んでください。b28 ~ b11 は "0" が読めます。

RMIDE ビット

受信バッファに格納されたメッセージの ID フォーマット (標準 ID または拡張 ID) を示します。

RMRTR ビット

受信バッファに格納されたメッセージのフレームフォーマット (データフレームまたはリモートフレーム) を示します。

RMID[28:0] ビット

受信バッファに格納されたメッセージの ID を示します。

21.5.6.4 RSCFDnCFDRMPTRq — 受信バッファポインタレジスタ (q = 0 ~ 95)

アクセス RSCFDnCFDRMPTRq レジスタは、32 ビット単位でリードのみ可能です。
 RSCFDnCFDRMPTRqL、RSCFDnCFDRMPTRqH レジスタは、16 ビット単位でリードのみ可能です。
 RSCFDnCFDRMPTRqLL、RSCFDnCFDRMPTRqLH、RSCFDnCFDRMPTRqHL、
 RSCFDnCFDRMPTRqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRMPTRq: <RSCANn_base> + 2004_H + (20_H × q)
 RSCFDnCFDRMPTRqL: <RSCANn_base> + 2004_H + (20_H × q)、
 RSCFDnCFDRMPTRqH: <RSCANn_base> + 2006_H + (20_H × q)
 RSCFDnCFDRMPTRqLL: <RSCANn_base> + 2004_H + (20_H × q)、
 RSCFDnCFDRMPTRqLH: <RSCANn_base> + 2005_H + (20_H × q)、
 RSCFDnCFDRMPTRqHL: <RSCANn_base> + 2006_H + (20_H × q)、
 RSCFDnCFDRMPTRqHH: <RSCANn_base> + 2007_H + (20_H × q)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDLC [3:0]				RMPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMTS [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.125 RSCFDnCFDRMPTRq レジスタの内容

ビット位置	ビット名	機能																																																																																																
31 ~ 28	RMDLC [3:0]	受信バッファ DLC データ																																																																																																
		<table border="1"> <thead> <tr> <th>b31</th> <th>b30</th> <th>b29</th> <th>b28</th> <th>クラシカル CAN フレーム</th> <th>CAN FD フレーム</th> </tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td colspan="2">0 データバイト</td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>1</td><td colspan="2">1 データバイト</td> </tr> <tr> <td>0</td><td>0</td><td>1</td><td>0</td><td colspan="2">2 データバイト</td> </tr> <tr> <td>0</td><td>0</td><td>1</td><td>1</td><td colspan="2">3 データバイト</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>0</td><td colspan="2">4 データバイト</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>1</td><td colspan="2">5 データバイト</td> </tr> <tr> <td>0</td><td>1</td><td>1</td><td>0</td><td colspan="2">6 データバイト</td> </tr> <tr> <td>0</td><td>1</td><td>1</td><td>1</td><td colspan="2">7 データバイト</td> </tr> <tr> <td>1</td><td>0</td><td>0</td><td>0</td><td colspan="2">8 データバイト</td> </tr> <tr> <td>1</td><td>0</td><td>0</td><td>1</td><td rowspan="7">8 データバイト</td><td>12 データバイト</td> </tr> <tr> <td>1</td><td>0</td><td>1</td><td>0</td><td>16 データバイト</td> </tr> <tr> <td>1</td><td>0</td><td>1</td><td>1</td><td>20 データバイト</td> </tr> <tr> <td>1</td><td>1</td><td>0</td><td>0</td><td>24 データバイト</td> </tr> <tr> <td>1</td><td>1</td><td>0</td><td>1</td><td>32 データバイト</td> </tr> <tr> <td>1</td><td>1</td><td>1</td><td>0</td><td>48 データバイト</td> </tr> <tr> <td>1</td><td>1</td><td>1</td><td>1</td><td>64 データバイト</td> </tr> </tbody> </table>	b31	b30	b29	b28	クラシカル CAN フレーム	CAN FD フレーム	0	0	0	0	0 データバイト		0	0	0	1	1 データバイト		0	0	1	0	2 データバイト		0	0	1	1	3 データバイト		0	1	0	0	4 データバイト		0	1	0	1	5 データバイト		0	1	1	0	6 データバイト		0	1	1	1	7 データバイト		1	0	0	0	8 データバイト		1	0	0	1	8 データバイト	12 データバイト	1	0	1	0	16 データバイト	1	0	1	1	20 データバイト	1	1	0	0	24 データバイト	1	1	0	1	32 データバイト	1	1	1	0	48 データバイト	1	1	1	1	64 データバイト
		b31	b30	b29	b28	クラシカル CAN フレーム	CAN FD フレーム																																																																																											
		0	0	0	0	0 データバイト																																																																																												
		0	0	0	1	1 データバイト																																																																																												
		0	0	1	0	2 データバイト																																																																																												
		0	0	1	1	3 データバイト																																																																																												
		0	1	0	0	4 データバイト																																																																																												
		0	1	0	1	5 データバイト																																																																																												
		0	1	1	0	6 データバイト																																																																																												
		0	1	1	1	7 データバイト																																																																																												
		1	0	0	0	8 データバイト																																																																																												
		1	0	0	1	8 データバイト	12 データバイト																																																																																											
		1	0	1	0		16 データバイト																																																																																											
		1	0	1	1		20 データバイト																																																																																											
		1	1	0	0		24 データバイト																																																																																											
1	1	0	1	32 データバイト																																																																																														
1	1	1	0	48 データバイト																																																																																														
1	1	1	1	64 データバイト																																																																																														
27 ~ 16	RMPTR [11:0]	受信バッファラベルデータ 受信メッセージのラベル情報が読めます。																																																																																																
15 ~ 0	RMTS [15:0]	受信バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。																																																																																																

RMDLC[3:0] ビット

受信バッファに格納されたメッセージのデータ長を示します。
受信バッファに格納されるペイロードのバイト数は RSCFDnCFDRMNB レジスタの RMPLS[1:0] ビットに従います。

RMPTR[11:0] ビット

受信バッファに格納されたメッセージのラベル情報を示します。

RMTS[15:0] ビット

受信バッファに格納されたメッセージのタイムスタンプ値を示します。

21.5.6.5 RSCFDnCFDRMFDSTSq — 受信バッファ CAN FD ステータスレジスタ (q = 0 ~ 95)

アクセス RSCFDnCFDRMFDSTSq レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRMFDSTSqL レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRMFDSTSqLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRMFDSTSq: <RSCANn_base> + 2008_H + (20_H × q)
RSCFDnCFDRMFDSTSqL: <RSCANn_base> + 2008_H + (20_H × q)
RSCFDnCFDRMFDSTSqLL: <RSCANn_base> + 2008_H + (20_H × q)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RMFDF	RMBRS	RMESI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.126 RSCFDnCFDRMFDSTSq レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	RMFDF	FDF ビット 0: クラシカル CAN フレーム 1: CAN FD フレーム
1	RMBRS	BRS ビット 0: データ領域のビットレートは変わらない 1: データ領域のビットレートは変わる
0	RMESI	ESI ビット 0: エラーアクティブノード 1: エラーパッシブノード

RMFDF ビット

受信バッファに格納されたメッセージの FD フォーマット (クラシカル CAN フレームまたは CAN FD フレーム) を示します。

RMBRS ビット

RMFDF ビットが“1”の場合は、受信バッファに格納されたメッセージの BRS ビット値を示します。RMFDF ビットが“0”の場合は、常に“0”が読めます。

RMESI ビット

RMFDF ビットが“1”の場合は、受信バッファに格納されたメッセージの ESI ビット値を示します。RMFDF ビットが“0”の場合は、常に“0”が読めます。

21.5.6.6 RSCFDnCFDRMDFb_q — 受信バッファデータフィールド b レジスタ (b = 0 ~ 4, q = 0 ~ 95)

アクセス RSCFDnCFDRMDFb_q レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRMDFb_qL、RSCFDnCFDRMDFb_qH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRMDFb_qLL、RSCFDnCFDRMDFb_qLH、RSCFDnCFDRMDFb_qHL、
RSCFDnCFDRMDFb_qHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRMDFb_q: $\langle \text{RSCANn_base} \rangle + 200\text{C}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times q)$
RSCFDnCFDRMDFb_qL: $\langle \text{RSCANn_base} \rangle + 200\text{C}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times q)$ 、
RSCFDnCFDRMDFb_qH: $\langle \text{RSCANn_base} \rangle + 200\text{E}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times q)$
RSCFDnCFDRMDFb_qLL: $\langle \text{RSCANn_base} \rangle + 200\text{C}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times q)$ 、
RSCFDnCFDRMDFb_qLH: $\langle \text{RSCANn_base} \rangle + 200\text{D}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times q)$ 、
RSCFDnCFDRMDFb_qHL: $\langle \text{RSCANn_base} \rangle + 200\text{E}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times q)$ 、
RSCFDnCFDRMDFb_qHH: $\langle \text{RSCANn_base} \rangle + 200\text{F}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times q)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB4 × b + 3 [7:0]								RMDB4 × b + 2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB4 × b + 1 [7:0]								RMDB4 × b + 0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.127 RSCFDnCFDRMDFb_q レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RMDB4 × b + 3 [7:0]	受信バッファに格納されたメッセージのデータが読めます。
23 ~ 16	RMDB4 × b + 2 [7:0]	
15 ~ 8	RMDB4 × b + 1 [7:0]	
7 ~ 0	RMDB4 × b + 0 [7:0]	

RSCFDnCFDRMPTRq レジスタの RMDLC[3:0] ビットの値が受信バッファのペイロード格納サイズ未満の場合、データが設定されていないデータバイトは、“00_H”が読めます。

受信バッファのペイロード格納サイズは RSCFDnCFDRMNB レジスタの RMPLS[1:0] ビットで指定します。指定サイズを超える領域に対応する RSCFDnCFDRMDFb_q レジスタは読み出ししないでください。

21.5.7 受信 FIFO バッファ関連レジスタの詳細

21.5.7.1 RSCFDnCFDRFCCx — 受信 FIFO バッファコンフィグレーション/制御レジスタ (x = 0 ~ 7)

アクセス RSCFDnCFDRFCCx レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDRFCCxL レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDRFCCxLL、RSCFDnCFDRFCCxLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDRFCCx: <RSCANn_base> + 00B8_H + (04_H × x)

RSCFDnCFDRFCCxL: <RSCANn_base> + 00B8_H + (04_H × x)

RSCFDnCFDRFCCxLL: <RSCANn_base> + 00B8_H + (04_H × x)、
RSCFDnCFDRFCCxLH: <RSCANn_base> + 00B9_H + (04_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFIGCV [2:0]			RFIM	—	RFDC [2:0]			—	RFPLS[2:0]			—	—	RFIE	RFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W

表 21.128 RSCFDnCFDRFCCx レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 13	RFIGCV [2:0]	受信 FIFO 割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0: FIFO バッファに 1/8 までメッセージ格納時 0 0 1: FIFO バッファに 2/8 までメッセージ格納時 0 1 0: FIFO バッファに 3/8 までメッセージ格納時 0 1 1: FIFO バッファに 4/8 までメッセージ格納時 1 0 0: FIFO バッファに 5/8 までメッセージ格納時 1 0 1: FIFO バッファに 6/8 までメッセージ格納時 1 1 0: FIFO バッファに 7/8 までメッセージ格納時 1 1 1: FIFO バッファがフルのとき
12	RFIM	受信 FIFO 割り込み要因選択ビット 0: RFIGCV[2:0] ビットで設定した条件に達したときに発生 1: 1 メッセージ受信完了ごとに発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ~ 8	RFDC [2:0]	受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0: 0 メッセージ 0 0 1: 4 メッセージ 0 1 0: 8 メッセージ 0 1 1: 16 メッセージ 1 0 0: 32 メッセージ 1 0 1: 48 メッセージ 1 1 0: 64 メッセージ 1 1 1: 128 メッセージ
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 21.128 RSCFDnCFDRFCCx レジスタの内容 (2/2)

ビット位置	ビット名	機能
6 ~ 4	RFPLS[2:0]	受信 FIFO バッファペイロード格納サイズ選択ビット b6 b5 b4 0 0 0 : 8 バイト 0 0 1 : 12 バイト 0 1 0 : 16 バイト 0 1 1 : 20 バイト 1 0 0 : 24 バイト 1 0 1 : 32 バイト 1 1 0 : 48 バイト 1 1 1 : 64 バイト
3, 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RFIE	受信 FIFO 割り込み許可ビット 0 : 受信 FIFO 割り込み禁止 1 : 受信 FIFO 割り込み許可
0	RFE	受信 FIFO バッファ許可ビット 0 : 受信 FIFO バッファを使用しない 1 : 受信 FIFO バッファを使用する

RFICV[2:0] ビット

RFIM ビットを“0”にした場合の受信 FIFO 割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数 (RFDC[2:0] の設定) に対する分数で指定します。

RFDC[2:0] ビットを“001_B” (4 メッセージ) に設定した場合は、RFICV[2:0] ビットを“001_B”、“011_B”、“101_B”、または“111_B”にしてください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIM ビット

FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFDC[2:0] ビット

1 つの受信 FIFO バッファに格納できるメッセージの数を選択します。“000_B” に設定した場合は、受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

RFPLS[2:0] ビット

受信 FIFO バッファに格納できるペイロードの上限サイズを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFIE ビット

“1”にすると、受信 FIFO 割り込みが使用できます。RFE ビットが“0” (受信 FIFO バッファを使用しない) のときに、RFIE ビットを書き換えてください。

RFE ビット

“1”にすると、受信 FIFO バッファが使用できます。“0”にすると、RSCFDnCFDRFSTSx レジスタの RFEMP フラグが“1” (バッファ空) になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

RSCFDnCFDRFCCx レジスタのすべての設定後に別の命令でこのビットを“1”としてください。

このビットは、グローバルリセットモードで0にクリアされます。

21.5.7.2 RSCFDnCFDRFSTSx — 受信 FIFO バッファステータスレジスタ (x = 0 ~ 7)

アクセス RSCFDnCFDRFSTSx レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDRFSTSxL レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDRFSTSxLL レジスタは、8 ビット単位でリード/ライト可能です。
RSCFDnCFDRFSTSxLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRFSTSx: <RSCANn_base> + 00D8_H + (04_H × x)

RSCFDnCFDRFSTSxL: <RSCANn_base> + 00D8_H + (04_H × x)

RSCFDnCFDRFSTSxLL: <RSCANn_base> + 00D8_H + (04_H × x)、

RSCFDnCFDRFSTSxLH: <RSCANn_base> + 00D9_H + (04_H × x)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFMC[7:0]							—	—	—	—	RFIF	RFMLT	RFLL	RFEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W ^{注1}	R/W ^{注1}	R	R

注1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.129 RSCFDnCFDRFSTSx レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 8	RFMC[7:0]	受信 FIFO 未読メッセージ数表示カウンタ 受信 FIFO バッファに格納された未読メッセージ数を示します。
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RFIF	受信 FIFO 割り込み要求フラグ 0: 受信 FIFO 割り込み要求なし 1: 受信 FIFO 割り込み要求あり
2	RFMLT	受信 FIFO メッセージロストフラグ 0: 受信 FIFO メッセージロストなし 1: 受信 FIFO メッセージロスト
1	RFLL	受信 FIFO バッファフルステータスフラグ 0: 受信 FIFO バッファフルではない 1: 受信 FIFO バッファフル
0	RFEMP	受信 FIFO バッファ空ステータスフラグ 0: 受信 FIFO バッファに未読メッセージあり 1: 受信 FIFO バッファに未読メッセージなし (バッファ空)

RFMC[7:0] フラグ

受信 FIFO バッファ内の未読メッセージ数を示します。RSCFDnCFDRFCCx レジスタの RFE ビットを“0”にすると、“00_H”になります。

このフラグは、グローバルリセットモードで“00_H”になります。

RFIF フラグ

RSCFDnCFDRFCCx レジスタの RFIGCV[2:0] ビットと RFIM ビットで設定した受信 FIFO 割り込み要求発生条件が整ったときに“1”になります。RFIF フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

RFMLT フラグ

受信 FIFO バッファがフルの場合に、新しいメッセージを格納しようとしたとき“1”になります。この場合、新しいメッセージは破棄されます。

RFMLT フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。

このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

RFFLL フラグ

受信 FIFO バッファに格納されたメッセージ数が、RSCFDnCFDRFCCx レジスタの RFDC[2:0] ビットで設定した段数と一致すると“1”になります。

受信 FIFO バッファに格納されたメッセージ数が、RFDC[2:0] ビットで設定した段数より小さくなると“0”になります。また、RSCFDnCFDRFCCx レジスタの RFE ビットが“0”（受信 FIFO バッファを使用しない）のとき、またはグローバルリセットモード時に“0”になります。

RFEMP フラグ

受信 FIFO バッファのすべてのメッセージを読むと“1”になります。また、RSCFDnCFDRFCCx レジスタの RFE ビットが“0”のとき、またはグローバルリセットモード時に“1”になります。

受信メッセージが1つでも受信 FIFO バッファに格納されると“0”になります。

備 考

RFMLT もしくは RFIF フラグを“0”にする場合は、対象フラグには“0”を、それ以外のフラグには“1”を、ストア命令を使用して書いてください。

21.5.7.3 RSCFDnCFDRFPCTR_x — 受信 FIFO バッファポインタ制御レジスタ (x = 0 ~ 7)

アクセス RSCFDnCFDRFPCTR_x レジスタは、32 ビット単位でライトのみ可能です。
RSCFDnCFDRFPCTR_{xL} レジスタは、16 ビット単位でライトのみ可能です。
RSCFDnCFDRFPCTR_{xLL} レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCFDnCFDRFPCTR_x: <RSCANn_base> + 00F8_H + (04_H × x)

RSCFDnCFDRFPCTR_{xL}: <RSCANn_base> + 00F8_H + (04_H × x)

RSCFDnCFDRFPCTR_{xLL}: <RSCANn_base> + 00F8_H + (04_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RFPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 21.130 RSCFDnCFDRFPCTR_x レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ~ 0	RFPC [7:0]	受信 FIFO ポインタ制御 “FF _H ”を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。

RSCFDnCFDCDTCT レジスタの RFDMAEx ビットが“1” (DMA 転送要求を許可する) の場合、このレジスタに書き込みを行わないでください。

RFPC[7:0] ビット

RFPC[7:0] ビットに“FF_H”を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCFDnCFDRFSTS_x レジスタの RFMC[7:0] ビット (受信 FIFO 未読メッセージ数表示カウンタ) の値が 1 減算されます。RSCFDnCFDRFID_x、RSCFDnCFDRFPTR_x、RSCFDnCFDRFFDSTS_x、RSCFDnCFDRFDFd_x レジスタを読んで受信 FIFO バッファのメッセージを読み出した後、RFPC[7:0] ビットに“FF_H”を書いてください。

なお、“FF_H”の書き込みは、RSCFDnCFDRFCC_x レジスタの RFE ビットが“1” (受信 FIFO バッファを使用する) で、RSCFDnCFDRFSTS_x レジスタの RFEMP フラグが“0” (未読メッセージあり) のときに行ってください。

21.5.7.4 RSCFDnCFDRFIDx — 受信 FIFO バッファアクセス ID レジスタ (x = 0 ~ 7)

アクセス RSCFDnCFDRFIDx レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRFIDxL、RSCFDnCFDRFIDxH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRFIDxLL、RSCFDnCFDRFIDxLH、RSCFDnCFDRFIDxHL、RSCFDnCFDRFIDxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRFIDx: <RSCANn_base> + 3000_H + (80_H × x)

RSCFDnCFDRFIDxL: <RSCANn_base> + 3000_H + (80_H × x)、
RSCFDnCFDRFIDxH: <RSCANn_base> + 3002_H + (80_H × x)

RSCFDnCFDRFIDxLL: <RSCANn_base> + 3000_H + (80_H × x)、
RSCFDnCFDRFIDxLH: <RSCANn_base> + 3001_H + (80_H × x)、
RSCFDnCFDRFIDxHL: <RSCANn_base> + 3002_H + (80_H × x)、
RSCFDnCFDRFIDxHH: <RSCANn_base> + 3003_H + (80_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFIDE	RFRTR	—	RFID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.131 RSCFDnCFDRFIDx レジスタの内容

ビット位置	ビット名	機能
31	RFIDE	受信 FIFO バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	RFRTR	受信 FIFO バッファ RRS ビット 受信メッセージの RRS ビット値が読めます。
29	予約ビット	リードした場合はリセット後の値が読めます。
28 ~ 0	RFID [28:0]	受信 FIFO バッファ ID データ 受信メッセージの標準 ID / 拡張 ID が読めます。 標準 ID の場合は、b10 ~ b0 を読んでください。b28 ~ b11 は "0" が読めます。

RFIDE ビット

受信 FIFO バッファに格納されたメッセージの ID フォーマット (標準 ID または拡張 ID) を示します。

RFRTR ビット

受信 FIFO バッファに格納されたメッセージのフレームフォーマット (データフレームまたはリモートフレーム) を示します。
メッセージの RRS ビット値を示します。

RFID[28:0] ビット

受信 FIFO バッファに格納されたメッセージの ID を示します。

21.5.7.5 RSCFDnCFDRFPTRx — 受信 FIFO バッファアクセスポインタレジスタ (x = 0 ~ 7)

アクセス RSCFDnCFDRFPTRx レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRFPTRxL、RSCFDnCFDRFPTRxH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRFPTRxLL、RSCFDnCFDRFPTRxLH、RSCFDnCFDRFPTRxHL、RSCFDnCFDRFPTRxHH
レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRFPTRx: $\langle \text{RSCANn_base} \rangle + 3004_{\text{H}} + (80_{\text{H}} \times x)$

RSCFDnCFDRFPTRxL: $\langle \text{RSCANn_base} \rangle + 3004_{\text{H}} + (80_{\text{H}} \times x)$ 、
RSCFDnCFDRFPTRxH: $\langle \text{RSCANn_base} \rangle + 3006_{\text{H}} + (80_{\text{H}} \times x)$

RSCFDnCFDRFPTRxLL: $\langle \text{RSCANn_base} \rangle + 3004_{\text{H}} + (80_{\text{H}} \times x)$ 、
RSCFDnCFDRFPTRxLH: $\langle \text{RSCANn_base} \rangle + 3005_{\text{H}} + (80_{\text{H}} \times x)$ 、
RSCFDnCFDRFPTRxHL: $\langle \text{RSCANn_base} \rangle + 3006_{\text{H}} + (80_{\text{H}} \times x)$ 、
RSCFDnCFDRFPTRxHH: $\langle \text{RSCANn_base} \rangle + 3007_{\text{H}} + (80_{\text{H}} \times x)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDLC [3:0]				RFPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFTS [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.132 RSCFDnCFDRFPTRx レジスタの内容

ビット位置	ビット名	機能																																																																																																
31 ~ 28	RFDLC [3:0]	受信 FIFO バッファ DLC データ																																																																																																
		<table border="1"> <thead> <tr> <th>b31</th> <th>b30</th> <th>b29</th> <th>b28</th> <th>クラシカル CAN フレーム</th> <th>CAN FD フレーム</th> </tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>0</td> <td colspan="2">0 データバイト</td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>1</td> <td colspan="2">1 データバイト</td> </tr> <tr> <td>0</td><td>0</td><td>1</td><td>0</td> <td colspan="2">2 データバイト</td> </tr> <tr> <td>0</td><td>0</td><td>1</td><td>1</td> <td colspan="2">3 データバイト</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>0</td> <td colspan="2">4 データバイト</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>1</td> <td colspan="2">5 データバイト</td> </tr> <tr> <td>0</td><td>1</td><td>1</td><td>0</td> <td colspan="2">6 データバイト</td> </tr> <tr> <td>0</td><td>1</td><td>1</td><td>1</td> <td colspan="2">7 データバイト</td> </tr> <tr> <td>1</td><td>0</td><td>0</td><td>0</td> <td colspan="2">8 データバイト</td> </tr> <tr> <td>1</td><td>0</td><td>0</td><td>1</td> <td rowspan="7">8 データバイト</td> <td>12 データバイト</td> </tr> <tr> <td>1</td><td>0</td><td>1</td><td>0</td> <td>16 データバイト</td> </tr> <tr> <td>1</td><td>0</td><td>1</td><td>1</td> <td>20 データバイト</td> </tr> <tr> <td>1</td><td>1</td><td>0</td><td>0</td> <td>24 データバイト</td> </tr> <tr> <td>1</td><td>1</td><td>0</td><td>1</td> <td>32 データバイト</td> </tr> <tr> <td>1</td><td>1</td><td>1</td><td>0</td> <td>48 データバイト</td> </tr> <tr> <td>1</td><td>1</td><td>1</td><td>1</td> <td>64 データバイト</td> </tr> </tbody> </table>	b31	b30	b29	b28	クラシカル CAN フレーム	CAN FD フレーム	0	0	0	0	0 データバイト		0	0	0	1	1 データバイト		0	0	1	0	2 データバイト		0	0	1	1	3 データバイト		0	1	0	0	4 データバイト		0	1	0	1	5 データバイト		0	1	1	0	6 データバイト		0	1	1	1	7 データバイト		1	0	0	0	8 データバイト		1	0	0	1	8 データバイト	12 データバイト	1	0	1	0	16 データバイト	1	0	1	1	20 データバイト	1	1	0	0	24 データバイト	1	1	0	1	32 データバイト	1	1	1	0	48 データバイト	1	1	1	1	64 データバイト
		b31	b30	b29	b28	クラシカル CAN フレーム	CAN FD フレーム																																																																																											
		0	0	0	0	0 データバイト																																																																																												
		0	0	0	1	1 データバイト																																																																																												
		0	0	1	0	2 データバイト																																																																																												
		0	0	1	1	3 データバイト																																																																																												
		0	1	0	0	4 データバイト																																																																																												
		0	1	0	1	5 データバイト																																																																																												
		0	1	1	0	6 データバイト																																																																																												
		0	1	1	1	7 データバイト																																																																																												
		1	0	0	0	8 データバイト																																																																																												
		1	0	0	1	8 データバイト	12 データバイト																																																																																											
		1	0	1	0		16 データバイト																																																																																											
		1	0	1	1		20 データバイト																																																																																											
		1	1	0	0		24 データバイト																																																																																											
1	1	0	1	32 データバイト																																																																																														
1	1	1	0	48 データバイト																																																																																														
1	1	1	1	64 データバイト																																																																																														
27 ~ 16	RFPTR [11:0]	受信 FIFO バッファラベルデータ 受信メッセージのラベル情報が読めます。																																																																																																
15 ~ 0	RFTS [15:0]	受信 FIFO バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。																																																																																																

RFDLC[3:0] ビット

受信 FIFO バッファに格納されたメッセージのデータ長を示します。

RFPTR[11:0] ビット

受信 FIFO バッファに格納されたメッセージのラベル情報を示します。

RFTS[15:0] ビット

受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。

21.5.7.6 RSCFDnCFDRFFDSTSx — 受信 FIFO CAN FD ステータスレジスタ (x = 0 ~ 7)

アクセス RSCFDnCFDRFFDSTSx レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRFFDSTSxL レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRFFDSTSxLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRFFDSTSx: <RSCANn_base> + 3008_H + (80_H × x)
RSCFDnCFDRFFDSTSxL: <RSCANn_base> + 3008_H + (80_H × x)
RSCFDnCFDRFFDSTSxLL: <RSCANn_base> + 3008_H + (80_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RFFDF	RFBRS	RFESI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.133 RSCFDnCFDRFFDSTSx レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	RFFDF	FDF ビット 0: クラシカル CAN フレーム 1: CAN FD フレーム
1	RFBRS	BRS ビット 0: データ領域のビットレートは変わらない 1: データ領域のビットレートは変わる
0	RFESI	ESI ビット 0: エラーアクティブノード 1: エラーパッシブノード

RFFDF ビット

受信 FIFO バッファに格納されたメッセージの FD フォーマット (クラシカル CAN フレームまたは CAN FD フレーム) を示します。

RFBRS ビット

RFFDF ビットが“1”の場合は、受信 FIFO バッファに格納されたメッセージの BRS ビット値を示します。RFFDF ビットが“0”の場合は、常に“0”が読めます。

RFESI ビット

RFFDF ビットが“1”の場合は、受信 FIFO バッファに格納されたメッセージの ESI ビット値を示します。RFFDF ビットが“0”の場合は、常に“0”が読めます。

21.5.7.7 RSCFDnCFDRFDFd_x — 受信 FIFO バッファアクセスデータフィールド d レジスタ (d = 0 ~ 15, x = 0 ~ 7)

アクセス RSCFDnCFDRFDFd_x レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRFDFd_xL、RSCFDnCFDRFDFd_xH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRFDFd_xLL、RSCFDnCFDRFDFd_xLH、RSCFDnCFDRFDFd_xHL、
RSCFDnCFDRFDFd_xHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRFDFd_x: <RSCANn_base> + 300C_H + (04_H × d) + (80_H × x)
RSCFDnCFDRFDFd_xL: <RSCANn_base> + 300C_H + (04_H × d) + (80_H × x)、
RSCFDnCFDRFDFd_xH: <RSCANn_base> + 300E_H + (04_H × d) + (80_H × x)
RSCFDnCFDRFDFd_xLL: <RSCANn_base> + 300C_H + (04_H × d) + (80_H × x)、
RSCFDnCFDRFDFd_xLH: <RSCANn_base> + 300D_H + (04_H × d) + (80_H × x)、
RSCFDnCFDRFDFd_xHL: <RSCANn_base> + 300E_H + (04_H × d) + (80_H × x)、
RSCFDnCFDRFDFd_xHH: <RSCANn_base> + 300F_H + (04_H × d) + (80_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB4 × d + 3 [7:0]								RFDB4 × d + 2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB4 × d + 1 [7:0]								RFDB4 × d + 0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.134 RSCFDnCFDRFDFd_x レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RFDB4 × d + 3 [7:0]	受信 FIFO バッファデータバイト 4 × d + 3 受信 FIFO バッファデータバイト 4 × d + 2 受信 FIFO バッファデータバイト 4 × d + 1 受信 FIFO バッファデータバイト 4 × d + 0
23 ~ 16	RFDB4 × d + 2 [7:0]	
15 ~ 8	RFDB4 × d + 1 [7:0]	
7 ~ 0	RFDB4 × d + 0 [7:0]	

RSCFDnCFDRFPTRx レジスタの RFDLC[3:0] ビットの値が受信 FIFO バッファのペイロード格納サイズ未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

受信 FIFO バッファのペイロード格納サイズは RSCFDnCFDRFCCx レジスタの RFPLS[2:0] ビットで指定します。指定サイズを超える領域に対応する RSCFDnCFDRFDFd_x レジスタは読み書きしないでください。

21.5.8 送受信 FIFO バッファ関連レジスタの詳細

21.5.8.1 RSCFDnCFDCFCCK — 送受信 FIFO バッファコンフィグレーション/制御レジスタ (k = 0 ~ 17)

アクセス RSCFDnCFDCFCCK レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCFCCKL、RSCFDnCFDCFCCKH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCFCCKLL、RSCFDnCFDCFCCKLH、RSCFDnCFDCFCCKHL、RSCFDnCFDCFCCKHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCFCCK: <RSCANn_base> + 0118_H + (04_H × k)

RSCFDnCFDCFCCKL: <RSCANn_base> + 0118_H + (04_H × k)、
RSCFDnCFDCFCCKH: <RSCANn_base> + 011A_H + (04_H × k)

RSCFDnCFDCFCCKLL: <RSCANn_base> + 0118_H + (04_H × k)、
RSCFDnCFDCFCCKLH: <RSCANn_base> + 0119_H + (04_H × k)、
RSCFDnCFDCFCCKHL: <RSCANn_base> + 011A_H + (04_H × k)、
RSCFDnCFDCFCCKHH: <RSCANn_base> + 011B_H + (04_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFITT[7:0]							CFTML[3:0]			CFITR	CFITSS	CFM[1:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFIGCV[2:0]		CFIM	—	CFDC[2:0]		—	CFPLS[2:0]		—	CFTXIE	CFRXIE	CFE			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 21.135 RSCFDnCFDCFCCK レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 24	CFITT[7:0]	メッセージの送信間隔を設定してください。 設定値 : 00 _H ~ FF _H
23 ~ 20	CFTML[3:0]	送信バッファリンク設定ビット 送受信 FIFO バッファにリンクさせる送信バッファ番号を設定してください。
19	CFITR	送受信 FIFO インターバルタイム分解能 0 : pclk/2 を ITRCP [15:0] ビットで分周したクロック 1 : pclk/2 を ITRCP [15:0] ビットの値 × 10 で分周したクロック
18	CFITSS	送受信 FIFO インターバルタイムクロックソース選択 0 : CFITR ビットで選択したクロックソース 1 : 関連チャンネルの通常ビットタイムクロック
17、16	CFM[1:0]	送受信 FIFO モード選択ビット b17 b16 0 0 : 受信モード 0 1 : 送信モード 1 0 : ゲートウェイモード 1 1 : 設定しないでください
15 ~ 13	CFIGCV[2:0]	送受信 FIFO 受信割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0 : FIFO バッファに 1/8 までメッセージ格納時 0 0 1 : FIFO バッファに 2/8 までメッセージ格納時 0 1 0 : FIFO バッファに 3/8 までメッセージ格納時 0 1 1 : FIFO バッファに 4/8 までメッセージ格納時 1 0 0 : FIFO バッファに 5/8 までメッセージ格納時 1 0 1 : FIFO バッファに 6/8 までメッセージ格納時 1 1 0 : FIFO バッファに 7/8 までメッセージ格納時 1 1 1 : FIFO バッファがフルのとき

表 21.135 RSCFDnCFDCFCCK レジスタの内容 (2/2)

ビット位置	ビット名	機能
12	CFIM	送受信 FIFO 割り込み要因選択ビット 0 : <ul style="list-style-type: none"> 受信モード、ゲートウェイモード時 受信メッセージ数が CFIGCV[2:0] ビットで設定した条件に達したとき、FIFO 受信割り込み要求発生 送信モード、ゲートウェイモード時 メッセージ送信完了によってバッファが空になったとき、FIFO 送信割り込み要求発生 1 : <ul style="list-style-type: none"> 受信モード、ゲートウェイモード時 1メッセージ受信ごとに FIFO 受信割り込み要求発生 送信モード、ゲートウェイモード時 1メッセージ送信が完了するごとに FIFO 送信割り込み要求発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ~ 8	CFDC[2:0]	送受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0 : 0 メッセージ 0 0 1 : 4 メッセージ 0 1 0 : 8 メッセージ 0 1 1 : 16 メッセージ 1 0 0 : 32 メッセージ 1 0 1 : 48 メッセージ 1 1 0 : 64 メッセージ 1 1 1 : 128 メッセージ
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 4	CFPLS[2:0]	送受信 FIFO バッファペイロード格納サイズ選択ビット b6 b5 b4 0 0 0 : 8 バイト 0 0 1 : 12 バイト 0 1 0 : 16 バイト 0 1 1 : 20 バイト 1 0 0 : 24 バイト 1 0 1 : 32 バイト 1 1 0 : 48 バイト 1 1 1 : 64 バイト
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	CFTXIE	送受信 FIFO 送信割り込み許可ビット 0 : 送受信 FIFO 送信割り込み禁止 1 : 送受信 FIFO 送信割り込み許可
1	CFRXIE	送受信 FIFO 受信割り込み許可ビット 0 : 送受信 FIFO 受信割り込み禁止 1 : 送受信 FIFO 受信割り込み許可
0	CFE	送受信 FIFO バッファ許可ビット 0 : 送受信 FIFO バッファを使用しない 1 : 送受信 FIFO バッファを使用する

CFITT[7:0] ビット

CFM[1:0] ビットを“01_B” (送信モード) または“10_B” (ゲートウェイモード) に設定した送受信 FIFO バッファから連続してメッセージを送信する場合、メッセージの送信間隔を設定します。

CFE ビットを“0” (送受信 FIFO バッファを使用しない) にしてから、CFITT[7:0] ビットを書き換えてください。

CFTML[3:0] ビット

CFM[1:0] ビットを“01_B” (送信モード) または“10_B” (ゲートウェイモード) に設定した場合、送受信 FIFO バッファ k にリンクさせる送信バッファ番号を設定します。チャンネル当たり 3 つの送受信 FIFO バッファがあり、FIFO バッファ k が割り当てられているチャンネル番号 m は、 $k/3$ の整商となります。FIFO バッファ k にリンクされる実際の送信バッファ番号 p は、 $(16 \times m) + \text{CFTML}[3:0]$ となります。

送受信 FIFO バッファ k と送信バッファ p の関係は、**表 21.91** および**表 21.92** を参照してください。

CFDC[2:0] ビットを“001_B”以上にすると、CFTML[3:0] ビットの設定が有効になります。

同一チャンネルの送信キュー、またはその他の送受信 FIFO バッファに既に割り当てられている送信バッファにはリンクしないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFITR ビット

CFITSS ビットが“0”のとき、有効です。

“0”のとき、インターバルタイマクロックソースは、 $\text{pclk}/2$ を RSCFDnCFDGCFCFG レジスタの ITRCP [15:0] ビットで分周したクロックとなります。

“1”のとき、インターバルタイマクロックソースは、 $\text{pclk}/2$ を RSCFDnCFDGCFCFG レジスタの ITRCP [15:0] ビットの値 $\times 10$ で分周したクロックとなります。

CFE ビットが“0” (送受信 FIFO バッファを使用しない) の状態で、CFITR ビットを書き換えてください。

CFITSS ビット

“0”のとき、CFITR ビットで選択したクロックがインターバルタイマのカウントソースになります。

“1”のとき、FIFO にリンクしているチャンネルのビットタイムクロックがインターバルタイマのカウントソースになります。

CFE ビットが“0” (送受信 FIFO バッファを使用しない) の状態で、CFITSS ビットを書き換えてください。

CFM[1:0] ビット

送受信 FIFO のモードを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFIGCV[2:0] ビット

CFM[1:0] ビットを“00_B” (受信モード) または“10_B” (ゲートウェイモード) に、CFIM ビットを“0”にした場合の送受信 FIFO 受信割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数 (CFDC[2:0] の設定) に対する分数で指定します。

CFDC[2:0] ビットを“001_B” (4 メッセージ) に設定した場合は、CFIGCV[2:0] ビットを“001_B”、“011_B”、“101_B”、または“111_B”にしてください。

このビットはグローバルリセットモードでのみ書き換えてください。

CFIM ビット

送受信 FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFDC[2:0] ビット

1つの送受信 FIFO バッファに格納できるメッセージの数を設定します。“000_B”に設定した場合は、送受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFPLS[2:0] ビット

送受信 FIFO バッファに格納できるペイロードの上限サイズを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFTXIE ビット

このビットを“1”に設定し、RSCFDnCFDCFSTSk レジスタの CFTXIF フラグが“1”になった場合、送受信 FIFO 送信割り込み要求が発生します。

CFE ビットが“0”（送受信 FIFO バッファを使用しない）の状態、CFTXIE ビットを書き換えてください。

CFRXIE ビット

このビットを“1”に設定し、RSCFDnCFDCFSTSk レジスタの CFRXIF フラグが“1”になった場合、送受信 FIFO 受信割り込み要求が発生します。

CFE ビットが“0”の状態、CFRXIE ビットを書き換えてください。

CFE ビット

“1”にすると、送受信 FIFO バッファを使用できます。

“0”にすると、送信モードまたはゲートウェイモードでは、送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトラジョンロストの後に、送受信 FIFO バッファは空になります。それ以外の場合、または受信モードでは送受信 FIFO バッファは直ちに空になります。

このビットは、次に示す条件で“0”になります。

- 受信モード時：グローバルリセットモード
- 送信モードまたはゲートウェイモード時：チャンネルリセットモード

このビットは、次に示すモードで書き換えてください。

- 受信モード：グローバル動作モードまたはグローバルテストモード
- 送信モードまたはゲートウェイモード：チャンネル通信モードまたはチャンネル待機モード

このビットは、RSCFDnCFDCFCCk レジスタの他のすべてのビットを設定後に、別の命令を使用して“1”にしてください。

21.5.8.2 RSCFDnCFDCFSTSk — 送受信 FIFO バッファステータスレジスタ (k = 0 ~ 17)

アクセス RSCFDnCFDCFSTSk レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCFSTSkL レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCFSTSkLL レジスタは、8 ビット単位でリード/ライト可能です。
RSCFDnCFDCFSTSkLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDCFSTSk: <RSCANn_base> + 0178_H + (04_H × k)

RSCFDnCFDCFSTSkL: <RSCANn_base> + 0178_H + (04_H × k)

RSCFDnCFDCFSTSkLL: <RSCANn_base> + 0178_H + (04_H × k)、

RSCFDnCFDCFSTSkLH: <RSCANn_base> + 0179_H + (04_H × k)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFMC [7:0]							—	—	—	CFTXIF	CFRXIF	CFMLT	CFLL	CFEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R	R

注1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.136 RSCFDnCFDCFSTSk レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 8	CFMC [7:0]	送受信 FIFO メッセージ数表示カウンタ 送受信 FIFO バッファに格納されたメッセージ数を示します。
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	CFTXIF	送受信 FIFO 送信割り込み要求フラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
3	CFRXIF	送受信 FIFO 受信割り込み要求フラグ 0: 送受信 FIFO 受信割り込み要求なし 1: 送受信 FIFO 受信割り込み要求あり
2	CFMLT	送受信 FIFO メッセージロストフラグ 0: 送受信 FIFO メッセージロストなし 1: 送受信 FIFO メッセージロスト
1	CFLL	送受信 FIFO バッファフルステータスフラグ 0: 送受信 FIFO バッファフルではない 1: 送受信 FIFO バッファフル
0	CFEMP	送受信 FIFO バッファ空ステータスフラグ 0: 送受信 FIFO バッファにメッセージあり 1: 送受信 FIFO バッファにメッセージなし (バッファ空)

CFMC[7:0] ビット

CFMC[7:0] ビットが示す値は、RSCFDnCFDCFCCK レジスタの CFM[1:0] ビットの設定により次のようになります。

- CFM[1:0] ビットが“01_B” (送信モード) の場合 : バッファに格納した未送信メッセージ数
- CFM[1:0] ビットが“00_B” (受信モード) の場合 : バッファに格納された未読の受信メッセージ数
- CFM[1:0] ビットが“10_B” (ゲートウェイモード) の場合 : バッファに格納された受信メッセージの内、未送信のメッセージ数

このビットは、次に示す条件で“0”になります。

- CFM[1:0] ビットが“00_B”の場合 : グローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合 : チャネルリセットモード
- RSCANnCFCCk レジスタの CFE ビットが 0 にクリアされた場合

CFTXIF フラグ

次の条件で、CFTXIF フラグは“1”になります。

- CFM[1:0] ビットが“01_B”または“10_B”で、RSCFDnCFDCFCCK レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFTXIF フラグは“0”になります。

- CFTXIF フラグへの“0”書き込み
- CFM[1:0] ビットが“00_B”の場合 : グローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合 : チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

CFRXIF フラグ

次の条件で、CFRXIF フラグは“1”になります。

- CFM[1:0] ビットが“00_B”または“10_B”で、RSCFDnCFDCFCCK レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFRXIF フラグは“0”になります。

- CFRXIF フラグへの“0”書き込み
- CFM[1:0] ビットが“00_B”の場合 : グローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合 : チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

CFMLT フラグ

次の条件で、CFMLT フラグは“1”になります。

- 送受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき。この場合、新しいメッセージは破棄されます。

次の条件で、CFMLT フラグは“0”になります。

- CFMLT フラグへの“0”書き込み
- CFM[1:0] ビットが“00_B”の場合：グローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合：チャンネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

CFLL フラグ

次の条件で、CFLL フラグは“1”になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、RSCFDnCFDCFCCK レジスタの CFDC[2:0] ビットで設定した段数と一致したとき

次の条件で、CFLL フラグは“0”になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、CFDC[2:0] ビットで設定した段数より小さくなったとき
- RSCFDnCFDCFCCK レジスタの CFE ビットが“0”（送受信 FIFO バッファを使用しない）の場合：送信アポート中でないとき
- CFM[1:0] ビットが“00_B”の場合：グローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合：チャンネルリセットモード

CFEMP フラグ

次の条件で、CFEMP フラグは“1”になります。

- CFM[1:0] ビットが“00_B”の場合：
全メッセージを読み出したとき、またはグローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合：
すべてのメッセージを送信したとき、またはチャンネルリセットモード
- CFE ビットが“0”（送受信 FIFO バッファを使用しない）の場合：
送信アポート中でないとき

次の条件で、CFEMP フラグは“0”になります。

- CFM[1:0] ビットが“00_B”または“10_B”の場合：
受信メッセージが1つでも送受信 FIFO バッファに格納されたとき
- CFM[1:0] ビットが“01_B”の場合：
RSCFDnCFDCFDK、RSCFDnCFDCFPTRk、RSCFDnCFDCFFDCSTSk、
RSCFDnCFDCFDk レジスタに書いてから、RSCFDnCFDCFPCTRk レジスタに“FF_H”

を書いたとき

備 考

CFTXIF, CFRXIF, CFMLT フラグを“0”にする場合は、プログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、それ以外のフラグには“1”を書いてください。

21.5.8.3 RSCFDnCFDCFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ (k = 0 ~ 17)

アクセス RSCFDnCFDCFPCTRk レジスタは、32 ビット単位でライトのみ可能です。
RSCFDnCFDCFPCTRkL レジスタは、16 ビット単位でライトのみ可能です。
RSCFDnCFDCFPCTRkLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCFDnCFDCFPCTRk: <RSCANn_base> + 01D8_H + (04_H × k)

RSCFDnCFDCFPCTRkL: <RSCANn_base> + 01D8_H + (04_H × k)

RSCFDnCFDCFPCTRkLL: <RSCANn_base> + 01D8_H + (04_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CFPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 21.137 RSCFDnCFDCFPCTRk レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ~ 0	CFPC [7:0]	送受信 FIFO ポインタ制御 <ul style="list-style-type: none"> 受信モード時 “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。 送信モード時 “FF_H” を書くと、送受信 FIFO バッファの次の段にライトポインタが移動します。 ゲートウェイモード時 設定しないでください。

対応する送受信 FIFO バッファがチャンネル m に割り当てられた先頭の送受信 FIFO バッファ (k は 3 × m) のとき、RSCFDnCFDCDTCT レジスタの CFDMAEm ビットが “1” (DMA 転送要求を許可する) の場合、このレジスタに書き込みを行わないでください。

CFPC[7:0] ビット

- 受信モード (RSCFDnCFDCFCCK レジスタの CFM[1:0] ビットが “00_B”) のとき：
CFPC[7:0] ビットに “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCFDnCFDCFSTSk レジスタの CFMC[7:0] ビット (送受信 FIFO メッセージ数表示カウンタ) の値が 1 減算されます。
RSCFDnCFDCFIDk、RSCFDnCFDCFPTRk、RSCFDnCFDCFFDCSTSk、
RSCFDnCFDCFDf_k レジスタを読んで送受信 FIFO バッファからメッセージを読み出したあと、CFPC[7:0] ビットに “FF_H” を書いてください。
なお、“FF_H” の書き込みは RSCFDnCFDCFCCK レジスタの CFE ビットが “1” (送受信 FIFO バッファを使用する) で、RSCFDnCFDCFSTSk レジスタの CFEMP フラグが “0” (メッセージあり) のときに行ってください。

- 送信モード (RSCFDnCFDCFCCK レジスタの CFM[1:0] ビットが “01_B”) のとき :
CFPC[7:0] ビットに “FF_H” を書くと、RSCFDnCFDCFIDk、RSCFDnCFDCFPTRk、
RSCFDnCFDCFFDCSTSk、RSCFDnCFDCFDf_k レジスタに書いたデータが送受信
FIFO バッファに格納され、バッファの次の段にライトポインタが移動します。このと
き CFMC[7:0] ビットの値が 1 加算されます。RSCFDnCFDCFIDk、
RSCFDnCFDCFPTRk、RSCFDnCFDCFFDCSTSk、RSCFDnCFDCFDf_k レジスタに送信
メッセージを書いた後に、CFPC[7:0] ビットに “FF_H” を書いてください。
なお、“FF_H” の書き込みは、RSCFDnCFDCFCCK レジスタの CFE ビットが “1” で、
RSCFDnCFDCFSTSk レジスタの CFFLL フラグが “0” (フルではない) のときに行っ
てください。
- ゲートウェイモード (RSCFDnCFDCFCCK レジスタの CFM[1:0] ビットが “10_B”) のとき :
設定しないでください。

21.5.8.4 RSCFDnCFDCFDk — 送受信 FIFO バッファアクセス ID レジスタ (k = 0 ~ 17)

アクセス RSCFDnCFDCFDk レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCFDkL、RSCFDnCFDCFDkH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCFDkLL、RSCFDnCFDCFDkLH、RSCFDnCFDCFDkHL、RSCFDnCFDCFDkHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCFDk: <RSCANn_base> + 0E80_H + (80_H × k)

RSCFDnCFDCFDkL: <RSCANn_base> + 0E80_H + (80_H × k)、
RSCFDnCFDCFDkH: <RSCANn_base> + 0E82_H + (80_H × k)

RSCFDnCFDCFDkLL: <RSCANn_base> + 0E80_H + (80_H × k)、
RSCFDnCFDCFDkLH: <RSCANn_base> + 0E81_H + (80_H × k)、
RSCFDnCFDCFDkHL: <RSCANn_base> + 0E82_H + (80_H × k)、
RSCFDnCFDCFDkHH: <RSCANn_base> + 0E83_H + (80_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFIDE	CFRTR	THLEN	CFID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.138 RSCFDnCFDCFDk レジスタの内容

ビット位置	ビット名	機能
31	CFIDE	送受信 FIFO バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	CFRTR	送受信 FIFO バッファ RTR / RRS ビット <ul style="list-style-type: none"> CFM[1:0] ビットが "01_B" (送信モード) 時 <ul style="list-style-type: none"> 送信メッセージがクラシカル CAN フレームのとき 0: データフレーム 1: リモートフレーム 送信メッセージが CAN FD フレームのとき "0" を書いてください。 CFM[1:0] ビットが "00_B" (受信モード) 時 <ul style="list-style-type: none"> 受信メッセージがクラシカル CAN フレームのとき 0: データフレーム 1: リモートフレーム 受信メッセージが CAN FD フレームのとき 受信メッセージの RRS ビット値が読めます。
29	THLEN	送信履歴データ格納許可ビット CFM[1:0] ビットが "01 _B " (送信モード) 時のみ有効 0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する
28 ~ 0	CFID [28:0]	送受信 FIFO バッファ ID データ <ul style="list-style-type: none"> CFM[1:0] ビットが "01_B" (送信モード) 時 標準 ID または拡張 ID を設定してください。標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は "0" にしてください。 CFM[1:0] ビットが "00_B" (受信モード) 時 受信メッセージの標準 ID または拡張 ID が読めます。標準 ID の場合、b10 ~ b0 を読んでください。b28 ~ b11 は "0" が読めます。

RSCFDnCFDCFCCK レジスタの CFM[1:0] ビットが “01_B” (送信モード) の場合のみ、このレジスタに書けます。CFM[1:0] ビットが “00_B” (受信モード) の場合のみ、このレジスタを読めます。CFM[1:0] ビットが “10_B” (ゲートウェイモード) の場合は、このレジスタにアクセスしないでください。

CFIDE ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID フォーマット (標準 ID または拡張 ID) を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージの ID フォーマットを設定します。

CFRTR ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージのデータフォーマット (データフレームまたはリモートフレーム) を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージのデータフォーマットを設定します。

THLEN ビット

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ (ラベル情報、バッファ番号、バッファタイプ、タイムスタンプ) が送信履歴バッファに格納されます。

CFM[1:0] ビットが “01_B” (送信モード) のときに、有効になります。

CFID[28:0] ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID を含んでいます。

CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

21.5.8.5 RSCFDnCFDCFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ (k = 0 ~ 17)

アクセス RSCFDnCFDCFPTRk レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCFPTRkL、RSCFDnCFDCFPTRkH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCFPTRkLL、RSCFDnCFDCFPTRkLH、RSCFDnCFDCFPTRkHL、RSCFDnCFDCFPTRkHH
レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCFPTRk: $\langle \text{RSCANn_base} \rangle + 3404_{\text{H}} + (80_{\text{H}} \times k)$

RSCFDnCFDCFPTRkL: $\langle \text{RSCANn_base} \rangle + 3404_{\text{H}} + (80_{\text{H}} \times k)$ 、
RSCFDnCFDCFPTRkH: $\langle \text{RSCANn_base} \rangle + 3406_{\text{H}} + (80_{\text{H}} \times k)$

RSCFDnCFDCFPTRkLL: $\langle \text{RSCANn_base} \rangle + 3404_{\text{H}} + (80_{\text{H}} \times k)$ 、
RSCFDnCFDCFPTRkLH: $\langle \text{RSCANn_base} \rangle + 3405_{\text{H}} + (80_{\text{H}} \times k)$ 、
RSCFDnCFDCFPTRkHL: $\langle \text{RSCANn_base} \rangle + 3406_{\text{H}} + (80_{\text{H}} \times k)$ 、
RSCFDnCFDCFPTRkHH: $\langle \text{RSCANn_base} \rangle + 3407_{\text{H}} + (80_{\text{H}} \times k)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDLC [3:0]				CFPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFTS [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.139 RSCFDnCFDCFPTRk レジスタの内容

ビット位置	ビット名	機能																																																																																																
31 ~ 28	CFDLC [3:0]	送受信 FIFO バッファ DLC データ																																																																																																
		<table border="1"> <thead> <tr> <th>b31</th> <th>b30</th> <th>b29</th> <th>b28</th> <th>クラシカル CAN フレーム</th> <th>CAN FD フレーム</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td colspan="2">0 データバイト</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td colspan="2">1 データバイト</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td colspan="2">2 データバイト</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td colspan="2">3 データバイト</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td colspan="2">4 データバイト</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td colspan="2">5 データバイト</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td colspan="2">6 データバイト</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td colspan="2">7 データバイト</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td colspan="2">8 データバイト</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td rowspan="7">8 データバイト</td> <td>12 データバイト</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>16 データバイト</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>20 データバイト</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>24 データバイト</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>32 データバイト</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>48 データバイト</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>64 データバイト</td> </tr> </tbody> </table>	b31	b30	b29	b28	クラシカル CAN フレーム	CAN FD フレーム	0	0	0	0	0 データバイト		0	0	0	1	1 データバイト		0	0	1	0	2 データバイト		0	0	1	1	3 データバイト		0	1	0	0	4 データバイト		0	1	0	1	5 データバイト		0	1	1	0	6 データバイト		0	1	1	1	7 データバイト		1	0	0	0	8 データバイト		1	0	0	1	8 データバイト	12 データバイト	1	0	1	0	16 データバイト	1	0	1	1	20 データバイト	1	1	0	0	24 データバイト	1	1	0	1	32 データバイト	1	1	1	0	48 データバイト	1	1	1	1	64 データバイト
		b31	b30	b29	b28	クラシカル CAN フレーム	CAN FD フレーム																																																																																											
		0	0	0	0	0 データバイト																																																																																												
		0	0	0	1	1 データバイト																																																																																												
		0	0	1	0	2 データバイト																																																																																												
		0	0	1	1	3 データバイト																																																																																												
		0	1	0	0	4 データバイト																																																																																												
		0	1	0	1	5 データバイト																																																																																												
		0	1	1	0	6 データバイト																																																																																												
		0	1	1	1	7 データバイト																																																																																												
		1	0	0	0	8 データバイト																																																																																												
		1	0	0	1	8 データバイト	12 データバイト																																																																																											
		1	0	1	0		16 データバイト																																																																																											
		1	0	1	1		20 データバイト																																																																																											
1	1	0	0	24 データバイト																																																																																														
1	1	0	1	32 データバイト																																																																																														
1	1	1	0	48 データバイト																																																																																														
1	1	1	1	64 データバイト																																																																																														
27 ~ 16	CFPTR [11:0]	送受信 FIFO バッファラベルデータ																																																																																																
		<ul style="list-style-type: none"> CFM[1:0] ビットが“01_B” (送信モード) 時 送信履歴バッファに格納するラベル情報を設定してください。 CFPTR[7:0] のみ有効です。 CFM[1:0] ビットが“00_B” (受信モード) 時 受信メッセージのラベル情報が読めます。 																																																																																																
15 ~ 0	CFTS [15:0]	送受信 FIFO バッファタイムスタンプデータ CFM[1:0] ビットが“00 _B ” (受信モード) 時のみ有効 受信メッセージのタイムスタンプ値が読めます。																																																																																																

RSCFDnCFDCFCCK レジスタの CFM[1:0] ビットが“01_B” (送信モード) の場合のみ、このレジスタに書けます。CFM[1:0] ビットが“00_B” (受信モード) の場合のみ、このレジスタを読めます。CFM[1:0] ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタにアクセスしないでください。

CFDLC[3:0] ビット

CFM[1:0] ビットが“00_B” のとき、送受信 FIFO バッファに格納された受信メッセージのデータ長を示します。

CFM[1:0] ビットが“01_B” のとき、送受信 FIFO バッファから送信されるメッセージのデータ長を設定します。

RSCFDnCFDCFFDCSTSk レジスタの CFFDF ビットが“0” (CAN フレーム) のときに CFDLC[3:0] ビットに“1001_B”以上を設定した場合、実際に送られるデータは 8 バイトになります。CFFDF ビットが“1” (CAN FD フレーム) のとき、RSCFDnCFDCmFDCFG レジスタの TMME ビットおよび RSCFDnCFDCFCCK レジスタの CFPLS[2:0] ビットによって設定可能な値の範囲が異なります。

- TMME ビットが“0” (送信バッファマージモード禁止) の場合：
“0000_B”～“1111_B”の全ての値が設定できます。設定したデータ長が CFPLS[2:0] ビットで設定したペイロード格納サイズを超えるとき、超えた分のペイロードは“CCH”でパディングされます。
- TMME ビットが“1” (送信バッファマージモード許可) の場合：
データ長は CFPLS[2:0] ビットで設定したペイロード格納サイズを超えないように設定してください。

CFPTR[11:0] ビット

CFM[1:0] ビットが“00_B”のとき、送受信 FIFO バッファに格納された受信メッセージに添付したラベル情報を示します。CFM[1:0] ビットが“01_B”のとき、メッセージ送信が完了した場合、CFPTR[7:0] ビットの値が送信履歴に格納されます。

CFTS[15:0] ビット

送受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。

CFM[1:0] ビットが“00_B”のときに、有効になります。

21.5.8.6 RSCFDnCFDCFFDCSTSk — 送受信 FIFO CAN FD コンフィグレーション/ステータスレジスタ (k = 0 ~ 17)

アクセス RSCFDnCFDCFFDCSTSk レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCFFDCSTSkL レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCFFDCSTSkLL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCFFDCSTSk: <RSCANn_base> + 3408_H + (80_H × k)
RSCFDnCFDCFFDCSTSkL: <RSCANn_base> + 3408_H + (80_H × k)
RSCFDnCFDCFFDCSTSkLL: <RSCANn_base> + 3408_H + (80_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CFFDF	CFBRS	CFESI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 21.140 RSCFDnCFDCFFDCSTSk レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	CFFDF	FD ビット 0: クラシカル CAN フレーム 1: CAN FD フレーム
1	CFBRS	BRS ビット 0: データ領域のビットレートは変わらない 1: データ領域のビットレートは変わる
0	CFESI	ESI ビット 0: エラーアクティブノード 1: エラーパッシブノード

RSCFDnCFDCFCCK レジスタの CFM[1:0] ビットが “01_B” (送信モード) の場合のみ、このレジスタに書けます。CFM[1:0] ビットが “00_B” (受信モード) の場合のみ、このレジスタを読めます。CFM[1:0] ビットが “10_B” (ゲートウェイモード) の場合は、このレジスタにアクセスしないでください。

CFFDF ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納されたメッセージの FD フォーマット (クラシカル CAN フレームまたは CAN FD フレーム) を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージの FD フォーマットを設定します。

CFBRS ビット

CFM[1:0] ビットが “00_B” のとき、CFFDF ビットが “1” ならば送受信 FIFO バッファに格納された受信メッセージの BRS ビット値を示し、CFFDF ビットが “0” ならば常に “0” が読めます。

CFM[1:0] ビットが “01_B” のとき、CFFDF ビットが “1” ならば送受信 FIFO バッファから送信するメッセージの BRS ビット値を設定します。CFFDF ビットが “0” ならば “0” を書いてください。

CFESI ビット

CFM[1:0] ビットが “00_B” のとき、CFFDF ビットが “1” ならば送受信 FIFO バッファに格納された受信メッセージの ESI ビット値を示し、CFFDF ビットが “0” ならば常に “0” が読めます。

CFM[1:0] ビットが “01_B” のとき、CFFDF ビットが “1” ならば送受信 FIFO バッファから送信するメッセージの ESI ビット値を設定します。設定した値は RSCFDnCFDCmFDCFG レジスタの ESIC ビットが “1” かつチャンネルがエラーアクティブ状態のとき送信されます。チャンネルがエラーパッシブ状態であるときは、このビットにかかわらずエラーパッシブノードを示す ESI ビット値が送信されます。CFFDF ビットが “0” のときは “0” を書いてください。

21.5.8.7 RSCFDnCFDCFDf_d_k — 送受信 FIFO バッファアクセスデータフィールド d レジスタ (d = 0 ~ 15, k = 0 ~ 17)

アクセス RSCFDnCFDCFDf_d_k レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCFDf_d_kL、RSCFDnCFDCFDf_d_kH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCFDf_d_kLL、RSCFDnCFDCFDf_d_kLH、RSCFDnCFDCFDf_d_kHL、
RSCFDnCFDCFDf_d_kHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCFDf_d_k: <RSCANn_base> + 340C_H + (04_H × d) + (80_H × k)

RSCFDnCFDCFDf_d_kL: <RSCANn_base> + 340C_H + (04_H × d) + (80_H × k)、
RSCFDnCFDCFDf_d_kH: <RSCANn_base> + 340E_H + (04_H × d) + (80_H × k)

RSCFDnCFDCFDf_d_kLL: <RSCANn_base> + 340C_H + (04_H × d) + (80_H × k)、
RSCFDnCFDCFDf_d_kLH: <RSCANn_base> + 340D_H + (04_H × d) + (80_H × k)、
RSCFDnCFDCFDf_d_kHL: <RSCANn_base> + 340E_H + (04_H × d) + (80_H × k)、
RSCFDnCFDCFDf_d_kHH: <RSCANn_base> + 340F_H + (04_H × d) + (80_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB4 × d + 3 [7:0]								CFDB4 × d + 2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB4 × d + 1 [7:0]								CFDB4 × d + 0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.141 RSCFDnCFDCFDf_d_k レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	CFDB4 × d + 3 [7:0]	送受信 FIFO バッファデータバイト 4 × d + 3 送受信 FIFO バッファデータバイト 4 × d + 2
23 ~ 16	CFDB4 × d + 2 [7:0]	送受信 FIFO バッファデータバイト 4 × d + 1 送受信 FIFO バッファデータバイト 4 × d + 0
15 ~ 8	CFDB4 × d + 1 [7:0]	<ul style="list-style-type: none"> CFM[1:0] ビットが“01_B” (送信モード) 時 送受信 FIFO バッファのデータを設定してください。
7 ~ 0	CFDB4 × d + 0 [7:0]	<ul style="list-style-type: none"> CFM[1:0] ビットが“00_B” (受信モード) 時 送受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCFDnCFDCFCCK レジスタの CFM[1:0] ビットが“01_B” (送信モード) の場合のみ、このレジスタに書けます。

CFM[1:0] ビットが“00_B” (受信モード) の場合のみ、このレジスタを読めます。

RSCFDnCFDCFPTRk レジスタの CFDLC[3:0] ビットの値が送受信 FIFO バッファのペイロード格納サイズ未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

送受信 FIFO バッファのペイロード格納サイズは RSCFDnCFDCFCCK レジスタの CFPLS[2:0] ビットで指定します。指定サイズを超える領域に対応する RSCFDnCFDCFDf_d_k レジスタは読み書きしないでください。

CFM[1:0] ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタにアクセスしないでください。

21.5.9 FIFO ステータス関連レジスタの詳細

21.5.9.1 RSCFDnCFDFESTS — FIFO エンプティステータスレジスタ

アクセス RSCFDnCFDFESTS レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDFESTSL、RSCFDnCFDFESTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDFESTSLL、RSCFDnCFDFESTSLH、RSCFDnCFDFESTSHL、RSCFDnCFDFESTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDFESTS: <RSCANn_base> + 0238_H

RSCFDnCFDFESTSL: <RSCANn_base> + 0238_H、
RSCFDnCFDFESTSH: <RSCANn_base> + 023A_H

RSCFDnCFDFESTSLL: <RSCANn_base> + 0238_H、
RSCFDnCFDFESTSLH: <RSCANn_base> + 0239_H、
RSCFDnCFDFESTSHL: <RSCANn_base> + 023A_H、
RSCFDnCFDFESTSHH: <RSCANn_base> + 023B_H

リセット後の値 03FF FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CF17E MP	CF16E MP	CF15E MP	CF14E MP	CF13E MP	CF12E MP	CF11E MP	CF10E MP	CF9EM P	CF8EM P
リセット後の値	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7EM P	CF6EM P	CF5EM P	CF4EM P	CF3EM P	CF2EM P	CF1EM P	CF0EM P	RF7EM P	RF6EM P	RF5EM P	RF4EM P	RF3EM P	RF2EM P	RF1EM P	RF0EM P
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.142 RSCFDnCFDFESTS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。
25	CF17EMP	送受信 FIFO バッファエンプティステータスフラグ 0: 送受信 FIFO バッファ k にメッセージあり 1: 送受信 FIFO バッファ k にメッセージなし (k = 0 ~ 17)
24	CF16EMP	
23	CF15EMP	
22	CF14EMP	
21	CF13EMP	
20	CF12EMP	
19	CF11EMP	
18	CF10EMP	
17	CF9EMP	
16	CF8EMP	
15	CF7EMP	
14	CF6EMP	
13	CF5EMP	
12	CF4EMP	
11	CF3EMP	
10	CF2EMP	
9	CF1EMP	
8	CF0EMP	

表 21.142 RSCFDnCFDFESTS レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	RF7EMP	受信 FIFO バッファエンプティステータスフラグ 0: 受信 FIFO バッファ x に未読メッセージあり 1: 受信 FIFO バッファ x に未読メッセージなし (x = 0 ~ 7)
6	RF6EMP	
5	RF5EMP	
4	RF4EMP	
3	RF3EMP	
2	RF2EMP	
1	RF1EMP	
0	RF0EMP	

RSCFDnCFDFESTS レジスタは、グローバルリセットモード時、“03FF FFFF_H”になります。

CFkEMP フラグ (k = 0 ~ 17)

RSCFDnCFDFESTSk レジスタの CFEMP フラグが“1” (送受信 FIFO バッファにメッセージなし (バッファエンプティ)) になると、CFkEMP フラグは“1”になります。CFEMP フラグが“0” (送受信 FIFO バッファにメッセージあり) になると、CFkEMP フラグは“0”になります。

RFxEMP フラグ (x = 0 ~ 7)

RSCFDnCFDRFESTSx レジスタの RFEMP フラグが“1” (受信 FIFO バッファに未読メッセージなし) になると、RFxEMP フラグは“1”になります。RFEMP フラグが“0” (受信 FIFO バッファに未読メッセージあり) になると、RFxEMP フラグは“0”になります。

21.5.9.2 RSCFDnCFDFFSTS — FIFO フルステータスレジスタ

アクセス RSCFDnCFDFFSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDFFSTSL、RSCFDnCFDFFSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDFFSTSLL、RSCFDnCFDFFSTSLH、RSCFDnCFDFFSTSHL、RSCFDnCFDFFSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDFFSTS: <RSCANn_base> + 023C_H

RSCFDnCFDFFSTSL: <RSCANn_base> + 023C_H、
RSCFDnCFDFFSTSH: <RSCANn_base> + 023E_H

RSCFDnCFDFFSTSLL: <RSCANn_base> + 023C_H、
RSCFDnCFDFFSTSLH: <RSCANn_base> + 023D_H、
RSCFDnCFDFFSTSHL: <RSCANn_base> + 023E_H、
RSCFDnCFDFFSTSHH: <RSCANn_base> + 023F_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CF17FL L	CF16FL L	CF15FL L	CF14FL L	CF13FL L	CF12FL L	CF11FL L	CF10FL L	CF9FLL	CF8FLL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7FLL	CF6FLL	CF5FLL	CF4FLL	CF3FLL	CF2FLL	CF1FLL	CF0FLL	RF7FLL	RF6FLL	RF5FLL	RF4FLL	RF3FLL	RF2FLL	RF1FLL	RF0FLL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.143 RSCFDnCFDFFSTS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。
25	CF17FLL	送受信 FIFO バッファフルステータスフラグ 0: 送受信 FIFO バッファ k はフルではない 1: 送受信 FIFO バッファ k はフル (k = 0 ~ 17)
24	CF16FLL	
23	CF15FLL	
22	CF14FLL	
21	CF13FLL	
20	CF12FLL	
19	CF11FLL	
18	CF10FLL	
17	CF9FLL	
16	CF8FLL	
15	CF7FLL	
14	CF6FLL	
13	CF5FLL	
12	CF4FLL	
11	CF3FLL	
10	CF2FLL	
9	CF1FLL	
8	CF0FLL	

表 21.143 RSCFDnCFDFSTSTS レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	RF7FLL	受信 FIFO バッファフルステータスフラグ 0: 受信 FIFO バッファ x はフルではない 1: 受信 FIFO バッファ x はフル (x = 0 ~ 7)
6	RF6FLL	
5	RF5FLL	
4	RF4FLL	
3	RF3FLL	
2	RF2FLL	
1	RF1FLL	
0	RF0FLL	

RSCFDnCFDFSTSTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkFLL フラグ (k = 0 ~ 17)

RSCFDnCFDFSTSTS_k レジスタの CFFLL フラグが“1” (バッファフル) になると、CFkFLL フラグは“1”になります。

CFFLL フラグが“0” (送受信 FIFO がバッファフルでない) になると、CFkFLL フラグは“0”になります。

RFxFLL フラグ (x = 0 ~ 7)

RSCFDnCFDFSTSTS_x レジスタの RFFLL フラグが“1” (バッファフル) になると、RFxFLL フラグは“1”になります。RFFLL フラグが“0” (バッファフルでない) になると、RFxFLL フラグは“0”になります。

21.5.9.3 RSCFDnCFDFMSTS — FIFO メッセージロストステータスレジスタ

アクセス RSCFDnCFDFMSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDFMSTSL、RSCFDnCFDFMSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDFMSTSLL、RSCFDnCFDFMSTSLH、RSCFDnCFDFMSTSHL、RSCFDnCFDFMSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDFMSTS: <RSCANn_base> + 0240_H

RSCFDnCFDFMSTSL: <RSCANn_base> + 0240_H、
RSCFDnCFDFMSTSH: <RSCANn_base> + 0242_H

RSCFDnCFDFMSTSLL: <RSCANn_base> + 0240_H、
RSCFDnCFDFMSTSLH: <RSCANn_base> + 0241_H、
RSCFDnCFDFMSTSHL: <RSCANn_base> + 0242_H、
RSCFDnCFDFMSTSHH: <RSCANn_base> + 0243_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CF17MLT	CF16MLT	CF15MLT	CF14MLT	CF13MLT	CF12MLT	CF11MLT	CF10MLT	CF9MLT	CF8MLT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7MLT	CF6MLT	CF5MLT	CF4MLT	CF3MLT	CF2MLT	CF1MLT	CF0MLT	RF7MLT	RF6MLT	RF5MLT	RF4MLT	RF3MLT	RF2MLT	RF1MLT	RF0MLT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.144 RSCFDnCFDFMSTS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。
25	CF17MLT	送受信 FIFO バッファメッセージロストステータスフラグ 0: 送受信 FIFO バッファ k メッセージロストなし 1: 送受信 FIFO バッファ k メッセージロスト (k = 0 ~ 17)
24	CF16MLT	
23	CF15MLT	
22	CF14MLT	
21	CF13MLT	
20	CF12MLT	
19	CF11MLT	
18	CF10MLT	
17	CF9MLT	
16	CF8MLT	
15	CF7MLT	
14	CF6MLT	
13	CF5MLT	
12	CF4MLT	
11	CF3MLT	
10	CF2MLT	
9	CF1MLT	
8	CF0MLT	

表 21.144 RSCFDnCFDFMSTS レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	RF7MLT	受信 FIFO バッファメッセージロストステータスフラグ 0: 受信 FIFO バッファ x メッセージロストなし 1: 受信 FIFO バッファ x メッセージロスト (x = 0 ~ 7)
6	RF6MLT	
5	RF5MLT	
4	RF4MLT	
3	RF3MLT	
2	RF2MLT	
1	RF1MLT	
0	RF0MLT	

RSCFDnCFDFMSTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkMLT フラグ (k = 0 ~ 17)

RSCFDnCFDFCFSTSk レジスタのCFMLT フラグが“1” (メッセージロスト) になると、CFkMLT フラグは“1”になります。

CFMLT フラグを“0”にすると、CFkMLT フラグは“0”になります。

RFxMLT フラグ (x = 0 ~ 7)

RSCFDnCFDRFSTSc レジスタのRFMLT フラグが“1” (メッセージロスト) になると、RFxMLT フラグは“1”になります。RFMLT フラグを“0”にすると、RFxMLT フラグは“0”になります。

21.5.9.4 RSCFDnCFDRFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ

アクセス RSCFDnCFDRFISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRFISTS_{SL} レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRFISTS_{SL_L} レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRFISTS: <RSCANn_base> + 0244_H

RSCFDnCFDRFISTS_{SL}: <RSCANn_base> + 0244_H

RSCFDnCFDRFISTS_{SL_L}: <RSCANn_base> + 0244_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RF7IF	RF6IF	RF5IF	RF4IF	RF3IF	RF2IF	RF1IF	RF0IF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.145 RSCFDnCFDRFISTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。
7	RF7IF	受信 FIFO バッファ割り込み要求ステータスフラグ 0: 受信 FIFO バッファ x 割り込み要求なし 1: 受信 FIFO バッファ x 割り込み要求あり (x = 0 ~ 7)
6	RF6IF	
5	RF5IF	
4	RF4IF	
3	RF3IF	
2	RF2IF	
1	RF1IF	
0	RF0IF	

RSCFDnCFDRFISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

RFxIF フラグ (x = 0 ~ 7)

RSCFDnCFDRFISTS_x レジスタの RFIF フラグが“1” (割り込み要求あり) になると、RFxIF フラグは“1”になります。RFIF フラグを“0”にすると、RFxIF フラグは“0”になります。

21.5.9.5 RSCFDnCFDCFRISTS — 送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ

アクセス RSCFDnCFDCFRISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDCFRISTSL、RSCFDnCFDCFRISTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDCFRISTSLL、RSCFDnCFDCFRISTSLH、RSCFDnCFDCFRISTSHL レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDCFRISTS: <RSCANn_base> + 0248_H

RSCFDnCFDCFRISTSL: <RSCANn_base> + 0248_H、
RSCFDnCFDCFRISTSH: <RSCANn_base> + 024A_H

RSCFDnCFDCFRISTSLL: <RSCANn_base> + 0248_H、
RSCFDnCFDCFRISTSLH: <RSCANn_base> + 0249_H、
RSCFDnCFDCFRISTSHL: <RSCANn_base> + 024A_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CF17RXIF	CF16RXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF15RXIF	CF14RXIF	CF13RXIF	CF12RXIF	CF11RXIF	CF10RXIF	CF9RXIF	CF8RXIF	CF7RXIF	CF6RXIF	CF5RXIF	CF4RXIF	CF3RXIF	CF2RXIF	CF1RXIF	CF0RXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.146 RSCFDnCFDCFRISTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 18	予約ビット	リードした場合はリセット後の値が読めます。
17	CF17RXIF	送受信 FIFO バッファ受信割り込み要求ステータスフラグ 0: 送受信 FIFO バッファ k 受信割り込み要求なし 1: 送受信 FIFO バッファ k 受信割り込み要求あり (k = 0 ~ 17)
16	CF16RXIF	
15	CF15RXIF	
14	CF14RXIF	
13	CF13RXIF	
12	CF12RXIF	
11	CF11RXIF	
10	CF10RXIF	
9	CF9RXIF	
8	CF8RXIF	
7	CF7RXIF	
6	CF6RXIF	
5	CF5RXIF	
4	CF4RXIF	
3	CF3RXIF	
2	CF2RXIF	
1	CF1RXIF	
0	CF0RXIF	

RSCFDnCFDCFRISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkRXIF フラグ (k = 0 ~ 17)

RSCFDnCFDCFSTSk レジスタのCFRXIF フラグが“1”（割り込み要求あり）になると、CFkRXIF フラグは“1”になります。CFRXIF フラグを“0”にすると、CFkRXIF フラグは“0”になります。

21.5.9.6 RSCFDnCFDCFTISTS — 送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ

アクセス RSCFDnCFDCFTISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDCFTISTS_{SL}、RSCFDnCFDCFTISTS_{SH} レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDCFTISTS_{SLL}、RSCFDnCFDCFTISTS_{SLH}、RSCFDnCFDCFTISTS_{SHL} レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDCFTISTS: <RSCANn_base> + 024C_H

RSCFDnCFDCFTISTS_{SL}: <RSCANn_base> + 024C_H、
RSCFDnCFDCFTISTS_{SH}: <RSCANn_base> + 024E_H

RSCFDnCFDCFTISTS_{SLL}: <RSCANn_base> + 024C_H、
RSCFDnCFDCFTISTS_{SLH}: <RSCANn_base> + 024D_H、
RSCFDnCFDCFTISTS_{SHL}: <RSCANn_base> + 024E_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CF17TXIF	CF16TXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF15TXIF	CF14TXIF	CF13TXIF	CF12TXIF	CF11TXIF	CF10TXIF	CF9TXIF	CF8TXIF	CF7TXIF	CF6TXIF	CF5TXIF	CF4TXIF	CF3TXIF	CF2TXIF	CF1TXIF	CF0TXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.147 RSCFDnCFDCFTISTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 18	予約ビット	リードした場合はリセット後の値が読めます。
17	CF17TXIF	送受信 FIFO バッファ 送信割り込み要求ステータスフラグ 0 : 送受信 FIFO バッファ k 送信割り込み要求なし 1 : 送受信 FIFO バッファ k 送信割り込み要求あり (k = 0 ~ 17)
16	CF16TXIF	
15	CF15TXIF	
14	CF14TXIF	
13	CF13TXIF	
12	CF12TXIF	
11	CF11TXIF	
10	CF10TXIF	
9	CF9TXIF	
8	CF8TXIF	
7	CF7TXIF	
6	CF6TXIF	
5	CF5TXIF	
4	CF4TXIF	
3	CF3TXIF	
2	CF2TXIF	
1	CF1TXIF	
0	CF0TXIF	

RSCFDnCFDCFTISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkTXIF フラグ (k = 0 ~ 17)

RSCFDnCFDCFSTSk レジスタの CFTXIF フラグが“1”（割り込み要求あり）になると、CFkTXIF フラグは“1”になります。CFTXIF フラグを“0”にすると、CFkTXIF フラグは“0”になります。

21.5.10 FIFO DMA 関連レジスタの詳細

21.5.10.1 RSCFDnCFDCDTCT — DMA 許可レジスタ

アクセス RSCFDnCFDCDTCT レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCDTCTL レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCDTCTL, RSCFDnCFDCDTCTLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCDTCT: <RSCANn_base> + 0490_H
RSCFDnCFDCDTCTL: <RSCANn_base> + 0490_H
RSCFDnCFDCDTCTL: <RSCANn_base> + 0490_H,
RSCFDnCFDCDTCTLH: <RSCANn_base> + 0491_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CFDMA E5	CFDMA E4	CFDMA E3	CFDMA E2	CFDMA E1	CFDMA E0	RFDMA E7	RFDMA E6	RFDMA E5	RFDMA E4	RFDMA E3	RFDMA E2	RFDMA E1	RFDMA E0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.148 RSCFDnCFDCDTCT レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13	CFDMAE5	送受信 FIFO バッファ 15 DMA 許可ビット 0: 送受信 FIFO バッファ 15 の DMA 転送要求を許可しない 1: 送受信 FIFO バッファ 15 の DMA 転送要求を許可する
12	CFDMAE4	送受信 FIFO バッファ 12 DMA 許可ビット 0: 送受信 FIFO バッファ 12 の DMA 転送要求を許可しない 1: 送受信 FIFO バッファ 12 の DMA 転送要求を許可する
11	CFDMAE3	送受信 FIFO バッファ 9 DMA 許可ビット 0: 送受信 FIFO バッファ 9 の DMA 転送要求を許可しない 1: 送受信 FIFO バッファ 9 の DMA 転送要求を許可する
10	CFDMAE2	送受信 FIFO バッファ 6 DMA 許可ビット 0: 送受信 FIFO バッファ 6 の DMA 転送要求を許可しない 1: 送受信 FIFO バッファ 6 の DMA 転送要求を許可する
9	CFDMAE1	送受信 FIFO バッファ 3 DMA 許可ビット 0: 送受信 FIFO バッファ 3 の DMA 転送要求を許可しない 1: 送受信 FIFO バッファ 3 の DMA 転送要求を許可する
8	CFDMAE0	送受信 FIFO バッファ 0 DMA 許可ビット 0: 送受信 FIFO バッファ 0 の DMA 転送要求を許可しない 1: 送受信 FIFO バッファ 0 の DMA 転送要求を許可する

表 21.148 RSCFDnCFDCDTCT レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	RFDMAE7	受信 FIFO バッファ x DMA 許可ビット 0: 受信 FIFO バッファ x の DMA 転送要求を許可しない 1: 受信 FIFO バッファ x の DMA 転送要求を許可する (x = 0 ~ 7)
6	RFDMAE6	
5	RFDMAE5	
4	RFDMAE4	
3	RFDMAE3	
2	RFDMAE2	
1	RFDMAE1	
0	RFDMAE0	

RSCFDnCFDCDTCT レジスタは、グローバル動作モードまたはグローバルテストモードで書き換えてください。

CFDMAEm ビット

送受信 FIFO バッファ $3 \times m$ (チャンネル m に割り当てられた最初の送受信 FIFO バッファ) の DMA 転送を許可します。RSCFDnCFDCFCCK レジスタの CFM[1:0] ビットを “00_B” (受信モード) に設定した送受信 FIFO バッファのみ DMA 転送を許可できます。CFM[1:0] ビットが “01_B” (送信モード) または “10_B” (ゲートウェイモード) の場合は、“0” にしてください。

RFDMAEx ビット

受信 FIFO バッファ x の DMA 転送を許可します。

21.5.10.2 RSCFDnCFDCDTSTS — DMA ステータスレジスタ

アクセス RSCFDnCFDCDTSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDCDTSTSL レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDCDTSTSLL、RSCFDnCFDCDTSTSLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDCDTSTS: <RSCANn_base> + 0494_H
RSCFDnCFDCDTSTSL: <RSCANn_base> + 0494_H
RSCFDnCFDCDTSTSLL: <RSCANn_base> + 0494_H、
RSCFDnCFDCDTSTSLH: <RSCANn_base> + 0495_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CFDMA STS5	CFDMA STS4	CFDMA STS3	CFDMA STS2	CFDMA STS1	CFDMA STS0	RFDMA STS7	RFDMA STS6	RFDMA STS5	RFDMA STS4	RFDMA STS3	RFDMA STS2	RFDMA STS1	RFDMA STS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.149 RSCFDnCFDCDTSTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 14	予約ビット	リードした場合はリセット後の値が読めます。
13	CFDMASTS5	送受信 FIFO バッファ 15 DMA ステータスビット 0: 送受信 FIFO バッファ 15 の DMA 転送中でない 1: 送受信 FIFO バッファ 15 の DMA 転送中
12	CFDMASTS4	送受信 FIFO バッファ 12 DMA ステータスビット 0: 送受信 FIFO バッファ 12 の DMA 転送中でない 1: 送受信 FIFO バッファ 12 の DMA 転送中
11	CFDMASTS3	送受信 FIFO バッファ 9 DMA ステータスビット 0: 送受信 FIFO バッファ 9 の DMA 転送中でない 1: 送受信 FIFO バッファ 9 の DMA 転送中
10	CFDMASTS2	送受信 FIFO バッファ 6 DMA ステータスビット 0: 送受信 FIFO バッファ 6 の DMA 転送中でない 1: 送受信 FIFO バッファ 6 の DMA 転送中
9	CFDMASTS1	送受信 FIFO バッファ 3 DMA ステータスビット 0: 送受信 FIFO バッファ 3 の DMA 転送中でない 1: 送受信 FIFO バッファ 3 の DMA 転送中
8	CFDMASTS0	送受信 FIFO バッファ 0 DMA ステータスビット 0: 送受信 FIFO バッファ 0 の DMA 転送中でない 1: 送受信 FIFO バッファ 0 の DMA 転送中
7	RFDMASTS7	受信 FIFO バッファ x DMA ステータスビット 0: 受信 FIFO バッファ x の DMA 転送中でない 1: 受信 FIFO バッファ x の DMA 転送中 (x = 0 ~ 7)
6	RFDMASTS6	
5	RFDMASTS5	
4	RFDMASTS4	
3	RFDMASTS3	
2	RFDMASTS2	
1	RFDMASTS1	
0	RFDMASTS0	

CFDMASTSm ビット

送受信 FIFO バッファ $3 \times m$ (チャネル m に割り当てられた先頭の送受信 FIFO バッファ) の DMA 転送が許可状態 (RSCFDnCFDCDTCT レジスタの CFDMAEm ビットが “1”) で送受信 FIFO バッファにメッセージがあるとき、CFDMASTSm ビットは “1” になり、DMA 転送中であることを示します。

送受信 FIFO バッファの全メッセージが転送されるか DMA 転送が禁止状態 (CFDMAEm ビットが “0”) になると、CFDMASTSm ビットは “0” になり、DMA 転送が完了したことを示します。DMA 転送中に CFDMAEm ビットを “0” にした場合、実行中の DMA 転送が完了した (転送中のメッセージがペイロード格納領域の最終バイトまで転送された) 後で CFDMASTSm ビットが “0” になります。

このビットは、グローバルリセットモードで 0 にクリアされます。

RFDMASTSc ビット

受信 FIFO バッファ x の DMA 転送が許可状態 (RSCFDnCFDCDTCT レジスタの対応する RFDMAEx ビットが “1”) で受信 FIFO バッファにメッセージがあるとき、RFDMAEx ビットは “1” になり、DMA 転送中であることを示します。

受信 FIFO バッファ x の全メッセージが転送されるか DMA 転送が禁止状態 (RFDMAEx ビットが “0”) になると、RFDMASTSc ビットは “0” になり、DMA 転送が完了したことを示します。DMA 転送中に RFDMAEx ビットを “0” にした場合、実行中の DMA 転送が完了した (転送中のメッセージがペイロード格納領域の最終バイトまで転送された) 後で RFDMASTSc ビットが “0” になります。

このビットは、グローバルリセットモードで 0 にクリアされます。

21.5.11 送信バッファ関連レジスタの詳細

21.5.11.1 RSCFDnCFDTMCp — 送信バッファ制御レジスタ (p = 0 ~ 95)

アクセス RSCFDnCFDTMCp レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDTMCp: <RSCANn_base> + 0250_H + (01_H × p)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	TMOM	TMTAR	TMTR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W ^{注1}	R/W ^{注1}

注 1. このビットへの書き込みは、ビットセットする(“1”にする)動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.150 RSCFDnCFDTMCp レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TMOM	ワンショット送信許可ビット 0: ワンショット送信禁止 1: ワンショット送信許可
1	TMTAR	送信アポート要求ビット 0: 送信アポートを要求しない 1: 送信アポートを要求する
0	TMTR	送信要求ビット 0: 送信を要求しない 1: 送信を要求する

RSCFDnCFDTMCp レジスタが次の条件を満たす場合は、“00_H”にしてください。

- RSCFDnCFDCFCCK レジスタの CFTML[3:0] ビットで選択した送信バッファ番号に対応する RSCFDnCFDTMCp レジスタ (p = m × 16 + CFTML[3:0] ビットの値)
- RSCFDnCFDCTXQCCm レジスタ (m = 0 ~ 5) の TXQDC[3:0] ビットで送信キューに割り当てた送信バッファに対応する RSCFDnCFDTMCp レジスタ (p = (m × 16 + 15) ~ (m × 16 + 15 - TXQDC[3:0] ビットの値))
- RSCFDnCFDCmFDCFG レジスタの TMME ビットが“1”のとき(送信バッファマージモード)に、ペイロード格納領域に割り当てた送信バッファに対応する RSCFDnCFDTMCp レジスタ (p = (m × 16) + 1, (m × 16) + 2, (m × 16) + 4, or (m × 16) + 5)

RSCFDnCFDTMCp レジスタのビットは、チャンネルリセットモード時に“0”になります。RSCFDnCFDTMCp レジスタは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。

TMOM ビット

“1”にすると、ワンショット送信が許可されます。送信に失敗しても、CAN プロトコルに規定された再送信を行いません。

TMOM ビットは、RSCFDnCFDTMSTSp レジスタの TMTRM フラグが“0”のときに書き換えてください。TMOM ビットに“1”を書く場合は、TMTR ビットと同時に“1”を書いてください。

TMTAR ビット

“1”にすると、送信バッファに格納されたメッセージの送信アボート要求が発生します。ただし、送信中または次の送信に決定したメッセージはアボートできません。

TMTR ビットが“1”のとき、TMTAR ビットを“1”にできます。

TMTAR ビットは次の条件で“0”になります。プログラムで“0”を書いても“0”になりません。

- 送信が完了したとき
- 送信アボートが完了したとき
- エラーまたはアービトレーションロストを検出したとき

“0”になるタイミングと“1”を書くタイミングが同じ場合、“0”になります。

TMTR ビット

“1”にすると、送信バッファに格納されたメッセージの送信を行います。

TMTR ビットは次の条件で“0”になります。プログラムで“0”を書いても“0”にできません。

- 送信が完了したとき
- TMTAR ビットを“1”にし、送信アボートが完了したとき
- TMOM ビットが“1”の状態、エラーまたはアービトレーションロストを検出したとき

RSCFDnCFDTMSTSp レジスタの TMTRF[1:0] フラグが“00_B”のときに、TMTR ビットを“1”に設定してください。

21.5.11.2 RSCFDnCFDTMSTSp — 送信バッファステータスレジスタ (p = 0 ~ 95)

アクセス RSCFDnCFDTMSTSp レジスタは、8ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDTMSTSp: <RSCANn_base> + 02D0_H + (01_H × p)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	TMTARM	TMTRM	TMTRF[1:0]		TMTSTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R

表 21.151 RSCFDnCFDTMSTSp レジスタの内容

ビット位置	ビット名	機能
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	TMTARM	送信バッファ送信アポート要求ステータスフラグ 0: 送信アポート要求なし 1: 送信アポート要求あり
3	TMTRM	送信バッファ送信要求ステータスフラグ 0: 送信要求なし 1: 送信要求あり
2, 1	TMTRF[1:0]	送信バッファ送信結果フラグ b2 b1 0 0: 送信中、または送信要求なし 0 1: 送信アポート完了 1 0: 送信完了 (送信アポート要求なし) 1 1: 送信完了 (送信アポート要求あり)
0	TMTSTS	送信バッファ送信ステータスフラグ 0: 送信中ではない 1: 送信中

RSCFDnCFDTMSTSp レジスタのビットは、チャンネルリセットモード時に“0”になります。

TMTARM フラグ

RSCFDnCFDTMCp レジスタの TMTAR ビットを“1”にすると、TMTARM フラグは“1”になります。

RSCFDnCFDTMCp レジスタの TMTAR ビットが“0”になると、TMTARM フラグは“0”になります。

TMTRM フラグ

RSCFDnCFDTMCp レジスタの TMTR ビットを“1”にすると、TMTRM フラグは“1”になります。

RSCFDnCFDTMCp レジスタの TMTR ビットが“0”になると、TMTRM フラグは“0”になります。

TMTRF[1:0] フラグ

送信バッファからの送信結果を示します。

00_B: 送信中または送信要求なし。

01_B: 送信バッファからの送信がアポートされた。

10_B : RSCFDnCFDTMCp レジスタの TMTAR ビットが “0” (送信アボートを要求しない) で、送信が完了した。

11_B : RSCFDnCFDTMCp レジスタの TMTAR ビットが “1” (送信アボートを要求する) で、送信が完了した。

TMTRF[1:0] フラグは、チャンネル通信モードまたはチャンネル待機モードで “00_B” を書いてください。“00_B” 以外の値は書かないでください。

TMTSTS フラグ

送信バッファからの送信が開始すると、“1” になります。送信バッファからの送信が完了、またはバスエラーやアービトラージロストにより中断されると、“0” になります。

21.5.11.3 RSCFDnCFDTMIDp — 送信バッファ ID レジスタ (p = 0 ~ 95)

アクセス RSCFDnCFDTMIDp レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDTMIDpL、RSCFDnCFDTMIDpH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDTMIDpLL、RSCFDnCFDTMIDpLH、RSCFDnCFDTMIDpHL、RSCFDnCFDTMIDpHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDTMIDp: <RSCANn_base> + 4000_H + (20_H × p)

RSCFDnCFDTMIDpL: <RSCANn_base> + 4000_H + (20_H × p)、
RSCFDnCFDTMIDpH: <RSCANn_base> + 4002_H + (20_H × p)

RSCFDnCFDTMIDpLL: <RSCANn_base> + 4000_H + (20_H × p)、
RSCFDnCFDTMIDpLH: <RSCANn_base> + 4001_H + (20_H × p)、
RSCFDnCFDTMIDpHL: <RSCANn_base> + 4002_H + (20_H × p)、
RSCFDnCFDTMIDpHH: <RSCANn_base> + 4003_H + (20_H × p)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIDE	TMRTR	THLEN	TMID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.152 RSCFDnCFDTMIDp レジスタの内容

ビット位置	ビット名	機能
31	TMIDE	送信バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	TMRTR	送信バッファ RTR / RRS ビット <ul style="list-style-type: none"> 送信メッセージがクラシカル CAN フレームのとき 0: データフレーム 1: リモートフレーム 送信メッセージが CAN FD フレームのとき "0" を書いてください。
29	THLEN	送信履歴データ格納許可ビット 0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する
28 ~ 0	TMID [28:0]	送信バッファ ID データ 標準 ID または拡張 ID を設定してください。 標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は "0" にしてください。

このレジスタは、対応する RSCFDnCFDTMSTSp レジスタの TMTRM ビットが "0" (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMIDE ビット

送信バッファから送信するメッセージの ID フォーマットを設定します。

TMRTR ビット

送信バッファから送信するメッセージのデータフォーマットを設定します。

THLEN ビット

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファタイプ、タイムスタンプ）が送信履歴バッファに格納されます。

TMID[28:0] ビット

送信バッファから送信するメッセージの ID を設定します。

21.5.11.4 RSCFDnCFDTMPTRp — 送信バッファポインタレジスタ (p = 0 ~ 95)

アクセス RSCFDnCFDTMPTRp レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDTMPTRpH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDTMPTRpHL、RSCFDnCFDTMPTRpHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDTMPTRp: <RSCANn_base> + 4004_H + (20_H × p)

RSCFDnCFDTMPTRpH: <RSCANn_base> + 4006_H + (20_H × p)

RSCFDnCFDTMPTRpHL: <RSCANn_base> + 4006_H + (20_H × p)、

RSCFDnCFDTMPTRpHH: <RSCANn_base> + 4007_H + (20_H × p)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDLC [3:0]				—	—	—	—	TMPTR [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.153 RSCFDnCFDTMPTRp レジスタの内容

ビット位置	ビット名	機能																																																																																																
31 ~ 28	TMDLC [3:0]	送信バッファ DLC データ																																																																																																
		<table border="1"> <thead> <tr> <th>b31</th><th>b30</th><th>b29</th><th>b28</th><th>クラシカル CAN フレーム</th><th>CAN FD フレーム</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td colspan="2">0 データバイト</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td colspan="2">1 データバイト</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td colspan="2">2 データバイト</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td colspan="2">3 データバイト</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td colspan="2">4 データバイト</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td colspan="2">5 データバイト</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td colspan="2">6 データバイト</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td colspan="2">7 データバイト</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td colspan="2">8 データバイト</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td rowspan="6">8 データバイト</td><td>12 データバイト</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>16 データバイト</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>20 データバイト</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>24 データバイト</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>32 データバイト</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>48 データバイト</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>64 データバイト</td></tr> </tbody> </table>	b31	b30	b29	b28	クラシカル CAN フレーム	CAN FD フレーム	0	0	0	0	0 データバイト		0	0	0	1	1 データバイト		0	0	1	0	2 データバイト		0	0	1	1	3 データバイト		0	1	0	0	4 データバイト		0	1	0	1	5 データバイト		0	1	1	0	6 データバイト		0	1	1	1	7 データバイト		1	0	0	0	8 データバイト		1	0	0	1	8 データバイト	12 データバイト	1	0	1	0	16 データバイト	1	0	1	1	20 データバイト	1	1	0	0	24 データバイト	1	1	0	1	32 データバイト	1	1	1	0	48 データバイト	1	1	1	1	64 データバイト
		b31	b30	b29	b28	クラシカル CAN フレーム	CAN FD フレーム																																																																																											
		0	0	0	0	0 データバイト																																																																																												
		0	0	0	1	1 データバイト																																																																																												
		0	0	1	0	2 データバイト																																																																																												
		0	0	1	1	3 データバイト																																																																																												
		0	1	0	0	4 データバイト																																																																																												
		0	1	0	1	5 データバイト																																																																																												
		0	1	1	0	6 データバイト																																																																																												
		0	1	1	1	7 データバイト																																																																																												
		1	0	0	0	8 データバイト																																																																																												
		1	0	0	1	8 データバイト	12 データバイト																																																																																											
		1	0	1	0		16 データバイト																																																																																											
1	0	1	1	20 データバイト																																																																																														
1	1	0	0	24 データバイト																																																																																														
1	1	0	1	32 データバイト																																																																																														
1	1	1	0	48 データバイト																																																																																														
1	1	1	1	64 データバイト																																																																																														
27 ~ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																																																																																
23 ~ 16	TMPTR [7:0]	送信バッファラベルデータ 送信履歴バッファに格納するラベル情報を設定してください。																																																																																																
15 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																																																																																

このレジスタは、対応する RSCFDnCFDTMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャンネルの送信バッファ p ($p = m \times 16 + 15$) のみに書いてください。

TMDLC[3:0] ビット

RSCFDnCFDTMIDp レジスタの TMRTR ビットが“0” (データフレーム) のとき、送信バッファから送信されるメッセージのデータ長を設定します。“1001_B”以上を設定した場合、送信されるデータは、8 バイトになります。

RSCFDnCFDTMFDCTRp レジスタの TMFDF ビットが“1” (CAN FD フレーム) のとき、RSCFDnCFDCmFDCFG レジスタの TMME ビットによって設定可能な値の範囲が異なります。

- TMME ビットが“0” (送信バッファマージモード禁止) の場合：
“0000_B”～“1111_B”の全ての値が設定できます。“1100_B”以上の値を設定したとき、20 バイトを超える分のペイロードは“CCH”でパディングされます。
- TMME ビットが“1” (送信バッファマージモード許可) の場合：
対応する送信バッファの番号が $p = (m \times 16) + 0$ 、 $(m \times 16) + 3$ であるとき、“0000_B”～“1111_B”の全ての値が設定できます。それ以外の場合は“0000_B”～“1011_B” (20 データバイト) までの値を設定してください。

TMRTR ビットが“1” (リモートフレーム) のとき、要求するメッセージのデータ長を設定します。

TMPTR[7:0] ビット

メッセージ送信が完了した場合、TMPTR[7:0] ビットの値が送信履歴バッファに格納されません。

21.5.11.5 RSCFDnCFDTMFDCTRp — 送信バッファ CAN FD コンフィグレーションレジスタ (p = 0 ~ 95)

アクセス RSCFDnCFDTMFDCTRp レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDTMFDCTRpL レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDTMFDCTRpLL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDTMFDCTRp: <RSCANn_base> + 4008_H + (20_H × p)
RSCFDnCFDTMFDCTRpL: <RSCANn_base> + 4008_H + (20_H × p)
RSCFDnCFDTMFDCTRpLL: <RSCANn_base> + 4008_H + (20_H × p)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TMFDF	TMBRS	TMESI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 21.154 RSCFDnCFDTMFDCTRp レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TMFDF	FDF ビット 0: クラシカル CAN フレーム 1: CAN FD フレーム
1	TMBRS	BRS ビット 0: データ領域のビットレートは変わらない 1: データ領域のビットレートは変わる
0	TMESI	ESI ビット 0: エラーアクティブノード 1: エラーパッシブノード

このレジスタは、対応する RSCFDnCFDTMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMFDF ビット

送信バッファから送信するメッセージの FD フォーマットを設定します。

TMBRS ビット

TMFDF ビットが“1”のとき、このビットを“1”にすると、送信メッセージのデータ領域はデータビットレートで送信されます。TMFDF ビットが“0”のときは、このビットに“0”を書いてください。

TMESI ビット

TMFDF ビットが“1”のとき、送信バッファから送信するメッセージの ESI ビット値を設定します。設定した値は RSCFDnCFDCmFDCFG レジスタの ESIC ビットが“1”かつチャネル

がエラーアクティブ状態のとき送信されます。チャンネルがエラーパッシブ状態であるときは、このビットにかかわらずエラーパッシブノードを示す ESI ビット値が送信されます。TMFDF ビットが“0”のときは、このビットに“0”を書いてください。

21.5.11.6 RSCFDnCFDTMDFb_p — 送信バッファデータフィールド b レジスタ (b = 0 ~ 4、p = 0 ~ 95)

- アクセス** RSCFDnCFDTMDFb_p レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDTMDFb_pL、RSCFDnCFDTMDFb_pH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDTMDFb_pLL、RSCFDnCFDTMDFb_pLH、RSCFDnCFDTMDFb_pHL、RSCFDnCFDTMDFb_pHH レジスタは、8 ビット単位でリード/ライト可能です。
- アドレス** RSCFDnCFDTMDFb_p: $\langle \text{RSCANn_base} \rangle + 400\text{C}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times p)$
RSCFDnCFDTMDFb_pL: $\langle \text{RSCANn_base} \rangle + 400\text{C}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times p)$
RSCFDnCFDTMDFb_pH: $\langle \text{RSCANn_base} \rangle + 400\text{E}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times p)$
RSCFDnCFDTMDFb_pLL: $\langle \text{RSCANn_base} \rangle + 400\text{C}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times p)$
RSCFDnCFDTMDFb_pLH: $\langle \text{RSCANn_base} \rangle + 400\text{D}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times p)$
RSCFDnCFDTMDFb_pHL: $\langle \text{RSCANn_base} \rangle + 400\text{E}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times p)$
RSCFDnCFDTMDFb_pHH: $\langle \text{RSCANn_base} \rangle + 400\text{F}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times p)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB4 × b + 3 [7:0]								TMDB4 × b + 2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB4 × b + 1 [7:0]								TMDB4 × b + 0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.155 RSCFDnCFDTMDFb_p レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	TMDB4 × b + 3 [7:0]	送信バッファデータバイト 4 × b + 3 送信バッファデータバイト 4 × b + 2
23 ~ 16	TMDB4 × b + 2 [7:0]	送信バッファデータバイト 4 × b + 1 送信バッファデータバイト 4 × b + 0
15 ~ 8	TMDB4 × b + 1 [7:0]	送信バッファのデータを設定してください。
7 ~ 0	TMDB4 × b + 0 [7:0]	

このレジスタは、対応する RSCFDnCFDTMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

21.5.11.7 RSCFDnCFDTMIECy — 送信バッファ割り込みイネーブルコンフィギュレーションレジスタ ($y = 0 \sim 2$)

アクセス RSCFDnCFDTMIECy レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDTMIECyL、RSCFDnCFDTMIECyH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDTMIECyLL、RSCFDnCFDTMIECyLH、RSCFDnCFDTMIECyHL、RSCFDnCFDTMIECyHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDTMIECy: $\langle \text{RSCFDnCFD_base} \rangle + 0390_{\text{H}} + (04_{\text{H}} \times y)$

RSCFDnCFDTMIECyL: $\langle \text{RSCFDnCFD_base} \rangle + 0390_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCFDnCFDTMIECyH: $\langle \text{RSCFDnCFD_base} \rangle + 0392_{\text{H}} + (04_{\text{H}} \times y)$

RSCFDnCFDTMIECyLL: $\langle \text{RSCFDnCFD_base} \rangle + 0390_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCFDnCFDTMIECyLH: $\langle \text{RSCFDnCFD_base} \rangle + 0391_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCFDnCFDTMIECyHL: $\langle \text{RSCFDnCFD_base} \rangle + 0392_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCFDnCFDTMIECyHH: $\langle \text{RSCFDnCFD_base} \rangle + 0393_{\text{H}} + (04_{\text{H}} \times y)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIEp ($p = y \times 32 + 31 \sim y \times 32 + 16$ ($y = 0, 1, 2$))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMIEp ($p = y \times 32 + 15 \sim y \times 32 + 0$ ($y = 0, 1, 2$))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.156 RSCFDnCFDTMIECy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	TMIEp	送信バッファ割り込み許可ビット p ($p = y \times 32 + 31 \sim y \times 32 + 16$) 0: 送信バッファ割り込み禁止 1: 送信バッファ割り込み許可
15 ~ 0	TMIEp	送信バッファ割り込み許可ビット p ($p = y \times 32 + 15 \sim y \times 32 + 0$) 0: 送信バッファ割り込み禁止 1: 送信バッファ割り込み許可

TMIEp ビット ($p = 0 \sim 95$)

このビットを“1”に設定し、対応する送信が完了した場合、送信バッファ割り込み要求が発生します。

このビットは対応する RSCFDnCFDTMSTSp レジスタの TMTRM フラグが“0” (送信要求なし) のときに書き換えてください。

送受信 FIFO バッファにリンクした送信バッファ、または送信キューに割り当てられた送信バッファに対応するビットは“0”にしてください。

RSCFDnCFDCmFDCFG レジスタの TMME ビットが“1” (送信バッファマージモード許可) のときは、ペイロード格納領域として割り当てられた送信バッファに対応するビットは“0”にしてください。

表 21.157 にビット配置を示します。

表 21.157 TMIEp ビットの配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
.	.	.
15	0	15
16	1	0
.	.	.
30	1	14
31	1	15
32	2	0
33	2	1
.	.	.
47	2	15
48	3	0
.	.	.
62	3	14
63	3	15
64	4	0
65	4	1
.	.	.
78	4	14
79	4	15
80	5	0
81	5	1
.	.	.
94	5	14
95	5	15

21.5.12 送信バッファステータス関連レジスタの詳細

21.5.12.1 RSCFDnCFDTMTRSTSy — 送信バッファ送信要求ステータスレジスタ (y = 0 ~ 2)

アクセス RSCFDnCFDTMTRSTSy レジスタは、32 ビット単位でリードのみです。
RSCFDnCFDTMTRSTSyL、RSCFDnCFDTMTRSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDTMTRSTSyLL、RSCFDnCFDTMTRSTSyLH、RSCFDnCFDTMTRSTSyHL、
RSCFDnCFDTMTRSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDTMTRSTSy : <RSCANn_base> + 0350_H + (04_H × y)

RSCFDnCFDTMTRSTSyL : <RSCANn_base> + 0350_H + (04_H × y)、
RSCFDnCFDTMTRSTSyH : <RSCANn_base> + 0352_H + (04_H × y)

RSCFDnCFDTMTRSTSyLL : <RSCANn_base> + 0350_H + (04_H × y)、
RSCFDnCFDTMTRSTSyLH : <RSCANn_base> + 0351_H + (04_H × y)、
RSCFDnCFDTMTRSTSyHL : <RSCANn_base> + 0352_H + (04_H × y)、
RSCFDnCFDTMTRSTSyHH : <RSCANn_base> + 0353_H + (04_H × y)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTRSTSp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTRSTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.158 RSCFDnCFDTMTRSTSy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	TMTRSTSp	送信バッファ送信要求ステータスフラグ p (p = y × 32 + 31 ~ y × 32 + 16) 0 : 送信要求なし 1 : 送信要求あり
15 ~ 0	TMTRSTSp	送信バッファ送信要求ステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0 : 送信要求なし 1 : 送信要求あり

TMTRSTSp フラグ (p = 0 ~ 95)

RSCFDnCFDTMCP レジスタの TMTR ビットの状態を示します。

TMTR ビットを“1” (送信を要求する) にすると、対応する TMTRSTSp フラグは“1”になります。

TMTR ビットが“0” (送信を要求しない) になると、対応する TMTRSTSp フラグは“0”になります。また、チャンネルリセットモード時、“0”になります。

表 21.159 にビット配置を示します。

表 21.159 TMTRSTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
.	.	.
.	.	.
15	0	15
16	1	0
.	.	.
.	.	.
30	1	14
31	1	15
32	2	0
33	2	1
.	.	.
.	.	.
47	2	15
48	3	0
.	.	.
.	.	.
62	3	14
63	3	15
64	4	0
65	4	1
.	.	.
.	.	.
78	4	14
79	4	15
80	5	0
81	5	1
.	.	.
.	.	.
94	5	14
95	5	15

21.5.12.2 RSCFDnCFDnTARSTSy — 送信バッファ送信アポート要求ステータスレジスタ (y = 0 ~ 2)

アクセス RSCFDnCFDnTARSTSy レジスタは、32 ビット単位でリードのみです。
RSCFDnCFDnTARSTSyL、RSCFDnCFDnTARSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDnTARSTSyLL、RSCFDnCFDnTARSTSyLH、RSCFDnCFDnTARSTSyHL、
RSCFDnCFDnTARSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDnTARSTSy : <RSCFDnCFD_base> + 0360_H + (04_H × y)

RSCFDnCFDnTARSTSyL : <RSCANn_base> + 0360_H + (04_H × y)、
RSCFDnCFDnTARSTSyH : <RSCANn_base> + 0362_H + (04_H × y)

RSCFDnCFDnTARSTSyLL : <RSCANn_base> + 0360_H + (04_H × y)、
RSCFDnCFDnTARSTSyLH : <RSCANn_base> + 0361_H + (04_H × y)、
RSCFDnCFDnTARSTSyHL : <RSCANn_base> + 0362_H + (04_H × y)、
RSCFDnCFDnTARSTSyHH : <RSCANn_base> + 0363_H + (04_H × y)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTARSTSp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTARSTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.160 RSCFDnCFDnTARSTSy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	TMTARSTSp	送信バッファ送信アポート要求ステータスフラグ p (p = y × 32 + 31 ~ y × 32 + 16) 0 : 送信アポート要求なし 1 : 送信アポート要求あり
15 ~ 0	TMTARSTSp	送信バッファ送信アポート要求ステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0 : 送信アポート要求なし 1 : 送信アポート要求あり

TMTARSTSp フラグ (p = 0 ~ 95)

RSCFDnCFDnTARSTSy レジスタの TMTAR ビットの状態を示します。

TMTAR ビットを“1” (送信アポートを要求する) にすると、対応する TMTARSTSp フラグは“1”になります。

TMTAR ビットが“0” (送信アポートを要求しない) になると、対応する TMTARSTSp フラグは“0”になります。また、チャンネルリセットモード時、“0”になります。

表 21.161 にビット配置を示します。

表 21.161 TMTARSTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
.	.	.
.	.	.
15	0	15
16	1	0
.	.	.
.	.	.
30	1	14
31	1	15
32	2	0
33	2	1
.	.	.
.	.	.
47	2	15
48	3	0
.	.	.
.	.	.
62	3	14
63	3	15
64	4	0
65	4	1
.	.	.
.	.	.
78	4	14
79	4	15
80	5	0
81	5	1
.	.	.
.	.	.
94	5	14
95	5	15

21.5.12.3 RSCFDnCFDTMTCSTSy — 送信バッファ送信完了ステータスレジスタ (y = 0 ~ 2)

アクセス RSCFDnCFDTMTCSTSy レジスタは、32 ビット単位でリードのみです。
RSCFDnCFDTMTCSTSyL、RSCFDnCFDTMTCSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDTMTCSTSyLL、RSCFDnCFDTMTCSTSyLH、RSCFDnCFDTMTCSTSyHL、
RSCFDnCFDTMTCSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDTMTCSTSy : <RSCANn_base> + 0370_H + (04_H × y)

RSCFDnCFDTMTCSTSyL : <RSCANn_base> + 0370_H + (04_H × y)、
RSCFDnCFDTMTCSTSyH : <RSCANn_base> + 0372_H + (04_H × y)

RSCFDnCFDTMTCSTSyLL : <RSCANn_base> + 0370_H + (04_H × y)、
RSCFDnCFDTMTCSTSyLH : <RSCANn_base> + 0371_H + (04_H × y)、
RSCFDnCFDTMTCSTSyHL : <RSCANn_base> + 0372_H + (04_H × y)、
RSCFDnCFDTMTCSTSyHH : <RSCANn_base> + 0373_H + (04_H × y)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTTCSTSp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTTCSTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.162 RSCFDnCFDTMTCSTSy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	TMTTCSTSp	送信バッファ送信完了ステータスフラグ p (p = y × 32 + 31 ~ y × 32 + 16) 0 : 送信未完了 1 : 送信完了
15 ~ 0	TMTTCSTSp	送信バッファ送信完了ステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0 : 送信未完了 1 : 送信完了

TMTTCSTSp フラグ (p = 0 ~ 95)

RSCFDnCFDTMSTSp レジスタの TMTRF[1:0] フラグが “10_B” (送信完了、送信アポート要求なし) または “11_B” (送信完了、送信アポート要求あり) になると、対応する TMTTCSTSp フラグは “1” になります。

TMTTCSTSp フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00_B” にしてください。また、チャンネルリセットモード時、“0” になります。

表 21.163 にビット配置を示します。

表 21.163 TMCSTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
.	.	.
.	.	.
15	0	15
16	1	0
.	.	.
.	.	.
30	1	14
31	1	15
32	2	0
33	2	1
.	.	.
.	.	.
47	2	15
48	3	0
.	.	.
.	.	.
62	3	14
63	3	15
64	4	0
65	4	1
.	.	.
.	.	.
78	4	14
79	4	15
80	5	0
81	5	1
.	.	.
.	.	.
94	5	14
95	5	15

21.5.12.4 RSCFDnCFDnTMTASTSy — 送信バッファ送信アポートステータスレジスタ (y = 0 ~ 2)

アクセス RSCFDnCFDnTMTASTSy レジスタは、32 ビット単位でリードのみです。
RSCFDnCFDnTMTASTSyL、RSCFDnCFDnTMTASTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDnTMTASTSyLL、RSCFDnCFDnTMTASTSyLH、RSCFDnCFDnTMTASTSyHL、
RSCFDnCFDnTMTASTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDnTMTASTSy : <RSCANn_base> + 0380_H + (04_H × y)

RSCFDnCFDnTMTASTSyL : <RSCANn_base> + 0380_H + (04_H × y)、
RSCFDnCFDnTMTASTSyH : <RSCANn_base> + 0382_H + (04_H × y)

RSCFDnCFDnTMTASTSyLL : <RSCANn_base> + 0380_H + (04_H × y)、
RSCFDnCFDnTMTASTSyLH : <RSCANn_base> + 0381_H + (04_H × y)、
RSCFDnCFDnTMTASTSyHL : <RSCANn_base> + 0382_H + (04_H × y)、
RSCFDnCFDnTMTASTSyHH : <RSCANn_base> + 0383_H + (04_H × y)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTASTSp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTASTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1, 2))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.164 RSCFDnCFDnTMTASTSy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	TMTASTSp	送信バッファ送信アポートステータスフラグ p (p = y × 32 + 31 ~ y × 32 + 16) 0 : 送信アポートなし 1 : 送信アポートあり
15 ~ 0	TMTASTSp	送信バッファ送信アポートステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0 : 送信アポートなし 1 : 送信アポートあり

TMTASTSp フラグ (p = 0 ~ 95)

RSCFDnCFDnTMTASTSp レジスタの TMTRF[1:0] フラグが“01_B” (送信アポート完了) になると、対応する TMTASTSp フラグは“1”になります。

TMTASTSp フラグを“0”にする場合は、対応する TMTRF[1:0] フラグを“00_B”にしてください。また、チャンネルリセットモード時、“0”になります。

表 21.165 にビット配置を示します。

表 21.165 TMTASTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
.	.	.
15	0	15
16	1	0
.	.	.
30	1	14
31	1	15
32	2	0
33	2	1
.	.	.
47	2	15
48	3	0
.	.	.
62	3	14
63	3	15
64	4	0
65	4	1
.	.	.
78	4	14
79	4	15
80	5	0
81	5	1
.	.	.
94	5	14
95	5	15

21.5.13 送信キュー関連レジスタの詳細

21.5.13.1 RSCFDnCFDnTXQCCm — 送信キューコンフィグレーション/制御レジスタ (m = 0 ~ 5)

アクセス RSCFDnCFDnTXQCCm レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDnTXQCCmL レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDnTXQCCmLL、RSCFDnCFDnTXQCCmLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDnTXQCCm : <RSCANn_base> + 03A0_H + (04_H × m)

RSCFDnCFDnTXQCCmL : <RSCANn_base> + 03A0_H + (04_H × m)

RSCFDnCFDnTXQCCmLL : <RSCANn_base> + 03A0_H + (04_H × m)、

RSCFDnCFDnTXQCCmLH : <RSCANn_base> + 03A1_H + (04_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TXQIM	TXQIE	TXQDC [3:0]			—	—	—	—	—	—	—	—	TXQE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 21.166 RSCFDnCFDnTXQCCm レジスタの内容

ビット位置	ビット名	機能
31 ~ 14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13	TXQIM	送信キュー割り込み要因選択ビット 0 : 送信完了によって送信キューが空になったときに発生 1 : 1メッセージ送信完了ごとに発生
12	TXQIE	送信キュー割り込み許可ビット 0 : 送信キュー割り込み禁止 1 : 送信キュー割り込み許可
11 ~ 8	TXQDC [3:0]	送信キュー段数設定ビット 設定値を g (g = 2 ~ 15) とすると、g + 1 バッファの送信キューを使用できます。 “0”を設定すると、送信キューは使用できません。 “1”は設定しないでください。
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TXQE	送信キュー許可ビット 0 : 送信キューを使用しない 1 : 送信キューを使用する

TXQIM ビット

送信キュー割り込み要因を選択します。このビットはチャンネルリセットモードで書き換えてください。

TXQIE ビット

TXQIE ビットを“1”に設定し、TXQIM ビットで選択した要因が発生すると、割り込み要求が発生します。

TXQIE ビットを書き換える場合は、TXQE ビットを“0”にしてください。

TXQDC[3:0] ビット

送信キューに割り付ける送信バッファの数を設定します。送信キューは、送信バッファ番号の大きい方から順に $(m \times 16 + 15)$ から $(m \times 16 + 0)$ まで順番に割り付けられます。バッファの割り当て例については、**図 21.9** を参照してください。このビットはチャンネルリセットモード時にのみ書き換えてください。

TXQE ビット

“1”にすると送信キューを使用できます。このビットは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。チャンネルリセットモード時、“0”になります。

TXQDC[3:0] ビットの値を“0010_B”以上に設定してから TXQE ビットを“1”にしてください。

21.5.13.2 RSCFDnCFDTXQSTSm — 送信キューステータスレジスタ (m = 0 ~ 5)

アクセス RSCFDnCFDTXQSTSm レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDTXQSTSmL レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDTXQSTSmLL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDTXQSTSm : <RSCANn_base> + 03C0_H + (04_H × m)

RSCFDnCFDTXQSTSmL : <RSCANn_base> + 03C0_H + (04_H × m)

RSCFDnCFDTXQSTSmLL : <RSCANn_base> + 03C0_H + (04_H × m)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TXQIF	TXQFL L	TXQEM P
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W ^{注1}	R	R

注1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.167 RSCFDnCFDTXQSTSm レジスタの内容

ビット位置	ビット名	機能
31 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ~ 8	予約ビット	リードした場合、不定値が読み出されます。ライトする場合はリセット後の値を書いてください。
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TXQIF	送信キュー割り込み要求フラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
1	TXQFLL	送信キューフルステータスフラグ 0: 送信キューフルではない 1: 送信キューフル
0	TXQEMP	送信キュー空ステータスフラグ 0: 送信キューにメッセージあり 1: 送信キューにメッセージなし (送信キュー空)

TXQIF フラグ

RSCFDnCFDTXQCCm レジスタの TXQIM ビットで設定した要因が発生すると、“1”になります。

TXQIF フラグへの“0”書き込み、またはチャネルリセットモード時、“0”になります。

TXQIF フラグは、RSCFDnCFDTXQCCm レジスタの TXQE ビットを“0”（送信キューを使用しない）にしても“0”になりません。

TXQFLL フラグ

送信キューに設定したメッセージ数と、RSCFDnCFDTXQCCm レジスタの TXQDC[3:0] ビットで設定した段数が一致すると、“1” になります。

次の条件で“0” になります。

- 送信キューに設定したメッセージが、TXQDC[3:0] ビットで設定した数より少ない
- チャンネルリセットモード時

TXQEMP フラグ

メッセージを1つでも送信キューに設定すると、TXQEMP フラグは“0” になります。

次の条件で、“1” になります。

- TXQE ビットを“0” (送信キューを使用しない) にしたとき
- 送信キューが空になったとき
- チャンネルリセットモード時

21.5.13.3 RSCFDnCFDnTXQPCTRm — 送信キューポインタ制御レジスタ (m = 0 ~ 5)

アクセス RSCFDnCFDnTXQPCTRm レジスタは、32 ビット単位でライトのみ可能です。
RSCFDnCFDnTXQPCTRmL レジスタは、16 ビット単位でライトのみ可能です。
RSCFDnCFDnTXQPCTRmLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCFDnCFDnTXQPCTRm : <RSCANn_base> + 03E0_H + (04_H × m)

RSCFDnCFDnTXQPCTRmL : <RSCANn_base> + 03E0_H + (04_H × m)

RSCFDnCFDnTXQPCTRmLL : <RSCANn_base> + 03E0_H + (04_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TXQPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 21.168 RSCFDnCFDnTXQPCTRm レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ~ 0	TXQPC [7:0]	送信キューポインタ制御 “FF _H ”を書くと、送信キューのライトポインタを次のキューバッファに移動します。

TXQPC[7:0] ビット

TXQPC[7:0] ビットに“FF_H”を書くと、次の送信キューバッファへライトポインタが移動し、そのメッセージの送信要求が発生します。RSCFDnCFDnTXQPCp、RSCFDnCFDnTXQPCpL、RSCFDnCFDnTXQPCpLL レジスタ (p = 15、31、47、63、79、95) に送信メッセージを書いた後に、TXQPC[7:0] ビットに“FF_H”を書いてください。

なお、“FF_H”の書き込みは、RSCFDnCFDnTXQCCm レジスタのTXQE ビットが“1” (送信キューを使用する) で、RSCFDnCFDnTXQSTSm レジスタのTXQFLL フラグが“0” (フルではない) の場合にのみ行ってください。

21.5.14 送信履歴関連レジスタの詳細

21.5.14.1 RSCFDnCFDTHLCCm — 送信履歴コンフィグレーション/制御レジスタ (m = 0 ~ 5)

アクセス RSCFDnCFDTHLCCm レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDTHLCCmL レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDTHLCCmLL、RSCFDnCFDTHLCCmLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDTHLCCm : <RSCANn_base> + 0400_H + (04_H × m)

RSCFDnCFDTHLCCmL : <RSCANn_base> + 0400_H + (04_H × m)

RSCFDnCFDTHLCCmLL : <RSCANn_base> + 0400_H + (04_H × m)、

RSCFDnCFDTHLCCmLH : <RSCANn_base> + 0401_H + (04_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLDT E	THLIM	THLIE	—	—	—	—	—	—	—	THLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 21.169 RSCFDnCFDTHLCCm レジスタの内容

ビット位置	ビット名	機能
31 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	THLDTE	送信履歴対象バッファ選択ビット 0: 送受信 FIFO、送信キューからのエントリ 1: 送信バッファ、送受信 FIFO、送信キューからのエントリ
9	THLIM	送信履歴割り込み要因選択ビット 0: 送信履歴バッファに 12 データ格納されたとき 1: 1 送信履歴データの格納完了時
8	THLIE	送信履歴割り込み許可ビット 0: 送信履歴割り込み禁止 1: 送信履歴割り込み許可
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	THLE	送信履歴バッファ許可ビット 0: 送信履歴バッファを使用しない 1: 送信履歴バッファを使用する

THLDTE ビット

“0” にすると、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを送信履歴バッファに格納します。“1” にすると、送信バッファ、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを、送信履歴バッファに格納します。

このビットはチャンネルリセットモードでのみ書き換えてください。

THLIM ビット

送信履歴割り込み要因を選択します。

このビットはチャンネルリセットモードでのみ書き換えてください。

THLIE ビット

THLIE ビットを“1”に設定し、THLIM ビットで選択した要因が発生した場合、送信履歴割り込み要求が発生します。THLIE ビットが“0”の状態でのみ、THLIE ビットを書き換えてください。

THLE ビット

“1”にすると、送信履歴バッファが使用できます。THLDTE ビットで選択したバッファからの送信が完了すると、送信メッセージの送信履歴データが、送信履歴バッファへ格納されます。

このビットは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。

このビットは、チャンネルリセットモードで0にクリアされます。

21.5.14.2 RSCFDnCFDTHLSTSm — 送信履歴ステータスレジスタ (m = 0 ~ 5)

アクセス RSCFDnCFDTHLSTSm レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDTHLSTSmL レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDTHLSTSmLL レジスタは、8 ビット単位でリード/ライト可能です。
RSCFDnCFDTHLSTSmLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDTHLSTSm : <RSCANn_base> + 0420_H + (04_H × m)

RSCFDnCFDTHLSTSmL : <RSCANn_base> + 0420_H + (04_H × m)

RSCFDnCFDTHLSTSmLL : <RSCANn_base> + 0420_H + (04_H × m)、

RSCFDnCFDTHLSTSmLH : <RSCANn_base> + 0421_H + (04_H × m)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THLMC [4:0]				—	—	—	—	THLIF	THLELT	THLFLL	THLEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W ^{注1}	R/W ^{注1}	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする ("0" にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.170 RSCFDnCFDTHLSTSm レジスタの内容

ビット位置	ビット名	機能
31 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ~ 8	THLMC [4:0]	送信履歴バッファ未読数カウンタ 送信履歴バッファに格納された未読データ数を示します。
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	THLIF	送信履歴割り込み要求フラグ 0 : 送信履歴割り込み要求なし 1 : 送信履歴割り込み要求あり
2	THLELT	送信履歴バッファオーバーフローフラグ 0 : 送信履歴バッファオーバーフローではない 1 : 送信履歴バッファオーバーフロー
1	THLFLL	送信履歴バッファフルステータスフラグ 0 : 送信履歴バッファフルではない 1 : 送信履歴バッファフル
0	THLEMP	送信履歴バッファ空ステータスフラグ 0 : 送信履歴バッファに未読データあり 1 : 送信履歴バッファに未読データなし (バッファ空)

THLMC[4:0] ビット

送信履歴バッファ内の未読データ数を示します。

このビットは、チャンネルリセットモードで 0 にクリアされます。

THLIF フラグ

RSCFDnCFDTHLCCm レジスタの THLIM ビットで設定した割り込み要因が発生したとき、“1”になります。

プログラムで“0”を書き込むことで“0”にしてください。チャンネルリセットモード時、“0”になります。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

THLELT フラグ

送信履歴バッファがフルの場合に、さらに新しい送信履歴データを格納しようとしたとき“1”になります。この場合、新しいデータは破棄されます。プログラムで“0”を書き込むことで“0”にしてください。チャンネルリセットモード時、“0”になります。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

THLFL フラグ

送信履歴バッファに 16 個のデータが格納されると、“1”になります。格納数が 16 個より少なくなると“0”になります。RSCFDnCFDTHLCCm レジスタの THLE ビットが“0”（送信履歴バッファを使用しない）のとき、またはチャンネルリセットモード時、“0”になります。

THLEMP フラグ

送信履歴データが 1 つでも送信履歴バッファへ格納されると“0”になります。

送信履歴バッファのすべてのデータを読むと“1”になります。RSCFDnCFDTHLCCm レジスタの THLE ビットを“0”（送信履歴バッファを使用しない）にしたとき、またはチャンネルリセットモード時、“1”になります。

備 考

THLIF、THLELT フラグを“0”にする場合は、プログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、それ以外のフラグには“1”を書いてください。

21.5.14.3 RSCFDnCFDTHLPCTRm — 送信履歴ポインタ制御レジスタ (m = 0 ~ 5)

アクセス RSCFDnCFDTHLPCTRm レジスタは、32 ビット単位でライトのみ可能です。
RSCFDnCFDTHLPCTRmL レジスタは、16 ビット単位でライトのみ可能です。
RSCFDnCFDTHLPCTRmLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCFDnCFDTHLPCTRm : <RSCANn_base> + 0440_H + (04_H × m)

RSCFDnCFDTHLPCTRmL : <RSCANn_base> + 0440_H + (04_H × m)

RSCFDnCFDTHLPCTRmLL : <RSCANn_base> + 0440_H + (04_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	THLPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 21.171 RSCFDnCFDTHLPCTRm レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ~ 0	THLPC [7:0]	送信履歴リストポインタ制御 "FF _H " を書くと、送信履歴バッファの次の未読データにリードポインタが移動します。

THLPC[7:0] ビット

THLPC[7:0] ビットに "FF_H" を書くと、送信履歴バッファの次のデータにリードポインタが移動します。このとき RSCFDnCFDTHLSTSm レジスタの THLMC[4:0] ビット (送信履歴バッファ未読数カウンタ) の値が 1 減算されます。RSCFDnCFDTHLACCm レジスタを読んだあと、THLPC[7:0] ビットに "FF_H" を書いてください。

なお、"FF_H" の書き込みは、RSCFDnCFDTHLCCm レジスタの THLE ビットが "1" (送信履歴バッファを使用する) で、RSCFDnCFDTHLSTSm レジスタの THLEMP フラグが "0" のときのみ行ってください。

21.5.14.4 RSCFDnCFDTHLACCm — 送信履歴アクセスレジスタ (m = 0 ~ 5)

アクセス RSCFDnCFDTHLACCm レジスタは、32 ビット単位でリードのみです。
RSCFDnCFDTHLACCmL、RSCFDnCFDTHLACCmH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDTHLACCmLL、RSCFDnCFDTHLACCmLH、RSCFDnCFDTHLACCmHL、
RSCFDnCFDTHLACCmHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDTHLACCm : <RSCANn_base> + 1800_H + (04_H × m)

RSCFDnCFDTHLACCmL : <RSCANn_base> + 1800_H + (04_H × m)、
RSCFDnCFDTHLACCmH : <RSCANn_base> + 1802_H + (04_H × m)

RSCFDnCFDTHLACCmLL : <RSCANn_base> + 1800_H + (04_H × m)、
RSCFDnCFDTHLACCmLH : <RSCANn_base> + 1801_H + (04_H × m)、
RSCFDnCFDTHLACCmHL : <RSCANn_base> + 1802_H + (04_H × m)、
RSCFDnCFDTHLACCmHH : <RSCANn_base> + 1803_H + (04_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TID[7:0]							—	BN[3:0]			BT[2:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.172 RSCFDnCFDTHLACCm レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	TMTS[15:0]	タイムスタンプデータ 格納されたデータのタイムスタンプデータが読めます。
15 ~ 8	TID[7:0]	ラベルデータ 格納されたデータのラベル情報が読めます。
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ~ 3	BN[3:0]	バッファ番号データ 送信元の送信バッファ/送受信 FIFO/送信キュー番号が読めます。
2 ~ 0	BT[2:0]	バッファタイプデータ b2 b1 b0 0 0 1 : 送信バッファ 0 1 0 : 送受信 FIFO バッファ 1 0 0 : 送信キュー

TMTS[15:0] ビット

送信履歴バッファに格納された送信履歴データのタイムスタンプ値を表示します。

TID[7:0] ビット

送信履歴バッファに格納された送信履歴データのラベル情報を表示します。

BN[3:0] ビット

送信履歴バッファに格納された送信履歴データの送信元バッファ番号を表示します。

BT[2:0] ビット

送信履歴バッファに格納された送信履歴データの送信元バッファの種類を表示します。

21.5.15 テスト関連レジスタの詳細

21.5.15.1 RSCFDnCFDGTSTCFG — グローバルテストコンフィグレーションレジスタ

アクセス RSCFDnCFDGTSTCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDGTSTCFGH、RSCFDnCFDGTSTCFGH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDGTSTCFGHLL、RSCFDnCFDGTSTCFGHLL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGTSTCFG : <RSCANn_base> + 0468_H

RSCFDnCFDGTSTCFGH : <RSCANn_base> + 0468_H,
RSCFDnCFDGTSTCFGH : <RSCANn_base> + 046A_H

RSCFDnCFDGTSTCFGHLL : <RSCANn_base> + 0468_H,
RSCFDnCFDGTSTCFGHLL : <RSCANn_base> + 046A_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	RTMPS [6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	C5ICBCE	C4ICBCE	C3ICBCE	C2ICBCE	C1ICBCE	C0ICBCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 21.173 RSCFDnCFDGTSTCFG レジスタの内容

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ~ 16	RTMPS [6:0]	RAM テストページ設定ビット ページ 0 (00 _H) ~ 83 (53 _H) ページの範囲で設定
15 ~ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	C5ICBCE	CAN5 チャンネル間通信テスト許可ビット 0 : CAN5 チャンネル間通信テスト禁止 1 : CAN5 チャンネル間通信テスト許可
4	C4ICBCE	CAN4 チャンネル間通信テスト許可ビット 0 : CAN4 チャンネル間通信テスト禁止 1 : CAN4 チャンネル間通信テスト許可
3	C3ICBCE	CAN3 チャンネル間通信テスト許可ビット 0 : CAN3 チャンネル間通信テスト禁止 1 : CAN3 チャンネル間通信テスト許可
2	C2ICBCE	CAN2 チャンネル間通信テスト許可ビット 0 : CAN2 チャンネル間通信テスト禁止 1 : CAN2 チャンネル間通信テスト許可
1	C1ICBCE	CAN1 チャンネル間通信テスト許可ビット 0 : CAN1 チャンネル間通信テスト禁止 1 : CAN1 チャンネル間通信テスト許可
0	C0ICBCE	CAN0 チャンネル間通信テスト許可ビット 0 : CAN0 チャンネル間通信テスト禁止 1 : CAN0 チャンネル間通信テスト許可

RSCFDnCFDGTSTCFG レジスタはグローバルテストモードでのみ書き換えてください。

RTMPS[6:0] ビット

RAM テスト時、RAM テスト対象となるページ番号を設定します。00_H ~ 53_H 以外の値を設定しないでください。

CAN FD モードでは、RAM テスト中の最後のページ (RTMPS = 53_H) で 64 バイト以上のアクセスをしないでください。

C5ICBCE ビット

“1” にすると、チャンネル 5 のチャンネル間通信テストが許可になります。

このビットは、グローバルリセットモードで 0 にクリアされます。

C4ICBCE ビット

“1” にすると、チャンネル 4 のチャンネル間通信テストが許可になります。

このビットは、グローバルリセットモードで 0 にクリアされます。

C3ICBCE ビット

“1” にすると、チャンネル 3 のチャンネル間通信テストが許可になります。

このビットは、グローバルリセットモードで 0 にクリアされます。

C2ICBCE ビット

“1” にすると、チャンネル 2 のチャンネル間通信テストが許可になります。

このビットは、グローバルリセットモードで 0 にクリアされます。

C1ICBCE ビット

“1” にすると、チャンネル 1 のチャンネル間通信テストが許可になります。

このビットは、グローバルリセットモードで 0 にクリアされます。

C0ICBCE ビット

“1” にすると、チャンネル 0 のチャンネル間通信テストが許可になります。

このビットは、グローバルリセットモードで 0 にクリアされます。

21.5.15.2 RSCFDnCFDGTSTCTR — グローバルテスト制御レジスタ

アクセス RSCFDnCFDGTSTCTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDGTSTCTRL レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDGTSTCTRLLL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGTSTCTR : <RSCANn_base> + 046C_H

RSCFDnCFDGTSTCTRL : <RSCANn_base> + 046C_H

RSCFDnCFDGTSTCTRLLL : <RSCANn_base> + 046C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	ICBCTME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W

表 21.174 RSCFDnCFDGTSTCTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	RTME	RAM テスト許可ビット 0 : RAM テスト禁止 1 : RAM テスト許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ICBCTME	チャンネル間通信テスト許可ビット 0 : チャンネル間通信テスト禁止 1 : チャンネル間通信テスト許可

RTME ビット

“1” にすると、RAM テストが許可になります。このビットはグローバルテストモードでのみ書き換えてください。

このビットは、グローバルリセットモードで 0 にクリアされます。

- RSCFDnCFDGTSTCTR レジスタの GMDC[1:0] ビットを “10_B” (グローバルテストモード) にする。
- RTME ビットを “1” にする。
- RTME ビットが “1” になったことを確認する。

ICBCTME ビット

“1” にすると、RSCFDnCFDGTSTCFG レジスタの CmICBCE ビット (m=0~5) を “1” に設定したチャンネルのチャンネル間通信テストが許可になります。ICBCTME ビットはグローバルテストモードで書き換えてください。

このビットは、グローバルリセットモードで 0 にクリアされます。

21.5.15.3 RSCFDnCFDGLCKK — グローバルロックキーレジスタ

アクセス RSCFDnCFDGLCKK レジスタは、32 ビット単位でライトのみ可能です。
RSCFDnCFDGLCKKL レジスタは、16 ビット単位でライトのみ可能です。

アドレス RSCFDnCFDGLCKK : <RSCANn_base> + 047C_H

RSCFDnCFDGLCKKL : <RSCANn_base> + 047C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LOCK[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}

注1. RS-CANFD モジュールがグローバルテストモード時のみこのビットへの書き込みが可能です。

表 21.175 RSCFDnCFDGLCKK レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	ライトする場合はリセット後の値を書いてください。
15 ~ 0	LOCK[15:0]	ロックキービット テストモードの保護を解除するためのキービット

RSCFDnCFDGLCKK レジスタは、特殊テストビットの保護を解除するための書き込み専用レジスタです。

プロテクト解除データについては、「21.11.4.2 プロテクト解除手順」を参照してください。

LOCK[15:0] ビット

プロテクト解除データを連続して LOCK[15:0] ビットに書くと、RSCFDnCFDGTSTCTR レジスタの RTME ビットへの“1”書き込みが可能になります。

プロテクトが解除された後、RAM を除く CAN の I/O レジスタ領域 (<RSCANn_base> + 0000_H ~ <RSCANn_base> + 0FFF_H) に書き込みを実行すると、再度プロテクトが有効になります。

CAN の I/O レジスタ領域の読み出し、または他の領域への読み書きを実行しても、プロテクトは有効になりません。

21.5.15.4 RSCFDnCFDRPGACCr — RAM テストページアクセスレジスタ (r = 0 ~ 63)

アクセス RSCFDnCFDRPGACCr レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDRPGACCrL、RSCFDnCFDRPGACCrH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDRPGACCrLL、RSCFDnCFDRPGACCrLH、RSCFDnCFDRPGACCrHL、
RSCFDnCFDRPGACCrHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDRPGACCr : <RSCANn_base> + 6400_H + (04_H × r)

RSCFDnCFDRPGACCrL : <RSCANn_base> + 6400_H + (04_H × r)、
RSCFDnCFDRPGACCrH : <RSCANn_base> + 6402_H + (04_H × r)

RSCFDnCFDRPGACCrLL : <RSCANn_base> + 6400_H + (04_H × r)、
RSCFDnCFDRPGACCrLH : <RSCANn_base> + 6401_H + (04_H × r)、
RSCFDnCFDRPGACCrHL : <RSCANn_base> + 6402_H + (04_H × r)、
RSCFDnCFDRPGACCrHH : <RSCANn_base> + 6403_H + (04_H × r)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDTA [31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDTA [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.176 RSCFDnCFDRPGACCr レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RDTA [31:0]	RAM データテストアクセス CAN 用 RAM データの読み書きができます。

RSCFDnCFDRPGACCr レジスタは、グローバルテストモードでかつ RSCFDnCFDGTSTCTR レジスタの RTME ビットが“1” (RAM テスト許可) の状態で書き換えてください。

RTME ビットが“1”のときに、RSCFDnCFDRPGACCr レジスタへの読み書きができます。

21.6 割り込み要因と DMA トリガ

21.6.1 割り込み要因

RS-CANFD モジュールには 20 本の割り込みがあり、グローバル割り込みとチャンネル割り込みに分類されます。

- グローバル割り込み (2 本)
 - 受信 FIFO 割り込み
 - グローバルエラー割り込み
- チャンネル割り込み (各チャンネルごとに 3 本ずつ)
 - CANm 送信割り込み (m = 0 ~ 5)
 - CANm 送信完了割り込み
 - CANm 送信アボート割り込み
 - CANm 送受信 FIFO 送信完了割り込み (送信モード、ゲートウェイモード時)
 - CANm 送信履歴割り込み
 - CANm 送信キュー割り込み
 - CANm 送受信 FIFO 受信完了割り込み (受信モード、ゲートウェイモード時)
 - CANm エラー割り込み

割り込み要求が発生すると、対応する割り込み要求フラグが“1” (割り込み要求あり) になります。その場合、割り込み許可ビットを“1” (割り込み許可) にしていると、RS-CANFD モジュールから割り込み要求が出力されます。(割り込みの発生は、割り込みコントローラの割り込み制御レジスタの設定にも依存します。)

割り込み要求フラグを“0” (割り込み要求なし) にするか、割り込み許可ビットを“0” (割り込み禁止) にすると、割り込み要求がクリアされます。割り込み要求フラグをクリアするまで、割り込み要求は出力されたままです。

表 21.177 に CAN 割り込み要因一覧を示します。**図 21.2** に CAN グローバル割り込みブロック図を、**図 21.3** に CAN チャンネル割り込みブロック図を示します。

表 21.177 CAN 割り込み要因一覧

	割り込み要因	対応する割り込み要求フラグ	対応する割り込み許可ビット	
グローバル 割り込み	受信 FIFO	受信 FIFO 0	RSCANn(CFD)RFSTS0 レジスタの RFIF フラグ	RSCANn(CFD)RFCC0 レジスタの RFIE ビット
		受信 FIFO 1	RSCANn(CFD)RFSTS1 レジスタの RFIF フラグ	RSCANn(CFD)RFCC1 レジスタの RFIE ビット
		受信 FIFO 2	RSCANn(CFD)RFSTS2 レジスタの RFIF フラグ	RSCANn(CFD)RFCC2 レジスタの RFIE ビット
		受信 FIFO 3	RSCANn(CFD)RFSTS3 レジスタの RFIF フラグ	RSCANn(CFD)RFCC3 レジスタの RFIE ビット
		受信 FIFO 4	RSCANn(CFD)RFSTS4 レジスタの RFIF フラグ	RSCANn(CFD)RFCC4 レジスタの RFIE ビット
		受信 FIFO 5	RSCANn(CFD)RFSTS5 レジスタの RFIF フラグ	RSCANn(CFD)RFCC5 レジスタの RFIE ビット
		受信 FIFO 6	RSCANn(CFD)RFSTS6 レジスタの RFIF フラグ	RSCANn(CFD)RFCC6 レジスタの RFIE ビット
		受信 FIFO 7	RSCANn(CFD)RFSTS7 レジスタの RFIF フラグ	RSCANn(CFD)RFCC7 レジスタの RFIE ビット
	グローバルエラー	<ul style="list-style-type: none"> RSCANn(CFD)GERFL レジスタの DEF フラグ RSCANn(CFD)GERFL レジスタの MES フラグ RSCANn(CFD)GERFL レジスタの THLES フラグ RSCFDnCFDGERFL レジスタの CMPOF フラグ 	<ul style="list-style-type: none"> RSCANn(CFD)GCTR レジスタの DEIE ビット RSCANn(CFD)GCTR レジスタの MEIE ビット RSCANn(CFD)GCTR レジスタの THLEIE ビット RSCFDnCFDGCTR レジスタの CMPOFIE ビット 	
チャンネル 割り込み (m = 0 ~ 5)	CANm 送信	CANm 送信完了	RSCANn(CFD)TMSTSp レジスタの TMTRF[1:0] フラグ	RSCANn(CFD)TMIECy レジスタの TMIEp ビット
		CANm 送信アポート	RSCANn(CFD)TMSTSp レジスタの TMTRF[1:0] フラグ	RSCANn(CFD)CmCTR レジスタの TAIE ビット
		CANm 送受信 FIFO 送信完了	RSCANn(CFD)CFSTSk レジスタの CFTXIF フラグ	RSCANn(CFD)CFCCk レジスタの CFTXIE ビット
		CANm 送信キュー	RSCANn(CFD)TXQSTSm レジスタの TXQIF フラグ	RSCANn(CFD)TXQCCm レジスタの TXQIE ビット
		CANm 送信履歴	RSCANn(CFD)THLSTSm レジスタの THLIF フラグ	RSCANn(CFD)THLCCm レジスタの THLIE ビット
	CANm 送受信 FIFO 受信完了	RSCANn(CFD)CFSTSk レジスタの CFRXIF フラグ	RSCANn(CFD)CFCCk レジスタの CFRXIE ビット	
	CANm エラー	<ul style="list-style-type: none"> RSCANn(CFD)CmERFL レジスタの BEF フラグ RSCANn(CFD)CmERFL レジスタの ALF フラグ RSCANn(CFD)CmERFL レジスタの BLF フラグ RSCANn(CFD)CmERFL レジスタの OVLF フラグ RSCANn(CFD)CmERFL レジスタの BORF フラグ RSCANn(CFD)CmERFL レジスタの BOEF フラグ RSCANn(CFD)CmERFL レジスタの EPF フラグ RSCANn(CFD)CmERFL レジスタの EWF フラグ RSCFDnCFDCmFDSTS レジスタの SOCO フラグ RSCFDnCFDCmFDSTS レジスタの EOCO フラグ RSCFDnCFDCmFDSTS レジスタの TDCVF フラグ 	<ul style="list-style-type: none"> RSCANn(CFD)CmCTR レジスタの BEIE ビット RSCANn(CFD)CmCTR レジスタの ALIE ビット RSCANn(CFD)CmCTR レジスタの BLIE ビット RSCANn(CFD)CmCTR レジスタの OLIE ビット RSCANn(CFD)CmCTR レジスタの BORIE ビット RSCANn(CFD)CmCTR レジスタの BOEIE ビット RSCANn(CFD)CmCTR レジスタの EPIE ビット RSCANn(CFD)CmCTR レジスタの EWIE ビット RSCFDnCFDCmCTR レジスタの SOCOIE ビット RSCFDnCFDCmCTR レジスタの EOCOIE ビット RSCFDnCFDCmCTR レジスタの TDCVFIE ビット 	

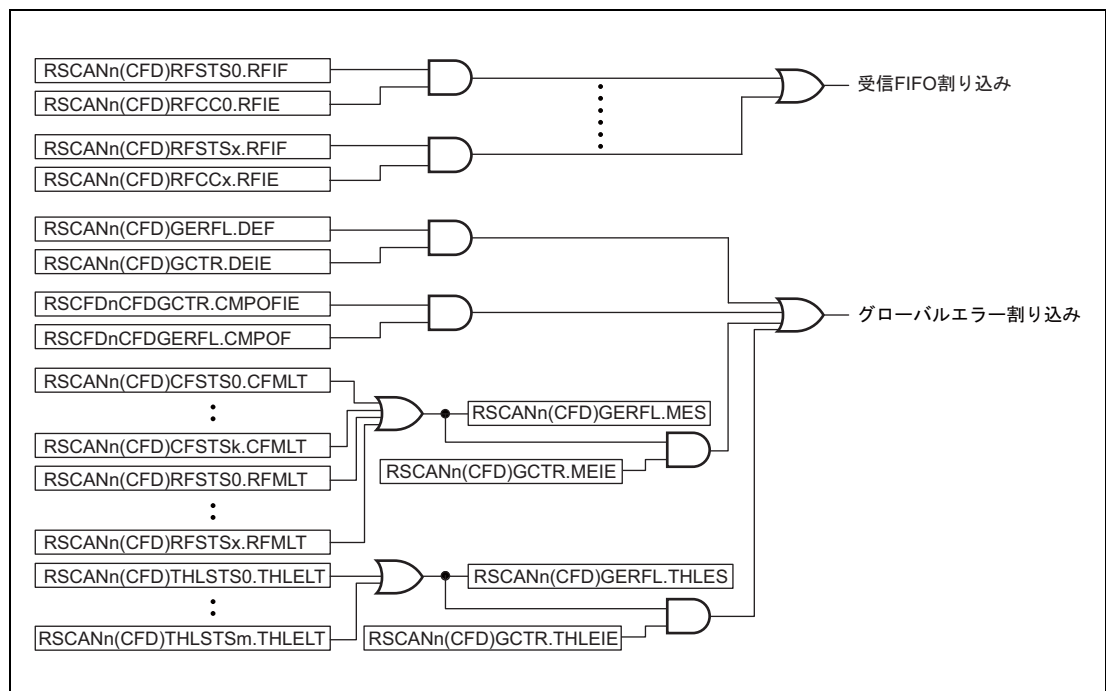


図 21.2 CAN グローバル割り込みブロック図

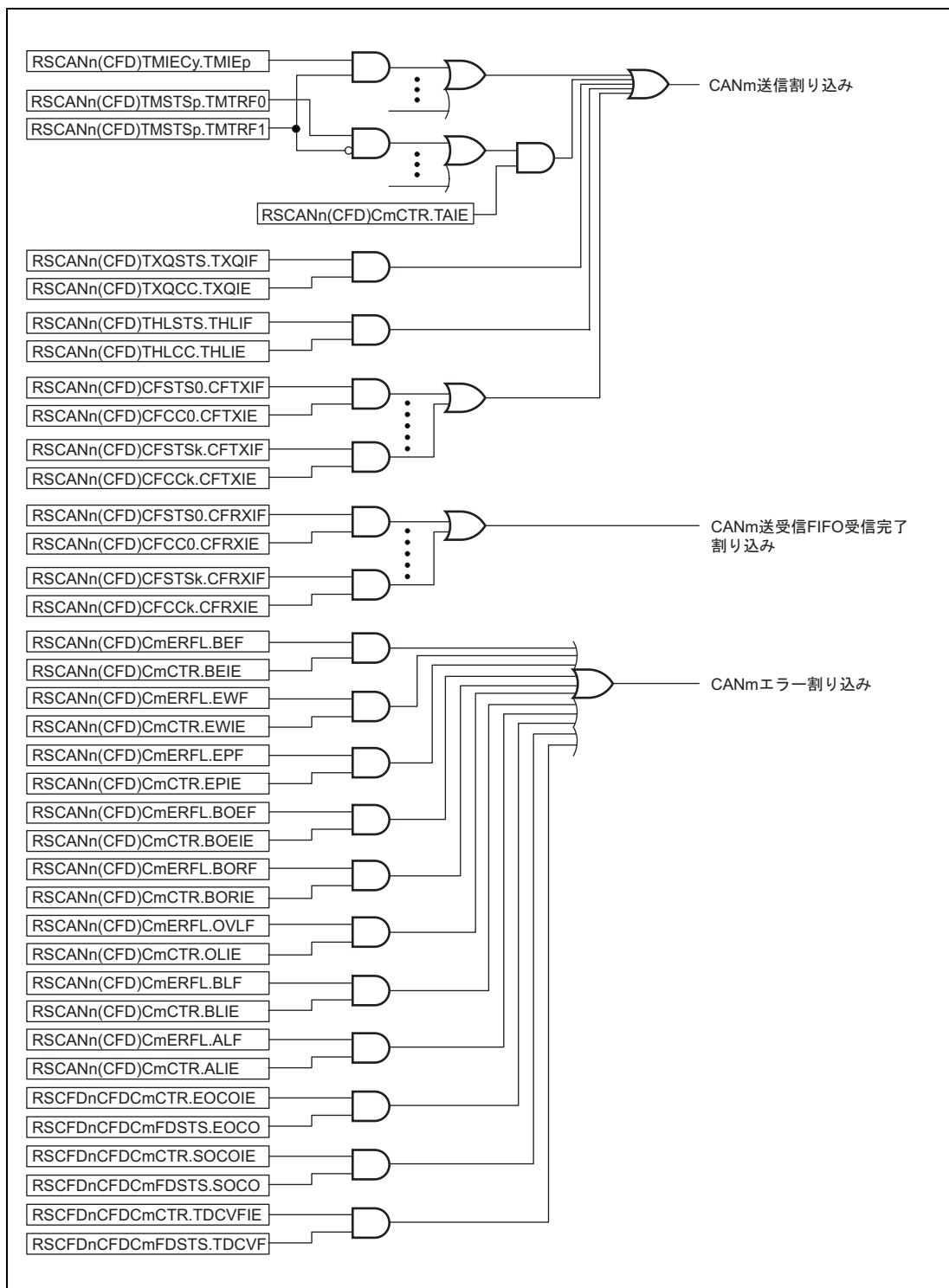


図 21.3 CAN チャンネル割り込みブロック図

21.6.2 DMA トリガ (CAN FD モードのみ)

CAN FD モードのとき、受信に使用する FIFO バッファを DMA のチャンネルに関連付けることができます。次の 14 本の FIFO バッファに関連付けが可能です。

- 全ての受信 FIFO バッファ x ($x=0\sim7$)
- チャンネル m に割り当てられた最初の送受信 FIFO バッファ k ($k=3\times m$, $m=0\sim5$)

DMA 許可ビット (RSCFD_nCFDCDTCT レジスタの RFDMAEx ビットまたは CFDMAEm ビット) に“1”が設定され、関連する FIFO に未読メッセージがあるとき、DMA 転送要求トリガが生成されます。

21.7 CAN モード

RS-CANFD モジュールには、RS-CANFD モジュール全体の状態を制御するグローバルモードが4種類と、個々のチャンネル状態を制御するチャンネルモードが4種類あります。「21.7.1 グローバルモード」にグローバルモード、「21.7.2 チャンネルモード」にチャンネルモードの詳細を示します。

- グローバルストップモード : モジュール全体のクロックを停止させ、低消費電力を実現する。
- グローバルリセットモード : モジュール全体の初期設定を行う。
- グローバルテストモード : テスト設定を行う。また、RAMテストを実施する。
- グローバル動作モード : モジュール全体を動作可能にする。
- チャンネルストップモード : チャンネルのクロックが停止する。
- チャンネルリセットモード : チャンネルの初期設定を行う。
- チャンネル待機モード : CAN通信を停止させる。また、チャンネルのテストを許可する。
- チャンネル通信モード : CAN通信を行う。

21.7.1 グローバルモード

図 21.4 にグローバルモードの遷移図を示します。

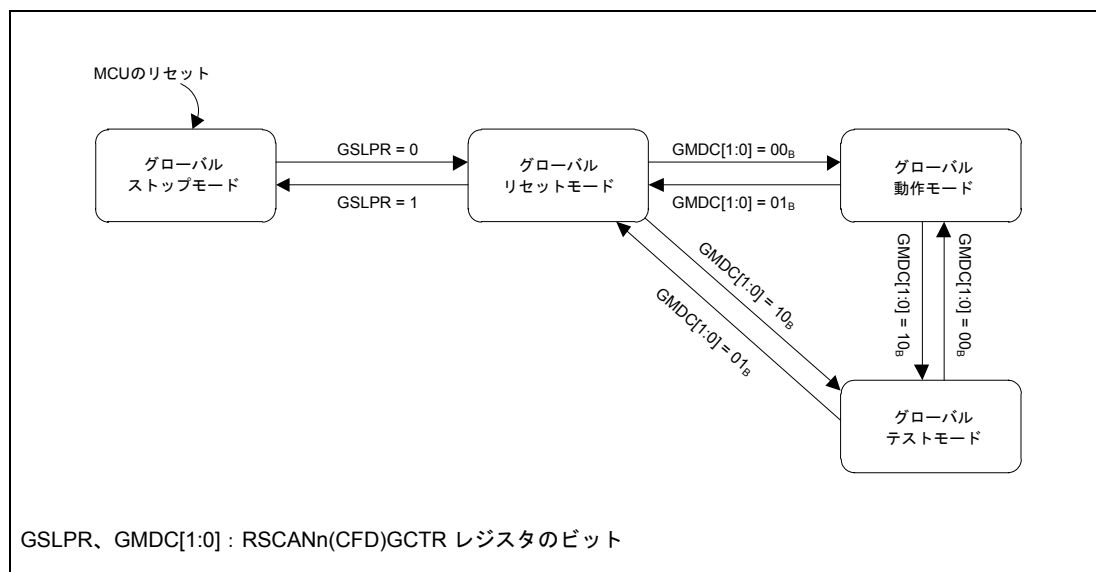


図 21.4 グローバルモードの遷移図

グローバルモードの遷移により、チャンネルのモードが変化することがあります。表 21.178 にグローバルモード設定 (GMDC[1:0]、GSLPR ビット) によるチャンネルモードの変化を示します。

表 21.178 グローバルモード設定 (GMDC[1:0]、GSLPR ビット) によるチャンネルモードの変化

設定前の チャンネルモード	設定後のチャンネルモード			
	GMDC[1:0] = 00 _B GSLPR = 0 (グローバル動作)	GMDC[1:0] = 10 _B GSLPR = 0 (グローバルテスト)	GMDC[1:0] = 01 _B GSLPR = 0 (グローバルリセット)	GMDC[1:0] = 01 _B GSLPR = 1 (グローバルストップ)
チャンネル通信	チャンネル通信	チャンネル待機	チャンネルリセット	遷移禁止
チャンネル待機	チャンネル待機	チャンネル待機	チャンネルリセット	遷移禁止
チャンネルリセット	チャンネルリセット	チャンネルリセット	チャンネルリセット	チャンネルストップ
チャンネルストップ	チャンネルストップ	チャンネルストップ	チャンネルストップ	チャンネルストップ

備考 GMDC[1:0] ビットと GSLPR ビットは、RSCANn(CFD)GCTR レジスタのビット。

表 21.179 にグローバルモードの遷移時間を示します。

表 21.179 グローバルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
グローバルストップ	グローバルリセット	pclk の 3 クロック
グローバルリセット	グローバルストップ	pclk の 3 クロック
グローバルリセット	グローバルテスト	pclk の 10 クロック
グローバルリセット	グローバル動作	pclk の 10 クロック
グローバルテスト	グローバルリセット	2CAN ビットタイム ^{注1、注2}
グローバルテスト	グローバル動作	pclk の 3 クロック
グローバル動作	グローバルリセット	2CAN ビットタイム ^{注1、注2}
グローバル動作	グローバルテスト	CAN フレームの 2 つ分 ^{注1}

注 1. 使用チャンネルの内、最も遅い通信速度の CAN ビットタイムおよび CAN フレーム時間になります。

注 2. CAN FD モードのときは、通常ビットレートの CAN ビットタイムになります。

21.7.1.1 グローバルストップモード

グローバルストップモードでは CAN のクロックが停止するので、消費電力が低減されます。CAN 関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。グローバルストップモード時、GSLPR ビットへの CPU 書き込み用クロックのみが動作します。

MCU のリセット後、グローバルストップモードになります。また、グローバルリセットモード時に RSCANn(CFD)GCTR レジスタの GSLPR ビットを“1” (グローバルストップモード) にすると、各 RSCANn(CFD)CmCTR レジスタの CSLPR ビットが“1” (チャンネルストップモード) になります。その後、すべてのチャンネルが強制的にチャンネルストップモードへ遷移すると、グローバルストップモードになります。GSLPR ビットは、グローバル動作モードまたはグローバルテストモードでは書き換えしないでください。

21.7.1.2 グローバルリセットモード

グローバルリセットモードで RS-CANFD モジュールの設定を行います。グローバルリセットモードに遷移すると、一部のレジスタが初期化されます。初期化されるレジスタについては、「表 21.182 グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスタ一覧」と「表 21.183 グローバルリセットモードでのみ初期化されるレジスタ一覧」を参照してください。

RSCANn(CFD)GCTR レジスタの GMDC[1:0] ビットを“01_B”に設定すると、各 RSCANn(CFD)CmCTR レジスタ (m = 0 ~ 5) の CHMDC[1:0] ビットが“01_B” (チャネルリセットモード) になります。すべてのチャネルが強制的にチャネルリセットモードへ遷移すると、グローバルリセットモードになります。すでにチャネルリセットモードまたはチャネルストップモードであるチャネルはモード遷移しません (CHMDC[1:0] ビットがすでに“01_B”に設定されているため)。

21.7.1.3 グローバルテストモード

グローバルテストモードでテスト関連レジスタの設定を行います。グローバルテストモードに遷移すると、すべての CAN 通信は停止します。

RSCANn(CFD)GCTR レジスタの GMDC[1:0] ビットを“10_B”に設定すると、各 RSCANn(CFD)CmCTR レジスタの CHMDC[1:0] ビットが“10_B” (チャネル待機モード) になります。すべてのチャネルが強制的にチャネル待機モードへ遷移すると、グローバルテストモードになります。チャネルストップモード、チャネルリセットモード、またはチャネル待機モードであるチャネルは、モード遷移しません。

21.7.1.4 グローバル動作モード

グローバル動作モードでは RS-CANFD モジュールが動作します。

RSCANn(CFD)GCTR レジスタの GMDC[1:0] ビットを“00_B”にすると、グローバル動作モードに遷移します。

21.7.2 チャネルモード

図 21.5 にチャネルモードの状態遷移図を示します。表 21.180 にチャネルモードの遷移時間を示します。

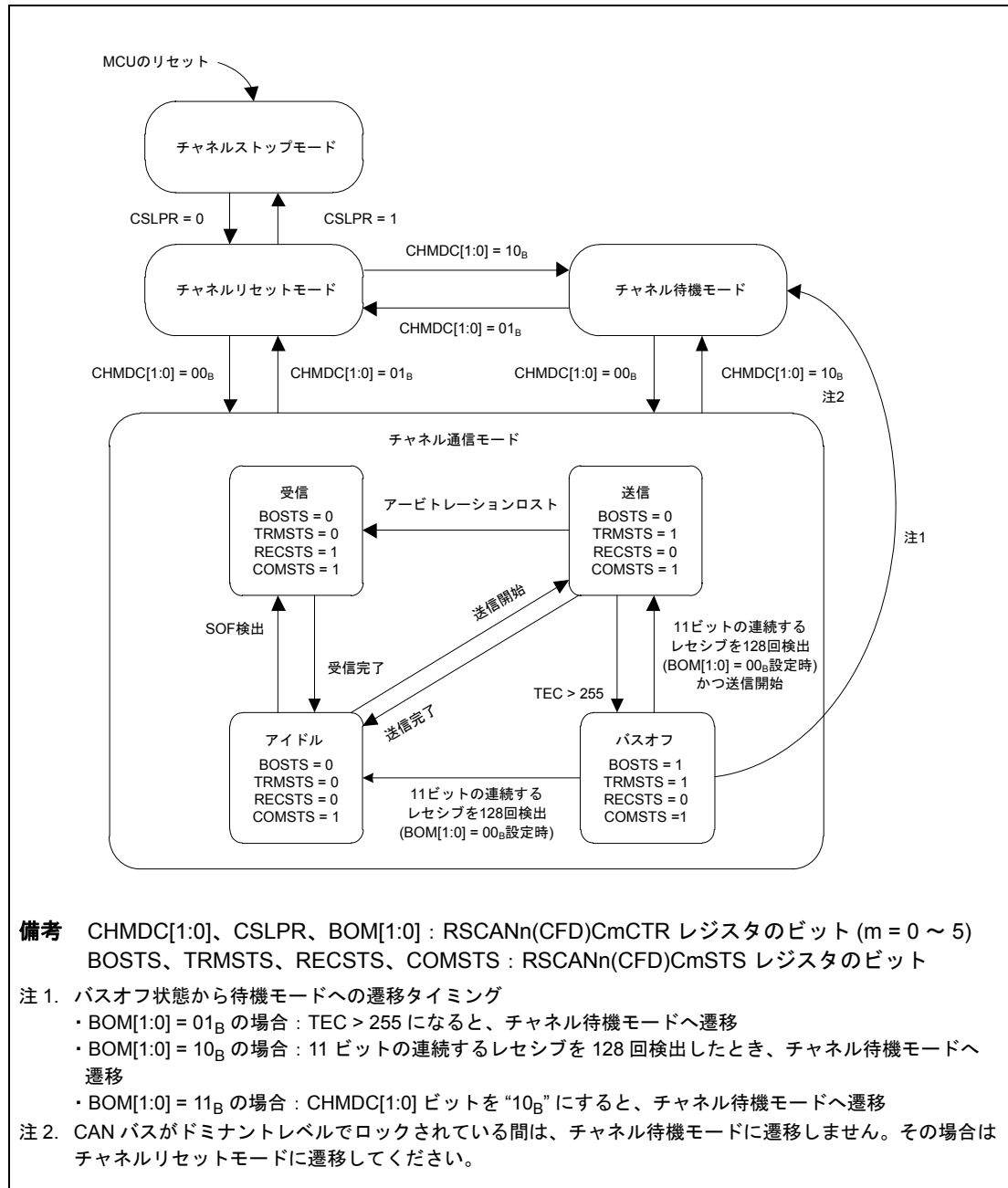


図 21.5 チャネルモードの状態遷移図

表 21.180 チャネルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
チャンネルストップ	チャンネルリセット	pclk の 3 クロック
チャンネルリセット	チャンネルストップ	pclk の 3 クロック
チャンネルリセット	チャンネル待機	3 CANm ビットタイム ^{注1}
チャンネルリセット	チャンネル通信	4 CANm ビットタイム ^{注1}
チャンネル待機	チャンネルリセット	2 CANm ビットタイム ^{注1}
チャンネル待機	チャンネル通信	4 CANm ビットタイム ^{注1}
チャンネル通信	チャンネルリセット	2 CANm ビットタイム ^{注1}
チャンネル通信	チャンネル待機	CANm フレームの 2 つ分

注 1. CAN FD モードのときは、通常ビットレートの CANm ビットタイムになります。

21.7.2.1 チャネルストップモード

チャンネルストップモードでは、チャンネルへ供給するクロックが停止するので、消費電力が低減されます。CAN 関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。

各チャンネルは、MCU のリセット後、チャンネルストップモードになります。また、チャンネルリセットモード時に、RSCANn(CFD)CmCTR レジスタ (m=0~5) の CSLPR ビットを“1” (チャンネルストップモード) にすると、チャンネルストップモードに遷移します。CSLPR ビットはチャンネル通信モードおよびチャンネル待機モードでは書き換えないでください。

21.7.2.2 チャネルリセットモード

チャンネルリセットモードでチャンネルの設定を行います。チャンネルリセットモードに遷移すると、一部のチャンネル関連レジスタが初期化されます。初期化されるレジスタについては、「表 21.182 グローバルリセットモードおよびチャンネルリセットモードで初期化されるレジスタ一覧」を参照してください。

CAN 通信中に RSCANn(CFD)CmCTR レジスタの CHMDC[1:0] ビットを“01_B” (チャンネルリセットモード) にすると、送受信の完了を待たずに通信が中断され、チャンネルリセットモードへ遷移します。表 21.181 に CAN 通信中に CHMDC[1:0] ビットを“01_B” (チャンネルリセットモード) に設定したときの動作を示します。

21.7.2.3 チャネル待機モード

チャネル待機モードでチャネルのテスト関連レジスタの設定を行います。チャネル待機モードに遷移すると、チャネルのCAN通信は停止します。

表 21.181 に CAN 通信中に CHMDC[1:0] ビットを “10_B” (チャネル待機モード) に設定したときの動作を示します。

表 21.181 チャネルリセット/チャネル待機モード遷移時の動作

モード	受信中	送信中	バスオフ状態
チャネルリセット (CHMDC[1:0] = “01 _B ”)	受信の終了を待たずにチャネルリセットモードに遷移 ^{注1}	送信の終了を待たずにチャネルリセットモードに遷移 ^{注1}	バスオフ復帰の終了を待たずにチャネルリセットモードに遷移
チャネル待機 ^{注3} (CHMDC[1:0] = “10 _B ”)	受信の終了を待ってチャネル待機モードに遷移 ^{注2}	送信の終了を待ってチャネル待機モードに遷移	<p>【BOM[1:0] ビットが “00_B” の場合】 バスオフ復帰後のみ、チャネル待機モード遷移 (CHMDC[1:0] = “10_B”) が実行される</p> <p>【BOM[1:0] ビットが “01_B” の場合】 バスオフ状態への遷移条件が成立したときに自動的にチャネル待機モードに遷移</p> <p>【BOM[1:0] ビットが “10_B” の場合】 バスオフ復帰の終了を待って自動的にチャネル待機モードに遷移</p> <p>【BOM[1:0] ビットが “11_B” の場合】 CHMDC[1:0] ビットに “10_B” が設定されるとすぐにチャネル待機モードに遷移 (バスオフ復帰の終了は待たない)</p>

- 注 1. 通信が終了した後にチャネルリセットモードへ遷移するには、まず CHMDC[1:0] ビットを “10_B” に設定し、通信が終了しチャネル待機モードへ遷移したことを確認してから、CHMDC[1:0] ビットを “01_B” に設定してください。
- 注 2. CAN バスがドミナントレベルでロックされている間は、チャネル待機モードに遷移しません。その場合はチャネルリセットモードに遷移してください。バスドミナントロックを検出すると RSCANn(CFD)CmERFL レジスタの BLF フラグが “1” になるので、CAN バスの状態を確認できます。
- 注 3. チャネルリセットモードからチャネル待機モードへ遷移する場合、クラシカル CAN モードのときはチャネルリセットモードで RSCANn(CFD)CmCFG レジスタを設定してからチャネル待機モードへ遷移してください。CAN FD モードのときは RSCFDn(CFD)CmNCFG レジスタと RSCFDn(CFD)CmDCFG レジスタを設定してから遷移してください。

21.7.2.4 チャネル通信モード

チャネル通信モードで CAN 通信を行います。CAN 通信時、各チャネルは次に示す通信状態をとります。

- アイドル：受信も送信もしていない状態。
- 受信：他のノードから送られてきたメッセージを受信している状態。
- 送信：メッセージを送信している状態。
- バスオフ：CAN 通信から遮断されている状態。

RSCANn(CFD)CmCTR レジスタの CHMDC[1:0] ビットを “00_B” にすると、チャネル通信モードに遷移します。遷移後、11 ビットの連続するレセシブを検出すると、RSCANn(CFD)CmSTS レジスタ (m = 0 ~ 5) の COMSTS フラグが “1” (通信可能な状態) になり、CAN ネットワーク上でアクティブノードとして、送受信が許可されます。この時点で、メッセージの送受信が開始できるようになります。

21.7.2.5 バスオフ状態

CAN仕様の送信、受信エラーカウンタの増減ルールに従ってバスオフ状態に遷移します。

バスオフ状態からの復帰条件は、RSCANn(CFD)CmCTRレジスタのBOM[1:0]ビットで設定します。

- BOM[1:0]ビットが“00_B”のとき：
CAN仕様に準拠し、11ビットの連続するレセシブを128回検出後に、バスオフ状態からCAN通信可能な状態（エラーアクティブ状態）に復帰します。そのとき、RSCANn(CFD)CmSTSレジスタのTEC[7:0]ビットとREC[7:0]ビットは“00_H”に初期化され、RSCANn(CFD)CmERFLレジスタのBORFフラグが“1”（バスオフ復帰検出）になり、バスオフ復帰割り込み要求が発生します。バスオフ状態で、RSCANn(CFD)CmCTRレジスタのCHMDC[1:0]ビットを“10_B”（チャンネル待機モード）にすると、バスオフ復帰が完了（11ビットの連続するレセシブを128回検出）してからチャンネル待機モードに遷移します。
- BOM[1:0]ビットが“01_B”のとき：
バスオフ状態に遷移すると、CHMDC[1:0]ビットが“10_B”になり、チャンネル待機モードへ遷移します。そのとき、TEC[7:0]ビットとREC[7:0]ビットは“00_H”に初期化され、BORFフラグは“1”にならず、バスオフ復帰割り込み要求は発生しません。
- BOM[1:0]ビットが“10_B”のとき：
バスオフ状態に遷移すると、CHMDC[1:0]ビットが“10_B”になり、バスオフ復帰が完了（11ビットの連続するレセシブを128回検出）してからチャンネル待機モードに遷移します。そのとき、TEC[7:0]ビットとREC[7:0]ビットは“00_H”に初期化され、BORFフラグが“1”になり、バスオフ復帰割り込み要求が発生します。
- BOM[1:0]ビットが“11_B”のとき：
バスオフ状態時に、CHMDC[1:0]ビットを“10_B”にすると、バスオフ復帰を待たずにチャンネル待機モードに遷移します。そのとき、TEC[7:0]ビットとREC[7:0]ビットは“00_H”に初期化されます。BORFフラグは“1”になりません。またバスオフ復帰割り込み要求は発生しません。
ただし、CHMDC[1:0]ビットを“10_B”にする前に11ビットの連続するレセシブを128回検出し、エラーアクティブ状態に復帰した場合、BORFフラグが“1”になり、バスオフ復帰割り込み要求が発生します。

RS-CANFDモジュールによるチャンネル待機モードへの遷移と、プログラムによるCHMDC[1:0]ビットへの書き込みが同時に発生した場合、プログラムによる書き込みが優先されます。BOM[1:0]ビットを“01_B”または“10_B”に設定した場合のチャンネル待機モードへの自動的な遷移は、CHMDC[1:0]ビットが“00_B”（チャンネル通信モード）のときのみ発生します。

また、RSCANn(CFD)CmCTRレジスタのRTBOビットを“1”にすることで、バスオフ状態から強制的に復帰することができます。RTBOビットに“1”を書くと、直ちにエラーアクティブ状態になり、11ビットの連続するレセシブを検出後、通信可能な状態になります。この場合、BORFフラグは“1”になりません。TEC[7:0]ビットとREC[7:0]ビットは“00_H”に初期化されます。RTBOビットは、BOM[1:0]ビットが“00_B”のときのみ“1”を書いてください。バスオフ状態以外で、RTBOビットに“1”を書いても無視され、RTBOビットは直ちに“0”になります。

21.7.3 CAN モード遷移によるレジスタ初期化

チャンネルリセットモードへの遷移によって初期化されるビットおよびフラグを表 21.182 に示します。これらは、グローバルリセットモードへの遷移でも初期化されます。また、グローバルリセットモードへの遷移のみによって初期化されるビットおよびフラグを表 21.183 に示します。

表 21.182 グローバルリセットモードおよびチャンネルリセットモードで初期化されるレジスタ一覧

レジスタ	ビット/フラグ
RSCANn(CFD)CmCTR レジスタ	(ROM), CRCT, CTMS[1:0], CTME, CHMDC[1:0]
RSCANn(CFD)CmSTS レジスタ	CHLTSTS, EPSTS, BOSTS, TRMSTS, RECSTS, COMSTS, (ESIF), REC[7:0], TEC[7:0]
RSCANn(CFD)CmERFL レジスタ	CRCREG[14:0], ADERR, B0ERR, B1ERR, CERR, AERR, FERR, SERR, ALF, BLF, OVLF, BORF, BOEF, EPF, EWF, BEF
RSCFDnCFDCmFDCTR レジスタ	EOCCLR, SOCCLR
RSCFDnCFDCmFDSTS レジスタ	SOC[7:0], EOC[7:0], SOCO, EOCO, TDCVF, TDCR[6:0]
RSCFDnCFDCmFDCRC レジスタ	CRCREG[20:0]
RSCANn(CFD)CFCK レジスタ	送受信 FIFO バッファが送信モードまたはゲートウェイモード時: CFE
RSCANn(CFD)CFSTSk レジスタ	送受信 FIFO バッファが送信モードまたはゲートウェイモード時: CFMC[7:0], CFFLL, CFEMP, CFMLT, CFRXIF, CFTXIF
RSCANn(CFD)CFTISTS レジスタ	CFkTXIF
RSCANn(CFD)TMCp レジスタ	TMOM, TMTAR, TMTR
RSCANn(CFD)TMSTSp レジスタ	TMTARM, TMTRM, TMTRF[1:0], TMTSTS
RSCANn(CFD)TMTRSTSy レジスタ	TMTRSTSp (チャンネルリセットモード時は、対応するチャンネルのビットが初期化される)
RSCANn(CFD)TMTARSTSy レジスタ	TMTARSTSp (チャンネルリセットモード時は、対応するチャンネルのビットが初期化される)
RSCANn(CFD)TMTCSTSy レジスタ	TMTCSTSp (チャンネルリセットモード時は、対応するチャンネルのビットが初期化される)
RSCANn(CFD)TMTASTSy レジスタ	TMTASTSp (チャンネルリセットモード時は、対応するチャンネルのビットが初期化される)
RSCANn(CFD)TXQCCm レジスタ	TXQE
RSCANn(CFD)TXQSTSm レジスタ	TXQIF, TXQFLL, TXQEMP
RSCANn(CFD)THLCCm レジスタ	THLE
RSCANn(CFD)THLSTSm レジスタ	THLMC[4:0], THLIF, THLELT, THLFLL, THLEMP
RSCANn(CFD)GTINTSTS0 レジスタ	TSIFm, TAIIm, TQIFm, CFTIFm, THIFm (m = 0 ~ 3)
RSCANn(CFD)GTINTSTS1 レジスタ	TSIFm, TAIIm, TQIFm, CFTIFm, THIFm (m = 4, 5)

備考 () 内のビット/フラグは CAN FD モードのレジスタにのみ存在

表 21.183 グローバルリセットモードでのみ初期化されるレジスタ一覧

レジスタ	ビット/フラグ
RSCANn(CFD)GSTS レジスタ	GHLTSTS
RSCANn(CFD)GERFL レジスタ	EEF0, EEF1, EEF2, EEF3, EEF4, EEF5, (CMPOF), THLES, MES, DEF
RSCANn(CFD)GTSC レジスタ	TS[15:0]
RSCANn(CFD)RMNDy レジスタ	RMNSq
RSCANn(CFD)RFCCx レジスタ	RFE
RSCANn(CFD)RFSTsx レジスタ	RFMC[7:0], RFIF, RFMLT, RFFLL, RFEMP
RSCANn(CFD)CFCCk レジスタ	送受信 FIFO が受信モード時 : CFE
RSCANn(CFD)CFSTSk レジスタ	送受信 FIFO バッファが受信モード時 : CFMC[7:0], CFFLL, CFEMP, CFTXIF, CFRXIF, CFMLT
RSCANn(CFD)FESTS レジスタ	CFkEMP, RFxEMP
RSCANn(CFD)FFSTS レジスタ	CFkFLL, RFxFL
RSCANn(CFD)FMSTS レジスタ	CFkMLT, RFxMLT
RSCANn(CFD)RFISTS レジスタ	RFxIF
RSCANn(CFD)CFRISTS レジスタ	CFkRXIF
RSCFDnCFDCTCT レジスタ	CFDMAEm, RFDMAEx
RSCFDnCFDCTSTS レジスタ	CFDMASTSm, RFDMASTsX
RSCANn(CFD)GTSTCFG レジスタ	RTMPS[6:0], C0ICBCE, C1ICBCE, C2ICBCE, C3ICBCE, C4ICBCE, C5ICBCE
RSCANn(CFD)GTSTCTR レジスタ	RTME, ICBCTME

備考 () 内のビット/フラグは CAN FD モードのレジスタにのみ存在

21.8 受信機能

受信の種類には次の2つがあります。

- 受信バッファによる受信：

全チャンネルで共有する受信バッファは、0～96 バッファの範囲で使用できます。受信バッファに格納するメッセージは毎回上書きされるので、常に最新の受信データが読み出せます。
- 受信 FIFO バッファ、送受信 FIFO バッファ（受信モード）による受信：

全チャンネルで共有する受信 FIFO バッファが8本と、各チャンネル専用の送受信 FIFO バッファが1チャンネルにつき3本ずつあります。FIFO バッファには RFDC[2:0] ビット、CFDC[2:0] ビットで設定した段数までメッセージを保存することができ、古いメッセージから順次、読み出せます。

21.8.1 受信ルールテーブルを用いたデータ処理

受信ルールテーブルを用いたデータ処理により、選別したメッセージを指定のバッファに格納することができます。データ処理には、アクセプタンスフィルタ処理、DLC フィルタ処理、ルーティング処理、ラベル付加処理、ミラー機能の処理があります。

登録できる受信ルール数は1チャンネルにつき最大128で、モジュール全体では、64×チャンネル数となります（本モジュールは6チャンネル搭載しているため、最大384ルール登録できます）。受信ルールはチャンネルごとに設定してください。他のチャンネルと共用できません。受信ルールを設定しない場合は、メッセージを受信できません。図21.6に受信ルール登録の説明図を示します。

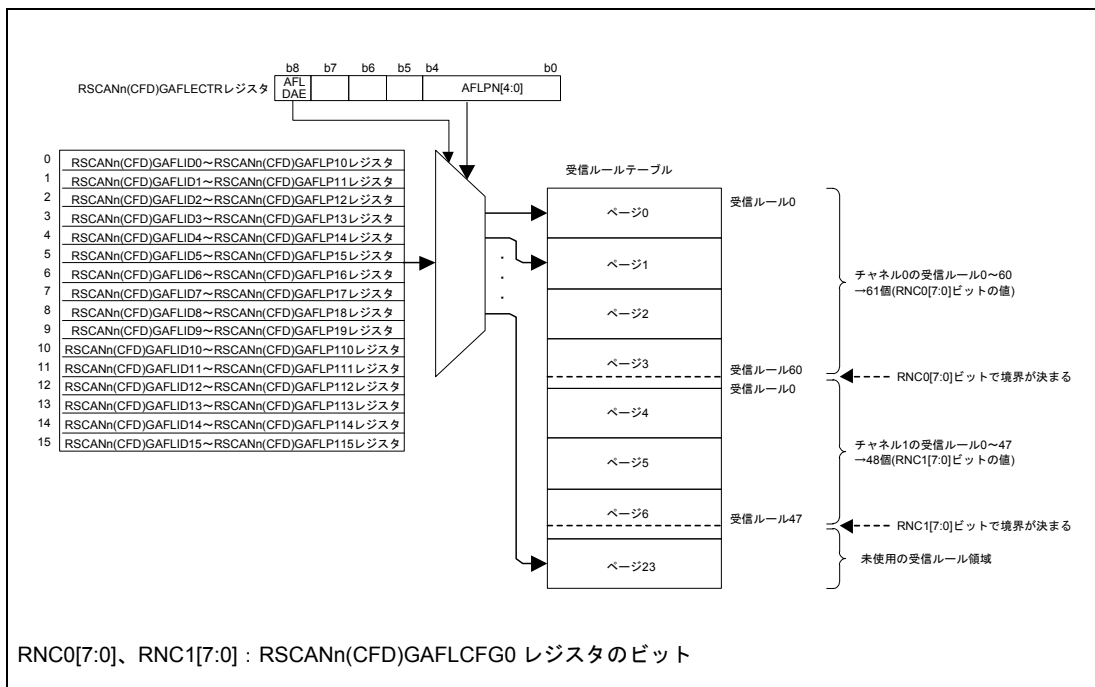


図 21.6 受信ルール登録（チャンネル 0、1 を設定する場合）

注 意

各チャンネルの受信ルールは、連続して設定してください。

チャンネル0の受信ルールとチャンネル1の受信ルールを交互に設定することはできません。

各受信ルールは RSCANn(CFD)GAFLIDj、RSCANn(CFD)GAFLMj、RSCANn(CFD)GAFLP0j、RSCANn(CFD)GAFLP1j レジスタ (j=0~15) の16バイトで構成されています。

RSCANn(CFD)GAFLIDj レジスタでは GAFLID、GAFLIDE ビット、GAFLRTR ビット、ミラー機能の設定、RSCANn(CFD)GAFLMj レジスタではマスク設定、RSCANn(CFD)GAFLP0j レジスタでは付加するラベル情報、DLC 値、格納先受信バッファの設定、

RSCANn(CFD)GAFLP1j レジスタは格納先 FIFO バッファの設定を行います。1 ページあたり 16 個の受信ルールを設定できます。

21.8.1.1 アクセプタンスフィルタ処理

アクセプタンスフィルタ処理では、受信メッセージの ID データ、IDE ビット、RTR ビットが、対応するチャンネルの受信ルールに設定した ID データ、IDE ビット、RTR ビットと比較されます。すべてのビットが一致すると、アクセプタンスフィルタ処理を通過します。

RSCANn(CFD)GAFLMj レジスタで“0” (ビットを比較しない) にしたビットに対応する受信メッセージの ID データ、IDE ビット、RTR ビットは、比較されずに一致したとみなします。

対応するチャンネルの一番小さい番号の受信ルールからチェックを開始します。受信メッセージの比較対象ビットが受信ルールとすべて一致したとき、または一致する受信ルールがないまますべてのチェックを終了したとき、フィルタ処理は停止します。一致する受信ルールがない場合は、受信バッファや FIFO バッファに格納されません。

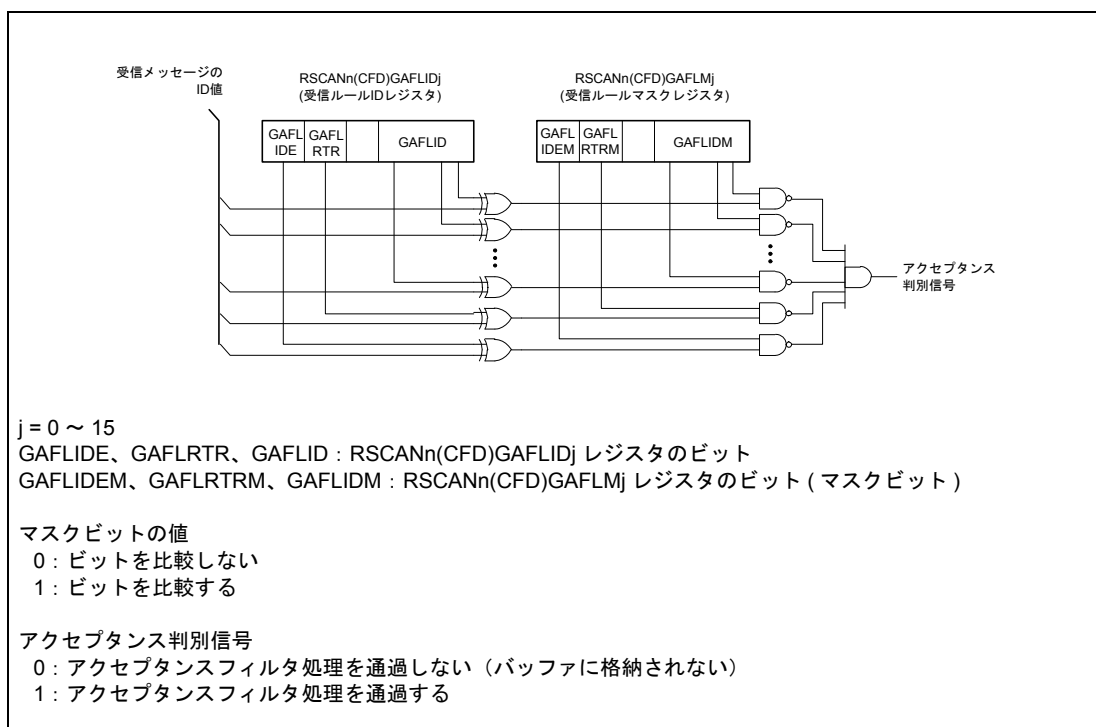


図 21.7 アクセプタンスフィルタ機能

21.8.1.2 DLC フィルタ処理

RSCANn(CFD)GCFG レジスタの DCE ビットを“1” (DLC チェック許可) にすると、アクセプタンスフィルタ処理を通過したメッセージに対して DLC フィルタ処理が行われます。メッセージの DLC 値が受信ルールに設定した DLC 値以上の場合、DLC フィルタ処理を通過します。

RSCANn(CFD)GCFG レジスタの DRE ビットが“0” (DLC 置換禁止) で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値がバッファに格納されます。この場合、受信メッセージのすべてのデータバイトがバッファに格納されます。

RSCANn(CFD)GCFG レジスタの DRE ビットが“1” (DLC 置換許可) で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには“00_H”が格納されます。

受信メッセージの DLC 値が受信ルールの DLC 値より小さい場合は、DLC フィルタ処理を通過しません。この場合、メッセージは受信バッファや FIFO バッファに格納されず、RSCANn(CFD)GERFL レジスタの DEF フラグが“1” (DLC エラー) となります。

21.8.1.3 ルーティング処理

アクセプタンスフィルタ処理と DLC フィルタ処理を通過したメッセージは、受信バッファ、受信 FIFO バッファ、または受信およびゲートウェイモードに設定した送受信 FIFO バッファに格納されます。メッセージ格納先は、RSCANn(CFD)GAFLP0j レジスタ (j=0~15) の GAFLRMV ビット、GAFLRMDP[6:0] ビット、RSCANn(CFD)GAFLP1j レジスタで設定します。フィルタ処理を通過したメッセージは最大 8 つのバッファに格納することができます。

CAN FD モードのとき、受信したメッセージのペイロード長が格納先バッファのペイロード格納サイズを超える場合は、RSCFDnCFDGERFL レジスタの CMPOF フラグが“1” (ペイロードオーバーフロー) となり、RSCFDnCFDGCFG レジスタの CMPOC ビットに従って処理が行われます。CMPOC ビットが“0”のとき、ペイロード格納サイズを超えるメッセージはバッファに格納されません。CMPOC ビットが“1”のときは格納サイズを超える分のペイロードは切り捨てられて、メッセージがバッファに格納されます。

21.8.1.4 ラベル付加処理

フィルタ処理を通過したメッセージに 12 ビットのラベル情報を添付し、バッファに格納することができます。ラベル情報は、RSCANn(CFD)GAFLP0j レジスタの GAFLPTR[11:0] ビットに設定します。

21.8.1.5 ミラー機能の処理

ミラー機能を使用すると、自らが送信したメッセージを受信することができます。ミラー機能は、RSCANn(CFD)GCFG レジスタの MME ビットを“1” (ミラー機能許可) にすることで使用可能になります。

ミラー機能使用時、他の CAN ノードが送信したメッセージを受信するときは、RSCANn(CFD)GAFLIDj レジスタの GAFLLB ビットを“0”にした受信ルールがデータ処理に使用されます。自らが送信したメッセージを受信するときは、GAFLLB ビットを“1”にした受信ルールがデータ処理に使用されます。

21.8.1.6 タイムスタンプ

タイムスタンプカウンタは、メッセージの受信時間と送信時間を記録するために使用する16ビットのフリーランカウンタです。タイムスタンプカウンタ値は、メッセージのSOE (スタートオブフレーム) のタイミングで取り込まれ、受信時はメッセージIDやデータとともに、受信バッファやFIFOバッファに格納されます。タイムスタンプカウンタのクロック源は、RSCANn(CFD)GCFGレジスタのTSBTCS[2:0]、TSSSビットで選択します。クラシカルCANモードのときは $pclk/2$ またはCANmビットタイムクロック ($m=0\sim 5$) から選択できます。CAN FDモードのときは $pclk/2$ またはCANm通常ビットタイムクロックから選択できます。ただし、CAN FDフレームを扱うチャンネルのCANm通常ビットタイムクロックは選択しないでください。選択したクロック源をRSCANn(CFD)GCFGレジスタのTSP[3:0]ビットで分周したクロックが、タイムスタンプカウンタのカウントソースになります。

CANmビットタイムクロックまたはCANm通常ビットタイムクロックをクロック源として使用する場合、対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードに遷移すると、タイムスタンプカウンタが停止します。 $pclk/2$ をクロック源として使用する場合、タイムスタンプ機能はチャンネルモードに影響されません。

タイムスタンプカウンタ値はRSCANn(CFD)GCTRレジスタのTSRSTビットを“1”にすると、“0000_H”にリセットされます。

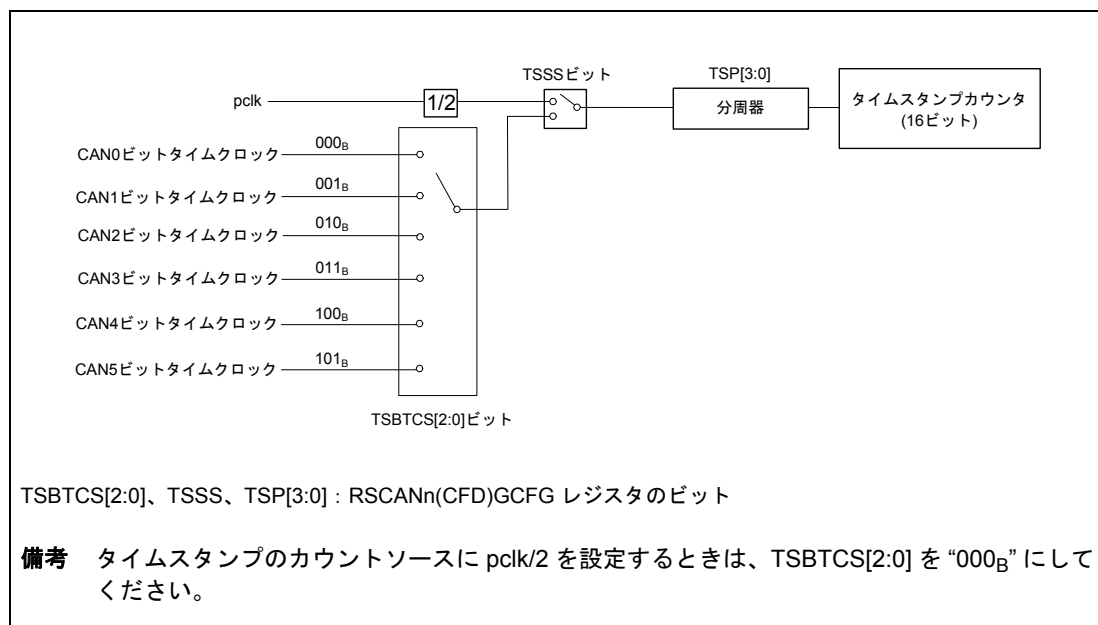


図 21.8 タイムスタンプ機能のブロック図

21.9 送信機能

送信の種類には、次の3つがあります。クラシカル CAN モードのとき、送信可能なペイロード長はいずれも 8 バイトです。CAN FD モードのとき、送信可能なペイロード長は送信の種類によって異なります。

- 送信バッファによる送信：

1 チャンネルにつき 16 バッファあります。CAN FD モードで送信可能なペイロード長は 20 バイトです。ただし、送信バッファマージモードを使用すると、16 バッファのうち 4 バッファがペイロード専用格納領域として割り付けられ、2 バッファが 20 バイトを超えるペイロードを送信可能になります。
- 送受信 FIFO バッファ（送信モード）による送信：

1 チャンネルにつき 3 本ずつあります。1 本の FIFO バッファに最大 128 メッセージ格納できます。CAN FD モードで送信可能なペイロード長は 64 バイトです。送信バッファにリンクさせて使用します。FIFO バッファ内で、次に送信予定のメッセージのみ送信の優先順位判定の対象となります。メッセージは格納順に送信されます。
- 送信キューによる送信：

1 チャンネルにつき最大 16 の送信バッファを送信キューに割り付けできます。CAN FD モードで送信可能なペイロード長は 20 バイトです。送信バッファ (16 × m) + 15 が対応するチャンネルのアクセスウィンドウとして使用します。バッファ番号の大きい方から順に、送信キューに割り付けられます。すべての送信キュー内のメッセージは優先順位判定の対象となり、ID 順に送信されます。

図 21.9 に送信キューの割り付けと送受信 FIFO バッファのリンクを示します。

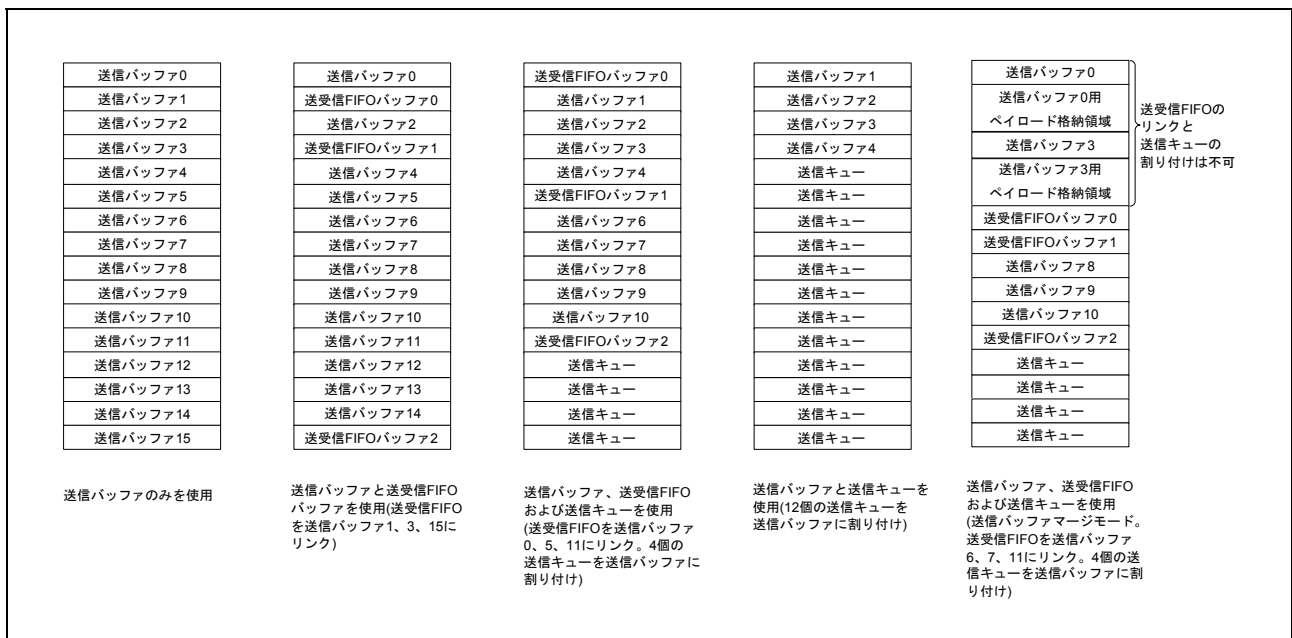


図 21.9 送信キューの割り付けと送受信 FIFO バッファのリンク

21.9.1 送信の優先順位判定

同一チャンネル内で複数のバッファやキューから送信要求が出された場合、送信の優先順位を判定します。

判定方法は次の2つから選択することができます。

- ID 優先 (TPRI ビットが“0”)
- 送信バッファ番号優先 (TPRI ビットが“1”)

RSCANn(CFD)GCFG レジスタの TPRI ビットの設定は、すべての CAN チャンネルで有効です。

TPRI ビットを“0”にした場合、格納したメッセージ ID の優先順位に基づいてメッセージが送信されます。ID の優先順位は CAN 仕様に規定されている CAN バスアービトレーション規定に準拠します。送信バッファ、送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファ、および送信キューに格納したメッセージの ID が判定対象になります。送信キューを使用している場合は、ID 優先を選択してください。送受信 FIFO バッファの場合は、FIFO 内の最も古いメッセージが優先順位判定の対象になります。メッセージが送受信 FIFO バッファから送信中の場合、同じ FIFO バッファにある次のメッセージが優先順位判定の対象になります。送信キューの場合は、送信キュー内のすべてのメッセージが優先順位判定の対象になります。2つ以上のバッファに同じ ID が設定されている場合は、より小さい番号のバッファが優先されます。

TPRI ビットを“1”にした場合、送信要求があるバッファの中で、最も小さいバッファ番号の送信バッファのメッセージが最初に送信されます。送受信 FIFO バッファが送信バッファにリンクしている場合は、リンク先の送信バッファ番号で判定されます。

TPRI ビットの設定にかかわらず、アービトレーションロストまたはエラーが発生し、再送信される場合、送信の優先順位判定が再度実行されます。また、優先順位判定処理で ECC2 ビットエラーが検出された場合、送信は行われません (クラシカル CAN モードのときは、RSCANnGCFG レジスタの EEFE ビットが“1”の場合のみ)。

21.9.2 送信バッファを用いた送信

送信バッファの送信要求ビット (RSCANn(CFD)TMCp レジスタの TMTR ビット) を“1” (送信を要求する) にすると、データフレームまたはリモートフレームを送信することができます。

送信結果は、対応する RSCANn(CFD)TMSTSp レジスタ (p=0~95) の TMTRF[1:0] フラグで確認します。送信が成功すると、TMTRF[1:0] フラグは“10_B” (送信完了:送信アボート要求なし) または“11_B” (送信完了:送信アボート要求あり) になります。

21.9.2.1 送信アボート機能

RSCANn(CFD)TMSTSp レジスタの TMTRM ビットが“1” (送信要求あり) である送信バッファにおいて、RSCANn(CFD)TMCp レジスタの TMTAR ビットを“1” (送信アボートを要求する) にすると、送信要求が取り消されます。送信アボートが完了すると、RSCANn(CFD)TMSTSp レジスタの TMTRF[1:0] フラグが“01_B” (送信アボート完了) になり、送信要求が取り消されます (TMTRM ビットが“0”になる)。

送信中のメッセージまたは送信の優先順位判定で次の送信に決定しているメッセージはアボートできません。ただし、TMTAR ビットを“1”にしたメッセージを送信中にアービトレーションロストまたはエラーが発生した場合、再送信は行いません。

21.9.2.2 ワンショット送信機能 (再送信禁止機能)

RSCANn(CFD)TMCp レジスタの TMOM ビットを“1” (ワンショット送信許可) にすると、1 回だけ送信を行います。アービトレーションロストまたはエラーが発生しても、再送信は行いません。

ワンショット送信の結果は、対応する RSCANn(CFD)TMSTSp レジスタの TMTRF[1:0] フラグで確認します。ワンショット送信が成功すると、TMTRF[1:0] フラグは“10_B” または“11_B” になります。アービトレーションロストまたはエラーが発生した場合、TMTRF[1:0] フラグは“01_B” (送信アボート完了) になります。

21.9.2.3 送信バッファマージモード (CAN FD モードのみ)

送信バッファで送信可能なペイロード長は 20 バイトですが、送信バッファマージモードによって 3 バッファの送信バッファをマージすることにより、最大 64 バイトのペイロード長を持つメッセージを送信できます。

RSCFDnCFDCmFDCFG レジスタの TMME ビットを“1” にすると、送信バッファマージモードが許可されます。このモードは 1 チャンネルごとに 6 バッファがマージ領域となり、送信バッファ (16×m)+0 ~ (16×m)+2 と送信バッファ (16×m)+3 ~ (16×m)+5 の 2 組がマージされます。送信要求は先頭の送信バッファで行い、続く 2 バッファはペイロード格納領域として使用します。先頭バッファ以外の送信バッファに対しては、送信要求ビット (RSCFDnCFDTMCp レジスタの TMTR ビット) および送信アボート要求ビット (RSCFDnCFDTMCp レジスタの TMTAR ビット) に“1”を設定しないでください。

送信バッファマージモードが許可されているとき、マージされている 6 バッファに対して受信 FIFO バッファをリンクしないでください。また、送信キューへの割り付けは行わないでください。

21.9.3 FIFO バッファによる送信

1本の送受信 FIFO バッファに、RSCANn(CFD)CFCCk レジスタ (k=0~17) の CFDC[2:0] ビットで設定した段数分のメッセージを格納できます。最初に格納したメッセージから順に送信されます。

送受信 FIFO バッファは、RSCANn(CFD)CFCCk レジスタの CFTML[3:0] ビットで選択した送信バッファにリンクされます。RSCANn(CFD)CFCCk レジスタの CFE ビットを“1” (送受信 FIFO バッファを使用する) にすると、送信の優先順位判定の対象になります。FIFO バッファ内で、次に送信予定のメッセージに対してのみ優先順位判定を実施します。

CFE ビットを“0” (送受信 FIFO バッファを使用しない) にすると、次に示すタイミングで CFEMP フラグが“1” (送受信 FIFO バッファ空) になります。

- 送受信 FIFO バッファのメッセージが送信中でなく、次の送信に決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

CFE ビットを“0”にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを“1”にする前に、CFEMP フラグが“1”になったことを確認してください。

21.9.3.1 インターバル送信機能

送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファを使用時に、同一 FIFO バッファからメッセージを送信する場合、メッセージ送信間のインターバル時間を設定できます。

RSCANn(CFD)CFCCk レジスタの CFE ビットを“1”にし、最初のメッセージが FIFO バッファから正常に送信された後、インターバルタイマはカウントを開始します (CAN プロトコルの EOF7 の後)。その後インターバル時間が経過すると、次のメッセージが送信されます。インターバルタイマは、CFE ビットを“0”にしたとき、またはチャネルリセットモード時、停止します。

インターバル時間は RSCANn(CFD)CFCCk レジスタの CFITT[7:0] ビットで設定します。インターバルタイマを使用しない場合は、CFITT[7:0] ビットに“00_H”を設定してください。

RSCANn(CFD)CFCCk レジスタの CFITR、CFITSS ビットで、インターバルタイマのカウントソースを選択します。CFITR、CFITSS ビットを“00_B”にすると pclk/2 を ITRCP[15:0] ビットの値で分周したクロック、“10_B”にすると pclk/2 を ITRCP[15:0] ビットの値×10 で分周したクロック、“x1_B”にするとクラシカル CAN モードのときは CANm ビットタイムクロック、CAN FD モードのときは CANm 通常ビットタイムクロックがカウントソースになります。

ITRCP[15:0] ビットの設定値を M、CFITT[7:0] ビットの値を N とすると、インターバル時間は次の式で求められます。

- CFITR、CFITSS ビットが“00_B”の場合：

$$\frac{1}{\text{pclk の周波数}} \times 2 \times M \times N$$

- CFITR、CFITSS ビットが“10_B”の場合：

$$\frac{1}{\text{pclk の周波数}} \times 2 \times M \times 10 \times N$$

- CFITR、CFITSS ビットが“x1_B”の場合：

$$\text{クラシカル CAN モードの場合} : \frac{1}{\text{CANm ビットタイムクロックの周波数}} \times N$$

$$\text{CAN FD モードの場合} : \frac{1}{\text{CANm 通常ビットタイムクロックの周波数}} \times N$$

図 21.10 にインターバルタイマのブロック図を示します。

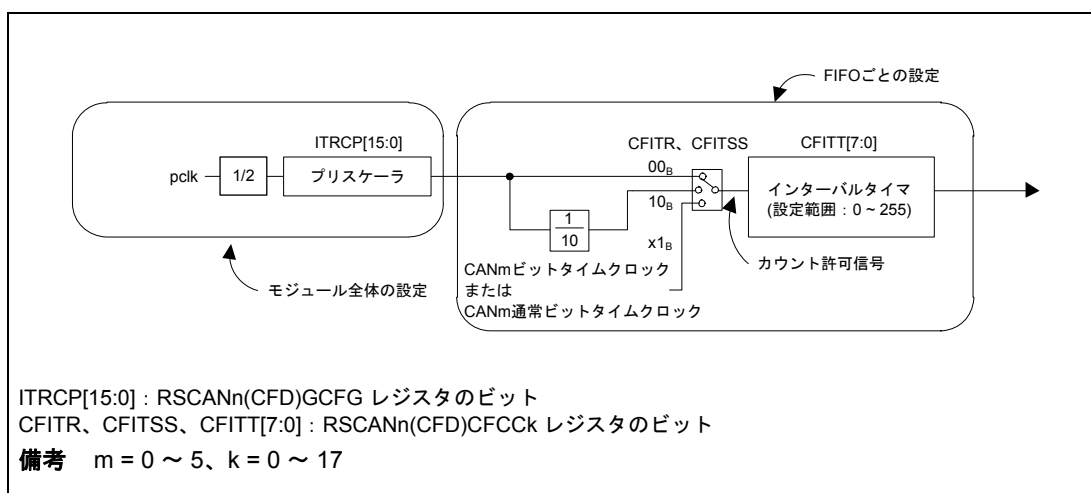


図 21.10 インターバルタイマのブロック図

図 21.11 にインターバルタイマのタイミング図を示します。

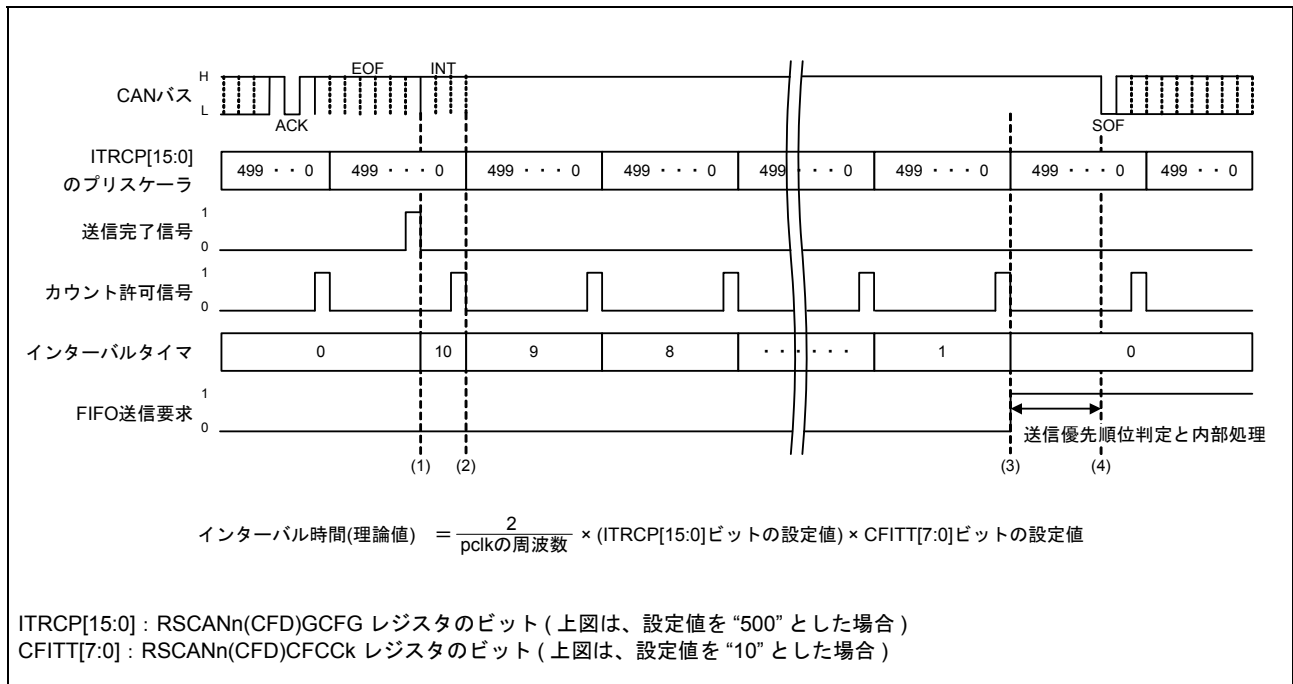


図 21.11 インターバルタイマのタイミング図

- (1) 送信が完了するとインターバルタイマがカウントを開始します。送信が完了したタイミングでプリスケアラが初期化されないため、最初のインターバル時間は、最大でインターバルタイマの1カウント分の誤差が発生します。
- (2) 次のカウント許可信号で、インターバルタイマは“1”減算されます。
- (3) インターバルタイマが“0”になると、送受信 FIFO バッファから送信要求が出されません。
- (4) 優先順位判定で送受信 FIFO バッファが次の送信に決まると、送信を開始します。送信要求が出されてから送信が開始するまで、通常 CANm ビットタイムクロックの3クロック以下の遅延で、送信を開始します。受信フィルタ処理、メッセージのルーティング、送信優先順位判定など複数の内部処理がすべてのチャンネルで発生すると、最大で pclk の 1164 クロック分遅延する場合があります。

21.9.4 送信キューによる送信

送信キューは1チャンネルごとに3～16バッファまで（送信バッファマージモードのときは10バッファまで）割り付けられ、送信バッファ $(16 \times m) + 15$ が対応するチャンネルのアクセスウィンドウになります。

送信キュー内のすべてのメッセージが送信の優先順位判定の対象となり、格納した順番にかかわらず、ID優先順に送信されます。2つの同じIDを持つメッセージが送信キューに格納された場合、これらのメッセージが送信される順番は、送信キューに格納した順番と異なる場合があります。

RSCANn(CFD)TXQCCm レジスタのTXQE ビットを“0”にすると、送信キューが使用不可になります。TXQE ビットを“0”にするとき、次に示すタイミングでRSCANn(CFD)TXQSTSm レジスタのTXQEMP フラグは“1”（送信キュー空）になります。

- 送信キューのメッセージが送信中でなく、次の送信にも決定していない場合、直ちに空になります。
- 送信キューのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CANバスエラーの検出、またはアービトラクションロストの後に、空になります。

TXQE ビットを“0”にすると、送信キューのすべてのメッセージは失われ、送信キューにメッセージを格納できなくなります。再度TXQE ビットを“1”にする前に、TXQEMP フラグが“1”になったことを確認してください。

21.9.5 送信データパディング (CAN FD モードのみ)

設定された送信メッセージのDLC値が示すペイロード長が、送信に使用するバッファのペイロード格納領域サイズを超える場合、超えた分のペイロードは“CC_H”でパディングされます。

この処理は、送信バッファマージモードが許可されていない（RSCFDnCFDCmFDCFG レジスタのTMME ビットが“0”）とき、次に示す場合に行われます。

- 送信またはゲートウェイモードに設定された送受信FIFO：
送信DLCのペイロード長が、RSCFDnCFDCFCck レジスタのCFPLS[2:0] ビットに設定された送受信FIFOのペイロード格納領域サイズを超えるとき
- 送信バッファ（送信キューを含む）：
送信DLCのペイロード長が20バイトを超えるとき

送信バッファマージモードが許可されているとき、送信バッファ、送受信FIFOバッファ、送信キューのいずれを用いた送信でも送信データパディングは行われません。このとき、送信メッセージのDLC値は、送信に使用するバッファのペイロード格納サイズを超えるペイロード長を設定しないでください。

21.9.6 送信履歴機能

送信完了したメッセージの情報を送信履歴バッファに格納できます。チャンネルごとに1つの送信履歴バッファを持ち、送信履歴バッファには16個の送信履歴データを格納できます。

RSCANn(CFD)THLCCm レジスタの THLDTE ビットで、メッセージ送信元のバッファの種類が選択できます。RSCANn(CFD)CFIDk レジスタ (k=0~17) の THLEN ビットで、メッセージごとに送信履歴データを格納するかどうかを設定できます。

クラシカル CAN モードのときは、RSCANnGCFG レジスタの TMTSCE ビットで、送信履歴データにタイムスタンプ値を含めるかどうかを設定できます。CAN FD モードのときは、常にタイムスタンプ値が含まれます。

送信が成功した後に、次に示す送信メッセージの情報が送信履歴データとして送信履歴バッファへ格納されます。

送信が成功してから送信履歴データが格納されるまで、クラシカル CAN モードの場合は最大で pclk の 152 クロック分、CAN FD モードの場合は最大で pclk の 420 クロック分遅延する場合があります。

- バッファタイプ
 - 001_B: 送信バッファ
 - 010_B: 送受信 FIFO バッファ
 - 100_B: 送信キュー
- バッファ番号

送信元の送信バッファ、送信キュー、または送受信 FIFO バッファの番号。

これはバッファタイプに依存します。**表 21.184** を参照してください。
- ラベルデータ

送信メッセージのラベル情報
- タイムスタンプ

送信メッセージのタイムスタンプ値
(クラシカル CAN モードの場合は、TMTSCE ビットが“1”のとき)

表 21.184 送信履歴データのバッファ番号

バッファタイプ バッファ番号	001 _B	010 _B	100 _B
0000 _B	送信バッファ 16 × m + 0	RSCANn(CFD)CFCCk レジスタの CFTML[3:0] ビットで送受信 FIFO バッファにリンクさせた送信バッ ファの番号 (k = 0 ~ 17)	送信を行った送信キューに割り付け られた送信バッファの番号
0001 _B	送信バッファ 16 × m + 1		
0010 _B	送信バッファ 16 × m + 2		
0011 _B	送信バッファ 16 × m + 3		
0100 _B	送信バッファ 16 × m + 4		
0101 _B	送信バッファ 16 × m + 5		
0110 _B	送信バッファ 16 × m + 6		
0111 _B	送信バッファ 16 × m + 7		
1000 _B	送信バッファ 16 × m + 8		
1001 _B	送信バッファ 16 × m + 9		
1010 _B	送信バッファ 16 × m + 10		
1011 _B	送信バッファ 16 × m + 11		
1100 _B	送信バッファ 16 × m + 12		
1101 _B	送信バッファ 16 × m + 13		
1110 _B	送信バッファ 16 × m + 14		
1111 _B	送信バッファ 16 × m + 15		

ラベルデータは、メッセージを特定するために使用します。送信バッファ、送信キュー、送受信 FIFO バッファから送信するメッセージに、固有のラベルデータを付加することができます。

タイムスタンプは、メッセージの SOF (スタートオブフレーム) のタイミングで、タイムスタンプカウンタから値が取り込まれます。タイムスタンプカウンタの詳細は「**21.8.1.6 タイムスタンプ**」を参照してください。

送信履歴データは、RSCANn(CFD)THLACCm レジスタから読み出せます。バッファがフルの場合に、新しい送信履歴データを格納しようとする、バッファがオーバーフローし、新しいデータは破棄されます。

21.10 テスト機能

テスト機能は、通信テストとグローバルテストの2つに分類できます。

- 通信テスト: チャンネルごとに行うテスト
 - 標準テストモード
 - リッスンオンリモード
 - セルフテストモード0 (外部ループバックモード)
 - セルフテストモード1 (内部ループバックモード)
 - 制限動作モード (CAN FD モードのみ)
- グローバルテスト: モジュール全体で行うテスト
 - RAM テスト (読み書きテスト)
 - チャンネル間通信テスト [CRC エラーテスト可能]

21.10.1 標準テストモード

標準テストモードでは、CRC テストを行うことができます。送信または受信メッセージを基に RS-CANFD モジュールが計算した CRC 値がレジスタに格納されます。格納先は、メッセージがクラシカル CAN フレーム (CRC 長 15 ビット) のときは RSCANn(CFD)CmERFL レジスタの CRCREG[14:0] ビット、CAN FD フレーム (CRC 長 17 ビットまたは 21 ビット) のときは RSCFDnCFDCmFDCRC レジスタの CRCREG[20:0] ビットです。CRC エラーテストを行う場合は、チャンネル間通信テスト機能を使用してください。詳細は「**21.10.6.1 CRC エラーテスト**」を参照してください。

21.10.2 リッスンオンリモード

リッスンオンリモードでは、データフレームとリモートフレームを受信できます。CAN バス上にはレセシブビットのみが送信され、ACK ビット、オーバーロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、通信速度の検出に使用できます。

リッスンオンリモードでは、どのバッファやキューからも送信要求をしないでください。

図 21.12 にリッスンオンリモード選択時の接続を示します。

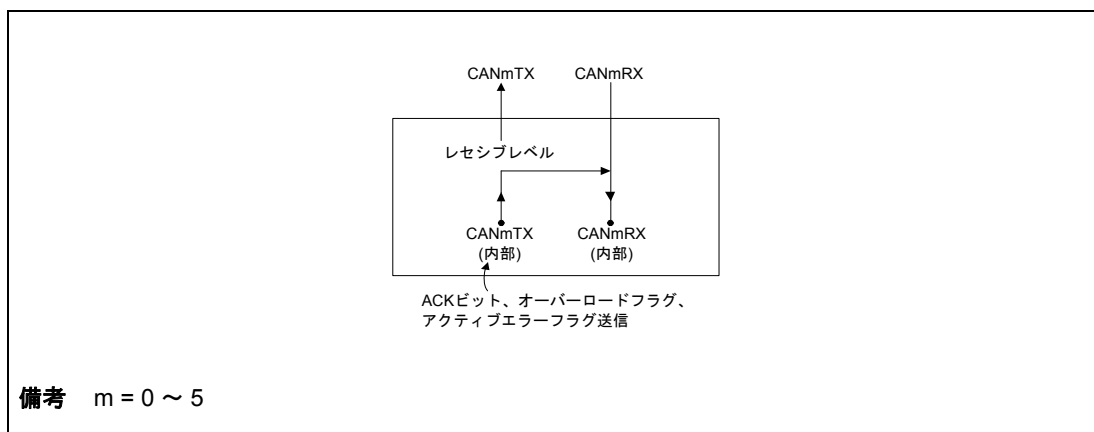


図 21.12 リッスンオンリモード選択時の接続

21.10.3 セルフテストモード (ループバックモード)

セルフテストモードでは、送信したメッセージを自チャネルの受信ルールと比較し、フィルタ処理を通過するとバッファに格納されます。他のCANノードが送信したメッセージは、RSCAN_n(CFD)GAFLID_jレジスタ ($j=0\sim 15$)のGAFLLBビットを“0” (他のCANノードが送信したメッセージを受信時)にした受信ルールとのみ比較されます。

ミラー機能とセルフテストモードが同時に許可された場合、セルフテストモードの設定が優先されます。

21.10.3.1 セルフテストモード0 (外部ループバックモード)

セルフテストモード0はCANトランシーバを含めたチャネルのループバックテストを行います。

セルフテストモード0では、送信したメッセージをCANトランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACKビットを生成します。

図 21.13 にセルフテストモード0選択時の接続を示します。

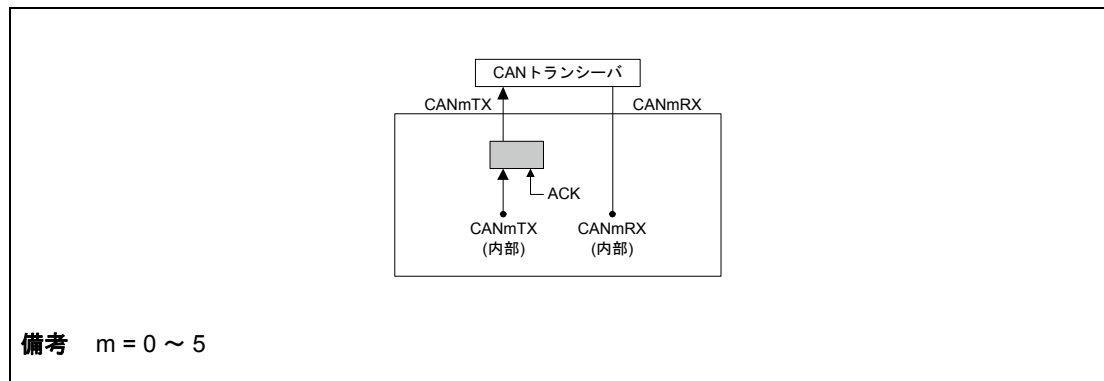


図 21.13 セルフテストモード0選択時の接続

21.10.3.2 セルフテストモード1 (内部ループバックモード)

セルフテストモード1では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACKビットを生成します。

セルフテストモード1では内部 CANmTX 端子 (m=0~5) から内部 CANmRX 端子への内部フィードバックを行います。外部 CANmRX 端子の入力は、切り離されます。外部 CANmTX 端子はレセシブビットのみ出力します。

図 21.14 にセルフテストモード1 選択時の接続を示します。

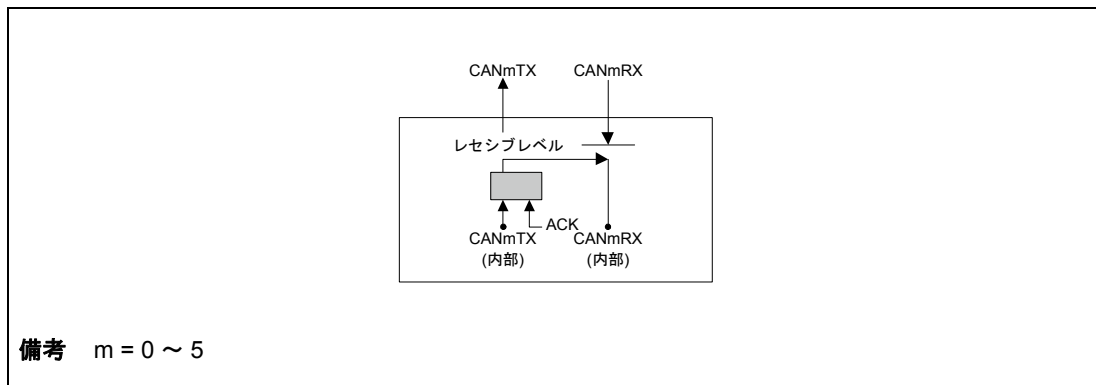


図 21.14 セルフテストモード1 選択時の接続

21.10.4 制限動作モード (CAN FD モードのみ)

制限動作モードでは、有効なデータフレームおよびリモートフレームを受信した場合に ACK ビットを生成しますが、エラーフレームまたはオーバーロードフレーム送信条件を検出してもこれらのフレームを送信しません。条件を検出した場合は、CAN 通信に再同期するため、バスアイドル状態になるのを待ちます。また、受信エラーカウンタ (REC) と送信エラーカウンタ (TEC) はエラーの発生で変化しません。

送信については任意の送信要求が可能であり、制限はありません。

21.10.5 RAM テスト

RAM テスト機能を使用すると、CAN 用 RAM 全体にアクセスすることができます。

RAM テスト機能使用時、RAM は 256 バイトごとのページに分けられます。ページは RSCANn(CFD)GTSTCFG レジスタの RTMPS[6:0] ビットで設定し、ページ内のデータは RSCANn(CFD)RPGACCr レジスタ (r=0~63) から読み出し/書き込みができます。有効な総 RAM サイズは、クラシカル CAN モードでは 15360 バイト (3C00_H)、CAN FD モードでは 21312 バイト (5340_H) です。

CAN FD モードでは、最終ページ (RTMPS = 53_H に指定されたページ) の最初の 64 バイトの後の RAM アドレスは、アクセスできません。

21.10.6 チャンネル間通信テスト

チャンネル間通信テスト機能を使用すると、CAN チャンネル同士を内部的に接続し、通信テストを行うことができます。このテスト中、チャンネルは外部の CAN バスから切り離されます。

各チャンネルに対して送受信の設定を行ってから、チャンネル通信モードで送受信を開始してください。テストに参加しないチャンネルは、チャンネル待機モードにしてください。

図 21.15 にチャンネル間通信テスト接続図を示します。

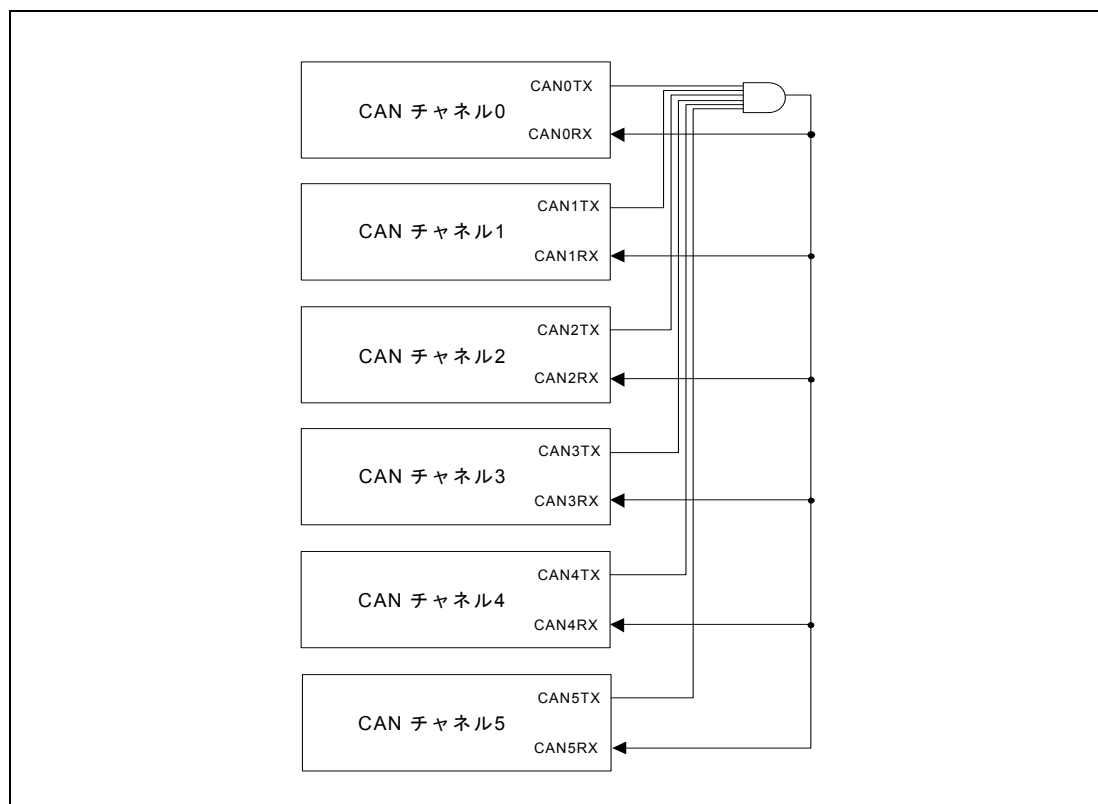


図 21.15 チャンネル間通信テスト接続図

21.10.6.1 CRC エラーテスト

チャンネル間通信テスト時は、CRC エラーテストを行うことができます。以下にチャンネル0、1 間通信テスト中にチャンネル0 のCRC エラーテストを行う場合の手順例を示します。

前提条件

- チャンネル間通信テスト有効
- チャンネル0 およびチャンネル1 は標準テストモード

手順

1. チャンネル1 の送信バッファ p からメッセージ送信を行うよう設定
2. RSCANn(CFD)C0CTR レジスタの CRCT ビットに“1”を設定 (受信 ID フィールドの先頭ビット反転が有効)
3. RSCANn(CFD)TMCp レジスタの TMTR ビットに“1”を設定 (チャンネル1 の送信バッファ p に対し、送信要求を発行)
4. チャンネルバスエラーによる CAN0 エラー割り込みの発生を待つ
5. 双方のチャンネルで RSCANn(CFD)CmERFL レジスタの CRCREG[14:0] ビットまたは RSCFDnCFDCmFDCRC レジスタの CRCREG[20:0] ビットを読み出し、CRC 値が送信側と受信側で異なっていることを確認
6. RSCANm(CFD)C0ERFL レジスタの CERR ビットが“1” (CRC エラー検出) になっていることを確認

CRC エラーテスト機能は、受信 ID フィールドの先頭ビットを反転させることにより、CRC 値の不正を発生させます。したがって、ID の上位 5 ビットが 10000_B 、または ID の上位 6 ビットが 011111_B であるメッセージを受信した場合、CRC エラーではなくスタッフエラー (同一レベルデータが 6 ビット連続) が検出されますので注意してください。

RS-CANFD モジュールの CRC 生成回路は各チャンネルがそれぞれ持つプロトコルコントローラ内にあり、送信と受信で同一の回路を共用するため、送信時の CRC 演算テストを別途行う必要ありません。

21.11 RS-CANFD の設定手順

21.11.1 初期設定

MCUのリセット後にRS-CANFDモジュールはCAN用RAMの初期化を行います。RAMの初期化時間は、pclkの7586サイクルです。RAMの初期化中は、RSCANn(CFD)GSTSレジスタのGRAMINITフラグが“1”(CAN用RAMクリア中)になり、初期化が終了すると“0”(CAN用RAMクリア完了)になります。GRAMINITフラグが“0”になった後にCANの設定を行ってください。図21.16にMCUのリセット後の設定手順を示します。

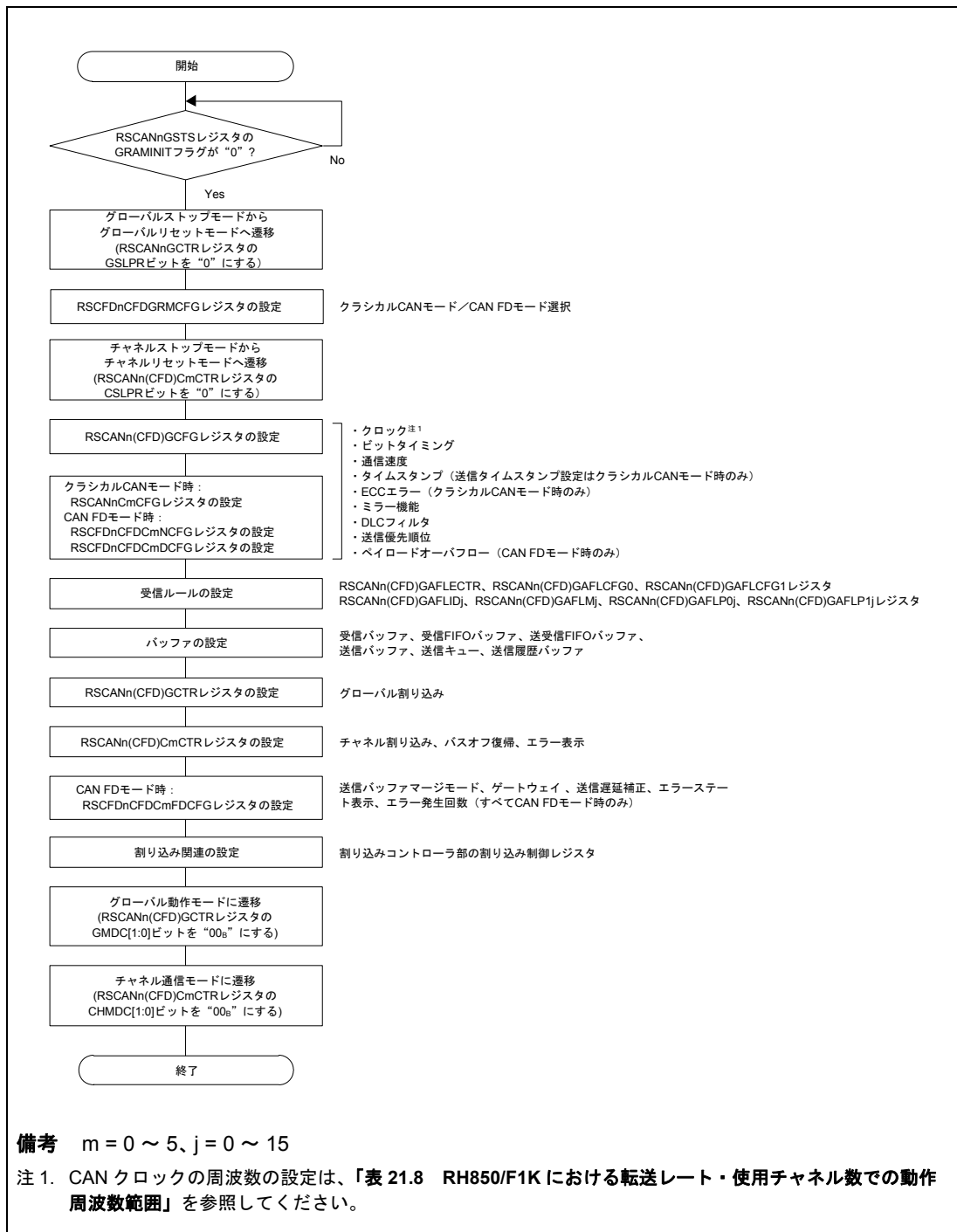


図21.16 MCUのリセット後の設定手順

21.11.1.1 クロックの設定

RS-CANFD モジュールのクロック源である CAN クロック (fCAN) を設定します。
RSCANn(CFD)GCFG レジスタの DCS ビットで、clk、または clk_xincan を選択します。

21.11.1.2 ビットタイミングの設定

CAN プロトコルでは、通信フレームの 1 ビットは SS、TSEG1、TSEG2 の 3 つのセグメントで構成されます。このうち、TSEG1 および TSEG2 の 2 つのセグメントをチャンネルごとにレジスタで設定できます。クラシカル CAN モードの場合は RSCANnCmCFG レジスタで設定します。CAN FD モードの場合は 2 種類のビットレート (通常ビットレートとデータビットレート) を持ち、それぞれ RSCFDnCFDCmNCFG レジスタと RSCFDnCFDCmDCFG レジスタで設定します。2 つのセグメントを設定することで、サンプルポイントのタイミングを決めます。このタイミングは 1 Time Quantum (以下 Tq) 単位で調整できます。1Tq は、RSCANnGCFG レジスタの DCS ビットで選択したクロックを分周したクロックの周期になります。分周比は、クラシカル CAN モードの場合は RSCANnCmCFG レジスタの BRP[9:0] ビットで設定し (CANmTq クロック)、CAN FD モードの場合は RSCFDnCFDCmNCFG レジスタの NBRP[9:0] ビットと RSCFDnCFDCmDCFG レジスタの DBRP[7:0] ビットで設定します (CANmTq(N) クロックと CANmTq(D) クロック)。ISO 11898-1 では通常ビットレートとデータビットレートで個別の分周比にすることを許可しています。ただし、それぞれを異なる値に設定した場合、通常ビットレートからデータビットレートに切り替わるタイミングで、CAN ノード間の同期が外れる可能性があります。そのため、NBRP[9:0] ビットと DBRP[7:0] ビットは同じ値に設定し、セグメントの値によって 2 つのビットレートを異なる値にすることが推奨されます。

図 21.17 にビットタイミング図を示します。**表 21.185** にビットタイミングの設定例を示します。

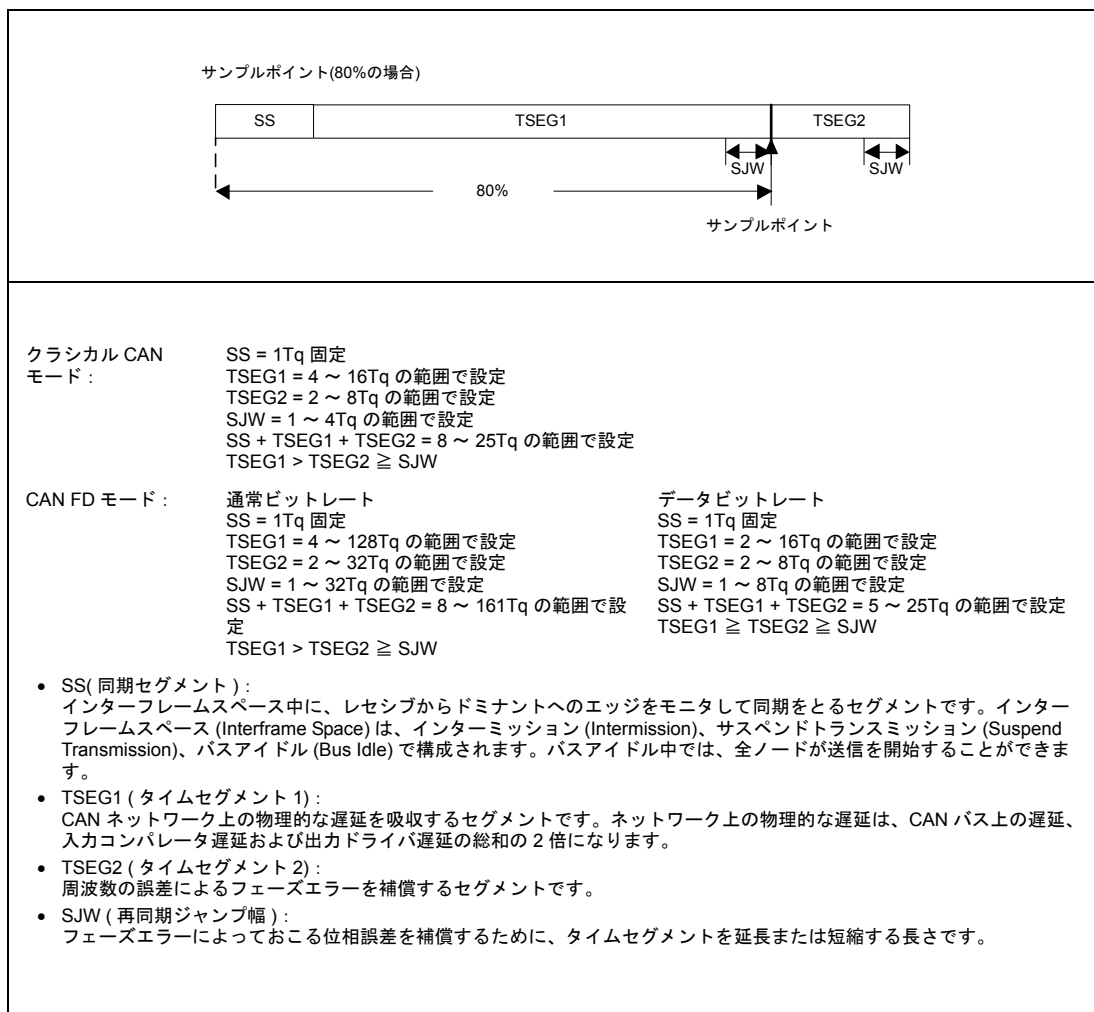


図 21.17 ビットタイミング図

表 21.185 ビットタイミングの設定例

1 ビット	設定値 (Tq)				サンプルポイント (%) ※ 図 21.17 を参照
	SS	TSEG1	TSEG2	SJW	
5Tq 注1	1	2	2	1	60.00
8Tq	1	4	3	1	62.50
	1	5	2	1	75.00
10Tq	1	6	3	1	70.00
	1	7	2	1	80.00
16Tq	1	10	5	1	68.75
	1	11	4	1	75.00
20Tq	1	12	7	1	65.00
	1	13	6	1	70.00
50Tq 注1	1	39	10	4	80.00

注 1. CAN FD モードのみ

21.11.1.3 通信速度の設定

CANの通信速度は、fCAN、ボーレートプリスケアラ分周値、および1ビットタイムのTq数を用いてチャンネルごとに設定します。CAN FDモードの場合は、チャンネルごとにアービトラージフェーズとデータフェーズの2種類の通信速度を設定します。

図 21.18 に CAN クロック制御ブロック図、表 21.186、表 21.187 に通信速度の設定例を示します。

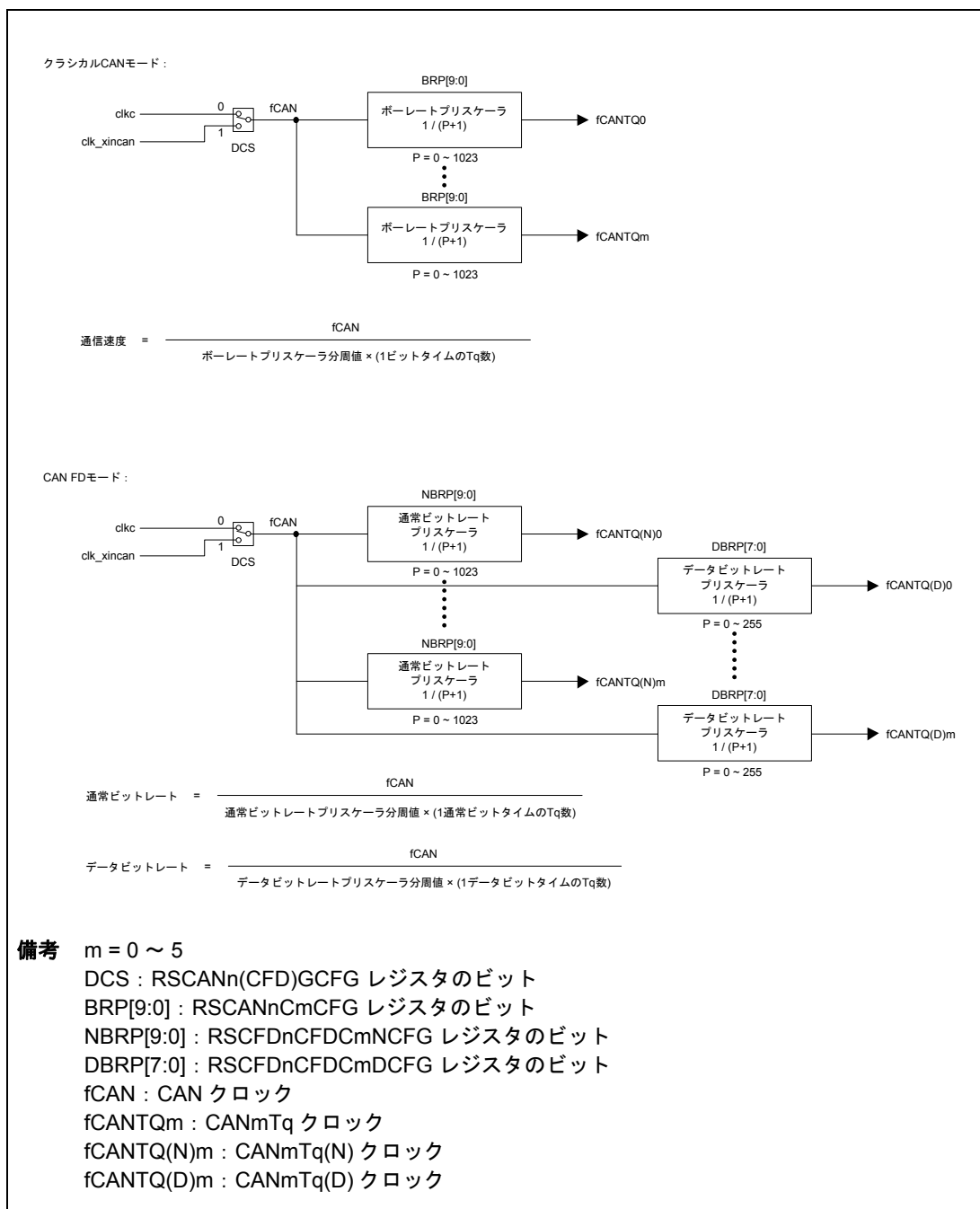


図 21.18 CAN クロック制御ブロック図

表 21.186 通信速度の設定例 (クラシカル CAN モード)

fCAN 通信速度	40MHz	32MHz	24MHz	20MHz	16MHz	8MHz
1Mbps	8Tq (5) 20Tq (2)	8Tq (4) 16Tq (2)	8Tq (3) 12Tq (2) 24Tq (1)	10Tq (2) 20Tq (1)	8Tq (2) 16Tq (1)	8Tq (1)
500Kbps	8Tq (10) 20Tq (4)	8Tq (8) 16Tq (4)	8Tq (6) 12Tq (4) 24Tq (2)	10Tq (4) 20Tq (2)	8Tq (4) 16Tq (2)	8Tq (2) 16Tq (1)
250Kbps	8Tq (20) 20Tq (8)	8Tq (16) 16Tq (8)	8Tq (12) 12Tq (8) 24Tq (4)	10Tq (8) 20Tq (4)	8Tq (8) 16Tq (4)	8Tq (4) 16Tq (2)
125Kbps	8Tq (40) 20Tq (16)	8Tq (32) 16Tq (16)	8Tq (24) 12Tq (16) 24Tq (8)	10Tq (16) 20Tq (8)	8Tq (16) 16Tq (8)	8Tq (8) 16Tq (4)

表 21.187 通信速度の設定例 (CAN FD モード、通常ビットレートとデータビットレート)

fCAN 通信速度	40MHz	20MHz
通常 1Mbps データ 5Mbps	通常 40Tq (1) データ 8Tq (1)	なし
通常 500Kbps データ 2Mbps	通常 80Tq (1) データ 20Tq (1)	通常 40Tq (1) データ 10Tq (1)

備考 () 内の数字はボーレートプリスケアラ分周値

21.11.1.4 受信ルールの設定

受信ルール関連レジスタで受信ルールの設定を行うことができます。

1 ページに 16 の受信ルールを登録できます。RSCANn(CFD)GAFLECTR レジスタの AFLPN[4:0] ビットでページ 0 ~ 23 (6 チャンネル搭載ユニットの場合) を指定します。また、AFLDAE ビットで受信ルールテーブルへの書き込みの許可/禁止を設定します。

図 21.19 に受信ルール設定手順について示します。

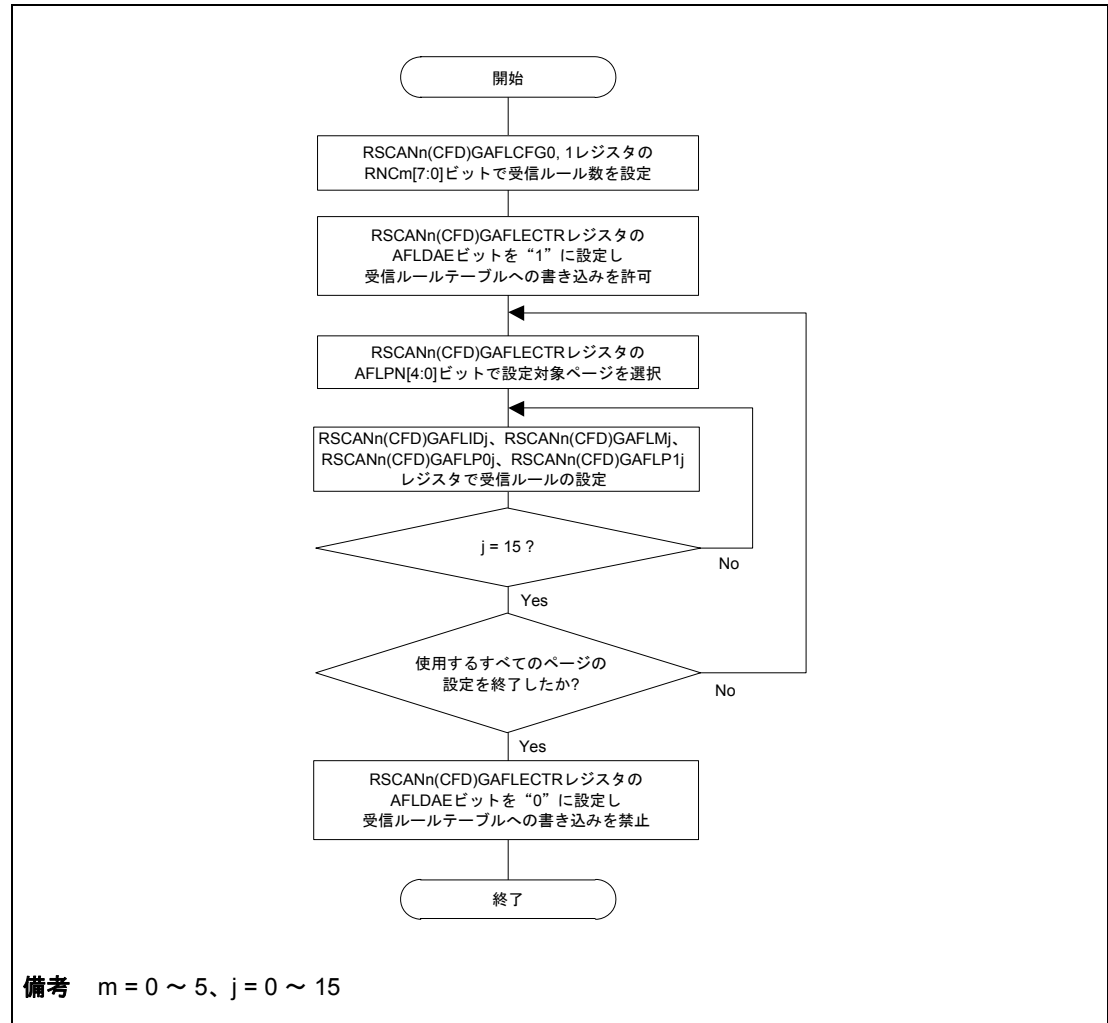


図 21.19 受信ルール設定手順

21.11.1.5 バッファの設定

各種バッファの使用バッファ数（格納メッセージ数）と割り込み要因を設定します。CAN FD モード時はペイロード格納サイズも設定します。また、送信モードに設定した送受信 FIFO バッファはリンクする送信バッファを設定します。

クラシカル CAN モード時、受信バッファと FIFO バッファで使用可能な RAM は最大 6144 バイトです。使用可能なバッファは最大 384 バッファで、1 バッファあたり 16 バイトを使用します。次の条件を満たすように設定してください。

受信バッファ数

+ 受信 FIFO バッファ x の段数の合計

+ 送受信 FIFO バッファ k の段数の合計 ≤ 384 バッファ

CAN FD モード時、受信バッファと FIFO バッファで使用可能な RAM は最大 10752 バイトです。次の条件を満たすように設定してください。

受信バッファ数 \times (12 + ペイロード格納サイズ)

+ 受信 FIFO バッファ x の (段数 \times (12 + ペイロード格納サイズ)) の合計

+ 送受信 FIFO バッファ k の (段数 \times (12 + ペイロード格納サイズ)) の合計
 ≤ 10752 バイト

図 21.20 にバッファの構成を示します。**図 21.21** に各種バッファの設定手順を示します。

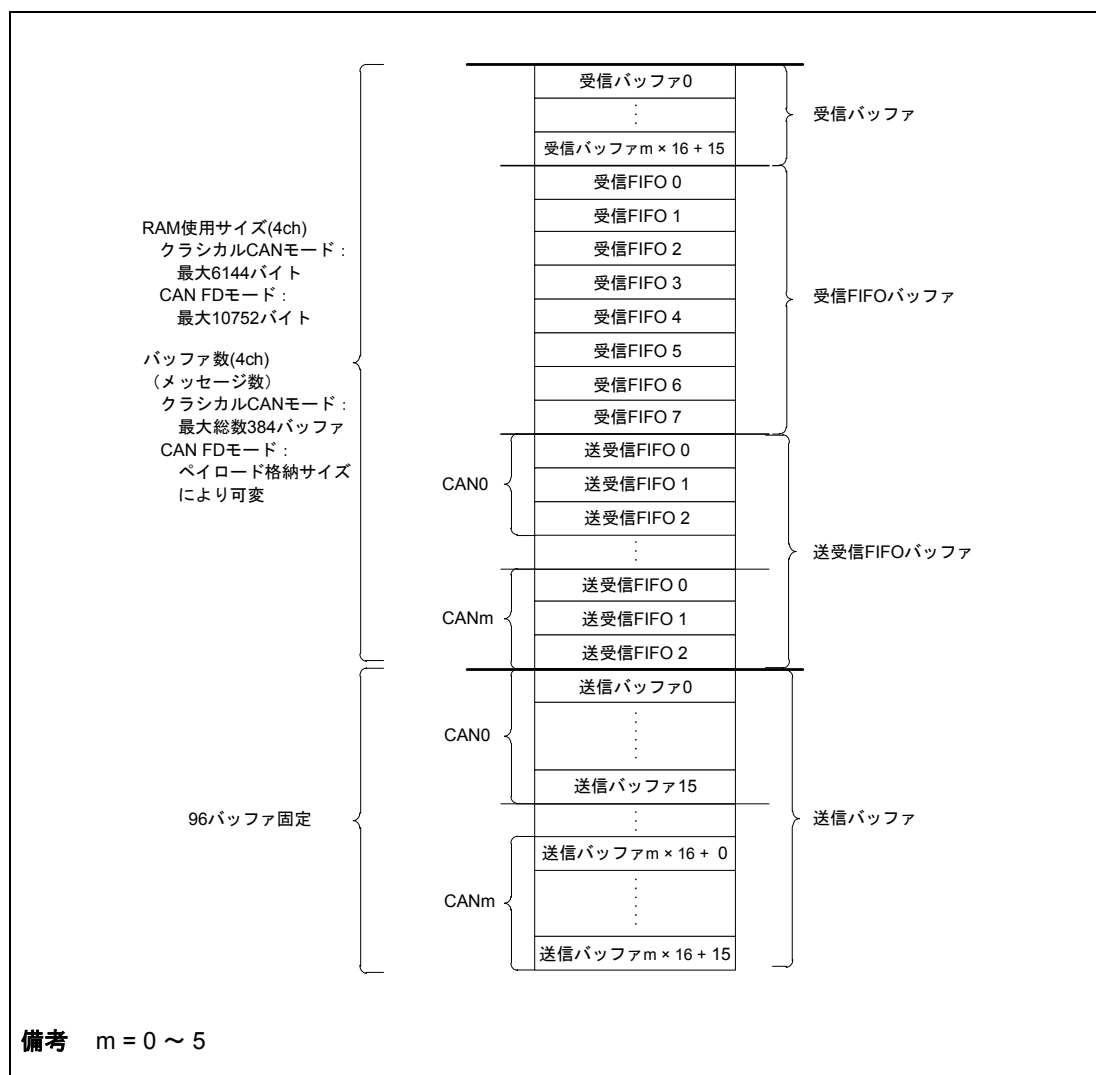


図 21.20 バッファの構成

注 意

受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ、送信バッファは連続して配置されます。

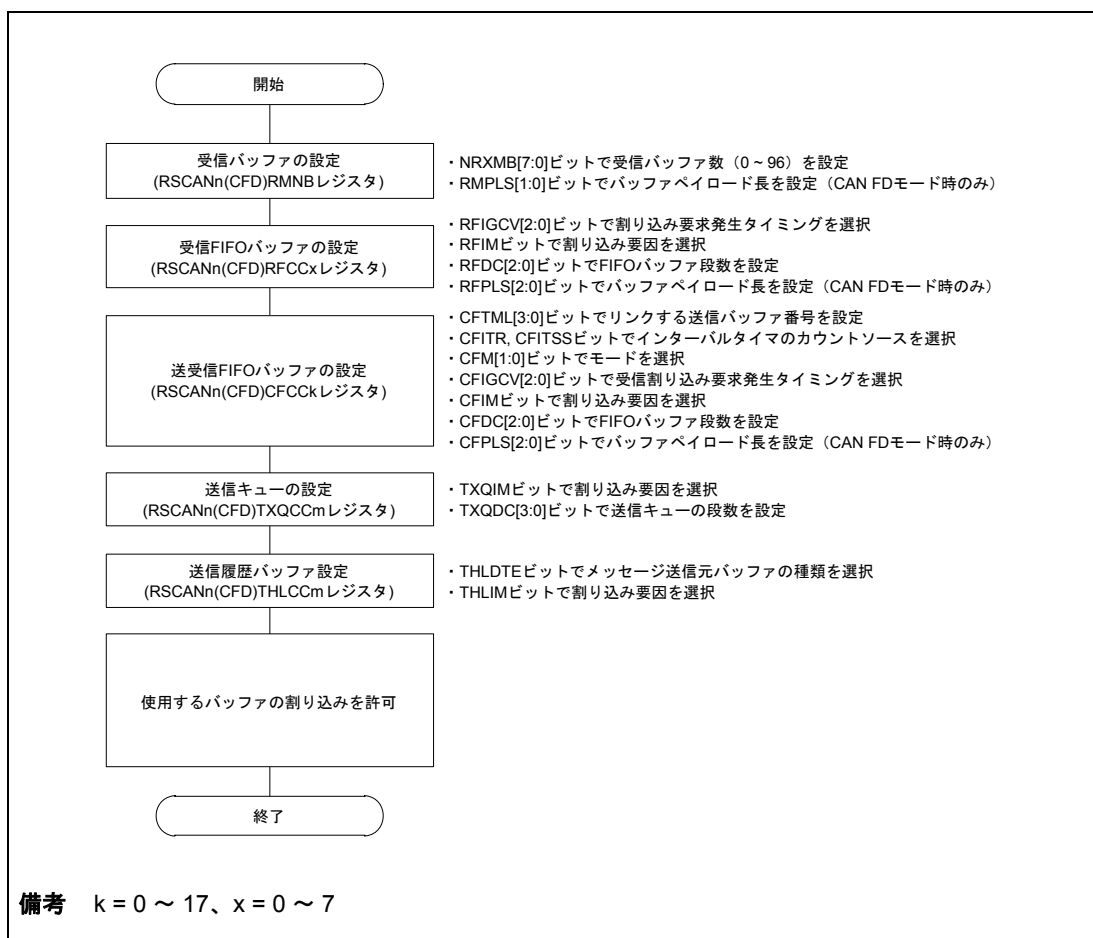


図 21.21 各種バッファの設定手順

21.11.1.6 送信遅延補正 (CAN FD モードのみ)

CAN FD モードのデータフェーズでは高いボーレートが使用されます。このときの伝播遅延を許容するための機能として、送信遅延補正があります。

この機能を使用する場合は、RSCFDnCFDCmFDCFG レジスタの TDCE ビットを“1”に設定します。また、データフェーズで使用されるセカンダリサンプルポイント (SSP) のタイミングを RSCFDnCFDCmFDCFG レジスタの TDCOC ビットと TDCO[6:0] ビットで設定します。

TDCOC ビットが“0”のとき、SSP のタイミングは RS-CANFD モジュールが測定した遅延と TDCO[6:0] ビット値を合計した値と等しくなります (最も近い整数の T_q に切り捨てます)。通常、TDCO[6:0] ビット値はサンプルポイントのタイミングである SS と TSEG1 の合計値でなければなりません。

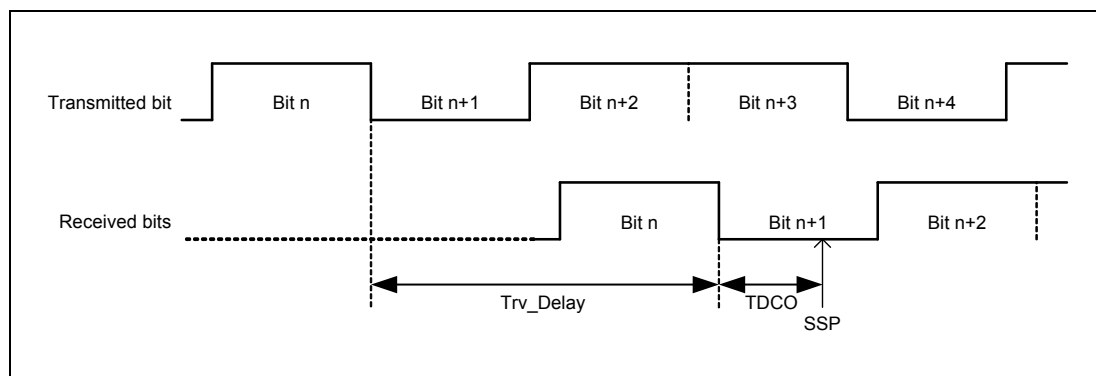


図 21.22 SSP のタイミング

TDCOC ビットが“1”のとき、SSP のタイミングは TDCO[6:0] ビット値のみで決定されます (RSCFDnCFDCmDCFG レジスタの DBRP[7:0] ビットが 0 より大きいとき、TDCO[6:0] ビット値もまた最も近い整数の T_q に切り捨てられます)。

RS-CANFD モジュールは最大 $3CAN_m$ ビットタイム - $2T_q$ の遅延を補償します (CAN_m ビットタイムはデータビットレートの値)。

RSCFDnCFDCmFDCFG レジスタの TDCE ビットが“1”にセットされている場合 (送信遅延補正許可)、NBRP[9:0] ビットと DBRP[7:0] ビットには 1 以下の値を設定してください。

21.11.2 受信手順

21.11.2.1 受信バッファの読み出し手順

受信したメッセージを受信バッファに格納する処理が始まると、RSCANn(CFD)RMNDy レジスタの RMNSq フラグ (y = 0 ~ 2, q = 0 ~ 95) が “1” (受信バッファ q に新しいメッセージあり) になります。メッセージは RSCANn(CFD)RMIDq、RSCANn(CFD)RMPTRq、RSCFDnCFDRMFDSTSq (CAN FD モード時のみ)、RSCANn(CFD)RMDFBq (クラシカル CAN モード時は b = 0, 1、CAN FD モード時は b = 0 ~ 4) レジスタから読みます。受信バッファからメッセージを読み出す前に次のメッセージを受信した場合、メッセージが上書きされます。図 21.23 に受信バッファの読み出し手順を示します。この手順により、RSCANn(CFD)RMIDq、RSCANn(CFD)RMPTRq、RSCFDnCFDRMFDSTSq、RSCANn(CFD)RMDFBq レジスタから読み出したメッセージの一貫性を確保できます。

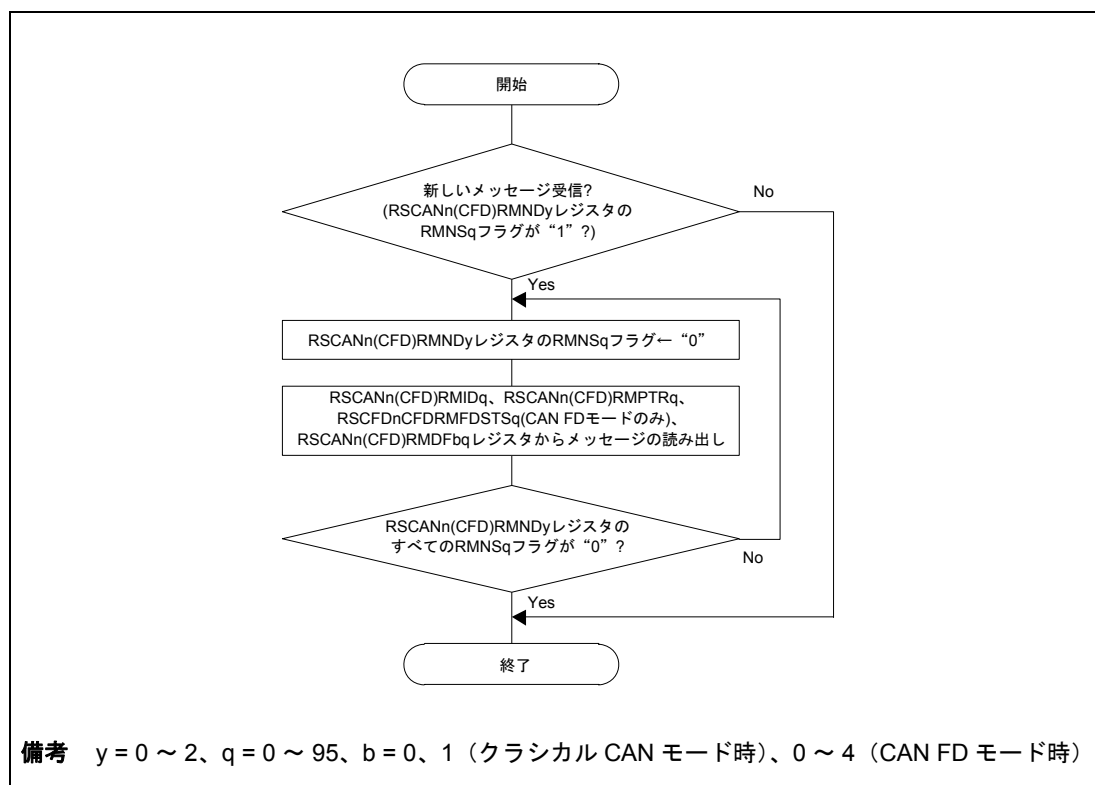


図 21.23 受信バッファの読み出し手順

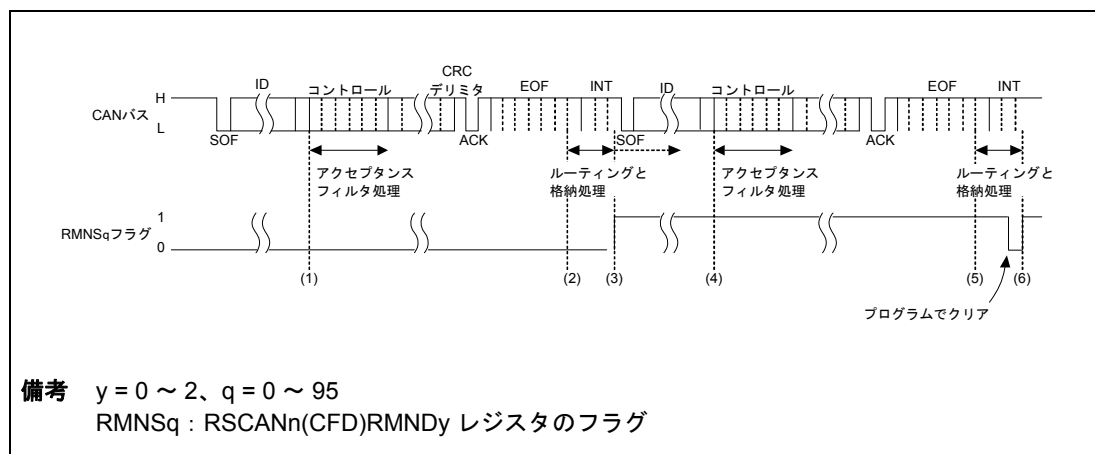


図 21.24 受信バッファの受信タイミング図

- (1) メッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (2) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCANn(CFD)GCFG レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
- (3) DLC フィルタ処理を通過すると、指定した受信バッファにメッセージを格納する処理が開始します。
メッセージの格納処理が始まると、対応する RSCANn(CFD)RMNDy レジスタの RMNSq フラグが“1” (受信バッファに新しいメッセージあり) になります。他のチャネルでフィルタ処理や送信の優先順位判定処理を行っている場合、ルーティング処理や格納処理が遅延する場合があります。
- (4) 次のメッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (5) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCANn(CFD)GCFG レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
- (6) 対応する RMNSq フラグを“0” (受信バッファに新しいメッセージなし) にクリアした場合、メッセージの格納処理が始まると、再度“1”になります。RMNSq フラグが“1”のままでも、新しいメッセージは受信バッファに上書きされます。メッセージ格納中は RMNSq フラグを“0”にできません。

21.11.2.2 FIFO バッファの読み出し手順

受信メッセージが1つ以上の受信 FIFO バッファまたは、受信モード/ゲートウェイモードに設定した送受信 FIFO バッファへ格納されると、対応するメッセージ数表示カウンタ (RSCANn(CFD)RFSTSx レジスタ (x=0~7) の RFMC[7:0] ビットまたは RSCANn(CFD)CFSTSx レジスタ (k=0~17) の CFMC[7:0] ビット) の値が1加算されます。このとき、RSCANn(CFD)RFCCx レジスタの RFIE ビット (受信 FIFO 割り込み許可ビット) や RSCANn(CFD)CFCCk レジスタの CFRXIE ビット (送受信 FIFO 受信割り込み許可ビット) を“1”にしていると、割り込み要求が発生します。受信メッセージは、受信 FIFO バッファの場合は RSCANn(CFD)RFIDx、RSCANn(CFD)RFPTRx、RSCFDnCFDRFFDSTSx (CAN FD モード時のみ)、RSCANn(CFD)RFDFdx (クラシカル CAN モード時は d=0, 1、CAN FD モード時は d=0~15) レジスタから、送受信 FIFO バッファの場合は RSCANn(CFD)CFIDk、RSCANn(CFD)CFPTRk、RSCFDnCFDCFFDCSTSk (CAN FD モード時のみ)、RSCANn(CFD)CFDFdk レジスタから読み出すことができます。FIFO バッファは古いメッセージから読み出せます。

メッセージ数表示カウンタの値が FIFO バッファの段数値 (RSCANn(CFD)RFCCx レジスタの RFDC[2:0] ビットまたは RSCANn(CFD)CFCCk レジスタの CFDC[2:0] ビットで設定した値) に一致したとき、RFLL フラグまたは CFLL フラグが“1” (FIFO バッファフル) になります。

FIFO バッファからすべてのメッセージを読み出したとき、RSCANn(CFD)RFSTSx レジスタの RFEMP フラグまたは RSCANn(CFD)CFSTSx レジスタの CFEMP フラグが“1” (FIFO バッファ空) になります。

割り込み要求フラグ (RSCANn(CFD)RFSTSx レジスタの RFIF フラグまたは RSCANn(CFD)CFSTSx レジスタの CFRXIF フラグ) が“1” (割り込み要求あり) の状態で RFE ビットや CFE ビットを“0” (FIFO バッファを使用しない) にすると、割り込み要求フラグは自動的に“0”になりません。割り込み要求フラグはプログラムで“0”にしてください。

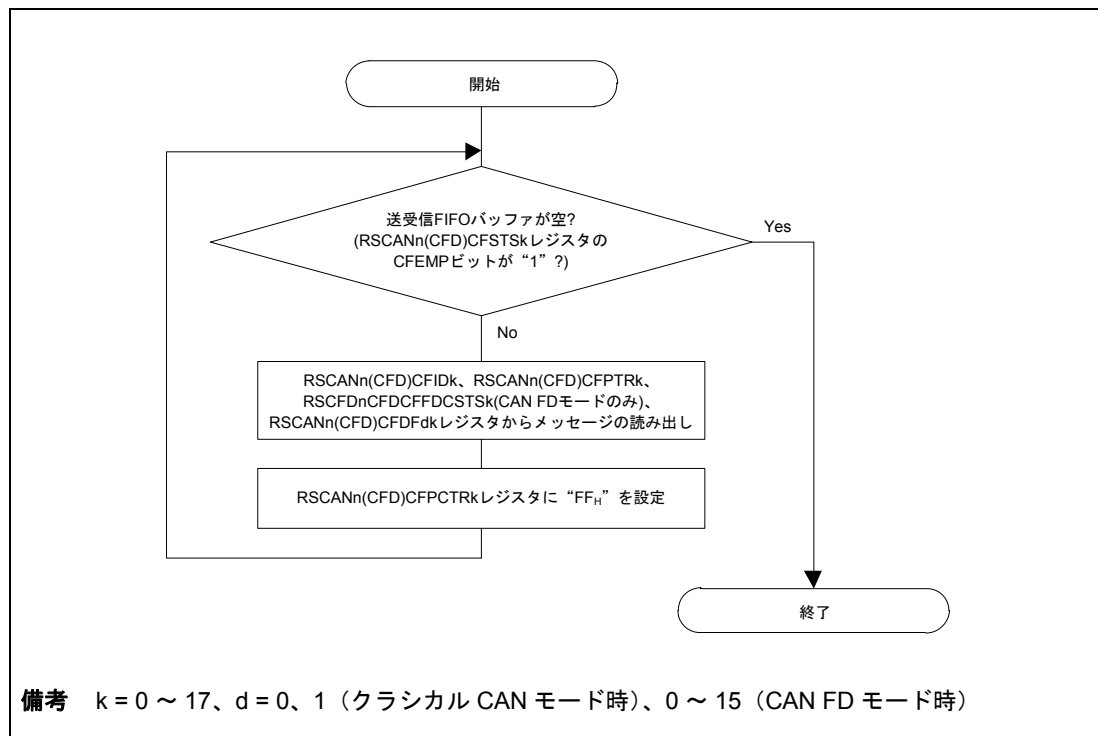


図 21.25 送受信 FIFO バッファの読み出し手順

CAN FD モードでメッセージを読み出すとき、RSCFDnCFDRFCCx レジスタの RFPLS[2:0] ビットまたは RSCFDnCFDCFCck レジスタの CFPLS[2:0] ビットで設定したペイロード格納サイズを超える領域に対応する RSCFDnCFDRFDFd_x、RSCFDnCFDCCFDFd_k レジスタの読み出しはしないでください。

表 21.188 受信 FIFO バッファのペイロード格納領域

RFPLS[2:0] ビット の設定値	ペイロード 格納サイズ	対応するデータフィールドレジスタ
000 _B	8 バイト	RSCFDnCFDRFDF0_x ~ RSCFDnCFDRFDF1_x
001 _B	12 バイト	RSCFDnCFDRFDF0_x ~ RSCFDnCFDRFDF2_x
010 _B	16 バイト	RSCFDnCFDRFDF0_x ~ RSCFDnCFDRFDF3_x
011 _B	20 バイト	RSCFDnCFDRFDF0_x ~ RSCFDnCFDRFDF4_x
100 _B	24 バイト	RSCFDnCFDRFDF0_x ~ RSCFDnCFDRFDF5_x
101 _B	32 バイト	RSCFDnCFDRFDF0_x ~ RSCFDnCFDRFDF7_x
110 _B	48 バイト	RSCFDnCFDRFDF0_x ~ RSCFDnCFDRFDF11_x
111 _B	64 バイト	RSCFDnCFDRFDF0_x ~ RSCFDnCFDRFDF15_x

表 21.189 送受信 FIFO バッファのペイロード格納領域

CFPLS[2:0] ビット の設定値	ペイロード 格納サイズ	対応するデータフィールドレジスタ
000 _B	8 バイト	RSCFDnCFDCCFDF0_k ~ RSCFDnCFDCCFDF1_k
001 _B	12 バイト	RSCFDnCFDCCFDF0_k ~ RSCFDnCFDCCFDF2_k
010 _B	16 バイト	RSCFDnCFDCCFDF0_k ~ RSCFDnCFDCCFDF3_k
011 _B	20 バイト	RSCFDnCFDCCFDF0_k ~ RSCFDnCFDCCFDF4_k
100 _B	24 バイト	RSCFDnCFDCCFDF0_k ~ RSCFDnCFDCCFDF5_k
101 _B	32 バイト	RSCFDnCFDCCFDF0_k ~ RSCFDnCFDCCFDF7_k
110 _B	48 バイト	RSCFDnCFDCCFDF0_k ~ RSCFDnCFDCCFDF11_k
111 _B	64 バイト	RSCFDnCFDCCFDF0_k ~ RSCFDnCFDCCFDF15_k

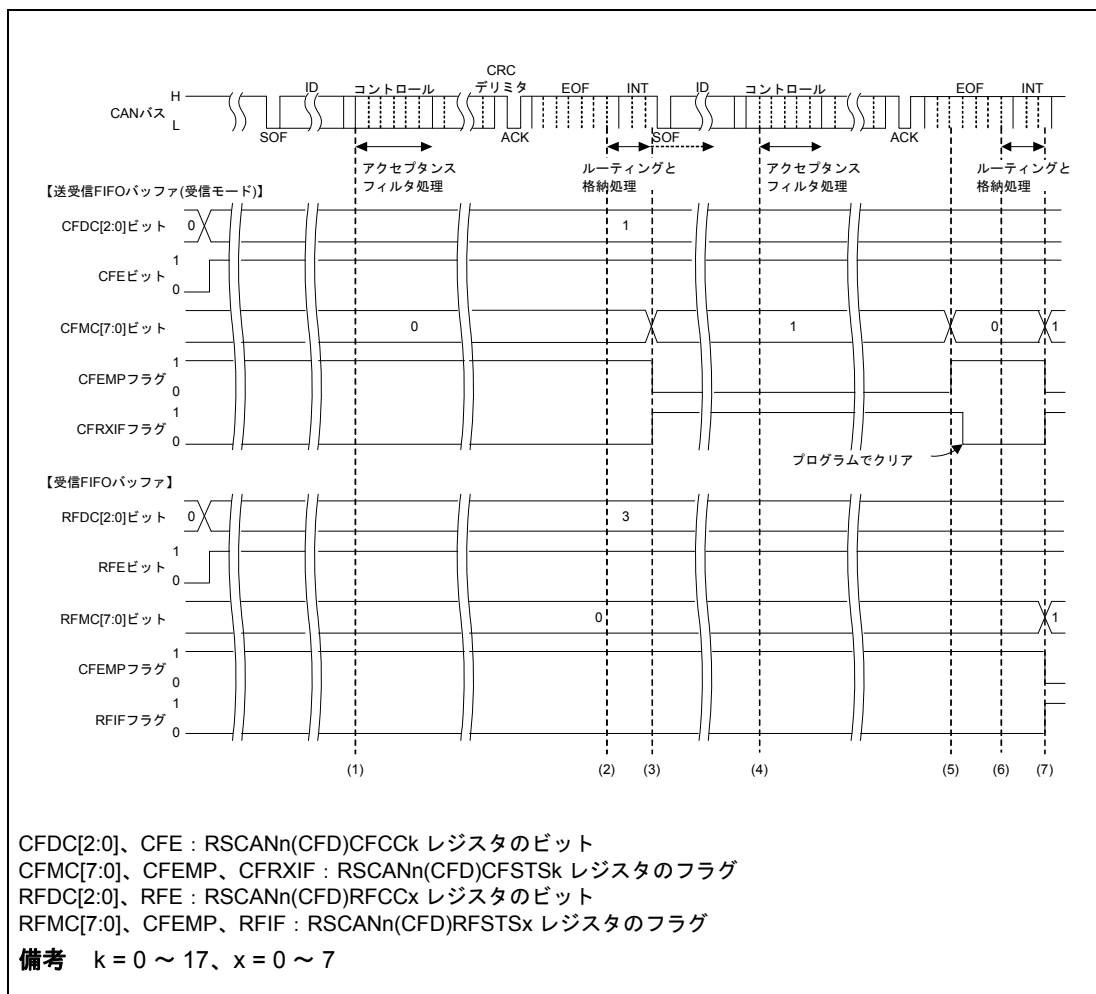


図 21.26 FIFO バッファの受信タイミング図

- (1) メッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (2) 対応するチャンネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCANn(CFD)GCFG レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
- (3) DLC フィルタ処理を通過し、かつ RSCANn(CFD)CFCCk レジスタの CFE ビットが“1” (送受信 FIFO バッファを使用する) で、RSCANn(CFD)CFCCk レジスタの CFDC[2:0] ビットの値が“001_B”以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。RSCANn(CFD)CFSTSk レジスタの CFMC[7:0] ビットが 1 加算されて“01_H”になります。RSCANn(CFD)CFCCk レジスタの CFIM ビットを“1” (1 メッセージ受信ごとに割り込み要求発生) にしている場合、RSCANn(CFD)CFSTSk レジスタの CFRXIF フラグが“1” (送受信 FIFO 受信割り込み要求あり) になります。CFRXIF フラグはプログラムで“0”にできます。
- (4) 次のメッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (5) RSCANn(CFD)CFIDk、RSCANn(CFD)CFPTRk、RSCANn(CFD)CFDFdk レジスタから受信メッセージを読み出し、RSCANn(CFD)CFPCTRk レジスタに“FF_H”を書きます。そ

れにより、RSCANn(CFD)CFSTSk レジスタの CFMC[7:0] ビットが 1 減算されて“00_H”になり、RSCANn(CFD)CFSTSk レジスタの CFEMP フラグが“1” (送受信 FIFO バッファ空) になります。

- (6) 対応するチャンネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCANn(CFD)GCFG レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
- (7) DLC フィルタ処理を通過し、かつ CFE ビットが“1” (送受信 FIFO バッファを使用する)、CFDC[2:0] ビットの値が“001_B”以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。CFMC[7:0] ビットが 1 加算されて“01_H”になります。CFIM ビットを“1” (1 メッセージ受信ごとに割り込み要求発生) にしている場合、CFRXIF フラグが“1” (送受信 FIFO 受信割り込み要求あり) になります。
また、RSCANn(CFD)RFCCx レジスタの RFE ビットが“1” (受信 FIFO バッファを使用する)、RSCANn(CFD)RFCCx レジスタの RFDC[2:0] ビットの値が“001_B”以上の場合、受信 FIFO バッファにメッセージが格納されます。RSCANn(CFD)RFSTx レジスタの RFMC[7:0] ビットが 1 加算されて“01_H”になります。RSCANn(CFD)RFCCx レジスタの RFIM ビットを“1” (1 メッセージ受信ごとに割り込み要求発生) にしている場合、RSCANn(CFD)RFSTx レジスタの RFIF フラグが“1” (受信 FIFO 割り込み要求あり) になります。

21.11.2.3 FIFO バッファの DMA 転送による読み出し手順

CAN FD モードのとき、次の FIFO バッファに対し、DMA 転送で読み出しを行うことができます。

- 全ての受信 FIFO バッファ x ($x=0\sim 7$)
- チャンネル m に割り当てられた最初の送受信 FIFO バッファ k ($k=3\times m, m=0\sim 5$)

DMA 許可ビット (RSCFDnCFDCDTC レジスタの RFDMAEx ビットまたは CFDMAEm ビット) は任意のタイミングで設定できます。ただし、“1” (DMA 転送要求許可) にするときは、あらかじめ関連する FIFO の受信割り込み許可ビット (RSCFDnCFDRFCCx レジスタの RFIE ビットまたは RSCFDnCFDCFCCk レジスタの CFRXIE ビット) を“0” (割り込み禁止) にしてください。DMA 転送要求が許可されているときは、FIFO 制御レジスタ (RSCFDnCFDRFCCx レジスタまたは RSCFDnCFDCFCCk レジスタ) にライトしないでください。

DMA 転送が許可された FIFO バッファに未読メッセージがあるとき、DMA 転送要求トリガが生成されます。転送元アドレスには FIFO アクセスレジスタのアドレスを指定し、1 回のトリガでペイロード格納領域の末尾まで読み出されるよう転送サイズを調整してください。この末尾は RSCFDnCFDRFCCx レジスタ RFPLS[2:0] ビットまたは RSCFDnCFDCFCCk レジスタの CFPLS[2:0] ビットで設定したペイロード格納サイズに依存します。

FIFO バッファに格納されたペイロードの末尾が読み出されると、RSCFDnCFDRFSTSx レジスタの RFMC[7:0] ビットまたは RSCFDnCFDCFSTSx レジスタの CFMC[7:0] ビットが自動的に 1 減算されます。末尾の読み出し後、FIFO に未読メッセージが残っていれば、再度トリガが生成されます。

DMA 転送中に RFDMAEx ビットまたは CFDMAEm ビットを“0” (DMA 転送要求禁止) にした場合、DMA 転送ステータス (RSCFDnCFDCDSTS レジスタの RFDMASTSx ビットまたは CFDMASTSx ビット) が“0” (DMA 転送中でない) になるのを待ってから、次の処理 (再度 DMA 転送を許可するなど) に移行してください。DMA 転送を禁止にする場合は、FIFO バッファに残っているメッセージと新しく到着するメッセージをどのように処理するか検討してください。FIFO バッファが許可状態ならば、FIFO バッファの受信は継続します。

21.11.3 送信手順

21.11.3.1 送信バッファからの送信手順

図 21.27 に送信バッファからの送信手順を示します。

図 21.28 に、同一チャネルの2つの送信バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 21.29 に、同一チャネルの2つの送信バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

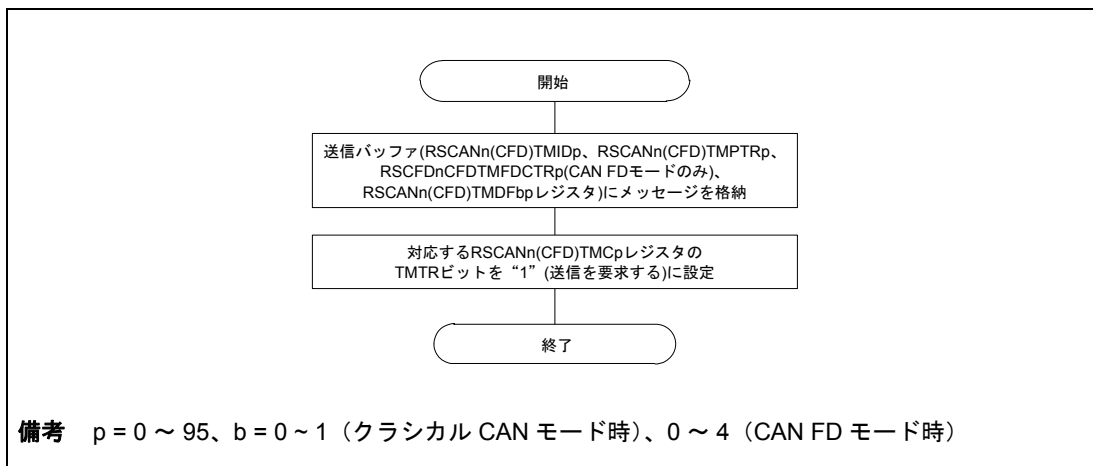


図 21.27 送信バッファからの送信手順

CAN FD モードかつ送信バッファマージモードの場合、送信バッファ $(16 \times m) + 0$ と送信バッファ $(16 \times m) + 3$ で 20 バイトを超えるペイロードを持つメッセージを送信することができます。このとき、送信バッファ $(16 \times m) + 1 \sim (16 \times m) + 2$ と送信バッファ $(16 \times m) + 4 \sim (16 \times m) + 5$ はペイロード格納領域として割り当てられ、これらのバッファに対応する RSCFDnCFDTMIDp、RSCFDnCFDTMPTRp、RSCFDnCFDTMFDCTRp レジスタは RSCFDnCFDTMDFb_p レジスタ同様 4 バイトのデータバイト (ペイロード) を格納可能なデータフィールドレジスタとして扱えます。表 21.190 に送信バッファ 0 でペイロード長が 20 バイトを超えるメッセージを送信する場合のメッセージ格納レジスタを示します。

表 21.190 送信バッファマージモード時のメッセージ格納レジスタ (送信バッファ 0 の例)

送信バッファ	ベースアドレスからのオフセット	略号	送信バッファマージモード時のレジスタ機能
送信バッファ 0	4000 _H	RSCFDnCFDTMID0	送信バッファ 0 ID データ、送信履歴データ格納許可ビット、RTR ビット、IDE ビット
	4004 _H	RSCFDnCFDTMPTR0	送信バッファ 0 ラベルデータ、DLC データ
	4008 _H	RSCFDnCFDTMFDCTR0	送信バッファ 0 ESI ビット、BRS ビット、FDF ビット
	400C _H ~ 401C _H	RSCFDnCFDTMDF0_0 ~ RSCFDnCFDTMDF4_0	送信バッファ 0 データバイト 0, 1, 2, 3 ~送信バッファ 0 データバイト 16, 17, 18, 19
送信バッファ 1	4020 _H	RSCFDnCFDTMID1	送信バッファ 0 データバイト 20, 21, 22, 23
	4024 _H	RSCFDnCFDTMPTR1	送信バッファ 0 データバイト 24, 25, 26, 27
	4028 _H	RSCFDnCFDTMFDCTR1	送信バッファ 0 データバイト 28, 29, 30, 31
	402C _H ~ 403C _H	RSCFDnCFDTMDF0_1 ~ RSCFDnCFDTMDF4_1	送信バッファ 0 データバイト 32, 33, 34, 35 ~送信バッファ 0 データバイト 48, 49, 50, 51
送信バッファ 2	4040 _H	RSCFDnCFDTMID2	送信バッファ 0 データバイト 52, 53, 54, 55
	4044 _H	RSCFDnCFDTMPTR2	送信バッファ 0 データバイト 56, 57, 58, 59
	4048 _H	RSCFDnCFDTMFDCTR2	送信バッファ 0 データバイト 60, 61, 62, 63
	404C _H ~ 405C _H	RSCFDnCFDTMDF0_2 ~ RSCFDnCFDTMDF4_2	使用しない

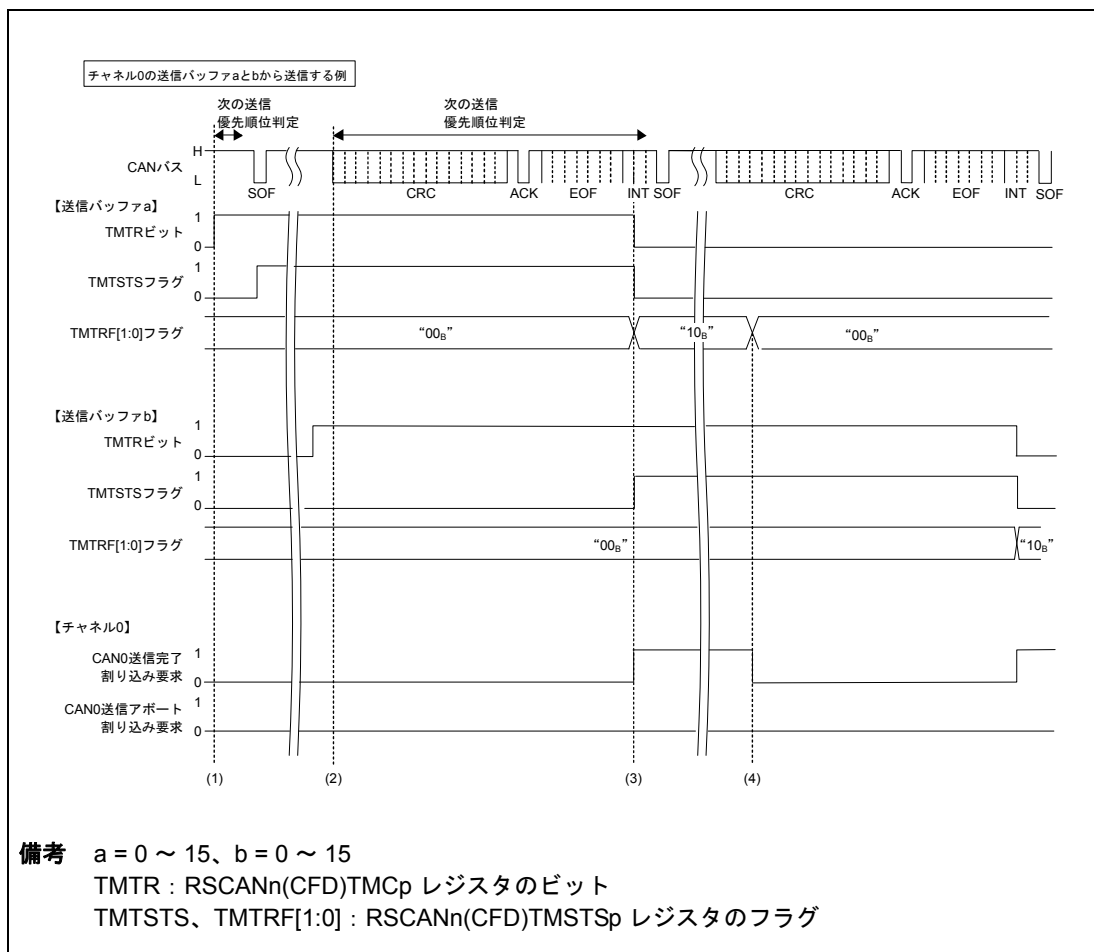


図 21.28 送信バッファの送信タイミング図 (正常に送信完了時)

- (1) CAN バスがアイドル状態のとき RSCANn(CFD)TMCa レジスタの TMTR ビットを“1”にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する RSCANn(CFD)TMSTSa レジスタの TMTSTS フラグが“1” (送信中) になり、CAN チャンネルは送信を開始します。
- (2) CRC フィールドの 1 ビット目で、バッファからの送信要求があれば、次の優先順位判定を開始します。他のチャンネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。
- (3) 送信が成功すると、RSCANn(CFD)TMSTSa レジスタの TMTRF[1:0] フラグは“10_B” (送信完了 (送信アポート要求なし)) になり、TMTSTS フラグと RSCANn(CFD)TMCa レジスタの TMTR ビットは“0”になります。RSCANn(CFD)TMIEC0 レジスタの TMIEa ビットが“1” (割り込み許可) のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを“00_B” (送信中または送信要求なし) にしてください。
- (4) 次の送信を開始する前に、TMTRF[1:0] フラグを“00_B”にしてください。次のメッセージを送信バッファに書いてから、TMTR ビットを“1” (送信を要求する) にしてください。TMTRF[1:0] フラグが“00_B”のときのみ、TMTR ビットを“1”に設定できます。

送信を開始後にアービトレーションロストが発生した場合、TMTSTS フラグは“0”になります。送信の優先順位判定はCRC フィールド開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

優先順位判定処理でECC2 ビットエラーが検出された場合、送信は行われません（クラシカル CAN モードのときは、RSCANnGCFG レジスタのEEFE ビットが“1”の場合のみ）。

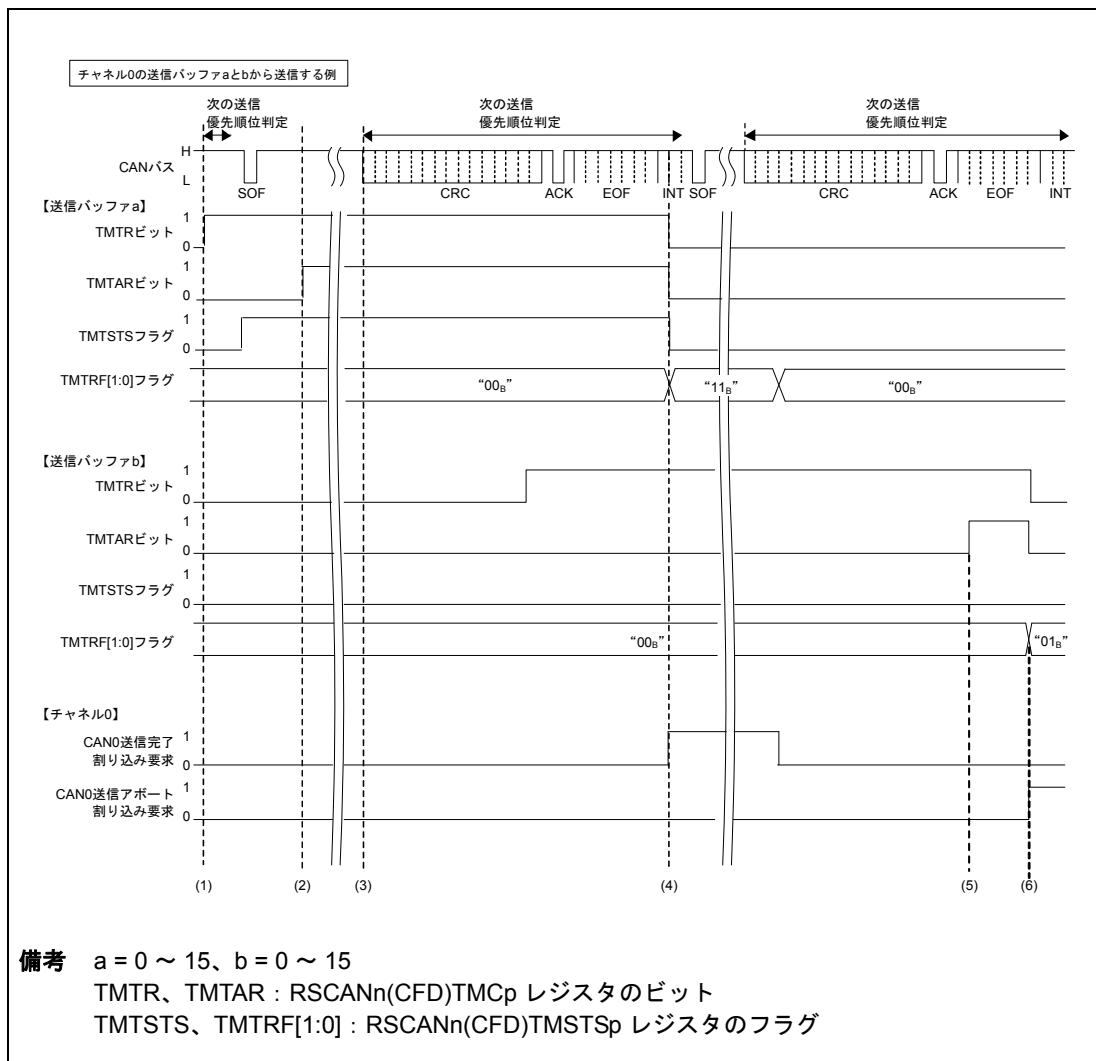


図 21.29 送信バッファの送信タイミング図（送信アボート完了時）

- (1) CAN バスがアイドル状態のとき RSCANn(CFD)TMCa レジスタの TMTR ビットを“1”にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する RSCANn(CFD)TMSTSa レジスタの TMTSTS フラグが“1”（送信中）になり、CAN チャンネルは送信を開始します。
- (2) 送信バッファが次の送信に決まっているとき、または現在送信中であるとき、TMTAR ビットを“1”（アボート要求する）にしても、エラーまたはアービトレーションロストが発生しない限り、メッセージ送信はアボートされません。
- (3) CRC フィールドの 1 ビット目で、次の優先順位判定処理を開始します。このタイミング図では、バッファ b は次の送信バッファとして選択されていません。他のチャンネル

が優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの3ビット目までには完了するので、送信間に遅延は発生しません。

- (4) 送信が成功すると、RSCANn(CFD)TMSTSa レジスタの TMTRF[1:0] フラグは“11_B” (送信完了 (送信アボート要求あり)) になり、TMTSTS フラグと RSCANn(CFD)TMCa レジスタの TMTR ビットは“0”になります。RSCANn(CFD)TMIEC0 レジスタの TMIEa ビットが“1” (割り込み許可) のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを“00_B” (送信中または送信要求なし) にしてください。
- (5) CAN バス上に他の CAN ノードが送信している場合 (TMTSTS フラグは“0”)、対応するチャンネルが優先順位判定中に TMTAR ビットを“1”にすると、TMTR ビットを“0”にできません。
- (6) 内部処理時間経過後、送信は中止され、TMTRF[1:0] フラグが“01_B”になります。送信バッファが送信中ではなくて、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、アボート要求はすぐに受け付けられ、TMTRF[1:0] フラグは“01_B”になります。このとき、TMTR ビットと TMTAR ビットは“0”になります。RSCANn(CFD)CmCTR レジスタの TAIE ビットが“1” (送信アボート割り込み許可) のとき、送信アボートが完了すると割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを“00_B”にしてください。

CAN チャンネルが送信を開始後にアービトレーションロストが発生した場合、TMTSTS ビットは“0”になります。優先順位判定は CRC フィールド開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

優先順位判定処理で ECC2 ビットエラーが検出された場合、送信は行われません (クラシカル CAN モードのときは、RSCANnGCFG レジスタの EEFE ビットが“1”の場合のみ)。

21.11.3.2 送受信 FIFO バッファからの送信手順

図 21.30 に送受信 FIFO バッファからの送信手順を示します。

図 21.31 に、同一チャネルの 2 つの送受信 FIFO バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 21.32 に、同一チャネルの 2 つの送受信 FIFO バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

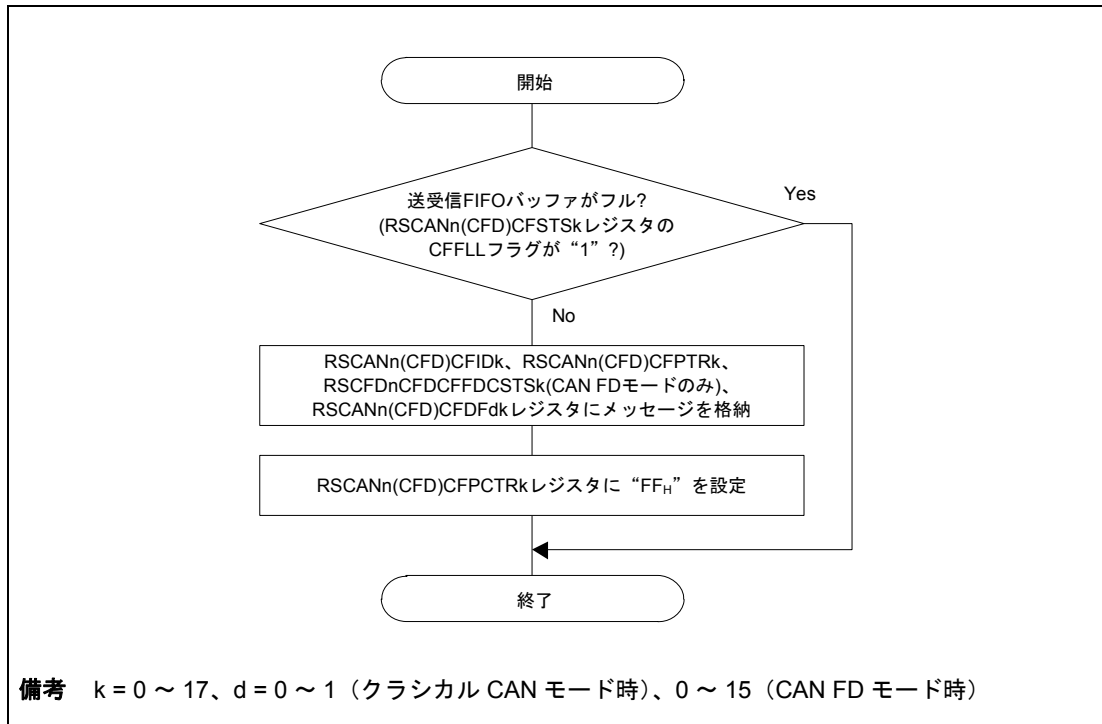


図 21.30 送受信 FIFO バッファからの送信手順

メッセージを格納するとき、RSCFDnCFDCFCk レジスタの CFPLS[2:0] ビットで設定したペイロード格納サイズを超える領域に対応する RSCFDnCFDCFDf_k レジスタへの書き込みはしないでください。

表 21.191 送受信 FIFO バッファのペイロード格納領域

CFPLS[2:0] ビット の設定値	ペイロード 格納サイズ	対応するデータフィールドレジスタ
000 _B	8 バイト	RSCFDnCFDCFDf0_k ~ RSCFDnCFDCFDf1_k
001 _B	12 バイト	RSCFDnCFDCFDf0_k ~ RSCFDnCFDCFDf2_k
010 _B	16 バイト	RSCFDnCFDCFDf0_k ~ RSCFDnCFDCFDf3_k
011 _B	20 バイト	RSCFDnCFDCFDf0_k ~ RSCFDnCFDCFDf4_k
100 _B	24 バイト	RSCFDnCFDCFDf0_k ~ RSCFDnCFDCFDf5_k
101 _B	32 バイト	RSCFDnCFDCFDf0_k ~ RSCFDnCFDCFDf7_k
110 _B	48 バイト	RSCFDnCFDCFDf0_k ~ RSCFDnCFDCFDf11_k
111 _B	64 バイト	RSCFDnCFDCFDf0_k ~ RSCFDnCFDCFDf15_k

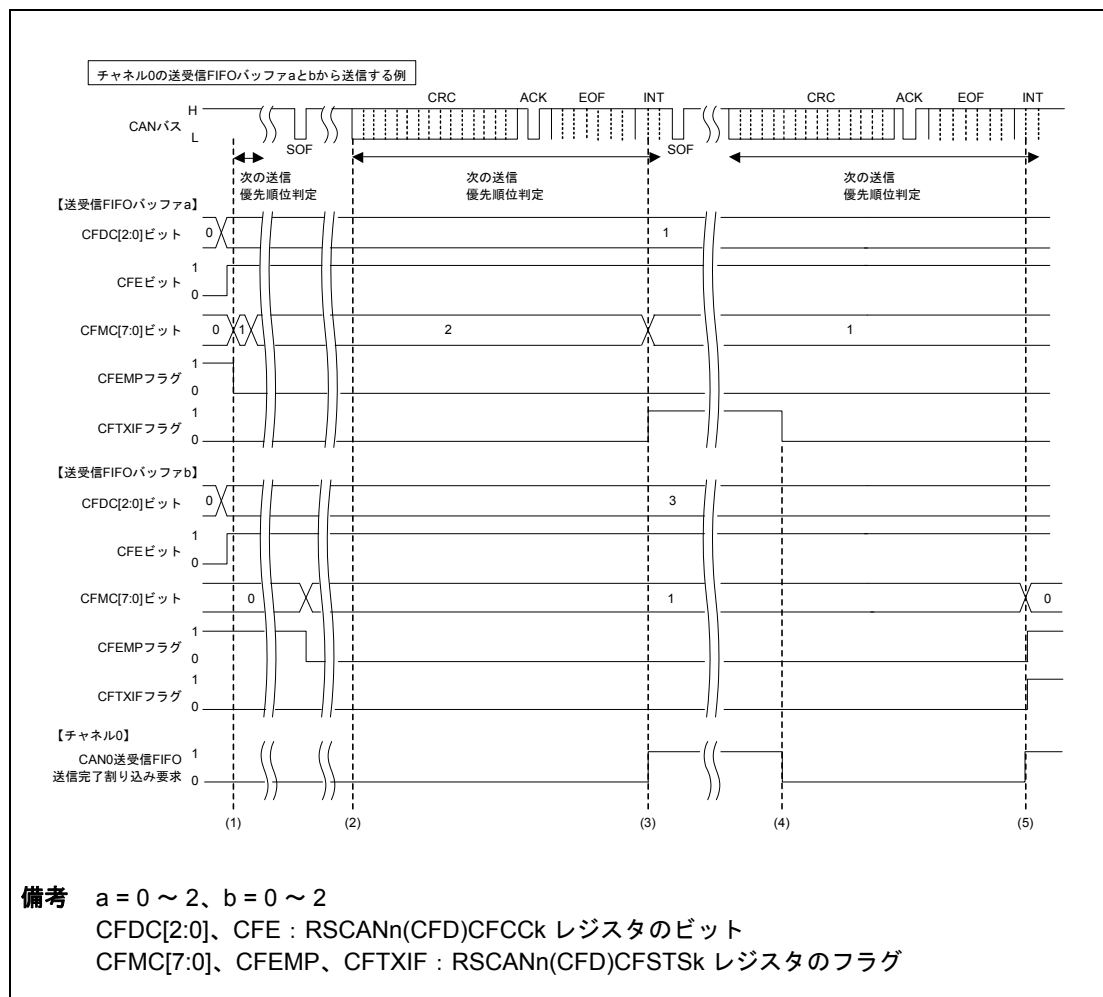


図 21.31 送受信 FIFO バッファの送信タイミング図 (正常に送信完了時)

- (1) CAN バスがアイドル状態のとき、RSCANn(CFD)CFCCa レジスタの CFE ビットが“1” (送受信 FIFO バッファを使用する)、RSCANn(CFD)CFCCa レジスタの CFDC[2:0] ビットが“001_B” (4 メッセージ) 以上、RSCANn(CFD)CFSTSa レジスタの CFMC[7:0] ビットの値が“01_H” 以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャンネル 0 の送受信 FIFO バッファ a から送信されます。
- (2) バッファからの送信要求があれば、CRC フィールドの 1 ビット目で次の優先順位判定処理を開始します。他のチャンネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。
- (3) 送信が成功すると、RSCANn(CFD)CFSTSa レジスタの CFMC[7:0] ビットが 1 減算されます。RSCANn(CFD)CFCCa レジスタの CFIM ビットを“1” (1 メッセージ送信ごとに割り込み要求発生) にした場合、RSCANn(CFD)CFSTSk レジスタの CFTXIF フラグが“1” (送受信 FIFO 送信割り込み要求あり) になります。
- (4) CFTXIF フラグはプログラムでクリアできます。
- (5) チャンネル 0 の送受信 FIFO バッファ b からの送信が完了し、RSCANn(CFD)CFSTSB レジスタの CFMC[7:0] ビットが 1 減算されます。CFMC[7:0] ビットが“00_H” になるため、

RSCANn(CFD)CFSTSk レジスタの CFEMP フラグが“1” (送受信 FIFO バッファ空) になります。

CFEMP フラグが“1”になるまで送信は続けられます。RSCANn(CFD)CFSTSa、RSCANn(CFD)CFSTsb レジスタの CFLL フラグが“1” (送受信 FIFO バッファフル) になるまで、送信メッセージを FIFO バッファに格納することができます。

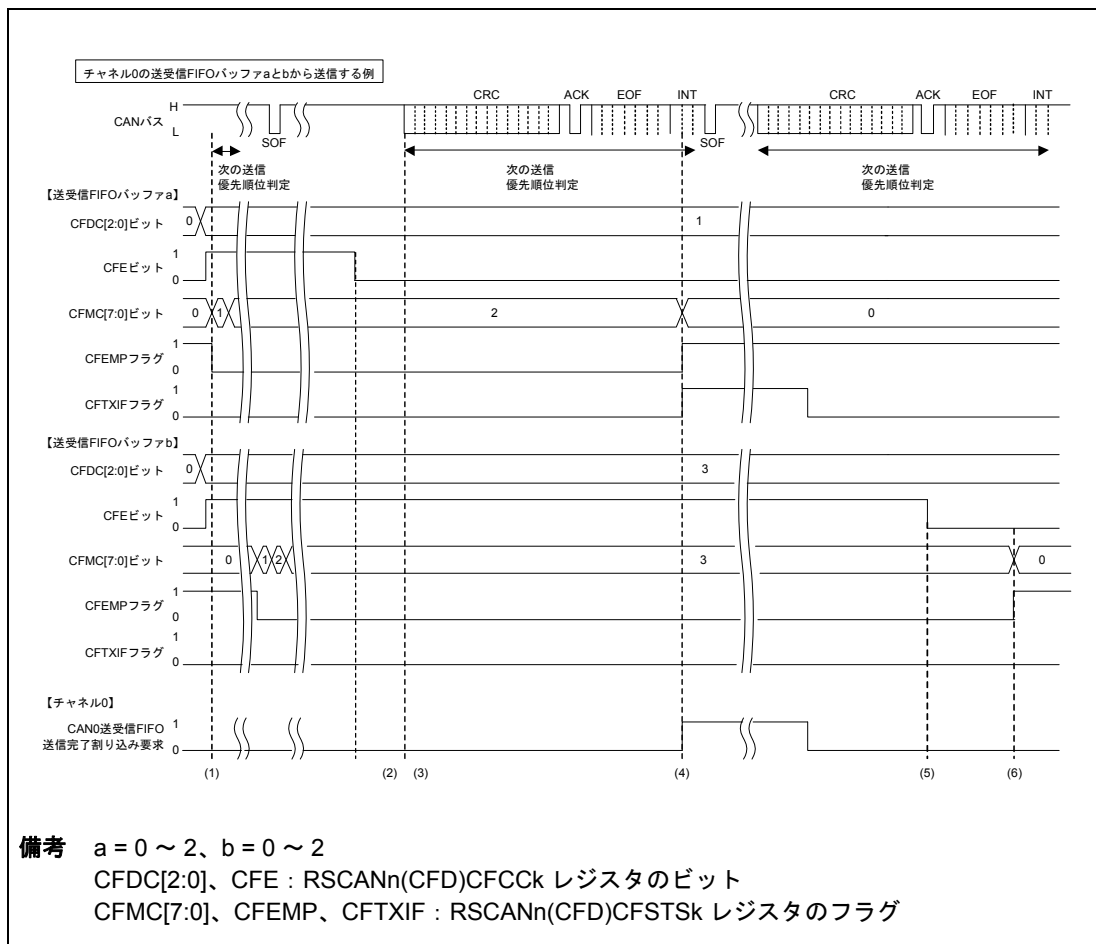


図 21.32 送受信 FIFO バッファの送信タイミング図 (送信アボート完了時)

- (1) CAN バスがアイドル状態のとき、RSCANn(CFD)CFCCa レジスタの CFE ビットが“1” (送受信 FIFO バッファを使用する)、RSCANn(CFD)CFCCa レジスタの CFDC[2:0] ビットが“001_B” (4 メッセージ) 以上、RSCANn(CFD)CFSTSa レジスタの CFMC[7:0] ビットの値が“01_H” 以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャンネル 0 の送受信 FIFO バッファ a から送信されます。
- (2) メッセージが送信中、または次の送信に決まっているとき、アービトレーションロスまたはエラーが発生しない限り、CFE ビットを“0” (送受信 FIFO バッファを使用しない) にしても送信はアボートされません。
- (3) バッファからの送信要求があれば、CRC フィールドの先頭ビットで次の優先順位判定処理を開始します。この図では、送受信 FIFO バッファ b は次の送信用バッファとして選択されていません。他のチャンネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。

- (4) 送信が成功すると、CFMC[7:0] ビットの値が“00_H”になります。CFIM ビットを“1” (1メッセージ送信ごとに割り込み要求発生) にした場合、RSCANn(CFD)CFSTSa レジスタの CFTXIF フラグが“1” (送受信 FIFO バッファ送信割り込み要求あり) になります。CFTXIF フラグはプログラムでクリアできます。
- (5) CAN バス上の他の CAN ノードが送信中の場合 (送受信 FIFO バッファ b からは送信されていない)、送信の優先順位判定中に RSCANn(CFD)CFCCb レジスタの CFE ビットを“0” (送受信 FIFO バッファを使用しない) にしても、送受信 FIFO バッファは直ちに禁止にはできません (RSCANn(CFD)CFSTSb レジスタの CFEMP フラグは直ちに“1” (送受信 FIFO バッファ空) にはなりません)。
- (6) 内部処理時間経過後、送受信 FIFO バッファは禁止され、RSCANn(CFD)CFSTSb レジスタの CFMC[7:0] ビットは“00_H”になり、CFEMP フラグは“1”になります。送受信 FIFO バッファが送信中でもなく、次の送信バッファとしても選択されていないで、かつ優先順位判定中でなければ、直ちに送受信 FIFO バッファは禁止されます (CFMC[7:0] ビットは“00_H”になり、CFEMP フラグは“1”になります)。

21.11.3.3 送信キューからの送信手順

図 21.33 に送信キューからの送信手順を示します。

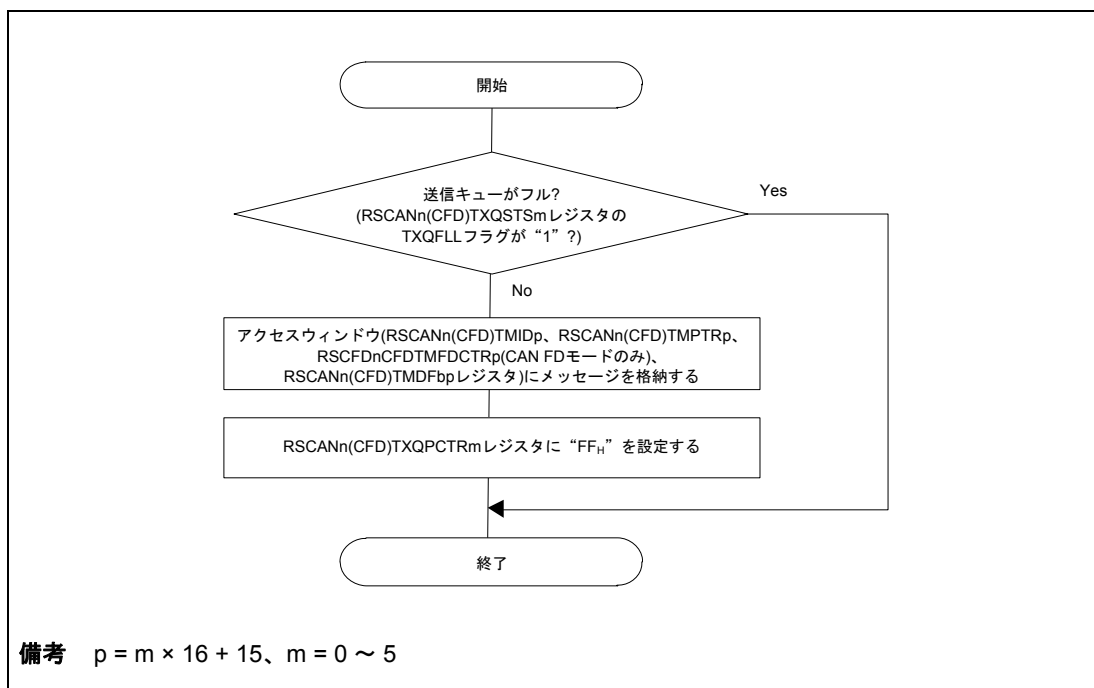


図 21.33 送信キューからの送信手順

21.11.3.4 送信履歴バッファの読み出し手順

送信履歴データは、RSCANn(CFD)THLACCm レジスタで読めます。1 データを読んだ後、対応する RSCANn(CFD)THLPCTRm レジスタ (m=0~5) へ“FF_H”を書くと、次のデータへアクセスできます。図 21.34 に送信履歴バッファの読み出し手順を示します。

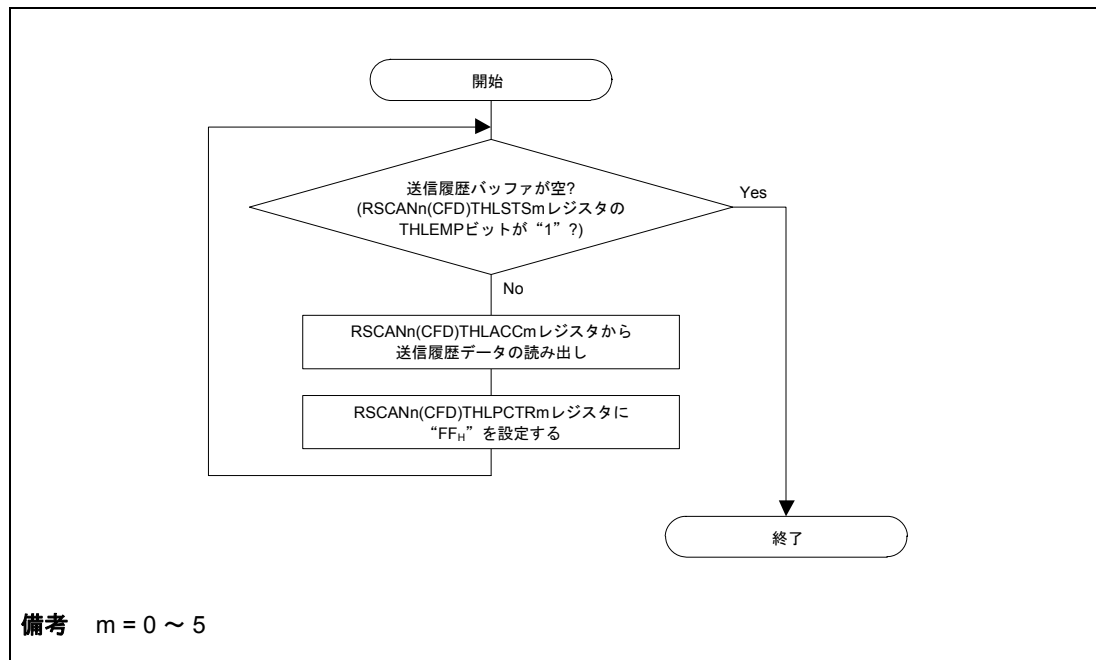


図 21.34 送信履歴バッファの読み出し手順

21.11.4 テスト設定

21.11.4.1 セルフテストモードの設定手順

セルフテストモードでは、自ら送信したメッセージを受信することにより、チャンネル単体で通信テストを行うことができます。

図 21.35 にセルフテストモードの設定手順を示します。

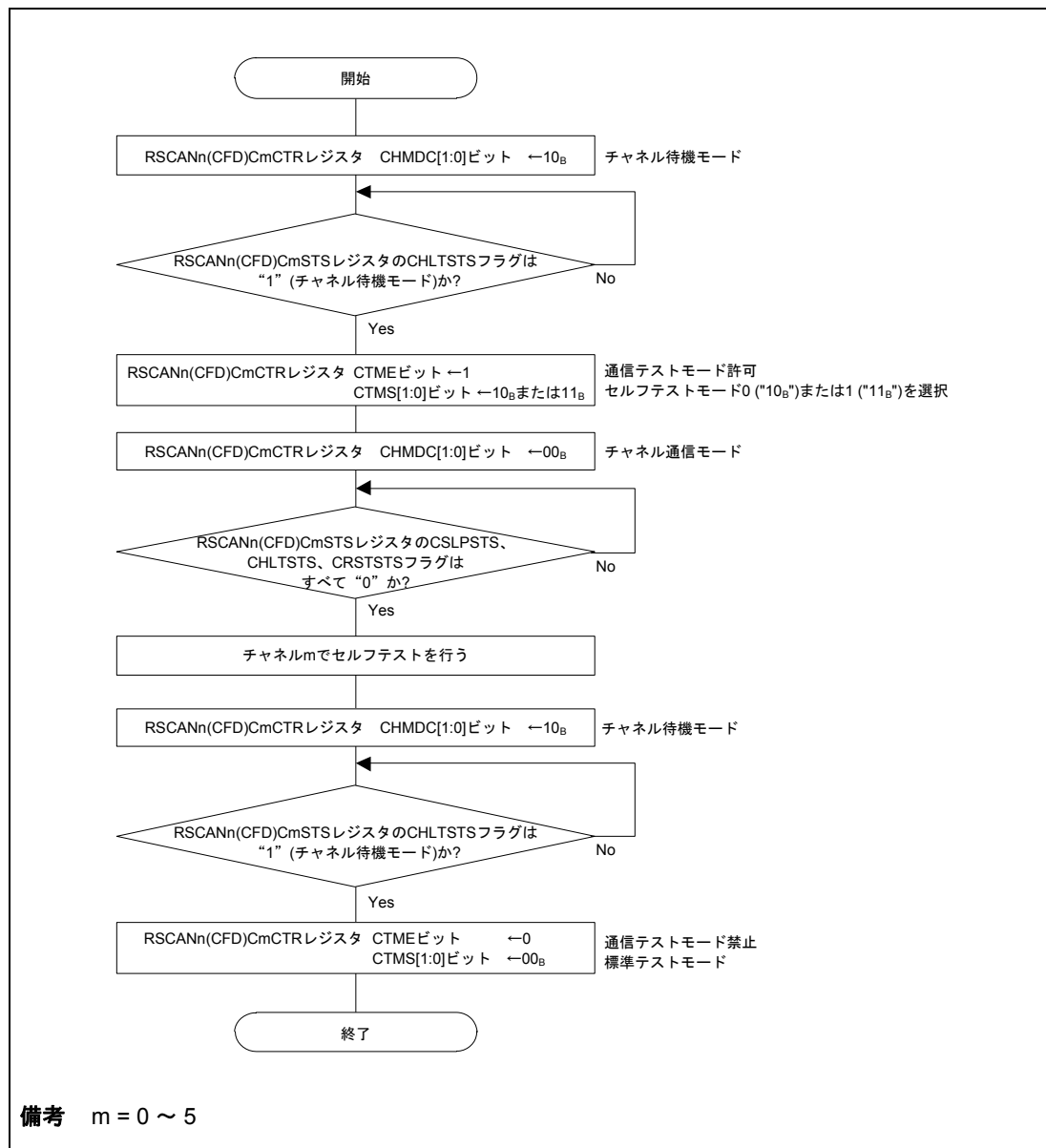


図 21.35 セルフテストモードの設定手順

21.11.4.2 プロテクト解除手順

表 21.192 に示すグローバルテスト機能はプロテクトされているため、解除データ 1 と解除データ 2 を連続して RSCANn(CFD)GLOCKK レジスタの LOCK[15:0] ビットに書いてから、それぞれのテスト機能ビットを“1”にしてください。

表 21.192 テスト機能用プロテクト解除データ

テスト機能	プロテクト解除データ 1	プロテクト解除データ 2	対象ビット
RAM テスト	7575 _H	8A8A _H	RSCANn(CFD)GTSTCTR レジスタ RTME ビット

間違った値を LOCK[15:0] ビットに書いた場合、再度、解除データ 1 の書き込みからやり直してください。図 21.36 にプロテクト解除手順を示します。

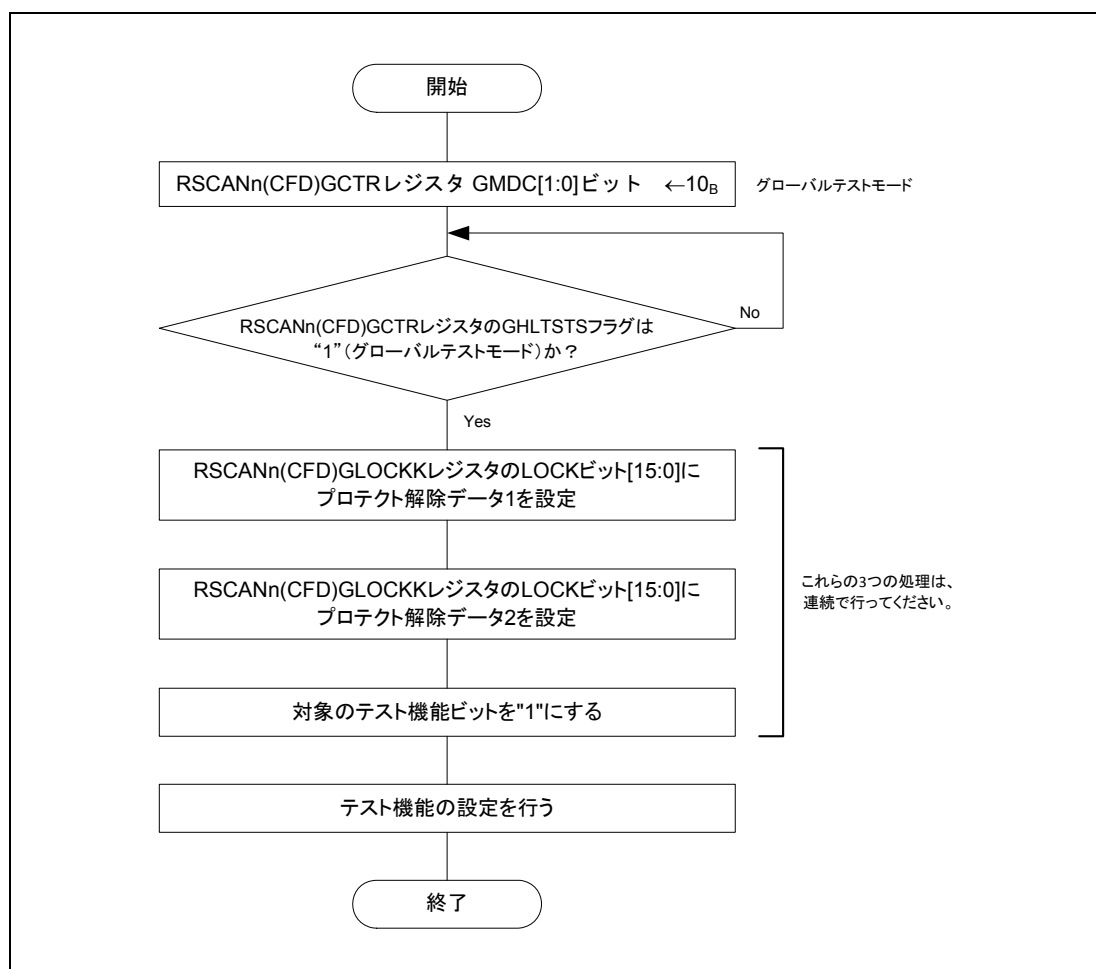


図 21.36 プロテクト解除手順

21.11.4.3 RAM テストの設定手順

RAM テストには、CAN 用 RAM の読み書きテストがあります。読み書きテストでは、RAM に書いた値が正しく読めることを確認できます。RAM テストを終了する前に、CAN 用 RAM の全ページに“0000 0000_H”を書いてください。

図 21.37 に RAM テストの設定手順を示します。

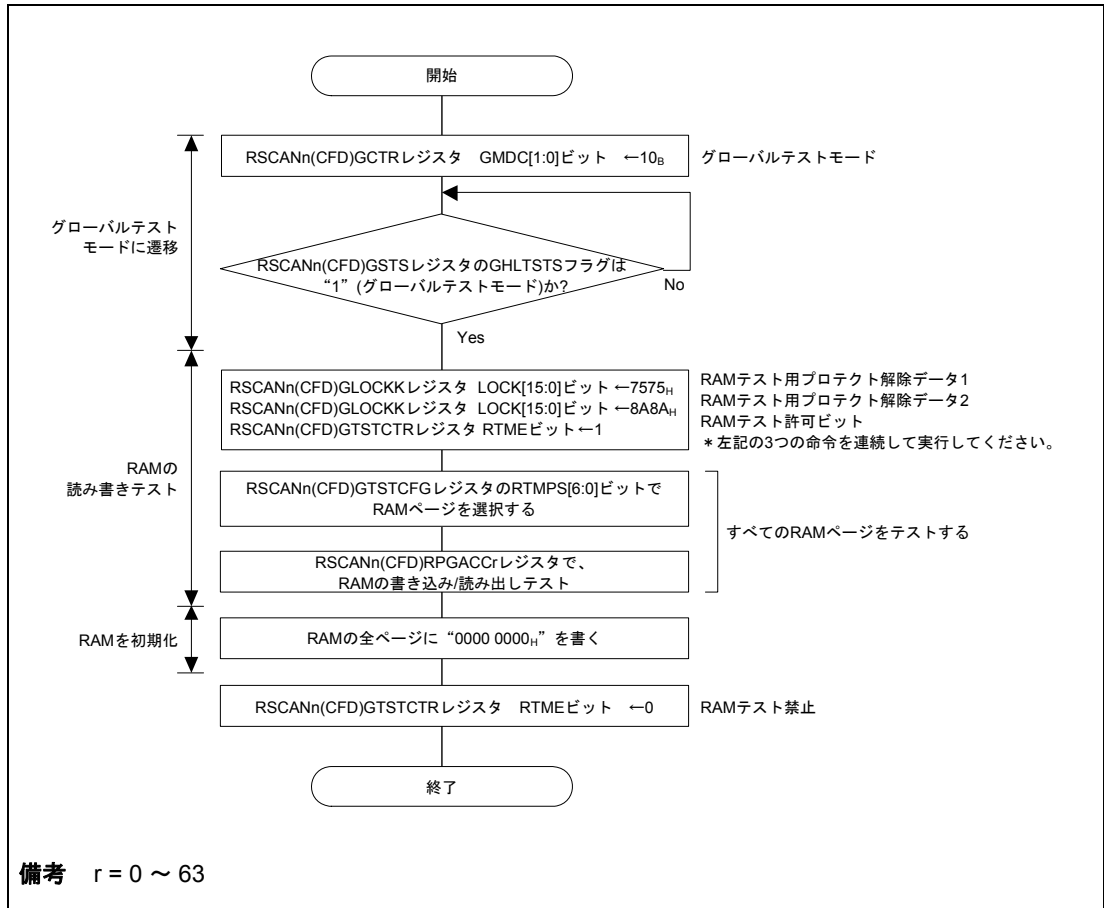


図 21.37 RAM テストの設定手順

21.11.4.4 チャネル間通信テストの設定手順

異なるチャネル間で送受信させることにより、通信テストを行うことができます。

図 21.38 にチャネル間通信テストの設定手順を示します。

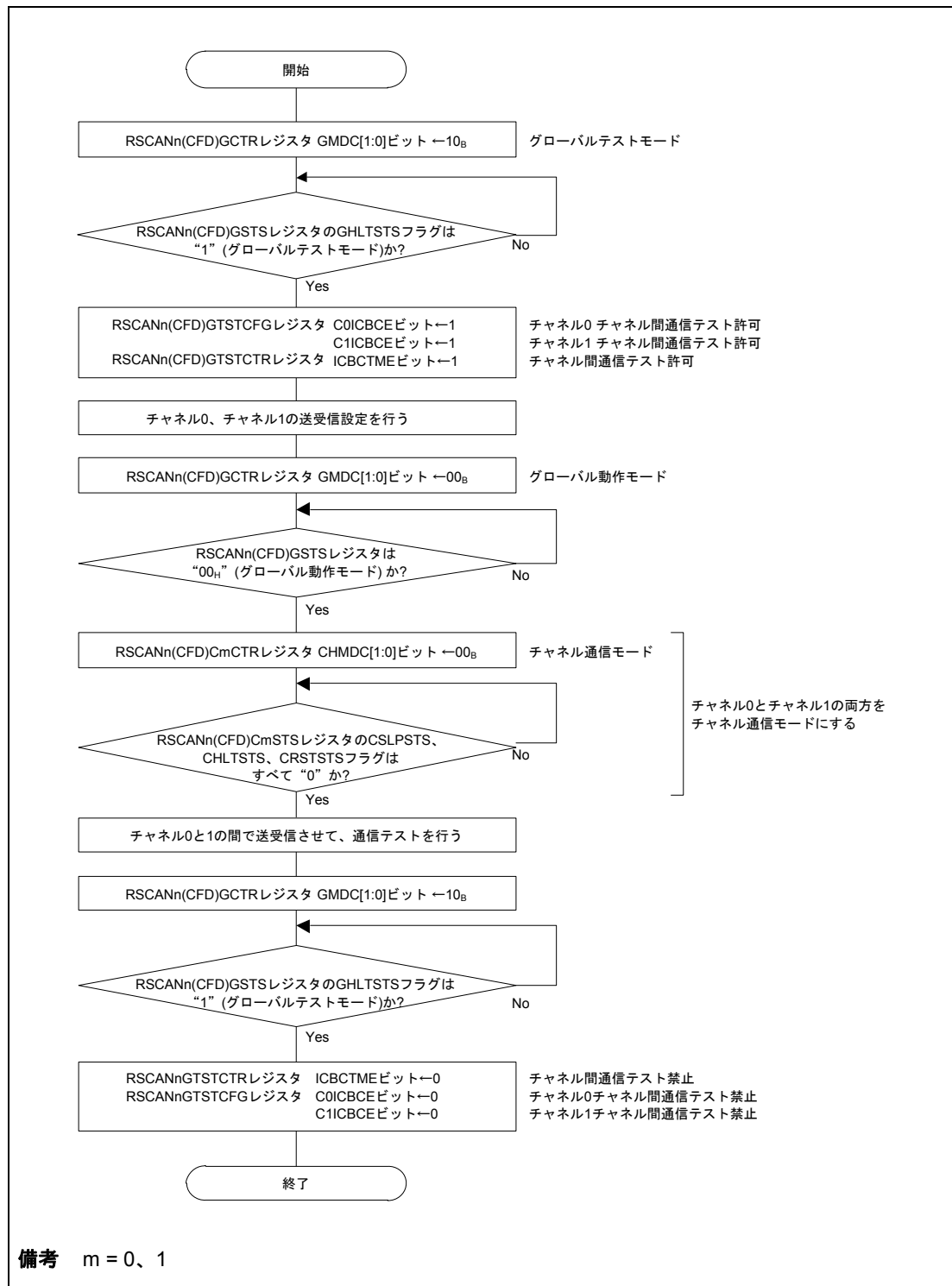


図 21.38 チャネル間通信テストの設定手順 (チャネル 0、1 間通信テストの例)

21.12 RS-CAN0 RAM のエラー検出／訂正

21.12.1 RSCAN0 RAM ECC

表 21.193 に RSCAN0 RAM ECC の機能概要を示します。

表 21.193 RSCAN0 RAM ECC の機能一覧

項目	機能概要
ECC エラー検出／訂正	ECC エラー判定を行います。下記設定を選択可能です。 <ul style="list-style-type: none"> • 2ビットエラー検出と1ビットエラー検出／訂正 • 2ビットエラー検出と1ビットエラー検出 ECC エラー検出／訂正を無効にすることもできます（スルーモード時）。初期状態は、エラー検出／訂正が有効です。
エラー通知	ECC エラー発生時は、エラー通知を行います。 <ul style="list-style-type: none"> • ECC 2ビットエラー検出時のエラー通知許可／禁止を選択可 • ECC 1ビットエラー検出時のエラー通知許可／禁止を選択可 初期状態は、2ビットエラー検出時のエラー通知許可および1ビットエラー検出時のエラー通知禁止。ただし、FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。
エラーステータス	ECC 2ビットエラー検出、ECC 1ビットエラー検出をモニタできます。エラーステータスのクリアレジスタを搭載しています。
アドレスキャプチャ	ECC エラーが発生した1つのアドレスのみをキャプチャできます。ECC 2ビットまたは1ビットエラーの検出時に信号が生成され、この信号をトリガとしてエラー発生アドレスがキャプチャされます（フラグクリア後の最初の（1ビットまたは2ビット）エラー検出時）。

注 意

ECC エラー検出／訂正を行う場合、RSCAN0 RAM の初期化 (RSCAN0(CFD)GSTS.GRAMINIT = 0) を確認してから使用してください。

21.12.2 割り込み要求

表 21.194 に、RSCANn の RAM ECC 割り込み要求を示します。

表 21.194 RS-CAN0 ECC 割り込み要求 (FE レベルマスカブル割り込み)

ユニット割り込みビット名	概要	名称	DMA トリガ番号
ECCDCNRAM0FEIF	RS-CAN0 ECC エラー割り込み	INTECCDCNRAM0	—

21.12.3 ECC レジスタ一覧

表 21.195 ECC レジスタ

モジュール	レジスタ	暗号	アドレス	ガードグループ
RS-CAN0 ECC レジスタ (MB RAM 用)				
ECCCAN00	ECC コントロールレジスタ	ECCRCAN0CTL_PHY1	<ECCCAN0_base > + 00 _H	ECCCAN0 PHY1
	ECC テストモードコントロールレジスタ	ECCRCAN0TMC_PHY1	<ECCCAN0_base > + 04 _H	ECCCAN0 PHY1
	ECC エンコード/デコード入出力代替テストレジスタ	ECCRCAN0TED_PHY1	<ECCCAN0_base > + 0C _H	ECCCAN0 PHY1
	ECC 冗長ビットデータコントロールテストレジスタ	ECCRCAN0TRC_PHY1	<ECCCAN0_base > + 08 _H	ECCCAN0 PHY1
	ECCRCAN0TRC の ECC デコードシンドロームデータレジスタ	ECCRCAN0SYND_PHY1	<ECCCAN0_base > + 0B _H	ECCCAN0 PHY1
	ECCRCAN0TRC の ECC 7 ビット冗長ビットデータ保持テストレジスタ	ECCRCAN0HORD_PHY1	<ECCCAN0_base > + 0A _H	ECCCAN0 PHY1
	ECCRCAN0TRC の ECC エンコードテストレジスタ	ECCRCAN0ECDR_PHY1	<ECCCAN0_base > + 09 _H	ECCCAN0 PHY1
	ECCRCAN0TRC の ECC 冗長ビット入出力代替レジスタ	ECCRCAN0ERDB_PHY1	<ECCCAN0_base > + 08 _H	ECCCAN0 PHY1
	ECC エラーアドレスレジスタ 0	ECCRCAN0AD0_PHY1	<ECCCAN0_base > + 10 _H	ECCCAN0 PHY1
RS-CAN0 ECC レジスタ (AFL RAM 用)				
ECCCAN01	ECC コントロールレジスタ	ECCRCANFD0CTL_PHY2	<ECCCANFD0_base > + 00 _H	ECCCAN0 PHY2
	ECC テストモードコントロールレジスタ	ECCRCANFD0TMC_PHY2	<ECCCANFD0_base > + 04 _H	ECCCAN0 PHY2
	ECC エンコード/デコード入出力代替テストレジスタ	ECCRCANFD0TED_PHY2	<ECCCANFD0_base > + 0C _H	ECCCAN0 PHY2
	ECC 冗長ビットデータコントロールテストレジスタ	ECCRCANFD0TRC_PHY2	<ECCCANFD0_base > + 08 _H	ECCCAN0 PHY2
	ECCRCANFD0TRC の ECC デコードシンドロームデータレジスタ	ECCRCANFD0SYND_PHY2	<ECCCANFD0_base > + 0B _H	ECCCAN0 PHY2
	ECCRCANFD0TRC の ECC 7 ビット冗長ビットデータ保持テストレジスタ	ECCRCANFD0HORD_PHY2	<ECCCANFD0_base > + 0A _H	ECCCAN0 PHY2
	ECCRCANFD0TRC の ECC エンコードテストレジスタ	ECCRCANFD0ECDR_PHY2	<ECCCANFD0_base > + 09 _H	ECCCAN0 PHY2
	ECCRCANFD0TRC の ECC 冗長ビット入出力代替レジスタ	ECCRCANFD0ERDB_PHY2	<ECCCANFD0_base > + 08 _H	ECCCAN0 PHY2
	ECC エラーアドレスレジスタ 0	ECCRCANFD0AD0_PHY2	<ECCCANFD0_base > + 10 _H	ECCCAN0 PHY2

備考 ガードグループの詳細は、「第33章 ファンクショナルセーフティ」を参照してください。

21.12.4 ECCRCAN0CTL_PHY1/ECCRCANFD0CTL_PHY2 — RSCANn ECC コントロールレジスタ

ECCRCAN0CTL_PHY1/ECCRCANFD0CTL_PHY2 レジスタは、RSCAN0 の ECC モードおよびステータスの制御を行うレジスタです。

ビット 7、5、および 4 の設定（書き込み）は、RSCAN0 が動作していない時に行ってください。また、ビット 7 への書き込みは、EMCA1 および EMCA0 を 01_B にして実行してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <ECCCAN0_base > + 00_H
<ECCCANFD0_base > + 00_H

リセット後の値 不定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EMCA1	EMCA0	—	—	ECCOVFF	ECER2C	ECER1C	—	ECTHM	—	EC1ECP	EC2EDIC	EC1EDIC	ECER2F	ECER1F	ECEMF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	—
	R/W	R/W	注1 R	R	R	R/W	注1 R/W	R	R/W	R	R/W	R/W	R/W	R	R	R

注 1. リード値は常に 0 が読み出されます。

表 21.196 ECCRCAN0CTL_PHY1/ECCRCANFD0CTL_PHY2 レジスタの内容 (1/2)

ビット位置	ビット名	機能						
15	EMCA1	ECC モード選択ビットへのアクセス制御ビット 1、0 これらのビットは、ECTHM ビット（ビット 7）の書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。 これらのビットのデータ値が 01 _B のとき、ビット 7 への書き込みが可能になります。						
14	EMCA0							
13, 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。						
11	ECCOVFF	エラーステータスが設定されているときにエラーを検出し、新しいエラーのアドレスがすでにラッチ済みのもとは異なる場合（クリアされていない、またはリセットが発行されていない）、このビットがセットされ、エラー通知が生成されます。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>ECCOVFF</th> <th>動作説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>ECER2F および ECER1F をクリアしてリセットした後、オーバフローが発生していない。 以下の方法でクリア (1) リセット (2) ECER2C = 1 または ECER1C = 1 の書き込み (3) スルーモード許可の選択 (ECTHM = 1)</td> </tr> <tr> <td>1</td> <td>エラーアドレスレジスタがオーバフローが発生した。</td> </tr> </tbody> </table>	ECCOVFF	動作説明	0	ECER2F および ECER1F をクリアしてリセットした後、オーバフローが発生していない。 以下の方法でクリア (1) リセット (2) ECER2C = 1 または ECER1C = 1 の書き込み (3) スルーモード許可の選択 (ECTHM = 1)	1	エラーアドレスレジスタがオーバフローが発生した。
ECCOVFF	動作説明							
0	ECER2F および ECER1F をクリアしてリセットした後、オーバフローが発生していない。 以下の方法でクリア (1) リセット (2) ECER2C = 1 または ECER1C = 1 の書き込み (3) スルーモード許可の選択 (ECTHM = 1)							
1	エラーアドレスレジスタがオーバフローが発生した。							
10	ECER2C	2 ビット ECC エラー検出フラグクリアビット ECER2F（ビット 2）の 2 ビットエラー検出フラグをクリアするためのビットです。読み出すと常に 0 が読み出されます。0 書き込みは無効です。ECER2F ビットがセットされている際に、このビットに 1 書き込みを行うことで、ECER2F ビットがクリアされます。1 書き込みと ECER2F ビットの設定が競合した際には、このビットの書き込みが優先されます。						
9	ECER1C	1 ビット ECC エラー検出訂正累積フラグクリアビット ECER1F（ビット 1）の 1 ビットエラー検出/訂正フラグをクリアするためのビットです。読み出すと常に 0 が読み出されます。0 書き込みは無効です。ECER1F ビットがセットされている際に、このビットに 1 書き込みを行うことで、ECER1F ビットがクリアされます。1 書き込みと ECER1F ビットの設定が競合した際には、このビットの書き込みが優先されます。						
8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。						

表 21.196 ECCRCAN0CTL_PHY1/ECCRCANFD0CTL_PHY2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	ECTHM	ECC 機能スルーモード選択ビット ECC 機能の有効/無効を設定するビットです。1にセットすることで、ECC 機能を無効にすることができます。 このビットの書き込み時は、EMCA1, EMCA0 = 0,1 を同時に書き込む必要があります。 0: スルーモード禁止 (通常動作モード) 1: スルーモード許可 (ECC 機能無効)
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	EC1ECP	1 ビットエラー訂正許可ビット ECC エラー検出/訂正の有効時に、1 ビットエラー訂正の許可/禁止を設定するためのビットです。 0: 1 ビットエラー検出時にエラー訂正を行う。 1: 1 ビットエラー検出時にエラー訂正を行わない。
4	EC2EDIC	2 ビットエラー検出割り込み制御ビット 2 ビットエラー検出時に割り込みを発生させるかどうかを制御するビットです。 0: 2 ビットエラー検出時に INTECCDCNRAMn 割り込みを発生させない。 1: 2 ビットエラー検出時に INTECCDCNRAMn 割り込みを発生させる。
3	EC1EDIC	1 ビットエラー検出割り込み制御ビット 1 ビットエラー検出時に割り込みを発生させるかどうかを制御するビットです。 0: 1 ビットエラー検出時に INTECCDCNRAMn 割り込みを発生させない。 1: 1 ビットエラー検出時に INTECCDCNRAMn 割り込みを発生させる。
2	ECER2F	2 ビットエラー検出フラグビット エラー判定許可状態 (ECTHM = 0) で、RAM へのリードアクセス時に 2 ビットエラーが検出されたかどうかを示すフラグです。2 ビットエラー割り込み許可状態 (EC2EDIC = 1) でこのフラグがセットされると、ECC 2 ビットエラー割り込み (INTECCDCNRAMn) が出力されます。フラグをクリアするには、ECER2C ビット (ビット 10) に 1 を書き込みます。スルーモード許可選択 (ECTHM = 1) 時も、このビットはクリアされます。このビットがセットされた状態で再度 2 ビットエラーが検出されても、割り込み信号は生成されません。 0: このビットのクリア後に、2 ビットエラーは発生していない。 1: 2 ビットエラーが発生した。
1	ECER1F	1 ビットエラー検出/訂正フラグビット エラー判定許可状態 (ECTHM = 0) で、RAM へのリードアクセス時に 1 ビットエラーが検出されたかどうかを示すフラグです。フラグをクリアするには、ECER1C ビット (ビット 9) に 1 を書き込みます。スルーモード許可選択 (ECTHM = 1) 時も、このビットはクリアされます。 0: このビットのクリア後に、1 ビットエラーは発生していない。 1: 1 ビットエラーが発生した。
0	ECEMF	ECC エラー表示フラグ 現在のリードデータに対してエラーが存在するかどうかを示すフラグです。このビットは RAM がデータを読み出すたびに更新されます。RAM を初期化する前にリードすると、このビットがセットされる可能性があります。スルーモード許可選択 (ECTHM = 1) 時およびデコード回路入力データに 1 ビットエラーがない時も、このビットはクリアされます。 0: 現在読み出している RAM データには、ビットエラーが存在していない。 1: 現在読み出している RAM データには、ビットエラーが存在する。

注 意

ビット 2 と 1 は、ECC エラー表示フラグ (ECEMF) がセットされていない時にクリアする必要があります。
ビット 2 と 1 をクリアする前に、RAM を初期化することを推奨します。

21.12.5 ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2 — RSCANn ECC テストモードコントロールレジスタ

ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2 レジスタは、テストモードへの切り替えおよびテストモード制御のためのレジスタです。

このレジスタは RS-CAN が RAM アクセスしていない時に使用できます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <ECCCAN0_base > + 04_H
<ECCCANFD0_base > + 04_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ETMA1	ETMA0	—	—	—	—	—	—	ECTMCE	—	—	ECTRRS	ECREOS	ECENS	ECDCS	ECREIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W ^{注1}	R/W ^{注1}	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W

注 1. リード値は常に 0 が読み出されます。

表 21.197 ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	ETMA1	ECC テストモードビットへのアクセス制御ビット 1、0 ECTMCE ビット (ビット 7) の書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。これらのビットのデータ値が 10 _B のとき、ビット 7 への書き込みが可能になります。
14	ETMA0	
13 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ECTMCE	ECC テストモード許可ビット テストレジスタおよびテスト制御ビットへのアクセスを許可するかどうかを選択するビットです。このビットの書き込み時は、ETMA1、ETMA0 = 1、0 を同時に書き込む必要があります。 0 : テストモードレジスタおよびビットに対するアクセスを禁止する。 1 : テストモードレジスタおよびビットに対するアクセスを許可する。 テストレジスタ : ECCRCAN0TED_PHY1/ECCRCANFD0TED_PHY2、 ECCRCAN0TRC_PHY1/ECCRCANFD0TRC_PHY2、 ECCRCAN0SYND_PHY1/ECCRCANFD0SYND_PHY2、 ECCRCAN0HORD_PHY1/ECCRCANFD0HORD_PHY2、 ECCRCAN0ECDR_PHY1/ECCRCANFD0ECDR_PHY2、 ECCRCAN0ERDB_PHY1/ECCRCANFD0ERDB_PHY2 テスト制御ビット : ECTRRS、ECREOS、ECENS、ECDCS、ECREIS
6、5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	ECTRRS	ECC RAM リードテストモード選択ビット ECCRCAN0TED_PHY1/ECCRCANFD0TED_PHY2 レジスタをリードする際の読み込み先、および ECCRCAN0ERDB_PHY1/ECCRCANFD0ERDB_PHY2 レジスタをリードする際の読み込み先を選択します。 このビットへのライトアクセスは、ECTMCE = 1 のときのみ有効です (同時設定可能)。またこのビットは、ECTMCE = 0 によりクリアされます (同期クリア)。 0 : ECCRCAN0TED_PHY1/ECCRCANFD0TED_PHY2 レジスタのリード値は、ECCRCAN0TED_PHY1/ECCRCANFD0TED_PHY2 レジスタのライト値になります。ECCRCAN0ERDB_PHY1/ECCRCANFD0ERDB_PHY2 レジスタのリード値は、ECCRCAN0ERDB_PHY1/ECCRCANFD0ERDB_PHY2 レジスタのライト値になります。 1 : ECCRCAN0TED_PHY1/ECCRCANFD0TED_PHY2 レジスタのリード値は、RAM データが読み出せます。ECCRCAN0ERDB_PHY1/ECCRCANFD0ERDB_PHY2 レジスタのリード値は、RAM に書き込まれる ECC データとなります。

表 21.197 ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	ECREOS	<p>ECC 冗長ビット出力データ選択ビット</p> <p>RAMに格納する ECC データを、書き込みデータに対して生成された ECC データとするか、または ECCRCAN0ERDB_PHY1/ECCRCANFD0ERDB_PHY2 レジスタの値とするかを選択するビットです。</p> <p>このビットへのライトアクセスは、ECTMCE = 1 のときのみ有効です (同時設定可能)。またこのビットは、ECTMCE = 0 によりクリアされます (同期クリア)。</p> <p>0 : 書き込みデータに対して生成された ECC データを RAM に格納する。 1 : ECCRCAN0ERDB_PHY1/ECCRCANFD0ERDB_PHY2 レジスタの値を RAM に格納する。</p>
2	ECENS	<p>ECC エンコード入力選択ビット</p> <p>ECC データを生成する際の対象データを RAM への書き込みデータとするか、または ECCRCAN0TED_PHY1/ECCRCANFD0TED_PHY2 レジスタの値とするかを選択するビットです。</p> <p>このビットへのライトアクセスは、ECTMCE = 1 のときのみ有効です (同時設定可能)。またこのビットは、ECTMCE = 0 によりクリアされます (同期クリア)。</p> <p>0 : RAM への書き込みデータから ECC データを生成する。 1 : ECCRCAN0TED_PHY1/ECCRCANFD0TED_PHY2 レジスタの値から ECC データを生成する。</p>
1	ECDCS	<p>ECC デコード入力選択ビット</p> <p>シンδροームコードの生成とエラー検出を行う際の対象データを、RAM データとするか、または ECCRCAN0TED_PHY1/ECCRCANFD0TED_PHY2 レジスタの値とするかを選択するビットです。</p> <p>このビットへのライトアクセスは、ECTMCE = 1 のときのみ有効です (同時設定可能)。またこのビットは、ECTMCE = 0 によりクリアされます (同期クリア)。</p> <p>0 : RAM データからシンδροームコードを生成し、エラー検出を行う。 1 : ECCRCAN0TED_PHY1/ECCRCANFD0TED_PHY2 レジスタの値からシンδροームコードを生成し、エラー検出を行う。</p>
0	ECREIS	<p>ECC 冗長ビット入力データ選択ビット</p> <p>シンδροームコードの生成とエラー検出を行う際の対象 ECC データを、RAM に格納された ECC データとするか、または ECCRCAN0ERDB_PHY1/ECCRCANFD0ERDB_PHY2 レジスタの値とするかを選択するビットです。</p> <p>このビットへのライトアクセスは、ECTMCE = 1 のときのみ有効です (同時設定可能)。またこのビットは、ECTMCE = 0 によりクリアされます (同期クリア)。</p> <p>0 : RAM に格納された ECC データからシンδροームコードを生成し、エラー検出を行う。 1 : ECCRCAN0ERDB_PHY1/ECCRCANFD0ERDB_PHY2 レジスタの値からシンδροームコードを生成し、エラー検出を行う。</p>

21.12.6 ECCRCAN0TED_PHY1/ECCRCANFD0TED_PHY2 — RSCAN0 ECC エンコー ド/デコード入出力代替テストレジスタ

ECCテストモードにおいて、テストデータを扱うレジスタです。

このレジスタの値から、ECCデータの生成またはシンドロームコードの生成を行います。

ECCテストモードが許可されている (ECCRCAN0TMC_PHY1/
ECCRCANFD0TMC_PHY2.ECTMCE = 1) 場合にアクセス可能です。

ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2.ECTMCE = 0 の場合は、書き込みは無効、
読み出し値は 0000 0000_H となります。

このレジスタは RS-CAN が RAM アクセスしていない時に使用できます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECCCAN0_base > + 0C_H
<ECCCANFD0_base > + 0C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECEDB[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEDB[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.198 ECCRCAN0TED_PHY1/ECCRCANFD0TED_PHY2 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	ECEDB[31:0]	ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2.ECENS = 1 の場合、このレジスタの値から ECC データを生成し、このレジスタの値を RAM に格納します。 ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2.ECDCS = 1 の場合、このレジスタの値からシンドロームコードを生成し、このレジスタの値を ECC デコードシンドロームデータレジスタ (ECCRCAN0SYND_PHY1/ ECCRCANFD0SYND_PHY2) に格納します。 また ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2.ECTRRS = 1 の場合には、このレジスタのリード値は、書き込んだデータではなく、RAM データ [31:0] が読み出されます。

21.12.7 ECCRCAN0TRC_PHY1/ECCRCANFD0TRC_PHY2 — RSCAN0 ECC 冗長ビットデータコントロールテストレジスタ

ECC テストモードにおいて、ECC データに対するテストレジスタで、ECCRCAN0SYND_PHY1/ECCRCANFD0SYND_PHY2、ECCRCAN0HORD_PHY1/ECCRCANFD0HORD_PHY2、ECCRCAN0ECDR_PHY1/ECCRCANFD0ECDR_PHY2、ECCRCAN0ERDB_PHY1/ECCRCANFD0ERDB_PHY2 の 4 つの 8 ビットレジスタで構成されます。

ECC テストモードが許可されている (ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2.ECTMCE = 1) 場合にアクセス可能です。ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2.ECTMCE = 0 の場合は、書き込みは無効、読み出し値は 0000 0000_H となります。このレジスタは RS-CAN が RAM アクセスしていない時に使用できます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ECCCAN0_base > + 08_H
<ECCCANFD0_base > + 08_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECCRCAN0SYND_PHY1/ECCRCANFD0SYND_PHY2 (21.12.9 を参照)								ECCRCAN0HORD_PHY1/ECCRCANFD0HORD_PHY2 (21.12.10 を参照)							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECCRCAN0ECDR_PHY1/ECCRCANFD0ECDR_PHY2 (21.12.11 を参照)								ECCRCAN0ERDB_PHY1/ECCRCANFD0ERDB_PHY2 (21.12.12 を参照)							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

21.12.8 ECCRCAN0AD0_PHY1/ECCRCANFD0AD0_PHY2 — RSCAN0 ECC エラーアドレスレジスタ 0

ECC エラー発生アドレスを格納する読み出し専用レジスタです。

ECC エラー判定許可状態で ECC エラーが検出されると、検出された信号をトリガとして RAM アドレスがキャプチャされ、この RAM アドレスがエラー発生アドレスとして格納されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ECCCAN0_base > + 10_H
<ECCCANFD0_base > + 10_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECEAD[30:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEAD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.199 ECCRCAN0AD0_PHY1/ECCRCANFD0AD0_PHY2 レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。
30 ~ 0	ECEAD[30:0]	ECEAD0 は、ECC エラーが発生したアドレスを格納する読み出し専用レジスタです。 ECC エラー検出が許可された状態で ECC エラーが検出されると、検出信号をトリガとして RAM アドレスがラッチされ、このアドレスが ECC エラー発生アドレスとして ECEAD0 に格納されます。エラーステータスが設定されていない場合は、最初の ECC エラーの検出時にアドレスが格納されます。ただし、1 ビットエラーに続いて 2 ビットエラーが発生した場合は、後者のアドレスが格納されます。 ECEAD0 には 1 つのアドレスのみ格納できます。

21.12.9 ECCRCAN0SYND_PHY1/ECCRCANFD0SYND_PHY2 — RSCAN0 ECC デコードシンドロームデータレジスタ

ECCテストモードにおいて、生成されたシンドロームコードが格納される読み出し専用レジスタです。

書き込みは無効です。

ECCテストモードが許可されている (ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2.ECTMCE = 1) 場合にアクセス可能です。ECCテストモードが禁止されている (ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2.ECTMCE = 0) 場合、読み出し値は 00_H となります。

アクセス 8ビット単位でリードのみ可能です。

アドレス <ECCCAN0_base > + 0B_H
<ECCCANFD0_base > + 0B_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	SYND6	SYND5	SYND4	SYND3	SYND2	SYND1	SYND0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 21.200 ECCRCAN0SYND_PHY1/ECCRCANFD0SYND_PHY2 レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ~ 0	SYND[6:0]	生成されたシンドロームコードが随時格納されます。

21.12.10 ECCRCAN0HORD_PHY1/ECCRCANFD0HORD_PHY2 — RSCAN0 ECC 7 ビット冗長ビットデータ保持テストレジスタ

ECCテストモードにおいて、読み出したRAMデータに対するECCデータが格納されるレジスタです。

書き込みは無効です。

ECCテストモードが許可されている (ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2.ECTMCE = 1) 場合にアクセス可能です。ECCテストモードが禁止されている (ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2.ECTMCE = 0) 場合は、読み出し値は00_Hとなります。

アクセス 8ビット単位でリードのみ可能です。

アドレス <ECCCAN0_base > + 0A_H
<ECCCANFD0_base > + 0A_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	HORD6	HORD5	HORD4	HORD3	HORD2	HORD1	HORD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 21.201 ECCRCAN0HORD_PHY1/ECCRCANFD0HORD_PHY2 レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ~ 0	HORD[6:0]	読み出したRAMデータに対するECCコードが随時格納されます。 また ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2.ECTRRS = 1 の場合に ECCRCAN0TED_PHY1/ECCRCANFD0TED_PHY2 レジスタをリードした際にも ECCコードが格納されます。

21.12.11 ECCRCAN0ECDR_PHY1/ECCRCANFD0ECDR_PHY2 — RSCAN0 ECC エンコードテストレジスタ

ECCテストモードにおいて、書き込んだRAMデータに対して生成されたECCデータが格納される読み出し専用レジスタです。

書き込みは無効です。

ECCテストモードが許可されている (ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2.ECTMCE = 1) 場合にアクセス可能です。ECCテストモードが禁止されている (ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2.ECTMCE = 0) 場合は、読み出し値は00_Hとなります。

アクセス 8ビット単位でリードのみ可能です。

アドレス <ECCCAN0_base > + 09_H
<ECCCANFD0_base > + 09_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	ECRD6	ECRD5	ECRD4	ECRD3	ECRD2	ECRD1	ECRD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 21.202 ECCRCAN0ECDR_PHY1/ECCRCANFD0ECDR_PHY2 レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ~ 0	ECRD[6:0]	RAMデータ書き込み時に生成されるECCデータを読み出すことができます。また、ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2.ECENS = 1の場合には、ECCRCAN0TED_PHY1/ECCRCANFD0TED_PHY2レジスタに書き込んだデータに対するECCデータを読み出すことができます。

21.12.12 ECCRCAN0ERDB_PHY1/ECCRCANFD0ERDB_PHY2 — RSCAN0 ECC 冗長ビット入出力代替レジスタ

ECC テストモードにおいて、ECC データを扱うレジスタです。

このレジスタの値は、RAM への書き込み時に生成される ECC データ、または RAM データの読み出し時に読み込まれる ECC データとして扱うことができます。

ECC テストモードが許可されている (ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2.ECTMCE = 1) 場合にアクセス可能です。ECC テストモードが禁止されている (ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2.ECTMCE = 0) 場合は、読み出し値は 00_H となります。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ECCCAN0_base > + 08_H
<ECCCANFD0_base > + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	ERDB6	ERDB5	ERDB4	ERDB3	ERDB2	ERDB1	ERDB0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.203 ECCRCAN0ERDB_PHY1/ECCRCANFD0ERDB_PHY2 レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 0	ERDB[6:0]	ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2.ECREOS = 1 の場合、このレジスタの値を RAM に対する ECC データとして格納します。 ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2.ECREIS = 1 の場合、このレジスタの値を RAM から読み出された ECC データとします。 また ECCRCAN0TMC_PHY1/ECCRCANFD0TMC_PHY2.ECTRRS = 1 の場合、このレジスタのリード値は、書き込んだデータではなく、RAM に格納される ECC データとなります。

21.12.13 SELB_READTEST — ECCREAD テスト選択レジスタ

CSIHn ECC レジスタおよび RSCAN0 と RSCAN1 の ECC レジスタのリード/ライトアクセスチェックに使用します。詳細は、「17.7.14 SELB_READTEST — ECCREAD テスト選択レジスタ」を参照してください。

21.13 RS-CANFD モジュールの注意事項

- RS-CANFD のリセットを行わずにインタフェースモードを変更する場合は、切り替え後のレジスタマップに割り当てられていないレジスタ、ビットすべてにリセット後の値を書いてから、RSCFDnCFDGRMCFG レジスタを書き換えてください。
- グローバルモードを変更する場合は、RSCANn(CFD)GSTS レジスタの GSLPSTS、GHLTSTS、GRSTSTS フラグで遷移を確認してください。チャンネルモードを変更する場合は、RSCANn(CFD)CmSTS レジスタ ($m=0\sim 5$) の CSLPSTS、CHLTSTS、CRSTSTS フラグで遷移を確認してください。
- CAN FD モード時、クラシカル CAN フレームしか使用しない場合は、RSCFDnCFDCmDCFG レジスタに、RSCFDnCFDCmNCFG レジスタの設定値と同じ値を設定してください。
- アクセプタンスフィルタ処理は、小さい番号の受信ルールから順にチェックを開始します。複数の受信ルールに同じ ID、IDE ビット、RTR ビットの値を設定した場合、小さい番号の受信ルールでアクセプタンスフィルタ処理が通過します。その後の DLC フィルタ処理を通過しなかった場合も、アクセプタンスフィルタ処理には戻らず、データ処理は終了し、メッセージはバッファに格納されません。
- 送信バッファを送受信 FIFO バッファにリンクしたり、送信キューに割り当てたりした場合、対応する送信バッファの制御レジスタ (RSCANn(CFD)TMCp レジスタ) は“00_H”にしてください。また、対応する送信バッファのステータスレジスタ (RSCANn(CFD)TMSTSp レジスタ) は使用しないでください。その他のステータスレジスタ (RSCANn(CFD)TMTRSTS0 ~ RSCANn(CFD)TMTRSTS2、RSCANn(CFD)TMTARSTS0 ~ RSCANn(CFD)TMTARSTS2、RSCANn(CFD)TMTCASTS0 ~ RSCANn(CFD)TMTCASTS2、RSCANn(CFD)TMTASTS0 ~ RSCANn(CFD)TMTASTS2 レジスタ) は、送受信 FIFO にリンクした、または送信キューに割り当てた送信バッファに対応するフラグは変化しません。対応する割り込み許可レジスタ (RSCANn(CFD)TMIEC0 ~ RSCANn(CFD)TMIEC2 レジスタ) の許可ビットは“0” (割り込み禁止) にしてください。
- 送信バッファマージモード (CAN FD モード時) を使用する場合、ペイロード格納領域として割り当てられた送信バッファに対応する送信バッファの制御レジスタ (RSCANn(CFD)TMCp レジスタ) は“00_H”にしてください。また、対応する割り込み許可レジスタ (RSCANn(CFD)TMIEC0 ~ RSCANn(CFD)TMIEC2 レジスタ) の許可ビットは“0” (割り込み禁止) にしてください。
- 送受信 FIFO バッファにリンクされた送信バッファを、送信キューに割り当てないでください。また、送信バッファマージモード (CAN FD モード時) でペイロード格納領域として割り当てられた送信バッファを、送信キューに割り当てないでください。
- 1つの送信バッファには、1つの送受信 FIFO バッファしかリンクできません。複数の送受信 FIFO バッファを同一番号の送信バッファにリンクさせないでください。
- クラシカルCANモードでタイムスタンプカウンタのクロック源にCANmビットタイムクロックを選択した場合、対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードに遷移すると、タイムスタンプカウンタが停止します。
- 受信 FIFO バッファ、送受信 FIFO バッファがフルのときに、新しい受信メッセージを格納しようとした場合、新しいメッセージは破棄されます。送受信 FIFO バッファおよび送信キューに新しい送信メッセージを格納しようとする場合、送受信 FIFO バッファおよび送信キューがフルでないことを確認してください。

- 「21.4 レジスタ (クラシカル CAN モード)」と「21.5 レジスタ (CAN FD モード)」に記載されているリセット後の値は、RAM アクセスを行うレジスタの場合、CAN 用 RAM 初期化によってクリアされた後の値を示します。クリア前の値は不定です。次のレジスタが該当します。
 - 受信ルール (RSCANn(CFD)GAFLIDj、RSCANn(CFD)GAFLMj、RSCANn(CFD)GAFLP0j、RSCANn(CFD)GAFLP1j レジスタ)
 - 受信バッファ (RSCANn(CFD)RMIDq、RSCANn(CFD)RMPTRq、RSCFDnCFDRMFDSTSq、RSCANn(CFD)RMDFBq レジスタ)
 - 受信 FIFO バッファアクセスレジスタ (RSCANn(CFD)RFIDx、RSCANn(CFD)RFPTRx、RSCFDnCFDRFFDSTSx、RSCANn(CFD)RFDFdx レジスタ)
 - 送受信 FIFO バッファアクセスレジスタ (RSCANn(CFD)CFIDk、RSCANn(CFD)CFPTRk、RSCFDnCFDCFFDCSTSk、RSCANn(CFD)CFDFdk レジスタ)
 - 送信バッファ (RSCANn(CFD)TMIDp、RSCANn(CFD)TMPTRp、RSCFDnCFDTMFDCTRp、RSCANn(CFD)TMDFBp レジスタ)
 - 送信履歴アクセスレジスタ (RSCANn(CFD)THLACCm レジスタ)
 - RAM テストページアクセスレジスタ (RSCANn(CFD)RPGACCr レジスタ)
- 未使用の受信バッファ (RSCANn(CFD)RMIDq、RSCANn(CFD)RMPTRq、RSCFDnCFDRMFDSTSq、RSCANn(CFD)RMDFBq レジスタ)、受信 FIFO バッファアクセスレジスタ (RSCANn(CFD)RFIDx、RSCANn(CFD)RFPTRx、RSCFDnCFDRFFDSTSx、RSCANn(CFD)RFDFdx レジスタ) と送受信 FIFO バッファアクセスレジスタ (RSCANn(CFD)CFIDk、RSCANn(CFD)CFPTRk、RSCFDnCFDCFFDCSTSk、RSCANn(CFD)CFDFdk レジスタ) の値は、一度グローバルリセットモードを抜けグローバル動作モードやグローバルテストモードに遷移すると、不定になります。

21.14 RS-CAN

この節では、RS-CAN の機能とレジスタについて説明します。

表 21.204 添字

添字	説明
n	本章では、RS-CAN のユニットを「n」(n = 1) で識別します。たとえば、ユニット n の RSCAN のグローバル制御レジスタは RSCANnGCTR と記述します。
m	本章では、RS-CAN のチャンネル数を「m」(m = 6) で識別します。たとえば、チャンネル m ステータスレジスタは RSCAN1CmSTS と記述します。
i	RSCAN1 のモジュールのチャンネル数として「i」(i = 0) で識別します。たとえば、グローバル TX 割り込みステータスレジスタ 0 (RSCAN1GTINTSTS0) の送信履歴割り込みステータスフラグは THIFI ビットと記述します。
j	受信ルールテーブルを関係するレジスタを「j」(j = 0 ~ 15) で識別します。たとえば、受信ルール ID レジスタは RSCAN1GAFLIDj と記述します。
k	送受信 FIFO バッファ番号を「k」(k = 0 ~ チャンネル i × 3 + 2) で識別します。たとえば、送受信 FIFO バッファコンフィグレーション / 制御レジスタは RSCAN1CFCK と記述します。
x	受信 FIFO バッファ番号を「x」(x = 0 ~ 7) で識別します。たとえば、受信 FIFO バッファステータスレジスタは、RSCAN1RFSTx と記述します。
q	受信バッファの番号を「q」(q = 0 ~ チャンネル i × 16 + 15) で識別します。たとえば、受信バッファ ID レジスタは RSCAN1RMIDq と記述します。
p	送信バッファの番号を「p」(p = 0 ~ チャンネル i × 16 + 15) で識別します。たとえば、送信バッファ制御レジスタは RSCAN1TMCp と記述します。
r	CAN 用 RAM テスト番号を「r」(r = 0 ~ 63) で識別します。たとえば、RAM テストページアクセスレジスタは RSCAN1RPGACCr と記述します。
y	上記以外のレジスタをまとめて説明する場合、「y」(y = 0) で識別します。たとえば、受信バッファ新データレジスタは RSCAN1RMNDy と記述します。

備考 本章の機能およびレジスタ説明は、RS-CAN 1 チャンネル内蔵品 (m = 6) について記載しています。本文中の添字の値はお使いになる製品に合わせてください。また、以下の点に注意してください。
お使いになる製品により添字の範囲外となるビットへ書き込む場合はリセット後の値を書き込んでください。

各製品の添字が示す値を以下に示します。

表 21.205 各製品の添字対応

各製品の添字対応
176 pin
i = 0
j = 0 ~ 15
k = 0 ~ 2
x = 0 ~ 7
q = 0 ~ 15
p = 0 ~ 15
r = 0 ~ 63
y = 0

21.14.1 レジスタベースアドレス

RSCAN1 のベースアドレスを以下の表に示します。

RSCAN1 のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 21.206 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RSCAN1_base>	FFD0 8000 _H
<ECCCAN1_base>	FFC7 1020 _H

21.14.2 クロック供給

RSCAN1 のクロック供給を以下の表に示します。

表 21.207 クロック供給

ユニット名	ユニットクロック名	供給クロック名	説明
RSCAN1	clk_xincan	CKSCLK_ICANOSC	osc クロックからの通信クロック
	clkc	CKSCLK_IPERI2	通信クロック
	pclk	CKSCLK_ICAN	モジュールクロック
	レジスタアクセスクロック	CPUCLK2	バスクロック
	CKSCLK_ICAN		

RSCAN1 の動作周波数は、転送レート、および使用チャネル数に依存します。表 21.208 に示す範囲で使用してください。

表 21.208 RH850/F1K における転送レート・使用チャネル数での動作周波数範囲

条件		動作可能な周波数範囲		
転送レート	使用 ch 数	pclk	clk_xincan 注1,注3	clkc 注1,注2
1Mbps	1ch	pclk ≥ 18MHz	8MHz ≤ clk_xincan ≤ pclk/2	12.5MHz ≤ clkc ≤ pclk/2
500kbps	1ch	pclk ≥ 8MHz	4MHz ≤ clk_xincan ≤ pclk/2	12.5MHz ≤ clkc ≤ pclk/2
125kbps	1ch	pclk ≥ 8MHz	4MHz ≤ clk_xincan ≤ pclk/2	12.5MHz ≤ clkc ≤ pclk/2

注 1. RSCAN1GCFG の DCS ビットにより、clk_xincan、clkc いずれかを選択可能です。各クロックは pclk/2 以下（最大 40MHz）に設定してください。

注 2. pclk < 25MHz 時は、clk_xincan を選択してください。

注 3. clk_xincan の最大周波数は、24MHz です。

注 意

STOP モードで RS-CAN 使用をする場合は、RS-CAN のクロック源に MainOSC を設定してください。クロック源の設定は「12.4.3.10 RS-CAN クロックドメイン C_ISO_CAN と C_ISO_CANOSC」を参照してください。

21.14.3 割り込み要求

RSCAN1 の割り込み要求を以下の表に示します。

表 21.209 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
RSCAN1			
INTRCANGERR1	CAN グローバルエラー割り込み	319	—
INTRCANGRECC1	CAN 受信 FIFO 割り込み	320	—
CAN6			
INTRCANmERR(m = 6)	CAN6 エラー割り込み	321	—
INTRCANmREC(m = 6)	CAN6 送受信 FIFO 受信完了割り込み	322	—
INTRCANmTRX(m = 6)	CAN6 送信割り込み	323	—

備 考

スタンバイモードから復帰可能なウェイクアップ要因については、「14.1.2.1 各スタンバイモードのウェイクアップ要因」を参照してください。

21.14.4 リセット要因

RSCAN1 のリセット要因を以下に示します。RSCAN1 は以下のリセット要因で初期化されます。

表 21.210 リセット要因

ユニット名	リセット要因
RSCAN1	すべてのリセット要因 (ISORES)

21.14.5 外部入出力信号

RSCAN1 の外部入出力信号を以下の表に示します。

表 21.211 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
CAN6		
CANmRX (m = 6)	CAN6 受信データ入力	CAN6RX
CANmTX (m = 6)	CAN6 送信データ出力	CAN6TX

21.15 概要

21.15.1 機能概要

RH850/F1K は、ISO11898-1 仕様に準拠した CAN コントローラを 1 チャンネル (CAN6) 搭載した CAN インタフェース (RS-CAN1) を 1 ユニット内蔵しています。表 21.212 に RS-CAN モジュールの仕様、図 21.39 に RS-CAN モジュールブロック図を示します。

表 21.212 RS-CAN モジュールの仕様 (1/2)

項目	仕様
チャンネル数	1
プロトコル	ISO11898-1 仕様準拠
通信速度	<ul style="list-style-type: none"> 最大 1Mbps $\text{通信速度 (CANm ビットタイムクロック)} = \frac{1}{\text{CANm ビットタイム}}$ $\text{CANm ビットタイム} = \text{CANmTq} \times 1 \text{ ビット分の Tq 数}$ $\text{CANmTq} = \frac{(\text{RSCAN1CmCFG レジスタの BRP[9:0] ビット} + 1)}{\text{fCAN}}$ <p>m = 6 (n = 1) Tq : Time quantum fCAN : CAN クロック (RSCAN1GCFG レジスタの DCS ビットで選択したクロック) の周波数</p>
バッファ	<p>合計 80 バッファ (n = 1)</p> <ul style="list-style-type: none"> 各チャンネル専用 : 16 バッファ (16 バッファ × 1 チャンネル) (n = 1) 送信バッファ : 16 バッファ / 1 チャンネル 送信キュー : 1 本 / 1 チャンネル (送信バッファと共用、最大 16 バッファ割り当て可能) チャンネル間共用 : 64 バッファ (n = 1) 受信バッファ : 16 バッファ (16 バッファ × 1 チャンネル) (n = 1) 受信 FIFO バッファ : 8 本 (1 本あたり最大 128 バッファ割り当て可能) 送受信 FIFO バッファ : 3 本 / 1 チャンネル (1 本あたり最大 128 バッファ割り当て可能) ECC 内蔵
受信機能	<ul style="list-style-type: none"> データフレームとリモートフレームを受信可能 受信する ID フォーマット (標準 ID、拡張 ID、両方) を選択可能 FIFO ごとの割り込み許可 / 禁止設定可能 ミラー機能 (自送信メッセージの受信機能) タイムスタンプ機能 (メッセージの受信時間を 16 ビットタイマ値で記録)
受信フィルタ機能	<ul style="list-style-type: none"> 合計 64 個 (n = 1) の受信ルールで受信メッセージを選別可能 チャンネルごとに 0 ~ 128 個の範囲で受信ルール数を設定可能 アクセプタンスフィルタ処理 : 各受信ルールごとに ID、マスク設定可能 DLC フィルタ処理 : 各受信ルールごとに DLC フィルタチェック可能
受信メッセージ転送機能	<ul style="list-style-type: none"> ルーティング機能 受信メッセージを任意のバッファへ転送する機能 (転送可能バッファ数 : 8) 転送先 : 受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ ラベル付加機能 受信バッファおよび FIFO バッファへメッセージ格納時、ラベル情報も同時に格納可能
送信機能	<ul style="list-style-type: none"> データフレームとリモートフレームを送信可能 送信する ID フォーマット (標準 ID、拡張 ID、両方) を選択可能 送信バッファ、送受信 FIFO バッファごとに割り込み許可 / 禁止設定可能 ID 優先送信または送信バッファ番号優先送信を選択可能 送信アボート機能 (フラグでアボート完了を確認可能) ワンショット送信機能

表 21.212 RS-CAN モジュールの仕様 (2/2)

項目	仕様
インターバル送信機能	メッセージの送信間隔を設定可能 (送受信 FIFO バッファの送信モード)
送信キュー機能	格納された全メッセージが ID 優先で送信される機能
送信履歴機能	送信完了したメッセージの履歴情報を格納する機能
ゲートウェイ機能	非対応
バスオフ復帰モード選択	<p>バスオフ状態からの復帰方法を選択可能</p> <ul style="list-style-type: none"> ISO11898-1 仕様準拠 バスオフ開始でチャンネル待機モードへ自動遷移 バスオフ終了でチャンネル待機モードへ自動遷移 プログラムによる要求によってチャンネル待機モードへ遷移 プログラムによる要求によってエラーアクティブ状態へ遷移 (バスオフ強制復帰機能)
エラー状態の監視	<ul style="list-style-type: none"> CAN プロトコルエラー (スタッフエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー、バスドミナントロック) を監視 エラー状態の遷移を検出 (エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) エラーカウンタの読み出し DLC エラーを監視
割り込み要因	<p>5 本</p> <ul style="list-style-type: none"> グローバル割り込み (各ユニットごとに 2 本) <ul style="list-style-type: none"> 受信 FIFO 割り込み (各ユニットごとに 1 本) グローバルエラー割り込み (各ユニットごとに 1 本) チャンネル割り込み (各チャンネルごとに 3 本ずつ) <ul style="list-style-type: none"> CANm 送信割り込み (m = 6) <ul style="list-style-type: none"> CANm 送信完了割り込み CANm 送信アボート割り込み CANm 送受信 FIFO 送信完了割り込み (送信モード) CANm 送信履歴割り込み CANm 送信キュー割り込み CANm 送受信 FIFO 受信完了割り込み (受信モード) CANm エラー割り込み
CAN ストップモード	RS-CAN モジュールに供給されるクロックを停止することで消費電流を低減可能
CAN クロックソース	clk _c か clk _{xincan} を選択可能 設定可能な周波数は表 21.208 を参照してください。
テスト機能	<p>ユーザ評価用テスト機能</p> <ul style="list-style-type: none"> リッスンオンリモード セルフテストモード 0 (外部ループバック) セルフテストモード 1 (内部ループバック) RAM テスト (読み書きテスト)

21.15.2 ブロック図

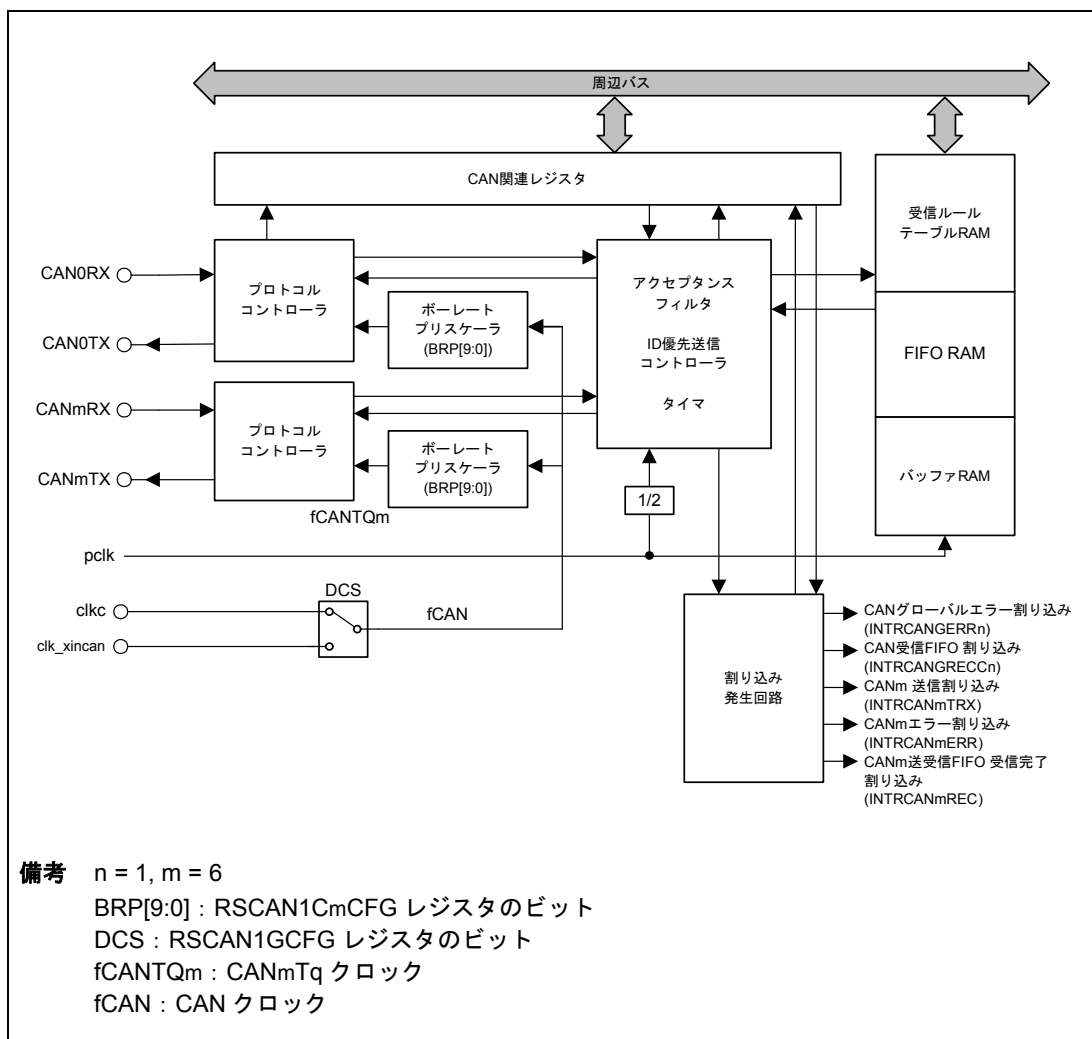


図 21.39 RS-CAN モジュールのブロック図

21.16 レジスタ

21.16.1 レジスタ一覧

RS-CAN のレジスタ一覧を以下の表に示します。

<RSCAN1_base> は「21.14.1 レジスタベースアドレス」を参照してください。

表 21.213 レジスタ一覧 (1/10)

モジュール名	レジスタ名	略号	アドレス	ガードグループ
RSCAN1	チャンネル m コンフィグレーションレジスタ	RSCAN1CmCFG	<RSCAN1_base> + 0000 _H	RSCAN1 Ch0
	チャンネル m 制御レジスタ	RSCAN1CmCTR	<RSCAN1_base> + 0004 _H	RSCAN1 Ch0
	チャンネル m ステータスレジスタ	RSCAN1CmSTS	<RSCAN1_base> + 0008 _H	RSCAN1 Ch0
	チャンネル m エラーフラグレジスタ	RSCAN1CmERFL	<RSCAN1_base> + 000C _H	RSCAN1 Ch0
	グローバルコンフィグレーションレジスタ	RSCAN1GCFG	<RSCAN1_base> + 0084 _H	RSCAN1 グローバル
	グローバル制御レジスタ	RSCAN1GCTR	<RSCAN1_base> + 0088 _H	RSCAN1 グローバル
	グローバルステータスレジスタ	RSCAN1GSTS	<RSCAN1_base> + 008C _H	RSCAN1 グローバル
	グローバルエラーフラグレジスタ	RSCAN1GERFL	<RSCAN1_base> + 0090 _H	RSCAN1 グローバル
	グローバルタイムスタンプカウンタレジスタ	RSCAN1GTSC	<RSCAN1_base> + 0094 _H	RSCAN1 グローバル
	受信ルールエントリ制御レジスタ	RSCAN1GAFLECTR	<RSCAN1_base> + 0098 _H	RSCAN1 グローバル
	受信ルールコンフィグレーションレジスタ 0	RSCAN1GAFLCFG0	<RSCAN1_base> + 009C _H	RSCAN1 グローバル
	受信バッファナンバレジスタ	RSCAN1RMNB	<RSCAN1_base> + 00A4 _H	RSCAN1 グローバル
	受信バッファ新データレジスタ 0	RSCAN1RMND0	<RSCAN1_base> + 00A8 _H	RSCAN1 グローバル
	受信 FIFO バッファコンフィグレーション/制御レジスタ 0	RSCAN1RFCC0	<RSCAN1_base> + 00B8 _H	RSCAN1 グローバル
	受信 FIFO バッファコンフィグレーション/制御レジスタ 1	RSCAN1RFCC1	<RSCAN1_base> + 00BC _H	RSCAN1 グローバル
	受信 FIFO バッファコンフィグレーション/制御レジスタ 2	RSCAN1RFCC2	<RSCAN1_base> + 00C0 _H	RSCAN1 グローバル
	受信 FIFO バッファコンフィグレーション/制御レジスタ 3	RSCAN1RFCC3	<RSCAN1_base> + 00C4 _H	RSCAN1 グローバル
	受信 FIFO バッファコンフィグレーション/制御レジスタ 4	RSCAN1RFCC4	<RSCAN1_base> + 00C8 _H	RSCAN1 グローバル
	受信 FIFO バッファコンフィグレーション/制御レジスタ 5	RSCAN1RFCC5	<RSCAN1_base> + 00CC _H	RSCAN1 グローバル
	受信 FIFO バッファコンフィグレーション/制御レジスタ 6	RSCAN1RFCC6	<RSCAN1_base> + 00D0 _H	RSCAN1 グローバル
	受信 FIFO バッファコンフィグレーション/制御レジスタ 7	RSCAN1RFCC7	<RSCAN1_base> + 00D4 _H	RSCAN1 グローバル
	受信 FIFO バッファステータスレジスタ 0	RSCAN1RFSTS0	<RSCAN1_base> + 00D8 _H	RSCAN1 グローバル
	受信 FIFO バッファステータスレジスタ 1	RSCAN1RFSTS1	<RSCAN1_base> + 00DC _H	RSCAN1 グローバル
	受信 FIFO バッファステータスレジスタ 2	RSCAN1RFSTS2	<RSCAN1_base> + 00E0 _H	RSCAN1 グローバル
	受信 FIFO バッファステータスレジスタ 3	RSCAN1RFSTS3	<RSCAN1_base> + 00E4 _H	RSCAN1 グローバル
	受信 FIFO バッファステータスレジスタ 4	RSCAN1RFSTS4	<RSCAN1_base> + 00E8 _H	RSCAN1 グローバル
	受信 FIFO バッファステータスレジスタ 5	RSCAN1RFSTS5	<RSCAN1_base> + 00EC _H	RSCAN1 グローバル
	受信 FIFO バッファステータスレジスタ 6	RSCAN1RFSTS6	<RSCAN1_base> + 00F0 _H	RSCAN1 グローバル
	受信 FIFO バッファステータスレジスタ 7	RSCAN1RFSTS7	<RSCAN1_base> + 00F4 _H	RSCAN1 グローバル
	受信 FIFO バッファポイント制御レジスタ 0	RSCAN1RFPCTR0	<RSCAN1_base> + 00F8 _H	RSCAN1 グローバル
	受信 FIFO バッファポイント制御レジスタ 1	RSCAN1RFPCTR1	<RSCAN1_base> + 00FC _H	RSCAN1 グローバル
	受信 FIFO バッファポイント制御レジスタ 2	RSCAN1RFPCTR2	<RSCAN1_base> + 0100 _H	RSCAN1 グローバル
	受信 FIFO バッファポイント制御レジスタ 3	RSCAN1RFPCTR3	<RSCAN1_base> + 0104 _H	RSCAN1 グローバル
	受信 FIFO バッファポイント制御レジスタ 4	RSCAN1RFPCTR4	<RSCAN1_base> + 0108 _H	RSCAN1 グローバル
	受信 FIFO バッファポイント制御レジスタ 5	RSCAN1RFPCTR5	<RSCAN1_base> + 010C _H	RSCAN1 グローバル
	受信 FIFO バッファポイント制御レジスタ 6	RSCAN1RFPCTR6	<RSCAN1_base> + 0110 _H	RSCAN1 グローバル

表 21.213 レジスタ一覧 (2/10)

モジュール名	レジスタ名	略号	アドレス	ガードグループ
RSCAN1	受信 FIFO バッファポインタ制御レジスタ 7	RSCAN1RFPCTR7	<RSCAN1_base> + 0114 _H	RSCAN1 グローバル
	送受信 FIFO バッファコンフィグレーション/制御レジスタ 0	RSCAN1CFCC0	<RSCAN1_base> + 0118 _H	RSCAN1 グローバル
	送受信 FIFO バッファコンフィグレーション/制御レジスタ 1	RSCAN1CFCC1	<RSCAN1_base> + 011C _H	RSCAN1 グローバル
	送受信 FIFO バッファコンフィグレーション/制御レジスタ 2	RSCAN1CFCC2	<RSCAN1_base> + 0120 _H	RSCAN1 グローバル
	送受信 FIFO バッファステータスレジスタ 0	RSCAN1CFSTS0	<RSCAN1_base> + 0178 _H	RSCAN1 グローバル
	送受信 FIFO バッファステータスレジスタ 1	RSCAN1CFSTS1	<RSCAN1_base> + 017C _H	RSCAN1 グローバル
	送受信 FIFO バッファステータスレジスタ 2	RSCAN1CFSTS2	<RSCAN1_base> + 0180 _H	RSCAN1 グローバル
	送受信 FIFO バッファポインタ制御レジスタ 0	RSCAN1CFPCTR0	<RSCAN1_base> + 01D8 _H	RSCAN1 グローバル
	送受信 FIFO バッファポインタ制御レジスタ 1	RSCAN1CFPCTR1	<RSCAN1_base> + 01DC _H	RSCAN1 グローバル
	送受信 FIFO バッファポインタ制御レジスタ 2	RSCAN1CFPCTR2	<RSCAN1_base> + 01E0 _H	RSCAN1 グローバル
	FIFO エンプティステータスレジスタ	RSCAN1FESTS	<RSCAN1_base> + 0238 _H	RSCAN1 グローバル
	FIFO フルステータスレジスタ	RSCAN1FFSTS	<RSCAN1_base> + 023C _H	RSCAN1 グローバル
	FIFO Msg ロストステータスレジスタ	RSCAN1FMSTS	<RSCAN1_base> + 0240 _H	RSCAN1 グローバル
	受信 FIFO バッファ割り込みフラグステータスレジスタ	RSCAN1RFISTS	<RSCAN1_base> + 0244 _H	RSCAN1 グローバル
	送受信 FIFO バッファ RX 割り込みフラグステータスレジスタ	RSCAN1CFRISTS	<RSCAN1_base> + 0248 _H	RSCAN1 グローバル
	送受信 FIFO バッファ TX 割り込みフラグステータスレジスタ	RSCAN1CFTISTS	<RSCAN1_base> + 024C _H	RSCAN1 グローバル
	送信バッファ制御レジスタ 0	RSCAN1TMC0	<RSCAN1_base> + 0250 _H	RSCAN1 グローバル
	送信バッファ制御レジスタ 1	RSCAN1TMC1	<RSCAN1_base> + 0251 _H	RSCAN1 グローバル
	送信バッファ制御レジスタ 2	RSCAN1TMC2	<RSCAN1_base> + 0252 _H	RSCAN1 グローバル
	送信バッファ制御レジスタ 3	RSCAN1TMC3	<RSCAN1_base> + 0253 _H	RSCAN1 グローバル
	送信バッファ制御レジスタ 4	RSCAN1TMC4	<RSCAN1_base> + 0254 _H	RSCAN1 グローバル
	送信バッファ制御レジスタ 5	RSCAN1TMC5	<RSCAN1_base> + 0255 _H	RSCAN1 グローバル
	送信バッファ制御レジスタ 6	RSCAN1TMC6	<RSCAN1_base> + 0256 _H	RSCAN1 グローバル
	送信バッファ制御レジスタ 7	RSCAN1TMC7	<RSCAN1_base> + 0257 _H	RSCAN1 グローバル
	送信バッファ制御レジスタ 8	RSCAN1TMC8	<RSCAN1_base> + 0258 _H	RSCAN1 グローバル
	送信バッファ制御レジスタ 9	RSCAN1TMC9	<RSCAN1_base> + 0259 _H	RSCAN1 グローバル
	送信バッファ制御レジスタ 10	RSCAN1TMC10	<RSCAN1_base> + 025A _H	RSCAN1 グローバル
	送信バッファ制御レジスタ 11	RSCAN1TMC11	<RSCAN1_base> + 025B _H	RSCAN1 グローバル
	送信バッファ制御レジスタ 12	RSCAN1TMC12	<RSCAN1_base> + 025C _H	RSCAN1 グローバル
	送信バッファ制御レジスタ 13	RSCAN1TMC13	<RSCAN1_base> + 025D _H	RSCAN1 グローバル
	送信バッファ制御レジスタ 14	RSCAN1TMC14	<RSCAN1_base> + 025E _H	RSCAN1 グローバル
	送信バッファ制御レジスタ 15	RSCAN1TMC15	<RSCAN1_base> + 025F _H	RSCAN1 グローバル
	送信バッファステータスレジスタ 0	RSCAN1TMSTS0	<RSCAN1_base> + 02D0 _H	RSCAN1 グローバル
	送信バッファステータスレジスタ 1	RSCAN1TMSTS1	<RSCAN1_base> + 02D1 _H	RSCAN1 グローバル
	送信バッファステータスレジスタ 2	RSCAN1TMSTS2	<RSCAN1_base> + 02D2 _H	RSCAN1 グローバル
	送信バッファステータスレジスタ 3	RSCAN1TMSTS3	<RSCAN1_base> + 02D3 _H	RSCAN1 グローバル
	送信バッファステータスレジスタ 4	RSCAN1TMSTS4	<RSCAN1_base> + 02D4 _H	RSCAN1 グローバル
	送信バッファステータスレジスタ 5	RSCAN1TMSTS5	<RSCAN1_base> + 02D5 _H	RSCAN1 グローバル
	送信バッファステータスレジスタ 6	RSCAN1TMSTS6	<RSCAN1_base> + 02D6 _H	RSCAN1 グローバル
	送信バッファステータスレジスタ 7	RSCAN1TMSTS7	<RSCAN1_base> + 02D7 _H	RSCAN1 グローバル
	送信バッファステータスレジスタ 8	RSCAN1TMSTS8	<RSCAN1_base> + 02D8 _H	RSCAN1 グローバル
	送信バッファステータスレジスタ 9	RSCAN1TMSTS9	<RSCAN1_base> + 02D9 _H	RSCAN1 グローバル
	送信バッファステータスレジスタ 10	RSCAN1TMSTS10	<RSCAN1_base> + 02DA _H	RSCAN1 グローバル
送信バッファステータスレジスタ 11	RSCAN1TMSTS11	<RSCAN1_base> + 02DB _H	RSCAN1 グローバル	

表 21.213 レジスタ一覧 (3/10)

モジュール名	レジスタ名	略号	アドレス	ガードグループ
RSCAN1	送信バッファステータスレジスタ 12	RSCAN1TMSTS12	<RSCAN1_base> + 02DC _H	RSCAN1 グローバル
	送信バッファステータスレジスタ 13	RSCAN1TMSTS13	<RSCAN1_base> + 02DD _H	RSCAN1 グローバル
	送信バッファステータスレジスタ 14	RSCAN1TMSTS14	<RSCAN1_base> + 02DE _H	RSCAN1 グローバル
	送信バッファステータスレジスタ 15	RSCAN1TMSTS15	<RSCAN1_base> + 02DF _H	RSCAN1 グローバル
	送信バッファ送信要求ステータスレジスタ 0	RSCAN1TMTRSTS0	<RSCAN1_base> + 0350 _H	RSCAN1 グローバル
	送信バッファ送信アポート要求ステータスレジスタ 0	RSCAN1TMTARSTS0	<RSCAN1_base> + 0360 _H	RSCAN1 グローバル
	送信バッファ送信完了ステータスレジスタ 0	RSCAN1TMTCASTS0	<RSCAN1_base> + 0370 _H	RSCAN1 グローバル
	送信バッファ送信アポートステータスレジスタ 0	RSCAN1TMTASTS0	<RSCAN1_base> + 0380 _H	RSCAN1 グローバル
	送信バッファ割り込みイネーブルコンフィグレーションレジスタ 0	RSCAN1TMIEC0	<RSCAN1_base> + 0390 _H	RSCAN1 グローバル
	送信キューコンフィグレーション/制御レジスタ m	RSCAN1TXQCCm	<RSCAN1_base> + 03A0 _H	RSCAN1 Ch0
	送信キューステータスレジスタ m	RSCAN1TXQSTSm	<RSCAN1_base> + 03C0 _H	RSCAN1 Ch0
	送信キューポインタ制御レジスタ m	RSCAN1TXQPCTRM	<RSCAN1_base> + 03E0 _H	RSCAN1 Ch0
	送信履歴コンフィグレーション/制御レジスタ m	RSCAN1THLCCm	<RSCAN1_base> + 0400 _H	RSCAN1 Ch0
	送信履歴ステータスレジスタ m	RSCAN1THLSTSm	<RSCAN1_base> + 0420 _H	RSCAN1 Ch0
	送信履歴ポインタ制御レジスタ m	RSCAN1THLPCTRM	<RSCAN1_base> + 0440 _H	RSCAN1 Ch0
	グローバル TX 割り込みステータスレジスタ 0	RSCAN1GTINTSTS0	<RSCAN1_base> + 0460 _H	RSCAN1 グローバル
	グローバルテストコンフィグレーションレジスタ	RSCAN1GTSTCFG	<RSCAN1_base> + 0468 _H	RSCAN1 グローバル
	グローバルテスト制御レジスタ	RSCAN1GTSTCTR	<RSCAN1_base> + 046C _H	RSCAN1 グローバル
	グローバルロックキーレジスタ	RSCAN1GLOCKK	<RSCAN1_base> + 047C _H	RSCAN1 グローバル
	受信ルール ID レジスタ 0	RSCAN1GAFLID0	<RSCAN1_base> + 0500 _H	RSCAN1 グローバル
	受信ルールマスクレジスタ 0	RSCAN1GAFLM0	<RSCAN1_base> + 0504 _H	RSCAN1 グローバル
	受信ルールポインタ 0 レジスタ 0	RSCAN1GAFLP00	<RSCAN1_base> + 0508 _H	RSCAN1 グローバル
	受信ルールポインタ 1 レジスタ 0	RSCAN1GAFLP10	<RSCAN1_base> + 050C _H	RSCAN1 グローバル
	受信ルール ID レジスタ 1	RSCAN1GAFLID1	<RSCAN1_base> + 0510 _H	RSCAN1 グローバル
	受信ルールマスクレジスタ 1	RSCAN1GAFLM1	<RSCAN1_base> + 0514 _H	RSCAN1 グローバル
	受信ルールポインタ 0 レジスタ 1	RSCAN1GAFLP01	<RSCAN1_base> + 0518 _H	RSCAN1 グローバル
	受信ルールポインタ 1 レジスタ 1	RSCAN1GAFLP11	<RSCAN1_base> + 051C _H	RSCAN1 グローバル
	受信ルール ID レジスタ 2	RSCAN1GAFLID2	<RSCAN1_base> + 0520 _H	RSCAN1 グローバル
	受信ルールマスクレジスタ 2	RSCAN1GAFLM2	<RSCAN1_base> + 0524 _H	RSCAN1 グローバル
	受信ルールポインタ 0 レジスタ 2	RSCAN1GAFLP02	<RSCAN1_base> + 0528 _H	RSCAN1 グローバル
	受信ルールポインタ 1 レジスタ 2	RSCAN1GAFLP12	<RSCAN1_base> + 052C _H	RSCAN1 グローバル
	受信ルール ID レジスタ 3	RSCAN1GAFLID3	<RSCAN1_base> + 0530 _H	RSCAN1 グローバル
	受信ルールマスクレジスタ 3	RSCAN1GAFLM3	<RSCAN1_base> + 0534 _H	RSCAN1 グローバル
	受信ルールポインタ 0 レジスタ 3	RSCAN1GAFLP03	<RSCAN1_base> + 0538 _H	RSCAN1 グローバル
	受信ルールポインタ 1 レジスタ 3	RSCAN1GAFLP13	<RSCAN1_base> + 053C _H	RSCAN1 グローバル
	受信ルール ID レジスタ 4	RSCAN1GAFLID4	<RSCAN1_base> + 0540 _H	RSCAN1 グローバル
	受信ルールマスクレジスタ 4	RSCAN1GAFLM4	<RSCAN1_base> + 0544 _H	RSCAN1 グローバル
	受信ルールポインタ 0 レジスタ 4	RSCAN1GAFLP04	<RSCAN1_base> + 0548 _H	RSCAN1 グローバル
	受信ルールポインタ 1 レジスタ 4	RSCAN1GAFLP14	<RSCAN1_base> + 054C _H	RSCAN1 グローバル
	受信ルール ID レジスタ 5	RSCAN1GAFLID5	<RSCAN1_base> + 0550 _H	RSCAN1 グローバル
	受信ルールマスクレジスタ 5	RSCAN1GAFLM5	<RSCAN1_base> + 0554 _H	RSCAN1 グローバル
	受信ルールポインタ 0 レジスタ 5	RSCAN1GAFLP05	<RSCAN1_base> + 0558 _H	RSCAN1 グローバル
	受信ルールポインタ 1 レジスタ 5	RSCAN1GAFLP15	<RSCAN1_base> + 055C _H	RSCAN1 グローバル
	受信ルール ID レジスタ 6	RSCAN1GAFLID6	<RSCAN1_base> + 0560 _H	RSCAN1 グローバル
	受信ルールマスクレジスタ 6	RSCAN1GAFLM6	<RSCAN1_base> + 0564 _H	RSCAN1 グローバル
	受信ルールポインタ 0 レジスタ 6	RSCAN1GAFLP06	<RSCAN1_base> + 0568 _H	RSCAN1 グローバル

表 21.213 レジスタ一覧 (4/10)

モジュール名	レジスタ名	略号	アドレス	ガードグループ
RSCAN1	受信ルールポインタ 1 レジスタ 6	RSCAN1GAFLP16	<RSCAN1_base> + 056C _H	RSCAN1 グローバル
	受信ルール ID レジスタ 7	RSCAN1GAFLID7	<RSCAN1_base> + 0570 _H	RSCAN1 グローバル
	受信ルールマスクレジスタ 7	RSCAN1GAFLM7	<RSCAN1_base> + 0574 _H	RSCAN1 グローバル
	受信ルールポインタ 0 レジスタ 7	RSCAN1GAFLP07	<RSCAN1_base> + 0578 _H	RSCAN1 グローバル
	受信ルールポインタ 1 レジスタ 7	RSCAN1GAFLP17	<RSCAN1_base> + 057C _H	RSCAN1 グローバル
	受信ルール ID レジスタ 8	RSCAN1GAFLID8	<RSCAN1_base> + 0580 _H	RSCAN1 グローバル
	受信ルールマスクレジスタ 8	RSCAN1GAFLM8	<RSCAN1_base> + 0584 _H	RSCAN1 グローバル
	受信ルールポインタ 0 レジスタ 8	RSCAN1GAFLP08	<RSCAN1_base> + 0588 _H	RSCAN1 グローバル
	受信ルールポインタ 1 レジスタ 8	RSCAN1GAFLP18	<RSCAN1_base> + 058C _H	RSCAN1 グローバル
	受信ルール ID レジスタ 9	RSCAN1GAFLID9	<RSCAN1_base> + 0590 _H	RSCAN1 グローバル
	受信ルールマスクレジスタ 9	RSCAN1GAFLM9	<RSCAN1_base> + 0594 _H	RSCAN1 グローバル
	受信ルールポインタ 0 レジスタ 9	RSCAN1GAFLP09	<RSCAN1_base> + 0598 _H	RSCAN1 グローバル
	受信ルールポインタ 1 レジスタ 9	RSCAN1GAFLP19	<RSCAN1_base> + 059C _H	RSCAN1 グローバル
	受信ルール ID レジスタ 10	RSCAN1GAFLID10	<RSCAN1_base> + 05A0 _H	RSCAN1 グローバル
	受信ルールマスクレジスタ 10	RSCAN1GAFLM10	<RSCAN1_base> + 05A4 _H	RSCAN1 グローバル
	受信ルールポインタ 0 レジスタ 10	RSCAN1GAFLP010	<RSCAN1_base> + 05A8 _H	RSCAN1 グローバル
	受信ルールポインタ 1 レジスタ 10	RSCAN1GAFLP110	<RSCAN1_base> + 05AC _H	RSCAN1 グローバル
	受信ルール ID レジスタ 11	RSCAN1GAFLID11	<RSCAN1_base> + 05B0 _H	RSCAN1 グローバル
	受信ルールマスクレジスタ 11	RSCAN1GAFLM11	<RSCAN1_base> + 05B4 _H	RSCAN1 グローバル
	受信ルールポインタ 0 レジスタ 11	RSCAN1GAFLP011	<RSCAN1_base> + 05B8 _H	RSCAN1 グローバル
	受信ルールポインタ 1 レジスタ 11	RSCAN1GAFLP111	<RSCAN1_base> + 05BC _H	RSCAN1 グローバル
	受信ルール ID レジスタ 12	RSCAN1GAFLID12	<RSCAN1_base> + 05C0 _H	RSCAN1 グローバル
	受信ルールマスクレジスタ 12	RSCAN1GAFLM12	<RSCAN1_base> + 05C4 _H	RSCAN1 グローバル
	受信ルールポインタ 0 レジスタ 12	RSCAN1GAFLP012	<RSCAN1_base> + 05C8 _H	RSCAN1 グローバル
	受信ルールポインタ 1 レジスタ 12	RSCAN1GAFLP112	<RSCAN1_base> + 05CC _H	RSCAN1 グローバル
	受信ルール ID レジスタ 13	RSCAN1GAFLID13	<RSCAN1_base> + 05D0 _H	RSCAN1 グローバル
	受信ルールマスクレジスタ 13	RSCAN1GAFLM13	<RSCAN1_base> + 05D4 _H	RSCAN1 グローバル
	受信ルールポインタ 0 レジスタ 13	RSCAN1GAFLP013	<RSCAN1_base> + 05D8 _H	RSCAN1 グローバル
	受信ルールポインタ 1 レジスタ 13	RSCAN1GAFLP113	<RSCAN1_base> + 05DC _H	RSCAN1 グローバル
	受信ルール ID レジスタ 14	RSCAN1GAFLID14	<RSCAN1_base> + 05E0 _H	RSCAN1 グローバル
	受信ルールマスクレジスタ 14	RSCAN1GAFLM14	<RSCAN1_base> + 05E4 _H	RSCAN1 グローバル
	受信ルールポインタ 0 レジスタ 14	RSCAN1GAFLP014	<RSCAN1_base> + 05E8 _H	RSCAN1 グローバル
	受信ルールポインタ 1 レジスタ 14	RSCAN1GAFLP114	<RSCAN1_base> + 05EC _H	RSCAN1 グローバル
	受信ルール ID レジスタ 15	RSCAN1GAFLID15	<RSCAN1_base> + 05F0 _H	RSCAN1 グローバル
	受信ルールマスクレジスタ 15	RSCAN1GAFLM15	<RSCAN1_base> + 05F4 _H	RSCAN1 グローバル
	受信ルールポインタ 0 レジスタ 15	RSCAN1GAFLP015	<RSCAN1_base> + 05F8 _H	RSCAN1 グローバル
	受信ルールポインタ 1 レジスタ 15	RSCAN1GAFLP115	<RSCAN1_base> + 05FC _H	RSCAN1 グローバル
	受信バッファ ID レジスタ 0	RSCAN1RMID0	<RSCAN1_base> + 0600 _H	RSCAN1 グローバル
	受信バッファポインタレジスタ 0	RSCAN1RMPTR0	<RSCAN1_base> + 0604 _H	RSCAN1 グローバル
	受信バッファデータフィールド 0 レジスタ 0	RSCAN1RMDF00	<RSCAN1_base> + 0608 _H	RSCAN1 グローバル
	受信バッファデータフィールド 1 レジスタ 0	RSCAN1RMDF10	<RSCAN1_base> + 060C _H	RSCAN1 グローバル
	受信バッファ ID レジスタ 1	RSCAN1RMID1	<RSCAN1_base> + 0610 _H	RSCAN1 グローバル
受信バッファポインタレジスタ 1	RSCAN1RMPTR1	<RSCAN1_base> + 0614 _H	RSCAN1 グローバル	
受信バッファデータフィールド 0 レジスタ 1	RSCAN1RMDF01	<RSCAN1_base> + 0618 _H	RSCAN1 グローバル	
受信バッファデータフィールド 1 レジスタ 1	RSCAN1RMDF11	<RSCAN1_base> + 061C _H	RSCAN1 グローバル	
受信バッファ ID レジスタ 2	RSCAN1RMID2	<RSCAN1_base> + 0620 _H	RSCAN1 グローバル	
受信バッファポインタレジスタ 2	RSCAN1RMPTR2	<RSCAN1_base> + 0624 _H	RSCAN1 グローバル	

表 21.213 レジスタ一覧 (5/10)

モジュール名	レジスタ名	略号	アドレス	ガードグループ
RSCAN1	受信バッファデータフィールド0 レジスタ 2	RSCAN1RMDF02	<RSCAN1_base> + 0628 _H	RSCAN1 グローバル
	受信バッファデータフィールド1 レジスタ 2	RSCAN1RMDF12	<RSCAN1_base> + 062C _H	RSCAN1 グローバル
	受信バッファ ID レジスタ 3	RSCAN1RMID3	<RSCAN1_base> + 0630 _H	RSCAN1 グローバル
	受信バッファポインタレジスタ 3	RSCAN1RMPTR3	<RSCAN1_base> + 0634 _H	RSCAN1 グローバル
	受信バッファデータフィールド0 レジスタ 3	RSCAN1RMDF03	<RSCAN1_base> + 0638 _H	RSCAN1 グローバル
	受信バッファデータフィールド1 レジスタ 3	RSCAN1RMDF13	<RSCAN1_base> + 063C _H	RSCAN1 グローバル
	受信バッファ ID レジスタ 4	RSCAN1RMID4	<RSCAN1_base> + 0640 _H	RSCAN1 グローバル
	受信バッファポインタレジスタ 4	RSCAN1RMPTR4	<RSCAN1_base> + 0644 _H	RSCAN1 グローバル
	受信バッファデータフィールド0 レジスタ 4	RSCAN1RMDF04	<RSCAN1_base> + 0648 _H	RSCAN1 グローバル
	受信バッファデータフィールド1 レジスタ 4	RSCAN1RMDF14	<RSCAN1_base> + 064C _H	RSCAN1 グローバル
	受信バッファ ID レジスタ 5	RSCAN1RMID5	<RSCAN1_base> + 0650 _H	RSCAN1 グローバル
	受信バッファポインタレジスタ 5	RSCAN1RMPTR5	<RSCAN1_base> + 0654 _H	RSCAN1 グローバル
	受信バッファデータフィールド0 レジスタ 5	RSCAN1RMDF05	<RSCAN1_base> + 0658 _H	RSCAN1 グローバル
	受信バッファデータフィールド1 レジスタ 5	RSCAN1RMDF15	<RSCAN1_base> + 065C _H	RSCAN1 グローバル
	受信バッファ ID レジスタ 6	RSCAN1RMID6	<RSCAN1_base> + 0660 _H	RSCAN1 グローバル
	受信バッファポインタレジスタ 6	RSCAN1RMPTR6	<RSCAN1_base> + 0664 _H	RSCAN1 グローバル
	受信バッファデータフィールド0 レジスタ 6	RSCAN1RMDF06	<RSCAN1_base> + 0668 _H	RSCAN1 グローバル
	受信バッファデータフィールド1 レジスタ 6	RSCAN1RMDF16	<RSCAN1_base> + 066C _H	RSCAN1 グローバル
	受信バッファ ID レジスタ 7	RSCAN1RMID7	<RSCAN1_base> + 0670 _H	RSCAN1 グローバル
	受信バッファポインタレジスタ 7	RSCAN1RMPTR7	<RSCAN1_base> + 0674 _H	RSCAN1 グローバル
	受信バッファデータフィールド0 レジスタ 7	RSCAN1RMDF07	<RSCAN1_base> + 0678 _H	RSCAN1 グローバル
	受信バッファデータフィールド1 レジスタ 7	RSCAN1RMDF17	<RSCAN1_base> + 067C _H	RSCAN1 グローバル
	受信バッファ ID レジスタ 8	RSCAN1RMID8	<RSCAN1_base> + 0680 _H	RSCAN1 グローバル
	受信バッファポインタレジスタ 8	RSCAN1RMPTR8	<RSCAN1_base> + 0684 _H	RSCAN1 グローバル
	受信バッファデータフィールド0 レジスタ 8	RSCAN1RMDF08	<RSCAN1_base> + 0688 _H	RSCAN1 グローバル
	受信バッファデータフィールド1 レジスタ 8	RSCAN1RMDF18	<RSCAN1_base> + 068C _H	RSCAN1 グローバル
	受信バッファ ID レジスタ 9	RSCAN1RMID9	<RSCAN1_base> + 0690 _H	RSCAN1 グローバル
	受信バッファポインタレジスタ 9	RSCAN1RMPTR9	<RSCAN1_base> + 0694 _H	RSCAN1 グローバル
	受信バッファデータフィールド0 レジスタ 9	RSCAN1RMDF09	<RSCAN1_base> + 0698 _H	RSCAN1 グローバル
	受信バッファデータフィールド1 レジスタ 9	RSCAN1RMDF19	<RSCAN1_base> + 069C _H	RSCAN1 グローバル
	受信バッファ ID レジスタ 10	RSCAN1RMID10	<RSCAN1_base> + 06A0 _H	RSCAN1 グローバル
	受信バッファポインタレジスタ 10	RSCAN1RMPTR10	<RSCAN1_base> + 06A4 _H	RSCAN1 グローバル
	受信バッファデータフィールド0 レジスタ 10	RSCAN1RMDF010	<RSCAN1_base> + 06A8 _H	RSCAN1 グローバル
	受信バッファデータフィールド1 レジスタ 10	RSCAN1RMDF110	<RSCAN1_base> + 06AC _H	RSCAN1 グローバル
	受信バッファ ID レジスタ 11	RSCAN1RMID11	<RSCAN1_base> + 06B0 _H	RSCAN1 グローバル
	受信バッファポインタレジスタ 11	RSCAN1RMPTR11	<RSCAN1_base> + 06B4 _H	RSCAN1 グローバル
	受信バッファデータフィールド0 レジスタ 11	RSCAN1RMDF011	<RSCAN1_base> + 06B8 _H	RSCAN1 グローバル
	受信バッファデータフィールド1 レジスタ 11	RSCAN1RMDF111	<RSCAN1_base> + 06BC _H	RSCAN1 グローバル
	受信バッファ ID レジスタ 12	RSCAN1RMID12	<RSCAN1_base> + 06C0 _H	RSCAN1 グローバル
	受信バッファポインタレジスタ 12	RSCAN1RMPTR12	<RSCAN1_base> + 06C4 _H	RSCAN1 グローバル
	受信バッファデータフィールド0 レジスタ 12	RSCAN1RMDF012	<RSCAN1_base> + 06C8 _H	RSCAN1 グローバル
	受信バッファデータフィールド1 レジスタ 12	RSCAN1RMDF112	<RSCAN1_base> + 06CC _H	RSCAN1 グローバル
	受信バッファ ID レジスタ 13	RSCAN1RMID13	<RSCAN1_base> + 06D0 _H	RSCAN1 グローバル
	受信バッファポインタレジスタ 13	RSCAN1RMPTR13	<RSCAN1_base> + 06D4 _H	RSCAN1 グローバル
受信バッファデータフィールド0 レジスタ 13	RSCAN1RMDF013	<RSCAN1_base> + 06D8 _H	RSCAN1 グローバル	
受信バッファデータフィールド1 レジスタ 13	RSCAN1RMDF113	<RSCAN1_base> + 06DC _H	RSCAN1 グローバル	
受信バッファ ID レジスタ 14	RSCAN1RMID14	<RSCAN1_base> + 06E0 _H	RSCAN1 グローバル	

表 21.213 レジスタ一覧 (6/10)

モジュール名	レジスタ名	略号	アドレス	ガードグループ
RSCAN1	受信バッファポインタレジスタ 14	RSCAN1RMPTR14	<RSCAN1_base> + 06E4 _H	RSCAN1 グローバル
	受信バッファデータフィールド 0 レジスタ 14	RSCAN1RMD014	<RSCAN1_base> + 06E8 _H	RSCAN1 グローバル
	受信バッファデータフィールド 1 レジスタ 14	RSCAN1RMD114	<RSCAN1_base> + 06EC _H	RSCAN1 グローバル
	受信バッファ ID レジスタ 15	RSCAN1RMID15	<RSCAN1_base> + 06F0 _H	RSCAN1 グローバル
	受信バッファポインタレジスタ 15	RSCAN1RMPTR15	<RSCAN1_base> + 06F4 _H	RSCAN1 グローバル
	受信バッファデータフィールド 0 レジスタ 15	RSCAN1RMD015	<RSCAN1_base> + 06F8 _H	RSCAN1 グローバル
	受信バッファデータフィールド 1 レジスタ 15	RSCAN1RMD115	<RSCAN1_base> + 06FC _H	RSCAN1 グローバル
	受信 FIFO バッファアクセス ID レジスタ 0	RSCAN1RFID0	<RSCAN1_base> + 0E00 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスポインタレジスタ 0	RSCAN1RFPTR0	<RSCAN1_base> + 0E04 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 0	RSCAN1RFDF00	<RSCAN1_base> + 0E08 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 0	RSCAN1RFDF10	<RSCAN1_base> + 0E0C _H	RSCAN1 グローバル
	受信 FIFO バッファアクセス ID レジスタ 1	RSCAN1RFID1	<RSCAN1_base> + 0E10 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスポインタレジスタ 1	RSCAN1RFPTR1	<RSCAN1_base> + 0E14 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 1	RSCAN1RFDF01	<RSCAN1_base> + 0E18 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 1	RSCAN1RFDF11	<RSCAN1_base> + 0E1C _H	RSCAN1 グローバル
	受信 FIFO バッファアクセス ID レジスタ 2	RSCAN1RFID2	<RSCAN1_base> + 0E20 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスポインタレジスタ 2	RSCAN1RFPTR2	<RSCAN1_base> + 0E24 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 2	RSCAN1RFDF02	<RSCAN1_base> + 0E28 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 2	RSCAN1RFDF12	<RSCAN1_base> + 0E2C _H	RSCAN1 グローバル
	受信 FIFO バッファアクセス ID レジスタ 3	RSCAN1RFID3	<RSCAN1_base> + 0E30 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスポインタレジスタ 3	RSCAN1RFPTR3	<RSCAN1_base> + 0E34 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 3	RSCAN1RFDF03	<RSCAN1_base> + 0E38 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 3	RSCAN1RFDF13	<RSCAN1_base> + 0E3C _H	RSCAN1 グローバル
	受信 FIFO バッファアクセス ID レジスタ 4	RSCAN1RFID4	<RSCAN1_base> + 0E40 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスポインタレジスタ 4	RSCAN1RFPTR4	<RSCAN1_base> + 0E44 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 4	RSCAN1RFDF04	<RSCAN1_base> + 0E48 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 4	RSCAN1RFDF14	<RSCAN1_base> + 0E4C _H	RSCAN1 グローバル
	受信 FIFO バッファアクセス ID レジスタ 5	RSCAN1RFID5	<RSCAN1_base> + 0E50 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスポインタレジスタ 5	RSCAN1RFPTR5	<RSCAN1_base> + 0E54 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 5	RSCAN1RFDF05	<RSCAN1_base> + 0E58 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 5	RSCAN1RFDF15	<RSCAN1_base> + 0E5C _H	RSCAN1 グローバル
	受信 FIFO バッファアクセス ID レジスタ 6	RSCAN1RFID6	<RSCAN1_base> + 0E60 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスポインタレジスタ 6	RSCAN1RFPTR6	<RSCAN1_base> + 0E64 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 6	RSCAN1RFDF06	<RSCAN1_base> + 0E68 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 6	RSCAN1RFDF16	<RSCAN1_base> + 0E6C _H	RSCAN1 グローバル
	受信 FIFO バッファアクセス ID レジスタ 7	RSCAN1RFID7	<RSCAN1_base> + 0E70 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスポインタレジスタ 7	RSCAN1RFPTR7	<RSCAN1_base> + 0E74 _H	RSCAN1 グローバル
	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 7	RSCAN1RFDF07	<RSCAN1_base> + 0E78 _H	RSCAN1 グローバル

表 21.213 レジスタ一覧 (7/10)

モジュール名	レジスタ名	略号	アドレス	ガードグループ
RSCAN1	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 7	RSCAN1RFDF17	<RSCAN1_base> + 0E7C _H	RSCAN1 グローバル
	送受信 FIFO バッファアクセス ID レジスタ 0	RSCAN1CFID0	<RSCAN1_base> + 0E80 _H	RSCAN1 グローバル
	送受信 FIFO バッファアクセスポインタレジスタ 0	RSCAN1CFPTR0	<RSCAN1_base> + 0E84 _H	RSCAN1 グローバル
	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 0	RSCAN1CFDF00	<RSCAN1_base> + 0E88 _H	RSCAN1 グローバル
	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 0	RSCAN1CFDF10	<RSCAN1_base> + 0E8C _H	RSCAN1 グローバル
	送受信 FIFO バッファアクセス ID レジスタ 1	RSCAN1CFID1	<RSCAN1_base> + 0E90 _H	RSCAN1 グローバル
	送受信 FIFO バッファアクセスポインタレジスタ 1	RSCAN1CFPTR1	<RSCAN1_base> + 0E94 _H	RSCAN1 グローバル
	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 1	RSCAN1CFDF01	<RSCAN1_base> + 0E98 _H	RSCAN1 グローバル
	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 1	RSCAN1CFDF11	<RSCAN1_base> + 0E9C _H	RSCAN1 グローバル
	送受信 FIFO バッファアクセス ID レジスタ 2	RSCAN1CFID2	<RSCAN1_base> + 0EA0 _H	RSCAN1 グローバル
	送受信 FIFO バッファアクセスポインタレジスタ 2	RSCAN1CFPTR2	<RSCAN1_base> + 0EA4 _H	RSCAN1 グローバル
	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 2	RSCAN1CFDF02	<RSCAN1_base> + 0EA8 _H	RSCAN1 グローバル
	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 2	RSCAN1CFDF12	<RSCAN1_base> + 0EAC _H	RSCAN1 グローバル
	送信バッファ ID レジスタ 0	RSCAN1TMID0	<RSCAN1_base> + 1000 _H	RSCAN1 グローバル
	送信バッファポインタレジスタ 0	RSCAN1TMPTR0	<RSCAN1_base> + 1004 _H	RSCAN1 グローバル
	送信バッファデータフィールド 0 レジスタ 0	RSCAN1TMDF00	<RSCAN1_base> + 1008 _H	RSCAN1 グローバル
	送信バッファデータフィールド 1 レジスタ 0	RSCAN1TMDF10	<RSCAN1_base> + 100C _H	RSCAN1 グローバル
	送信バッファ ID レジスタ 1	RSCAN1TMID1	<RSCAN1_base> + 1010 _H	RSCAN1 グローバル
	送信バッファポインタレジスタ 1	RSCAN1TMPTR1	<RSCAN1_base> + 1014 _H	RSCAN1 グローバル
	送信バッファデータフィールド 0 レジスタ 1	RSCAN1TMDF01	<RSCAN1_base> + 1018 _H	RSCAN1 グローバル
	送信バッファデータフィールド 1 レジスタ 1	RSCAN1TMDF11	<RSCAN1_base> + 101C _H	RSCAN1 グローバル
	送信バッファ ID レジスタ 2	RSCAN1TMID2	<RSCAN1_base> + 1020 _H	RSCAN1 グローバル
	送信バッファポインタレジスタ 2	RSCAN1TMPTR2	<RSCAN1_base> + 1024 _H	RSCAN1 グローバル
	送信バッファデータフィールド 0 レジスタ 2	RSCAN1TMDF02	<RSCAN1_base> + 1028 _H	RSCAN1 グローバル
	送信バッファデータフィールド 1 レジスタ 2	RSCAN1TMDF12	<RSCAN1_base> + 102C _H	RSCAN1 グローバル
	送信バッファ ID レジスタ 3	RSCAN1TMID3	<RSCAN1_base> + 1030 _H	RSCAN1 グローバル
	送信バッファポインタレジスタ 3	RSCAN1TMPTR3	<RSCAN1_base> + 1034 _H	RSCAN1 グローバル
	送信バッファデータフィールド 0 レジスタ 3	RSCAN1TMDF03	<RSCAN1_base> + 1038 _H	RSCAN1 グローバル
	送信バッファデータフィールド 1 レジスタ 3	RSCAN1TMDF13	<RSCAN1_base> + 103C _H	RSCAN1 グローバル
	送信バッファ ID レジスタ 4	RSCAN1TMID4	<RSCAN1_base> + 1040 _H	RSCAN1 グローバル
	送信バッファポインタレジスタ 4	RSCAN1TMPTR4	<RSCAN1_base> + 1044 _H	RSCAN1 グローバル
	送信バッファデータフィールド 0 レジスタ 4	RSCAN1TMDF04	<RSCAN1_base> + 1048 _H	RSCAN1 グローバル
	送信バッファデータフィールド 1 レジスタ 4	RSCAN1TMDF14	<RSCAN1_base> + 104C _H	RSCAN1 グローバル
	送信バッファ ID レジスタ 5	RSCAN1TMID5	<RSCAN1_base> + 1050 _H	RSCAN1 グローバル
	送信バッファポインタレジスタ 5	RSCAN1TMPTR5	<RSCAN1_base> + 1054 _H	RSCAN1 グローバル
	送信バッファデータフィールド 0 レジスタ 5	RSCAN1TMDF05	<RSCAN1_base> + 1058 _H	RSCAN1 グローバル
	送信バッファデータフィールド 1 レジスタ 5	RSCAN1TMDF15	<RSCAN1_base> + 105C _H	RSCAN1 グローバル
	送信バッファ ID レジスタ 6	RSCAN1TMID6	<RSCAN1_base> + 1060 _H	RSCAN1 グローバル
	送信バッファポインタレジスタ 6	RSCAN1TMPTR6	<RSCAN1_base> + 1064 _H	RSCAN1 グローバル
	送信バッファデータフィールド 0 レジスタ 6	RSCAN1TMDF06	<RSCAN1_base> + 1068 _H	RSCAN1 グローバル
	送信バッファデータフィールド 1 レジスタ 6	RSCAN1TMDF16	<RSCAN1_base> + 106C _H	RSCAN1 グローバル
	送信バッファ ID レジスタ 7	RSCAN1TMID7	<RSCAN1_base> + 1070 _H	RSCAN1 グローバル
送信バッファポインタレジスタ 7	RSCAN1TMPTR7	<RSCAN1_base> + 1074 _H	RSCAN1 グローバル	

表 21.213 レジスタ一覧 (8/10)

モジュール名	レジスタ名	略号	アドレス	ガードグループ
RSCAN1	送信バッファデータフィールド0レジスタ7	RSCAN1TMDF07	<RSCAN1_base> + 1078 _H	RSCAN1 グローバル
	送信バッファデータフィールド1レジスタ7	RSCAN1TMDF17	<RSCAN1_base> + 107C _H	RSCAN1 グローバル
	送信バッファ IDレジスタ8	RSCAN1TMID8	<RSCAN1_base> + 1080 _H	RSCAN1 グローバル
	送信バッファポインタレジスタ8	RSCAN1TMPTR8	<RSCAN1_base> + 1084 _H	RSCAN1 グローバル
	送信バッファデータフィールド0レジスタ8	RSCAN1TMDF08	<RSCAN1_base> + 1088 _H	RSCAN1 グローバル
	送信バッファデータフィールド1レジスタ8	RSCAN1TMDF18	<RSCAN1_base> + 108C _H	RSCAN1 グローバル
	送信バッファ IDレジスタ9	RSCAN1TMID9	<RSCAN1_base> + 1090 _H	RSCAN1 グローバル
	送信バッファポインタレジスタ9	RSCAN1TMPTR9	<RSCAN1_base> + 1094 _H	RSCAN1 グローバル
	送信バッファデータフィールド0レジスタ9	RSCAN1TMDF09	<RSCAN1_base> + 1098 _H	RSCAN1 グローバル
	送信バッファデータフィールド1レジスタ9	RSCAN1TMDF19	<RSCAN1_base> + 109C _H	RSCAN1 グローバル
	送信バッファ IDレジスタ10	RSCAN1TMID10	<RSCAN1_base> + 10A0 _H	RSCAN1 グローバル
	送信バッファポインタレジスタ10	RSCAN1TMPTR10	<RSCAN1_base> + 10A4 _H	RSCAN1 グローバル
	送信バッファデータフィールド0レジスタ10	RSCAN1TMDF010	<RSCAN1_base> + 10A8 _H	RSCAN1 グローバル
	送信バッファデータフィールド1レジスタ10	RSCAN1TMDF110	<RSCAN1_base> + 10AC _H	RSCAN1 グローバル
	送信バッファ IDレジスタ11	RSCAN1TMID11	<RSCAN1_base> + 10B0 _H	RSCAN1 グローバル
	送信バッファポインタレジスタ11	RSCAN1TMPTR11	<RSCAN1_base> + 10B4 _H	RSCAN1 グローバル
	送信バッファデータフィールド0レジスタ11	RSCAN1TMDF011	<RSCAN1_base> + 10B8 _H	RSCAN1 グローバル
	送信バッファデータフィールド1レジスタ11	RSCAN1TMDF111	<RSCAN1_base> + 10BC _H	RSCAN1 グローバル
	送信バッファ IDレジスタ12	RSCAN1TMID12	<RSCAN1_base> + 10C0 _H	RSCAN1 グローバル
	送信バッファポインタレジスタ12	RSCAN1TMPTR12	<RSCAN1_base> + 10C4 _H	RSCAN1 グローバル
	送信バッファデータフィールド0レジスタ12	RSCAN1TMDF012	<RSCAN1_base> + 10C8 _H	RSCAN1 グローバル
	送信バッファデータフィールド1レジスタ12	RSCAN1TMDF112	<RSCAN1_base> + 10CC _H	RSCAN1 グローバル
	送信バッファ IDレジスタ13	RSCAN1TMID13	<RSCAN1_base> + 10D0 _H	RSCAN1 グローバル
	送信バッファポインタレジスタ13	RSCAN1TMPTR13	<RSCAN1_base> + 10D4 _H	RSCAN1 グローバル
	送信バッファデータフィールド0レジスタ13	RSCAN1TMDF013	<RSCAN1_base> + 10D8 _H	RSCAN1 グローバル
	送信バッファデータフィールド1レジスタ13	RSCAN1TMDF113	<RSCAN1_base> + 10DC _H	RSCAN1 グローバル
	送信バッファ IDレジスタ14	RSCAN1TMID14	<RSCAN1_base> + 10E0 _H	RSCAN1 グローバル
	送信バッファポインタレジスタ14	RSCAN1TMPTR14	<RSCAN1_base> + 10E4 _H	RSCAN1 グローバル
	送信バッファデータフィールド0レジスタ14	RSCAN1TMDF014	<RSCAN1_base> + 10E8 _H	RSCAN1 グローバル
	送信バッファデータフィールド1レジスタ14	RSCAN1TMDF114	<RSCAN1_base> + 10EC _H	RSCAN1 グローバル
	送信バッファ IDレジスタ15	RSCAN1TMID15	<RSCAN1_base> + 10F0 _H	RSCAN1 グローバル
	送信バッファポインタレジスタ15	RSCAN1TMPTR15	<RSCAN1_base> + 10F4 _H	RSCAN1 グローバル
	送信バッファデータフィールド0レジスタ15	RSCAN1TMDF015	<RSCAN1_base> + 10F8 _H	RSCAN1 グローバル
	送信バッファデータフィールド1レジスタ15	RSCAN1TMDF115	<RSCAN1_base> + 10FC _H	RSCAN1 グローバル
	送信履歴アクセスレジスタ m	RSCAN1THLACCm	<RSCAN1_base> + 1800 _H	RSCAN1 Ch0
	RAM テストページアクセスレジスタ 0	RSCAN1RPGACC0	<RSCAN1_base> + 1900 _H	RSCAN1 グローバル
	RAM テストページアクセスレジスタ 1	RSCAN1RPGACC1	<RSCAN1_base> + 1904 _H	RSCAN1 グローバル
	RAM テストページアクセスレジスタ 2	RSCAN1RPGACC2	<RSCAN1_base> + 1908 _H	RSCAN1 グローバル
	RAM テストページアクセスレジスタ 3	RSCAN1RPGACC3	<RSCAN1_base> + 190C _H	RSCAN1 グローバル
	RAM テストページアクセスレジスタ 4	RSCAN1RPGACC4	<RSCAN1_base> + 1910 _H	RSCAN1 グローバル
	RAM テストページアクセスレジスタ 5	RSCAN1RPGACC5	<RSCAN1_base> + 1914 _H	RSCAN1 グローバル
RAM テストページアクセスレジスタ 6	RSCAN1RPGACC6	<RSCAN1_base> + 1918 _H	RSCAN1 グローバル	
RAM テストページアクセスレジスタ 7	RSCAN1RPGACC7	<RSCAN1_base> + 191C _H	RSCAN1 グローバル	
RAM テストページアクセスレジスタ 8	RSCAN1RPGACC8	<RSCAN1_base> + 1920 _H	RSCAN1 グローバル	
RAM テストページアクセスレジスタ 9	RSCAN1RPGACC9	<RSCAN1_base> + 1924 _H	RSCAN1 グローバル	
RAM テストページアクセスレジスタ 10	RSCAN1RPGACC10	<RSCAN1_base> + 1928 _H	RSCAN1 グローバル	
RAM テストページアクセスレジスタ 11	RSCAN1RPGACC11	<RSCAN1_base> + 192C _H	RSCAN1 グローバル	

表 21.213 レジスタ一覧 (10/10)

モジュール名	レジスタ名	略号	アドレス	ガードグループ
RSCAN1	RAM テストページアクセスレジスタ 59	RSCAN1RPGACC59	<RSCAN1_base> + 19E _H	RSCAN1 グローバル
	RAM テストページアクセスレジスタ 60	RSCAN1RPGACC60	<RSCAN1_base> + 19F0 _H	RSCAN1 グローバル
	RAM テストページアクセスレジスタ 61	RSCAN1RPGACC61	<RSCAN1_base> + 19F4 _H	RSCAN1 グローバル
	RAM テストページアクセスレジスタ 62	RSCAN1RPGACC62	<RSCAN1_base> + 19F8 _H	RSCAN1 グローバル
	RAM テストページアクセスレジスタ 63	RSCAN1RPGACC63	<RSCAN1_base> + 19FC _H	RSCAN1 グローバル

備考 ガードグループの詳細は「第33章 ファンクショナルセーフティ」を参照してください。

表 21.214 各チャンネルに割り当てられる送信バッファ p

	CANm
送信バッファ p	送信バッファ $16 \times i + 0$
	送信バッファ $16 \times i + 1$
	送信バッファ $16 \times i + 2$
	送信バッファ $16 \times i + 3$
	送信バッファ $16 \times i + 4$
	送信バッファ $16 \times i + 5$
	送信バッファ $16 \times i + 6$
	送信バッファ $16 \times i + 7$
	送信バッファ $16 \times i + 8$
	送信バッファ $16 \times i + 9$
	送信バッファ $16 \times i + 10$
	送信バッファ $16 \times i + 11$
	送信バッファ $16 \times i + 12$
	送信バッファ $16 \times i + 13$
	送信バッファ $16 \times i + 14$
送信バッファ $16 \times i + 15$	

表 21.215 各チャンネルに割り当てられる送受信 FIFO バッファ k

	CANm
送受信 FIFO バッファ k	送受信 FIFO バッファ $3 \times i + 0$
	送受信 FIFO バッファ $3 \times i + 1$
	送受信 FIFO バッファ $3 \times i + 2$

表 21.216 CFTML[3:0] ビットの設定値によって送受信 FIFO バッファにリンクされる送信バッファ p

CFTML[3:0] ビットの設定値	送受信 FIFO バッファにリンクされる送信バッファ p
0000 _B	送信バッファ $16 \times i + 0$
0001 _B	送信バッファ $16 \times i + 1$
0010 _B	送信バッファ $16 \times i + 2$
0011 _B	送信バッファ $16 \times i + 3$
0100 _B	送信バッファ $16 \times i + 4$
0101 _B	送信バッファ $16 \times i + 5$
0110 _B	送信バッファ $16 \times i + 6$
0111 _B	送信バッファ $16 \times i + 7$
1000 _B	送信バッファ $16 \times i + 8$
1001 _B	送信バッファ $16 \times i + 9$
1010 _B	送信バッファ $16 \times i + 10$
1011 _B	送信バッファ $16 \times i + 11$
1100 _B	送信バッファ $16 \times i + 12$
1101 _B	送信バッファ $16 \times i + 13$
1110 _B	送信バッファ $16 \times i + 14$
1111 _B	送信バッファ $16 \times i + 15$

表 21.217 各チャネルの送信キューに割り当てられる送信バッファ p

TXQDC[3:0] ビットの設定値	送信キューに割り当てられる送信バッファ p
0000 _B	設定しないでください。
0001 _B	設定しないでください。
0010 _B	送信バッファ $16 \times i + 15 \sim 16 \times i + 13$
0011 _B	送信バッファ $16 \times i + 15 \sim 16 \times i + 12$
0100 _B	送信バッファ $16 \times i + 15 \sim 16 \times i + 11$
0101 _B	送信バッファ $16 \times i + 15 \sim 16 \times i + 10$
0110 _B	送信バッファ $16 \times i + 15 \sim 16 \times i + 9$
0111 _B	送信バッファ $16 \times i + 15 \sim 16 \times i + 8$
1000 _B	送信バッファ $16 \times i + 15 \sim 16 \times i + 7$
1001 _B	送信バッファ $16 \times i + 15 \sim 16 \times i + 6$
1010 _B	送信バッファ $16 \times i + 15 \sim 16 \times i + 5$
1011 _B	送信バッファ $16 \times i + 15 \sim 16 \times i + 4$
1100 _B	送信バッファ $16 \times i + 15 \sim 16 \times i + 3$
1101 _B	送信バッファ $16 \times i + 15 \sim 16 \times i + 2$
1110 _B	送信バッファ $16 \times i + 15 \sim 16 \times i + 1$
1111 _B	送信バッファ $16 \times i + 15 \sim 16 \times i + 0$

21.16.2 RSCAN1CmCFG — チャネルコンフィグレーションレジスタ (m = 6)

アクセス RSCAN1CmCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1CmCFGL、RSCAN1CmCFGH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1CmCFGLL、RSCAN1CmCFGLH、RSCAN1CmCFGHL、RSCAN1CmCFGHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1CmCFG: <RSCAN1_base> + 0000_H + (10_H × i)

RSCAN1CmCFGL: <RSCAN1_base> + 0000_H + (10_H × i)、
RSCAN1CmCFGH: <RSCAN1_base> + 0002_H + (10_H × i)

RSCAN1CmCFGLL: <RSCAN1_base> + 0000_H + (10_H × i)、
RSCAN1CmCFGLH: <RSCAN1_base> + 0001_H + (10_H × i)、
RSCAN1CmCFGHL: <RSCAN1_base> + 0002_H + (10_H × i)、
RSCAN1CmCFGHH: <RSCAN1_base> + 0003_H + (10_H × i)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	SJW[1:0]		—	TSEG2[2:0]			TSEG1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	BRP [9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.218 RSCAN1CmCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25、24	SJW[1:0]	再同期ジャンプ幅制御ビット b25 b24 0 0 : 1 Tq 0 1 : 2 Tq 1 0 : 3 Tq 1 1 : 4 Tq
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ~ 20	TSEG2[2:0]	タイムセグメント 2 制御ビット b22 b21 b20 0 0 0 : 設定しないでください 0 0 1 : 2 Tq 0 1 0 : 3 Tq 0 1 1 : 4 Tq 1 0 0 : 5 Tq 1 0 1 : 6 Tq 1 1 0 : 7 Tq 1 1 1 : 8 Tq

表 21.218 RSCAN1CmCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
19 ~ 16	TSEG1[3:0]	タイムセグメント 1 制御ビット $b_{19} b_{18} b_{17} b_{16}$ 0 0 0 0 : 設定しないでください 0 0 0 1 : 設定しないでください 0 0 1 0 : 設定しないでください 0 0 1 1 : 4 Tq 0 1 0 0 : 5 Tq 0 1 0 1 : 6 Tq 0 1 1 0 : 7 Tq 0 1 1 1 : 8 Tq 1 0 0 0 : 9 Tq 1 0 0 1 : 10 Tq 1 0 1 0 : 11 Tq 1 0 1 1 : 12 Tq 1 1 0 0 : 13 Tq 1 1 0 1 : 14 Tq 1 1 1 0 : 15 Tq 1 1 1 1 : 16 Tq
15 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9 ~ 0	BRP[9:0]	プリスケーラ分周比設定ビット 設定値を P (0 ~ 1023) とすると、ポーレートプリスケーラは fCAN を P+1 で分周します。

RSCAN1CmCFG レジスタは、チャンネルリセットモードまたはチャンネル待機モードで書き換えてください。また、チャンネルリセットモードで本レジスタを設定した後で、チャンネル通信モードまたはチャンネル待機モードに遷移してください。ビットタイミングパラメータの説明と設定については、「**21.22.1 初期設定**」を参照してください。

SJW[1:0] ビット

再同期ジャンプ幅 (Resynchronization jump width) を Tq 値で指定します。1 ~ 4Tq の値が設定可能です。TSEG2 ビット以下の値を設定してください。

TSEG2[2:0] ビット

フェーズセグメント 2 (PHASE_SEG2) の長さを Tq 値で指定します。

2 ~ 8Tq の値が設定可能です。

TSEG1 ビットより小さい値を設定してください。

TSEG1[3:0] ビット

プロパゲーションセグメント (PROP_SEG) とフェーズセグメント 1 (PHASE_SEG1) の合計長を Tq 値で指定します。

4 ~ 16Tq の値が設定可能です。

BRP[9:0] ビット

CAN クロック (fCAN) をポーレートプリスケーラ ((BRP[9:0]) + 1) で分周したクロックが CANmTq クロック (fCANTQm) になり、CANmTq クロックの 1 クロックが 1 Time Quantum (Tq) になります (m = 6)。

21.16.3 RSCAN1CmCTR — チャネル制御レジスタ (m = 6)

アクセス RSCAN1CmCTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1CmCTRL、RSCAN1CmCTRH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1CmCTRL、RSCAN1CmCTRLH、RSCAN1CmCTRHL、RSCAN1CmCTRHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1CmCTR: <RSCAN1_base> + 0004_H + (10_H × i)
RSCAN1CmCTRL: <RSCAN1_base> + 0004_H + (10_H × i)、
RSCAN1CmCTRH: <RSCAN1_base> + 0006_H + (10_H × i)
RSCAN1CmCTRL: <RSCAN1_base> + 0004_H + (10_H × i)、
RSCAN1CmCTRLH: <RSCAN1_base> + 0005_H + (10_H × i)、
RSCAN1CmCTRHL: <RSCAN1_base> + 0006_H + (10_H × i)、
RSCAN1CmCTRHH: <RSCAN1_base> + 0007_H + (10_H × i)

リセット後の値 0000 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	CTMS[1:0]	CTME	ERRD	BOM[1:0]	—	—	—	—	—	—	TAIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 21.219 RSCAN1CmCTR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26、25	CTMS[1:0]	通信テストモード選択ビット b26 b25 0 0: 標準テストモード 0 1: リッスンオンリモード 1 0: セルフテストモード 0 (外部ループバックモード) 1 1: セルフテストモード 1 (内部ループバックモード)
24	CTME	通信テストモード許可ビット 0: 通信テストモード禁止 1: 通信テストモード許可
23	ERRD	エラー表示モード選択ビット 0: RSCAN1CmERFL レジスタのビット 14 ~ 8 がすべてクリアされた後、最初に発生したエラー情報のみのエラーフラグ表示 1: 発生したすべてのエラー情報のエラーフラグを表示
22、21	BOM[1:0]	バスオフ復帰モード選択ビット b22 b21 0 0: ISO11898-1 仕様準拠 0 1: バスオフ開始でチャネル待機モードへ遷移 1 0: バスオフ終了でチャネル待機モードへ遷移 1 1: バスオフ中にプログラムによる要求でチャネル待機モードへ遷移
20 ~ 17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	TAIE	送信アボート割り込み許可ビット 0: 送信アボート割り込み禁止 1: 送信アボート割り込み許可
15	ALIE	アービトレーションロスト割り込み許可ビット 0: アービトレーションロスト割り込み禁止 1: アービトレーションロスト割り込み許可

表 21.219 RSCAN1CmCTR レジスタの内容 (2/2)

ビット位置	ビット名	機能
14	BLIE	バスロック割り込み許可ビット 0: バスロック割り込み禁止 1: バスロック割り込み許可
13	OLIE	オーバロードフレーム送信割り込み許可ビット 0: オーバロードフレーム送信割り込み禁止 1: オーバロードフレーム送信割り込み許可
12	BORIE	バスオフ復帰割り込み許可ビット 0: バスオフ復帰割り込み禁止 1: バスオフ復帰割り込み許可
11	BOEIE	バスオフ開始割り込み許可ビット 0: バスオフ開始割り込み禁止 1: バスオフ開始割り込み許可
10	EPIE	エラーパッシブ割り込み許可ビット 0: エラーパッシブ割り込み禁止 1: エラーパッシブ割り込み許可
9	EWIE	エラーワーニング割り込み許可ビット 0: エラーワーニング割り込み禁止 1: エラーワーニング割り込み許可
8	BEIE	バスエラー割り込み許可ビット 0: バスエラー割り込み禁止 1: バスエラー割り込み許可
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RTBO	バスオフ強制復帰ビット RTBO ビットを“1”にすると、バスオフから強制的に復帰します。常に“0”が読めます。
2	CSLPR	チャンネルストップモードビット 0: チャンネルストップモードではない 1: チャンネルストップモード
1, 0	CHMDC[1:0]	モード選択ビット b1 b0 0 0: チャンネル通信モード 0 1: チャンネルリセットモード 1 0: チャンネル待機モード 1 1: 設定しないでください

CTMS[1:0] ビット

通信テストモードを選択するビットです。このビットはチャンネル待機モードのみで書き換えてください。チャンネルリセットモード時は、“0”になります。

CTME ビット

“1”にすると通信テストモードは許可になります。このビットはチャンネル待機モードで書き換えてください。チャンネルリセットモード時は、“0”になります。

ERRD ビット

RSCAN1CmERFL レジスタのビット 14 ~ 8 の表示モードを制御します。

“0”にすると最初に発生したエラーのフラグのみ“1”になります。最初のエラーで複数のエラーが発生した場合、検出されたエラーのフラグはすべて“1”になります。

“1”にすると発生順に関係なく、起こったエラーのフラグはすべて“1”になります。

このビットはチャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。

BOM[1:0] ビット

RS-CAN モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが“00_B”の場合、バスオフ状態からエラーアクティブ状態への復帰は CAN 仕様に準拠します。すなわち、RS-CAN モジュールは、11 ビットの連続するレセシブを 128 回検出後、再び CAN 通信（エラーアクティブ状態）に入ります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生します。128 回検出する前に CHMDC[1:0] ビットを“10_B”（チャンネル待機モード）にしても 128 回検出するまでチャンネル待機モードには遷移しません。

BOM[1:0] ビットが“01_B”の場合、RS-CAN モジュールがバスオフ状態に達すると、RSCAN1CmCTR レジスタ (m=6) の CHMDC[1:0] ビットが“10_B”になり、チャンネル待機モードへ遷移します。バスオフ復帰割り込み要求は発生せず、RSCAN1CmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが“00_H”になります。

BOM[1:0] ビットが“10_B”の場合、RS-CAN モジュールがバスオフ状態に達すると CHMDC[1:0] ビットが“10_B”になり、バスオフ状態から復帰した（11 ビットの連続するレセシブを 128 回検出）後に、チャンネル待機モードに遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生し、TEC[7:0] ビットと REC[7:0] ビットが“00_H”になります。

BOM[1:0] ビットが“11_B”の場合、RS-CAN モジュールがバスオフ状態のときに CHMDC[1:0] ビットを“10_B”にすると、チャンネル待機モードになります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、TEC[7:0] ビットと REC[7:0] ビットは“00_H”になります。しかし、CHMDC[1:0] ビットを“10_B”にする前に、11 ビットの連続するレセシブを 128 回検出して、バスオフ状態からエラーアクティブ状態に復帰した場合は、バスオフ復帰割り込み要求が発生します。

RS-CAN モジュールがチャンネル待機モードに遷移するのと同様（BOM[1:0] ビットが“01_B”のとき：バスオフ開始時、または BOM[1:0] ビットが“10_B”のとき：バスオフ終了時）に、プログラムによる CHMDC[1:0] ビットへの書き込みが発生した場合は、プログラムの書き込みが優先されます。BOM[1:0] ビットはチャンネルリセットモードでのみ書き換えてください。

TAIE ビット

TAIE ビットを“1”に設定し、送信バッファの送信アボートが完了した場合、割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

ALIE ビット

ALIE ビットを“1”に設定し、RSCAN1CmERFL レジスタの ALF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BLIE ビット

BLIE ビットを“1”に設定し、RSCAN1CmERFL レジスタの BLF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

OLIE ビット

OLIE ビットを“1”に設定し、RSCAN1CmERFL レジスタの OVLV フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BORIE ビット

BORIE ビットを“1”に設定し、RSCAN1CmERFL レジスタの BORF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BOEIE ビット

BOEIE ビットを“1”に設定し、RSCAN1CmERFL レジスタの BOEF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EPIE ビット

EPIE ビットを“1”に設定し、RSCAN1CmERFL レジスタの EPF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EWIE ビット

EWIE ビットを“1”に設定し、RSCAN1CmERFL レジスタの EWF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BEIE ビット

BEIE ビットを“1”に設定し、RSCAN1CmERFL レジスタの BEF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

RTBO ビット

バスオフ状態時“1”にすると、強制的にバスオフ状態からエラーアクティブ状態へと変化します。このビットは自動的に“0”になります。“1”にすると、RSCAN1CmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが“00_H”になり、RSCAN1CmSTS レジスタの BOSTS フラグは“0”（バスオフ状態ではない）になります。他のレジスタは変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。RSCAN1CmCTR レジスタの BOM[1:0] ビットが“00_B”（ISO11898-1 仕様準拠）のときにのみ使用してください。

RTBO ビットを“1”にしてからエラーアクティブ状態に遷移するまでに、最大 1 CAN ビットタイムの遅延が発生します。このビットはチャンネル通信モードで“1”を書いてください。

CSLPR ビット

“1”にすると、チャンネルストップモードになります。

“0”にすると、チャンネルストップモードは解除されます。

このビットは、チャンネル通信モードまたはチャンネル待機モードでは書き換えしないでください。

CHMDC[1:0] ビット

チャンネルのモード（チャンネル通信モード、チャンネルリセットモード、チャンネル待機モード）を選択するビットです。詳細は、「**21.18.2 チャンネルモード**」を参照してください。チャンネルストップモードへは、チャンネルリセットモード時に CSLPR ビットを“1”にすることで遷移します。CHMDC[1:0] ビットを“11_B”には設定しないでください。BOM[1:0] ビットの設定によってチャンネル待機モードへ遷移した場合は、CHMDC[1:0] ビットは自動的に“10_B”になります。

21.16.4 RSCAN1CmSTS — チャンネルステータスレジスタ (m = 6)

アクセス RSCAN1CmSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN1CmSTSL、RSCAN1CmSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1CmSTSLL、RSCAN1CmSTSHL、RSCAN1CmSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1CmSTS: <RSCAN1_base> + 0008_H + (10_H × i)

RSCAN1CmSTSL: <RSCAN1_base> + 0008_H + (10_H × i)、
RSCAN1CmSTSH: <RSCAN1_base> + 000A_H + (10_H × i)

RSCAN1CmSTSLL: <RSCAN1_base> + 0008_H + (10_H × i)、
RSCAN1CmSTSHL: <RSCAN1_base> + 000A_H + (10_H × i)、
RSCAN1CmSTSHH: <RSCAN1_base> + 000B_H + (10_H × i)

リセット後の値 0000 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEC[7:0]								REC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	COMST S	RECST S	TRMST S	BOSTS	EPSTS	CSLPS TS	CHLTS TS	CRSTS TS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.220 RSCAN1CmSTS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 24	TEC[7:0]	送信エラーカウンタ (TEC) の値が読めます。
23 ~ 16	REC[7:0]	受信エラーカウンタ (REC) の値が読めます。
15 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。
7	COMSTS	通信ステータスフラグ 0: 通信可能な状態ではない 1: 通信可能な状態
6	RECSTS	受信ステータスフラグ 0: バスアイドルまたは送信中またはバスオフ状態 1: 受信中
5	TRMSTS	送信ステータスフラグ 0: バスアイドルまたは受信中 1: 送信中またはバスオフ状態
4	BOSTS	バスオフステータスフラグ 0: バスオフ状態ではない 1: バスオフ状態

表 21.220 RSCAN1CmSTS レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	EPSTS	エラーパッシブステータスフラグ 0: エラーパッシブ状態ではない 1: エラーパッシブ状態
2	CSLPSTS	チャンネルストップステータスフラグ 0: チャンネルストップモードではない 1: チャンネルストップモード
1	CHLTSTS	チャンネル待機ステータスフラグ 0: チャンネル待機モードではない 1: チャンネル待機モード
0	CRSTSTS	チャンネルリセットステータスフラグ 0: チャンネルリセットモードではない 1: チャンネルリセットモード

TEC[7:0] ビット

送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

チャンネルリセットモード時は、“0”になります。

REC[7:0] ビット

受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

チャンネルリセットモード時は、“0”になります。

COMSTS フラグ

通信準備が整ったことを示すビットです。

チャンネルリセットモードまたはチャンネル待機モードからチャンネル通信モードに移行し、11ビットの連続するレセシブを検出した後に、“1”になります。チャンネルリセットモードまたはチャンネル待機モード時は、“0”になります。

RECSTS フラグ

受信を開始すると“1”になります。バスアイドル状態になるか、または送信を開始すると“0”になります。

TRMSTS フラグ

送信を開始すると“1”になります。バスオフ状態では“1”のままです。バスアイドル状態になるか、または受信を開始すると“0”になります。

BOSTS フラグ

バスオフ状態 (TEC[7:0] ビット > 255) になると“1”になります。バスオフ状態以外になると“0”になります。

EPSTS フラグ

エラーパッシブ状態 ($128 \leq \text{TEC}[7:0] \text{ ビット} \leq 255$) または ($128 \leq \text{REC}[7:0] \text{ ビット}$) になると、“1”になります。エラーパッシブ状態以外になるか、またはチャンネルリセットモードになると、“0”になります。

CSLPSTS フラグ

チャンネルストップモードに遷移すると、“1”になります。チャンネルストップモードから復帰すると“0”になります。

CHLTSTS フラグ

チャンネル待機モードに遷移すると“1”になります。チャンネル待機モード以外のモードに遷移すると“0”になります。

CRSTSTS フラグ

チャンネルリセットモードに遷移すると“1”になります。チャンネル通信モードまたはチャンネル待機モードに遷移すると“0”になります。チャンネルリセットモードからチャンネルストップモードに遷移しても、“1”のままです。

21.16.5 RSCAN1CmERFL — チャネルエラーフラグレジスタ (m = 6)

アクセス RSCAN1CmERFL レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1CmERFLL レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1CmERFLH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1CmERFLLL、RSCAN1CmERFLHLH レジスタは、8 ビット単位でリード/ライト可能です。
RSCAN1CmERFLHL、RSCAN1CmERFLHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1CmERFL: <RSCAN1_base> + 000C_H + (10_H × i)
RSCAN1CmERFLL: <RSCAN1_base> + 000C_H + (10_H × i)、
RSCAN1CmERFLH: <RSCAN1_base> + 000E_H + (10_H × i)
RSCAN1CmERFLLL: <RSCAN1_base> + 000C_H + (10_H × i)、
RSCAN1CmERFLHL: <RSCAN1_base> + 000D_H + (10_H × i)、
RSCAN1CmERFLHLH: <RSCAN1_base> + 000E_H + (10_H × i)、
RSCAN1CmERFLHH: <RSCAN1_base> + 000F_H + (10_H × i)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CRCREG[14:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVL	BORF	BOEF	EPF	EW	BEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1

注1. このフラグビットへの書き込みは、ステータスクリアする ("0" にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.221 RSCAN1CmERFL レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30 ~ 16	CRCREG[14:0]	CRC 演算データ 送信メッセージまたは受信メッセージを基に計算した CRC 値を表示します。
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14	ADERR	ACK デリミタエラーフラグ 0: ACK デリミタエラー未検出 1: ACK デリミタエラー検出
13	B0ERR	ドミナントビットエラーフラグ 0: ドミナントビットエラー未検出 1: ドミナントビットエラー検出
12	B1ERR	レセシブビットエラーフラグ 0: レセシブビットエラー未検出 1: レセシブビットエラー検出
11	CERR	CRC エラーフラグ 0: CRC エラー未検出 1: CRC エラー検出
10	AERR	ACK エラーフラグ 0: ACK エラー未検出 1: ACK エラー検出
9	FERR	フォームエラーフラグ 0: フォームエラー未検出 1: フォームエラー検出

表 21.221 RSCAN1CmERFL レジスタの内容 (2/2)

ビット位置	ビット名	機能
8	SERR	スタッフエラーフラグ 0: スタッフエラー未検出 1: スタッフエラー検出
7	ALF	アービトレーションロストフラグ 0: アービトレーションロスト未検出 1: アービトレーションロスト検出
6	BLF	バスロックフラグ 0: チャンネルバスロック未検出 1: チャンネルバスロック検出
5	OVLf	オーバロードフラグ 0: オーバロード未検出 1: オーバロード検出
4	BORF	バスオフ復帰フラグ 0: バスオフ復帰未検出 1: バスオフ復帰検出
3	BOEF	バスオフ開始フラグ 0: バスオフ開始未検出 1: バスオフ開始検出
2	EPF	エラーパッシブフラグ 0: エラーパッシブ未検出 1: エラーパッシブ検出
1	EWf	エラーワーニングフラグ 0: エラーワーニング未検出 1: エラーワーニング検出
0	BEF	バスエラーフラグ 0: チャンネルバスエラーは未検出 1: チャンネルバスエラー検出

各エラーの発生条件を確認するには、CAN仕様 (ISO11898-1) を参照してください。各フラグを“0”にする場合は、プログラムで“0”を書いてください。プログラムで“1”にできません。フラグが“1”になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのフラグは“1”になります。チャンネルリセットモード時、“0”になります。

RSCAN1CmERFL レジスタのビット 14～8 に関して、RSCAN1CmCTR レジスタの ERRD ビットを“0” (最初に発生したエラー情報のみ表示) に設定すると、ビット 14～8 のすべてのフラグが“0”の状態エラーが検出された場合には、対応するフラグのみが“1”になります。

CRCREG[14:0] フラグ

RSCAN1CmCTR レジスタの CTME ビットが“1” (通信テストモード許可) の場合、送信または受信メッセージを基に計算した CRC 値が読めます。CTME ビットが“0” (通信テストモード禁止) の場合、常に“0”が読めます。

ADERR フラグ

送信中の ACK デリミタでフォームエラーを検出すると、“1”になります。

B0ERR フラグ

ドミナントを送信したにも関わらずレセシブを検出すると“1”になります。

B1ERR フラグ

レセシブを送信したにも関わらずドミナントを検出すると“1”になります。

CERR フラグ

CRC エラーを検出すると“1”になります。

AERR フラグ

ACK エラーを検出すると“1”になります。

FERR フラグ

フォームエラーを検出すると“1”になります。

SERR フラグ

スタッフエラーを検出すると“1”になります。

ALF フラグ

アービトレーションロストを検出すると“1”になります。

BLF フラグ

チャンネル通信モード時、CAN バス上に 32 ビットの連続するドミナントを検出すると、“1”になります。“1”になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- BLF ビットを“1”から“0”にした後、レセシブビットを検出
- BLF ビットを“1”から“0”にした後、チャンネルリセットモードに遷移し、再度チャンネル通信モードに遷移

OVLV フラグ

受信または送信を行う場合に、オーバロードフレームの送信条件が検出されると“1”になります。

BORF フラグ

11 ビットの連続するレセシブを 128 回検出してバスオフ状態から復帰すると“1”になります。ただし、11 ビットの連続するレセシブを 128 回検出する前に、以下の方法でバスオフ状態から復帰した場合は“1”になりません。

- RSCAN1CmCTR レジスタの CHMDC[1:0] ビットを“01_B”（チャンネルリセットモード）に設定した場合
- RSCAN1CmCTR レジスタの RTBO ビットを“1”（バスオフからの強制復帰）に設定した場合
- RSCAN1CmCTR レジスタの BOM[1:0] ビットを“01_B”（バスオフ開始でチャンネル待機モードへ遷移）に設定した場合
- BOM[1:0] ビットが“11_B”（バスオフ中にプログラムによる要求でチャンネル待機モードへ遷移）で、11 ビットの連続するレセシブを 128 回検出する前に、CHMDC[1:0] ビットを“10_B”（チャンネル待機モード）に設定した場合

BOEF フラグ

バスオフ状態 (TEC[7:0] ビット > 255) になると、“1” になります。RSCAN1CmCTR レジスタ (m=6) の BOM[1:0] ビットが “01_B” (バスオフ開始でチャンネル待機モードへ遷移) で、バスオフ状態になった場合も、“1” になります。

EPF フラグ

エラーパッシブ状態 (REC[7:0] または TEC[7:0] ビット > 127) になると、“1” になります。REC[7:0] または TEC[7:0] ビットが最初に 127 を超えたときのみ “1” になります。したがって、REC[7:0] または TEC[7:0] ビットが 127 を超えたままで、プログラムで “0” を書いた場合、一度 REC [7:0] と TEC[7:0] ビットの両方が 127 以下になり、再び REC[7:0] または TEC[7:0] ビットが 127 を超えるまでは “1” にはなりません。

EWf フラグ

REC[7:0] または TEC[7:0] ビットの値が 95 を超えると、“1” になります。REC[7:0] または TEC[7:0] ビットが最初に 95 を超えたときのみ “1” になります。したがって、REC[7:0] または TEC [7:0] ビットが 95 を超えたままで、プログラムで “0” を書いた場合、一度 REC [7:0] と TEC[7:0] ビットの両方が 95 以下になり、再び REC[7:0] または TEC[7:0] ビットが 95 を超えるまでは “1” にはなりません。

BEF フラグ

RSCAN1CmERFL レジスタの ADERR、BOERR、BIERR、CERR、AERR、FERR、SERR フラグのいずれか 1 つでも “1” になると、BEF フラグは “1” になります。

備 考

本レジスタのフラグを “0” にする場合は、対象フラグには “0” を、それ以外のフラグには “1” を、ストア命令を使用して書いてください。

21.16.6 RSCAN1GCFG — グローバルコンフィグレーションレジスタ

アクセス RSCAN1GCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1GCFG_L、RSCAN1GCFG_H レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1GCFG_LL、RSCAN1GCFG_LH、RSCAN1GCFG_HL、RSCAN1GCFG_HH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1GCFG: <RSCAN1_base> + 0084_H
RSCAN1GCFG_L: <RSCAN1_base> + 0084_H, RSCAN1GCFG_H: <RSCAN1_base> + 0086_H
RSCAN1GCFG_LL: <RSCAN1_base> + 0084_H, RSCAN1GCFG_LH: <RSCAN1_base> + 0085_H,
RSCAN1GCFG_HL: <RSCAN1_base> + 0086_H, RSCAN1GCFG_HH: <RSCAN1_base> + 0087_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ITRCP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSBTCS[2:0]		TSSS	TSP[3:0]			—	—	—	DCS	MME	DRE	DCE	TPRI		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 21.222 RSCAN1GCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 16	ITRCP[15:0]	インターバルタイムプリスケアラ設定ビット 設定値を M とすると pclk を M 分周します。 インターバルタイムを使用する場合、“0000 _H ” を設定しないでください。
15 ~ 13	TSBTCS[2:0]	タイムスタンプクロック源選択ビット b15 b14 b13 0 0 0: ユニットチャネル番号 0 ビットタイムクロック 0 0 1: ユニットチャネル番号 1 ビットタイムクロック 0 1 0: ユニットチャネル番号 2 ビットタイムクロック 0 1 1: ユニットチャネル番号 3 ビットタイムクロック 1 0 0: ユニットチャネル番号 4 ビットタイムクロック 1 0 1: ユニットチャネル番号 5 ビットタイムクロック 1 1 0: 設定しないでください 1 1 1: 設定しないでください
12	TSSS	タイムスタンプソース選択 0: pclk/2 ^{注1} 1: ビットタイムクロック
11 ~ 8	TSP[3:0]	タイムスタンプクロック源分周ビット b11 b10 b9 b8 0 0 0 0: 分周なし 0 0 0 1: 2 分周 0 0 1 0: 4 分周 0 0 1 1: 8 分周 0 1 0 0: 16 分周 0 1 0 1: 32 分周 0 1 1 0: 64 分周 0 1 1 1: 128 分周 1 0 0 0: 256 分周 1 0 0 1: 512 分周 1 0 1 0: 1024 分周 1 0 1 1: 2048 分周 1 1 0 0: 4096 分周 1 1 0 1: 8192 分周 1 1 1 0: 16384 分周 1 1 1 1: 32768 分周

表 21.222 RSCAN1GCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
7～5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	DCS	CAN クロック源選択ビット ^{注2} 0 : clk 1 : clk_xincan
3	MME	ミラー機能許可ビット 0 : ミラー機能禁止 1 : ミラー機能許可
2	DRE	DLC 置換許可ビット 0 : DLC 置換禁止 1 : DLC 置換許可
1	DCE	DLC チェック許可ビット 0 : DLC チェック禁止 1 : DLC チェック許可
0	TPRI	送信優先順位選択ビット 0 : ID 優先 1 : 送信バッファ番号優先

注 1. タイムスタンプのカウンタソースに pclk/2 を設定するときは、TSBTCS[2:0] を “000_B” にしてください。

注 2. CAN クロックの周波数の設定は、「表 21.208 RH850/F1K における転送レート・使用チャネル数での動作周波数範囲」を参照してください。

RSCAN1GCFG レジスタはグローバルリセットモードのみで書き換えてください。

ITRCP[15:0] ビット

FIFO 用インターバルタイマのクロック源の分周値を設定します。詳細は「21.20.3.1 インターバル送信機能」を参照してください。

TSBTCS[2:0] ビット

TSSS ビットが“1”のとき、タイムスタンプカウンタのクロック源となるビットタイムクロックのチャンネルの選択ができます。

TSSS ビット

タイムスタンプカウンタのクロック源を選択します。

TSP[3:0] ビット

TSBTCS[2:0] ビット、TSSS ビットで選択したクロック源を TSP[3:0] ビットで分周したクロックがタイムスタンプカウンタのカウンタソースになります。

DCS ビット

“0”のとき、clk が CAN クロック (fCAN) のクロック源になります。

“1”のとき、clk_xincan が CAN クロック (fCAN) のクロック源になります。

CAN クロックの周波数の設定は、「表 21.208 RH850/F1K における転送レート・使用チャネル数での動作周波数範囲」を参照してください。

MME ビット

“1”にすると、ミラー機能が使用できます。

DRE ビット

DRE ビットを“1”にすると、DLC フィルタを通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには“00_H”が格納されます。

DCE ビットが“1” (DLC チェック許可) のときに、DLC 置換機能を使用できます。

DCE ビット

“1”にすると、DLC チェック機能が使用できます。RSCAN1GAFLP0j レジスタの GAFLDLC[3:0] ビットを“0000_B”にしてから、RSCAN1GCFG レジスタの DCE ビットを“0”にしてください。

TPRI ビット

TPRI ビットにより、送信優先順位を設定します。

“0”の場合、ID 優先となり送信優先順位は CAN バス アービトラージョンルール (ISO11898-1 仕様) に準拠します。“1”の場合、送信バッファ番号優先となり送信に設定された一番小さい番号の送信バッファが優先されます。

送信キューを使用している場合は、“0”に設定してください。

21.16.7 RSCAN1GCTR — グローバル制御レジスタ

アクセス RSCAN1GCTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1GCTRL、RSCAN1GCTRH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1GCTRL、RSCAN1GCTRLH、RSCAN1GCTRHL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1GCTR: <RSCAN1_base> + 0088_H
RSCAN1GCTRL: <RSCAN1_base> + 0088_H、
RSCAN1GCTRH: <RSCAN1_base> + 008A_H
RSCAN1GCTRL: <RSCAN1_base> + 0088_H、
RSCAN1GCTRLH: <RSCAN1_base> + 0089_H、
RSCAN1GCTRHL: <RSCAN1_base> + 008A_H

リセット後の値 0000 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 21.223 RSCAN1GCTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	TSRST	タイムスタンプカウンタリセットビット TSRST ビットを“1”にすると、タイムスタンプカウンタをリセットします。 リードすると“0”が読み出されます。
15 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	THLEIE	送信履歴バッファオーバーフロー割り込み許可ビット 0: 送信履歴バッファオーバーフロー割り込み禁止 1: 送信履歴バッファオーバーフロー割り込み許可
9	MEIE	FIFO メッセージロス割り込み許可ビット 0: FIFO メッセージロス割り込み禁止 1: FIFO メッセージロス割り込み許可
8	DEIE	DLC エラー割り込み許可ビット 0: DLC エラー割り込み禁止 1: DLC エラー割り込み許可
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	GSLPR	グローバルストップモードビット 0: グローバルストップモードではない 1: グローバルストップモード
1、0	GMDC[1:0]	グローバルモード選択ビット b1 b0 0 0: グローバル動作モード 0 1: グローバルリセットモード 1 0: グローバルテストモード 1 1: 設定しないでください

TSRST ビット

タイムスタンプカウンタをリセットするために使用します。“1”にすると RSCAN1GTSC レジスタが“0000_H”になります。

THLEIE ビット

THLEIE ビットを“1”に設定し、RSCAN1GERFL レジスタの THLES フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

MEIE ビット

MEIE ビットを“1”に設定し、RSCAN1GERFL レジスタの MES フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

DEIE ビット

DEIE ビットを“1”に設定し、RSCAN1GERFL レジスタの DEF フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

GSLPR ビット

“1”にすると、グローバルストップモードになります。

“0”にすると、グローバルストップモードは解除されます。

このビットは、グローバル動作モードまたはグローバルテストモードでは書き換えないでください。

GMDC[1:0] ビット

RS-CAN モジュール全体のモード（グローバル動作モード、グローバルリセットモード、グローバルテストモード）を選択するビットです。詳細は、「**21.18.1 グローバルモード**」を参照してください。グローバルストップモードへは、グローバルリセットモード時に GSLPR ビットを“1”にすることで遷移します。

21.16.8 RSCAN1GSTS — グローバルステータスレジスタ

アクセス RSCAN1GSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN1GSTSL レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1GSTSLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1GSTS: <RSCAN1_base> + 008C_H
RSCAN1GSTSL: <RSCAN1_base> + 008C_H
RSCAN1GSTSLL: <RSCAN1_base> + 008C_H

リセット後の値 0000 000D_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	GRAM NIT	GSLPS TS	GHLTS TS	GRSTS TS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.224 RSCAN1GSTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。
3	GRAMINIT	CAN 用 RAM クリアステータスフラグ 0: CAN 用 RAM クリア完了 1: CAN 用 RAM クリア中
2	GSLPSTS	グローバルストップステータスフラグ 0: グローバルストップモードではない 1: グローバルストップモード
1	GHLTSTS	グローバルテストステータスフラグ 0: グローバルテストモードではない 1: グローバルテストモード
0	GRSTSTS	グローバルリセットステータスフラグ 0: グローバルリセットモードではない 1: グローバルリセットモード

GRAMINIT フラグ

CAN 用 RAM のクリア状態を示します。

MCU のリセット後、“1” になります。CAN 用 RAM クリアが完了すると“0” になります。

GSLPSTS フラグ

グローバルストップモードに遷移すると、“1” になります。グローバルストップモードから復帰すると“0” になります。

GHLTSTS フラグ

グローバルテストモードに遷移すると、“1” になります。グローバルテストモード以外のモードに遷移すると“0” になります。

GRSTSTS フラグ

グローバルリセットモードに遷移すると“1”になります。

グローバルリセットモード以外のモードに遷移すると“0”になります。グローバルリセットモードからグローバルストップモードに遷移しても、“1”のままです。

21.16.9 RSCAN1GERFL — グローバルエラーフラグレジスタ

アクセス RSCAN1GERFL レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1GERFLL レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1GERFLLL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1GERFL: <RSCAN1_base> + 0090_H
RSCAN1GERFLL: <RSCAN1_base> + 0090_H
RSCAN1GERFLLL: <RSCAN1_base> + 0090_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	THLES	MES	DEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.225 RSCAN1GERFL レジスタの内容

ビット位置	ビット名	機能
31 ~ 14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13 ~ 8	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	THLES	送信履歴バッファオーバーフローステータスフラグ 0: 送信履歴バッファオーバーフローなし 1: 送信履歴バッファオーバーフロー
1	MES	FIFO メッセージロストステータスフラグ 0: FIFO メッセージロストエラーなし 1: FIFO メッセージロストエラー
0	DEF	DLC エラーフラグ 0: DLC エラーなし 1: DLC エラー

RSCAN1GERFL レジスタのフラグは、グローバルリセットモード時、“0”になります。

THLES フラグ

RSCAN1THLSTSm レジスタ (m=6) の THLELT フラグのいずれか 1 つでも“1”になると、THLES フラグは“1”になります。

全チャンネルの THLELT フラグを“0”にすると、THLES フラグは“0”になります。

MES フラグ

RSCAN1RFSTS x レジスタ ($x=0\sim 7$) の RFMLT フラグまたは RSCAN1CFSTS k レジスタ ($k=0\sim 2$) の CFMLT フラグのいずれか1 つでも “1” になると、MES フラグは “1” になります。

すべての RFMLT フラグおよび CFMLT フラグを “0” にすると、MES フラグは “0” になります。

DEF フラグ

DLC チェックでエラーが検出されると、“1” になります。プログラムで “0” を書くことで、“0” にできます。

備 考

本レジスタのフラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

21.16.10 RSCAN1GTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0

アクセス RSCAN1GTINTSTS0 レジスタは、32 ビット単位でリードのみ可能です。
RSCAN1GTINTSTS0L レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1GTINTSTS0LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1GTINTSTS0: <RSCAN1_base> + 0460_H
RSCAN1GTINTSTS0L: <RSCAN1_base> + 0460_H
RSCAN1GTINTSTS0LL: <RSCAN1_base> + 0460_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	THIF0	CFTIF0	TQIF0	TAIF0	TSIF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}

注 1. 本ビットはグローバルリセットモードまたはチャンネルリセットモードで自動的にクリアされます。

表 21.226 RSCAN1GTINTSTS0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。
4	THIF0	ユニットチャンネル番号 0 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
3	CFTIF0	ユニットチャンネル番号 0 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
2	TQIF0	ユニットチャンネル番号 0 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
1	TAIF0	ユニットチャンネル番号 0 送信バッファアポート割り込みステータスフラグ 0: 送信バッファ送信アポート割り込み要求なし 1: 送信バッファ送信アポート割り込み要求あり
0	TSIF0	ユニットチャンネル番号 0 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり

TSIFi ビット

RSCAN1TMIECy レジスタの TMIEp ビットが“1”（送信バッファ割り込みが許可）、かつ対応する RSCAN1TMSTSp レジスタの TMTRF[1:0] フラグが“10_B”（送信完了、アポート要求なし）、または“11_B”（送信完了、アポート要求あり）になると、TSIFi ビットは“1”になります。

TSIFi が“1”になる条件が成立している TMTRF[1:0] フラグを全て“00_B”にすると、このフラグは“0”になります。また TMIEp ビットを“0”にすることで、このフラグは“0”になります。

TAIFi ビット

RSCAN1CmCTR レジスタの TAIE ビットが“1”（送信アボート割り込み許可）、かつ RSCAN1TMSTSp レジスタの TMTRF[1:0] フラグが“01_B”（送信アボート完了）になると、TAIFi ビットは“1”になります。送信アボートを完了後に TMTRF[1:0] フラグを“00_B”にすると、このフラグは“0”になります。

TQIFi ビット

RSCAN1TXQCCm レジスタの TXQIE ビットが“1”（送信キュー割り込み許可）、かつ RSCAN1TXQSTSm レジスタの TXQIF が“1”（送信キュー割り込み要求あり）になると TQIFi ビットは“1”になります。RSCAN1TXQSTSm レジスタの TXQIF ビット（送信キュー割り込み要求）を“0”にすると、このビットは“0”になります。TXQIE ビットを“0”にすることも、このフラグは“0”になります。

CFTIFi ビット

RSCAN1FCCK レジスタの CFTXIE ビットが“1”（送受信 FIFO バッファ送信割り込み許可）、かつ RSCAN1CFSTSk レジスタの CFTXIF ビットが“1”（送受信 FIFO 送信割り込み要求あり）になると CFTIFi ビットは“1”になります。CFTIFi が“1”になる条件が成立している CFTXIF ビットをすべて“0”にすると、このビットは“0”になります。CFTXIE ビットを“0”にすることも、このフラグは“0”になります。

THIFi ビット

RSCAN1THLCCm レジスタの THLIE ビットが“1”（送信履歴割り込み許可）、かつ RSCAN1THLSTSm レジスタの THLIF ビットが“1”（送信履歴割り込み要求あり）になると、THIFi ビットは“1”になります。RSCAN1THLSTSm レジスタの THLIF ビットを“0”にすると、このビットは“0”になります。THLIE ビットを“0”にすることも、このフラグは“0”になります。

21.16.11 RSCAN1GTSC — グローバルタイムスタンプカウンタレジスタ

アクセス RSCAN1GTSC レジスタは、32 ビット単位でリードのみ可能です。
RSCAN1GTSCLE レジスタは、16 ビット単位でリードのみ可能です。

アドレス RSCAN1GTSC: <RSCAN1_base> + 0094_H

RSCAN1GTSCLE: <RSCAN1_base> + 0094_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.227 RSCAN1GTSC レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。
15 ~ 0	TS[15:0]	タイムスタンプ値 タイムスタンプ用カウンタの値が読めます。 カウンタ値 : 0000 _H ~ FFFF _H

TS[15:0] ビット

TS[15:0] ビットを読むと、その時点のタイムスタンプカウンタ（16 ビットフリーランカウンタ）の値が読めます。SOF を検出したとき、TS[15:0] ビットの値がキャプチャされ、その後、受信バッファまたは FIFO バッファに格納されます。タイムスタンプカウンタは、グローバルリセットモードで初期化されます。

タイムスタンプカウンタの開始、停止タイミングは、カウントソースに依存します。

- RSCAN1GCFG レジスタの TSSS ビットが “0” (pclk) の場合 :
グローバル動作モードへ遷移したときに、カウント開始。
グローバルストップモードまたはグローバルテストモードで、カウント停止。
- TSSS ビットが “1” (CANm ビットタイムクロック) の場合 :
対応するチャンネルがチャンネル通信モードへ遷移したときに、カウント開始。
対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードで、カウント停止。

21.16.12 RSCAN1GAFLECTR — 受信ルールエントリ制御レジスタ

アクセス RSCAN1GAFLECTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1GAFLECTRL レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1GAFLECTRLH、RSCAN1GAFLECTRLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1GAFLECTR: <RSCAN1_base> + 0098_H
RSCAN1GAFLECTRL: <RSCAN1_base> + 0098_H
RSCAN1GAFLECTRLH: <RSCAN1_base> + 0098_H、
RSCAN1GAFLECTRLH: <RSCAN1_base> + 0099_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	AFLDAE	—	—	—	AFLPN[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 21.228 RSCAN1GAFLECTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	AFLDAE	受信ルールテーブル書き込み許可ビット 0: 受信ルールテーブル書き込み禁止 1: 受信ルールテーブル書き込み許可
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 0	AFLPN[4:0]	受信ルールテーブルページ番号設定ビット ページ 0 (0000 _B) からページ 23 (10111 _B) の範囲で選択

AFLDAE ビット

“0” にすると、受信ルールテーブルへの書き込みを禁止します。受信ルールテーブルへの書き込みが完了したあと、“0” にして、受信ルールテーブルへの書き込みを禁止してください。“0” にしても、受信ルールテーブルの読み出しは可能です。

AFLDAE ビットはグローバルリセットモードでのみ“1” にしてください。

AFLPN[4:0] ビット

受信ルールテーブルのページ番号を設定します。1 ページにつき、16 個の受信ルールを設定できます。

“00000_B” ~ “10111_B” 以外の値を設定しないでください。

21.16.13 RSCAN1GAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0

本レジスタは各種リセットによって初期化されます。

アクセス RSCAN1GAFLCFG0 レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1GAFLCFG0H レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1GAFLCFG0HL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1GAFLCFG0: <RSCAN1_base> + 009C_H
RSCAN1GAFLCFG0H: <RSCAN1_base> + 009E_H
RSCAN1GAFLCFG0HL: <RSCAN1_base> + 009F_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RNC0[7:0]								—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.229 RSCAN1GAFLCFG0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RNC0[7:0]	ユニットチャンネル番号 0 用ルール数 ユニットチャンネル番号 0 の受信ルール数を設定してください。
23 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。

RSCAN1GAFLCFG0 レジスタはグローバルリセットモードでのみ書き換えてください。

受信ルールテーブルに登録できるルール数は、ユニット全体で 64 × (ユニットチャンネル数) です。各ユニットチャンネルの受信ルール数は、次の条件を満たしてください。

- 1 チャンネルのルール数は 128 以下である。
- 各チャンネルに割り当てたルール数の合計が、ユニット全体で登録できるルール数を超えない。

RNC0[7:0] ビット

ユニットチャンネル番号 0 の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H 以外の値を設定しないでください。

21.16.14 RSCAN1GAFLIDj — 受信ルール ID レジスタ (j = 0 ~ 15)

アクセス RSCAN1GAFLIDj レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1GAFLIDjL、RSCAN1GAFLIDjH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1GAFLIDjLL、RSCAN1GAFLIDjLH、RSCAN1GAFLIDjHL、RSCAN1GAFLIDjHH レジスタは、8
ビット単位でリード/ライト可能です。

アドレス RSCAN1GAFLIDj: $\langle \text{RSCAN1_base} \rangle + 0500_{\text{H}} + (10_{\text{H}} \times j)$

RSCAN1GAFLIDjL: $\langle \text{RSCAN1_base} \rangle + 0500_{\text{H}} + (10_{\text{H}} \times j)$ 、
RSCAN1GAFLIDjH: $\langle \text{RSCAN1_base} \rangle + 0502_{\text{H}} + (10_{\text{H}} \times j)$

RSCAN1GAFLIDjLL: $\langle \text{RSCAN1_base} \rangle + 0500_{\text{H}} + (10_{\text{H}} \times j)$ 、
RSCAN1GAFLIDjLH: $\langle \text{RSCAN1_base} \rangle + 0501_{\text{H}} + (10_{\text{H}} \times j)$ 、
RSCAN1GAFLIDjHL: $\langle \text{RSCAN1_base} \rangle + 0502_{\text{H}} + (10_{\text{H}} \times j)$ 、
RSCAN1GAFLIDjHH: $\langle \text{RSCAN1_base} \rangle + 0503_{\text{H}} + (10_{\text{H}} \times j)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLID E	GAFLR TR	GAFL B	GAFLID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.230 RSCAN1GAFLIDj レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDE	IDE 選択ビット 0: 標準 ID 1: 拡張 ID
30	GAFLRTR	RTR 選択ビット 0: データフレーム 1: リモートフレーム
29	GAFLLB	受信ルール対象メッセージ選択ビット 0: 他の CAN ノードが送信したメッセージを受信時 1: 自らが送信したメッセージを受信時
28 ~ 0	GAFLID[28:0]	ID 設定ビット 受信ルールの ID を設定してください。 標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は“0”にして ください。

RSCAN1GAFLIDj レジスタは、RSCAN1GAFLECTR レジスタの AFLDAE ビットが“1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLIDE ビット

受信ルールの ID フォーマット (標準 ID または拡張 ID) を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの IDE ビットを比較します。

GAFLRTR ビット

受信ルールのフレームフォーマット (データフレームまたはリモートフレーム) を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの RTR ビットを比較します。

GAFLLB ビット

“0” にすると、他の CAN ノードが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

ミラー機能使用時に“1” にすると、自らが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

GAFLID[28:0] ビット

受信ルールの ID フィールドを設定します。アクセプタンスフィルタ処理では、ここで設定した ID と受信メッセージの ID を比較します。

21.16.15 RSCAN1GAFLMj — 受信ルールマスクレジスタ (j = 0 ~ 15)

アクセス RSCAN1GAFLMj レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1GAFLMjL、RSCAN1GAFLMjH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1GAFLMjLL、RSCAN1GAFLMjLH、RSCAN1GAFLMjHL、RSCAN1GAFLMjHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1GAFLMj: <RSCAN1_base> + 0504_H + (10_H × j)
RSCAN1GAFLMjL: <RSCAN1_base> + 0504_H + (10_H × j)、
RSCAN1GAFLMjH: <RSCAN1_base> + 0506_H + (10_H × j)
RSCAN1GAFLMjLL: <RSCAN1_base> + 0504_H + (10_H × j)、
RSCAN1GAFLMjLH: <RSCAN1_base> + 0505_H + (10_H × j)、
RSCAN1GAFLMjHL: <RSCAN1_base> + 0506_H + (10_H × j)、
RSCAN1GAFLMjHH: <RSCAN1_base> + 0507_H + (10_H × j)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLID EM	GAFLR TRM	—	GAFLIDM[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLIDM[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.231 RSCAN1GAFLMj レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDEM	IDE マスクビット 0: IDE ビットを比較しない 1: IDE ビットを比較する
30	GAFLRTRM	RTR マスクビット 0: RTR ビットを比較しない 1: RTR ビットを比較する
29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28 ~ 0	GAFLIDM [28:0]	ID マスクビット 0: 対応する ID ビットを比較しない 1: 対応する ID ビットを比較する

RSCAN1GAFLMj レジスタは、RSCAN1GAFLECTR レジスタの AFLDAE ビットが“1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLIDEM ビット

“1” にすると、RSCAN1GAFLIDj レジスタの GAFLIDE ビットで設定した ID フォーマットのメッセージに対してのみフィルタ処理を行います。

“0” にすると、すべての受信メッセージと ID が一致したとみなします。GAFLIDEM ビットを“0”にする場合は、GAFLIDM[28:0] ビットをすべて“0”にしてください。

GAFLRTRM ビット

受信ルールの RTR ビットをマスクするビットです。

GAFLIDM[28:0] ビット

受信ルールの対応する ID ビットをマスクするビットです。

21.16.16 RSCAN1GAFLP0j — 受信ルールポインタ 0 レジスタ (j = 0 ~ 15)

アクセス RSCAN1GAFLP0j レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1GAFLP0jL、RSCAN1GAFLP0jH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1GAFLP0jLH、RSCAN1GAFLP0jHL、RSCAN1GAFLP0jHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1GAFLP0j: <RSCAN1_base> + 0508_H + (10_H × j)
RSCAN1GAFLP0jL: <RSCAN1_base> + 0508_H + (10_H × j)、
RSCAN1GAFLP0jH: <RSCAN1_base> + 050A_H + (10_H × j)
RSCAN1GAFLP0jLH: <RSCAN1_base> + 0509_H + (10_H × j)、
RSCAN1GAFLP0jHL: <RSCAN1_base> + 050A_H + (10_H × j)、
RSCAN1GAFLP0jHH: <RSCAN1_base> + 050B_H + (10_H × j)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLDLC[3:0]				GAFLPTR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLRMV	GAFLRMDP[6:0]						—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 21.232 RSCAN1GAFLP0j レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	GAFLDLC[3:0]	受信ルール DLC 設定ビット b31 b30 b29 b28 0 0 0 0 : DLC チェックしない 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ~ 16	GAFLPTR [11:0]	受信ルールラベル設定ビット 12 ビットのラベル情報を設定
15	GAFLRMV	受信バッファ許可ビット 0 : 受信バッファを使用しない 1 : 受信バッファを使用する
14 ~ 8	GAFLRMDP [6:0]	受信バッファ番号選択ビット 受信メッセージを格納する受信バッファの番号を設定
7 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RSCAN1GAFLP0j レジスタは、RSCAN1GAFLECTR レジスタの AFLDAE ビットが“1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLDLC[3:0] ビット

メッセージを受信するために必要な最小のデータ長を設定します。フィルタ処理中のメッセージのデータ長が GAFLDLC[3:0] ビットで設定した値以上の場合、DLC チェックを通過します。“0000_B”を設定すると、DLC チェック機能は無効になり、すべてのデータ長のメッセージが通過します。

GAFLPTR[11:0] ビット

フィルタを通過したメッセージに添付する 12 ビットのラベルを設定します。ラベルはメッセージを受信バッファや FIFO バッファに格納する際に添付されます。

GAFLRMV ビット

“1”にすると、GAFLRMDP[6:0] ビットで選択した受信バッファに、フィルタを通過した受信メッセージを格納します。

GAFLRMDP[6:0] ビット

GAFLRMV ビットを“1”にした場合に、フィルタを通過した受信メッセージを格納する受信バッファの番号を選択します。RSCAN1RMNB レジスタの NRXMB[7:0] ビットで設定した値より小さい番号を設定してください。

21.16.17 RSCAN1GAFLP1j — 受信ルールポインタ 1 レジスタ (j = 0 ~ 15)

アクセス RSCAN1GAFLP1j レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1GAFLP1jL レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1GAFLP1jLL、RSCAN1GAFLP1jLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1GAFLP1j: <RSCAN1_base> + 050C_H + (10_H × j)
RSCAN1GAFLP1jL: <RSCAN1_base> + 050C_H + (10_H × j)
RSCAN1GAFLP1jLL: <RSCAN1_base> + 050D_H + (10_H × j)、
RSCAN1GAFLP1jLH: <RSCAN1_base> + 050D_H + (10_H × j)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GAFLFDP[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.233 RSCAN1GAFLP1j レジスタの内容

ビット位置	ビット名	機能
31 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ~ 8	GAFLFDP [10:8]	送受信 FIFO バッファ k 選択ビット (ビット位置 -8 が対象となる送受信 FIFO バッファ番号 k になります) 0: 送受信 FIFO バッファを選択しない 1: 送受信 FIFO バッファを選択する
7 ~ 0	GAFLFDP[7:0]	受信 FIFO バッファ x 選択ビット (ビット位置が対象となる受信 FIFO バッファ番号 x になります) 0: 受信 FIFO バッファを選択しない 1: 受信 FIFO バッファを選択する

RSCAN1GAFLP1j レジスタは、RSCAN1GAFLECTR レジスタの AFLDAE ビットが“1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLFDP[10:0] ビット

フィルタを通過した受信メッセージを格納する FIFO バッファを指定します。最大 8 つの FIFO バッファが選択できます。ただし、RSCAN1GAFLP0j レジスタの GAFLRMV ビットを“1” (受信バッファにメッセージを格納する) にした場合は、最大 7 つの FIFO バッファが選択できません。受信 FIFO バッファと、RSCAN1CFCK レジスタの CFM[1:0] ビットを“00_B” (受信モード) に設定した送受信 FIFO バッファのみ選択できます。

21.16.18 RSCAN1RMNB — 受信バッファナンバレジスタ

アクセス RSCAN1RMNB レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1RMNBL レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1RMNBLL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1RMNB: <RSCAN1_base> + 00A4_H
RSCAN1RMNBL: <RSCAN1_base> + 00A4_H
RSCAN1RMNBLL: <RSCAN1_base> + 00A4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	NRXMB[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.234 RSCAN1RMNB レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ~ 0	NRXMB[7:0]	受信バッファ数設定ビット 受信バッファ数を設定する。 0 ~ 16 の範囲で設定してください。

RSCAN1RMNB レジスタはグローバルリセットモードでのみ書き換えてください。

NRXMB[7:0] ビット

ユニット全体の受信バッファ数を設定します。最大値は、16 × (ユニットチャネル数) です。

“0” を設定すると、受信バッファは使用できません。

21.16.19 RSCAN1RMNDy — 受信バッファ新データレジスタ (y = 0)

アクセス RSCAN1RMNDy レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1RMNDyL レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1RMNDyLL、RSCAN1RMNDyLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1RMNDy: <RSCAN1_base> + 00A8_H + (04_H × y)
RSCAN1RMNDyL: <RSCAN1_base> + 00A8_H + (04_H × y)
RSCAN1RMNDyLL: <RSCAN1_base> + 00A8_H + (04_H × y)、
RSCAN1RMNDyLH: <RSCAN1_base> + 00A9_H + (04_H × y)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMNSq (q = y × 32 + 15 ~ y × 32 + 0 (y = 0))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.235 RSCAN1RMNDy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 0	RMNSq	受信バッファ受信完了フラグ q (q = y × 32 + 15 ~ y × 32 + 0) 0: 受信バッファ q に新しいメッセージなし 1: 受信バッファ q に新しいメッセージあり

RSCAN1RMNDy レジスタは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

RMNSq フラグ (q = 0 ~ i × 16 + 15)

対応する受信バッファにメッセージを格納する処理が始まると“1”になります。

フラグを“0”にする場合は、プログラムで“0”を書いてください。書く場合はストア 命令を使用してフラグに“0”を書き込み、それ以外のフラグには“1”を書いてください。メッセージ格納中は“0”にできません。メッセージを格納する時間は pclk の 10 クロック分です。

グローバルリセットモード時、“0”になります。

21.16.20 RSCAN1RMIDq — 受信バッファ ID レジスタ (q = 0 ~ 15)

アクセス RSCAN1RMIDq レジスタは、32 ビット単位でリードのみ可能です。
RSCAN1RMIDqL、RSCAN1RMIDqH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1RMIDqLL、RSCAN1RMIDqLH、RSCAN1RMIDqHL、RSCAN1RMIDqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1RMIDq: <RSCAN1_base> + 0600_H + (10_H × q)

RSCAN1RMIDqL: <RSCAN1_base> + 0600_H + (10_H × q)、
RSCAN1RMIDqH: <RSCAN1_base> + 0602_H + (10_H × q)

RSCAN1RMIDqLL: <RSCAN1_base> + 0600_H + (10_H × q)、
RSCAN1RMIDqLH: <RSCAN1_base> + 0601_H + (10_H × q)、
RSCAN1RMIDqHL: <RSCAN1_base> + 0602_H + (10_H × q)、
RSCAN1RMIDqHH: <RSCAN1_base> + 0603_H + (10_H × q)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMIDE	RMRTR	—	RMID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.236 RSCAN1RMIDq レジスタの内容

ビット位置	ビット名	機能
31	RMIDE	受信バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	RMRTR	受信バッファ RTR ビット 0: データフレーム 1: リモートフレーム
29	予約ビット	リードした場合はリセット後の値が読めます。
28 ~ 0	RMID[28:0]	受信バッファ ID データ 受信メッセージの標準 ID / 拡張 ID が読めます。 標準 ID の場合は、b10 ~ b0 を読んでください。b28 ~ b11 は "0" が読めます。

RMIDE ビット

受信バッファに格納されたメッセージの ID フォーマット (標準 ID または拡張 ID) を示します。

RMRTR ビット

受信バッファに格納されたメッセージのフレームフォーマット (データフレームまたはリモートフレーム) を示します。

RMID[28:0] ビット

受信バッファに格納されたメッセージの ID を示します。

21.16.21 RSCAN1RMPTRq — 受信バッファポインタレジスタ (q = 0 ~ 15)

アクセス RSCAN1RMPTRq レジスタは、32 ビット単位でリードのみ可能です。
RSCAN1RMPTRqL、RSCAN1RMPTRqH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1RMPTRqLL、RSCAN1RMPTRqLH、RSCAN1RMPTRqHL、RSCAN1RMPTRqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1RMPTRq: <RSCAN1_base> + 0604_H + (10_H × q)
RSCAN1RMPTRqL: <RSCAN1_base> + 0604_H + (10_H × q)、
RSCAN1RMPTRqH: <RSCAN1_base> + 0606_H + (10_H × q)
RSCAN1RMPTRqLL: <RSCAN1_base> + 0604_H + (10_H × q)、
RSCAN1RMPTRqLH: <RSCAN1_base> + 0605_H + (10_H × q)、
RSCAN1RMPTRqHL: <RSCAN1_base> + 0606_H + (10_H × q)、
RSCAN1RMPTRqHH: <RSCAN1_base> + 0607_H + (10_H × q)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDLC[3:0]				RMPTR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.237 RSCAN1RMPTRq レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	RMDLC[3:0]	受信バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : データバイトなし 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ~ 16	RMPTR[11:0]	受信バッファラベルデータ 受信メッセージのラベル情報が読めます。
15 ~ 0	RMTS[15:0]	受信バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

RMDLC[3:0] ビット

受信バッファに格納されたメッセージのデータ長を示します。

RMPTR[11:0] ビット

受信バッファに格納されたメッセージのラベル情報を示します。

RMTS[15:0] ビット

受信バッファに格納されたメッセージのタイムスタンプ値を示します。

21.16.22 RSCAN1RMDF0q — 受信バッファデータフィールド 0 レジスタ (q = 0 ~ 15)

アクセス RSCAN1RMDF0q レジスタは、32 ビット単位でリードのみ可能です。
RSCAN1RMDF0qL、RSCAN1RMDF0qH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1RMDF0qLL、RSCAN1RMDF0qLH、RSCAN1RMDF0qHL、RSCAN1RMDF0qHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1RMDF0q: <RSCAN1_base> + 0608_H + (10_H × q)
RSCAN1RMDF0qL: <RSCAN1_base> + 0608_H + (10_H × q)、
RSCAN1RMDF0qH: <RSCAN1_base> + 060A_H + (10_H × q)
RSCAN1RMDF0qLL: <RSCAN1_base> + 0608_H + (10_H × q)、
RSCAN1RMDF0qLH: <RSCAN1_base> + 0609_H + (10_H × q)、
RSCAN1RMDF0qHL: <RSCAN1_base> + 060A_H + (10_H × q)、
RSCAN1RMDF0qHH: <RSCAN1_base> + 060B_H + (10_H × q)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB3[7:0]								RMDB2[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB1[7:0]								RMDB0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.238 RSCAN1RMDF0q レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RMDB3[7:0]	受信バッファデータバイト 3
23 ~ 16	RMDB2[7:0]	受信バッファデータバイト 2
15 ~ 8	RMDB1[7:0]	受信バッファデータバイト 1
7 ~ 0	RMDB0[7:0]	受信バッファデータバイト 0
		受信バッファに格納されたメッセージのデータが読めます。

RSCAN1RMPTRq レジスタの RMDLC[3:0] ビットの値が“1000_B”未満の場合、データが設定されていないデータバイトは、“00_H”が読めます。

21.16.23 RSCAN1RMDF1q — 受信バッファデータフィールド1レジスタ (q = 0 ~ 15)

アクセス RSCAN1RMDF1q レジスタは、32 ビット単位でリードのみ可能です。
RSCAN1RMDF1qL、RSCAN1RMDF1qH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1RMDF1qLL、RSCAN1RMDF1qLH、RSCAN1RMDF1qHL、RSCAN1RMDF1qHH レジスタは、8
ビット単位でリードのみ可能です。

アドレス RSCAN1RMDF1q: <RSCAN1_base> + 060C_H + (10_H × q)
RSCAN1RMDF1qL: <RSCAN1_base> + 060C_H + (10_H × q)、
RSCAN1RMDF1qH: <RSCAN1_base> + 060E_H + (10_H × q)
RSCAN1RMDF1qLL: <RSCAN1_base> + 060C_H + (10_H × q)、
RSCAN1RMDF1qLH: <RSCAN1_base> + 060D_H + (10_H × q)、
RSCAN1RMDF1qHL: <RSCAN1_base> + 060E_H + (10_H × q)、
RSCAN1RMDF1qHH: <RSCAN1_base> + 060F_H + (10_H × q)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB7[7:0]								RMDB6[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB5[7:0]								RMDB4[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.239 RSCAN1RMDF1q レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RMDB7[7:0]	受信バッファデータバイト 7
23 ~ 16	RMDB6[7:0]	受信バッファデータバイト 6
15 ~ 8	RMDB5[7:0]	受信バッファデータバイト 5
7 ~ 0	RMDB4[7:0]	受信バッファデータバイト 4
		受信バッファに格納されたメッセージのデータが読めます。

RSCAN1RMPTRq レジスタの RMDLC[3:0] ビットの値が“1000_B”未満の場合、データが設定されていないデータバイトは、“00_H”が読めます。

21.16.24 RSCAN1RFCCx — 受信 FIFO バッファコンフィグレーション/制御レジスタ (x = 0 ~ 7)

アクセス RSCAN1RFCCx レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1RFCCxL レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1RFCCxLL、RSCAN1RFCCxLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1RFCCx: <RSCAN1_base> + 00B8_H + (04_H × x)
RSCAN1RFCCxL: <RSCAN1_base> + 00B8_H + (04_H × x)
RSCAN1RFCCxLL: <RSCAN1_base> + 00B8_H + (04_H × x)、
RSCAN1RFCCxLH: <RSCAN1_base> + 00B9_H + (04_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFIGCV[2:0]			RFIM	—	RFDC[2:0]			—	—	—	—	—	—	RFIE	RFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 21.240 RSCAN1RFCCx レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 13	RFIGCV[2:0]	受信 FIFO 割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0: FIFO バッファに 1/8 までメッセージ格納時 0 0 1: FIFO バッファに 2/8 までメッセージ格納時 0 1 0: FIFO バッファに 3/8 までメッセージ格納時 0 1 1: FIFO バッファに 4/8 までメッセージ格納時 1 0 0: FIFO バッファに 5/8 までメッセージ格納時 1 0 1: FIFO バッファに 6/8 までメッセージ格納時 1 1 0: FIFO バッファに 7/8 までメッセージ格納時 1 1 1: FIFO バッファがフルのとき
12	RFIM	受信 FIFO 割り込み要因選択ビット 0: RFIGCV[2:0] ビットで設定した条件に達したときに発生 1: 1 メッセージ受信完了ごとに発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ~ 8	RFDC[2:0]	受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0: 0 メッセージ 0 0 1: 4 メッセージ 0 1 0: 8 メッセージ 0 1 1: 16 メッセージ 1 0 0: 32 メッセージ 1 0 1: 48 メッセージ 1 1 0: 64 メッセージ 1 1 1: 128 メッセージ

表 21.240 RSCAN1RFCCx レジスタの内容 (2/2)

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RFIE	受信 FIFO 割り込み許可ビット 0: 受信 FIFO 割り込み禁止 1: 受信 FIFO 割り込み許可
0	RFE	受信 FIFO バッファ許可ビット 0: 受信 FIFO バッファを使用しない 1: 受信 FIFO バッファを使用する

RFICV[2:0] ビット

RFIM ビットを“0”にした場合の受信 FIFO 割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数 (RFDC[2:0] の設定) に対する分数で指定します。

RFDC[2:0] ビットを“001_B” (4 メッセージ) に設定した場合は、RFICV[2:0] ビットを“001_B”、“011_B”、“101_B”、または“111_B”にしてください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIM ビット

FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFDC[2:0] ビット

1つの受信 FIFO バッファに格納できるメッセージの数を選択します。“000_B”に設定した場合は、受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIE ビット

“1”にすると、受信 FIFO 割り込みが使用できます。RFE ビットが“0” (受信 FIFO バッファを使用しない) のときに、RFIE ビットを書き換えてください。

RFE ビット

“1”にすると、受信 FIFO バッファが使用できます。“0”にすると、RSCAN1RFSTSx レジスタの RFEMP フラグが“1” (バッファ空) になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

21.16.25 RSCAN1RFSTSx — 受信 FIFO バッファステータスレジスタ (x = 0 ~ 7)

アクセス RSCAN1RFSTSx レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1RFSTSxL レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1RFSTSxLL レジスタは、8 ビット単位でリード/ライト可能です。
RSCAN1RFSTSxLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1RFSTSx: <RSCAN1_base> + 00D8_H + (04_H × x)
RSCAN1RFSTSxL: <RSCAN1_base> + 00D8_H + (04_H × x)
RSCAN1RFSTSxLL: <RSCAN1_base> + 00D8_H + (04_H × x)、
RSCAN1RFSTSxLH: <RSCAN1_base> + 00D9_H + (04_H × x)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFMC[7:0]								—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする (“0” にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.241 RSCAN1RFSTSx レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 8	RFMC[7:0]	受信 FIFO 未読メッセージ数表示カウンタ 受信 FIFO バッファに格納された未読メッセージ数を示します。
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RFIF	受信 FIFO 割り込み要求フラグ 0: 受信 FIFO 割り込み要求なし 1: 受信 FIFO 割り込み要求あり
2	RFMLT	受信 FIFO メッセージロストフラグ 0: 受信 FIFO メッセージロストなし 1: 受信 FIFO メッセージロスト
1	RFFLL	受信 FIFO バッファフルステータスフラグ 0: 受信 FIFO バッファフルではない 1: 受信 FIFO バッファフル
0	RFEMP	受信 FIFO バッファ空ステータスフラグ 0: 受信 FIFO バッファに未読メッセージあり 1: 受信 FIFO バッファに未読メッセージなし (バッファ空)

RFMC[7:0] フラグ

受信 FIFO バッファ内の未読メッセージ数を示します。RSCAN1RFCCx レジスタの RFE ビットを “0” にすると、“00_H” になります。

RFIF フラグ

RSCAN1RFCCx レジスタの RFIGCV[2:0] ビットと RFIM ビットで設定した受信 FIFO 割り込み要求発生条件が整ったときに“1”になります。RFIF フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

RFMLT フラグ

受信 FIFO バッファがフルの場合に、新しいメッセージを格納しようとしたとき“1”になります。この場合、新しいメッセージは破棄されます。

RFMLT フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。

このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

RFFLL フラグ

受信 FIFO バッファに格納されたメッセージ数が、RSCAN1RFCCx レジスタの RFDC[2:0] ビットで設定した段数と一致すると“1”になります。

受信 FIFO バッファに格納されたメッセージ数が、RFDC[2:0] ビットで設定した段数より小さくなると“0”になります。また、RSCAN1RFCCx レジスタの RFE ビットが“0”（受信 FIFO バッファを使用しない）のとき、またはグローバルリセットモード時に“0”になります。

RFEMP フラグ

受信 FIFO バッファのすべてのメッセージを読むと“1”になります。また、RSCAN1RFCCx レジスタの RFE ビットが“0”のとき、またはグローバルリセットモード時に“1”になります。

受信メッセージが1つでも受信 FIFO バッファに格納されると“0”になります。

備 考

RFMLT もしくは RFIF フラグを“0”にする場合は、対象フラグには“0”を、それ以外のフラグには“1”を、ストア命令を使用して書いてください。

21.16.26 RSCAN1RFPCTR_x — 受信 FIFO バッファポインタ制御レジスタ (x = 0 ~ 7)

アクセス RSCAN1RFPCTR_x レジスタは、32 ビット単位でライトのみ可能です。
RSCAN1RFPCTR_{xL} レジスタは、16 ビット単位でライトのみ可能です。
RSCAN1RFPCTR_{xLL} レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCAN1RFPCTR_x: <RSCAN1_base> + 00F8_H + (04_H × x)
RSCAN1RFPCTR_{xL}: <RSCAN1_base> + 00F8_H + (04_H × x)
RSCAN1RFPCTR_{xLL}: <RSCAN1_base> + 00F8_H + (04_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RFPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 21.242 RSCAN1RFPCTR_x レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ~ 0	RFPC[7:0]	受信 FIFO ポインタ制御 “FF _H ” を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。

RFPC[7:0] ビット

RFPC[7:0] ビットに “FF_H” を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCAN1RFSTS_x レジスタの RFMC[7:0] ビット (受信 FIFO 未読メッセージ数表示カウンタ) の値が 1 減算されます。RSCAN1RFID_x、RSCAN1RFPTR_x、RSCAN1RFDF0_x、RSCAN1RFDF1_x レジスタを読んで受信 FIFO バッファのメッセージを読み出した後、RFPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCAN1RFCC_x レジスタの RFE ビットが “1” (受信 FIFO バッファを使用する) で、RSCAN1RFSTS_x レジスタの RFEMP フラグが “0” (未読メッセージあり) のときに行ってください。

21.16.27 RSCAN1RFIDx — 受信 FIFO バッファアクセス ID レジスタ (x = 0 ~ 7)

アクセス RSCAN1RFIDx レジスタは、32 ビット単位でリードのみ可能です。
RSCAN1RFIDxL、RSCAN1RFIDxH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1RFIDxLL、RSCAN1RFIDxLH、RSCAN1RFIDxHL、RSCAN1RFIDxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1RFIDx: <RSCAN1_base> + 0E00_H + (10_H × x)
RSCAN1RFIDxL: <RSCAN1_base> + 0E00_H + (10_H × x)、
RSCAN1RFIDxH: <RSCAN1_base> + 0E02_H + (10_H × x)
RSCAN1RFIDxLL: <RSCAN1_base> + 0E00_H + (10_H × x)、
RSCAN1RFIDxLH: <RSCAN1_base> + 0E01_H + (10_H × x)、
RSCAN1RFIDxHL: <RSCAN1_base> + 0E02_H + (10_H × x)、
RSCAN1RFIDxHH: <RSCAN1_base> + 0E03_H + (10_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFIDE	RFRTR	—	RFID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.243 RSCAN1RFIDx レジスタの内容

ビット位置	ビット名	機能
31	RFIDE	受信 FIFO バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	RFRTR	受信 FIFO バッファ RTR ビット 0: データフレーム 1: リモートフレーム
29	予約ビット	リードした場合はリセット後の値が読めます。
28 ~ 0	RFID[28:0]	受信 FIFO バッファ ID データ 受信メッセージの標準 ID / 拡張 ID が読めます。 標準 ID の場合は、b10 ~ b0 を読んでください。b28 ~ b11 は "0" が読めます。

RFIDE ビット

受信 FIFO バッファに格納されたメッセージの ID フォーマット (標準 ID または拡張 ID) を示します。

RFRTR ビット

受信 FIFO バッファに格納されたメッセージのフレームフォーマット (データフレームまたはリモートフレーム) を示します。

RFID[28:0] ビット

受信 FIFO バッファに格納されたメッセージの ID を示します。

21.16.28 RSCAN1RFPTRx — 受信 FIFO バッファアクセスポインタレジスタ (x = 0 ~ 7)

アクセス RSCAN1RFPTRx レジスタは、32 ビット単位でリードのみ可能です。
RSCAN1RFPTRxL、RSCAN1RFPTRxH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1RFPTRxLL、RSCAN1RFPTRxLH、RSCAN1RFPTRxHL、RSCAN1RFPTRxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1RFPTRx: $\langle \text{RSCAN1_base} \rangle + 0\text{E}04_{\text{H}} + (10_{\text{H}} \times x)$
RSCAN1RFPTRxL: $\langle \text{RSCAN1_base} \rangle + 0\text{E}04_{\text{H}} + (10_{\text{H}} \times x)$ 、
RSCAN1RFPTRxH: $\langle \text{RSCAN1_base} \rangle + 0\text{E}06_{\text{H}} + (10_{\text{H}} \times x)$
RSCAN1RFPTRxLL: $\langle \text{RSCAN1_base} \rangle + 0\text{E}04_{\text{H}} + (10_{\text{H}} \times x)$ 、
RSCAN1RFPTRxLH: $\langle \text{RSCAN1_base} \rangle + 0\text{E}05_{\text{H}} + (10_{\text{H}} \times x)$ 、
RSCAN1RFPTRxHL: $\langle \text{RSCAN1_base} \rangle + 0\text{E}06_{\text{H}} + (10_{\text{H}} \times x)$ 、
RSCAN1RFPTRxHH: $\langle \text{RSCAN1_base} \rangle + 0\text{E}07_{\text{H}} + (10_{\text{H}} \times x)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDLC[3:0]				RFPTR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.244 RSCAN1RFPTRx レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	RFDLC[3:0]	受信 FIFO バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ~ 16	RFPTR[11:0]	受信 FIFO バッファラベルデータ 受信メッセージのラベル情報が読めます。
15 ~ 0	RFTS[15:0]	受信 FIFO バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

RFDLC[3:0] ビット

受信 FIFO バッファに格納されたメッセージのデータ長を含んでいます。

RFPTR[11:0] ビット

受信 FIFO バッファに格納されたメッセージのラベル情報を含んでいます。

RFTS[15:0] ビット

受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を含んでいます。

21.16.29 RSCAN1RFDF0x — 受信 FIFO バッファアクセスデータフィールド 0 レジスタ (x = 0 ~ 7)

アクセス RSCAN1RFDF0x レジスタは、32 ビット単位でリードのみ可能です。
RSCAN1RFDF0xL、RSCAN1RFDF0xH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1RFDF0xLL、RSCAN1RFDF0xLH、RSCAN1RFDF0xHL、RSCAN1RFDF0xHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1RFDF0x: <RSCAN1_base> + 0E08_H + (10_H × x)
RSCAN1RFDF0xL: <RSCAN1_base> + 0E08_H + (10_H × x)、
RSCAN1RFDF0xH: <RSCAN1_base> + 0E0A_H + (10_H × x)
RSCAN1RFDF0xLL: <RSCAN1_base> + 0E08_H + (10_H × x)、
RSCAN1RFDF0xLH: <RSCAN1_base> + 0E09_H + (10_H × x)、
RSCAN1RFDF0xHL: <RSCAN1_base> + 0E0A_H + (10_H × x)、
RSCAN1RFDF0xHH: <RSCAN1_base> + 0E0B_H + (10_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB3[7:0]								RFDB2[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB1[7:0]								RFDB0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.245 RSCAN1RFDF0x レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RFDB3[7:0]	受信 FIFO バッファデータバイト 3
23 ~ 16	RFDB2[7:0]	受信 FIFO バッファデータバイト 2
15 ~ 8	RFDB1[7:0]	受信 FIFO バッファデータバイト 1
7 ~ 0	RFDB0[7:0]	受信 FIFO バッファデータバイト 0
		受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCAN1RFPTRx レジスタの RFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

21.16.30 RSCAN1RFDF1x — 受信 FIFO バッファアクセスデータフィールド 1 レジスタ (x = 0 ~ 7)

アクセス RSCAN1RFDF1x レジスタは、32 ビット単位でリードのみ可能です。
RSCAN1RFDF1xL、RSCAN1RFDF1xH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1RFDF1xLL、RSCAN1RFDF1xLH、RSCAN1RFDF1xHL、RSCAN1RFDF1xHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1RFDF1x: <RSCAN1_base> + 0E0C_H + (10_H × x)
RSCAN1RFDF1xL: <RSCAN1_base> + 0E0C_H + (10_H × x)、
RSCAN1RFDF1xH: <RSCAN1_base> + 0E0E_H + (10_H × x)
RSCAN1RFDF1xLL: <RSCAN1_base> + 0E0C_H + (10_H × x)、
RSCAN1RFDF1xLH: <RSCAN1_base> + 0E0D_H + (10_H × x)、
RSCAN1RFDF1xHL: <RSCAN1_base> + 0E0E_H + (10_H × x)、
RSCAN1RFDF1xHH: <RSCAN1_base> + 0E0F_H + (10_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB7[7:0]								RFDB6[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB5[7:0]								RFDB4[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.246 RSCAN1RFDF1x レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RFDB7[7:0]	受信 FIFO バッファデータバイト 7
23 ~ 16	RFDB6[7:0]	受信 FIFO バッファデータバイト 6
15 ~ 8	RFDB5[7:0]	受信 FIFO バッファデータバイト 5
7 ~ 0	RFDB4[7:0]	受信 FIFO バッファデータバイト 4
		受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCAN1RFPTRx レジスタの RFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

21.16.31 RSCAN1CFCCk — 送受信 FIFO バッファコンフィグレーション/制御レジスタ (k = 0 ~ 2)

アクセス RSCAN1CFCCk レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1CFCCkL、RSCAN1CFCCkH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1CFCCkLL、RSCAN1CFCCkLH、RSCAN1CFCCkHL、RSCAN1CFCCkHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1CFCCk: <RSCAN1_base> + 0118_H + (04_H × k)
RSCAN1CFCCkL: <RSCAN1_base> + 0118_H + (04_H × k)、
RSCAN1CFCCkH: <RSCAN1_base> + 011A_H + (04_H × k)
RSCAN1CFCCkLL: <RSCAN1_base> + 0118_H + (04_H × k)、
RSCAN1CFCCkLH: <RSCAN1_base> + 0119_H + (04_H × k)、
RSCAN1CFCCkHL: <RSCAN1_base> + 011A_H + (04_H × k)、
RSCAN1CFCCkHH: <RSCAN1_base> + 011B_H + (04_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFITT[7:0]							CFTML[3:0]			CFITR	CFITSS	CFM[1:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFIGCV[2:0]		CFIM	—	CFDC[2:0]		—	—	—	—	—	CFTXIE	CFRXIE	CFE		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 21.247 RSCAN1CFCCk レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 24	CFITT[7:0]	メッセージの送信間隔を設定してください。 設定値 : 00 _H ~ FF _H
23 ~ 20	CFTML[3:0]	送信バッファリンク設定ビット 送受信 FIFO バッファにリンクさせる送信バッファ番号を設定してください。
19	CFITR	送受信 FIFO インターバルタイム分解能 0 : pclk/2 を ITRCP[15:0] ビットで分周したクロック 1 : pclk/2 を ITRCP[15:0] ビットの値 × 10 で分周したクロック
18	CFITSS	送受信 FIFO インターバルタイムクロックソース選択 0 : CFITR ビットで選択したクロックソース 1 : 関連チャンネルのビットタイムクロック
17、16	CFM[1:0]	送受信 FIFO モード選択ビット b17 b16 0 0 : 受信モード 0 1 : 送信モード 1 0 : 設定しないでください 1 1 : 設定しないでください
15 ~ 13	CFIGCV[2:0]	送受信 FIFO 受信割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0 : FIFO バッファに 1/8 までメッセージ格納時 0 0 1 : FIFO バッファに 2/8 までメッセージ格納時 0 1 0 : FIFO バッファに 3/8 までメッセージ格納時 0 1 1 : FIFO バッファに 4/8 までメッセージ格納時 1 0 0 : FIFO バッファに 5/8 までメッセージ格納時 1 0 1 : FIFO バッファに 6/8 までメッセージ格納時 1 1 0 : FIFO バッファに 7/8 までメッセージ格納時 1 1 1 : FIFO バッファがフルのとき

表 21.247 RSCAN1CFCK レジスタの内容 (2/2)

ビット位置	ビット名	機能
12	CFIM	送受信 FIFO 割り込み要因選択ビット 0 : <ul style="list-style-type: none"> 受信モード時 受信メッセージ数が CFIMCV[2:0] ビットで設定した条件に達したとき、FIFO 受信割り込み要求発生 送信モード時 メッセージ送信完了によってバッファが空になったとき、FIFO 送信割り込み要求発生 1 : <ul style="list-style-type: none"> 受信モード時 1メッセージ受信ごとに FIFO 受信割り込み要求発生 送信モード時 1メッセージ送信が完了するごとに FIFO 送信割り込み要求発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ~ 8	CFDC[2:0]	送受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0 : 0 メッセージ 0 0 1 : 4 メッセージ 0 1 0 : 8 メッセージ 0 1 1 : 16 メッセージ 1 0 0 : 32 メッセージ 1 0 1 : 48 メッセージ 1 1 0 : 64 メッセージ 1 1 1 : 128 メッセージ
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	CFTXIE	送受信 FIFO 送信割り込み許可ビット 0 : 送受信 FIFO 送信割り込み禁止 1 : 送受信 FIFO 送信割り込み許可
1	CFRXIE	送受信 FIFO 受信割り込み許可ビット 0 : 送受信 FIFO 受信割り込み禁止 1 : 送受信 FIFO 受信割り込み許可
0	CFE	送受信 FIFO バッファ許可ビット 0 : 送受信 FIFO バッファを使用しない 1 : 送受信 FIFO バッファを使用する

CFITT[7:0] ビット

CFM[1:0] ビットを“01_B” (送信モード) に設定した送受信 FIFO バッファから連続してメッセージを送信する場合、メッセージの送信間隔を設定します。

CFE ビットを“0” (送受信 FIFO バッファを使用しない) にしてから、CFITT[7:0] ビットを書き換えてください。

CFTML[3:0] ビット

CFM[1:0] ビットを“01_B” (送信モード) に設定した場合、送受信 FIFO バッファ k にリンクさせる送信バッファ番号を設定します。チャンネル当たり 3 つの送受信 FIFO バッファがあり、FIFO バッファ k が割り当てられているチャンネル番号 i は、 $i = k/3$ の整数となります。FIFO バッファ k にリンクされる実際の送信バッファ番号 p は、 $(16 \times i) + \text{CFTML}[3:0]$ となります。

送受信 FIFO バッファ k と送信バッファ p の関係は、表 21.214 および表 21.215 を参照してください。

CFDC[2:0] ビットを“001_B”以上にすると、CFTML[3:0] ビットの設定が有効になります。

同一チャンネルの送信キュー、またはその他の送受信 FIFO バッファに既に割り当てられている送信バッファにはリンクしないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFITR ビット

CFITSS ビットが“0”のとき、有効です。

“0”のとき、インターバルタイマクロックソースは、pclk/2 を RSCAN1GCFG レジスタの ITRCP[15:0] ビットで分周したクロックとなります。

“1”のとき、インターバルタイマクロックソースは、pclk/2 を RSCAN1GCFG レジスタの ITRCP[15:0] ビットの値×10 で分周したクロックとなります。

CFE ビットが“0”（送受信 FIFO バッファを使用しない）の状態、CFITR ビットを書き換えてください。

CFITSS ビット

“0”のとき、CFITR ビットで選択したクロックがインターバルタイマのカウントソースになります。

“1”のとき、FIFO にリンクしているチャンネルのビットタイムクロックがインターバルタイマのカウントソースになります。

CFE ビットが“0”（送受信 FIFO バッファを使用しない）の状態、CFITSS ビットを書き換えてください。

CFM[1:0] ビット

送受信 FIFO のモードを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFIGCV[2:0] ビット

CFM[1:0] ビットを“00_B”（受信モード）に、CFIM ビットを“0”にした場合の送受信 FIFO 受信割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数（CFDC[2:0] の設定）に対する分数で指定します。

CFDC[2:0] ビットを“001_B”（4 メッセージ）に設定した場合は、CFIGCV[2:0] ビットを“001_B”、“011_B”、“101_B”、または“111_B”にしてください。

このビットはグローバルリセットモードでのみ書き換えてください。

CFIM ビット

送受信 FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFDC[2:0] ビット

1 つの送受信 FIFO バッファに格納できるメッセージの数を設定します。“000_B”に設定した場合は、送受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFTXIE ビット

このビットを“1”に設定し、RSCAN1CFSTSk レジスタの CFTXIF フラグが“1”になった場合、送受信 FIFO 送信割り込み要求が発生します。

CFE ビットが“0”（送受信 FIFO バッファを使用しない）の状態で、CFTXIE ビットを書き換えてください。

CFRXIE ビット

このビットを“1”に設定し、RSCAN1CFSTSk レジスタの CFRXIF フラグが“1”になった場合、送受信 FIFO 受信割り込み要求が発生します。

CFE ビットが“0”の状態で、CFRXIE ビットを書き換えてください。

CFE ビット

“1”にすると、送受信 FIFO バッファを使用できます。

“0”にすると、送信モードでは、送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。それ以外の場合、または受信モードでは直ちに空になります。

このビットは、次に示す条件で“0”になります。

- 受信モード時：グローバルリセットモード
- 送信モード：チャンネルリセットモード

このビットは、次に示すモードで書き換えてください。

- 受信モード：グローバル動作モードまたはグローバルテストモード
- 送信モード：チャンネル通信モードまたはチャンネル待機モード

21.16.32 RSCAN1CFSTSk — 送受信 FIFO バッファステータスレジスタ (k = 0 ~ 2)

アクセス RSCAN1CFSTSk レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1CFSTSkL レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1CFSTSkLL レジスタは、8 ビット単位でリード/ライト可能です。
RSCAN1CFSTSkLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1CFSTSk: <RSCAN1_base> + 0178_H + (04_H × k)
RSCAN1CFSTSkL: <RSCAN1_base> + 0178_H + (04_H × k)
RSCAN1CFSTSkLL: <RSCAN1_base> + 0178_H + (04_H × k)、
RSCAN1CFSTSkLH: <RSCAN1_base> + 0179_H + (04_H × k)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFMC[7:0]							—	—	—	CFTXIF	CFRXIF	CFMLT	CFLL	CFEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R/W 注1	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする (“0”にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.248 RSCAN1CFSTSk レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 8	CFMC[7:0]	送受信 FIFO メッセージ数表示カウンタ 送受信 FIFO バッファに格納されたメッセージ数を示します。
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	CFTXIF	送受信 FIFO 送信割り込み要求フラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
3	CFRXIF	送受信 FIFO 受信割り込み要求フラグ 0: 送受信 FIFO 受信割り込み要求なし 1: 送受信 FIFO 受信割り込み要求あり
2	CFMLT	送受信 FIFO メッセージロストフラグ 0: 送受信 FIFO メッセージロストなし 1: 送受信 FIFO メッセージロスト
1	CFLL	送受信 FIFO バッファフルステータスフラグ 0: 送受信 FIFO バッファフルではない 1: 送受信 FIFO バッファフル
0	CFEMP	送受信 FIFO バッファ空ステータスフラグ 0: 送受信 FIFO バッファにメッセージあり 1: 送受信 FIFO バッファにメッセージなし (バッファ空)

CFMC[7:0] ビット

CFMC[7:0] ビットが示す値は、RSCAN1CFCKk レジスタの CFM[1:0] ビットの設定により次のようになります。

- CFM[1:0] ビットが “01_B” (送信モード) の場合: バッファに格納した未送信メッセージ数

- CFM[1:0] ビットが“00_B” (受信モード) の場合 : バッファに格納された未読の受信メッセージ数

このビットは、次に示す条件で“0”になります。

- CFM[1:0] ビットが“00_B”の場合 : グローバルリセットモード
- CFM[1:0] ビットが“01_B”の場合 : チャネルリセットモード

CFTXIF フラグ

次の条件で、CFTXIF フラグは“1”になります。

- CFM[1:0] ビットが“01_B”または“10_B”で、RSCAN1CFCCk レジスタのCFIM ビットで選択した要因が発生したとき

次の条件で、CFTXIF フラグは“0”になります。

- CFTXIF フラグへの“0”書き込み
- CFM[1:0] ビットが“00_B”の場合 : グローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合 : チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

CFRXIF フラグ

次の条件で、CFRXIF フラグは“1”になります。

- CFM[1:0] ビットが“00_B”または“10_B”で、RSCAN1CFCCk レジスタのCFIM ビットで選択した要因が発生したとき

次の条件で、CFRXIF フラグは“0”になります。

- CFRXIF フラグへの“0”書き込み
- CFM[1:0] ビットが“00_B”の場合 : グローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合 : チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

CFMLT フラグ

次の条件で、CFMLT フラグは“1”になります。

- 送受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき。この場合、新しいメッセージは破棄されます。

次の条件で、CFMLT フラグは“0”になります。

- CFMLT フラグへの“0”書き込み

- CFM[1:0] ビットが“00_B”の場合：グローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合：チャンネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

CFLL フラグ

次の条件で、CFLL フラグは“1”になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、RSCAN1FCCK レジスタの CFDC[2:0] ビットで設定した段数と一致したとき

次の条件で、CFLL フラグは“0”になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、CFDC[2:0] ビットで設定した段数より小さくなったとき
- RSCAN1FCCK レジスタの CFE ビットが“0”（送受信 FIFO バッファを使用しない）の場合：送信アポート中でないとき
- CFM[1:0] ビットが“00_B”の場合：グローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合：チャンネルリセットモード

CFEMP フラグ

次の条件で、CFEMP フラグは“1”になります。

- CFM[1:0] ビットが“00_B”の場合：全メッセージを読み出したとき、またはグローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合：すべてのメッセージを送信したとき、またはチャンネルリセットモード
- CFE ビットが“0”（送受信 FIFO バッファを使用しない）の場合：送信アポート中でないとき

次の条件で、CFEMP フラグは“0”になります。

- CFM[1:0] ビットが“00_B”または“10_B”の場合：受信メッセージが1つでも送受信 FIFO バッファに格納されたとき
- CFM[1:0] ビットが“01_B”の場合：RSCAN1CFIDk、RSCAN1CFPTRk、RSCAN1CFDF0k、RSCAN1CFDF1k レジスタに書いてから、RSCAN1CFPCTRk レジスタに“FF_H”を書いたとき

備考

CFTXIF、CFRXIF、CFMLT フラグを“0”にする場合は、プログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、それ以外のフラグには“1”を書いてください。

21.16.33 RSCAN1CFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ (k = 0 ~ 2)

アクセス RSCAN1CFPCTRk レジスタは、32 ビット単位でライトのみ可能です。
RSCAN1CFPCTRkL レジスタは、16 ビット単位でライトのみ可能です。
RSCAN1CFPCTRkLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCAN1CFPCTRk: <RSCAN1_base> + 01D8_H + (04_H × k)
RSCAN1CFPCTRkL: <RSCAN1_base> + 01D8_H + (04_H × k)
RSCAN1CFPCTRkLL: <RSCAN1_base> + 01D8_H + (04_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CFPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 21.249 RSCAN1CFPCTRk レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ~ 0	CFPC[7:0]	送受信 FIFO ポインタ制御 <ul style="list-style-type: none"> 受信モード時 “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。 送信モード時 “FF_H” を書くと、送受信 FIFO バッファの次の段にライトポインタが移動します。

CFPC[7:0] ビット

- 受信モード (RSCAN1FCCK レジスタの CFM[1:0] ビットが “00_B”) のとき：
CFPC[7:0] ビットに “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCAN1CFSTSk レジスタの CFMC[7:0] ビット (送受信 FIFO メッセージ数表示カウンタ) の値が 1 減算されます。RSCAN1CFIDk、RSCAN1CFPTRk、RSCAN1CFDF0k、RSCAN1CFDF1k レジスタを読んで送受信 FIFO バッファからメッセージを読み出したあと、CFPC[7:0] ビットに “FF_H” を書いてください。
なお、“FF_H” の書き込みは RSCAN1FCCK レジスタの CFE ビットが “1” (送受信 FIFO バッファを使用する) で、RSCAN1CFSTSk レジスタの CFEMP フラグが “0” (メッセージあり) のときに行ってください。
- 送信モード (RSCAN1FCCK レジスタの CFM[1:0] ビットが “01_B”) のとき：
CFPC[7:0] ビットに “FF_H” を書くと、RSCAN1CFIDk、RSCAN1CFPTRk、RSCAN1CFDF0k、RSCAN1CFDF1k レジスタに書いたデータが送受信 FIFO バッファに格納され、バッファの次の段にライトポインタが移動します。このとき CFMC[7:0] ビットの値が 1 加算されます。RSCAN1CFIDk、RSCAN1CFPTRk、RSCAN1CFDF0k、RSCAN1CFDF1k レジスタに送信メッセージを書いた後に、CFPC[7:0] ビットに “FF_H” を書いてください。
なお、“FF_H” の書き込みは、RSCAN1FCCK レジスタの CFE ビットが “1” で、

RSCAN1CFSTSk レジスタの CFLL フラグが“0” (フルではない) のときに行ってください。

21.16.34 RSCAN1CFIDk — 送受信 FIFO バッファアクセス ID レジスタ (k = 0 ~ 2)

アクセス RSCAN1CFIDk レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1CFIDkL、RSCAN1CFIDkH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1CFIDkLL、RSCAN1CFIDkLH、RSCAN1CFIDkHL、RSCAN1CFIDkHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1CFIDk: <RSCAN1_base> + 0E80_H + (10_H × k)
RSCAN1CFIDkL: <RSCAN1_base> + 0E80_H + (10_H × k)、
RSCAN1CFIDkH: <RSCAN1_base> + 0E82_H + (10_H × k)
RSCAN1CFIDkLL: <RSCAN1_base> + 0E80_H + (10_H × k)、
RSCAN1CFIDkLH: <RSCAN1_base> + 0E81_H + (10_H × k)、
RSCAN1CFIDkHL: <RSCAN1_base> + 0E82_H + (10_H × k)、
RSCAN1CFIDkHH: <RSCAN1_base> + 0E83_H + (10_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFIDE	CFRTR	THLEN	CFID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.250 RSCAN1CFIDk レジスタの内容

ビット位置	ビット名	機能
31	CFIDE	送受信 FIFO バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	CFRTR	送受信 FIFO バッファ RTR ビット 0: データフレーム 1: リモートフレーム
29	THLEN	送信履歴データ格納許可ビット CFM[1:0] ビットが "01 _B " (送信モード) 時のみ有効 0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する
28 ~ 0	CFID[28:0]	送受信 FIFO バッファ ID データ <ul style="list-style-type: none"> CFM[1:0] ビットが "01_B" (送信モード) 時 標準 ID または拡張 ID を設定してください。標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は "0" にしてください。 CFM[1:0] ビットが "00_B" (受信モード) 時 受信メッセージの標準 ID または拡張 ID が読めます。標準 ID の場合、b10 ~ b0 を読んでください。b28 ~ b11 は "0" が読めます。

RSCAN1CFCCk レジスタの CFM[1:0] ビットが "01_B" (送信モード) の場合のみ、このレジスタに書けます。CFM[1:0] ビットが "00_B" (受信モード) の場合のみ、このレジスタを読めます。

CFIDE ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID フォーマット (標準 ID または拡張 ID) を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージの ID フォーマットを設定します。

CFRTR ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージのデータフォーマット (データフレームまたはリモートフレーム) を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージのデータフォーマットを設定します。

THLEN ビット

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ (ラベル情報、バッファ番号、バッファタイプ) が送信履歴バッファに格納されます。

CFM[1:0] ビットが “01_B” (送信モード) のときに、有効になります。

CFID[28:0] ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID を含んでいます。

CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

21.16.35 RSCAN1CFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ (k = 0 ~ 2)

アクセス RSCAN1CFPTRk レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1CFPTRkL、RSCAN1CFPTRkH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1CFPTRkLL、RSCAN1CFPTRkLH、RSCAN1CFPTRkHL、RSCAN1CFPTRkHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1CFPTRk: <RSCAN1_base> + 0E84_H + (10_H × k)
RSCAN1CFPTRkL: <RSCAN1_base> + 0E84_H + (10_H × k)、
RSCAN1CFPTRkH: <RSCAN1_base> + 0E86_H + (10_H × k)
RSCAN1CFPTRkLL: <RSCAN1_base> + 0E84_H + (10_H × k)、
RSCAN1CFPTRkLH: <RSCAN1_base> + 0E85_H + (10_H × k)、
RSCAN1CFPTRkHL: <RSCAN1_base> + 0E86_H + (10_H × k)、
RSCAN1CFPTRkHH: <RSCAN1_base> + 0E87_H + (10_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDLC[3:0]				CFPTR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.251 RSCAN1CFPTRk レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	CFDLC[3:0]	送受信 FIFO バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ~ 16	CFPTR[11:0]	送受信 FIFO バッファラベルデータ <ul style="list-style-type: none"> CFM[1:0] ビットが“01_B” (送信モード) 時 送信履歴バッファに格納するラベル情報を設定してください。 CFPTR[7:0] のみ有効です。 CFM[1:0] ビットが“00_B” (受信モード) 時 受信メッセージのラベル情報が読めます。
15 ~ 0	CFTS[15:0]	送受信 FIFO バッファタイムスタンプデータ CFM[1:0] ビットが“00 _B ” (受信モード) 時のみ有効 受信メッセージのタイムスタンプ値が読めます。

RSCAN1CFCCk レジスタの CFM[1:0] ビットが“01_B” (送信モード) の場合のみ、このレジスタに書けます。CFM[1:0] ビットが“00_B” (受信モード) の場合のみ、このレジスタを読めます。

CFDLC[3:0] ビット

CFM[1:0] ビットが“00_B”のとき、送受信 FIFO バッファに格納された受信メッセージのデータ長を示します。CFM[1:0] ビットが“01_B”のとき、送受信 FIFO バッファから送信されるメッセージのデータ長を設定します。9 バイト以上を設定した場合、実際に送られるデータは 8 バイトになります。

CFPTR[11:0] ビット

CFM[1:0] ビットが“00_B”のとき、送受信 FIFO バッファに格納された受信メッセージに添付したラベル情報を示します。CFM[1:0] ビットが“01_B”のとき、メッセージ送信が完了した場合、CFPTR[7:0] ビットの値が送信履歴に格納されます。

CFTS[15:0] ビット

送受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。

CFM[1:0] ビットが“00_B”のときに、有効になります。

21.16.36 RSCAN1CFDF0k — 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ (k = 0 ~ 2)

アクセス RSCAN1CFDF0k レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1CFDF0kL、RSCAN1CFDF0kH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1CFDF0kLL、RSCAN1CFDF0kLH、RSCAN1CFDF0kHL、RSCAN1CFDF0kHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1CFDF0k: <RSCAN1_base> + 0E88_H + (10_H × k)
RSCAN1CFDF0kL: <RSCAN1_base> + 0E88_H + (10_H × k)、
RSCAN1CFDF0kH: <RSCAN1_base> + 0E8A_H + (10_H × k)
RSCAN1CFDF0kLL: <RSCAN1_base> + 0E88_H + (10_H × k)、
RSCAN1CFDF0kLH: <RSCAN1_base> + 0E89_H + (10_H × k)、
RSCAN1CFDF0kHL: <RSCAN1_base> + 0E8A_H + (10_H × k)、
RSCAN1CFDF0kHH: <RSCAN1_base> + 0E8B_H + (10_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB3[7:0]								CFDB2[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB1[7:0]								CFDB0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.252 RSCAN1CFDF0k レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	CFDB3[7:0]	送受信 FIFO バッファデータバイト 3
23 ~ 16	CFDB2[7:0]	送受信 FIFO バッファデータバイト 2
15 ~ 8	CFDB1[7:0]	送受信 FIFO バッファデータバイト 1
7 ~ 0	CFDB0[7:0]	送受信 FIFO バッファデータバイト 0
		<ul style="list-style-type: none"> CFM[1:0] ビットが“01_B” (送信モード) 時 送受信 FIFO バッファのデータを設定してください。 CFM[1:0] ビットが“00_B” (受信モード) 時 送受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCAN1FCCK レジスタの CFM[1:0] ビットが“01_B” の場合のみ、このレジスタに書けません。

CFM[1:0] ビットが“00_B” の場合のみ、このレジスタを読めます。RSCAN1CFPTRk レジスタの CFDLC[3:0] ビットの値が“1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

21.16.37 RSCAN1CFDF1k — 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ (k = 0 ~ 2)

アクセス RSCAN1CFDF1k レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1CFDF1kL、RSCAN1CFDF1kH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1CFDF1kLL、RSCAN1CFDF1kLH、RSCAN1CFDF1kHL、RSCAN1CFDF1kHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1CFDF1k: <RSCAN1_base> + 0E8C_H + (10_H × k)
RSCAN1CFDF1kL: <RSCAN1_base> + 0E8C_H + (10_H × k)、
RSCAN1CFDF1kH: <RSCAN1_base> + 0E8E_H + (10_H × k)
RSCAN1CFDF1kLL: <RSCAN1_base> + 0E8C_H + (10_H × k)、
RSCAN1CFDF1kLH: <RSCAN1_base> + 0E8D_H + (10_H × k)、
RSCAN1CFDF1kHL: <RSCAN1_base> + 0E8E_H + (10_H × k)、
RSCAN1CFDF1kHH: <RSCAN1_base> + 0E8F_H + (10_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB7[7:0]								CFDB6[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB5[7:0]								CFDB4[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.253 RSCAN1CFDF1k レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	CFDB7[7:0]	送受信 FIFO バッファデータバイト 7
23 ~ 16	CFDB6[7:0]	送受信 FIFO バッファデータバイト 6
15 ~ 8	CFDB5[7:0]	送受信 FIFO バッファデータバイト 5
7 ~ 0	CFDB4[7:0]	送受信 FIFO バッファデータバイト 4
		<ul style="list-style-type: none"> CFM[1:0] ビットが“01_B” (送信モード) 時 送受信 FIFO バッファのデータを設定してください。 CFM[1:0] ビットが“00_B” (受信モード) 時 送受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCAN1FCCK レジスタの CFM[1:0] ビットが“01_B” の場合のみ、このレジスタに書けません。

CFM[1:0] ビットが“00_B” の場合のみ、このレジスタを読めます。RSCAN1CFPTRk レジスタの CFDLC[3:0] ビットの値が“1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

21.16.38 RSCAN1FESTS — FIFO エンプティステータスレジスタ

アクセス RSCAN1FESTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN1FESTSL レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1FESTSLL、RSCAN1FESTSLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1FESTS: <RSCAN1_base> + 0238_H
RSCAN1FESTSL: <RSCAN1_base> + 0238_H
RSCAN1FESTSLL: <RSCAN1_base> + 0238_H、
RSCAN1FESTSLH: <RSCAN1_base> + 0239_H

リセット後の値 0001 FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CF2EMP P	CF1EMP P	CF0EMP P	RF7EMP P	RF6EMP P	RF5EMP P	RF4EMP P	RF3EMP P	RF2EMP P	RF1EMP P	RF0EMP P
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.254 RSCAN1FESTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。
10	CF2EMP	送受信 FIFO バッファエンプティステータスフラグ 0: 送受信 FIFO バッファ k にメッセージあり 1: 送受信 FIFO バッファ k にメッセージなし (k = 0 ~ 2)
9	CF1EMP	
8	CF0EMP	
7	RF7EMP	受信 FIFO バッファエンプティステータスフラグ 0: 受信 FIFO バッファ x に未読メッセージあり 1: 受信 FIFO バッファ x に未読メッセージなし (x = 0 ~ 7)
6	RF6EMP	
5	RF5EMP	
4	RF4EMP	
3	RF3EMP	
2	RF2EMP	
1	RF1EMP	
0	RF0EMP	

RSCAN1FESTS レジスタは、グローバルリセットモード時、“0001 FFFF_H”になります。

CFkEMP フラグ (k = 0 ~ 2)

RSCAN1CFSTSk レジスタの CFEMP フラグが“1” (メッセージなし) になると、CFkEMP フラグは“1”になります。CFEMP フラグが“0” (メッセージあり) になると、CFkEMP フラグは“0”になります。

RFxEMP フラグ (x = 0 ~ 7)

RSCAN1RFSTStx レジスタの RFEMP フラグが“1” (未読メッセージなし) になると、RFxEMP フラグは“1”になります。RFEMP フラグが“0” (未読メッセージあり) になると、RFxEMP フラグは“0”になります。

21.16.39 RSCAN1FFSTS — FIFO フルステータスレジスタ

アクセス RSCAN1FFSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN1FFSTSL レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1FFSTSLL、RSCAN1FFSTSLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1FFSTS: <RSCAN1_base> + 023C_H
RSCAN1FFSTSL: <RSCAN1_base> + 023C_H
RSCAN1FFSTSLL: <RSCAN1_base> + 023C_H、
RSCAN1FFSTSLH: <RSCAN1_base> + 023D_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CF2FLL	CF1FLL	CF0FLL	RF7FLL	RF6FLL	RF5FLL	RF4FLL	RF3FLL	RF2FLL	RF1FLL	RF0FLL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.255 RSCAN1FFSTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。
10	CF2FLL	送受信 FIFO バッファフルステータスフラグ 0: 送受信 FIFO バッファ k はフルではない 1: 送受信 FIFO バッファ k はフル (k = 0 ~ 2)
9	CF1FLL	
8	CF0FLL	
7	RF7FLL	受信 FIFO バッファフルステータスフラグ 0: 受信 FIFO バッファ x はフルではない 1: 受信 FIFO バッファ x はフル (x = 0 ~ 7)
6	RF6FLL	
5	RF5FLL	
4	RF4FLL	
3	RF3FLL	
2	RF2FLL	
1	RF1FLL	
0	RF0FLL	

RSCAN1FFSTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkFLL フラグ (k = 0 ~ 2)

RSCAN1CFSTS_k レジスタの CF_kFLL フラグが“1” (バッファフル) になると、CF_kFLL フラグは“1”になります。

CF_kFLL フラグが“0” (送受信 FIFO がバッファフルでない) になると、CF_kFLL フラグは“0”になります。

RFxFLL フラグ (x = 0 ~ 7)

RSCAN1RFSTS_x レジスタの RF_xFLL フラグが“1” (バッファフル) になると、RF_xFLL フラグは“1”になります。RF_xFLL フラグが“0” (バッファフルでない) になると、RF_xFLL フラグは“0”になります。

21.16.40 RSCAN1FMSTS — FIFO メッセージロストステータスレジスタ

アクセス RSCAN1FMSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN1FMSTSL レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1FMSTSLL、RSCAN1FMSTSLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1FMSTS: <RSCAN1_base> + 0240_H
RSCAN1FMSTSL: <RSCAN1_base> + 0240_H
RSCAN1FMSTSLL: <RSCAN1_base> + 0240_H、
RSCAN1FMSTSLH: <RSCAN1_base> + 0241_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CF2ML T	CF1ML T	CF0ML T	RF7ML T	RF6ML T	RF5ML T	RF4ML T	RF3ML T	RF2ML T	RF1ML T	RF0ML T
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.256 RSCAN1FMSTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。
10	CF2MLT	送受信 FIFO バッファメッセージロストステータスフラグ 0: 送受信 FIFO バッファ k メッセージロストなし 1: 送受信 FIFO バッファ k メッセージロスト (k = 0 ~ 2)
9	CF1MLT	
8	CF0MLT	
7	RF7MLT	受信 FIFO バッファメッセージロストステータスフラグ 0: 受信 FIFO バッファ x メッセージロストなし 1: 受信 FIFO バッファ x メッセージロスト (x = 0 ~ 7)
6	RF6MLT	
5	RF5MLT	
4	RF4MLT	
3	RF3MLT	
2	RF2MLT	
1	RF1MLT	
0	RF0MLT	

RSCAN1FMSTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkMLT フラグ (k = 0 ~ 2)

RSCAN1CFSTSk レジスタの CFMLT フラグが“1” (メッセージロスト) になると、CFkMLT フラグは“1”になります。

CFMLT フラグを“0”にすると、CFkMLT フラグは“0”になります。

RFxMLT フラグ (x = 0 ~ 7)

RSCAN1RFSTSc レジスタの RFMLT フラグが“1” (メッセージロスト) になると、RFxMLT フラグは“1”になります。RFMLT フラグを“0”にすると、RFxMLT フラグは“0”になります。

21.16.41 RSCAN1RFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ

アクセス RSCAN1RFISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN1RFISTS_{SL} レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1RFISTS_{SLL} レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1RFISTS: <RSCAN1_base> + 0244_H
RSCAN1RFISTS_{SL}: <RSCAN1_base> + 0244_H
RSCAN1RFISTS_{SLL}: <RSCAN1_base> + 0244_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RF7IF	RF6IF	RF5IF	RF4IF	RF3IF	RF2IF	RF1IF	RF0IF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.257 RSCAN1RFISTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。
7	RF7IF	受信 FIFO バッファ割り込み要求ステータスフラグ 0: 受信 FIFO バッファ x 割り込み要求なし 1: 受信 FIFO バッファ x 割り込み要求あり (x = 0 ~ 7)
6	RF6IF	
5	RF5IF	
4	RF4IF	
3	RF3IF	
2	RF2IF	
1	RF1IF	
0	RF0IF	

RSCAN1RFISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

RF_xIF フラグ (x = 0 ~ 7)

RSCAN1RFISTS_x レジスタの RFIF フラグが“1” (割り込み要求あり) になると、RF_xIF フラグは“1”になります。RFIF フラグを“0”にすると、RF_xIF フラグは“0”になります。

21.16.42 RSCAN1CFRISTS — 送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ

アクセス RSCAN1CFRISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN1CFRISTSL レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1CFRISTSLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1CFRISTS: <RSCAN1_base> + 0248_H
RSCAN1CFRISTSL: <RSCAN1_base> + 0248_H
RSCAN1CFRISTSLL: <RSCAN1_base> + 0248_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CF2RXIF	CF1RXIF	CF0RXIF
														F	F	F
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.258 RSCAN1CFRISTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	CF2RXIF	送受信 FIFO バッファ受信割り込み要求ステータスフラグ 0: 送受信 FIFO バッファ k 受信割り込み要求なし 1: 送受信 FIFO バッファ k 受信割り込み要求あり (k = 0 ~ 2)
1	CF1RXIF	
0	CF0RXIF	

RSCAN1CFRISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkRXIF フラグ (k = 0 ~ 2)

RSCAN1CFSTSk レジスタの CFRXIF フラグが“1” (割り込み要求あり) になると、CFkRXIF フラグは“1”になります。CFRXIF フラグを“0”にすると、CFkRXIF フラグは“0”になります。

21.16.43 RSCAN1CFTISTS — 送受信 FIFO バッファ 送信割り込みフラグステータスタスタ

アクセス RSCAN1CFTISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN1CFTISTSL レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1CFTISTSLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1CFTISTS: <RSCAN1_base> + 024C_H
RSCAN1CFTISTSL: <RSCAN1_base> + 024C_H
RSCAN1CFTISTSLL: <RSCAN1_base> + 024C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CF2TXIF	CF1TXIF	CF0TXIF
														F	F	F
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.259 RSCAN1CFTISTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	CF2TXIF	送受信 FIFO バッファ 送信割り込み要求ステータスフラグ 0: 送受信 FIFO バッファ k 送信割り込み要求なし 1: 送受信 FIFO バッファ k 送信割り込み要求あり (k = 0 ~ 2)
1	CF1TXIF	
0	CF0TXIF	

RSCAN1CFTISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkTXIF フラグ (k = 0 ~ 2)

RSCAN1CFSTSk レジスタの CFTXIF フラグが“1” (割り込み要求あり) になると、CFkTXIF フラグは“1”になります。CFTXIF フラグを“0”にすると、CFkTXIF フラグは“0”になります。

21.16.44 RSCAN1TMCp — 送信バッファ制御レジスタ (p = 0 ~ i × 16 + 15)

アクセス RSCAN1TMCp レジスタは、8ビット単位でリード/ライト可能です。

アドレス RSCAN1TMCp: <RSCAN1_base> + 0250_H + (01_H × p)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	TMOM	TMTAR	TMTR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W ^{注1}	R/W ^{注1}

注1. このビットへの書き込みは、ビットセットする（“1”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.260 RSCAN1TMCp レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TMOM	ワンショット送信許可ビット 0: ワンショット送信禁止 1: ワンショット送信許可
1	TMTAR	送信アボート要求ビット 0: 送信アボートを要求しない 1: 送信アボートを要求する
0	TMTR	送信要求ビット 0: 送信を要求しない 1: 送信を要求する

RSCAN1TMCp レジスタが次の条件を満たす場合は、“00_H”にしてください。

- RSCAN1FCCK レジスタの CFTML[3:0] ビットで選択した送信バッファ番号に対応する RSCAN1TMCp レジスタ (p = i × 16 + CFTML[3:0] ビットの値)
- RSCAN1TXQCCm レジスタ (m = 6) の TXQDC[3:0] ビットで送信キューに割り当てた送信バッファに対応する RSCAN1TMCp レジスタ (p = (i × 16 + 15) ~ (i × 16 + 15 - TXQDC[3:0] ビットの値))

RSCAN1TMCp レジスタのビットは、チャンネルリセットモード時に“0”になります。

RSCAN1TMCp レジスタは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。

TMOM ビット

“1”にすると、ワンショット送信が許可されます。送信に失敗しても、CANプロトコルに規定された再送信を行いません。

TMOM ビットは、RSCAN1TMSTSp レジスタの TMTRM フラグが“0”のときに書き換えてください。TMOM ビットに“1”を書く場合は、TMTR ビットと同時に“1”を書いてください。

TMTAR ビット

“1”にすると、送信バッファに格納されたメッセージの送信アボート要求が発生します。ただし、送信中または次の送信に決定したメッセージはアボートできません。

TMTR ビットが“1”のとき、TMTAR ビットを“1”にできます。

TMTR ビットは次の条件で“0”になります。プログラムで“0”を書いても“0”になりません。

- 送信が完了したとき
- 送信アボートが完了したとき
- エラーまたはアービトレーションロストを検出したとき

“0”になるタイミングと“1”を書くタイミングが同じ場合、“0”になります。

TMTR ビット

“1”にすると、送信バッファに格納されたメッセージの送信を行います。

TMTR ビットは次の条件で“0”になります。プログラムで“0”を書いても“0”にできません。

- 送信が完了したとき
- TMTR ビットを“1”にし、送信アボートが完了したとき
- TMOM ビットが“1”の状態、エラーまたはアービトレーションロストを検出したとき

RSCAN1TMSTSp レジスタの TMTRF[1:0] フラグが“00_B”のときに、TMTR ビットを“1”に設定してください。

21.16.45 RSCAN1TMSTSp — 送信バッファステータスレジスタ (p = 0 ~ 15)

アクセス RSCAN1TMSTSp レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1TMSTSp: <RSCAN1_base> + 02D0_H + (01_H × p)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	TMTARM	TMTRM	TMTRF[1:0]		TMTSTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R

表 21.261 RSCAN1TMSTSp レジスタの内容

ビット位置	ビット名	機能
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	TMTARM	送信バッファ送信アボート要求ステータスフラグ 0: 送信アボート要求なし 1: 送信アボート要求あり
3	TMTRM	送信バッファ送信要求ステータスフラグ 0: 送信要求なし 1: 送信要求あり
2, 1	TMTRF[1:0]	送信バッファ送信結果フラグ b2 b1 0 0: 送信中、または送信要求なし 0 1: 送信アボート完了 1 0: 送信完了 (送信アボート要求なし) 1 1: 送信完了 (送信アボート要求あり)
0	TMTSTS	送信バッファ送信ステータスフラグ 0: 送信中ではない 1: 送信中

RSCAN1TMSTSp レジスタのビットは、チャンネルリセットモード時に“0”になります。

TMTARM フラグ

RSCAN1TMCp レジスタの TMTAR ビットを“1”にすると、TMTARM フラグは“1”になります。

RSCAN1TMCp レジスタの TMTAR ビットが“0”になると、TMTARM フラグは“0”になります。

TMTRM フラグ

RSCAN1TMCp レジスタの TMTR ビットを“1”にすると、TMTRM フラグは“1”になります。

RSCAN1TMCp レジスタの TMTR ビットが“0”になると、TMTRM フラグは“0”になります。

TMTRF[1:0] フラグ

送信バッファからの送信結果を示します。

00_B: 送信中または送信要求なし。

01_B: 送信バッファからの送信がアボートされた。

10_B : RSCAN1TMCp レジスタの TMTAR ビットが “0” (送信アボートを要求しない) で、送信が完了した。

11_B : RSCAN1TMCp レジスタの TMTAR ビットが “1” (送信アボートを要求する) で、送信が完了した。

TMTRF[1:0] フラグは、チャンネル通信モードまたはチャンネル待機モードで “00_B” を書いてください。“00_B” 以外の値は書かないでください。

TMTSTS フラグ

送信バッファからの送信が開始すると、“1” になります。送信バッファからの送信が完了、またはバスエラーやアービトラージロストにより中断されると、“0” になります。

21.16.46 RSCAN1TMTRSTSy — 送信バッファ送信要求ステータスレジスタ (y = 0)

アクセス RSCAN1TMTRSTSy レジスタは、32 ビット単位でリードのみです。
RSCAN1TMTRSTSyL レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1TMTRSTSyLL、RSCAN1TMTRSTSyLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1TMTRSTSy: $\langle \text{RSCAN1_base} \rangle + 0350_{\text{H}} + (04_{\text{H}} \times y)$
RSCAN1TMTRSTSyL: $\langle \text{RSCAN1_base} \rangle + 0350_{\text{H}} + (04_{\text{H}} \times y)$
RSCAN1TMTRSTSyLL: $\langle \text{RSCAN1_base} \rangle + 0350_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCAN1TMTRSTSyLH: $\langle \text{RSCAN1_base} \rangle + 0351_{\text{H}} + (04_{\text{H}} \times y)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTRSTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.262 RSCAN1TMTRSTSy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。
15 ~ 0	TMTRSTSp	送信バッファ送信要求ステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信要求なし 1: 送信要求あり

TMTRSTSp フラグ (p = 0 ~ 15)

RSCAN1TMCp レジスタの TMTR ビットの状態を示します。

TMTR ビットを“1” (送信を要求する) にすると、対応する TMTRSTSp フラグは“1” になります。

TMTR ビットが“0” (送信を要求しない) になると、対応する TMTRSTSp フラグは“0” になります。また、チャンネルリセットモード時、“0” になります。

表 21.263 にビット配置を示します。

表 21.263 TMTRSTSp ビット配置

ビット位置	ユニットチャンネル番号	送信バッファ番号
0	0	0
1	0	1
.	.	.
.	.	.
15	0	15

21.16.47 RSCAN1TMTARSTSy — 送信バッファ送信アボート要求ステータスレジスタ (y = 0)

アクセス RSCAN1TMTARSTSy レジスタは、32 ビット単位でリードのみです。
RSCAN1TMTARSTSyL レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1TMTARSTSyLL、RSCAN1TMTARSTSyLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1TMTARSTSy: $\langle \text{RSCAN1_base} \rangle + 0360_{\text{H}} + (04_{\text{H}} \times y)$
RSCAN1TMTARSTSyL: $\langle \text{RSCAN1_base} \rangle + 0360_{\text{H}} + (04_{\text{H}} \times y)$
RSCAN1TMTARSTSyLL: $\langle \text{RSCAN1_base} \rangle + 0360_{\text{H}} + (04_{\text{H}} \times y)$
RSCAN1TMTARSTSyLH: $\langle \text{RSCAN1_base} \rangle + 0361_{\text{H}} + (04_{\text{H}} \times y)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTARSTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.264 RSCAN1TMTARSTSy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。
15 ~ 0	TMTARSTSp	送信バッファ送信アボート要求ステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0 : 送信アボート要求なし 1 : 送信アボート要求あり

TMTARSTSp フラグ (p = 0 ~ 15)

RSCAN1TMCp レジスタの TMTAR ビットの状態を示します。

TMTAR ビットを“1” (送信アボートを要求する) にすると、対応する TMTARSTSp フラグは“1”になります。

TMTAR ビットが“0” (送信アボートを要求しない) になると、対応する TMTARSTSp フラグは“0”になります。また、チャンネルリセットモード時、“0”になります。

表 21.265 にビット配置を示します。

表 21.265 TMTARSTSp ビット配置

ビット位置	ユニットチャンネル番号	送信バッファ番号
0	0	0
1	0	1
⋮	⋮	⋮
15	0	15

21.16.48 RSCAN1TMCSTSy — 送信バッファ送信完了ステータスレジスタ (y = 0)

アクセス RSCAN1TMCSTSy レジスタは、32 ビット単位でリードのみです。
RSCAN1TMCSTSyL レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1TMCSTSyLL、RSCAN1TMCSTSyLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1TMCSTSy: <RSCAN1_base> + 0370_H + (04_H × y)
RSCAN1TMCSTSyL: <RSCAN1_base> + 0370_H + (04_H × y)
RSCAN1TMCSTSyLL: <RSCAN1_base> + 0370_H + (04_H × y)、
RSCAN1TMCSTSyLH: <RSCAN1_base> + 0371_H + (04_H × y)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMCSTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.266 RSCAN1TMCSTSy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。
15 ~ 0	TMCSTSp	送信バッファ送信完了ステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信未完了 1: 送信完了

TMCSTSp フラグ (p = 0 ~ 15)

RSCAN1TMSTSp レジスタの TMTRF[1:0] フラグが“10_B” (送信完了、送信アポート要求なし) または“11_B” (送信完了、送信アポート要求あり) になると、対応する TMCSTSp フラグは“1”になります。

TMCSTSp フラグを“0”にする場合は、対応する TMTRF[1:0] フラグを“00_B”にしてください。また、チャンネルリセットモード時、“0”になります。

表 21.267 にビット配置を示します。

表 21.267 TMCSTSp ビット配置

ビット位置	ユニットチャンネル番号	送信バッファ番号
0	0	0
1	0	1
.	.	.
15	0	15

21.16.49 RSCAN1TMTASTSy — 送信バッファ送信アポートステータスレジスタ (y = 0)

アクセス RSCAN1TMTASTSy レジスタは、32 ビット単位でリードのみです。
RSCAN1TMTASTSyL レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1TMTASTSyLL、RSCAN1TMTASTSyLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1TMTASTSy: <RSCAN1_base> + 0380_H + (04_H × y)
RSCAN1TMTASTSyL: <RSCAN1_base> + 0380_H + (04_H × y)
RSCAN1TMTASTSyLL: <RSCAN1_base> + 0380_H + (04_H × y)、
RSCAN1TMTASTSyLH: <RSCAN1_base> + 0381_H + (04_H × y)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTASTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.268 RSCAN1TMTASTSy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。
15 ~ 0	TMTASTSp	送信バッファ送信アポートステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信アポートなし 1: 送信アポートあり

TMTASTSp フラグ (p = 0 ~ 15)

RSCAN1TMTASTSp レジスタの TMTRF[1:0] フラグが“01_B” (送信アポート完了) になると、対応する TMTASTSp フラグは“1”になります。

TMTASTSp フラグを“0”にする場合は、対応する TMTRF[1:0] フラグを“00_B”にしてください。また、チャンネルリセットモード時、“0”になります。

表 21.269 にビット配置を示します。

表 21.269 TMTASTSp ビット配置

ビット位置	ユニットチャンネル番号	送信バッファ番号
0	0	0
1	0	1
.	.	.
15	0	15

21.16.50 RSCAN1TMIECy — 送信バッファ割り込みイネーブルコンフィグレーションレジスタ (y = 0)

アクセス RSCAN1TMIECy レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1TMIECyL レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1TMIECyLL、RSCAN1TMIECyLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1TMIECy: <RSCAN1_base> + 0390_H + (04_H × y)
RSCAN1TMIECyL: <RSCAN1_base> + 0390_H + (04_H × y)
RSCAN1TMIECyLL: <RSCAN1_base> + 0390_H + (04_H × y)、
RSCAN1TMIECyLH: <RSCAN1_base> + 0391_H + (04_H × y)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMIEp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.270 RSCAN1TMIECy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 0	TMIEp	送信バッファ割り込み許可ビット p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信バッファ割り込み禁止 1: 送信バッファ割り込み許可

TMIEp ビット (p = 0 ~ 15)

このビットを“1”に設定し、対応する送信が完了した場合、送信バッファ割り込み要求が発生します。

このビットは対応する RSCAN1TMSTSp レジスタの TMTRM フラグが“0” (送信要求なし) のときに書き換えてください。

送受信 FIFO バッファにリンクした送信バッファ、または送信キューに割り当てられた送信バッファに対応するビットは“0”にしてください。

表 21.271 にビット配置を示します。

表 21.271 TMIEp ビットの配置

ビット位置	ユニットチャンネル番号	送信バッファ番号
0	0	0
1	0	1
⋮	⋮	⋮
15	0	15

21.16.51 RSCAN1TMIDp — 送信バッファ ID レジスタ (p = 0 ~ 15)

アクセス RSCAN1TMIDp レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1TMIDpL、RSCAN1TMIDpH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1TMIDpLL、RSCAN1TMIDpLH、RSCAN1TMIDpHL、RSCAN1TMIDpHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1TMIDp: $\langle \text{RSCAN1_base} \rangle + 1000_{\text{H}} + (10_{\text{H}} \times p)$
RSCAN1TMIDpL: $\langle \text{RSCAN1_base} \rangle + 1000_{\text{H}} + (10_{\text{H}} \times p)$ 、
RSCAN1TMIDpH: $\langle \text{RSCAN1_base} \rangle + 1002_{\text{H}} + (10_{\text{H}} \times p)$
RSCAN1TMIDpLL: $\langle \text{RSCAN1_base} \rangle + 1000_{\text{H}} + (10_{\text{H}} \times p)$ 、
RSCAN1TMIDpLH: $\langle \text{RSCAN1_base} \rangle + 1001_{\text{H}} + (10_{\text{H}} \times p)$ 、
RSCAN1TMIDpHL: $\langle \text{RSCAN1_base} \rangle + 1002_{\text{H}} + (10_{\text{H}} \times p)$ 、
RSCAN1TMIDpHH: $\langle \text{RSCAN1_base} \rangle + 1003_{\text{H}} + (10_{\text{H}} \times p)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIDE	TMRTR	THLEN	TMID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.272 RSCAN1TMIDp レジスタの内容

ビット位置	ビット名	機能
31	TMIDE	送信バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	TMRTR	送信バッファ RTR ビット 0: データフレーム 1: リモートフレーム
29	THLEN	送信履歴データ格納許可ビット 0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する
28 ~ 0	TMID[28:0]	送信バッファ ID データ 標準 ID または拡張 ID を設定してください。 標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は“0”にしてください。

このレジスタは、対応する RSCAN1TMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャンネルの送信バッファ p (p = i × 16 + 15) のみに書いてください。

TMIDE ビット

送信バッファから送信するメッセージの ID フォーマットを設定します。

TMRTR ビット

送信バッファから送信するメッセージのデータフォーマットを設定します。

THLEN ビット

“1”にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファタイプ）が送信履歴バッファに格納されます。

TMID[28:0] ビット

送信バッファから送信するメッセージの ID を設定します。

21.16.52 RSCAN1TMPTRp — 送信バッファポインタレジスタ (p = 0 ~ 15)

アクセス RSCAN1TMPTRp レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1TMPTRpH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1TMPTRpHL、RSCAN1TMPTRpHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1TMPTRp: <RSCAN1_base> + 1004_H + (10_H × p)
RSCAN1TMPTRpH: <RSCAN1_base> + 1006_H + (10_H × p)
RSCAN1TMPTRpHL: <RSCAN1_base> + 1006_H + (10_H × p)、
RSCAN1TMPTRpHH: <RSCAN1_base> + 1007_H + (10_H × p)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDLC[3:0]				—	—	—	—	TMPTR[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.273 RSCAN1TMPTRp レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	TMDLC[3:0]	送信バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 x x x : 8 データバイト
27 ~ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23 ~ 16	TMPTR[7:0]	送信バッファラベルデータ 送信履歴バッファに格納するラベル情報を設定してください。
15 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

このレジスタは、対応する RSCAN1TMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = i × 16 + 15) のみに書いてください。

TMDLC[3:0] ビット

RSCAN1TMIDp レジスタの TMRTR ビットが“0”（データフレーム）のとき、送信バッファから送信されるメッセージのデータ長を設定します。9 バイト以上を設定した場合、送信されるデータは、8 バイトになります。

TMRTR ビットが“1”（リモートフレーム）のとき、要求するメッセージのデータ長を設定します。

TMPTR[7:0] ビット

メッセージ送信が完了した場合、TMPTR[7:0] ビットの値が送信履歴バッファに格納されま
す。

21.16.53 RSCAN1TMDF0p — 送信バッファデータフィールド0レジスタ (p = 0 ~ 15)

アクセス RSCAN1TMDF0p レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1TMDF0pL、RSCAN1TMDF0pH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1TMDF0pLL、RSCAN1TMDF0pLH、RSCAN1TMDF0pHL、RSCAN1TMDF0pHH レジスタは、8
ビット単位でリード/ライト可能です。

アドレス RSCAN1TMDF0p: <RSCAN1_base> + 1008_H + (10_H × p)
RSCAN1TMDF0pL: <RSCAN1_base> + 1008_H + (10_H × p)、
RSCAN1TMDF0pH: <RSCAN1_base> + 100A_H + (10_H × p)
RSCAN1TMDF0pLL: <RSCAN1_base> + 1008_H + (10_H × p)、
RSCAN1TMDF0pLH: <RSCAN1_base> + 1009_H + (10_H × p)、
RSCAN1TMDF0pHL: <RSCAN1_base> + 100A_H + (10_H × p)、
RSCAN1TMDF0pHH: <RSCAN1_base> + 100B_H + (10_H × p)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB3[7:0]								TMDB2[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB1[7:0]								TMDB0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.274 RSCAN1TMDF0p レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	TMDB3[7:0]	送信バッファデータバイト 3
23 ~ 16	TMDB2[7:0]	送信バッファデータバイト 2
15 ~ 8	TMDB1[7:0]	送信バッファデータバイト 1
7 ~ 0	TMDB0[7:0]	送信バッファデータバイト 0
		送信バッファのデータを設定してください。

このレジスタは、対応する RSCAN1TMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = i × 16 + 15) のみに書いてください。

21.16.54 RSCAN1TMDF1p — 送信バッファデータフィールド1レジスタ (p = 0 ~ 15)

アクセス RSCAN1TMDF1p レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1TMDF1pL、RSCAN1TMDF1pH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1TMDF1pLL、RSCAN1TMDF1pLH、RSCAN1TMDF1pHL、RSCAN1TMDF1pHH レジスタは、8
ビット単位でリード/ライト可能です。

アドレス RSCAN1TMDF1p: <RSCAN1_base> + 100C_H + (10_H × p)
RSCAN1TMDF1pL: <RSCAN1_base> + 100C_H + (10_H × p)、
RSCAN1TMDF1pH: <RSCAN1_base> + 100E_H + (10_H × p)
RSCAN1TMDF1pLL: <RSCAN1_base> + 100C_H + (10_H × p)、
RSCAN1TMDF1pLH: <RSCAN1_base> + 100D_H + (10_H × p)、
RSCAN1TMDF1pHL: <RSCAN1_base> + 100E_H + (10_H × p)、
RSCAN1TMDF1pHH: <RSCAN1_base> + 100F_H + (10_H × p)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB7[7:0]								TMDB6[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB5[7:0]								TMDB4[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.275 RSCAN1TMDF1p レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	TMDB7[7:0]	送信バッファデータバイト 7
23 ~ 16	TMDB6[7:0]	送信バッファデータバイト 6
15 ~ 8	TMDB5[7:0]	送信バッファデータバイト 5
7 ~ 0	TMDB4[7:0]	送信バッファデータバイト 4
		送信バッファのデータを設定してください。

このレジスタは、対応する RSCAN1TMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = i × 16 + 15) のみに書いてください。

21.16.55 RSCAN1TXQCCm — 送信キューコンフィグレーション/制御レジスタ (m = 6)

アクセス RSCAN1TXQCCm レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1TXQCCmL レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1TXQCCmLL、RSCAN1TXQCCmLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1TXQCCm: <RSCAN1_base> + 03A0_H + (04_H × i)
RSCAN1TXQCCmL: <RSCAN1_base> + 03A0_H + (04_H × i)
RSCAN1TXQCCmLL: <RSCAN1_base> + 03A0_H + (04_H × i)、
RSCAN1TXQCCmLH: <RSCAN1_base> + 03A1_H + (04_H × i)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TXQIM	TXQIE	TXQDC[3:0]			—	—	—	—	—	—	—	—	TXQE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 21.276 RSCAN1TXQCCm レジスタの内容

ビット位置	ビット名	機能
31 ~ 14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13	TXQIM	送信キュー割り込み要因選択ビット 0: 送信完了によって送信キューが空になったときに発生 1: 1メッセージ送信完了ごとに発生
12	TXQIE	送信キュー割り込み許可ビット 0: 送信キュー割り込み禁止 1: 送信キュー割り込み許可
11 ~ 8	TXQDC[3:0]	送信キュー段数設定ビット 設定値を g (g = 2 ~ 15) とすると、g+1 の送信キューを使用できます。 “0” を設定すると、送信キューは使用できません。 “1” は設定しないでください。
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TXQE	送信キュー許可ビット 0: 送信キューを使用しない 1: 送信キューを使用する

TXQIM ビット

送信キュー割り込み要因を選択します。このビットはチャンネルリセットモードで書き換えてください。

TXQIE ビット

TXQIE ビットを“1”に設定し、TXQIM ビットで選択した要因が発生すると、割り込み要求が発生します。

TXQIE ビットを書き換える場合は、TXQE ビットを“0”にしてください。

TXQDC[3:0] ビット

送信キューに割り付ける送信バッファの数を設定します。送信キューは、送信バッファ番号の大きい方から順に $(i \times 16 + 15)$ から $(i \times 16 + 0)$ まで順番に割り付けられます。バッファの割り当て例については、**図 21.47** を参照してください。このビットはチャンネルリセットモード時にのみ書き換えてください。

TXQE ビット

“1” にすると送信キューを使用できます。このビットは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。チャンネルリセットモード時、“0” になります。

TXQDC[3:0] ビットの値を “0010_B” 以上に設定してから TXQE ビットを “1” にしてください。

21.16.56 RSCAN1TXQSTSm — 送信キューステータスレジスタ (m = 6)

アクセス RSCAN1TXQSTSm レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1TXQSTSmL レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1TXQSTSmLL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1TXQSTSm: <RSCAN1_base> + 03C0_H + (04_H × i)
RSCAN1TXQSTSmL: <RSCAN1_base> + 03C0_H + (04_H × i)
RSCAN1TXQSTSmLL: <RSCAN1_base> + 03C0_H + (04_H × i)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TXQIF	TXQFL L	TXQEM P
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする (“0” にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.277 RSCAN1TXQSTSm レジスタの内容

ビット位置	ビット名	機能
31 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ~ 8	予約ビット	リードした場合は不定値が読めます。ライトする場合は “0” を書いてください。
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TXQIF	送信キュー割り込み要求フラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
1	TXQFLL	送信キューフルステータスフラグ 0: 送信キューフルではない 1: 送信キューフル
0	TXQEMP	送信キュー空ステータスフラグ 0: 送信キューにメッセージあり 1: 送信キューにメッセージなし (送信キュー空)

TXQIF フラグ

RSCAN1TXQCCm レジスタの TXQIM ビットで設定した要因が発生すると、“1” になります。

TXQIF フラグへの “0” 書き込み、またはチャネルリセットモード時、“0” になります。
TXQIF フラグは、RSCAN1TXQCCm レジスタの TXQE ビットを “0” (送信キューを使用しない) にしても “0” になりません。

TXQFLL フラグ

送信キューに設定したメッセージ数と、RSCAN1TXQCCm レジスタの TXQDC[3:0] ビットで設定した段数が一致すると、“1” になります。

次の条件で“0” になります。

- 送信キューに設定したメッセージが、TXQDC[3:0] ビットで設定した数より少ない
- チャンネルリセットモード時

TXQEMP フラグ

メッセージを1つでも送信キューに設定すると、TXQEMP フラグは“0” になります。

次の条件で、“1” になります。

- TXQE ビットを“0” (送信キューを使用しない) にしたとき
- 送信キューが空になったとき
- チャンネルリセットモード時

21.16.57 RSCAN1TXQPCTRM — 送信キューポインタ制御レジスタ (m = 6)

アクセス RSCAN1TXQPCTRM レジスタは、32 ビット単位でライトのみ可能です。
RSCAN1TXQPCTRM L レジスタは、16 ビット単位でライトのみ可能です。
RSCAN1TXQPCTRM LL レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCAN1TXQPCTRM: <RSCAN1_base> + 03E0_H + (04_H × i)
RSCAN1TXQPCTRM L: <RSCAN1_base> + 03E0_H + (04_H × i)
RSCAN1TXQPCTRM LL: <RSCAN1_base> + 03E0_H + (04_H × i)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TXQPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 21.278 RSCAN1TXQPCTRM レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ~ 0	TXQPC[7:0]	送信キューポインタ制御 “FF _H ” を書くと、送信キューのライトポインタを次のキューバッファに移動します。

TXQPC[7:0] ビット

TXQPC[7:0] ビットに “FF_H” を書くと、次の送信キューバッファへライトポインタが移動し、そのメッセージの送信要求が発生します。RSCAN1TMIDp、RSCAN1TMPTRp、RSCAN1TMDf0p、RSCAN1TMDf1p レジスタ (p = 15、31、47、63、79、95) に送信メッセージを書いた後に、TXQPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCAN1TXQCCm レジスタの TXQE ビットが “1” (送信キューを使用する) で、RSCAN1TXQSTSm レジスタの TXQFLL フラグが “0” (フルではない) の場合にのみ行ってください。

21.16.58 RSCAN1THLCCm — 送信履歴コンフィグレーション/制御レジスタ (m = 6)

アクセス RSCAN1THLCCm レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1THLCCmL レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1THLCCmLL、RSCAN1THLCCmLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1THLCCm: <RSCAN1_base> + 0400_H + (04_H × i)
RSCAN1THLCCmL: <RSCAN1_base> + 0400_H + (04_H × i)
RSCAN1THLCCmLL: <RSCAN1_base> + 0400_H + (04_H × i)、
RSCAN1THLCCmLH: <RSCAN1_base> + 0401_H + (04_H × i)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLDT E	THLIM	THLIE	—	—	—	—	—	—	—	THLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 21.279 RSCAN1THLCCm レジスタの内容

ビット位置	ビット名	機能
31 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	THLDTE	送信履歴対象バッファ選択ビット 0: 送受信 FIFO バッファ、送信キューからのエントリ 1: 送信バッファ、送受信 FIFO バッファ、送信キューからのエントリ
9	THLIM	送信履歴割り込み要因選択ビット 0: 送信履歴バッファに 12 データ格納されたとき 1: 1 送信履歴データの格納完了時
8	THLIE	送信履歴割り込み許可ビット 0: 送信履歴割り込み禁止 1: 送信履歴割り込み許可
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	THLE	送信履歴バッファ許可ビット 0: 送信履歴バッファを使用しない 1: 送信履歴バッファを使用する

THLDTE ビット

“0” にすると、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを送信履歴バッファに格納します。“1” にすると、送信バッファ、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを、送信履歴バッファに格納します。

このビットはチャンネルリセットモードでのみ書き換えてください。

THLIM ビット

送信履歴割り込み要因を選択します。

このビットはチャンネルリセットモードでのみ書き換えてください。

THLIE ビット

THLIE ビットを“1”に設定し、THLIM ビットで選択した要因が発生した場合、送信履歴割り込み要求が発生します。THLE ビットが“0”の状態でのみ、THLIE ビットを書き換えてください。

THLE ビット

“1”にすると、送信履歴バッファが使用できます。THLDTE ビットで選択したバッファからの送信が完了すると、送信メッセージの送信履歴データが、送信履歴バッファへ格納されます。

このビットは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。

21.16.59 RSCAN1THLSTSm — 送信履歴ステータスレジスタ (m = 6)

アクセス RSCAN1THLSTSm レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1THLSTSmL レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1THLSTSmLL レジスタは、8 ビット単位でリード/ライト可能です。
RSCAN1THLSTSmLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1THLSTSm: <RSCAN1_base> + 0420_H + (04_H × i)
RSCAN1THLSTSmL: <RSCAN1_base> + 0420_H + (04_H × i)
RSCAN1THLSTSmLL: <RSCAN1_base> + 0420_H + (04_H × i)、
RSCAN1THLSTSmLH: <RSCAN1_base> + 0421_H + (04_H × i)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THLMC[4:0]				—	—	—	—	THLIF	THLELT	THLFLL	THLEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする ("0" にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.280 RSCAN1THLSTSm レジスタの内容

ビット位置	ビット名	機能
31 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ~ 8	THLMC[4:0]	送信履歴バッファ未読数カウンタ 送信履歴バッファに格納された未読データ数を示します。
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	THLIF	送信履歴割り込み要求フラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
2	THLELT	送信履歴バッファオーバーフローフラグ 0: 送信履歴バッファオーバーフローではない 1: 送信履歴バッファオーバーフロー
1	THLFLL	送信履歴バッファフルステータスフラグ 0: 送信履歴バッファフルではない 1: 送信履歴バッファフル
0	THLEMP	送信履歴バッファ空ステータスフラグ 0: 送信履歴バッファに未読データあり 1: 送信履歴バッファに未読データなし (バッファ空)

THLMC[4:0] ビット

送信履歴バッファ内の未読データ数を示します。

THLIF フラグ

RSCAN1THLCCm レジスタの THLIM ビットで設定した割り込み要因が発生したとき、“1”になります。

プログラムで“0”を書き込むことで“0”にしてください。チャンネルリセットモード時、“0”になります。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

THLELT フラグ

送信履歴バッファがフルの場合に、さらに新しい送信履歴データを格納しようとしたとき“1”になります。この場合、新しいデータは破棄されます。プログラムで“0”を書き込むことで“0”にしてください。チャンネルリセットモード時、“0”になります。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

THLFL フラグ

送信履歴バッファに 16 個のデータが格納されると、“1”になります。格納数が 16 個より少なくなると“0”になります。RSCAN1THLCCm レジスタの THLE ビットが“0”（送信履歴バッファを使用しない）のとき、またはチャンネルリセットモード時、“0”になります。

THLEMP フラグ

送信履歴データが 1 つでも送信履歴バッファへ格納されると“0”になります。

送信履歴バッファのすべてのデータを読むと“1”になります。RSCAN1THLCCm レジスタの THLE ビットを“0”（送信履歴バッファを使用しない）にしたとき、またはチャンネルリセットモード時、“1”になります。

備 考

THLIF、THLELT フラグを“0”にする場合は、プログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、それ以外のフラグには“1”を書いてください。

21.16.60 RSCAN1THLACCm — 送信履歴アクセスレジスタ (m = 6)

アクセス RSCAN1THLACCm レジスタは、32 ビット単位でリードのみです。
RSCAN1THLACCmL レジスタは、16 ビット単位でリードのみ可能です。
RSCAN1THLACCmLL、RSCAN1THLACCmLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN1THLACCm: <RSCAN1_base> + 1800_H + (04_H × i)
RSCAN1THLACCmL: <RSCAN1_base> + 1800_H + (04_H × i)
RSCAN1THLACCmLL: <RSCAN1_base> + 1800_H + (04_H × i)、
RSCAN1THLACCmLH: <RSCAN1_base> + 1801_H + (04_H × i)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TID[7:0]							—	BN[3:0]			BT[2:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.281 RSCAN1THLACCm レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。
15 ~ 8	TID[7:0]	ラベルデータ 格納されたデータのラベル情報が読めます。
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ~ 3	BN[3:0]	バッファ番号データ 送信元の送信バッファ/送受信 FIFO/送信キュー番号が読めます。
2 ~ 0	BT[2:0]	バッファタイプデータ b2 b1 b0 0 0 1: 送信バッファ 0 1 0: 送受信 FIFO バッファ 1 0 0: 送信キュー

TID[7:0] ビット

送信履歴バッファに格納された送信履歴データのラベル情報を表示します。

BN[3:0] ビット

送信履歴バッファに格納された送信履歴データの送信元バッファ番号を表示します。

BT[2:0] ビット

送信履歴バッファに格納された送信履歴データの送信元バッファの種類を表示します。

21.16.61 RSCAN1THLPCTRm — 送信履歴ポインタ制御レジスタ (m = 6)

アクセス RSCAN1THLPCTRm レジスタは、32 ビット単位でライトのみ可能です。
RSCAN1THLPCTRmL レジスタは、16 ビット単位でライトのみ可能です。
RSCAN1THLPCTRmLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCAN1THLPCTRm: <RSCAN1_base> + 0440_H + (04_H × i)
RSCAN1THLPCTRmL: <RSCAN1_base> + 0440_H + (04_H × i)
RSCAN1THLPCTRmLL: <RSCAN1_base> + 0440_H + (04_H × i)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	THLPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 21.282 RSCAN1THLPCTRm レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ~ 0	THLPC[7:0]	送信履歴リストポインタ制御 “FF _H ” を書くと、送信履歴バッファの次の未読データにリードポインタが移動します。

THLPC[7:0] ビット

THLPC[7:0] ビットに “FF_H” を書くと、送信履歴バッファの次のデータにリードポインタが移動します。このとき RSCAN1THLSTSm レジスタの THLMC[4:0] ビット (送信履歴バッファ未読数カウンタ) の値が 1 減算されます。RSCAN1THLACCm レジスタを読んだあと、THLPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCAN1THLCCm レジスタの THLE ビットが “1” (送信履歴バッファを使用する) で、RSCAN1THLSTSm レジスタの THLEMP フラグが “0” のときのみ行ってください。

21.16.62 RSCAN1GTSTCFG — グローバルテストコンフィグレーションレジスタ

アクセス RSCAN1GTSTCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1GTSTCFGH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1GTSTCFGHL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1GTSTCFG: <RSCAN1_base> + 0468_H
RSCAN1GTSTCFGH: <RSCAN1_base> + 046A_H
RSCAN1GTSTCFGHL: <RSCAN1_base> + 046A_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	RTMPS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.283 RSCAN1GTSTCFG レジスタの内容

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ~ 16	RTMPS[6:0]	RAM テストページ設定ビット ページ 0 (00 _H) ~ 56 (38 _H) ページの範囲で設定
15 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RSCAN1GTSTCFG レジスタはグローバルテストモードでのみ書き換えてください。

RTMPS[6:0] ビット

RAM テスト時、RAM テスト対象となるページ番号を設定します。00_H ~ 38_H 以外の値を設定しないでください。

21.16.63 RSCAN1GTSTCTR — グローバルテスト制御レジスタ

アクセス RSCAN1GTSTCTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1GTSTCTRL レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1GTSTCTRLLL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1GTSTCTR: <RSCAN1_base> + 046C_H
RSCAN1GTSTCTRL: <RSCAN1_base> + 046C_H
RSCAN1GTSTCTRLLL: <RSCAN1_base> + 046C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R

表 21.284 RSCAN1GTSTCTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	RTME	RAM テスト許可ビット 0 : RAM テスト禁止 1 : RAM テスト許可
1, 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RTME ビット

“1” にすると、RAM テストが許可になります。このビットはグローバルテストモードでのみ書き換えてください。

1. RSCAN1GCTR レジスタの GMDC[1:0] ビットを“10_B” (グローバルテストモード) にする。
2. RTME ビットを“1”にする。
3. RTME ビットが“1”になったことを確認する。

21.16.64 RSCAN1GLOCKK — グローバルロックキーレジスタ

アクセス RSCAN1GLOCKK レジスタは、32 ビット単位でライトのみ可能です。
RSCAN1GLOCKKL レジスタは、16 ビット単位でライトのみ可能です。

アドレス RSCAN1GLOCKK: <RSCAN1_base> + 047C_H
RSCAN1GLOCKKL: <RSCAN1_base> + 047C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LOCK[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}

注1. RS-CAN モジュールがグローバルテストモード時のみこのビットへの書き込みは可能です。

表 21.285 RSCAN1GLOCKK レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	ライトする場合はリセット後の値を書いてください。
15 ~ 0	LOCK[15:0]	ロックキービット テストモードの保護を解除するためのキービット

RSCAN1GLOCKK レジスタは、特殊テストビットの保護を解除するための書き込み専用レジスタです。

プロテクト解除データについては、「21.22.4.2 プロテクト解除手順」を参照してください。

LOCK[15:0] ビット

プロテクト解除データを連続して LOCK[15:0] ビットに書くと、RSCAN1GTSTCTR レジスタの RTME ビットへの“1”書き込みが可能になります。

プロテクトが解除された後、RAM を除く CAN の I/O レジスタ領域 (<RSCAN1_base> + 0000_H ~ <RSCAN1_base> + 04FF_H) に書き込みを実行すると、再度プロテクトが有効になります。

CAN の I/O レジスタ領域の読み出し、または他の領域への読み書きを実行しても、プロテクトは有効になりません。

21.16.65 RSCAN1RPGACCr — RAM テストページアクセスレジスタ (r = 0 ~ 63)

アクセス RSCAN1RPGACCr レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN1RPGACCrL、RSCAN1RPGACCrH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN1RPGACCrLL、RSCAN1RPGACCrLH、RSCAN1RPGACCrHL、RSCAN1RPGACCrHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN1RPGACCr: $\langle \text{RSCAN1_base} \rangle + 1900_{\text{H}} + (04_{\text{H}} \times r)$
RSCAN1RPGACCrL: $\langle \text{RSCAN1_base} \rangle + 1900_{\text{H}} + (04_{\text{H}} \times r)$ 、
RSCAN1RPGACCrH: $\langle \text{RSCAN1_base} \rangle + 1902_{\text{H}} + (04_{\text{H}} \times r)$
RSCAN1RPGACCrLL: $\langle \text{RSCAN1_base} \rangle + 1900_{\text{H}} + (04_{\text{H}} \times r)$ 、
RSCAN1RPGACCrLH: $\langle \text{RSCAN1_base} \rangle + 1901_{\text{H}} + (04_{\text{H}} \times r)$ 、
RSCAN1RPGACCrHL: $\langle \text{RSCAN1_base} \rangle + 1902_{\text{H}} + (04_{\text{H}} \times r)$ 、
RSCAN1RPGACCrHH: $\langle \text{RSCAN1_base} \rangle + 1903_{\text{H}} + (04_{\text{H}} \times r)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDTA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDTA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.286 RSCAN1RPGACCr レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RDTA[31:0]	RAM データテストアクセス RS-CAN 用 RAM データの読み書きができます。

RSCAN1RPGACCr レジスタは、グローバルテストモードでかつ RSCAN1GTSTCTR レジスタの RTME ビットが“1” (RAM テスト許可) の状態で書き換えてください。

RTME ビットが“1” のときに、RSCAN1RPGACCr レジスタへの読み書きができます。

21.17 割り込み要因

RS-CAN モジュールには 5 本の割り込みがあり、グローバル割り込みとチャンネル割り込みに分類されます。

- グローバル割り込み (各ユニットごとに 2 本)
 - 受信 FIFO 割り込み (各ユニットごとに 1 本)
 - グローバルエラー割り込み (各ユニットごとに 1 本)
- チャンネル割り込み (各チャンネルごとに 3 本ずつ)
 - CANm 送信割り込み (m = 6)
 - CANm 送信完了割り込み
 - CANm 送信アボート割り込み
 - CANm 送受信 FIFO 送信完了割り込み (送信モード時)
 - CANm 送信履歴割り込み
 - CANm 送信キュー割り込み
 - CANm 送受信 FIFO 受信完了割り込み (受信モード時)
 - CANm エラー割り込み

割り込み要求が発生すると、対応する割り込み要求フラグが“1” (割り込み要求あり) になります。その場合、割り込み許可ビットを“1” (割り込み許可) にしていると、RS-CAN モジュールから割り込み要求が出力されます。(割り込みの発生は、割り込みコントローラの割り込み制御レジスタの設定にも依存します。)

割り込み要求フラグを“0” (割り込み要求なし) にするか、割り込み許可ビットを“0” (割り込み禁止) にすると、割り込み要求がクリアされます。割り込み要求フラグをクリアするまで、割り込み要求は出力されたままです。

表 21.287 に CAN 割り込み要因一覧を示します。**図 21.40** に CAN グローバル割り込みブロック図を、**図 21.41** に CAN チャンネル割り込みブロック図を示します。

表 21.287 CAN 割り込み要因一覧

	割り込み要因	対応する割り込み要求フラグ	対応する割り込み許可ビット	
グローバル 割り込み	受信 FIFO	受信 FIFO 0	RSCAN1RFSTS0 レジスタの RFIF フラグ	RSCAN1RFCC0 レジスタの RFIE ビット
		受信 FIFO 1	RSCAN1RFSTS1 レジスタの RFIF フラグ	RSCAN1RFCC1 レジスタの RFIE ビット
		受信 FIFO 2	RSCAN1RFSTS2 レジスタの RFIF フラグ	RSCAN1RFCC2 レジスタの RFIE ビット
		受信 FIFO 3	RSCAN1RFSTS3 レジスタの RFIF フラグ	RSCAN1RFCC3 レジスタの RFIE ビット
		受信 FIFO 4	RSCAN1RFSTS4 レジスタの RFIF フラグ	RSCAN1RFCC4 レジスタの RFIE ビット
		受信 FIFO 5	RSCAN1RFSTS5 レジスタの RFIF フラグ	RSCAN1RFCC5 レジスタの RFIE ビット
		受信 FIFO 6	RSCAN1RFSTS6 レジスタの RFIF フラグ	RSCAN1RFCC6 レジスタの RFIE ビット
		受信 FIFO 7	RSCAN1RFSTS7 レジスタの RFIF フラグ	RSCAN1RFCC7 レジスタの RFIE ビット
	グローバルエラー	RSCAN1GERFL レジスタの DEF フラグ RSCAN1GERFL レジスタの MES フラグ RSCAN1GERFL レジスタの THLES フラグ	RSCAN1GCTR レジスタの DEIE ビット RSCAN1GCTR レジスタの MEIE ビット RSCAN1GCTR レジスタの THLEIE ビット	
チャンネル 割り込み (m = 6)	CANm 送信	CANm 送信完了	RSCAN1TMSTSp レジスタの TMTRF[1:0] フラグ	RSCAN1TMIECy レジスタの TMIEp ビット
		CANm 送信アポート	RSCAN1TMSTSp レジスタの TMTRF[1:0] フラグ	RSCAN1CmCTR レジスタの TAIE ビット
		CANm 送受信 FIFO 送信完了	RSCAN1CFSTSk レジスタの CFTXIF フラグ	RSCAN1CFCCk レジスタの CFTXIE ビット
		CANm 送信キュー	RSCAN1TXQSTSm レジスタの TXQIF フラグ	RSCAN1TXQCCm レジスタの TXQIE ビット
		CANm 送信履歴	RSCAN1THLSTSm レジスタの THLIF フラグ	RSCAN1THLCCm レジスタの THLIE ビット
	CANm 送受信 FIFO 受信完了	RSCAN1CFSTSk レジスタの CFRXIF フラグ	RSCAN1CFCCk レジスタの CFRXIE ビット	
	CANm エラー	RSCAN1CmERFL レジスタの BEF フラグ RSCAN1CmERFL レジスタの ALF フラグ RSCAN1CmERFL レジスタの BLF フラグ RSCAN1CmERFL レジスタの OVLf フラグ RSCAN1CmERFL レジスタの BORF フラグ RSCAN1CmERFL レジスタの BOEF フラグ RSCAN1CmERFL レジスタの EPF フラグ RSCAN1CmERFL レジスタの EWF フラグ	RSCAN1CmCTR レジスタの BEIE ビット RSCAN1CmCTR レジスタの ALIE ビット RSCAN1CmCTR レジスタの BLIE ビット RSCAN1CmCTR レジスタの OLIE ビット RSCAN1CmCTR レジスタの BORIE ビット RSCAN1CmCTR レジスタの BOEIE ビット RSCAN1CmCTR レジスタの EPIE ビット RSCAN1CmCTR レジスタの EWIE ビット	

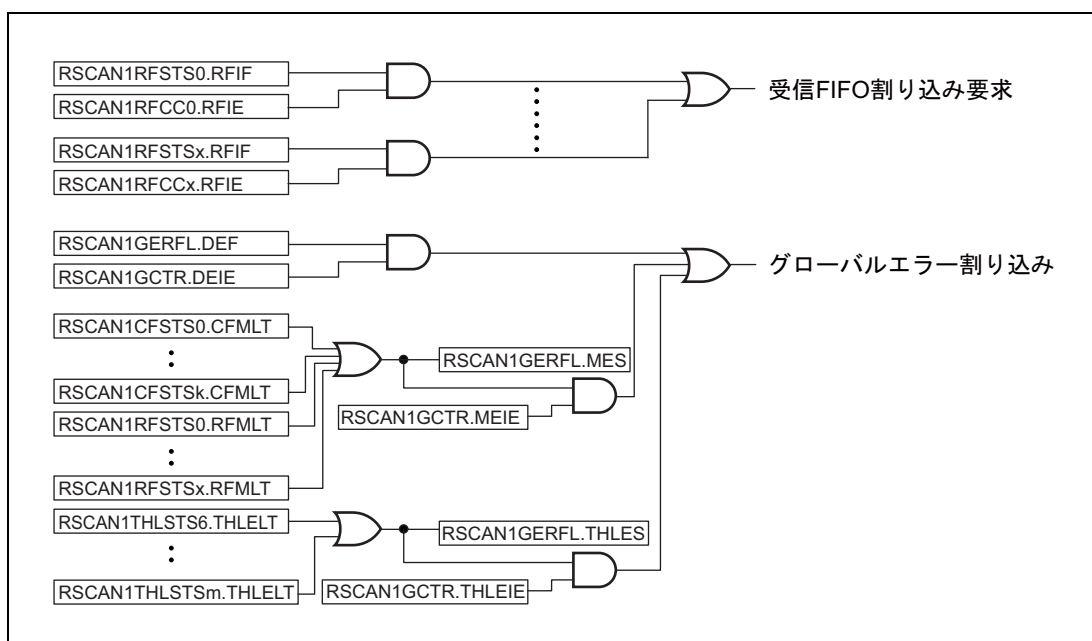


図 21.40 CAN グローバル割り込みブロック図

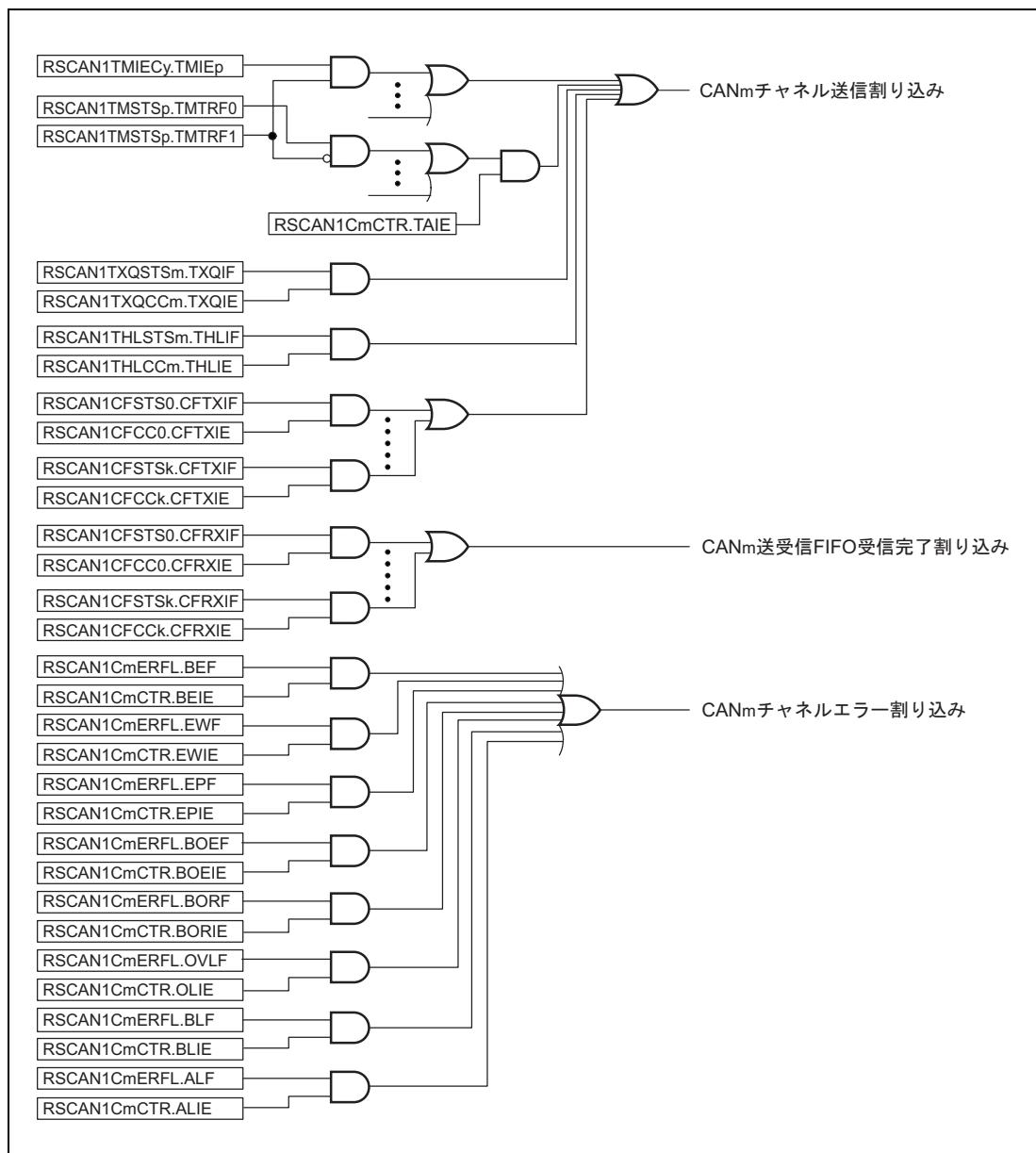


図 21.41 CAN チャンネル割り込みブロック図

21.18 CAN モード

RS-CAN モジュールには、RS-CAN モジュール全体の状態を制御するグローバルモードが4種類と、個々のチャンネル状態を制御するチャンネルモードが4種類あります。「21.18.1 グローバルモード」にグローバルモード、「21.18.2 チャンネルモード」にチャンネルモードの詳細を示します。

- グローバルストップモード：モジュール全体のクロックを停止させ、低消費電力を実現する。
- グローバルリセットモード：モジュール全体の初期設定を行う。
- グローバルテストモード：テスト設定を行う。また、RAM テストを実施する。
- グローバル動作モード：モジュール全体を動作可能にする。
- チャンネルストップモード：チャンネルのクロックが停止する。
- チャンネルリセットモード：チャンネルの初期設定を行う。
- チャンネル待機モード：CAN 通信を停止させたり、チャンネルのテストを許可する。
- チャンネル通信モード：CAN 通信を行う。

21.18.1 グローバルモード

図 21.42 にグローバルモードの遷移図を示します。

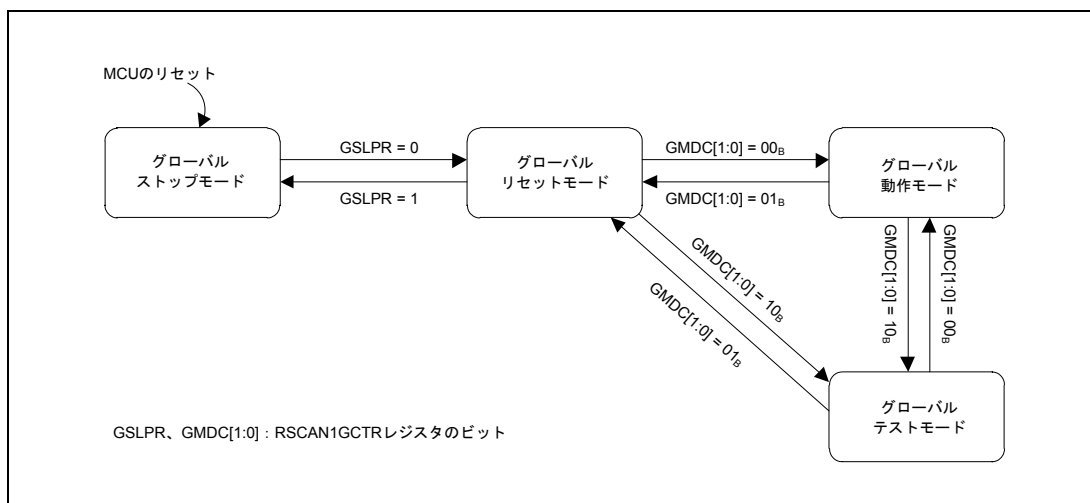


図 21.42 グローバルモードの遷移図

グローバルモードの遷移により、チャンネルのモードが変化することがあります。表 21.288 にグローバルモード設定 (GMDC[1:0]、GSLPR ビット) によるチャンネルモードの変化を示します。

表 21.288 グローバルモード設定 (GMDC[1:0]、GSLPR ビット) によるチャンネルモードの変化

設定前のチャンネルモード	設定後のチャンネルモード			
	GMDC[1:0] = 00 _B GSLPR = 0 (グローバル動作)	GMDC[1:0] = 10 _B GSLPR = 0 (グローバルテスト)	GMDC[1:0] = 01 _B GSLPR = 0 (グローバルリセット)	GMDC[1:0] = 01 _B GSLPR = 1 (グローバルストップ)
チャンネル通信	チャンネル通信	チャンネル待機	チャンネルリセット	遷移禁止
チャンネル待機	チャンネル待機	チャンネル待機	チャンネルリセット	遷移禁止
チャンネルリセット	チャンネルリセット	チャンネルリセット	チャンネルリセット	チャンネルストップ
チャンネルストップ	チャンネルストップ	チャンネルストップ	チャンネルストップ	チャンネルストップ

備考 GMDC[1:0] ビットと GSLPR ビットは、RSCAN1GCTR レジスタのビット。

表 21.289 にグローバルモードの遷移時間を示します。

表 21.289 グローバルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
グローバルストップ	グローバルリセット	pclk の 3 クロック
グローバルリセット	グローバルストップ	pclk の 3 クロック
グローバルリセット	グローバルテスト	pclk の 10 クロック
グローバルリセット	グローバル動作	pclk の 10 クロック
グローバルテスト	グローバルリセット	pclk の 3 クロック
グローバルテスト	グローバル動作	pclk の 3 クロック
グローバル動作	グローバルリセット	pclk の 3 クロック
グローバル動作	グローバルテスト	CAN フレームの 2 つ分 ^{注1}

注 1. 使用チャンネルの内、最も遅い通信速度の CAN フレーム時間になります。

21.18.1.1 グローバルストップモード

グローバルストップモードでは CAN のクロックが停止するので、消費電力が低減されます。CAN 関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。グローバルストップモード時、GSLPR ビットへの CPU 書き込み用クロックのみが動作します。

MCU のリセット後、グローバルストップモードになります。また、グローバルリセットモード時に RSCAN1GCTR レジスタの GSLPR ビットを“1” (グローバルストップモード) にすると、各 RSCAN1CmCTR レジスタの CSLPR ビットが“1” (チャンネルストップモード) になります。その後、すべてのチャンネルが強制的にチャンネルストップモードへ遷移すると、グローバルストップモードになります。GSLPR ビットは、グローバル動作モードまたはグローバルテストモードでは書き換えないでください。

21.18.1.2 グローバルリセットモード

グローバルリセットモードで RS-CAN モジュールの設定を行います。グローバルリセットモードに遷移すると、一部のレジスタが初期化されます。表 21.292 と表 21.293 に初期化されるレジスタ一覧を示します。

RSCAN1GCTR レジスタの GMDC[1:0] ビットを“01_B”に設定すると、各 RSCAN1CmCTR レジスタ (m=6) の CHMDC[1:0] ビットが“01_B” (チャンネルリセットモード) になります。すべてのチャンネルが強制的にチャンネルリセットモードへ遷移すると、グローバルリセットモードになります。すでにチャンネルリセットモードまたはチャンネルストップモードであるチャンネルはモード遷移しません (CHMDC[1:0] ビットがすでに“01_B”に設定されているため)。

21.18.1.3 グローバルテストモード

グローバルテストモードでテスト関連レジスタの設定を行います。グローバルテストモードに遷移すると、すべてのCAN通信は停止します。

RSCAN1GCTR レジスタの GMDC[1:0] ビットを“10_B”に設定すると、各 RSCAN1CmCTR レジスタの CHMDC[1:0] ビットが“10_B” (チャンネル待機モード) になります。すべてのチャンネルが強制的にチャンネル待機モードへ遷移すると、グローバルテストモードになります。チャンネルストップモード、チャンネルリセットモード、またはチャンネル待機モードであるチャンネルは、モード遷移しません。

21.18.1.4 グローバル動作モード

グローバル動作モードではRS-CANモジュールが動作します。

RSCAN1GCTR レジスタの GMDC[1:0] ビットを“00_B”にすると、グローバル動作モードに遷移します。

21.18.2 チャネルモード

図 21.43 にチャネルモードの状態遷移図を示します。表 21.290 にチャネルモードの遷移時間を示します。

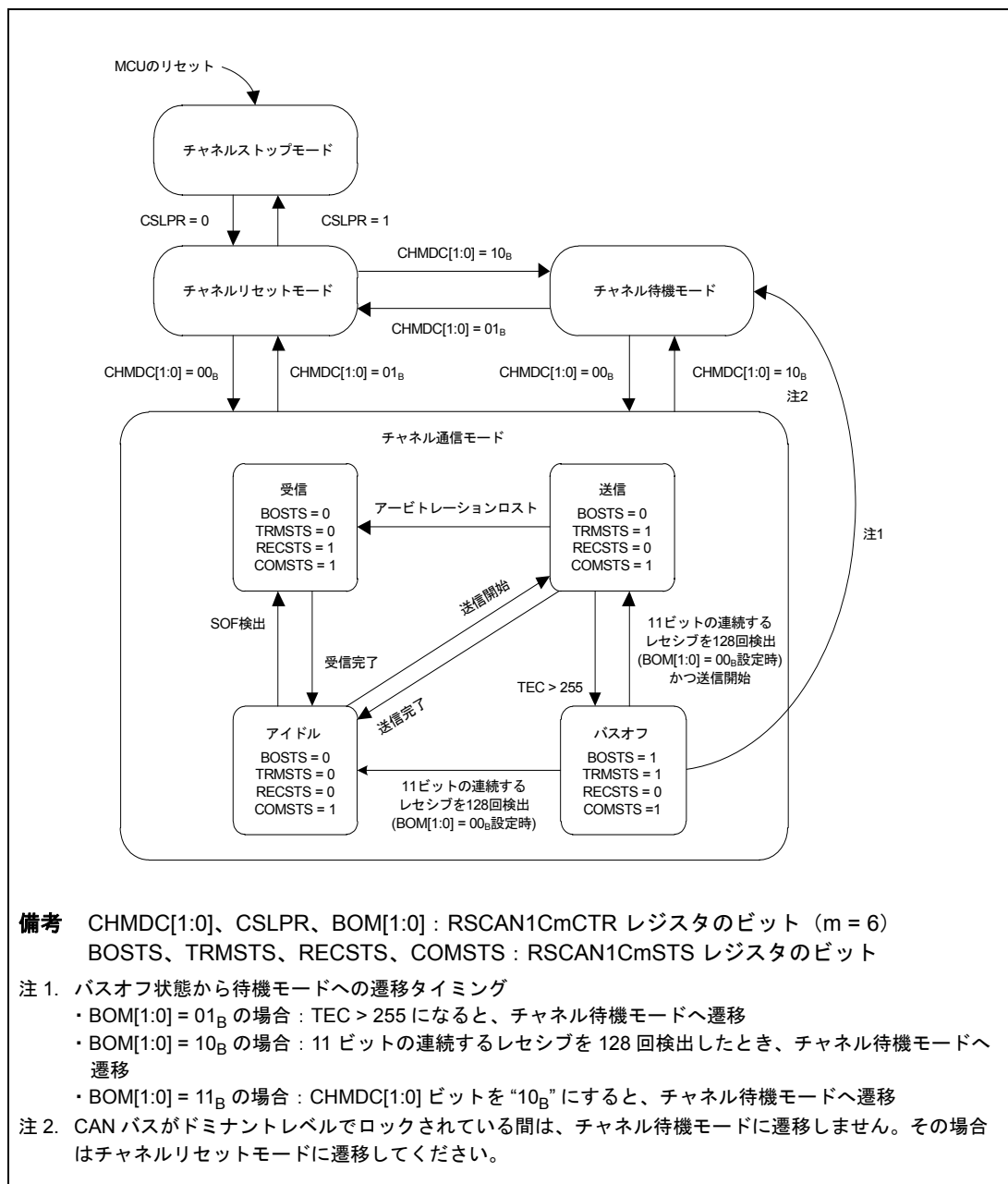


図 21.43 チャネルモードの状態遷移図

表 21.290 チャンネルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
チャンネルストップ	チャンネルリセット	pclk の 3 クロック
チャンネルリセット	チャンネルストップ	pclk の 3 クロック
チャンネルリセット	チャンネル待機	3CANm ビットタイム
チャンネルリセット	チャンネル通信	2CANm ビットタイム
チャンネル待機	チャンネルリセット	pclk の 3 クロック
チャンネル待機	チャンネル通信	3 CANm ビットタイム
チャンネル通信	チャンネルリセット	pclk の 3 クロック
チャンネル通信	チャンネル待機	CANm フレームの 2 つ分

21.18.2.1 チャンネルストップモード

チャンネルストップモードでは、チャンネルへ供給するクロックが停止するので、消費電力が低減されます。CAN 関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。

各チャンネルは、MCU のリセット後、チャンネルストップモードになります。また、チャンネルリセットモード時に、RSCAN1CmCTR レジスタ (m=6) の CSLPR ビットを“1” (チャンネルストップモード) にすると、チャンネルストップモードに遷移します。CSLPR ビットはチャンネル通信モードおよびチャンネル待機モードでは書き換えないでください。

21.18.2.2 チャンネルリセットモード

チャンネルリセットモードでチャンネルの設定を行います。チャンネルリセットモードに遷移すると、一部のチャンネル関連レジスタが初期化されます。表 21.292 に初期化されるレジスタ一覧を示します。

CAN 通信中に RSCAN1CmCTR レジスタの CHMDC[1:0] ビットを“01_B” (チャンネルリセットモード) にすると、送受信の完了を待たずに通信が中断され、チャンネルリセットモードへ遷移します。表 21.291 に CAN 通信中に CHMDC[1:0] ビットを“01_B” (チャンネルリセットモード) に設定したときの動作を示します。

21.18.2.3 チャンネル待機モード

チャンネル待機モードでチャンネルのテスト関連レジスタの設定を行います。チャンネル待機モードに遷移すると、チャンネルの CAN 通信は停止します。

表 21.291 に CAN 通信中に CHMDC[1:0] ビットを“10_B” (チャンネル待機モード) に設定したときの動作を示します。

表 21.291 チャネルリセット/チャネル待機モード遷移時の動作

モード	受信中	送信中	バスオフ状態
チャネルリセット (CHMDC[1:0] = "01 _B ")	受信の終了を待たずにチャネルリセットモードに遷移 ^{注1}	送信の終了を待たずにチャネルリセットモードに遷移 ^{注1}	バスオフ復帰の終了を待たずにチャネルリセットモードに遷移
チャネル待機 ^{注3} (CHMDC[1:0] = "10 _B ")	受信の終了を待ってチャネル待機モードに遷移 ^{注2}	送信の終了を待ってチャネル待機モードに遷移	<p>【BOM[1:0] ビットが "00_B" の場合】 バスオフ復帰後のみ、チャネル待機モード遷移 (CHMDC[1:0] = "10_B") が実行される</p> <p>【BOM[1:0] ビットが "01_B" の場合】 バスオフ状態への遷移条件が成立したときに自動的にチャネル待機モードに遷移</p> <p>【BOM[1:0] ビットが "10_B" の場合】 バスオフ復帰の終了を待って自動的にチャネル待機モードに遷移</p> <p>【BOM[1:0] ビットが "11_B" の場合】 CHMDC[1:0] ビットに "10_B" が設定されるとすぐにチャネル待機モードに遷移 (バスオフ復帰の終了は待たない)</p>

注 1. 通信が終了した後にチャネルリセットモードへ遷移するには、まず CHMDC[1:0] ビットを "10_B" に設定し、通信が終了しチャネル待機モードへ遷移したことを確認してから、CHMDC[1:0] ビットを "01_B" に設定してください。

注 2. CAN バスがドミナントレベルでロックされている間は、チャネル待機モードに遷移しません。その場合はチャネルリセットモードに遷移してください。ドミナントロックを検出すると RSCAN1CmERFL レジスタの BLF フラグが "1" になるので、CAN バスの状態を確認できます。

注 3. チャネルリセットモードからチャネル待機モードへ遷移する場合、チャネルリセットモードで RSCAN1CmCFG レジスタを設定してからチャネル待機モードへ遷移してください。

21.18.2.4 チャネル通信モード

チャネル通信モードで CAN 通信を行います。CAN 通信時、各チャネルは次に示す通信状態をとります。

- アイドル：受信も送信もしていない状態。
- 受信：他のノードから送られてきたメッセージを受信している状態。
- 送信：メッセージを送信している状態。
- バスオフ：CAN 通信から遮断されている状態。

RSCAN1CmCTR レジスタの CHMDC[1:0] ビットを "00_B" にすると、チャネル通信モードに遷移します。遷移後、11 ビットの連続するレセシブを検出すると、RSCAN1CmSTS レジスタ (m = 6) の COMSTS フラグが "1" (通信可能な状態) になり、CAN ネットワーク上でアクティブノードとして、送受信が許可されます。この時点で、メッセージの送受信が開始できるようになります。

21.18.2.5 バスオフ状態

CAN 仕様の送信、受信エラーカウンタの増減ルールに従ってバスオフ状態に遷移します。

バスオフ状態からの復帰条件は、RSCAN1CmCTR レジスタの BOM[1:0] ビットで設定します。

- BOM[1:0] ビットが "00_B" のとき：
CAN 仕様に準拠し、11 ビットの連続するレセシブを 128 回検出後に、バスオフ状態から CAN 通信可能な状態 (エラーアクティブ状態) に復帰します。そのとき、RSCAN1CmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットは "00_H" に初期化され、RSCAN1CmERFL レジスタの BORF フラグが "1" (バスオフ復帰検出) になり、バスオフ復帰割り込み要求が発生します。バスオフ状態で、RSCAN1CmCTR レジスタの

CHMDC[1:0] ビットを“10_B” (チャンネル待機モード) にすると、バスオフ復帰が完了 (11 ビットの連続するレセシブを 128 回検出) してからチャンネル待機モードに遷移します。

- BOM[1:0] ビットが“01_B”のとき：
バスオフ状態に遷移すると、CHMDC[1:0] ビットが“10_B”になり、チャンネル待機モードへ遷移します。そのとき、TEC[7:0] ビットと REC[7:0] ビットは“00_H”に初期化され、BORF フラグは“1”にならず、バスオフ復帰割り込み要求は発生しません。
- BOM[1:0] ビットが“10_B”のとき：
バスオフ状態に遷移すると、CHMDC[1:0] ビットが“10_B”になり、バスオフ復帰が完了 (11 ビットの連続するレセシブを 128 回検出) してからチャンネル待機モードに遷移します。そのとき、TEC[7:0] ビットと REC[7:0] ビットは“00_H”に初期化され、BORF フラグが“1”になり、バスオフ復帰割り込み要求が発生します。
- BOM[1:0] ビットが“11_B”のとき：
バスオフ状態時に、CHMDC[1:0] ビットを“10_B”にすると、バスオフ復帰を待たずにチャンネル待機モードに遷移します。そのとき、TEC[7:0] ビットと REC[7:0] ビットは“00_H”に初期化されます。BORF フラグは“1”になりません。またバスオフ復帰割り込み要求は発生しません。
ただし、CHMDC[1:0] ビットを“10_B”にする前に 11 ビットの連続するレセシブを 128 回検出し、エラーアクティブ状態に復帰した場合、BORF フラグが“1”になり、バスオフ復帰割り込み要求が発生します。

RS-CAN モジュールによるチャンネル待機モードへの遷移と、プログラムによる CHMDC[1:0] ビットへの書き込みが同時に発生した場合、プログラムによる書き込みが優先されます。BOM[1:0] ビットを“01_B”または“10_B”に設定した場合のチャンネル待機モードへの自動的な遷移は、CHMDC[1:0] ビットが“00_B” (チャンネル通信モード) のときのみ発生します。

また、RSCAN1CmCTR レジスタの RTBO ビットを“1”にすることで、バスオフ状態から強制的に復帰することができます。RTBO ビットに“1”を書くと、直ちにエラーアクティブ状態になり、11 ビットの連続するレセシブを検出後、通信可能な状態になります。この場合、BORF フラグは“1”になりません。TEC[7:0] ビットと REC[7:0] ビットは“00_H”に初期化されます。RTBO ビットは、BOM[1:0] ビットが“00_B”のときのみ“1”を書いてください。バスオフ状態以外で、RTBO ビットに“1”を書いても無視され、RTBO ビットは直ちに“0”になります。

表 21.292 グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスタ一覧

レジスタ	ビット/フラグ
RSCAN1CmCTR レジスタ	CTMS[1:0], CTME, CHMDC[1:0]
RSCAN1CmSTS レジスタ	CHLTSTS, EPSTS, BOSTS, TRMSTS, RECSTS, COMSTS, REC[7:0], TEC[7:0]
RSCAN1CmERFL レジスタ	CRCREG[14:0], ADERR, B0ERR, B1ERR, CERR, AERR, FERR, SERR, ALF, BLF, OVLF, BORF, BOEF, EPF, EWF, BEF
RSCAN1CFCK レジスタ	送受信 FIFO バッファが送信モード時: CFE
RSCAN1CFSTSk レジスタ	送受信 FIFO バッファが送信モード時: CFMC[7:0], CFFLL, CFEMP, CFMLT, CFRXIF, CFTXIF
RSCAN1CFTISTS レジスタ	CFkTXIF
RSCAN1TMCp レジスタ	TMOM, TMTAR, TMTR
RSCAN1TMSTSp レジスタ	TMTARM, TMTRM, TMTRF[1:0], TMTSTS
RSCAN1TMTRSTSy レジスタ	TMTRSTSp (チャネルリセットモード時は、対応するチャネルのビットが初期化される)
RSCAN1TMTARSTSy レジスタ	TMTARSTSp (チャネルリセットモード時は、対応するチャネルのビットが初期化される)
RSCAN1TMTCASTSy レジスタ	TMTCASTSp (チャネルリセットモード時は、対応するチャネルのビットが初期化される)
RSCAN1TMTASTSy レジスタ	TMTASTSp (チャネルリセットモード時は、対応するチャネルのビットが初期化される)
RSCAN1TXQCCm レジスタ	TXQE
RSCAN1TXQSTSm レジスタ	TXQIF, TXQFLL, TXQEMP
RSCAN1THLCCm レジスタ	THLE
RSCAN1THLSTSm レジスタ	THLMC[4:0], THLIF, THLELT, THLFLL, THLEMP
RSCAN1GTINTSTS0 レジスタ	TSIFi, TAIFi, TQIFi, CFTIFi, THIFi (i = 0)

表 21.293 グローバルリセットモードでのみ初期化されるレジスタ一覧

レジスタ	ビット/フラグ
RSCAN1GSTS レジスタ	GHLTSTS
RSCAN1GERFL レジスタ	THLES, MES, DEF
RSCAN1GTSC レジスタ	TS[15:0]
RSCAN1RMNDy レジスタ	RMNSq
RSCAN1RFCCx レジスタ	RFE
RSCAN1RFSTSx レジスタ	RFMC[7:0], RFIF, RFMLT, RFFLL, RFEMP
RSCAN1CFCCk レジスタ	送受信 FIFO が受信モード時 : CFE
RSCAN1CFSTSx レジスタ	送受信 FIFO バッファが受信モード時 : CFMC[7:0], CFFLL, CFEMP, CFTXIF, CFRXIF, CFMLT
RSCAN1FESTS レジスタ	CFkEMP, RFxEMP
RSCAN1FFSTS レジスタ	CFkFLL, RFxFLL
RSCAN1FMSTS レジスタ	CFkMLT, RFxMLT
RSCAN1RFISTS レジスタ	RFxIF
RSCAN1CFRISTS レジスタ	CFkRXIF
RSCAN1GTSTCFG レジスタ	RTMPS[6:0], C0ICBCE, C1ICBCE, C2ICBCE, C3ICBCE, C4ICBCE, C5ICBCE
RSCAN1GTSTCTR レジスタ	RTME, ICBCTME

21.19 受信機能

受信の種類には次の2つがあります。

- 受信バッファによる受信：
全チャンネルで共有する受信バッファは、0～16 バッファの範囲で使用できます。受信バッファに格納するメッセージは毎回上書きされるので、常に最新の受信データが読み出せます。
- 受信 FIFO バッファ、送受信 FIFO バッファ（受信モード）による受信：
全チャンネルで共有する受信 FIFO バッファが8本と、各チャンネル専用の送受信 FIFO バッファが1チャンネルにつき3本ずつあります。FIFO バッファには RFDC[2:0] ビット、CFDC[2:0] ビットで設定した段数までメッセージを保存することができ、古いメッセージから順次、読み出せます。

21.19.1 受信ルールテーブルを用いたデータ処理

受信ルールテーブルを用いたデータ処理により、選別したメッセージを指定のバッファに格納することができます。データ処理には、アクセプタンスフィルタ処理、DLC フィルタ処理、ルーティング処理、ラベル付加処理、ミラー機能の処理があります。

登録できる受信ルール数は1チャンネルにつき最大128で、ユニット全体では、64×ユニットチャンネル数となります（本モジュールは1チャンネル搭載しているため、最大64ルール登録できます）。受信ルールは各チャンネルごとに設定してください。他のチャンネルと共用できません。受信ルールを設定しない場合は、メッセージを受信できません。図21.44に受信ルール登録の説明図を示します。

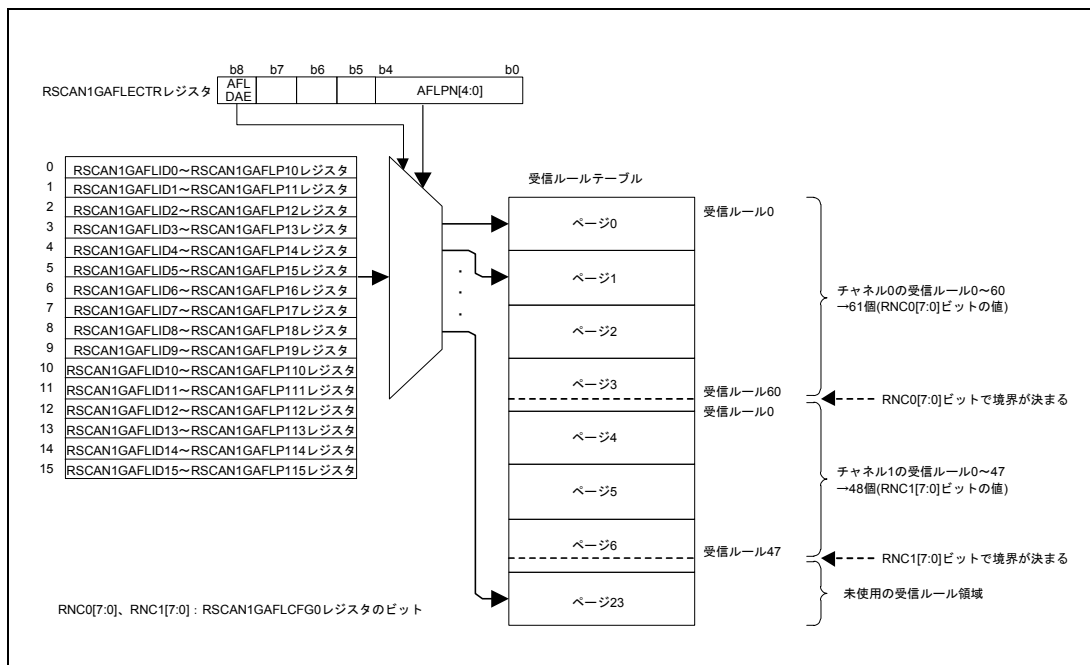


図 21.44 受信ルール登録（チャンネル0,1を設定する場合）

注意

各チャンネルの受信ルールは、連続して設定してください。
チャンネル0の受信ルールとチャンネル1の受信ルールを交互に設定することはできません。

各受信ルールは RSCAN1GAFLIDj、RSCAN1GAFLMj、RSCAN1GAFLP0j、RSCAN1GAFLP1j レジスタ (j=0~15) の 16 バイトで構成されています。RSCAN1GAFLIDj レジスタでは GAFLID、GAFLIDE ビット、GAFLRTR ビット、ミラー機能の設定、RSCAN1GAFLMj レジスタではマスク設定、RSCAN1GAFLP0j レジスタでは付加するラベル情報、DLC 値、格納先受信バッファの設定、RSCAN1GAFLP1j レジスタは格納先 FIFO バッファの設定を行います。1 ページあたり 16 個の受信ルールを設定できます。

21.19.1.1 アクセプタンスフィルタ処理

アクセプタンスフィルタ処理では、受信メッセージの ID データ、IDE ビット、RTR ビットが、対応するチャンネルの受信ルールに設定した ID データ、IDE ビット、RTR ビットと比較されます。すべてのビットが一致すると、アクセプタンスフィルタ処理を通過します。RSCAN1GAFLMj レジスタで“0” (ビットを比較しない) にしたビットに対応する受信メッセージの ID データ、IDE ビット、RTR ビットは、比較されずに一致したとみなします。

対応するチャンネルの一番小さい番号の受信ルールからチェックを開始します。受信メッセージの比較対象ビットが受信ルールとすべて一致したとき、または一致する受信ルールがないまますべてのチェックを終了したとき、フィルタ処理は停止します。一致する受信ルールがない場合は、受信バッファや FIFO バッファに格納されません。

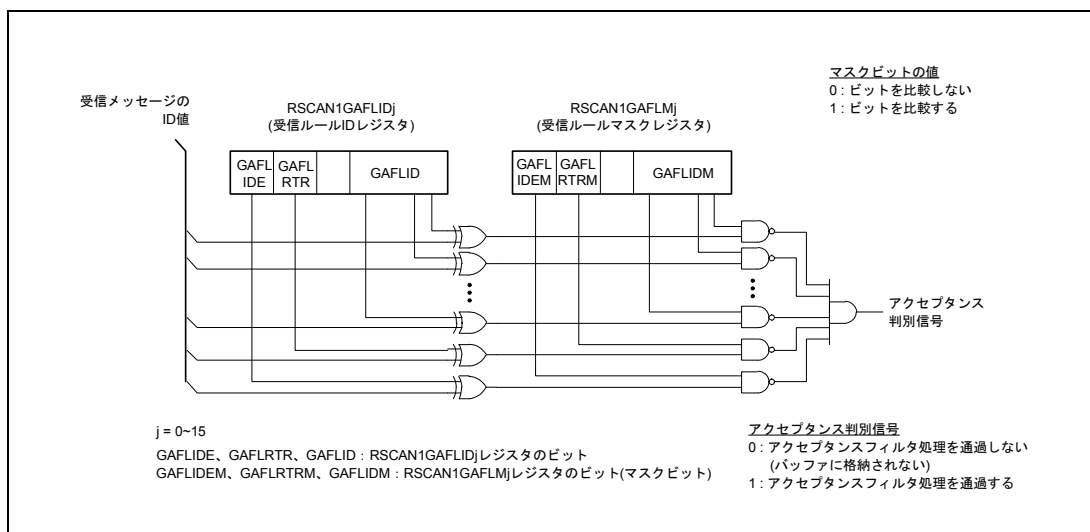


図 21.45 アクセプタンスフィルタ機能

21.19.1.2 DLC フィルタ処理

RSCAN1GCFG レジスタの DCE ビットを“1” (DLC チェック許可) にすると、アクセプタンスフィルタ処理を通過したメッセージに対して DLC フィルタ処理が行われます。メッセージの DLC 値が受信ルールに設定した DLC 値以上の場合、DLC フィルタ処理を通過します。

RSCAN1GCFG レジスタの DRE ビットが“0” (DLC 置換禁止) で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値がバッファに格納されます。この場合、受信メッセージのすべてのデータバイトがバッファに格納されます。

RSCAN1GCFG レジスタの DRE ビットが“1” (DLC 置換許可) で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには“00_H”が格納されます。

受信メッセージの DLC 値が受信ルールの DLC 値より小さい場合は、DLC フィルタ処理を通過しません。この場合、メッセージは受信バッファや FIFO バッファに格納されず、RSCAN1GERFL レジスタの DEF フラグが“1” (DLC エラー) となります。

21.19.1.3 ルーティング処理

アクセプタンスフィルタ処理と DLC フィルタ処理を通過したメッセージは、受信バッファ、受信 FIFO バッファ、または受信モードに設定した送受信 FIFO バッファに格納されます。メッセージ格納先は、RSCAN1GAFLP0j レジスタ (j=0~15) の GAFLRMV ビット、GAFLRMDP[6:0] ビット、RSCAN1GAFLP1j レジスタで設定します。フィルタ処理を通過したメッセージは最大 8 つのバッファに格納することができます。

21.19.1.4 ラベル付加処理

フィルタ処理を通過したメッセージに 12 ビットのラベル情報を添付し、バッファに格納することができます。ラベル情報は、RSCAN1GAFLP0j レジスタの GAFLPTR[11:0] ビットに設定します。

21.19.1.5 ミラー機能の処理

ミラー機能を使用すると、自らが送信したメッセージを受信することができます。ミラー機能は、RSCAN1GCFG レジスタの MME ビットを“1” (ミラー機能許可) にすることで使用可能になります。

ミラー機能使用時、他の CAN ノードが送信したメッセージを受信するときは、RSCAN1GAFLIDj レジスタの GAFLLB ビットを“0”にした受信ルールがデータ処理に使用されます。自らが送信したメッセージを受信するときは、GAFLLB ビットを“1”にした受信ルールがデータ処理に使用されます。

21.19.1.6 タイムスタンプ

タイムスタンプカウンタは、メッセージの受信時間を記録するために使用する 16 ビットのフリーランカウンタです。タイムスタンプカウンタ値は、メッセージの SOF (スタートオブフレーム) のタイミングで取り込まれ、メッセージ ID やデータとともに、受信バッファや FIFO バッファに格納されます。タイムスタンプカウンタのクロック源は、RSCAN1GCFG レジスタの TSBTCS[2:0]、TSSS ビットで、pclk/2 または CANm ビットタイムクロック (m=6) から選択できます。選択したクロック源を RSCAN1GCFG レジスタの TSP[3:0] ビットで分周したクロックが、タイムスタンプカウンタのカウントソースになります。

CANm ビットタイムクロックをクロック源として使用する場合、対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードに遷移すると、タイムスタンプカウンタが停止します。pclk/2 をクロック源として使用する場合、タイムスタンプ機能はチャンネルモードに影響されません。

タイムスタンプカウンタ値は RSCAN1GCTR レジスタの TSRST ビットを“1”にすると、“0000_H”にリセットされます。

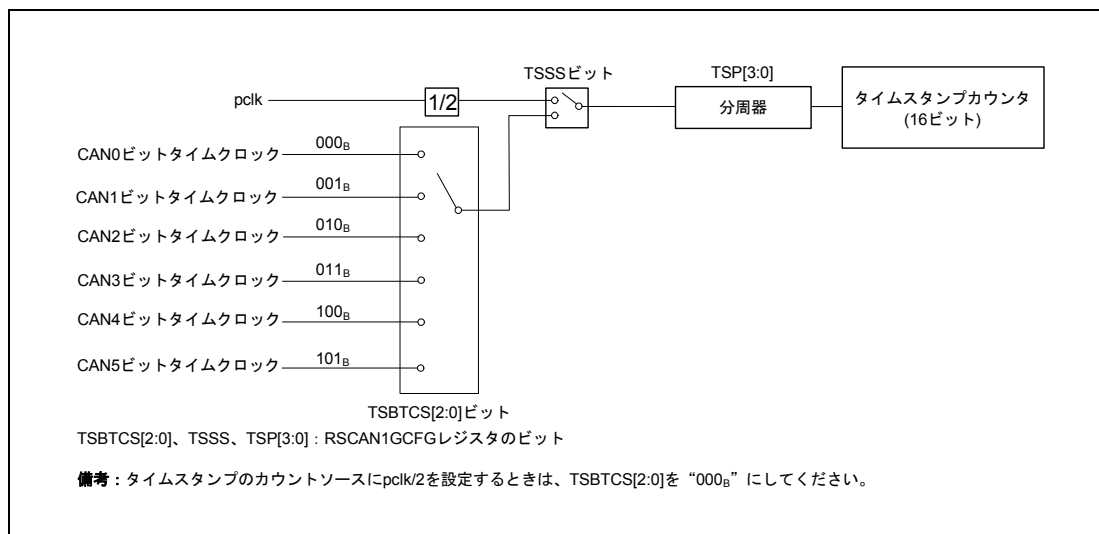


図 21.46 タイムスタンプ機能のブロック図

21.20 送信機能

送信の種類には、次の3つがあります。

- 送信バッファによる送信：
1チャンネルにつき16バッファあります。
- 送受信FIFOバッファ（送信モード）による送信：
1チャンネルにつき3本ずつあります。1本のFIFOバッファに最大128メッセージ格納できます。送信バッファにリンクさせて使用します。FIFOバッファ内で、次に送信予定のメッセージのみ送信の優先順位判定の対象となります。メッセージは格納順に送信されます。
- 送信キューによる送信：
1チャンネルにつき最大16の送信バッファを送信キューに割り付けできます。送信バッファ(16×i)+15が対応するチャンネルのアクセスウィンドウとして使用します。バッファ番号の大きい方から順に、送信キューに割り付けられます。すべての送信キュー内のメッセージは優先順位判定の対象となり、ID順に送信されます。

図 21.47 に送信キューの割り付けと送受信FIFOバッファのリンクを示します。

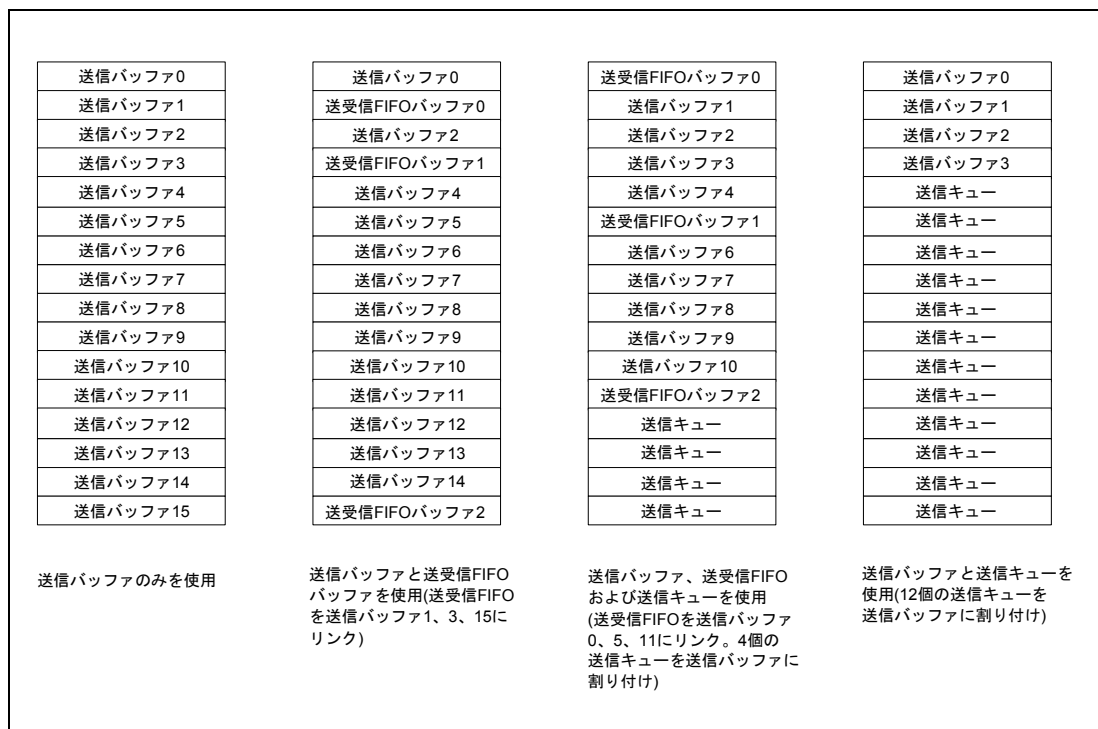


図 21.47 送信キューの割り付けと送受信FIFOバッファのリンク

21.20.1 送信の優先順位判定

同一チャネル内で複数のバッファやキューから送信要求が出された場合、送信の優先順位を判定します。

判定方法は次の2つから選択することができます。

- ID 優先 (TPRI ビットが“0”)
- 送信バッファ番号優先 (TPRI ビットが“1”)

RSCAN1GCFG レジスタの TPRI ビットの設定は、すべての CAN チャネルで有効です。

TPRI ビットを“0”にした場合、格納したメッセージ ID の優先順位に基づいてメッセージが送信されます。ID の優先順位は CAN 仕様に規定されている CAN バスアービトレーション規定に準拠します。送信バッファ、送信モードに設定した送受信 FIFO バッファ、および送信キューに格納したメッセージの ID が判定対象になります。送信キューを使用している場合は、ID 優先を選択してください。送受信 FIFO バッファの場合は、FIFO 内の最も古いメッセージが優先順位判定の対象になります。メッセージが送受信 FIFO バッファから送信中の場合、同じ FIFO バッファにある次のメッセージが優先順位判定の対象になります。送信キューの場合は、送信キュー内のすべてのメッセージが優先順位判定の対象になります。2つ以上のバッファに同じ ID が設定されている場合は、より小さい番号のバッファが優先されます。

TPRI ビットを“1”にした場合、送信要求があるバッファの中で、最も小さいバッファ番号の送信バッファのメッセージが最初に送信されます。送受信 FIFO バッファが送信バッファにリンクしている場合は、リンク先の送信バッファ番号で判定されます。

TPRI ビットの設定にかかわらず、アービトレーションロストまたはエラーが発生し、再送信される場合、送信の優先順位判定が再度実行されます。

21.20.2 送信バッファを用いた送信

送信バッファの送信要求ビット (RSCAN1TMCp レジスタの TMTR ビット) を“1” (送信を要求する) にすると、データフレームまたはリモートフレームを送信することができます。

送信結果は、対応する RSCAN1TMSTSp レジスタ ($p=0 \sim i \times 16 + 15$) の TMTRF[1:0] フラグで確認します。送信が成功すると、TMTRF[1:0] フラグは“10_B” (送信完了: 送信アボート要求なし) または“11_B” (送信完了: 送信アボート要求あり) になります。

21.20.2.1 送信アボート機能

RSCAN1TMSTSp レジスタの TMTRM ビットが“1” (送信要求あり) である送信バッファにおいて、RSCAN1TMCp レジスタの TMTAR ビットを“1” (送信アボートを要求する) にすると、送信要求が取り消されます。送信アボートが完了すると、RSCAN1TMSTSp レジスタの TMTRF[1:0] フラグが“01_B” (送信アボート完了) になり、送信要求が取り消されます (TMTRM ビットが“0”になる)。

送信中のメッセージまたは送信の優先順位判定で次の送信に決定しているメッセージはアボートできません。ただし、TMTAR ビットを“1”にしたメッセージを送信中にアービトレーションロストまたはエラーが発生した場合、再送信は行いません。

21.20.2.2 ワンショット送信機能 (再送信禁止機能)

RSCAN1TMCp レジスタの TMOM ビットを“1” (ワンショット送信許可) にすると、1 回だけ送信を行います。アービトレーションロストまたはエラーが発生しても、再送信は行いません。

ワンショット送信の結果は、対応する RSCAN1TMSTSp レジスタの TMTRF[1:0] フラグで確認します。ワンショット送信が成功すると、TMTRF[1:0] フラグは“10_B”または“11_B”になります。アービトラクションロストまたはエラーが発生した場合、TMTRF[1:0] フラグは“01_B”（送信アボート完了）になります。

21.20.3 FIFO バッファによる送信

1本の送受信 FIFO バッファに、RSCAN1FCCK レジスタ ($k=0 \sim i \times 3 + 2$) の CFDC[2:0] ビットで設定した段数分のメッセージを格納できます。一番最初に格納したメッセージから順に送信されます。

送受信 FIFO バッファは、RSCAN1FCCK レジスタの CFTML[3:0] ビットで選択した送信バッファにリンクされます。RSCAN1FCCK レジスタの CFE ビットを“1”（送受信 FIFO バッファを使用する）にすると、送信の優先順位判定の対象になります。FIFO バッファ内で、次に送信予定のメッセージに対してのみ優先順位判定を実施します。

CFE ビットを“0”（送受信 FIFO バッファを使用しない）にすると、次に示すタイミングで CFEMP フラグが“1”（送受信 FIFO バッファ空）になります。

- 送受信 FIFO バッファのメッセージが送信中でなく、次の送信に決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトラクションロストの後に、空になります。

CFE ビットを“0”にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを“1”にする前に、CFEMP フラグが“1”になったことを確認してください。

21.20.3.1 インターバル送信機能

送信モードに設定した送受信 FIFO バッファを使用時に、同一 FIFO バッファからメッセージを送信する場合、メッセージ送信間のインターバル時間を設定できます。

RSCAN1FCCK レジスタの CFE ビットを“1”にし、最初のメッセージが FIFO バッファから正常に送信された後、インターバルタイマはカウントを開始します（CAN プロトコルの EOF7 の後）。その後インターバル時間が経過すると、次のメッセージが送信されます。インターバルタイマは、CFE ビットを“0”にしたとき、またはチャンネルリセットモード時、停止します。

インターバル時間は RSCAN1FCCK レジスタの CFITT[7:0] ビットで設定します。インターバルタイマを使用しない場合は、CFITT[7:0] ビットに“00_H”を設定してください。

RSCAN1FCCK レジスタの CFITR、CFITSS ビットで、インターバルタイマのカウントソースを選択します。CFITR、CFITSS ビットを“00_B”にすると pclk/2 を RSCAN1GCFG レジスタの ITRCP[15:0] ビットの値で分周したクロック、“10_B”にすると pclk/2 を ITRCP[15:0] ビットの値 ×10 で分周したクロック、“x1_B”にすると CANm ビットタイムクロックがカウントソースになります。

ITRCP[15:0] ビットの設定値を M、CFITT[7:0] ビットの値を N とすると、インターバル時間は次の式で求められます。

- CFITR、CFITSS ビットが“00_B”の場合（fPBA は pclk の周波数）：

$$\frac{1}{f_{PBA}} \times 2 \times M \times N$$

- CFITR、CFITSS ビットが “10_B” の場合 :

$$\frac{1}{f_{PBA}} \times 2 \times M \times 10 \times N$$

- CFITR、CFITSS ビットが “x1_B” の場合 (fCANBIT は CANm ビットタイムクロックの周波数) :

$$\frac{1}{f_{CANBIT}} \times N$$

図 21.48 にインターバルタイマのブロック図を示します。

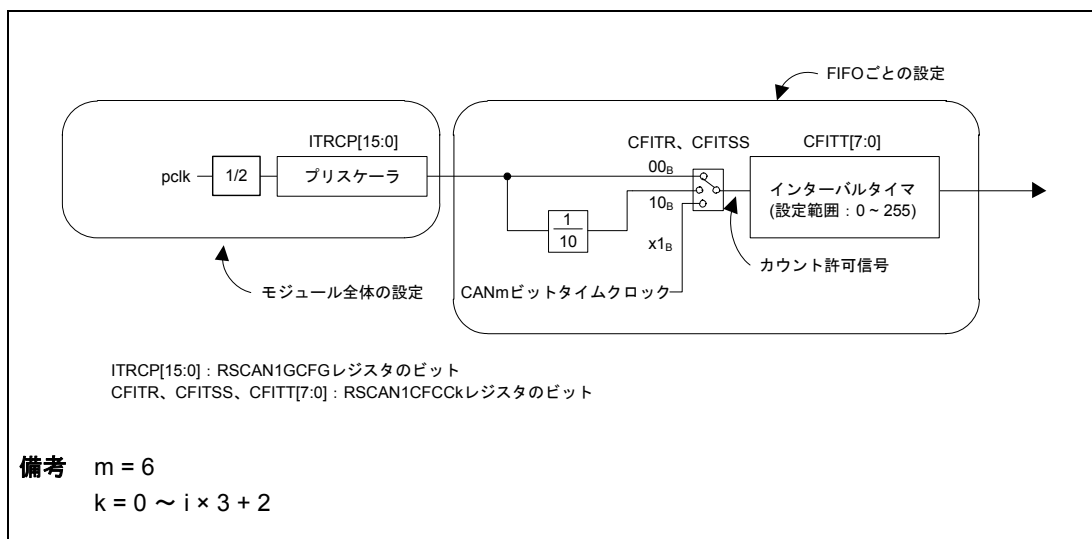


図 21.48 インターバルタイマのブロック図

図 21.49 にインターバルタイマのタイミング図を示します。

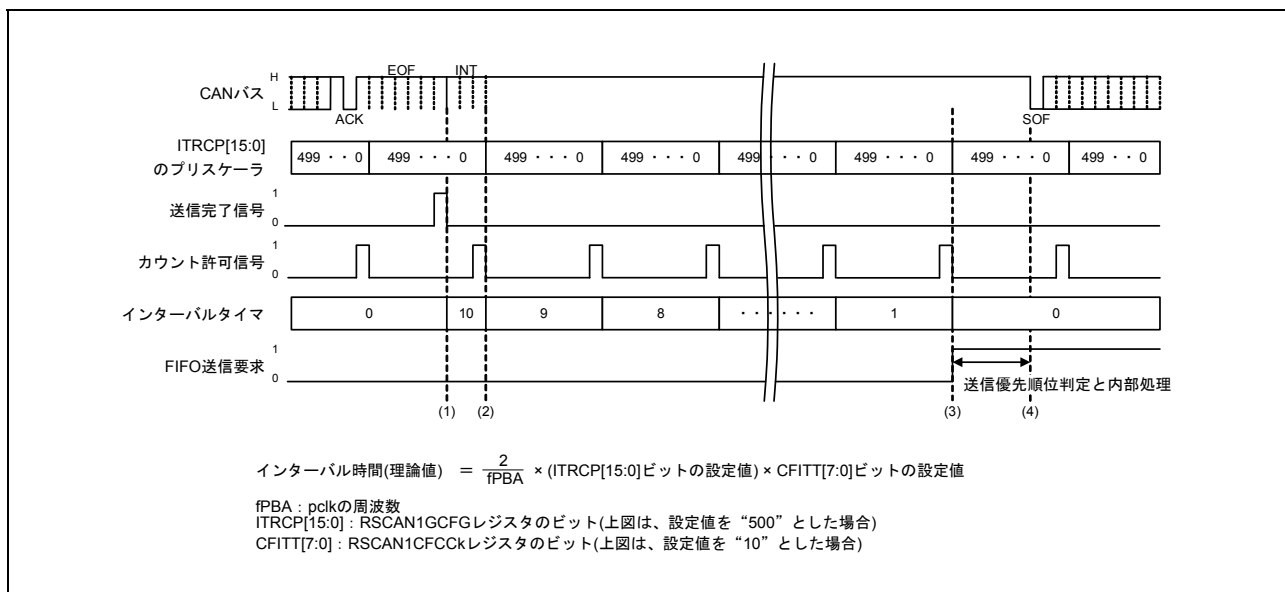


図 21.49 インターバルタイマのタイミング図

- (1) 送信が完了するとインターバルタイマがカウントを開始します。送信が完了したタイミングでプリスケアラが初期化されないため、最初のインターバル時間は、最大でインターバルタイマの1カウント分の誤差が発生します。
- (2) 次のカウント許可信号で、インターバルタイマは“1”減算されます。
- (3) インターバルタイマが“0”になると、送受信 FIFO バッファから送信要求が出されず。
- (4) 優先順位判定で送受信 FIFO バッファが次の送信に決まると、送信を開始します。送信要求が出されてから送信を開始するまで、通常 CANm ビットタイムクロックの3クロック以下の遅延で、送信を開始します。受信フィルタ処理、メッセージのルーティング、送信優先順位判定など複数の内部処理がすべてのチャンネルで発生すると、最大で pclk の 348 クロック分遅延する場合があります。

21.20.4 送信キューによる送信

送信キューは1チャンネルごとに3～16バッファまで割り付けられ、送信バッファ (16×i) + 15 が対応するチャンネルのアクセスウィンドウになります。

送信キュー内のすべてのメッセージが送信の優先順位判定の対象となり、格納した順番にかかわらず、ID 優先順に送信されます。2つの同じ ID を持つメッセージが送信キューに格納された場合、これらのメッセージが送信される順番は、送信キューに格納した順番と異なる場合があります。

RSCAN1TXQCCm レジスタの TXQE ビットを“0”にすると、送信キューが使用不可になります。TXQE ビットを“0”にするとき、次に示すタイミングで RSCAN1TXQSTSm レジスタの TXQEMP フラグは“1” (送信キュー空) になります。

- 送信キューのメッセージが送信中でなく、次の送信にも決定していない場合、直ちに空になります。
- 送信キューのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

TXQE ビットを“0”にすると、送信キューのすべてのメッセージは失われ、送信キューにメッセージを格納できなくなります。再度 TXQE ビットを“1”にする前に、TXQEMP フラグが“1”になったことを確認してください。

21.20.5 送信履歴機能

送信完了したメッセージの情報を送信履歴バッファに格納できます。各チャンネルごとに1つの送信履歴バッファを持ち、送信履歴バッファには16個の送信履歴データを格納できます。

RSCAN1THLCCm レジスタの THLDTE ビットで、メッセージ送信元のバッファの種類が選択できます。RSCAN1CFIDk レジスタ ($k=0 \sim i \times 3 + 2$) の THLEN ビットで、メッセージごとに送信履歴データを格納するかどうかを設定できます。

送信が成功した後に、次に示す送信メッセージの情報が送信履歴データとして送信履歴バッファへ格納されます。

送信が成功してから送信履歴データが格納されるまで、最大で pclk の 123 クロック分遅延する場合があります。

- バッファタイプ 001_B: 送信バッファ
 010_B: 送受信 FIFO バッファ
 100_B: 送信キュー
- バッファ番号 送信元の送信バッファ、送信キュー、または送受信 FIFO バッファの番号。これはバッファタイプに依存します。**表 21.294** を参照してください。
- ラベルデータ 送信メッセージのラベル情報

表 21.294 送信履歴データのバッファ番号

バッファタイプ バッファ番号	001 _B	010 _B	100 _B
0000 _B	送信バッファ $16 \times i + 0$	RSCAN1CFCCk レジスタの CFTML[3:0] ビットで送受信 FIFO バッファにリンクさせた送信バッファの番号 ($k=0 \sim i \times 3 + 2$)	送信を行った送信キューに割り付けられた送信バッファの番号
0001 _B	送信バッファ $16 \times i + 1$		
0010 _B	送信バッファ $16 \times i + 2$		
0011 _B	送信バッファ $16 \times i + 3$		
0100 _B	送信バッファ $16 \times i + 4$		
0101 _B	送信バッファ $16 \times i + 5$		
0110 _B	送信バッファ $16 \times i + 6$		
0111 _B	送信バッファ $16 \times i + 7$		
1000 _B	送信バッファ $16 \times i + 8$		
1001 _B	送信バッファ $16 \times i + 9$		
1010 _B	送信バッファ $16 \times i + 10$		
1011 _B	送信バッファ $16 \times i + 11$		
1100 _B	送信バッファ $16 \times i + 12$		
1101 _B	送信バッファ $16 \times i + 13$		
1110 _B	送信バッファ $16 \times i + 14$		
1111 _B	送信バッファ $16 \times i + 15$		

ラベルデータは、メッセージを特定するために使用します。送信バッファ、送信キュー、送受信 FIFO バッファから送信するメッセージに、固有のラベルデータを付加することができます。

送信履歴データは、RSCAN1THLACCm レジスタから読み出せます。バッファがフルの場合に、新しい送信履歴データを格納しようとする、バッファがオーバフローし、新しいデータは破棄されます。

21.21 テスト機能

テスト機能は、通信テストとグローバルテストの2つに分類できます。

- 通信テスト: チャンネルごとに行うテスト
 - 標準テストモード
 - リッスンオンリモード
 - セルフテストモード0 (外部ループバックモード)
 - セルフテストモード1 (内部ループバックモード)
- グローバルテスト: モジュール全体で行うテスト
 - RAM テスト (読み書きテスト)

21.21.1 標準テストモード

標準テストモードでは、CRC テストを行うことができます。

21.21.2 リッスンオンリモード

リッスンオンリモードでは、データフレームとリモートフレームを受信できます。CAN バス上にはレセシブビットのみが送信され、ACK ビット、オーバーロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、通信速度の検出に使用できます。

リッスンオンリモードでは、どのバッファやキューからも送信要求をしないでください。

図 21.50 にリッスンオンリモード選択時の接続を示します。

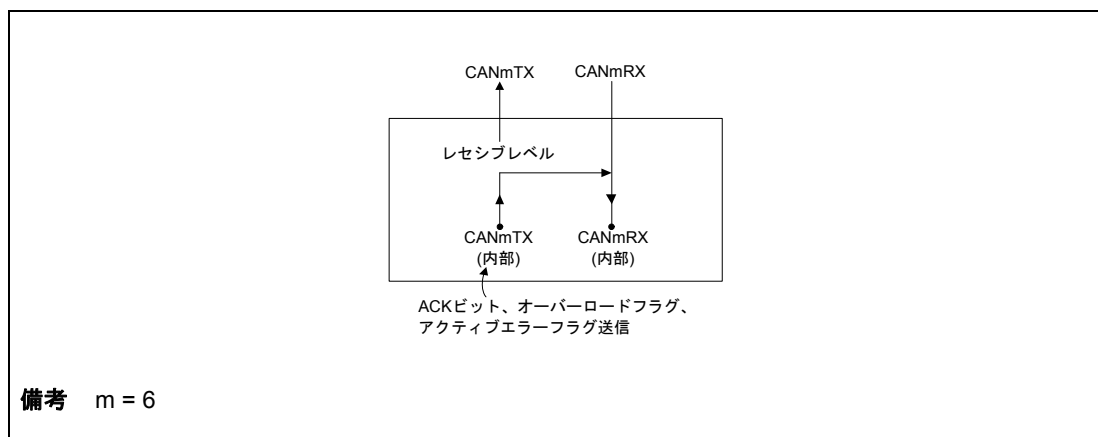


図 21.50 リッスンオンリモード選択時の接続

21.21.3 セルフテストモード (ループバックモード)

セルフテストモードでは、送信したメッセージを自チャネルの受信ルールと比較し、フィルタ処理を通過するとバッファに格納されます。他の CAN ノードが送信したメッセージは、RSCAN1GAFLIDj レジスタ (j=0~15) の GAFLLB ビットを“0” (他の CAN ノードが送信したメッセージを受信時) にした受信ルールとのみ比較されます。

ミラー機能とセルフテストモードが同時に許可された場合、セルフテストモードの設定が優先されます。

21.21.3.1 セルフテストモード 0 (外部ループバックモード)

セルフテストモード 0 は CAN トランシーバを含めたチャネルのループバックテストを行います。

セルフテストモード 0 では、送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACK ビットを生成します。

図 21.51 にセルフテストモード 0 選択時の接続を示します。

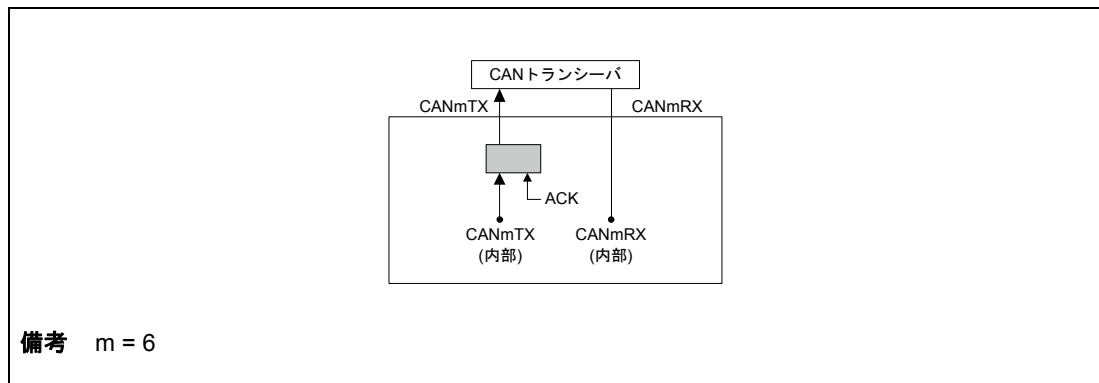


図 21.51 セルフテストモード 0 選択時の接続

21.21.3.2 セルフテストモード 1 (内部ループバックモード)

セルフテストモード 1 では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACK ビットを生成します。

セルフテストモード 1 では内部 CANmTX 端子 (m=6) から内部 CANmRX 端子への内部フィードバックを行います。外部 CANmRX 端子の入力は、切り離されます。外部 CANmTX 端子はレセシブビットのみ出力します。

図 21.52 にセルフテストモード 1 選択時の接続を示します。

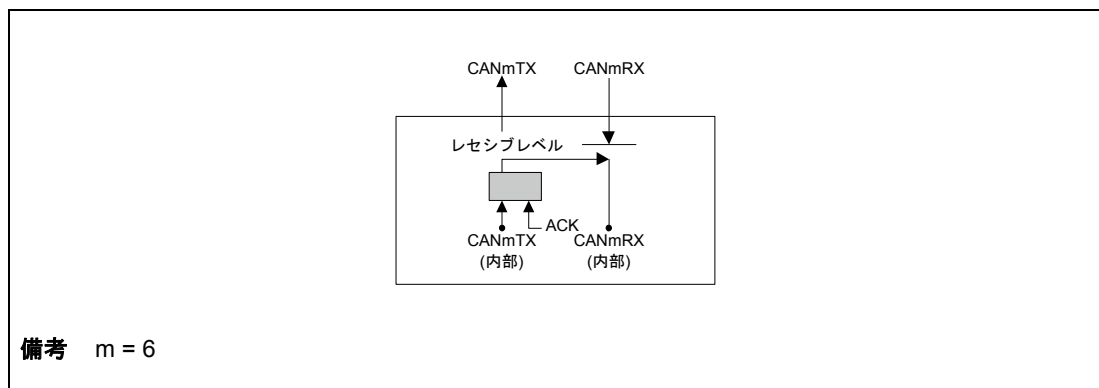


図 21.52 セルフテストモード1 選択時の接続

21.21.4 RAM テスト

RAM テスト機能を使用すると、CAN 用 RAM 全体にアクセスすることができます。

RAM テスト機能使用時、RAM は 256 バイトごとのページに分けられます。ページは RSCAN1GTSTCFG レジスタの RTMPS[6:0] ビットで設定し、ページ内のデータは RSCAN1RPGACCr レジスタ (r=0~63) から読み出し/書き込みができます。有効な総 RAM サイズは、7296 バイト (1C80_H) です。

21.22 RS-CAN の設定手順

21.22.1 初期設定

MCUのリセット後にRS-CANモジュールはCAN用RAMの初期化を行います。RAMの初期化時間は、pclkの3650サイクルです。

RAMの初期化中は、RSCAN1GSTSレジスタのGRAMINITフラグが“1”（CAN用RAMクリア中）になり、初期化が終了すると“0”（CAN用RAMクリア完了）になります。

GRAMINITフラグが“0”になった後にCANの設定を行ってください。図 21.53 に MCU のリセット後の設定手順を示します。

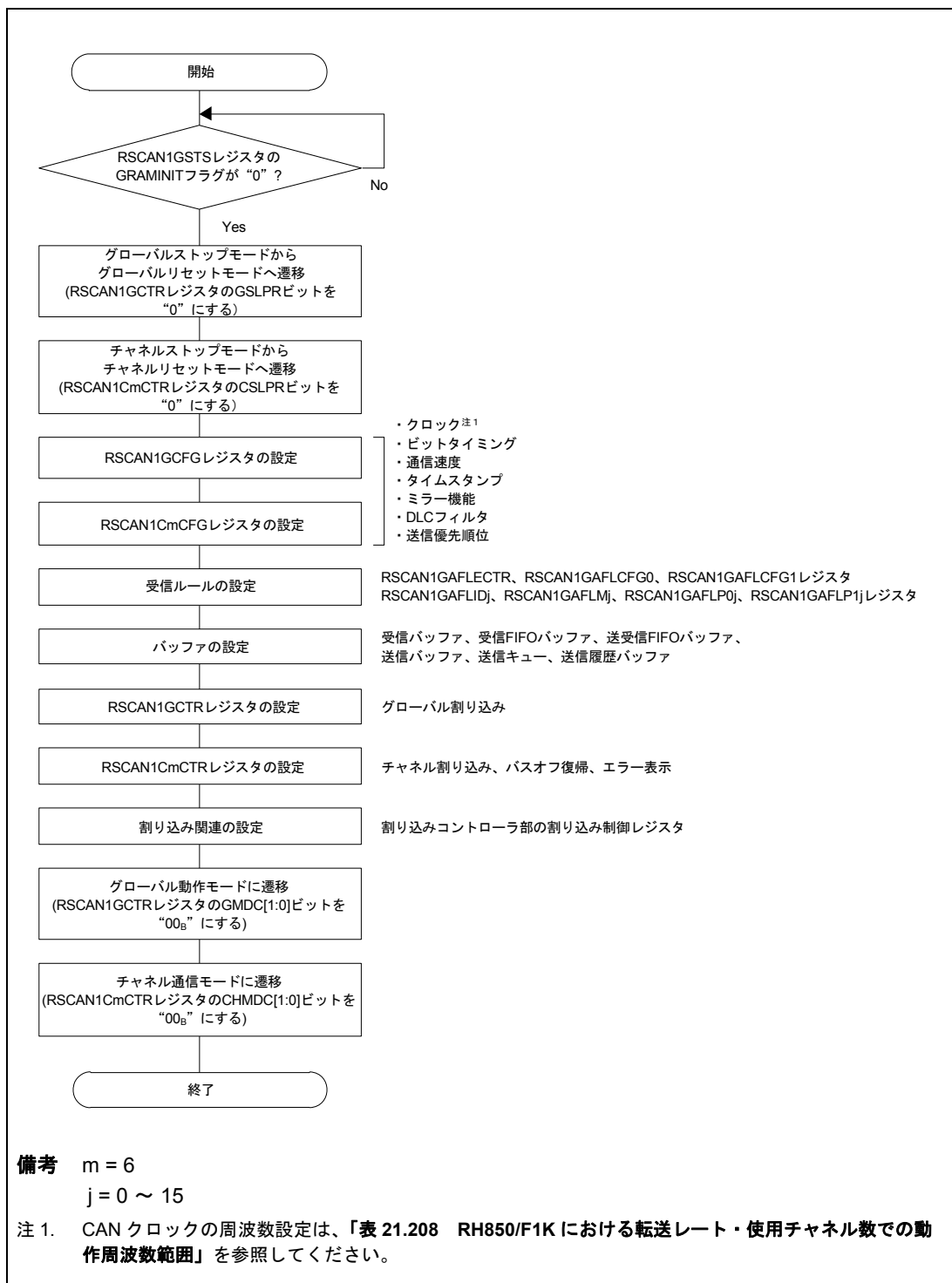


図 21.53 MCUのリセット後の設定手順

21.22.1.1 クロックの設定

RS-CAN モジュールのクロック源である CAN クロック (fCAN) を設定します。
RSCAN1GCFG レジスタの DCS ビットで、clk_c、または clk_xincan を選択します。

21.22.1.2 ビットタイミングの設定

CAN プロトコルでは、通信フレームの 1 ビットは SS、TSEG1、TSEG2 の 3 つのセグメントで構成されます。このうち、TSEG1 および TSEG2 の 2 つのセグメントをチャンネルごとに RSCAN1CmCFG レジスタで設定できます。2 つのセグメントを設定することで、サンプルポイントのタイミングを決めます。このタイミングは 1 Time Quantum (以下 Tq) 単位で調整できます。1Tq は、RSCAN1GCFG レジスタの DCS ビットで選択したクロックを RSCAN1CmCFG レジスタの BRP[9:0] ビットで分周したクロック (CANmTq クロック) の周期になります。

図 21.54 にビットタイミング図を示します。表 21.295 にビットタイミングの設定例を示します。

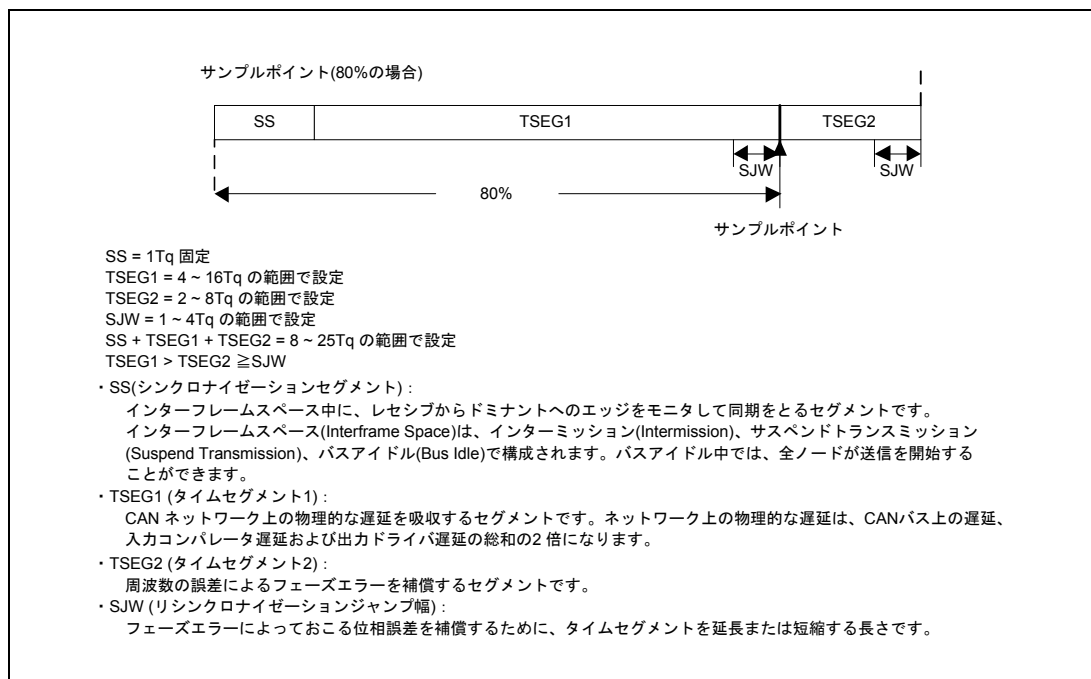


図 21.54 ビットタイミング図

表 21.295 ビットタイミングの設定例

1 ビット	設定値 (Tq)				サンプルポイント (%) ※ 図 21.54 を参照
	SS	TSEG1	TSEG2	SJW	
8Tq	1	4	3	1	62.50
	1	5	2	1	75.00
10Tq	1	6	3	1	70.00
	1	7	2	1	80.00
16Tq	1	10	5	1	68.75
	1	11	4	1	75.00
20Tq	1	12	7	1	65.00
	1	13	6	1	70.00

21.22.1.3 通信速度の設定

CANの通信速度は、fCAN、ボーレートプリスケアラ分周値（RSCAN1CmCFGレジスタのBRP[9:0]ビット）、および1ビットタイムのTq数を用いてチャンネルごとに設定します。

図 21.55 に CAN クロック制御ブロック図、表 21.296 に通信速度の設定例を示します。

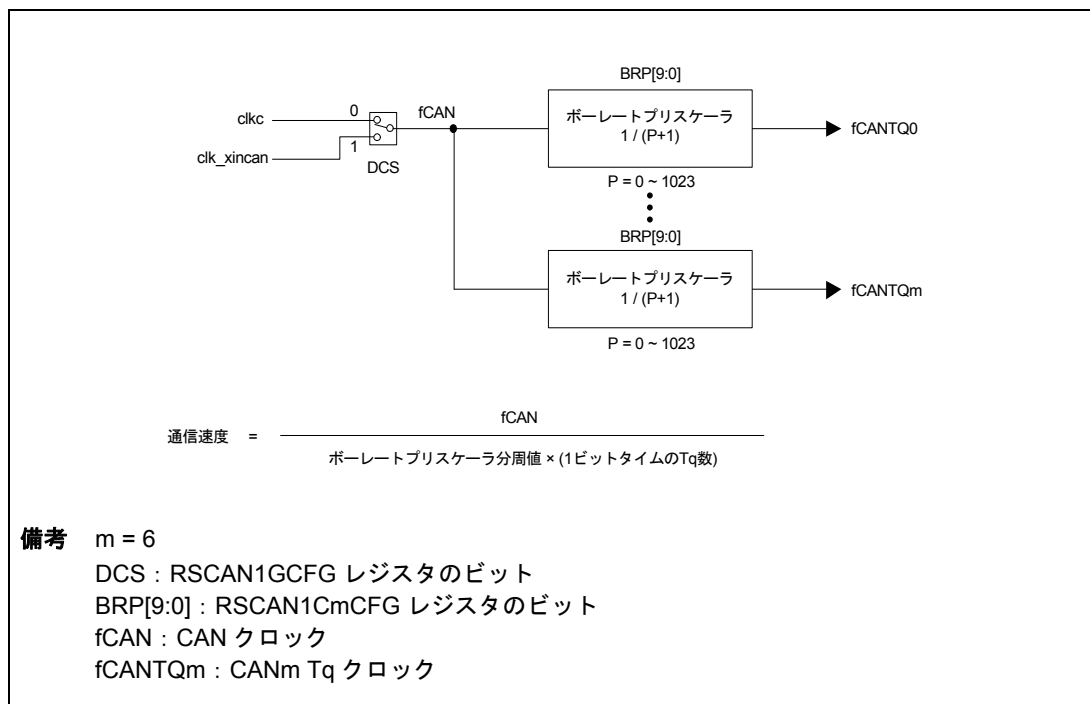


図 21.55 CAN クロック制御ブロック図

表 21.296 通信速度の設定例

fCAN \ 通信速度	40MHz	32MHz	24MHz	16MHz	8MHz
1Mbps	8Tq (5) 20Tq (2)	8Tq (4) 16Tq (2)	8Tq (3) 12Tq (2) 24Tq (1)	8Tq (2) 16Tq (1)	8Tq (1)
500Kbps	8Tq (10) 20Tq (4)	8Tq (8) 16Tq (4)	8Tq (6) 12Tq (4) 24Tq (2)	8Tq (4) 16Tq (2)	8Tq (2) 16Tq (1)
250Kbps	8Tq (20) 20Tq (8)	8Tq (16) 16Tq (8)	8Tq (12) 12Tq (8) 24Tq (4)	8Tq (8) 16Tq (4)	8Tq (4) 16Tq (2)
125Kbps	8Tq (40) 20Tq (16)	8Tq (32) 16Tq (16)	8Tq (24) 12Tq (16) 24Tq (8)	8Tq (16) 16Tq (8)	8Tq (8) 16Tq (4)

備考 () 内の数字はボーレートプリスケアラ分周値

21.22.1.4 受信ルールの設定

受信ルール関連レジスタで受信ルールの設定を行うことができます。

1 ページに 16 の受信ルールを登録できます。RSCAN1GAFLECTR レジスタの AFLPN[4:0] ビットでページ 0 ~ 23 を指定します。また、AFLDAE ビットで受信ルールテーブルへの書き込みの許可/禁止を設定します。

図 21.56 に受信ルール設定手順について示します。

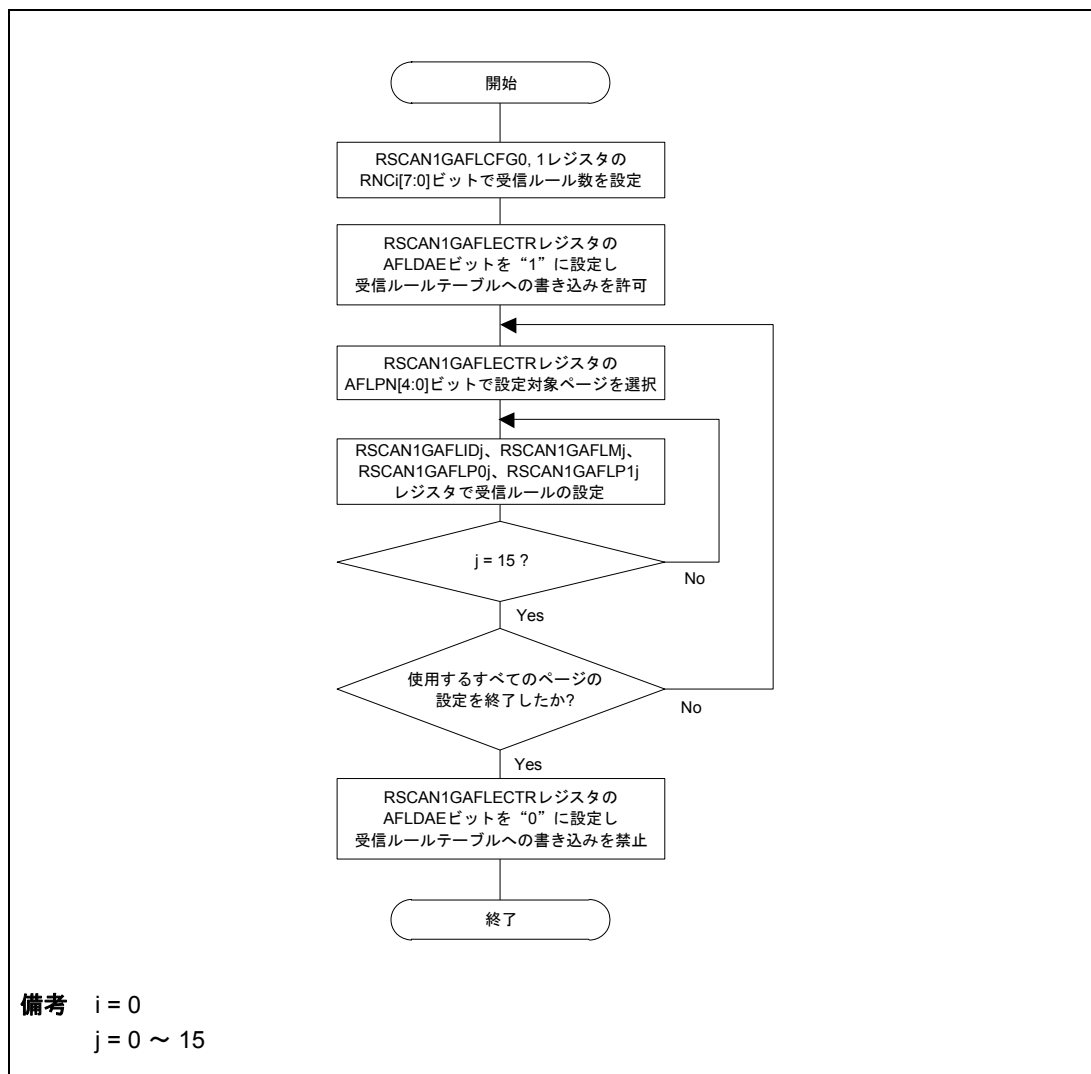


図 21.56 受信ルール設定手順

21.22.1.5 バッファの設定

各種バッファのサイズと割り込み要因を設定します。また、送信モードに設定した送受信 FIFO バッファはリンクする送信バッファを設定します。

図 21.57 にバッファの構成を示します。図 21.58 に各種バッファの設定手順を示します。

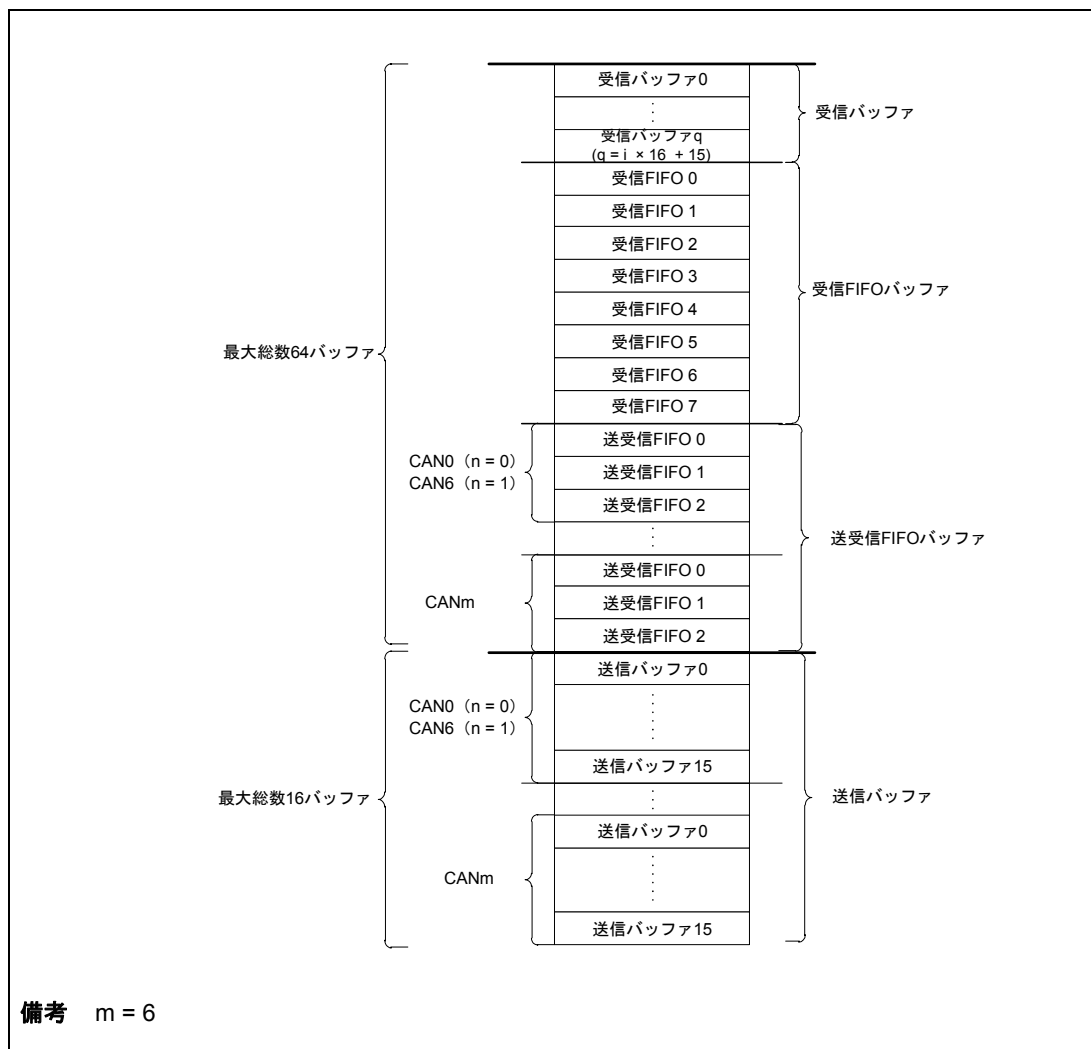


図 21.57 バッファの構成

注 意

受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ、送信バッファは連続して配置されます。

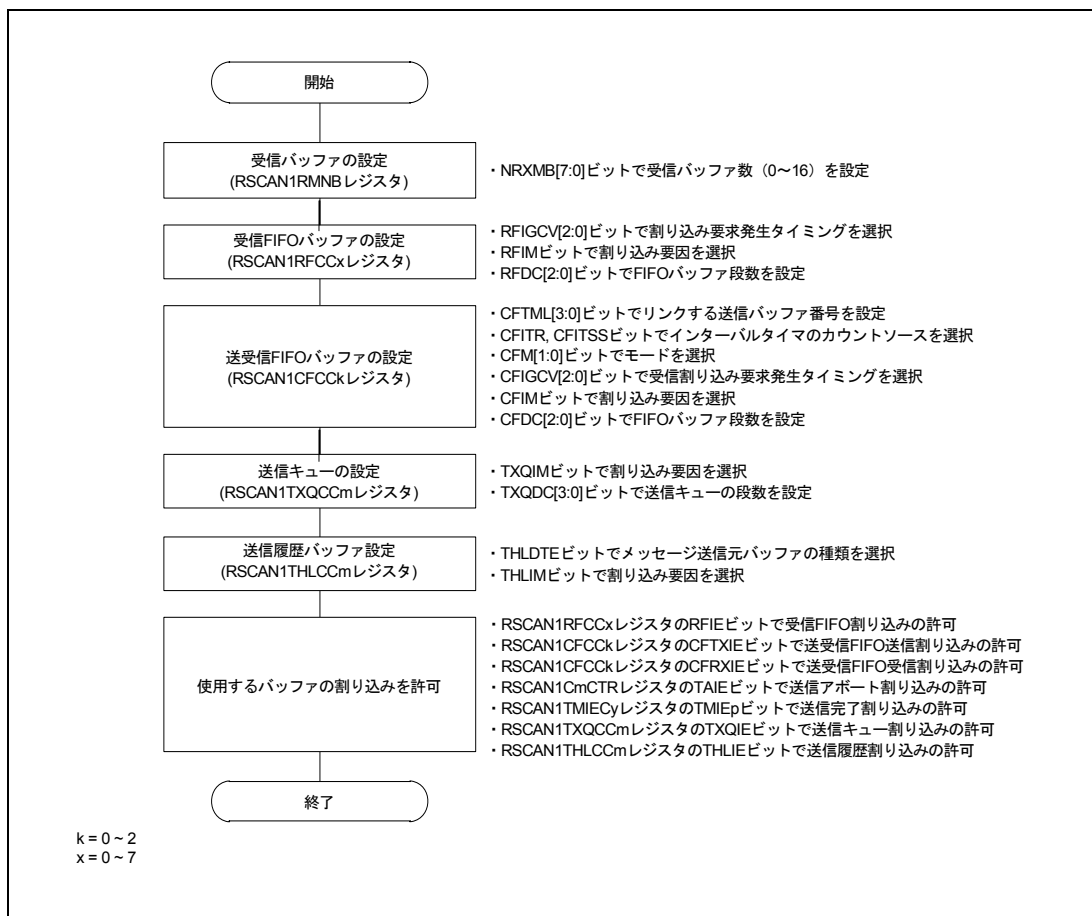


図 21.58 各種バッファの設定手順

21.22.2 受信手順

21.22.2.1 受信バッファの読み出し手順

受信したメッセージを受信バッファに格納する処理が始まると、RSCAN1RMNDy レジスタの RMNSq フラグ ($y=0$)、 $q=0 \sim 15$) が“1” (受信バッファ q に新しいメッセージあり) になります。メッセージは RSCAN1RMIDq、RSCAN1RMPTRq、RSCAN1RMDF0q、RSCAN1RMDF1q レジスタから読めます。受信バッファからメッセージを読み出す前に次のメッセージを受信した場合、メッセージが上書きされます。図 21.59 に受信バッファの読み出し手順を示します。

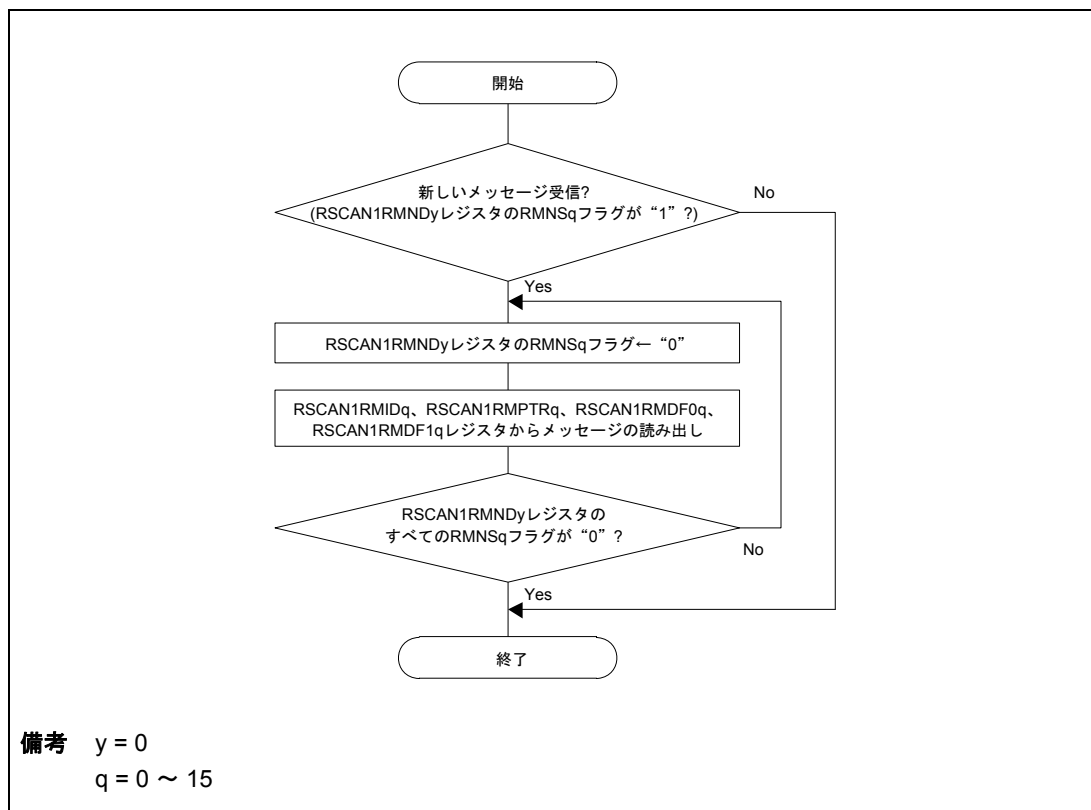


図 21.59 受信バッファの読み出し手順

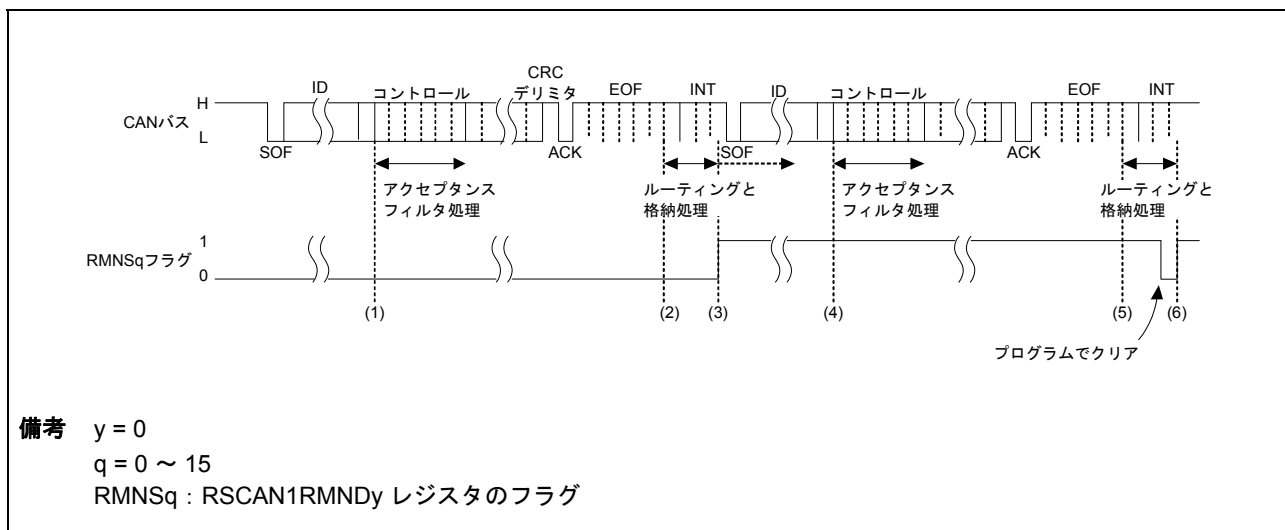


図 21.60 受信バッファの受信タイミング図

- (1) メッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (2) 対応するチャンネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN1GCFG レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
- (3) DLC フィルタ処理を通過すると、指定した受信バッファにメッセージを格納する処理が開始します。
メッセージの格納処理が始まると、対応する RSCAN1RMNDy レジスタの RMNSq フラグが“1” (受信バッファに新しいメッセージあり) になります。他のチャンネルでフィルタ処理や送信の優先順位判定処理を行っている場合、ルーティング処理や格納処理が遅延する場合があります。
- (4) 次のメッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (5) 対応するチャンネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN1GCFG レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
- (6) 対応する RMNSq フラグを“0” (受信バッファに新しいメッセージなし) にクリアした場合、メッセージの格納処理が始まると、再度“1”になります。RMNSq フラグが“1”のままでも、新しいメッセージは受信バッファに上書きされません。メッセージ格納中は RMNSq フラグを“0”にできません。

21.22.2.2 FIFO バッファの読み出し手順

受信メッセージが1つ以上の受信 FIFO バッファまたは、受信モードに設定した送受信 FIFO バッファへ格納されると、対応するメッセージ数表示カウンタ (RSCAN1RFSTS x レジスタ ($x=0\sim 7$) の RFMC[7:0] ビットまたは RSCAN1CFSTS k レジスタ ($k=0\sim 2$) の CFMC[7:0] ビット) の値が1加算されます。このとき、RSCAN1RFCC x レジスタの RFIE ビット (受信 FIFO 割り込み許可ビット) や RSCAN1CFCC k レジスタの CFRXIE ビット (送受信 FIFO 受信割り込み許可ビット) を“1”にしていると、割り込み要求が発生します。受信メッセージは、受信 FIFO バッファの場合は RSCAN1RFID x 、RSCAN1RFPTR x 、RSCAN1RFDF0 x 、RSCAN1RFDF1 x レジスタから、送受信 FIFO バッファの場合は RSCAN1CFID k 、RSCAN1CFPTR k 、RSCAN1CFDF0 k 、RSCAN1CFDF1 k レジスタから読み出すことができます。FIFO バッファは古いメッセージから読み出せます。

メッセージ数表示カウンタの値が FIFO バッファの段数値 (RSCAN1RFCC x レジスタの RFDC[2:0] ビットまたは RSCAN1CFCC k レジスタの CFDC[2:0] ビットで設定した値) に一致したとき、RFFLL フラグまたは CFLL フラグが“1” (FIFO バッファフル) になります。

FIFO バッファからすべてのメッセージを読み出したとき、RSCAN1RFSTS x レジスタの RFEMP フラグまたは RSCAN1CFSTS k レジスタの CFEMP フラグが“1” (FIFO バッファ空) になります。

割り込み要求フラグ (RSCAN1RFSTS x レジスタの RFIF フラグまたは RSCAN1CFSTS k レジスタの CFRXIF フラグ) が“1” (割り込み要求あり) の状態で RFE ビットや CFE ビットを“0” (FIFO バッファを使用しない) にすると、割り込み要求フラグは自動的に“0”になりません。割り込み要求フラグはプログラムで“0”にしてください。

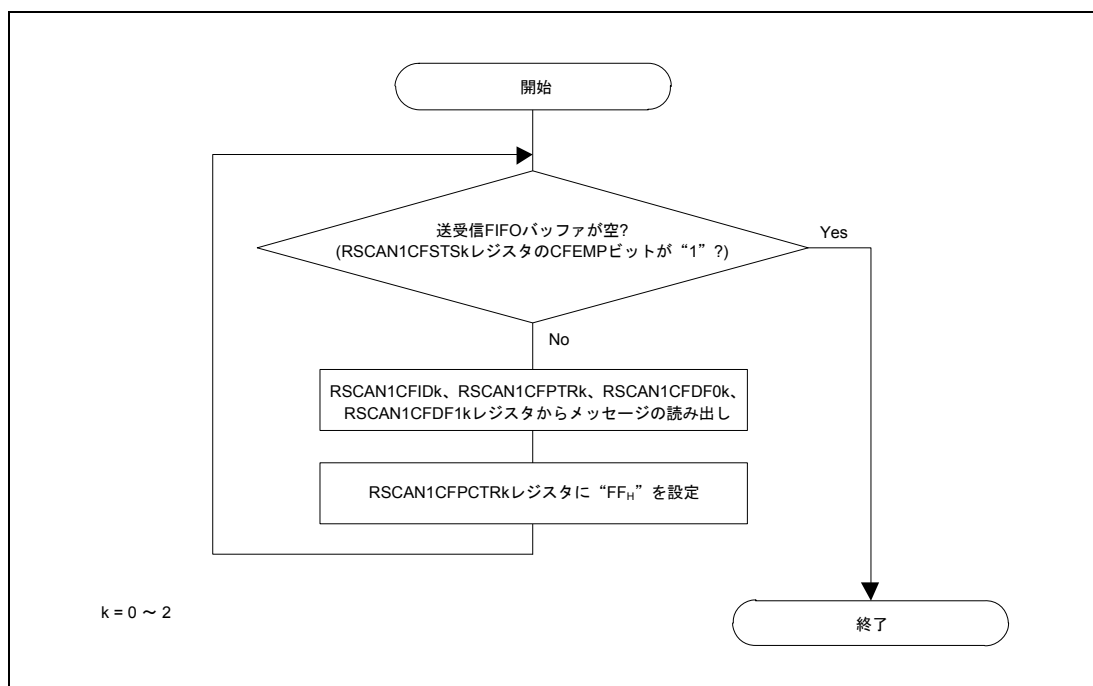


図 21.61 送受信 FIFO バッファの読み出し手順

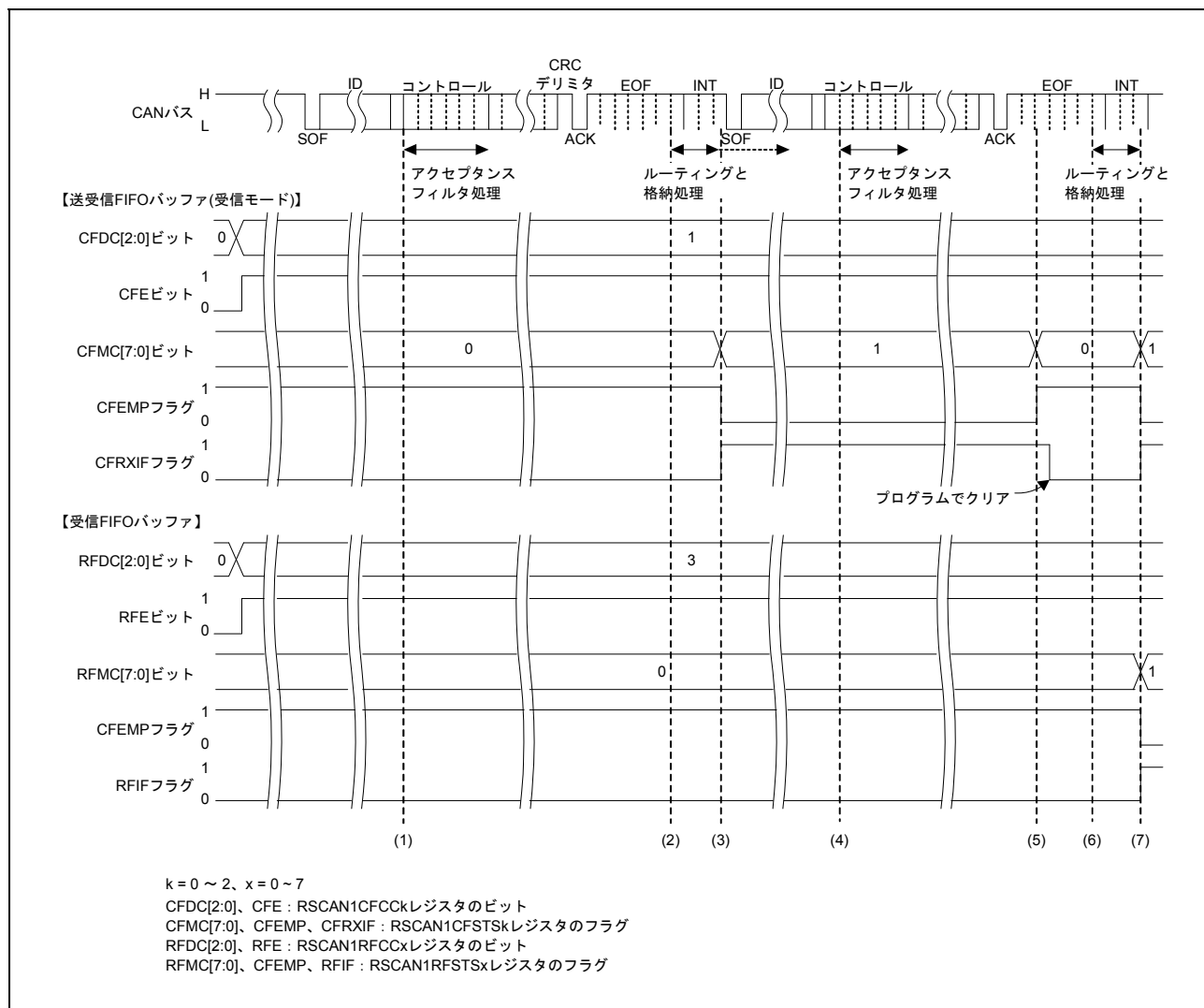


図 21.62 FIFO バッファの受信タイミング図

- (1) メッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (2) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN1CFG レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
- (3) DLC フィルタ処理を通過し、かつ RSCAN1CFCCk レジスタの CFE ビットが“1” (送受信 FIFO バッファを使用する) で、RSCAN1CFCCk レジスタの CFDC[2:0] ビットの値が“001_B”以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。RSCAN1CFSTSk レジスタの CFMC[7:0] ビットが 1 加算されて“01_H”になります。RSCAN1CFCCk レジスタの CFIM ビットを“1” (1 メッセージ受信ごとに割り込み要求発生) にしている場合、RSCAN1CFSTSk レジスタの CFRXIF フラグが“1” (送受信 FIFO 受信割り込み要求あり) になります。CFRXIF フラグはプログラムで“0”にできます。
- (4) 次のメッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。

- (5) RSCAN1CFIDk、RSCAN1CFPTRk、RSCAN1CFDF0k、RSCAN1CFDF1k レジスタから受信メッセージを読み出し、RSCAN1CFPCTRk レジスタに“FF_H”を書きます。それにより、RSCAN1CFSTSk レジスタのCFMC[7:0] ビットが1減算されて“00_H”になり、RSCAN1CFSTSk レジスタのCFEMP フラグが“1” (送受信 FIFO バッファ空) になります。
- (6) 対応するチャンネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN1GCFG レジスタのDCE ビットが“1” (DLC チェック許可) の場合、この時点でDLC フィルタ処理を行います。
- (7) DLC フィルタ処理を通過し、かつCFE ビットが“1” (送受信 FIFO バッファを使用する)、CFDC[2:0] ビットの値が“001_B”以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。CFMC[7:0] ビットが1加算されて“01_H”になります。CFIM ビットを“1” (1メッセージ受信ごとに割り込み要求発生) にしている場合、CFRXIF フラグが“1” (送受信 FIFO 受信割り込み要求あり) になります。また、RSCAN1RFCCx レジスタのRFE ビットが“1” (受信 FIFO バッファを使用する)、RSCAN1RFCCx レジスタのRFDC[2:0] ビットの値が“001_B”以上の場合、受信 FIFO バッファにメッセージが格納されます。RSCAN1RFSTSk レジスタのRFMC[7:0] ビットが1加算されて“01_H”になります。RSCAN1RFCCx レジスタのRFIM ビットを“1” (1メッセージ受信ごとに割り込み要求発生) にしている場合、RSCAN1RFSTSk レジスタのRFIF フラグが“1” (受信 FIFO 割り込み要求あり) になります。

21.22.3 送信手順

21.22.3.1 送信バッファからの送信手順

図 21.63 に送信バッファからの送信手順を示します。

図 21.64 に、同一チャネルの2つの送信バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 21.65 に、同一チャネルの2つの送信バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。



図 21.63 送信バッファからの送信手順

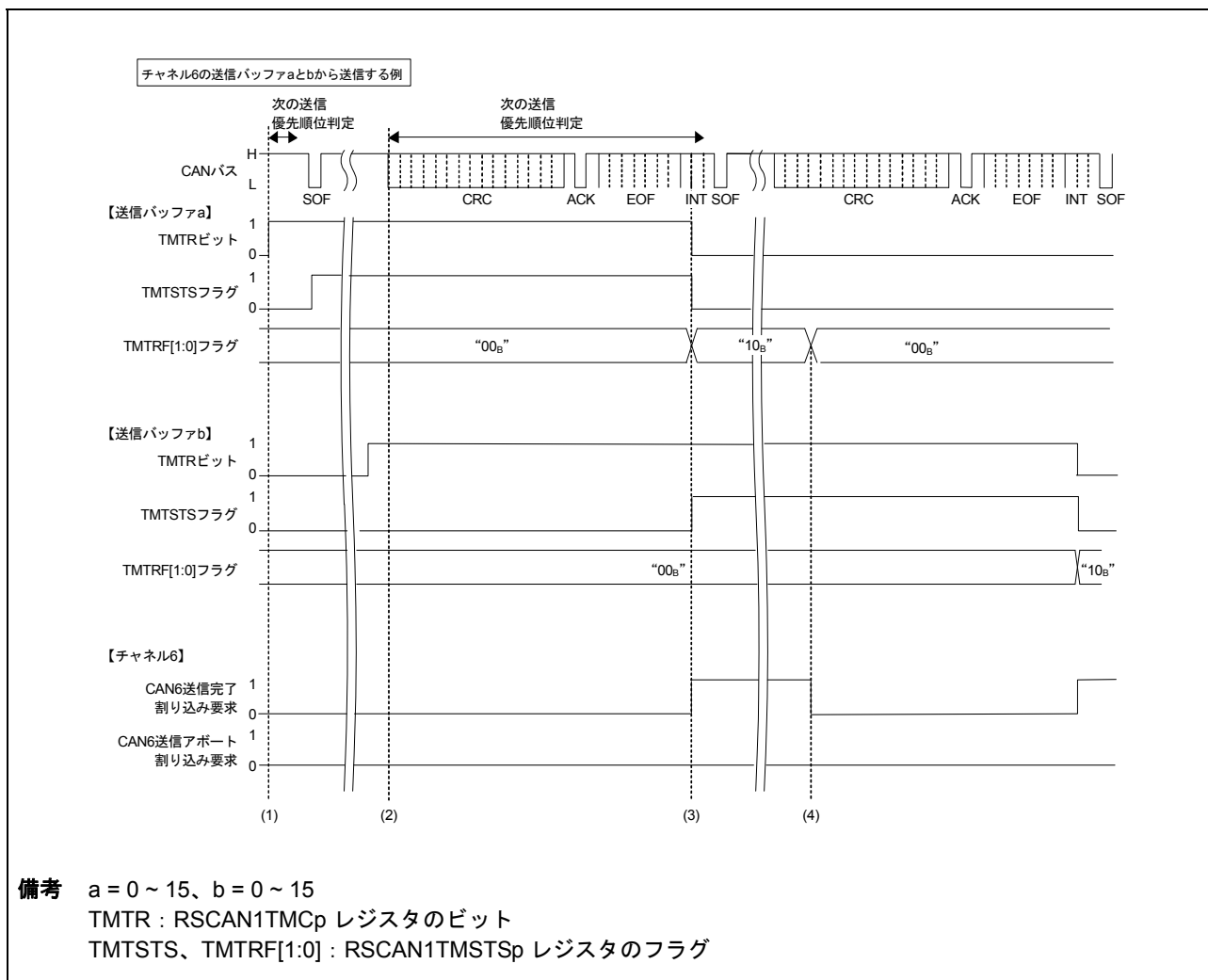


図 21.64 送信バッファの送信タイミング図 (正常に送信完了時)

- (1) CAN バスがアイドル状態のとき RSCAN1TMCa レジスタの TMTR ビットを“1”にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する RSCAN1TMSTSa レジスタの TMTSTS フラグが“1” (送信中) になり、CAN チャンネルは送信を開始します。
- (2) CRC フィールドの最初のビットで、バッファからの送信要求があれば、次の優先順位判定を開始します。他のチャンネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。
- (3) 送信が成功すると、RSCAN1TMSTSa レジスタの TMTRF[1:0] フラグは“10_B” (送信完了 (送信アボート要求なし)) になり、TMTSTS フラグと RSCAN1TMCa レジスタの TMTR ビットは“0”になります。RSCAN1TMIEC0 レジスタの TMIEa ビットが“1” (割り込み許可) のとき、CAN6 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを“00_B” (送信中または送信要求なし) にしてください。
- (4) 次の送信を開始する前に、TMTRF[1:0] フラグを“00_B”にしてください。次のメッセージを送信バッファに書いてから、TMTR ビットを“1” (送信を要求する) にしてください。TMTRF[1:0] フラグが“00_B”のときのみ、TMTR ビットを“1”に設定できます。

送信を開始後にアービトレーションロストが発生した場合、TMTSTS フラグは“0”になります。送信の優先順位判定は CRC フィールド開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

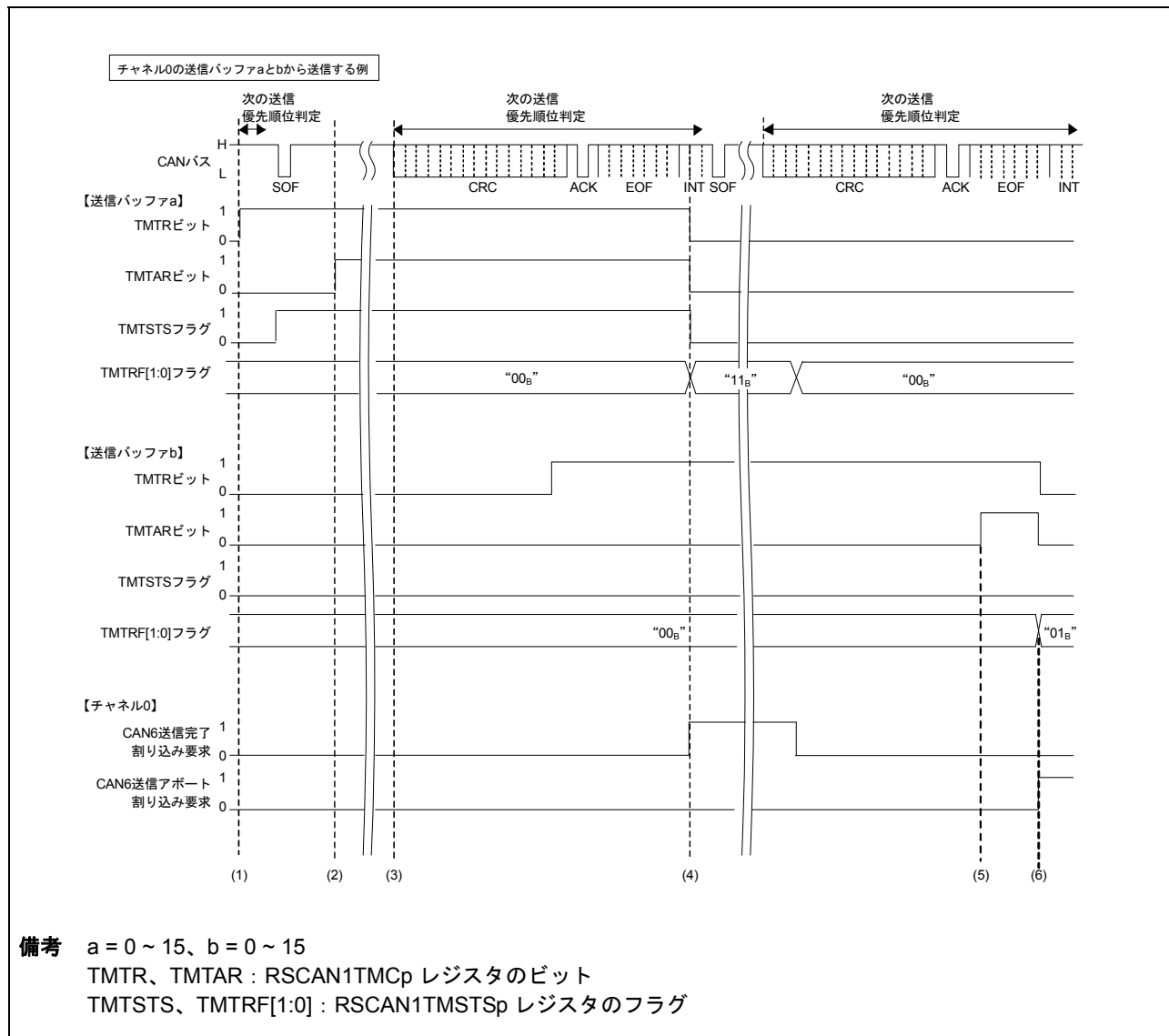


図 21.65 送信バッファの送信タイミング図 (送信アボート完了時)

- (1) CAN バスがアイドル状態のとき RSCAN1TMCa レジスタの TMTR ビットを“1”にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する RSCAN1TMSTSa レジスタの TMTSTS フラグが“1” (送信中) になり、CAN チャンネルは送信を開始します。
- (2) 送信バッファが次の送信に決まっているとき、または現在送信中であるとき、TMTAR ビットを“1” (アボート要求する) にしても、エラーまたはアービトレーションロストが発生しない限り、メッセージ送信はアボートされません。
- (3) CRC フィールドの最初のビットで、次の優先順位判定処理を開始します。このタイミング図では、バッファ b は次の送信バッファとして選択されていません。他のチャンネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、

インターミッションの3ビット目までには完了するので、送信間に遅延は発生しません。

- (4) 送信が成功すると、RSCAN1TMSTSa レジスタの TMTRF[1:0] フラグは“11_B” (送信完了 (送信アボート要求あり)) になり、TMTSTS フラグと RSCAN1TMCa レジスタの TMTR ビットは“0”になります。RSCAN1TMIEC0 レジスタの TMIEa ビットが“1” (割り込み許可) のとき、CAN6 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを“00_B” (送信中または送信要求なし) にしてください。
- (5) CAN バス上に他の CAN ノードが送信している場合 (TMTSTS フラグは“0”)、対応するチャンネルが優先順位判定中に TMTAR ビットを“1”にすると、TMTR ビットを“0”にできません。
- (6) 内部処理時間経過後、送信は中止され、TMTRF[1:0] フラグが“01_B”になります。送信バッファが送信中ではなくて、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、アボート要求はすぐに受け付けられ、TMTRF[1:0] フラグは“01_B”になります。このとき、TMTR ビットと TMTAR ビットは“0”になります。RSCAN1CmCTR レジスタの TAIE ビットが“1” (送信アボート割り込み許可) のとき、送信アボートが完了すると割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを“00_B”にしてください。

CAN チャンネルが送信を開始後にアービトレーションロストが発生した場合、TMTSTS ビットは“0”になります。優先順位判定は CRC フィールド開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

21.22.3.2 送受信 FIFO バッファからの送信手順

図 21.66 に送受信 FIFO バッファからの送信手順を示します。

図 21.67 に、同一チャネルの 2 つの送受信 FIFO バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 21.68 に、同一チャネルの 2 つの送受信 FIFO バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

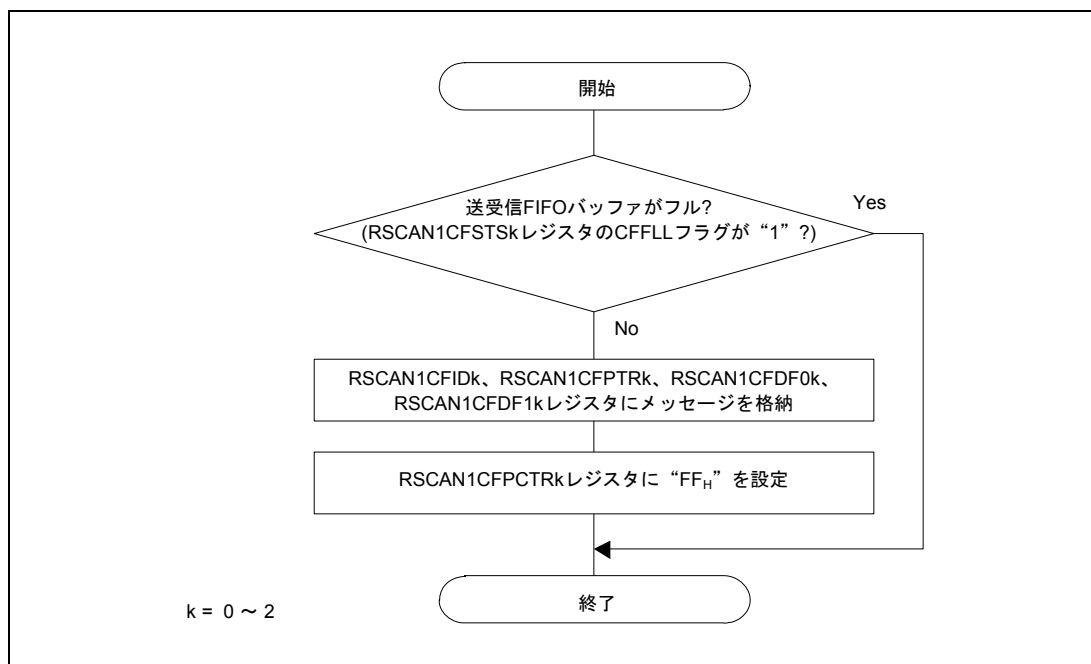


図 21.66 送受信 FIFO バッファからの送信手順

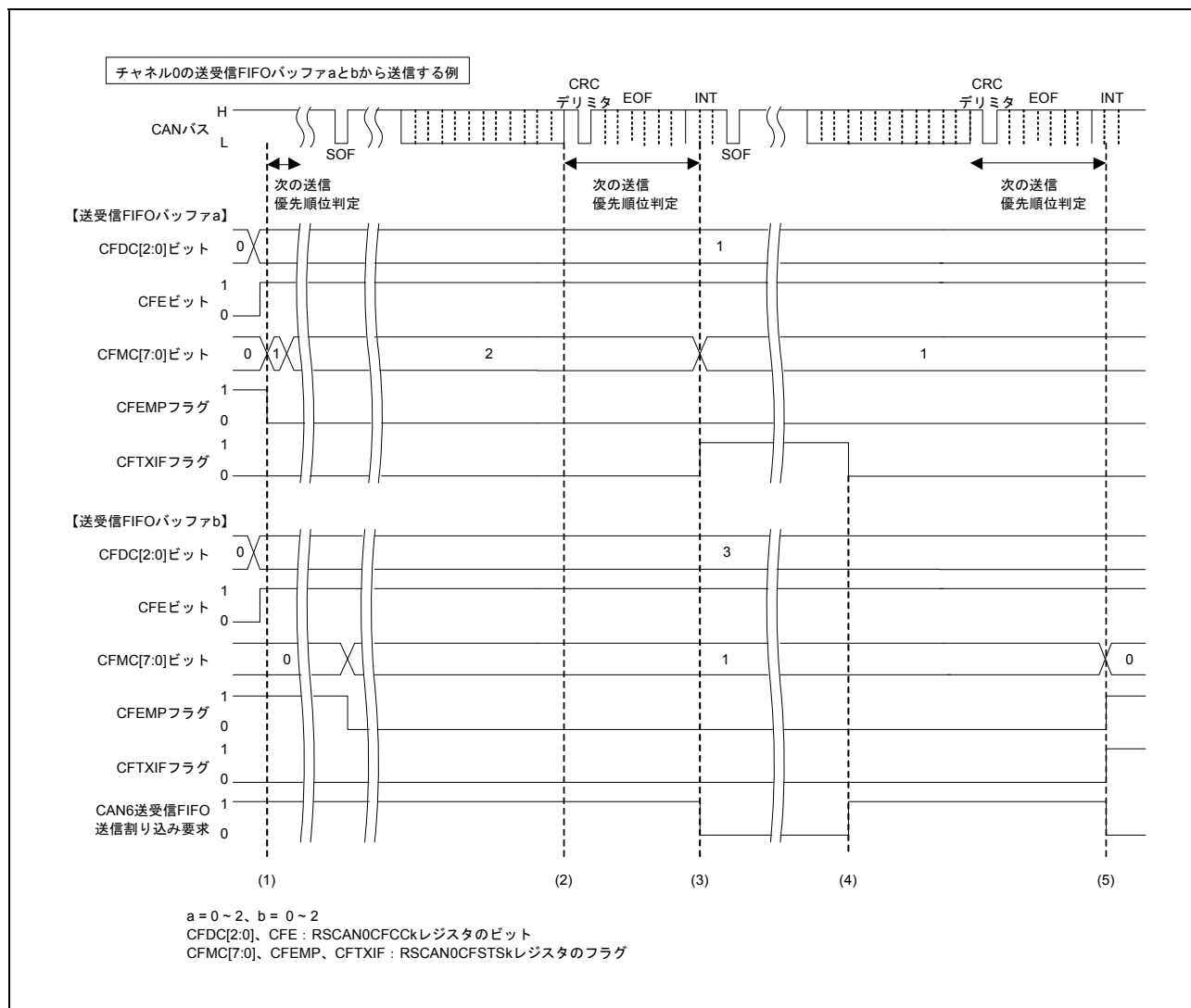


図 21.67 送受信 FIFO バッファの送信タイミング図 (正常に送信完了時)

- (1) CAN バスがアイドル状態のとき、RSCAN1CFCCa レジスタの CFE ビットが“1” (送受信 FIFO バッファを使用する)、RSCAN1CFCCa レジスタの CFDC[2:0] ビットが“001_B” (4 メッセージ) 以上、RSCAN1CFSTSa レジスタの CFMC[7:0] ビットの値が“01_H” 以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャンネル 0 の送受信 FIFO バッファ a から送信されます。
- (2) バッファからの送信要求があれば、CRC デリミタで次の優先順位判定処理を開始します。他のチャンネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。
- (3) 送信が成功すると、RSCAN1CFSTSa レジスタの CFMC[7:0] ビットが 1 減算されます。RSCAN1CFCCa レジスタの CFIM ビットを“1” (1 メッセージ送信ごとに割り込み要求発生) にした場合、RSCAN1CFSTSsk レジスタの CCTXIF フラグが“1” (送受信 FIFO 送信割り込み要求あり) になります。
- (4) CCTXIF フラグはプログラムでクリアできます。

(5) チャンネル0の送受信FIFOバッファbからの送信が完了し、RSCAN1CFSTSbレジスタのCFMC[7:0]ビットが1減算されます。CFMC[7:0]ビットが“00_H”になるため、RSCAN1CFSTS_kレジスタのCFEMPフラグが“1”（送受信FIFOバッファ空）になります。

CFEMPフラグが“1”になるまで送信は続けられます。RSCAN1CFSTS_a、RSCAN1CFSTS_bレジスタのCFLLフラグが“1”（送受信FIFOバッファフル）になるまで、送信メッセージをFIFOバッファに格納することができます。

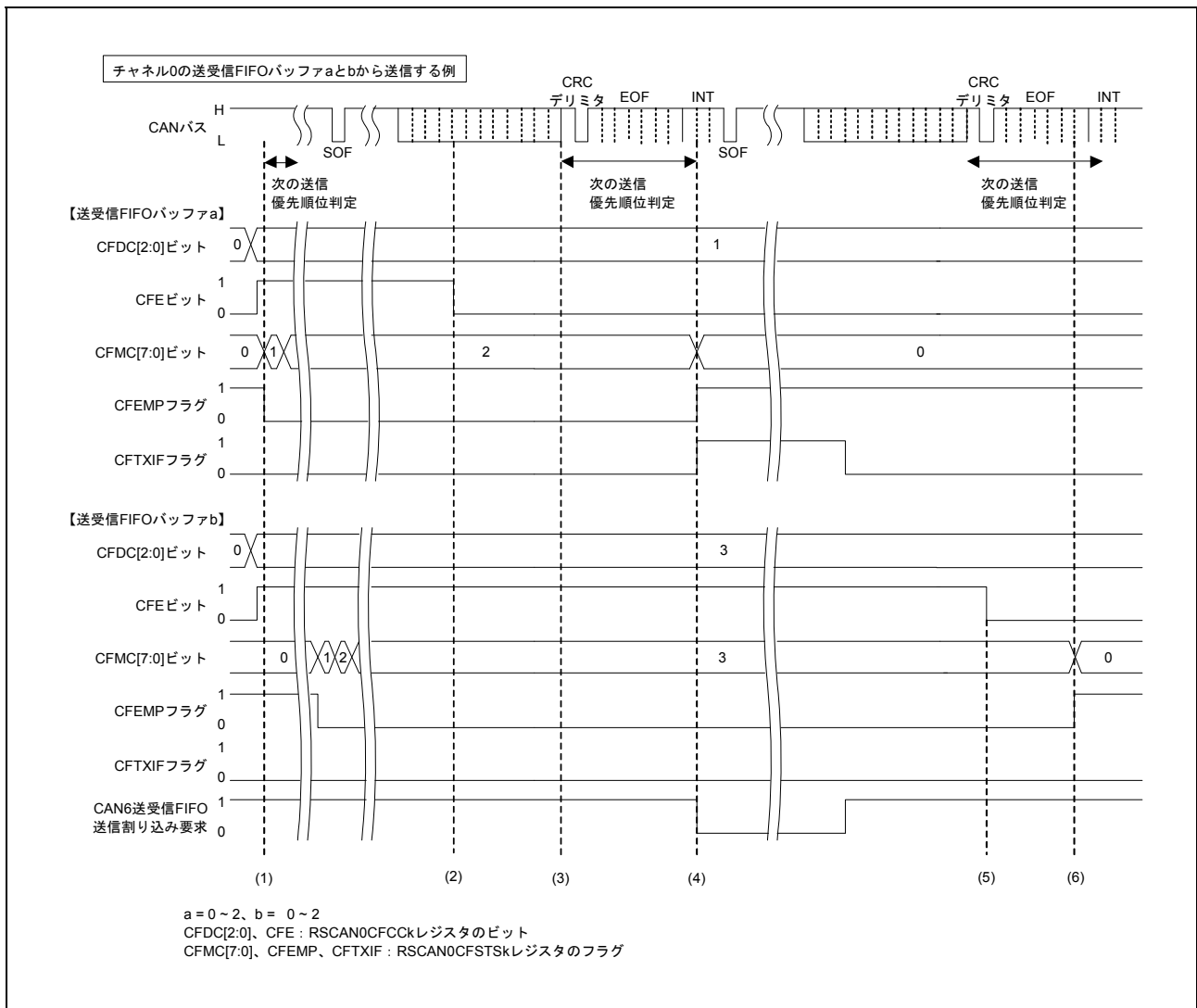


図 21.68 送受信 FIFO バッファの送信タイミング図（送信アボート完了時）

- (1) CANバスがアイドル状態のとき、RSCAN1CFCCaレジスタ（a = 0 ~ 17）のCFEビットが“1”（送受信FIFOバッファを使用する）、RSCAN1CFCCaレジスタのCFDC[2:0]ビットが“001_B”（4メッセージ）以上、RSCAN1CFSTS_aレジスタのCFMC[7:0]ビットの値が“01_H”以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャンネル0の送受信FIFOバッファaから送信されます。
- (2) メッセージが送信中、または次の送信に決まっているとき、アービトラージョンロスまたはエラーが発生しない限り、CFEビットを“0”（送受信FIFOバッファを使用しない）にしても送信はアボートされません。

- (3) バッファからの送信要求があれば、CRC デリミタで次の優先順位判定処理を開始します。この図では、送受信 FIFO バッファ b は次の送信用バッファとして選択されていません。他のチャンネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。
- (4) 送信が成功すると、CFMC[7:0] ビットの値が“00_H”になります。CFIM ビットを“1” (1 メッセージ送信ごとに割り込み要求発生) にした場合、RSCAN1CFSTSa レジスタの CFTXIF フラグが“1” (送受信 FIFO バッファ送信割り込み要求あり) になります。CFTXIF フラグはプログラムでクリアできます。
- (5) CAN バス上の他の CAN ノードが送信中の場合 (送受信 FIFO バッファ b からは送信されていない)、送信の優先順位判定中に RSCAN1CFCCb レジスタの CFE ビットを“0” (送受信 FIFO バッファを使用しない) にしても、送受信 FIFO バッファは直ちに禁止にはできません (RSCAN1CFSTSb レジスタの CFEMP フラグは直ちに“1” (送受信 FIFO バッファ空) にはなりません)。
- (6) 内部処理時間経過後、送受信 FIFO バッファは禁止され、RSCAN1CFSTSb レジスタの CFMC[7:0] ビットは“00_H”になり、CFEMP フラグは“1”になります。送受信 FIFO バッファが送信中でもなく、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、直ちに送受信 FIFO バッファは禁止されます (CFMC[7:0] ビットは“00_H”になり、CFEMP フラグは“1”になります)。

21.22.3.3 送信キューからの送信手順

図 21.69 に送信キューからの送信手順を示します。

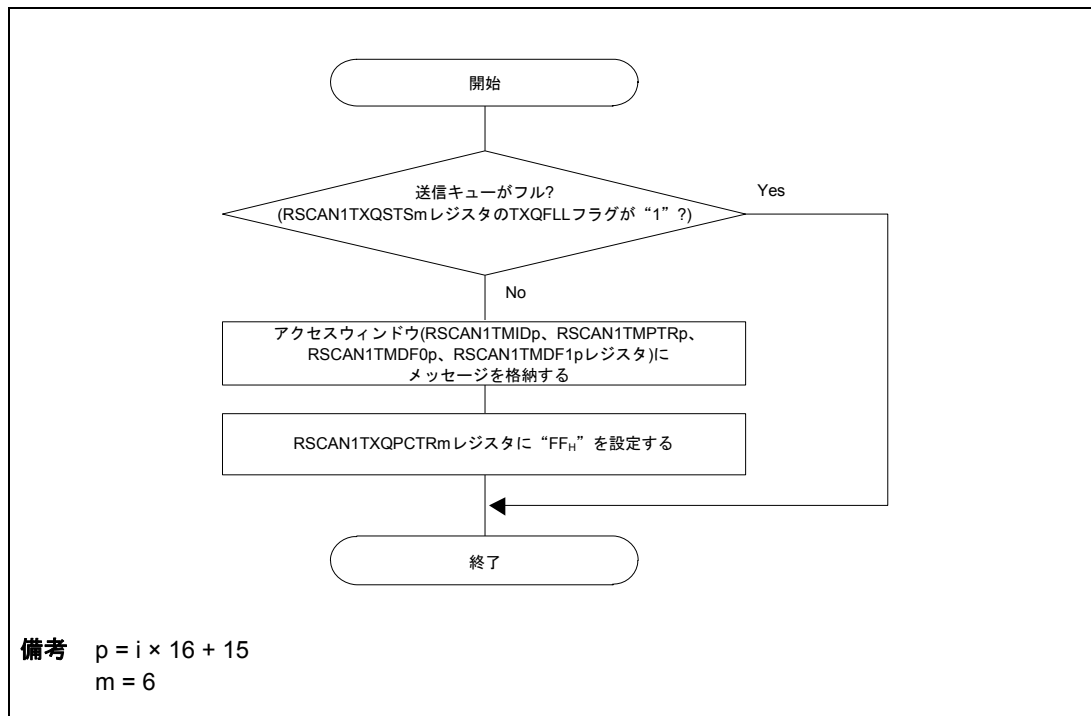


図 21.69 送信キューからの送信手順

21.22.3.4 送信履歴バッファの読み出し手順

送信履歴データは、RSCAN1THLACC m レジスタで読めます。1 データを読んだ後、対応する RSCAN1THLPCTR m レジスタ ($m=6$) へ“FF_H”を書くと、次のデータへアクセスできます。図 21.70 に送信履歴バッファの読み出し手順を示します。

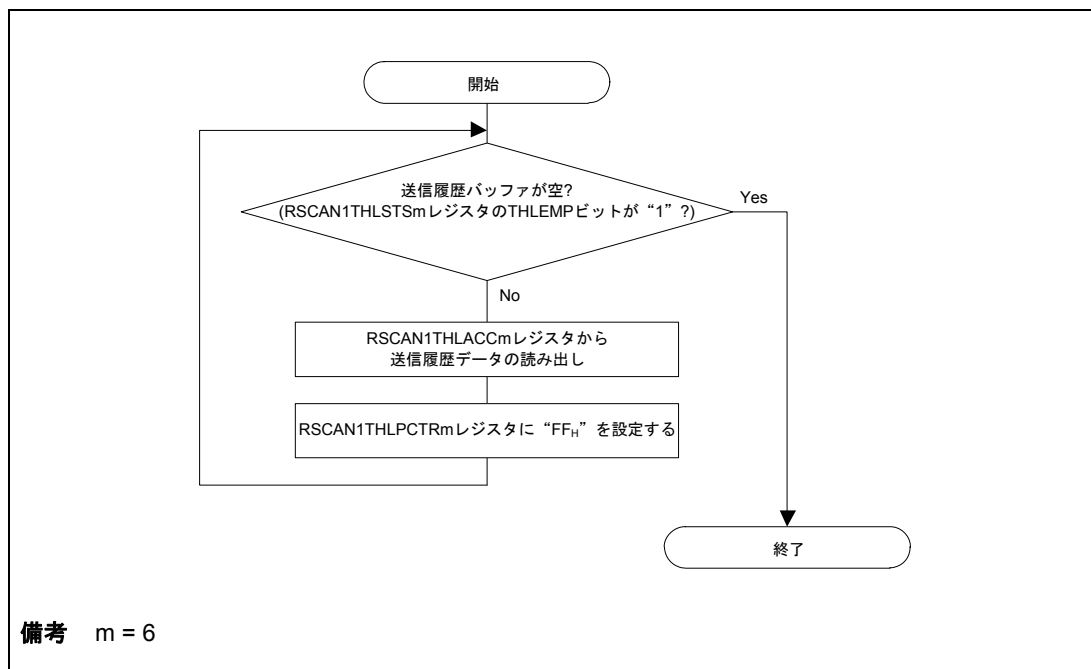


図 21.70 送信履歴バッファの読み出し手順

21.22.4 テスト設定

21.22.4.1 セルフテストモードの設定手順

セルフテストモードでは、自ら送信したメッセージを受信することにより、チャンネル単体で通信テストを行うことができます。

図 21.71 にセルフテストモードの設定手順を示します。

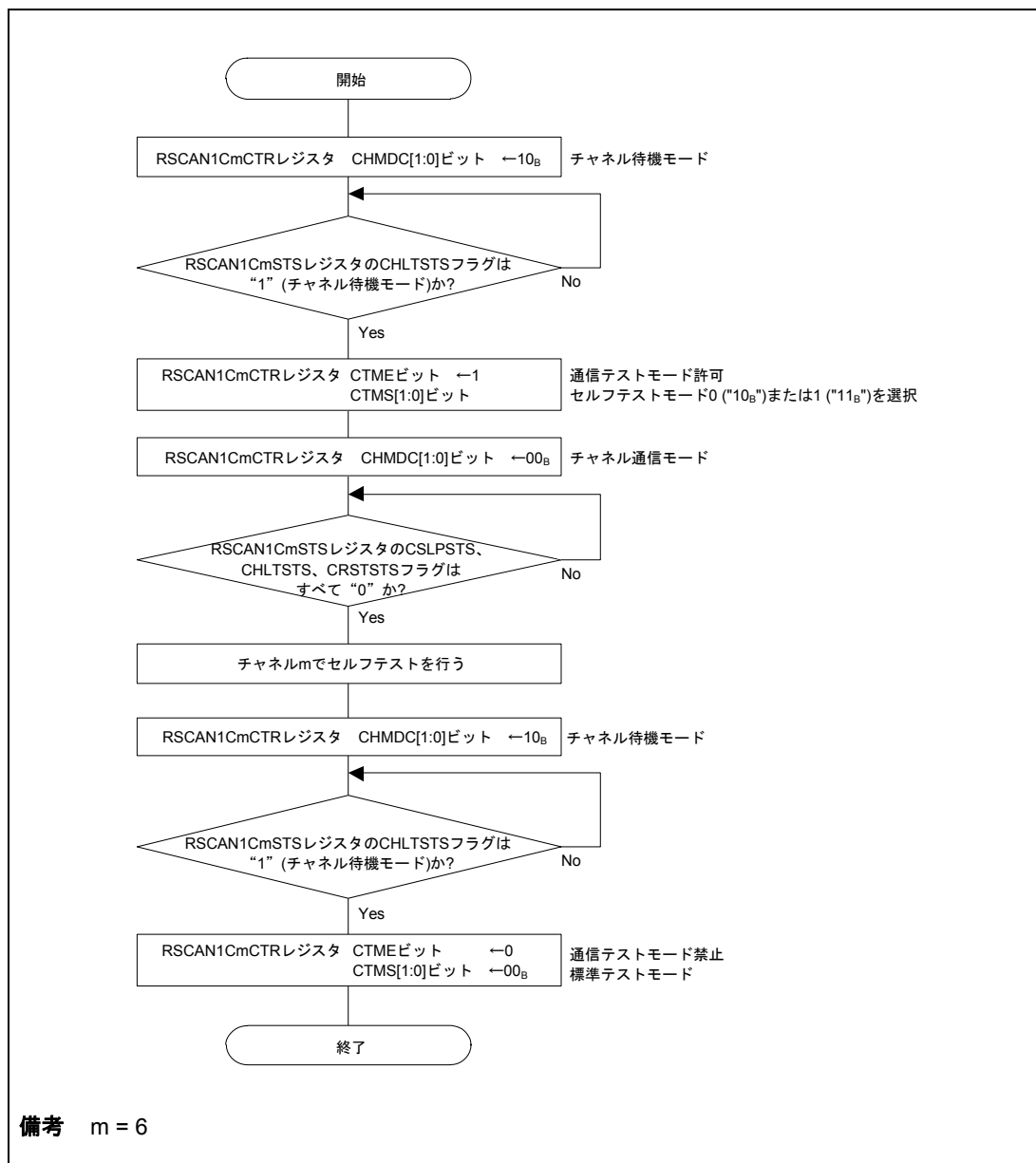


図 21.71 セルフテストモードの設定手順

21.22.4.2 プロテクト解除手順

表 21.297 に示すグローバルテスト機能はプロテクトされているため、解除データ 1 と解除データ 2 を連続して RSCAN1GLOCKK レジスタの LOCK[15:0] ビットに書いてから、それぞれのテスト機能ビットを“1”にしてください。

表 21.297 テスト機能用プロテクト解除データ

テスト機能	プロテクト解除データ 1	プロテクト解除データ 2	対象ビット
RAM テスト	7575 _H	8A8A _H	RSCAN1GTSTCTR レジスタ RTME ビット

間違った値を LOCK[15:0] ビットに書いた場合、再度、解除データ 1 の書き込みからやり直してください。図 21.72 にプロテクト解除手順を示します。

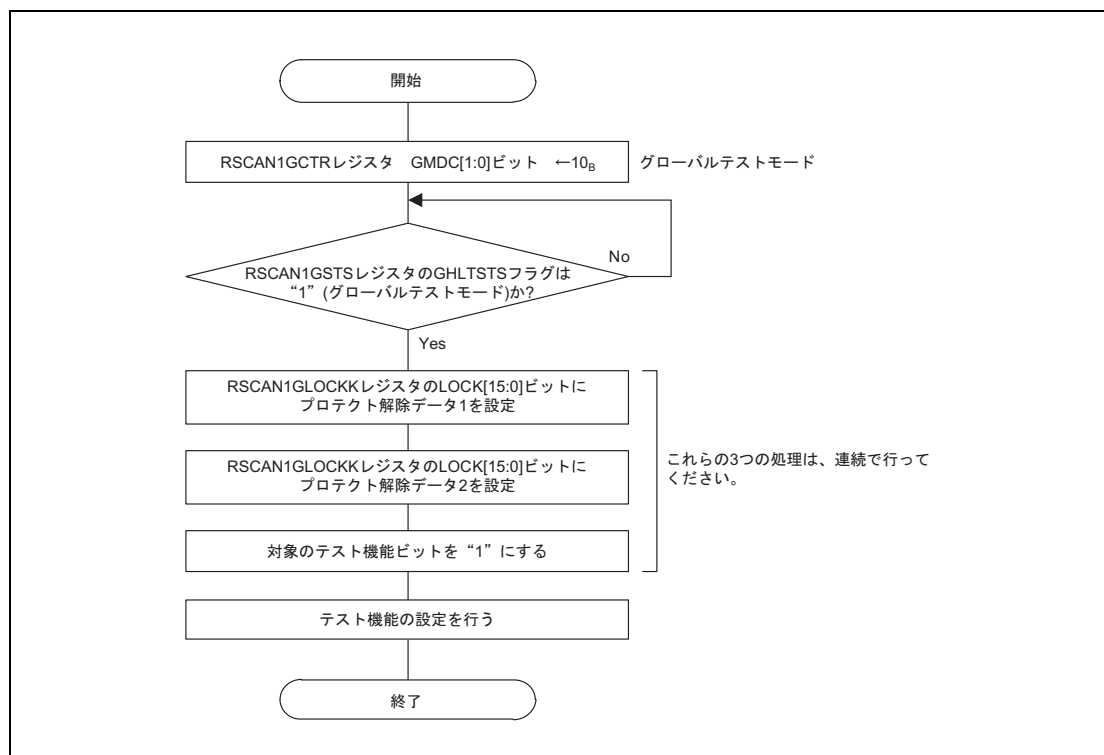


図 21.72 プロテクト解除手順

21.22.4.3 RAM テストの設定手順

RAM テストには、CAN 用 RAM の読み書きテストがあります。読み書きテストでは、RAM に書いた値が正しく読めることを確認できます。RAM テストを終了する前に、CAN 用 RAM の全ページに“0000 0000_H”を書いてください。

図 21.73 に RAM テストの設定手順を示します。

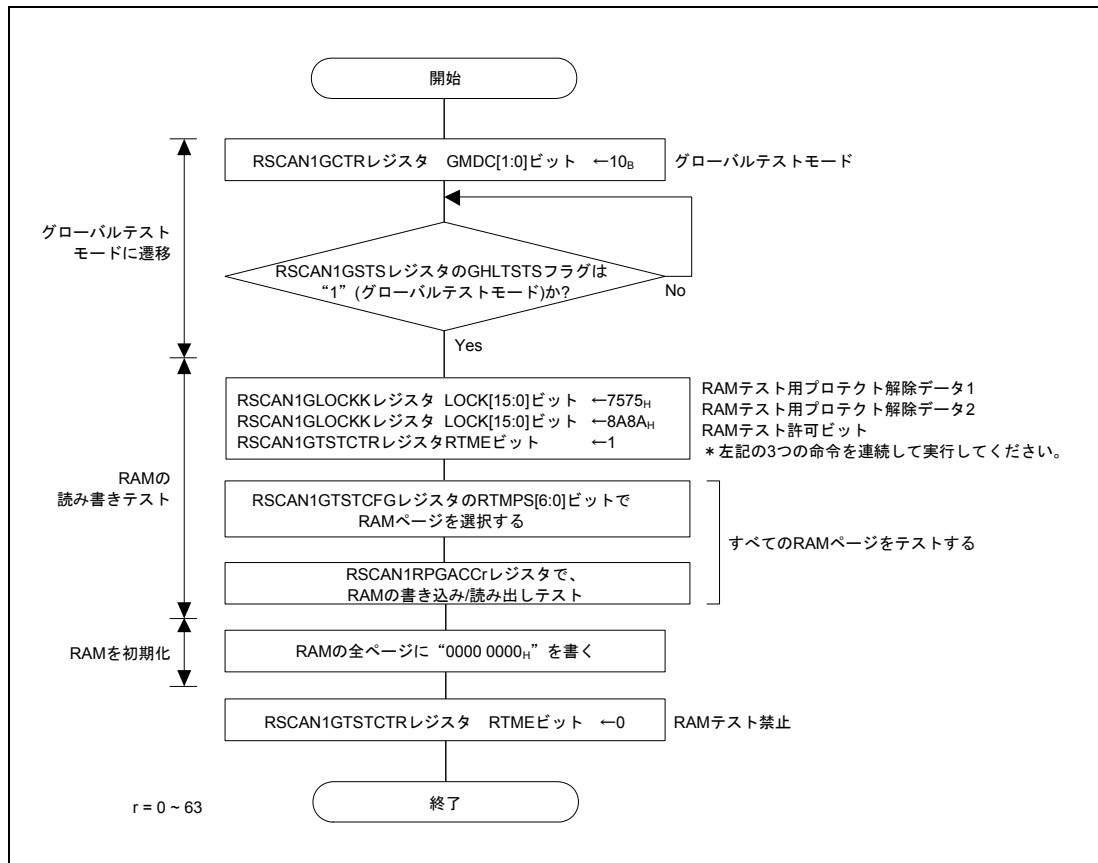


図 21.73 RAM テストの設定手順

21.23 RS-CAN RAM のエラー検出／訂正

21.23.1 RSCAN1 RAM ECC

表 21.298 に RSCAN1 RAM ECC の機能概要を示します。

表 21.298 RSCAN1 RAM ECC の機能一覧

項目	機能概要
ECC エラー検出／訂正	ECC エラー判定を行います。下記設定を選択可能です。 <ul style="list-style-type: none"> • 2ビットエラー検出と1ビットエラー検出／訂正 • 2ビットエラー検出と1ビットエラー検出 ECC エラー検出／訂正を無効にすることもできます（スルーモード時）。初期状態は、エラー検出／訂正が有効です。
エラー通知	ECC エラー発生時は、エラー通知を行います。 <ul style="list-style-type: none"> • ECC 2ビットエラー検出時のエラー通知許可／禁止を選択可 • ECC 1ビットエラー検出時のエラー通知許可／禁止を選択可 初期状態は、2ビットエラー検出時のエラー通知許可、および1ビットエラー検出時のエラー通知禁止。ただし、FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。
エラーステータス	ECC 2ビットエラー検出、ECC 1ビットエラー検出をモニタできます。エラーステータスのクリアレジスタを搭載しています。
アドレスキャプチャ	ECC エラーが発生した1つのアドレスのみをキャプチャできます。ECC 2ビットまたは1ビットエラーの検出時に信号が生成され、この信号をトリガとしてエラー発生アドレスがキャプチャされます（フラグクリア後の最初の（1ビットまたは2ビット）エラー検出時）。

注 意

ECC によるエラー検出・訂正を行う場合、RS-CAN モジュールによる RSCAN1 RAM の初期化（RSCAN1GSTS.GRAMINIT=0）を確認してから使用してください。

21.23.2 割り込み要求

表 21.299 に RSCAN1 の RAM ECC 割り込み要求を示します。

表 21.299 RSCAN ECC の割り込み要求（FE レベルマスクブル割り込み）

ユニット割り込み信号	概要	名称	DMA トリガ番号
ECCDCNRAM1FEIF	RSCAN ECC ビットエラー割り込み	INTECCDCNRAM1	—

21.23.3 レジスタ一覧

RSCAN1 用のレジスタ一覧を以下の表に示します。

表 21.300 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
ECCCAN1	RSCAN1 ECC コントロールレジスタ	ECCRCAN1CTL	FFC7 1020 _H
ECCCAN1	RSCAN1 ECC テストモードコントロールレジスタ	ECCRCAN1TMC	FFC7 1024 _H
ECCCAN1	RSCAN1 ECC エンコード/デコード入出力代替テストレジスタ	ECCRCAN1TED	FFC7 102C _H
ECCCAN1	RSCAN1ECC 冗長ビットデータコントロールテストレジスタ	ECCRCAN1TRC	FFC7 1028 _H
ECCCAN1	RSCAN1 ECC 冗長ビット入出力代替バッファレジスタ	ECCRCAN1ERDB	FFC7 1028 _H
ECCCAN1	RSCAN1 ECC エンコードテストレジスタ	ECCRCAN1ECD	FFC7 1029 _H
ECCCAN1	RSCAN1 ECC7 ビット冗長ビットデータ保持テストレジスタ	ECCRCAN1HORD	FFC7 102A _H
ECCCAN1	RSCAN1 ECC デコードシンδροームデータレジスタ	ECCRCAN1SYND	FFC7 102B _H
ECCCAN1	RSCAN1 ECC エラーアドレスレジスタ 0	ECCRCAN1AD0	FFC7 1030 _H

21.23.4 ECCRCANnCTL — RSCAN1 ECC コントロールレジスタ

ECCRCANnCTL レジスタは RSCAN1 の ECC のモードの制御、およびステータスの制御を行うレジスタです。

ビット 7, 5 ~ 4 の設定 (書き込み) は RSCAN1 が動作していない時に行ってください。

また、ビット 7 への書き込みは EMCA1, EMCA0 を 01_B にして実行してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス 「表 21.300 レジスタ一覧」を参照してください。

リセット後の値 不定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	EMCA1	EMCA0	—	—	ECCOVFF	ECER2C	ECER1C	—	ECTHM	—	EC1ECP	EC2EDIC	EC1EDIC	ECER2F	ECER1F	ECEMF	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	—	
	R/W	R/W ^{注1}	R/W ^{注1}	R	R	R	R/W ^{注1}	R/W ^{注1}	R	R/W	R	R/W	R/W	R/W	R	R	R

注 1. リード値は常に 0 が読み出されます。

表 21.301 ECCRCANnCTL レジスタの内容 (1/2)

ビット位置	ビット名	機能						
15	EMCA1	ECC モード選択ビットへのアクセス制御ビット 1,0						
14	EMCA0	本ビットは ECTHM (ビット 7) の書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。本ビットのデータ値が 01 _B のとき、ビット 7 への書き込みが可能になります。						
13, 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。						
11	ECCOVFF	エラーステータスが設定されているときにエラーを検出し、新しいエラーのアドレスがすでにラッチ済みのものと異なる場合 (クリアされていない、またはリセットが発行されていない)、このビットがセットされ、エラー通知が生成されます。 <table border="1" data-bbox="662 1254 1412 1473"> <thead> <tr> <th>ECCOVFF</th> <th>動作説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>ECER2F および ECER1F をクリアしてリセットした後、オーバーフローが発生していない。 以下の方法でクリア (1) リセット (2) ECER2C=1 または ECER1C=1 の書き込み (3) スルーモード許可の選択 (ECTHM=1)</td> </tr> <tr> <td>1</td> <td>エラーアドレスレジスタでオーバーフローが発生した。</td> </tr> </tbody> </table>	ECCOVFF	動作説明	0	ECER2F および ECER1F をクリアしてリセットした後、オーバーフローが発生していない。 以下の方法でクリア (1) リセット (2) ECER2C=1 または ECER1C=1 の書き込み (3) スルーモード許可の選択 (ECTHM=1)	1	エラーアドレスレジスタでオーバーフローが発生した。
ECCOVFF	動作説明							
0	ECER2F および ECER1F をクリアしてリセットした後、オーバーフローが発生していない。 以下の方法でクリア (1) リセット (2) ECER2C=1 または ECER1C=1 の書き込み (3) スルーモード許可の選択 (ECTHM=1)							
1	エラーアドレスレジスタでオーバーフローが発生した。							
10	ECER2C	2 ビット ECC エラー検出フラグクリアビット 本ビットは ECER2F (ビット 2) の 2 ビットエラー検出フラグをクリアするためのビットです。読み出すと常に 0 が読みだされます。0 書き込みは無効です。ECER2F ビットがセットされている際に、本ビットに 1 書き込みを行うことで ECER2F ビットがクリアされます。1 書き込みと ECER2F のセット要因が競合した際には本ビットの書き込みが優先されます。						
9	ECER1C	1 ビット ECC エラー検出訂正累積フラグクリアビット 本ビットは ECER1F (ビット 1) の 1 ビットエラー検出/訂正フラグをクリアするためのビットです。読み出すと常に 0 が読みだされます。0 書き込みは無効です。ECER1F ビットがセットされている際に、本ビットに 1 書き込みを行うことで ECER1F ビットがクリアされます。1 書き込みと ECER1F のセット要因が競合した際には本ビットの書き込みが優先されます。						
8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。						

表 21.301 ECCRCANnCTL レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	ECTHM	ECC 機能スルーモード選択ビット 本ビットは、ECC 機能の有効/無効を設定するビットです。 セット "1" することで、ECC 機能を無効にする事ができます。 このビットの書き込み時は EMCA1, EMCA0 = 0, 1 を同時に書き込む必要があります。 0: スルーモード禁止 (通常動作モード) 1: スルーモード許可 (ECC 機能無効)
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	EC1ECP	1 ビットエラー訂正許可ビット 本ビットは ECC エラー検出/訂正の有効時に、1 ビットエラー訂正の許可/禁止を設定するためのビットです。 0: 1 ビットエラー検出時にエラー訂正を行う。 1: 1 ビットエラー検出時にエラー訂正を行わない。
4	EC2EDIC	2 ビットエラー検出割り込み制御ビット 本ビットは 2 ビットエラー検出時に割り込みを発生させるかを制御するビットです。 0: 2 ビットエラー検出時に INTECCDCNRAMn 割り込みを発生させない。 1: 2 ビットエラー検出時に INTECCDCNRAMn 割り込みを発生する。
3	EC1EDIC	1 ビットエラー検出割り込み制御ビット 本ビットは 1 ビットエラー検出時の割り込みの発生を制御するビットです。 0: 1 ビットエラー検出時に INTECCDCNRAMn 割り込みを発生させない。 1: 1 ビットエラー検出時に INTECCDCNRAMn 割り込みを発生させる。
2	ECER2F	2 ビットエラー検出フラグビット 本ビットはエラー判定許可状態 (ECTHM = 0) で RAM へのリードアクセス時に 2 ビットエラーが検出されたことを示すフラグです。2 ビットエラー割り込み許可状態 (EC2EDIC = 1) で、本フラグがセットされると ECC2 ビットエラー割り込み (INTECCDCNRAMn) が発生します。クリアの際には ECER2C ビット (ビット 10) へ 1 書き込みを行ってください。スルーモード許可選択 (ECTHM = 1) 時も本ビットはクリアされます。本ビットがセットされた状態で再度 2 ビットのビットエラーが検出されても割り込みは発生しません。 0: 本ビットクリア後、2 ビットエラーは発生していない。 1: 2 ビットエラーが発生したことがある。
1	ECER1F	1 ビットエラー検出/訂正フラグビット 本ビットはエラー判定許可状態 (ECTHM = 0) で RAM へのリードアクセス時に 1 ビットエラーが検出されたことを示すフラグです。クリアの際には ECER1C ビット (ビット 9) へ 1 書き込みを行ってください。スルーモード許可選択 (ECTHM = 1) 時も本ビットはクリアされます。 0: 本ビットクリア後、1 ビットエラーは発生していない。 1: 1 ビットエラーが発生したことがある。
0	ECEMF	ECC エラー表示フラグ 本ビットは現在読み出しているデータに対してエラーが存在することを示すフラグです。本ビットは RAM を読み出すごとに更新されます。RAM を初期化する前にリードすると、本ビットがセットされる可能性があります。スルーモード許可選択 (ECTHM = 1) 時、及びデコード回路入力データに 1 ビットエラーがない時も本ビットはクリアされます。 0: 現在読み出している RAM データには、ビットエラーが存在していない。 1: 現在読み出している RAM データには、ビットエラーが存在する。

注 意

ビット 2, 1 をクリアする場合には、ECC エラー表示フラグ (ECEMF) がセットされていない時にクリアする必要があります。

ビット 2, 1 をクリアする場合には RAM 初期化後にクリアすることを推奨します。

21.23.5 ECCRCANnTMC — RSCAN1 ECC テストモードコントロールレジスタ

ECCRCANnTMC レジスタはテストモードへの切り替え、およびテストモード制御のためのレジスタです。

本レジスタはRS-CANがRAMアクセスしないときに使用できます。

アクセス 16ビット単位でリード/ライト可能です。

アドレス 「表 21.300 レジスタ一覧」を参照してください。

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ETMA1	ETMA0	—	—	—	—	—	—	ECTMCE	—	—	ECTRRS	ECREOS	ECENS	ECDCS	ECREIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W ^{注1}	R/W ^{注1}	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W

注 1. リード値は常に0が読み出されます。

表 21.302 ECCRCANnTMC レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	ETMA1	ECC テストモードビットへのアクセス制御ビット 1,0
14	ETMA0	本ビットは ECTMCE (ビット 7) の書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。本ビットのデータ値が 10 _B のとき、ビット 7 への書き込みが可能になります
13 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ECTMCE	ECC テストモードイネーブルビット 本ビットはテストレジスタおよび、本レジスタのテスト制御ビットへのアクセス許可するかを選択するビットです。このビットの書き込み時は ETMA1, ETMA0 = 1, 0 を同時に書き込む必要があります。 0: テストモードレジスタおよびビットに対するアクセスを禁止する 1: テストモードレジスタおよびビットに対するアクセスを許可する テストレジスタ: ECCRCANnTED, ECCRCANnTRC, ECCRCANnSYND, ECCRCANnHORD, ECCRCANnECRD, ECCRCANnERDB レジスタ テスト制御ビット: ECTRRS, ECREOS, ECENS, ECDCS, ECREIS
6, 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	ECTRRS	ECC RAM リードテストモード選択ビット 本ビットは、ECCRCANnTED レジスタをリードする際の読み込み先、および ECCRCANnERDB レジスタをリードする際の読み込み先を選択します。本ビットへのライトアクセスは、ECTMCE = 1 のときのみ有効です (同時設定可能)。また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア)。 0: ECCRCANnTED レジスタのリード値は、ECCRCANnTED レジスタの書き込み値となります。 ECCRCANnERDB レジスタのリード値は、ECCRCANnERDB レジスタの書き込み値となります。 1: ECCRCANnTED レジスタのリード値は、RAM データが読み出せます。 ECCRCANnERDB レジスタのリード値は、RAM に書き込まれる ECC データとなります。
3	ECREOS	ECC 冗長ビット出力データ選択ビット 本ビットは、RAM に格納する ECC データを、書き込みデータに対して生成された ECC データとするか、または ECCRCANnERDB レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です (同時設定可能)。また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア)。 0: 書き込みデータに対して生成された ECC データを RAM に格納する。 1: ECCRCANnERDB レジスタの値を RAM に格納する。

表 21.302 ECCRCANnTMC レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	ECENS	<p>ECC エンコード入力選択ビット</p> <p>本ビットは、ECC データを生成する際の対象データを、RAM への書き込みデータとするか、または ECCRCANnTED レジスタの値とするかを選択するビットです。</p> <p>本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です (同時設定可能)。また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア)。</p> <p>0 : RAM へのライトデータから ECC データを生成する。</p> <p>1 : ECCRCANnTED レジスタの値から ECC データを生成する。</p>
1	ECDCS	<p>ECC デコード入力選択ビット</p> <p>本ビットは、シンドロームコードの生成と、誤り検出を行う際の対象データを、RAM データとするか、または ECCRCANnTED レジスタ値とするかを選択するビットです。</p> <p>本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です (同時設定可能)。また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア)。</p> <p>0 : RAM データからシンドロームコードの生成と、誤り検出を行う。</p> <p>1 : ECCRCANnTED レジスタの値からシンドロームコードの生成と、誤り検出を行う。</p>
0	ECREIS	<p>ECC 冗長ビット入力データ選択ビット</p> <p>本ビットは、シンドロームコードの生成と、誤り検出を行う際の対象 ECC データを、RAM に格納された ECC データとするか、または ECCRCANnERDB レジスタ値とするかを選択するビットです。</p> <p>本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です (同時設定可能)。また、本ビットは ECTMCE = 0 によりクリアされず (同期クリア)。</p> <p>0 : RAM に格納された ECC データからシンドロームコードの生成と、誤り検出を行う。</p> <p>1 : ECCRCANnERDB レジスタの値からシンドロームコードの生成と、誤り検出を行う。</p>

21.23.6 ECCRCANnTED — RSCAN1 ECC エンコード/デコード入出力代替テストレジスタ

ECCテストモードにおいて、テストデータを扱うレジスタです。

本レジスタの値から、ECCデータの生成またはシンドロームコードの生成を行います。

ECCテストモードがイネーブル (ECCRCANnTMC.ECTMCE = 1) である場合にアクセス可能です。ECCRCANnTMC.ECTMCE = 0 の場合は、書き込みは無効、読み出し値は 0000 0000_H となります。

本レジスタは RS-CAN が RAM アクセスしないときに使用できます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 「表 21.300 レジスタ一覧」を参照してください。

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECEDB[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEDB[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.303 ECCRCANnTED レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	ECEDB[31:0]	ECCRCANnTMC.EGENS = 1 において本レジスタの値から ECC データを生成し、本レジスタの値を RAM へ格納します。 ECCRCANnTMC.ECDCS = 1 において本レジスタの値からシンドロームコードを生成し、本レジスタの値を ECC デコードシンドロームデータレジスタ (ECCRCANnSYND) に格納します。 また、ECCRCANnTMC.ECTRRS = 1 の際には本レジスタのリード値は書き込んだデータではなく、RAM データ [31:0] が読み出されます。

21.23.7 ECCRCANnTRC — RSCAN1 ECC 冗長ビットデータコントロールレジスタ

ECCテストモードにおいて、ECCデータに対するテストレジスタで、ECCRCANnSYND、ECCRCANnHORD、ECCRCANnECD、ECCRCANnERDBの4つの8ビットレジスタで構成されます。

ECCテストモードがイネーブル (ECCRCANnTMC.ECTMCE = 1) である場合にアクセス可能です。ECCRCANnTMC.ECTMCE = 0 の場合は、書き込みは無効、読み出し値は 0000 0000_H となります。

本レジスタは RS-CAN が RAM アクセスしないときに使用できます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 「表 21.300 レジスタ一覧」を参照してください。

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECCRCANnSYND (21.23.8 参照)								ECCRCANnHORD (21.23.9 参照)							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECCRCANnECD (21.23.10 参照)								ECCRCANnERDB (21.23.11 参照)							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

21.23.8 ECCRCANnSYND — RSCAN1 ECC デコードシンドロームデータレジスタ

ECC テストモードにおいて、生成されたシンドロームコードが格納されるリード専用レジスタです。

書き込みは無効です。

ECC テストモードがイネーブル (ECCRCANnTMC.ECTMCE = 1) の時リードアクセスのみ可能、ディセーブル (ECCRCANnTMC.ECTMCE = 0) の時、読み出し値は 00_H となります。

アクセス 8ビット単位でリードのみ可能です。

アドレス 「表 21.300 レジスタ一覧」を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	SYND6	SYND5	SYND4	SYND3	SYND2	SYND1	SYND0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 21.304 ECCRCANnSYND レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ~ 0	SYND[6:0]	生成されたシンドロームコードが随時格納されます。

21.23.9 ECCRCANnHORD — RSCAN1 ECC7 ビット冗長ビットデータ保持テストレジスタ

ECCテストモードにおいて、読み出したRAMデータに対するECCデータが格納されるレジスタです。

書き込みは無効です。

ECCテストモードがイネーブル (ECCRCANnTMC.ECTMCE = 1) の時リードアクセスのみ可能、ディセーブル (ECCRCANnTMC.ECTMCE = 0) の時、読み出し値は00_Hとなります。

アクセス 8ビット単位でリードのみ可能です。

アドレス 「表 21.300 レジスタ一覧」を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	HORD6	HORD5	HORD4	HORD3	HORD2	HORD1	HORD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 21.305 ECCRCANnHORD レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ~ 0	HORD[6:0]	読み出したRAMデータに対するECCコードが随時格納されます。また、ECCRCANnTMC.ECTRRS = 1の場合、ECCRCANnTEDレジスタをリードした際にもECCコードが格納されます。

21.23.10 ECCRCANnECDR — RSCAN1 ECC エンコードテストレジスタ

ECCテストモードにおいて、書き込んだRAMデータに対して生成されたECCデータが格納されるリード専用レジスタです。

書き込みは無効です。

ECCテストモードがイネーブル (ECCRCANnTMC.ECTMCE = 1) の時リードアクセスのみ可能、ディセーブル (ECCRCANnTMC.ECTMCE = 0) の時、読み出し値は00_Hとなります。

アクセス 8ビット単位でリードのみ可能です。

アドレス 「表 21.300 レジスタ一覧」を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	ECDR6	ECDR5	ECDR4	ECDR3	ECDR2	ECDR1	ECDR0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 21.306 ECCRCANnECDR レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ~ 0	ECDR[6:0]	RAMデータ書き込み時に生成されるECCデータを読み出すことができます。また、ECCRCANnTMC.ECENS = 1の際には、ECCRCANnTEDレジスタに書き込んだデータに対するECCデータを読み出すことができます。

21.23.11 ECCRCANnERDB — RSCAN1 ECC 冗長ビット入出力代替バッファレジスタ

ECC テストモードにおいて、ECC データを扱うレジスタです。

本レジスタの値は、RAM への書き込み時に生成される ECC データ、または RAM データの読み出し時に読み込まれる ECC データとして扱うことができます。

ECC テストモードがイネーブル (ECCRCANnTMC.ECTMCE = 1) である場合に、アクセスが可能です。ECCRCANnTMC.ECTMCE = 0 の場合は、書き込みは無効、読み出し値は 00_H となります。

アクセス 8ビット単位でリード/ライト可能です。

アドレス 「表 21.300 レジスタ一覧」を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	ERDB6	ERDB5	ERDB4	ERDB3	ERDB2	ERDB1	ERDB0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.307 ECCRCANnERDB レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 0	ERDB[6:0]	ECCRCANnTMC.ECREOS = 1 の場合、本レジスタの値を ECC データとして RAM へ格納します。 ECCRCANnTMC.ECREIS = 1 の場合、本レジスタの値を RAM から読み出された ECC データとします。 また、ECCRCANnTMC.ECTRRS = 1 の際には本レジスタのリード値は書き込んだデータではなく、RAM に格納する ECC データが読み出されます。

21.23.12 ECCRCAN1AD0 — RSCAN1 ECC エラーアドレスレジスタ 0

ECC エラー発生アドレスを格納する読み出し専用レジスタです。

ECC エラー判定許可状態で ECC エラーが検出されると、検出された信号をトリガとして RAM アドレスがキャプチャされ、この RAM アドレスがエラー発生アドレスとして格納されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ECCCAN1_base> + 10_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECEAD[30:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEAD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.308 ECCRCAN1AD0 レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。
30 ~ 0	ECEAD[30:0]	ECEAD0 は、ECC エラーが発生したアドレスを格納する読み出し専用レジスタです。 ECC エラー検出が許可された状態で ECC エラーが検出されると、検出信号をトリガとして RAM アドレスがラッチされ、このアドレスが ECC エラー発生アドレスとして ECEAD0 に格納されます。エラーステータスが設定されていない場合は、最初の ECC エラーの検出時にアドレスが格納されます。ただし、1 ビットエラーに続いて 2 ビットエラーが発生した場合は、後者のアドレスが格納されます。 ECEAD0 には 1 つのアドレスのみ格納できます。

21.23.13 SELB_READTEST — ECCREAD テスト選択レジスタ

RSCAN1 の ECC のレジスタのリード/ライトチェックに使用します。

詳細は「17.7.14 SELB_READTEST — ECCREAD テスト選択レジスタ」を参照してください。

21.24 RS-CAN モジュールの注意事項

- グローバルモードを変更する場合は、RSCAN1GSTS レジスタの GSLPSTS、GHLTSTS、GRSTSTS フラグで遷移を確認してください。チャンネルモードを変更する場合は、RSCAN1CmSTS レジスタ (m=6) の CSLPSTS、CHLTSTS、CRSTSTS フラグで遷移を確認してください。
- アクセプタンスフィルタ処理は、小さい番号の受信ルールから順にチェックを開始します。複数の受信ルールに同じ ID、IDE ビット、RTR ビットの値を設定した場合、小さい番号の受信ルールでアクセプタンスフィルタ処理が通過します。その後の DLC フィルタ処理を通過しなかった場合も、アクセプタンスフィルタ処理には戻らず、データ処理は終了し、メッセージはバッファに格納されません。
- 送信バッファを送受信 FIFO バッファにリンクしたり、送信キューに割り当てた場合、対応する送信バッファの制御レジスタ (RSCAN1TMCp レジスタ) は“00_H”にしてください。また、対応する送信バッファのステータスレジスタ (RSCAN1TMSTSp レジスタ) は使用しないでください。その他のステータスレジスタ (RSCAN1TMTRSTSy、RSCAN1TMTARSTSy、RSCAN1TMTCASTSy、RSCAN1TMTASTSy レジスタ) は、送受信 FIFO にリンクした、または送信キューに割り当てた送信バッファに対応するフラグは変化しません。対応する割り込み許可レジスタ (RSCAN1TMIECy レジスタ) の許可ビットは“0” (割り込み禁止) にしてください。
- 送受信 FIFO バッファにリンクされた送信バッファを、送信キューに割り当てないでください。
- 1つの送信バッファには、1つの送受信 FIFO バッファしかリンクできません。複数の送受信 FIFO バッファを同一番号の送信バッファにリンクさせないでください。
- タイムスタンプカウンタのクロック源に CANm ビットタイムクロックを選択した場合、対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードに遷移すると、タイムスタンプカウンタが停止します。
- 受信 FIFO バッファ、送受信 FIFO バッファがフルのときに、新しい受信メッセージを格納しようとした場合、新しいメッセージは破棄されます。送受信 FIFO バッファおよび送信キューに新しい送信メッセージを格納しようとする場合、送受信 FIFO バッファおよび送信キューがフルでないことを確認してください。
- 未使用の受信バッファ (RSCAN1RMIDq、RSCAN1RMPTRq、RSCAN1RMDf0q、RSCAN1RMDf1q レジスタ)、受信 FIFO バッファアクセスレジスタ (RSCAN1RFIDx、RSCAN1RFPTRx、RSCAN1RFDF0x、RSCAN1RFDF1x レジスタ) と送受信 FIFO バッファアクセスレジスタ (RSCAN1CFIDk、RSCAN1CFPTRk、RSCAN1CFDF0k、RSCAN1CFDF1k レジスタ) の値は、一度グローバルリセットモードを抜けグローバル動作モードやグローバルテストモードに遷移すると、不定になります。

第22章 ウィンドウウォッチドッグタイマ (WDTA)

本章では、ウィンドウウォッチドッグタイマ (WDTA) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1K に固有の特長について説明します。それ以降の節では、WDTA の機能、レジスタについて説明します。

22.1 RH850/F1K WDTA の特長

22.1.1 ユニット数とチャンネル数

本製品は、以下のユニット数の WDTA を搭載しています。

表 22.1 ユニット数

製品名	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
ユニット数	2		
名称	WDTAn (n = 0, 1)		

表 22.2 添字

添字	説明
n	本章では、ウィンドウウォッチドッグタイマ の各ユニットを「n」で識別します。たとえば、WDTAn イネーブルレジスタ (WDTAnWDTE) (n = 0, 1) のように記述しています。

22.1.2 レジスタベースアドレス

WDTAn のベースアドレスを以下の表に示します。

WDTAn のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 22.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<WDTA0_base>	FFED 0000 _H
<WDTA1_base>	FFED 1000 _H

22.1.3 クロック供給

WDTAn のクロック供給を以下の表に示します。

表 22.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名	説明
WDTA0	WDTATCKI	CKSCLK_AWDTA	タイマカウントクロック
	レジスタアクセスクロック	CPUCLK2	バスクロック
WDTA1	WDTATCKI	LS IntOSC	タイマカウントクロック
	レジスタアクセスクロック	CPUCLK2	バスクロック

22.1.4 割り込み要求

WDTAn の割り込み要求を以下の表に示します。

表 22.5 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
WDTA0			
INTWDTAn	WDTA0 75% 割り込み	40	—
WDTA1			
INTWDTAn	WDTA1 75% 割り込み	41	—

表 22.6 割り込み要求 (FE レベルノンマスカブル割り込み)

ユニット割り込み信号	説明	割り込み名称	DMA トリガ番号
WDTA0			
WDTAnTNMI	WDTA0 FENMI 割り込み (WDTA エラー検出モードが、NMI 要求のとき)	WDTA0NMI	—
WDTA1			
WDTAnTNMI	WDTA1 FENMI 割り込み (WDTA エラー検出モードが、NMI 要求のとき)	WDTA1NMI	—

22.1.5 リセット要因

WDTAn のリセット要因を以下に示します。WDTAn は以下のリセット要因で初期化されます。

表 22.7 リセット要因

ユニット名	リセット要因
WDTA0	リセット要因 (AWORES)
WDTA1	すべてのリセット要因 (ISORES)

備考 WDTA1 は STOP モード状態では停止します。

22.2 概要

22.2.1 機能概要

WDTA には次の機能があります。

- オプションバイトによるリセット解除後の動作モード選択

WDTA の有効・無効、リセット後のカウント開始・停止、カウンタオーバフロー時間の設定、VAC 機能の有効・無効が選択できます。オプションバイトによる WDTA の起動オプションを表 22.8 に示します。

- WDTA トリガ機能

WDTA は WDTA トリガレジスタへの起動コード書き込みにより、WDTA の起動およびカウンタをリスタートします。起動コードには、固定起動コードまたは可変起動コード (VAC 機能) があります。可変起動コードでは、WDTA トリガレジスタに前回と異なる値 (可変値) の書き込みでカウンタをリスタートします。

- 75% 割り込み要求信号

オーバフローインターバル時間の 75% に達した時に割り込み要求信号を発生することができます (WDTAnMD.WDTAnWIE により有効無効が可能)。

- ウィンドウ機能

WDTA トリガレジスタの書き込み有効期間 (ウィンドウオープン期間) を設定することができます。ウィンドウオープン期間以外で WDTA トリガレジスタに書き込みを行うとエラーが発生します。

- WDTA エラー検出機能

エラー検出時はノンマスカブル割り込み要求、または内部リセットが発生します。

エラー検出要因は「22.5.3 WDTA エラー検出」を参照してください。

表 22.8 WDTA の起動オプション

起動オプション	機能	説明	オプションバイト
OPWDEN	WDTA の設定	WDTA の有効／無効を設定します。 0 : WDTA 無効 1 : WDTA 有効	<ul style="list-style-type: none"> WDTA0 OPBT0.WDT0_0 WDTA1 OPBT0.WDT1_0
OPWDOVF[2:0]	オーバフローインターバル時間リセット値の設定	オーバフローインターバル時間制御ビット WDTAnMD.WDTAnOVF[2:0] のリセット値を指定します。	<ul style="list-style-type: none"> WDTA0/WDTA1 OPBT0.WDT_[2:0]
OPWDRUN	スタートモードの設定	スタートモードを指定します。 0 : ソフトウェアトリガスタートモード 1 : デフォルトスタートモード 詳細は「22.5.1 リセット解除後の WDTA」を参照してください。	<ul style="list-style-type: none"> WDTA0 OPBT0.WDT0_1 WDTA1 OPBT0.WDT1_1
OPWDVAC	可変起動コードの選択	カウンタオーバーフローを回避するためのカウンタリスタートトリガを発生させるトリガレジスタを指定します。 0 : WDTAnWDTE (固定) 1 : WDTAnEVAC (可変) WDTAnWDTE を選択した場合、このレジスタへの書き込み (起動コード) は、AC _H 固定です。WDTAnEVAC を選択した場合、このレジスタへの書き込みは、可変値となります。詳細は、「22.5.2 WDTA トリガ」「22.5.2.1 VAC 機能使用時の起動コードの計算」を参照してください。	<ul style="list-style-type: none"> WDTA0 OPBT0.WDT0_3 WDTA1 OPBT0.WDT1_3

備 考

オプションバイトの設定は「37.9 オプションバイト」を参照してください。

22.2.2 ブロック図

WDTA の主な構成要素を 図 22.1 に示します。

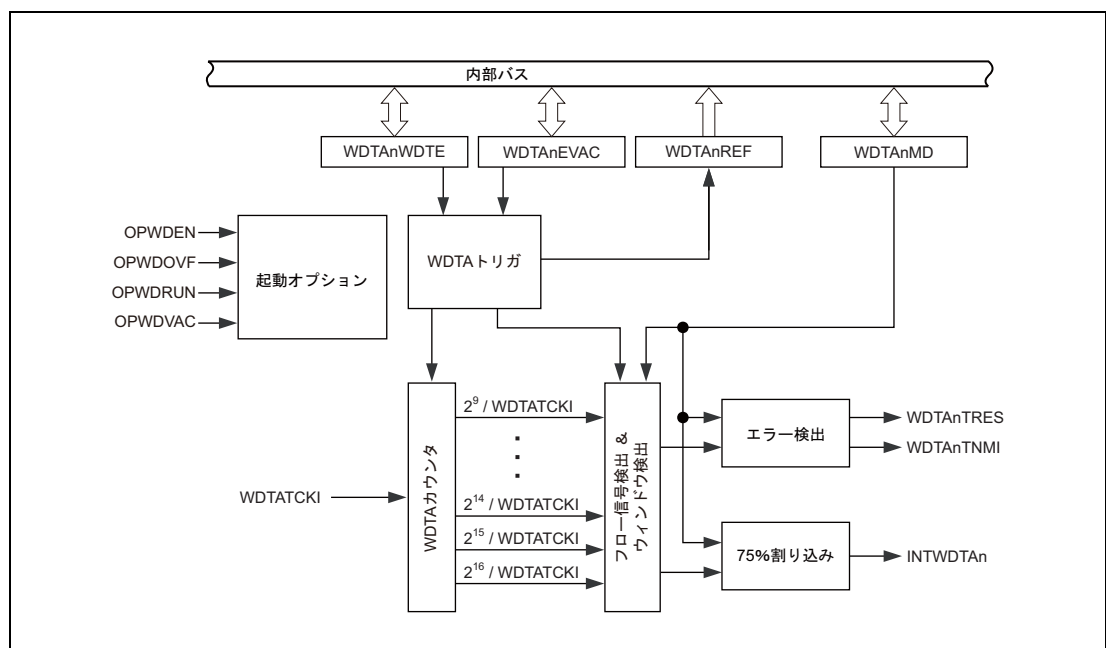


図 22.1 WDTA のブロック図

22.3 レジスタ

22.3.1 レジスタ一覧

WDTA のレジスタ一覧を以下の表に示します。

<WDTAn_base> は「**22.1.2 レジスタベースアドレス**」を参照してください。

表 22.9 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
WDTAn	WDTA イネーブルレジスタ	WDTAnWDTE	<WDTAn_base> + 0000 _H
	WDTA イネーブル VAC レジスタ	WDTAnEVAC	<WDTAn_base> + 0004 _H
	WDTA 基準値レジスタ	WDTAnREF	<WDTAn_base> + 0008 _H
	WDTA モードレジスタ	WDTAnMD	<WDTAn_base> + 000C _H

22.3.2 WDTAnWDTE — WDTA イネーブルレジスタ

このレジスタは、VAC 機能を使用していない場合（起動オプション OPWDVAC = 0）の WDTA トリガレジスタです。

AC_H を書き込むことにより WDTA トリガを発生し、WDTA カウンタをスタート/リスタートします。詳細は「**22.5.2 WDTA トリガ**」を参照してください。

このレジスタの動作は、起動オプション（OPWDVAC）の設定によって異なります。「**表 22.12 WDTAnWDTE の動作**」を参照してください。

WDTA0 は、AWORES で初期化されます。

WDTA1 は、どのリセット要因でも初期化されます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <WDTAn_base> + 0000_H

リセット後の値 起動オプション（OPWDEN, OPWDRUN, OPWDVAC）により異なります。「**表 22.11 WDTAnRUN7 のリセット後の値**」を参照してください。

ビット	7	6	5	4	3	2	1	0
	WDTAnRUN[7:0]							
リセット後の値	0/1	0	1	0	1	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.10 WDTAnWDTE レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	WDTAnRUN [7:0]	固定起動コード（AC _H ）を書き込むことにより WDTA トリガを発生し、WDTAn カウンタのスタート/リスタートを制御します。AC _H 以外の値を書き込んだ場合、エラーが発生します。スタート後 WDTAn を停止することはできません。リードした場合、およびライトする場合は、「 表 22.12 WDTAnWDTE の動作 」を参照してください。

WDTAnRUN7 ビットは、WDTA が有効（OPWDEN = 1）かつ VAC 機能が無効（OPWDVAC = 0）の場合のみ有効です。起動オプションによる WDTAnRUN7 ビットのリセット後の値を **表 22.11** に示します。

表 22.11 WDTAnRUN7 のリセット後の値

起動オプション			スタートモード	WDTAnRUN7 のリセット後の値
OPWDEN	OPWDVAC	OPWDRUN		
1	0	1	デフォルトスタート	1
		0	ソフトウェアトリガスタート	0

OPWDVAC 設定による WDTAnWDTE へのリード/ライトアクセス動作を「**表 22.12 WDTAnWDTE の動作**」に示します。

表 22.12 WDTAnWDTE の動作

OPWDVAC	説明	WDTAnWDTE	
		リード時	ライト時
0	VAC 機能無効 WDTAnWDTE 有効	2C _H が読めず (ソフトウェアトリガスタートモード、WDTAn 起動前の場合)。 AC _H が読めず (WDTAn 起動後)。	WDTA トリガ AC _H ^{注1} を書いてください。
1	VAC 機能有効 WDTAnWDTE 無効	2C _H が読めず。	ライトは無効です。

注 1. これ以外の値を書き込んだ場合、エラーが発生します。

22.3.3 WDTAnEVAC — WDTA イネーブル VAC レジスタ

このレジスタは、VAC 機能を使用している場合（起動オプション OPWDVAC = 1）の WDTA トリガレジスタです。

正しい起動コードを書き込むことにより WDTA トリガを発生し、WDTA カウンタをスタート/リスタートします。詳細は「**22.5.2 WDTA トリガ**」を参照してください。VAC 機能使用時の起動コードは、「**22.5.2.1 VAC 機能使用時の起動コードの計算**」を参照してください。

このレジスタの動作は、起動オプション（OPWDVAC）の設定によって異なります。「**表 22.15 WDTAnEVAC の動作**」を参照してください。

WDTA0 は、AWORES で初期化されます。

WDTA1 は、どのリセット要因でも初期化されます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <WDTAn_base> + 0004_H

リセット後の値 起動オプション（OPWDEN, OPWDRUN, OPWDVAC）により異なります。「**表 22.14 WDTAnEVAC7 のリセット後の値**」を参照してください。

ビット	7	6	5	4	3	2	1	0
	WDTAnEVAC[7:0]							
リセット後の値	0/1	0	1	0	1	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.13 WDTAnEVAC レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	WDTAnEVAC[7:0]	可変起動コードを書き込むことにより WDTA トリガを発生し、WDTAn カウンタのスタート/リスタートを制御します。誤った起動コードを書き込んだ場合、エラーが発生します。スタート後 WDTAn を停止することはできません。 リードした場合、およびライトする場合は、「 表 22.15 WDTAnEVAC の動作 」を参照してください。

WDTAnEVAC7 ビットは、WDTA が有効（OPWDEN = 1）かつ VAC 機能が有効（OPWDVAC = 1）の場合のみ有効です。起動オプションによる WDTAnEVAC7 ビットのリセット後の値を**表 22.14**に示します。

表 22.14 WDTAnEVAC7 のリセット後の値

起動オプション			スタートモード	WDTAnEVAC7 のリセット後の値
OPWDEN	OPWDVAC	OPWDRUN		
1	1	1	デフォルトスタート	1
		0	ソフトウェアトリガスタート	0

OPWDVAC 設定による WDTAnEVAC へのリード/ライトアクセス動作を表 22.15 に示します。

表 22.15 WDTAnEVAC の動作

OPWDVAC	説明	WDTAnEVAC	
		リード時	ライト時
0	VAC 機能 無効 WDTAnEVAC 無効	2C _H が読めます。	ライトは無効です。
1	VAC 機能 有効 WDTAnEVAC 有効	2C _H が読めます (ソフトウェアトリガスタートモード、WDTAn 起動前の場合)。 最後に書き込まれた可変起動コードの値が読めます (WDTAn 起動後)。	可変起動コード ^{注1} を書いてください。 詳細は「22.5.2.1 VAC 機能使用時の起動コードの計算」を参照してください。

注 1. これ以外の値を書き込んだ場合、エラーが発生します。

22.3.4 WDTAnREF — WDTA 基準値レジスタ

このレジスタは、VAC 機能の起動コードを求めるための基準値が格納されます。トリガ動作ごとに自動的に更新されます。詳細は「22.5.2.1 VAC 機能使用時の起動コードの計算」を参照してください。

VAC 機能が無効の場合 (OPWDVAC = 0)、このレジスタを読み出すと 00_H を返します。

WDTA0 は、AWORES で初期化されます。

WDTA1 は、どのリセット要因でも初期化されます。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <WDTAn_base> + 0008_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	WDTAnREF[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.16 WDTAnREF レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	WDTAnREF [7:0]	VAC 機能の起動コードを求めるための基準値

22.3.5 WDTAnMD — WDTA モードレジスタ

オーバフローインターバル時間、75% 割り込み許可/禁止、エラーモード、およびウィンドウオープン期間を指定します。

このレジスタの値は、リセット解除後、最初のトリガが発生する前に一度だけ変更可能です。変更後の値は次の WDTA トリガレジスタへの書き込みで有効になります。

最初の WDTA トリガ発生後に、このレジスタの値を変更するとエラーが発生しますが、同じ値を書き込んだ場合はエラーは発生しません。

WDTA0 は、AWORES で初期化されます。

WDTA1 は、どのリセット要因でも初期化されます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <WDTAn_base> + 000C_H

リセット後の値 起動オプション (OPWDOVF[2:0]) により異なります。「表 22.8 WDTA の起動オプション」を参照してください。

ビット	7	6	5	4	3	2	1	0
	—	WDTAnOVF[2:0]			WDTAnWIE	WDTAnERM	WDTAnWS[1:0]	
リセット後の値	0	注1	注1	注1	0	1	1	1
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. WDTAnOVF[2:0] のリセット後の値は、起動オプション OPWDOVF[2:0] により設定可能です。

表 22.17 WDTAnMD レジスタの内容 (1/2)

ビット位置	ビット名	機能																																				
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																				
6 ~ 4	WDTAnOVF [2:0]	オーバフローインターバル時間を選択します。 <table border="1"> <thead> <tr> <th>WDTAnOVF2</th> <th>WDTAnOVF1</th> <th>WDTAnOVF0</th> <th>オーバフローインターバル時間</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>2⁹ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>2¹⁰ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>2¹¹ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>2¹² / WDTATCKI</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>2¹³ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>2¹⁴ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>2¹⁵ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>2¹⁶ / WDTATCKI</td> </tr> </tbody> </table>	WDTAnOVF2	WDTAnOVF1	WDTAnOVF0	オーバフローインターバル時間	0	0	0	2 ⁹ / WDTATCKI	0	0	1	2 ¹⁰ / WDTATCKI	0	1	0	2 ¹¹ / WDTATCKI	0	1	1	2 ¹² / WDTATCKI	1	0	0	2 ¹³ / WDTATCKI	1	0	1	2 ¹⁴ / WDTATCKI	1	1	0	2 ¹⁵ / WDTATCKI	1	1	1	2 ¹⁶ / WDTATCKI
WDTAnOVF2	WDTAnOVF1	WDTAnOVF0	オーバフローインターバル時間																																			
0	0	0	2 ⁹ / WDTATCKI																																			
0	0	1	2 ¹⁰ / WDTATCKI																																			
0	1	0	2 ¹¹ / WDTATCKI																																			
0	1	1	2 ¹² / WDTATCKI																																			
1	0	0	2 ¹³ / WDTATCKI																																			
1	0	1	2 ¹⁴ / WDTATCKI																																			
1	1	0	2 ¹⁵ / WDTATCKI																																			
1	1	1	2 ¹⁶ / WDTATCKI																																			
3	WDTAnWIE	75% 割り込み要求 INTWDTAn の有効/無効 0 : INTWDTAn 無効 1 : INTWDTAn 有効																																				
2	WDTAnERM	エラーモードを指定します。 0 : NMI 要求モード 1 : リセットモード																																				

表 22.17 WDTAnMD レジスタの内容 (2/2)

ビット位置	ビット名	機能		
1、0	WDTAnWS[1:0]	ウィンドウオープン期間を選択します。		
		WDTAn WS1	WDTAn WS0	ウィンドウオープン期間
		0	0	25%
		0	1	50%
		1	0	75%
		1	1	100%

22.4 割り込み要因

WDTA は、WDTA カウンタ値の状態や WDTA 関連レジスタへの不正なアクセスを検出して、割り込み要求を発生します。WDTA の割り込み要求を以下に示します。

(1) INTWDTAn (WDTA タイマカウンタ 75% 割り込み要求)

WDTA タイマのカウンタオーバーフロー時間の 75% で割り込み要求信号を発生します。WDTA モードレジスタ WDTAnMD により、割り込み要求信号の有効 / 無効設定が可能です。

(2) WDTAnTNMI (WDTA エラー検出割り込み)

WDTA エラーの検出により、NMI 割り込み要求を発生します。WDTA モードレジスタ WDTAnMD により、NMI 割り込みとリセットの切り替えが可能です。WDTA エラーの内容は、「**22.5.3 WDTA エラー検出**」を参照してください。

22.5 機能

22.5.1 リセット解除後の WDTA

22.5.1.1 スタートモード

リセット解除後の WDTAn の開始には、ソフトウェアスタートモードとデフォルトスタートモードがあります。スタートモードは起動オプションで選択できます。

各スタートモードを表 22.18 に示します。

表 22.18 スタートモード

起動オプション OPWDRUN	スタートモード	説明
0	ソフトウェアトリガスタートモード	<ul style="list-style-type: none"> リセット解除後、WDTA のカウンタは停止 (0000_H) WDTA トリガレジスタへの起動コードの書き込みでスタートします。
1	デフォルトスタートモード	リセット解除後、WDTA のカウンタを開始します。

22.5.1.2 リセット解除後の WDTA の設定

(1) リセット解除後の WDTA の設定を表 22.19 に示します。

表 22.19 リセット解除後の WDTA の設定

機能	設定	備考
WDTA 有効・無効	起動オプションで指定	WDTA モードレジスタ WDTAnMD 設定により、1 度のみ変更が可能です。
スタートモード		
VAC 機能		
WDTA オーバフローインターバル時間	起動オプションで設定	
75% 割り込みモード	75% 割り込み無効	
エラー時の動作	リセット発生	
ウィンドウオープン期間	100%	

WDTA モードレジスタ WDTAnMD の設定は最初の WDTA トリガ (WDTA トリガレジスタ WDTAnWDTE、WDTAnEVAC への起動コード書き込み) で有効になります。WDTAnMD レジスタの設定を変更する場合、WDTA トリガ前に行ってください。

また、WDTAnMD による WDTA 設定は 1 度のみです。WDTA トリガ後に WDTAnMD の設定値を変更した場合、エラーが発生します。同じ値を設定した場合はエラーは発生しません。

22.5.1.3 デフォルトスタートモードのタイミング

デフォルトスタートモードのタイミングと WDTA 設定への変更を図 22.2 に示します。

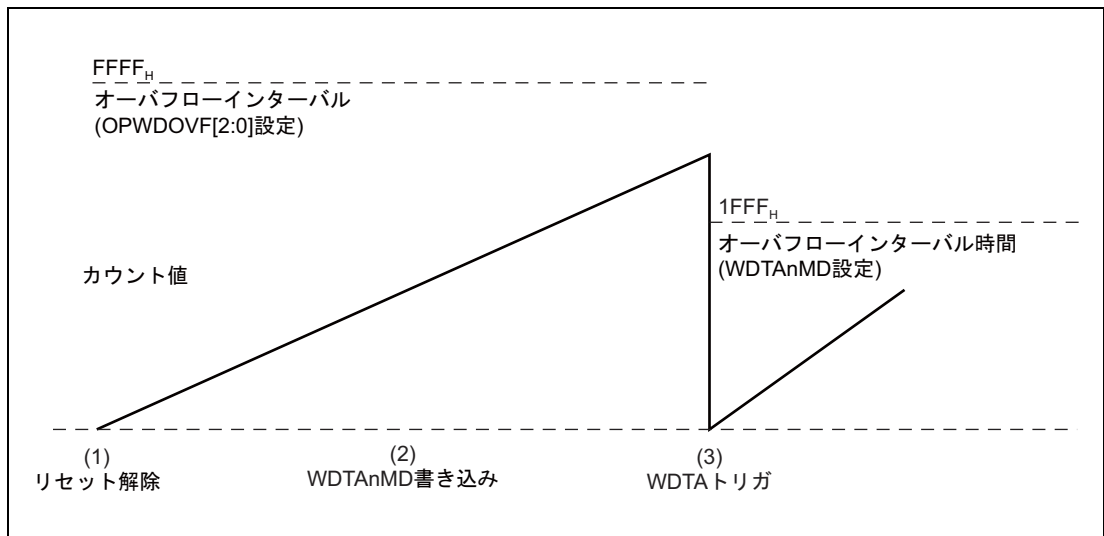


図 22.2 デフォルトスタートモード時の WDTA スタートのタイミング図

図 22.2 のタイミング図は次の動作を示します。

- (1) デフォルトスタートモードではリセット解除直後、WDTA カウントをスタートします。リセット解除後のオーバフローインターバル時間は起動オプションで設定します。

例) リセット解除後のオーバフローインターバル時間
 $= 2^{16}/\text{WDTATCKI}$ ($\text{OPWDOVF}[2:0] = 111_{\text{B}}$)

- (2) WDTAnMD は WDTA トリガ前に設定します。ただし設定はすぐには適用されません。
- (3) WDTA カウンタがオーバフローする前に WDTA トリガレジスタへの書き込みを行ってください。
 WDTA トリガにより WDTAnMD の設定が適用されます。

例) WDTA トリガ後のオーバフローインターバル時間
 $= 2^{13}/\text{WDTATCKI}$

22.5.1.4 ソフトウェアトリガスタートモードのタイミング

ソフトウェアトリガスタートモードのタイミングと WDTA 設定への変更を図 22.3 に示します。

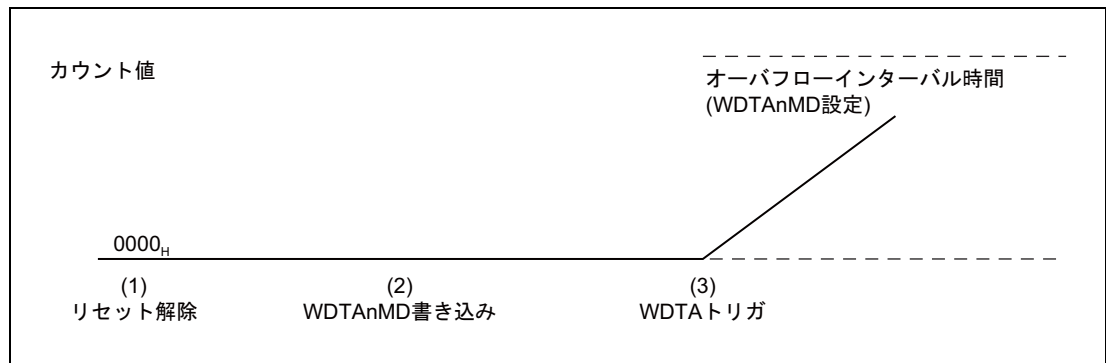


図 22.3 ソフトウェアトリガスタートモード時の WDTA スタートのタイミング図

図 22.3 のタイミング図は次の動作を示します。

- (1) リセット解除後、最初の WDTA トリガまで WDTA カウンタは 0000_H のままです。オーバーフローインターバル時間は起動オプションにより設定されますが、カウント動作が行われないため影響はありません。
- (2) WDTAnMD は WDTA トリガ前に設定します。ただし設定はすぐには適用されません。
- (3) WDTA トリガにより、WDTA カウンタがスタートします。WDTAnMD で指定したオーバーフローインターバル時間とその他の設定が適用されます。

22.5.2 WDTA トリガ

WDTA イネーブルレジスタ WDTAnWDTE、WDTA イネーブル VAC レジスタ WDTAnEVAC に、起動コードと呼ばれる特定の値を書き込むことにより WDTA トリガを発生します。

WDTA トリガには、次の機能があります。

- ソフトウェアトリガスタートモード時の WDTA カウンタの開始
- WDTA カウンタのカウントリスタート
- WDTAnMD レジスタによる WDTA モード設定(リセット解除後、最初の WDTA トリガのみ)

WDTA トリガを発生するレジスタを WDTA トリガレジスタと言い、起動オプション OPWDVAC で指定します。

WDTA トリガレジスタと起動コード設定を表 22.20 に示します。

表 22.20 WDTA トリガレジスタと起動コード

起動コードの種類	トリガレジスタ	起動コード
固定 (OPWDVAC = 0)	WDTAnWDTE	AC _H
可変 (OPWDVAC = 1)	WDTAnEVAC	詳細は「22.5.2.1 VAC 機能使用時の起動コードの計算」を参照してください。

注 意

- WDTA のクリア処理書き込みを連続で行う場合、以下の期間は次のクリア処理を受け付けません。
「12 × CPU クロック^{注1} + 6 × WDT クロック^{注2}」
- WDTA のクリア処理書き込み後、スタンバイモードに移行した場合、スタンバイモードから復帰後、以下の期間は次のクリア処理を受け付けません。
「6 × CPU クロック^{注1} + 3 × WDT クロック^{注2}」

注 1. CPU クロック : CKSC_CPUCLKS_CTL, CKSC_CPUCLKD_CTL で選択したクロック。

注 2. WDT クロック : WDTA0 は、CKSC_AWDTAD_CTL で選択したクロック。
WDTA1 は、LS IntOSC。

22.5.2.1 VAC 機能使用時の起動コードの計算

VAC 機能使用時、WDTA トリガレジスタ WDTAnEVAC に設定する可変起動コード (ExpectWDTE) は、WDTA 基準値レジスタ WDTAnREF を使用して、次式で求めます。

$$\text{ExpectWDTE} = \text{AC}_H - \text{WDTAnREF} \text{ (旧)}$$

なお、WDTAnREF レジスタの値はトリガレジスタ WDTAnEVAC に起動コードが書き込まれるたびに更新されます。WDTAnREF レジスタの更新値は次の式で求められます。

$$\text{WDTAnREF (新)} = (\text{ExpectWDTE を左に 1 ビットローテートシフト})$$

WDTA トリガ回数ごとの可変起動コードは表 22.21 のとおりです。

表 22.21 可変起動コードの展開

回数 ^{注1}	WDTAnREF (旧)		ExpectWDE (AC _H - WDTAnREF)		WDTAnREF (新)	
0	0000 0000	00 _H	1010 1100	AC _H	0101 1001	59 _H
1	0101 1001	59 _H	0101 0011	53 _H	1010 0110	A6 _H
2	1010 0110	A6 _H	0000 0110	06 _H	0000 1100	0C _H
...

注 1. リセット後のトリガ回数

備 考

誤った起動コードを書き込んだ場合、エラーが発生します。

22.5.3 WDTA エラー検出

WDTA は、WDTA のカウントオーバーフローの発生や不正な操作をエラーとして検出します。エラー検出項目を以下に示します。

- WDTA カウンタのオーバーフロー
- WDTA トリガレジスタへの誤った起動コードの書き込み
- ウィンドウオープン期間以外でのトリガレジスタへの書き込み
- 初回 WDTA トリガ発生後、WDTA モードレジスタ WDTAnMD の設定値を変更しようとした場合
- 初回 WDTA トリガ発生前に、WDTA モードレジスタ WDTAnMD の設定値を 2 回更新する場合

22.5.3.1 WDTA エラーモード

WDTA エラーが検出されたとき、WDTA エラーモードビット WDTAnMD.WDTAnERM の設定により、NMI 割り込み、またはリセットが発生します。リセット解除後のエラーモードビット設定はリセットモードです。

- WDTAnMD.WDTAnERM = 0 : NMI モード
- WDTAnMD.WDTAnERM = 1 : リセットモード

デフォルトスタートモードが選択されているとき、カウンタがオーバーフローした場合のリセットまたは NMI 要求の発生を図 22.4 に示します。

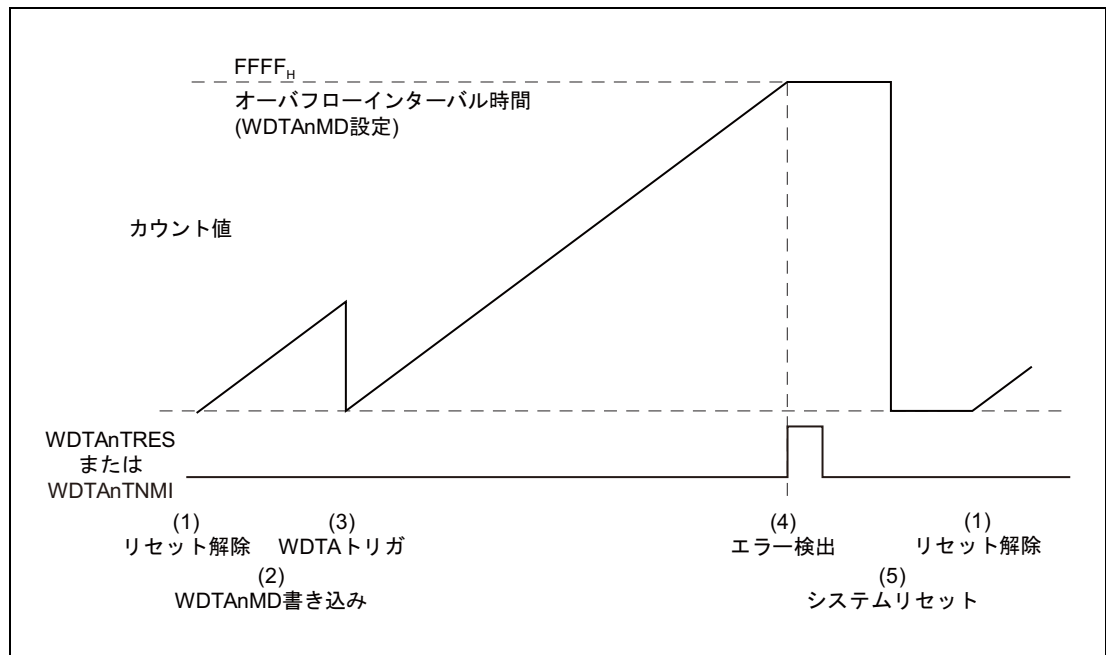


図 22.4 WDTA NMI 要求/リセット発生のタイミング図

図 22.4 のタイミング図は次の動作を示します。

- (1) デフォルトスタートモードではリセット解除後、WDTA カウンタをスタートします。リセット解除後のオーバーフローインターバル時間は起動オプションで設定します。
- (2) WDTAnMD は WDTA トリガ前に設定します。
ここでは $2^{16}/\text{WDTATCKI}$ をオーバーフローインターバル時間に設定しています。
- (3) WDTA トリガにより WDTAnMD の設定が適用されます。
- (4) カウンタがオーバーフローすると、エラーが検出されます。エラーモードによって、割り込み要求 WDTAnTNMI またはリセット WDTAnTRES のいずれかが発生します。カウンタ値は、システムリセットが行われるまで変わりません。
- (5) システムをリセットすると、カウンタはクリアされ、リセットが解除されるまで停止します。

22.5.4 75%割り込み要求信号

WDTA カウンタがオーバーフローインターバル設定時間の 75%に達すると、割り込み要求 INTWDTAn が発生します。

WDTAnMD.WDTAnWIE レジスタで、この機能の有効/無効を選択することができます。

次の条件下での 75%割り込み要求の発生を図 22.5 に示します。

- デフォルトスタートモードを選択
- 最初の WDTA トリガ後より、75% 割り込み要求が有効
- WDTA オーバーフローインターバル時間： $2^{16}/\text{WDTATCKI}$

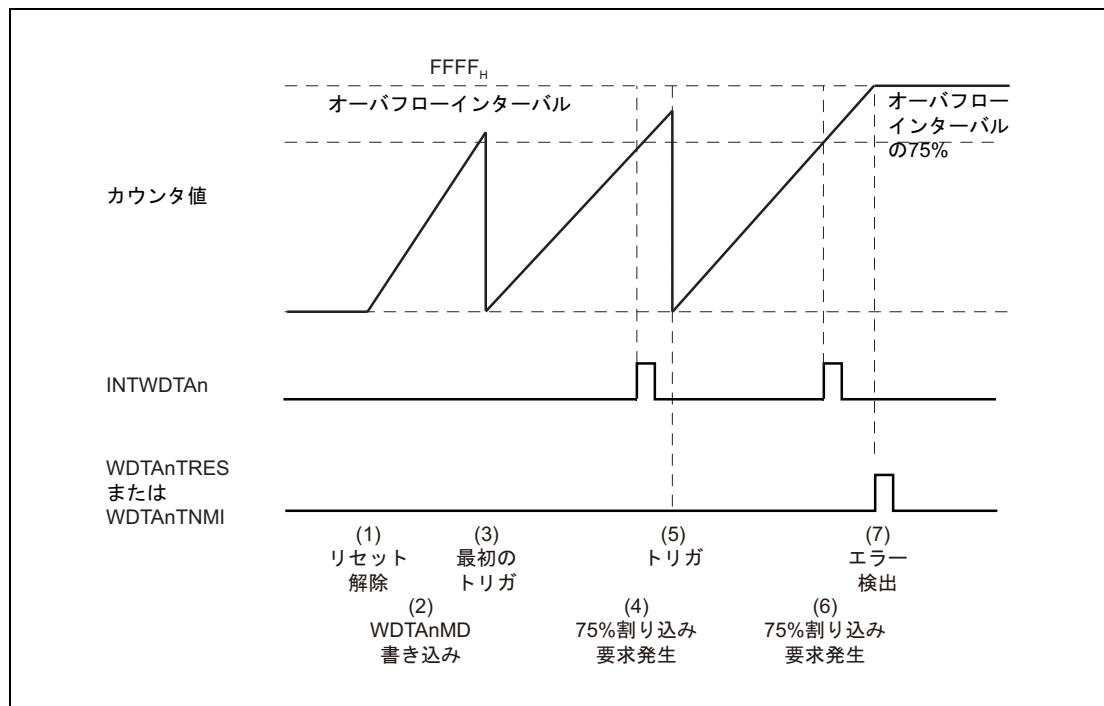


図 22.5 WDTA 75%割り込み要求信号のタイミング図

- (1) デフォルトスタートモードではリセット解除後、WDTA カウンタをスタートします。リセット解除後のオーバーフローインターバル時間は起動オプションによって設定されます。
- (2) WDTAnMD は WDTA トリガ前に設定します。ここでは $2^{16}/\text{WDTATCKI}$ をオーバーフローインターバル時間に設定しています。
- (3) WDTA トリガにより WDTAnMD の設定が適用されます。
- (4) WDTA カウンタがオーバーフローインターバル設定時間の 75%に達すると、割り込み要求 INTWDTAn が発生します。
- (5) WDTA トリガにより、カウンタがリスタートします。
- (6) WDTA カウンタがオーバーフローインターバル設定時間の 75%に達すると、割り込み要求 INTWDTAn が発生します。
- (7) カウンタがオーバーフローすると、エラーが検出されます。エラーモードによって、割り込み要求 WDTAnTNMI またはリセット WDTAnTRES のいずれかが発生します。カウンタ値は、システムリセットが行われるまで変わりません。

22.5.5 ウィンドウ機能

WDTA トリガの有効期間（ウィンドウオープン期間）を設定することができます。

ウィンドウオープン期間を 100%未満に設定すると、ウィンドウオープン期間以外の WDTA トリガによりエラーが発生します。リセット解除後、ウィンドウオープン期間は 100%です。最初の WDTA トリガで、WDTAnMD.WDTAnWS[1:0] に設定した値になります。

次の条件下でのウィンドウ機能動作を図 22.6 に示します。

- デフォルトスタートモードを選択
- 最初の WDTA トリガ後より、25% ウィンドウオープン期間が有効 (WDTAnWS[1:0]=00_B)
- WDTA オーバフローインターバル時間： $2^{16}/\text{WDTATCKI}$

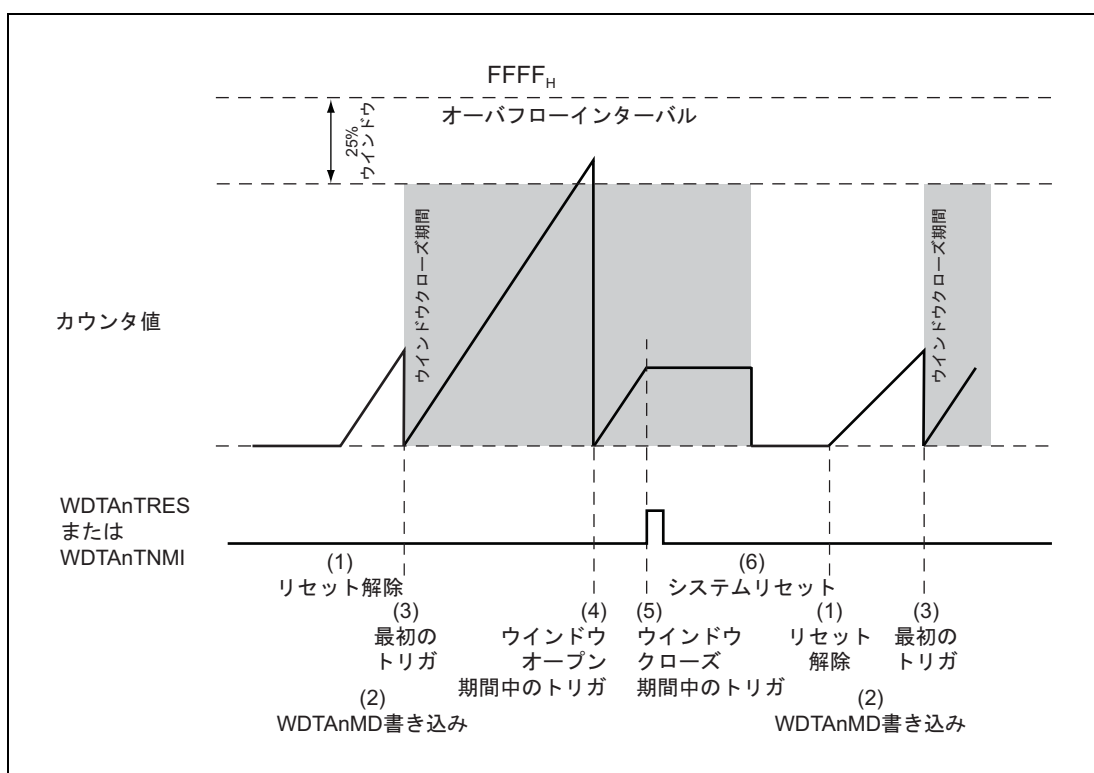


図 22.6 WDTA ウィンドウ機能のタイミング図

- (1) デフォルトスタートモードではリセット解除後、WDTA カウンタをスタートします。リセット解除後のオーバフローインターバル時間は起動オプションで設定します。
- (2) WDTAnMD は WDTA トリガ前に設定します。ここでは $2^{16}/\text{WDTATCKI}$ をオーバフローインターバル時間に設定しています。
- (3) WDTA トリガにより WDTAnMD の設定が適用されます。
- (4) ウィンドウオープン期間中に、WDTA トリガにより、カウンタがリスタートします。
- (5) ウィンドウクローズ期間中に、WDTA トリガにより、エラーが検出されます。エラーモードによって、割り込み求 WDTAnTNMI またはリセット WDTAnTRES のいずれかが発生します。カウンタ値は、システムリセットが行われるまで変わりません。
- (6) システムをリセットすると、カウンタはクリアされ、リセットが解除されるまで停止します。

第23章 OSタイマ (OSTM)

本章では、OSタイマ (OSTM) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1K に固有の特長について説明します。それ以降の節では、OSTM の機能、レジスタについて説明します。

23.1 RH850/F1K OSTM の特長

23.1.1 ユニット数

本製品は以下のユニット数の OSTM を搭載しています。

表 23.1 ユニット数

製品名	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
ユニット数	5		
名称	OSTMn (n = 0 ~ 4)		

表 23.2 添字

添字	説明
n	本章では、OSTM の各ユニットを「n」で識別します。たとえば、OSTM カウンタレジスタは、OSTMnCNT のように記述しています。

23.1.2 レジスタベースアドレス

OSTM のベースアドレスを以下の表に示します。

OSTM のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 23.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<OSTM0_base>	FFD7 0000 _H
<OSTM1_base>	FFD7 0100 _H
<OSTM2_base>	FFD7 0200 _H
<OSTM3_base>	FFD7 0300 _H
<OSTM4_base>	FFD7 0400 _H

23.1.3 クロック供給

OSTM のクロック供給を以下の表に示します。

表 23.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名	説明
OSTMn (n = 0 ~ 4)	PCLK	CPUCLK2	タイマカウントクロック
	レジスタアクセスクロック	CPUCLK2	バスクロック

23.1.4 割り込み要求

OSTM の割り込み要求を以下の表に示します。

表 23.5 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
OSTM0			
OSTMTINT	OSTM0 割り込み	84 (INTOSTM0)	—

表 23.6 割り込み要求 (FE レベルマスカブル割り込み要求)

ユニット割り込み信号	説明	名称	DMA トリガ番号
OSTM0			
OSTMTINT	OSTM0 割り込み	INTOSTM0_FE	—
OSTM1			
OSTMTINT	OSTM1 割り込み	INTOSTM1_FE	—
OSTM2			
OSTMTINT	OSTM2 割り込み	INTOSTM2_FE	—
OSTM3			
OSTMTINT	OSTM3 割り込み	INTOSTM3_FE	—
OSTM4			
OSTMTINT	OSTM4 割り込み	INTOSTM4_FE	—

23.1.5 リセット要因

OSTM のリセット要因を以下に示します。OSTM は以下のリセット要因で初期化されます。

表 23.7 リセット要因

ユニット名	リセット要因
OSTMn (n = 0 ~ 4)	すべてのリセット要因 (ISORES)

23.2 概要

OSTMは32ビットのタイマ/カウンタです。

OSTMは、インターバルタイマモードまたはフリーランニングコンペアモードで使用できます。動作モードを選択することによりカウント方向（ダウン/アップ）を指定し、割り込み要求の生成を制御します。

23.2.1 機能概要

OSTMには、次の機能があります。

- 2つの動作モード
 - インターバルタイマモード
 - フリーランニングコンペアモード
- OSTMTINT 割り込み

23.2.2 ブロック図

OSTMの主な構成要素を次のブロック図に示します。

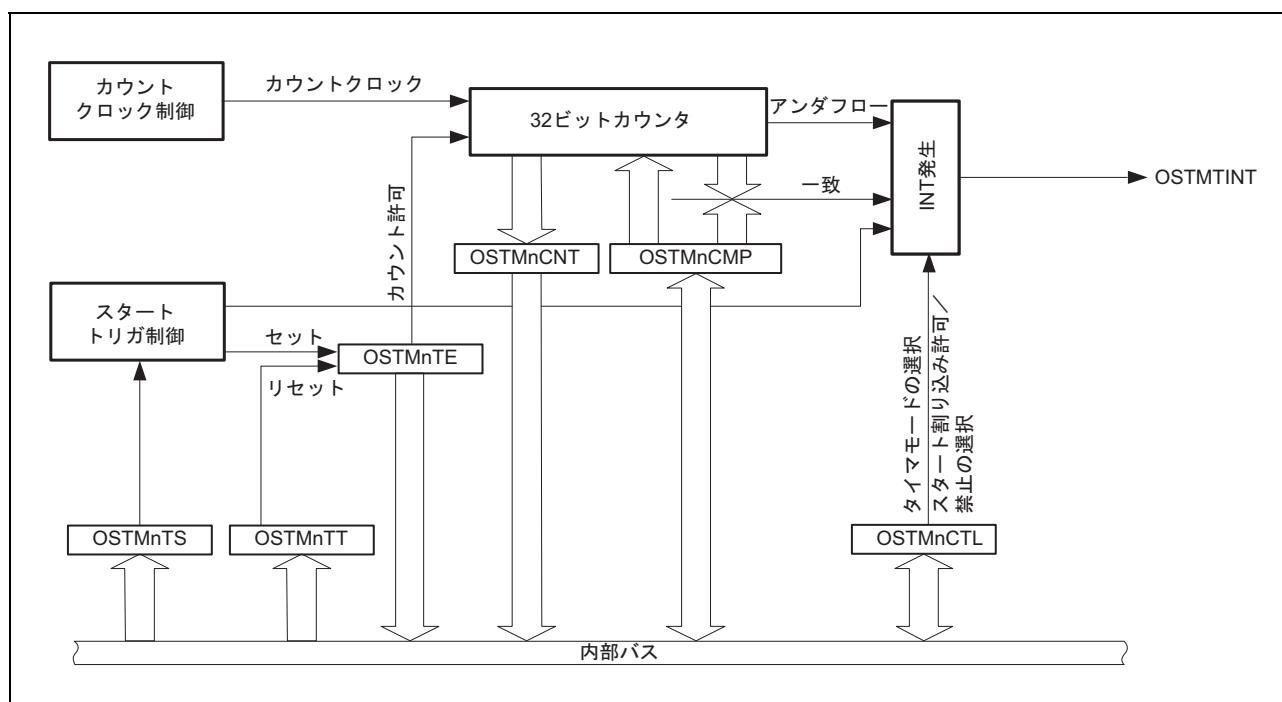


図 23.1 OSTMのブロック図

23.2.3 カウントクロック

OSTMはカウントクロックにPCLKを使用します。

23.2.4 割り込み要求 (OSTMTINT)

カウンタアンダフローが発生したとき（インターバルタイマモードの場合）またはカウンタが比較値と一致したとき（フリーランニングコンペアモードの場合）に割り込み要求 OSTMTINT が発生します。

さらに、割り込み要求はカウント開始時またはカウント再開時にも生成できます。これは OSTMnCTL.OSTMnMD0 ビットで制御します。

これを次の図に示します。

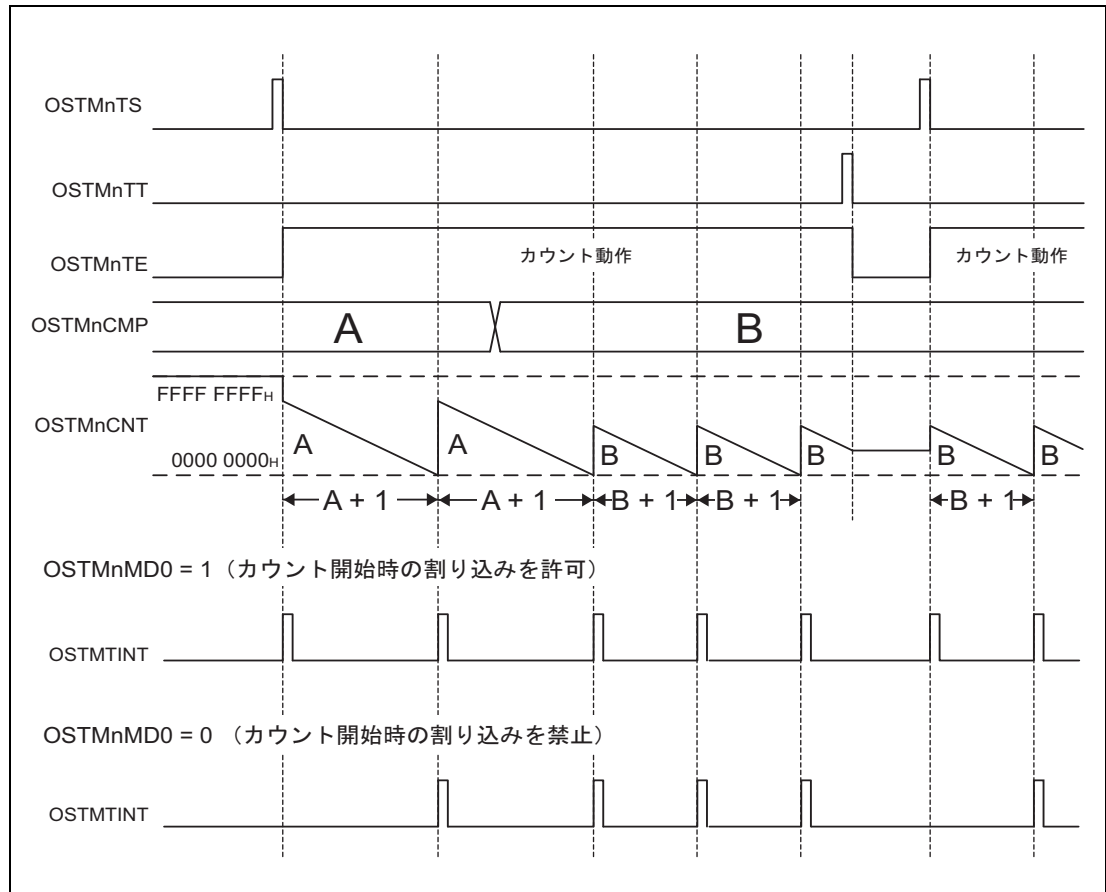


図 23.2 カウント開始時の割り込み生成（インターバルタイマモード）

23.3 レジスタ

23.3.1 レジスタ一覧

OSTM のレジスタ一覧を以下の表に示します。

<OSTMn_base> は「**23.1.2 レジスタベースアドレス**」を参照してください。

表 23.8 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
OSTMn	OSTMn コンペアレジスタ	OSTMnCMP	<OSTMn_base> + 00 _H
	OSTMn カウンタレジスタ	OSTMnCNT	<OSTMn_base> + 04 _H
	OSTMn カウントイネーブルステータスレジスタ	OSTMnTE	<OSTMn_base> + 10 _H
	OSTMn カウント開始トリガレジスタ	OSTMnTS	<OSTMn_base> + 14 _H
	OSTMn カウント停止トリガレジスタ	OSTMnTT	<OSTMn_base> + 18 _H
	OSTMn 制御レジスタ	OSTMnCTL	<OSTMn_base> + 20 _H
	OSTMn エミュレーションレジスタ	OSTMnEMU	<OSTMn_base> + 24 _H

23.3.2 OSTMnCMP — OSTMn コンペアレジスタ

このレジスタは、動作モードによってダウンカウンタの開始値またはカウンタが比較される値を格納します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <OSTMn_base> + 00_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OSTMnCMP[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSTMnCMP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.9 OSTMnCMP レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	OSTMnCMP [31:0]	<ul style="list-style-type: none"> インターバルタイマモードの場合：ダウンカウンタの開始値 フリーランニングコンペアモードの場合：比較値

23.3.3 OSTMnCNT — OSTMn カウンタレジスタ

このレジスタはタイマのカウンタ値を示します。

アクセス 32ビット単位でリードのみ可能です。

アドレス <OSTMn_base> + 04_H

リセット後の値 FFFF FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OSTMnCNT[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSTMnCNT[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 23.10 OSTMnCNT レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	OSTMnCNT [31:0]	タイマカウンタの値

OSTM の動作モード、カウンタ方向、スタート値の関係を表 23.11 に示します。スタート値は動作モードが変更された後にリードされる値です。

表 23.11 動作モード、カウンタ方向、スタート値の関係

タイマの動作モード	OSTMnCTL.OSTMnMD1	カウンタ方向	スタート値
インターバルタイマモード	0 ^{注1}	ダウン	FFFF FFFF _H
フリーランニングコンペアモード	1	アップ	0000 0000 _H

注 1. リセット後の値

23.3.4 OSTMnTE — OSTMn カウントイネーブルステータスレジスタ

このレジスタは、カウンタの状態を示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <OSTMn_base> + 10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 23.12 OSTMnTE レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	OSTMnTE	カウンタの状態を示します。 0 : カウンタが停止中 1 : カウンタが動作中 OSTMnTS.OSTMnTS を 1 に設定すると、このビットが 1 になります。 OSTMnTT.OSTMnTT を 1 に設定すると、このビットが 0 にリセットされます。

備考

カウンタが停止中の間はカウンタ値が保持されます。

カウントを再開した場合は次のようになります。

- インターバルタイマモードでは OSTMnCMP の設定値から再開します。
- フリーランニングコンペアモードでは、カウント値 0000 0000_H で動作を再開します。

23.3.5 OSTMnTS — OSTMn カウント開始トリガレジスタ

このレジスタは、カウントを開始します。

アクセス 8ビット単位でライトのみ可能です。

アドレス <OSTMn_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 23.13 OSTMnTS レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	OSTMnTS	カウントを開始します。 0: 設定は無効です。 1: カウントを開始し、OSTMnTE.OSTMnTE = 1 を設定します。 <ul style="list-style-type: none"> インターバルタイマモードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされると、強制リスタートが実行されます。 フリーランニングコンペアモードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされても無視されます。

23.3.6 OSTMnTT — OSTMn カウント停止トリガレジスタ

このレジスタは、カウンタを停止します。

アクセス 8ビット単位でライトのみ可能です。

アドレス <OSTMn_base> + 18_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 23.14 OSTMnTT レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	OSTMnTT	カウンタを停止します。 0: 設定は無効です。 1: カウンタを停止し、OSTMnTE.OSTMnTE ビットをクリアします。

23.3.7 OSTMnCTL — OSTMn 制御レジスタ

このレジスタは、カウンタの動作モードを指定し、カウント開始時の割り込み要求 OSTMTINT の生成を制御します。

このレジスタはリード/ライト可能ですが、OSTMnTE.OSTMnTE = 0 のときは書き込み可、OSTMnTE.OSTMnTE = 1 のときは読み出し専用となります。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <OSTMn_base> + 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OSTMnMD1	OSTMnMD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.15 OSTMnCTL レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	OSTMnMD1	カウンタの動作モードを指定します。 0: インターバルタイマモード 1: フリーランニングコンペアモード
0	OSTMnMD0	カウント開始時の OSTMTINT 割り込み要求を制御します。 0: カウント開始時の割り込みを禁止 1: カウント開始時の割り込みを許可

23.3.8 OSTMnEMU — OSTMn エミュレーションレジスタ

このレジスタは SVSTOP による動作を制御します。

アクセス 8ビット単位でリード/ライト可能です。
カウンタ停止中 (OSTMnTE.OSTMnTE = 0、かつ EPC.SVSTOP = 0) のときにライト動作を行ってください。

アドレス <OSTMn_base> + 24_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	OSTMnSVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 23.16 OSTMnEMU レジスタの内容

ビット位置	ビット名	機能
7	OSTMnSVSDIS	(EPC.SVSTOP ビット = 0 のとき) 本ビットの値 (1/0) にかかわらず、デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給 (EPC.SVSTOP ビット = 1 のとき) 0: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを停止 1: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給
6 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

23.4 動作

23.4.1 OSTM の起動と停止

OSTM は次のように起動し、停止します。

起動

OSTM は以下の設定で起動します。

- OSTMnTS.OSTMnTS ビット = 1 に設定

ステータスビット OSTMnTE.OSTMnTE が 1 に設定されます。

動作モードによって、カウンタはカウントダウンまたはカウントアップを開始します。詳細は「**23.4.2 インターバルタイマモード**」と「**23.4.3 フリーランニングコンペアモード**」を参照してください。

停止

OSTM は、OSTMnTT.OSTMnTT ビット = 1 に設定することで停止します。

ステータスビット OSTMnTE.OSTMnTE がクリアされます。

23.4.2 インターバルタイマモード

インターバルタイマモードでは、OSTM を一定の間隔で割り込み要求を発生する基準タイマとして使用できます。

23.4.2.1 インターバルタイマモードの基本動作

インターバルタイマモードでは、タイマは OSTMnCMP レジスタで指定された値からカウントダウンします。カウンタがアンダフローした (0000 0000_H に達した) 場合に、割り込み要求 OSTMTINT が発生します。

インターバルタイマモード利用時は OSTMnCTL.OSTMnMD1 = 0 に設定します。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。カウント動作中に書き換えられた場合、カウンタは次に 0000 0000_H に到達したときに新しい OSTMnCMP の値をロードします。次に、カウンタは新しい値で動作を継続します。

OSTMTINT 期間

OSTMTINT の期間は次のようになります。

- OSTMTINT 発生期間 = カウントクロック期間 × (OSTMnCMP + 1)

次の図に、インターバルタイマモードでカウンタスタート割り込みを許可された場合の OSTM の基本動作を示します。

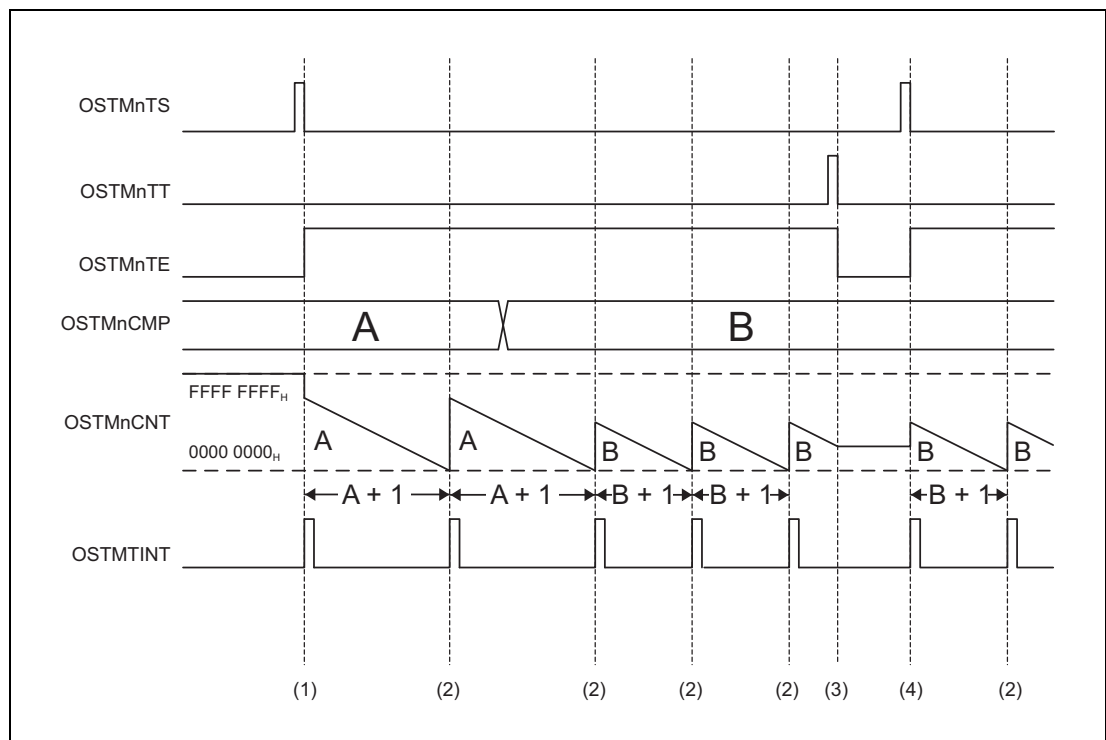


図 23.3 インターバルタイマモードの OSTM のタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウンタは、OSTMnTS.OSTMnTS = 1 によりカウントを開始します。
OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。
カウンタは、OSTMnCMP の値からカウントダウンを開始します。
OSTMnCTL.OSTMnMD0 = 1 の場合は、カウント開始タイミングで割り込み要求 OSTMTINT が発生します。カウンタ値は OSTMnCNT レジスタで示されます。
- (2) カウンタが 0000 0000_H に達すると、割り込み要求 OSTMTINT が発生します。カウンタは、OSTMnCMP から新しい開始値をロードしてカウントダウンを継続します。
- (3) OSTMnTT.OSTMnTT = 1 によりカウンタが停止すると、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。
カウンタは、カウントを再開するまでその時点での値を保持します。
- (4) OSTMnTS.OSTMnTS = 1 によりカウントを再開すると、カウンタは OSTMnCMP から新しい開始値をロードしてカウントダウンを開始します。

強制リスタート

カウンタの強制リスタートは、カウント動作中に $OSTMnTS.OSTMnTS = 1$ を設定することによって実行されます。

カウンタは、 $OSTMnCMP$ レジスタから開始値をロードしてカウントダウンを継続します。

次の図に、インターバルタイマモードでカウンタスタート割り込みが許可 ($OSTMnCTL.OSTMnMD0 = 1$) されるタイミング図を示します。

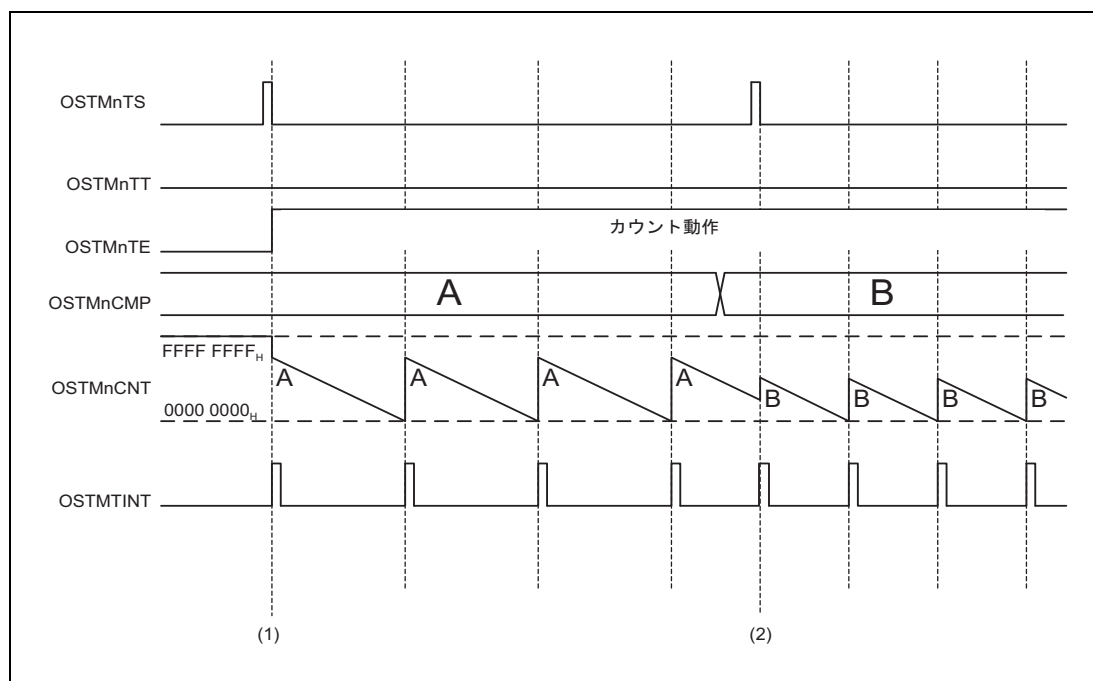


図 23.4 インターバルタイマモードの強制リスタートのタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウンタは、「**図 23.3 インターバルタイマモードの OSTM のタイミング図**」で説明されているように動作を開始します。
- (2) カウンタは、動作している間 ($OSTMnTE.OSTMnTE = 1$) $OSTMnTS.OSTMnTS = 1$ にすると、リスタートします。
カウンタは、ただちに $OSTMnCMP$ の現在値からカウントダウンを再開します。
 $OSTMnCTL.OSTMnMD0 = 1$ の場合は、カウント開始タイミングで割り込み要求 $OSTMTINT$ が発生します。

23.4.2.2 OSTMnCMP = 0000 0000_H の場合の動作

OSTMnCMP = 0000 0000_H の場合に、OSTM は次のように動作します。

- カウンタが有効な場合は、割り込み要求 OSTMTINT は常に 1 になります。

次の図に、OSTMnCMP = 0000 0000_H であり、カウンタスタート割り込みが許可された場合の OSTM の動作を示します。

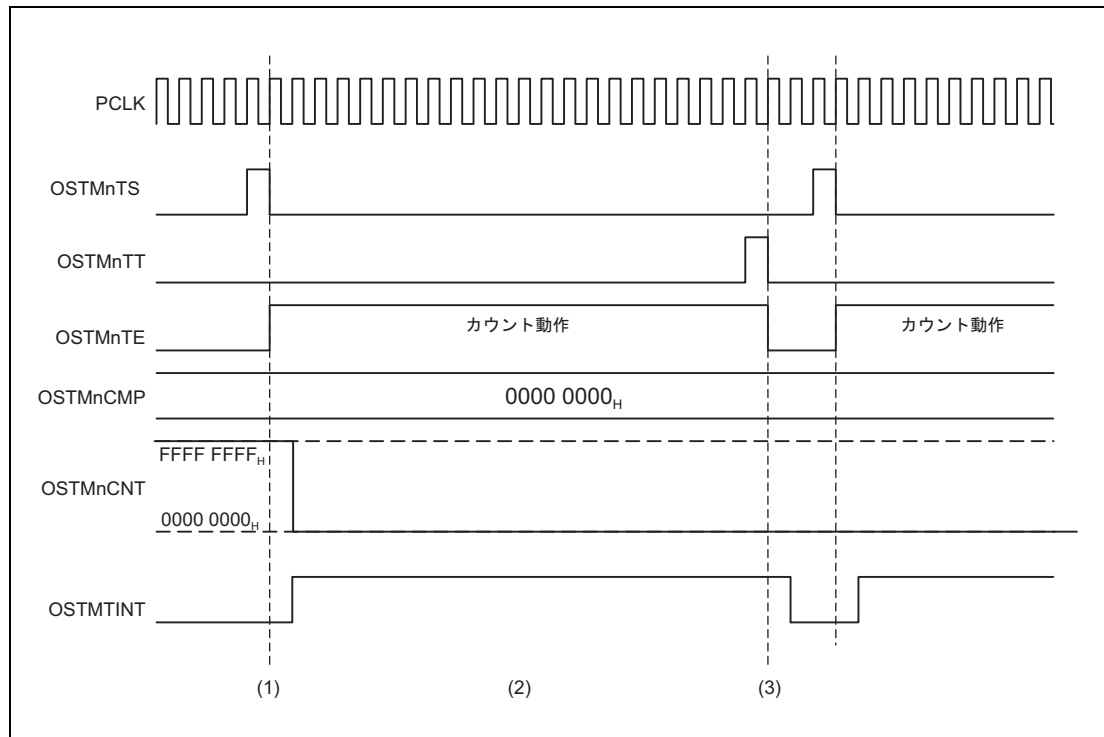


図 23.5 インターバルタイマモードで OSTMnCMP = 0000 0000_H の場合のタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウンタはカウントを開始しますが、OSTMnCMP の値をリロードするため、0000 0000_H のままです。
- (2) 割り込み要求 OSTMTINT が継続的に発生します。
- (3) カウンタが停止すると、割り込み要求 OSTMTINT が停止します。

カウント開始時に割り込み禁止の場合は、カウント開始タイミングで割り込みは発生しません。

23.4.2.3 インターバルタイマモードの設定手順

リセット解除後のインターバルタイマモードの設定手順を次に示します。

設定手順

- (1) OSTMnCMP レジスタにカウンタの開始値を設定します。
- (2) OSTMnCTL.OSTMnMD1 ビットを 0 に設定することによってインターバルタイマモードを選択します。
- (3) カウント開始時の割り込みの許可/禁止を選択します (OSTMnCTL.OSTMnMD0)。

23.4.3 フリーランニングコンペアモード

23.4.3.1 フリーランニングコンペアモードの基本動作

フリーランニングコンペアモードでは、カウンタは $0000\ 0000_H$ から $FFFF\ FFFF_H$ までカウントアップします。OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、割り込み要求 OSTMTINT が発生します。

フリーランニングコンペアモード利用時は、OSTMnCTL.OSTMnMD1 = 1 に設定します。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。

次の図に、フリーランニングコンペアモードでカウント開始が許可 (OSTMnCTL.OSTMnMD0 = 1) された場合の OSTM の基本動作を示します。

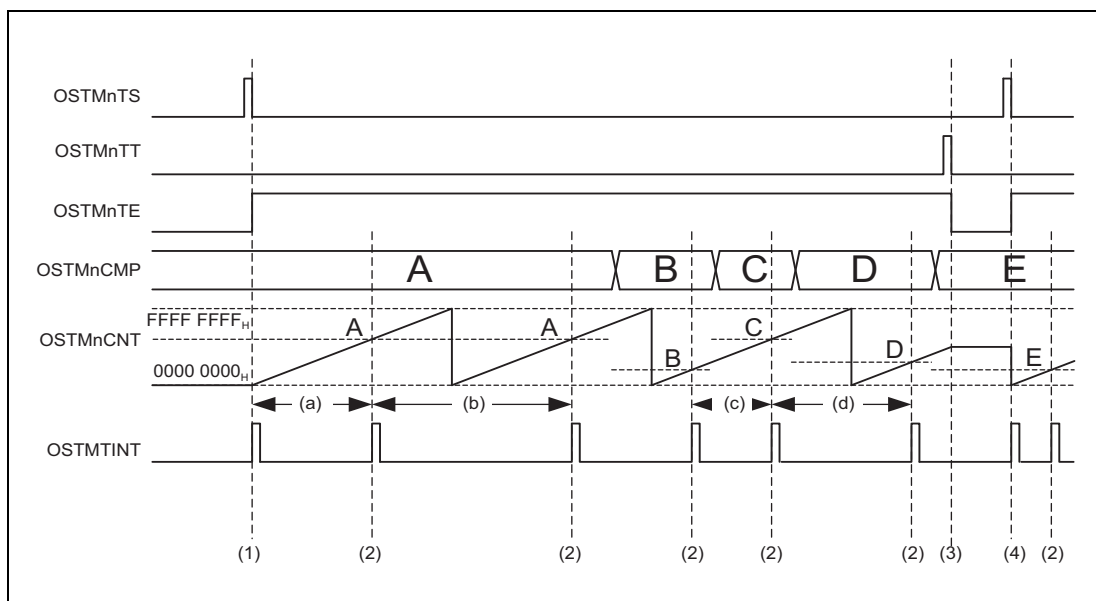


図 23.6 フリーランニングコンペアモードの OSTM のタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウンタは、OSTMnTS.OSTMnTS = 1 によりカウントを開始します。
OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。
カウンタは $0000\ 0000_H$ から $FFFF\ FFFF_H$ までカウントアップします。カウンタ値はレジスタ OSTMnCNT で示されます。
OSTMnCTL.OSTMnMD0 = 1 の場合は、カウント開始タイミングで割り込み要求 OSTMTINT が発生します。
- (2) OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、OSTMTINT 割り込み要求が発生します。
- (3) カウンタが停止すると (OSTMnTT.OSTMnTT = 1)、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。
カウンタは、カウントを再開するまでその時点での値を保持します。
- (4) OSTMnTS.OSTMnTS = 1 によりカウントを再開すると、カウンタは $0000\ 0000_H$ からカウントを開始します。

OSTMTINT 期間

OSTMTINT 発生期間はカウント開始時によって異なり、動作中に OSTMnCMP が書き換えられた場合は古い比較値と新しい比較値の大小関係によって変化します。

表 23.17 OSTMTINT 発生のタイミング

古い比較値	新しい比較値	書き換え時のカウンタ値	OSTMTINT の発生期間	タイミング図のラベル
カウント開始			$(A + 1) \times$ カウントクロック期間	(a)
A	A	書き換えなし	$(FFFF\ FFFF_H + 1) \times$ カウントクロック期間	(b)
B	$C > B$	$B <$ カウンタ値 $< C$	$(C - B) \times$ カウントクロック期間	(c)
C	$D < C$	カウンタ値 $> D, C$	$(FFFF\ FFFF_H - C + D + 1) \times$ カウントクロック期間	(d)

強制リスタート

カウント動作中に OSTMnTS.OSTMnTS ビットがセットされた場合、カウンタの強制リスタートは実行されません。カウンタは、この設定を無視してカウントを継続します。

23.4.3.2 OSTMnCMP = 0000 0000_H の場合の動作

次の図に、OSTMnCMP = 0000 0000_H であり、カウンタスタート割り込みが許可 (OSTMnCTL.OSTMnMD0 = 1) された場合の OSTM の動作を示します。

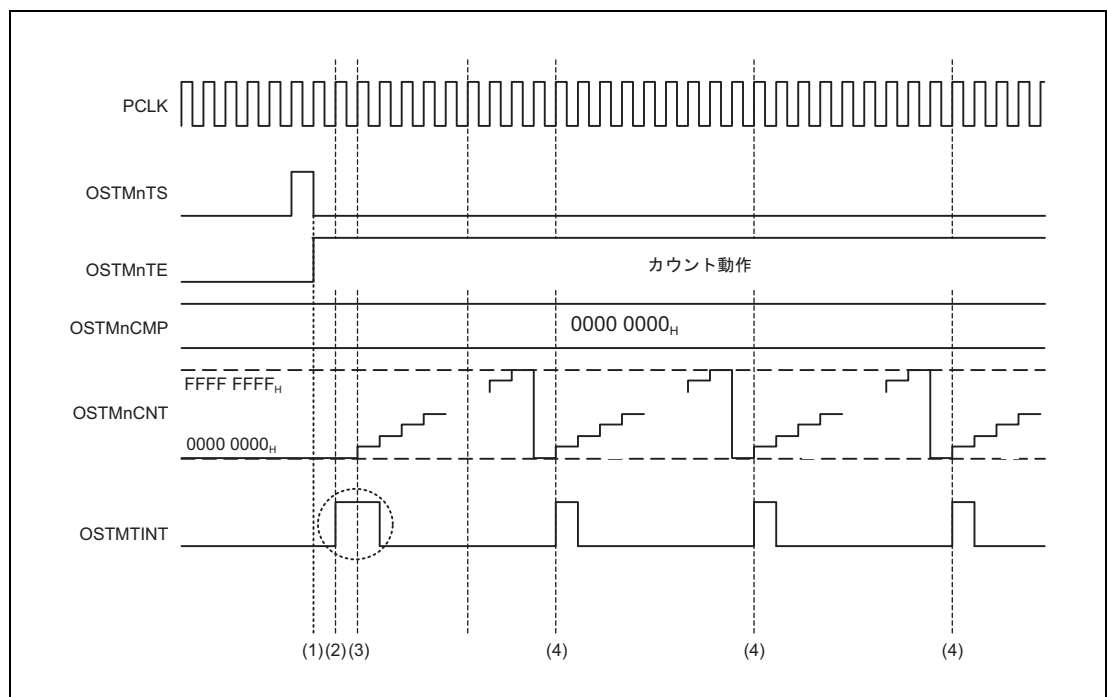


図 23.7 フリーランニングコンペアモードで OSTMnCMP = 0000 0000_H の場合のタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウントを開始すると、カウンタは 0000 0000_H から FFFF FFFF_H までをカウントします。
- (2) カウント開始時に割り込み要求 OSTMTINT が発生します。

- (3) 現在のカウント値が OSTMnCMP と一致する場合は、割り込み要求 OSTMTINT が発生します。上記のように OSTMnCMP = 0000 0000_H の場合、OSTMTINT はカウントクロック 2 クロック分発生します。
- (4) (FFFF FFFF_H + 1) クロックサイクルごとに、割り込み要求 OSTMTINT が発生します。カウント開始時に割り込み禁止の場合は、カウント開始タイミングで割り込みは発生しません。

23.4.3.3 フリーランニングコンペアモードの設定手順

リセット解除後のフリーランニングコンペアモードの設定手順を次に示します。

設定手順

- (1) OSTMnCMP レジスタに比較値を設定します。
- (2) OSTMnCTL.OSTMnMD1 ビットを 1 に設定することによってフリーランニングコンペアモードを選択します。
- (3) OSTMnCTL.OSTMnMD0 ビットでカウント開始時の割り込みの許可／禁止を選択します。

第 24 章 タイマアレギュニット B (TAUB)

本章では、タイマアレギュニット B (TAUB) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1K に固有の特長について説明します。それ以降の節では、TAUB の機能、レジスタについて説明します。

24.1 RH850/F1K TAUB の特長

24.1.1 ユニット数とチャンネル数

本製品は、以下のユニット数の TAUB を搭載しています。

表 24.1 ユニット数

製品名	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
ユニット数	1	1	2
名称	TAUBn (n = 0)	TAUBn (n = 0)	TAUBn (n = 0, 1)

TAUBn は以下に示すチャンネル数のタイマを搭載しています。

表 24.2 TAUBn のユニット構成とチャンネルの対応

ユニット名 (チャンネル名) TAUBn	ユニット チャンネル数	RH850/F1K 100 pin (16ch)	RH850/F1K 144 pin (16ch)	RH850/F1K 176 pin (32ch)
TAUB0	16	○	○	○
TAUB1	16	—	—	○

表 24.3 添字

添字	説明
n	本章では、TAUB の各ユニットを「n」で識別します。たとえば、TAUBn チャンネル出力モードレジスタ (TAUBnTOM) のように記述しています。
m	TAUB には 16 本のチャンネルがあります。本章では、各チャンネルを「m」(m = 0 ~ 15) で識別しており、特定のチャンネルを CHm のように記述しています。 偶数チャンネル (m = 0, 2, 4, 6, 8, 10, 12, 14) は CHm_even と記述します。 奇数チャンネル (m = 1, 3, 5, 7, 9, 11, 13, 15) は CHm_odd と記述します。

24.1.2 レジスタベースアドレス

TAUBn のベースアドレスを以下の表に示します。

TAUBn のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 24.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TAUB0_base>	FFE3 0000 _H
<TAUB1_base>	FFE3 1000 _H

24.1.3 クロック供給

TAUBn のクロック供給を以下の表に示します。

表 24.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名	説明
TAUBn	PCLK	CKSCLK_IPER12	タイマカウントクロック
	レジスタアクセスクロック	CPUCLK2	バスクロック
		CKSCLK_IPER12	

24.1.4 割り込み要求

TAUBn の割り込み要求を以下の表に示します。

表 24.6 割り込み要求 (1/2)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
TAUB0			
INTTAUB0I0	チャンネル 0 割り込み	142	33
INTTAUB0I1	チャンネル 1 割り込み	143	92
INTTAUB0I2	チャンネル 2 割り込み	144	34
INTTAUB0I3	チャンネル 3 割り込み	145	93
INTTAUB0I4	チャンネル 4 割り込み	146	35
INTTAUB0I5	チャンネル 5 割り込み	147	94
INTTAUB0I6	チャンネル 6 割り込み	148	36
INTTAUB0I7	チャンネル 7 割り込み	149	95
INTTAUB0I8	チャンネル 8 割り込み	150	96
INTTAUB0I9	チャンネル 9 割り込み	151	37
INTTAUB0I10	チャンネル 10 割り込み	152	97
INTTAUB0I11	チャンネル 11 割り込み	153	38
INTTAUB0I12	チャンネル 12 割り込み	154	98
INTTAUB0I13	チャンネル 13 割り込み	155	39
INTTAUB0I14	チャンネル 14 割り込み	156	99
INTTAUB0I15	チャンネル 15 割り込み	157	40
TAUB1			
INTTAUB1I0	チャンネル 0 割り込み	256	52
INTTAUB1I1	チャンネル 1 割り込み	257	115
INTTAUB1I2	チャンネル 2 割り込み	258	53
INTTAUB1I3	チャンネル 3 割り込み	259	116
INTTAUB1I4	チャンネル 4 割り込み	260	54
INTTAUB1I5	チャンネル 5 割り込み	261	117
INTTAUB1I6	チャンネル 6 割り込み	262	55
INTTAUB1I7	チャンネル 7 割り込み	263	118
INTTAUB1I8	チャンネル 8 割り込み	264	119
INTTAUB1I9	チャンネル 9 割り込み	265	56
INTTAUB1I10	チャンネル 10 割り込み	266	120
INTTAUB1I11	チャンネル 11 割り込み	267	57

表 24.6 割り込み要求 (2/2)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
INTTAUB1I12	チャンネル 12 割り込み	268	121
INTTAUB1I13	チャンネル 13 割り込み	269	58
INTTAUB1I14	チャンネル 14 割り込み	270	122
INTTAUB1I15	チャンネル 15 割り込み	271	59

24.1.5 リセット要因

TAUBn のリセット要因を以下に示します。TAUBn は以下のリセット要因で初期化されません。

表 24.7 リセット要因

ユニット名	リセット要因
TAUBn	すべてのリセット要因 (ISORES)

24.1.6 外部入出力信号

TAUBn の外部入出力信号を以下の表に示します。

表 24.8 外部入出力信号 (1/2)

ユニット信号名	説明	ポート端子兼用信号名
TAUB0		
TAUBTTIN0	チャンネル 0 入力 ^{注1}	TAUB0I0
TAUBTTIN1	チャンネル 1 入力 ^{注1}	TAUB0I1
TAUBTTIN2	チャンネル 2 入力 ^{注1}	TAUB0I2
TAUBTTIN3	チャンネル 3 入力 ^{注1}	TAUB0I3
TAUBTTIN4	チャンネル 4 入力 ^{注1}	TAUB0I4
TAUBTTIN5	チャンネル 5 入力 ^{注1}	TAUB0I5
TAUBTTIN6	チャンネル 6 入力 ^{注1}	TAUB0I6
TAUBTTIN7	チャンネル 7 入力 ^{注1}	TAUB0I7
TAUBTTIN8	チャンネル 8 入力 ^{注1}	TAUB0I8
TAUBTTIN9	チャンネル 9 入力 ^{注1}	TAUB0I9
TAUBTTIN10	チャンネル 10 入力 ^{注1}	TAUB0I10
TAUBTTIN11	チャンネル 11 入力 ^{注1}	TAUB0I11
TAUBTTIN12	チャンネル 12 入力 ^{注1}	TAUB0I12
TAUBTTIN13	チャンネル 13 入力 ^{注1}	TAUB0I13
TAUBTTIN14	チャンネル 14 入力 ^{注1}	TAUB0I14
TAUBTTIN15	チャンネル 15 入力 ^{注1}	TAUB0I15
TAUBTTOUT0	チャンネル 0 出力	TAUB0O0
TAUBTTOUT1	チャンネル 1 出力	TAUB0O1
TAUBTTOUT2	チャンネル 2 出力	TAUB0O2
TAUBTTOUT3	チャンネル 3 出力	TAUB0O3
TAUBTTOUT4	チャンネル 4 出力	TAUB0O4
TAUBTTOUT5	チャンネル 5 出力	TAUB0O5
TAUBTTOUT6	チャンネル 6 出力	TAUB0O6

表 24.8 外部入出力信号 (2/2)

ユニット信号名	説明	ポート端子兼用信号名
TAUBTTOUT7	チャンネル 7 出力	TAUB007
TAUBTTOUT8	チャンネル 8 出力	TAUB008
TAUBTTOUT9	チャンネル 9 出力	TAUB009
TAUBTTOUT10	チャンネル 10 出力	TAUB0010
TAUBTTOUT11	チャンネル 11 出力	TAUB0011
TAUBTTOUT12	チャンネル 12 出力	TAUB0012
TAUBTTOUT13	チャンネル 13 出力	TAUB0013
TAUBTTOUT14	チャンネル 14 出力	TAUB0014
TAUBTTOUT15	チャンネル 15 出力	TAUB0015
TAUB1		
TAUBTTIN0	チャンネル 0 入力 ^{注 1}	TAUB110
TAUBTTIN1	チャンネル 1 入力 ^{注 1}	TAUB111
TAUBTTIN2	チャンネル 2 入力 ^{注 1}	TAUB112
TAUBTTIN3	チャンネル 3 入力 ^{注 1}	TAUB113
TAUBTTIN4	チャンネル 4 入力 ^{注 1}	TAUB114
TAUBTTIN5	チャンネル 5 入力 ^{注 1}	TAUB115
TAUBTTIN6	チャンネル 6 入力 ^{注 1}	TAUB116
TAUBTTIN7	チャンネル 7 入力 ^{注 1}	TAUB117
TAUBTTIN8	チャンネル 8 入力 ^{注 1}	TAUB118
TAUBTTIN9	チャンネル 9 入力 ^{注 1}	TAUB119
TAUBTTIN10	チャンネル 10 入力 ^{注 1}	TAUB1110
TAUBTTIN11	チャンネル 11 入力 ^{注 1}	TAUB1111
TAUBTTIN12	チャンネル 12 入力 ^{注 1}	TAUB1112
TAUBTTIN13	チャンネル 13 入力 ^{注 1}	TAUB1113
TAUBTTIN14	チャンネル 14 入力 ^{注 1}	TAUB1114
TAUBTTIN15	チャンネル 15 入力 ^{注 1}	TAUB1115
TAUBTTOUT0	チャンネル 0 出力	TAUB100
TAUBTTOUT1	チャンネル 1 出力	TAUB101
TAUBTTOUT2	チャンネル 2 出力	TAUB102
TAUBTTOUT3	チャンネル 3 出力	TAUB103
TAUBTTOUT4	チャンネル 4 出力	TAUB104
TAUBTTOUT5	チャンネル 5 出力	TAUB105
TAUBTTOUT6	チャンネル 6 出力	TAUB106
TAUBTTOUT7	チャンネル 7 出力	TAUB107
TAUBTTOUT8	チャンネル 8 出力	TAUB108
TAUBTTOUT9	チャンネル 9 出力	TAUB109
TAUBTTOUT10	チャンネル 10 出力	TAUB1010
TAUBTTOUT11	チャンネル 11 出力	TAUB1011
TAUBTTOUT12	チャンネル 12 出力	TAUB1012
TAUBTTOUT13	チャンネル 13 出力	TAUB1013
TAUBTTOUT14	チャンネル 14 出力	TAUB1014
TAUBTTOUT15	チャンネル 15 出力	TAUB1015

注 1. チャンネル入力端子を使用する場合ポートのノイズフィルタの設定が必要となります。詳細は「2.12 ノイズフィルタ & エッジレベル検出回路」を参照してください。

24.2 概要

24.2.1 機能概要

TAUB には、次の機能があります。

- 単体動作機能 (1 チャンネルで動作する機能)
- 連動動作機能 (マスタチャンネル 1 チャンネルとスレーブチャンネルの複数チャンネルで実現する機能)

TAUB は、各種カウントやタイマ動作を行い、その動作の結果によって異なる信号を出力します。カウントクロックを生成するためのプリスケアラ、カウント開始値および比較値を保持するための 16 ビットカウンタ TAUBnCNTm と 16 ビットデータレジスタ TAUBnCDRm をそれぞれ備えた 16 チャンネルを搭載しています。

また、いくつかの制御レジスタおよびステータスレジスタを持っています。

単体および連動動作

各チャンネルは、単体で、またはほかのチャンネルと連動して、動作することが可能です。1 つのマスタチャンネルと 1 つ以上のスレーブチャンネルの場合、スレーブチャンネルは、マスタチャンネルに依存します。

あるチャンネルを単体動作させる場合、他のチャンネルと無関係に動作できます。連動動作機能は、チャンネルグループ (マスタチャンネルとスレーブチャンネルで構成されます) を組み合わせで実現する機能です。

チャンネルの設定には、いくつかのルールがあります。

24.2.2 用語

本章で使用されている用語について説明します。

単体動作機能／連動動作機能

TAUB は 16 チャンネルで構成されており、各チャンネル単独で動作する単体動作機能と、複数のチャンネルを組み合わせる動作する連動動作機能があります。

- 単体動作機能は、他のチャンネルと無関係に任意のチャンネルで使用可能です。
- 連動動作機能は、チャンネルグループ (マスタチャンネルとスレーブチャンネルで構成されます) を組み合わせる機能です。

チャンネルの設定には、いくつかのルールがあります。

チャンネルグループ

連動動作機能では、依存関係にあるすべてのチャンネルを「チャンネルグループ」と呼びます。

1 つのチャンネルグループは、1 つのマスタチャンネルと 1 つ以上のスレーブチャンネルで構成されます。

上位／下位チャンネル

チャンネル m から見て、小さい番号または大きい番号のチャンネルを上位または下位チャンネルと呼びます。

- 上位チャンネル：小さい番号のチャンネル
- 下位チャンネル：大きい番号のチャンネル

たとえば、チャンネル 5 に対してチャンネル 3 は上位チャンネル、チャンネル 9 は下位チャンネルです。チャンネル 0 が最上位チャンネル、チャンネル 15 が最下位チャンネルです。

24.2.3 タイマ動作機能一覧

このタイマは各チャンネルを単体で動作させたり、複数チャンネルを組み合わせて動作させることで、下記の機能が実現できます。

表 24.9 TAUB 動作機能一覧

動作機能	設定例
チャンネル単体動作機能	24.12 章
インターバルタイマ機能	24.12.1 章
TAUBTTINm 入力インターバルタイマ機能	24.12.2 章
クロック分周機能	24.12.3 章
外部イベントカウント機能	24.12.4 章
ワンパルス出力機能	24.12.5 章
TAUBTTINm 入力パルスインターバル測定機能	24.12.6 章
TAUBTTINm 入力信号幅測定機能	24.12.7 章
TAUBTTINm 入力位置検出機能	24.12.8 章
TAUBTTINm 入力期間カウント検出機能	24.12.9 章
TAUBTTINm 入力パルスインターバル判定機能	24.12.10 章
TAUBTTINm 入力信号幅判定機能	24.12.11 章
オーバフロー割り込み出力機能 (TAUBTTINm 幅測定時)	24.12.12 章
オーバフロー割り込み出力機能 (TAUBTTINm 入力期間カウント検出時)	24.12.13 章
チャンネル単体一斉書き換え機能	24.13 章
一斉書き換えトリガ生成機能タイプ 1	24.13.1 章
チャンネル連動動作機能	24.14 章
PWM 出力機能	24.14.1 章
ワンショットパルス出力機能	24.14.2 章
ディレイパルス出力機能	24.14.3 章
A/D 変換トリガ出力機能タイプ 1	24.14.4 章
三角波 PWM 出力機能	24.14.5 章
デッドタイム付き三角波 PWM 出力機能	24.14.6 章
A/D 変換トリガ出力機能タイプ 2	24.14.7 章

24.2.4 入出力と割り込み要求信号

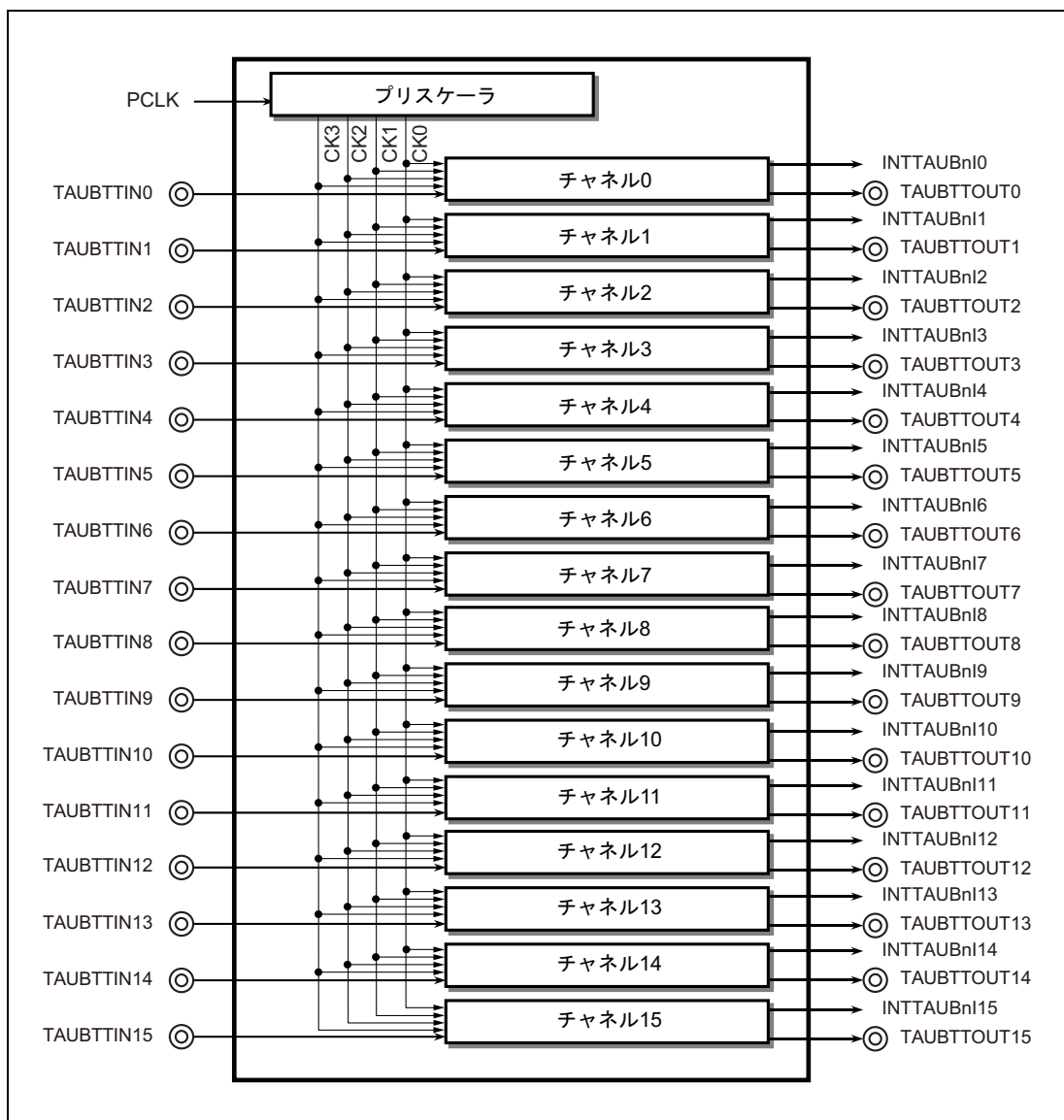


図 24.1 TAUB 入出力と割り込み要求信号

24.2.5 ブロック図

TAUB の主な構成要素を次の図に示します。

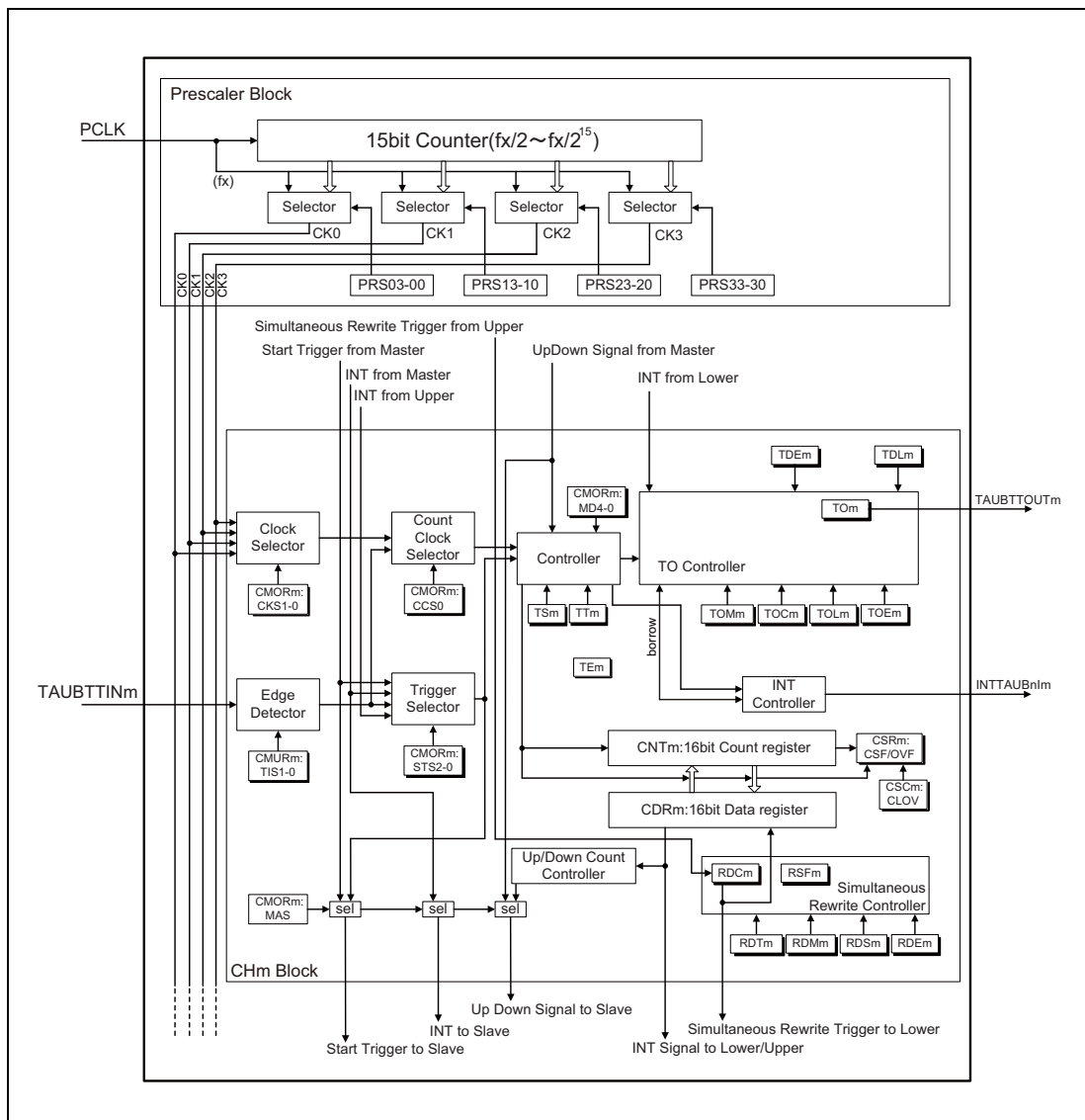


図 24.2 TAUB のブロック図

レジスタ名の「TAUBn」は、図を見やすくするために省略されています。

24.2.6 ブロック図の説明

機能ブロックを次に説明します。

プリスケータ

プリスケータは、すべてのチャンネルのカウントクロックとして使用することができる最大4つのクロック信号 (CK0 ~ CK3) を供給します。

カウントクロック CK0 ~ CK3 は、プリスケータにより PCLK の $2^0 \sim 2^{15}$ の分周したクロックを選択することができます。

クロックおよびカウントクロックの選択

クロックカウントセレクトは、各チャンネルに対してクロックソースを次から選択します。

- CK0 ~ CK3 のいずれかのクロック (クロックセレクトにより選択)
- TAUBTTINm 入力信号の有効エッジ

コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード (TAUBnCMORm.TAUBnMD[4:0] ビットにより選択)
- カウント開始許可 (TAUBnTS.TAUBnTSM) およびカウント停止 (TAUBnTT.TAUBnTTm)

カウントの開始を許可すると、ステータスフラグ TAUBnTE.TAUBnTEm がセットされます。

- カウント方式 (アップ/ダウン) (マスタチャンネルにより制御可能)

トリガセレクト

選択した動作モードにより、カウンタは、動作が許可されている場合 (TAUBnTE.TAUBnTEm = 1) には自動的に起動するか、外部スタートトリガ信号を待ちます。次の信号をスタートトリガとして使うことができます。

- TAUBTTINm 入力の有効エッジ
- マスタ、または上位チャンネルからの INTTAUBnIm
- マスタチャンネルのアップ/ダウン出力トリガ信号
- TAUBTTOUTm 生成ユニットのデッドタイム出力信号

一斉書き換えコントローラ

一斉書き換え制御は、連動動作機能等、複数チャンネル使用時に使える機能です。あるチャンネルグループに属する全チャンネルのデータレジスタ (TAUBnCDRm) はいつでも書き換えられます。一斉書き換えコントローラは、全チャンネルのデータレジスタの新しい値が同時に有効になります。

TAUBnTO コントローラ

各チャンネルの出力を制御することにより、PWM 信号や三角波信号などの各種出力信号を出力できます。

24.3 レジスタ

24.3.1 レジスタ一覧

TAUB のレジスタ一覧を以下の表に示します。

<TAUBn_base> は「24.1.2 レジスタベースアドレス」を参照してください。

表 24.10 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
TAUBn プリスケアラレジスタ			
TAUBn	TAUBn プリスケアラクロック選択レジスタ	TAUBnTPS	<TAUBn_base> + 240 _H
TAUBn 制御レジスタ			
TAUBn	TAUBn チャンネルデータレジスタ m	TAUBnCDRm	<TAUBn_base> + 0 _H + m × 4 _H
	TAUBn チャンネルカウンタレジスタ m	TAUBnCNTm	<TAUBn_base> + 80 _H + m × 4 _H
	TAUBn チャンネルモード OS レジスタ m	TAUBnCMORm	<TAUBn_base> + 200 _H + m × 4 _H
	TAUBn チャンネルモードユーザレジスタ m	TAUBnCMURm	<TAUBn_base> + C0 _H + m × 4 _H
	TAUBn チャンネルステータスレジスタ m	TAUBnCSRm	<TAUBn_base> + 140 _H + m × 4 _H
	TAUBn チャンネルステータスクリアトリガレジスタ m	TAUBnCSCm	<TAUBn_base> + 180 _H + m × 4 _H
	TAUBn チャンネルスタートトリガレジスタ	TAUBnTS	<TAUBn_base> + 1C4 _H
	TAUBn チャンネル許可ステータスレジスタ	TAUBnTE	<TAUBn_base> + 1C0 _H
	TAUBn チャンネルストップトリガレジスタ	TAUBnTT	<TAUBn_base> + 1C8 _H
TAUBn 出力レジスタ			
TAUBn	TAUBn チャンネル出力許可レジスタ	TAUBnTOE	<TAUBn_base> + 5C _H
	TAUBn チャンネル出力レジスタ	TAUBnTO	<TAUBn_base> + 58 _H
	TAUBn チャンネル出力モードレジスタ	TAUBnTOM	<TAUBn_base> + 248 _H
	TAUBn チャンネル出力コンフィグレーションレジスタ	TAUBnTOC	<TAUBn_base> + 24C _H
	TAUBn チャンネル出力アクティブレベルレジスタ	TAUBnTOL	<TAUBn_base> + 040 _H
	TAUBn チャンネルデッドタイム出力許可レジスタ	TAUBnTDE	<TAUBn_base> + 250 _H
	TAUBn チャンネルデッドタイム出力レベルレジスタ	TAUBnTDL	<TAUBn_base> + 54 _H
TAUBn リロードデータレジスタ			
TAUBn	TAUBn チャンネルリロードデータ許可レジスタ	TAUBnRDE	<TAUBn_base> + 260 _H
	TAUBn チャンネルリロードデータモードレジスタ	TAUBnRDM	<TAUBn_base> + 264 _H
	TAUBn チャンネルリロードデータ制御 CH 選択レジスタ	TAUBnRDS	<TAUBn_base> + 268 _H
	TAUBn チャンネルリロードデータ制御レジスタ	TAUBnRDC	<TAUBn_base> + 26C _H
	TAUBn チャンネルリロードデータトリガレジスタ	TAUBnRDT	<TAUBn_base> + 44 _H
	TAUBn チャンネルリロードステータスレジスタ	TAUBnRSF	<TAUBn_base> + 48 _H
TAUBn エミュレーションレジスタ			
TAUBn	TAUBn エミュレーションレジスタ	TAUBnEMU	<TAUBn_base> + 290 _H

24.3.2 TAUBn プリスケアラレジスタの詳細

24.3.2.1 TAUBnTPS — TAUBn プリスケアラクロック選択レジスタ

PCLK プリスケアラの全チャンネルの CK0、CK1、CK2、CK3 クロックを指定するレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUBn_base> + 240_H

リセット後の値 FFFF_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnPRS3[3:0]				TAUBnPRS2[3:0]				TAUBnPRS1[3:0]				TAUBnPRS0[3:0]			
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.11 TAUBnTPS レジスタの内容 (1/3)

ビット位置	ビット名	機能																																		
15 ~ 12	TAUBnPRS3 [3:0]	CK3 クロックを指定します。																																		
		<table border="1"> <thead> <tr> <th>TAUBnPRS3[3:0]</th> <th>CK3 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUBnPRS3[3:0]	CK3 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUBnPRS3[3:0]	CK3 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
		本ビットは、CK3 を使用するカウンタがすべて停止している (TAUBnTE.TAUBnTEm = 0) 場合のみ書き換え可能です。																																		

表 24.11 TAUBnTPS レジスタの内容 (2/3)

ビット位置	ビット名	機能																																		
11 ~ 8	TAUBnPRS2 [3:0]	<p>CK2 クロックを指定します。</p> <table border="1"> <thead> <tr> <th>TAUBnPRS2[3:0]</th> <th>CK2 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>本ビットは、CK2 を使用するカウンタがすべて停止している (TAUBnTE.TAUBnTE_m = 0) 場合のみ書き換え可能です。</p>	TAUBnPRS2[3:0]	CK2 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUBnPRS2[3:0]	CK2 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
7 ~ 4	TAUBnPRS1 [3:0]	<p>CK1 クロックを指定します。</p> <table border="1"> <thead> <tr> <th>TAUBnPRS1[3:0]</th> <th>CK1 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>本ビットは、CK1 を使用するカウンタがすべて停止している (TAUBnTE.TAUBnTE_m = 0) 場合のみ書き換え可能です。</p>	TAUBnPRS1[3:0]	CK1 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUBnPRS1[3:0]	CK1 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			

表 24.11 TAUBnTPS レジスタの内容 (3/3)

ビット位置	ビット名	機能																																		
3 ~ 0	TAUBnPRS0 [3:0]	CK0 クロックを指定します。 <table border="1" data-bbox="651 353 1417 1025"> <thead> <tr> <th>TAUBnPRS0[3:0]</th> <th>CK0 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUBnPRS0[3:0]	CK0 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUBnPRS0[3:0]	CK0 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
		本ビットは、CK0 を使用するカウンタがすべて停止している (TAUBnTE.TAUBnTE _m = 0) 場合のみ書き換え可能です。																																		

備 考

TAUBn クロック入力 PCLK については、本章の最初の節内「**24.1.3 クロック供給**」で定義しています。

24.3.3 TAUBn 制御レジスタの詳細

24.3.3.1 TAUBnCDRm — TAUBn チャンネルデータレジスタ

このレジスタは、TAUBnCMORm.TAUBnMD[4:1] で指定された動作モードによって、コンペアレジスタもしくはキャプチャレジスタとして機能するレジスタです。

アクセス 16ビット単位でリード/ライト可能です。
 ・キャプチャレジスタとして機能時はリードのみ可能です。ライト動作は無視されます。
 ・コンペアレジスタとして機能時はリード/ライト可能です。

アドレス <TAUBn_base> + m × 4_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.12 TAUBnCDRm レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUBnCDR [15:0]	キャプチャ値/コンペア値用データレジスタ

24.3.3.2 TAUBnCNTm — TAUBn チャネルカウンタレジスタ

チャンネル m カウンタレジスタです。

アクセス 16ビット単位でリードのみ可能です。

アドレス <TAUBn_base> + 80_H + m × 4_H

リセット後の値 FFFF_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCNT[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.13 TAUBnCNTm レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUBnCNT [15:0]	16ビットカウンタ値

リード値は、カウンタ、動作モード変更、TAUBnTS.TAUBnTSM、TAUBnTT.TAUBnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタストップトリガによる停止 (TAUBnTT.TAUBnTTm = 1)

カウント停止後 (TAUBnTE.TAUBnTEm = 0) と再許可後 (TAUBnTS.TAUBnTSM = 1) のカウンタの初期リード値を次の表に示します。

また、カウンタがスタートトリガを待っている状態で、カウンタ動作が許可 (TAUBnTS.TAUBnTSM = 1) されてから1カウント後のカウンタのリード値も示します。

表 24.14 カウント再許可後の TAUBnCNTm リード値

モード名	カウント方式 (アップ/ダウン)	TAUBnCNTm		
		スタート値 ^{注1}	ストップトリガ後	ワンカウント後
インターバルタイマモード	ダウンカウント	FFFF _H	停止値	—
ジャッジモード	ダウンカウント	FFFF _H	停止値	—
キャプチャモード	アップカウント	0000 _H	停止値	—
イベントカウントモード	ダウンカウント	FFFF _H	停止値	—
ワンカウントモード	ダウンカウント	FFFF _H	停止値	停止値
キャプチャ&ワンカウントモード	アップカウント	0000 _H	停止値	キャプチャ値 + 1 (TAUBnCDRm)
ジャッジ&ワンカウントモード	ダウンカウント	FFFF _H	停止値	TAUBnCNTm 値 - 1
アップ/ダウンカウントモード	アップ/ダウンカウント	FFFF _H	停止値	—
パルスワンカウントモード	ダウンカウント	FFFF _H	停止値	0000 _H
カウントキャプチャモード	アップカウント	0000 _H	停止値	—
ゲートカウントモード	ダウンカウント	FFFF _H	停止値	停止値
キャプチャ&ゲートカウントモード	アップカウント	0000 _H	停止値	停止値

注 1. リセット解除後、動作モードを変更した際に TAUBnCNTm にセットされる値

24.3.3.3 TAUBnCMORm — TAUBn チャンネルモード OS レジスタ

このレジスタは、チャンネル m の動作を制御します。

アクセス 16 ビット単位でリード/ライト可能です。カウンタ停止中 (TAUBnTE.TAUBnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUBn_base> + 200_H + m × 4_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.15 TAUBnCMORm レジスタの内容 (1/3)

ビット位置	ビット名	機能																																				
15、14	TAUBnCKS[1:0]	<p>動作クロックを選択します。 動作クロックは TAUBTTINm 入力エッジ検出回路で使用します。 TAUBnCMORm.TAUBnCCS0 ビットの設定により、TAUBnCNTm のカウントクロックとして使用することも可能です。</p> <table border="1"> <thead> <tr> <th>TAUBn CKS1</th> <th>TAUBn CKS0</th> <th>動作クロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CK0</td> </tr> <tr> <td>0</td> <td>1</td> <td>CK1</td> </tr> <tr> <td>1</td> <td>0</td> <td>CK2</td> </tr> <tr> <td>1</td> <td>1</td> <td>CK3</td> </tr> </tbody> </table>	TAUBn CKS1	TAUBn CKS0	動作クロック選択	0	0	CK0	0	1	CK1	1	0	CK2	1	1	CK3																					
TAUBn CKS1	TAUBn CKS0	動作クロック選択																																				
0	0	CK0																																				
0	1	CK1																																				
1	0	CK2																																				
1	1	CK3																																				
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																				
12	TAUBnCCS0	<p>TAUBnCNTm カウンタのカウントクロックを選択します。</p> <table border="1"> <thead> <tr> <th>TAUBnCCS0</th> <th>カウントクロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロック</td> </tr> <tr> <td>1</td> <td>TAUBTTINm 入力信号の有効エッジ</td> </tr> </tbody> </table>	TAUBnCCS0	カウントクロック選択	0	TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロック	1	TAUBTTINm 入力信号の有効エッジ																														
TAUBnCCS0	カウントクロック選択																																					
0	TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロック																																					
1	TAUBTTINm 入力信号の有効エッジ																																					
11	TAUBnMAS	<p>チャンネル連動動作時に、そのチャンネルがマスタチャンネルかスレーブチャンネルかを指定します。 0 : スレーブ 1 : マスタ このビット設定は偶数チャンネル (CHm_even) に対してのみ有効です。奇数チャンネル (CHm_odd) は、0 に固定されています。</p>																																				
10 ~ 8	TAUBnSTS [2:0]	<p>外部スタートトリガを選択します。</p> <table border="1"> <thead> <tr> <th>TAUBn STS2</th> <th>TAUBn STS1</th> <th>TAUBn STS0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>ソフトウェアトリガ</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>TAUBTTINm 入力信号の有効エッジ。有効エッジは TAUBnCMURm.TAUBnTIS[1:0] で指定</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>TAUBTTINm 入力信号の有効エッジをスタートトリガ、逆エッジをストップトリガとして使用</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>マスタチャンネルの INTTAUBnIm がスタートトリガ</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>マスタ設定にかかわらず、上位チャンネル (m-1) の INTTAUBnIm がスタートトリガ</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>TAUBTTOUTm 生成ユニットのデッドタイム出力信号</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>マスタチャンネルのアップ/ダウン出力トリガ信号</td> </tr> </tbody> </table>	TAUBn STS2	TAUBn STS1	TAUBn STS0	機能説明	0	0	0	ソフトウェアトリガ	0	0	1	TAUBTTINm 入力信号の有効エッジ。有効エッジは TAUBnCMURm.TAUBnTIS[1:0] で指定	0	1	0	TAUBTTINm 入力信号の有効エッジをスタートトリガ、逆エッジをストップトリガとして使用	0	1	1	設定禁止	1	0	0	マスタチャンネルの INTTAUBnIm がスタートトリガ	1	0	1	マスタ設定にかかわらず、上位チャンネル (m-1) の INTTAUBnIm がスタートトリガ	1	1	0	TAUBTTOUTm 生成ユニットのデッドタイム出力信号	1	1	1	マスタチャンネルのアップ/ダウン出力トリガ信号
TAUBn STS2	TAUBn STS1	TAUBn STS0	機能説明																																			
0	0	0	ソフトウェアトリガ																																			
0	0	1	TAUBTTINm 入力信号の有効エッジ。有効エッジは TAUBnCMURm.TAUBnTIS[1:0] で指定																																			
0	1	0	TAUBTTINm 入力信号の有効エッジをスタートトリガ、逆エッジをストップトリガとして使用																																			
0	1	1	設定禁止																																			
1	0	0	マスタチャンネルの INTTAUBnIm がスタートトリガ																																			
1	0	1	マスタ設定にかかわらず、上位チャンネル (m-1) の INTTAUBnIm がスタートトリガ																																			
1	1	0	TAUBTTOUTm 生成ユニットのデッドタイム出力信号																																			
1	1	1	マスタチャンネルのアップ/ダウン出力トリガ信号																																			

表 24.15 TAUBnCMORm レジスタの内容 (2/3)

ビット位置	ビット名	機能																				
7、6	TAUBnCOS [1:0]	<p>チャンネル m のキャプチャレジスタ TAUBnCDRm とオーバーフローフラグ TAUBnCSRm.TAUBnOVF を更新するタイミングを指定します。これらのビットはチャンネル m がキャプチャ機能（キャプチャモード、キャプチャ&ワンカウントモード）のときにのみ有効です。</p> <table border="1"> <thead> <tr> <th>TAUBnCOS1</th> <th>TAUBnCOS0</th> <th>TAUBnCDRm</th> <th>TAUBnCSRm.TAUBnOVF</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>TAUBTTINm 入力有効エッジを検出すると更新</td> <td> TAUBTTINm 入力有効エッジを検出すると更新（クリアまたはセット） <ul style="list-style-type: none"> 有効エッジを最後に検出してからカウンタオーバーフローが発生している場合は、TAUBnCSRm.TAUBnOVF をセット 有効エッジを最後に検出してからカウンタオーバーフローが発生していない場合は、TAUBnCSRm.TAUBnOVF をクリア </td> </tr> <tr> <td>0</td> <td>1</td> <td></td> <td>カウンタオーバーフロー時にセット、TAUBnCSCm.TAUBnCLOV = 1 に設定することでクリア</td> </tr> <tr> <td>1</td> <td>0</td> <td>TAUBTTINm 入力有効エッジ検出およびカウンタオーバーフローの発生により更新</td> <td>設定なし</td> </tr> <tr> <td>1</td> <td>1</td> <td> <ul style="list-style-type: none"> TAUBTTINm 入力有効エッジ検出：カウンタ値が TAUBnCDRm に書き込まれる オーバーフロー発生：FFFF_H が TAUBnCDRm にロードされる。次の TAUBTTINm 入力有効エッジ検出は無視される。 </td> <td>カウンタオーバーフロー時にセット、TAUBnCSCm.TAUBnCLOV = 1 に設定することでクリア</td> </tr> </tbody> </table>	TAUBnCOS1	TAUBnCOS0	TAUBnCDRm	TAUBnCSRm.TAUBnOVF	0	0	TAUBTTINm 入力有効エッジを検出すると更新	TAUBTTINm 入力有効エッジを検出すると更新（クリアまたはセット） <ul style="list-style-type: none"> 有効エッジを最後に検出してからカウンタオーバーフローが発生している場合は、TAUBnCSRm.TAUBnOVF をセット 有効エッジを最後に検出してからカウンタオーバーフローが発生していない場合は、TAUBnCSRm.TAUBnOVF をクリア 	0	1		カウンタオーバーフロー時にセット、TAUBnCSCm.TAUBnCLOV = 1 に設定することでクリア	1	0	TAUBTTINm 入力有効エッジ検出およびカウンタオーバーフローの発生により更新	設定なし	1	1	<ul style="list-style-type: none"> TAUBTTINm 入力有効エッジ検出：カウンタ値が TAUBnCDRm に書き込まれる オーバーフロー発生：FFFF_H が TAUBnCDRm にロードされる。次の TAUBTTINm 入力有効エッジ検出は無視される。 	カウンタオーバーフロー時にセット、TAUBnCSCm.TAUBnCLOV = 1 に設定することでクリア
TAUBnCOS1	TAUBnCOS0	TAUBnCDRm	TAUBnCSRm.TAUBnOVF																			
0	0	TAUBTTINm 入力有効エッジを検出すると更新	TAUBTTINm 入力有効エッジを検出すると更新（クリアまたはセット） <ul style="list-style-type: none"> 有効エッジを最後に検出してからカウンタオーバーフローが発生している場合は、TAUBnCSRm.TAUBnOVF をセット 有効エッジを最後に検出してからカウンタオーバーフローが発生していない場合は、TAUBnCSRm.TAUBnOVF をクリア 																			
0	1		カウンタオーバーフロー時にセット、TAUBnCSCm.TAUBnCLOV = 1 に設定することでクリア																			
1	0	TAUBTTINm 入力有効エッジ検出およびカウンタオーバーフローの発生により更新	設定なし																			
1	1	<ul style="list-style-type: none"> TAUBTTINm 入力有効エッジ検出：カウンタ値が TAUBnCDRm に書き込まれる オーバーフロー発生：FFFF_H が TAUBnCDRm にロードされる。次の TAUBTTINm 入力有効エッジ検出は無視される。 	カウンタオーバーフロー時にセット、TAUBnCSCm.TAUBnCLOV = 1 に設定することでクリア																			
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																				

表 24.15 TAUBnCMORm レジスタの内容 (3/3)

ビット位置	ビット名	機能																																																																																																								
4 ~ 0	TAUBnMD [4:0]	動作モードを指定します。詳細は各機能の設定を参照ください。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>TAUBnMD4</th> <th>TAUBnMD3</th> <th>TAUBnMD2</th> <th>TAUBnMD1</th> <th>TAUBnMD0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1/0</td><td>インターバルタイマモード</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1/0</td><td>ジャッジモード</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>1/0</td><td>キャプチャモード</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>イベントカウントモード</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>1/0</td><td>ワンカウントモード</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>1/0</td><td>設定禁止</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>キャプチャ&ワンカウントモード</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>1/0</td><td>ジャッジ&ワンカウントモード</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>設定禁止</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>アップ/ダウンカウントモード</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>1/0</td><td>パルスワンカウントモード</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>1/0</td><td>カウントキャプチャモード</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>ゲートカウントモード</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td>キャプチャ&ゲートカウントモード</td></tr> </tbody> </table> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>モード</th> <th>TAUBnMD0 ビットの役割</th> </tr> </thead> <tbody> <tr> <td>インターバルタイマモード キャプチャモード カウントキャプチャモード</td> <td>カウント動作開始時（スタートトリガ入力時）に、INTTAUBnIm 信号を出力するかどうかを指定します。 0：INTTAUBnIm を出力しない 1：INTTAUBnIm を出力する</td> </tr> <tr> <td>イベントカウントモード アップ/ダウンカウントモード</td> <td>このビットは“0”（カウント動作開始時に INTTAUBnIm 信号を出力しない）に設定してください。</td> </tr> <tr> <td>ワンカウントモード パルスワンカウントモード</td> <td>カウント中のスタートトリガ検出を許可/禁止します。 0：禁止 1：許可 注意 ・ワンカウントモードでは、カウント動作開始時に INTTAUBnIm 信号を出力しません。 ・パルスワンカウントモードでは、カウント動作開始時に INTTAUBnIm 信号を出力します。</td> </tr> <tr> <td>ゲートカウントモード</td> <td>このビットは“0”（カウント中のスタートトリガ検出を禁止）に設定してください。</td> </tr> <tr> <td>キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード</td> <td>このビットは“0”に設定してください。 注意 カウント動作開始時に INTTAUBnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。</td> </tr> <tr> <td>ジャッジモード ジャッジ&ワンカウントモード</td> <td>INTTAUBnIm の出力タイミングを指定します。 0：TAUBnCNTm ≤ TAUBnCDRm 時 1：TAUBnCNTm > TAUBnCDRm 時</td> </tr> </tbody> </table>	TAUBnMD4	TAUBnMD3	TAUBnMD2	TAUBnMD1	TAUBnMD0	機能説明	0	0	0	0	1/0	インターバルタイマモード	0	0	0	1	1/0	ジャッジモード	0	0	1	0	1/0	キャプチャモード	0	0	1	1	0	イベントカウントモード	0	1	0	0	1/0	ワンカウントモード	0	1	0	1	1/0	設定禁止	0	1	1	0	0	キャプチャ&ワンカウントモード	0	1	1	1	1/0	ジャッジ&ワンカウントモード	1	0	0	0	0	設定禁止	1	0	0	1	0	アップ/ダウンカウントモード	1	0	1	0	1/0	パルスワンカウントモード	1	0	1	1	1/0	カウントキャプチャモード	1	1	0	0	0	ゲートカウントモード	1	1	0	1	0	キャプチャ&ゲートカウントモード	モード	TAUBnMD0 ビットの役割	インターバルタイマモード キャプチャモード カウントキャプチャモード	カウント動作開始時（スタートトリガ入力時）に、INTTAUBnIm 信号を出力するかどうかを指定します。 0：INTTAUBnIm を出力しない 1：INTTAUBnIm を出力する	イベントカウントモード アップ/ダウンカウントモード	このビットは“0”（カウント動作開始時に INTTAUBnIm 信号を出力しない）に設定してください。	ワンカウントモード パルスワンカウントモード	カウント中のスタートトリガ検出を許可/禁止します。 0：禁止 1：許可 注意 ・ワンカウントモードでは、カウント動作開始時に INTTAUBnIm 信号を出力しません。 ・パルスワンカウントモードでは、カウント動作開始時に INTTAUBnIm 信号を出力します。	ゲートカウントモード	このビットは“0”（カウント中のスタートトリガ検出を禁止）に設定してください。	キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード	このビットは“0”に設定してください。 注意 カウント動作開始時に INTTAUBnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。	ジャッジモード ジャッジ&ワンカウントモード	INTTAUBnIm の出力タイミングを指定します。 0：TAUBnCNTm ≤ TAUBnCDRm 時 1：TAUBnCNTm > TAUBnCDRm 時
TAUBnMD4	TAUBnMD3	TAUBnMD2	TAUBnMD1	TAUBnMD0	機能説明																																																																																																					
0	0	0	0	1/0	インターバルタイマモード																																																																																																					
0	0	0	1	1/0	ジャッジモード																																																																																																					
0	0	1	0	1/0	キャプチャモード																																																																																																					
0	0	1	1	0	イベントカウントモード																																																																																																					
0	1	0	0	1/0	ワンカウントモード																																																																																																					
0	1	0	1	1/0	設定禁止																																																																																																					
0	1	1	0	0	キャプチャ&ワンカウントモード																																																																																																					
0	1	1	1	1/0	ジャッジ&ワンカウントモード																																																																																																					
1	0	0	0	0	設定禁止																																																																																																					
1	0	0	1	0	アップ/ダウンカウントモード																																																																																																					
1	0	1	0	1/0	パルスワンカウントモード																																																																																																					
1	0	1	1	1/0	カウントキャプチャモード																																																																																																					
1	1	0	0	0	ゲートカウントモード																																																																																																					
1	1	0	1	0	キャプチャ&ゲートカウントモード																																																																																																					
モード	TAUBnMD0 ビットの役割																																																																																																									
インターバルタイマモード キャプチャモード カウントキャプチャモード	カウント動作開始時（スタートトリガ入力時）に、INTTAUBnIm 信号を出力するかどうかを指定します。 0：INTTAUBnIm を出力しない 1：INTTAUBnIm を出力する																																																																																																									
イベントカウントモード アップ/ダウンカウントモード	このビットは“0”（カウント動作開始時に INTTAUBnIm 信号を出力しない）に設定してください。																																																																																																									
ワンカウントモード パルスワンカウントモード	カウント中のスタートトリガ検出を許可/禁止します。 0：禁止 1：許可 注意 ・ワンカウントモードでは、カウント動作開始時に INTTAUBnIm 信号を出力しません。 ・パルスワンカウントモードでは、カウント動作開始時に INTTAUBnIm 信号を出力します。																																																																																																									
ゲートカウントモード	このビットは“0”（カウント中のスタートトリガ検出を禁止）に設定してください。																																																																																																									
キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード	このビットは“0”に設定してください。 注意 カウント動作開始時に INTTAUBnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。																																																																																																									
ジャッジモード ジャッジ&ワンカウントモード	INTTAUBnIm の出力タイミングを指定します。 0：TAUBnCNTm ≤ TAUBnCDRm 時 1：TAUBnCNTm > TAUBnCDRm 時																																																																																																									

24.3.3.4 TAUBnCMURm — TAUBn チャネルモードユーザレジスタ

このレジスタは、TAUBTTINm 入力で使用される有効エッジ検出のタイプを指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUBn_base> + C0_H + m × 4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.16 TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能															
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
1, 0	TAUBnTIS [1:0]	<p>TAUBTTINm 入力信号の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th>TAUBnTIS1</th> <th>TAUBnTIS0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がリエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>両エッジ検出 (ロウレベル幅測定選択) スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジ検出 (ハイレベル幅測定選択) スタートトリガ: 立ち上がりエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ</td> </tr> </tbody> </table> <ul style="list-style-type: none"> TAUBTTINm 入力信号のエッジ検出は、TAUBnCMORm.TAUBnCKS[1:0] で選択した動作クロックに基づいて行われます。 	TAUBnTIS1	TAUBnTIS0	機能説明	0	0	立ち下がリエッジ	0	1	立ち上がりエッジ	1	0	両エッジ検出 (ロウレベル幅測定選択) スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がりエッジ	1	1	両エッジ検出 (ハイレベル幅測定選択) スタートトリガ: 立ち上がりエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ
TAUBnTIS1	TAUBnTIS0	機能説明															
0	0	立ち下がリエッジ															
0	1	立ち上がりエッジ															
1	0	両エッジ検出 (ロウレベル幅測定選択) スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がりエッジ															
1	1	両エッジ検出 (ハイレベル幅測定選択) スタートトリガ: 立ち上がりエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ															

24.3.3.5 TAUBnCSRm — TAUBn チャネルステータスレジスタ

このレジスタは、チャンネル m のカウンタのカウンタ方向とオーバーフロー状態を示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <TAUBn_base> + 140_H + m × 4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnCSF	TAUBnOVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 24.17 TAUBnCSRm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	TAUBnCSF	カウンタ方向を示します。 0: アップカウント 1: ダウンカウント このビットのリード値は、次のモード時にのみ有効です。 • アップ/ダウンカウントモード
0	TAUBnOVF	カウンタオーバーフロー状態を示します。 0: オーバーフローが発生していない 1: オーバーフローが発生 このビットは、次のモード時のみ使用します。 • キャプチャモード • キャプチャ&ワンカウントモード このビットの機能は、制御ビット TAUBnCMORm.TAUBnCOS[1:0] の設定により異なります。

24.3.3.6 TAUBnCSCm — TAUBn チャネルステータスクリアレジスタ

このレジスタは、チャンネル m のオーバーフローフラグ TAUBnCSRm.TAUBnOVF をクリアするためのトリガレジスタです。

アクセス 8ビット単位でライトのみ可能です。リード値は常に00_Hです。

アドレス <TAUBn_base> + 180_H + $m \times 4$ _H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAUBnCLOV
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 24.18 TAUBnCSCm レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAUBnCLOV	0: 機能なし 1: オーバーフローフラグ TAUBnCSRm.TAUBnOVF をクリア

24.3.3.7 TAUBnTS — TAUBn チャネルスタートトリガレジスタ

このレジスタは、各チャネルのカウンタ動作を許可します。

アクセス 16ビット単位でライトのみ可能です。リード値は常に0000_Hです。

アドレス <TAUBn_base> + 1C4_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TS15	TAUBn TS14	TAUBn TS13	TAUBn TS12	TAUBn TS11	TAUBn TS10	TAUBn TS09	TAUBn TS08	TAUBn TS07	TAUBn TS06	TAUBn TS05	TAUBn TS04	TAUBn TS03	TAUBn TS02	TAUBn TS01	TAUBn TS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 24.19 TAUBnTS レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUBnTSm	チャンネル m のカウンタ動作を許可します。 0: 機能なし 1: カウンタ動作を許可し、TAUBnTE.TAUBnTEm = 1 を設定。 TAUBnTE.TAUBnTEm = 1 を設定しても、カウント動作が許可されるだけです。 カウントが開始されるかどうかは、選択されている動作モードによって異なります。

24.3.3.8 TAUBnTE — TAUBn チャネル許可ステータスレジスタ

このレジスタは、カウンタ動作の許可/禁止を示します。

アクセス 16ビット単位でリードのみ可能です。

アドレス <TAUBn_base> + 1C0_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TE15	TAUBn TE14	TAUBn TE13	TAUBn TE12	TAUBn TE11	TAUBn TE10	TAUBn TE09	TAUBn TE08	TAUBn TE07	TAUBn TE06	TAUBn TE05	TAUBn TE04	TAUBn TE03	TAUBn TE02	TAUBn TE01	TAUBn TE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.20 TAUBnTE レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUBnTEm	チャンネル m のカウンタ動作の許可/禁止を示します。 0: カウンタ動作禁止 1: カウンタ動作許可 TAUBnTS.TAUBnTSm を 1 にセットすると、このビットが 1 に設定されます。 TAUBnTT.TAUBnTTm を 1 にセットすると、このビットが 0 にリセットされま す。

24.3.3.9 TAUBnTT — TAUBn チャネルストップトリガレジスタ

このレジスタは、各チャネルのカウンタ動作を停止します。

アクセス 16ビット単位でライトのみ可能です。リード値は常に0000_Hです。

アドレス <TAUBn_base> + 1C8_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TT15	TAUBn TT14	TAUBn TT13	TAUBn TT12	TAUBn TT11	TAUBn TT10	TAUBn TT09	TAUBn TT08	TAUBn TT07	TAUBn TT06	TAUBn TT05	TAUBn TT04	TAUBn TT03	TAUBn TT02	TAUBn TT01	TAUBn TT00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 24.21 TAUBnTT レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUBnTTm	チャネル m のカウンタ動作を停止します。 0 : 機能なし 1 : カウンタ動作を停止し、TAUBnTE.TAUBnTEm をリセットします。 TAUBnCNTm、TAUBnTO.TAUBnTOm、TAUBTTOUTm は、カウント停止前の値を保持します。

24.3.4 TAUBn 一斉書き換えレジスタの詳細

24.3.4.1 TAUBnRDE — TAUBn チャンネルリロードデータ許可レジスタ

このレジスタは、データレジスタ TAUBnCDRm/TAUBnTOLm の一斉書き換えを許可/禁止します。

アクセス 16ビット単位でリード/ライト可能です。TAUBnTE.TAUBnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUBn_base> + 260_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnRDE15	TAUBnRDE14	TAUBnRDE13	TAUBnRDE12	TAUBnRDE11	TAUBnRDE10	TAUBnRDE09	TAUBnRDE08	TAUBnRDE07	TAUBnRDE06	TAUBnRDE05	TAUBnRDE04	TAUBnRDE03	TAUBnRDE02	TAUBnRDE01	TAUBnRDE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.22 TAUBnRDE レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUBnRDEm	チャンネル m のデータレジスタの一斉書き換えを許可/禁止します。 0 : 一斉書き換え禁止 1 : 一斉書き換え許可

24.3.4.2 TAUBnRDS — TAUBn チャンネルリロードデータ制御チャンネル選択レジスタ

このレジスタは、一斉書き換えを制御するチャンネルを選択します。

アクセス 16ビット単位でリード/ライト可能です。TAUBnTE.TAUBnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUBn_base> + 268_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnRDS15	TAUBnRDS14	TAUBnRDS13	TAUBnRDS12	TAUBnRDS11	TAUBnRDS10	TAUBnRDS09	TAUBnRDS08	TAUBnRDS07	TAUBnRDS06	TAUBnRDS05	TAUBnRDS04	TAUBnRDS03	TAUBnRDS02	TAUBnRDS01	TAUBnRDS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.23 TAUBnRDS レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUBnRDSm	一斉書き換えトリガを制御するチャンネルを選択します。 0 : マスタチャンネル 1 : 別の上位チャンネル

24.3.4.3 TAUBnRDM — TAUBn チャネルリロードデータモードレジスタ

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

アクセス 16ビット単位でリード/ライト可能です。TAUBnTE.TAUBnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUBn_base> + 264_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnRDM15	TAUBnRDM14	TAUBnRDM13	TAUBnRDM12	TAUBnRDM11	TAUBnRDM10	TAUBnRDM09	TAUBnRDM08	TAUBnRDM07	TAUBnRDM06	TAUBnRDM05	TAUBnRDM04	TAUBnRDM03	TAUBnRDM02	TAUBnRDM01	TAUBnRDM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.24 TAUBnRDM レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUBnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0 : マスタチャンネルのカウンタがカウントを開始したとき 1 : 三角波周期の山 これらのビット設定は TAUBnRDE.TAUBnRDEm = 1、 TAUBnRDS.TAUBnRDSm = 0 時のみ適用されます。

24.3.4.4 TAUBnRDC — TAUBn チャネルリロードデータ制御レジスタ

このレジスタは、一斉書き換えをトリガする INTTAUBnIm 信号を生成するチャンネルを指定します。

アクセス 16ビット単位でリード/ライト可能です。TAUBnTE.TAUBnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUBn_base> + 26C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnRDC15	TAUBnRDC14	TAUBnRDC13	TAUBnRDC12	TAUBnRDC11	TAUBnRDC10	TAUBnRDC09	TAUBnRDC08	TAUBnRDC07	TAUBnRDC06	TAUBnRDC05	TAUBnRDC04	TAUBnRDC03	TAUBnRDC02	TAUBnRDC01	TAUBnRDC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.25 TAUBnRDC レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUBnRDCm	チャンネルが一斉書き換えトリガ信号を生成するか否かを指定します。 0 : 一斉書き換えトリガチャンネルとならない。 1 : 一斉書き換えトリガチャンネルとして動作する。 これらのビット設定は TAUBnRDE.TAUBnRDEm = 1、 TAUBnRDS.TAUBnRDSm = 1 時のみ適用されます。

24.3.4.5 TAUBnRDT — TAUBn チャネルリロードデータトリガレジスタ

一斉書き換え許可状態をトリガするレジスタです。

アクセス 16ビット単位でライトのみ可能です。リード値は常に0000_Hです。

アドレス <TAUBn_base> + 044_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnRDT15	TAUBnRDT14	TAUBnRDT13	TAUBnRDT12	TAUBnRDT11	TAUBnRDT10	TAUBnRDT09	TAUBnRDT08	TAUBnRDT07	TAUBnRDT06	TAUBnRDT05	TAUBnRDT04	TAUBnRDT03	TAUBnRDT02	TAUBnRDT01	TAUBnRDT00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 24.26 TAUBnRDT レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUBnRDTm	一斉書き換え許可状態をトリガします。 0: 機能なし。0を書き込む操作は無視されます（動作に影響しません）。 1: 一斉書き換え許可フラグ (TAUBnRSFm) を 1 とし、一斉書き換えトリガ待ち状態となります。 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUBnRDE.TAUBnRDEm = 1

24.3.4.6 TAUBnRSF — TAUBn チャネルリロードステータスレジスタ

このフラグレジスタは、一斉書き換えのステータスを示します。

アクセス 16ビット単位でリードのみ可能です。

アドレス <TAUBn_base> + 048_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnRSF15	TAUBnRSF14	TAUBnRSF13	TAUBnRSF12	TAUBnRSF11	TAUBnRSF10	TAUBnRSF09	TAUBnRSF08	TAUBnRSF07	TAUBnRSF06	TAUBnRSF05	TAUBnRSF04	TAUBnRSF03	TAUBnRSF02	TAUBnRSF01	TAUBnRSF00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.27 TAUBnRSF レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUBnRSFm	一斉書き換えの状態を示します。 0: 一斉書き換えトリガの発生により、一斉書き換えが完了したことを示します。 1: 一斉書き換え許可状態 (TAUBnRDTm = 1) で、一斉書き換えのトリガ待ちを示します。

24.3.5 TAUBn 出力レジスタの詳細

24.3.5.1 TAUBnTOE — TAUBn チャネル出力許可レジスタ

このレジスタは、ソフトウェア制御のチャネル単体出力モードを許可/禁止します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUBn_base> + 5C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TOE15	TAUBn TOE14	TAUBn TOE13	TAUBn TOE12	TAUBn TOE11	TAUBn TOE10	TAUBn TOE09	TAUBn TOE08	TAUBn TOE07	TAUBn TOE06	TAUBn TOE05	TAUBn TOE04	TAUBn TOE03	TAUBn TOE02	TAUBn TOE01	TAUBn TOE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.28 TAUBnTOE レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUBnTOEm	チャネル単体出力機能を許可/禁止します。 0: タイマ単体出力機能を禁止 (ソフトウェア制御) 1: タイマ単体出力機能を許可

24.3.5.2 TAUBnTO — TAUBn チャネル出力レジスタ

このレジスタは、TAUBTTOUTm レベルを指定およびリードします。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUBn_base> + 58_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TO15	TAUBn TO14	TAUBn TO13	TAUBn TO12	TAUBn TO11	TAUBn TO10	TAUBn TO09	TAUBn TO08	TAUBn TO07	TAUBn TO06	TAUBn TO05	TAUBn TO04	TAUBn TO03	TAUBn TO02	TAUBn TO01	TAUBn TO00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.29 TAUBnTO レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUBnTOm	このレジスタは、TAUBTTOUTm レベルを指定およびリードします。 0: ロウレベル 1: ハイレベル チャネル単体出力機能が禁止されている (TAUBnTOEm = 0) TAUBnTOm ビットのみのライト可能です。

24.3.5.3 TAUBnTOM — TAUBn チャネル出力モードレジスタ

このレジスタは、各チャネルの出力モードを指定します。

アクセス 16ビット単位でリード/ライト可能です。カウンタ停止中 (TAUBnTE.TAUBnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUBn_base> + 248_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TOM15	TAUBn TOM14	TAUBn TOM13	TAUBn TOM12	TAUBn TOM11	TAUBn TOM10	TAUBn TOM09	TAUBn TOM08	TAUBn TOM07	TAUBn TOM06	TAUBn TOM05	TAUBn TOM04	TAUBn TOM03	TAUBn TOM02	TAUBn TOM01	TAUBn TOM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.30 TAUBnTOM レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUBnTOMm	出力モードを指定します。 0 : チャネル単体動作 1 : チャネル連動動作

24.3.5.4 TAUBnTOC — TAUBn チャネル出力コンフィグレーションレジスタ

このレジスタは、TAUBnTOMm とともに各チャネルの出力モードを指定します。

アクセス 16ビット単位でリード/ライト可能です。カウンタ停止中 (TAUBnTE.TAUBnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUBn_base> + 24C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TOC15	TAUBn TOC14	TAUBn TOC13	TAUBn TOC12	TAUBn TOC11	TAUBn TOC10	TAUBn TOC09	TAUBn TOC08	TAUBn TOC07	TAUBn TOC06	TAUBn TOC05	TAUBn TOC04	TAUBn TOC03	TAUBn TOC02	TAUBn TOC01	TAUBn TOC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.31 TAUBnTOC レジスタの内容

ビット位置	ビット名	機能													
15 ~ 0	TAUBnTOCm	出力モードを指定します。 0: 動作モード1 1: 動作モード2 次の表にあるように、出力モードは TAUBnTOM.TAUBnTOMm の設定によっても異なります。													
		<table border="1"> <thead> <tr> <th>TOMm</th> <th>TOCm</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>トグルモード: INTTAUBnIm 発生時にトグル動作が行われます。</td> </tr> <tr> <td>1</td> <td>セット/リセットモード: カウント開始時の INTTAUBnIm 発生時にセットされ、TAUBnCNTm、TAUBnCDRm の一致の検出による INTTAUBnIm 発生時にリセットされます。</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>チャンネル連動動作モード1: マスタチャンネルで INT が発生するとセット、スレーブチャンネルで INT が発生するとリセットされます。</td> </tr> <tr> <td>1</td> <td>チャンネル連動動作モード2: ダウンカウント状態で INTTAUBnIm が発生するとセット、アップカウント状態で INTTAUBnIm が発生するとリセットされます。</td> </tr> </tbody> </table>	TOMm	TOCm	機能説明	0	0	トグルモード: INTTAUBnIm 発生時にトグル動作が行われます。	1	セット/リセットモード: カウント開始時の INTTAUBnIm 発生時にセットされ、TAUBnCNTm、TAUBnCDRm の一致の検出による INTTAUBnIm 発生時にリセットされます。	1	0	チャンネル連動動作モード1: マスタチャンネルで INT が発生するとセット、スレーブチャンネルで INT が発生するとリセットされます。	1	チャンネル連動動作モード2: ダウンカウント状態で INTTAUBnIm が発生するとセット、アップカウント状態で INTTAUBnIm が発生するとリセットされます。
TOMm	TOCm	機能説明													
0	0	トグルモード: INTTAUBnIm 発生時にトグル動作が行われます。													
	1	セット/リセットモード: カウント開始時の INTTAUBnIm 発生時にセットされ、TAUBnCNTm、TAUBnCDRm の一致の検出による INTTAUBnIm 発生時にリセットされます。													
1	0	チャンネル連動動作モード1: マスタチャンネルで INT が発生するとセット、スレーブチャンネルで INT が発生するとリセットされます。													
	1	チャンネル連動動作モード2: ダウンカウント状態で INTTAUBnIm が発生するとセット、アップカウント状態で INTTAUBnIm が発生するとリセットされます。													

24.3.5.5 TAUBnTOL — TAUBn チャネル出力アクティブレベルレジスタ

このレジスタは、チャンネル出力ビット (TAUBnTO.TAUBnTOM) の出力論理を指定します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUBn_base> + 040_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TOL15	TAUBn TOL14	TAUBn TOL13	TAUBn TOL12	TAUBn TOL11	TAUBn TOL10	TAUBn TOL09	TAUBn TOL08	TAUBn TOL07	TAUBn TOL06	TAUBn TOL05	TAUBn TOL04	TAUBn TOL03	TAUBn TOL02	TAUBn TOL01	TAUBn TOL00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.32 TAUBnTOL レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUBnTOLm	チャンネル m 出力ビット (TAUBnTO.TAUBnTOM) の出力論理を指定します。 0: 正論理 (アクティブハイ) 1: 負論理 (アクティブロウ) これらのビット設定は、ソフトウェア制御のチャンネル単体出力モード以外のすべてのチャンネル出力モードに適用されます。

24.3.6 TAUBn のデッドタイム出力レジスタの詳細

24.3.6.1 TAUBnTDE — TAUBn チャンネルデッドタイム出力許可レジスタ

このレジスタは、全チャンネルのデッドタイム動作を許可/禁止します。

アクセス 16ビット単位でリード/ライト可能です。カウンタ停止中 (TAUBnTE.TAUBnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUBn_base> + 250_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnTDE15	TAUBnTDE14	TAUBnTDE13	TAUBnTDE12	TAUBnTDE11	TAUBnTDE10	TAUBnTDE09	TAUBnTDE08	TAUBnTDE07	TAUBnTDE06	TAUBnTDE05	TAUBnTDE04	TAUBnTDE03	TAUBnTDE02	TAUBnTDE01	TAUBnTDE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.33 TAUBnTDE レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUBnTDEm	チャンネル m のデッドタイム制御動作を許可/禁止します。 0 : デッドタイム動作禁止 1 : デッドタイム動作許可 対になった偶数/奇数スレーブチャンネルには同じ設定をする必要があります。 これらのビットの設定は、以下の場合にのみ適用されます。 <ul style="list-style-type: none"> TAUBnTOE.TAUBnTOEm、TAUBnTOM.TAUBnTOMm、TAUBnTOC.TAUBnTOCm = 1

24.3.6.2 TAUBnTDL — TAUBn チャンネルデッドタイム出力レベルレジスタ

このレジスタは、デッドタイムを付加する位相を選択します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUBn_base> + 54_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnTDL15	TAUBnTDL14	TAUBnTDL13	TAUBnTDL12	TAUBnTDL11	TAUBnTDL10	TAUBnTDL09	TAUBnTDL08	TAUBnTDL07	TAUBnTDL06	TAUBnTDL05	TAUBnTDL04	TAUBnTDL03	TAUBnTDL02	TAUBnTDL01	TAUBnTDL00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.34 TAUBnTDL レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUBnTDLm	デッドタイムを付加する位相を選択します。 0 : 正相 1 : 逆相 これらのビットの設定は、以下の場合にのみ適用されます。 <ul style="list-style-type: none"> TAUBnTOE.TAUBnTOEm、TAUBnTOM.TAUBnTOMm、TAUBnTOC.TAUBnTOCm、TAUBnTDE.TAUBnTDEm = 1

24.3.7 TAUBn エミュレーションレジスタ

24.3.7.1 TAUBnEMU — TAUBn エミュレーションレジスタ

このレジスタはSVSTOPによる動作を制御します。

アクセス 8ビット単位でリード/ライト可能です。
カウンタ停止中 (TAUBnTE.TAUBnTEm = 0)、かつ (EPC.SVSTOP = 0) のときにライト動作を行ってください。

アドレス <TAUBn_base> + 290_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
TAUBn SVSDIS	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 24.35 TAUBnEMU レジスタの内容

ビット位置	ビット名	機能
7	TAUBnSVSDIS	(EPC.SVSTOP ビット = 0 のとき) 本ビットの値 (1/0) にかかわらず、デバッグがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給 (EPC.SVSTOP ビット = 1 のとき) 0: デバッグがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを停止 1: デバッグがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給
6 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

24.4 操作手順

TAUBn の基本操作手順を次に示します。

リセット解除後、各チャネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャネルの全回路およびレジスタが初期化されます。TAUBTTOUTm の制御レジスタも初期化され、ロウレベルを出力します。

1. TAUBnTPS レジスタを設定して CK0-CK3 のクロック周波数を指定してください。
2. 任意の TAUBn 機能を設定してください。
 - 動作モードを設定してください。
 - チャネル出力モードを設定してください。
 - その他の制御ビットを設定してください。
3. TAUBnTS.TAUBnTSm ビットを 1 に設定してカウンタ動作を許可してください。カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。
4. カウント動作中、設定した機能に応じてカウントの停止や強制リスタートを行ってください。カウントの停止は TAUBnTT.TAUBnTTm ビットを 1 に設定してください。強制リスタートは TAUBnTS.TAUBnTSm ビットを 1 に設定してください。
5. TAUBnTT.TAUBnTTm ビットを 1 に設定して機能を停止してください。

備 考

- 必要な制御ビットと各機能の動作の詳細は、
 - 「24.12 チャネル単体動作機能」
 - 「24.14 チャネル連動動作機能」を参照してください。
- 機能を変更する場合は、カウント停止中 (TAUBnTE.TAUBnTEm=0) に行ってください。

24.5 チャネル連動動作機能の概念

チャネル連動動作機能は、チャネルグループ（マスタチャネルとスレーブチャネルで構成されます）を組み合わせて実現する機能です。

チャネルの設定には、いくつかのルールがあります。

ルールの詳細は、「**24.5.1 チャネル連動動作機能のルール**」に示します。

チャネル連動動作の2つの特殊な機能の詳細を次の節で説明します。

- 「**24.5.2 連動チャネルカウンタの同時動作開始／停止**」
- 「**24.6 一斉書き換え**」

24.5.1 チャネル連動動作機能のルール

マスタおよびスレーブチャネル数

- マスタチャネルには、偶数チャネル（CH0、CH2、CH4、...）のみ設定できます。スレーブチャネルには、CH0を除くすべてのチャネルを設定できます。
- マスタチャネルより下位のチャネルのみスレーブチャネルとして設定でき、1つのマスタチャネルに対し複数のスレーブチャネルを設定できます。
例：CH2がマスタチャネルの場合、CH3以下（CH3、CH4、CH5、...）をスレーブチャネルに設定できます。
- マスタチャネルを複数使用する場合、マスタチャネルを跨いだスレーブチャネルの設定はできません。
例：CH0、CH4がマスタチャネルの場合、CH0に対してCH1-CH3までをスレーブチャネルとして設定できますが、CH5-CH15は設定できません。

動作クロック

- マスタチャネルと連動するスレーブチャネルには同じ動作クロックを設定する必要があります。マスタチャネルとスレーブチャネルのTAUBnCMORm.TAUBnCKS[1:0]ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブチャネルの使用と動作クロックの基本的な概念を図24.3に示します。

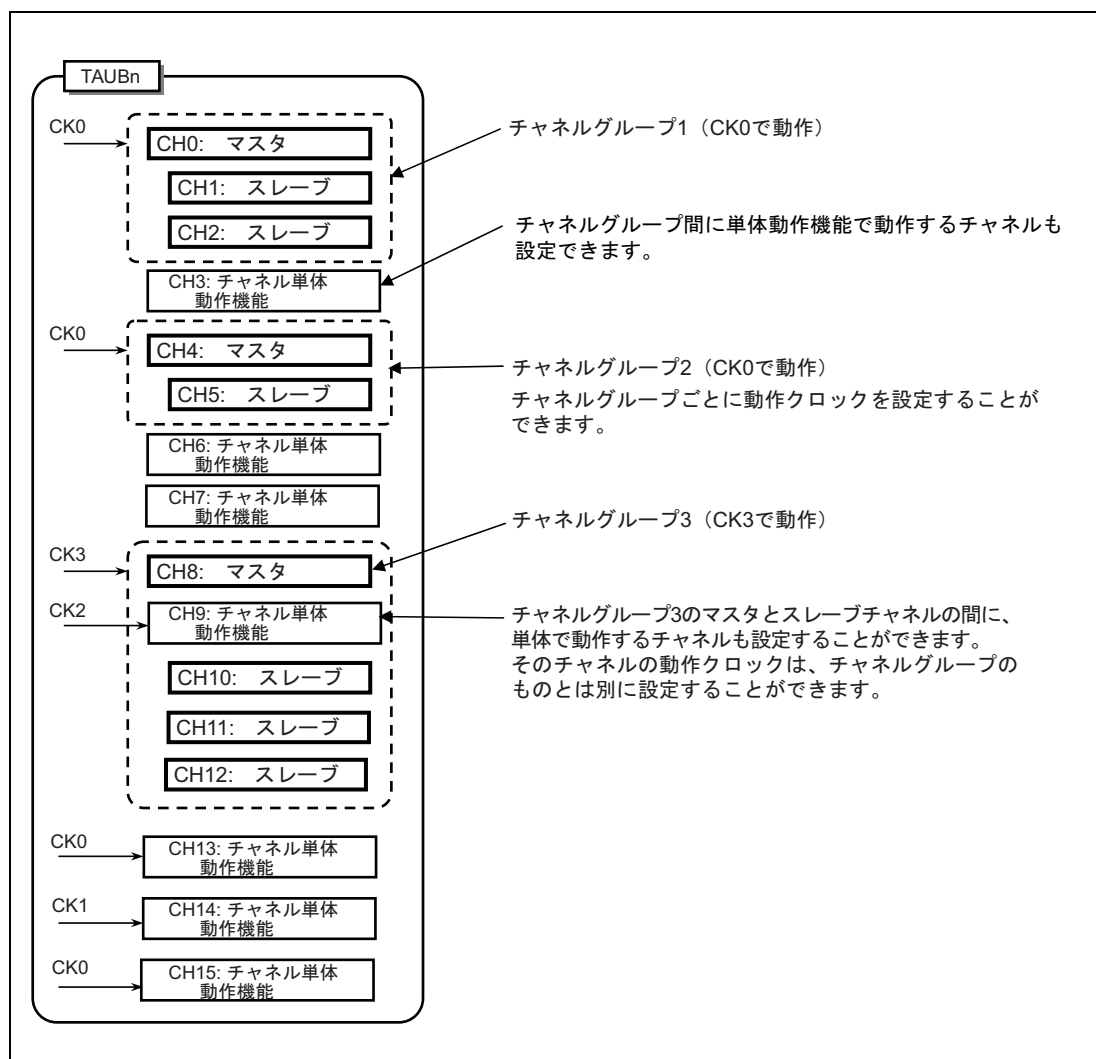


図 24.3 チャンネルのグループ化と動作クロックの割り当て

24.5.2 連動チャンネルカウンタの同時動作開始／停止

連動するチャンネルは、同じユニット内で同時に開始／停止することができます。

24.5.2.1 ユニット内の連動チャンネルカウンタの同時動作開始／停止

- 連動するチャンネルを同時に開始させるためには、それらの TAUBnTS.TAUBnTSM ビットを同時に設定する必要があります。
- 連動するチャンネルを同時に停止させるためには、それらの TAUBnTT.TAUBnTTm ビットを同時に設定する必要があります。

TAUBnTS.TAUBnTSM ビットに 1 を設定することにより、対応する TAUBnTE.TAUBnTEm ビットが 1 にセットされ、カウンタ動作を許可します。カウンタのカウンタ開始タイミングは、動作モードに依存します。

24.6 一斉書き換え

24.6.1 動作概要

一斉書き換えとは、複数チャンネルのコンペア/スタート値と出力論理を一斉に書き換えることを指します。

対応するデータと制御レジスタ (TAUBnCDRm、TAUBnTOLm) は常に書き換えることができます。新しい値は、一斉書き換えがトリガされるまでカウンタ動作または出力信号に影響しません。

一斉書き換えは、次の場合にトリガされます。

- マスタチャンネルまたは上位チャンネル (動作モードによって異なる) のカウンタが特定の値に達した場合
- TAUBnRDC.TAUBnRDCm で指定された上位チャンネルにて INTTAUBnIm が発生した場合

一斉書き換えは3つの方法で行えます。一斉書き換え方法の指定と、これらの方法で一斉書き換えがトリガされるタイミングを次の表に示します。

表 24.36 一斉書き換え方法とトリガタイミング

方式	トリガ	TAUBn RDE. TAUBn RDEm	TAUBn RDS. TAUBn RDSm	TAUBn RDM. TAUBn RDMm
—	一斉書き換えが行われない場合	0	0	0
A	マスタチャンネルがカウントを再開/開始した場合	1	0	0
B	マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングでダウンカウントを開始した場合	1	0	1
C1	TAUBnRDC.TAUBnRDCm で指定した上位チャンネルにて INTTAUBnIm が発生した場合	1	1	0/1

3つの方法のうち、各チャンネル動作機能で使用できる方法を次の表に示します。各チャンネル動作機能の詳細は、「24.13 チャンネル単体一斉書き換え機能」と「24.14 チャンネル連動動作機能」を参照してください。

表 24.37 チャンネル機能と一斉書き換え方法

説明	A	B	C1	TAUBnTOL. TAUBnTOLm
一斉書き換えトリガ出力機能タイプ1			○	
PWM 出力機能	○		○	○
ワンショットパルス出力機能	○			
ディレイパルス出力機能	○			
三角波 PWM 出力機能		○	○	○
デッドタイム付き三角波 PWM 出力機能		○	○	
A/D 変換トリガ出力機能タイプ1	○		○	
A/D 変換トリガ出力機能タイプ2		○	○	

備考 ○：使用可能 空欄：使用不可

24.6.2 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を次に示します。3つの主なブロック（初期設定、カウント開始 & カウント動作、一斉書き換え）は後述します。

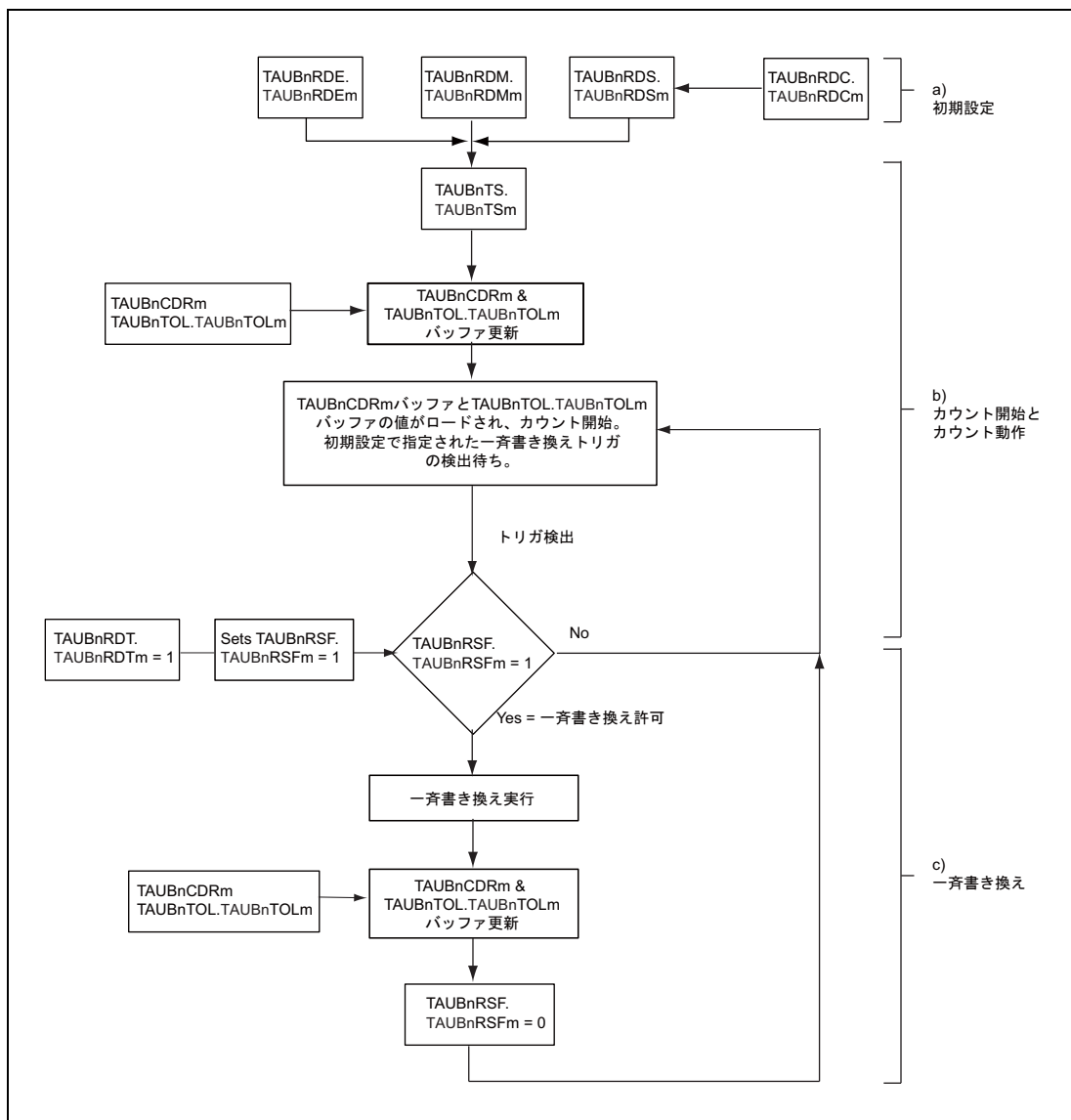


図 24.4 一斉書き換えの基本手順

24.6.2.1 初期設定

- チャンネル m にて一斉書き換えを許可するには、TAUBnRDE.TAUBnRDEm = 1 を設定してください。
- 一斉書き換えの種類を選ぶには、TAUBnRDM.TAUBnRDMm と TAUBnRDS.TAUBnRDSm を「表 24.36 一斉書き換え方法とトリガタイミング」に示す値に設定してください。
- TAUBnRDC.TAUBnRDCm で、一斉書き換えトリガ生成チャンネルを指定してください (前提：上位チャンネルに TAUBnRDS.TAUBnRDSm が設定されている)。

24.6.2.2 カウント開始とカウント動作

- チャンネルグループに属するすべての TAUBnCNTm カウンタ動作を開始するには、対応する TAUBnTS.TAUBnTSM ビットを 1 に設定してください。TAUBnTOL.TAUBnTOLm と データレジスタ (TAUBnCDRm) の値は、対応する TAUBnTOL.TAUBnTOLm バッファ (TAUBnTOL.TAUBnTOLm buf) とデータバッファレジスタ (TAUBnCDRm buf) にロードされ、カウンタはカウントを開始します。
- リロードデータトリガビット (TAUBnRDT.TAUBnRDTm) を 1 に設定することにより、リロードフラグ (TAUBnRSF.TAUBnRSFm) が 1 に設定され、一斉書き換えが許可されます。TAUBnRSF.TAUBnRSFm は一斉書き換えが完了するまで 1 のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可 (TAUBnRSF.TAUBnRSFm = 1) されているかを確認するために TAUBnRSF.TAUBnRSFm ビットがチェックされます。一斉書き換えが許可されている場合、一斉書き換えが行われます。許可されていない場合、一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

24.6.2.3 一斉書き換え

- 一斉書き換えが許可 (TAUBnRSF.TAUBnRSFm = 1) され、一斉書き換えトリガが検出されると、データレジスタの現在値がバッファにコピーされます。これらの値は、対応するカウンタにロードされ、カウンタがカウントを開始/再開するときに適用されます。
- 一斉書き換えが完了すると、TAUBnRSF.TAUBnRSFm ビットは 0 に設定され、システムは次の一斉書き換えトリガを待ちます。

24.6.3 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中 (TAUBnTE.TAUBnTEm = 1) は、TAUBnRDE.TAUBnRDEm、TAUBnRDS.TAUBnRDSm、TAUBnRDM.TAUBnRDMm、TAUBnRDC.TAUBnRDCm を変更することはできません。
- TAUBnTOL.TAUBnTOLm は、PWM 出力機能、または三角波 PWM 出力機能で動作している場合のみ書き換えることができます。ほかの機能を使用する場合は、TAUBnTOL.TAUBnTOLm はカウントを開始する前にライトする必要があります。ほかの機能を使用しているときに書き換えた場合、TAUBTTOUTm は不正な波形を出力しません。
- 上位チャンネルで一斉書き換えトリガを発行した場合 (TAUBnRDS.TAUBnRDSm = 1)、すべての下位チャンネルは TAUBnRDC.TAUBnRDCm ビットに制御されます。つまり、CH2 と CH7 の TAUBnRDC.TAUBnRDCm ビットを 1 に設定し、ほかのチャンネルの TAUBnRDC.TAUBnRDCm ビットを 0 に設定した場合、CH2 と CH7 が一斉書き換えトリガ生成チャンネルとなります。CH2 は、下位チャンネル CH3-CH6 を制御し、CH7 は、下位チャンネル CH8-CH15 を制御します。
- 一斉書き換えを許可し、ある上位チャンネルを一斉書き換えトリガ生成チャンネルとして選択 (TAUBnRDE.TAUBnRDEm、TAUBnRDS.TAUBnRDSm = 1) したにもかかわらず、上位チャンネルを設定していない場合 (TAUBnRDC.TAUBnRDC[15:0] = 0)、一斉書き換えは行いません。

24.6.4 一斉書き換えの種類

次に、タイミング図を使用して3つの一斉書き換え方法を説明します。

24.6.4.1 マスタチャンネルがカウントを再開/開始した場合の一斉書き換え (方法 A)

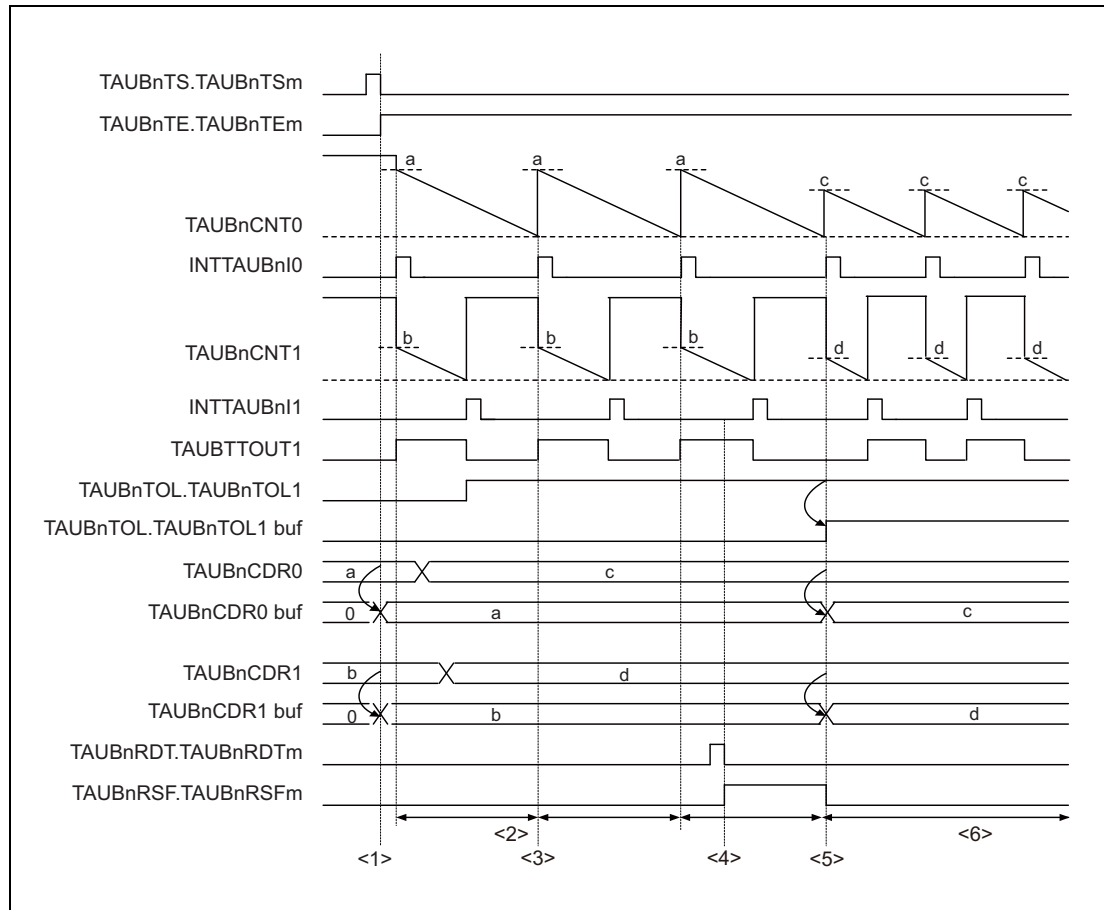


図 24.5 マスタチャンネルがカウントを再開/開始した場合の一斉書き換え

設定

CH0 は、ダウンカウントを行うマスタチャンネルです。CH1 は、任意のスレーブチャンネルです。一斉書き換え方法 A が適用されます。

説明：

- (1) TAUBnTS.TAUBnTsm = 1 に設定すると、TAUBnCDRm の値が TAUBnCDRm バッファに、TAUBnTOL.TAUBnTOLm の値が TAUBnTOL.TAUBnTOLm バッファにコピーされます。
- (2) TAUBnCDRm と TAUBnTOL.TAUBnTOLm レジスタは常に書き込めます。
- (3) CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません (TAUBnRSF.TAUBnRSFm = 0)。
- (4) リロードデータトリガビット (TAUBnRDT.TAUBnRDTm) を“1”に設定することにより、ステータスフラグが設定され (TAUBnRSF.TAUBnRSFm = 1)、一斉書き換えが許可されます。

- (5) 一斉書き換えが許可されているため、CH0 のカウント再開時に一斉書き換えが発生します。TAUBnCDRm の値は TAUBnCDRm バッファに、TAUBnTOL.TAUBnTOLm の値は TAUBnTOL.TAUBnTOLm バッファにロードされます。
- (6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUBnCDRm と TAUBnTOL.TAUBnTOLm の値は再変更できます。

24.6.4.2 スレーブチャンネルの三角波の[山]のタイミングで一斉書き換え (方法 B)

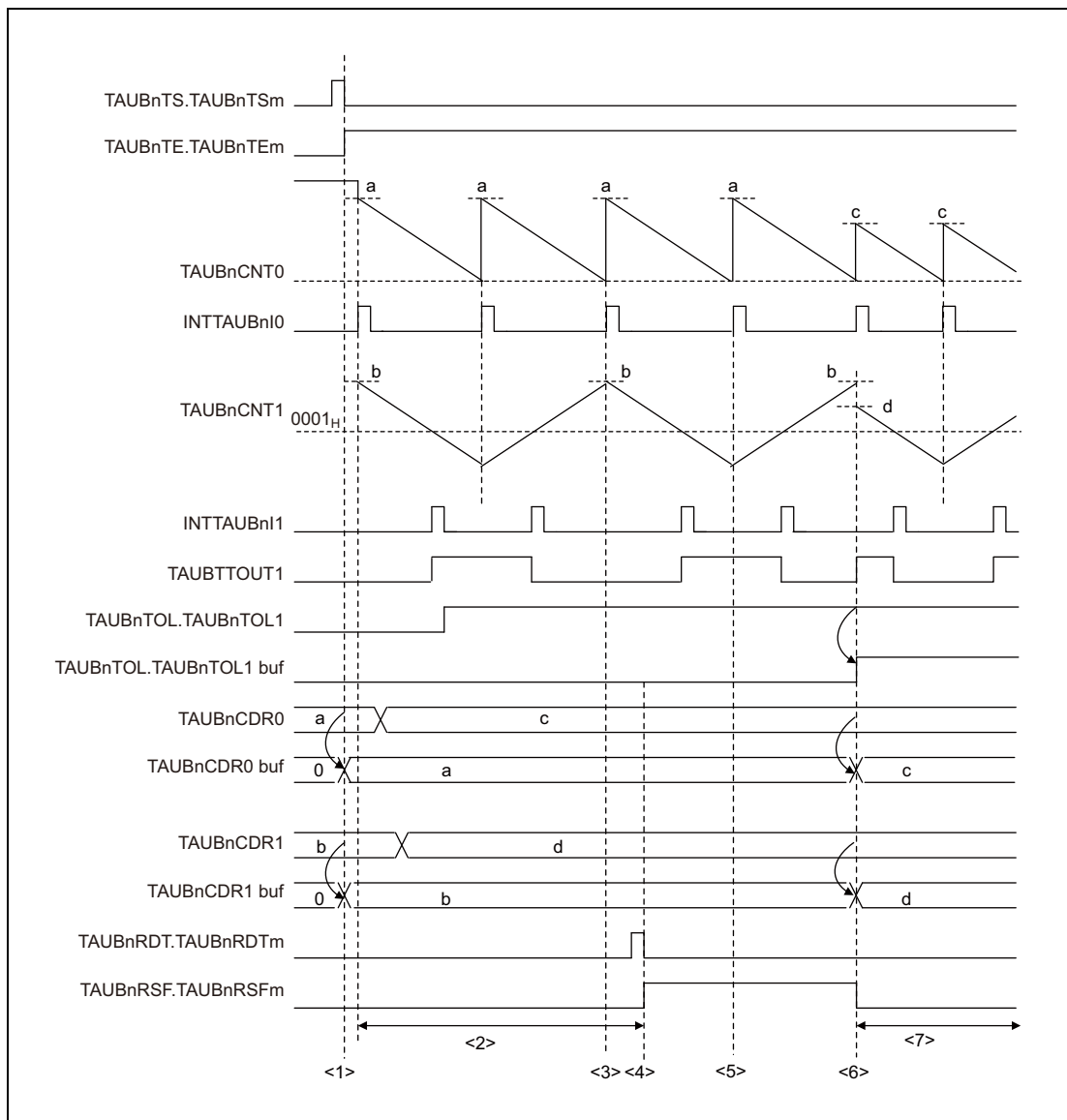


図 24.6 スレーブチャンネルの三角波の[山]のタイミングで一斉書き換え

設定：

CH0 は、ダウンカウントを行うマスタチャンネルです。CH1 は、任意のスレーブチャンネルです。一斉書き換え方法 B が適用されます。

説明：

- (1) TAUBnTS.TAUBnTSm = 1 に設定すると、TAUBnCDRm の値が TAUBnCDRm バッファにコピーされます。
- (2) TAUBnCDRm と TAUBnTOL レジスタは常に書き込めます。
- (3) 一斉書き換えは許可されていないため行われません (TAUBnRSF.TAUBnRSFm = 0)。
- (4) リロードデータトリガビット (TAUBnRDT.TAUBnRDTm) を“1”に設定することにより、ステータスフラグが設定され (TAUBnRSF.TAUBnRSFm = 1)、一斉書き換えが許可されます。

- (5) 一斉書き換えは、三角波周期の [谷] のタイミングでは発生しません。
- (6) 一斉書き換えは、三角波周期の [山] のスタートタイミングで行われます。
TAUBnCDRm の値は TAUBnCDRm バッファに、TAUBnTOL.TAUBnTOLm の値は TAUBnTOL.TAUBnTOLm バッファにロードされます。
- (7) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUBnCDRm と TAUBnTOL.TAUBnTOLm の値は再変更できます。

24.6.4.3 TAUBnRDC.TAUBnRDCm で指定した上位チャンネルにて INTTAUBnIm が発生した場合の一斉書き換え (方法 C1)

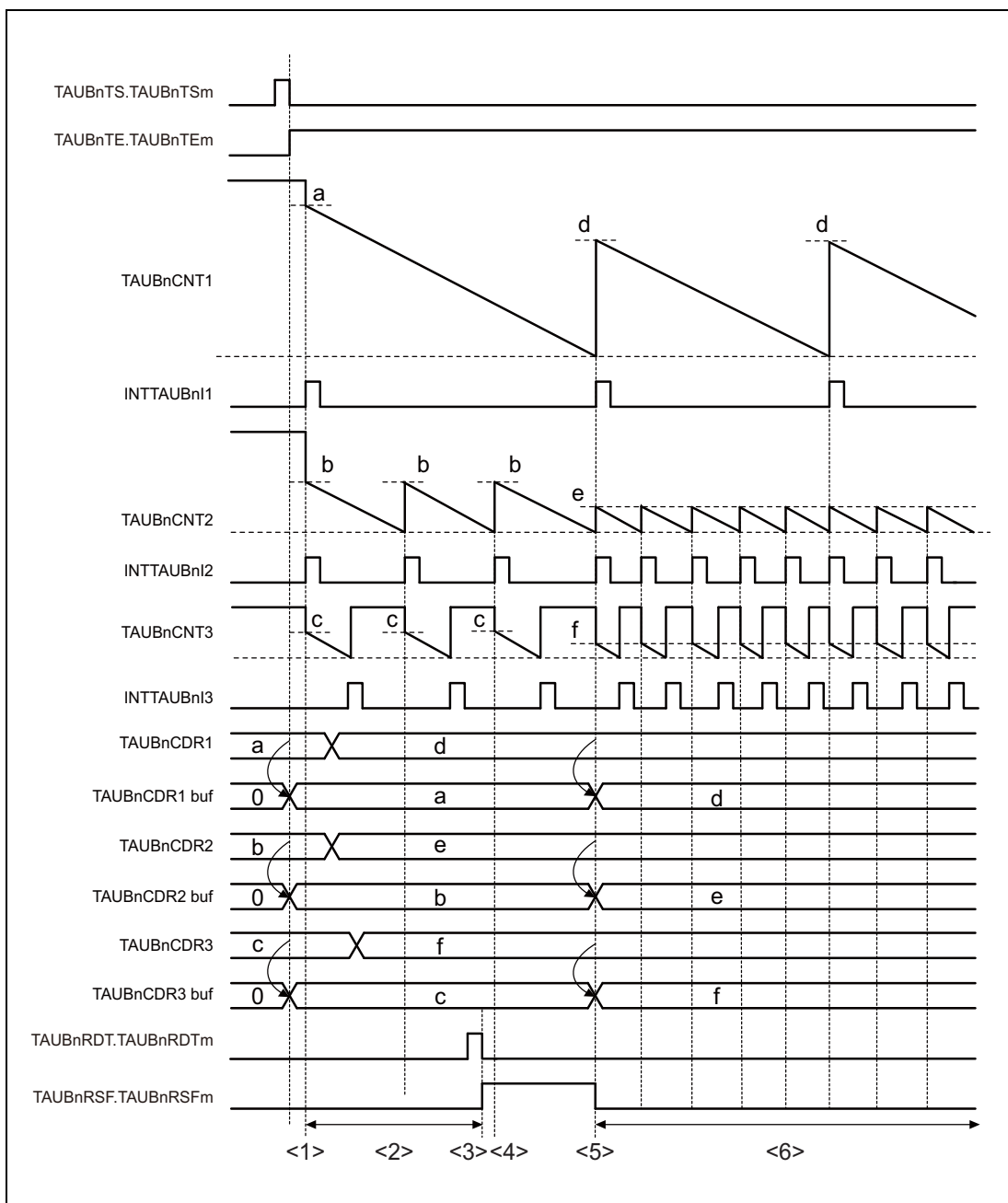


図 24.7 TAUBnRDC.TAUBnRDCm で指定した上位チャンネルにて INTTAUBnIm が発生した場合の一斉書き換え

設定：

CH1 は、ダウンカウントを行う上位チャンネルです。CH2 は、マスタチャンネルです。CH3 は、スレーブチャンネルです。一斉書き換え方法 C1 が適用されます。TAUBnRDC レジスタで、一斉書き換えトリガ生成チャンネルを指定します。

説明：

- (1) TAUBnTS.TAUBnTSM = 1 に設定すると、TAUBnCDRm の値が TAUBnCDRm バッファにコピーされます。
- (2) TAUBnCDRm レジスタは常に書き込めます。
- (3) リロードデータトリガビット (TAUBnRDT.TAUBnRDTM) を 1 に設定することにより、ステータスフラグが設定され (TAUBnRSF.TAUBnRSFM = 1)、一斉書き換えが許可されます。
- (4) 一斉書き換えは、CH1 の割り込みのみによってトリガされるため、許可されていても行われません。
- (5) 一斉書き換えは、カウンタ 1 が 0000_H に達したときに発生する INT1 をトリガとして行われます。TAUBnCDRm の値は対応する TAUBnCDRm バッファにロードされます。
- (6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUBnCDRm レジスタの値は再変更できます。

24.7 チャネル出力モード

TAUBTTOUTm 端子の出力は、2つの方法で制御することができ、2つ目の方法はさらに個別のモードに分かれています。

- ソフトウェアによる制御 (TAUBnTOE.TAUBnTOEm = 0)
ソフトウェアで制御した場合、出力レジスタビット (TAUBnTO.TAUBnTOM) に書き込んだ値は、出力端子 (TAUBTTOUTm) に転送されます。
- TAUB 信号による制御 (TAUBnTOE.TAUBnTOEm = 1)
TAUB 信号で制御した場合、TAUBTTOUTm の出力レベルはセット/リセット、または内部信号によりトグルされます。これに応じて、TAUBTTOUTm の値を反映するために、TAUBnTO.TAUBnTOM の値は更新されます。
 - 単体制御 (TAUBnTOM.TAUBnTOMm = 0)
単体動作の場合、TAUBTTOUTm 端子の出力はチャンネル m の設定のみの影響を受けます。したがって、チャンネル単体動作を指定 (TAUBnTOM.TAUBnTOMm = 0) する必要があります。
 - 連動制御 (TAUBnTOM.TAUBnTOMm = 1)
連動動作の場合、TAUBTTOUTm 端子の出力は、チャンネル m とその他のチャンネルの設定の影響を受けます。したがって、すべての連動するチャンネルに対してチャンネル連動動作を指定する必要があります (TAUBnTOM.TAUBnTOMm = 1)。

TAUBnTO.TAUBnTOM ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUBTTOUTm の現在の値を確認することができます。

制御ビット

特定のチャンネル出力モードを選択するために必要な制御ビットの設定は、「表 24.38 チャネル出力モード」に示します。

チャンネル出力モードの詳細は次の節を参照してください。

- 「24.7.2 TAUBn 信号により単体制御されるチャンネル出力モード」
- 「24.7.3 TAUBn 信号により連動制御されるチャンネル出力モード」

TAUBnTOM ビットの一括操作

TAUBnTOM ビットへの設定値の反映/非反映は、TAUBnTOE.TAUBnTOEm ビットにより制御されます。

TAUBnTO レジスタにライトした時に、TAUBnTOE.TAUBnTOEm ビット = 0 を設定したビット (チャンネル) にのみ、TAUBnTOM の設定値の書き込みが行われます。

TAUBnTOE.TAUBnTOEm ビット = 1 を設定したビット (チャンネル) は、TAUBnTOM の設定値は反映されません。

備考

TAUBnTO.TAUBnTOM ビットは、ビット番号とチャンネル番号が対応して配置しています。

出力論理

出力の正論理または負論理は、制御ビット TAUBnTOL.TAUBnTOLm で指定します。

TAUBnTOL.TAUBnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能または三角波 PWM 出力機能時のみです。カウンタ動作開始後に TAUBnTOL.TAUBnTOLm を変更すると、TAUBTTOUTm 信号の出力は不定になります。

「24.6 一斉書き換え」を参照してください。

各種チャンネル出力モードとチャンネル出力制御ビットを表 24.38 に示します。

表 24.38 チャンネル出力モード

チャンネル出力モード	TAUBnTOE. TAUBnTOEm	TAUBnTOM. TAUBnTOMm	TAUBnTOC. TAUBnTOCm	TAUBnTDE. TAUBnTDEm
ソフトウェア制御				
ソフトウェア制御のチャンネル単体出力モード	0		x	
TAUB 信号による単体動作制御				
チャンネル単体出力モード 1	1	0	0	0
チャンネル単体出力モード 2			1	
TAUB 信号による連動動作制御				
チャンネル連動出力モード 1	1	1	0	0
チャンネル連動出力モード 2			1	0
デッドタイム出力を行うチャンネル連動出力モード 2				1

- 表に記述のない組み合わせは禁止です。
- “x” が記されているビットは、任意の値を設定できます。

備 考

1. 次のビットは、カウント動作中 (TAUBnTE.TAUBnTEm = 1) は変更できません。
 - TAUBnTOM.TAUBnTOMm
 - TAUBnTOC.TAUBnTOCm
 - TAUBnTDE.TAUBnTDEm

24.7.1 チャネル出力モードを指定するための基本手順

TAUBTTOUTm チャネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります (TAUBnTOE.TAUBnTOEm = 0)。

- (1) TAUBnTO.TAUBnTOm を設定して TAUBTTOUTm 出力の初期レベルを指定してください。
- (2) 「表 24.38 チャネル出力モード」を参照してチャネル出力モードを設定し、TAUBnTOL.TAUBnTOLm ビットで出力論理を設定してください。
- (3) カウンタのカウントを開始してください (TAUBnTS.TAUBnTSm = 1)。

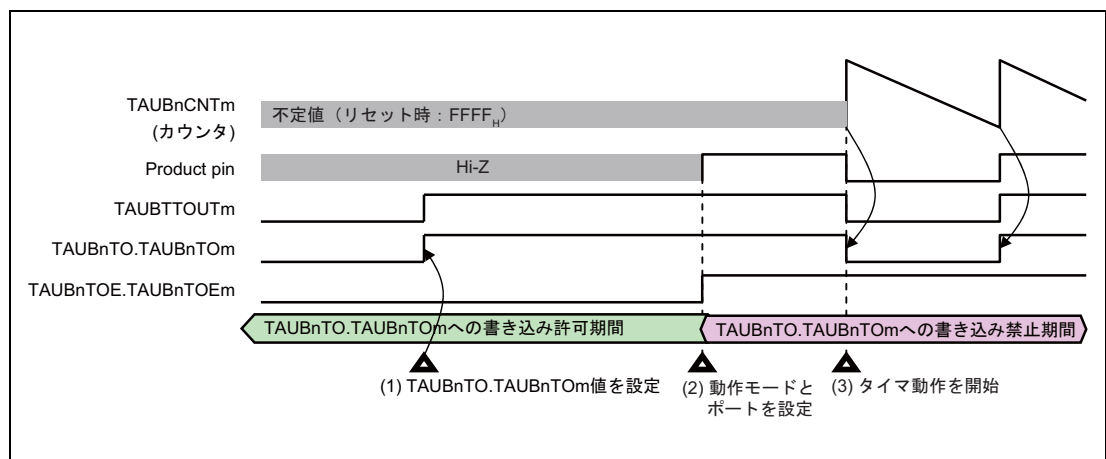


図 24.8 TAUBTTOUTm チャネル出力モードを指定するための基本手順

24.7.2 TAUBn 信号により単体制御されるチャネル出力モード

この節では、TAUBn 信号により単体制御されるチャネル出力モードを示します。モードを指定する制御ビットは、「表 24.38 チャネル出力モード」に示します。

24.7.2.1 チャネル単体出力モード 1

セット/リセット条件

この出力モードでは、INTTAUBnIm が検出されると TAUBTTOUTm がトグルされます。TAUBnTOL.TAUBnTOLm の値は無視されます。

前提条件

「表 24.38 チャネル出力モード」に示す条件以外の条件はありません。

24.7.2.2 チャネル単体出力モード 2

セット/リセット条件

この出力モードでは、TAUBTTOUTm は、カウント開始の INTTAUBnIm 発生でセット、TAUBnCNTm と TAUBnCDRm の一致による INTTAUBnIm 発生でリセットされます。

前提条件

「表 24.38 チャネル出力モード」に示す条件以外の条件はありません。

24.7.3 TAUBn 信号により連動制御されるチャネル出力モード

この節では、TAUBn 信号により連動制御されるチャネル出力モードを示します。モードを指定する制御ビットは、「表 24.38 チャネル出力モード」に示します。

24.7.3.1 チャネル連動出力モード 1

セット/リセット条件

この出力モードでは、マスタチャネルの INTTAUBnIm がセット信号、スレーブチャネルの INTTAUBnIm がリセット信号となります。マスタチャネルの INTTAUBnIm とスレーブチャネルの INTTAUBnIm が同時発生した場合、スレーブチャネルの INTTAUBnIm (リセット信号) は、マスタチャネルの INTTAUBnIm (セット信号) より優先されます (マスタチャネルは無視されます)。

前提条件

「表 24.38 チャネル出力モード」に示す条件以外の条件はありません。

24.7.3.2 チャネル連動出力モード2

この出力モードでは、動作モードをアップ/ダウンカウントモードに設定する必要があります。その結果、TAUBTTOUTm より三角波 PWM が出力されます。詳細は「**24.14.5 三角波 PWM 出力機能**」を参照してください。

セット/リセット条件

スレーブチャンネルの TAUBnCNTm は、アップ/ダウンカウントを繰り返します。カウントが 0001_H を越えると、割り込みを発生し、TAUBTTOUTm をトグルします。

前提条件

三角波 PWM 出力を生成するには2つで1組のチャンネルが必要です。TAUBTTOUTm は、機能を開始する前に“0”に設定する必要があります。

24.7.3.3 デッドタイム出力を行うチャンネル連動出力モード2

この出力モードでは、TAUBTTOUTm にデッドタイム遅延が付加されます。セット/リセット条件を図 24.9 に示します。

セット/リセット条件

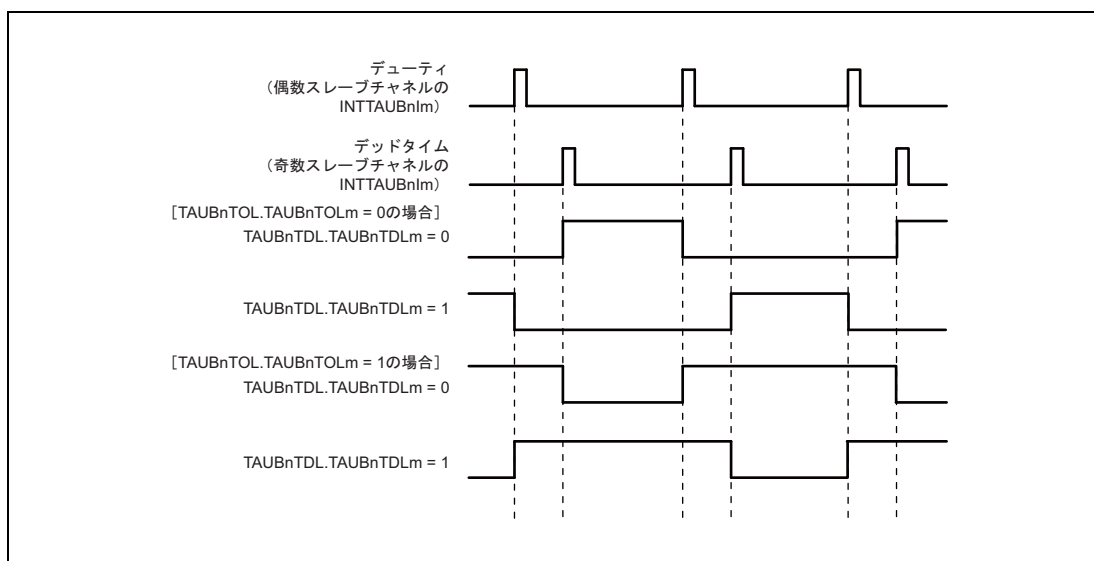


図 24.9 デッドタイム出力を行うチャンネル連動出力モード2のセット/リセット条件

デッドタイムが付加されるエッジは、立ち上がりエッジの場合は

TAUBnTDL.TAUBnTDLm = 0、立ち下がりエッジの場合は TAUBnTDL.TAUBnTDLm = 1 を設定してください。

前提条件

デッドタイムを制御するには、それぞれ次のモードで操作する3つで1組のチャンネルが必要です。

- マスタチャンネル
マスタチャンネルは、インターバルタイマモードに設定する必要があります。
- 偶数スレーブチャンネル
偶数スレーブチャンネルは、アップ/ダウンカウントモードに設定する必要があります。

- 奇数スレーブチャンネル (偶数チャンネル+1)
奇数スレーブチャンネルは、ワンカウントモードに設定する必要があります。

奇数チャンネルと偶数チャンネルでは、次のビットが同じ値である必要があります。

- TAUBnTOE.TAUBnTOEm
- TAUBnTOM.TAUBnTOMm
- TAUBnTOC.TAUBnTOCm
- TAUBnTDE.TAUBnTDEm

24.8 各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUBnTS.TAUBnTsm を“1”に設定したあとの、カウンタ動作開始タイミングについて説明します。

データレジスタの値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

注 意

本節に記載するカウント開始タイミングは参考例です。実際にはカウントクロックタイミングにより、カウント開始タイミングは前後します。

24.8.1 インターバルタイマモード、ジャッジモード、キャプチャモード、アップ/ダウンカウントモード、カウントキャプチャモード

TAUBnTS.TAUBnTsm が“1”に設定されたあと、カウンタは次のカウントクロックサイクル開始時に動作を開始します。このとき、データレジスタの値もロードされます。

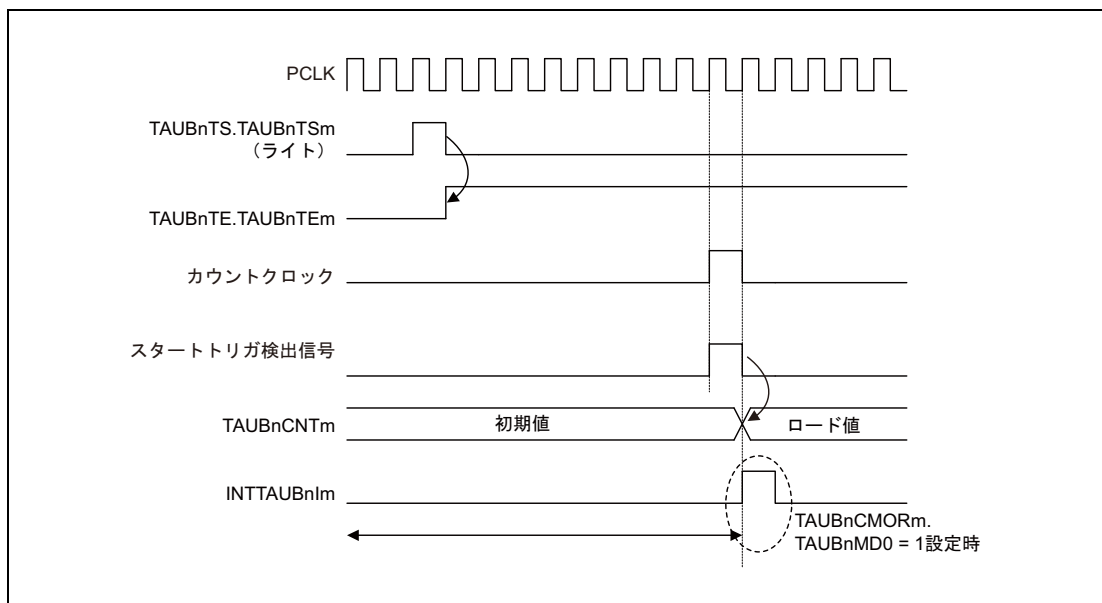


図 24.10 インターバルタイマモード、ジャッジモード、キャプチャモード、アップ/ダウンカウントモード、カウントキャプチャモードでの開始タイミング

備 考

アップ/ダウンカウントモード時は、必ず TAUBnCMORm.TAUBnMD0 = 0 に設定してください。

24.8.2 イベントカウントモード

TAUBnTS.TAUBnTSMが“1”に設定されると、ただちにデータレジスタの値がロードされます。カウンタ動作もただちに開始されます。データレジスタの値は、以降のカウントクロックサイクルの開始時にデクリメントされます。

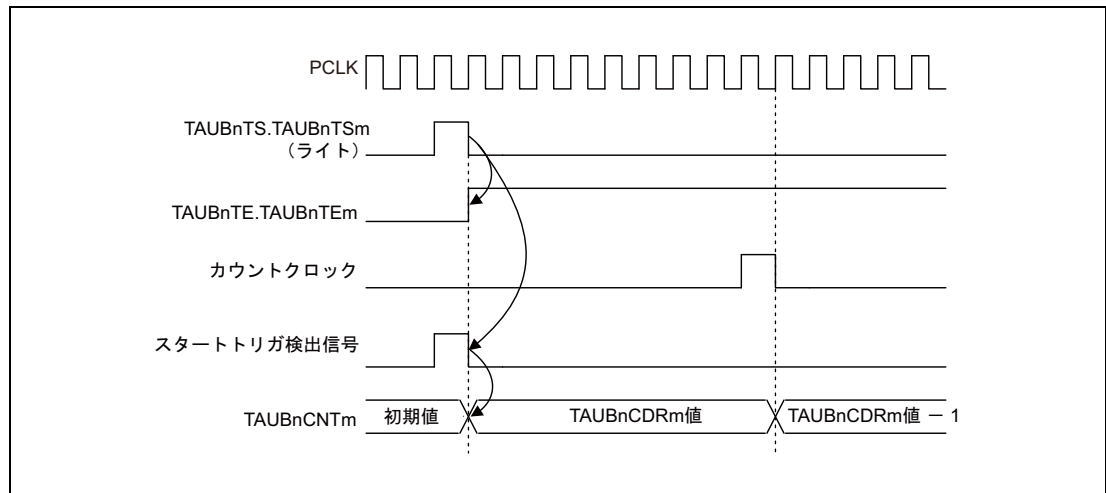


図 24.11 イベントカウントモード時の開始タイミング

24.8.3 その他の動作モード

その他の動作モードでは、カウントクロックサイクルはカウンタ動作開始に関係しません。カウンタは TAUBTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると、データレジスタ値もロードされます。カウントクロックサイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

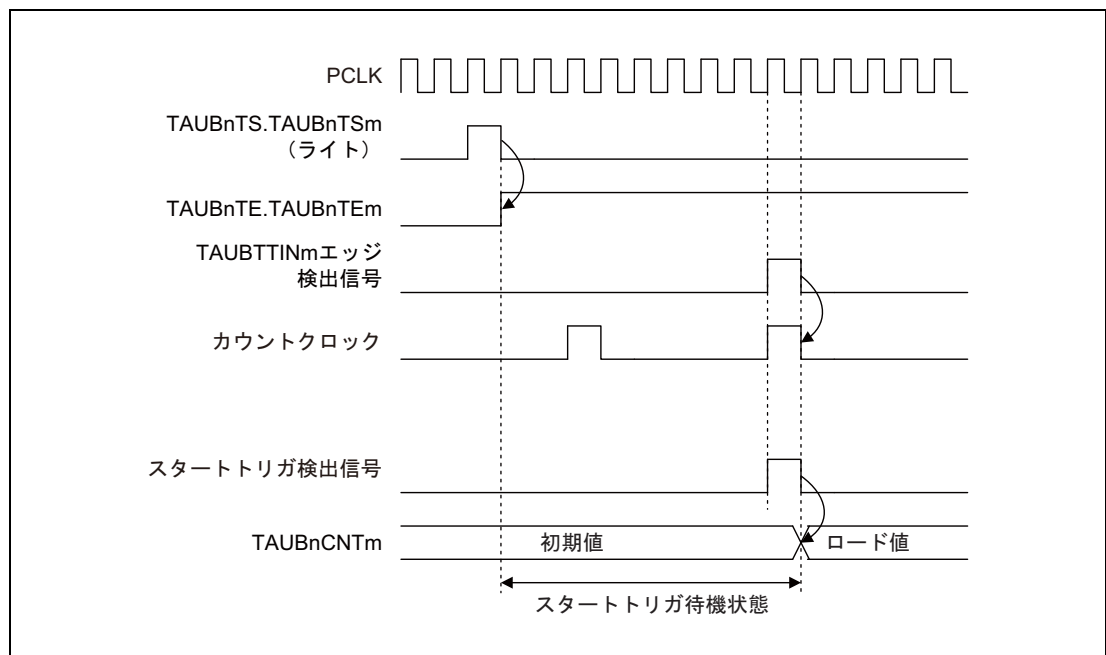


図 24.12 その他の動作モードでのカウント開始タイミング

24.9 カウント開始／リスタート時の TAUBTTOUTm 出力と INTTAUBnIm 生成

カウンタのカウント開始時、TAUBnCMORm.TAUBnMD0 ビットで INTTAUBnIm を発生するかしないかを指定できます。TAUBnCMORm.TAUBnMD0 ビットがカウント開始時の INTTAUBnIm 発生、TAUBTTOUTm に与える影響は、選択した機能に依存します。詳細は各機能の TAUBnCMORm.TAUBnMD0 の説明を参照してください。

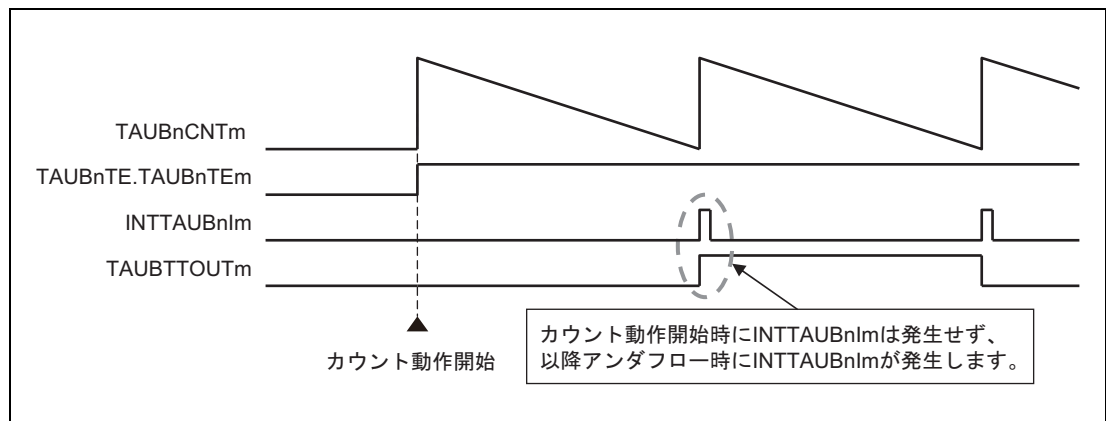


図 24.13 INTTAUBnIm の発生タイミング (TAUBnCMORm.TAUBnMD0=0 設定時)

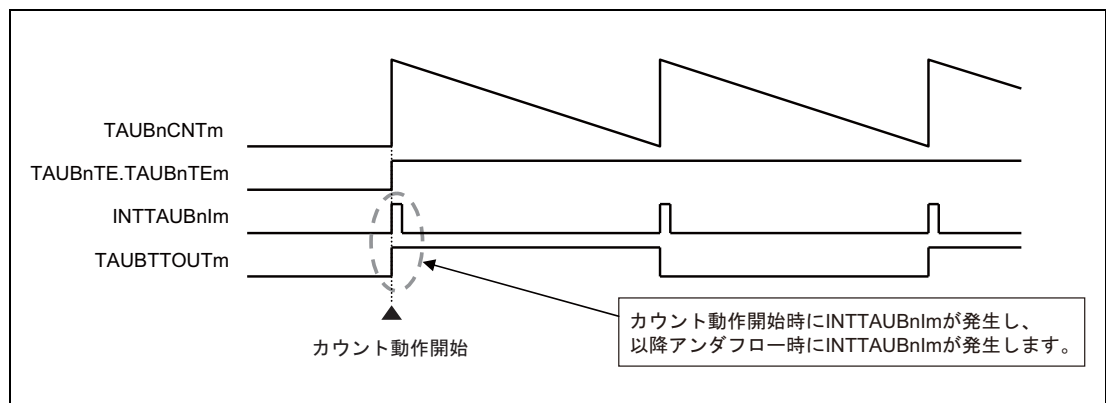


図 24.14 INTTAUBnIm の発生タイミング (TAUBnCMORm.TAUBnMD0=1 設定時)

24.10 オーバフロー時の割り込み発生

特定の単体機能では、アップカウント時にカウンタ値が $FFFF_H$ になりオーバフローになる際、割り込みが発生しません。この節では、アップカウントを行うモードでのチャンネル動作と、ダウンカウントを行うモードでのチャンネル動作を組み合わせで割り込みを発生させる方法を説明します。

どの動作モードがセカンドチャンネルに適切かは、ファーストチャンネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンドチャンネルに、ファーストチャンネルでのオーバフロー発生と同時に 0000_H になるようなダウンカウントを行う動作モードを設定します (TAUBnCNTm = $FFFF_H$)。
- セカンドチャンネルの TAUBnCDRm を $FFFF_H$ に設定します。
- 2つのチャンネルは同じ速度でカウントを行う必要があります (つまり、カウントクロックが同じでなければなりません)。
- 両チャンネルが同じ TAUBTTINm 入力信号でトリガされます。
- 両チャンネルのトリガ検出設定 (TAUBnCMORm.TAUBnSTS[2:0] と TAUBnCMURm.TAUBnTIS[1:0]) は同じである必要があります。

結果：

ファーストチャンネルのアップカウンタでのオーバフロー発生 (TAUBnCNTm = $FFFF_H$) と同時にセカンドチャンネルのダウンカウンタが 0000_H になります。そしてセカンドチャンネルは任意の割り込みを発生させます。

以降の節で、アップカウントを行う動作モードとの組み合わせに必要なダウンカウントを行う動作モードの一覧と、タイミング図の例を示します。

24.10.1 TAUBTTINm 入力パルスインターバル測定機能と TAUBTTINm 入力インターバルタイマ機能の組み合わせ例

両チャンネルの TAUBTTINm に同時にキャプチャトリガを入力することで、TAUBTTINm 入力パルスインターバル測定機能の TAUBnCNTm の FFFF_H オーバフローを TAUBTTINm 入力インターバルタイマ機能の INTTAUBnIm で検出できます。

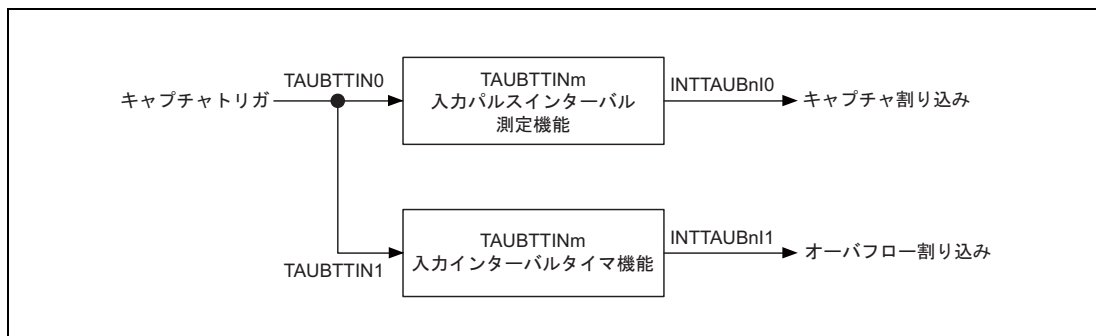


図 24.15 TAUBTTINm 入力パルスインターバル測定機能と TAUBTTINm 入力インターバルタイマ機能の組み合わせ

タイミング図

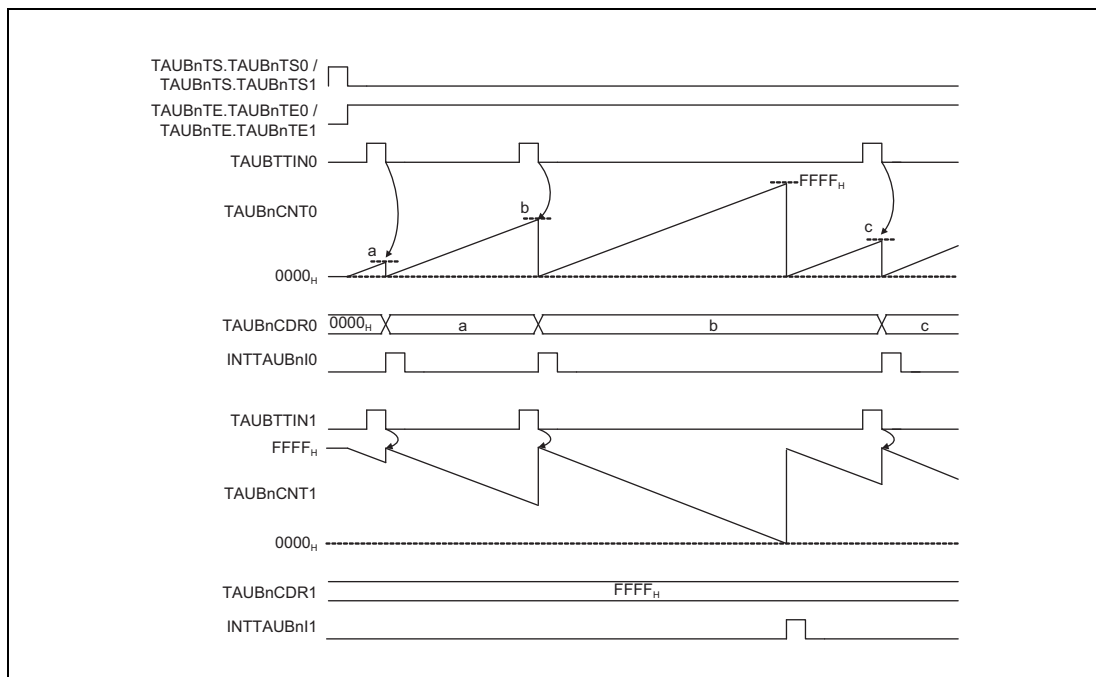


図 24.16 TAUBTTINm 入力パルスインターバル測定機能と TAUBTTINm 入力インターバルタイマ機能の組み合わせによる割り込み発生

24.10.2 TAUBTTIN_m 入力信号幅測定機能とオーバーフロー割り込み出力機能 (TAUBTTIN_m 幅測定時) の組み合わせ例

両チャンネルの TAUBTTIN_m に同時にキャプチャトリガを入力することで、TAUBTTIN_m 入力信号幅測定機能の TAUBnCNT_m の FFFF_H オーバフローをオーバーフロー割り込み出力機能 (TAUBTTIN_m 幅測定時) の INTTAUBnIm で検出できます。

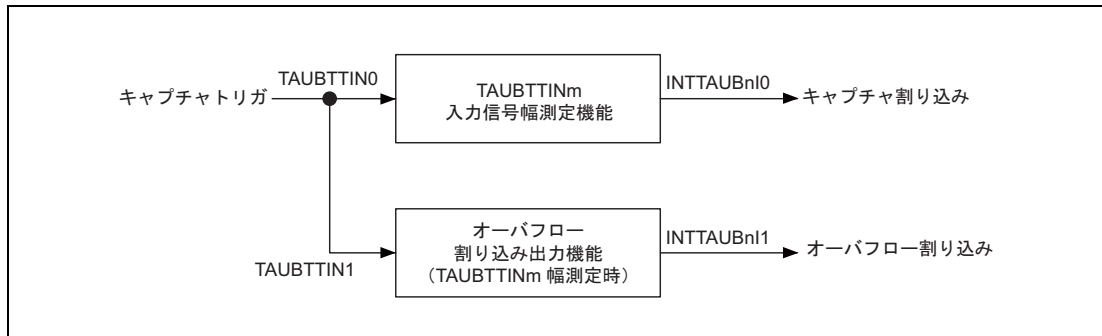


図 24.17 TAUBTTIN_m 入力信号幅測定機能とオーバーフロー割り込み出力機能 (TAUBTTIN_m 幅測定時) の組み合わせ

タイミング図

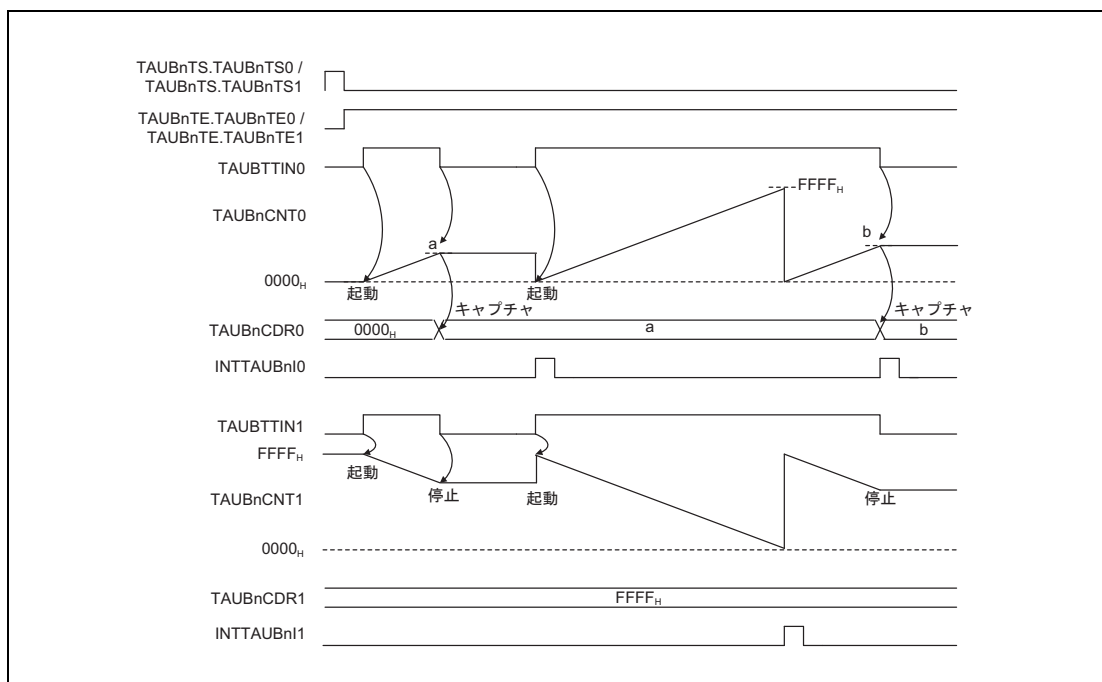


図 24.18 TAUBTTIN_m 入力信号幅測定機能とオーバーフロー割り込み出力機能 (TAUBTTIN_m 幅測定時) の組み合わせによる割り込み発生

24.10.3 TAUBTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ例

両チャンネルのカウンタを同時に開始することで、TAUBTTINm 入力位置検出機能の TAUBnCNTm の $FFFF_H$ オーバフローをインターバルタイマ機能の INTTAUBnIm で検出できます。

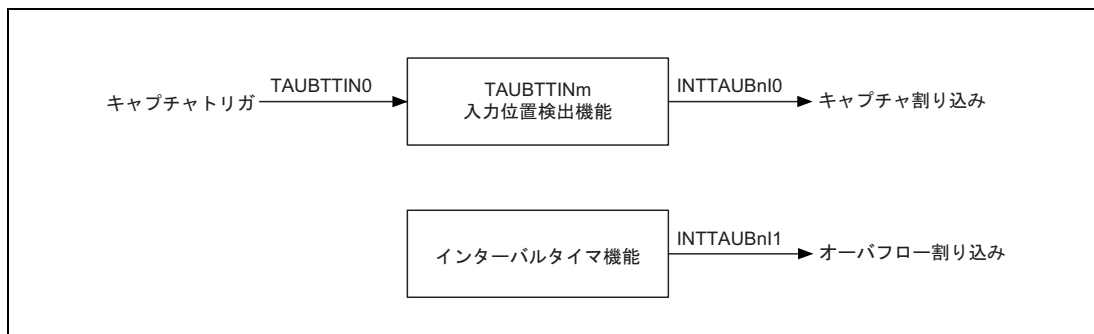


図 24.19 TAUBTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

タイミング図

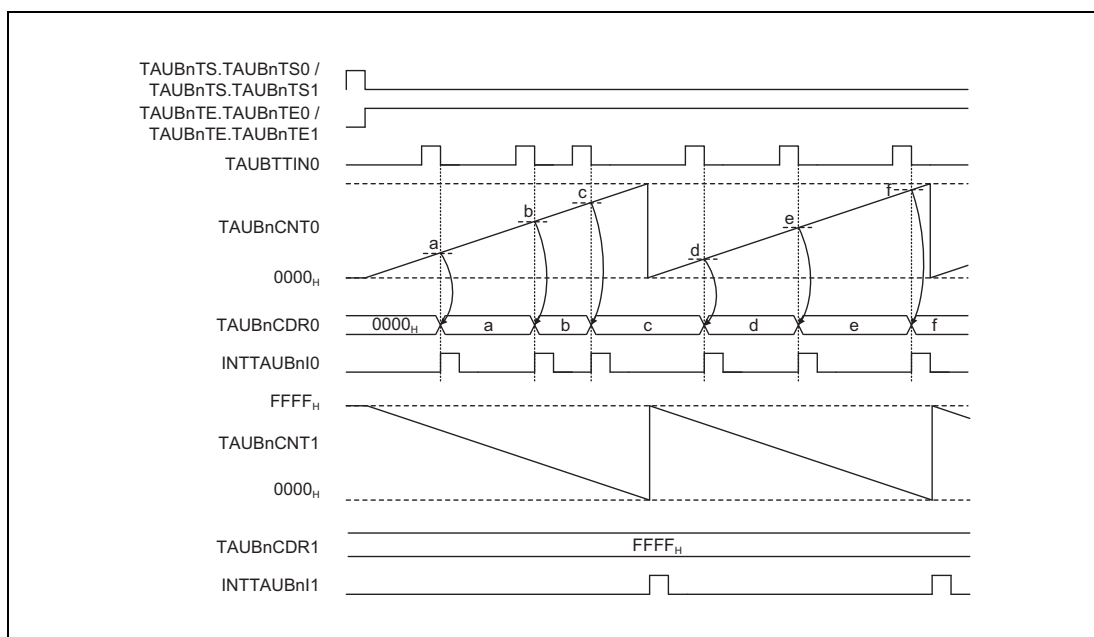


図 24.20 TAUBTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせによる割り込み発生

24.10.4 TAUBTTINm 入力期間カウント検出機能とオーバーフロー割り込み出力機能 (TAUBTTINm 入力期間カウント検出時) の組み合わせ例

両チャンネルの TAUBTTINm に同時にキャプチャトリガを入力することで、TAUBTTINm 入力期間カウント検出機能の TAUBnCNTm の $FFFF_H$ オーバフローをオーバーフロー割り込み出力機能 (TAUBTTINm 入力期間カウント検出時) の INTTAUBnIm で検出できます。

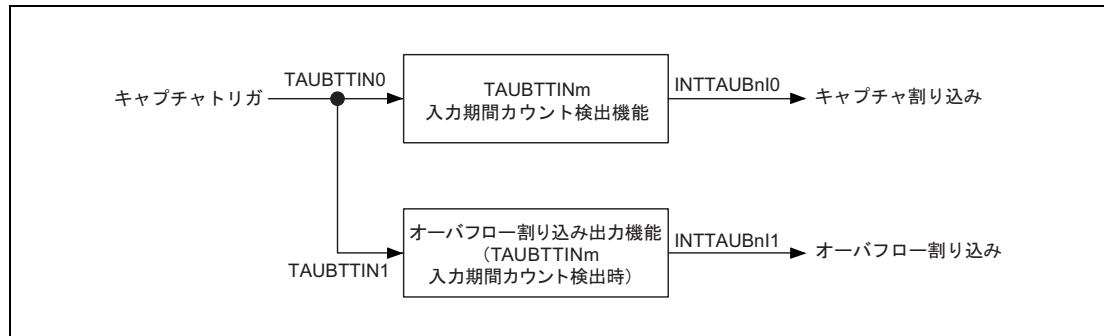


図 24.21 TAUBTTINm 入力期間カウント検出機能とオーバーフロー割り込み出力機能 (TAUBTTINm 入力期間カウント検出時) の組み合わせ

タイミング図

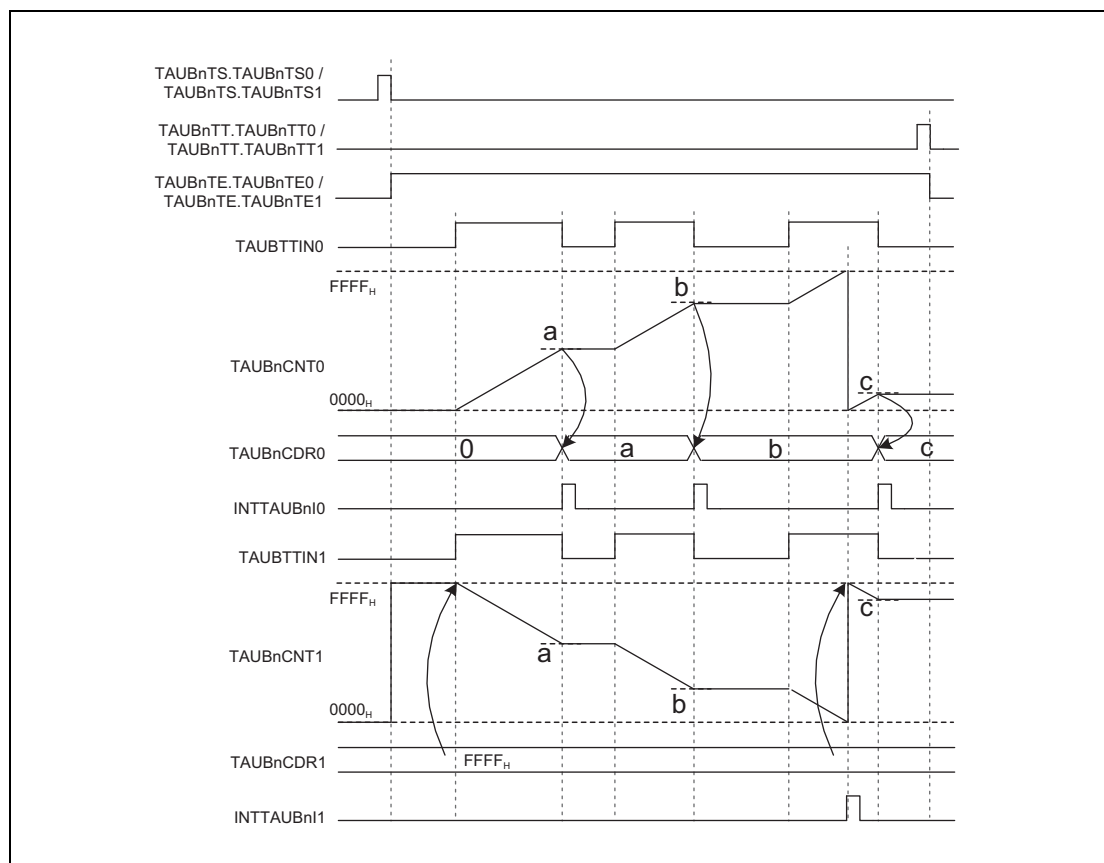


図 24.22 TAUBTTINm 入力期間カウント検出機能とオーバーフロー割り込み出力機能 (TAUBTTINm 入力期間カウント検出時) の組み合わせによる割り込み発生

24.11 TAUBTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大1動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを次の図に示します。

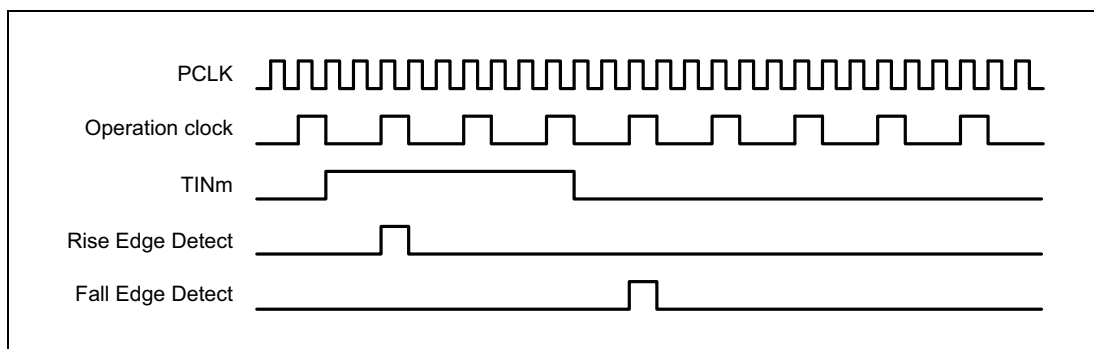


図 24.23 エッジ検出基本動作タイミング

図 24.23 は動作タイミングのイメージです。実際は、TAUBnIm 端子から TAUBn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

24.12 チャネル単体動作機能

TAUB の各種単体動作機能を次の項で説明します。単体動作機能の概要は、「24.2 概要」を参照してください。

24.12.1 インターバルタイマ機能

24.12.1.1 概要

概要

この機能は、一定間隔でタイマ割り込み (INTTAUBnIm) を発生する基準タイマとして使用できます。割り込みが発生すると、TAUBTTOUTm 信号はトグルされ、矩形波を出力します。

機能説明

チャネルトリガビット (TAUBnTS.TAUBnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000_H になると、INTTAUBnIm が発生し、TAUBTTOUTm 信号がトグルされます。その後、TAUBnCDRm の値を TAUBnCNTm にロードし、以降、動作を継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。TAUBnCNTm と TAUBTTOUTm は停止しますが、値は保持します。TAUBnTS.TAUBnTSm を 1 に設定すると、機能を再開できます。カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

条件

TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUBTTOUTm のトグルも行われません。これにより、TAUBnCMORm.TAUBnMD0 が 1 に設定された場合に対して、反転された TAUBTTOUTm 信号が出力されます。

24.12.1.2 算出式

INTTAUBnIm の周期 = カウントクロック周期 × (TAUBnCDRm + 1)

TAUBTTOUTm の矩形波周期 = カウントクロック周期 × (TAUBnCDRm + 1) × 2

24.12.1.3 ブロック図と基本タイミング図

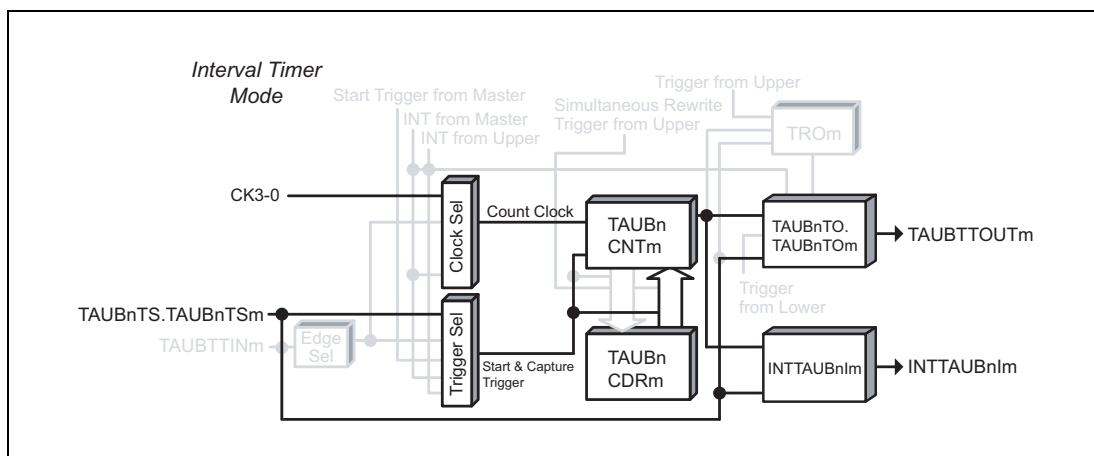


図 24.24 インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生する (TAUBnCMORm.TAUBnMD0 = 1)

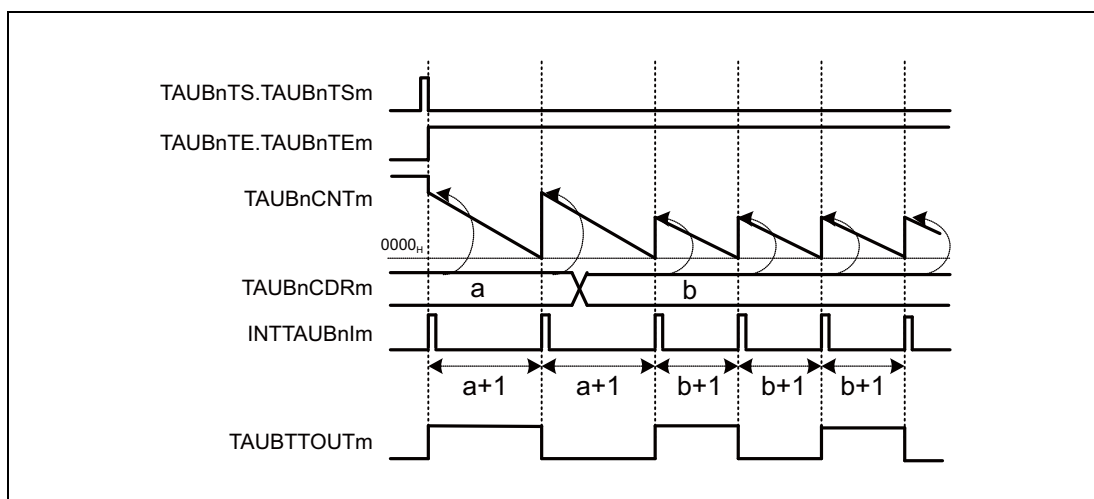


図 24.25 インターバルタイマ機能の基本タイミング図

24.12.1.4 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]	—	TAUBnMD[4:1]				TAUBn MD0		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.39 インターバルタイマ機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUBnCKS[1:0]	動作クロックの選択 00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	0 _B を書いてください。
10 ~ 8	TAUBnSTS [2:0]	000 _B を書いてください。
7, 6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUBnMD [4:1]	0000 _B を書いてください。
0	TAUBnMD0	0: 動作開始時に INTTAUBnIm が発生せず、TAUBTTOUTm はトグルされない 1: 動作開始または再開時に INTTAUBnIm が発生し、TAUBTTOUTm はトグルされる

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R/W

表 24.40 インターバルタイマ機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUBnTIS [1:0]	00: 未使用、00 を設定

(3) チャネル出力モード

表 24.41 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1 _B を書いてください。
TAUBnTOM.TAUBnTOMm	0 _B を書いてください。
TAUBnTOC.TAUBnTOCm	0 _B を書いてください。
TAUBnTOL.TAUBnTOLm	0 _B を書いてください。
TAUBnTDE.TAUBnTDEm	0 _B を書いてください。
TAUBnTDL.TAUBnTDLm	0 _B を書いてください。

備 考

チャネル出力モードは、TAUBnTOE.TAUBnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUBTTOUTm を割り込みとは独立させて制御することができます。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC) は、インターバルタイマ機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.42 インターバルタイマ機能の一斉書き換え設定

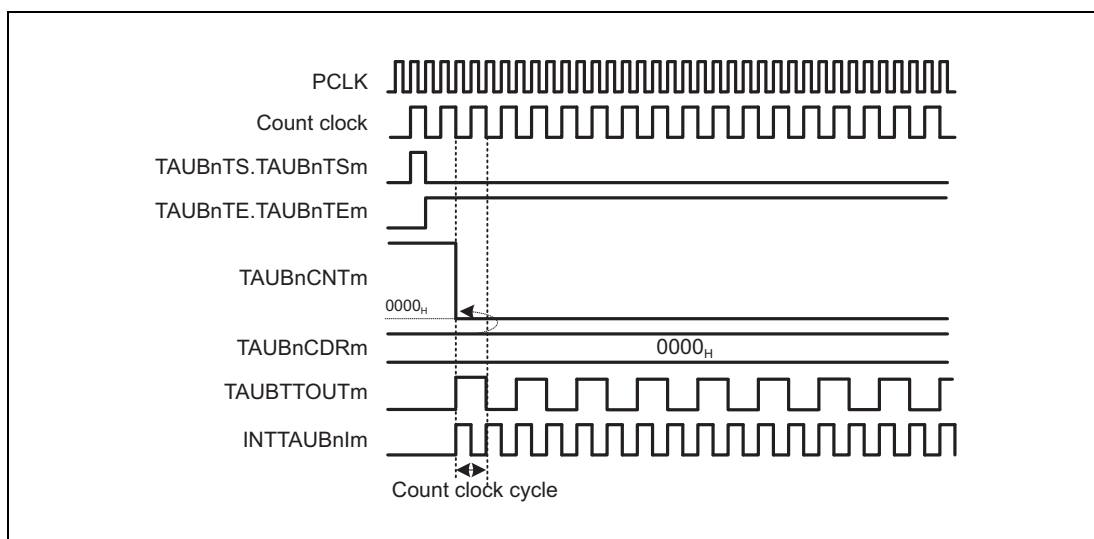
ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0)、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.1.5 インターバルタイマ機能の操作手順

表 24.43 インターバルタイマ機能の操作手順

	操作	TAUBnの状態
動作再開 ↓	チャンネルの初期設定 チャンネルの初期設定 TAUBnCMORm、TAUBnCMURm レジスタを「表 24.39 インターバルタイマ機能の TAUBnCMORm レジスタの内容」、「表 24.40 インターバルタイマ機能の TAUBnCMURm レジスタの内容」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。 制御ビットを「表 24.41 チャンネル単体出力モード 1 時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 動作開始 TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCDRm の値を TAUBnCNTm にロードします。TAUBnCMORm.TAUBnMD0 = 1 の場合、INTTAUBnIm が発生し、TAUBTTOUTm がトリガされます。
	動作中 動作中 TAUBnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは常に読み出し可能です。	TAUBnCNTm がダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> 再び TAUBnCDRm の値を TAUBnCNTm にロードし、カウント動作を継続します。 INTTAUBnIm が発生し、TAUBTTOUTm がトリガされます。
	動作停止 動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBTTOUTm は停止し、現在値を保持します。

24.12.1.6 特定の設定時のタイミング図

(1) TAUBnCDRm = 0000_H、カウントクロック = PCLK/2図 24.26 TAUBnCDRm = 0000_H、カウントクロック = PCLK/2

- TAUBnCDRm = 0000_H、かつカウントクロック = PCLK/2 の場合、カウントクロックごとに TAUBnCDRm の値が TAUBnCNTm にロードされます。つまり、TAUBnCNTm は常に 0000_H です。
- INTTAUBnIm がカウントクロックごとに発生するので、TAUBTTOUTm はカウントクロックごとにトグルされます。

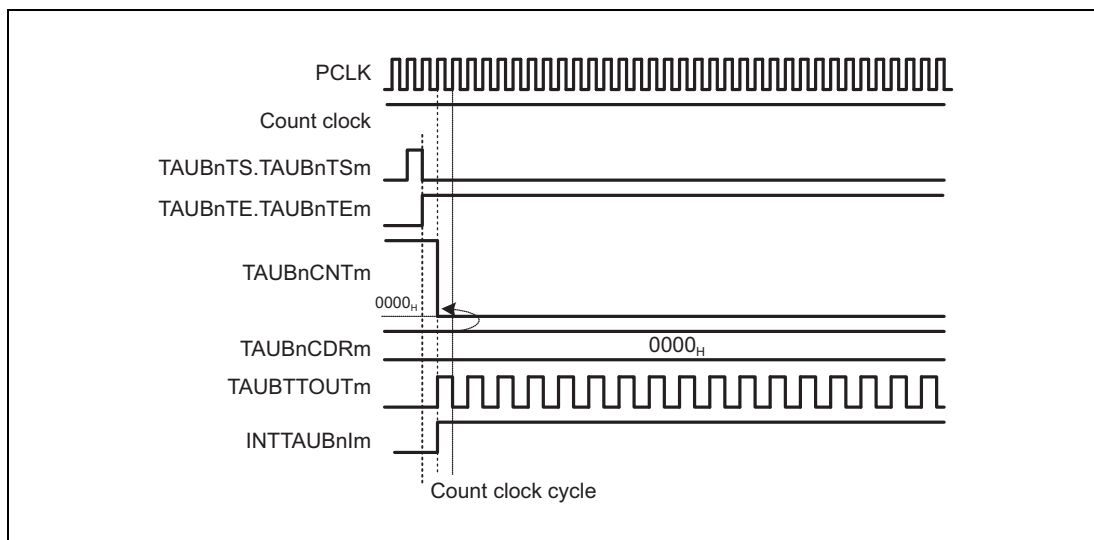
(2) TAUBnCDRm = 0000_H、カウントクロック = PCLK

図 24.27 TAUBnCDRm = 0000_H、カウントクロック = PCLK

- TAUBnCDRm = 0000_H、かつカウントクロック = PCLK の場合、PCLK クロックごとに TAUBnCDRm の値が TAUBnCNTm にロードされます。つまり、TAUBnCNTm は常に 0000_H です。
- INTTAUBnIm は、ハイレベル固定になります。1 回目の割り込みは発生しますが、それ以降は発生しません。
PCLK クロックごとに TAUBTTOUTm がトグルされます。

(3) 動作の停止と再開 (TAUBnCMORm.TAUBnMD0 = 1)

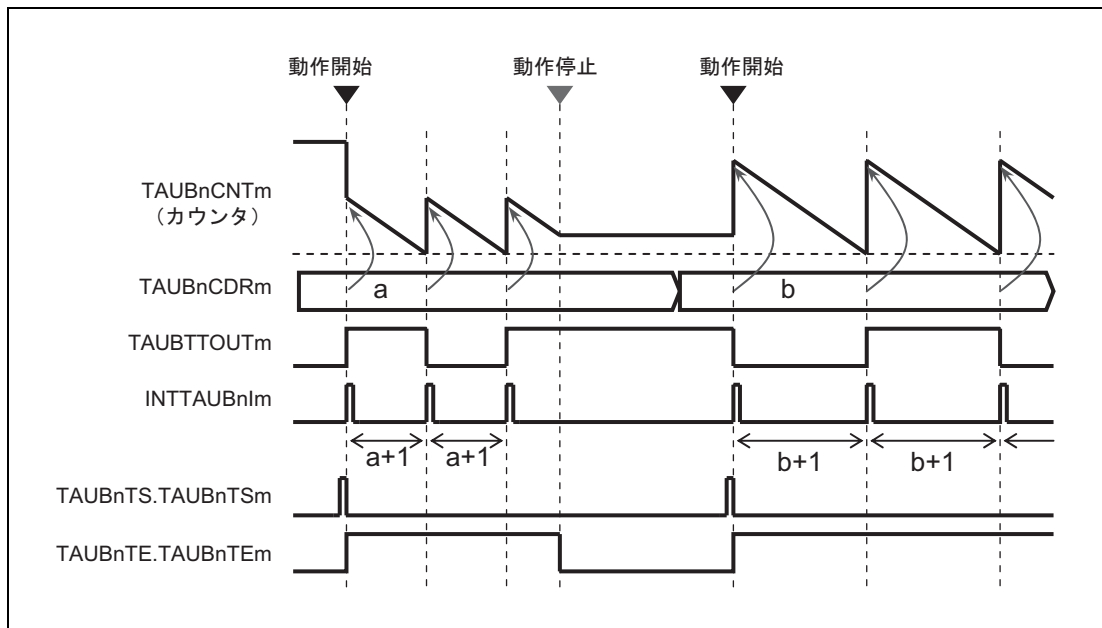


図 24.28 動作の停止と再開 (TAUBnCMORm.TAUBnMD0 = 1)

- TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- TAUBnCNTm と TAUBTTOUTm は停止しますが、値は保持します。
- TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。

(4) 動作の停止と再開 (TAUBnCMORm.TAUBnMD0 = 0)

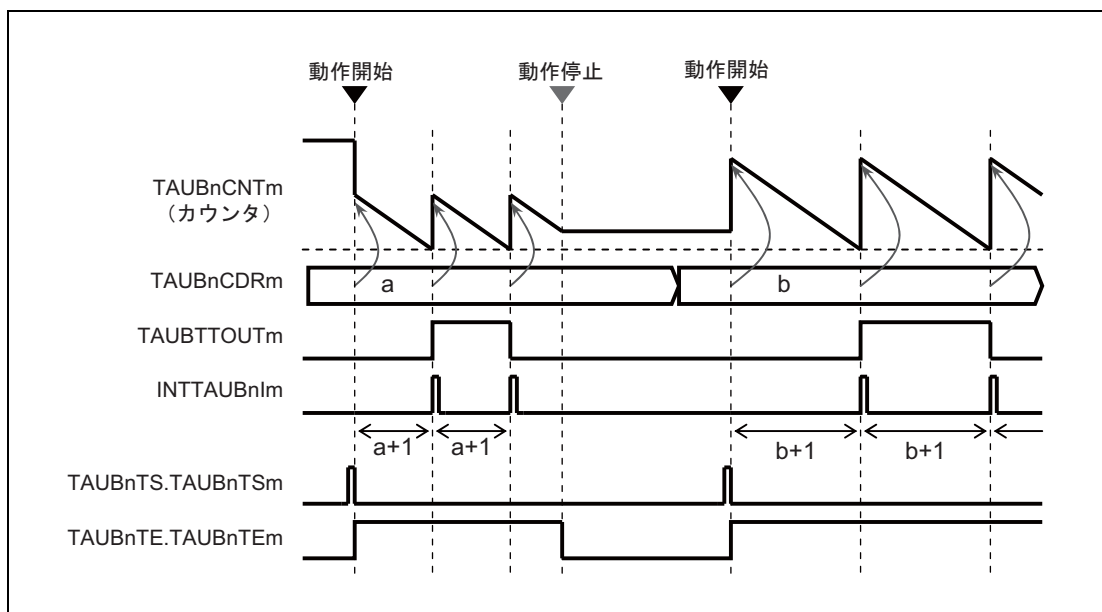


図 24.29 動作の停止と再開 (TAUBnCMORm.TAUBnMD0 = 0)

(5) 強制リスタート (TAUBnCMORm.TAUBnMD0 = 1)

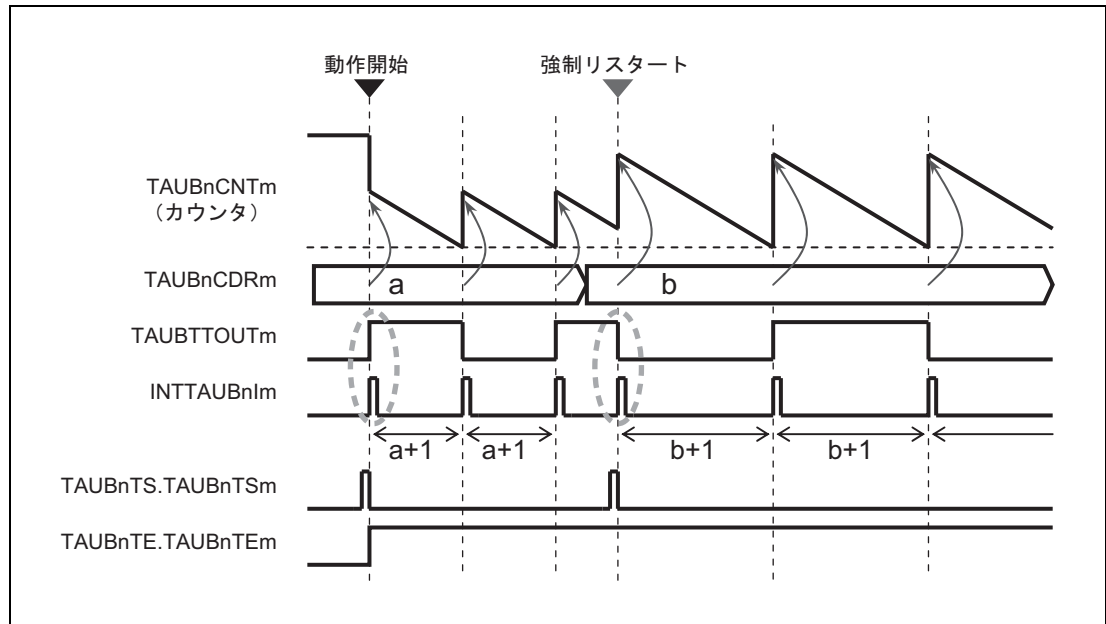


図 24.30 強制リスタート動作 (TAUBnCMORm.TAUBnMD0 = 1)

- カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できます (強制リスタート)。
- TAUBnCMORm.TAUBnMD0 ビットが 1 に設定されると、動作開始または再開後の最初の割り込みが発生し、TAUBTTOUTm はトグル出力します。

(6) 強制リスタート (TAUBnCMORm.TAUBnMD0 = 0)

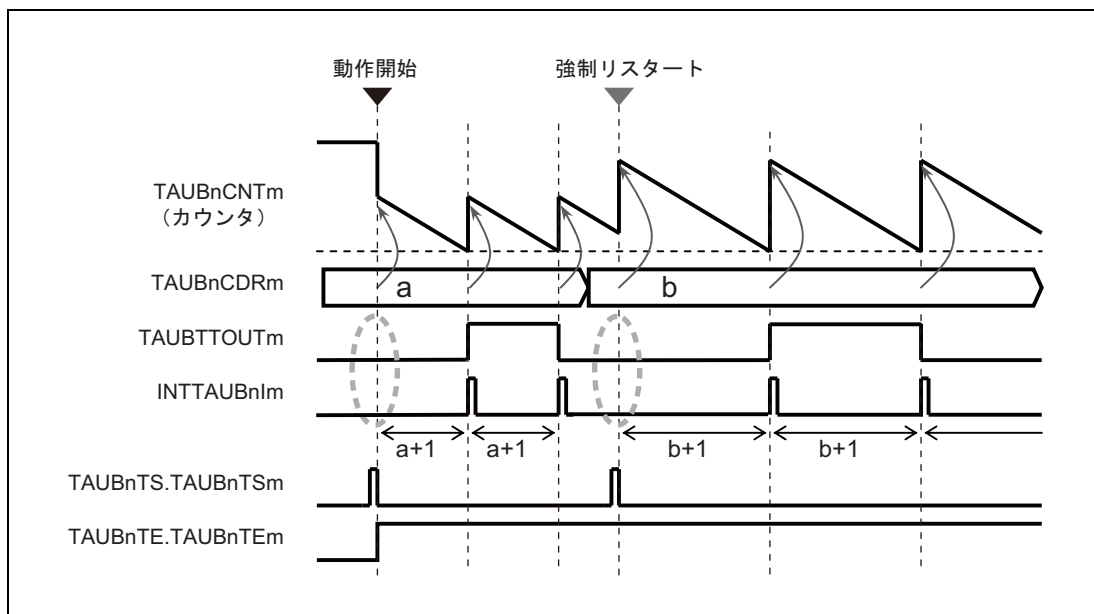


図 24.31 強制リスタート動作 (TAUBnCMORm.TAUBnMD0 = 0)

- カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できます (強制リスタート)。
- TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されると、動作開始または再開時の最初の割り込みは発生せず、TAUBTTOUTm のトグル出力も行われません。

24.12.2 TAUBTTINm 入インターバルタイマ機能

24.12.2.1 概要

概要

この機能は、一定間隔または有効な TAUBTTINm 入力エッジが検出された場合に、タイマ割り込み (INTTAUBnIm) を発生するための基準タイマとして使用されます。

機能説明

この機能は、チャンネルトリガビット (TAUBnTS.TAUBnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。

TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000_H になるか、有効な TAUBTTINm 入力エッジで、INTTAUBnIm が発生します。その後、TAUBnCDRm の値を TAUBnCNTm にロードし、以降、動作を継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。TAUBnCNTm と TAUBTTOUTm は停止しますが、値は保持します。TAUBnTS.TAUBnTSM を 1 に設定すると、機能を再開できます。カウント中に TAUBnTS.TAUBnTSM を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

トリガとして使用するエッジの種類は、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

24.12.2.2 ブロック図と基本タイミング図

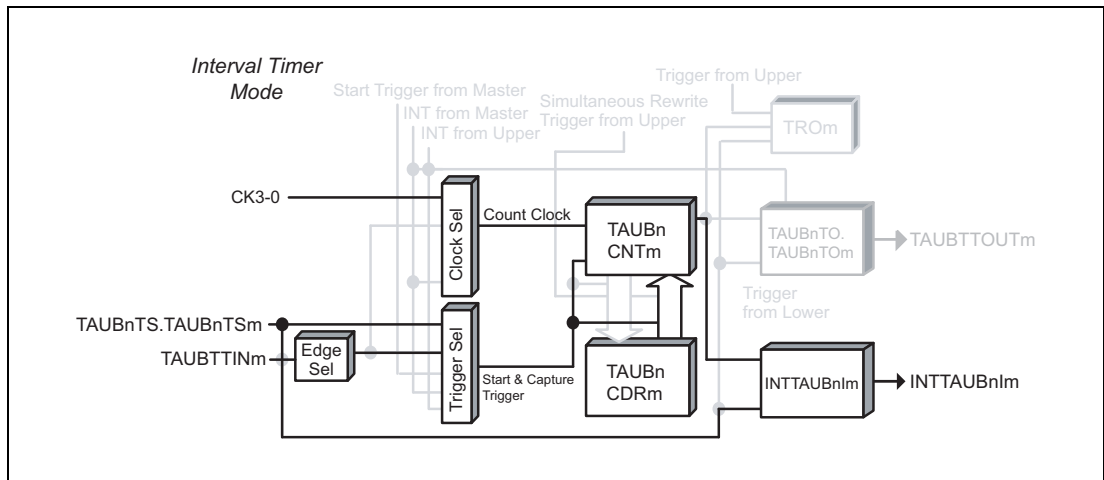


図 24.32 TAUBTTINm 入カインターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生する (TAUBnCMORm.TAUBnMD0 = 1)
- 立ち上がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 01_B)

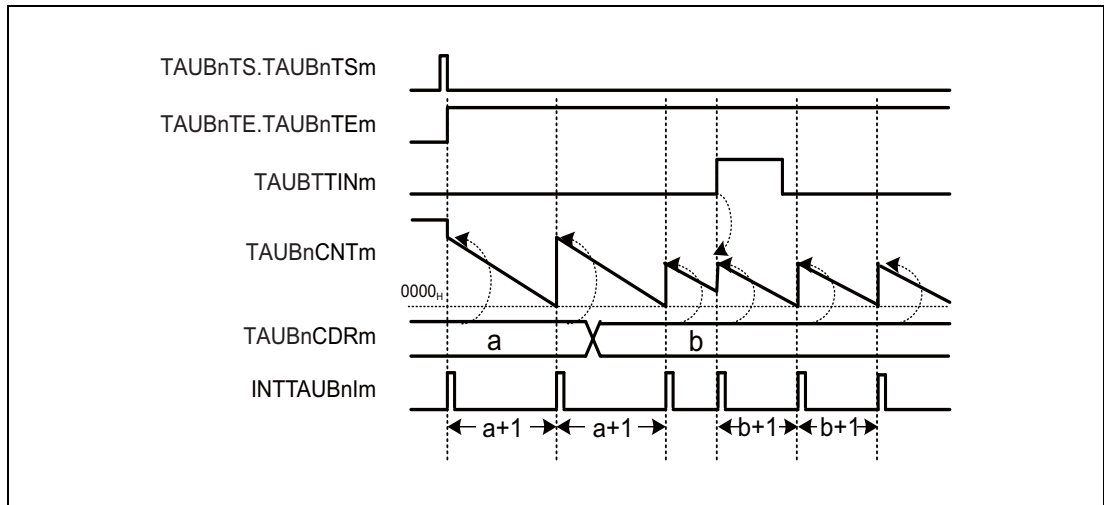


図 24.33 TAUBTTINm 入カインターバルタイマ機能の基本タイミング図

24.12.2.3 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]			TAUBn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.44 TAUBTTINm 入カウンタパルタイマ機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	0 _B を書いてください。
10～8	TAUBnSTS [2:0]	001 _B を書いてください。
7、6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD [4:1]	0000 _B を書いてください。
0	TAUBnMD0	0：動作開始時に INTTAUBnIm が発生しない 1：動作開始時に INTTAUBnIm が発生する

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.45 TAUBTTINm 入カウンタパルタイマ機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC) は、TAUBTTINm 入力インターバルタイマ機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.46 TAUBTTINm 入力インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0)、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.2.4 TAUBTTINm 入力インターバルタイマ機能の操作手順

表 24.47 TAUBTTINm 入力インターバルタイマ機能の操作手順

	操作	TAUBnの状態
動作再開	チャンネルの初期設定 TAUBnCMORm、TAUBnCMURm レジスタを、「表 24.44 TAUBTTINm 入力インターバルタイマ機能の TAUBnCMORm レジスタの内容」と「表 24.45 TAUBTTINm 入力インターバルタイマ機能の TAUBnCMURm レジスタの内容」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCDRm の値を TAUBnCNTm にロードします。 TAUBnCMORm.TAUBnMD0 = 1 の場合、INTTAUBnIm が発生します。
	動作中 TAUBnCMURm.TAUBnTIS[1:0]、TAUBnCDRm レジスタの値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは常に読み出し可能です。 TAUBTTINm エッジ検出	TAUBnCNTm がダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> 再び TAUBnCDRm の値を TAUBnCNTm にロードし、カウント動作を継続します。 INTTAUBnIm が発生します。 カウント動作中に TAUBTTINm 入力の有効エッジを検出すると、再び TAUBnCDRm の値を TAUBnCNTm にロードし、カウント動作を継続します。 以降、この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、現在値を保持します。

24.12.2.5 特定の設定時のタイミング図

「24.12.1 インターバルタイマ機能」のタイミング図も適用されますが、それに加えて有効な TAUBTTINm 入力エッジを使用することでカウンタを再開することも可能です。

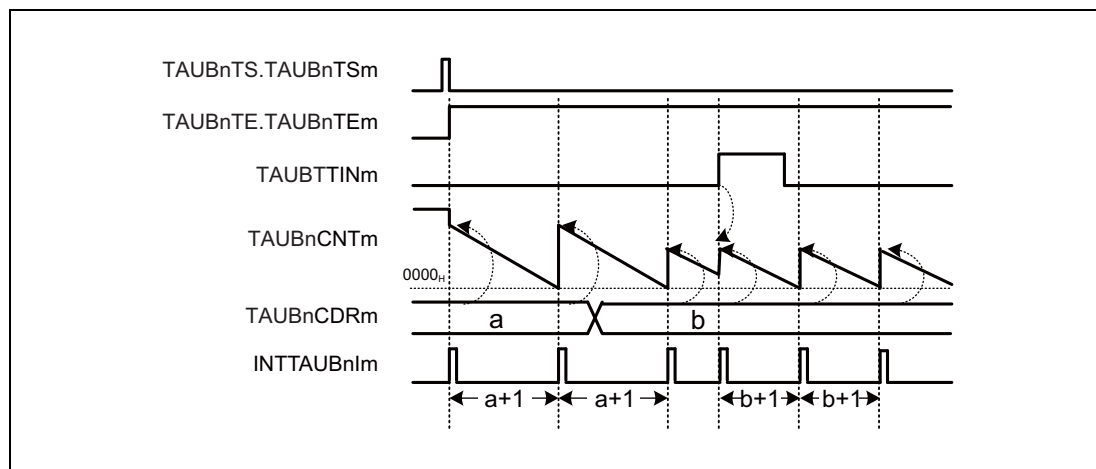


図 24.34 立ち上がり TAUBTTINm 入力エッジ (TAUBnCMURm.TAUBnTIS[1:0] = 01_B)、TAUBnCMORM.TAUBnMD0 = 1 でトリガされたカウンタ

- 有効な TAUBTTINm 入力エッジを検出した場合、割り込み INTTAUBnIm が発生します。この例では、有効エッジは立ち上がりエッジ (TAUBnCMURm.TAUBnTIS[1:0] = 01_B) です。

24.12.3 クロック分周機能

24.12.3.1 概要

概要

この機能は、周波数の分周に使用します。TAUBTTINm 入力信号の周波数を TAUBnCDRm の係数で分周し、割り込み INTTAUBnIm が発生します。

前提条件

- TAUBTTINm の周波数は固定である必要があります。
- 動作モードはインターバルタイマモードに設定する必要があります (「表 24.48 クロック分周機能の TAUBnCMORm レジスタの内容」参照)。

機能説明

チャンネルトリガビット (TAUBnTS.TAUBnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタは TAUBTTINm をカウントクロックとして使用し、その TAUBnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000_H になると、INTTAUBnIm が発生します。その後、TAUBnCDRm 値を TAUBnCNTm にロードし、以降、動作を継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。TAUBnCNTm は停止しますが、値は保持します。TAUBnTS.TAUBnTSM を 1 に設定すると、機能を再開できます。カウント中に TAUBnTS.TAUBnTSM を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

条件

TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。

備考

TAUBTTINm 入力信号は TAUBnCMORm.TAUBnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。

24.12.3.2 ブロック図と基本タイミング図

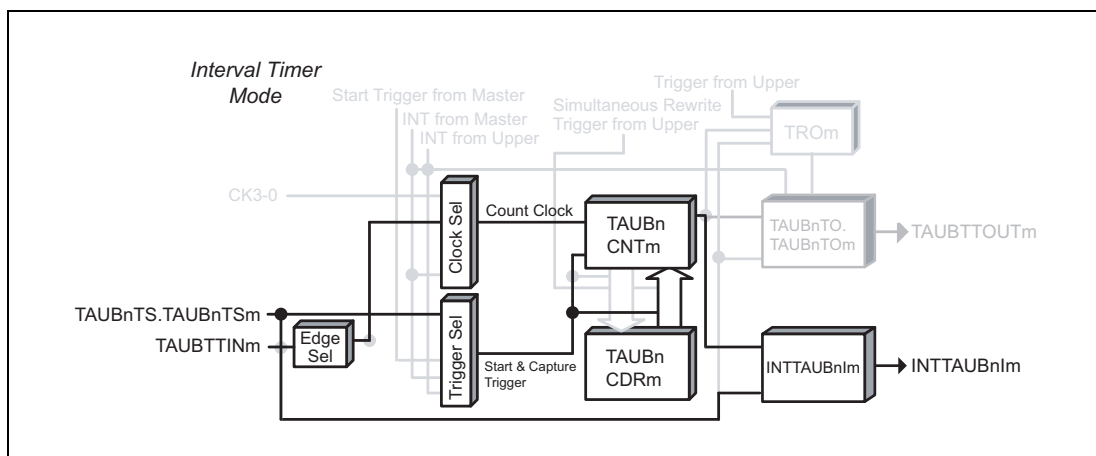


図 24.35 クロック分周機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生する (TAUBnCMORm.TAUBnMD0 = 1)
- 立ち上がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 01_B)

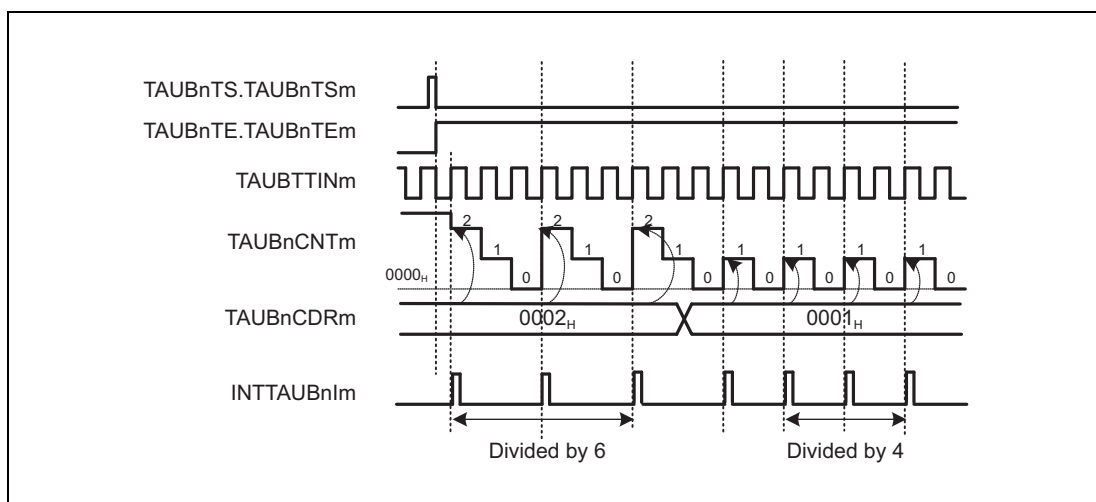


図 24.36 クロック分周機能の基本タイミング図

24.12.3.3 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBnCCS0	TAUBnMAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.48 クロック分周機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	1 _B を書いてください。
11	TAUBnMAS	0 _B を書いてください。
10～8	TAUBnSTS[2:0]	000 _B を書いてください。
7、6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0000 _B を書いてください。
0	TAUBnMD0	0：動作開始時に INTTAUBnIm が発生しない 1：動作開始時に INTTAUBnIm が発生する

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.49 クロック分周機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC) は、クロック分周機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.50 クロック分周機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0)、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.3.4 クロック分周機能の操作手順

表 24.51 クロック分周機能の操作手順

	操作	TAUBnの状態
動作再開	初期設定 チャネルの初期設定 TAUBnCMORm、TAUBnCMURm レジスタを、「表 24.48 クロック分周機能の TAUBnCMORm レジスタの内容」と「表 24.49 クロック分周機能の TAUBnCMURm レジスタの内容」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCNTm は TAUBnCDRm 値をロードします。TAUBnCMORm.TAUBnMD0 が 1 の場合は、INTTAUBnIm が発生します。
	動作中 TAUBnCDRm 値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは常に読み出し可能です。	TAUBnTTINm 入力エッジを検出すると、TAUBnCNTm はダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> TAUBnCDRm 値を TAUBnCNTm にロードし、カウント動作を継続します。 INTTAUBnIm が発生します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm は現在値を保持します。

24.12.3.5 特定の設定時のタイミング図

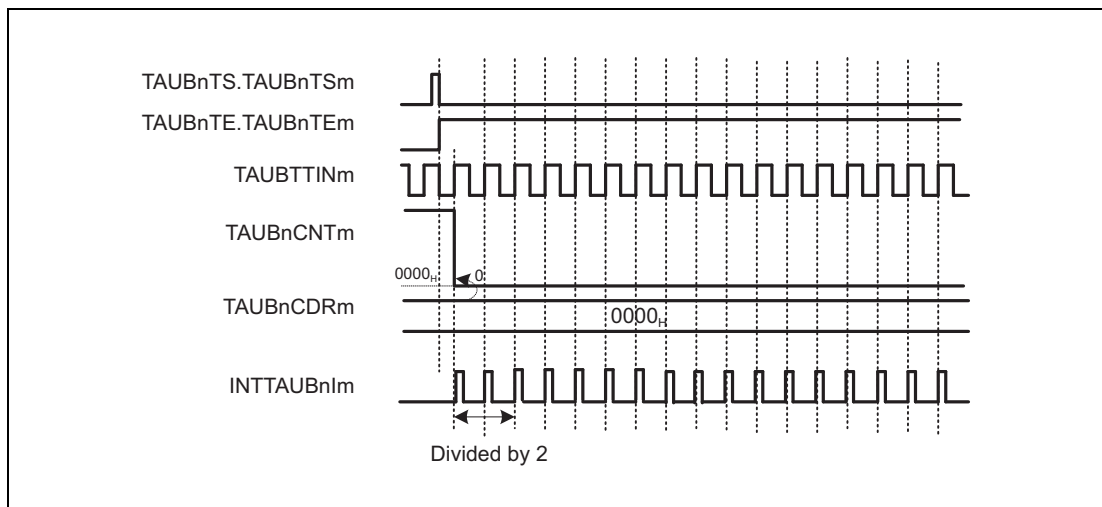
(1) TAUBnCDRm = 0000_H

図 24.37 TAUBnCDRm = 0000_H、TAUBnCMORm.TAUBnMD0 = 1、
TAUBnCMURm.TAUBnTIS[1:0] = 01_B

- TAUBnCDRm が 0000_H ならば、TAUBnCNTm も必ず 0000_H です。
- INTTAUBnIm がカウントクロックごとに発生します。

図 24.37 は動作タイミングのイメージです。実際は、TAUBnIm 端子から TAUBn の間にあるノイズフィルタや同期化回路の遅延時間が存在します。

(2) 動作再開

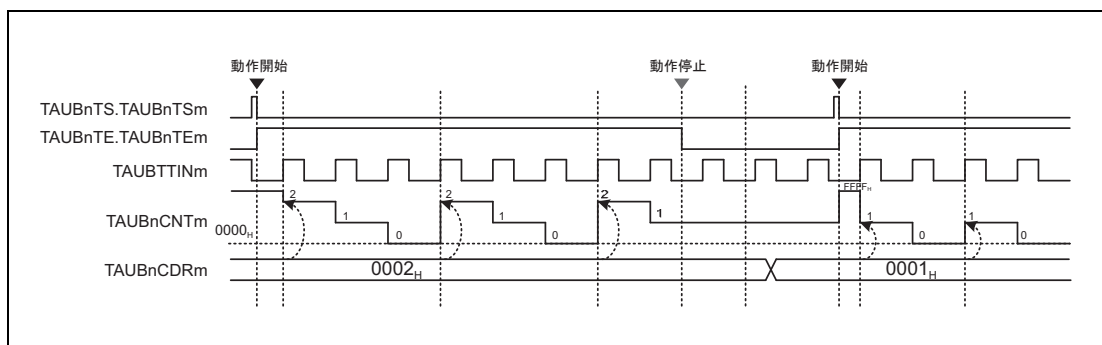


図 24.38 動作再開 (TAUBnCMORm.TAUBnMD0 = 1、
TAUBnCMURm.TAUBnTIS[1:0] = 01_B)

(3) 強制リスタート

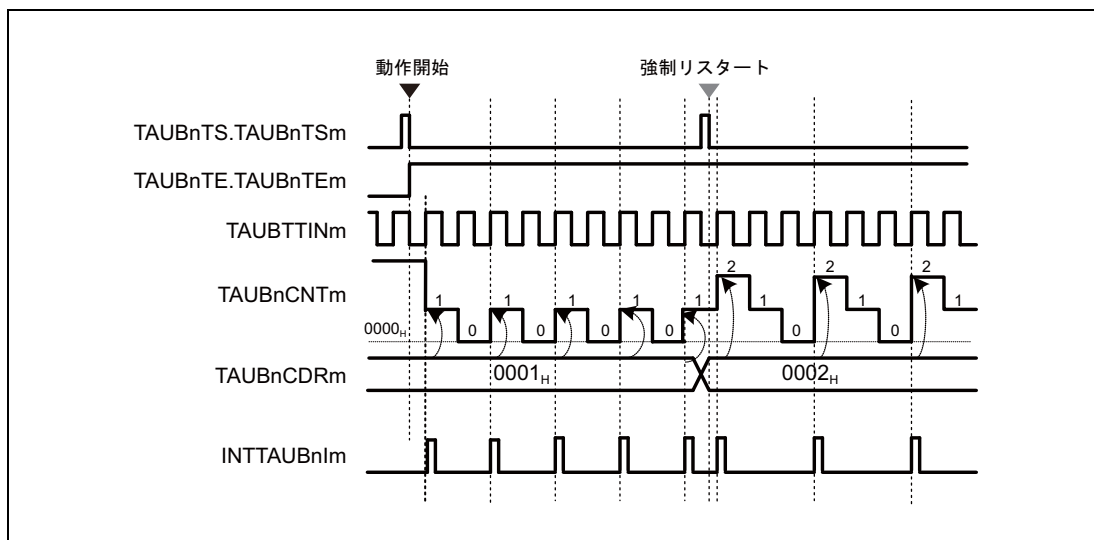


図 24.39 強制リスタート (TAUBnCMORm.TAUBnMD0 = 1、
TAUBnCMURm.TAUBnTIS[1:0] = 01_B)

強制リスタート方法を以下に示します。

- カウント中に TAUBnTS.TAUBnTSM を 1 に設定すると、いったん停止しなくてもカウントを再開できます (強制リスタート)。
- TAUBnCDRm の値が TAUBnCNTm に書き込まれ、カウント動作が再開します。

24.12.4 外部イベントカウント機能

24.12.4.1 概要

概要

この機能は、イベントタイマとして使用します。特定数の TAUBTTINm 入力有効エッジを検出すると割り込み (INTTAUBnIm) を発生します。

前提条件

- 動作モードはイベントカウントモードに設定する必要があります (「表 24.52 外部イベントカウント機能の TAUBnCMORm レジスタの内容」参照)。
- この機能では、TAUBTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUBnTS.TAUBnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。カウントが開始されると、TAUBnCDRm の現在値が TAUBnCNTm にロードされます。

有効な TAUBTTINm 入力エッジを検出すると、TAUBnCNTm 値はデクリメントされます。TAUBnCNTm は、有効な TAUBTTINm 入力エッジが検出されるかカウントが再開するまでこの値を保持します。

有効エッジが TAUBnCDRm + 1 検出されると、INTTAUBnIm が発生します。その後、TAUBnCDRm 値を TAUBnCNTm にロードし、以降、動作を継続します。

TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。TAUBnTS.TAUBnTSm を 1 に設定すると、カウンタ動作を再開できます。カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。

- TAUBnCMURm.TAUBnTIS[1:0] = 00_B のときは、立ち下がりエッジがカウントされます。
- TAUBnCMURm.TAUBnTIS[1:0] = 01_B のときは、立ち上がりエッジがカウントされます。
- TAUBnCMURm.TAUBnTIS[1:0] = 10_B のときは、両エッジがカウントされます。

24.12.4.2 算出式

INTTAUBnIm 発生前に検出される有効エッジ数 = TAUBnCDRm + 1

24.12.4.3 ブロック図と基本タイミング図

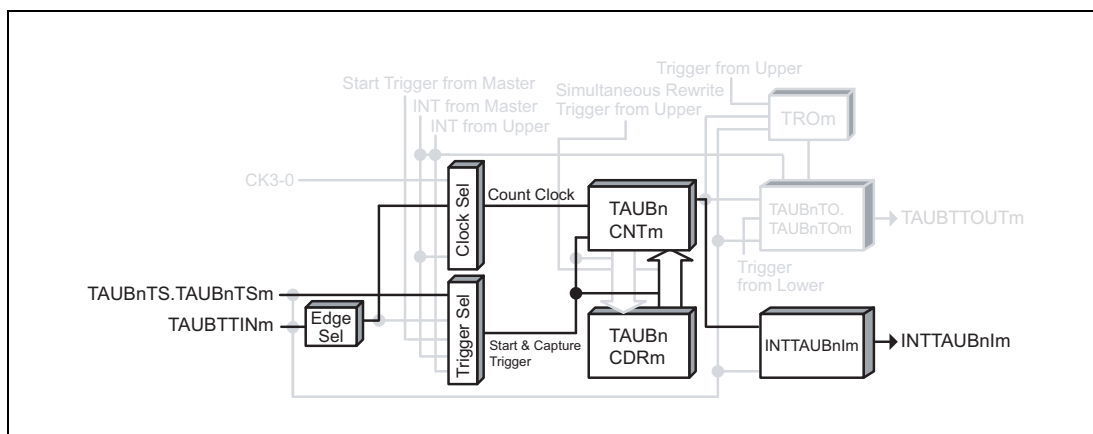


図 24.40 外部イベントカウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち上がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 01_B)

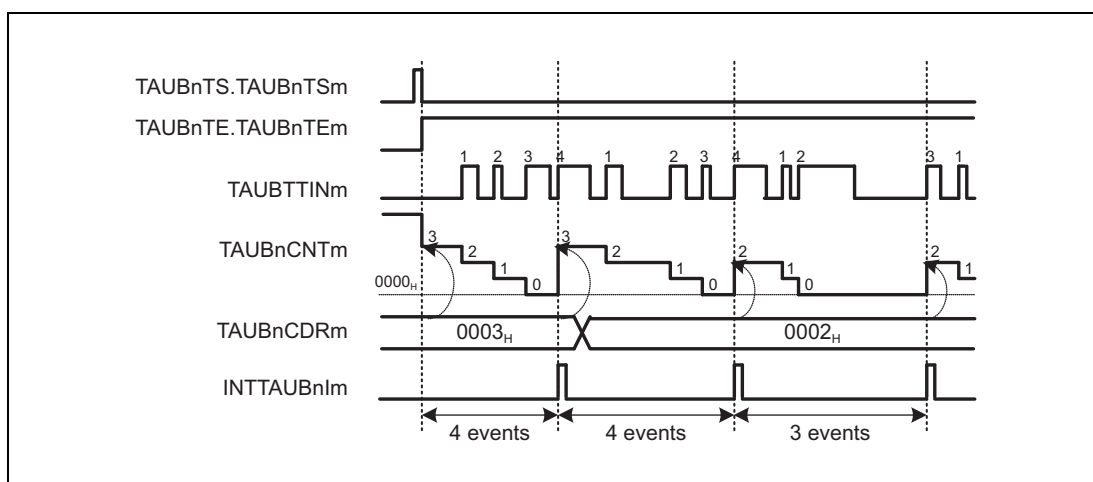


図 24.41 外部イベントカウント機能の基本タイミング図

24.12.4.4 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBnCCS0	TAUBnMAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]			TAUBnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.52 外部イベントカウント機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	1 _B を書いてください。
11	TAUBnMAS	0 _B を書いてください。
10～8	TAUBnSTS[2:0]	000 _B を書いてください。
7、6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0011 _B を書いてください。
0	TAUBnMD0	0 _B を書いてください。

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R/W

表 24.53 外部イベントカウント機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC) は、外部イベントカウント機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 24.54 外部イベントカウント機能の一斉書き換え設定

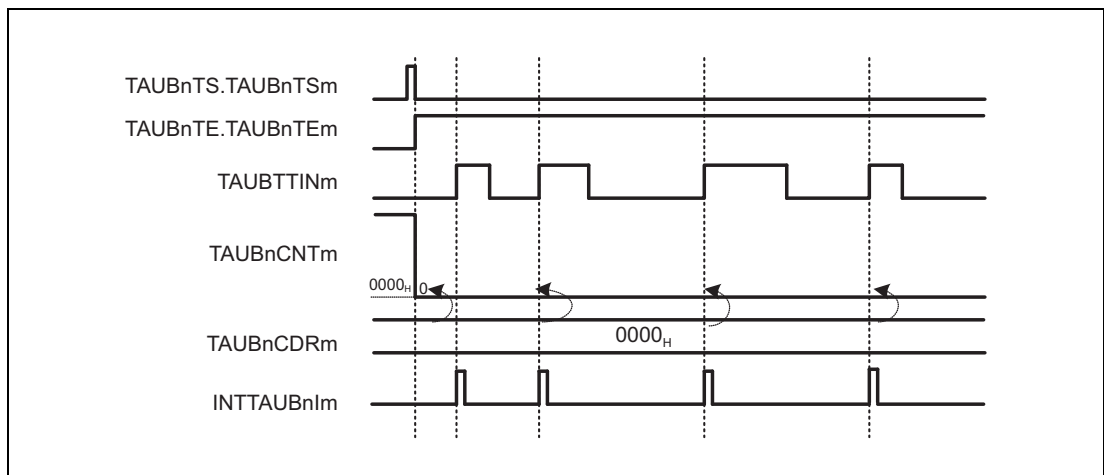
ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0)、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.4.5 外部イベントカウント機能の操作手順

表 24.55 外部イベントカウント機能の操作手順

	操作	TAUBnの状態
動作再開	初期設定 チャンネルの初期設定 TAUBnCMORm、TAUBnCMURm レジスタを、「表 24.52 外部イベントカウント機能の TAUBnCMORm レジスタの内容」と「表 24.53 外部イベントカウント機能の TAUBnCMURm レジスタの内容」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCNTm は TAUBnCDRm 値をロードし、TAUBTTINm 入力エッジ検出を待ちます。
	動作中 TAUBTTINm エッジ検出 TAUBnCDRm 値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUBnCNTm は TAUBTTINm 入力エッジを検出するたびに、ダウンカウントを行います。有効エッジが TAUBnCDRm + 1 検出された場合： <ul style="list-style-type: none"> TAUBnCDRm 値を TAUBnCNTm にロードし、カウント動作を継続します。 INTTAUBnIm が発生します。 以降、この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm が停止し、現在値を保持します。

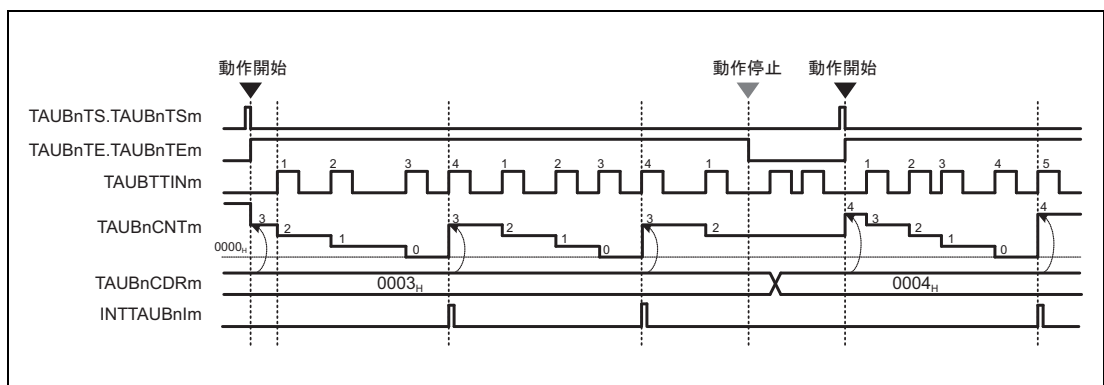
24.12.4.6 特定の設定時のタイミング図

(1) TAUBnCDRm = 0000_H図 24.42 TAUBnCDRm = 0000_H、TAUBnCMURm.TAUBnTIS[1:0] = 01_B

- 0000_H = TAUBnCDRm の場合、有効な TAUBTTINm 入力エッジが検出されるたびに 0000_H が TAUBnCNTm にロードされます。

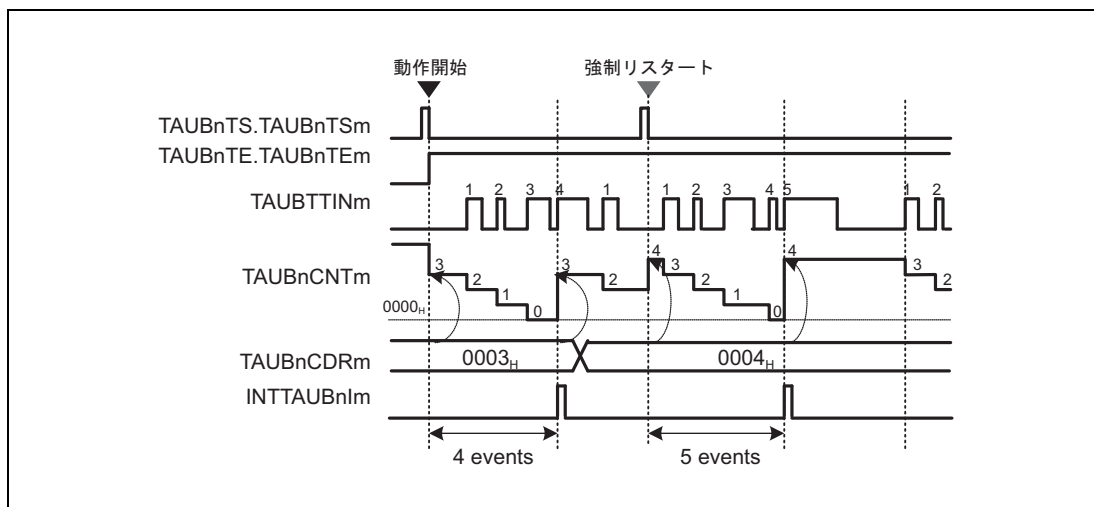
つまり、有効な TAUBTTINm 入力エッジが検出されるたびに、INTTAUBnIm が発生します。

(2) 動作の停止と再開

図 24.43 動作の停止と再開 (TAUBnCMURm.TAUBnTIS[1:0] = 01_B)

- TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- TAUBnCNTm が停止し、現在値を保持します。TAUBTTINm は継続し、TAUBnCNTm は有効エッジを無視します。
- TAUBnTS.TAUBnTsm を 1 に設定すると、カウントを再開できます。TAUBnCNTm は TAUBnCDRm 値をロードし、カウント動作を再開します。

(3) 強制リスタート

図 24.44 強制リスタート (TAUBnCMURm.TAUBnTIS[1:0] = 01_B)

強制リスタートを行うと、変更した TAUBnCDRm の値が TAUBnCNTm に適用されます。

- 動作中に TAUBnTS.TAUBnTSM を 1 に設定すると、いったん停止しなくてもカウントを再開できます。
- TAUBnCDRm の値が TAUBnCNTm にロードされ、カウンタは次の有効な TAUBTTINm 入力エッジを待ちます。

24.12.5 ワンパルス出力機能

24.12.5.1 概要

概要

この機能は、有効な TAUBTTIN_m 入力エッジ検出時とその後一定の間隔で、割り込み (INTTAUBnIm) を発生します。定められた期間内に発生する TAUBTTIN_m 入力信号パルスは無視されます。

前提条件

- 動作モードはパルスワンカウントモードに設定する必要があります。(「表 24.56 ワンパルス出力機能の TAUBnCMOR_m レジスタの内容」参照)。
- カウント動作中は、トリガ検出を禁止 (TAUBnCMOR_m.TAUBnMD0 = 0) にする必要があります。

機能説明

チャンネルトリガビット (TAUBnTS.TAUBnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEM = 1 となり、カウントが可能になります。

有効な TAUBTTIN_m 入力エッジを検出すると、カウンタ動作を開始します。TAUBnCDR_m の値が TAUBnCNT_m にロードされ、カウンタはその TAUBnCDR_m 値からダウンカウントを開始し、割り込みが発生します。

カウンタが 0001_H になると、割り込みが発生します。カウンタは 0000_H で動作を停止し、次の有効な TAUBTTIN_m 入力エッジを待ちます。

カウンタのダウンカウント時は、TAUBTTIN_m 入力信号が無視されます。つまり、カウンタはリセットされません。

TAUBnCDR_m 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUBnCMUR_m.TAUBnTIS[1:0] ビットで設定します。

- TAUBnCMUR_m.TAUBnTIS[1:0] = 00_B の場合、カウンタは立ち下がりエッジでトリガされます。
- TAUBnCMUR_m.TAUBnTIS[1:0] = 01_B の場合、カウンタは立ち上がりエッジでトリガされます。
- TAUBnCMUR_m.TAUBnTIS[1:0] = 10_B の場合、カウンタは立ち下がりエッジ、立ち上がり両エッジでトリガされます。

24.12.5.2 算出式

$$\text{TAUBTTINm-INTTAUBnIm の間隔} = \text{カウントクロック周期} \times \text{TAUBnCDRm}$$

24.12.5.3 ブロック図と基本タイミング図

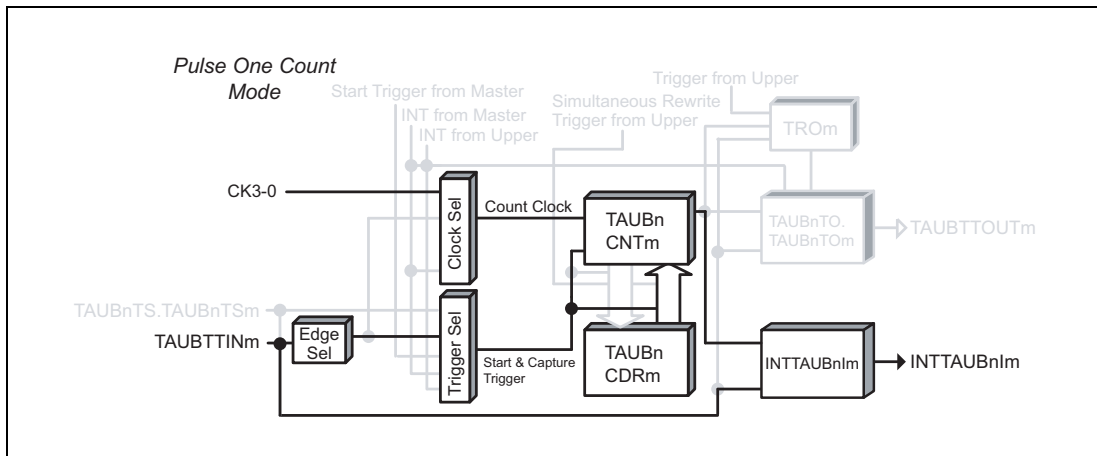


図 24.45 ワンパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00_B)

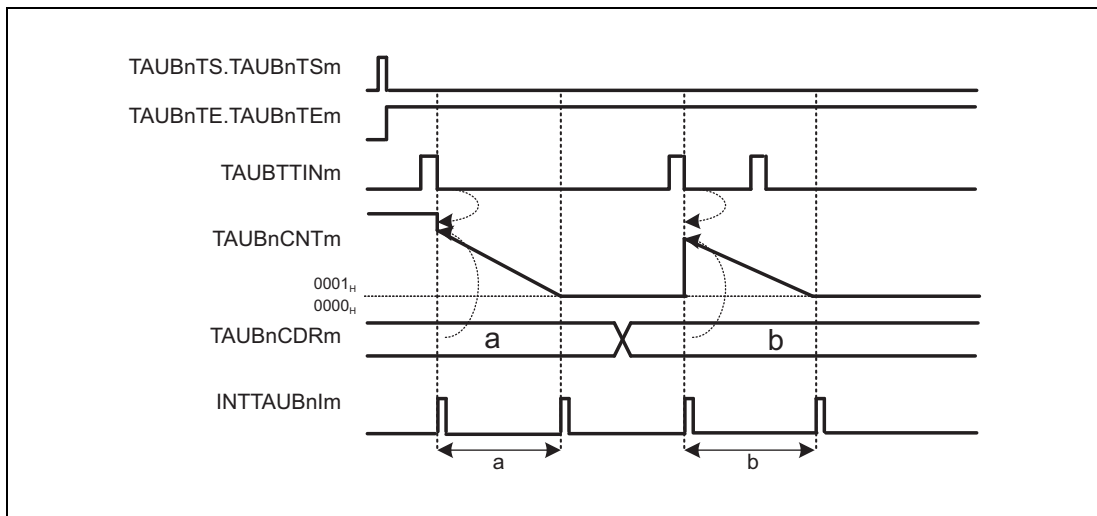


図 24.46 ワンパルス出力機能の基本タイミング図

24.12.5.4 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBnCCS0	TAUBnMAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]			TAUBnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.56 ワンパルス出力機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	0 _B を書いてください。
10～8	TAUBnSTS [2:0]	001 _B を書いてください。
7、6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD [4:1]	1010 _B を書いてください。
0	TAUBnMD0	0 _B を書いてください。

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 24.57 ワンパルス出力機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC) は、ワンパルス出力機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 24.58 ワンパルス出力機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0: 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0: 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0)、0を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.5.5 ワンパルス出力機能の操作手順

表 24.59 ワンパルス出力機能の操作手順

	操作	TAUBnの状態
動作再開	初期設定 チャンネルの初期設定 チャネルの初期設定 TAUBnCMORm、TAUBnCMURm レジスタを、「表 24.56 ワンパルス出力機能の TAUBnCMORm レジスタの内容」と「表 24.57 ワンパルス出力機能の TAUBnCMURm レジスタの内容」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 動作開始 TAUBnTS.TAUBnTSM を1に設定します。 TAUBnTS.TAUBnTSM はトリガビットなので、自動的に0にクリアされます。 TAUBTTINm スタートエッジ検出	TAUBnTE.TAUBnTEm が1に設定され、TAUBnCNTm は TAUBTTINm スタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUBnCNTm は TAUBnCDRm の値をロードします。
	動作中 動作中 TAUBnCDRm 値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは常に読み出し可能です。	TAUBnCNTm の開始時に INTTAUBnIm が発生します。 TAUBnCNTm がダウンカウントを行います。カウンタが 0001 _H になった場合、INTTAUBnIm が発生します。 TAUBnCNTm はカウントを停止し、トリガを待ちます。 TAUBnCNTm のカウント中に発生するトリガは無視されます。 以降、この動作を繰り返します。
	動作停止 動作停止 TAUBnTT.TAUBnTTm を1に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に0にクリアされます。	TAUBnTE.TAUBnTEm が0にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、現在値を保持します。

24.12.6 TAUBTTINm 入力パルスインターバル測定機能

24.12.6.1 概要

概要

この機能は、カウント値をキャプチャし、その値とオーバフロービット TAUBnCSRm.TAUBnOVF を使用して TAUBTTINm 入力信号の間隔を測定します。

前提条件

- この機能では、TAUBTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUBnTS.TAUBnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。カウンタ TAUBnCNTm は、0000_H からカウントを開始します。有効な TAUBTTINm エッジが検出されると、TAUBnCNTm の値がキャプチャされ、TAUBnCDRm に転送され、割り込み INTTAUBnIm が発生します。カウンタは、0000_H にリセットされ、その後動作を継続します。

有効な TAUBTTINm エッジを検出する前にカウンタが FFFF_H に達すると、カウンタは 0000_H にオーバフローします。カウンタは、0000_H にリセットされ、その後動作を継続します。TAUBnCDRm、TAUBnCSRm.TAUBnOVF それぞれに転送される値は、TAUBnCMORm.TAUBnCOS[1:0] ビットの値によって異なります。

表 24.60 オーバフローの影響

TAUBnCMORm. TAUBnCOS[1:0]	オーバフローが発生した場合		その後、有効な TAUBTTINm 入力検出された場合	
	TAUBnCDRm	TAUBnCSRm. TAUBnOVF	TAUBnCDRm、TAUBnCNTm	TAUBnCSRm. TAUBnOVF
00	変化しない	0	TAUBnCNTm が TAUBnCDRm にロードされる	1
01		1		
10	FFFF _H に設定	0	TAUBnCNTm は 0 に設定され、TAUBnCDRm は変更されない	変化しない
11		1		

TAUBnCMORm.TAUBnCOS[0] = 1 のとき、オーバフロービット TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV = 1 を設定することでのみクリアできます。

TAUBnCDRm 値と TAUBnCSRm.TAUBnOVF 値の組み合わせを使用することで、TAUBTTINm 信号の間隔を推定できます。ただし、有効な TAUBTTINm 入力検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUBnCSRm.TAUBnOVF はその複数のオーバフローの発生を示しません。

TAUBnTT.TAUBnTTm = 1 を設定すると機能を停止できます。これにより、TAUBnTE.TAUBnTEm = 0 が設定されます。TAUBnCNTm が停止し、値を保持します。機能停止中、有効な TAUBTTINm 入力エッジの検出と TAUBnCNTm のキャプチャは行われません。

カウンタは、0000_H にリセットされ、その後動作を継続します。

条件

TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。

備考

TAUBnCMORm.TAUBnCOS[1:0] = 10_B, 11_B の場合、オーバフロー後の最初の有効な TAUBTTINm 入力エッジの発生時、TAUBnCNTm の値は TAUBnCDRm にロードされません。ただし、割り込みが発生します。

24.12.6.2 算出式

TAUBTTINm 入力パルスインターバル = カウントクロック周期 ×
[(TAUBnCSRm.TAUBnOVF × (FFFF_H + 1)) + TAUBnCDRm キャプチャ値 + 1]

24.12.6.3 ブロック図と基本タイミング図

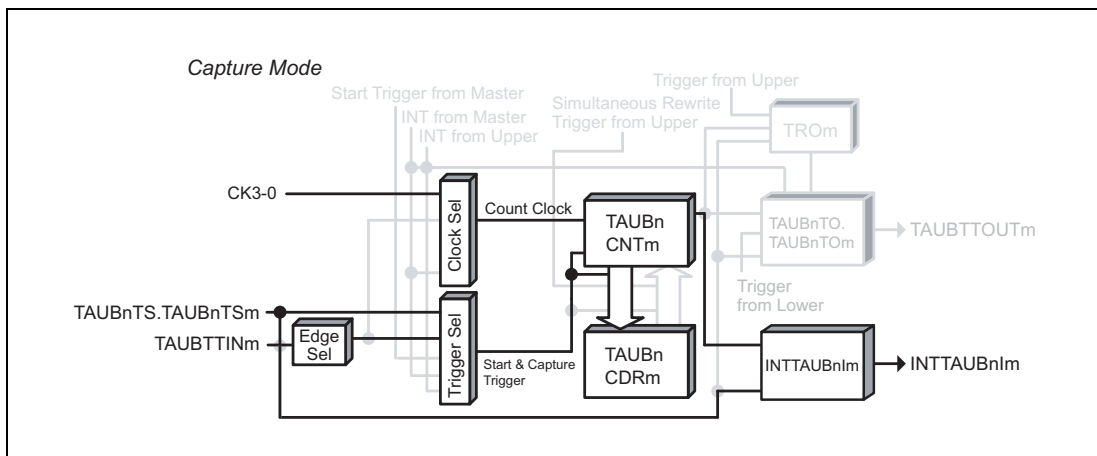


図 24.47 TAUBTTINm 入力パルスインターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生しない (TAUBnCMORm.TAUBnMD0 = 0)
- 立ち下がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00_B)
- オーバフロー後に有効な TAUBTTINm 入力を検出すると、TAUBnCDRm を変更し、TAUBnCSRm.TAUBnOVF を 1 に設定する (TAUBnCMORm.TAUBnCOS[1:0] = 00_B)

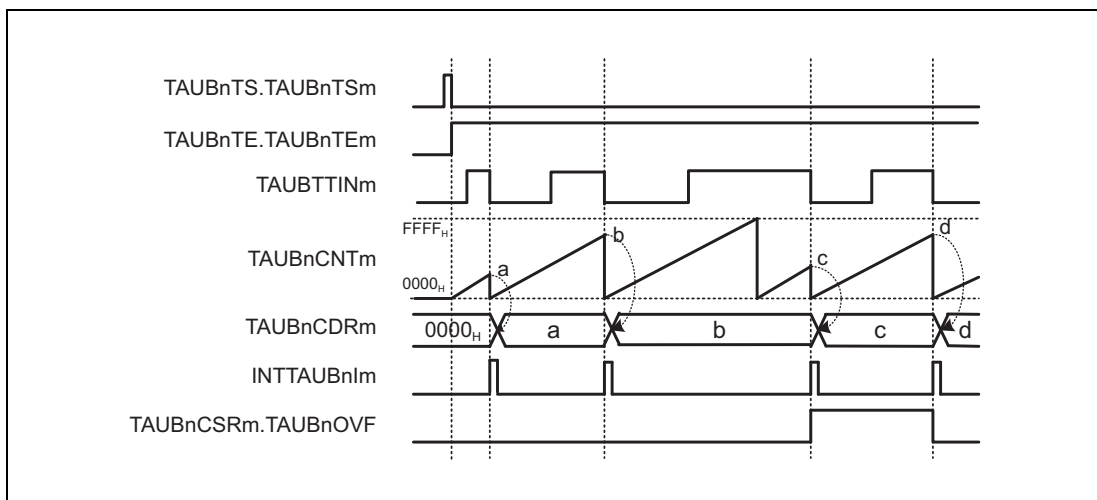


図 24.48 TAUBTTINm 入力パルスインターバル測定機能の基本タイミング図

24.12.6.4 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBnCCS0	TAUBnMAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]			TAUBnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.61 TAUBTTINm 入力パルスインターバル測定機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	0 _B を書いてください。
10～8	TAUBnSTS [2:0]	001 _B を書いてください。
7、6	TAUBnCOS [1:0]	「表 24.60 オーバフローの影響」を参照。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD [4:1]	0010 _B を書いてください。
0	TAUBnMD0	0：動作開始時に INTTAUBnIm が発生しない 1：動作開始時に INTTAUBnIm が発生する

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.62 TAUBTTINm 入力パルスインターバル測定機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC) は、TAUBTTINm 入力パルスインターバル測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.63 TAUBTTINm 入力パルスインターバル測定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0)、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.6.5 TAUBTTINm 入力パルスインターバル測定機能の操作手順

表 24.64 TAUBTTINm 入力パルスインターバル測定機能の操作手順

	操作	TAUBn の状態
初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、「表 24.61 TAUBTTINm 入力パルスインターバル測定機能の TAUBnCMORm レジスタの内容」と「表 24.62 TAUBTTINm 入力パルスインターバル測定機能の TAUBnCMURm レジスタの内容」に示すように設定します。	チャネル動作を停止しています。
動作再開	TAUBnCDRm レジスタはキャプチャレジスタとして動作します。	
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCNTm が 0000 _H にクリアされます。 TAUBnCMORm.TAUBnMD0 が 1 の場合は、INTTAUBnIm が発生します。
動作中	TAUBTTINm エッジ検出 TAUBnCMURm.TAUBnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUBnCDRm、TAUBnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUBnCSCm.TAUBnCLOV ビットの 1 書き込みが可能です。(TAUBnCSRm.TAUBnOVF ビットを 0 にクリア)	TAUBnCNTm は、0000 _H からアップカウントを開始します。TAUBTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUBnCNTm が自身の値を TAUBnCDRm に転送 (キャプチャ) して、0000_H に戻ります。 その後、INTTAUBnIm が発生します。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウント動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm と TAUBnCSRm.TAUBnOVF は現在値を保持します。

24.12.6.6 特定の設定時のタイミング図：オーバーフロー動作

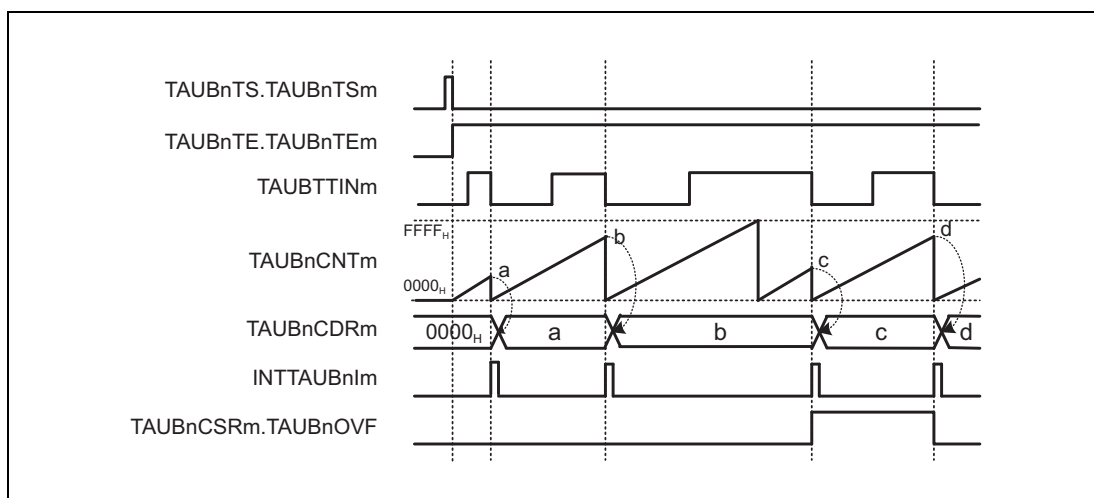
(1) TAUBnCMORm.TAUBnCOS[1:0] = 00_B

図 24.49 TAUBnCMORm.TAUBnCOS[1:0] = 00_B、TAUBnCMORm.TAUBnMD0 = 0、
TAUBnCMURm.TAUBnTIS[1:0] = 00_B

- オーバーフローが発生すると、TAUBnCDRm の値は変更されず、TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm の値が TAUBnCDRm にロードされ、TAUBnCSRm.TAUBnOVF が 1 に設定されます。
- オーバーフローが発生していない状態で次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCSRm.TAUBnOVF が 0 にクリアされます。

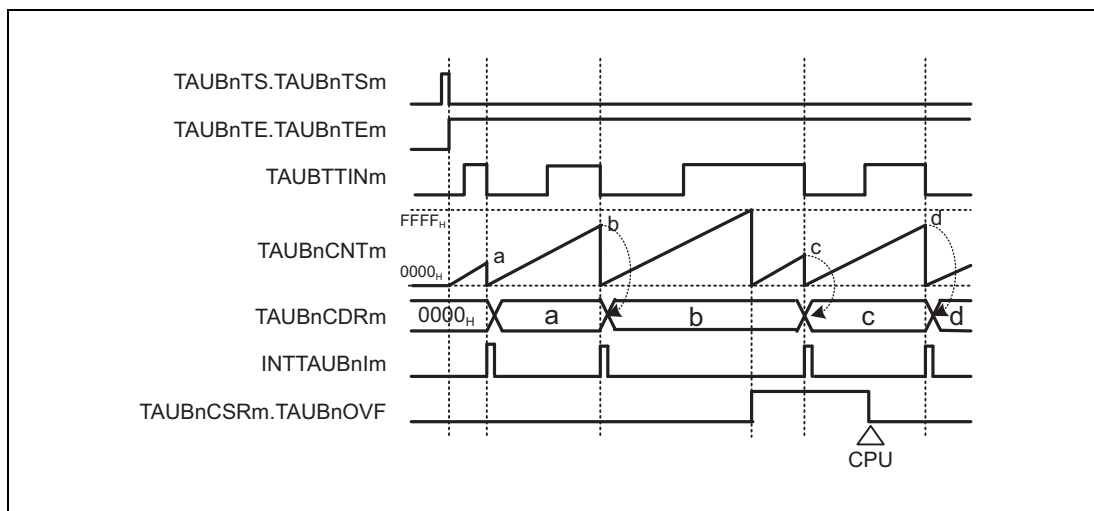
(2) TAUBnCMORm.TAUBnCOS[1:0] = 01_B

図 24.50 TAUBnCMORm.TAUBnCOS[1:0] = 01_B、TAUBnCMORm.TAUBnMD0 = 0、
TAUBnCMURm.TAUBnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUBnCDRm の値は変更されず、TAUBnCSRm.TAUBnOVF の値は 1 に設定されます。
- 次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm の値が TAUBnCDRm にロードされます。
- TAUBnCSRm.TAUBnOVF は、CPU コマンド (TAUBnCSCm.TAUBnCLOV ビット = 1 のセット) でのみクリアされます。

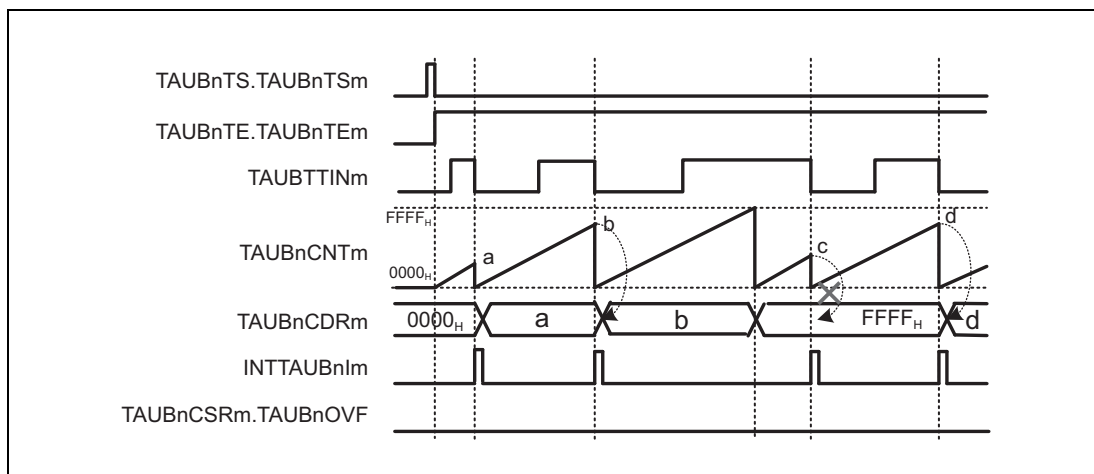
(3) TAUBnCMORm.TAUBnCOS[1:0] = 10_B

図 24.51 TAUBnCMORm.TAUBnCOS[1:0] = 10_B、TAUBnCMORm.TAUBnMD0 = 0、
TAUBnCMURm.TAUBnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUBnCDRm は FFFF_H に設定され、TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm が 0 にリセットされますが、TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUBTTINm 入力エッジは無視されます。

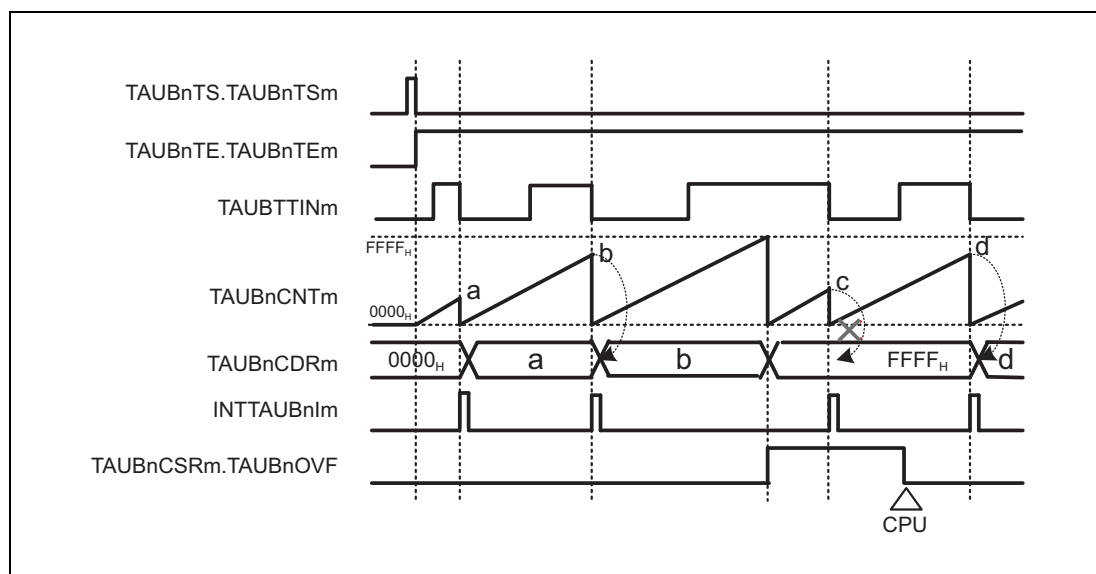
(4) TAUBnCMORm.TAUBnCOS[1:0] = 11_B

図 24.52 TAUBnCMORm.TAUBnCOS[1:0] = 11_B、TAUBnCMORm.TAUBnMD0 = 0、
TAUBnCMURm.TAUBnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUBnCDRm は FFFF_H に設定され、TAUBnCSRm.TAUBnOVF は 1 に設定されます。
- 次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm が 0 にリセットされますが、TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUBTTINm 入力エッジは無視されます。
- TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV = 1 を設定することでクリアされます。

(5) 両エッジ検出 (TAUBnCMORm.TAUBnMD0 = 1)

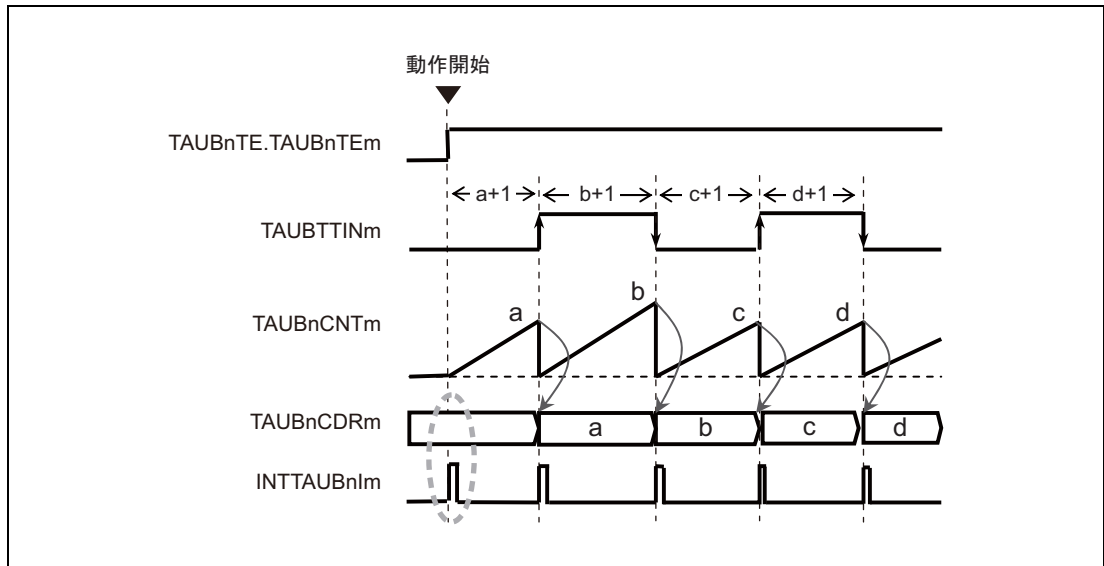


図 24.53 TAUBnCMORm.TAUBnMD0 = 1

TAUBnCMURm.TAUBnTIS[1:0] = 10_B に設定（両エッジ検出を選択）することにより、TAUBTTINm の立ち上がり／立ち下がりエッジの間隔を測定します。

(6) 動作停止およびリスタート (TAUBnCMORm.TAUBnMD0 = 0)

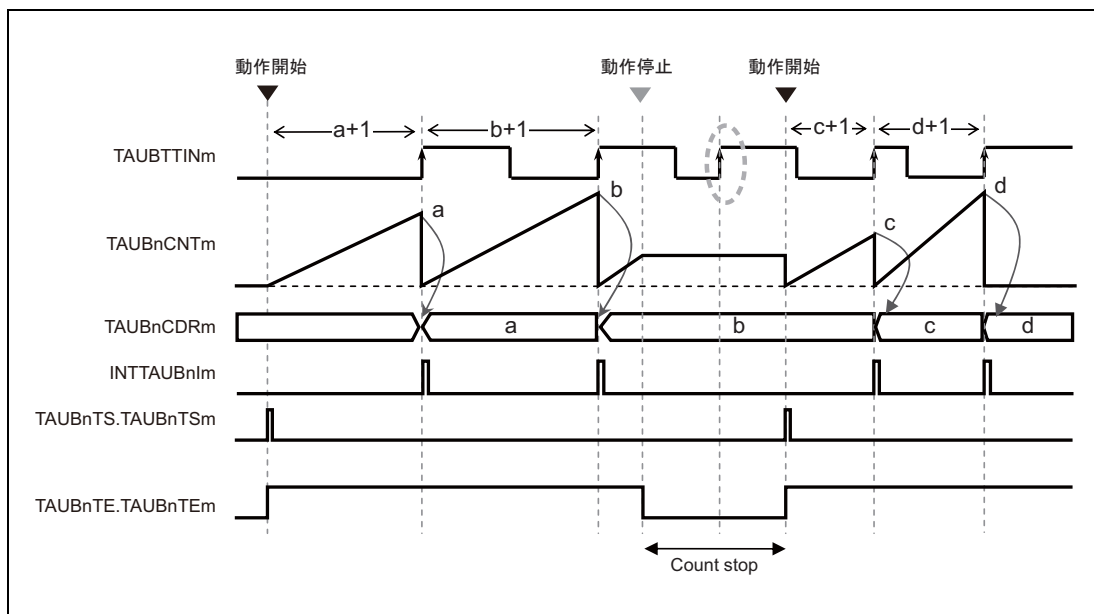


図 24.54 動作の停止と再開 (TAUBnCMORm.TAUBnMD0 = 0)

TAUBnTT.TAUBnTTm を 1 に設定することによって TAUBnTE.TAUBnTEm が 0 にクリアされ、カウント動作を停止します。このとき、TAUBnCNTm は状態を保持して停止します。

TAUBnTE.TAUBnTEm が 0 を保持（動作を停止）しているとき、TAUBTTINm 入力は無視されます（エッジ検出は無視され、キャプチャ動作は行われません）。

TAUBnTS.TAUBnTSm を 1 に設定すると、カウンタは 0000_H にクリアされ、カウントアップを再開します。

24.12.7 TAUBTTINm 入力信号幅測定機能

24.12.7.1 概要

概要

この機能は、TAUBTTINm の片エッジでカウントをスタートし、もう片エッジでカウント値をキャプチャすることで、TAUBTTINm の信号幅を測定できます。

前提条件

この機能では、TAUBTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUBnTS.TAUBnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。有効な TAUBTTINm スタートエッジが検出されると、カウンタ TAUBnCNTm は、0000_H からカウントを開始します。有効な TAUBTTINm ストップエッジが検出されると、TAUBnCNTm の値がキャプチャされ、TAUBnCDRm に転送され、割り込み INTTAUBnIm が発生します。カウンタは値 (TAUBnCDRm + 1) を保持し、次の有効な TAUBTTINm 入力スタートエッジを待ちます。

有効な TAUBTTINm ストップエッジを検出する前にカウンタが FFFF_H に達すると、カウンタはオーバフローします。カウンタは、0000_H にリセットされ、その後動作を継続します。TAUBnCDRm、TAUBnCSRm.TAUBnOVF それぞれに転送される値は、TAUBnCMORm.TAUBnCOS[1:0] ビットの値によって異なります。

表 24.65 オーバフローの影響

TAUBnCMORm. TAUBnCOS[1:0]	オーバフローが発生した場合		有効な TAUBTTINm 入力ストップエッジの検出時	
	TAUBnCDRm	TAUBnCSRm. TAUBnOVF	TAUBnCDRm、TAUBnCNTm	TAUBnCSRm. TAUBnOVF
00	変化しない	0	TAUBnCNTm が TAUBnCDRm に ロードされる	1
01		1		
10	FFFF _H に設定	0	TAUBnCNTm はカウントを停止 TAUBnCDRm は変更されない	変化しない
11		1		

TAUBnCMORm.TAUBnCOS[0] = 1 のとき、オーバフロービット TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV = 1 を設定することでのみクリアできます。

TAUBnCDRm 値と TAUBnCSRm.TAUBnOVF 値の組み合わせを使用することで、TAUBTTINm 信号の幅を推定できます。ただし、有効な TAUBTTINm 入力検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUBnCSRm.TAUBnOVF はその複数のオーバフローの発生を示せません。

この機能は強制的に再開することはできません。

備考

TAUBnCMORm.TAUBnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUBTTINm 入力エッジの発生時、TAUBnCNTm の値は TAUBnCDRm にロードされません。ただし、割り込みが発生します。

24.12.7.2 算出式

$$\text{TAUBTTINm 入力信号幅} = \text{カウントクロック周期} \times [(\text{TAUBnCSRm.TAUBnOVF} \times (\text{FFFF}_H + 1)) + \text{TAUBnCDRm キャプチャ値} + 1]$$

24.12.7.3 ブロック図と基本タイミング図

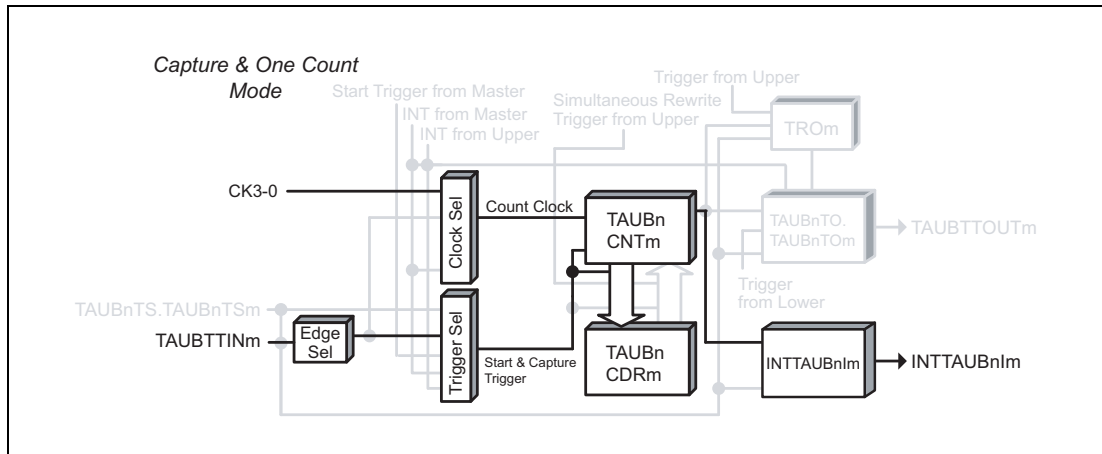


図 24.55 TAUBTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUBnCMURm.TAUBnTIS[1:0] = 11_B)
- オーバフロー後に有効な TAUBTTINm 入力を検出すると、TAUBnCDRm を変更し、TAUBnCSRm.TAUBnOVF を 1 に設定する (TAUBnCMORm.TAUBnCOS[1:0] = 00_B)

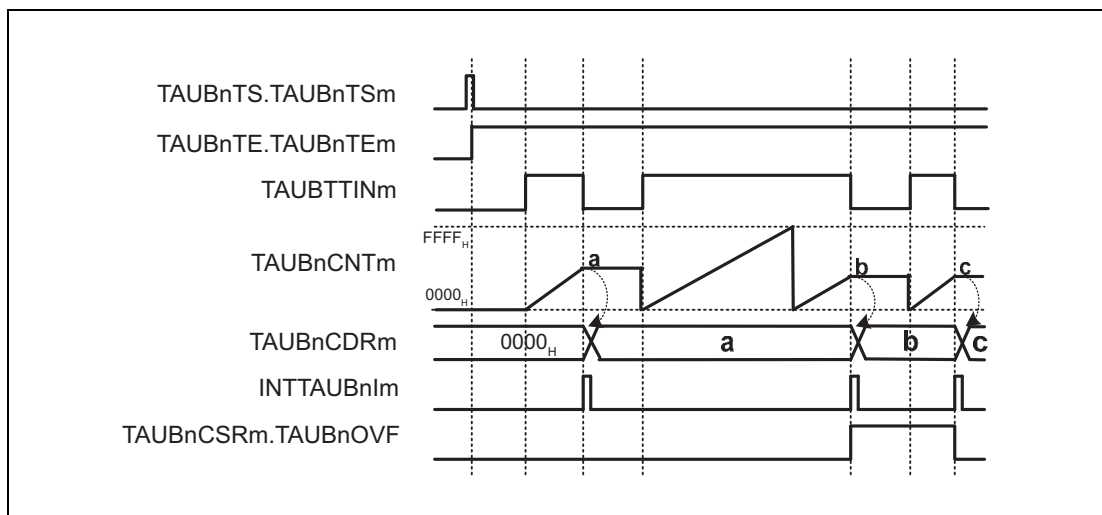


図 24.56 TAUBTTINm 入力信号幅測定機能の基本タイミング図

24.12.7.4 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBnCCS0	TAUBnMAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]			TAUBnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.66 TAUBTTINm 入力信号幅測定機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	0 _B を書いてください。
10～8	TAUBnSTS[2:0]	010 _B を書いてください。
7、6	TAUBnCOS [1:0]	「表 24.65 オーバフローの影響」を参照。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0110 _B を書いてください。
0	TAUBnMD0	0 _B を書いてください。

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.67 TAUBTTINm 入力信号幅測定機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC) は、TAUBTTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 24.68 TAUBTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0)、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.7.5 TAUBTTINm 入力信号幅測定機能の操作手順

表 24.69 TAUBTTINm 入力信号幅測定機能の操作手順

	操作	TAUBn の状態
動作再開	初期設定 チャンネルの初期設定 TAUBnCMORm、TAUBnCMURm レジスタを、「表 24.66 TAUBTTINm 入力信号幅測定機能の TAUBnCMORm レジスタの内容」と「表 24.67 TAUBTTINm 入力信号幅測定機能の TAUBnCMURm レジスタの内容」に示すように設定します。 TAUBnCDRm レジスタはキャプチャレジスタとして動作します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm は TAUBTTINm スタートエッジ検出を待ちます。 TAUBTTINm スタートエッジを検出すると、TAUBnCNTm はアップカウントを開始します。
	動作中 TAUBnCDRm、TAUBnCNTm、TAUBnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUBnCSCm.TAUBnCLOV ビットは、1 にセット可能です。	TAUBnCNTm は、0000 _H からアップカウントを開始します。TAUBTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUBnCNTm が自身の値を TAUBnCDRm に転送 (キャプチャ) して、その値を保持し、 INTTAUBnIm が発生します。 カウントは TAUBnCDRm に転送した値 + 1 の値で停止し、TAUBnCNTm は TAUBTTINm スタートエッジの検出を待ちます。 以降、この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm と TAUBnCSRm.TAUBnOVF は現在値を保持します。

24.12.7.6 特定の設定時のタイミング図：オーバーフロー動作

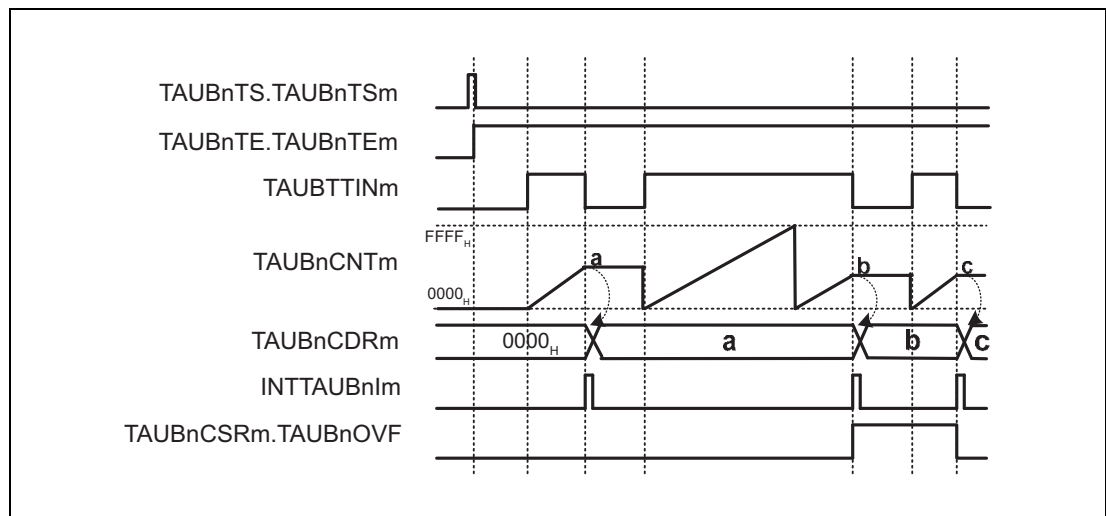
(1) TAUBnCMORm.TAUBnCOS[1:0] = 00_B

図 24.57 TAUBnCMORm.TAUBnCOS[1:0] = 00_B、TAUBnCMORm.TAUBnMD0 = 0、
TAUBnCMURm.TAUBnTIS[1:0] = 11_B

- オーバーフローが発生すると、TAUBnCDRm の値は変更されず、TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm の値が TAUBnCDRm にロードされ、TAUBnCSRm.TAUBnOVF が 1 に設定されます。
- オーバーフローが発生していない状態で次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCSRm.TAUBnOVF が 0 にクリアされます。

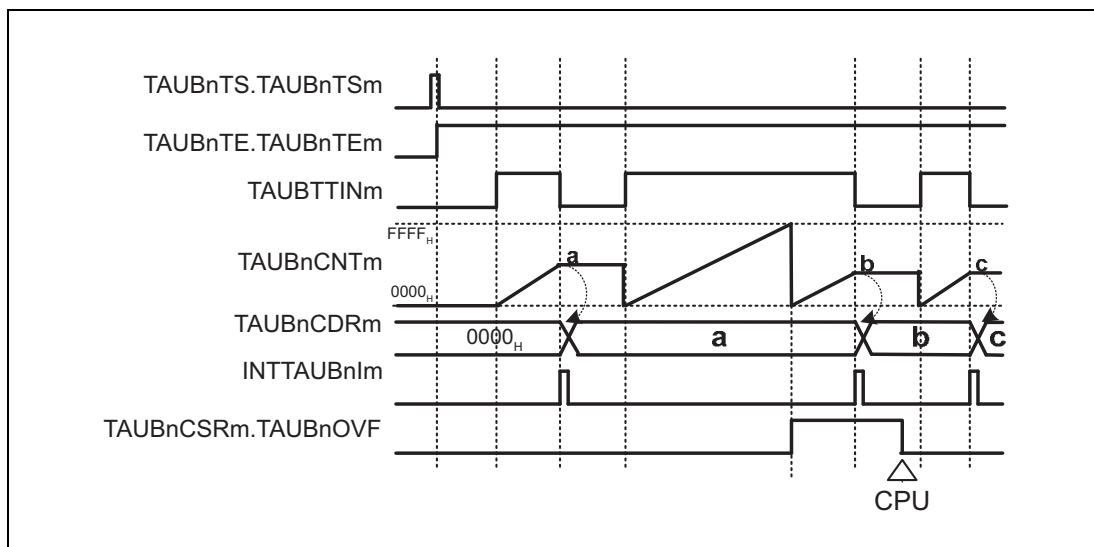
(2) TAUBnCMORm.TAUBnCOS[1:0] = 01_B

図 24.58 TAUBnCMORm.TAUBnCOS[1:0] = 01_B、TAUBnCMORm.TAUBnMD0 = 0、
TAUBnCMURm.TAUBnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUBnCDRm の値は変更されず、TAUBnCSRm.TAUBnOVF の値は 1 に設定されます。
- 次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm の値が TAUBnCDRm にロードされます。
- TAUBnCSRm.TAUBnOVF は、CPU コマンド (TAUBnCSCm.TAUBnCLOV ビット=1 のセット) でのみクリアされます。

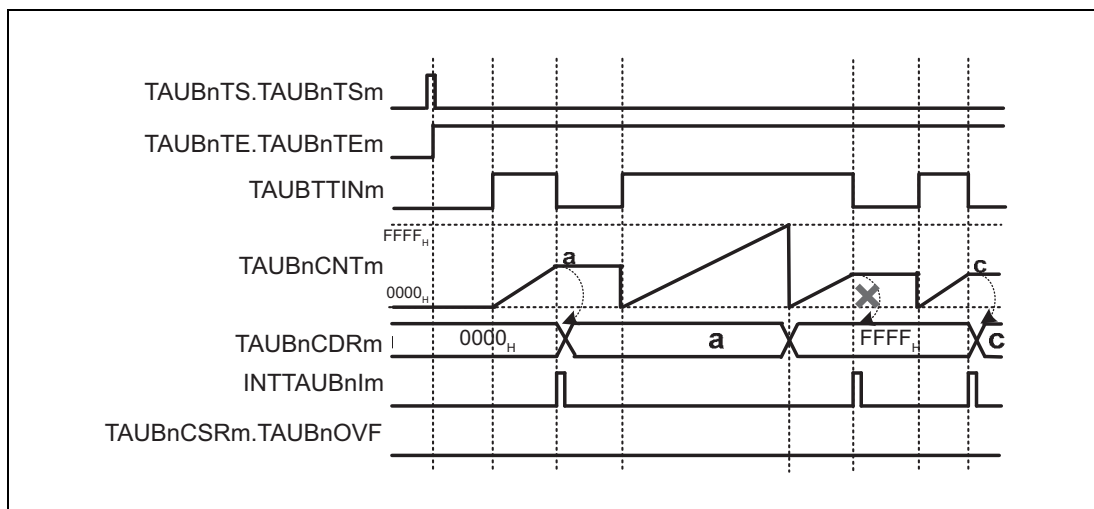
(3) TAUBnCMORm.TAUBnCOS[1:0] = 10_B

図 24.59 TAUBnCMORm.TAUBnCOS[1:0] = 10_B、TAUBnCMORm.TAUBnMD0 = 0、
TAUBnCMURm.TAUBnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUBnCDRm は FFFF_H に設定され、TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm がカウントを停止し、TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUBTTINm 入力エッジは無視されます。

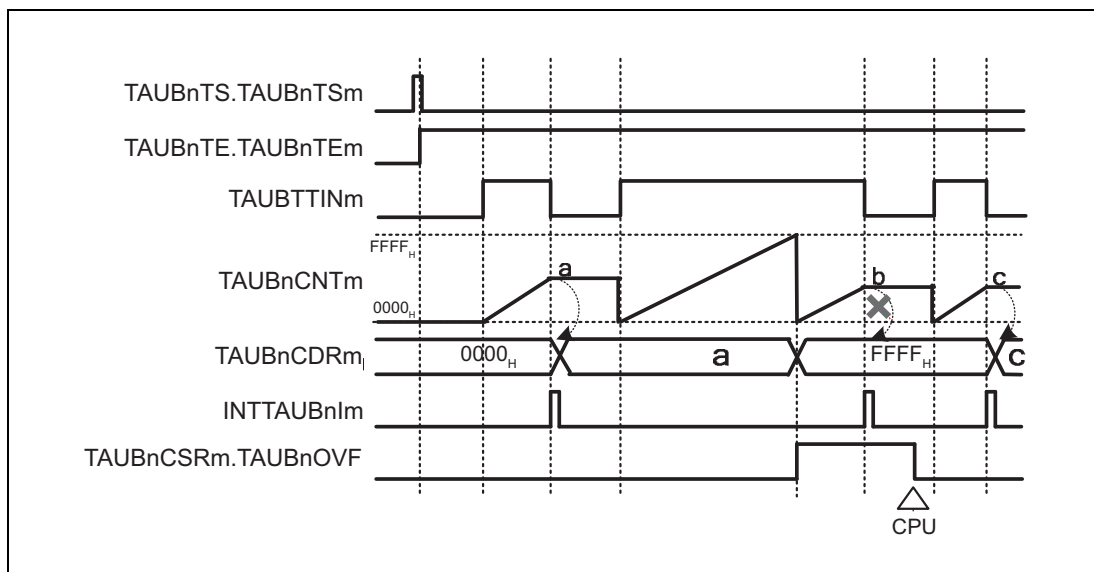
(4) TAUBnCMORm.TAUBnCOS[1:0] = 11_B

図 24.60 TAUBnCMORm.TAUBnCOS[1:0] = 11_B、TAUBnCMORm.TAUBnMD0 = 0、
TAUBnCMURm.TAUBnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUBnCDRm は FFFF_H に設定され、TAUBnCSRm.TAUBnOVF は 1 に設定されます。
- 次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm がカウントを停止し、TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUBTTINm 入力エッジは無視されます。
- TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV = 1 を設定することでクリアされます。

(5) オーバーフローが発生した場合 (ハイレベル幅測定)

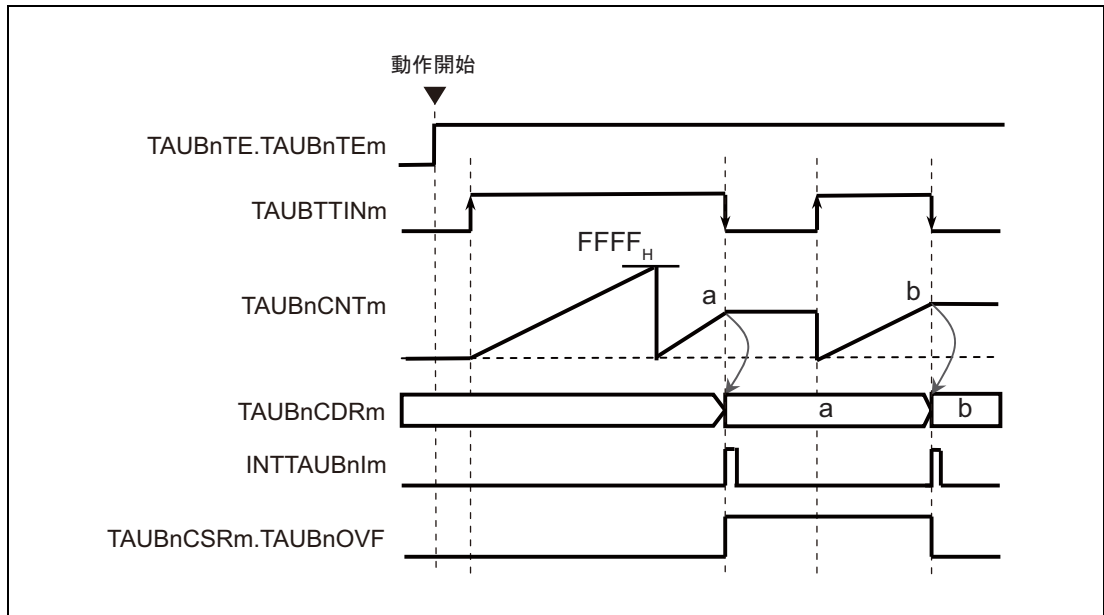


図 24.61 オーバーフローが発生した場合

カウント値がオーバーフローした後にキャプチャトリガを入力すると、カウント値が TAUBnCDRm に転送され、同時に TAUBnCSRm.TAUBnOVF が 1 に設定されます。

次のキャプチャトリガが発生するまで TAUBnCSRm.TAUBnOVF は 1 のままです。

次のキャプチャトリガがオーバーフローをともしない場合、TAUBnCSRm.TAUBnOVF は 0 クリアされます。

TAUBTTINm 入力信号幅 (TAUBnCSRm.TAUBnOVF が 1、TAUBnCDRm が a の場合の例)

$$= \text{カウントクロックサイクル} \times ((10000_{\text{H}} \times \text{TAUBnCSRm.TAUBnOVF}) + (\text{TAUBnCDRm キャプチャ値} + 1))$$

$$= \text{カウントクロックサイクル} \times ((10000_{\text{H}} \times 1) + (a + 1))$$

$$= \text{カウントクロックサイクル} \times (10000_{\text{H}} + a + 1)$$

24.12.8 TAUBTTINm 入力位置検出機能

24.12.8.1 概要

概要

TAUBTTINm の有効エッジでカウント値をキャプチャすることで、入力信号間隔を測定できる機能です。

前提条件

この機能では、TAUBTTOUTm は使用しません。

機能説明

チャネルトリガビット (TAUBnTS.TAUBnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。カウンタは、0000_H からカウントを開始します。有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm の現在値が TAUBnCDRm にロードされ、割り込み (INTTAUBnIm) が発生します。カウンタ動作は継続します。

カウンタ値が FFFF_H になると、カウンタは 0000_H からカウント動作を再開します。

備考

TAUBTTINm 入力信号は TAUBnCMORm.TAUBnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUBTTOUTm の出カクロックの周期には、動作クロック ± 1 周期分の誤差があります。

条件

TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。

24.12.8.2 算出式

TAUBTTINm 入力パルスでの機能時間 =

カウントクロック周期 × (TAUBnCDRm キャプチャ値 + 1)

24.12.8.3 ブロック図と基本タイミング図

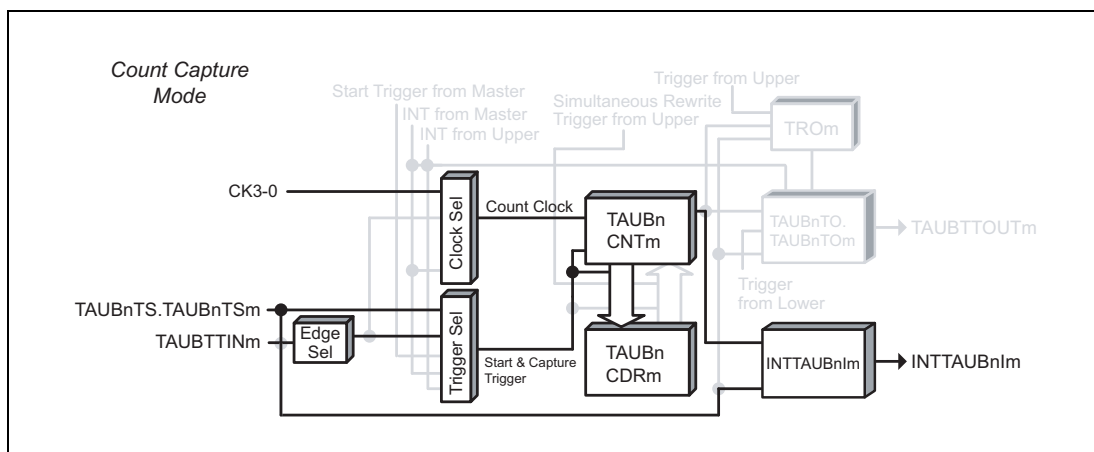


図 24.62 TAUBTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生しない (TAUBnCMORm.TAUBnMD0 = 0)
- 立ち下がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00_B)

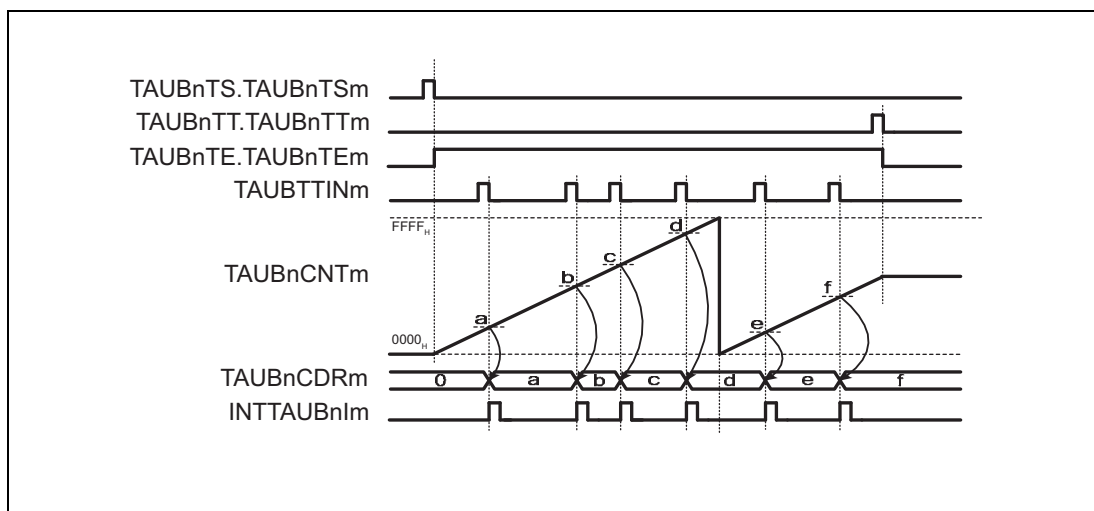


図 24.63 TAUBTTINm 入力位置検出機能の基本タイミング図

24.12.8.4 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBnCCS0	TAUBnMAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.70 TAUBTTINm 入力位置検出機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	0 _B を書いてください。
10～8	TAUBnSTS[2:0]	001 _B を書いてください。
7、6	TAUBnCOS [1:0]	01 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	1011 _B を書いてください。
0	TAUBnMD0	0：動作開始時に INTTAUBnIm が発生しない 1：動作開始時に INTTAUBnIm が発生する

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.71 TAUBTTINm 入力位置検出機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC) は、TAUBTTINm 入力位置検出機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 24.72 TAUBTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0)、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.8.5 TAUBTTINm 入力位置検出機能の操作手順

表 24.73 TAUBTTINm 入力位置検出機能の操作手順

	操作	TAUBn の状態
動作再開 ↑	初期設定 チャネルの初期設定 TAUBnCMORm、TAUBnCMURm レジスタを、「表 24.70 TAUBTTINm 入力位置検出機能の TAUBnCMORm レジスタの内容」と「表 24.71 TAUBTTINm 入力位置検出機能の TAUBnCMURm レジスタの内容」に示すように設定します。 TAUBnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSM を 1 に設定します。 TAUBnTS.TAUBnTSM はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEM が 1 に設定され、カウントが開始されます。 TAUBnCMORm.TAUBnMD0 が 1 の場合は、INTTAUBnIm が発生します。
	動作中 TAUBnCMURm.TAUBnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUBnCDRm、TAUBnCSRm レジスタは任意のタイミングで読み出し可能です。	TAUBnCnTm は、0000 _H からアップカウントを開始します。TAUBTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUBnCnTm が自身の値を TAUBnCDRm に転送 (キャプチャ) します。 INTTAUBnIm を出力します。 カウンタ値は 0000_H にクリアされず、TAUBnCnTm はカウント動作を継続します。 以降、この動作を繰り返します。 TAUBnCnTm が FFFF _H に達すると、カウンタは 0000 _H からカウント動作を再開します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEM が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCnTm は停止し、TAUBnCnTm は現在値を保持します。

24.12.8.6 特定の設定時のタイミング図

(1) 動作の停止と再開

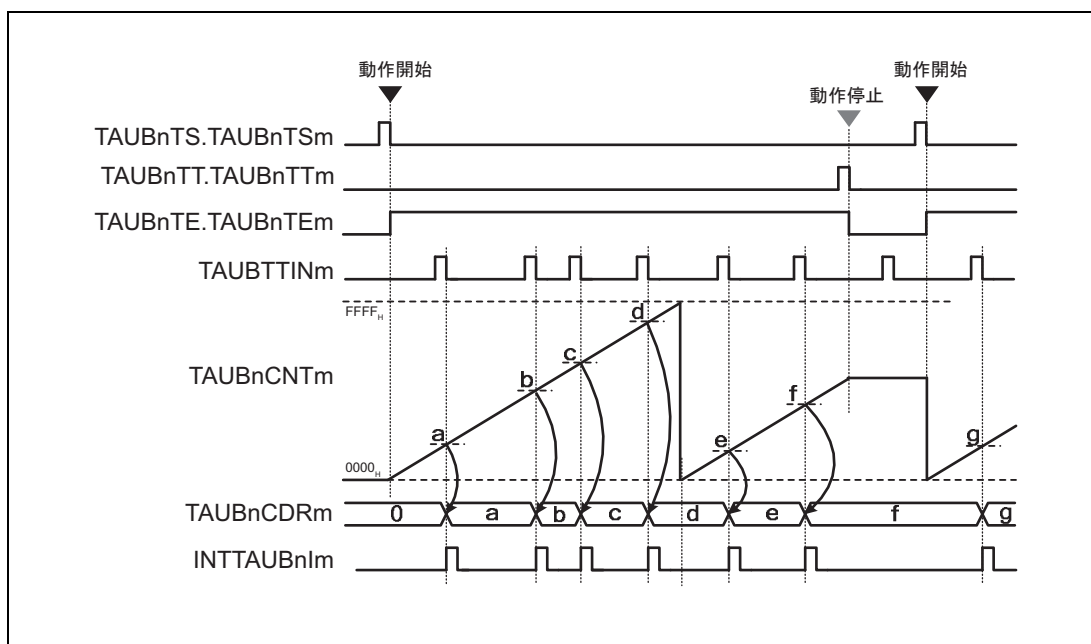


図 24.64 動作の停止と再開 (TAUBnCMORM.TAUBnMD0 = 0,
TAUBnCMURm.TAUBnTIS[1:0] = 00_B)

- TAUBnTT.TAUBnTTM を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEM は 0 に設定されます。
- TAUBnCNTM が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUBnTTIM の有効な入力エッジは無視されます。
- TAUBnTS.TAUBnTSM を 1 に設定すると、カウントを再開できます。TAUBnCNTM は 0000_H からカウントを再開します。

24.12.9 TAUBTTINm 入力期間カウント検出機能

24.12.9.1 概要

概要

この機能は、TAUBTTINm 入力信号の合計幅を測定します。

前提条件

この機能では、TAUBTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUBnTS.TAUBnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。カウンタは、有効な TAUBTTINm 入力エッジを待ちます。

有効な TAUBTTINm 入力スタートエッジが検出されると、カウンタは、0000_H からカウントを開始します。

有効な TAUBTTINm 入力ストップエッジが検出されると、TAUBnCNTm の現在値が TAUBnCDRm にロードされ、割り込み (INTTAUBnIm) が発生します。次の有効な TAUBTTINm 入力スタートエッジを検出するまで、カウンタは停止し、値 (TAUBnCDRm + 1) を保持します。

次の有効な TAUBTTINm 入力スタートエッジが検出されると、カウンタは、停止時の値からカウントを再開します。

カウンタ値が FFFF_H になると、カウンタは 0000_H からカウント動作を再開します。

備考

1. TAUBTTINm 入力信号は、TAUBnCMORm.TAUBnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。
2. この機能は、TAUBTTINm 入力の信号幅測定を目的とするため、TAUBnTE.TAUBnTEm = 1 期間中の TAUBnTS.TAUBnTSm のセット (1) は使用できません。

条件

有効なスタートエッジとストップエッジは、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。

- TAUBnCMURm.TAUBnTIS[1:0] = 10_B の場合、TAUBTTINm 入力ローレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUBnCMURm.TAUBnTIS[1:0] = 11_B の場合、TAUBTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

24.12.9.2 算出式

TAUBTTINm 入力幅累計 =
 カウントクロック周期 × (TAUBnCDRm キャプチャ値 + 1)

24.12.9.3 ブロック図と基本タイミング図

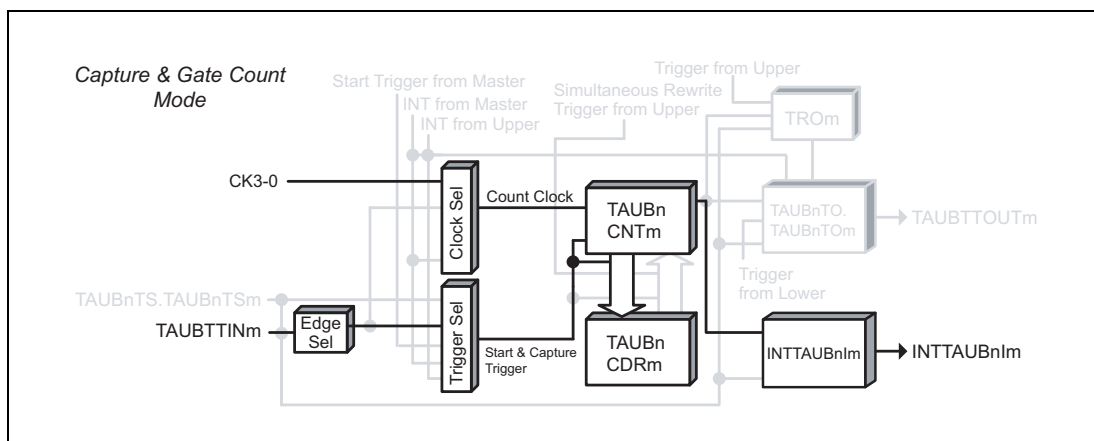


図 24.65 TAUBTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUBnCMURm.TAUBnTIS[1:0] = 11_B)

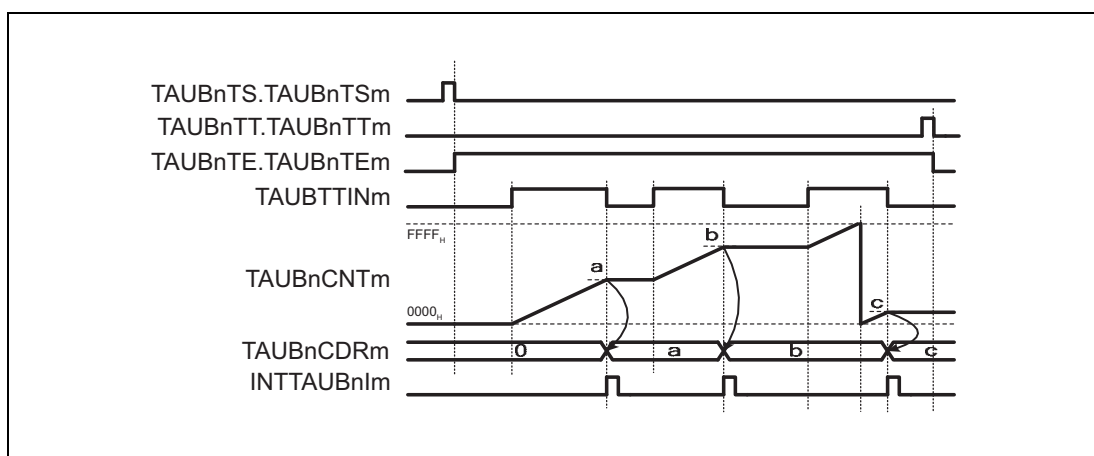


図 24.66 TAUBTTINm 入力期間カウント検出機能の基本タイミング図

24.12.9.4 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBnCCS0	TAUBnMAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]			TAUBnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.74 TAUBTTINm 入力期間カウント検出機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	0 _B を書いてください。
10～8	TAUBnSTS[2:0]	010 _B を書いてください。
7、6	TAUBnCOS [1:0]	01 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	1101 _B を書いてください。
0	TAUBnMD0	0 _B を書いてください。

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.75 TAUBTTINm 入力期間カウント検出機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC) は、TAUBTTINm 入力期間カウント検出機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.76 TAUBTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0)、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

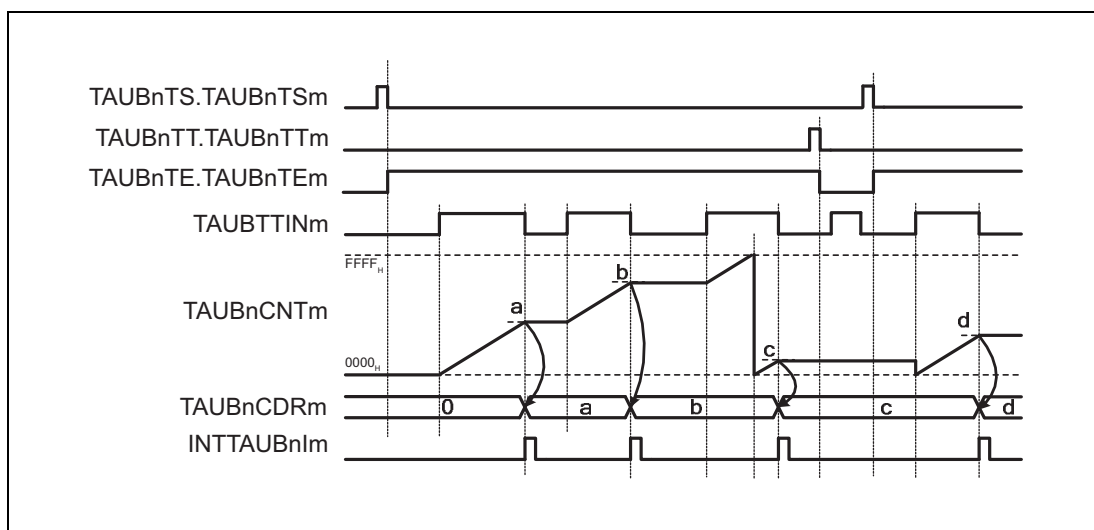
24.12.9.5 TAUBTTINm 入力期間カウント検出機能の操作手順

表 24.77 TAUBTTINm 入力期間カウント検出機能の操作手順

	操作	TAUBn の状態
動作再開 ↓	初期設定 チャンネルの初期設定 TAUBnCMORm、TAUBnCMURm レジスタを、「表 24.74 TAUBTTINm 入力期間カウント検出機能の TAUBnCMORm レジスタの内容」と「表 24.75 TAUBTTINm 入力期間カウント検出機能の TAUBnCMURm レジスタの内容」に示すように設定します。 TAUBnCDRm レジスタはキャプチャレジスタとして動作します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm は TAUBTTINm スタートエッジ検出を待ちます。
	動作中 TAUBTTINm エッジ検出 TAUBnCDRm、TAUBnCNTm、TAUBnCSRm レジスタは任意のタイミングで読み出しが可能です。	TAUBTTINm スタートエッジ (ハイレベル幅測定なら立ち上がりエッジ、ロウレベル幅測定なら立ち下がりエッジ) を検出すると、TAUBnCNTm は停止値よりアップカウントを開始します。 TAUBnCNTm は、ストップエッジ (ハイレベル幅測定なら立ち下がりエッジ、ロウレベル幅測定なら立ち上がりエッジ) を検出すると、値を TAUBnCDRm に転送し、INTTAUBnIm が発生します。 カウントは TAUBnCDRm に転送した値 + 1 の値で停止し、TAUBnCNTm は TAUBTTINm スタートエッジの検出を待ちます。 TAUBnCNTm が FFFF _H に達すると、カウンタは 0000 _H からカウント動作を再開します。以降、この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm は現在値を保持します。

24.12.9.6 特定の設定時のタイミング図

(1) 動作の停止と再開

図 24.67 動作の停止と再開 (TAUBnCMURm.TAUBnTIS[1:0] = 11_B)

- TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEM は 0 に設定されます。
- TAUBnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUBTTINm の有効な入力エッジは無視されます。
- TAUBnTS.TAUBnTSM を 1 に設定すると、カウントを再開できます。TAUBnCNTm は 0000_H からカウントを再開します。

24.12.10 TAUBTTINm 入力パルスインターバル判定機能

24.12.10.1概要

概要

この機能は、TAUBTTINm 入力パルスの発生時、カウント値 (TAUBnCNTm) とチャンネルデータレジスタ (TAUBnCDRm) の値を比較した結果を出力します。比較の結果が真の場合、割り込み要求信号 INTTAUBnIm が発生します。

前提条件

この機能では、TAUBTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUBnTS.TAUBnTsm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。

TAUBTTINm 有効エッジが検出された場合、または TAUBnTS.TAUBnTsm が 1 に設定された場合、この機能は TAUBnCNTm と TAUBnCDRm の現在値を比較します。比較の結果が真の場合、割り込み要求信号 INTTAUBnIm が発生します。TAUBnCNTm は、TAUBnCDRm の値をリロードし、比較の結果に関係なく動作を継続します。

有効な TAUBTTINm エッジを検出する前にカウンタが 0000_H に達すると、TAUBnCNTm はオーバフローし、FFFF_H に設定されます。その後、カウンタはダウンカウントを継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

比較の種類を TAUBnCMORm.TAUBnMD0 ビットで指定します。

- TAUBnCMORm.TAUBnMD0 = 0 かつ TAUBnCNTm ≤ TAUBnCDRm の場合、INTTAUBnIm が発生します。
- TAUBnCMORm.TAUBnMD0 = 1 かつ TAUBnCNTm > TAUBnCDRm の場合、INTTAUBnIm が発生します。

24.12.10.2 ブロック図と基本タイミング図

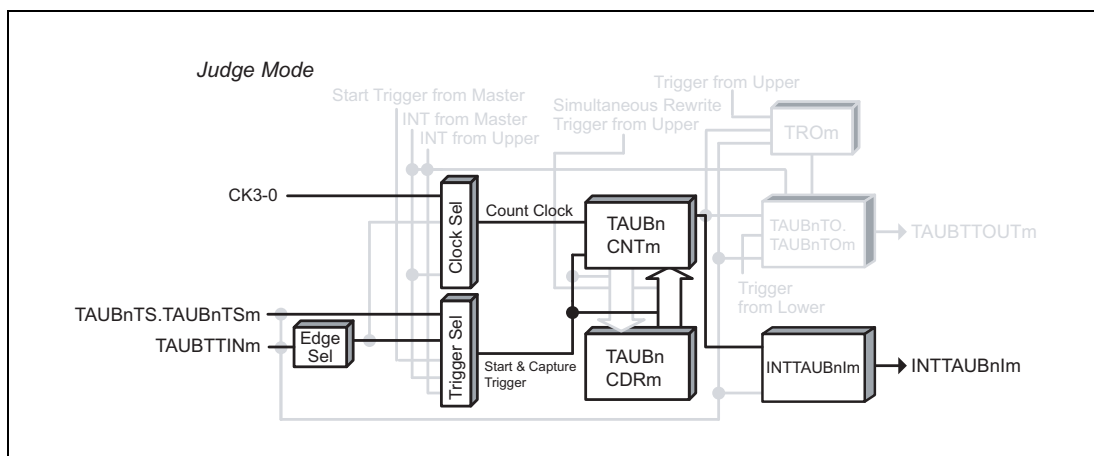


図 24.68 TAUBTTINm 入力パルスインターバル判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00_B)

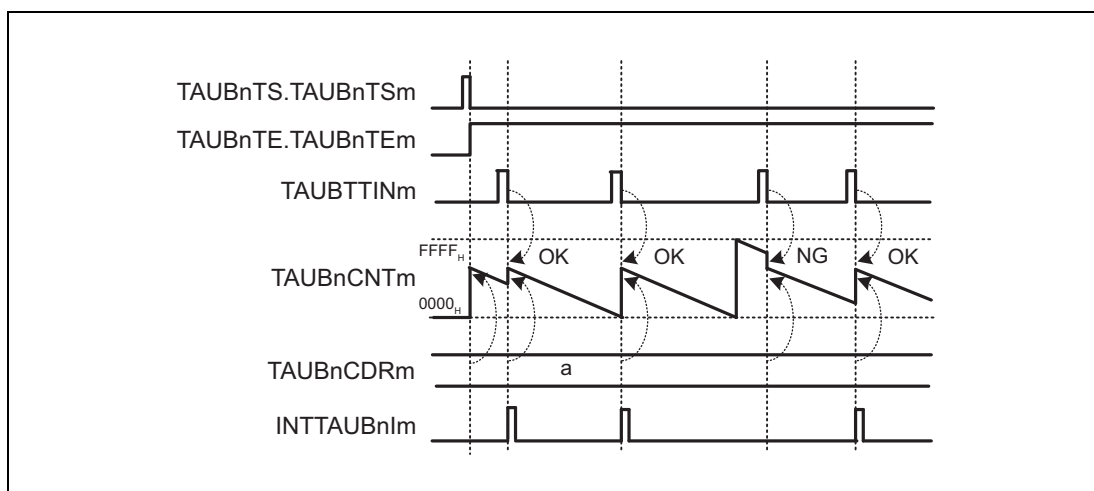


図 24.69 TAUBTTINm 入力パルスインターバル判定機能の基本タイミング図

24.12.10.3 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBnCCS0	TAUBnMAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.78 TAUBTTINm 入力パルスインターバル判定機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	0 _B を書いてください。
10～8	TAUBnSTS[2:0]	001 _B を書いてください。
7、6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0001 _B を書いてください。
0	TAUBnMD0	0：TAUBnCNTm ≤ TAUBnCDRm の場合、INTTAUBnIm が発生 1：TAUBnCNTm > TAUBnCDRm の場合、INTTAUBnIm が発生

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.79 TAUBTTINm 入力パルスインターバル判定機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC) は、TAUBTTINm 入力パルスインターバル判定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.80 TAUBTTINm 入力パルスインターバル判定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0)、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.10.4 TAUBTTINm 入力パルスインターバル判定機能の操作手順

表 24.81 TAUBTTINm 入力パルスインターバル判定機能の操作手順

	操作	TAUBn の状態
動作再開	チャンネルの初期設定 TAUBnCMORm、TAUBnCMURm レジスタを、「表 24.78 TAUBTTINm 入力パルスインターバル判定機能の TAUBnCMORm レジスタの内容」と「表 24.79 TAUBTTINm 入力パルスインターバル判定機能の TAUBnCMURm レジスタの内容」に示すように設定します。	チャンネル動作を停止しています。
	動作開始 TAUBnCDRm レジスタの値を設定します。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCDRm の値を TAUBnCNTm にロードします。
	動作中 任意のタイミングで変更可能なレジスタ • TAUBnCDRm レジスタ	TAUBnCMORm.TAUBnMD0 = 0 の場合 TAUBTTINm 入力エッジ検出タイミングで $TAUBnCNTm \leq TAUBnCDRm$ の場合、 INTTAUBnIm が発生します。 TAUBnCMORm.TAUBnMD0 = 1 の場合 TAUBTTINm 入力エッジ検出タイミングで $TAUBnCNTm > TAUBnCDRm$ の場合、 INTTAUBnIm が発生します。TAUBTTINm 入力エッジを検出すると、TAUBnCNTm は、TAUBnCDRm の値からダウンカウントを開始します。 以降、この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm が停止し、現在値を保持します。

24.12.11 TAUBTTINm 入力信号幅判定機能

24.12.11.1概要

概要

この機能は、TAUBTTINm 入力信号のハイレベルまたはロウレベル幅期間のカウント値 (TAUBnCNTm) と TAUBnCDRm の大小判定の結果を割り込み要求信号 INTTAUBnIm より出力します。

前提条件

この機能では、TAUBTTOUTm は使用しません。

機能説明

チャネルトリガビット (TAUBnTS.TAUBnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。有効な TAUBTTINm 入力スタートエッジが検出されると、TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。

有効な TAUBTTINm ストップエッジが検出されると、この機能は TAUBnCNTm と TAUBnCDRm の現在値を比較します。比較の結果が真の場合、割り込み要求信号 INTTAUBnIm が発生します。カウンタ TAUBnCNTm は、比較の結果に関係なく、次の有効な TAUBTTINm スタートエッジを検出するまで値を保持します。

有効な TAUBTTINm ストップエッジを検出する前にカウンタが 0000_H に達すると、TAUBnCNTm はオーバフローし、FFFF_H に設定されます。その後、カウンタはダウンカウントを継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

- 比較の種類を TAUBnCMORm.TAUBnMD0 ビットで指定します。
 - TAUBnCMORm.TAUBnMD0 = 0 かつ TAUBnCNTm ≤ TAUBnCDRm の場合、INTTAUBnIm が発生します。
 - TAUBnCMORm.TAUBnMD0 = 1 かつ TAUBnCNTm > TAUBnCDRm の場合、INTTAUBnIm が発生します。
- TAUBnCMURm.TAUBnTIS[1:0] ビットで幅測定のタイプを指定します。
 - ハイレベル幅測定 (TAUBnCMURm.TAUBnTIS[1:0] = 11_B の場合) では、TAUBTTINm 立ち上がりエッジをスタートエッジ、TAUBTTINm 立ち下がりエッジをストップエッジとして使用します。
 - ロウレベル幅測定 (TAUBnCMURm.TAUBnTIS[1:0] = 10_B の場合) では、TAUBTTINm 立ち下がりエッジをスタートエッジ、TAUBTTINm 立ち上がりエッジをストップエッジとして使用します。
- この機能では強制リスタートは行えません。

24.12.11.2 ブロック図と基本タイミング図

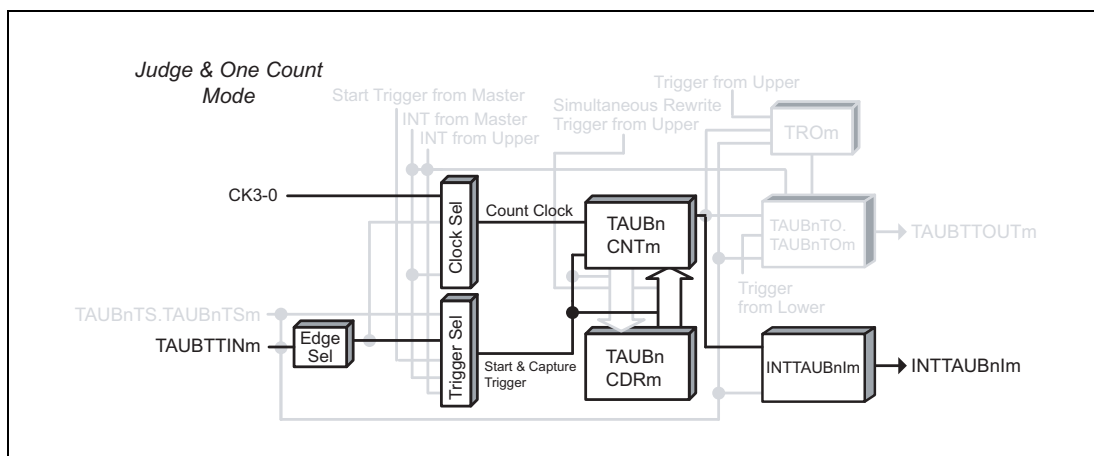


図 24.70 TAUBTTINm 入力信号幅判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- $TAUBnCNTm \leq TAUBnCDRm$ ($TAUBnCMORm.TAUBnMD0 = 0$) の場合、INTTAUBnIm が発生します。
- TAUBTTINm 有効スタートエッジ = 立ち上がりエッジ、TAUBTTINm 有効ストップエッジ = 立ち下がりエッジ ($TAUBnCMURm.TAUBnTIS[1:0] = 11_B$)

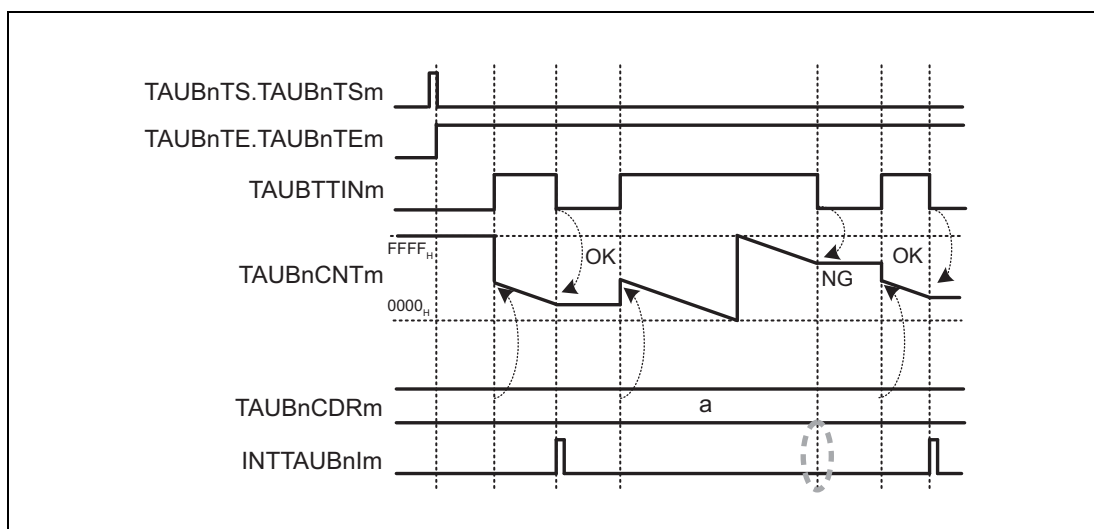


図 24.71 TAUBTTINm 入力信号幅判定機能の基本タイミング図

24.12.11.3 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBnCCS0	TAUBnMAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]			TAUBnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.82 TAUBTTINm 入力信号幅判定機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	0 _B を書いてください。
10～8	TAUBnSTS[2:0]	010 _B を書いてください。
7、6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0111 _B を書いてください。
0	TAUBnMD0	0：TAUBnCNTm ≤ TAUBnCDRm の場合、INTTAUBnIm が発生 1：TAUBnCNTm > TAUBnCDRm の場合、INTTAUBnIm が発生

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.83 TAUBTTINm 入力信号幅判定機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC) は、TAUBTTINm 入力信号幅判定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.84 TAUBTTINm 入力信号幅判定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0)、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.11.4TAUBTTINm 入力信号幅判定機能の操作手順

表 24.85 TAUBTTINm 入力信号幅判定機能の操作手順

	操作	TAUBn の状態
初期設定 チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、「表 24.82 TAUBTTINm 入力信号幅判定機能の TAUBnCMORm レジスタの内容」と「表 24.83 TAUBTTINm 入力信号幅判定機能の TAUBnCMURm レジスタの内容」に示すように設定します。	チャネル動作を停止しています。
	TAUBnCDRm レジスタの値を設定します。	
動作再開 動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm は TAUBTTINm スタートエッジ検出を待ちます。
	任意のタイミングで変更可能なレジスタ • TAUBnCDRm レジスタ	TAUBTTINm スタートエッジを検出すると、TAUBnCNTm は、TAUBnCDRm の値からダウンカウントを開始します。 TAUBnCMORm.TAUBnMD0 = 0 の場合 TAUBTTINm 入力ストップエッジ検出タイミングで TAUBnCNTm ≤ TAUBnCDRm の場合、INTTAUBnIm が発生します。 TAUBnCMORm.TAUBnMD0 = 1 の場合 TAUBTTINm 入力ストップエッジ検出タイミングで TAUBnCNTm > TAUBnCDRm の場合、INTTAUBnIm が発生します。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm が停止し、現在値を保持します。

24.12.12 オーバフロー割り込み出力機能 (TAUBTTINm 幅測定時)

24.12.12.1 概要

概要

この機能は、各 TAUBTTINm 入力信号の幅を測定します。TAUBTTINm 入力後、(FFFF_H + 1) を超えた場合、割り込みが発生します。

前提条件

- この機能では、TAUBTTOUTm は使用しません。
- TAUBnCDRm の値は、FFFF_H に設定する必要があります。

機能説明

チャンネルトリガビット (TAUBnTS.TAUBnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。

有効な TAUBTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUBnCNTm に FFFF_H がロードされ、カウンタはダウンカウントを開始します。

有効なストップエッジが検出されると、カウンタ動作を停止し現在値を保持します。

次の TAUBTTINm 入力スタートエッジが検出されると、TAUBnCNTm は FFFF_H をロードし、ダウンカウントを開始します。

ストップエッジを検出する前にカウンタが 0000_H に達すると、割り込みが発生します。

条件

有効なスタートエッジとストップエッジは、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。

- TAUBnCMURm.TAUBnTIS[1:0] = 10_B の場合、TAUBTTINm 入力ローレベル幅が測定されます。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUBnCMURm.TAUBnTIS[1:0] = 11_B の場合、TAUBTTINm 入力ハイレベル幅が測定されます。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

備考

動作中にカウンタ動作を再開することはできません。

24.12.12.2 ブロック図と基本タイミング図

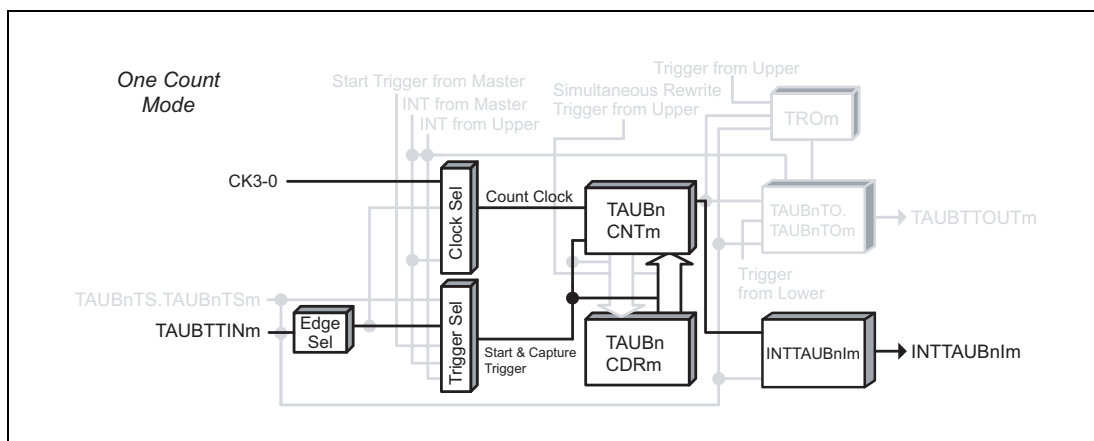


図 24.72 オーバフロー割り込み出力機能のブロック図 (TAUBTTINm 幅測定時)

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUBnCMURm.TAUBnTIS[1:0] = 11_B)

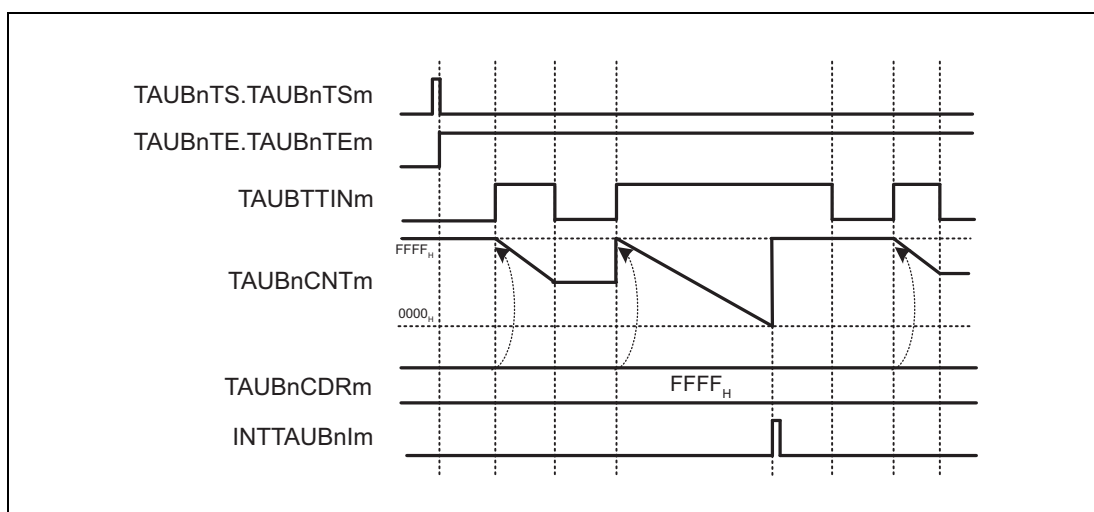


図 24.73 オーバフロー割り込み出力機能の基本タイミング図 (TAUBTTINm 幅測定時)

24.12.12.3レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBnCCS0	TAUBnMAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.86 オーバフロー割り込み出力機能 (TAUBTTINm 幅測定時) の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	0 _B を書いてください。
10～8	TAUBnSTS[2:0]	010 _B を書いてください。
7、6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0100 _B を書いてください。
0	TAUBnMD0	0 _B を書いてください。

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.87 オーバフロー割り込み出力機能 (TAUBTTINm 幅測定時) の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	10：両エッジ検出 (ロウレベル幅測定) 11：両エッジ検出 (ハイレベル幅測定)

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC) は、オーバーフロー割り込み出力機能 (TAUBTTINm 幅測定時) では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.88 オーバフロー割り込み出力機能の一斉書き換え設定 (TAUBTTINm 幅測定時)

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0)、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.12.4 オーバフロー割り込み出力機能の操作手順 (TAUBTTINm 幅測定時)

表 24.89 オーバフロー割り込み出力機能の操作手順 (TAUBTTINm 幅測定時)

	操作	TAUBnの状態
動作再開	チャンネルの初期設定 TAUBnCMORm、TAUBnCMURm レジスタを、「表 24.86 オーバフロー割り込み出力機能 (TAUBTTINm 幅測定時) の TAUBnCMORm レジスタの内容」と「表 24.87 オーバフロー割り込み出力機能 (TAUBTTINm 幅測定時) の TAUBnCMURm レジスタの内容」に示すように設定します。	チャンネル動作を停止しています。
	動作開始 TAUBnCDRm レジスタの値を FFFF _H に設定します。	
	動作開始 TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm はスタートエッジ検出を待ちます。
	動作開始 TAUBTTINm スタートエッジ検出	スタートエッジが検出されると、TAUBnCDRm の値 (FFFF _H) を TAUBnCNTm にロードします。
動作中	動作中 TAUBnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUBnCNTm がダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUBnIm が発生します。 カウント動作中に TAUBTTINm の入カストップエッジを検出した場合： <ul style="list-style-type: none"> TAUBnCNTm は停止し、現在値を保持します。 カウント停止中に TAUBTTINm 入カスタートエッジを検出した場合： <ul style="list-style-type: none"> 再び TAUBnCDRm の値 (FFFF_H) を TAUBnCNTm にロードし、ダウンカウントを行います。 以降、この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm が停止し、現在値を保持します。

24.12.13 オーバフロー割り込み出力機能 (TAUBTTINm 入力期間カウント検出時)

24.12.13.1概要

概要

この機能は、TAUBTTINm 入力信号の合計幅を測定します。TAUBTTINm 入力合計幅が $FFFF_H$ より大きい場合、割り込みが発生し、オーバフロー割り込みを出力することができます。

前提条件

- この機能では、TAUBTTOUm は使用しません。
- TAUBnCDRm の値は、 $FFFF_H$ に設定する必要があります。

機能説明

チャンネルトリガビット (TAUBnTS.TAUBnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。

有効な TAUBTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUBnCNTm に $FFFF_H$ がロードされ、カウンタはダウンカウントを開始します。

有効なストップエッジが検出されると、カウンタ動作を停止し、現在値を保持します。カウンタは、次の有効な TAUBTTINm 入力スタートエッジを待ち、現在値からのダウンカウントを継続します。

カウンタが 0000_H になると、割り込みが発生します。TAUBnCNTm に $FFFF_H$ がロードされ、カウンタは TAUBTTINm 入力ストップエッジが検出されるまでダウンカウントを継続します。

条件

有効なスタートエッジとストップエッジは、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。

- TAUBnCMURm.TAUBnTIS[1:0] = 10_B の場合、TAUBTTINm 入力ローレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUBnCMURm.TAUBnTIS[1:0] = 11_B の場合、TAUBTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

備考

動作中にカウンタ動作を再開することはできません。

24.12.13.2 ブロック図と基本タイミング図

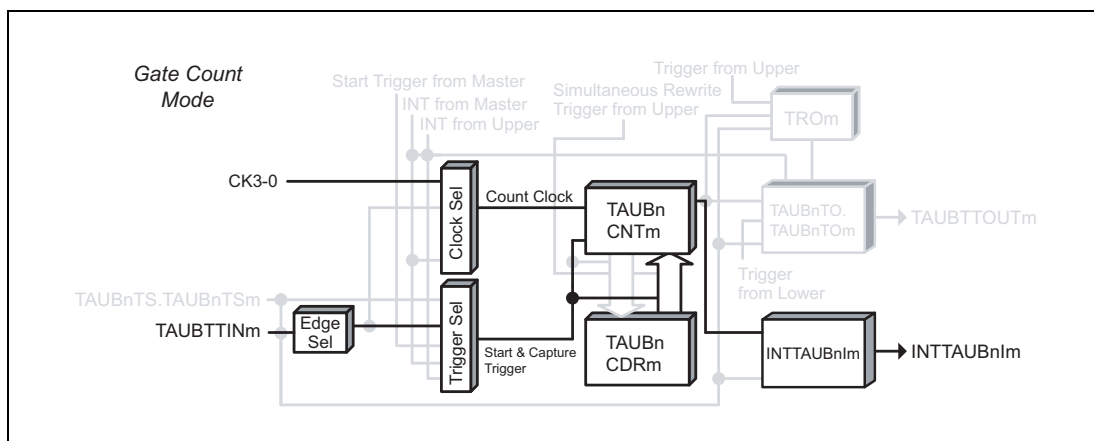


図 24.74 オーバフロー割り込み出力機能のブロック図 (TAUBTTINm 入力期間カウント検出時)

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUBnCMURm.TAUBnTIS[1:0] = 11_B)

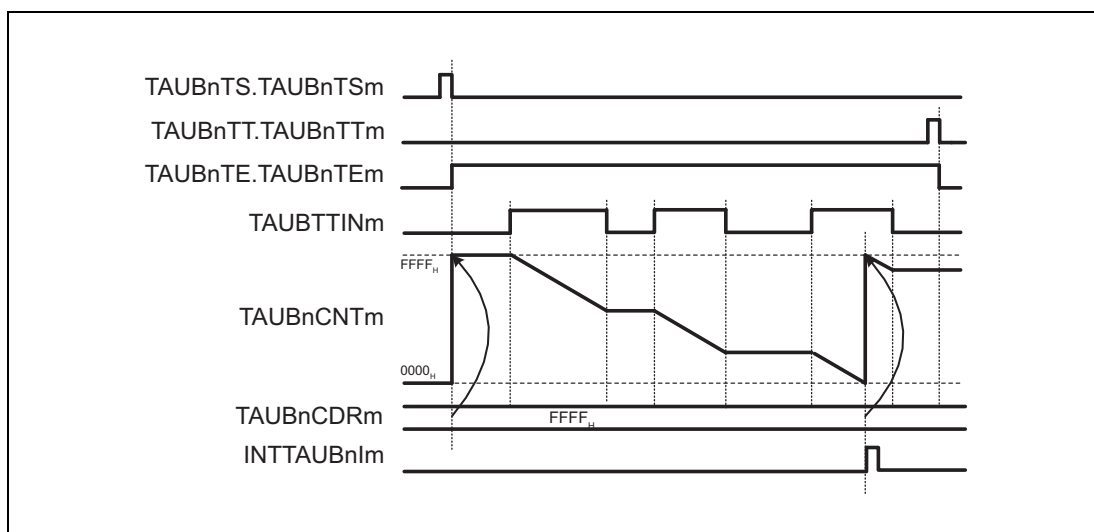


図 24.75 オーバフロー割り込み出力機能の基本タイミング図 (TAUBTTINm 入力期間カウント検出時)

24.12.13.3 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBnCCS0	TAUBnMAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.90 オーバフロー割り込み出力機能 (TAUBTTINm 入力期間カウント検出時) の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	0 _B を書いてください。
10～8	TAUBnSTS [2:0]	010 _B を書いてください。
7、6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	1100 _B を書いてください。
0	TAUBnMD0	0 _B を書いてください。

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 24.91 オーバフロー割り込み出力機能 (TAUBTTINm 入力期間カウント検出時) の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	10：両エッジ検出 (ロウレベル幅測定) 11：両エッジ検出 (ハイレベル幅測定)

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC) は、オーバーフロー割り込み出力機能 (TAUBTTINm 入力期間検出時) では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

**表 24.92 オーバフロー割り込み出力機能の一斉書き換え設定
(TAUBTTINm 入力期間カウント検出時)**

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0)、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

24.12.13.4 オーバフロー割り込み出力機能の操作手順 (TAUBTTINm 入力期間カウント検出時)

表 24.93 オーバフロー割り込み出力機能の操作手順 (TAUBTTINm 入力期間カウント検出時)

	操作	TAUBnの状態
動作再開	チャンネルの初期設定 TAUBnCMORm、TAUBnCMURm レジスタを、「表 24.90 オーバフロー割り込み出力機能 (TAUBTTINm 入力期間カウント検出時) の TAUBnCMORm レジスタの内容」と「表 24.91 オーバフロー割り込み出力機能 (TAUBTTINm 入力期間カウント検出時) の TAUBnCMURm レジスタの内容」に示すように設定します。 TAUBnCDRm レジスタの値を FFFF _H に設定します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。 TAUBTTINm スタートエッジ検出	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm はスタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUBnCDRm の値 (FFFF _H) を TAUBnCNTm にロードします。
	動作中 TAUBnCNTm レジスタは常に読み出し可能です。	TAUBnCNTm がダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> • INTTAUBnIm が発生します。 • TAUBnCDRm の値 (FFFF_H) を TAUBnCNTm にロードし、ダウンカウントを継続します。 カウント動作中に TAUBTTINm 入カストップエッジを検出した場合： <ul style="list-style-type: none"> • TAUBnCNTm は停止し、現在値を保持します。 カウント停止中に TAUBTTINm 入カスタートエッジを検出した場合： <ul style="list-style-type: none"> • TAUBnCNTm は停止値からダウンカウントを行います。 以降、この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm が停止し、現在値を保持します。

24.13 チャンネル単体一斉書き換え機能

この節では、一斉書き換え機能について説明します。

24.13.1 一斉書き換えトリガ生成機能タイプ1

24.13.1.1 概要

概要

下位チャンネルが一斉書き換えトリガとして使用できる割り込みを、特定チャンネル上で発生する機能です。この割り込みは一定間隔で発生します。上位チャンネルは一斉書き換えトリガを生成するチャンネル (TAUBnRDC.TAUBnRDCm = 1)、下位チャンネルは上位チャンネルのトリガを受けて一斉書き換えを行うチャンネル (TAUBnRDC.TAUBnRDCm = 0) です。

前提条件

- 上位チャンネルとして使用するチャンネルより下位の2チャンネル以上で、それぞれ一斉書き換えが許可されている (TAUBnRDE.TAUBnRDEm = 1)。
- 上位チャンネルの動作モードは、インターバルタイマモードに設定する必要があります (「表 24.94 一斉書き換えトリガ生成機能タイプ1の上位チャンネルのTAUBnCMORmレジスタの内容」参照)。
- 下位チャンネルに設定可能な動作モードは、「表 24.37 チャンネル機能と一斉書き換え方法」を参照してください。
- この機能では、TAUBTTOUTm はいずれのチャンネルでも使用しません。

機能説明

上位チャンネル、下位チャンネルのチャンネルトリガビット (TAUBnTS.TAUBnTSM) を1に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウンタが可能になります。上位チャンネルのデータレジスタバッファ (TAUBnCDRm buf) の現在値がカウンタ (TAUBnCNTm) にロードされ、カウンタはこの値からダウンカウントを開始します。下位チャンネルのカウンタは、選択されている動作モードにしたがってカウントを開始します。

カウンタが 0000_H になると、そのチャンネルで割り込みが発生します。対応する TAUBnCDRm バッファの現在値を TAUBnCNTm にロードし、以降、動作を継続します。

割り込みが発生したチャンネルが一斉書き換えのトリガチャンネルとして設定されていて (TAUBnRDC.TAUBnRDCm = 1)、さらにそれが上位チャンネルである場合、一斉書き換えが可能な状態 (TAUBnRSF.TAUBnRSFm = 1) にあるすべての下位チャンネルで一斉書き換えが行われます。

データレジスタの値は対応するデータレジスタバッファにコピーされます。カウンタはダウンカウントを開始するたびにデータレジスタバッファの値を読み出して、その値からダウンカウントを行います。

データレジスタの値は任意のタイミングで変更可能ですが、一斉書き換え実行時には対応するデータレジスタバッファに転送されるのみです。

条件

- INTTAUBnIm の発生を検出するチャンネルは、該当チャンネルに TAUBnRDC.TAUBnRDCm = 1 を設定することにより指定します。一斉書き換えを行う必要のあるその他すべてのチャンネルは、TAUBnRDC.TAUBnRDCm ビットを 0 に設定しておく必要があります。

24.13.1.2 算出式

一斉書き換えトリガの生成周期 = カウントクロック周期 × (TAUBnCDRm + 1)

一斉書き換えを制御するには、次の条件が満たされている必要があります。

[PWM の場合]

$TAUBnCDRm = [(一斉書き換え対象マスタチャンネルの TAUBnCDRm 値 + 1) \times 割り込み数] - 1$

[三角波 PWM の場合]

$TAUBnCDRm = [(一斉書き換え対象マスタチャンネルの TAUBnCDRm 値 + 1) \times 2 \times 割り込み数] - 1$

つまり、TAUBnCDRm + 1 と一斉書き換え対象マスタチャンネルの TAUBnCDRm + 1 の比は整数である必要があります。この整数は割り込み数に対応しています。

三角波 PWM の場合は、周期が 2 倍になるので注意してください。

24.13.1.3 ブロック図と基本タイミング図

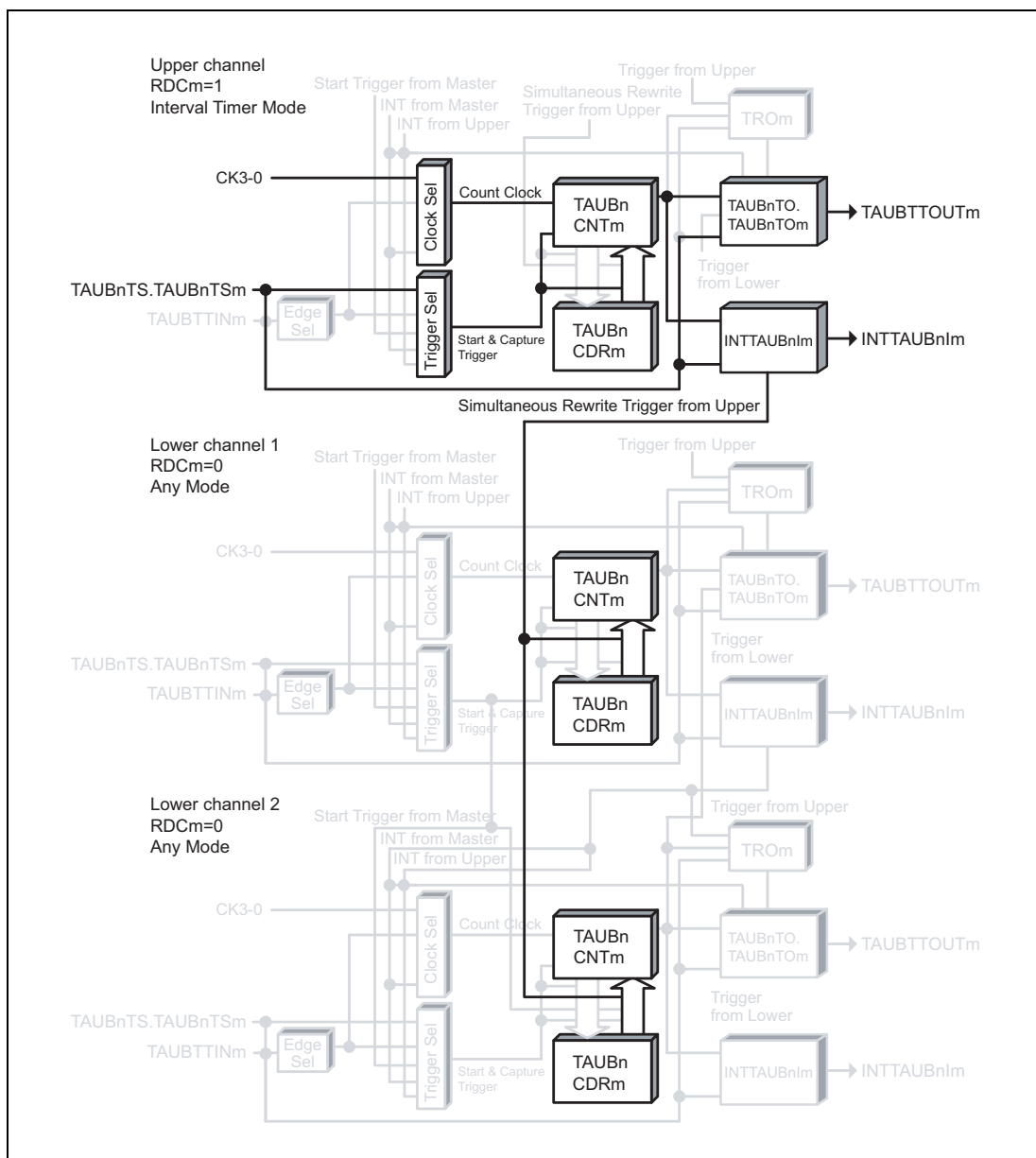


図 24.76 一斉書き換えトリガ生成機能タイプ1のブロック図

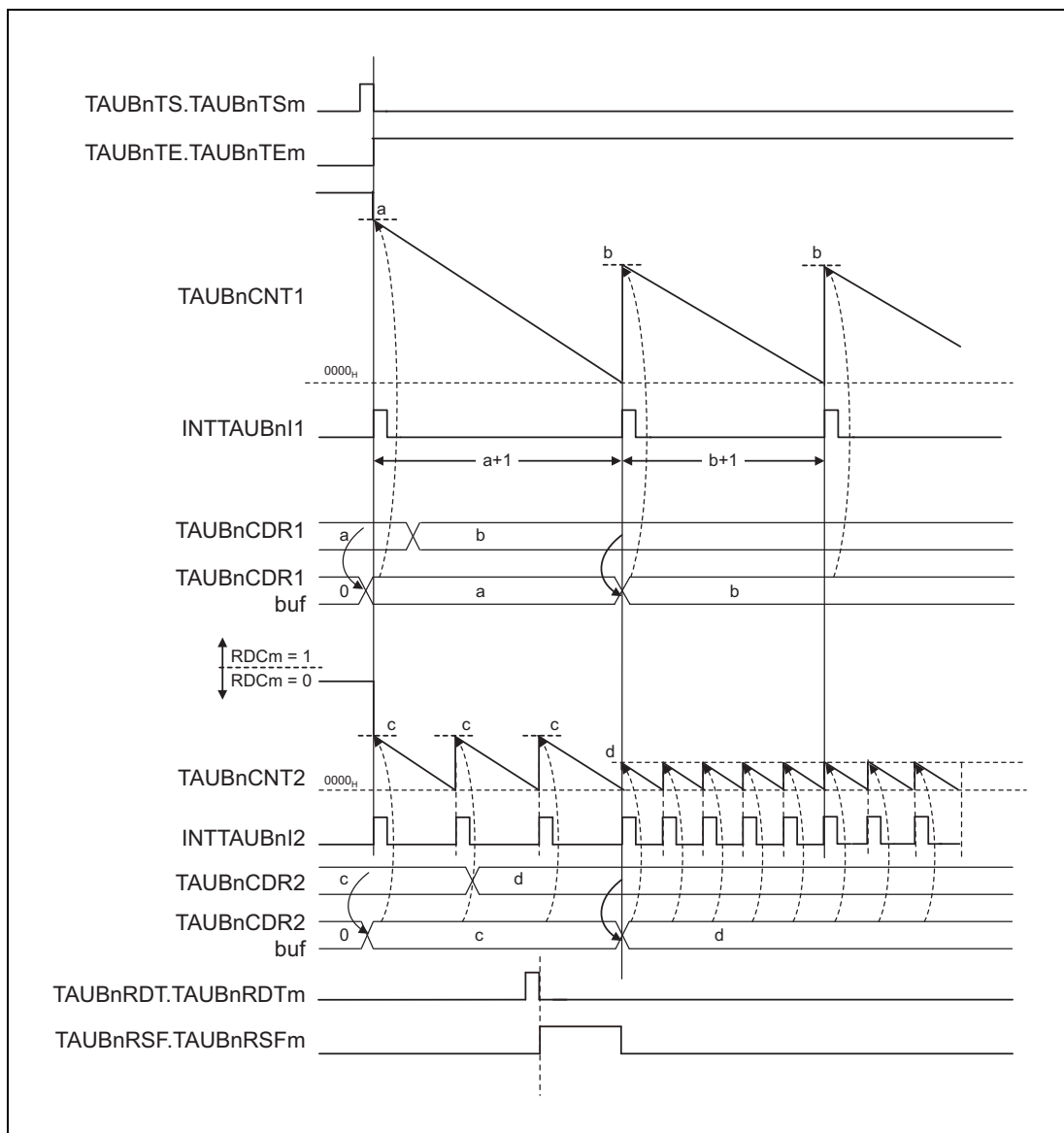


図 24.77 一斉書き換えトリガ生成機能タイプ 1 の基本タイミング図

24.13.1.4 上位チャネルのレジスタ設定

(1) 上位チャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBnCCS0	TAUBnMAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.94 一斉書き換えトリガ生成機能タイプ1の上位チャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	0 _B を書いてください。
10～8	TAUBnSTS[2:0]	000 _B を書いてください。
7、6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0000 _B を書いてください。
0	TAUBnMD0	1 _B を書いてください。

(2) 上位チャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.95 一斉書き換えトリガ生成機能タイプ1の上位チャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) 上位チャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(4) 上位チャネルの一斉書き換え

表 24.96 一斉書き換えトリガ生成機能タイプ 1 時の上位チャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	1: 上位の 1 チャネルを一斉書き換えの制御チャネルとして選択
TAUBnRDM.TAUBnRDMm	0: マスタチャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUBnRDC.TAUBnRDCm	1: チャネルで一斉書き換えのトリガとなる INTTAUBnIm 信号をモニタ

24.13.1.5 下位チャネルのレジスタ設定**(1) 下位チャネルの TAUBnCMORm**

下位チャネルの TAUBnCMORm レジスタは、設定可能な動作モードの TAUBnCMORm レジスタ設定にしたがってください（「表 24.37 チャネル機能と一斉書き換え方法」を参照してください）。

(2) 下位チャネルの TAUBnCMURm

下位チャネルの TAUBnCMURm レジスタは、設定可能な動作モードの TAUBnCMURm レジスタ設定にしたがってください（「表 24.37 チャネル機能と一斉書き換え方法」を参照してください）。

(3) 下位チャネルのチャネル出力モード

下位チャネルの（マスタ、スレーブ）設定に従った出力が可能です。一斉書き換えトリガ生成機能タイプ 1 が使用可能な機能については、「表 24.37 チャネル機能と一斉書き換え方法」を参照してください。

(4) 下位チャネルの一斉書き換え

表 24.97 一斉書き換えトリガ生成機能タイプ 1 時の下位チャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	1: 上位の 1 チャネルを一斉書き換えの制御チャネルとして選択
TAUBnRDM.TAUBnRDMm	0: マスタチャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成チャネルとして動作しない

24.13.1.6 一斉書き換えトリガ生成機能タイプ1の操作手順

表 24.98 一斉書き換えトリガ生成機能タイプ1の操作手順

	操作	TAUBnの状態
動作再開	チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	TAUBnTE.TAUBnTEm が1に設定され、カウントが開始されます。 TAUBnCDRmの値をTAUBnCnTmにロードします。TAUBnCMORm.TAUBnMD0 = 1の場合、INTTAUBnImが発生します。
	動作中	TAUBnCnTmがダウンカウントを行います。カウンタが0000 _H になった場合： <ul style="list-style-type: none"> 再びTAUBnCDRmの値をTAUBnCnTmにロードし、カウント動作を継続します。 INTTAUBnImが発生します。 TAUBnRDC.TAUBnRDCmが1に設定されているチャンネルでINTTAUBnImが発生すると、一斉書き換えが制御されます。以降、この動作を繰り返します。
	動作停止	TAUBnTE.TAUBnTEmが0にクリアされ、カウンタ動作が停止します。 TAUBnCnTmは停止し、TAUBnCnTmは現在値を保持します。

24.14 チャンネル連動動作機能

この節では、TAUB のチャンネル連動動作の全機能について説明します。チャンネル連動動作の概要については、「24.2 概要」を参照してください。

24.14.1 PWM 出力機能

24.14.1.1 概要

概要

マスタチャンネルと複数のスレーブチャンネルを使用することで、複数の PWM 出力を生成する機能です。これにより、TAUBTTOUTm のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタチャンネルで設定します。デューティはスレーブチャンネルで設定します。

前提条件

- 2チャンネル
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 24.99 PWM 出力機能のマスタチャンネルの TAUBnCMORm レジスタの内容」参照）。
- スレーブチャンネルの動作モードは、ワンカウントモードに設定する必要があります（「表 24.102 PWM 出力機能のスレーブチャンネルの TAUBnCMORm レジスタの内容」参照）。
- この機能では、マスタチャンネルで TAUBTTOUTm は使用しません。
- スレーブチャンネルのチャンネル出力モードは、チャンネル連動出力モード 1 に設定する必要があります。

機能説明

チャンネルトリガビット (TAUBnTS.TAUBnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm=1 となり、カウンタが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。マスタチャンネルで INTTAUBnIm が発生し、TAUBTTOUTm (スレーブ) がセット、リセットされることにより PWM 出力を実現しています。

- マスタチャンネル：

マスタチャンネルのカウント値が 0000_H になりパルス周期時間が経過すると、INTTAUBnIm が発生します。TAUBnCDRm 値を TAUBnCNTm にロードし、ダウンカウントを行います。

- スレーブチャネル：

マスタチャネルで INTTAUBnIm が発生すると、スレーブチャネルのカウンタ動作がトリガされます。TAUBnCDRm (スレーブ) の現在値が TAUBnCNTm (スレーブ) にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。TAUBTTOUTm 信号がアクティブレベルに設定されます。

カウンタ値が 0000_H になると (デューティ時間が経過すると) INTTAUBnIm が発生し、TAUBTTOUTm 信号がインアクティブレベルに設定されます。カウンタは FFFF_H に戻り、マスタチャネルの次の INTTAUBnIm (次のパルス周期の開始) を待ちます。

マスタ/スレーブチャネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ/スレーブチャネルの TAUBnCNTm と TAUBTTOUTm が停止しますが、それぞれの値は保持します。TAUBnTS.TAUBnTsm を 1 に設定すると、カウントを再開できます。

条件

この機能では一斉書き換えを行うことができます。「24.6 一斉書き換え」を参照してください。

24.14.1.2 算出式

パルス周期 = (TAUBnCDRm (マスタ) + 1) × カウントクロック周期

デューティサイクル [%] = (TAUBnCDRm (スレーブ) / (TAUBnCDRm (マスタ) + 1)) × 100

- デューティサイクル = 0 %
TAUBnCDRm (スレーブ) = 0000_H
- デューティサイクル = 100 %
TAUBnCDRm (スレーブ) ≥ TAUBnCDRm (マスタ) + 1

24.14.1.3 ブロック図と基本タイミング図

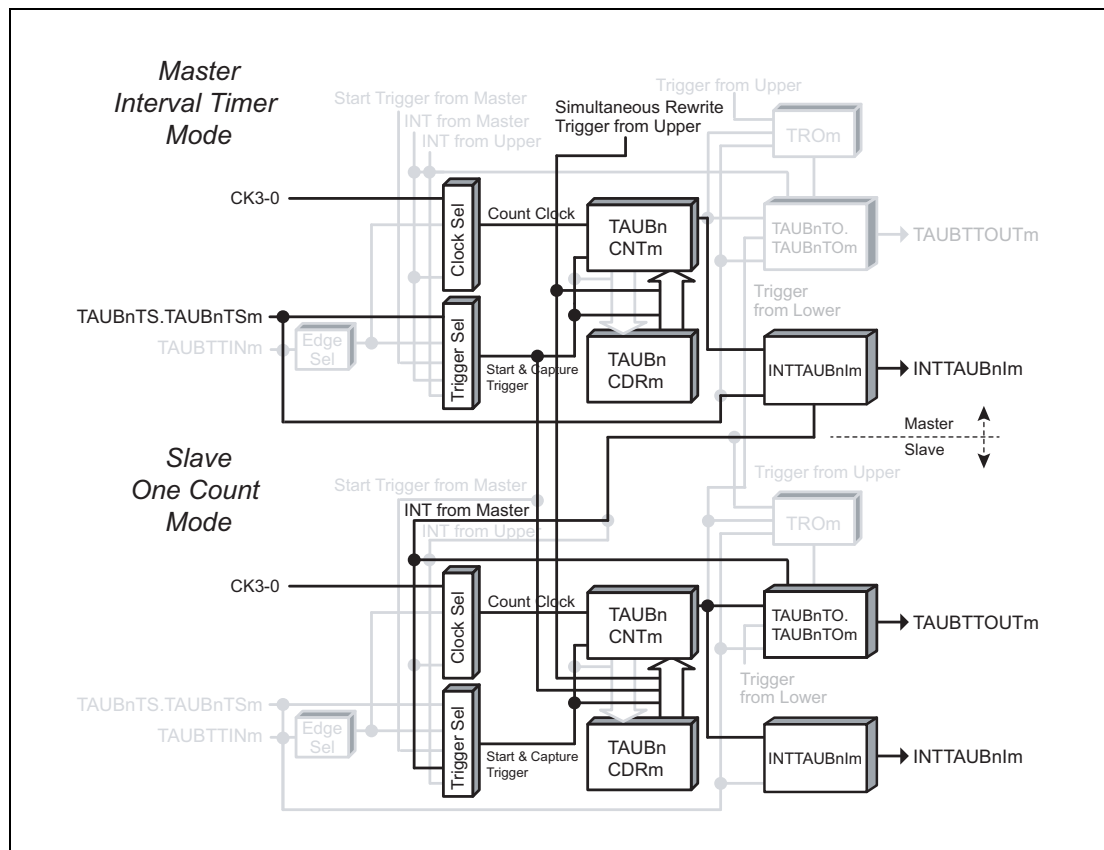


図 24.78 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャンネル：正論理 (TAUBnTOL.TAUBnTOLm = 0)

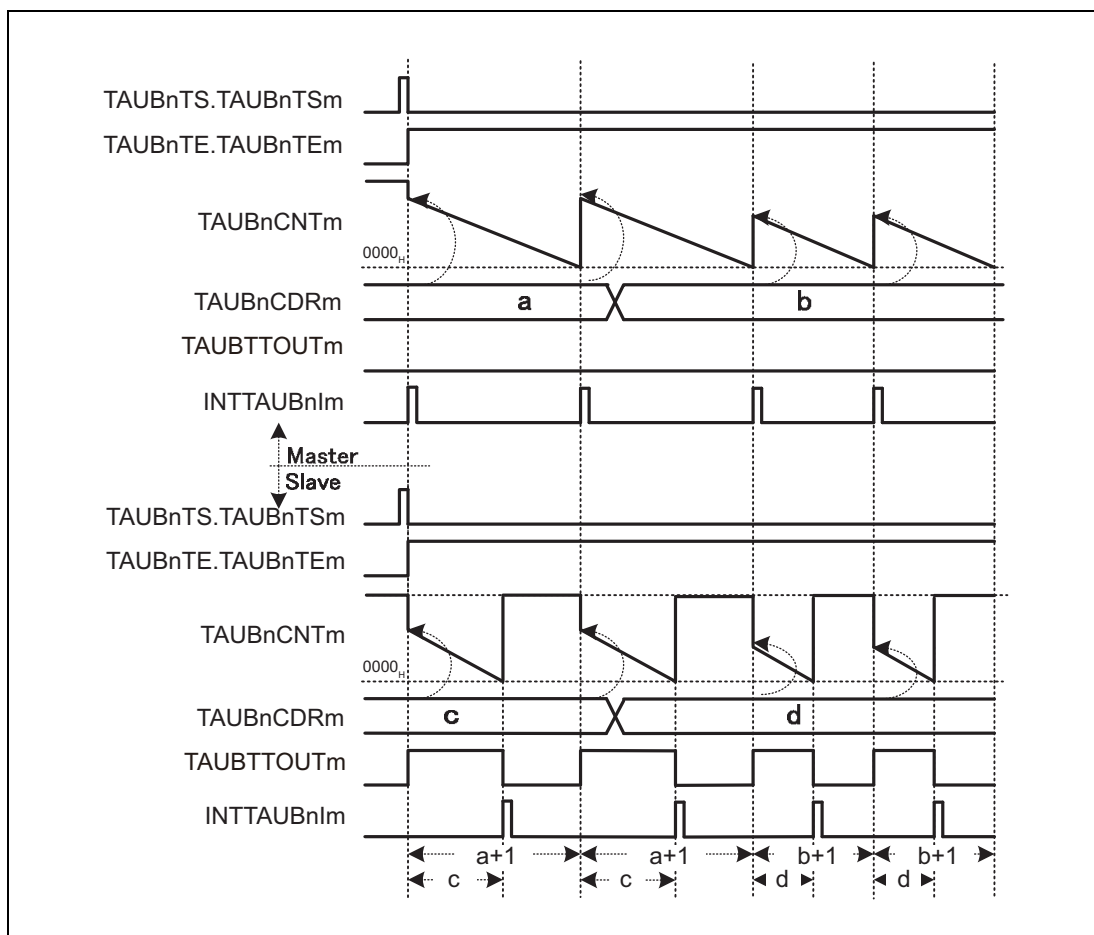


図 24.79 PWM 出力機能の基本タイミング図

備考

カウント開始から割り込み発生までの間隔は対応する TAUBnCDRm + 1 の値になります。

24.14.1.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBnCCS0	TAUBnMAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.99 PWM 出力機能のマスタチャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	1 _B を書いてください。
10～8	TAUBnSTS[2:0]	000 _B を書いてください。
7、6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0000 _B を書いてください。
0	TAUBnMD0	1 _B を書いてください。

(2) マスタチャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.100 PWM 出力機能のマスタチャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00を設定

(3) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しません。

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 24.101 PWM 出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタチャンネルで一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガを選択
TAUBnRDM.TAUBnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

備 考

TAUBnRDS.TAUBnRDSm ビット = 1 で使用する場合、マスタチャンネルの上位に「**24.13.1 一斉書き換えトリガ生成機能タイプ1**」で動作するチャンネルが必要になります。

また、下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ1 設定チャンネル : TAUBnRDCm = 1、
TAUBnRDSm = 1
また、本チャンネルの TAUBnCDRm 設定値は下記となります。
= ((一斉書き換え対象のマスタチャンネルの TAUBnCDRm 設定値 + 1) × 割り込み回数) - 1
- マスタチャンネル : TAUBnRDCm = 0、TAUBnRDSm = 1
- スレーブチャンネル : TAUBnRDCm = 0、TAUBnRDSm = 1

TAUBnCDRm (スレーブ) の設定値 > TAUBnCDRm (マスタ) の設定値 + 1 の場合は、Duty 値が 100% を超えることになるが、集約し 100% 出力とする。

24.14.1.5 スレーブチャネルのレジスタ設定

(1) スレーブチャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]	—	TAUBnMD[4:1]				TAUBn MD0		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.102 PWM 出力機能のスレーブチャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	0 _B を書いてください。
10～8	TAUBnSTS[2:0]	100 _B を書いてください。
7、6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0100 _B を書いてください。
0	TAUBnMD0	1 _B を書いてください。

(2) スレーブチャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 24.103 PWM 出力機能のスレーブチャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00を設定

(3) スレーブチャネルのチャネル出力モード

表 24.104 チャネル連動出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1 _B を書いてください。
TAUBnTOM.TAUBnTOMm	1 _B を書いてください。
TAUBnTOC.TAUBnTOCm	0 _B を書いてください。
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 負論理
TAUBnTDE.TAUBnTDEm	0 _B を書いてください。
TAUBnTDL.TAUBnTDLm	0 _B を書いてください。

(4) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 24.105 PWM 出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタチャネルで一斉書き換えトリガを選択 1: チャネルグループ外の上位チャネルで一斉書き換えトリガを選択
TAUBnRDM.TAUBnRDMm	0: マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成チャネルとして動作しない。

24.14.1.6 PWM 出力機能の操作手順

表 24.106 PWM 出力機能の操作手順

	操作	TAUBnの状態
動作再開	チャンネルの初期設定 マスタチャンネル：TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを「24.14.1.4 マスタチャンネルのレジスタ設定」に示すように設定します。 スレーブチャンネル：TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを「24.14.1.5 スレーブチャンネルのレジスタ設定」に示すように設定します。 全チャンネルの TAUBnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタチャンネルとスレーブチャンネルの TAUBnTS.TAUBnTSm を同時に 1 に設定します。TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm (マスタ/スレーブチャンネル) が 1 に設定され、マスタ/スレーブチャンネルのカウンタが動作を開始します。マスタチャンネルで INTTAUBnIm が発生し、TAUBTTOUTm (スレーブ) が設定されます。
	動作中 TAUBnCDRm は任意のタイミングで変更可能です。TAUBnTOL.TAUBnTOLm は変更可能です。TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更できません。	マスタチャンネルの TAUBnCNTm は TAUBnCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUBnIm (マスタ) が発生します。 TAUBnCDRm 値を TAUBnCNTm (マスタ) にロードし、カウント動作を継続します。 TAUBnCDRm 値を TAUBnCNTm (スレーブ) にロードし、ダウンカウントを行います。 TAUBTTOUTm (スレーブ) がアクティブレベルに設定されます。 TAUBnCNTm (スレーブ) が 0000 _H になった場合： <ul style="list-style-type: none"> TAUBnCNTm (スレーブ) のカウント動作が停止します。 INTTAUBnIm (スレーブ) が発生します。 TAUBTTOUTm (スレーブ) がインアクティブレベルに設定されます。
	動作停止 マスタチャンネルとスレーブチャンネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。TAUBnCNTm と TAUBTTOUTm は停止し、現在値を保持します。

24.14.1.7 特定の設定時のタイミング図

(1) デューティサイクル = 0 %

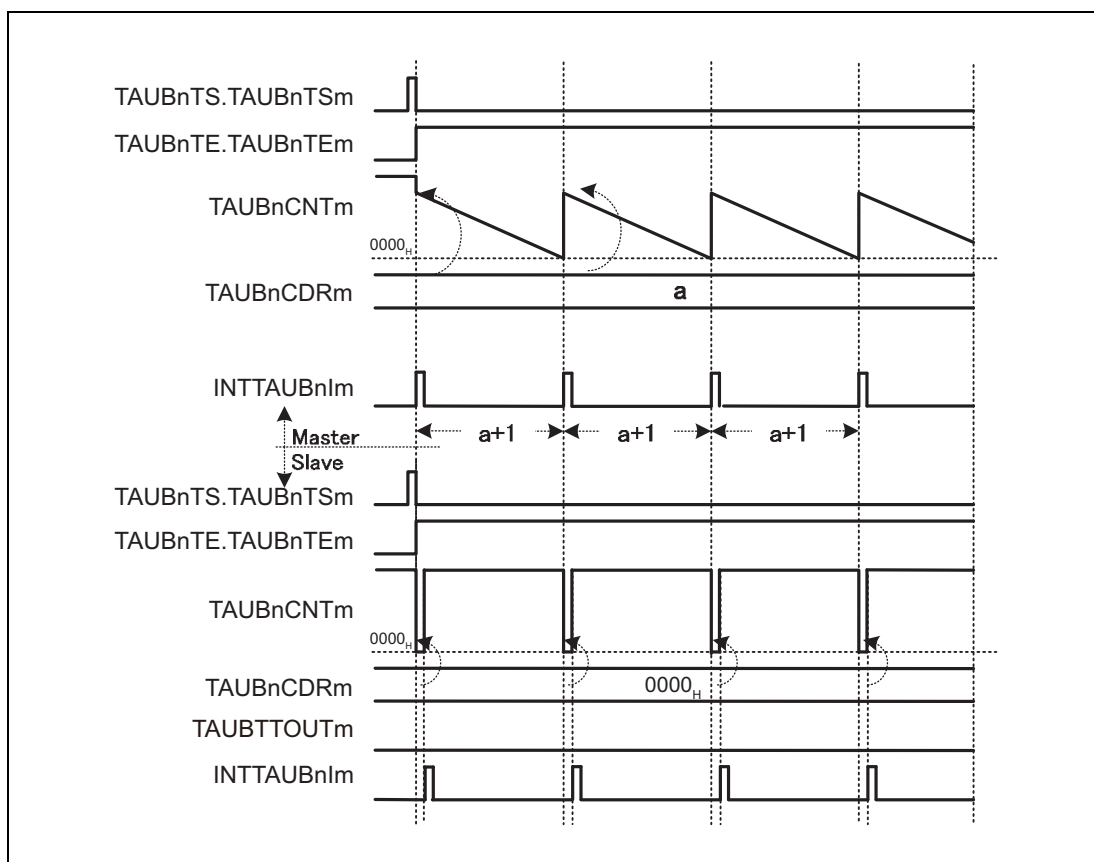


図 24.80 TAUBnCDRm (スレーブ) = 0000_H,
正論理 (TAUBnTOL.TAUBnTOLm (スレーブ) = 0)

- マスタチャンネルで割り込み (INTTAUBnIm) が発生するたびに、TAUBnCNTm (スレーブ) に 0000_H がロードされます。したがって、スレーブチャンネルの割り込み (INTTAUBnIm) が同時発生し、TAUBTTOUTm はアクティブでない状態のままとなります。
- TAUBnCDRm 値を TAUBnCNTm (スレーブ) にロードし、割り込みを発生させます。

(2) デューティサイクル = 100 %

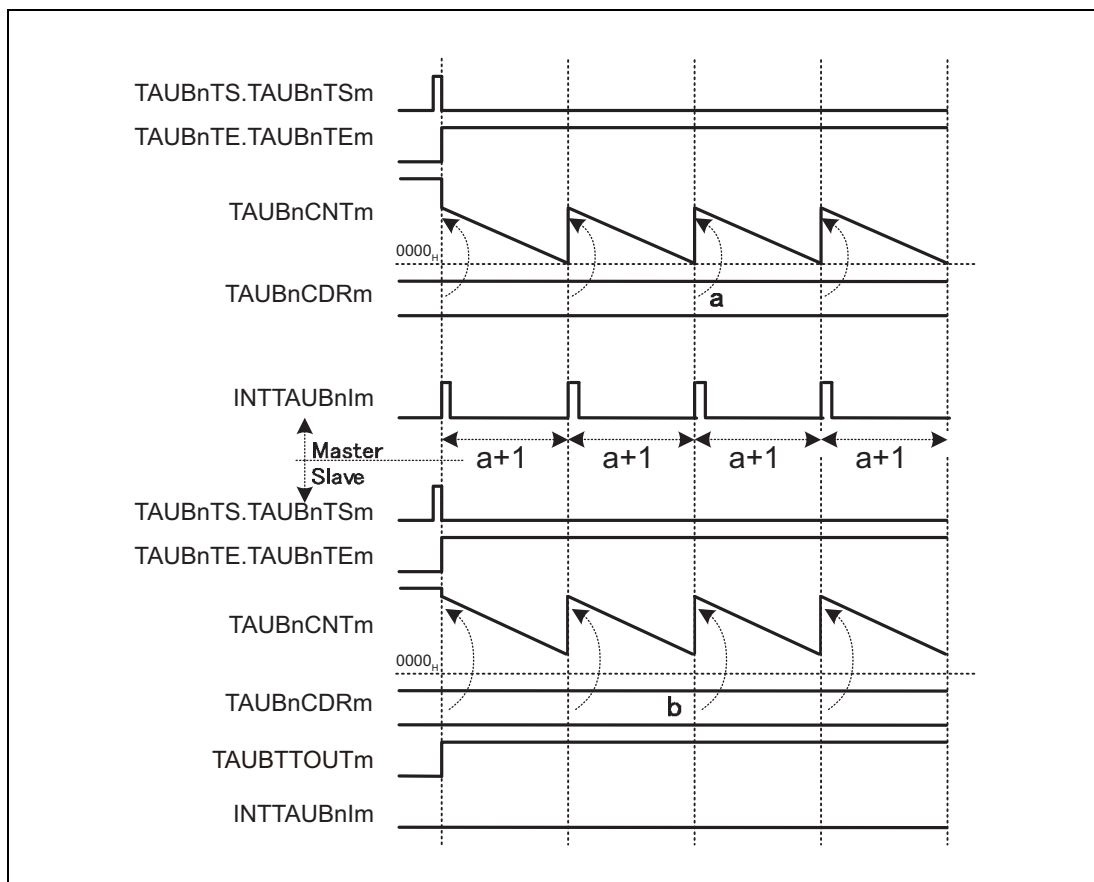


図 24.81 $TAUBnCDRm$ (スレーブ) $\geq TAUBnCDRm$ (マスタ) + 1
正論理 ($TAUBnTOL.TAUBnTOLm$ (スレーブ) = 0)

$TAUBnCDRm$ (スレーブ) 値が $TAUBnCDRm$ (マスタ) 値よりも大きい場合、スレーブチャンネルのカウンタは 0000_H にならないため、割り込みが発生しません。 $TAUBTTOUTm$ はアクティブ状態のままになります。

(3) 動作の停止と再開

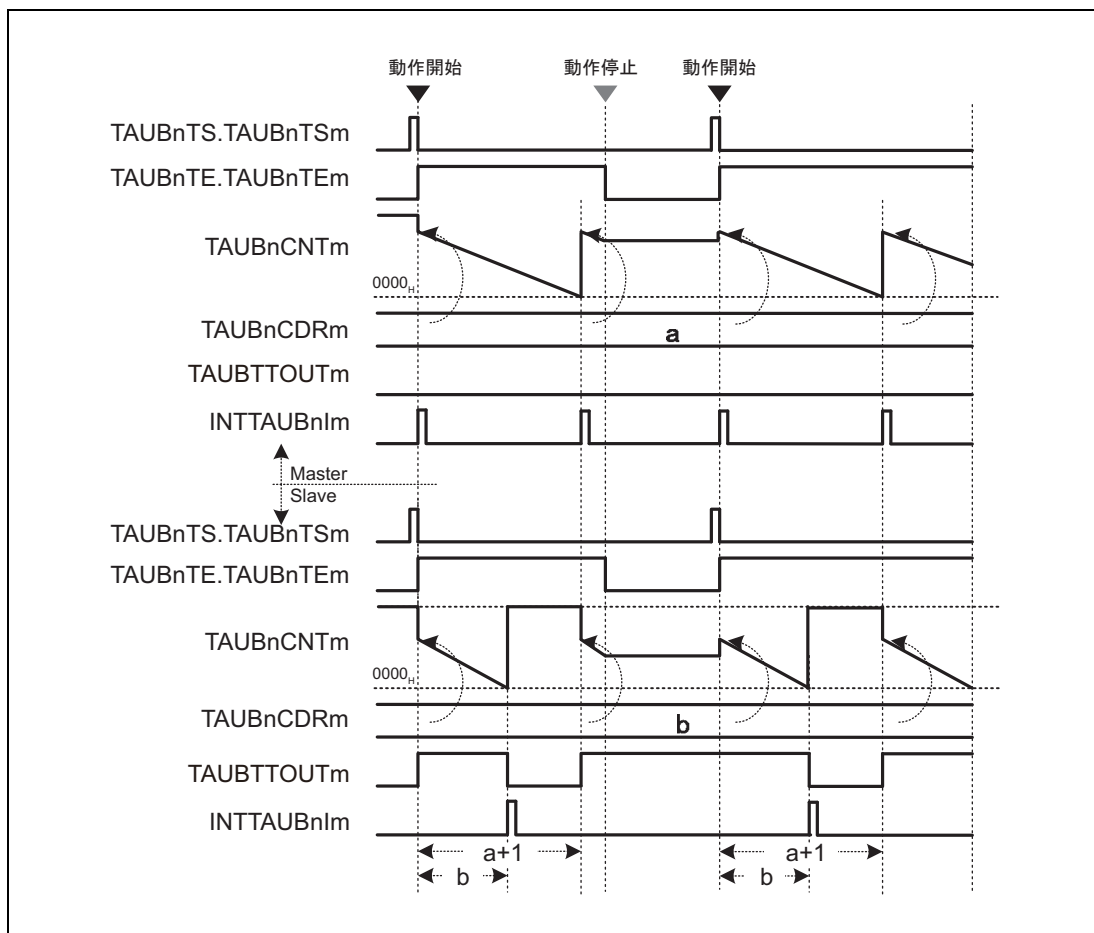


図 24.82 動作の停止と再開
正論理 (TAUBnTOL.TAUBnTOLm (スレーブ) = 0)

- マスタ/スレーブチャンネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- 全チャンネルの TAUBnCNTm と TAUBTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ/スレーブチャンネルの TAUBnTS.TAUBnTEm を 1 に設定すると、カウンタ動作を再開できます。マスタ/スレーブチャンネルの TAUBnCDRm 値を TAUBnCNTm にリロードし、この値からダウンカウントを開始します。

(4) 動作の停止と再開 (スレーブ出力 初期化)

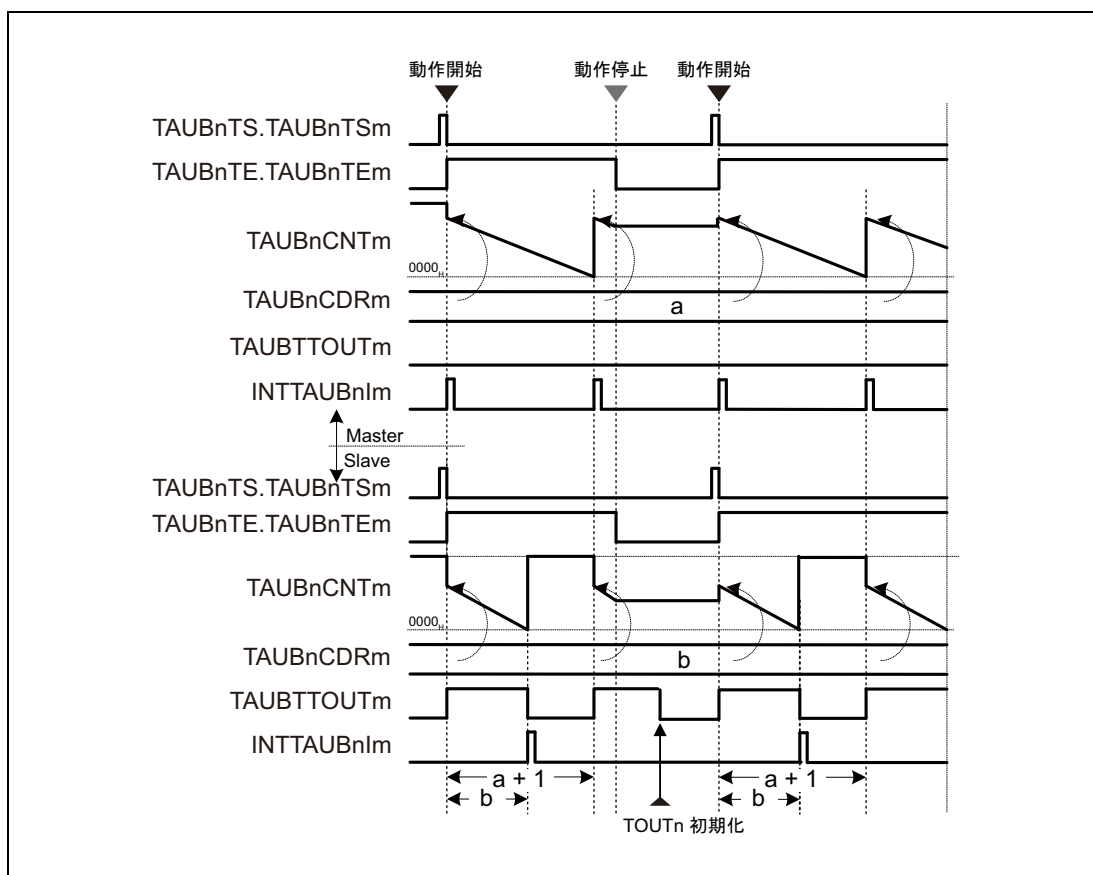


図 24.83 動作の停止と再開 (スレーブ出力 初期化)

TAUBnTE.TAUBnTEm = 0 時にスレーブチャンネルの TAUBnTOE.TAUBnTOEm を 0 に設定し、TAUBTTOUTm のインアクティブレベルが TAUBnTO.TAUBnTOM に書き込まれると、起動後のカウント動作開始時に INTTAUBnIm が発行されたときに TAUBTTOUTm (スレーブチャンネル) の出力レベルがアクティブになります。

24.14.2 ワンショットパルス出力機能

24.14.2.1 概要

概要

マスタチャンネルとスレーブチャンネルを使って外部入力信号パルスとの比較で定義されているパルス幅と遅延時間で信号パルスを出力する機能です。遅延時間はマスタチャンネルで設定します。パルス幅はスレーブチャンネルで設定します。

前提条件

- 2チャンネル
- マスタチャンネルの動作モードは、ワンカウントモードに設定する必要があります（「表 24.107 ワンショットパルス出力機能のマスタチャンネルの TAUBnCMORm レジスタの内容」参照）。
- スレーブチャンネルの動作モードは、パルスワンカウントモードに設定する必要があります（「表 24.110 ワンショットパルス出力機能のスレーブチャンネルの TAUBnCMORm レジスタの内容」参照）。
- この機能では、マスタチャンネルで TAUBTTOUTm は使用しません。
- スレーブチャンネルのチャンネル出力モードは、チャンネル単体出力モード2に設定する必要があります。
- TAUBTTINm（マスタ）は、TAUBnCNTm（マスタ）と TAUBnCNTm（スレーブ）がトリガを待っている間に検出されなければなりません。また、スレーブはマスタチャンネルからの割り込みでのみトリガされ、TAUBTTINm（スレーブ）ではトリガされません。

機能説明

マスタチャンネル、スレーブチャンネルのチャンネルトリガビット (TAUBnTS.TAUBnTSm) を1に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。

- マスタチャンネル：
次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCDRm の現在値が TAUBnCNTm にロードされます。カウンタは、この TAUBnCDRm 値からダウンカウントを開始します。TAUBnCMORm.TAUBnMD0 = 0 の場合、遅延時間内に検出されたトリガ (TAUBTTINm) は無視されます。
マスタチャンネルのカウンタが 0000_H になると、INTTAUBnIm が発生します。カウンタは FFFF_H に戻り、次の有効な TAUBTTINm 入力エッジを待ちます。

- スレーブチャネル：

マスタチャネルで INTTAUBnIm が発生すると、スレーブチャネルのカウンタ動作がトリガされます。TAUBnCDRm (スレーブ) の現在値が TAUBnCnTm (スレーブ) にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。割り込みが発生し、TAUBTTOUTm 信号がセットされます。

カウンタ値が 0001_H になると、INTTAUBnIm が発生し、TAUBTTOUTm 信号がリセットされます。カウンタは 0000_H で停止し、マスタチャネルの次の INTTAUBnIm を待ちます。

マスタ/スレーブチャネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ/スレーブチャネルの TAUBnCnTm と TAUBTTOUTm が停止しますが、それぞれの値は保持します。TAUBnTS.TAUBnTsm を 1 に設定すると、カウントを再開できます。

カウント中に TAUBnTS.TAUBnTsm を 1 に設定すると、いったん停止しなくてもマスタチャネルのカウントを再開できます (強制リスタート)。

備考

- 動作中に強制リスタートが行われた場合、出力信号の幅は TAUBnCDRm 値 (スレーブ) と一致しません。
- TAUBTTINm 入力信号は TAUBnCMORm.TAUBnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUBTTOUTm の出力クロックの周期には、動作クロック ± 1 周期分の誤差があります。

条件

- マスタチャネルの TAUBnCMORm.TAUBnMD0 が 0 に設定されている場合、カウント中に検出された TAUBTTINm 入力エッジは無視されます。
- この機能では一斉書き換えを行うことができます。「24.6 一斉書き換え」を参照してください。

24.14.2.2 算出式

トリガ入力からパルス出力までの遅延時間

$$= (\text{TAUBnCDRm (マスタ)} + 1) \times \text{カウントクロック周期}$$

パルス幅 = (TAUBnCDRm (スレーブ)) × カウントクロック周期

24.14.2.3 ブロック図と基本タイミング図

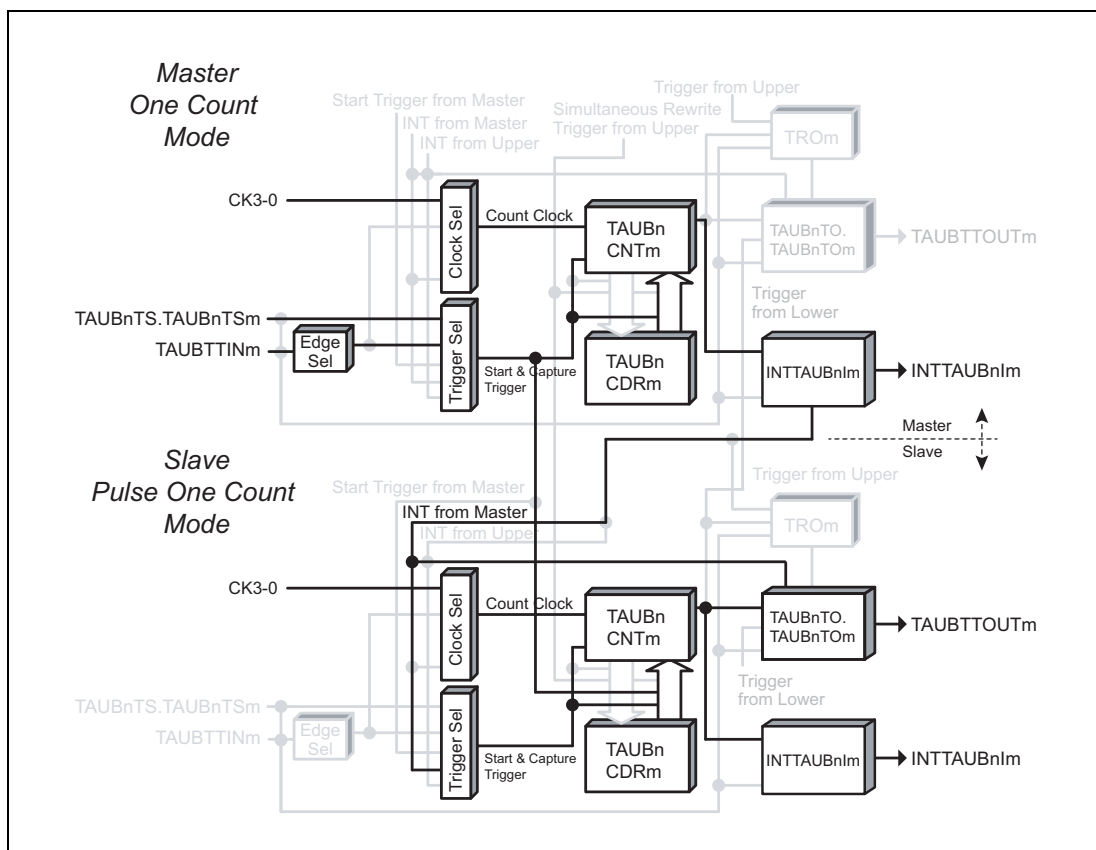


図 24.84 ワンショットパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- カウント中のスタートトリガ検出は禁止 (TAUBnCMORm.TAUBnMD0 = 0)
- 立ち下がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00_B)

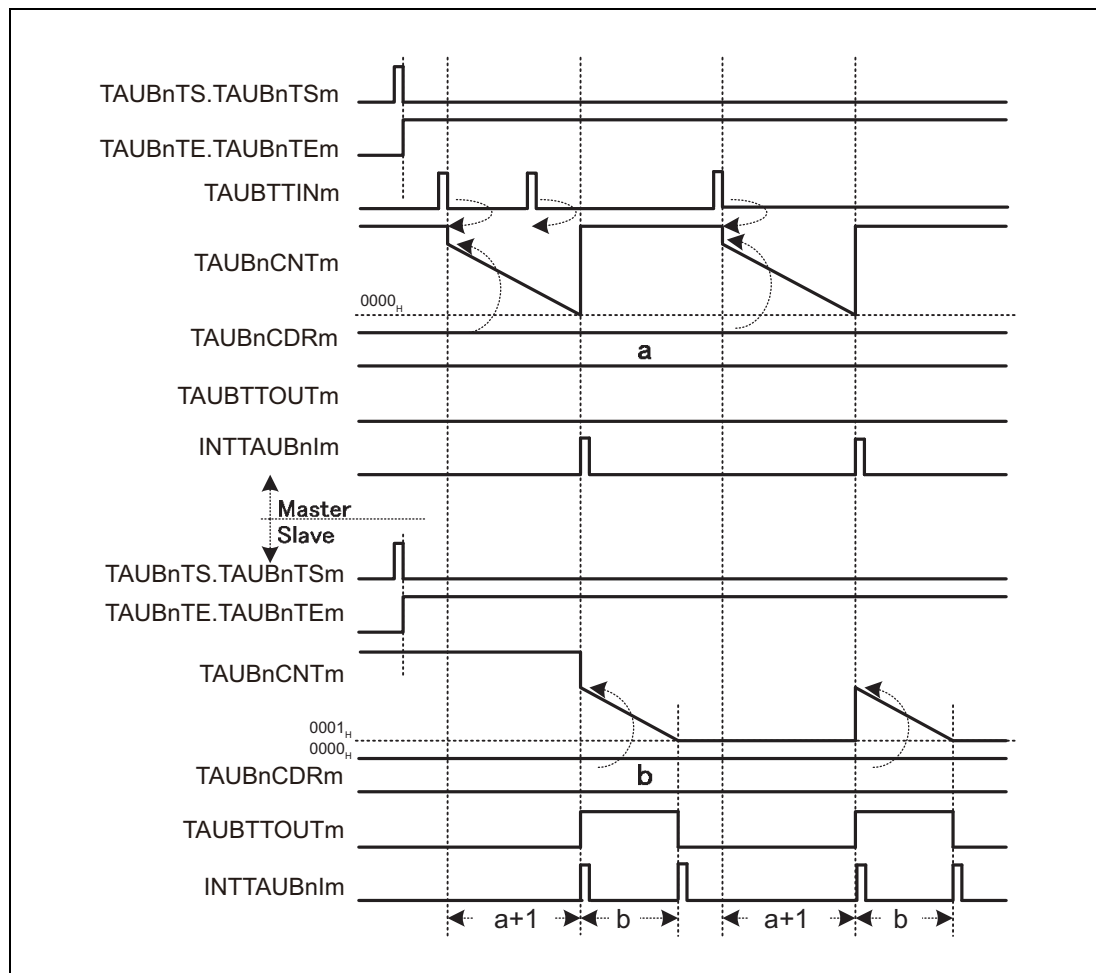


図 24.85 ワンショットパルス出力機能の基本タイミング図

24.14.2.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]	—	TAUBnMD[4:1]				TAUBn MD0		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.107 ワンショットパルス出力機能のマスタチャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	1 _B を書いてください。
10～8	TAUBnSTS[2:0]	001 _B を書いてください。
7、6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0100 _B を書いてください。
0	TAUBnMD0	0：カウント中のスタートトリガ検出禁止 1：カウント中のスタートトリガ検出許可

(2) マスタチャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 24.108 ワンショットパルス出力機能のマスタチャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) マスタチャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 24.109 ワンショットパルス出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタチャンネルが一斉書き換えの制御チャンネル
TAUBnRDM.TAUBnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

24.14.2.5 スレーブチャンネルのレジスタ設定

(1) スレーブチャンネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]	—	TAUBnMD[4:1]				TAUBn MD0		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.110 ワンショットパルス出力機能のスレーブチャンネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	0 _B を書いてください。
10～8	TAUBnSTS[2:0]	100 _B を書いてください。
7、6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	1010 _B を書いてください。
0	TAUBnMD0	0：カウント中のスタートトリガ検出禁止 1：カウント中のスタートトリガ検出許可 マスタチャンネルとスレーブチャンネルの MD0 ビット値は同一である必要があります。

(2) スレーブチャンネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 24.111 ワンショットパルス出力機能のスレーブチャンネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) スレーブチャンネルのチャンネル出力モード

表 24.112 チャンネル単体出力モード2のときの制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャンネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャンネル単体出力
TAUBnTOC.TAUBnTOCm	1: 動作モード2
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 負論理
TAUBnTDE.TAUBnTDEm	0: デッドタイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッドタイム動作禁止時 (TAUBnTDE.TAUBnTDEm = 0)、0を設定

(4) スレーブチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 24.113 ワンショットパルス出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタチャンネルが一斉書き換えの制御チャンネル
TAUBnRDM.TAUBnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

24.14.2.6 ワンショットパルス出力機能時の操作手順

表 24.114 ワンショットパルス出力機能時の操作手順

	操作	TAUBnの状態
動作再開	チャンネルの初期設定 マスタチャンネル：TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを「24.14.2.4 マスタチャンネルのレジスタ設定」に示すように設定します。 スレーブチャンネル：TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを「24.14.2.5 スレーブチャンネルのレジスタ設定」に示すように設定します。 全チャンネルの TAUBnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタチャンネルとスレーブチャンネルの TAUBnTS.TAUBnTSm を同時に 1 に設定します。TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm (マスタ/スレーブチャンネル) が 1 に設定され、マスタチャンネルは TAUBTTINm 入力を待ちます。
	動作中 TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	TAUBTTINm 入力の有効エッジを検出すると、マスタチャンネルの TAUBnCDRm の値を TAUBnCNTm にロードし、ダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> • INTTAUBnIm (マスタ) が発生します。 • TAUBnCNTm (マスタ) は FFFF_H に戻り、次の有効な TAUBTTINm 入力エッジを待ちます。 • 再び TAUBnCDRm の値を TAUBnCNTm (スレーブ) にロードし、ダウンカウント動作を開始します。 • INTTAUBnIm (スレーブ) が発生します。 • TAUBTTOUTm (スレーブ) がアクティブレベルになります。 TAUBnCNTm (スレーブ) が 0001 _H になった場合： <ul style="list-style-type: none"> • TAUBnCNTm (スレーブ) のカウント動作が停止します。 • INTTAUBnIm (スレーブ) が発生します。 • TAUBTTOUTm (スレーブ) がインアクティブレベルになります。
動作停止 マスタチャンネルとスレーブチャンネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。TAUBnCNTm と TAUBTTOUTm は停止し、現在値を保持します。	

24.14.2.7 特定のタイミング図

(1) TAUBnCDRm (マスタ) = 0000_H

下記のタイミング図での設定は次のようになっています。

- カウント中のスタートトリガ検出は禁止 (TAUBnCMORm.TAUBnMD0 = 0)
- 立ち下がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00_B)

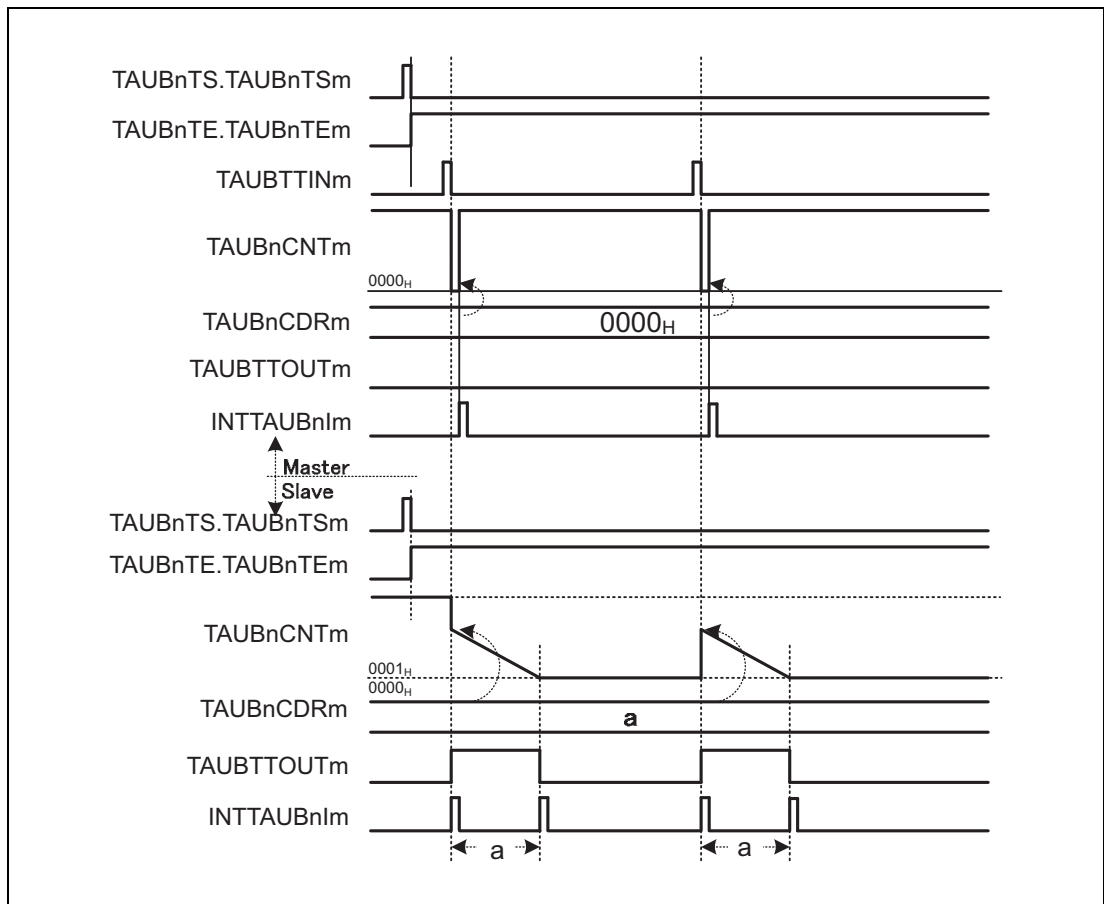


図 24.86 TAUBnCDRm (マスタ) = 0000_H

- TAUBTTINm 入力の有効エッジが検出されたとき、TAUBnCNTm (マスタ) に 0000_H が書き込まれます。カウンタに 0000_H が設定されることにより、1 カウント行くと FFFF_H に戻ります。
したがって、スレーブチャンネルのカウンタは TAUBTTINm (マスタ) から 1 カウントクロック遅れて、ダウンカウントを開始します。

(2) TAUBnCDRm (スレーブ) = 0000_H

下記のタイミング図での設定は次のようになっています。

- カウント中のスタートトリガ検出は禁止 (TAUBnCMORm.TAUBnMD0 = 0)
- 立ち下がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00_B)

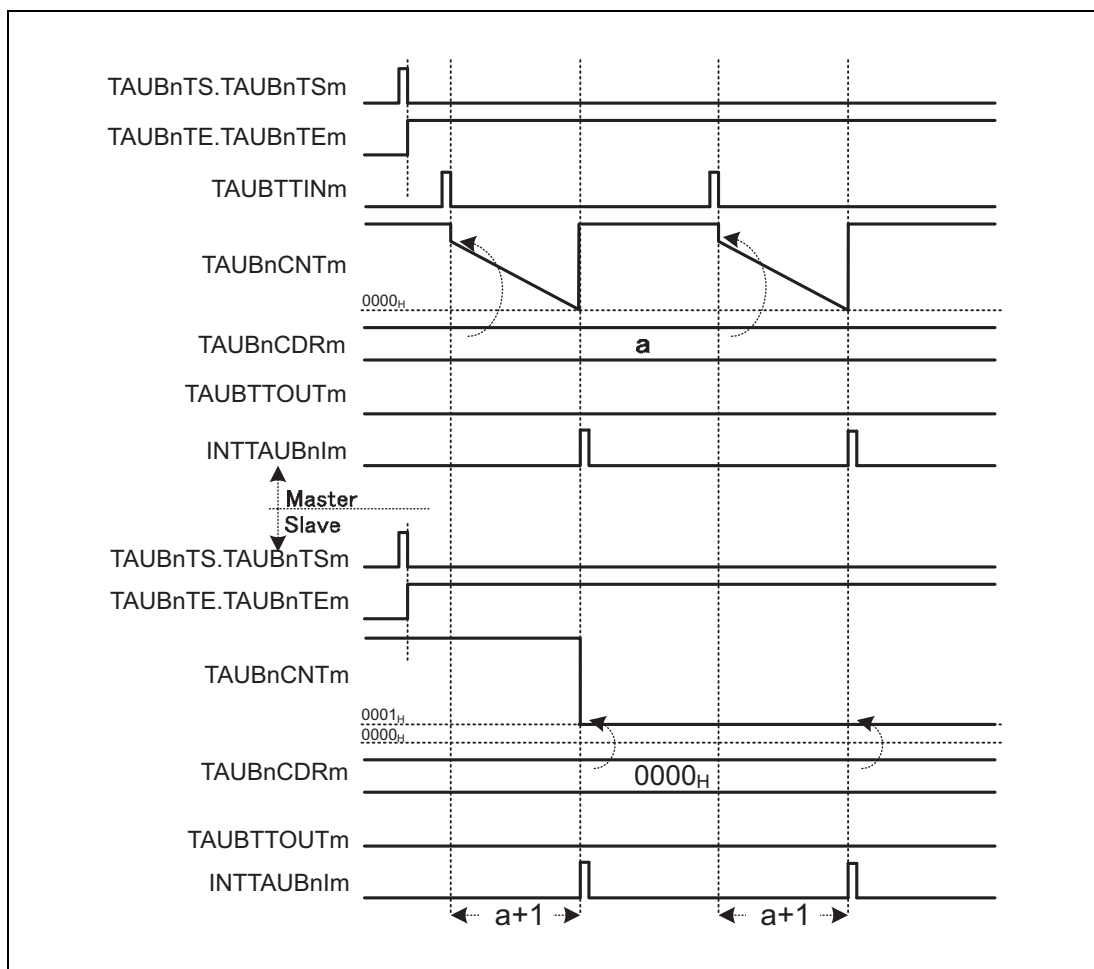


図 24.87 TAUBnCDRm (スレーブ) = 0000_H

- パルス幅が 0 のため、TAUBTTOUTm は非アクティブ状態のままです。

(3) TAUBnCMORm.TAUBnMD0 = 0

下記のタイミング図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止 (TAUBnCMORm.TAUBnMD0 = 0)
- 立ち下がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00_B)

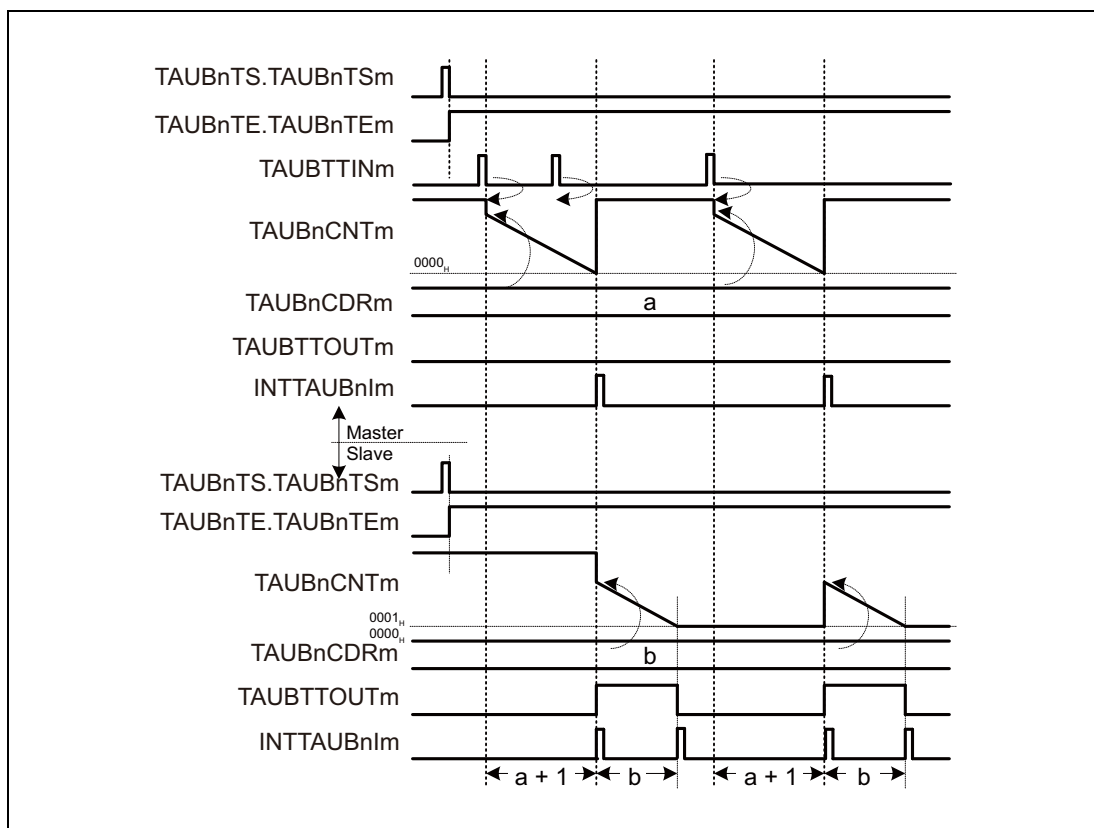


図 24.88 TAUBnCMORm.TAUBnMD0 = 0

- マスタチャネルのダウンカウント中に TAUBTTINm に有効エッジの入力があった場合でもカウンタはダウンカウントを続けます。

(4) TAUBnCMORm.TAUBnMD0 = 1

下記のタイミング図での設定は次のようになっています。

- カウント中のスタートトリガ検出許可 (TAUBnCMORm.TAUBnMD0 = 1)
- 立ち下がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00_B)

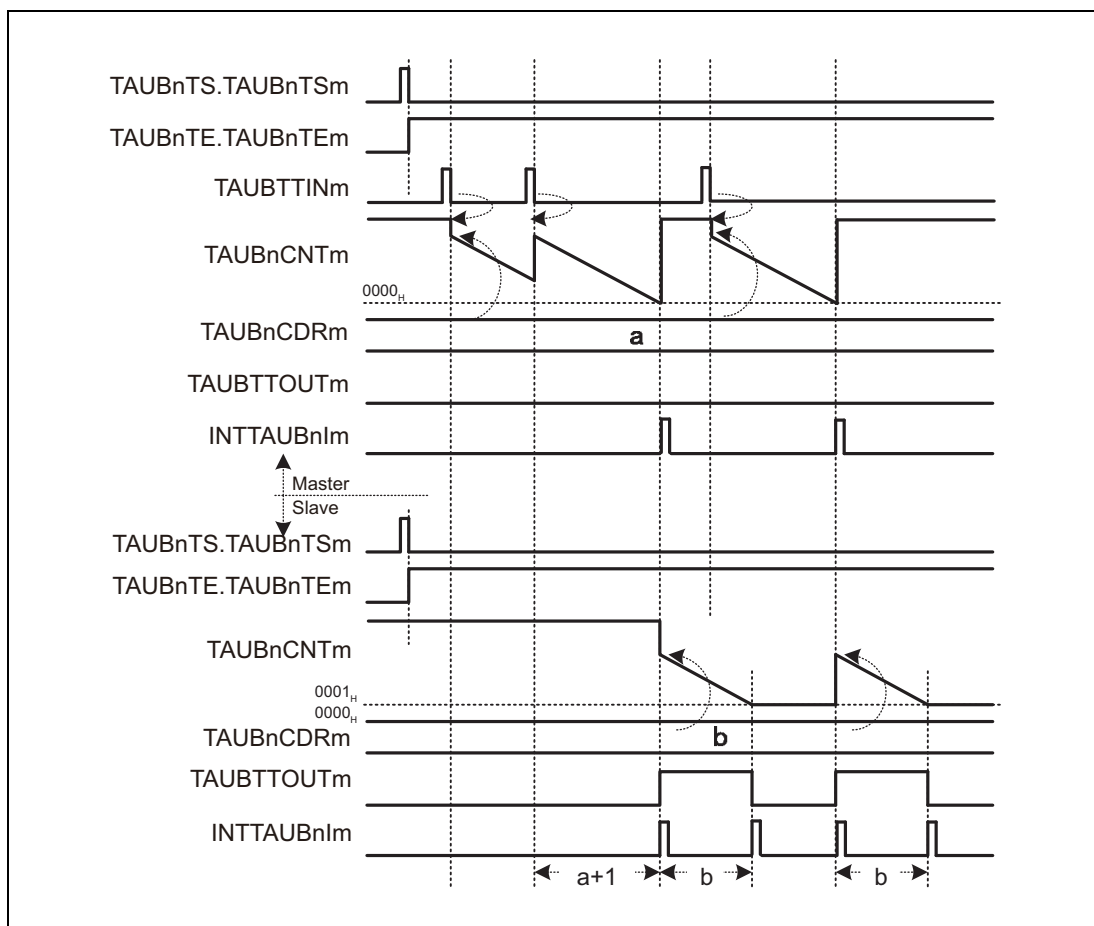


図 24.89 TAUBnCMORm.TAUBnMD0 = 1

- マスタチャネルのダウンカウント中に TAUBTTINm 入力の有効エッジが検出された場合、TAUBnCNTm は TAUBnCDRm の値をリロードします。カウンタは、ダウンカウントを再開します。

これは、TAUBTTINm 入力の有効エッジ検出時の TAUBnCNTm の値によって、INTTAUBnIm 発生間隔のディレイが引き延ばされたことを意味します。

(5) 動作の停止と再開

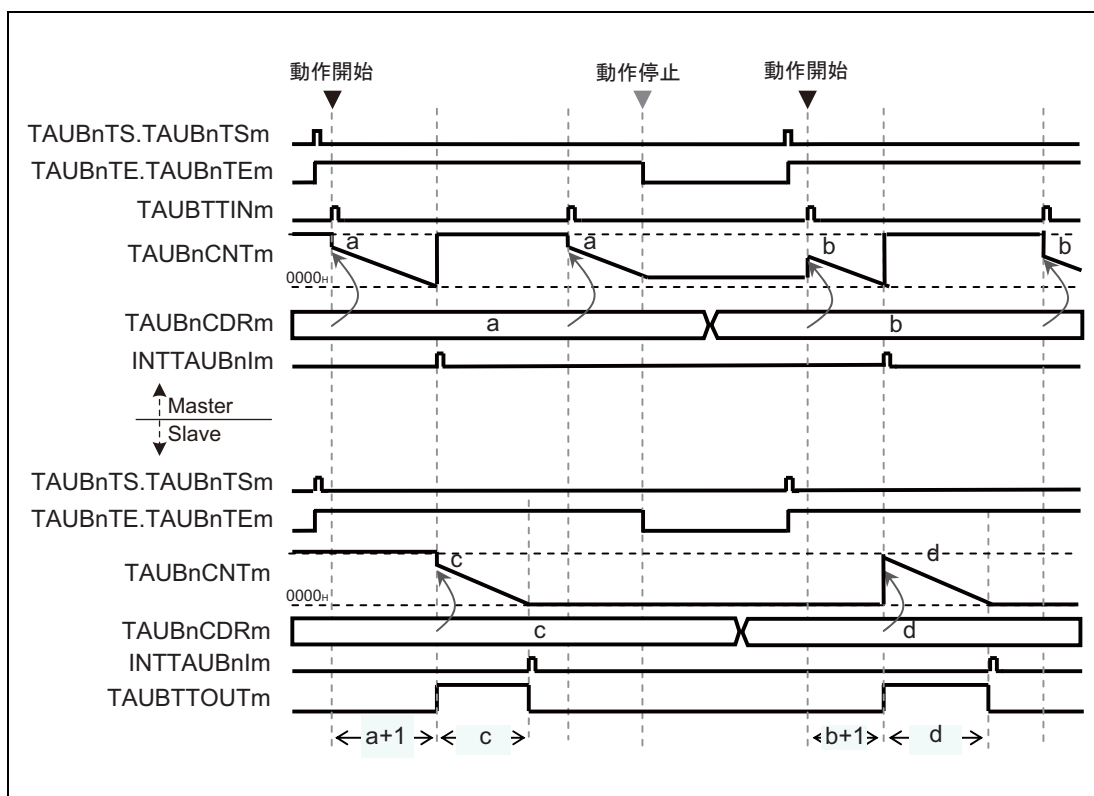


図 24.90 動作の停止と再開

マスタおよびスレーブチャンネルの TTm を 1 に設定すると、同時に TAUBnTE.TAUBnTEm が 0 にクリアされます。これにより、カウント動作が停止します。その場合、TAUBnCNTm と TAUBnTOUTm は値を保持した状態で動作を停止します。

マスタおよびスレーブチャンネルの TAUBnTS.TAUBnTSM を 1 に設定すると、同時に TAUBnTE.TAUBnTEm が 1 になります。

TAUBnTE.TAUBnTEm が 1 のときスタートトリガが検出されると、TAUBnCDRm の値が TAUBnCNTm に転送され、動作を再開します。

(6) スレーブチャンネルカウント中にマスタチャンネルがリスタート

下記のタイミング図での設定は次のようになっています。

- カウント中のスタートトリガ検出は禁止 (TAUBnCMORm.TAUBnMD0 = 0)
- 立ち下がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00_B)

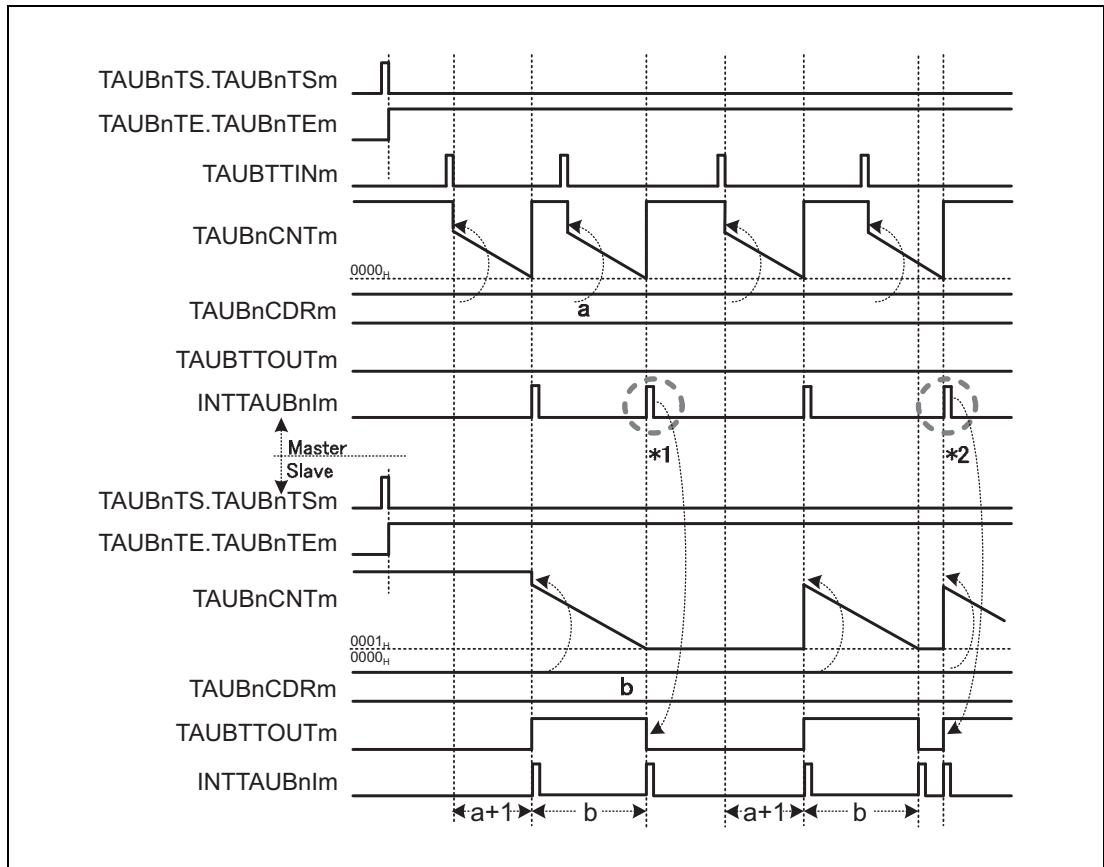


図 24.91 TAUBTTINm 入力間隔 ≤ デレイ時間 + パルス幅 + 1

- スレーブチャンネルのカウンタが 0001_H になる前かちょうど 0001_H になったときにマスタチャンネルが割り込みを発生した場合 (*1)、割り込み (マスタ) は無視されます。
- スレーブチャンネルのカウンタが次のトリガを待つ間にマスタチャンネルの割り込みが発生した場合は、TAUBnCDRm (スレーブ) の値がリロードされます。割り込みが発生し、TAUBTTOUTm がトグルされます。TAUBnCNTm (スレーブ) がカウント中に TAUBnCNTm (マスタ) がダウンカウントを開始した場合は (*2)、TAUBTTOUTm は期待される遅延時間では出力されません。
- 正しいワンショットパルスを発生するには、マスタチャンネルとスレーブチャンネルがカウント中でなくスタートトリガ待ち状態のときにマスタチャンネルのスタートトリガが検出される必要があります。

24.14.3 ディレイパルス出力機能

24.14.3.1 概要

概要

この機能では、2種類の信号が出力されます。基準信号のパルス幅とパルス周期は、マスタチャンネルとスレーブチャンネル1を使用して定義されています。スレーブチャンネル2とスレーブチャンネル3は設定されている遅延時間後に基準信号を出力します。ディレイ信号は基準信号と同じですが、スレーブチャンネル2で設定されている時間分、遅延して出力されます。

信号の値は次のように設定されます。

- パルス周期はマスタチャンネルで設定します。
- 基準信号のデューティサイクルはスレーブチャンネル1を、ディレイ信号のデューティサイクルはスレーブチャンネル3を使用して設定されます。
- 遅延量はスレーブチャンネル2で設定します。

前提条件

- 4チャンネル
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 24.115 ディレイパルス出力機能のマスタチャンネルの TAUBnCMORm レジスタの内容」参照）。
- スレーブチャンネル1、2の動作モードは、ワンカウントモードに設定する必要があります（「表 24.118 ディレイパルス出力機能のスレーブチャンネル1の TAUBnCMORm レジスタの内容」、「表 24.122 ディレイパルス出力機能のスレーブチャンネル2の TAUBnCMORm レジスタの内容」参照）。
- スレーブチャンネル3の動作モードは、パルスワンカウントモードに設定する必要があります（「表 24.125 ディレイパルス出力機能のスレーブチャンネル3の TAUBnCMORm レジスタの内容」参照）。
- マスタチャンネルおよびスレーブチャンネル2では TAUBTTOUTm を使用しません。
- スレーブチャンネル1のチャンネル出力モードは、チャンネル連動出力モード1に設定する必要があります。
- スレーブチャンネル3のチャンネル出力モードは、チャンネル単体出力モード2に設定する必要があります。

機能説明

チャンネルトリガビット (TAUBnTS.TAUBnTSM) を1に設定すると、チャンネルグループのカウント動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。

- マスタチャンネル：

TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。マスタチャンネルで INTTAUBnIm が発生します。

マスタチャンネルのカウント値が 0000_H になりパルス周期時間が経過すると、INTTAUBnIm が発生します。再び TAUBnCDRm の値をカウンタにロードし、ダウンカウントを行います。

- スレーブチャンネル1、スレーブチャンネル2:

スレーブチャンネル1、2はマスタチャンネルからの割り込みを検出すると、TAUBnCDRmの現在値からダウンカウントを開始します。TAUBTTOUTm信号(スレーブ1)が設定されます。

- スレーブチャンネル1:

スレーブチャンネル1のカウント値が0000_Hになると(デューティ時間が経過すると)、INTTAUBnImが発生し、TAUBTTOUTm信号がリセットされます。カウンタはFFFF_Hに戻り、マスタチャンネルの次のINTTAUBnImを待ちます。

- スレーブチャンネル2:

スレーブチャンネル2のカウント値が0000_Hになり遅延時間が経過すると、INTTAUBnImが発生します。カウンタはFFFF_Hに戻り、マスタチャンネルの次のINTTAUBnImを待ちます。

INTTAUBnIm(スレーブチャンネル2)が発生することにより、スレーブチャンネル3のカウント動作がトリガされます。

- スレーブチャンネル3:

スレーブチャンネル3はスレーブチャンネル2からの割り込みを検出すると、TAUBnCDRmの現在値からダウンカウントを開始します。INTTAUBnImが発生し、TAUBTTOUTm信号(スレーブチャンネル3)がセットされます。

スレーブチャンネル3のカウント値が0001_Hになると、INTTAUBnImが発生し、TAUBTTOUTm信号がリセットされます。

スレーブチャンネル3からは遅延されたPWMパルスが出力されます。

マスタ/スレーブチャンネルのTAUBnTT.TAUBnTTmを1に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEmは0に設定されます。マスタ/スレーブチャンネルのTAUBnCnTmとTAUBTTOUTmが停止しますが、それぞれの値は保持します。TAUBnTS.TAUBnTsmを1に設定すると、カウントを再開できます。

条件

この機能で一斉書き換えを行うことができます。「24.6 一斉書き換え」を参照してください。

24.14.3.2 算出式

パルス周期 = (TAUBnCDRm (マスタ) + 1) × カウントクロック周期

デューティ幅1 = (TAUBnCDRm (スレーブ1)) × カウントクロック周期

遅延幅 = (TAUBnCDRm (スレーブ2) + 1) × カウントクロック周期

デューティ幅2 = (TAUBnCDRm (スレーブ3)) × カウントクロック周期

ただし、遅延幅の設定値は下記範囲とすること。

$0000_{\text{H}} \leq \text{TAUBnCDRm}(\text{スレーブ2}) < \text{TAUBnCDRm}(\text{マスタ})$

備 考

1. TAUBTTOUTm (スレーブ3) の出力波形は、TAUBTTOUTm (スレーブ1) の出力波形をスレーブ2 で生成したディレイ分遅延させた波形となります。パルス周期以上に遅延させることはできません。
 2. スレーブ3 のカウント中に、スレーブ2 の INTTAUBnIm が発生した場合、スレーブ3 は動作を再開します。したがって、TAUBTTOUTm (スレーブ3) の出力波形は、アクティブレベルを保持します。(この場合、TAUBTTOUTm (Slave-CH-3) は、TAUBTTOUTm (Slave-CH-1) の基本パルスにディレイさせた波形を出力できません。)
-

24.14.3.3 ブロック図と基本タイミング図

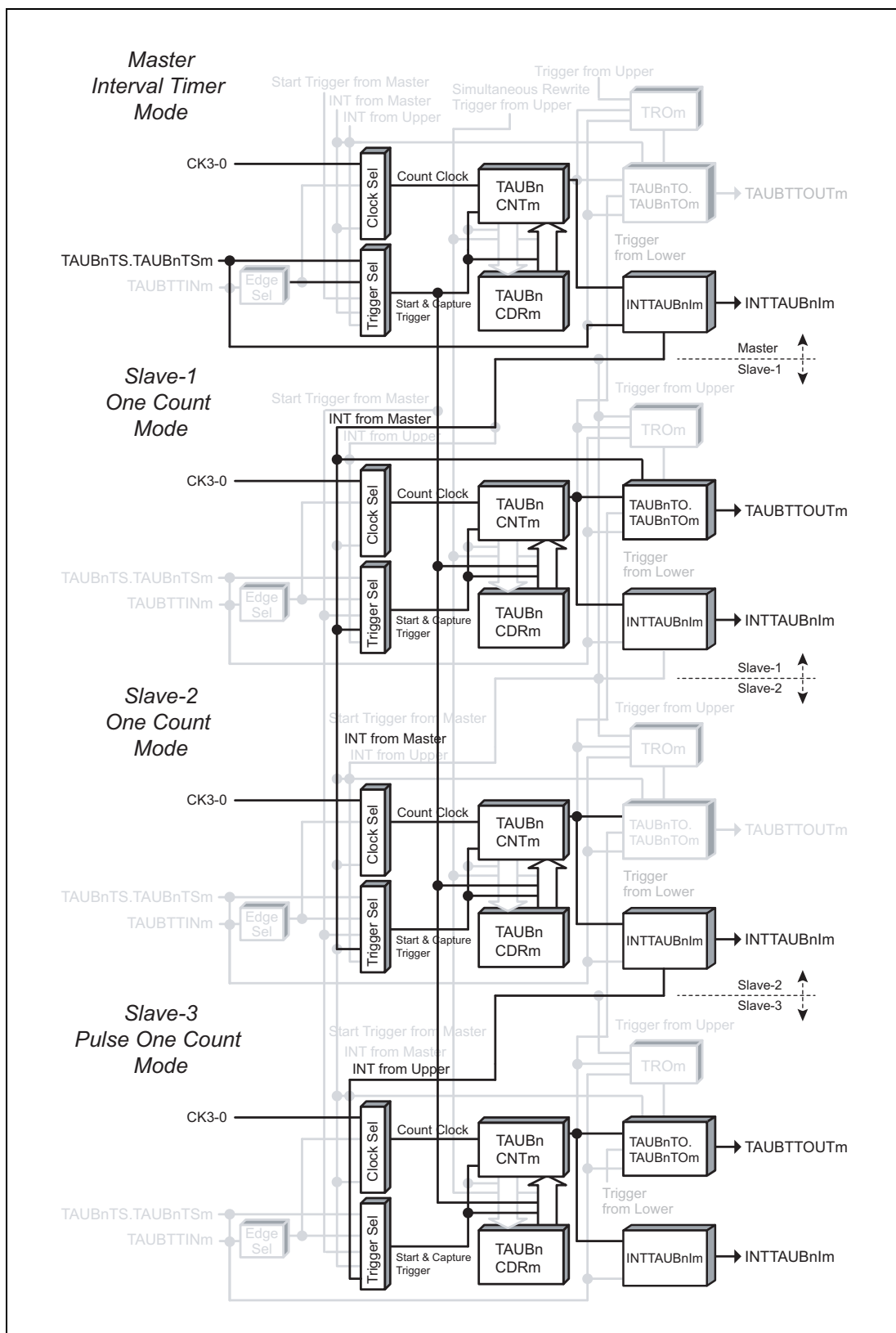


図 24.92 デレイパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャンネル1：正論理 (TAUBnTOL.TAUBnTOLm = 0)
- スレーブチャンネル3：正論理 (TAUBnTOL.TAUBnTOLm = 0)

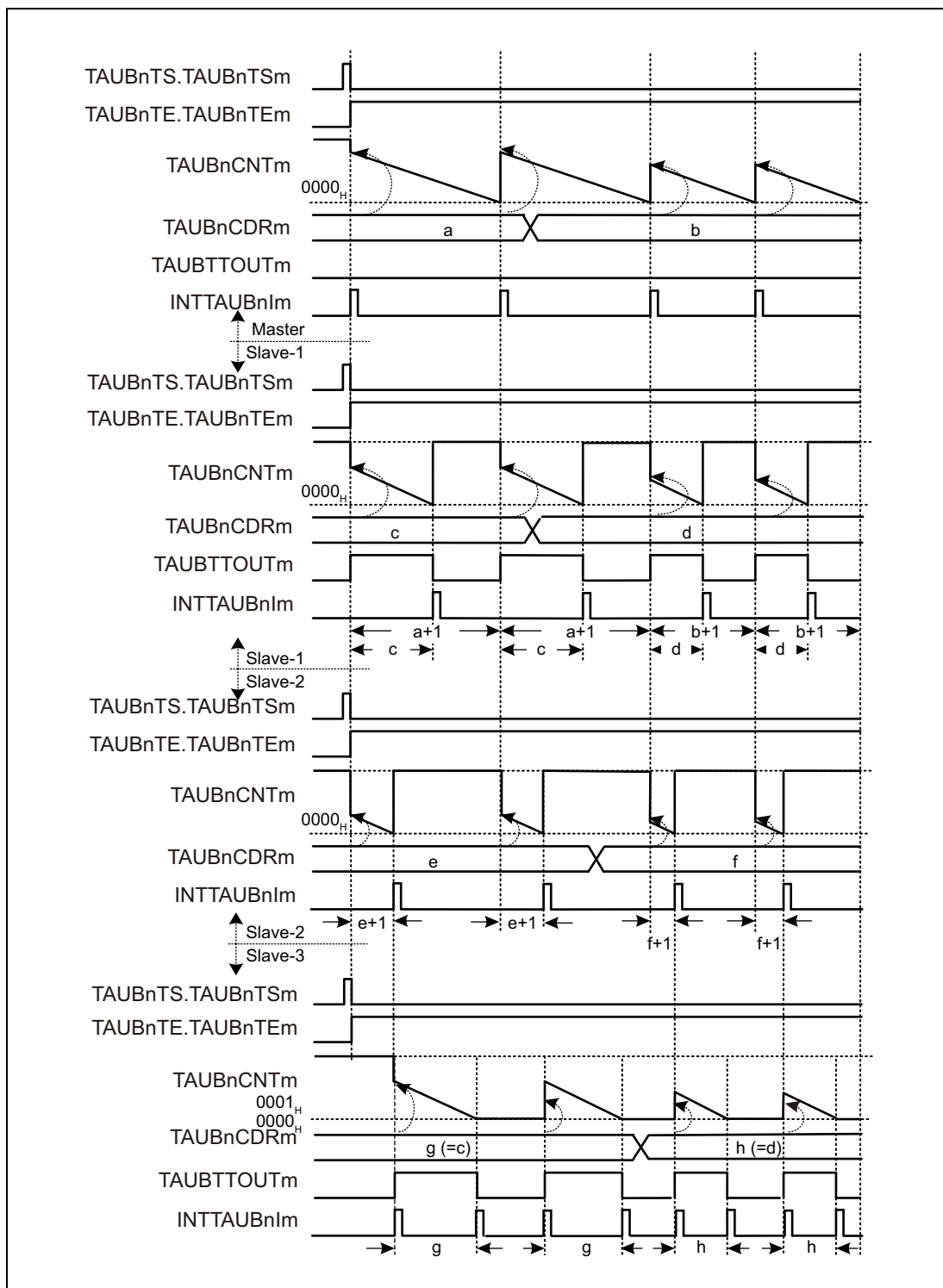


図 24.93 デレイパルス出力機能の基本タイミング図

24.14.3.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBnCCS0	TAUBnMAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.115 デイレイパルス出力機能のマスタチャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	1 _B を書いてください。
10～8	TAUBnSTS[2:0]	000 _B を書いてください。
7、6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0000 _B を書いてください。
0	TAUBnMD0	1 _B を書いてください。

(2) マスタチャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.116 デイレイパルス出力機能のマスタチャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00を設定

(3) マスタチャンネルのチャンネル出力モード

この機能では、マスタチャンネルはチャンネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 24.117 ディレイパルス出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタチャンネルが一斉書き換えの制御チャンネル
TAUBnRDM.TAUBnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

24.14.3.5 スレーブチャンネル1のレジスタ設定

(1) スレーブチャンネル1のTAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]	—	TAUBnMD[4:1]				TAUBn MD0		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.118 デイレイパルス出力機能のスレーブチャンネル1のTAUBnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルのTAUBnCKS[1:0]ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	0 _B を書いてください。
10～8	TAUBnSTS[2:0]	100 _B を書いてください。
7、6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0100 _B を書いてください。
0	TAUBnMD0	1 _B を書いてください。

(2) スレーブチャンネル1のTAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 24.119 デイレイパルス出力機能のスレーブチャンネル1のTAUBnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00を設定

(3) スレーブチャンネル1のチャンネル出力モード

表 24.120 チャンネル連動出力モード1時のスレーブチャンネル1の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1 _B を書いてください。
TAUBnTOM.TAUBnTOMm	1 _B を書いてください。
TAUBnTOC.TAUBnTOCm	0 _B を書いてください。
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 負論理
TAUBnTDE.TAUBnTDEm	0 _B を書いてください。
TAUBnTDL.TAUBnTDLm	0 _B を書いてください。

(4) スレーブチャンネル1の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 24.121 ディレイパルス出力機能時のスレーブチャンネル1の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタチャンネルが一斉書き換えの制御チャンネル
TAUBnRDM.TAUBnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

24.14.3.6 スレーブチャンネル2のレジスタ設定

(1) スレーブチャンネル2のTAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]	—	TAUBnMD[4:1]				TAUBn MD0		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.122 デイレイパルス出力機能のスレーブチャンネル2のTAUBnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルのTAUBnCKS[1:0]ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	0 _B を書いてください。
10～8	TAUBnSTS[2:0]	100 _B を書いてください。
7、6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0100 _B を書いてください。
0	TAUBnMD0	1 _B を書いてください。

(2) スレーブチャンネル2のTAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 24.123 デイレイパルス出力機能のスレーブチャンネル2のTAUBnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00を設定

(3) スレーブチャンネル2のチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) スレーブチャンネル2の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 24.124 ディレイパルス出力機能時のスレーブチャンネル2の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタチャンネルが一斉書き換えの制御チャンネル
TAUBnRDM.TAUBnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

24.14.3.7 スレーブチャンネル3のレジスタ設定

(1) スレーブチャンネル3のTAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]	—	TAUBnMD[4:1]				TAUBn MD0		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.125 デイレイパルス出力機能のスレーブチャンネル3のTAUBnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルのTAUBnCKS[1:0]ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	0 _B を書いてください。
10～8	TAUBnSTS[2:0]	101 _B を書いてください。
7、6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	1010 _B を書いてください。
0	TAUBnMD0	1 _B を書いてください。

(2) スレーブチャンネル3のTAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 24.126 デイレイパルス出力機能のスレーブチャンネル3のTAUBnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00を設定

(3) スレーブチャンネル3のチャンネル出力モード

表 24.127 チャンネル単体出力モード2時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1 _B を書いてください。
TAUBnTOM.TAUBnTOMm	0 _B を書いてください。
TAUBnTOC.TAUBnTOCm	1 _B を書いてください。
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 負論理
TAUBnTDE.TAUBnTDEm	0 _B を書いてください。
TAUBnTDL.TAUBnTDLm	0 _B を書いてください。

(4) スレーブチャンネル3の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 24.128 ディレイパルス出力機能時のスレーブチャンネル3の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタチャンネルが一斉書き換えの制御チャンネル
TAUBnRDM.TAUBnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

24.14.3.8 ディレイパルス出力機能時の操作手順

表 24.129 ディレイパルス出力機能時の操作手順 (1/2)

	操作	TAUBn の状態
チャンネルの初期設定	<p>マスタチャンネル : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを「24.14.3.4 マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 1 : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを「24.14.3.5 スレーブチャンネル 1 のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 2 : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを「24.14.3.6 スレーブチャンネル 2 のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 3 : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを「24.14.3.7 スレーブチャンネル 3 のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUBnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。

表 24.129 デイレイパルス出力機能時の操作手順 (2/2)

	操作	TAUBnの状態
動作再開 ↓ 動作中 ↓ 動作停止	動作開始 マスタチャンネルとスレーブチャンネルの TAUBnTS.TAUBnTsm を同時に 1 に設定します。TAUBnTS.TAUBnTsm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm (マスタ/スレーブチャンネル) が 1 に設定され、マスタチャンネルとスレーブチャンネル 1/2 のカウンタが動作を開始します。 マスタチャンネルで INTTAUBnIm が発生し、TAUBTTOUTm (スレーブチャンネル 1) がセットされます。
	動作中 TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	マスタチャンネルとスレーブチャンネル 1/2 の TAUBnCDRm の値を TAUBnCNTm にロードし、ダウンカウントを行います。 マスタチャンネルのカウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUBnIm (マスタ) が発生します。 再び TAUBnCDRm の値を TAUBnCNTm (マスタ) にロードし、カウント動作を継続します。 再び TAUBnCDRm の値を TAUBnCNTm (スレーブ 1/2) にロードし、ダウンカウントを開始します。 TAUBTTOUTm (スレーブ 1) がセットされません。 TAUBnCNTm (スレーブ 1) が 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUBnIm (スレーブ 1) が発生します。 TAUBTTOUTm (スレーブ 1) がリセットされます。 TAUBnCNTm (スレーブ 2) が 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUBnIm (スレーブ 2) が発生します。 INTTAUBnIm (スレーブ 3) が発生します。 TAUBTTOUTm (スレーブ 3) がセットされません。 再び TAUBnCDRm の値を TAUBnCNTm (スレーブ 3) にロードし、ダウンカウント動作を開始します。 TAUBnCNTm (スレーブ 3) が 0001 _H になった場合： <ul style="list-style-type: none"> INTTAUBnIm (スレーブ 3) が発生します。 TAUBTTOUTm (スレーブ 3) がリセットされます。
	動作停止 マスタチャンネルとスレーブチャンネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBTTOUTm は停止し、現在値を保持します。

24.14.3.9 特定のタイミング図

(1) デューティサイクル (スレーブ 3) = 100 %

下記のタイミング図での設定は次のようになっています。

- TAUBnCDRm (マスタ) = 000A_H
- TAUBnCDRm (スレーブ 1) = 000B_H
- TAUBnCDRm (スレーブ 2) = 0000_H
- TAUBnCDRm (スレーブ 3) = 000B_H

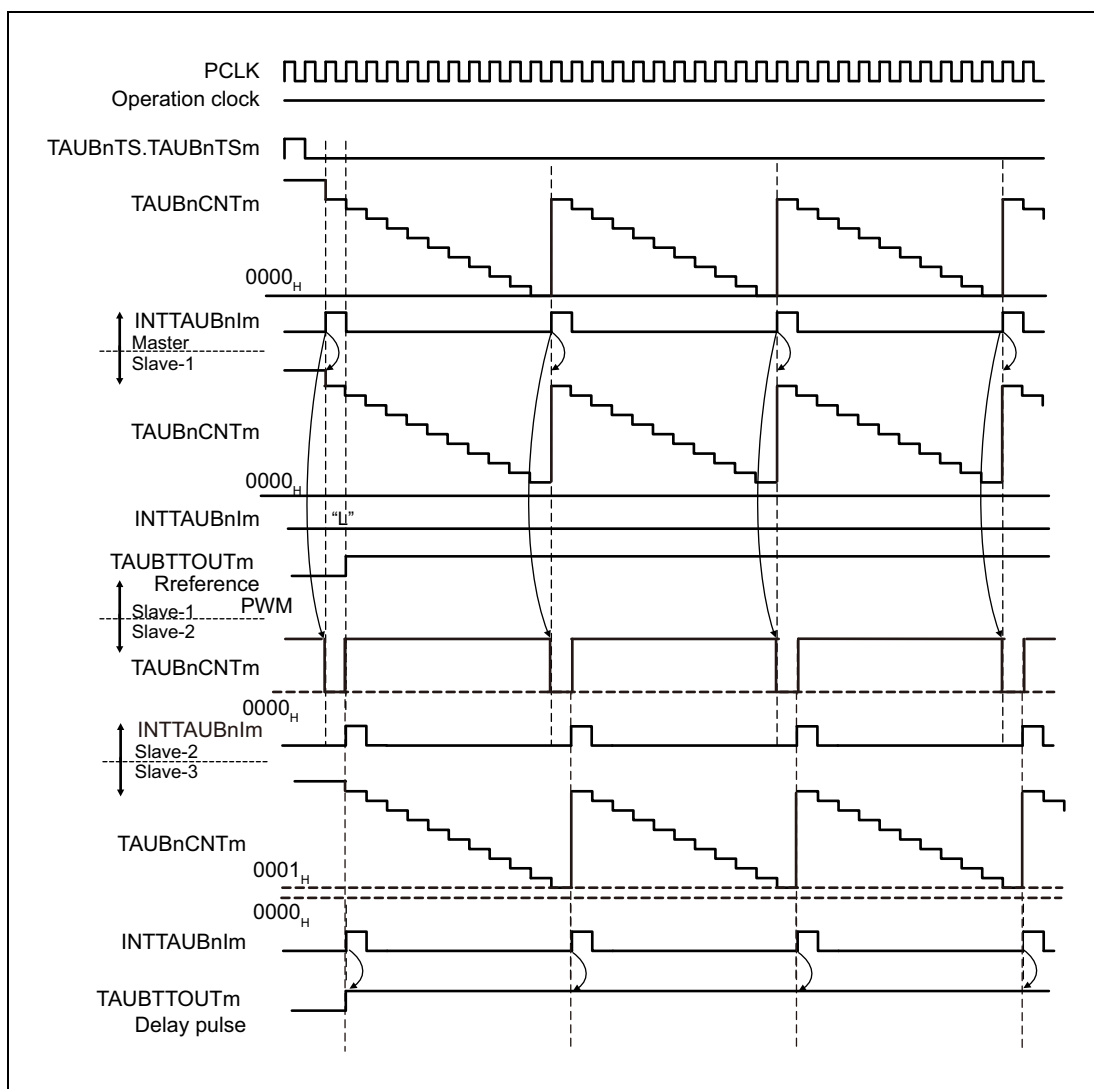


図 24.94 デューティサイクル (スレーブ 3) = 100%

- TAUBnCDRm (スレーブ 1/スレーブ 3) の値が TAUBnCDRm (マスタ) の値を越える場合は、スレーブチャンネル 1 のカウンタは 0000_H にならず、割り込みは発生しません。チャンネル 1、3 の TAUBnTOUTm は、アクティブ状態のままになります。

(2) TAUBTTOUTm (スレーブ 1) = TAUBTTOUTm (スレーブ 3)

下記のタイミング図での設定は次のようになっています。

- TAUBnCDRm (マスタ) = 000A_H
- TAUBnCDRm (スレーブ 1) = 0005_H
- TAUBnCDRm (スレーブ 2) = 0000_H
- TAUBnCDRm (スレーブ 3) = 0005_H

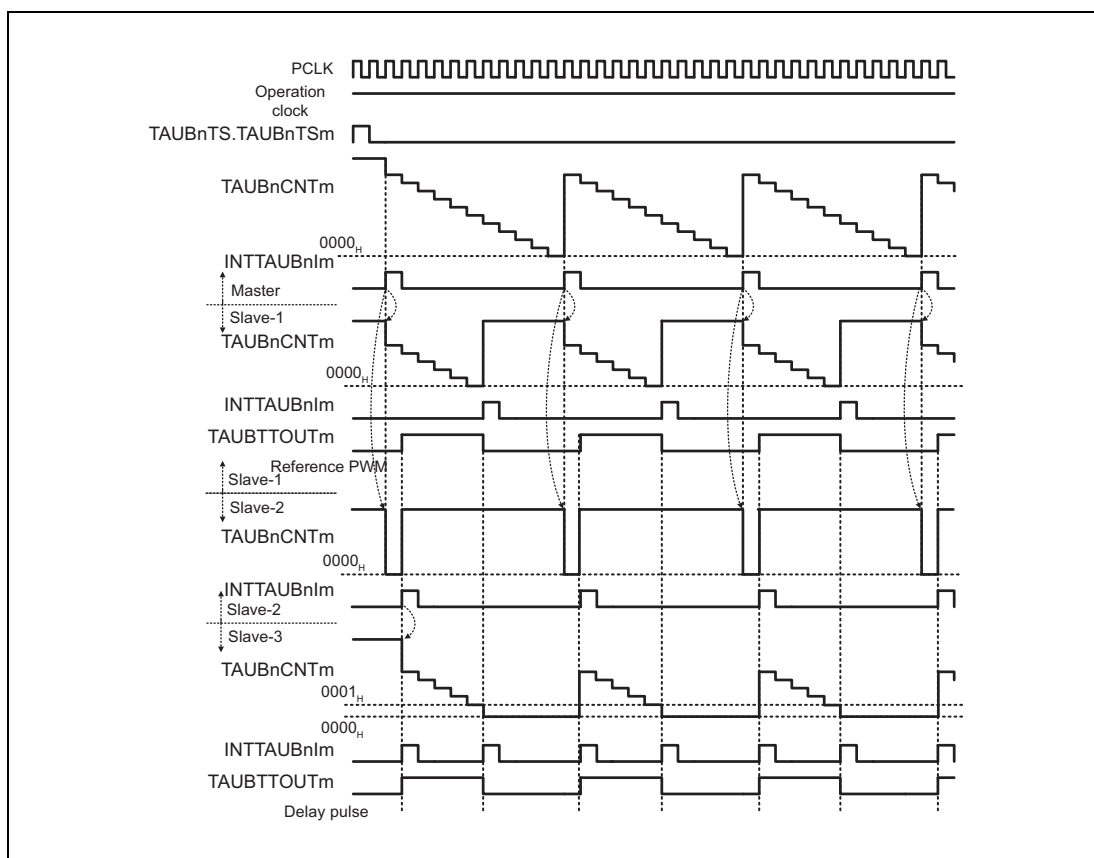


図 24.95 TAUBTTOUTm (スレーブ 1) = TAUBTTOUTm (スレーブ 3)

- TAUBnCDRm (スレーブ 2) = 0000_H の場合、スレーブチャンネル 3 はスレーブチャンネル 1 のカウンタから 1 カウントクロック遅れてカウントします。リファレンスパルスとでディレイパルスが 1 カウントクロック遅れて発生します。

24.14.4 A/D 変換トリガ出力機能タイプ 1

24.14.4.1 概要

概要

この機能は、TAUBTTOUT_m が出力されないという点を除き、「24.14.1 PWM 出力機能」と同じです。

スレーブチャンネルの出力モードをソフトウェア制御のチャンネル単体出力モードに設定することにより、この機能が有効になります。

24.14.4.2 ブロック図と基本タイミング図

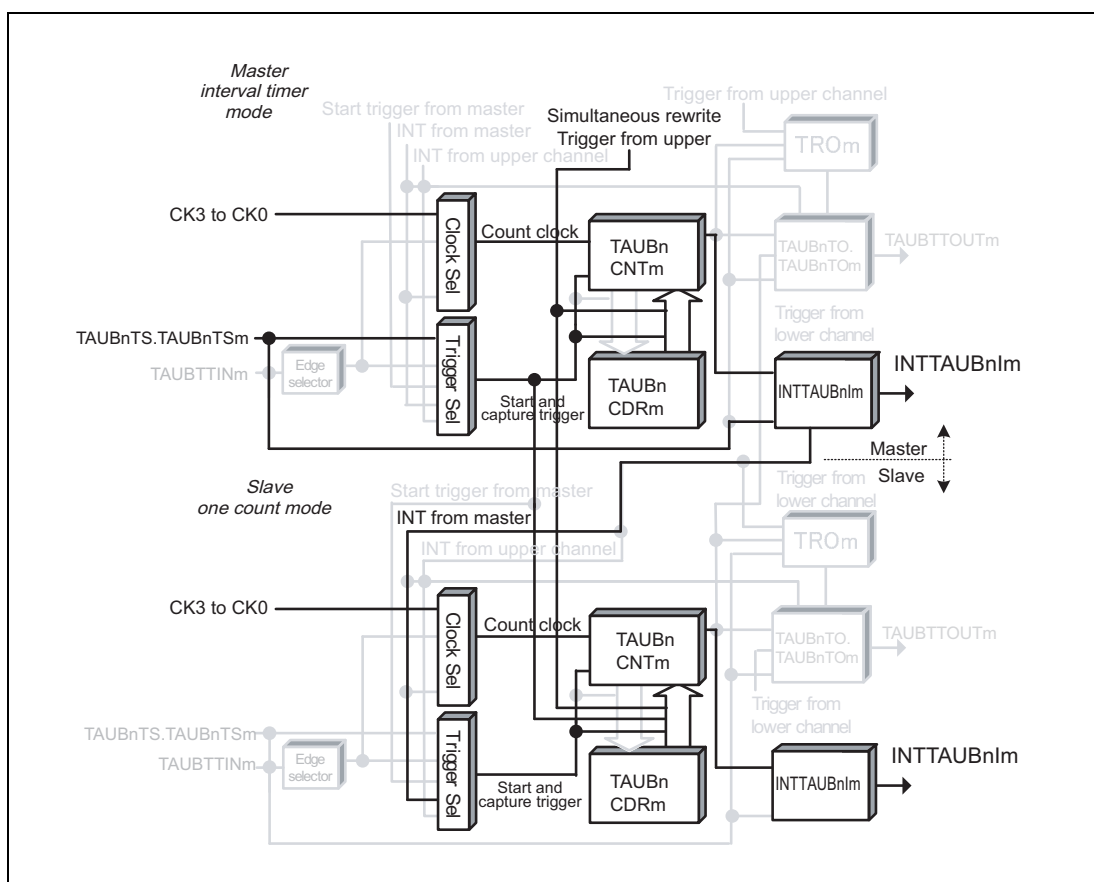


図 24.96 A/D 変換トリガ出力機能タイプ 1 のブロック図

基本タイミング図での設定は次のようになっています。

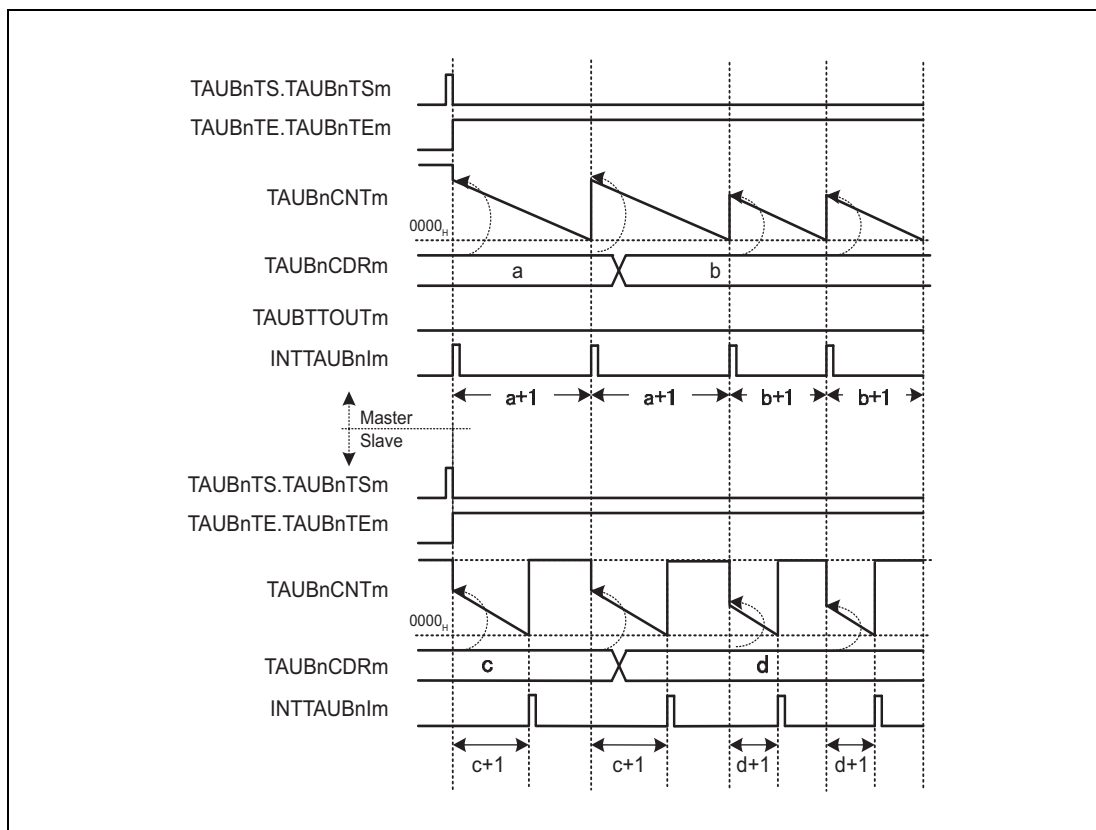


図 24.97 A/D 変換トリガ出力機能タイプ 1 の基本タイミング図

24.14.5 三角波 PWM 出力機能

24.14.5.1 概要

概要

マスタチャンネルと1つ以上のスレーブチャンネルを使用することで、複数の三角波 PWM 出力信号を生成する機能です。マスタ/スレーブチャンネルを用いて、TAUBTTOUTm のパルス周期（周波数）とデューティサイクルを設定することができます。

キャリア周期はマスタチャンネルで生成します。マスタチャンネルの1周期目はスレーブカウンタのダウンステータスを、2周期目はアップステータスを制御します。

前提条件

- 2チャンネル
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 24.130 三角波 PWM 出力機能のマスタチャンネルの TAUBnCMORm レジスタの内容」参照）。
- スレーブチャンネルの動作モードは、アップ/ダウンカウントモードに設定する必要があります（「表 24.134 三角波 PWM 出力機能のスレーブチャンネルの TAUBnCMORm レジスタの内容」参照）。
- マスタチャンネルの出力モードは、チャンネル単体出力モード1に設定する必要があります。
- スレーブチャンネルの出力モードは、チャンネル連動出力モード2に設定する必要があります。
- 次のような設定により、キャリア周期のダウンステータスの間、TAUBTTOUTm 信号がハイレベルになります。
 - TAUBnCMORm.TAUBnMD0（マスタ）ビットが0に設定されている場合、TAUBnTOE.TAUBnTOEm が0の間、TAUBnTO.TAUBnTOm を1に設定する必要があります。（推奨設定）
 - TAUBnCMORm.TAUBnMD0（マスタ）ビットが1に設定されている場合、TAUBnTOE.TAUBnTOEm が0の間、TAUBnTO.TAUBnTOm を0に設定する必要があります。

機能説明

チャンネルトリガビット（TAUBnTS.TAUBnTSm）を1に設定すると、すべてのチャンネルでカウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm が設定され、カウントが可能になります。TAUBnCDRm（マスタ/スレーブ）の値が TAUBnCNTm（マスタ/スレーブ）にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。マスタチャンネルの TAUBnCMORm.TAUBnMD0 ビットが1に設定されている場合は、割り込みが発生し、マスタの TAUBTTOUTm 信号がトグルされます。

- マスタチャンネル：
マスタチャンネルのカウント値が 0000_Hになると（パルス周期が経過すると）、INTTAUBnIm が発生し、TAUBTTOUTm 信号がトグルされます。その後、再び TAUBnCDRm の値を TAUBnCNTm にロードし、ダウンカウントを行います。

- スレーブチャンネル：
 - マスタチャンネルで INTTAUBnIm が発生すると、スレーブチャンネルのカウンタ動作がトリガされます。
 - スレーブのカウンタがダウンカウント中の場合は、カウント方向が変わります。
 - スレーブのカウンタがアップカウント中の場合は、再び TAUBnCDRm の値がロードされ、カウンタはダウンカウントを開始します。
 - スレーブチャンネルのカウンタがアップ/ダウンカウント中に 0001_H になると、INTTAUBnIm が発生し、TAUBTTOUTm (スレーブ) 信号がセット/リセットされます：
 - カウンタはアップ/ダウンカウントを続け、マスタチャンネルの次の INTTAUBnIm を待ちます。
 - TAUBnTOL.TAUBnTOLm を設定することにより、動作中に TAUBTTOUTm 信号の正相/逆相を切り替えることができます。

マスタ/スレーブチャンネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタの動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ/スレーブチャンネルの TAUBnCnTm と TAUBTTOUTm が停止しますが、それぞれの値は保持します。

条件

この機能では一斉書き換えを行うことができます。「24.6 一斉書き換え」を参照してください。

24.14.5.2 算出式

パルス周期 = (TAUBnCDRm (マスタ) + 1) × カウント・クロック周期

$0000_{\text{H}} \leq \text{TAUBnCDRm (マスタ)} < \text{FFFF}_{\text{H}}$

キャリア周期 (ダウン/アップ) = (TAUBnCDRm (マスタ) + 1) × 2 × カウント・クロック周期

デューティサイクル =

$[(\text{TAUBnCDRm (マスタ)} + 1 - \text{TAUBnCDRm (スレーブ)}) / (\text{TAUBnCDRm (マスタ)} + 1)] \times 100$

– デューティサイクル = 100 %

TAUBnCDRm (スレーブ) = 0000_H

– デューティサイクル = 0 %

TAUBnCDRm (スレーブ) ≥ TAUBnCDRm (マスタ) + 1

24.14.5.3 ブロック図と基本タイミング図

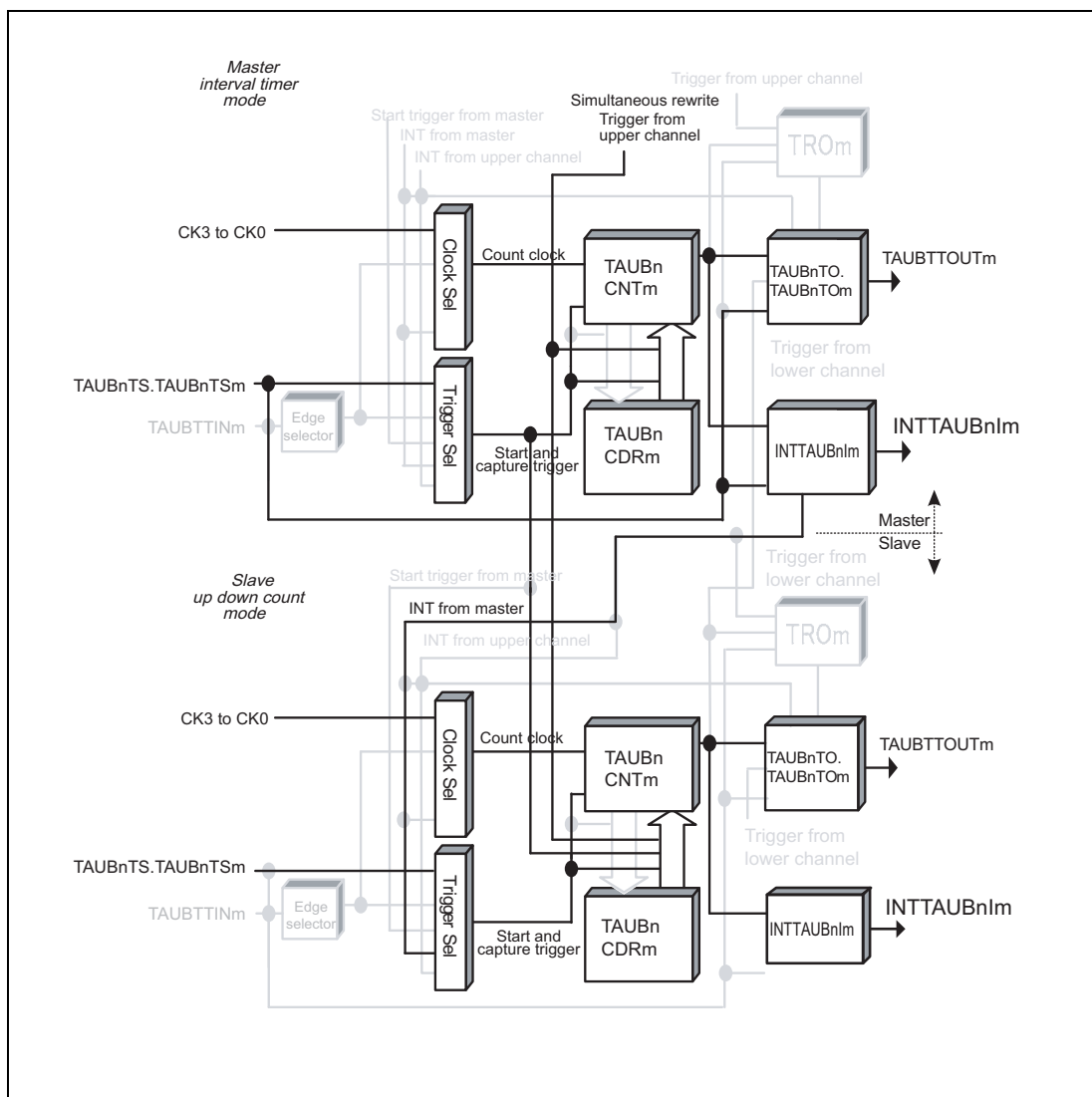


図 24.98 三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル
 - 動作開始時に INTTAUBnIm が発生する (TAUBnCMORm.TAUBnMD0 = 1)

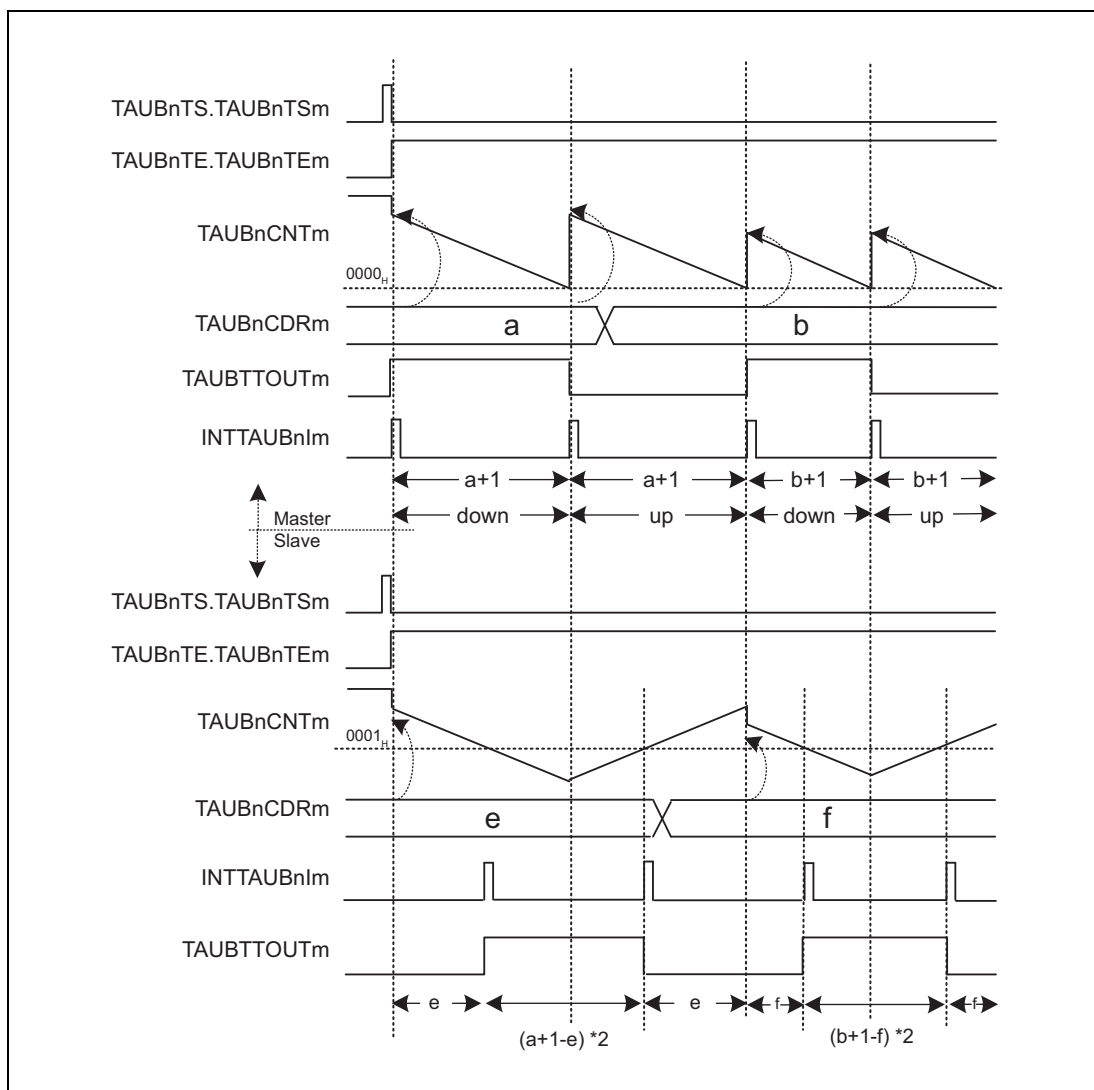


図 24.99 三角波 PWM 出力機能の基本タイミング図

24.14.5.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBnCCS0	TAUBnMAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.130 三角波 PWM 出力機能のマスタチャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUBnCKS[1:0]	動作クロックの選択 00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	1 _B を書いてください。
10 ~ 8	TAUBnSTS[2:0]	000 _B を書いてください。
7, 6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUBnMD[4:1]	0000 _B を書いてください。
0	TAUBnMD0	0: 動作開始時に INTTAUBnIm が発生せず、TAUBTTOUTm はトグルされない 1: 動作開始時に INTTAUBnIm が発生し、TAUBTTOUTm はトグルされる

(2) マスタチャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 24.131 三角波 PWM 出力機能のマスタチャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUBnTIS[1:0]	00: 未使用、00 を設定

(3) マスタチャンネルのチャンネル出力モード

表 24.132 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1 _B を書いてください。
TAUBnTOM.TAUBnTOMm	0 _B を書いてください。
TAUBnTOC.TAUBnTOCm	0 _B を書いてください。
TAUBnTOL.TAUBnTOLm	0 _B を書いてください。
TAUBnTDE.TAUBnTDEm	0 _B を書いてください。
TAUBnTDL.TAUBnTDLm	0 _B を書いてください。

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 24.133 三角波 PWM 出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDsm	0: マスタチャンネルで一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガを選択
TAUBnRDM.TAUBnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

備 考

TAUBnRDS.TAUBnRDsm = 1 の場合、マスタチャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

24.14.5.5 スレーブチャンネルのレジスタ設定

(1) スレーブチャンネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]		—	TAUBnCCS0	TAUBnMAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]			TAUBnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.134 三角波 PWM 出力機能のスレーブチャンネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	0 _B を書いてください。
10～8	TAUBnSTS [2:0]	111 _B を書いてください。
7、6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	1001 _B を書いてください。
0	TAUBnMD0	0 _B を書いてください。

(2) スレーブチャンネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 24.135 三角波 PWM 出力機能のスレーブチャンネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00を設定

(3) スレーブチャンネルのチャンネル出力モード

表 24.136 チャンネル連動出力モード2のときの制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1 _B を書いてください。
TAUBnTOM.TAUBnTOMm	1 _B を書いてください。
TAUBnTOC.TAUBnTOCm	1 _B を書いてください。
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 負論理
TAUBnTDE.TAUBnTDEm	0 _B を書いてください。
TAUBnTDL.TAUBnTDLm	0 _B を書いてください。

(4) スレーブチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 24.137 三角波 PWM 出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタチャンネルで一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガを選択
TAUBnRDM.TAUBnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

24.14.5.6 三角波 PWM 出力機能時の操作手順

表 24.138 三角波 PWM 出力機能時の操作手順

	操作	TAUBn の状態
動作再開	初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	TAUBnTE.TAUBnTEm (マスタ/スレーブチャンネル) が 1 に設定され、マスタ/スレーブチャンネルのカウンタが動作を開始します。マスタチャンネルで TAUBnCMORm.TAUBnMD0 が 1 に設定されている場合は、INTTAUBnIm (マスタ) が発生します。
	動作中	マスタ/スレーブチャンネルの TAUBnCDRm の値を TAUBnCnTm にロードし、ダウンカウントを行います。マスタチャンネルのカウンタが 0000 _H になった場合 : <ul style="list-style-type: none"> INTTAUBnIm (マスタ) が発生します。 TAUBTTOUtm (マスタ) がトグルされます。 再び TAUBnCDRm の値を TAUBnCnTm (マスタ) にロードし、カウント動作を継続します。 再び TAUBnCDRm の値を TAUBnCnTm (スレーブ) にロードするか、反対方向のカウントを開始します。 スレーブチャンネルの TAUBnCnTm が 0001 _H になった場合 : <ul style="list-style-type: none"> INTTAUBnIm (スレーブ) が発生します。 TAUBTTOUtm (スレーブ) は、ダウンカウント状態ではセット、アップカウント状態ではリセットされます。
	動作停止	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。TAUBnCnTm と TAUBTTOUtm は停止し、現在値を保持します。

24.14.5.7 特定の設定時のタイミング図

(1) デューティサイクル = 0 %

基本タイミング図での設定は次のようになっています。

- マスタチャンネル :
 - 動作開始時に INTTAUBnIm が発生する (TAUBnCMORm.TAUBnMD0 = 1)
 - TAUBnCDRm = a = 5_H
- スレーブチャンネル :
 - TAUBnCDRm = 6_H

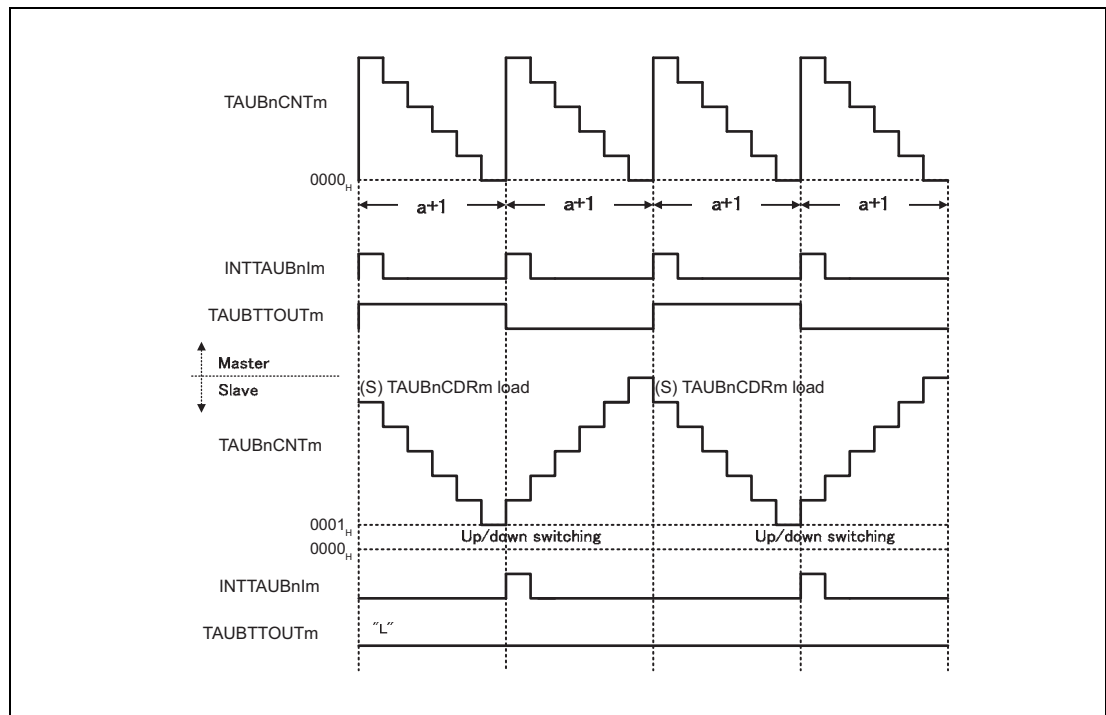


図 24.100 TAUBnCDRm (スレーブ) \geq TAUBnCDRm (マスタ) + 1

- TAUBnCDRm (スレーブ) 値が TAUBnCDRm (マスタ) + 1 値以上の場合、ダウンカウント中にスレーブチャンネルの INTTAUBnIm は発生しません。セット信号が検出されないことがないため、TAUBTTOUTm はロウレベル状態のままになります。

(2) デューティサイクル = 100 %

基本タイミング図での設定は次のようになっています。

- マスタチャンネル :
 - 動作開始時に INTTAUBnIm が発生する (TAUBnCMORm.TAUBnMD0 = 1)
 - TAUBnCDRm = a = 5_H
- スレーブチャンネル :
 - TAUBnCDRm = 0_B

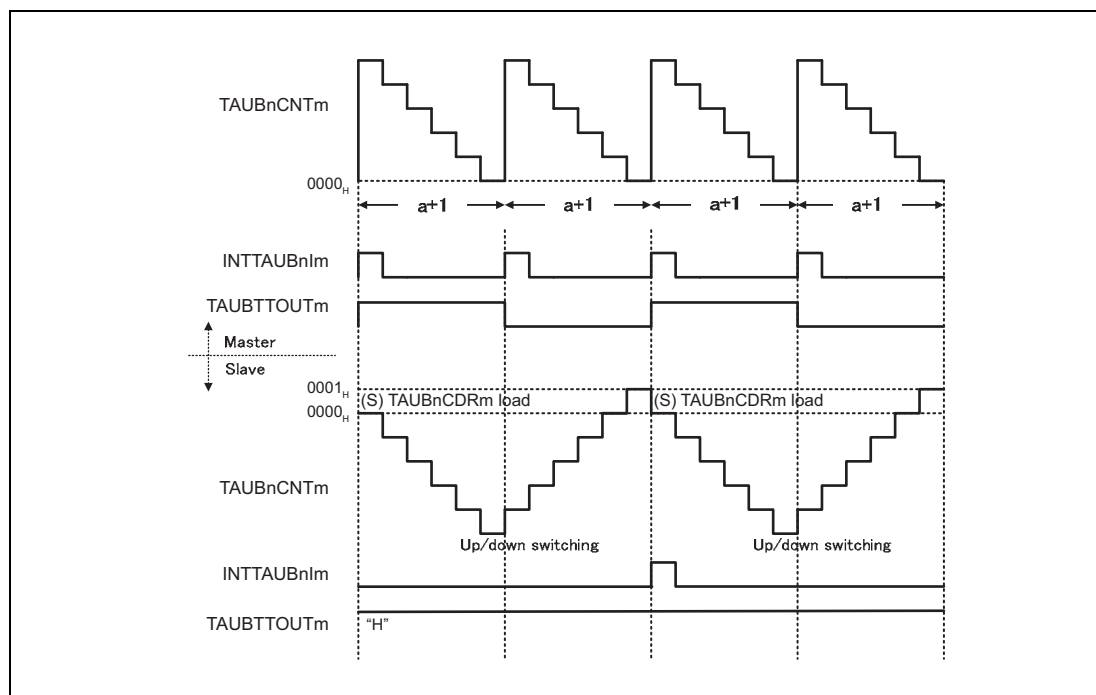


図 24.101 TAUBnCDRm (スレーブ) = 0000_H

- TAUBnCDRm (スレーブ) = 0000_H の場合、アップカウント中にスレーブチャンネルの INTTAUBnIm は発生しません。リセット信号が検出されないため、TAUBTTOUTm はハイレベル状態のままになります。

24.14.6 デッドタイム付き三角波 PWM 出力機能

24.14.6.1 概要

概要

マスタチャンネルと2つ以上のスレーブチャンネルを使用することで、複数の三角波 PWM 出力信号をあらかじめ定義されたデッドタイムを付加して生成する機能です。デッドタイムが付加された PWM 信号は、スレーブチャンネル 2/3 の TAUBTTOUTm から出力されます。これにより、マスタ/スレーブチャンネルを使って TAUBTTOUTm のパルス周期（周波数）とデューティサイクルを設定することができます。

キャリア周期はマスタチャンネルで生成します。1 周期目のパルスはスレーブカウンタのダウンステータスを、2 周期目のパルスはアップステータスを制御します。

スレーブ 2 で割り込みが発生すると、スレーブチャンネルの TAUBTTOUTm がセット/リセットされます。TAUBnTDL.TAUBnTDLm の設定によって、信号の正論理側または負論理側に遅延時間が付加されます（TAUBTTOUTm がただちにセット/リセットされるのか、デッドタイム経過後にセット/リセットされるのかを設定）。デッドタイム時間はスレーブチャンネル 3 で設定します。

前提条件

- 3 チャンネル。スレーブチャンネル 2 と 3 は、偶数チャンネル CH (a) と奇数チャンネル CH (a + 1) を選択してください。
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 24.140 デッドタイム付き三角波 PWM 出力機能のマスタチャンネルの TAUBnCMORm レジスタの内容」参照）。
- この機能では、スレーブチャンネル 1 は使用しません。そのため、スレーブチャンネル 2 は必ず偶数チャンネル (a)、スレーブチャンネル 3 は奇数チャンネル (a + 1) です。スレーブチャンネル 1 は、個別タイマ（単体機能）として使用可能です。
- スレーブチャンネル 2 の動作モードは、アップダウンモードに設定する必要があります（「表 24.144 デッドタイム付き三角波 PWM 出力機能のスレーブチャンネル 2 の TAUBnCMORm レジスタの内容」参照）。
また、スレーブチャンネル 2 は偶数チャンネルでなければなりません。
- スレーブチャンネル 3 の動作モードは、ワンカウントモードに設定する必要があります（「表 24.148 デッドタイム付き三角波 PWM 出力機能のスレーブチャンネル 3 の TAUBnCMORm レジスタの内容」参照）。
また、スレーブチャンネル 3 は奇数チャンネルでなければなりません。
- マスタチャンネルのチャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。
- スレーブチャンネル 2/3 の出力モードは、デッドタイム出力を行うチャンネル連動出力モード 2 に設定する必要があります。
- 次のような設定により、キャリア周期のダウンステータスの間、TAUBTTOUTm 信号が

ハイレベルになります。

- TAUBnCMORm.TAUBnMD0 (マスタ) ビットが0に設定されている場合、TAUBnTOE.TAUBnTOEm が0の間、TAUBnTO.TAUBnTOm を1に設定する必要があります。(推奨設定)
- TAUBnCMORm.TAUBnMD0 (マスタ) ビットが1に設定されている場合、TAUBnTOE.TAUBnTOEm が0の間、TAUBnTO.TAUBnTOm を0に設定する必要があります。

備 考

デッドタイム付き三角波 PWM 出力機能では、スレーブチャンネル1を使用しません。スレーブチャンネル1は、個別タイマ (単体機能) として使用可能です。

機能説明

チャンネルトリガビット (TAUBnTS.TAUBnTSm) を1に設定すると、カウンタ動作が開始されます。これにより TAUBnTE.TAUBnTEm=1 となり、カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。マスタチャンネルの TAUBnCMORm.TAUBnMD0 ビットが1に設定されている場合は、割り込みが発生し、マスタの TAUBTTOUTm 信号がトグルされます。

- マスタチャンネル :
マスタチャンネルのカウント値が 0000_H になると、INTTAUBnIm が発生し、TAUBTTOUTm 信号がトグルされます。再び TAUBnCDRm の値をカウンタにロードし、ダウンカウントを行います。
- スレーブチャンネル2 :
マスタチャンネルで INTTAUBnIm が発生すると、スレーブチャンネル2のカウント動作がトリガされます。
 - スレーブのカウンタがダウンカウント中の場合は、カウント方向が変わります。
 - スレーブのカウンタがアップカウント中の場合は、再び TAUBnCDRm の値がロードされ、カウンタはダウンカウントを開始します。

カウンタはアップ/ダウンカウントを続け、マスタチャンネルの次の INTTAUBnIm を待ちます。

スレーブチャンネル2のカウント値が 0001_H になると INTTAUBnIm が発生します。

- スレーブチャンネル3 :
スレーブチャンネル2で INTTAUBnIm が発生すると、スレーブチャンネル3のカウント動作がトリガされます。そして TAUBnCDRm (スレーブ3) の現在値が TAUBnCNTm (スレーブ3) にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。
カウンタ値が 0000_H になると、INTTAUBnIm が発生します。カウンタは FFFF_H に戻り、スレーブチャンネル2の次の INTTAUBnIm を待ちます。

「表 24.139 スレーブチャンネル2で割り込みが発生した際の TAUBTTOUTm の動作」にあるように、対応するチャンネルの TAUBnTDL.TAUBnTDLm 設定によって、セット/リセットのタイミング (割り込み発生直後またはデッドタイム経過後) が決まります。

また、TAUBnTOL.TAUBnTOLm の設定によって、対応チャンネルからハイレベル信号を出力 (TAUBnTOL.TAUBnTOLm = 0) するかわくレベル信号を出力 (TAUBnTOL.TAUBnTOLm = 1) するかが決まります。

マスタ/スレーブチャンネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ/スレーブチャンネルの TAUBnCNTm と TAUBnTOUTm が停止しますが、それぞれの値は保持します。

スレーブチャンネル 2 の TAUBnCDRm 値を 0000_H にして、TAUBnTOUTm を 100% 出力することができます。

備考

動作中に強制リスタートが発生した場合、TAUBnTOUTm は三角波 PWM 出力波形を出しません。

条件

この機能では一斉書き換えを行うことができます。「24.6 一斉書き換え」を参照してください。

TAUBnTOL.TAUBnTOLm と TAUBnTDL.TAUBnTDLm の設定はカウンタ動作開始前に行う必要があります、スレーブチャンネル 2 とスレーブチャンネル 3 は TAUBnTOL.TAUBnTOLm か TAUBnTDL.TAUBnTDLm の設定が反対でなければなりません。

表 24.139 スレーブチャンネル 2 で割り込みが発生した際の TAUBnTOUTm の動作

TAUBnTDL.TAUBnTDLm	割り込み発生時のスレーブチャンネル 2 のカウント方向	TAUBnTOUTm セット/リセットタイミング
0	ダウンカウント	デッドタイム経過後にセット
	アップカウント	割り込み発生直後にリセット
1	ダウンカウント	割り込み発生直後にセット
	アップカウント	デッドタイム経過後にリセット

24.14.6.2 算出式

パルス周期 = (TAUBnCDRm (マスタ) + 1) × カウントクロック周期

0000_H ≤ TAUBnCDRm (マスタ) < FFFF_H

キャリア周期 (ダウン/アップ) = (TAUBnCDRm (マスタ) + 1) × 2 × カウントクロック周期

PWM 信号幅 (正相) = [(TAUBnCDRm (マスタ) + 1 - TAUBnCDRm (スレーブ 2)) × 2 - (TAUBnCDRm (スレーブ 3) + 1)] × カウントクロック周期

PWM 信号幅 (逆相) = [(TAUBnCDRm (マスタ) + 1 - TAUBnCDRm (スレーブ 2)) × 2 + (TAUBnCDRm (スレーブ 3) + 1)] × カウントクロック周期

24.14.6.3 ブロック図と基本タイミング図

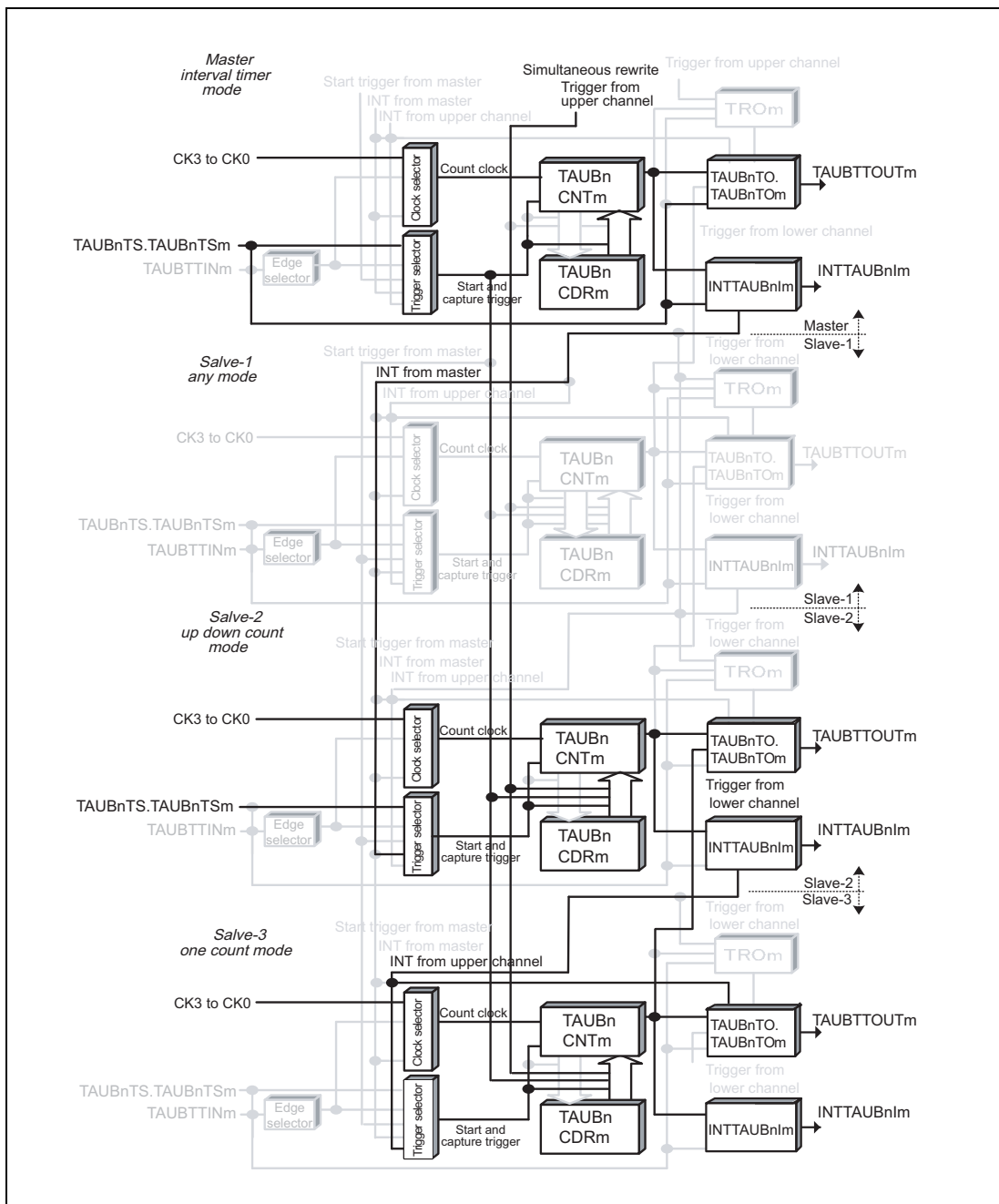


図 24.102 デッドタイム付き三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル :
 - 動作開始時に INTTAUBnIm が発生する (TAUBnCMORm.TAUBnMD0 = 1)
- スレーブチャンネル 2 :
 - 動作開始時に INTTAUBnIm が発生しない (TAUBnCMORm.TAUBnMD0 = 0)
 - TAUBnTDL.TAUBnTDLm = 0
 - 正論理 (TAUBnTOL.TAUBnTOLm = 0)
- スレーブチャンネル 3 :
 - カウント中のスタートトリガ検出許可 (TAUBnCMORm.TAUBnMD0 = 1)
 - TAUBnTDL.TAUBnTDLm = 1
 - 正論理 (TAUBnTOL.TAUBnTOLm = 0)

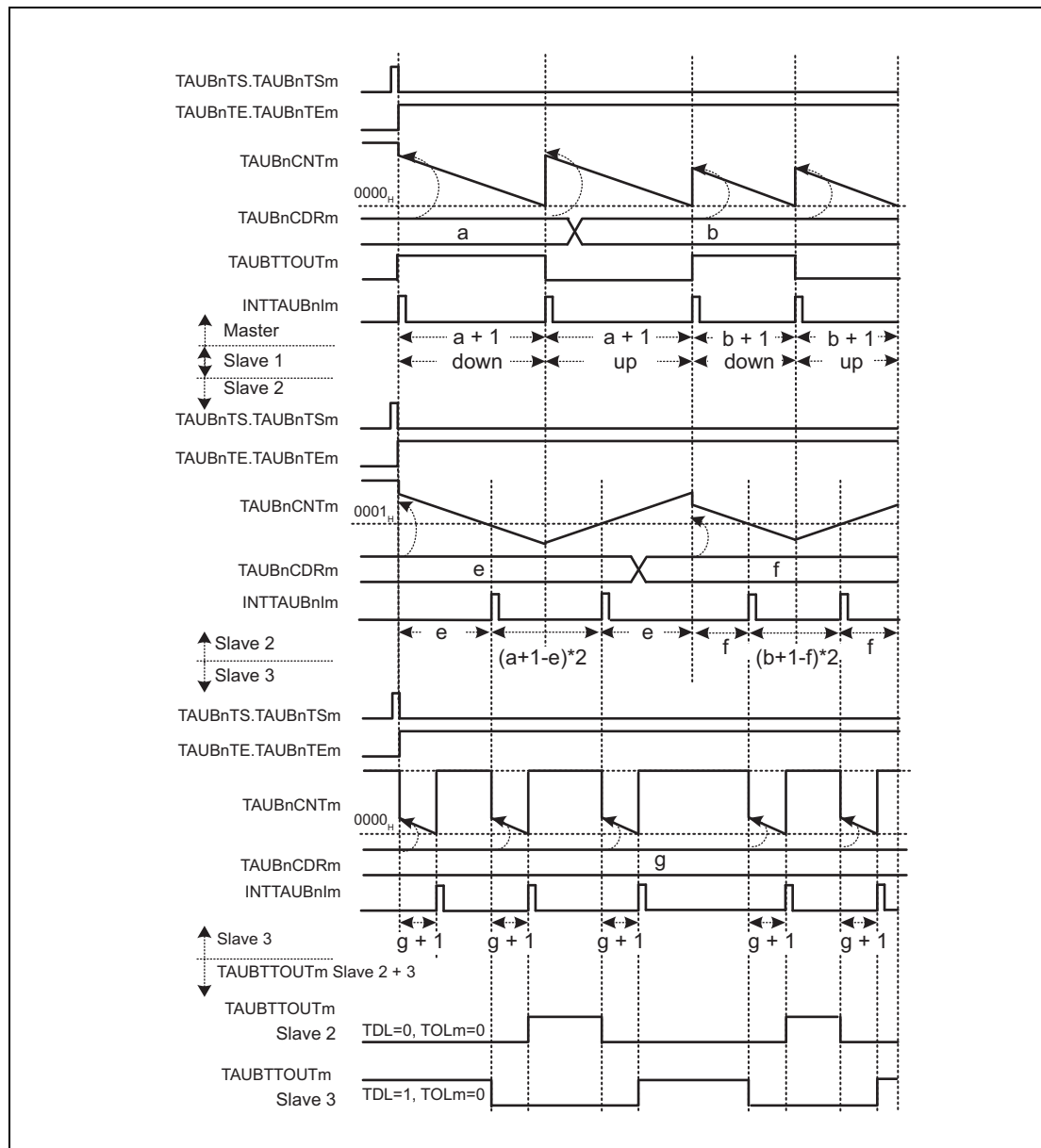


図 24.103 デッドタイム付き三角波 PWM 出力機能の基本タイミング図

24.14.6.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]	—	TAUBnMD[4:1]				TAUBn MD0		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.140 デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	1 _B を書いてください。
10～8	TAUBnSTS[2:0]	000 _B を書いてください。
7、6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0000 _B を書いてください。
0	TAUBnMD0	0：動作開始時に INTTAUBnIm が発生せず、TAUBTTOUTm はトグルされない 1：動作開始時に INTTAUBnIm が発生し、TAUBTTOUTm はトグルされる

(2) マスタチャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 24.141 デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) マスタチャンネルのチャンネル出力モード

表 24.142 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1 _B を書いてください。
TAUBnTOM.TAUBnTOMm	0 _B を書いてください。
TAUBnTOC.TAUBnTOCm	0 _B を書いてください。
TAUBnTOL.TAUBnTOLm	0 _B を書いてください。
TAUBnTDE.TAUBnTDEm	0 _B を書いてください。
TAUBnTDL.TAUBnTDLm	0 _B を書いてください。

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 24.143 デッドタイム付き三角波 PWM 出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1 : 一斉書き換えを許可
TAUBnRDS.TAUBnRDsm	0 : マスタチャンネルで一斉書き換えトリガを選択 1 : チャンネルグループ外の上位チャンネルで一斉書き換えトリガを選択
TAUBnRDM.TAUBnRDMm	1 : 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0 : 一斉書き換えトリガ生成チャンネルとして動作しない。

備 考

TAUBnRDS.TAUBnRDsm = 1 の場合、マスタチャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

24.14.6.5 スレーブチャンネル2のレジスタ設定

(1) スレーブチャンネル2のTAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]	—	TAUBnMD[4:1]				TAUBn MD0		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.144 デッドタイム付き三角波 PWM 出力機能のスレーブチャンネル2のTAUBnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	0 _B を書いてください。
10～8	TAUBnSTS[2:0]	111 _B を書いてください。
7、6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	1001 _B を書いてください。
0	TAUBnMD0	0 _B を書いてください。

(2) スレーブチャンネル2のTAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 24.145 デッドタイム付き三角波 PWM 出力機能のスレーブチャンネル2のTAUBnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00を設定

(3) スレーブチャンネル2のチャンネル出力モード

表 24.146 デッドタイム出力を行うチャンネル連動出力モード2時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1 _B を書いてください。
TAUBnTOM.TAUBnTOMm	1 _B を書いてください。
TAUBnTOC.TAUBnTOCm	1 _B を書いてください。
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 負論理
TAUBnTDE.TAUBnTDEm	1 _B を書いてください。
TAUBnTDL.TAUBnTDLm	0: 正相にデッドタイムを付加 1: 逆相にデッドタイムを付加

注 意

TAUBnTDL.TAUBnTDLm は、奇数チャンネルと排他設定してください。

(4) スレーブチャンネル2の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 24.147 デッドタイム付き三角波 PWM 出力機能時のスレーブチャンネル2の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタチャンネルで一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガを選択
TAUBnRDM.TAUBnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

24.14.6.6 スレーブチャンネル3のレジスタ設定

(1) スレーブチャンネル3のTAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]	—	TAUBnMD[4:1]				TAUBn MD0		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.148 デッドタイム付き三角波 PWM 出力機能のスレーブチャンネル3のTAUBnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0 _B を書いてください。
11	TAUBnMAS	0 _B を書いてください。
10～8	TAUBnSTS[2:0]	110 _B を書いてください。
7、6	TAUBnCOS [1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0100 _B を書いてください。
0	TAUBnMD0	1 _B を書いてください。

(2) スレーブチャンネル3のTAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 24.149 デッドタイム付き三角波 PWM 出力機能のスレーブチャンネル3のTAUBnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00を設定

(3) スレーブチャンネル3のチャンネル出力モード

表 24.150 デッドタイム出力を行うチャンネル連動出力モード2時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1 _B を書いてください。
TAUBnTOM.TAUBnTOMm	1 _B を書いてください。
TAUBnTOC.TAUBnTOCm	1 _B を書いてください。
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 負論理
TAUBnTDE.TAUBnTDEm	1 _B を書いてください。
TAUBnTDL.TAUBnTDLm	0: 正相にデッドタイムを付加 1: 逆相にデッドタイムを付加

注 意

TAUBnTDL.TAUBnTDLm は、偶数チャンネルと排他設定してください。

(4) スレーブチャンネル3の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 24.151 デッドタイム付き三角波 PWM 出力機能時のスレーブチャンネル3の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタチャンネルで一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガを選択
TAUBnRDM.TAUBnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUBnRDC.TAUBnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

24.14.6.7 デッドタイム付き三角波 PWM 出力機能時の操作手順

表 24.152 デッドタイム付き三角波 PWM 出力機能時の操作手順

	操作	TAUBnの状態
動作再開	チャンネルの初期設定 マスタチャンネル : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを「24.14.6.4 マスタチャンネルのレジスタ設定」に示すように設定します。 スレーブチャンネル 2 : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを「24.14.6.5 スレーブチャンネル 2 のレジスタ設定」に示すように設定します。 スレーブチャンネル 3 : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを「24.14.6.6 スレーブチャンネル 3 のレジスタ設定」に示すように設定します。 全チャンネルの TAUBnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタチャンネルとスレーブチャンネルの TAUBnTS.TAUBnTSm を同時に 1 に設定します。TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm (マスタ/スレーブチャンネル) が 1 に設定され、マスタ/スレーブチャンネルのカウンタが動作を開始します。マスタチャンネルで TAUBnCMORm.TAUBnMD0 が 1 に設定されている場合は、INTTAUBnIm (マスタ) が発生します。
	動作中 TAUBnCDRm は任意のタイミングで変更可能です。TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	マスタチャンネルとスレーブチャンネル 2 の TAUBnCDRm の値を TAUBnCNTm にロードし、ダウンカウントを行います。マスタチャンネルのカウンタが 0000 _H になった場合 : <ul style="list-style-type: none"> INTTAUBnIm (マスタ) が発生します。 再び TAUBnCDRm の値を TAUBnCNTm (マスタ) にロードし、カウント動作を継続します。 再び TAUBnCDRm の値を TAUBnCNTm (スレーブ 2) にロードするか、反対方向のカウンタを開始します。 TAUBnCNTm (スレーブ 2) が 0001 _H になった場合 : <ul style="list-style-type: none"> INTTAUBnIm (スレーブ 2) が発生します。 スレーブチャンネル 3 の TAUBnCDRm の値を TAUBnCNTm にロードし、ダウンカウントを行います。 スレーブチャンネル 3 の TAUBnCNTm が 0000 _H になった場合 : <ul style="list-style-type: none"> INTTAUBnIm が発生します。
	動作停止 マスタチャンネルとスレーブチャンネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。TAUBnCNTm と TAUBnTTOUTm は停止し、現在値を保持します。

24.14.6.8 特定の設定時のタイミング図

(1) デューティサイクル = 0 %

下図での設定は次のようになっています。

- スレーブチャンネル 2 :
 - 正論理 ($TAUBnTOL.TAUBnTOLm = 0$)
- スレーブチャンネル 3 :
 - 負論理 ($TAUBnTOL.TAUBnTOLm = 1$)

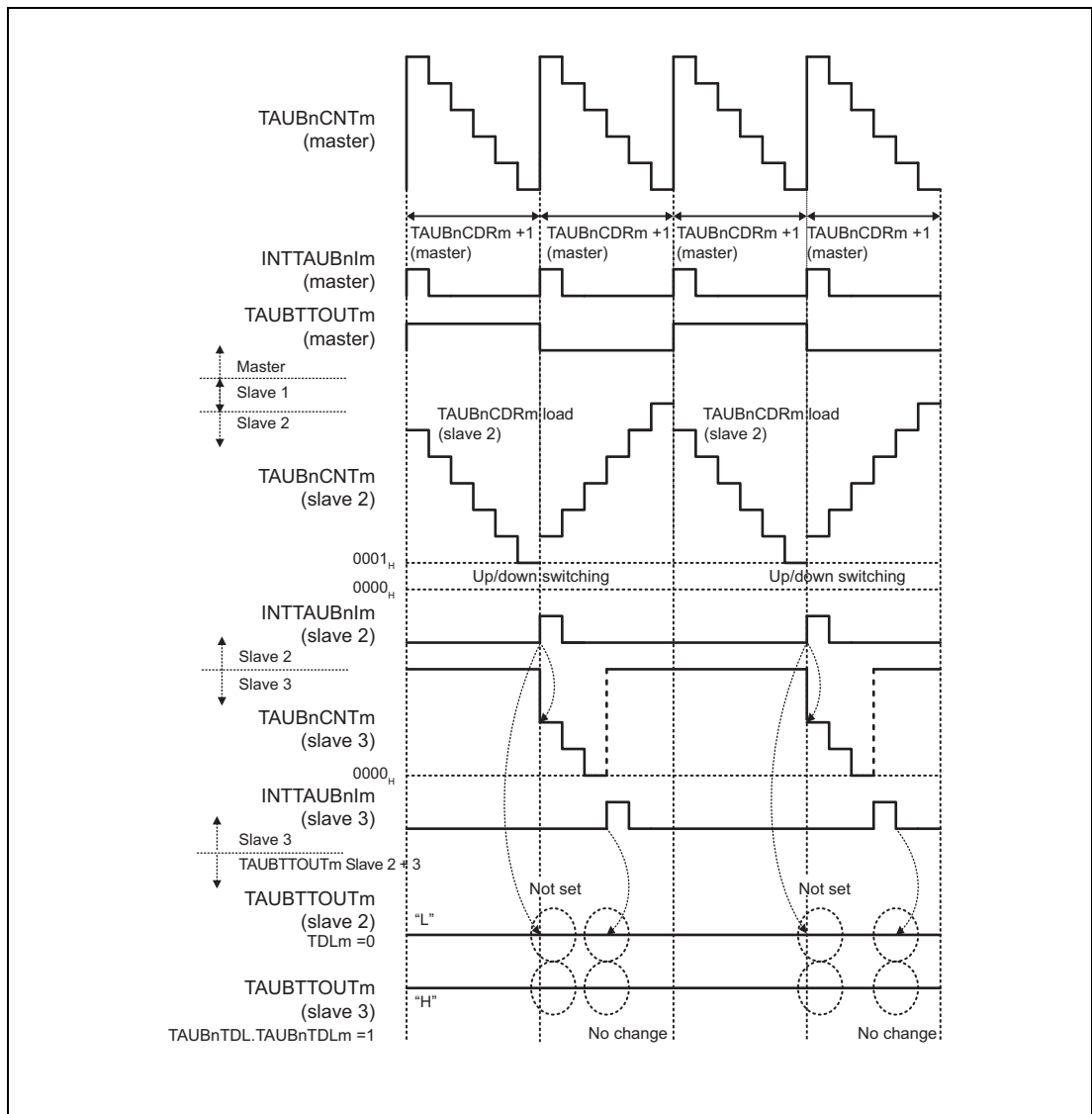


図 24.104 TAUBnCDRm (スレーブ 2) \geq TAUBnCDRm (マスタ) + 1

- TAUBnCDRm (スレーブ 2) 値が TAUBnCDRm (マスタ) 値以上の場合、スレーブチャンネルのカウンタはダウンカウント中、0000_H になりません。したがって TAUBTTOUTm 信号のセット/リセットは行われず、初期状態のままになります。アップカウント中にスレーブチャンネル 2 で割り込みが発生するため、この信号はリセット信号になります。

(2) デューティサイクル = 100 %

下図での設定は次のようになっています。

- スレーブチャンネル 2 :
 - 正論理 (TAUBnTDL.TAUBnTDLm = 0)
- スレーブチャンネル 3 :
 - 負論理 (TAUBnTDL.TAUBnTDLm = 1)

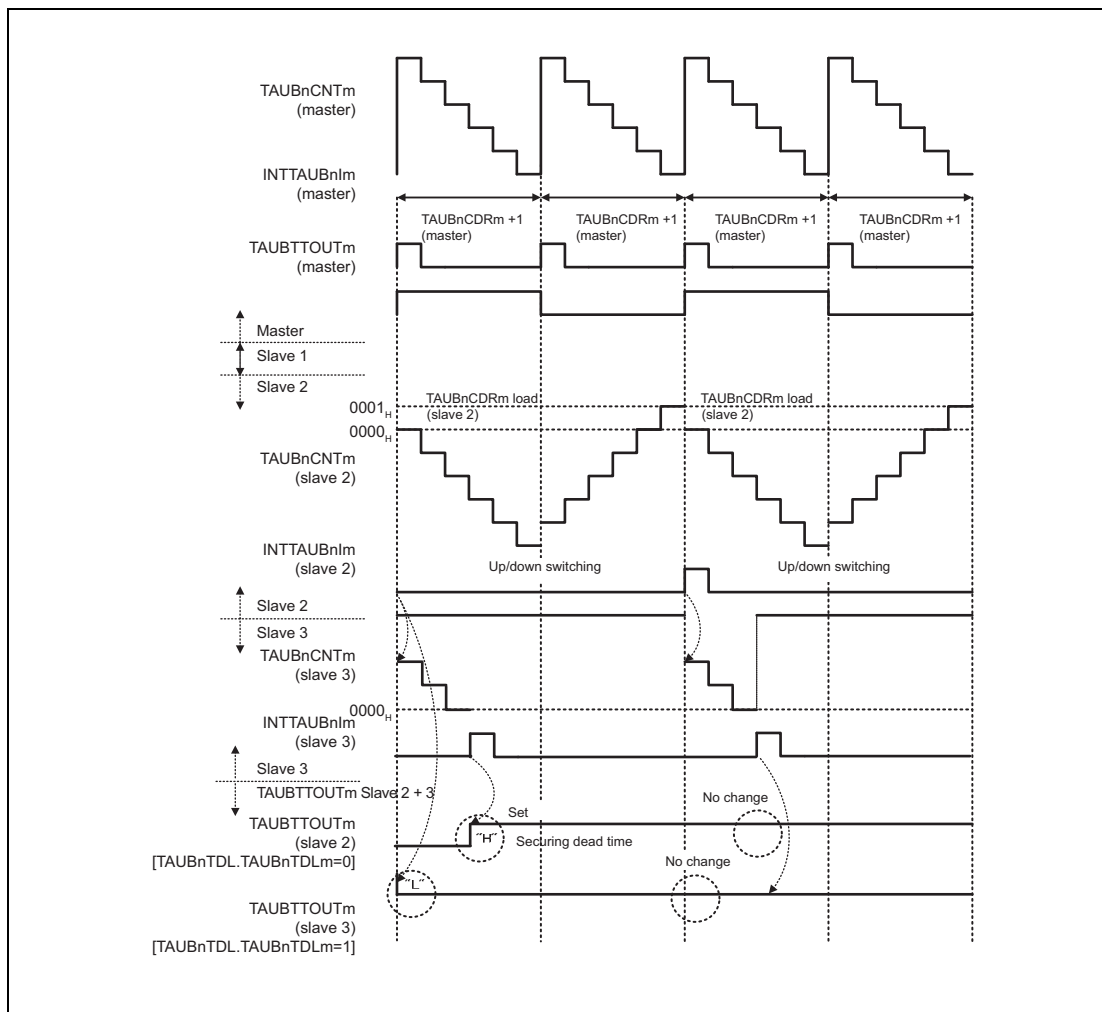


図 24.105 TAUBnCDRm (スレーブ 2) = 0000_H

- TAUBnCDRm (スレーブ 2) = 0000_H の場合、スレーブチャンネルのカウンタはアップカウント中、0001_H になりません。したがって、アップカウント中に INTTAUBnIm は発生しません。
 - TAUBnTDL.TAUBnTDLm が 0 に設定されているチャンネルでは、デッドタイム経過後にセット条件が満たされます。このようなチャンネルではリセット条件が満たされることがないため、TAUBTTOUTm のセット/リセットが行われても、信号は新しく設定された状態のままになります。
 - 上図のスレーブチャンネル 3 はカウント開始時にセットされます。ただし、TAUBnTDL.TAUBnTDLm が 1 に設定されているスレーブチャンネルでは、リセット条件が満たされることがないため、当該チャンネルでは TAUBTTOUTm は初期状態のままになります。

(3) TAUBTTOUTm (スレーブ 2) = 0 %、TAUBTTOUTm (スレーブ 3) ≥ 0 %

下図での設定は次のようになっています。

- スレーブチャンネル 2 :
 - 正論理 (TAUBnTOL.TAUBnTOLm = 0)
- スレーブチャンネル 3 :
 - 負論理 (TAUBnTOL.TAUBnTOLm = 1)

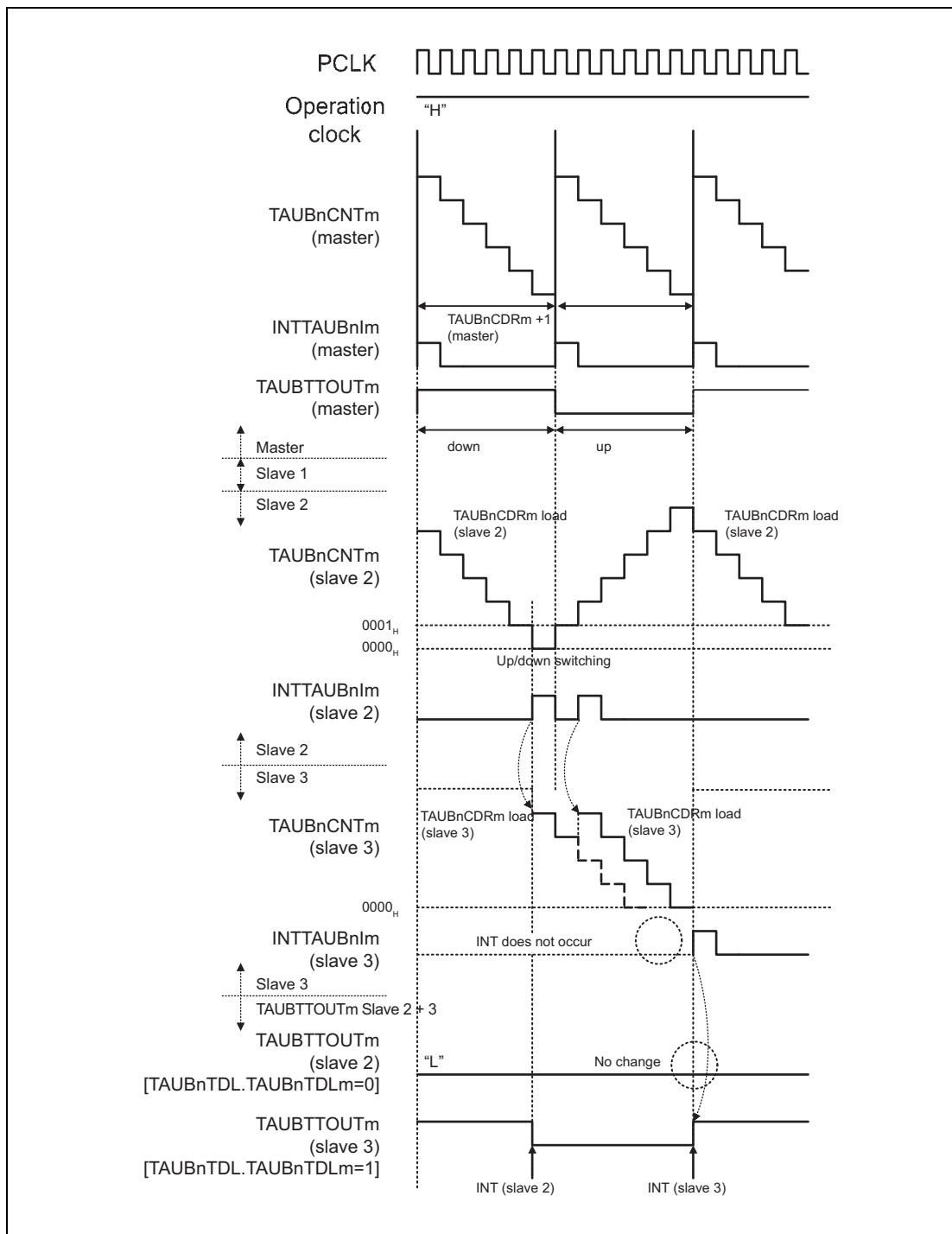


図 24.106 TAUBnCDRm (マスタ) = 0005_H, TAUBnCDRm (スレーブ 2) = 0005_H
TAUBnCDRm (スレーブ 3) = 0004_H

- スレーブチャンネル2のカウンタが0001_Hになったことを検出後0000_Hになったタイミングで INTTAUBnIm (スレーブ 2) が発生し、スレーブチャンネル3のダウンカウントが開始します。
- スレーブチャンネル3がダウンカウント中に INTTAUBnIm (スレーブ 2) が発生した場合、TAUBnCDRm (スレーブ 3) の値はリロードされ、カウンタはこの値でダウンカウントを再開します。
- 上の図では、カウンタがダウンカウント中にチャンネル2で第1の割り込みが発生し、アップカウント中に第2の割り込みが発生しています。
- 第1の割り込みの後、TAUBnTDL.TAUBnTDLm = 0 となるスレーブは、セットする前にデッドタイムが経過するのを待ちます。ただし、デッドタイムが経過する前にスレーブ2で別の割り込みが発生すると、カウンタがアップカウント中のためリセット信号として動作します。つまり、TAUBnTDL.TAUBnTDLm = 0 となるチャンネルは常に非アクティブ状態のままです。
- TAUBnTDL.TAUBnTDLm = 1 のスレーブチャンネルの TAUBTTOUTm は、対応する INTTAUBnIm が発生するときに通常どおりセット/リセットされます。

(4) TAUBTTOUTm (スレーブ 2) > 0 %、TAUBTTOUTm (スレーブ 3) = 100 %

下図での設定は次のようになっています。

- スレーブチャンネル 2 :
 - 正論理 (TAUBnTOL.TAUBnTOLm = 0)
- スレーブチャンネル 3 :
 - 負論理 (TAUBnTOL.TAUBnTOLm = 1)

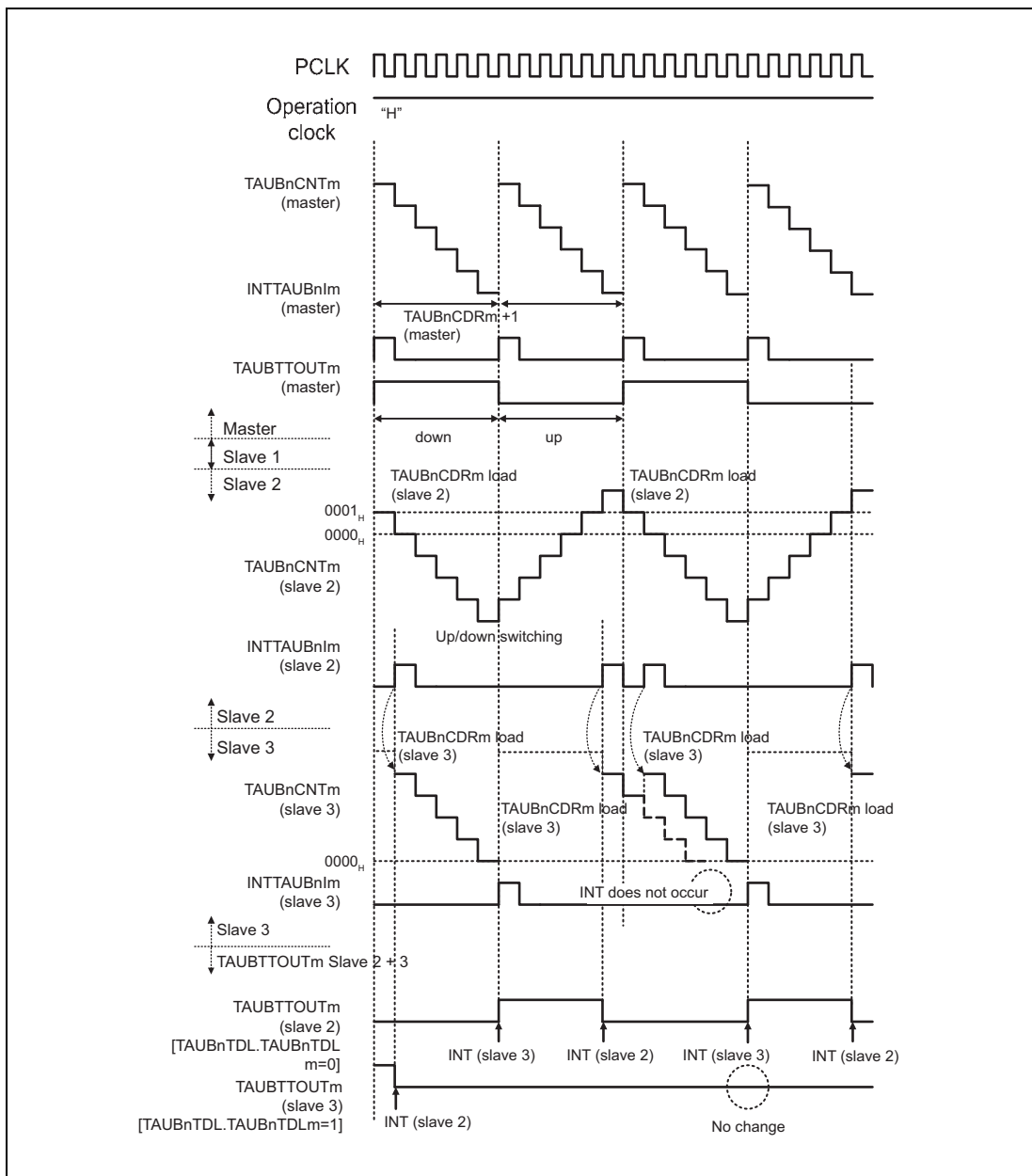


図 24.107 TAUBnCDRm (マスタ) = 0005_H, TAUBnCDRm (スレーブ 2) = 0001_H
 TAUBnCDRm (スレーブ 3) = 0004_H
 PWM 信号幅 (逆相) ≥ キャリア周期

- スレーブチャンネル2の第2の割り込みの後、TAUBnTDL.TAUBnTDLm = 1のスレーブはデッドタイム経過後にリセットされます。ただし、デッドタイムが経過する前にスレーブ2で別の割り込みが発生するとスレーブ3がリスタートされ、次にスレーブチャンネル3の割り込みが発生するときはカウンタはアップカウント中のためセット信号として動作します。つまり、TAUBnTDL.TAUBnTDLm = 1のチャンネルは常にアクティブな状態のままです。
- TAUBnTDL.TAUBnTDLm = 0となるスレーブチャンネルのTAUBTTOUTmが設定され、対応するINTTAUBnImが発生するときに正常にリセットされます。

(5) TAUBTTOUTm の正相期間を設定し INTTAUBnIm の生成を禁止する

下図での設定は次のようになっています。

- スレーブチャンネル 2 :
 - 正論理 (TAUBnTOL.TAUBnTOLm = 0)
- スレーブチャンネル 3 :
 - 負論理 (TAUBnTOL.TAUBnTOLm = 1)

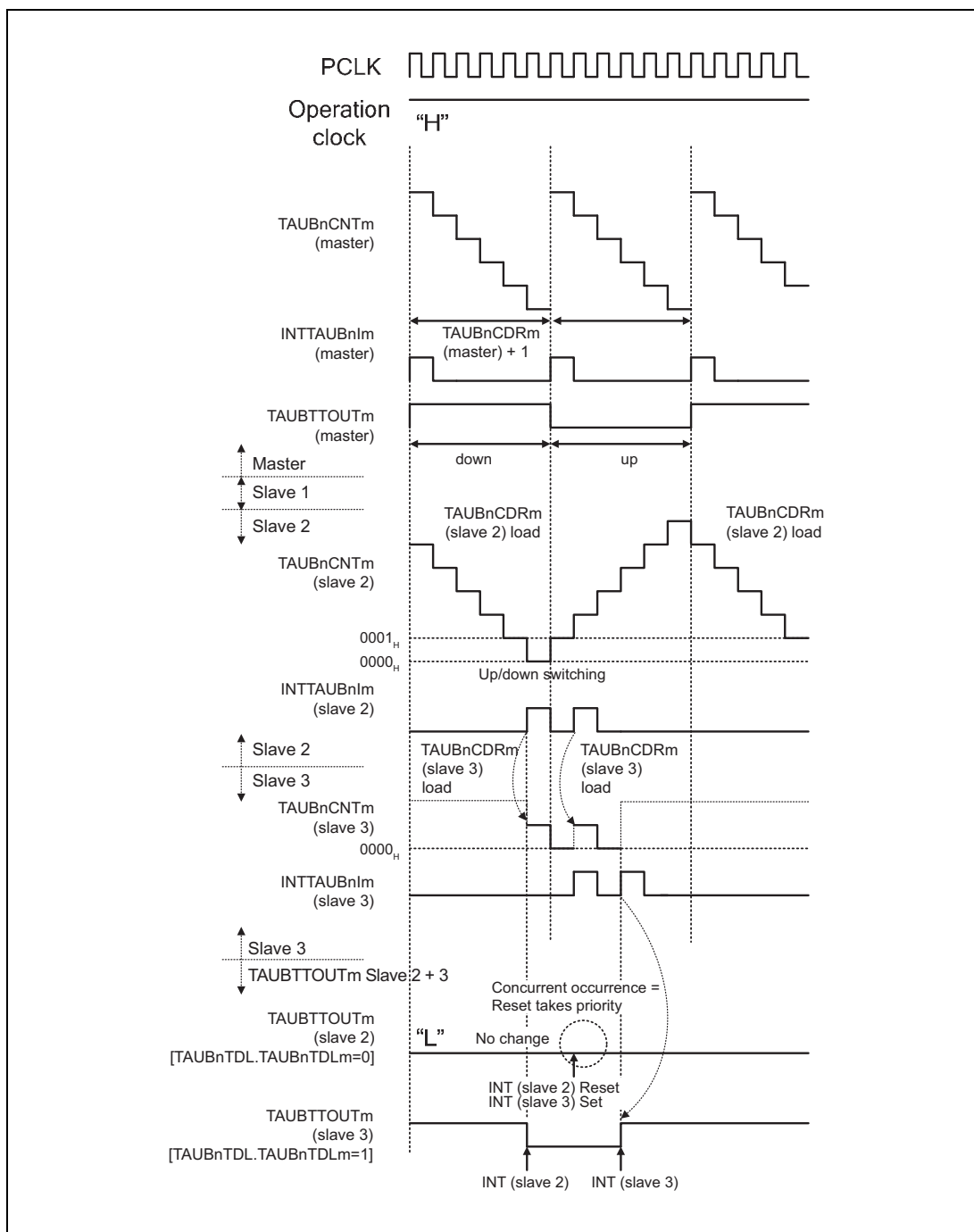


図 24.108 TAUBnCDRm (マスタ) = 0005_H, TAUBnCDRm (スレーブ 2) = 0005_H,
TAUBnCDRm (スレーブ 3) = 0001_H
PWM 信号幅 (正相) = 0

- スレーブチャンネル3のカウンタが 0000_H になると $INTTAUBnIm$ が発生し、 $TAUBnTDL.TAUBnTDLm = 0$ (この例ではスレーブチャンネル2) に設定されているスレーブチャンネルの $TAUBTTOUTm$ がセットされます。
- スレーブチャンネル2が $INTTAUBnIm$ を発生し、同時に $TAUBTTOUTm$ をリセットする場合は、 $TAUBnTOL.TAUBnTOLm = 0$ であればリセット信号が優先されます ($TAUBnTOL.TAUBnTOLm = 1$ の場合はセット信号が優先)。
- $TAUBnTDL.TAUBnTDLm = 0$ に設定されているスレーブチャンネルの $TAUBTTOUTm$ はリセット後の値のままになります。

(6) TAUBTTOUTm の逆相期間を設定し INTTAUBnIm の生成を禁止する

下図での設定は次のようになっています。

- スレーブチャンネル 2 :
 - 正論理 (TAUBnTOL.TAUBnTOLm = 0)
- スレーブチャンネル 3 :
 - 負論理 (TAUBnTOL.TAUBnTOLm = 1)

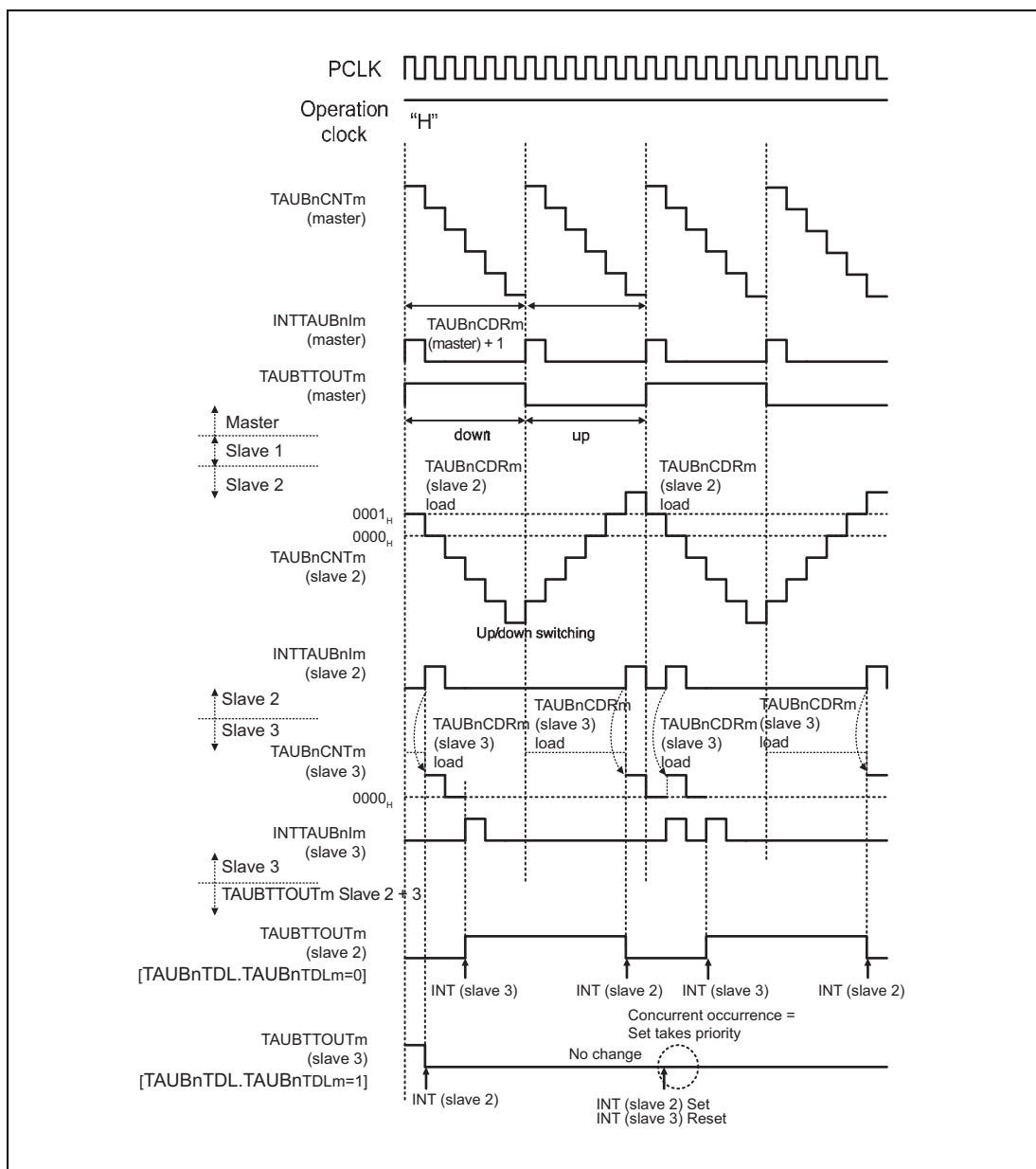


図 24.109 TAUBnCDRm (マスタ) = 0005_H, TAUBnCDRm (スレーブ 2) = 0001_H,
TAUBnCDRm (スレーブ 3) = 0001_H
PWM 信号幅 (逆相) = キャリア周期

- スレーブチャンネル3のカウンタが0000_HになるとINTTAUBnImが発生し、TAUBnTDL.TAUBnTDLm = 1 (この例ではスレーブチャンネル3) に設定されているスレーブチャンネルのTAUBTTOUTmがセットされます。
- スレーブチャンネル2がINTTAUBnImが発生し、同時にTAUBTTOUTmをリセットする場合は、TAUBnTOL.TAUBnTOLm = 1であればセット信号が優先されます (TAUBnTOL.TAUBnTOLm = 0の場合はリセット信号が優先)。
- TAUBnTDL.TAUBnTDLm = 1 に設定されているスレーブチャンネルのTAUBTTOUTmはリセット後の値のままになります。

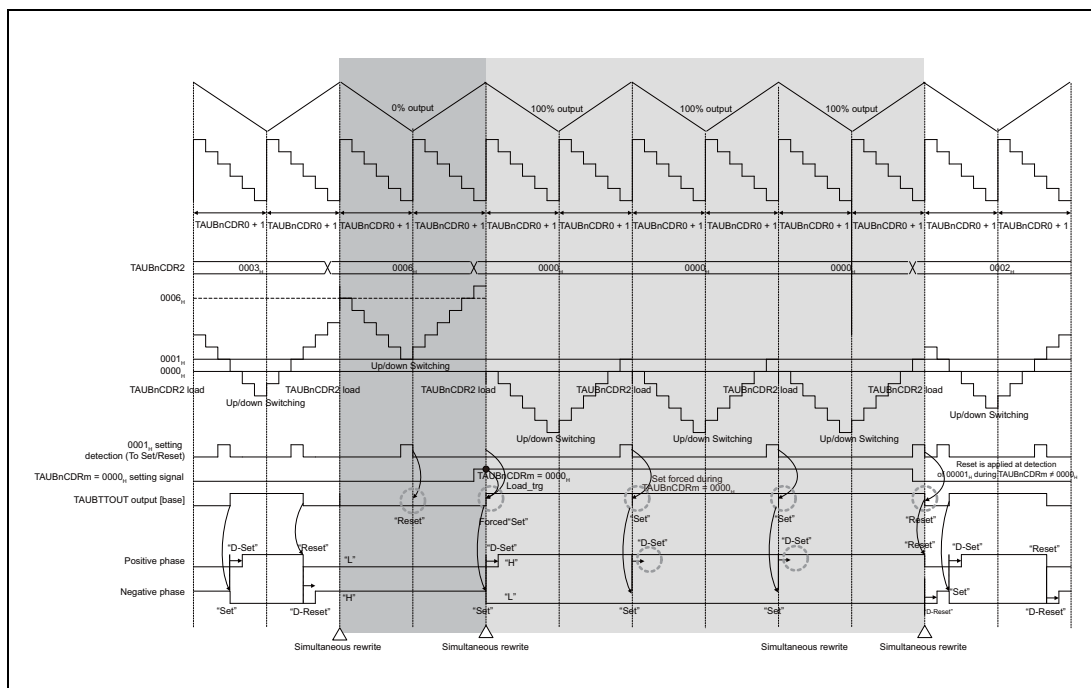
(7) スレーブ2 TAUBnCDRm = 000_H (デューティサイクル = 100%)

図 24.110 スレーブ2 TAUBnCDRm = 000_H (デューティサイクル = 100%)

(スレーブチャネル2) TAUBnCDRm ≠ 0000_H を (スレーブチャネル2) TAUBnCDRm = 0000_H (100% 出力) に書き換える場合、キャリア周期開始時に逆相に設定し、デッドタイムを確保したあと、正相に設定してください。

(スレーブチャネル2) TAUBnCDRm = 0000_H (100% 出力) を (スレーブチャネル2) TAUBnCDRm ≠ 0000_H に書き換える場合、キャリア周期終了時に正相をリセットし、デッドタイムを確保したあと、逆相に設定してください。

24.14.7 A/D 変換トリガ出力機能タイプ 2

24.14.7.1 概要

概要

この機能は、TAUBTTOUT_m が出力されないという点を除き、「24.14.5 三角波 PWM 出力機能」と同じです。スレーブチャンネルのチャンネル出力モードをソフトウェア制御のチャンネル単体出力モードに設定することにより、この機能が有効になります。

24.14.7.2 ブロック図と基本タイミング図

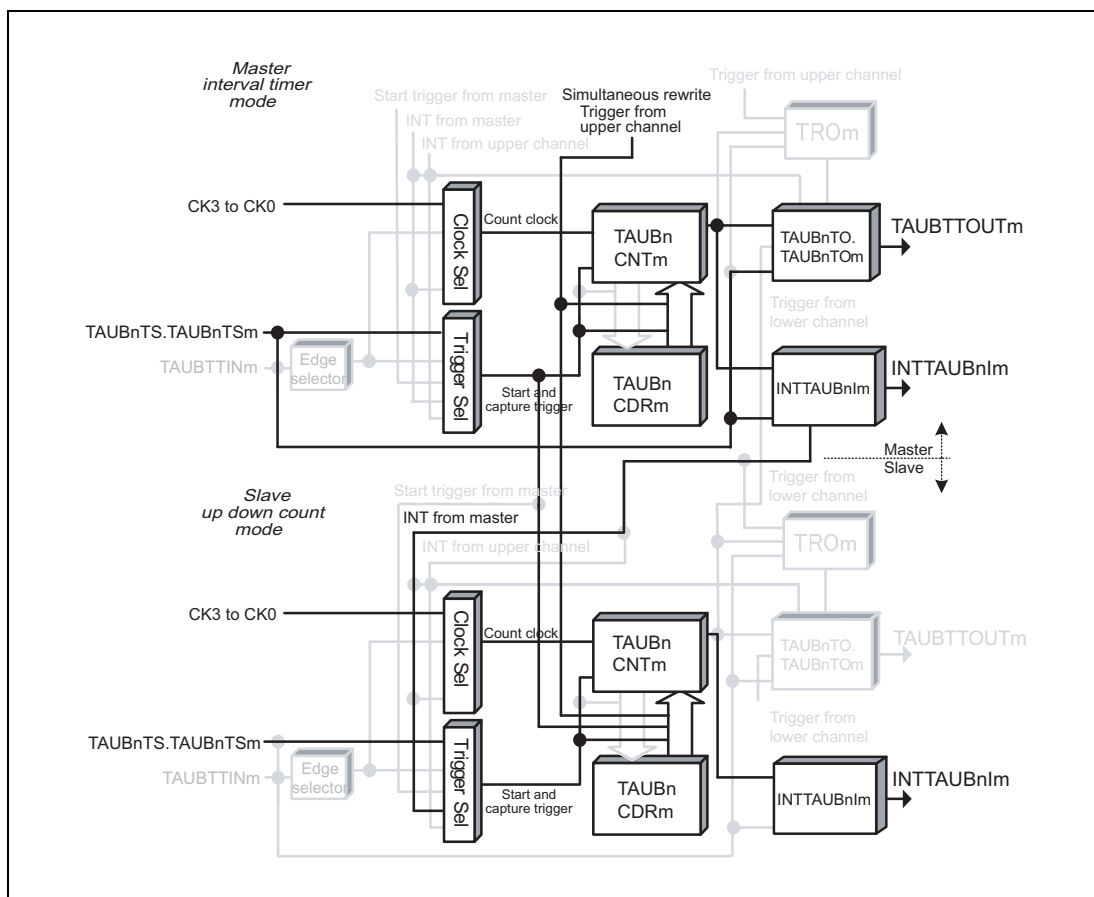


図 24.111 A/D 変換トリガ出力機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル
 - 動作開始時に INTTAUBnIm が発生する (TAUBnCMORm.TAUBnMD0 = 1)

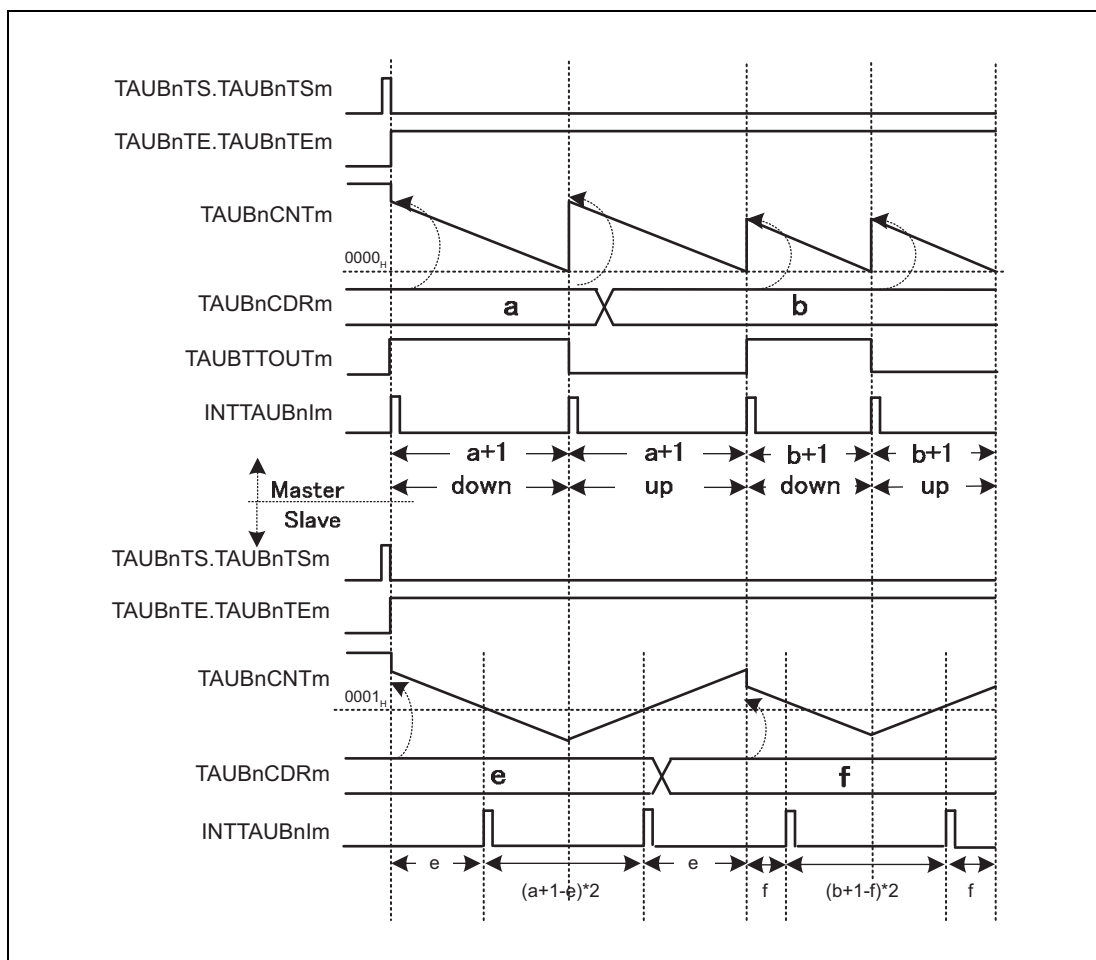


図 24.112 A/D 変換トリガ出力機能タイプ 2 の基本タイミング図

第25章 タイマアレギュニットD (TAUD)

本章では、タイマアレギュニットD (TAUD) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1K に固有の特長について説明します。それ以降の節では、TAUD の機能、レジスタについて説明します。

25.1 RH850/F1K TAUD の特長

25.1.1 ユニット数チャンネル数

本製品は、以下のユニット数の TAUD を搭載しています。

表 25.1 ユニット数

製品名	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
ユニット数	1		
名称	TAUDn (n=0)		

TAUDn は以下に示すチャンネル数のタイマを搭載しています。

表 25.2 TAUDn のユニット構成とチャンネルの対応

ユニット名 (チャンネル名) TAUDn	ユニット チャンネル数	RH850/F1K 100 pin (16 ch)	RH850/F1K 144 pin (16 ch)	RH850/F1K 176 pin (16 ch)
TAUD0	16	○	○	○

表 25.3 添字

添字	説明
n	本章では、TAUD の各ユニットを「n」で識別します。たとえば、TAUDn チャンネル出力モードレジスタ (TAUDnTOM) のように記述しています。
m	TAUD には 16 本のチャンネルがあります。本章では、各チャンネルを「m」(m = 0 ~ 15) で識別しており、特定のチャンネルを CHm のように記述しています。 偶数チャンネル (m = 0, 2, 4, 6, 8, 10, 12, 14) は CHm_even と記述します。 奇数チャンネル (m = 1, 3, 5, 7, 9, 11, 13, 15) は CHm_odd と記述します。

25.1.2 レジスタベースアドレス

TAUDn のベースアドレスを以下の表に示します。

TAUDn のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 25.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TAUD0_base>	FFE2 0000 _H

25.1.3 クロック供給

TAUDn のクロック供給を以下の表に示します。

表 25.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名	説明
TAUDn	PCLK	CKSCLK_IPERI1	モジュールクロック
	レジスタアクセスクロック	CPUCLK2	バスクロック
		CKSCLK_IPERI1	

25.1.4 割り込み要求

TAUDn の割り込み要求を以下の表に示します。

表 25.6 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
TAUD0			
INTTAUD0I0	チャンネル 0 割り込み	8, 132	0
INTTAUD0I1	チャンネル 1 割り込み	48	15
INTTAUD0I2	チャンネル 2 割り込み	9, 158	64
INTTAUD0I3	チャンネル 3 割り込み	49	76
INTTAUD0I4	チャンネル 4 割り込み	10, 133	1
INTTAUD0I5	チャンネル 5 割り込み	50	16
INTTAUD0I6	チャンネル 6 割り込み	11, 134	65
INTTAUD0I7	チャンネル 7 割り込み	51	77
INTTAUD0I8	チャンネル 8 割り込み	12, 135	2
INTTAUD0I9	チャンネル 9 割り込み	52	17
INTTAUD0I10	チャンネル 10 割り込み	13, 159	66
INTTAUD0I11	チャンネル 11 割り込み	53	78
INTTAUD0I12	チャンネル 12 割り込み	14, 160	3
INTTAUD0I13	チャンネル 13 割り込み	54	18
INTTAUD0I14	チャンネル 14 割り込み	15, 161	67
INTTAUD0I15	チャンネル 15 割り込み	55	79

25.1.5 リセット要因

TAUDn のリセット要因を以下に示します。TAUDn は以下のリセット要因で初期化されま
す。

表 25.7 リセット要因

ユニット名	リセット要因
TAUDn	すべてのリセット要因 (ISORES)

25.1.6 外部入出力信号

TAUDn の外部入出力信号を以下の表に示します。

表 25.8 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
TAUD0		
TAUDTTIN0	チャンネル 0 入力 ^{注1}	TAUD0I0
TAUDTTIN1	チャンネル 1 入力 ^{注1}	TAUD0I1
TAUDTTIN2	チャンネル 2 入力 ^{注1}	TAUD0I2
TAUDTTIN3	チャンネル 3 入力 ^{注1}	TAUD0I3
TAUDTTIN4	チャンネル 4 入力 ^{注1}	TAUD0I4
TAUDTTIN5	チャンネル 5 入力 ^{注1}	TAUD0I5
TAUDTTIN6	チャンネル 6 入力 ^{注1}	TAUD0I6
TAUDTTIN7	チャンネル 7 入力 ^{注1}	TAUD0I7
TAUDTTIN8	チャンネル 8 入力 ^{注1}	TAUD0I8
TAUDTTIN9	チャンネル 9 入力 ^{注1}	TAUD0I9
TAUDTTIN10	チャンネル 10 入力 ^{注1}	TAUD0I10
TAUDTTIN11	チャンネル 11 入力 ^{注1}	TAUD0I11
TAUDTTIN12	チャンネル 12 入力 ^{注1}	TAUD0I12
TAUDTTIN13	チャンネル 13 入力 ^{注1}	TAUD0I13
TAUDTTIN14	チャンネル 14 入力 ^{注1}	TAUD0I14
TAUDTTIN15	チャンネル 15 入力 ^{注1}	TAUD0I15
TAUDTTOUT0	チャンネル 0 出力	TAUD0O0
TAUDTTOUT1	チャンネル 1 出力	TAUD0O1
TAUDTTOUT2	チャンネル 2 出力	TAUD0O2
TAUDTTOUT3	チャンネル 3 出力	TAUD0O3
TAUDTTOUT4	チャンネル 4 出力	TAUD0O4
TAUDTTOUT5	チャンネル 5 出力	TAUD0O5
TAUDTTOUT6	チャンネル 6 出力	TAUD0O6
TAUDTTOUT7	チャンネル 7 出力	TAUD0O7
TAUDTTOUT8	チャンネル 8 出力	TAUD0O8
TAUDTTOUT9	チャンネル 9 出力	TAUD0O9
TAUDTTOUT10	チャンネル 10 出力	TAUD0O10
TAUDTTOUT11	チャンネル 11 出力	TAUD0O11
TAUDTTOUT12	チャンネル 12 出力	TAUD0O12
TAUDTTOUT13	チャンネル 13 出力	TAUD0O13
TAUDTTOUT14	チャンネル 14 出力	TAUD0O14
TAUDTTOUT15	チャンネル 15 出力	TAUD0O15

注 1. チャンネル入力端子を使用する場合ポートのノイズフィルタの設定が必要となります。詳細は「2.12 ノイズフィルタ & エッジレベル検出回路」を参照してください。

25.1.7 内部入出力信号

TAUD_n の内部入出力信号を以下の表に示します。

表 25.9 内部入出力信号

ユニット信号名	説明	接続先
TAUDTSS _{Tm}	チャンネル同時スタートトリガ入力	PIC
TAUDTUDC _m ($m = 0, 2, 8$)	TAUD マスタアップ/ダウン信号出力	PIC

25.1.8 TAUD0 入力の選択

次の図に示すように、ポート TAUD0_m ($m = 0 \sim 15$) からの出力を TAUDTTIN_m ($m = 0 \sim 15$) に入力できます。

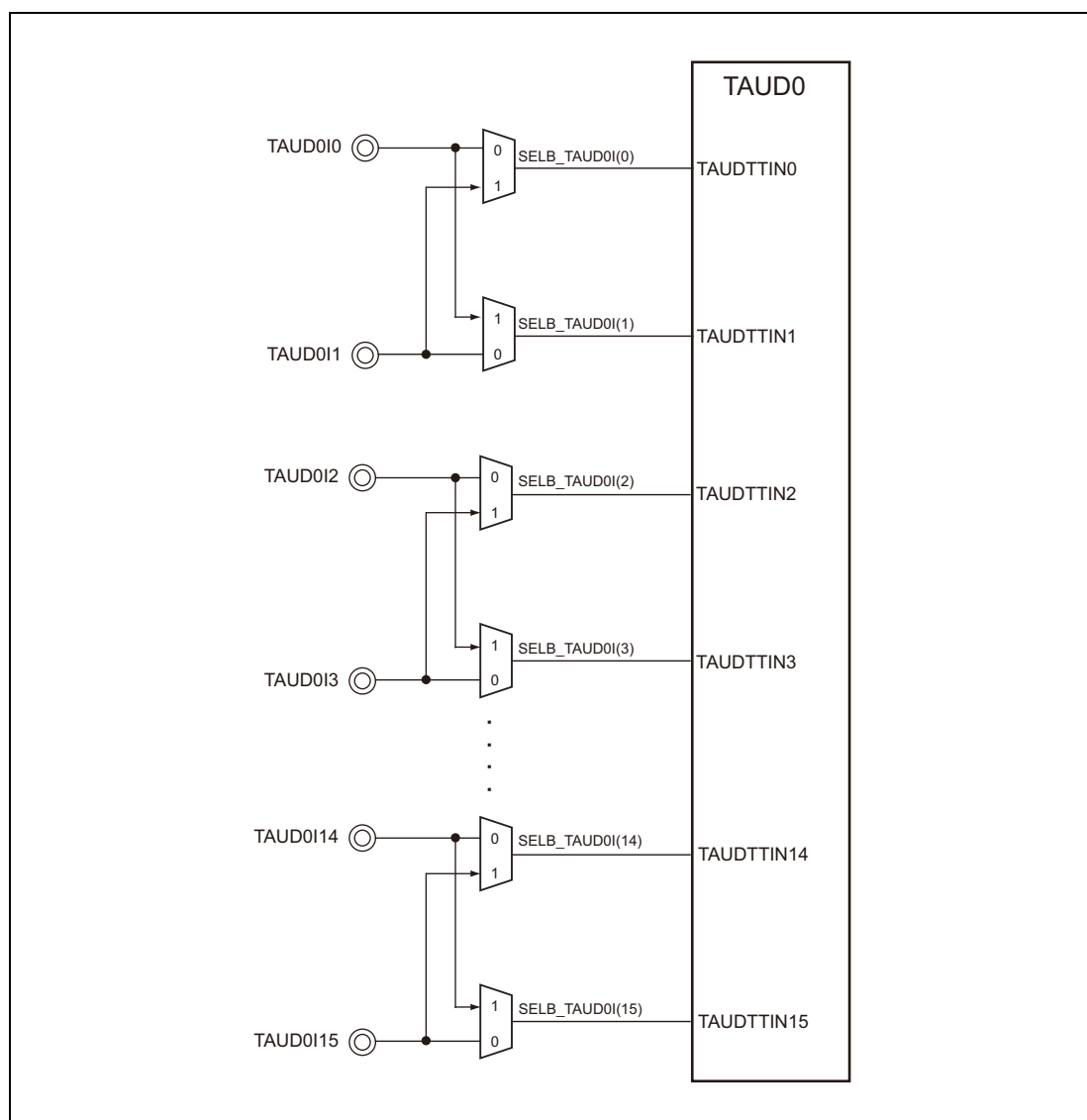


図 25.1 TAUD0 への入力信号の選択

次の表に TAUD0 への入力信号の選択方法について示します。

表 25.10 TAUD0 入力の選択

入力信号	機能	設定
TAUDTTIN [m]	ポート TAUD0[m]	SELB_TAUD0I [m] = 0
	ポート TAUD0[m + 1]	SELB_TAUD0I [m] = 1
TAUDTTIN [m + 1]	ポート TAUD0[m + 1]	SELB_TAUD0I [m + 1] = 0
	ポート TAUD0[m]	SELB_TAUD0I [m + 1] = 1

25.1.8.1 レジスタ一覧

入力信号選択レジスタのレジスタ一覧を以下の表に示します。

表 25.11 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
SL_TAUD0	TAUDTTINm 入力信号選択レジスタ	SELB_TAUD0I	FFE2 4000 _H

25.1.8.2 SELB_TAUD0I — TAUDTTINm 入力信号選択レジスタ

SELB_TAUD0I レジスタは、TAUDTTINm 入力信号を選択するレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFE2 4000_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SELB_TAUD0I15	SELB_TAUD0I14	SELB_TAUD0I13	SELB_TAUD0I12	SELB_TAUD0I11	SELB_TAUD0I10	SELB_TAUD0I9	SELB_TAUD0I8	SELB_TAUD0I7	SELB_TAUD0I6	SELB_TAUD0I5	SELB_TAUD0I4	SELB_TAUD0I3	SELB_TAUD0I2	SELB_TAUD0I1	SELB_TAUD0I0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.12 SELB_TAUD0I レジスタの内容

ビット位置	ビット名	機能			
15 ~ 0	SELB_TAUD0Im	TAUDTTINm の入力信号を選択します。			
		TAUD input	Bit [m+1]	Bit [m]	入力信号
		TAUDTTIN[m]	x	0	ポート TAUD0I[m] を選択
			x	1	ポート TAUD0I[m + 1] を選択
		TAUDTTIN[m+1]	0	x	ポート TAUD0I[m + 1] を選択
			1	x	ポート TAUD0I[m] を選択
		(m = 0, 2, 4, 6, 8, 10, 12, 14)			

注 意

タイマカウント中のチャンネルは、入力信号の切り替えを行わないでください。

25.2 概要

25.2.1 機能概要

TAUD には、次の機能があります。

- 16 チャンネル
- チャンネルごとの 16 ビットカウンタおよび 16 ビットデータレジスタ
- チャンネル単体動作
- チャンネル連動動作 (マスタおよびスレーブ動作)
- 異なる種類の出力信号の生成
- リアルタイム出力
- 外部信号によるカウントの開始
- 割り込み発生

TAUD は、各種カウントやタイマ動作を行い、その動作の結果によって異なる信号を出力します。カウントクロックを生成するためのプリスケアラ、カウント開始値および比較値を保持するための 16 ビットカウンタ TAUDnCNTm と 16 ビットデータレジスタ TAUDnCDRm をそれぞれ備えた 16 チャンネルを搭載しています。

また、いくつかの制御レジスタおよびステータスレジスタを持っています。

単体および連動動作

各チャンネルは、単体で、またはほかのチャンネルと連動して、異なる動作モードで動作することが可能です。1 つのマスタチャンネルと 1 つ以上のスレーブチャンネルの場合、スレーブチャンネルは、マスタチャンネルに依存します。

あるチャンネルを単体動作させる場合、そのチャンネルの動作モードと機能は、ほかのチャンネルのそれらに影響を受けません。あるチャンネルを連動させる場合、そのチャンネルはマスタまたはスレーブチャンネルです。マスタチャンネルには、複数のスレーブチャンネルがある可能性があり、あるチャンネルの状態にほかのすべてのチャンネルが影響を受けます。たとえば、あるチャンネルを使って、ほかのチャンネルのカウント開始タイミングやリセットタイミング等を制御できます。

25.2.2 用語

本章で使用されている用語について説明します。

単体動作機能／連動動作機能

単体動作機能／連動動作機能は、チャンネル間の依存性を示します。

- あるチャンネルがほかのすべてのチャンネルから独立して動作している場合をチャンネル単体動作と呼びます。
- あるチャンネルの動作がほかのチャンネルに依存している場合をチャンネル連動動作と呼びます。

チャンネルグループ

チャンネル連動動作では、依存関係にあるすべてのチャンネルを「チャンネルグループ」と呼びます。

1つのチャンネルグループは、1つのマスタチャンネルと1つ以上のスレーブチャンネルで構成されます。

動作モード

チャンネル m ごとに動作モードを指定できます。動作モードは、あるチャンネルの基本動作と機能を規定します。

チャンネル連動動作では、チャンネルグループに属する各チャンネルは、異なる動作モードで動作することが可能です。

動作モードには、キャプチャモード、イベントカウントモード、インターバルタイマモードなどがあります。

チャンネル出力モード

チャンネル出力モードは、次のチャンネルの TAUDTTOUT m の動作を規定します。

- 1つのチャンネル (単体出力動作)
- チャンネルグループに属するすべてのチャンネル (連動出力動作)

チャンネル単体出力モード1、デッドタイム出力付きチャンネル連動動作モード2などがあります。

チャンネル動作機能

チャンネル動作機能は、次のチャンネルの全機能およびすべての特長を規定します。

- 1つのチャンネル (チャンネル単体動作)
- チャンネルグループに属するすべてのチャンネル (チャンネル連動動作)

上位／下位チャンネル

チャンネル m から見て、小さい番号または大きい番号のチャンネルを上位または下位チャンネルと呼びます。

- 上位チャンネル：小さい番号のチャンネル
- 下位チャンネル：大きい番号のチャンネル

たとえば、チャンネル5に対してチャンネル3は上位チャンネル、チャンネル9は下位チャンネルです。

25.2.3 タイマ動作機能一覧

このタイマは各チャンネルを単体で動作させたり、複数チャンネルを組み合わせて動作させることで、下記の機能が実現できます。

表 25.13 TAUD 動作機能一覧

動作機能	設定例
チャンネル単体動作機能	25.12 章
インターバルタイマ機能	25.12.1 章
TAUDTTINm 入力インターバルタイマ機能	25.12.2 章
クロック分周機能	25.12.3 章
外部イベントカウント機能	25.12.4 章
ディレイカウント機能	25.12.5 章
ワンパルス出力機能	25.12.6 章
TAUDTTINm 入力パルスインターバル測定機能	25.12.7 章
TAUDTTINm 入力信号幅測定機能	25.12.8 章
TAUDTTINm 入力位置検出機能	25.12.9 章
TAUDTTINm 入力期間カウント検出機能	25.12.10 章
TAUDTTINm 入力パルスインターバル判定機能	25.12.11 章
TAUDTTINm 入力信号幅判定機能	25.12.12 章
オーバフロー割り込み出力機能 (TAUDTTINm 幅測定時)	25.12.13 章
オーバフロー割り込み出力機能 (TAUDTTINm 入力期間カウント検出時)	25.12.14 章
1 相 PWM 出力機能	25.12.15 章
チャンネル単体リアルタイム機能	25.13 章
リアルタイム出力機能タイプ 1	25.13.1 章
リアルタイム出力機能タイプ 2	25.13.2 章
チャンネル単体一斉書き換え機能	25.14 章
一斉書き換えトリガ生成機能タイプ 1	25.14.1 章
一斉書き換えトリガ生成機能タイプ 2	25.14.2 章
チャンネル連動動作機能	25.15 章
PWM 出力機能	25.15.1 章
ワンショットパルス出力機能	25.15.2 章
トリガスタート PWM 出力機能	25.15.3 章
ディレイパルス出力機能	25.15.4 章
オフセットトリガ出力機能	25.15.5 章
A/D 変換トリガ出力機能タイプ 1	25.15.6 章
三角波 PWM 出力機能	25.15.7 章
デッドタイム付き三角波 PWM 出力機能	25.15.8 章
A/D 変換トリガ出力機能タイプ 2	25.15.9 章
割り込み要求信号間引き機能	25.15.10 章
連動非相補方式変調出力機能と連動相補方式変調出力機能	25.16 章
非相補方式変調出力機能タイプ 1	25.16.1 章
非相補方式変調出力機能タイプ 2	25.16.2 章
相補方式変調出力機能	25.16.3 章

25.2.4 入出力と割り込み要求信号

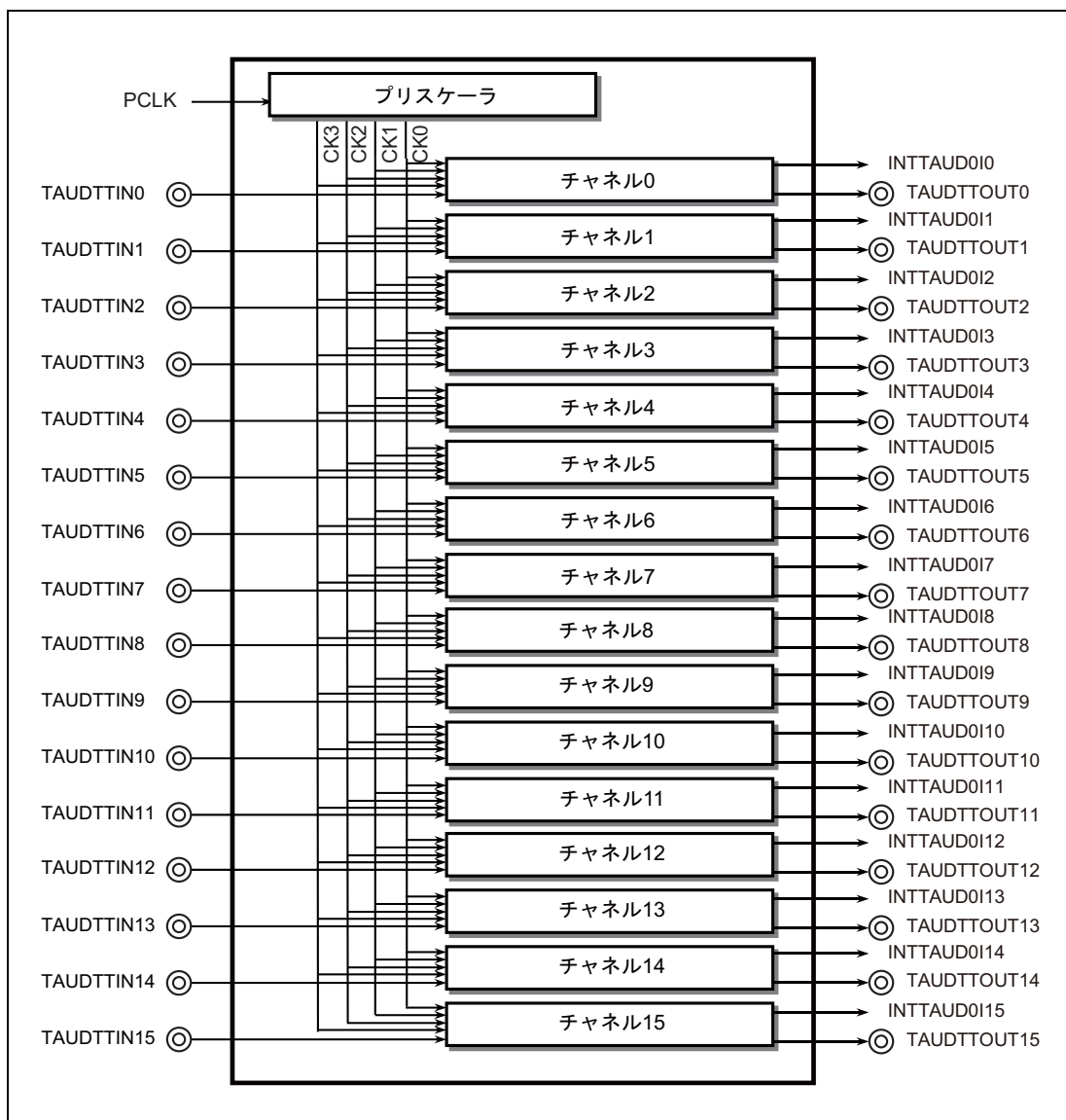


図 25.2 TAUD 入出力と割り込み要求信号

25.2.5 ブロック図

TAUD の主な構成要素を図 25.3 に示します。

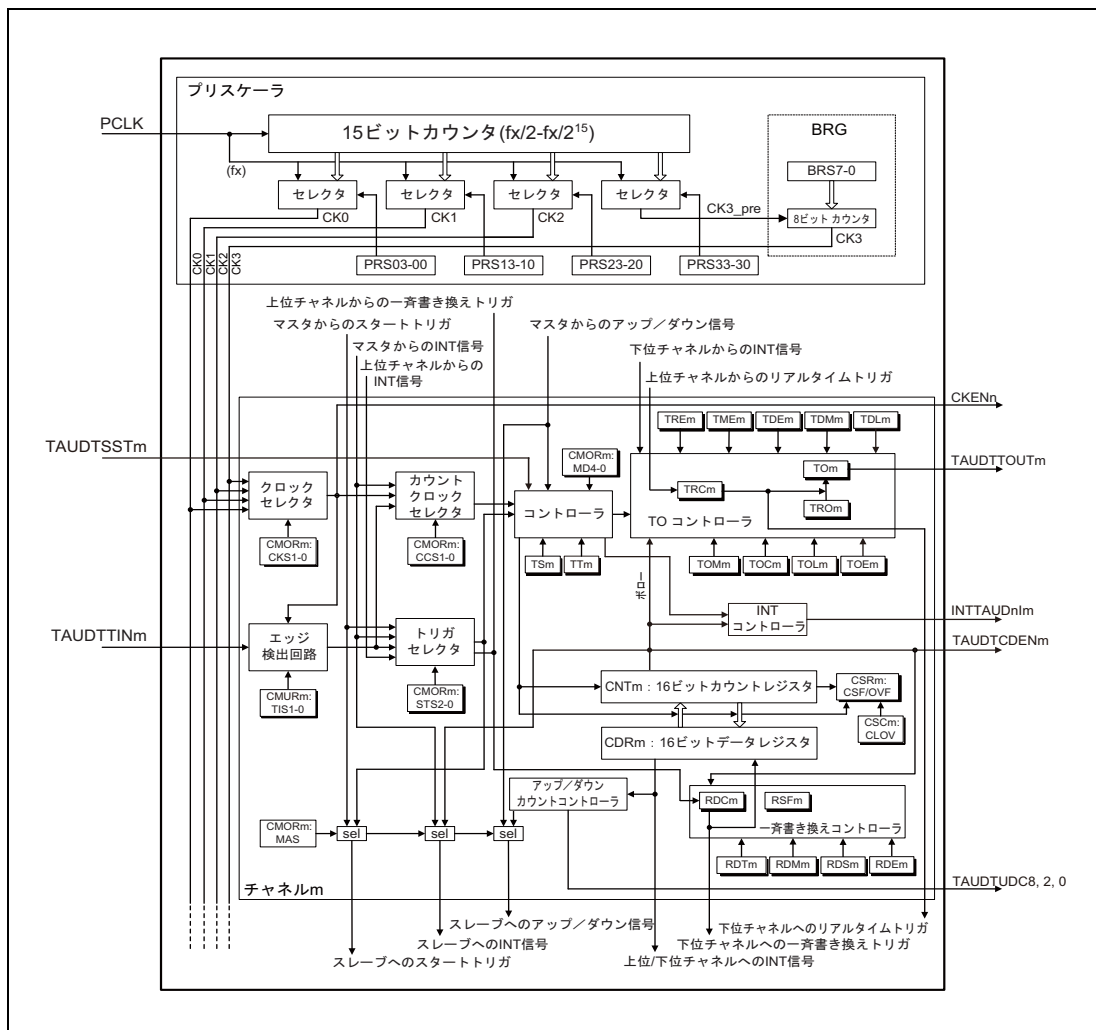


図 25.3 TAUD のブロック図

モジュール名の「TAUDn」は、図を見やすくするために省略されています。

25.2.6 ブロック図の説明

機能ブロックを次に説明します。

プリスケータ

プリスケータは、すべてのチャンネルのカウントクロックとして使用することができる最大4つのクロック信号 (CK0 ~ CK3) を供給します。

カウントクロック CK0 ~ CK2 は、プリスケータにより PCLK の $2^0 \sim 2^{15}$ の分周したクロックを選択することができます。4つ目のカウントクロック CK3 は、BRG を使用することにより、2のべき乗以外の分周比を設定することができます。

クロックおよびカウントクロックの選択

クロックカウントセレクトは、各チャンネルに対してクロックソースを次から選択します。

- CK0 ~ CK3 のいずれかのクロック (クロックセレクトにより選択)
- マスタチャンネルからの INTTAUDnIm
- TAUDTTINm 入力信号の有効エッジ

コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード (TAUDnCMORm.TAUDnMD[4:0] ビットにより選択)
- カウント開始許可 (TAUDnTS.TAUDnTSm) およびカウント停止 (TAUDnTT.TAUDnTTm)
カウントの開始を許可すると、ステータスフラグ TAUDnTE.TAUDnTEm がセットされます。
- カウント方式 (アップ/ダウン) (マスタチャンネルにより制御可能)

トリガセレクト

選択した動作モードにより、カウンタは、動作が許可されている場合 (TAUDnTE.TAUDnTEm = 1) には自動的に起動するか、外部スタートトリガ信号を待ちます。次の信号をスタートトリガとして使うことができます。

- チャンネル連動スタートトリガ入力 TAUDnTSSm
- TAUDTTINm 入力の有効エッジ
- マスタ、または上位チャンネルからの INTTAUDnIm
- マスタチャンネルのアップ/ダウン出力トリガ信号
- TAUDTTOUTm 生成ユニットのデッドタイム出力信号

一斉書き換えコントローラ

一斉書き換え制御は、連動動作機能で使える機能です。あるチャンネルグループに属する全チャンネルのデータレジスタ (TAUDnCDRm) はいつでも書き換えられます。一斉書き換えコントローラは、全チャンネルのデータレジスタの新しい値が同時に有効になります。

TAUDnTO コントローラ

各チャネルの出力を制御することにより、PWM 信号や三角波信号などの各種出力信号を出力できます。

25.3 レジスタ

25.3.1 レジスタ一覧

TAUDn のレジスタ一覧を以下の表に示します。

<TAUDn_base> は「**25.1.2 レジスタベースアドレス**」を参照してください。

表 25.14 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
TAUDn プリスケアラレジスタ			
TAUDn	TAUDn プリスケアラクロック選択レジスタ	TAUDnTPS	<TAUDn_base> + 240 _H
	TAUDn プリスケアラポーレート設定レジスタ	TAUDnBRS	<TAUDn_base> + 244 _H
TAUDn 制御レジスタ			
TAUDn	TAUDn チャンネルデータレジスタ m	TAUDnCDRm	<TAUDn_base> + m × 4 _H
	TAUDn チャンネルカウンタレジスタ m	TAUDnCNTm	<TAUDn_base> + 80 _H + m × 4 _H
	TAUDn チャンネルモード OS レジスタ m	TAUDnCMORm	<TAUDn_base> + 200 _H + m × 4 _H
	TAUDn チャンネルモードユーザレジスタ m	TAUDnCMURm	<TAUDn_base> + C0 _H + m × 4 _H
	TAUDn チャンネルステータスレジスタ m	TAUDnCSRm	<TAUDn_base> + 140 _H + m × 4 _H
	TAUDn チャンネルステータスクリアトリガレジスタ m	TAUDnCSCm	<TAUDn_base> + 180 _H + m × 4 _H
	TAUDn チャンネルスタートトリガレジスタ	TAUDnTS	<TAUDn_base> + 1C4 _H
	TAUDn チャンネル許可ステータスレジスタ	TAUDnTE	<TAUDn_base> + 1C0 _H
	TAUDn チャンネルストップトリガレジスタ	TAUDnTT	<TAUDn_base> + 1C8 _H
TAUDn 出力レジスタ			
TAUDn	TAUDn チャンネル出力許可レジスタ	TAUDnTOE	<TAUDn_base> + 5C _H
	TAUDn チャンネル出力レジスタ	TAUDnTO	<TAUDn_base> + 58 _H
	TAUDn チャンネル出力モードレジスタ	TAUDnTOM	<TAUDn_base> + 248 _H
	TAUDn チャンネル出力コンフィグレーションレジスタ	TAUDnTOC	<TAUDn_base> + 24C _H
	TAUDn チャンネル出力アクティブレベルレジスタ	TAUDnTOL	<TAUDn_base> + 040 _H
	TAUDn チャンネルデッドタイム出力許可レジスタ	TAUDnTDE	<TAUDn_base> + 250 _H
	TAUDn チャンネルデッドタイム出力モードレジスタ	TAUDnTDM	<TAUDn_base> + 254 _H
	TAUDn チャンネルデッドタイム出力レベルレジスタ	TAUDnTDL	<TAUDn_base> + 54 _H
	TAUDn チャンネルリアルタイム出力レジスタ	TAUDnTRO	<TAUDn_base> + 4C _H
	TAUDn チャンネルリアルタイム出力許可レジスタ	TAUDnTRE	<TAUDn_base> + 258 _H
	TAUDn チャンネルリアルタイム出力制御レジスタ	TAUDnTRC	<TAUDn_base> + 25C _H
	TAUDn チャンネル変調出力許可レジスタ	TAUDnTME	<TAUDn_base> + 50 _H
	TAUDn リロードデータレジスタ		
TAUDn	TAUDn チャンネルリロードデータ許可レジスタ	TAUDnRDE	<TAUDn_base> + 260 _H
	TAUDn チャンネルリロードデータモードレジスタ	TAUDnRDM	<TAUDn_base> + 264 _H
	TAUDn チャンネルリロードデータ制御 CH 選択レジスタ	TAUDnRDS	<TAUDn_base> + 268 _H
	TAUDn チャンネルリロードデータ制御レジスタ	TAUDnRDC	<TAUDn_base> + 26C _H
	TAUDn チャンネルリロードデータトリガレジスタ	TAUDnRDT	<TAUDn_base> + 44 _H
	TAUDn チャンネルリロードステータスレジスタ	TAUDnRSF	<TAUDn_base> + 48 _H
TAUDn エミュレーションレジスタ			
TAUDn	TAUDn エミュレーションレジスタ	TAUDnEMU	<TAUDn_base> + 290 _H

25.3.2 TAUDn プリスケーラレジスタの詳細

25.3.2.1 TAUDnTPS — TAUDn プリスケーラクロック選択レジスタ

PCLK プリスケーラの全チャンネルの CK0、CK1、CK2、CK3_PRE クロックを指定するレジスタです。CK3 は、CK3_PRE を TAUDnBRS で指定した係数で分周することによって生成されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 240_H

リセット後の値 FFFF_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnPRS3[3:0]				TAUDnPRS2[3:0]				TAUDnPRS1[3:0]				TAUDnPRS0[3:0]			
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.15 TAUDnTPS レジスタの内容 (1/3)

ビット位置	ビット名	機能																																		
15 ~ 12	TAUDnPRS3 [3:0]	<p>CK3_PRE クロックを指定します。 CK3_PRE クロックは BRG ユニットの入力クロックです。BRG ユニットの全チャンネルに CK3 動作クロックを供給します。</p> <table border="1"> <thead> <tr> <th>TAUDnPRS3[3:0]</th> <th>CK3_PRE クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>本ビットは、CK3 を使用するカウンタがすべて停止している (TAUDnTE.TAUDnTEm = 0) 場合のみ書き換え可能です。</p>	TAUDnPRS3[3:0]	CK3_PRE クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUDnPRS3[3:0]	CK3_PRE クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			

表 25.15 TAUDnTPS レジスタの内容 (2/3)

ビット位置	ビット名	機能																																		
11 ~ 8	TAUDnPRS2 [3:0]	<p>CK2 クロックを指定します。</p> <table border="1"> <thead> <tr> <th>TAUDnPRS2[3:0]</th> <th>CK2 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>本ビットは、CK2 を使用するカウンタがすべて停止している (TAUDnTE.TAUDnTEm = 0) 場合のみ書き換え可能です。</p>	TAUDnPRS2[3:0]	CK2 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUDnPRS2[3:0]	CK2 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
7 ~ 4	TAUDnPRS1 [3:0]	<p>CK1 クロックを指定します。</p> <table border="1"> <thead> <tr> <th>TAUDnPRS1[3:0]</th> <th>CK1 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>本ビットは、CK1 を使用するカウンタがすべて停止している (TAUDnTE.TAUDnTEm = 0) 場合のみ書き換え可能です。</p>	TAUDnPRS1[3:0]	CK1 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUDnPRS1[3:0]	CK1 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			

表 25.15 TAUDnTPS レジスタの内容 (3/3)

ビット位置	ビット名	機能																																		
3 ~ 0	TAUDnPRS0 [3:0]	CK0 クロックを指定します。 <table border="1" data-bbox="667 353 1406 987"> <thead> <tr> <th>TAUDnPRS0[3:0]</th> <th>CK0 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUDnPRS0[3:0]	CK0 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUDnPRS0[3:0]	CK0 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
		本ビットは、CK0 を使用するカウンタがすべて停止している (TAUDnTE.TAUDnTEm = 0) 場合のみ書き換え可能です。																																		

備考

TAUDn クロック入力 PCLK については、本章の最初の節内「**25.1.3 クロック供給**」で定義しています。

25.3.2.2 TAUDnBRS — TAUDn プリスケーラポーレート設定レジスタ

プリスケーラクロック CK3 の分周係数を指定するレジスタです。

CK3 は、CK3_PRE をこのレジスタで指定した係数+1 で分周することによって生成されます。CK3_PRE 用の PCLK プリスケーラは、TAUDnTPS.TAUDnPRS3[3:0] で指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 244_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	TAUDnBRS[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.16 TAUDnBRS レジスタの内容

ビット位置	ビット名	機能																
7 ~ 0	TAUDnBRS [7:0]	CK3 生成のための CK3_PRE クロック分周係数を指定します。																
		<table border="1"> <thead> <tr> <th>TAUDnBRS[7:0]</th> <th>CK3 クロック</th> </tr> </thead> <tbody> <tr> <td>0000 0000_B</td> <td>CK3_PRE / 1</td> </tr> <tr> <td>0000 0001_B</td> <td>CK3_PRE / 2</td> </tr> <tr> <td>0000 0010_B</td> <td>CK3_PRE / 3</td> </tr> <tr> <td>0000 0011_B</td> <td>CK3_PRE / 4</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>1111 1110_B</td> <td>CK3_PRE / 255</td> </tr> <tr> <td>1111 1111_B</td> <td>CK3_PRE / 256</td> </tr> </tbody> </table>	TAUDnBRS[7:0]	CK3 クロック	0000 0000 _B	CK3_PRE / 1	0000 0001 _B	CK3_PRE / 2	0000 0010 _B	CK3_PRE / 3	0000 0011 _B	CK3_PRE / 4	1111 1110 _B	CK3_PRE / 255	1111 1111 _B	CK3_PRE / 256
TAUDnBRS[7:0]	CK3 クロック																	
0000 0000 _B	CK3_PRE / 1																	
0000 0001 _B	CK3_PRE / 2																	
0000 0010 _B	CK3_PRE / 3																	
0000 0011 _B	CK3_PRE / 4																	
...	...																	
1111 1110 _B	CK3_PRE / 255																	
1111 1111 _B	CK3_PRE / 256																	

25.3.3 TAUDn 制御レジスタの詳細

25.3.3.1 TAUDnCDRm — TAUDn チャネルデータレジスタ

このレジスタは、TAUDnCMORm.TAUDnMD[4:1] で指定された動作モードによって、コンペアレジスタもしくはキャプチャレジスタとして機能するレジスタです。

アクセス 16ビット単位でリード/ライト可能です。
キャプチャレジスタ機能時は、リードのみ可能です。ライト動作は無視されます。
コンペアレジスタ機能時は、リード/ライト可能です。

アドレス <TAUDn_base> + m × 4_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.17 TAUDnCDRm レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnCDR [15:0]	キャプチャ値/コンペア値用データレジスタ

25.3.3.2 TAUDnCNTm — TAUDn チャネルカウンタレジスタ

チャンネル m カウンタレジスタです。

アクセス 16ビット単位でリードのみ可能です。

アドレス <TAUDn_base> + 80_H + m × 4_H

リセット後の値 FFFF_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCNT[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.18 TAUDnCNTm レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnCNT [15:0]	16ビットカウンタ値

リード値は、カウンタ、動作モード変更、TAUDnTS.TAUDnTSM、TAUDnTT.TAUDnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタストップトリガによる停止 (TAUDnTT.TAUDnTTm = 1)

カウント停止後 (TAUDnTE.TAUDnTEm = 0) と再許可後 (TAUDnTS.TAUDnTSM = 1) のカウンタの初期リード値を表 25.19 に示します。

また、カウンタがスタートトリガを待っている状態で、カウンタ動作が許可 (TAUDnTS.TAUDnTsm = 1) されてから 1 カウント後のカウンタのリード値も示します。

表 25.19 カウント再許可後の TAUDnCNTm リード値

モード名	カウント方式 (アップ/ダウン)	TAUDnCNTm 値		
		スタート 値 ^{注1}	ストップトリガ後	ワンカウント後
インターバルタイマモード	ダウンカウント	FFFF _H	停止値	—
ジャッジモード	ダウンカウント	FFFF _H	停止値	—
キャプチャモード	アップカウント	0000 _H	停止値	—
イベントカウントモード	ダウンカウント	FFFF _H	停止値	—
ワンカウントモード	ダウンカウント	FFFF _H	停止値	停止値
キャプチャ&ワンカウントモード	アップカウント	0000 _H	停止値	キャプチャ値 + 1 (TAUDnCDRm)
ジャッジ&ワンカウントモード	ダウンカウント	FFFF _H	停止値	TAUDnCNTm 値 - 1
アップ/ダウンカウントモード	アップ/ダウンカ ウント	FFFF _H	停止値	—
パルスワンカウントモード	ダウンカウント	FFFF _H	停止値	0000 _H
カウントキャプチャモード	アップカウント	0000 _H	停止値	—
ゲートカウントモード	ダウンカウント	FFFF _H	停止値	停止値
キャプチャ&ゲート カウントモード	アップカウント	0000 _H	停止値	停止値

注 1. リセット解除後、動作モードを変更した際に TAUDnCNTm にセットされる値

25.3.3.3 TAUDnCMORm — TAUDn チャネルモード OS レジスタ

このレジスタは、チャネル m の動作を制御します。

アクセス 16 ビット単位でリード/ライト可能です。
カウンタ停止中 (TAUDnTE.TAUDnTEm = 0) のときのみライト可能です。

アドレス <TAUDn_base> + 200_H + m × 4_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.20 TAUDnCMORm レジスタの内容 (1/3)

ビット位置	ビット名	機能															
15、14	TAUDnCKS [1:0]	<p>動作クロックを選択します。 動作クロックは TAUDTTINm 入力エッジ検出回路で使します。 TAUDnCMORm.TAUDnCCS[1:0] ビットの設定により、TAUDnCNTm のカウンタクロックとして使用することも可能です。</p> <table border="1"> <thead> <tr> <th>TAUDnCKS1</th> <th>TAUDnCKS0</th> <th>動作クロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CK0</td> </tr> <tr> <td>0</td> <td>1</td> <td>CK1</td> </tr> <tr> <td>1</td> <td>0</td> <td>CK2</td> </tr> <tr> <td>1</td> <td>1</td> <td>CK3</td> </tr> </tbody> </table>	TAUDnCKS1	TAUDnCKS0	動作クロック選択	0	0	CK0	0	1	CK1	1	0	CK2	1	1	CK3
TAUDnCKS1	TAUDnCKS0	動作クロック選択															
0	0	CK0															
0	1	CK1															
1	0	CK2															
1	1	CK3															
13、12	TAUDnCCS [1:0]	<p>TAUDnCNTm カウンタのカウンタクロックを選択します。</p> <table border="1"> <thead> <tr> <th>TAUDnCCS1</th> <th>TAUDnCCS0</th> <th>カウンタクロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>TAUDnCMORm.TAUDnCKS[1:0] で指定した動作クロック</td> </tr> <tr> <td>0</td> <td>1</td> <td>TAUDTTINm 入力信号の有効エッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>マスタチャネルの INTTAUDnIm 信号</td> </tr> </tbody> </table>	TAUDnCCS1	TAUDnCCS0	カウンタクロック選択	0	0	TAUDnCMORm.TAUDnCKS[1:0] で指定した動作クロック	0	1	TAUDTTINm 入力信号の有効エッジ	1	0	設定禁止	1	1	マスタチャネルの INTTAUDnIm 信号
TAUDnCCS1	TAUDnCCS0	カウンタクロック選択															
0	0	TAUDnCMORm.TAUDnCKS[1:0] で指定した動作クロック															
0	1	TAUDTTINm 入力信号の有効エッジ															
1	0	設定禁止															
1	1	マスタチャネルの INTTAUDnIm 信号															
11	TAUDnMAS	<p>チャネル連動動作時に、そのチャネルがマスタチャネルかスレーブチャネルかを指定します。 0: スレーブ 1: マスタ このビット設定は偶数チャネル (CHm_even) に対してのみ有効です。奇数チャネル (CHm_odd) は、“0” に固定されています。</p>															

表 25.20 TAUDnCMORm レジスタの内容 (2/3)

ビット位置	ビット名	機能			
10 ~ 8	TAUDnSTS [2:0]	外部スタートトリガを選択します。			
		TAUDnSTS2	TAUDnSTS1	TAUDnSTS0	機能説明
		0	0	0	ソフトウェアトリガ
		0	0	1	TAUDTTINm 入力信号の有効エッジ。有効エッジは TAUDnCMURm.TAUDnTIS[1:0] で指定
		0	1	0	TAUDTTINm 入力信号の有効エッジをスタートトリガ、逆エッジをストップトリガとして使用
		0	1	1	一斉書き換えトリガ
		1	0	0	マスタチャンネルの INTTAUDnIm がスタートトリガ
		1	0	1	マスタ設定にかかわらず、上位チャンネル (m-1) の INTTAUDnIm がスタートトリガ
		1	1	0	TAUDTTOUTm 生成ユニットのデッドタイム出力信号
		1	1	1	マスタチャンネルのアップ/ダウン出カトリガ信号
7、6	TAUDnCOS [1:0]	チャンネル m のキャプチャレジスタ TAUDnCDRm とオーパフローフラグ TAUDnCSRm.TAUDnOVF を更新するタイミングを指定します。これらのビットはチャンネル m がキャプチャ機能（キャプチャモード、キャプチャ&ワンカウントモード）のときにのみ有効です。			
		TAUDnCOS1	TAUDnCOS0	TAUDnCDRm	TAUDnCSRm.TAUDnOVF
		0	0	TAUDTTINm 入力有効エッジを検出すると更新	TAUDTTINm 入力有効エッジを検出すると更新（クリアまたはセット） <ul style="list-style-type: none"> 有効エッジを最後に検出してからカウンタオーパフローが発生している場合は、TAUDnCSRm.TAUDnOVF をセット 有効エッジを最後に検出してからカウンタオーパフローが発生していない場合は、TAUDnCSRm.TAUDnOVF をクリア
		0	1		カウンタオーパフロー時にセット、TAUDnCSCm.TAUDnCLOV = 1 に設定することでクリア
		1	0	TAUDTTINm 入力有効エッジ検出およびカウンタオーパフローの発生により更新	設定なし
		1	1	<ul style="list-style-type: none"> TAUDTTINm 入力有効エッジ検出：カウンタ値が TAUDnCDRm に書き込まれる オーパフロー発生：FFFF_H が TAUDnCDRm にロードされる。次の TAUDTTINm 入力有効エッジ検出は無視される。 	カウンタオーパフロー時にセット、TAUDnCSCm.TAUDnCLOV = 1 に設定することでクリア
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。			

表 25.20 TAUDnCMORm レジスタの内容 (3/3)

ビット位置	ビット名	機能																																																																																										
4 ~ 0	TAUDnMD [4:0]	動作モードを指定します。																																																																																										
		<table border="1"> <thead> <tr> <th>TAUDnMD4</th> <th>TAUDnMD3</th> <th>TAUDnMD2</th> <th>TAUDnMD1</th> <th>TAUDnMD0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1/0</td> <td>インターバルタイマモード</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1/0</td> <td>ジャッジモード</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>1/0</td> <td>キャプチャモード</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>イベントカウントモード</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>1/0</td> <td>ワンカウントモード</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>1/0</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>キャプチャ&ワンカウントモード</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>1/0</td> <td>ジャッジ&ワンカウントモード</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>アップ/ダウンカウントモード</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>1/0</td> <td>パルスワンカウントモード</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>1/0</td> <td>カウントキャプチャモード</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>ゲートカウントモード</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>キャプチャ&ゲートカウントモード</td> </tr> </tbody> </table>	TAUDnMD4	TAUDnMD3	TAUDnMD2	TAUDnMD1	TAUDnMD0	機能説明	0	0	0	0	1/0	インターバルタイマモード	0	0	0	1	1/0	ジャッジモード	0	0	1	0	1/0	キャプチャモード	0	0	1	1	0	イベントカウントモード	0	1	0	0	1/0	ワンカウントモード	0	1	0	1	1/0	設定禁止	0	1	1	0	0	キャプチャ&ワンカウントモード	0	1	1	1	1/0	ジャッジ&ワンカウントモード	1	0	0	0	0	設定禁止	1	0	0	1	0	アップ/ダウンカウントモード	1	0	1	0	1/0	パルスワンカウントモード	1	0	1	1	1/0	カウントキャプチャモード	1	1	0	0	0	ゲートカウントモード	1	1	0	1	0	キャプチャ&ゲートカウントモード
TAUDnMD4	TAUDnMD3	TAUDnMD2	TAUDnMD1	TAUDnMD0	機能説明																																																																																							
0	0	0	0	1/0	インターバルタイマモード																																																																																							
0	0	0	1	1/0	ジャッジモード																																																																																							
0	0	1	0	1/0	キャプチャモード																																																																																							
0	0	1	1	0	イベントカウントモード																																																																																							
0	1	0	0	1/0	ワンカウントモード																																																																																							
0	1	0	1	1/0	設定禁止																																																																																							
0	1	1	0	0	キャプチャ&ワンカウントモード																																																																																							
0	1	1	1	1/0	ジャッジ&ワンカウントモード																																																																																							
1	0	0	0	0	設定禁止																																																																																							
1	0	0	1	0	アップ/ダウンカウントモード																																																																																							
1	0	1	0	1/0	パルスワンカウントモード																																																																																							
1	0	1	1	1/0	カウントキャプチャモード																																																																																							
1	1	0	0	0	ゲートカウントモード																																																																																							
1	1	0	1	0	キャプチャ&ゲートカウントモード																																																																																							
		<table border="1"> <thead> <tr> <th>モード</th> <th>TAUDnMD0 ビットの役割</th> </tr> </thead> <tbody> <tr> <td>インターバルタイマモード キャプチャモード カウントキャプチャモード</td> <td>カウント動作開始時（スタートトリガ入力時）に、INTTAUDnIm 信号を出力するかどうかを指定します。 0 : INTTAUDnIm を出力しない 1 : INTTAUDnIm を出力する</td> </tr> <tr> <td>イベントカウントモード アップ/ダウンカウントモード</td> <td>このビットは“0”（カウント動作開始時に INTTAUDnIm 信号を出力しない）に設定してください。</td> </tr> <tr> <td>ワンカウントモード パルスワンカウントモード</td> <td>カウント中のスタートトリガ検出を許可/禁止します。 0 : 禁止 1 : 許可 注意 •ワンカウントモードでは、カウント動作開始時に INTTAUDnIm 信号を出力しません •パルスワンカウントモードでは、カウント動作開始時に INTTAUDnIm 信号を出力します。</td> </tr> <tr> <td>ゲートカウントモード</td> <td>このビットは“0”（カウント中のスタートトリガ検出を禁止）に設定してください。</td> </tr> <tr> <td>キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード</td> <td>このビットは“0”に設定してください。 注意 カウント動作開始時に INTTAUDnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。</td> </tr> <tr> <td>ジャッジモード ジャッジ&ワンカウントモード</td> <td>INTTAUDnIm の出力タイミングを指定します。 0 : TAUDnCNTm ≤ TAUDnCDRm 時 1 : TAUDnCNTm > TAUDnCDRm 時</td> </tr> </tbody> </table>	モード	TAUDnMD0 ビットの役割	インターバルタイマモード キャプチャモード カウントキャプチャモード	カウント動作開始時（スタートトリガ入力時）に、INTTAUDnIm 信号を出力するかどうかを指定します。 0 : INTTAUDnIm を出力しない 1 : INTTAUDnIm を出力する	イベントカウントモード アップ/ダウンカウントモード	このビットは“0”（カウント動作開始時に INTTAUDnIm 信号を出力しない）に設定してください。	ワンカウントモード パルスワンカウントモード	カウント中のスタートトリガ検出を許可/禁止します。 0 : 禁止 1 : 許可 注意 •ワンカウントモードでは、カウント動作開始時に INTTAUDnIm 信号を出力しません •パルスワンカウントモードでは、カウント動作開始時に INTTAUDnIm 信号を出力します。	ゲートカウントモード	このビットは“0”（カウント中のスタートトリガ検出を禁止）に設定してください。	キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード	このビットは“0”に設定してください。 注意 カウント動作開始時に INTTAUDnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。	ジャッジモード ジャッジ&ワンカウントモード	INTTAUDnIm の出力タイミングを指定します。 0 : TAUDnCNTm ≤ TAUDnCDRm 時 1 : TAUDnCNTm > TAUDnCDRm 時																																																																												
モード	TAUDnMD0 ビットの役割																																																																																											
インターバルタイマモード キャプチャモード カウントキャプチャモード	カウント動作開始時（スタートトリガ入力時）に、INTTAUDnIm 信号を出力するかどうかを指定します。 0 : INTTAUDnIm を出力しない 1 : INTTAUDnIm を出力する																																																																																											
イベントカウントモード アップ/ダウンカウントモード	このビットは“0”（カウント動作開始時に INTTAUDnIm 信号を出力しない）に設定してください。																																																																																											
ワンカウントモード パルスワンカウントモード	カウント中のスタートトリガ検出を許可/禁止します。 0 : 禁止 1 : 許可 注意 •ワンカウントモードでは、カウント動作開始時に INTTAUDnIm 信号を出力しません •パルスワンカウントモードでは、カウント動作開始時に INTTAUDnIm 信号を出力します。																																																																																											
ゲートカウントモード	このビットは“0”（カウント中のスタートトリガ検出を禁止）に設定してください。																																																																																											
キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード	このビットは“0”に設定してください。 注意 カウント動作開始時に INTTAUDnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。																																																																																											
ジャッジモード ジャッジ&ワンカウントモード	INTTAUDnIm の出力タイミングを指定します。 0 : TAUDnCNTm ≤ TAUDnCDRm 時 1 : TAUDnCNTm > TAUDnCDRm 時																																																																																											

25.3.3.4 TAUDnCMURm — TAUDn チャネルモードユーザレジスタ

このレジスタは、TAUDTTINm 入力で使用される有効エッジ検出のタイプを指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + C0_H + m × 4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.21 TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能															
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
1, 0	TAUDnTIS [1:0]	<p>TAUDTTINm 入力信号の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th>TAUDnTIS1</th> <th>TAUDnTIS0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がリエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>両エッジ検出 (ロウレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がりエッジ </td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジ検出 (ハイレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち上がりエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ </td> </tr> </tbody> </table> <p>TAUDTTINm 入力信号のエッジ検出は、TAUDnCMORm.TAUDnCKS[1:0] で選択した動作クロックに基づいて行われます。</p>	TAUDnTIS1	TAUDnTIS0	機能説明	0	0	立ち下がリエッジ	0	1	立ち上がりエッジ	1	0	両エッジ検出 (ロウレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がりエッジ 	1	1	両エッジ検出 (ハイレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち上がりエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ
TAUDnTIS1	TAUDnTIS0	機能説明															
0	0	立ち下がリエッジ															
0	1	立ち上がりエッジ															
1	0	両エッジ検出 (ロウレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がりエッジ 															
1	1	両エッジ検出 (ハイレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち上がりエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ 															

25.3.3.5 TAUDnCSRm — TAUDn チャネルステータスレジスタ

このレジスタは、チャンネル m のカウンタのカウンタ方向とオーバフロー状態を示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <TAUDn_base> + 140_H + m × 4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnCSF	TAUDnOVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 25.22 TAUDnCSRm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	TAUDnCSF	カウンタ方向を示します。 0: アップカウント 1: ダウンカウント このビットのリード値は、次のモード時にのみ有効です。 <ul style="list-style-type: none"> • アップ/ダウンカウントモード
0	TAUDnOVF	カウンタオーバフロー状態を示します。 0: オーバフローが発生していない 1: オーバフローが発生 このビットは、次のモード時のみ使用します。 <ul style="list-style-type: none"> • キャプチャモード • キャプチャ&ワンカウントモード このビットの機能は、制御ビット TAUDnCMORm.TAUDnCOS[1:0] の設定により異なります。

25.3.3.6 TAUDnCSCm — TAUDn チャネルステータスクリアレジスタ

このレジスタは、チャンネル m のオーバーフローフラグ TAUDnCSRm.TAUDnOVF をクリアするためのトリガレジスタです。

アクセス 8ビット単位でライトのみ可能です。

アドレス <TAUDn_base> + 180_H + m × 4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAUDnCLOV
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 25.23 TAUDnCSCm レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAUDnCLOV	0: 機能なし 1: オーバーフローフラグ TAUDnCSRm.TAUDnOVF をクリア

25.3.3.7 TAUDnTS — TAUDn チャネルスタートトリガレジスタ

このレジスタは、各チャンネルのカウンタ動作を許可します。

アクセス 16ビット単位でライトのみ可能です。

アドレス <TAUDn_base> + 1C4_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTS15	TAUDnTS14	TAUDnTS13	TAUDnTS12	TAUDnTS11	TAUDnTS10	TAUDnTS09	TAUDnTS08	TAUDnTS07	TAUDnTS06	TAUDnTS05	TAUDnTS04	TAUDnTS03	TAUDnTS02	TAUDnTS01	TAUDnTS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 25.24 TAUDnTS レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTSm	チャンネル m のカウンタ動作を許可します。 0: 機能なし 1: カウンタ動作を許可し、TAUDnTE.TAUDnTEm = 1 を設定。 TAUDnTE.TAUDnTEm = 1 を設定しても、カウンタ動作が許可されるだけです。カウントが開始されるかどうかは、選択されている動作モードによって異なります。

25.3.3.8 TAUDnTE — TAUDn チャンネル許可ステータスレジスタ

このレジスタは、カウンタ動作の許可/禁止を示します。

アクセス 16ビット単位でリードのみ可能です。

アドレス <TAUDn_base> + 1C0_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTE15	TAUDnTE14	TAUDnTE13	TAUDnTE12	TAUDnTE11	TAUDnTE10	TAUDnTE09	TAUDnTE08	TAUDnTE07	TAUDnTE06	TAUDnTE05	TAUDnTE04	TAUDnTE03	TAUDnTE02	TAUDnTE01	TAUDnTE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.25 TAUDnTE レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTE _m	チャンネル m のカウンタ動作の許可/禁止を示します。 0 : カウンタ動作禁止 1 : カウンタ動作許可 TAUDnTSST _m (チャンネル連動スタートトリガ信号) のトリガ入力を検知するか、TAUDnTS.TAUDnTSM を “1” にセットすると、このビットが “1” に設定されます。 TAUDnTT.TAUDnTT _m を “1” にセットすると、このビットが “0” にリセットされます。

25.3.3.9 TAUDnTT — TAUDn チャンネルストップトリガレジスタ

このレジスタは、各チャンネルのカウンタ動作を停止します。

アクセス 16ビット単位でライトのみ可能です。

アドレス <TAUDn_base> + 1C8_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTT15	TAUDnTT14	TAUDnTT13	TAUDnTT12	TAUDnTT11	TAUDnTT10	TAUDnTT09	TAUDnTT08	TAUDnTT07	TAUDnTT06	TAUDnTT05	TAUDnTT04	TAUDnTT03	TAUDnTT02	TAUDnTT01	TAUDnTT00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 25.26 TAUDnTT レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTT _m	チャンネル m のカウンタ動作を停止します。 0 : 機能なし 1 : カウンタ動作を停止し、TAUDnTE.TAUDnTE _m をリセットします。 TAUDnCNT _m 、TAUDnTO.TAUDnTO _m 、TAUDTTOUT _m は、カウント停止前の値を保持します。

25.3.4 TAUDn 一斉書き換えレジスタの詳細

25.3.4.1 TAUDnRDE — TAUDn チャンネルリロードデータ許可レジスタ

このレジスタは、データレジスタ TAUDnCDRm/TAUDnTOLm の一斉書き換えを許可/禁止します。

アクセス 16ビット単位でリード/ライト可能です。
TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 260_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRDE15	TAUDnRDE14	TAUDnRDE13	TAUDnRDE12	TAUDnRDE11	TAUDnRDE10	TAUDnRDE09	TAUDnRDE08	TAUDnRDE07	TAUDnRDE06	TAUDnRDE05	TAUDnRDE04	TAUDnRDE03	TAUDnRDE02	TAUDnRDE01	TAUDnRDE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.27 TAUDnRDE レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnRDEm	チャンネル m のデータレジスタの一斉書き換えを許可/禁止します。 0 : 一斉書き換え禁止 1 : 一斉書き換え許可

25.3.4.2 TAUDnRDS — TAUDn チャンネルリロードデータ制御チャンネル選択レジスタ

このレジスタは、一斉書き換えを制御するチャンネルを選択します。

アクセス 16ビット単位でリード/ライト可能です。
TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 268_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRDS15	TAUDnRDS14	TAUDnRDS13	TAUDnRDS12	TAUDnRDS11	TAUDnRDS10	TAUDnRDS09	TAUDnRDS08	TAUDnRDS07	TAUDnRDS06	TAUDnRDS05	TAUDnRDS04	TAUDnRDS03	TAUDnRDS02	TAUDnRDS01	TAUDnRDS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.28 TAUDnRDS レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnRDSm	一斉書き換えトリガを制御するチャンネルを選択します。 0 : マスタチャンネル 1 : 別の上位チャンネル

25.3.4.3 TAUDnRDM — TAUDn チャンネルリロードデータモードレジスタ

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

アクセス 16ビット単位でリード/ライト可能です。
TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 264_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRDM15	TAUDnRDM14	TAUDnRDM13	TAUDnRDM12	TAUDnRDM11	TAUDnRDM10	TAUDnRDM09	TAUDnRDM08	TAUDnRDM07	TAUDnRDM06	TAUDnRDM05	TAUDnRDM04	TAUDnRDM03	TAUDnRDM02	TAUDnRDM01	TAUDnRDM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.29 TAUDnRDM レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0: マスタチャンネルのカウンタがカウントを開始したとき 1: 三角波周期の山 これらのビット設定は TAUDnRDE.TAUDnRDEm = 1、 TAUDnRDS.TAUDnRDSm = 0 時のみ適用されます。

25.3.4.4 TAUDnRDC — TAUDn チャンネルリロードデータ制御レジスタ

このレジスタは、一斉書き換えをトリガする INTTAUDnIm 信号を生成するチャンネルを指定します。

アクセス 16ビット単位でリード/ライト可能です。
TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 26C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRDC15	TAUDnRDC14	TAUDnRDC13	TAUDnRDC12	TAUDnRDC11	TAUDnRDC10	TAUDnRDC09	TAUDnRDC08	TAUDnRDC07	TAUDnRDC06	TAUDnRDC05	TAUDnRDC04	TAUDnRDC03	TAUDnRDC02	TAUDnRDC01	TAUDnRDC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.30 TAUDnRDC レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnRDCm	チャンネルが一斉書き換えトリガ信号を生成するか否かを指定します。 0: 一斉書き換えトリガチャンネルとならない。 1: 一斉書き換えトリガチャンネルとして動作する。 これらのビット設定は TAUDnRDE.TAUDnRDEm = 1、 TAUDnRDS.TAUDnRDSm = 1 時のみ適用されます。

25.3.4.5 TAUDnRDT — TAUDn チャネルリロードデータトリガレジスタ

一斉書き換え許可状態をトリガするレジスタです。

アクセス 16ビット単位でライトのみ可能です。

アドレス <TAUDn_base> + 044_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRDT15	TAUDnRDT14	TAUDnRDT13	TAUDnRDT12	TAUDnRDT11	TAUDnRDT10	TAUDnRDT09	TAUDnRDT08	TAUDnRDT07	TAUDnRDT06	TAUDnRDT05	TAUDnRDT04	TAUDnRDT03	TAUDnRDT02	TAUDnRDT01	TAUDnRDT00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 25.31 TAUDnRDT レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnRDTm	一斉書き換え許可状態をトリガします。 0: 機能なし 1: 一斉書き換え許可フラグ (TAUDnRSFm) を“1”とし、一斉書き換えトリガ待ち状態となります。 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUDnRDE.TAUDnRDEm = 1

25.3.4.6 TAUDnRSF — TAUDn チャネルリロードステータスレジスタ

このフラグレジスタは、一斉書き換えのステータスを示します。

アクセス 16ビット単位でリードのみ可能です。

アドレス <TAUDn_base> + 048_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRSF15	TAUDnRSF14	TAUDnRSF13	TAUDnRSF12	TAUDnRSF11	TAUDnRSF10	TAUDnRSF09	TAUDnRSF08	TAUDnRSF07	TAUDnRSF06	TAUDnRSF05	TAUDnRSF04	TAUDnRSF03	TAUDnRSF02	TAUDnRSF01	TAUDnRSF00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.32 TAUDnRSF レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnRSFm	一斉書き換えの状態を示します。 0: 一斉書き換えトリガの発生によって、一斉書き換えが完了したことを示します。 1: 一斉書き換え許可状態 (TAUDnRDTm = 1) で、一斉書き換えのトリガ待ちを示します。

25.3.5 TAUDn 出力レジスタの詳細

25.3.5.1 TAUDnTOE — TAUDn チャネル出力許可レジスタ

このレジスタは、ソフトウェア制御のチャネル単体出力モードを許可/禁止します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 5C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TOE15	TAUDn TOE14	TAUDn TOE13	TAUDn TOE12	TAUDn TOE11	TAUDn TOE10	TAUDn TOE09	TAUDn TOE08	TAUDn TOE07	TAUDn TOE06	TAUDn TOE05	TAUDn TOE04	TAUDn TOE03	TAUDn TOE02	TAUDn TOE01	TAUDn TOE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.33 TAUDnTOE レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTOEm	チャネル単体出力機能を許可/禁止します。 0: タイマ単体出力機能を禁止 (ソフトウェア制御) 1: タイマ単体出力機能を許可

25.3.5.2 TAUDnTO — TAUDn チャネル出力レジスタ

このレジスタは、TAUDTTOUTm レベルを指定およびリードします。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 58_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TO15	TAUDn TO14	TAUDn TO13	TAUDn TO12	TAUDn TO11	TAUDn TO10	TAUDn TO09	TAUDn TO08	TAUDn TO07	TAUDn TO06	TAUDn TO05	TAUDn TO04	TAUDn TO03	TAUDn TO02	TAUDn TO01	TAUDn TO00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.34 TAUDnTO レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTOm	このレジスタは、TAUDTTOUTm レベルを指定およびリードします。 0: ロウレベル 1: ハイレベル チャネル単体出力機能が禁止されている (TAUDnTOEm = 0) TAUDnTOm ビットのみライト可能です。

25.3.5.3 TAUDnTOM — TAUDn チャネル出力モードレジスタ

このレジスタは、各チャネルの出力モードを指定します。

アクセス 16ビット単位でリード/ライト可能です。
カウンタ停止中 (TAUDnTE.TAUDnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUDn_base> + 248_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTOM15	TAUDnTOM14	TAUDnTOM13	TAUDnTOM12	TAUDnTOM11	TAUDnTOM10	TAUDnTOM09	TAUDnTOM08	TAUDnTOM07	TAUDnTOM06	TAUDnTOM05	TAUDnTOM04	TAUDnTOM03	TAUDnTOM02	TAUDnTOM01	TAUDnTOM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.35 TAUDnTOM レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTOMm	出力モードを指定します。 0: チャネル単体動作 1: チャネル連動動作

25.3.5.4 TAUDnTOC — TAUDn チャネル出力コンフィグレーションレジスタ

このレジスタは、TAUDnTOMm とともに各チャネルの出力モードを指定します。

アクセス 16ビット単位でリード/ライト可能です。
カウンタ停止中 (TAUDnTE.TAUDnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUDn_base> + 24C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTOC15	TAUDnTOC14	TAUDnTOC13	TAUDnTOC12	TAUDnTOC11	TAUDnTOC10	TAUDnTOC09	TAUDnTOC08	TAUDnTOC07	TAUDnTOC06	TAUDnTOC05	TAUDnTOC04	TAUDnTOC03	TAUDnTOC02	TAUDnTOC01	TAUDnTOC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.36 TAUDnTOC レジスタの内容

ビット位置	ビット名	機能															
15 ~ 0	TAUDnTOCm	出力モードを指定します。 0: 動作モード1 1: 動作モード2 次の表にあるように、出力モードは TAUDnTOM.TAUDnTOMm の設定によっても異なります。															
		<table border="1"> <thead> <tr> <th>TAUDnTOMm</th> <th>TAUDnTOCm</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>トグルモード: INTTAUDnIm 発生時にトグル動作が行われます。</td> </tr> <tr> <td>0</td> <td>1</td> <td>セット/リセットモード: カウント開始時の INTTAUDnIm 発生時にセットされ、TAUDnCNTm、TAUDnCDRm の一致の検出による INTTAUDnIm 発生時にリセットされます。</td> </tr> <tr> <td>1</td> <td>0</td> <td>チャネル連動動作モード1: マスタチャネルで INT が発生するとセット、スレーブチャネルで INT が発生するとリセットされます。</td> </tr> <tr> <td>1</td> <td>1</td> <td>チャネル連動動作モード2: ダウンカウント状態で INTTAUDnIm が発生するとセット、アップカウント状態で INTTAUDnIm が発生するとリセットされます。</td> </tr> </tbody> </table>	TAUDnTOMm	TAUDnTOCm	機能説明	0	0	トグルモード: INTTAUDnIm 発生時にトグル動作が行われます。	0	1	セット/リセットモード: カウント開始時の INTTAUDnIm 発生時にセットされ、TAUDnCNTm、TAUDnCDRm の一致の検出による INTTAUDnIm 発生時にリセットされます。	1	0	チャネル連動動作モード1: マスタチャネルで INT が発生するとセット、スレーブチャネルで INT が発生するとリセットされます。	1	1	チャネル連動動作モード2: ダウンカウント状態で INTTAUDnIm が発生するとセット、アップカウント状態で INTTAUDnIm が発生するとリセットされます。
TAUDnTOMm	TAUDnTOCm	機能説明															
0	0	トグルモード: INTTAUDnIm 発生時にトグル動作が行われます。															
0	1	セット/リセットモード: カウント開始時の INTTAUDnIm 発生時にセットされ、TAUDnCNTm、TAUDnCDRm の一致の検出による INTTAUDnIm 発生時にリセットされます。															
1	0	チャネル連動動作モード1: マスタチャネルで INT が発生するとセット、スレーブチャネルで INT が発生するとリセットされます。															
1	1	チャネル連動動作モード2: ダウンカウント状態で INTTAUDnIm が発生するとセット、アップカウント状態で INTTAUDnIm が発生するとリセットされます。															

25.3.5.5 TAUDnTOL — TAUDn チャネル出力アクティブレベルレジスタ

このレジスタは、チャネル出力ビット (TAUDnTO.TAUDnTOm) の出力論理を指定します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 040_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TOL15	TAUDn TOL14	TAUDn TOL13	TAUDn TOL12	TAUDn TOL11	TAUDn TOL10	TAUDn TOL09	TAUDn TOL08	TAUDn TOL07	TAUDn TOL06	TAUDn TOL05	TAUDn TOL04	TAUDn TOL03	TAUDn TOL02	TAUDn TOL01	TAUDn TOL00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.37 TAUDnTOL レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTOLm	チャネル m 出力ビット (TAUDnTO.TAUDnTOm) の出力論理を指定します。 0: 正論理 (アクティブハイ) 1: 負論理 (アクティブロウ) これらのビット設定は、ソフトウェア制御のチャネル単体出力モード以外のすべてのチャネル出力モードに適用されます。

25.3.6 TAUDn のデッドタイム出力レジスタの詳細

25.3.6.1 TAUDnTDE — TAUDn チャンネルデッドタイム出力許可レジスタ

このレジスタは、全チャンネルのデッドタイム動作を許可/禁止します。

アクセス 16ビット単位でリード/ライト可能です。
カウンタ停止中 (TAUDnTE.TAUDnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUDn_base> + 250_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTDE15	TAUDnTDE14	TAUDnTDE13	TAUDnTDE12	TAUDnTDE11	TAUDnTDE10	TAUDnTDE09	TAUDnTDE08	TAUDnTDE07	TAUDnTDE06	TAUDnTDE05	TAUDnTDE04	TAUDnTDE03	TAUDnTDE02	TAUDnTDE01	TAUDnTDE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.38 TAUDnTDE レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTDEm	チャンネル m のデッドタイム制御動作を許可/禁止します。 0 : デッドタイム動作禁止 1 : デッドタイム動作許可 対になった偶数/奇数スレーブチャンネルには同じ設定をする必要があります。 これらのビットの設定は、以下の場合にのみ適用されます。 <ul style="list-style-type: none"> TAUDnTOE.TAUDnTOEm, TAUDnTOM.TAUDnTOMm, TAUDnTOC.TAUDnTOCm = 1

25.3.6.2 TAUDnTDM — TAUDn チャンネルデッドタイム出力モードレジスタ

このレジスタは、デッドタイム出力中にデッドタイムを付加するタイミングを指定します。

アクセス 16ビット単位でリード/ライト可能です。
カウンタ停止中 (TAUDnTE.TAUDnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUDn_base> + 254_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTDM15	TAUDnTDM14	TAUDnTDM13	TAUDnTDM12	TAUDnTDM11	TAUDnTDM10	TAUDnTDM09	TAUDnTDM08	TAUDnTDM07	TAUDnTDM06	TAUDnTDM05	TAUDnTDM04	TAUDnTDM03	TAUDnTDM02	TAUDnTDM01	TAUDnTDM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.39 TAUDnTDM レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTDMm	デッドタイム出力中にデッドタイムを付加するタイミングを指定します。 0 : 上位偶数チャンネルのデューティサイクル検出時 (デューティデッドタイム出力) 1 : 下位奇数チャンネルの TIN 入力エッジ検出時 (1 相デッドタイム出力) 対になった偶数/奇数スレーブチャンネルには同じ設定をする必要があります。 これらのビットの設定は、以下の場合にのみ適用されます。 <ul style="list-style-type: none"> TAUDnTOE.TAUDnTOEm, TAUDnTOM.TAUDnTOMm, TAUDnTOC.TAUDnTOCm, TAUDnTDE.TAUDnTDEm = 1

25.3.6.3 TAUDnTDL — TAUDn チャネルデッドタイム出力レベルレジスタ

このレジスタは、デッドタイムを付加する位相を選択します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 54_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TDL15	TAUDn TDL14	TAUDn TDL13	TAUDn TDL12	TAUDn TDL11	TAUDn TDL10	TAUDn TDL09	TAUDn TDL08	TAUDn TDL07	TAUDn TDL06	TAUDn TDL05	TAUDn TDL04	TAUDn TDL03	TAUDn TDL02	TAUDn TDL01	TAUDn TDL00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.40 TAUDnTDL レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTDLm	デッドタイムを付加する位相を選択します。 0 : 正相 1 : 逆相 これらのビットの設定は、以下の場合にのみ適用されます。 <ul style="list-style-type: none"> • TAUDnTOE.TAUDnTOEm、TAUDnTOM.TAUDnTOMm、 TAUDnTOC.TAUDnTOCm、TAUDnTDE.TAUDnTDEm = 1

25.3.7 TAUDn のリアルタイム／変調出力レジスタの詳細

25.3.7.1 TAUDnTRE — TAUDn チャンネルリアルタイム出力許可レジスタ

このレジスタは、リアルタイム出力を許可／禁止します。

アクセス 16 ビット単位でリード／ライト可能です。
TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 258_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TRE15	TAUDn TRE14	TAUDn TRE13	TAUDn TRE12	TAUDn TRE11	TAUDn TRE10	TAUDn TRE09	TAUDn TRE08	TAUDn TRE07	TAUDn TRE06	TAUDn TRE05	TAUDn TRE04	TAUDn TRE03	TAUDn TRE02	TAUDn TRE01	TAUDn TRE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.41 TAUDnTRE レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTREm	チャンネル m のリアルタイム出力を許可／禁止します。 0 : リアルタイム出力禁止 1 : リアルタイム出力許可 これらのビット設定は TAUDnTOE.TAUDnTOEm = 1 時のみ適用されます。 TAUDnTRE.TAUDnTREm = 0 の場合、TAUDTTOUTm はリアルタイム出力の影響を受けません。 TAUDnTRE.TAUDnTREm = 1 の場合、TAUDTTOUTm はタイム動作に応じてリアルタイム出力ビット TAUDnTRO.TAUDnTROm の値を出力します。

25.3.7.2 TAUDnTRC — TAUDn チャンネルリアルタイム出力制御レジスタ

このレジスタは、各チャンネルのリアルタイム出力トリガを制御します。

アクセス 16 ビット単位でリード／ライト可能です。
TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 25C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TRC15	TAUDn TRC14	TAUDn TRC13	TAUDn TRC12	TAUDn TRC11	TAUDn TRC10	TAUDn TRC09	TAUDn TRC08	TAUDn TRC07	TAUDn TRC06	TAUDn TRC05	TAUDn TRC04	TAUDn TRC03	TAUDn TRC02	TAUDn TRC01	TAUDn TRC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.42 TAUDnTRC レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTRCm	チャンネル m のリアルタイム出力トリガを生成するチャンネルを指定します。 0 : このビットが“1”に設定されている次の上位チャンネル 1 : チャンネル m これらのビット設定は TAUDnTRE.TAUDnTREm = 1 時のみ適用されます。

25.3.7.3 TAUDnTRO — TAUDn チャンネルリアルタイム出力レジスタ

このレジスタには、TAUDTTOUTm に出力する値を設定します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 04C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTRO15	TAUDnTRO14	TAUDnTRO13	TAUDnTRO12	TAUDnTRO11	TAUDnTRO10	TAUDnTRO09	TAUDnTRO08	TAUDnTRO07	TAUDnTRO06	TAUDnTRO05	TAUDnTRO04	TAUDnTRO03	TAUDnTRO02	TAUDnTRO01	TAUDnTRO00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.43 TAUDnTRO レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTROm	TAUDTTOUTm に出力する値を設定します。 0 : ロウレベル 1 : ハイレベル TAUDnTRE.TAUDnTREM = 0 のとき、リアルタイム出力トリガが発生しても TAUDnTROm の値は TAUDTTOUTm には出力されません。

25.3.7.4 TAUDnTME — TAUDn チャンネル変調出力許可レジスタ

このレジスタは、タイマ出力とリアルタイム出力の変調出力を許可/禁止します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 050_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTME15	TAUDnTME14	TAUDnTME13	TAUDnTME12	TAUDnTME11	TAUDnTME10	TAUDnTME09	TAUDnTME08	TAUDnTME07	TAUDnTME06	TAUDnTME05	TAUDnTME04	TAUDnTME03	TAUDnTME02	TAUDnTME01	TAUDnTME00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.44 TAUDnTME レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTME _m	チャンネル m のタイマ出力とリアルタイム出力の変調出力を許可/禁止します。 0 : 変調禁止 1 : 変調許可 これらのビット設定は TAUDnTOE.TAUDnTOEm、TAUDnTRE.TAUDnTREM = 1 時にのみ適用されます。

25.3.8 TAUDn エミュレーションレジスタ

25.3.8.1 TAUDnEMU — TAUDn エミュレーションレジスタ

このレジスタはSVSTOPによる動作を制御します。

アクセス 8ビット単位でリード/ライト可能です。
カウンタ停止中 (TAUDnTE.TAUDnTEm = 0)、かつ (EPC.SVSTOP = 0) のときにライト動作を行ってください。

アドレス <TAUDn_base> + 290_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
TAUDn SVSDIS	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 25.45 TAUDnEMU レジスタの内容

ビット位置	ビット名	機能
7	TAUDn SVSDIS	(EPC.SVSTOP ビット = 0 のとき) 本ビットの値 (1/0) にかかわらず、デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給 (EPC.SVSTOP ビット = 1 のとき) 0: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを停止 1: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給
6 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

25.4 操作手順

TAUDn の基本操作手順を次に示します。

リセット解除後、各チャネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャネルの全回路およびレジスタが初期化されます。TAUDTTOUTm の制御レジスタも初期化され、ロウレベルを出力します。

- (1) TAUDnTPS と TAUDnBRS レジスタを設定して CK0 ~ CK3 のクロック周波数を指定してください。
- (2) 任意の TAUDn 機能を設定してください。
 - 動作モードを設定してください。
 - チャネル出力モードを設定してください。
 - その他の制御ビットを設定してください。
- (3) TAUDnTS.TAUDnTSM ビットを“1”に設定してカウンタ動作を許可してください。カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。
- (4) カウント動作中、設定した機能に応じてカウントの停止や強制リスタートを行ってください。カウントの停止は TAUDnTT.TAUDnTTm ビットを 1 に設定してください。強制リスタートは TAUDnTS.TAUDnTSM ビットを 1 に設定してください。
- (5) TAUDnTT.TAUDnTTm ビットを“1”に設定して機能を停止してください。

備 考

1. 必要な制御ビットと各機能の動作の詳細は、
「**25.12 チャネル単体動作機能**」
「**25.15 チャネル連動動作機能**」
を参照してください。
2. 機能を変更する場合は、カウント停止中 (TAUDnTE.TAUDnTEm = 0) に行ってください。

25.5 チャネル連動動作の概念

連動動作機能は、チャンネルグループ（マスタチャンネルとスレーブチャンネルで構成されます）を組み合わせて実現する機能です。チャンネルの設定には、いくつかのルールがあります。ルールの詳細は、「**25.5.1 チャネル連動動作のルール**」に示します。

チャンネル連動動作の2つの特殊な機能の詳細を次の節で説明します。

- 「**25.5.2 連動チャンネルカウンタの同時動作開始／停止**」
- 「**25.6 一斉書き換え**」

25.5.1 チャネル連動動作のルール

マスタおよびスレーブチャンネル数

- マスタチャンネルには、偶数チャンネル（CH0、CH2、CH4、...）のみ設定できます。スレーブチャンネルには、CH0を除くすべてのチャンネルを設定できます。
- マスタチャンネルより下位のチャンネルのみスレーブチャンネルとして設定でき、1つのマスタチャンネルに対し複数のスレーブチャンネルを設定できます。
例：CH2がマスタチャンネルの場合、CH3以下（CH3、CH4、CH5、...）をスレーブチャンネルに設定できます。
- マスタチャンネルを複数使用する場合、マスタチャンネルを跨いだスレーブチャンネルの設定はできません。
例：CH0、CH4がマスタチャンネルの場合、CH0に対してCH1～CH3までをスレーブチャンネルとして設定できますが、CH5～CH15は設定できません。

動作クロック

- マスタチャンネルと連動するスレーブチャンネルには同じ動作クロックを設定する必要があります。マスタチャンネルとスレーブチャンネルのTAUDnCMORm.TAUDnCKS[1:0]ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブチャンネルの使用と動作クロックの基本的な概念を図25.4に示します。

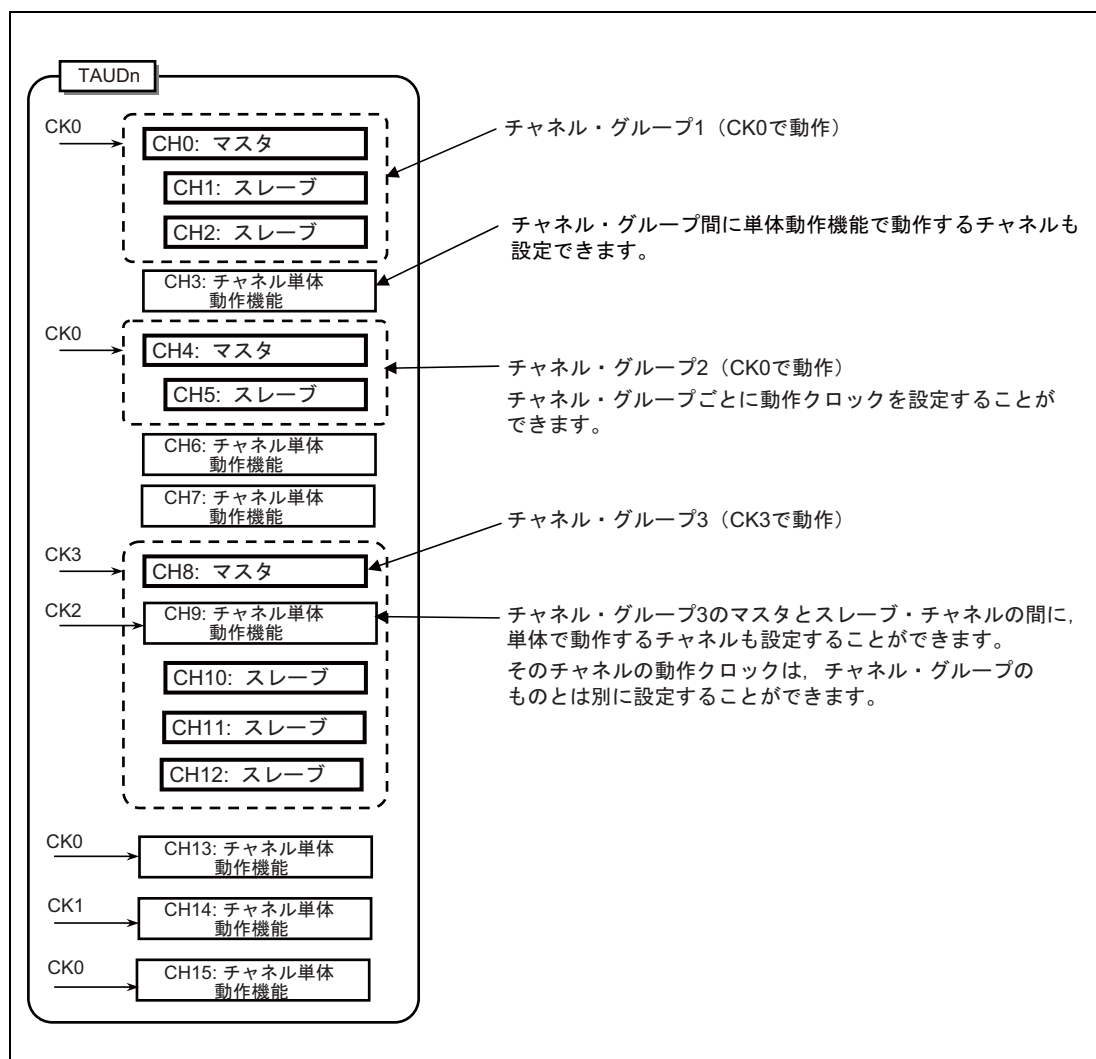


図 25.4 チャンネルのグループ化と動作クロックの割り当て

マスタチャンネル、スレーブチャンネルの制御トリガ信号

- マスタチャンネルは、制御トリガ信号をスレーブチャンネルに出力することができます。
- スレーブチャンネルは、マスタチャンネルの制御トリガ信号を使用できますが、スレーブチャンネル自身の制御トリガ信号を下位チャンネルに出力することはできません。
- マスタチャンネルは、自身より上位のマスタチャンネルの制御トリガ信号を使用することはできません。

25.5.2 連動チャンネルカウンタの同時動作開始／停止

連動するチャンネルは、同じユニット内およびユニット間で同時に開始／停止することができます。

25.5.2.1 ユニット内の連動チャンネルカウンタの同時動作開始／停止

- 連動するチャンネルを同時に開始させるためには、それらの TAUDnTS.TAUDnTSM ビットを同時に設定する必要があります。
- 連動するチャンネルを同時に停止させるためには、それらの TAUDnTT.TAUDnTTm ビットを同時に設定する必要があります。

TAUDnTS.TAUDnTSM ビットに“1”を設定することにより、対応する TAUDnTE.TAUDnTEm ビットが“1”にセットされ、カウンタ動作を許可します。カウンタのカウント開始タイミングは、動作モードに依存します。

25.5.2.2 ユニット間の同時スタート

異なるユニットのカウンタは、同時トリガ信号を受信する前にカウンタを許可することにより、同時に動作を開始できます。

ユニット間の同時スタート方法の詳細は、「**29.8 同時スタートトリガ機能**」を参照してください。

25.6 一斉書き換え

25.6.1 動作概要

一斉書き換えとは、複数チャンネルのコンペア/スタート値と出力論理を一斉に書き換えることを指します。

対応するデータと制御レジスタ (TAUDnCDRm、TAUDnTOLm) は常に書き換えることができます。新しい値は、一斉書き換えがトリガされるまでカウンタ動作または出力信号に影響しません。

一斉書き換えは、次の場合にトリガされます。

- マスタチャンネルまたは上位チャンネル (動作モードによって異なる) のカウンタが特定の値に達した場合
- TAUDnRDC.TAUDnRDCm で指定された上位チャンネルにて INTTAUDnIm が発生した場合

一斉書き換えは4つの方法で行えます。一斉書き換え方法の指定と、これらの方法で一斉書き換えがトリガされるタイミングを表 25.46 に示します。

表 25.46 一斉書き換え方法とトリガタイミング

方式	トリガ	TAUDnRDE. TAUDnRDEm	TAUDnRDS. TAUDnRDSm	TAUDnRDM. TAUDnRDMm
—	一斉書き換えが行われない場合	0	0	0
A	マスタチャンネルがカウントを再開/開始した場合	1	0	0
B	マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングでダウンカウントを開始した場合	1	0	1
C1	TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合	1	1	0/1
C2	外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合	1	1	0/1

4つの方法のうち、各チャンネル動作機能で使用できる方法を表 25.47 に示します。各チャンネル動作機能の詳細は、「25.14 チャンネル単体一斉書き換え機能」、「25.15 チャンネル連動動作機能」と「25.16 連動非相補方式変調出力機能と連動相補方式変調出力機能」を参照してください。

表 25.47 チャンネル機能と一斉書き換え方法

機能	A	B	C1	C2	TAUDnTOL. TAUDnTOLm
一斉書き換えトリガ出力機能タイプ 1			○		
PWM 出力機能	○		○		○
ワンショットパルス出力機能	○				
トリガスタート PWM 出力機能	○			○	
ディレイパルス出力機能	○				
三角波 PWM 出力機能		○	○		○
デッドタイム付き三角波 PWM 出力機能		○	○		
割り込み要求信号間引き機能	○	○	○		
A/D 変換トリガ出力機能タイプ 1	○		○		
A/D 変換トリガ出力機能タイプ 2		○	○		
非相補方式変調出力機能タイプ 1	○		○		
非相補方式変調出力機能タイプ 2		○	○		
相補方式変調出力機能		○	○		

備考 ○：使用可能 空欄：使用不可

25.6.2 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を図 25.5 に示します。3つの主なブロック（初期設定、カウント開始 & カウント動作、一斉書き換え）は後述します。

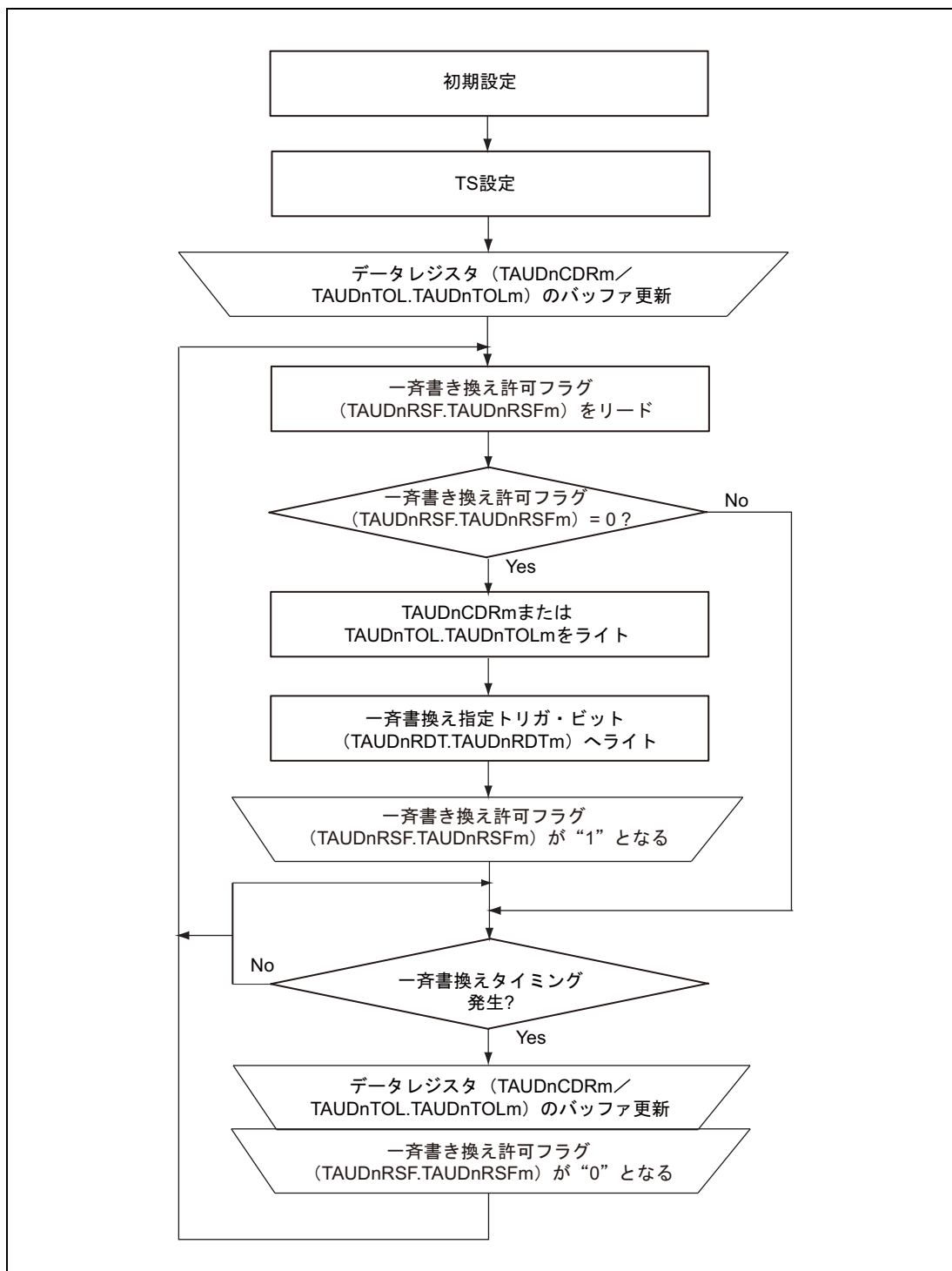


図 25.5 一斉書き換えの基本手順

25.6.2.1 初期設定

- チャンネル m にて一斉書き換えを許可するには、TAUDnRDE.TAUDnRDEm = 1 を設定してください。
- 一斉書き換えの種類を選ぶには、TAUDnRDM.TAUDnRDMm と TAUDnRDS.TAUDnRDSm を「表 25.46 一斉書き換え方法とトリガタイミング」に示す値に設定してください。
- TAUDnRDC.TAUDnRDCm で、一斉書き換えトリガ生成チャンネルを指定してください (前提：上位チャンネルに TAUDnRDS.TAUDnRDSm が設定されている)。

25.6.2.2 カウント開始とカウント動作

- チャンネルグループに属するすべての TAUDnCNTm カウンタ動作を開始するには、対応する TAUDnTS.TAUDnTSM ビットを“1”に設定してください。TAUDnTOL.TAUDnTOLm とデータレジスタ (TAUDnCDRm) の値は、対応する TAUDnTOL.TAUDnTOLm バッファ (TAUDnTOL.TAUDnTOLm buf) とデータバッファレジスタ (TAUDnCDRm buf) にロードされ、カウンタはカウントを開始します。
- リロードデータトリガビット (TAUDnRDT.TAUDnRDTm) を“1”に設定することにより、リロードフラグ (TAUDnRSF.TAUDnRSFm) が“1”に設定され、一斉書き換えが許可されます。TAUDnRSF.TAUDnRSFm は一斉書き換えが完了するまで“1”のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可 (TAUDnRSF.TAUDnRSFm = 1) されているかを確認するために TAUDnRSF.TAUDnRSFm ビットがチェックされます。一斉書き換えが許可されている場合、一斉書き換えが行われます。許可されていない場合、一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

25.6.2.3 一斉書き換え

- 一斉書き換えが許可 (TAUDnRSF.TAUDnRSFm = 1) され、一斉書き換えトリガが検出されると、データレジスタの現在値がバッファにコピーされます。これらの値は、対応するカウンタにロードされ、カウンタがカウントを開始/再開するときに適用されます。
- 一斉書き換えが完了すると、TAUDnRSF.TAUDnRSFm ビットは“0”に設定され、システムは次の一斉書き換えトリガを待ちます。

25.6.3 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中 (TAUDnTE.TAUDnTEm = 1) は、TAUDnRDE.TAUDnRDEm、TAUDnRDS.TAUDnRDSm、TAUDnRDM.TAUDnRDMm、TAUDnRDC.TAUDnRDCm を変更することはできません。
- PWM 出力機能または三角波 PWM 出力機能は、動作している場合でも TAUDnTOL.TAUDnTOLm を書き換えることができます。ほかの機能は、動作を開始する前に TAUDnTOL.TAUDnTOLm を書き換える必要があります。ほかの機能で動作しているときに書き換えた場合、TAUDTTOUTm は不正な値を出力します。
- 上位チャンネルで一斉書き換えトリガを発行した場合 (TAUDnRDS.TAUDnRDSm = 1)、すべての下位チャンネルは TAUDnRDC.TAUDnRDCm ビットに制御されます。つまり、CH2 と CH7 の TAUDnRDC.TAUDnRDCm ビットを“1”に設定し、ほかのチャンネルの TAUDnRDC.TAUDnRDCm ビットを“0”に設定した場合、CH2 と CH7 が一斉書き換えトリガ生成チャンネルとなります。CH2 は、下位チャンネル CH3 ~ CH6 を制御し、CH7 は、下位チャンネル CH8 ~ CH15 を制御します。
- 一斉書き換えを許可し、ある上位チャンネルを一斉書き換えトリガ生成チャンネルとして選択 (TAUDnRDE.TAUDnRDEm、TAUDnRDS.TAUDnRDSm = 1) したにもかかわらず、上位チャンネルを設定していない場合 (TAUDnRDC.TAUDnRDC[15:0] = 0)、一斉書き換えは行いません。

25.6.4 一斉書き換えの種類

次に、タイミング図を使用して4つの一斉書き換え方法を説明します。

25.6.4.1 マスタチャンネルがカウントを再開/開始した場合の一斉書き換え (方法 A)

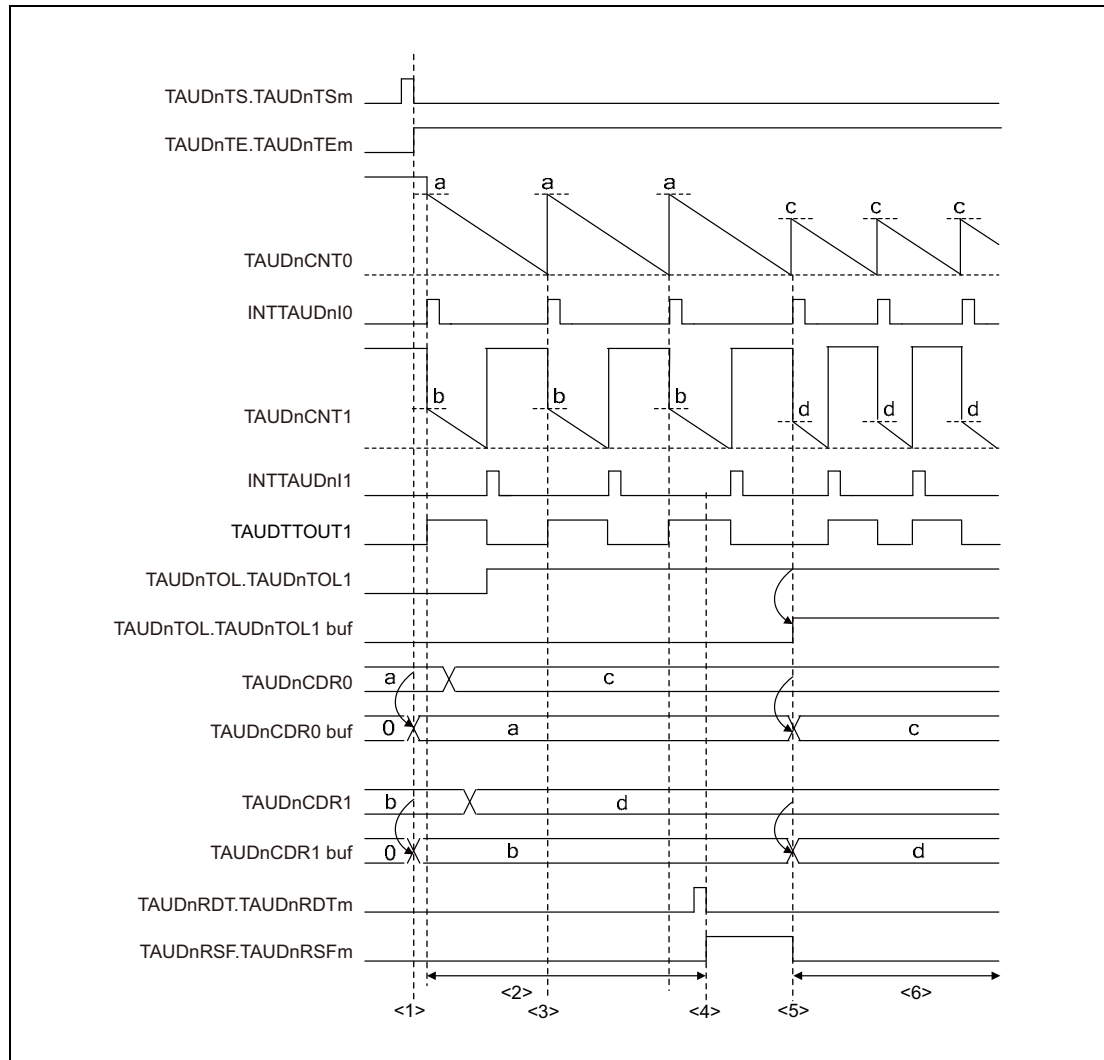


図 25.6 マスタチャンネルがカウントを再開/開始した場合の一斉書き換え

設定

CH0 は、ダウンカウントを行うマスタチャンネルです。CH1 は、任意のスレーブチャンネルです。一斉書き換え方法 A が適用されます。

説明：

- (1) TAUDnTS.TAUDnTSM = 1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファに、TAUDnTOL.TAUDnTOLm の値が TAUDnTOL.TAUDnTOLm バッファにコピーされます。
- (2) TAUDnCDRm と TAUDnTOL.TAUDnTOLm レジスタは常に書き込めます。
- (3) CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません (TAUDnRSF.TAUDnRSFm = 0)。

- (4) リロードデータトリガビット (TAUDnRDT.TAUDnRDTm) を“1”に設定することにより、ステータスフラグが設定され (TAUDnRSF.TAUDnRSFm = 1)、一斉書き換えが許可されます。
- (5) 一斉書き換えが許可されているため、CH0のカウント再開時に一斉書き換えが発生します。TAUDnCDRmの値はTAUDnCDRmバッファに、TAUDnTOL.TAUDnTOLmの値はTAUDnTOL.TAUDnTOLmバッファにロードされます。
- (6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRmとTAUDnTOL.TAUDnTOLmの値は再変更できます。

25.6.4.2 スレーブチャンネルの三角波の[山]のタイミングで一斉書き換え (方法 B)

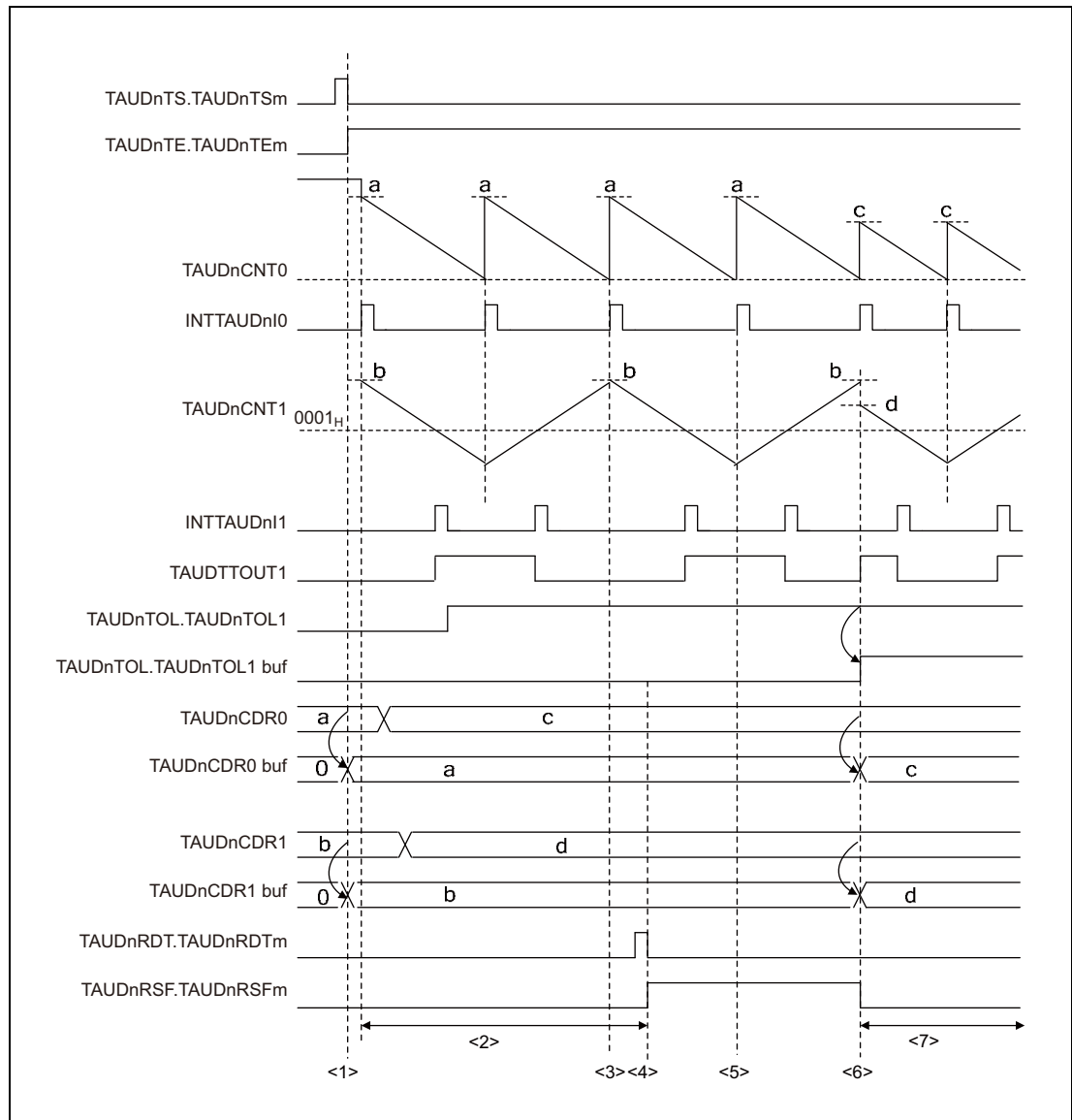


図 25.7 スレーブチャンネルの三角波の[山]のタイミングで一斉書き換え

設定

CH0 は、ダウンカウントを行うマスタチャンネルです。CH1 は、任意のスレーブチャンネルです。一斉書き換え方法 B が適用されます。

説明：

- (1) TAUDnTS.TAUDnTSM = 1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファにコピーされます。
- (2) TAUDnCDRm と TAUDnTOL レジスタは常に書き込めます。
- (3) 一斉書き換えは許可されていないため行われません (TAUDnRSF.TAUDnRSFm = 0)。
- (4) リロードデータトリガビット (TAUDnRDT.TAUDnRDTm) を“1”に設定することにより、ステータスフラグが設定され (TAUDnRSF.TAUDnRSFm = 1)、一斉書き換えが許可されます。

- (5) 一斉書き換えは、三角波周期の [谷] のタイミングでは発生しません。
- (6) 一斉書き換えは、三角波周期の [山] のスタートタイミングで行われます。
TAUDnCDRm の値は TAUDnCDRm バッファに、TAUDnTOL.TAUDnTOLm の値は TAUDnTOL.TAUDnTOLm バッファにロードされます。
- (7) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRm と TAUDnTOL.TAUDnTOLm の値は再変更できます。

25.6.4.3 TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合の一斉書き換え (方法 C1)

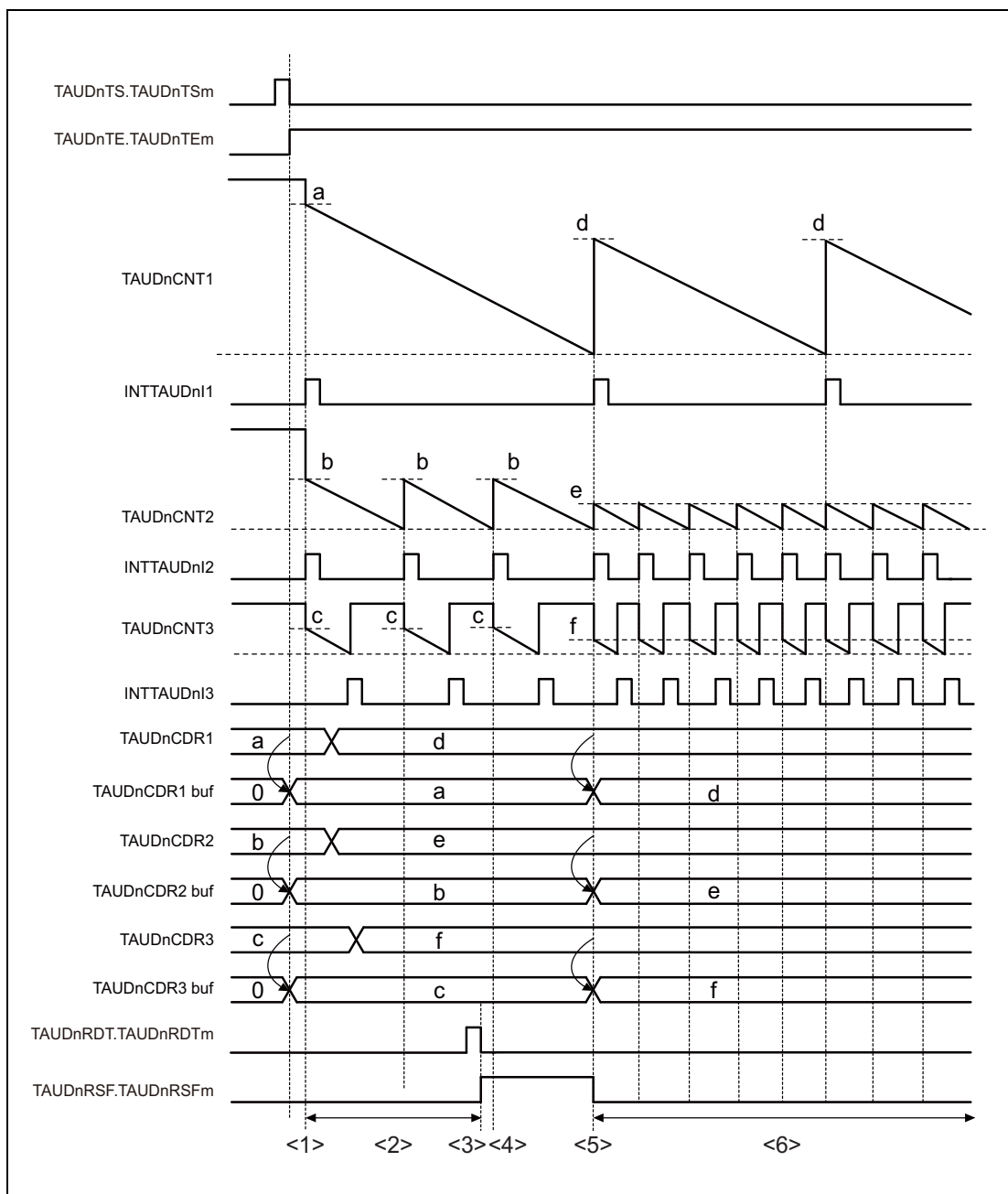


図 25.8 TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合の一斉書き換え

設定

CH1 は、ダウンカウントを行う上位チャンネルです。CH2 は、マスタチャンネルです。CH3 は、スレーブチャンネルです。一斉書き換え方法 C1 が適用されます。TAUDnRDC レジスタで、一斉書き換えトリガ生成チャンネルを指定します。

説明：

- (1) TAUDnTS.TAUDnTSM = 1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファにコピーされます。
- (2) TAUDnCDRm レジスタは常に書き込めます。
- (3) リロードデータトリガビット (TAUDnRDT.TAUDnRDTm) を“1”に設定することにより、ステータスフラグが設定され (TAUDnRSF.TAUDnRSFm = 1)、一斉書き換えが許可されます。
- (4) 一斉書き換えは、CH1 の割り込みのみによってトリガされるため、許可されていても行われません。
- (5) 一斉書き換えは、カウンタ 1 が 0000_H に達したときに発生する INT1 をトリガとして行われます。TAUDnCDRm の値は対応する TAUDnCDRm バッファにロードされます。
- (6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRm レジスタの値は再変更できます。

25.6.4.4 外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合の一斉書き換え (方法 C2)

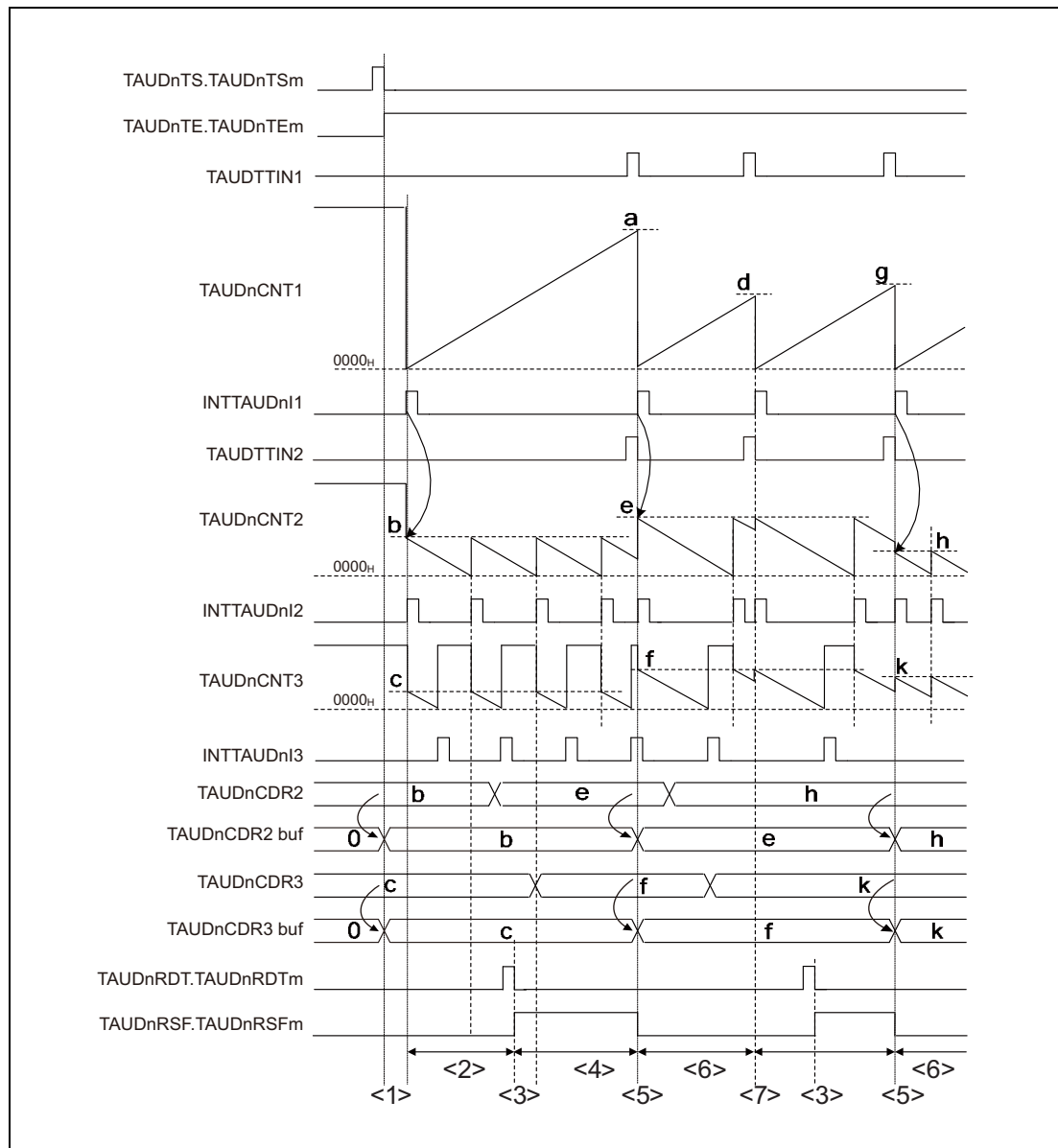


図 25.9 外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合の一斉書き換え

設定

CH1 は、アップカウントを行う上位チャンネルです。CH2 は、マスタチャンネルです。CH3 は、スレーブチャンネルです。チャンネル連動動作方法 C2 が適用されます。TAUDnRDC レジスタは、INTTAUDnIm トリガにてモニタする上位チャンネルを指定します。

説明：

- (1) TAUDnTS.TAUDnTSM = 1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファにコピーされます。ただし、TAUDnCDR1 はキャプチャモードのため、TAUDnCDR1 の値が TAUDnCDR1 バッファにコピーされません。
- (2) TAUDnCDRm レジスタは常に書き込めます。

- (3) リロードデータトリガビット (TAUDnRDT.TAUDnRDTm) を“1”に設定することにより、ステータスフラグが設定され (TAUDnRSF.TAUDnRSFm = 1)、一斉書き換えが許可されます。
- (4) 一斉書き換えは、CH1の割り込みのみによってトリガされるため、許可されていても行われません。
- (5) 一斉書き換えは、外部信号 TIN1 で発生する INT1 をトリガとして行われます。TAUDnCDRm の値は、対応する TAUDnCDRm バッファにロードされます。
- (6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRm レジスタの値は再変更できます。
- (7) TIN2 で外部信号が発生しますが、一斉書き換えは許可されていない (TAUDnRSF.TAUDnRSFm = 0) ため行われません。

25.7 チャネル出力モード

TAUDTTOUTm 端子の出力は、2つの方法で制御することができ、2つ目の方法はさらに個別のモードに分かれています。

- ソフトウェアによる制御 (TAUDnTOE.TAUDnTOEm = 0)
ソフトウェアで制御した場合、出力レジスタビット (TAUDnTO.TAUDnTOm) に書き込んだ値は、出力端子 (TAUDTTOUTm) に転送されます。
- TAUD 信号による制御 (TAUDnTOE.TAUDnTOEm = 1)
TAUD 信号で制御した場合、TAUDTTOUTm の出力レベルはセット/リセット、または内部信号によりトグルされます。これに応じて、TAUDTTOUTm の値を反映するために、TAUDnTO.TAUDnTOm の値は更新されます。
 - 単体制御 (TAUDnTOM.TAUDnTOMm = 0)
単体動作の場合、TAUDTTOUTm 端子の出力はチャンネル m の設定のみの影響を受けます。したがって、チャンネル単体動作を指定 (TAUDnTOM.TAUDnTOMm = 0) する必要があります。
 - 連動制御 (TAUDnTOM.TAUDnTOMm = 1)
連動動作の場合、TAUDTTOUTm 端子の出力は、チャンネル m とその他のチャンネルの設定の影響を受けます。したがって、すべての連動するチャンネルに対してチャンネル連動動作を指定する必要があります (TAUDnTOM.TAUDnTOMm = 1)。

TAUDnTO.TAUDnTOm ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUDTTOUTm の現在の値を確認することができます。

制御ビット

特定のチャンネル出力モードを選択するために必要な制御ビットの設定は、「**表 25.48 チャネル出力モード**」に示します。

チャンネル出力モードの詳細は次の節を参照してください。

- 「**25.7.2 TAUDn 信号により単体制御されるチャンネル出力モード**」
- 「**25.7.3 TAUDn 信号により連動制御されるチャンネル出力モード**」

TAUDnTOm ビットの一括操作

TAUDnTOm ビットへの設定値の反映/非反映は、TAUDnTOE.TAUDnTOEm ビットにより制御されます。

TAUDnTO レジスタにライトした時に、TAUDnTOE.TAUDnTOEm ビット = 0 を設定したビット (チャンネル) にのみ、TAUDnTOm の設定値の書き込みが行われます。

TAUDnTOE.TAUDnTOEm ビット = 1 を設定したビット (チャンネル) は、TAUDnTOm の設定値は反映されません。

備考

TAUDnTO.TAUDnTOm ビットは、ビット番号とチャンネル番号が対応して配置しています。

出力論理

出力の正論理または負論理は、制御ビット TAUDnTOL.TAUDnTOLm で指定します。

TAUDnTOL.TAUDnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能または三角波 PWM 出力機能時のみです。カウンタ動作開始後に TAUDnTOL.TAUDnTOLm を変更すると、TAUDTTOUm 信号の出力は不定になります。

「25.6 一斉書き換え」を参照してください。

各種チャンネル出力モードとチャンネル出力制御ビットを表 25.48 に示します。

表 25.48 チャンネル出力モード

チャンネル出力モード	TAUDn TOE. TAUDn TOEm	TAUDn TOM. TAUDn TOMm	TAUDn TOC. TAUDn TOCm	TAUDn TDE. TAUDn TDEm	TAUDn TRE. TAUDn TREM	TAUDn TME. TAUDn TMEm	TAUDn TDM. TAUDn TDMm
ソフトウェア制御							
ソフトウェア制御のチャンネル単体出力モード	0				X		
TAUD 信号による単体動作制御							
チャンネル単体出力モード 1	1	0	0	0	0	0	0
リアルタイム出力を行うチャンネル単体出力モード 1					1		
チャンネル単体出力モード 2			1		0		
TAUD 信号による連動動作制御							
チャンネル連動出力モード 1	1	1	0	0	0	0	0
非相補方式変調出力を行うチャンネル連動出力モード 1					1	X	
チャンネル連動出力モード 2			1	0	0	0	0
デッドタイム出力を行うチャンネル連動出力モード 2				1			
1相 PWM 出力を行うチャンネル連動出力モード 2							1
相補方式変調出力を行うチャンネル連動出力モード 2					1	1	0
非相補方式変調出力を行うチャンネル連動出力モード 2			1	0			

- 表に記述のない組み合わせは禁止です。
- “x” が記されているビットは、任意の値を設定できます。

備考

- 次のビットは、カウント動作中 (TAUDnTE.TAUDnTEm = 1) は変更できません。
 - TAUDnTOM.TAUDnTOMm
 - TAUDnTOC.TAUDnTOCm
 - TAUDnTDE.TAUDnTDEm
 - TAUDnTRE.TAUDnTREm
 - TAUDnTDM.TAUDnTDMm
- 次のビットは、変調出力を行うチャンネル出力モードを除き、カウント動作中 (TAUDnTE.TAUDnTEm = 1) は変更できません。
 - TAUDnTME.TAUDnTME
 - TAUDnTDL.TAUDnTDLm

25.7.1 チャンネル出力モードを指定するための基本手順

TAUDTTOUTm チャンネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります (TAUDnTOE.TAUDnTOEm = 0)。

- TAUDnTO.TAUDnTOm を設定して TAUDTTOUTm 出力の初期レベルを指定してください。
- 「表 25.48 チャンネル出力モード」を参照してチャンネル出力モードを設定し、TAUDnTOL.TAUDnTOLm ビットで出力論理を設定してください。
- カウンタのカウントを開始してください (TAUDnTS.TAUDnTSM = 1)。

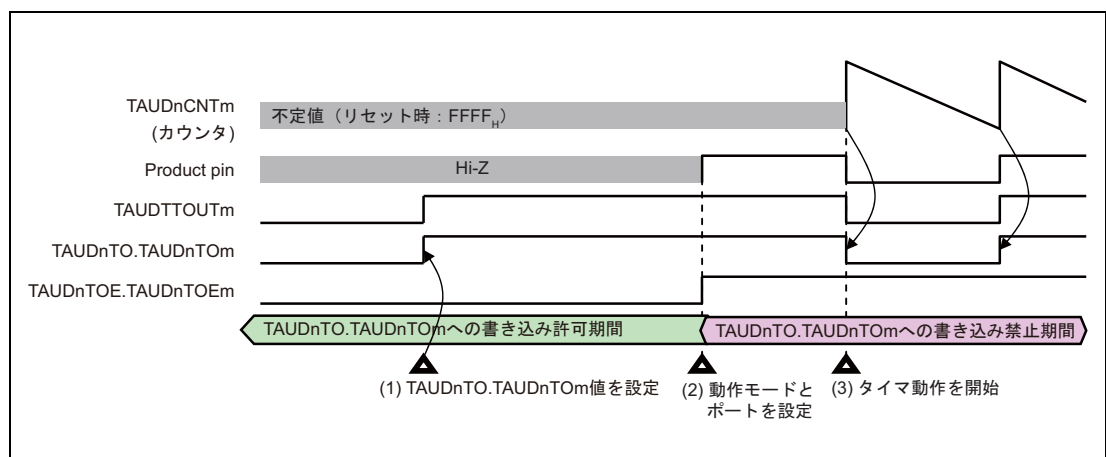


図 25.10 TAUDTTOUTm チャンネル出力モードを指定するための基本手順

25.7.2 TAUDn 信号により単体制御されるチャンネル出力モード

この節では、TAUDn 信号により単体制御されるチャンネル出力モードを示します。モードを指定する制御ビットは、「表 25.48 チャンネル出力モード」に示します。

25.7.2.1 チャンネル単体出力モード 1

セット/リセット条件

この出力モードでは、INTTAUDnIm が検出されると TAUDTTOUTm がトグルされます。TAUDnTOL.TAUDnTOLm の値は無視されます。

前提条件

「表 25.48 チャンネル出力モード」に示す条件以外の条件はありません。

25.7.2.2 リアルタイム出力を行うチャンネル単体出力モード 1

この出力モードでは、トリガチャンネルの TAUDnTRO.TAUDnTROm ビットが TAUDTTOUTm に出力されます。トリガチャンネルは、対応する TAUDnTRC.TAUDnTRCm ビットを“1”に設定することで指定します。トリガチャンネルは、TAUDnTRC.TAUDnTRCm = 0 が設定されているすべての下位チャンネルを制御します。

セット/リセット条件

TAUDnTRO.TAUDnTROm ビットの値は、トリガチャンネルで INTTAUDnIm 割り込みが発生した場合にのみ TAUDTTOUTm に転送されます。INTTAUDnIm 割り込みは、次のいずれかの場合に発生します。

- 指定した周期
- 有効な TAUDTTINm 入力エッジ、またはカウント開始の検出

トリガの種類は、TAUDnCMORm.TAUDnMD[4:1] ビットで設定します。

前提条件

マスタチャンネルおよびスレーブチャンネルは、ともにトリガ生成チャンネルとして設定できます。TAUDnTRC.TAUDnTRCm を“1”に設定したチャンネルは、TAUDnTRE.TAUDnTREM の値にかかわらずトリガ生成チャンネルとして動作します。

上位チャンネルの TAUDnTRC.TAUDnTRCm に“1”を設定したチャンネルが上位にない場合、または TAUDnTRC.TAUDnTRC0 = 0 を設定したチャンネルは、リアルタイム出力を行いません。

これを図 25.11 に示します。

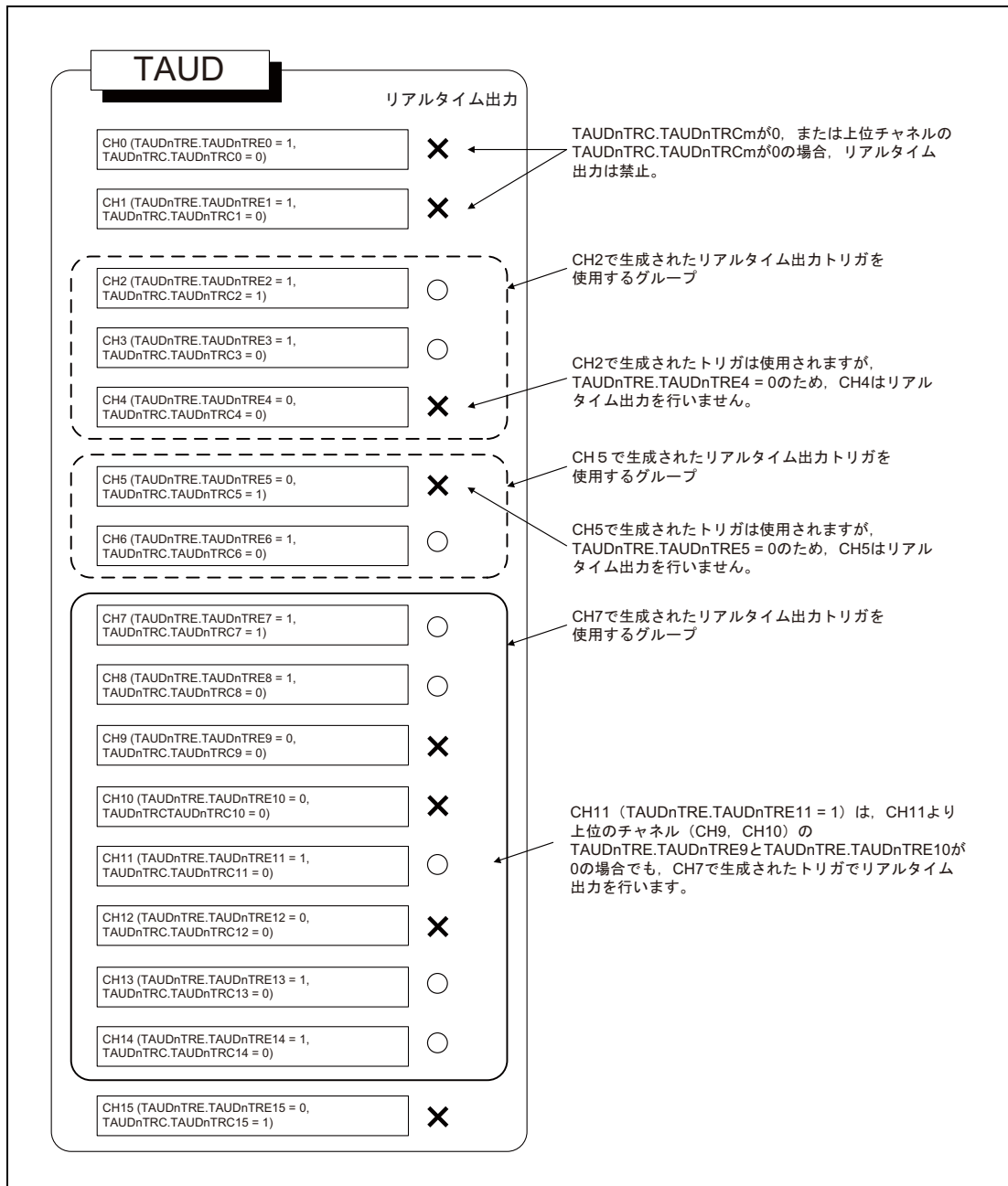


図 25.11 リアルタイム出力

25.7.2.3 チャンネル単体出力モード2

セット/リセット条件

この出力モードでは、TAUDTTOUTm は、カウント開始の INTTAUDnIm 発生でセット、TAUDnCNTm と TAUDnCDRm の一致による INTTAUDnIm 発生でリセットされます。

前提条件

「表 25.48 チャンネル出力モード」に示す条件以外の条件はありません。

25.7.3 TAUDn 信号により連動制御されるチャンネル出力モード

この節では、TAUDn 信号により連動制御されるチャンネル出力モードを示します。モードを指定する制御ビットは、「表 25.48 チャンネル出力モード」に示します。

25.7.3.1 チャンネル連動出力モード1

セット/リセット条件

この出力モードでは、マスタチャンネルの INTTAUDnIm がセット信号、スレーブチャンネルの INTTAUDnIm がリセット信号となります。マスタチャンネルの INTTAUDnIm とスレーブチャンネルの INTTAUDnIm が同時発生した場合、スレーブチャンネルの INTTAUDnIm (リセット信号) は、マスタチャンネルの INTTAUDnIm (セット信号) より優先されます (マスタチャンネルは無視されます)。

前提条件

「表 25.48 チャンネル出力モード」に示す条件以外の条件はありません。

25.7.3.2 非相補方式変調出力を行うチャンネル連動出力モード1

セット/リセット条件

この出力モードでは、TAUDTTOUTm は、あるチャンネルの PWM 出力とリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) 間の AND 演算の結果を出力します。

デッドタイムが付加される位相は、正相位相の場合は $TAUDnTDL.TAUDnTDLm = 0$ 、逆相位相の場合は $TAUDnTDL.TAUDnTDLm = 1$ を設定してください。

前提条件

PWM 出力を生成するには3つ以上のチャンネル1組が必要です。マスタチャンネルとスレーブチャンネル1は周期を生成し、スレーブチャンネル2はデューティサイクルを生成します。代表的なアプリケーションでは、スレーブチャンネル2と同様に動作するスレーブチャンネルをさらに5つ使用します。

同じチャンネルの PWM 出力とリアルタイム出力ビットのみ組み合わせることができます。

TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEem、TAUDnTDL.TAUDnTDLm は、カウント動作中のみ変更できます。

- TAUDnTME.TAUDnTMEem を変更した場合、TAUDnTME.TAUDnTMEem の新しい値は、指定したチャンネルで INTTAUDnIm が検出されたときに適用されます。
- TAUDnTME.TAUDnTMEem と TAUDnTDL.TAUDnTDLm を変更した場合、新しい値は、マスタチャンネルで INTTAUDnIm が検出されたときに適用されます。

25.7.3.3 チャネル連動出力モード2

この出力モードでは、動作モードをアップ/ダウンカウントモードに設定する必要があります。その結果、TAUDTTOUTm より三角波 PWM が出力されます。詳細は「**25.15.7 三角波 PWM 出力機能**」を参照してください。

セット/リセット条件

スレーブチャンネルの TAUDnCNTm は、アップ/ダウンカウントを繰り返します。カウントが 0001_H を越えると、割り込みを発生し、TAUDTTOUTm をトグルします。

前提条件

三角波 PWM 出力を生成するには2つで1組のチャンネルが必要です。TAUDTTOUTm は、機能を開始する前に“0”に設定する必要があります。

25.7.3.4 デッドタイム出力を行うチャンネル連動出力モード2

この出力モードでは、TAUDTTOUTm にデッドタイム遅延が付加されます。セット/リセット条件を図 25.12 に示します。

セット/リセット条件

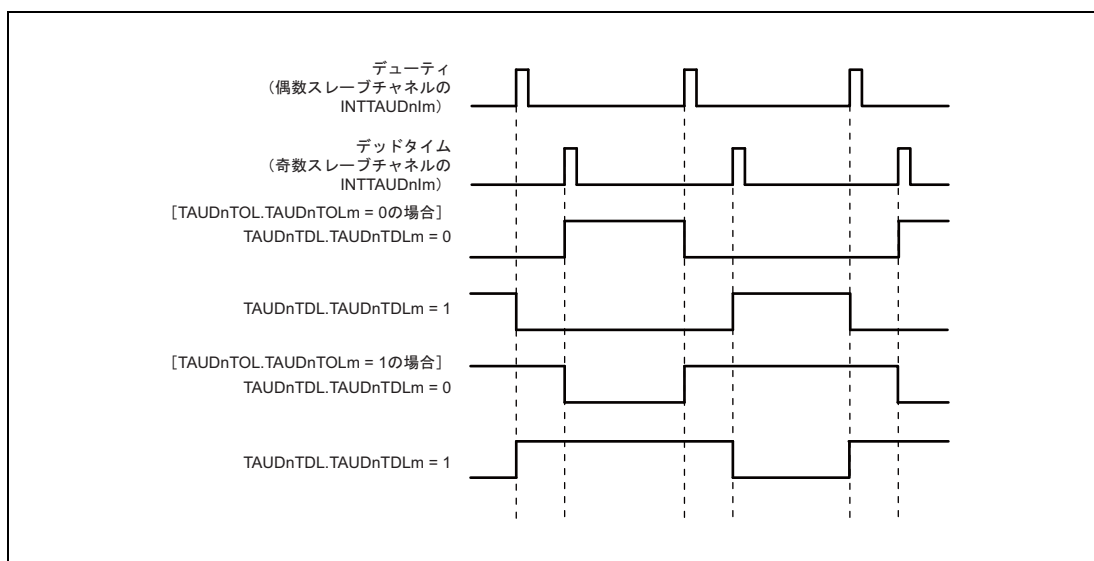


図 25.12 デッドタイム出力を行うチャンネル連動出力モード2のセット/リセット条件

デッドタイムが付加されるエッジは、立ち上がりエッジの場合は TAUDnTDL.TAUDnTDLm = 0、立ち下がりエッジの場合は TAUDnTDL.TAUDnTDLm = 1 を設定してください。

前提条件

デッドタイムを制御するには、それぞれ次のモードで操作する3つで1組のチャンネルが必要です。

- マスタチャンネル
マスタチャンネルは、インターバルタイマモードに設定する必要があります。
- 偶数スレーブチャンネル
偶数スレーブチャンネルは、アップ/ダウンカウントモードに設定する必要があります。

- 奇数スレーブチャンネル (偶数チャンネル+1)
奇数スレーブチャンネルは、ワンカウントモードに設定する必要があります。

奇数チャンネルと偶数チャンネルでは、次のビットが同じ値である必要があります。

- TAUDnTOE.TAUDnTOEm
- TAUDnTME.TAUDnTMEEm
- TAUDnTRE.TAUDnTREEm
- TAUDnTOM.TAUDnTOMm
- TAUDnTOC.TAUDnTOCm
- TAUDnTDE.TAUDnTDEm
- TAUDnTDM.TAUDnTDMm

25.7.3.5 1相PWM出力を行うチャンネル連動出力モード2

この出力モードでは、TAUDTTOUTm にデッドタイム遅延が付加されます。セット/リセット条件を図 25.13 に示します。

セット/リセット条件

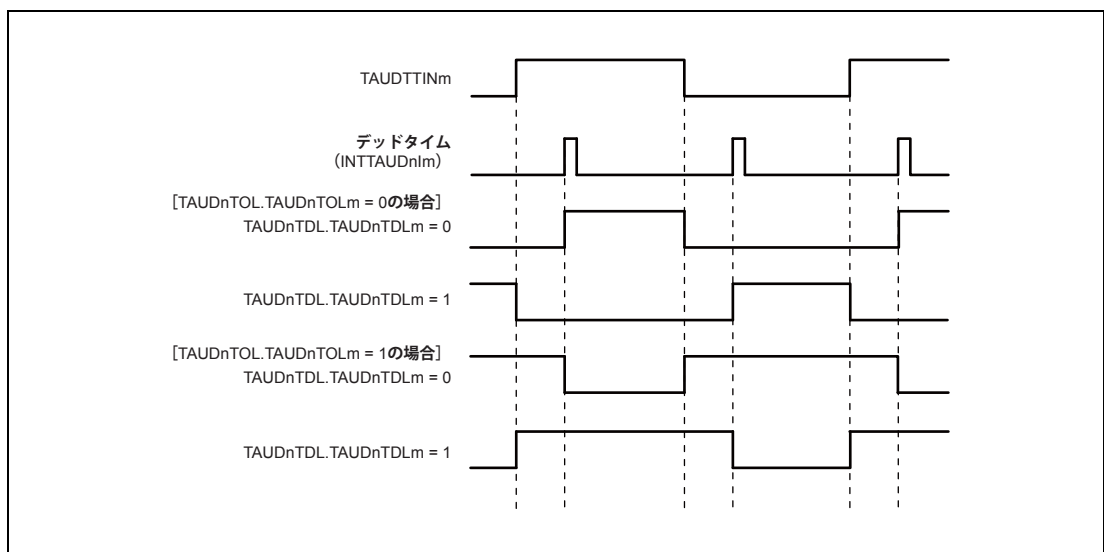


図 25.13 1相PWM出力を行うチャンネル連動出力モード2のセット/リセット条件

デッドタイムが付加されるエッジは、立ち上がりエッジの場合は TAUDnTDL.TAUDnTDLm = 0、立ち下がりエッジの場合は TAUDnTDL.TAUDnTDLm = 1 を設定してください。

前提条件

1相PWM出力を制御するには、2つで1組のチャンネルが必要です。

- 偶数スレーブチャンネル
- 奇数スレーブチャンネル (偶数チャンネル+1)
奇数スレーブチャンネルは、ワンカウントモードに設定する必要があります。

奇数チャンネルと偶数チャンネルでは、次のビットが同じ値である必要があります。

- TAUDnTOE.TAUDnTOEm
- TAUDnTME.TAUDnTMEm
- TAUDnTRE.TAUDnTREm
- TAUDnTOM.TAUDnTOMm
- TAUDnTOC.TAUDnTOCm
- TAUDnTDE.TAUDnTDEm
- TAUDnTDM.TAUDnTDMm

25.7.3.6 相補方式変調出力を行うチャンネル連動出力モード2

セット/リセット条件

この出力モードでは、TAUDTTOUTm は、2つで1組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm)、変調出力ビット (TAUDnTME.TAUDnTMEm)、出力レベルビット (TAUDnTOL.TAUDnTOLm) の値に応じて PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。

詳細は「**25.16.3 相補方式変調出力機能**」を参照してください。

前提条件

このモードでは、4つ以上のチャンネル1組が必要です。マスタチャンネルとスレーブチャンネル1は周期を生成し、スレーブチャンネル2はデューティサイクルを生成し、スレーブチャンネル3はデッドタイムを生成します。スレーブチャンネル2とスレーブチャンネル3は2つで1組です。代表的なアプリケーションでは、チャンネル2、チャンネル3と同様に動作するスレーブチャンネルをさらに4つ使用します。

TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEm、TAUDnTDL.TAUDnTDLm は、カウント動作中のみ変更できます。

- TAUDnTME.TAUDnTMEm を動作中に変更した場合、TAUDnTME.TAUDnTMEm の新しい値は、指定したチャンネルで INTTAUDnIm が検出されたときに適用されます。
- TAUDnTME.TAUDnTMEm と TAUDnTDL.TAUDnTDLm を変更した場合、新しい値は、偶数スレーブチャンネルで INTTAUDnIm が検出されたときに適用されます。

25.7.3.7 非相補方式変調出力を行うチャンネル連動出力モード2

非相補方式変調出力を行うチャンネル連動出力モード1とは PWM 波形が異なります。

モード1では矩形波ですが、モード2では三角波です。

25.8 各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUDnTS.TAUDnTSM を“1”に設定したあとの、カウンタ動作開始タイミングについて説明します。

データレジスタの値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

注 意

本節に記載するカウント開始タイミングは参考例です。実際にはカウントクロックタイミングにより、カウント開始タイミングは前後します。

25.8.1 インターバルタイマモード、ジャッジモード、キャプチャモード、アップ/ダウンカウントモード、カウントキャプチャモード

TAUDnTS.TAUDnTSM が“1”に設定されたあと、カウンタは次のカウントクロックサイクル開始時に動作を開始します。このとき、データレジスタの値もロードされます。

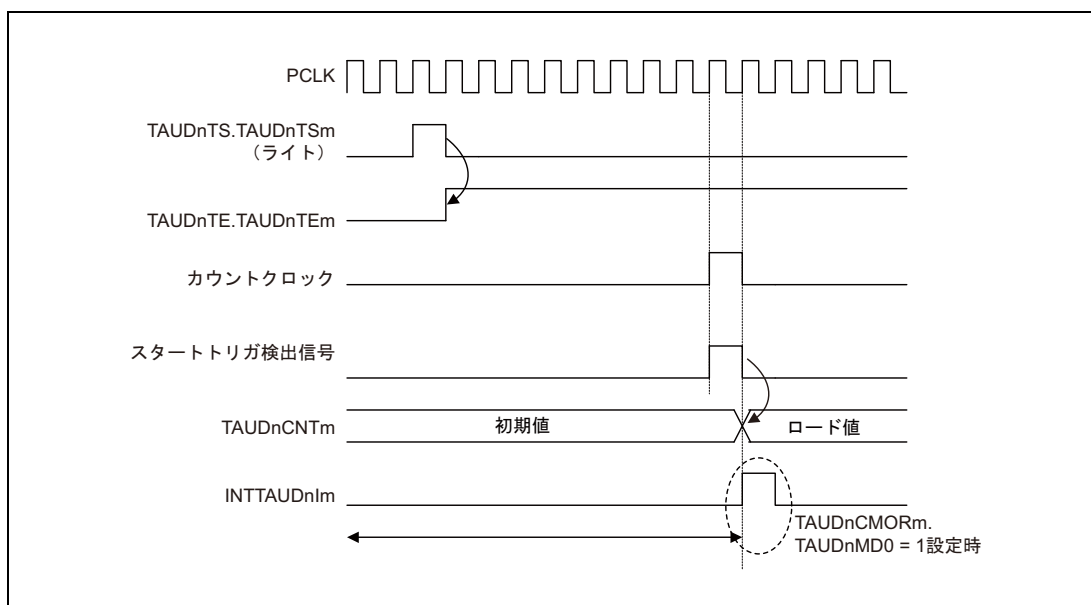


図 25.14 インターバルタイマモード、ジャッジモード、キャプチャモード、アップ/ダウンカウントモード、カウントキャプチャモードでの開始タイミング

備 考

アップ/ダウンカウントモード時は、必ず TAUDnCMORm.TAUDnMD0 = 0 に設定してください。

25.8.2 イベントカウントモード

TAUDnTS.TAUDnTSMが“1”に設定されると、ただちにデータレジスタの値がロードされます。カウンタ動作もただちに開始されます。データレジスタの値は、以降のカウントクロックサイクルの開始時にデクリメントされます。

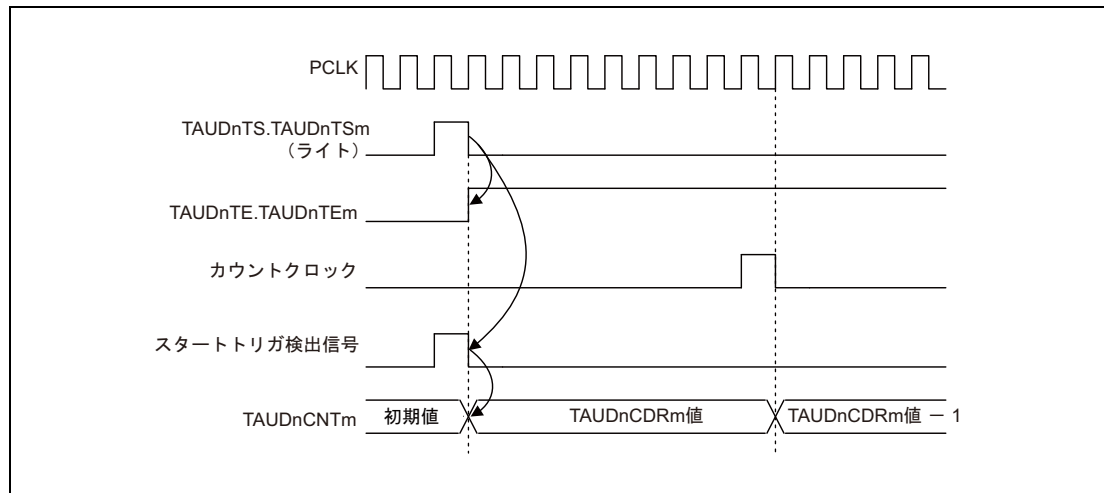


図 25.15 イベントカウントモード時の開始タイミング

25.8.3 その他の動作モード

その他の動作モードでは、カウントクロックサイクルはカウンタ動作開始に関係しません。カウンタは TAUDTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると、データレジスタ値もロードされます。カウントクロックサイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

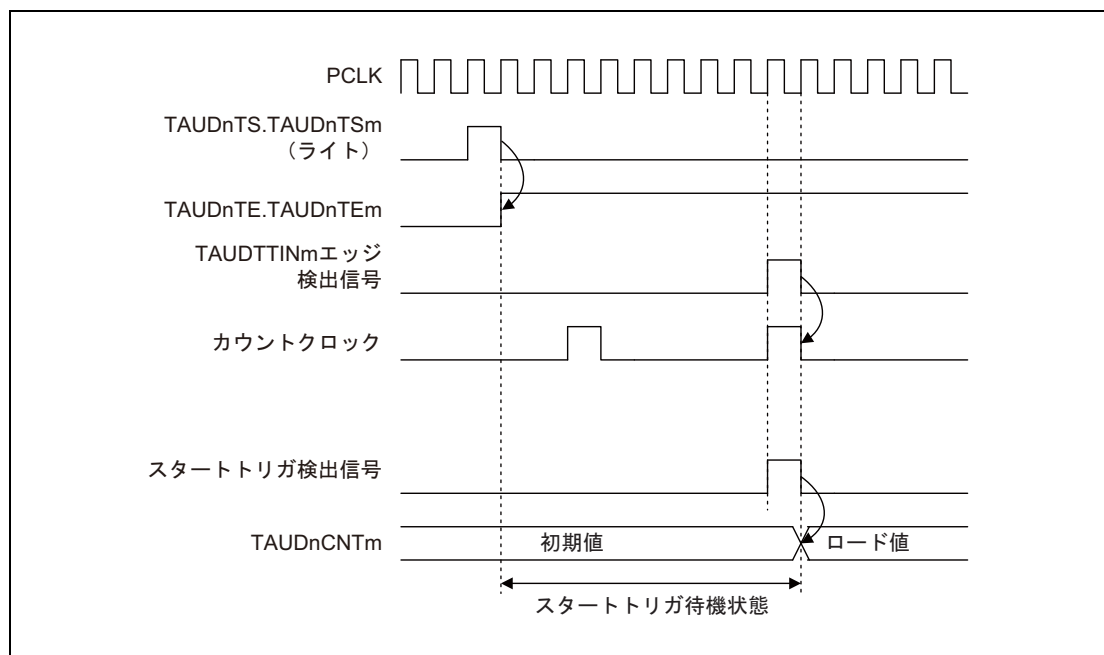


図 25.16 その他の動作モードでのカウント開始タイミング

25.9 カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成

カウンタのカウント開始時、TAUDnCMORm.TAUDnMD0 ビットで INTTAUDnIm を発生するかしないかを指定できます。

TAUDnCMORm.TAUDnMD0 ビットがカウント開始時の INTTAUDnIm 発生、TAUDTTOUTm に与える影響は、選択した機能に依存します。詳細は、各機能の TAUDnCMORm.TAUDnMD0 の説明を参照してください

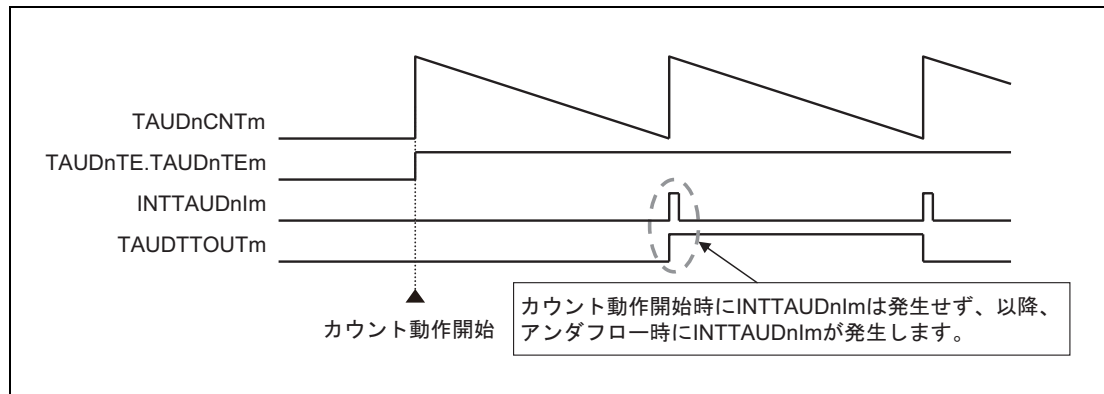


図 25.17 INTTAUDnIm の発生タイミング (TAUDnCMORm.TAUDnMD0 = 0 設定時)

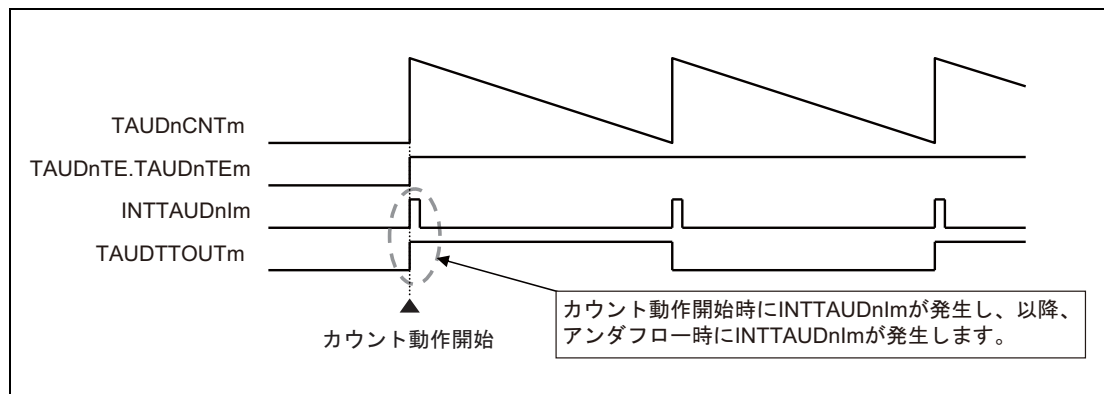


図 25.18 INTTAUDnIm の発生タイミング (TAUDnCMORm.TAUDnMD0 = 1 設定時)

25.10 オーバフロー時の割り込み発生

特定の単体機能では、アップカウント時にカウンタ値が $FFFF_H$ になりオーバフローになる際、割り込みが発生しません。この節では、アップカウントを行うモードでのチャンネル動作と、ダウンカウントを行うモードでのチャンネル動作を組み合わせて割り込みを発生させる方法を説明します。

どの動作モードがセカンドチャンネルに適切かは、ファーストチャンネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンドチャンネルに、ファーストチャンネルでのオーバフロー発生と同時に 0000_H になるようなダウンカウントを行う動作モードを設定します (TAUDnCNTm = $FFFF_H$)。
- セカンドチャンネルの TAUDnCDRm を $FFFF_H$ に設定します。
- 2つのチャンネルは同じ速度でカウントを行う必要があります (つまり、カウントクロックが同じでなければなりません)。
- 両チャンネルが同じ TAUDTTINm 入力信号でトリガされます。
- 両チャンネルのトリガ検出設定 (TAUDnCMORm.TAUDnSTS[2:0] と TAUDnCMURm.TAUDnTIS[1:0]) は同じである必要があります。

結果：

ファーストチャンネルのアップカウンタでのオーバフロー発生 (TAUDnCNTm = $FFFF_H$) と同時にセカンドチャンネルのダウンカウンタが 0000_H になります。そしてセカンドチャンネルは任意の割り込みを発生させます。

以降の節で、アップカウントを行う動作モードとの組み合わせに必要なダウンカウントを行う動作モードの一覧と、タイミング図の例を示します。

25.10.1 TAUDTTINm 入力パルスインターバル測定機能と TAUDTTINm 入力インターバルタイマ機能の組み合わせ

両チャンネルの TAUDTTINm に同時にキャプチャトリガを入力することで、TAUDTTINm 入力パルスインターバル測定機能の TAUDnCNTm の FFFF_H オーバフローを TAUDTTINm 入力インターバルタイマ機能の INTTAUDnIm で検出できます。

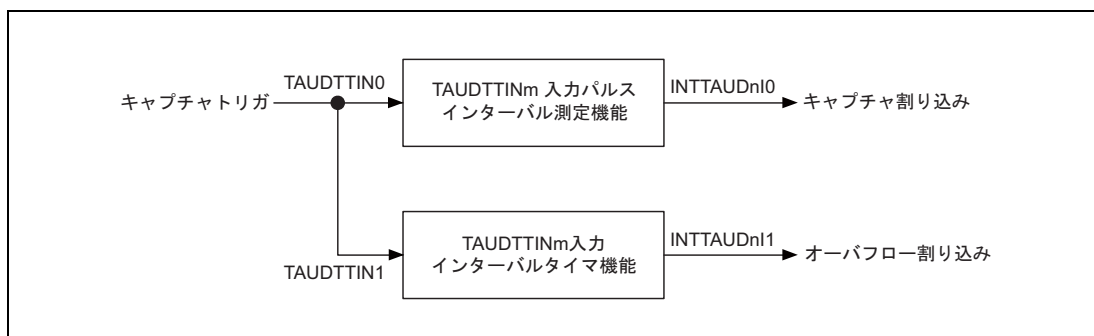


図 25.19 TAUDTTINm 入力パルスインターバル測定機能と TAUDTTINm 入力インターバルタイマ機能の組み合わせ

タイミング図

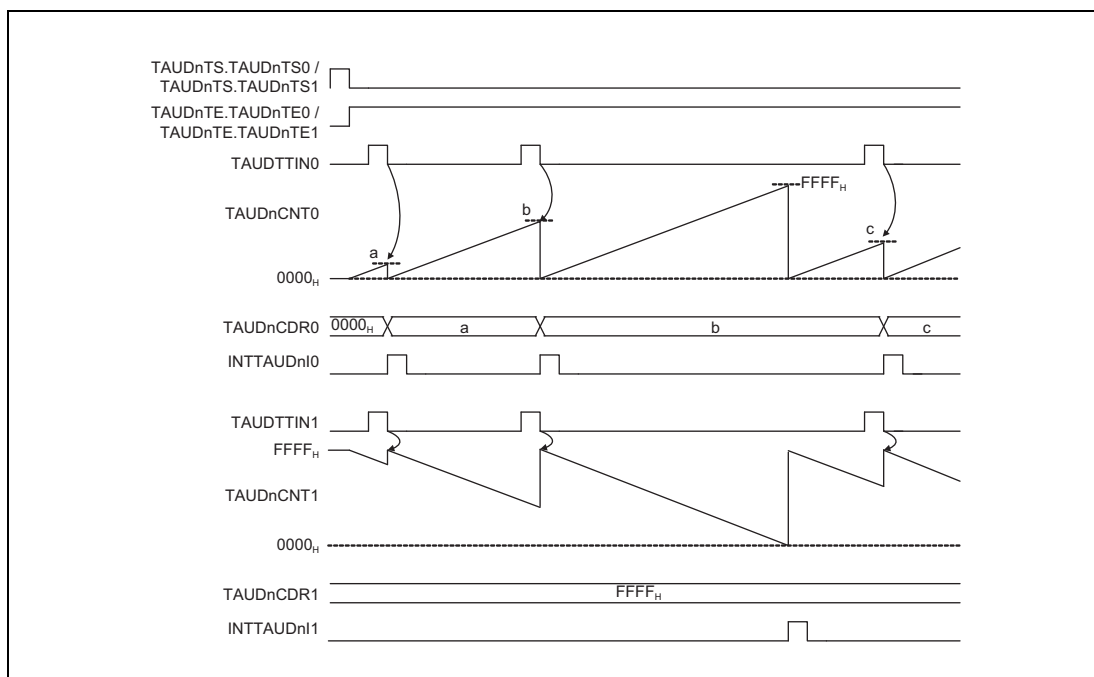


図 25.20 TAUDTTINm 入力パルスインターバル測定機能と TAUDTTINm 入力インターバルタイマ機能の組み合わせによる割り込み発生

25.10.2 TAUDTTINm 入力信号幅測定機能とオーバーフロー割り込み出力機能 (TAUDTTINm 幅測定時) の組み合わせ

両チャネルの TAUDTTINm に同時にキャプチャトリガを入力することで、TAUDTTINm 入力信号幅測定機能の TAUDnCNTm の FFFF_H オーバフローをオーバーフロー割り込み出力機能 (TAUDTTINm 幅測定時) の INTTAUDnIm で検出できます。

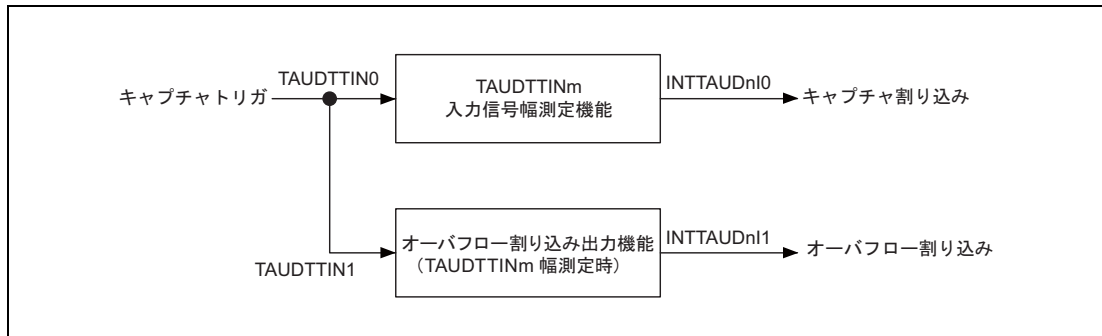


図 25.21 TAUDTTINm 入力信号幅測定機能とオーバーフロー割り込み出力機能 (TAUDTTINm 幅測定時) の組み合わせ

タイミング図

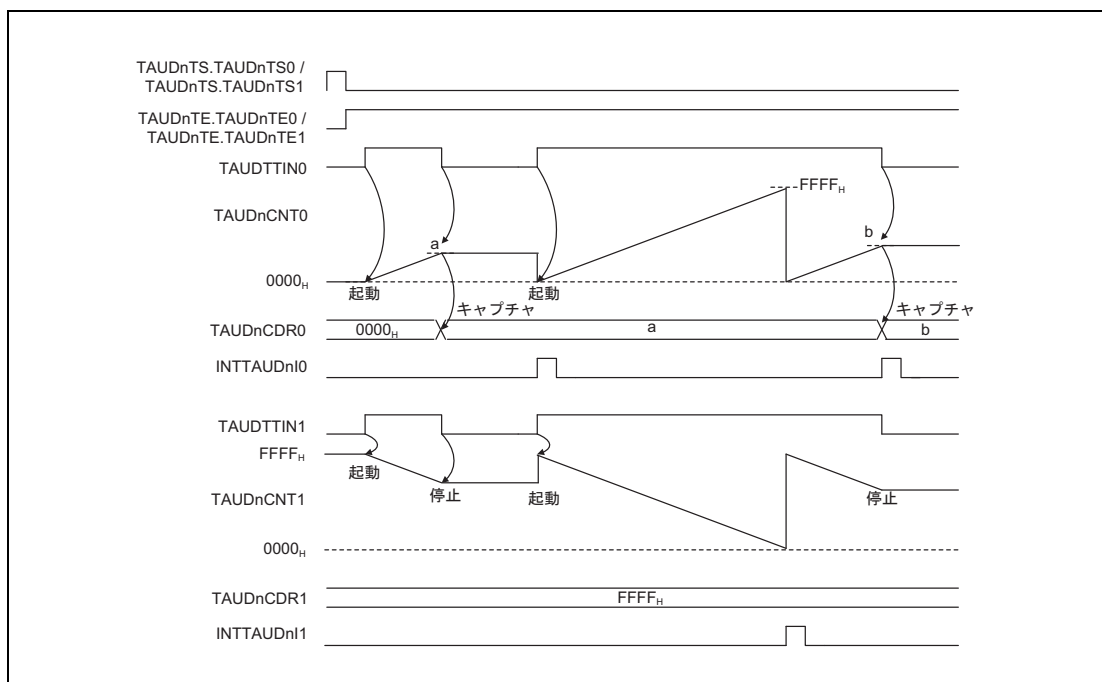


図 25.22 TAUDTTINm 入力信号幅測定機能とオーバーフロー割り込み出力機能 (TAUDTTINm 幅測定時) の組み合わせによる割り込み発生

25.10.3 TAUDTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

両チャンネルのカウンタを同時に開始することで、TAUDTTINm 入力位置検出機能の TAUDnCNTm の FFFF_H オーバフローをインターバルタイマ機能の INTTAUDnIm で検出できます。

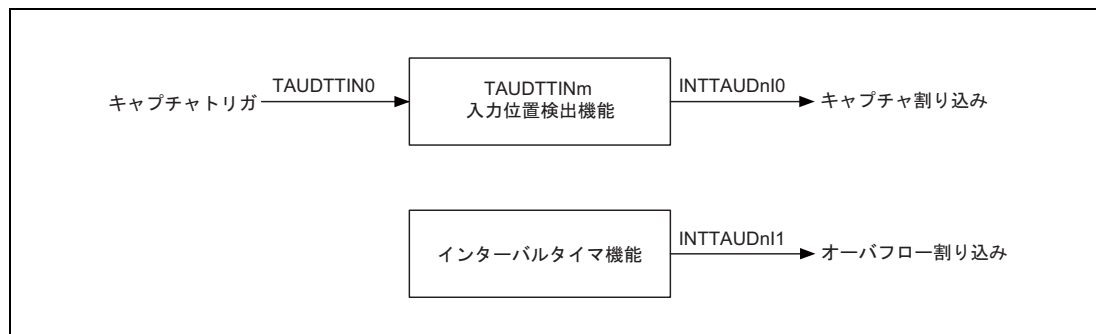


図 25.23 TAUDTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

タイミング図

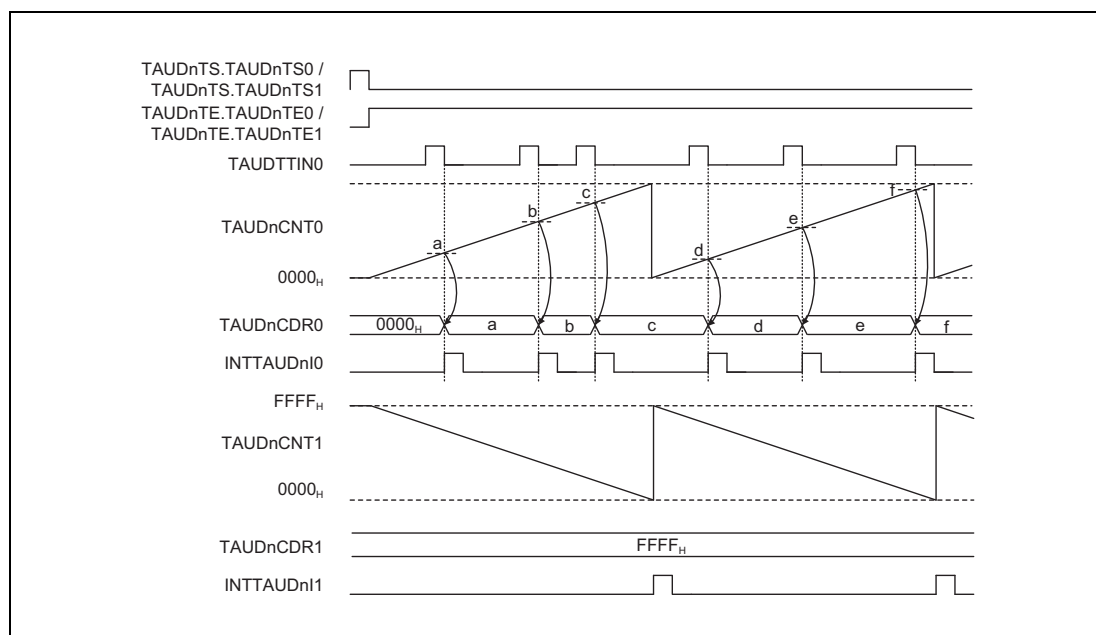


図 25.24 TAUDTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせによる割り込み発生

25.10.4 TAUDTTINm 入力期間カウント検出機能とオーバーフロー割り込み出力機能 (TAUDTTINm 入力期間カウント検出時) の組み合わせ

両チャンネルの TAUDTTINm に同時にキャプチャトリガを入力することで、TAUDTTINm 入力期間カウント検出機能の TAUDnCNTm の FFFF_H オーバフローをオーバーフロー割り込み出力機能 (TAUDTTINm 入力期間カウント検出時) の INTTAUDnIm で検出できます。

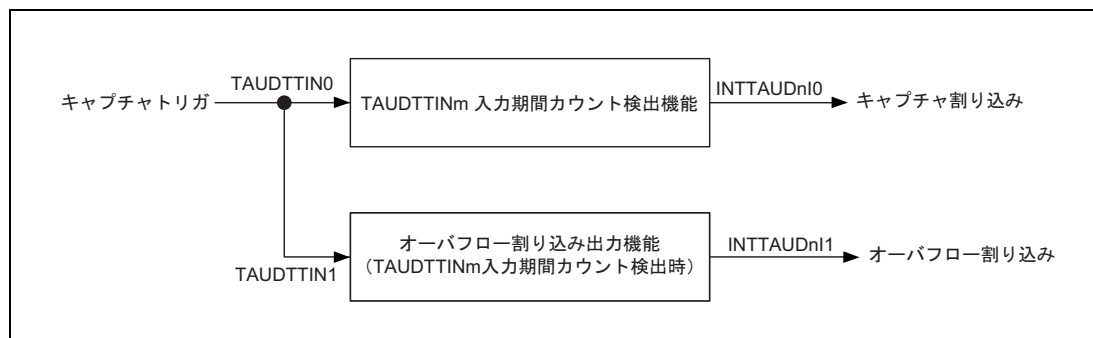


図 25.25 TAUDTTINm 入力期間カウント検出機能とオーバーフロー割り込み出力機能 (TAUDTTINm 入力期間カウント検出時) の組み合わせ

タイミング図

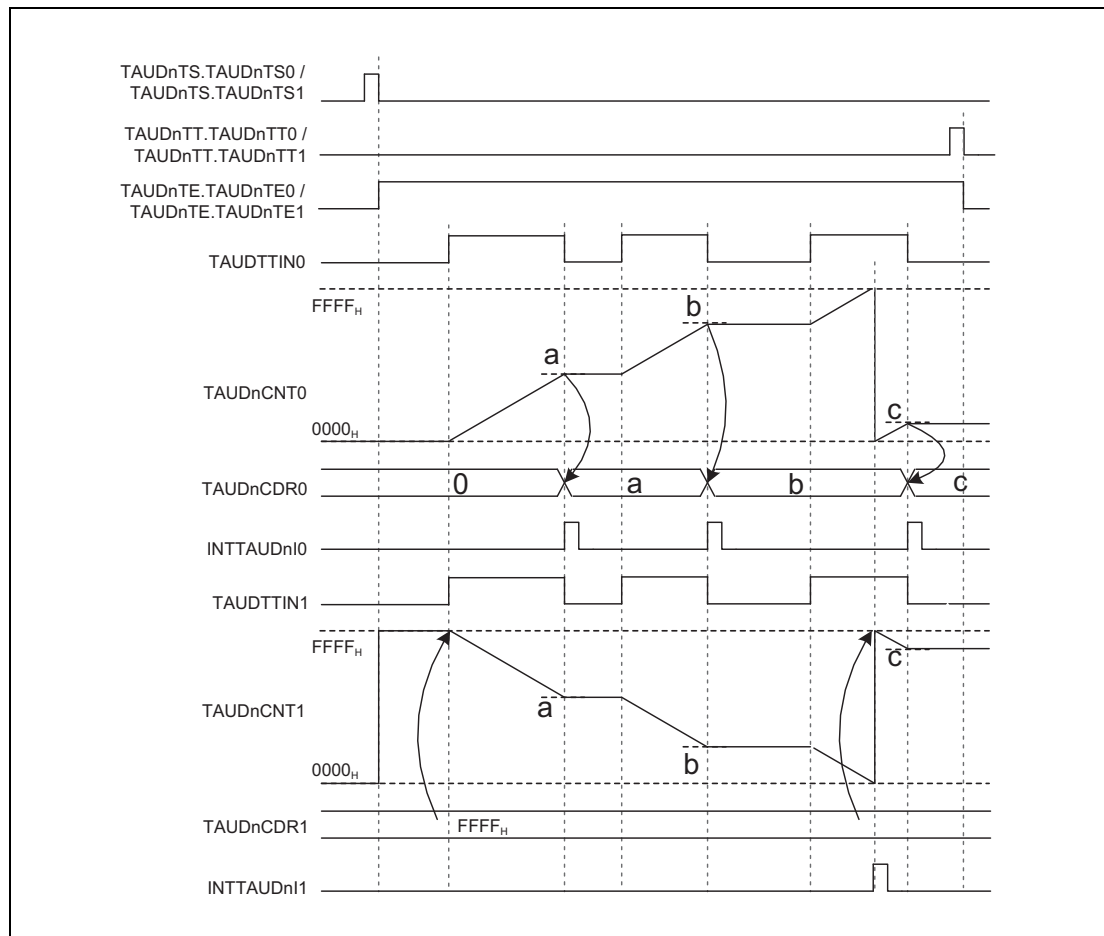


図 25.26 TAUDTTINm 入力期間カウント検出機能とオーバーフロー割り込み出力機能 (TAUDTTINm 入力期間カウント検出時) の組み合わせによる割り込み発生

25.11 TAUDTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大1動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを図 25.27 に示します。

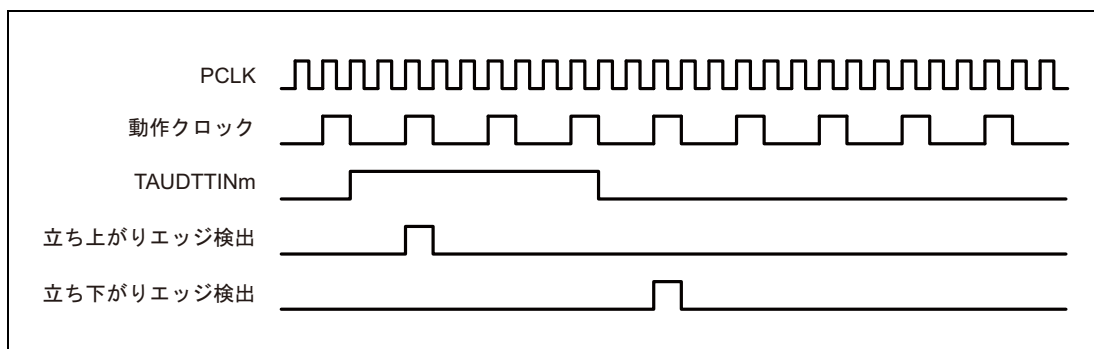


図 25.27 エッジ検出基本動作タイミング

図 25.27 は動作タイミングのイメージです。実際は、TAUDnIm 端子から TAUDn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

25.12 チャネル単体動作機能

TAUD の各種チャネル単体動作機能を次の項で説明します。チャネル単体動作の概要は、「25.2 概要」を参照してください。

この節では、一定間隔または指定した遅延で割り込みを発生する機能を示します。

25.12.1 インターバルタイマ機能

25.12.1.1 概要

概要

この機能は、一定間隔でタイマ割り込み (INTTAUDnIm) を発生する基準タイマとして使用できます。割り込みが発生すると、TAUDTTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはインターバルタイマモードに設定する必要があります (「表 25.49 インターバルタイマ機能の TAUDnCMORm レジスタの内容」参照)。
- チャネル出力モードは、チャネル単体出力モード 1 に設定する必要があります。「25.7 チャネル出力モード」を参照してください。

機能説明

チャネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000_H になると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がトグルされます。その後、TAUDnCDRm の値を TAUDnCNTm にロードし、以降、動作を継続します。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。TAUDnCNTm と TAUDTTOUTm は停止しますが、値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、機能を再開できます。カウント中に TAUDnTS.TAUDnTSm を“1”に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

条件

TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUDTTOUTm のトグルも行われません。これにより、TAUDnCMORm.TAUDnMD0 が“1”に設定された場合に対して、反転された TAUDTTOUTm 信号が出力されます。詳細は、「25.9 カウント開始/リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成」を参照してください。

25.12.1.2 算出式

INTTAUDnIm の周期 = カウントクロック周期 × (TAUDnCDRm + 1)

TAUDTTOUTm の矩形波周期 = カウントクロック周期 × (TAUDnCDRm + 1) × 2

25.12.1.3 ブロック図と基本タイミング図

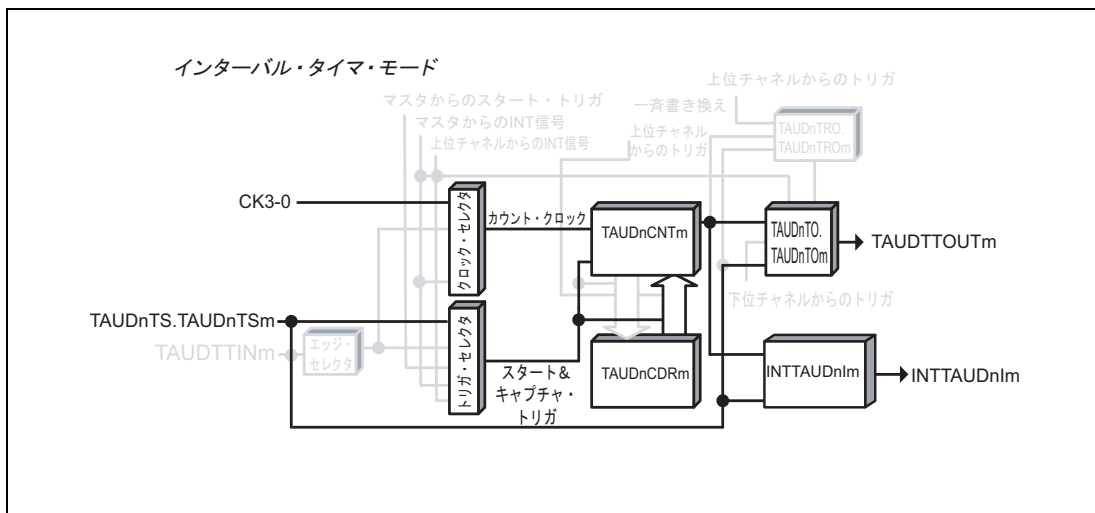


図 25.28 インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)

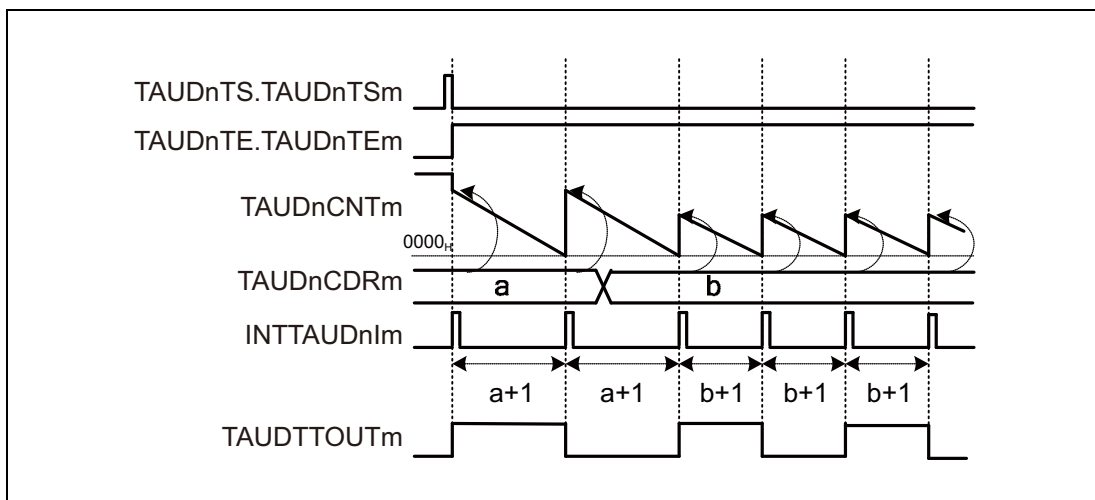


図 25.29 インターバルタイマ機能の基本タイミング図

25.12.1.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.49 インターバルタイマ機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始または再開時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.50 インターバルタイマ機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) チャネル出力モード

表 25.51 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1 : チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0 : チャネル単体出力
TAUDnTOC.TAUDnTOCm	0 : 動作モード1 (TAUDnTOM.TAUDnTOMm = 0 時はトグルモード)
TAUDnTOL.TAUDnTOLm	0 : トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0 : デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0 : デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0 : リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0 : リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0 : 変調禁止

備 考

チャネル出力モードは、TAUDnTOE.TAUDnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUDTTOUTm を割り込みとは独立させて制御することができます。詳細は「25.7 チャネル出力モード」を参照してください。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、インターバルタイマ機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 25.52 インターバルタイマ機能の一斉書き換え設定

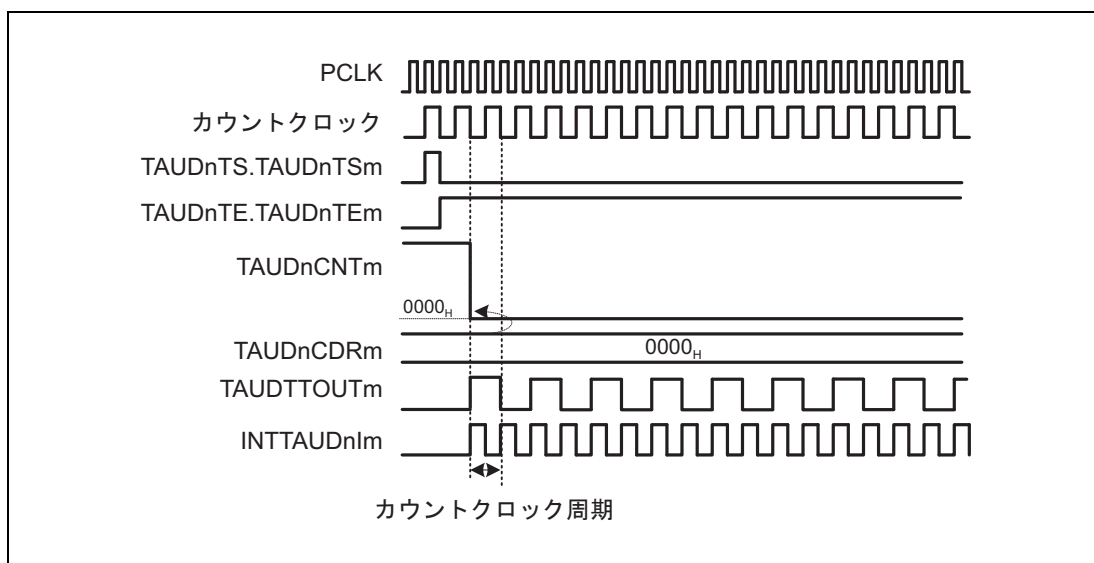
ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.1.5 インターバルタイマ機能の操作手順

表 25.53 インターバルタイマ機能の操作手順

	操作	TAUDnの状態
動作再開	チャンネルの初期設定 チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを「表 25.49 インターバルタイマ機能のTAUDnCMORm レジスタの内容」、「表 25.50 インターバルタイマ機能のTAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを「表 25.51 チャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCDRm の値をTAUDnCnTm にロードします。TAUDnCMORm.TAUDnMD0 = 1 の場合、INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。
	動作中 動作中 TAUDnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUDnCnTm レジスタは常に読み出し可能です。	TAUDnCnTm がダウンカウントを行います。カウンタが0000 _H になった場合： <ul style="list-style-type: none"> 再びTAUDnCDRmの値をTAUDnCnTmにロードし、カウント動作を継続します。 INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。
	動作停止 動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCnTm とTAUDTTOUTm は停止し、現在値を保持します。

25.12.1.6 特定の設定時のタイミング図

(1) $TAUDnCDRm = 0000_H$ 、カウントクロック = $PCLK/2$ 図 25.30 $TAUDnCDRm = 0000_H$ 、カウントクロック = $PCLK/2$

- $TAUDnCDRm = 0000_H$ 、かつカウントクロック = $PCLK/2$ の場合、カウントクロックごとに $TAUDnCDRm$ の値が $TAUDnCNTm$ にロードされます。つまり、 $TAUDnCNTm$ は常に 0000_H です。
- $INTTAUDnIm$ がカウントクロックごとに発生するので、 $TAUDTTOUTm$ はカウントクロックごとにトグルされます。

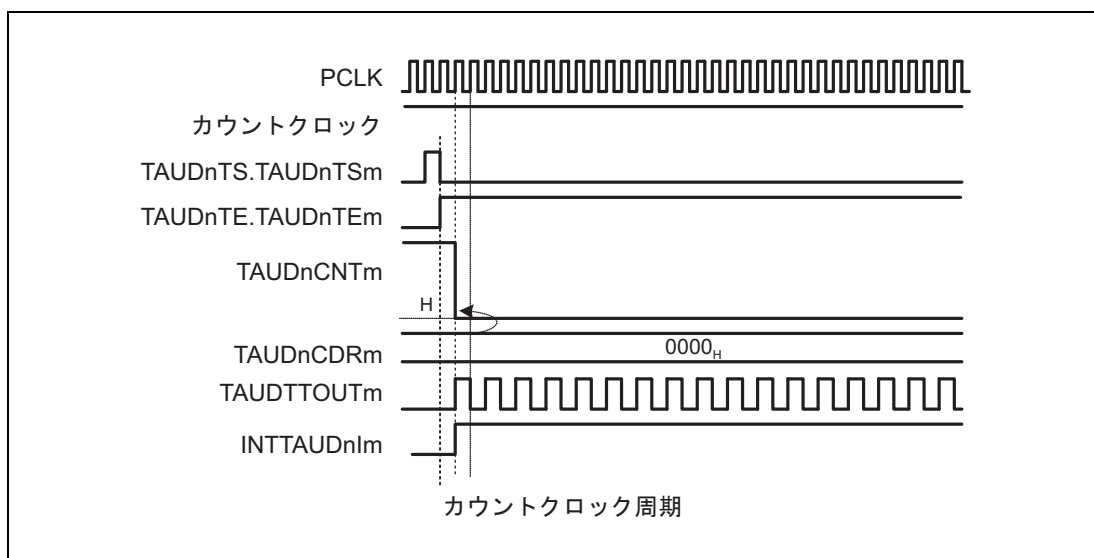
(2) TAUDnCDRm = 0000_H、カウントクロック = PCLK

図 25.31 TAUDnCDRm = 0000_H、カウントクロック = PCLK

- TAUDnCDRm = 0000_H、かつカウントクロック = PCLK の場合、PCLK クロックごとに TAUDnCDRm の値が TAUDnCNTm にロードされます。つまり、TAUDnCNTm は常に 0000_H です。
- INTTAUDnIm は、ハイレベル固定になります。1 回目の割り込みは発生しますが、それ以降は発生しません。
PCLK クロックごとに TAUDTTOUTm がトグルされます。

(3) 動作の停止と再開

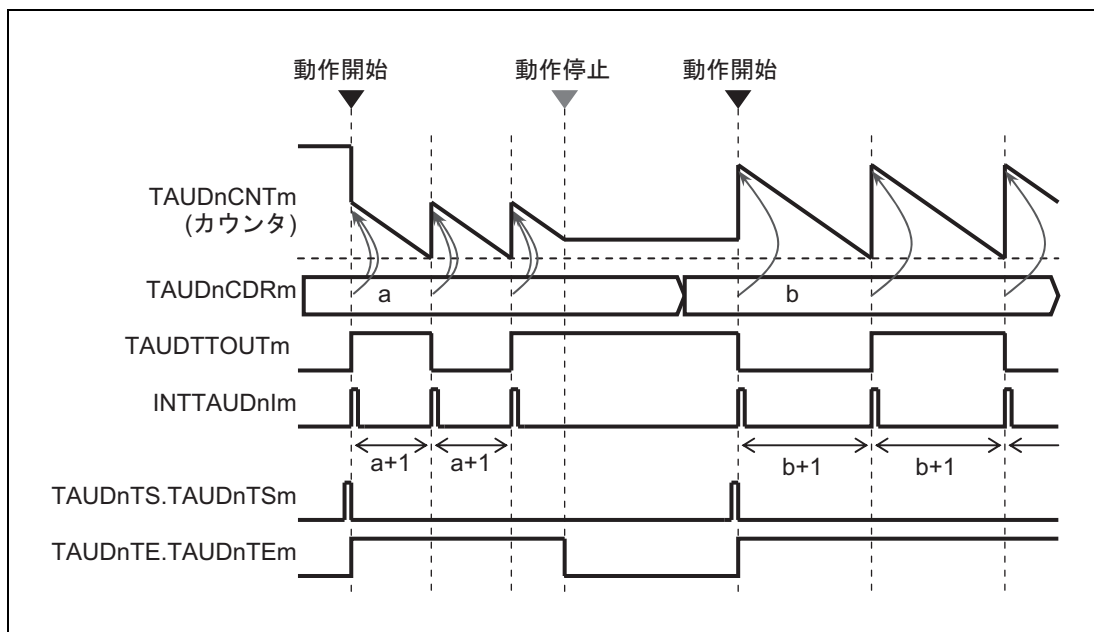


図 25.32 動作の停止と再開 (TAUDnCMORm.TAUDnMD0 = 1)

- TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。
- TAUDnCNTm と TAUDTTOUTm は停止しますが、値は保持します。
- TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。

(4) 強制リスタート (TAUDnCMORm.TAUDnMD0 = 1)

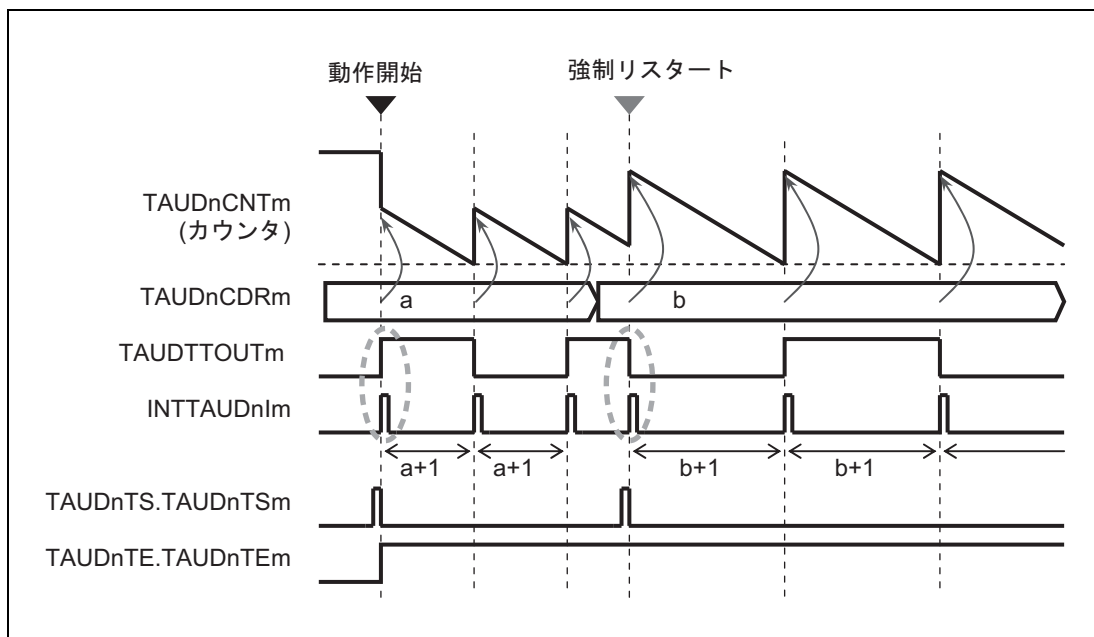


図 25.33 強制リスタート動作 (TAUDnCMORm.TAUDnMD0 = 1)

- カウント中に TAUDnTS.TAUDnTSm を“1”に設定すると、いったん停止しなくてもカウントを再開できます (強制リスタート)。
- TAUDnCMORm.TAUDnMD0 ビットが“1”に設定されると、動作開始または再開後の最初の割り込みが発生します。
- 強制リスタート時は、TAUDnCDRm の値は、TAUDnCNTm に反映されて、カウントを開始します。変更した TAUDnCDRm の値を即時反映させる場合は、強制リスタートをしてください。
- 強制リスタート時は、割り込み (INTTAUDnIm) が発生し、TAUDTTOUTm が反転します。

(5) 強制リスタート (TAUDnCMORM.TAUDnMD0 = 0)

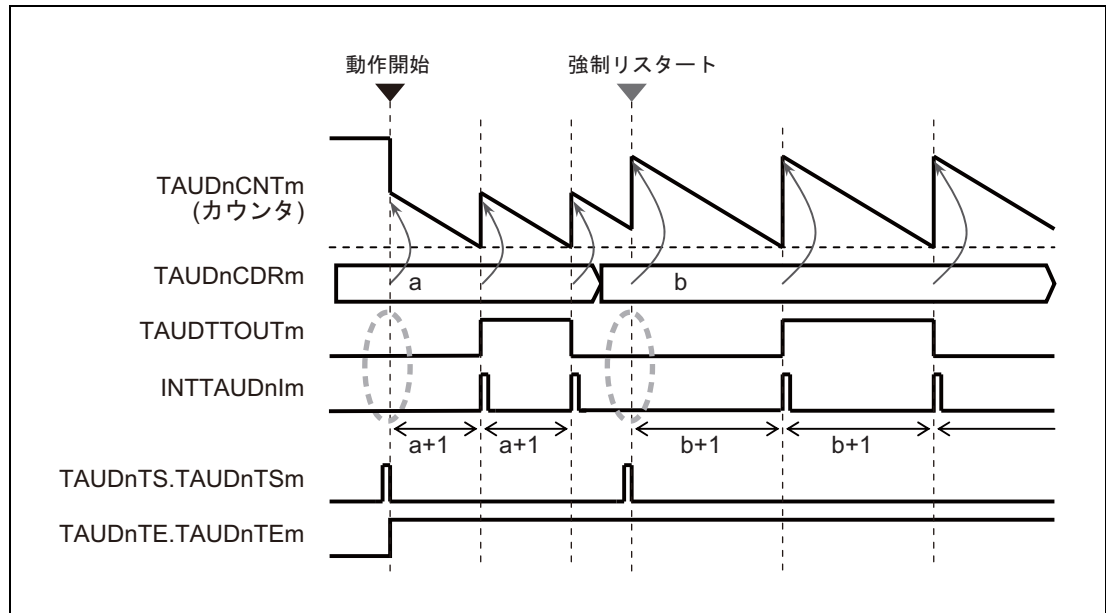


図 25.34 強制リスタート動作 (TAUDnCMORM.TAUDnMD0 = 0)

- 強制リスタート時は、割り込み (INTTAUDnIm) が発生しません。TAUDTTOUTm も反転しません。

25.12.2 TAUDTTINm 入インターバルタイマ機能

25.12.2.1 概要

概要

この機能は、一定間隔または有効な TAUDTTINm 入力エッジが検出された場合に、タイマ割り込み (INTTAUDnIm) を発生するための基準タイマとして使用されます。割り込みが発生すると、TAUDTTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはインターバルタイマモードに設定する必要があります (「表 25.54 TAUDTTINm 入インターバルタイマ機能の TAUDnCMORm レジスタの内容」参照)。
- チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。「25.7 チャンネル出力モード」を参照してください。

機能説明

この機能は、有効な TAUDTTINm 入力エッジで再開される以外、インターバルタイマ機能と同様に動作します (「25.12.1 インターバルタイマ機能」参照)。トリガとして使用するエッジの種類は、TAUDnCMURm.TAUDnTIS[1:0] ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

25.12.2.2 算出式

INTTAUDnIm の周期 = カウントクロック周期 × (TAUDnCDRm + 1)

TAUDTTOUTm の矩形波周期 = カウントクロック周期 × (TAUDnCDRm + 1) × 2

25.12.2.3 ブロック図と基本タイミング図

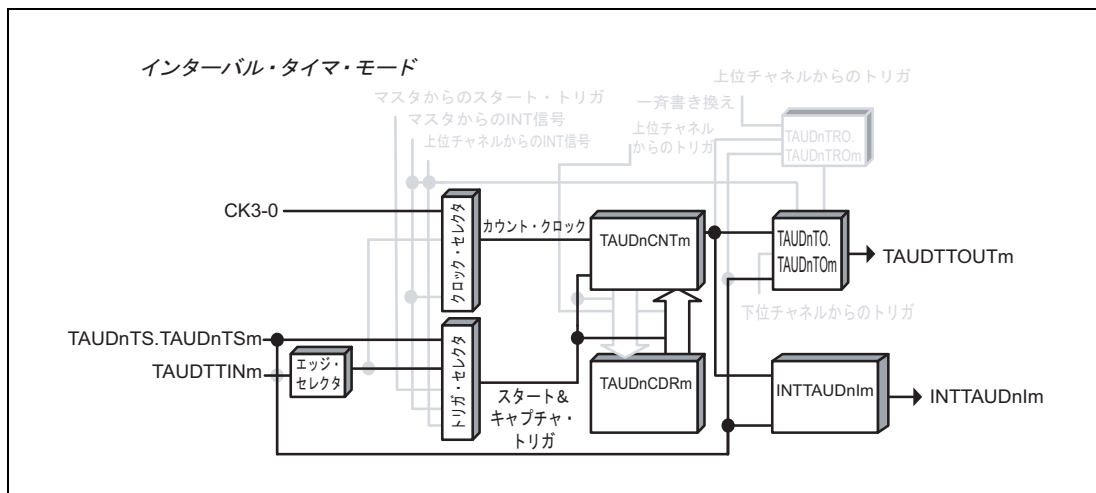


図 25.35 TAUDTTINm 入カインターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)
- 立ち上がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

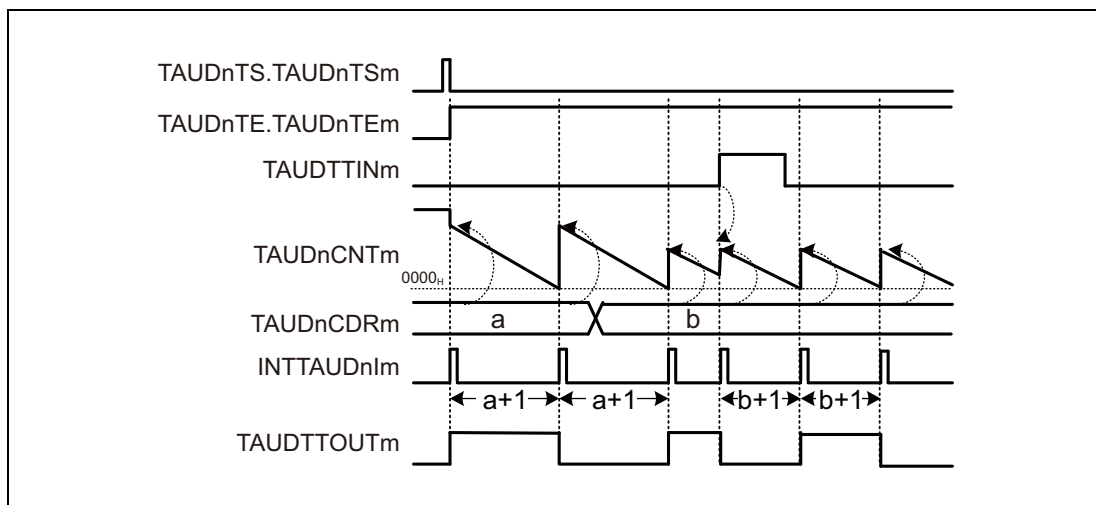


図 25.36 TAUDTTINm 入カインターバルタイマ機能の基本タイミング図

25.12.2.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.54 TAUDTTINm 入力インターバルタイマ機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	001：有効な TAUDTTINm 入力エッジ信号を外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.55 TAUDTTINm 入力インターバルタイマ機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

表 25.56 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1 : チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0 : チャネル単体出力
TAUDnTOC.TAUDnTOCm	0 : 動作モード1 (TAUDnTOM.TAUDnTOMm = 0 時はトグルモード)
TAUDnTOL.TAUDnTOLm	0 : トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0 : デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0 : デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、"0" を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0 : リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0 : リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、"0" を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0 : 変調禁止

備 考

チャネル出力モードは、TAUDnTOE.TAUDnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUDTTOUTm を割り込みとは独立させて制御することができます。詳細は「25.7 チャネル出力モード」を参照してください。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDTTINm 入力インターバルタイマ機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 25.57 TAUDTTINm 入力インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、"0" を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.2.5 TAUDTTINm 入カウンタバルタイマ機能の操作手順

表 25.58 TAUDTTINm 入カウンタバルタイマ機能の操作手順

	操作	TAUDnの状態
動作再開 ↓	チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 25.54 TAUDTTINm 入カウンタバルタイマ機能の TAUDnCMORm レジスタの内容」と「表 25.55 TAUDTTINm 入カウンタバルタイマ機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを「表 25.56 チャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。 TAUDnCMORm.TAUDnMD0 = 1 の場合、INTTAUDnIm が発生し、TAUDTTOUTm がトリグルされます。
	動作中 TAUDnCMURm.TAUDnTIS[1:0]、TAUDnCDRm レジスタの値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。 TAUDTTINm エッジ検出	TAUDnCNTm がダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> 再びTAUDnCDRmの値をTAUDnCNTmにロードし、カウント動作を継続します。 INTTAUDnIm が発生し、TAUDTTOUTm がトリグルされます。 カウント動作中に TAUDTTINm 入力の有効エッジを検出すると、再び TAUDnCDRm の値を TAUDnCNTm にロードし、カウント動作を継続します。 以降、この動作を繰り返します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウント動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

25.12.2.6 特定の設定時のタイミング図

「25.12.1 インターバルタイマ機能」のタイミング図も適用されますが、それに加えて有効な TAUDTTINm 入力エッジを使用することでカウンタを再開することも可能です。

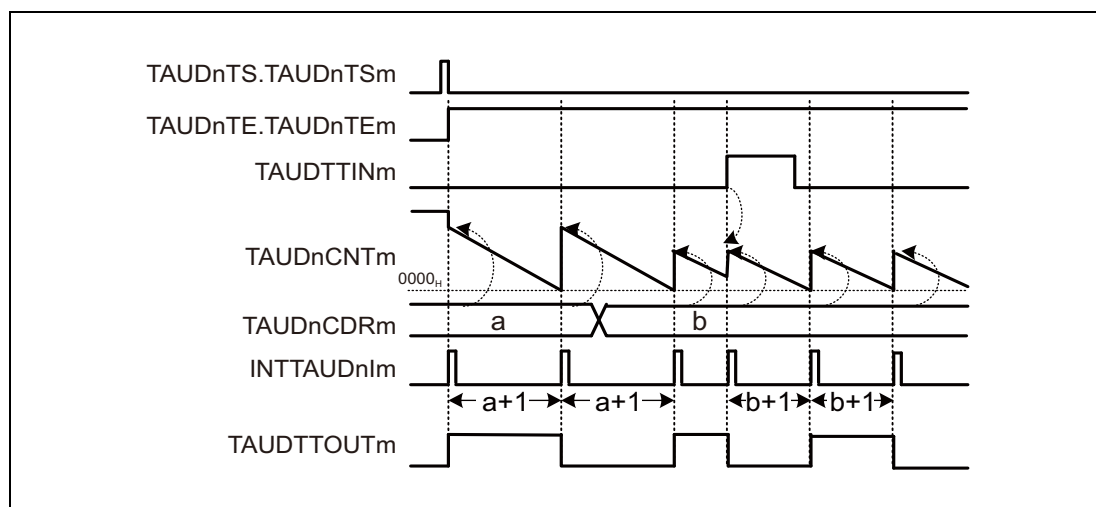


図 25.37 立ち上がり TAUDTTINm 入力エッジ (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)、TAUDnCMORM.TAUDnMD0 = 1 でトリガされたカウンタ

- 有効な TAUDTTINm 入力エッジを検出した場合、TAUDTTOUTm をトグルする割り込みが発生します。この例では、有効エッジは立ち上がりエッジ (TAUDnCMURm.TAUDnTIS[1:0] = 01_B) です。

25.12.3 クロック分周機能

25.12.3.1 概要

概要

この機能は、周波数の分周に使用します。TAUDTTINm 入力信号の周波数を TAUDnCDRm の係数で分周し、結果として得られる信号を TAUDTTOUTm に出力します。

前提条件

- TAUDTTINm の周波数は固定である必要があります。
- 動作モードはインターバルタイマモードに設定する必要があります（「表 25.59 クロック分周機能の TAUDnCMORm レジスタの内容」参照）。
- チャネル出力モードは、チャネル単体出力モード 1 に設定する必要があります。「25.7 チャネル出力モード」を参照してください。

機能説明

チャネルトリガビット (TAUDnTS.TAUDnTSM) を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタは TAUDTTINm をカウントクロックとして使用し、その TAUDnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000_H になると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がトグルされます。その後、TAUDnCDRm 値を TAUDnCNTm にロードし、以降、動作を継続します。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。TAUDnCNTm と TAUDTTOUTm は停止しますが、値は保持します。TAUDnTS.TAUDnTSM を “1” に設定すると、機能を再開できます。カウント中に TAUDnTS.TAUDnTSM を “1” に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

条件

TAUDnCMORm.TAUDnMD0 ビットが “0” に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUDTTOUTm のトグルも行われません。これにより、TAUDnCMORm.TAUDnMD0 が “1” に設定された場合に対して、反転された TAUDTTOUTm 信号が出力されます。詳細は「25.9 カウント開始/リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成」を参照してください。

備考

TAUDTTINm 入力信号は TAUDnCMORm.TAUDnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUDTTOUTm の出力クロックの周期には、動作クロック ±1 周期分の誤差があります。

25.12.3.2 算出式

- 立ち上がりエッジ検出選択時：
 $TAUDTTOUTm \text{ 周波数} = TAUDTTINm \text{ 周波数} / [(TAUDnCDRm + 1) \times 2]$
- 立ち下がりエッジ検出選択時：
 $TAUDTTOUTm \text{ 周波数} = TAUDTTINm \text{ 周波数} / [(TAUDnCDRm + 1) \times 2]$
- 両エッジ検出選択時：
 $TAUDTTOUTm \text{ 周波数} = TAUDTTINm \text{ 周波数} / (TAUDnCDRm + 1)$

25.12.3.3 ブロック図と基本タイミング図

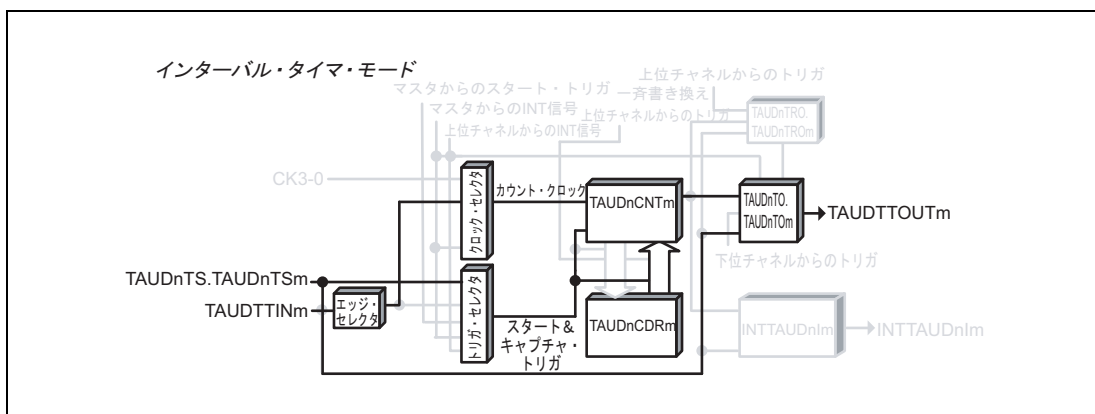


図 25.38 クロック分周機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)
- 立ち上がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

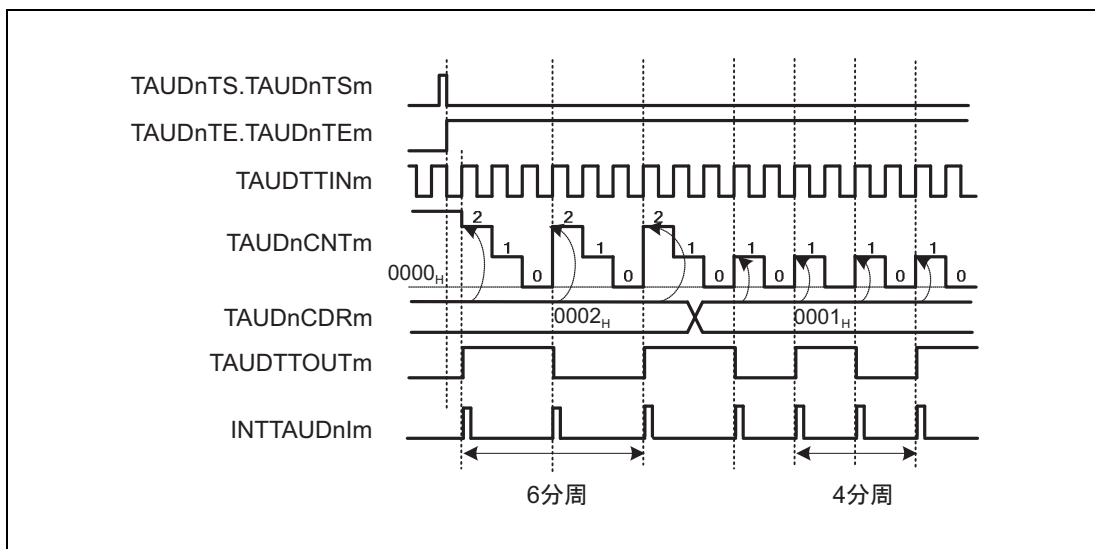


図 25.39 クロック分周機能の基本タイミング図

25.12.3.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.59 クロック分周機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	01：有効な TAUDTTINm 入力エッジをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R/W	R/W

表 25.60 クロック分周機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

表 25.61 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1 : チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0 : チャネル単体出力
TAUDnTOC.TAUDnTOCm	0 : 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0 : トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0 : デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0 : デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0 : リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0 : リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0 : 変調禁止

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、クロック分周機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 25.62 クロック分周機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.3.5 クロック分周機能の操作手順

表 25.63 クロック分周機能の操作手順

	操作	TAUDnの状態
動作再開	チャンネルの初期設定 チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 25.59 クロック分周機能の TAUDnCMORm レジスタの内容」と「表 25.60 クロック分周機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを「表 25.61 チャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウンタが開始されます。 TAUDnCNTm は TAUDnCDRm 値をロードします。TAUDnCMORm.TAUDnMD0 が“1”の場合は、INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。
	動作中 動作中 TAUDnCDRm 値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDTTINm 入力エッジを検出すると、TAUDnCNTm はダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> TAUDnCDRm 値を TAUDnCNTm にロードし、カウンタ動作を継続します。 INTTAUDnIm が発生します。 TAUDTTOUTm がトグルされます。 以降、この動作を繰り返します。
	動作停止 動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDTTOUTm は現在値を保持します。

25.12.3.6 特定の設定時のタイミング図

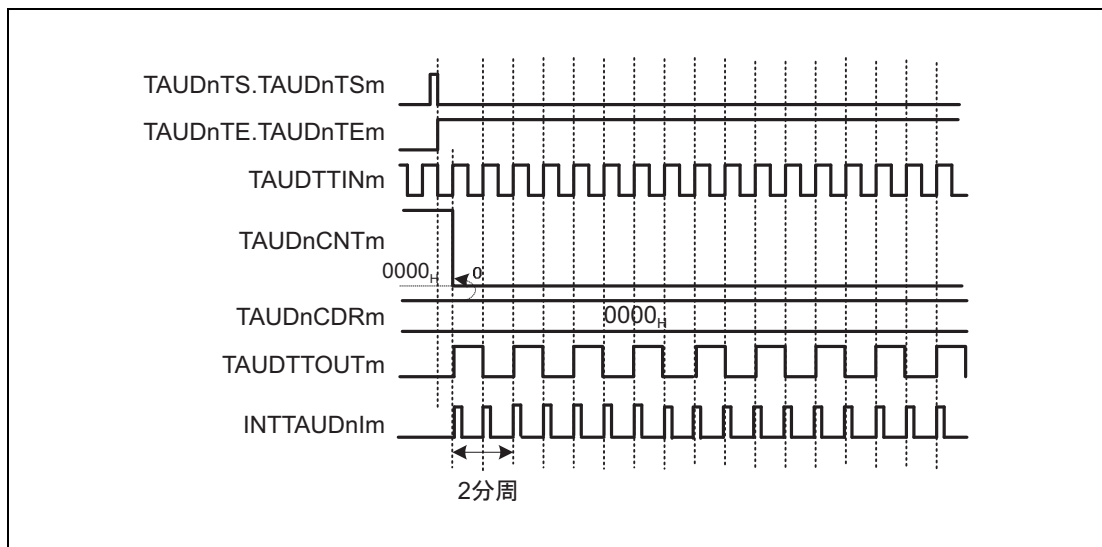
(1) TAUDnCDRm = 0000_H

図 25.40 TAUDnCDRm = 0000_H、TAUDnCMORm.TAUDnMD0 = 1、
TAUDnCMURm.TAUDnTIS[1:0] = 01_B

- TAUDnCDRm が 0000_H ならば、TAUDnCNTm も必ず 0000_H です。
- INTTAUDnIm がカウントクロックごとに発生するので、TAUDTTOUTm はカウントクロックごとにトグルされます。

図 25.40 は動作タイミングのイメージです。実際は、TAUDnIm 端子から TAUDn の間にあるノイズフィルタや同期化回路の遅延時間があるため、TINm 検出から TOUTm 出力までディレイが存在します。

(2) 動作再開

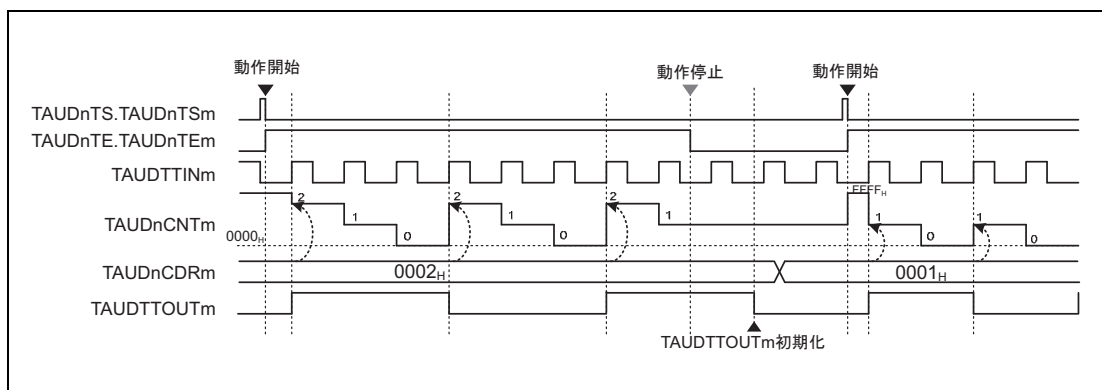


図 25.41 動作再開 (TAUDnCMORm.TAUDnMD0 = 1、TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

TAUDTTOUTm 値のリセット方法を以下に示します。

- カウンタ停止時 (TAUDnTE.TAUDnTEm = 0) に TAUDnTOE.TAUDnTOEm = 0 を設定。
- その後、TAUDnTO.TAUDnTOm に “0” または “1” を書き込んで、TAUDTTOUTm の新しいスタート値を設定。

(3) 強制リスタート

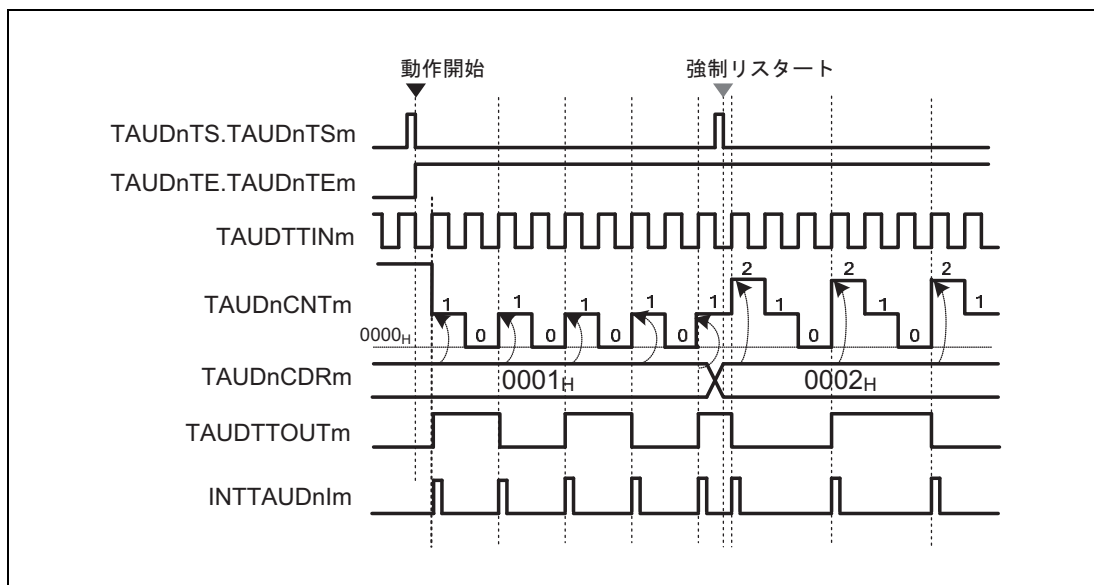


図 25.42 強制リスタート (TAUDnCMORm.TAUDnMD0 = 1、
TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

- 動作中に TAUDnTS.TAUDnTSM = 1 を設定すると、いったん停止しなくてもカウントを強制的に再開できます。
- TAUDnCDRm の値が TAUDnCNTm に書き込まれ、カウント動作が再開されます。
- TAUDTTOUTm は、強制リスタート前の出力レベルで動作が再開されます。

25.12.4 外部イベントカウント機能

25.12.4.1 概要

概要

この機能は、イベントタイマとして使用します。特定数の TAUDTTINm 入力有効エッジを検出すると割り込み (INTTAUDnIm) を発生します。

前提条件

- 動作モードはイベントカウントモードに設定する必要があります (「表 25.64 外部イベントカウント機能の TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。カウントが開始されると、TAUDnCDRm の現在値が TAUDnCNTm にロードされます。

有効な TAUDTTINm 入力エッジを検出すると、TAUDnCNTm 値はデクリメントされます。TAUDnCNTm は、有効な TAUDTTINm 入力エッジが検出されるかカウントが再開するまでこの値を保持します。

有効エッジが TAUDnCDRm + 1 検出されると、INTTAUDnIm が発生します。その後、TAUDnCDRm 値を TAUDnCNTm にロードし、以降、動作を継続します。

TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。TAUDnTS.TAUDnTSm を“1”に設定すると、カウンタ動作を再開できます。カウント中に TAUDnTS.TAUDnTSm を“1”に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUDnCMURm.TAUDnTIS[1:0] ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0] = 00_B のときは、立ち下がりエッジがカウントされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 01_B のときは、立ち上がりエッジがカウントされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 10_B のときは、両エッジがカウントされます。

25.12.4.2 算出式

INTTAUDnIm 発生前に検出される有効エッジ数 = TAUDnCDRm + 1

25.12.4.3 ブロック図と基本タイミング図

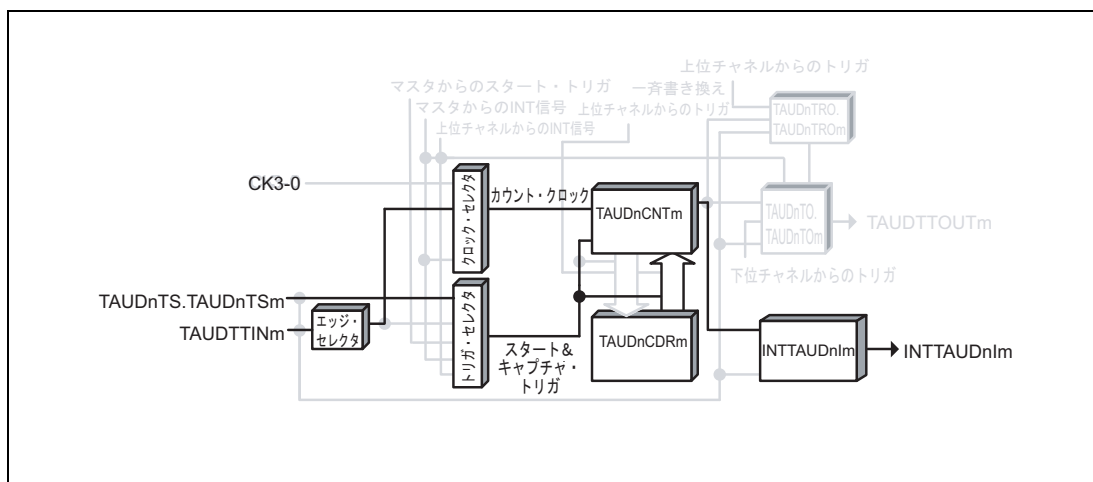


図 25.43 外部イベントカウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち上がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

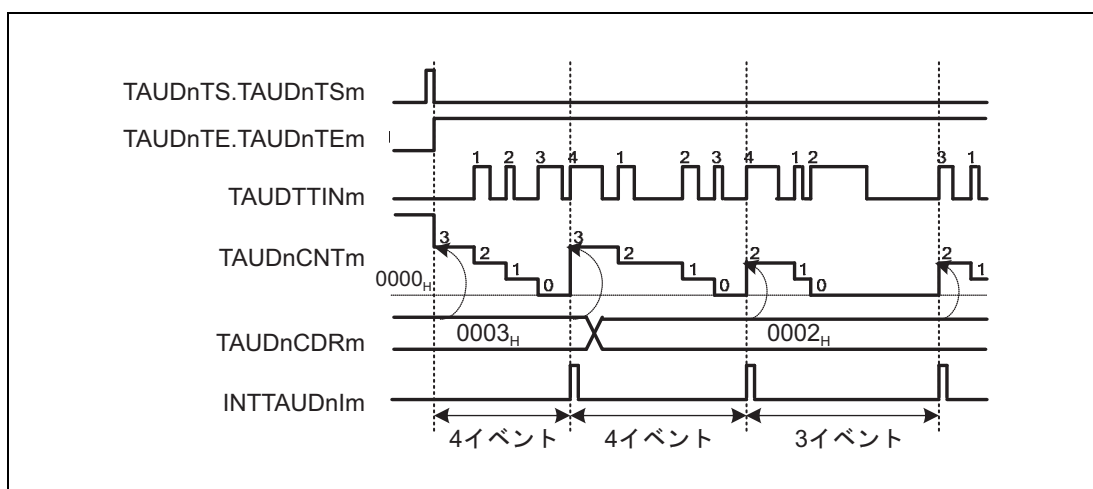


図 25.44 外部イベントカウント機能の基本タイミング図

25.12.4.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.64 外部イベントカウント機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	01：有効な TAUDTTINm 入力エッジをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0011：イベントカウントモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.65 外部イベントカウント機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャンネル出力モード

この機能ではチャンネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、外部イベントカウント機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 25.66 外部イベントカウント機能の一斉書き換え設定

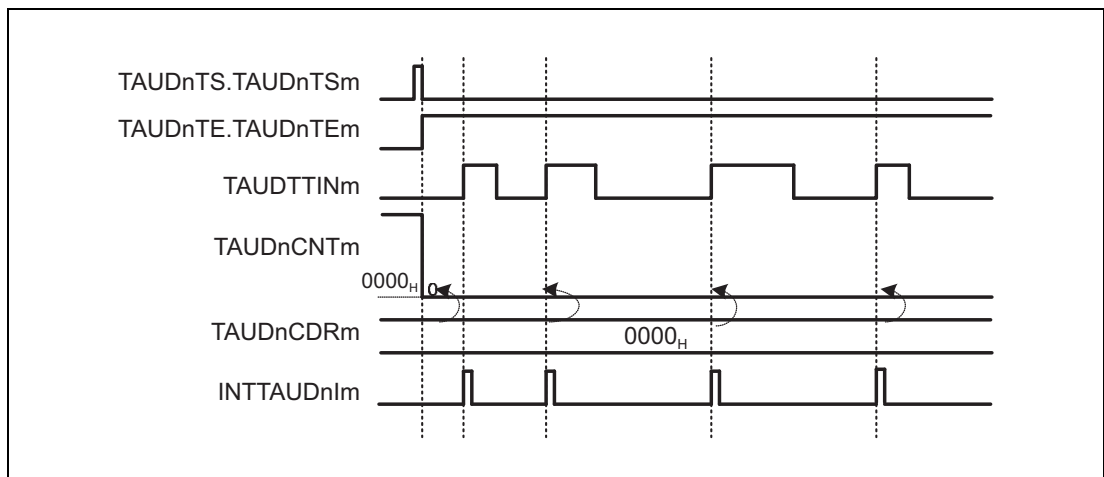
ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.4.5 外部イベントカウント機能の操作手順

表 25.67 外部イベントカウント機能の操作手順

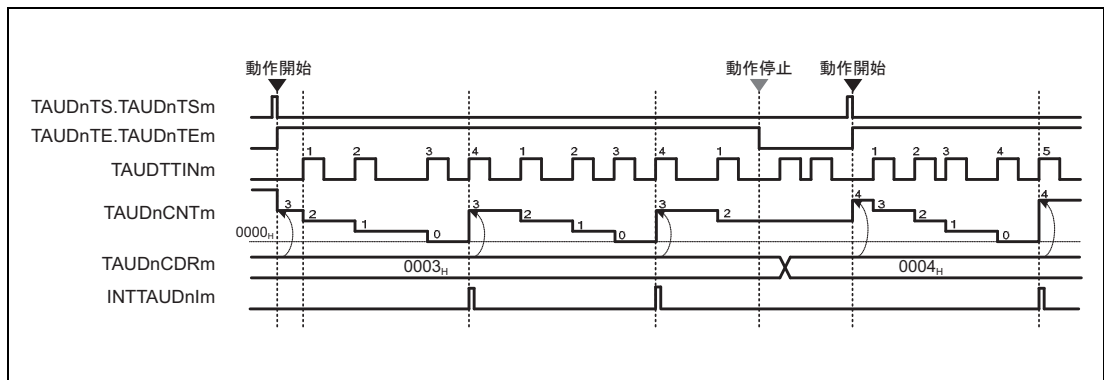
	操作	TAUDnの状態
動作再開	初期設定 チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 25.64 外部イベントカウント機能の TAUDnCMORm レジスタの内容」と「表 25.65 外部イベントカウント機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCNTm は TAUDnCDRm 値をロードし、TAUDTTINm 入力エッジ検出を待ちます。
	動作中 TAUDTTINm エッジ検出 TAUDnCDRm 値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUDnCNTm は TAUDTTINm 入力エッジを検出するたびに、ダウンカウントを行います。有効エッジが TAUDnCDRm + 1 検出された場合： <ul style="list-style-type: none"> TAUDnCDRm 値を TAUDnCNTm にロードし、カウント動作を継続します。 INTTAUDnIm が発生します。 以降、この動作を繰り返します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、現在値を保持します。

25.12.4.6 特定の設定時のタイミング図

(1) TAUDnCDRm = 0000_H図 25.45 TAUDnCDRm = 0000_H、TAUDnCMURm.TAUDnTIS[1:0] = 01_B

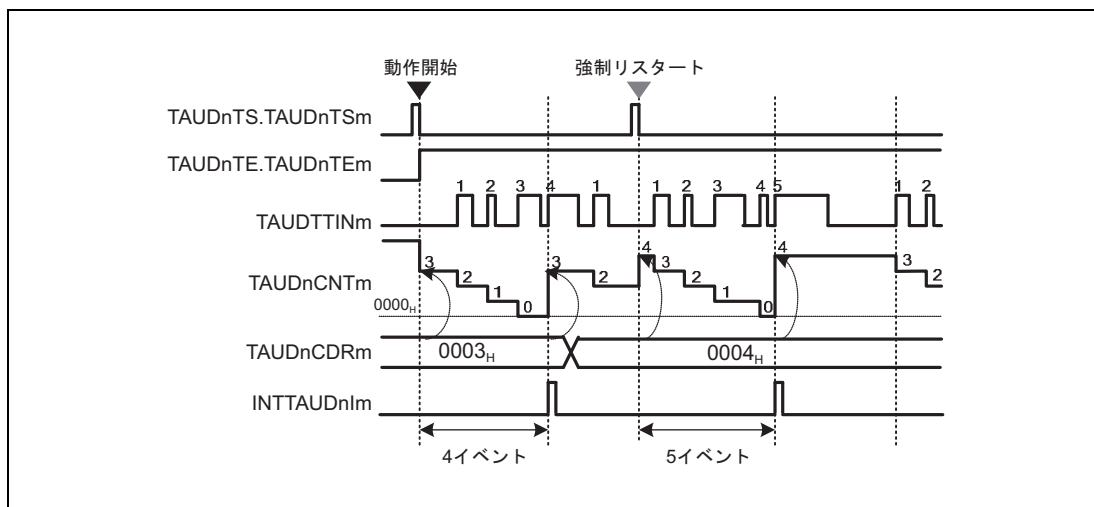
- 0000_H = TAUDnCDRm の場合、有効な TAUDTTINm 入力エッジが検出されるたびに 0000_H が TAUDnCNTm にロードされます。つまり、有効な TAUDTTINm 入力エッジが検出されるたびに、INTTAUDnIm が発生します。

(2) 動作の停止と再開

図 25.46 動作の停止と再開 (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

- TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。
- TAUDnCNTm が停止し、現在値を保持します。TAUDTTINm は継続し、TAUDnCNTm は有効エッジを無視します。
- TAUDnTS.TAUDnTsm を “1” に設定すると、カウントを再開できます。TAUDnCNTm は TAUDnCDRm 値をロードし、カウント動作を再開します。

(3) 強制リスタート

図 25.47 強制リスタート (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

強制リスタートを行うと、変更した TAUDnCDRm の値が TAUDnCNTm に適用されます。

- 動作中に TAUDnTS.TAUDnTSm を“1”に設定すると、いったん停止しなくてもカウントを再開できます。
- TAUDnCDRm の値が TAUDnCNTm にロードされ、カウンタは次の有効な TAUDTTINm 入力エッジを待ちます。

25.12.5 ディレイカウント機能

25.12.5.1 概要

概要

この機能は、TAUDTTINm 入力信号に対して一定の遅延がある割り込み (INTTAUDnIm) を発生します。遅延期間に発生した TAUDTTINm 入力信号パルスは無視されます。

前提条件

- 動作モードはワンカウントモードに設定する必要があります (「表 25.68 ディレイカウント機能の TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDTTOUTm は使用しません。
- カウント動作中は、スタートトリガを無効 (TAUDnCMORm.TAUDnMD0 = 0) にする必要があります。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。

有効な TAUDTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUDnCDRm の値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

カウンタが 0000_H になると、割り込みが発生します。カウンタは FFFF_H に戻り、次の有効な TAUDTTINm 入力エッジを待ちます。

カウンタのダウンカウント時は、TAUDTTINm 入力信号が無視されます。つまり、カウンタはリセットされません。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUDnCMURm.TAUDnTIS[1:0] ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0] = 00_B の場合、カウンタは立ち下がりエッジでトリガされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 01_B の場合、カウンタは立ち上がりエッジでトリガされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 10_B の場合、カウンタは立ち下がりエッジ、立ち上がり両エッジでトリガされます。

25.12.5.2 算出式

TAUDTTINm-INTTAUDnIm 間の遅延 = カウントクロック周期 × (TAUDnCDRm + 1)

25.12.5.3 ブロック図と基本タイミング図

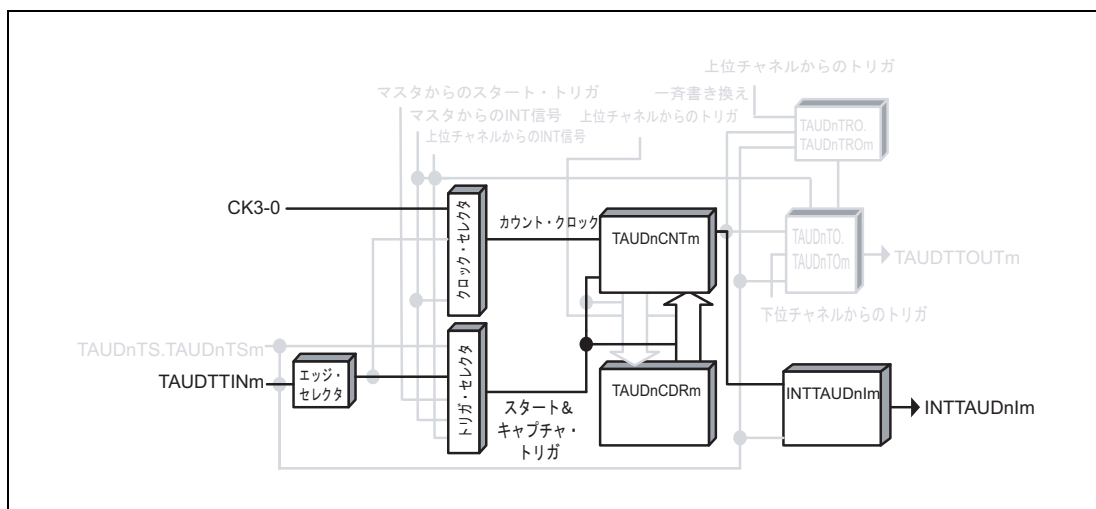


図 25.48 デレイカウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

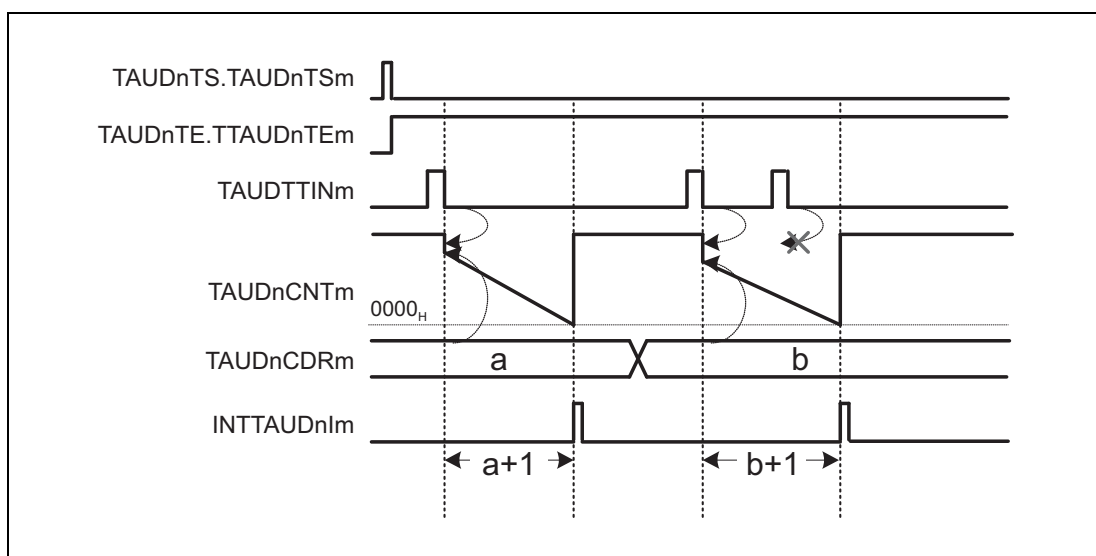


図 25.49 デレイカウント機能の基本タイミング図

25.12.5.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.68 ディレイカウント機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	001：有効な TAUDTTInm 入力エッジ信号を外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	0：動作中のスタートトリガは無効とする

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 25.69 ディレイカウント機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、ディレイカウント機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 25.70 ディレイカウント機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.5.5 ディレイカウント機能の操作手順

表 25.71 ディレイカウント機能の操作手順

	操作	TAUDn の状態
動作再開 ↓	初期設定 チャネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 25.68 ディレイカウント機能の TAUDnCMORm レジスタの内容」と「表 25.69 ディレイカウント機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。 TAUDTTINm スタートエッジ検出	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDnCDRm の値を TAUDnCNTm にロードします。
	動作中 TAUDnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000 _H になった場合 : INTTAUDnIm が発生します。 TAUDnCNTm はカウントを停止し、FFFF _H を戻し、トリガを待ちます。 TAUDnCNTm のカウント中に発生するトリガは無視されます。 以降、この動作を繰り返します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、値を保持します。

25.12.6 ワンパルス出力機能

25.12.6.1 概要

概要

この機能は、有効な TAUDTTINm 入力エッジ検出時とその後一定の間隔で、割り込み (INTTAUDnIm) を発生します。定められた期間内に発生する TAUDTTINm 入力信号パルスは無視されます。割り込みが発生すると、TAUDTTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはパルスワンカウントモードに設定する必要があります (「表 25.72 ワンパルス出力機能の TAUDnCMORm レジスタの内容」参照)。
- チャンネル出力モードは、チャンネル単体出力モード 2 に設定する必要があります。「25.7 チャンネル出力モード」を参照してください。
- カウント動作中は、トリガ検出を禁止 (TAUDnCMORm.TAUDnMD0 = 0) にする必要があります。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウンタが可能になります。

有効な TAUDTTINm 入力エッジを検出すると、カウンタ動作を開始します。TAUDnCDRm の値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。割り込みが発生し、TAUDTTOUTm がアクティブレベルに設定されます。

カウンタが 0001_H になると、割り込みが発生し、TAUDTTOUTm がインアクティブレベルに設定されます。カウンタは 0000_H で動作を停止し、次の有効な TAUDTTINm 入力エッジを待ちます。

カウンタのダウンカウント時は、TAUDTTINm 入力信号が無視されます。つまり、カウンタはリセットされません。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUDnCMURm.TAUDnTIS[1:0] ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0] = 00_B の場合、カウンタは立ち下がりエッジでトリガされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 01_B の場合、カウンタは立ち上がりエッジでトリガされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 10_B の場合、カウンタは立ち下がりエッジ、立ち上がり両エッジでトリガされます。

25.12.6.2 算出式

TAUDTTINm-INTTAUDnIm の間隔 = TAUDTTOUTm (タイマ出力) 幅 = カウントクロック
 周期 × TAUDnCDRm

25.12.6.3 ブロック図と基本タイミング図

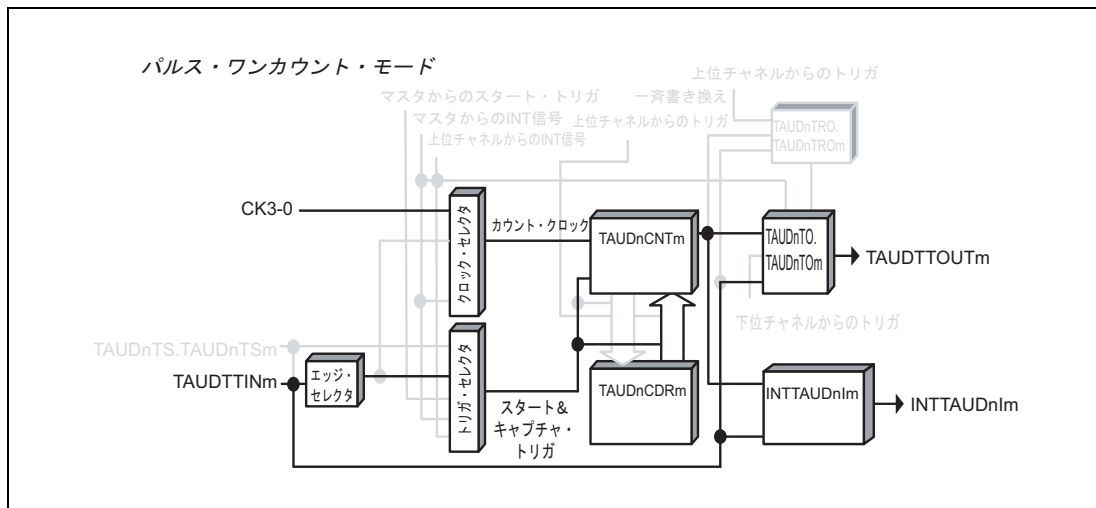


図 25.50 ワンパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

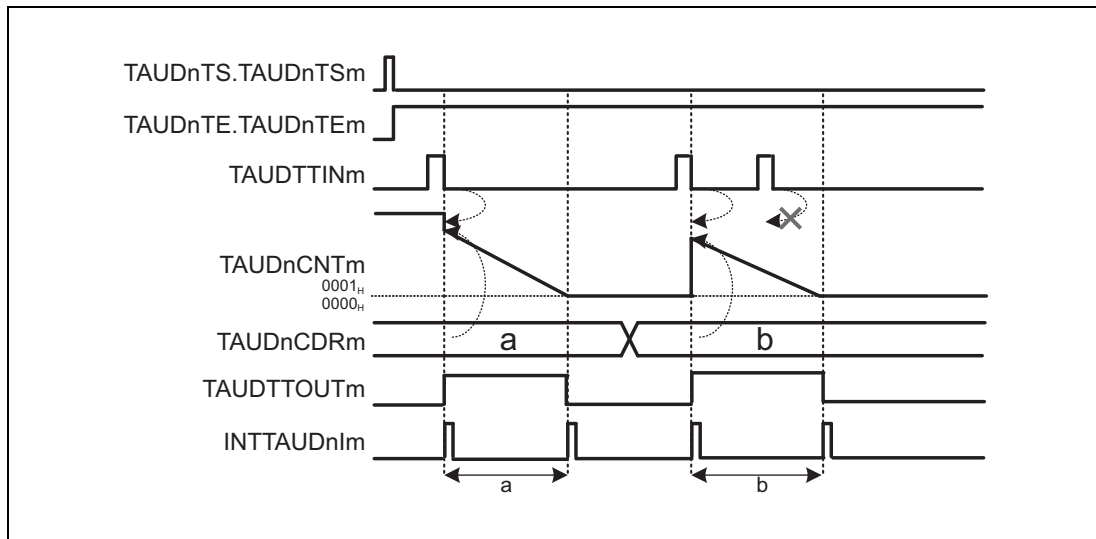


図 25.51 ワンパルス出力機能の基本タイミング図

25.12.6.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.72 ワンパルス出力機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	001：有効な TAUDTTINm 入力エッジ信号を外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1010：パルスワンカウントモード
0	TAUDnMD0	0：動作中のスタートトリガを無効とする

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 25.73 ワンパルス出力機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

表 25.74 チャネル単体出力モード2時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: ソフトウェア制御のチャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャネル単体出力
TAUDnTOC.TAUDnTOCm	1: 動作モード2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0: 変調禁止

備考

チャネル出力モードは、TAUDnTOE.TAUDnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUDTTOUTm を割り込みとは独立させて制御することができます。詳細は「表 25.48 チャネル出力モード」を参照してください。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、ワンパルス出力機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 25.75 ワンパルス出力機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0: 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.6.5 ワンパルス出力機能の操作手順

表 25.76 ワンパルス出力機能の操作手順

	操作	TAUDnの状態
動作再開	チャンネルの初期設定 チャンネルの初期設定 制御ビットを「表 25.74 チャンネル単体出力モード2時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 動作開始 TAUDTTINm スタートエッジ検出	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDnCNTm は TAUDnCDRm の値をロードします。
	動作中 動作中 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDnCNTm の開始時に INTTAUDnIm が発生し、TAUDTTOUTm はアクティブレベルに設定されます。 TAUDnCNTm がダウンカウントを行います。カウンタが 0001 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm が発生します。 TAUDTTOUTm がインアクティブレベルに設定されます。 TAUDnCNTm はカウントを停止し、トリガを待ちます。 TAUDnCNTm のカウント中に発生するトリガは無視されます。
	動作停止 動作停止 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

25.12.7 TAUDTTINm 入力パルスインターバル測定機能

25.12.7.1 概要

概要

この機能は、カウント値をキャプチャし、その値とオーバフロービット TAUDnCSRm.TAUDnOVF を使用して TAUDTTINm 入力信号の間隔を測定します。

前提条件

- 動作モードはキャプチャモードに設定する必要があります（「表 25.78 TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMORm レジスタの内容」参照）。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。カウンタ TAUDnCNTm は、0000_H からカウントを開始します。有効な TAUDTTINm エッジが検出されると、TAUDnCNTm の値がキャプチャされ、TAUDnCDRm に転送され、割り込み INTTAUDnIm が発生します。カウンタは、0000_H にリセットされ、その後動作を継続します。

有効な TAUDTTINm エッジを検出する前にカウンタが FFFF_H に達すると、カウンタは 0000_H にオーバフローします。カウンタは、0000_H にリセットされ、その後動作を継続します。TAUDnCDRm、TAUDnCSRm.TAUDnOVF それぞれに転送される値は、TAUDnCMORm.TAUDnCOS[1:0] ビットの値によって異なります。

表 25.77 オーバフローの影響

TAUDnCMORm. TAUDnCOS[1:0]	オーバフローが発生した場合		その後、有効な TAUDTTINm 入力 が検出された場合	
	TAUDnCDRm	TAUDnCSRm. TAUDnOVF	TAUDnCDRm、 TAUDnCNTm	TAUDnCSRm. TAUDnOVF
00	変化しない	0	TAUDnCNTm が TAUDnCDRm にロー ドされる	1
01		1		
10	FFFF _H に設定	0	TAUDnCNTm は“0” に設定され、 TAUDnCDRm は変更 されない	変化しない
11		1		

TAUDnCMORm.TAUDnCOS[0] = 1 のとき、オーバフロービット TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV = 1 を設定することでのみクリアできます。

TAUDnCDRm 値と TAUDnCSRm.TAUDnOVF 値の組み合わせを使用することで、TAUDTTINm 信号の間隔を推定できます。ただし、有効な TAUDTTINm 入力検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUDnCSRm.TAUDnOVF はその複数のオーバフローの発生を示しません。

TAUDnTT.TAUDnTTm = 1 を設定すると機能を停止できます。これにより、TAUDnTE.TAUDnTEm = 0 が設定されます。TAUDnCNTm が停止し、値を保持します。機能停止中、有効な TAUDTTINm 入力エッジの検出と TAUDnCNTm のキャプチャは行われません。

カウンタは、0000_H にリセットされ、その後動作を継続します。

条件

TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は「**25.9 カウント開始/リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成**」を参照してください。

備考

TAUDnCMORm.TAUDnCOS[1:0] = 10_B, 11_B の場合、オーバフロー後の最初の有効な TAUDTTINm 入力エッジの発生時、TAUDnCNTm の値は TAUDnCDRm にロードされません。ただし、割り込みが発生します。

25.12.7.2 算出式

TAUDTTINm 入力パルスインターバル = カウントクロック周期 ×
[(TAUDnCSRm.TAUDnOVF × (FFFF_H + 1)) + TAUDnCDRm キャプチャ値 + 1]

25.12.7.3 ブロック図と基本タイミング図

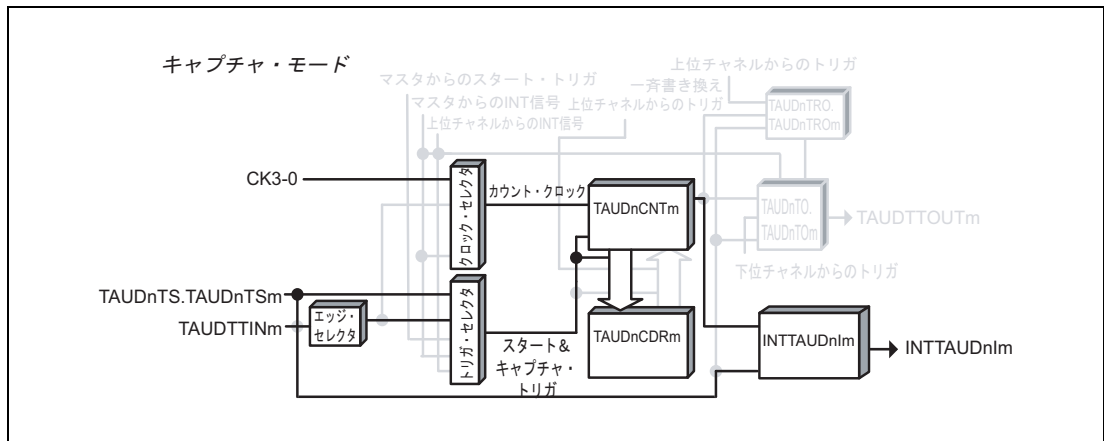


図 25.52 TAUDTTINm 入力パルスインターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生しない (TAUDnCMORm.TAUDnMD0 = 0)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)
- オーバフロー後に有効な TAUDTTINm 入力を検出すると、TAUDnCDRm を変更し、TAUDnCSRm.TAUDnOVF を“1”に設定する (TAUDnCMORm.TAUDnCOS[1:0] = 00_B)

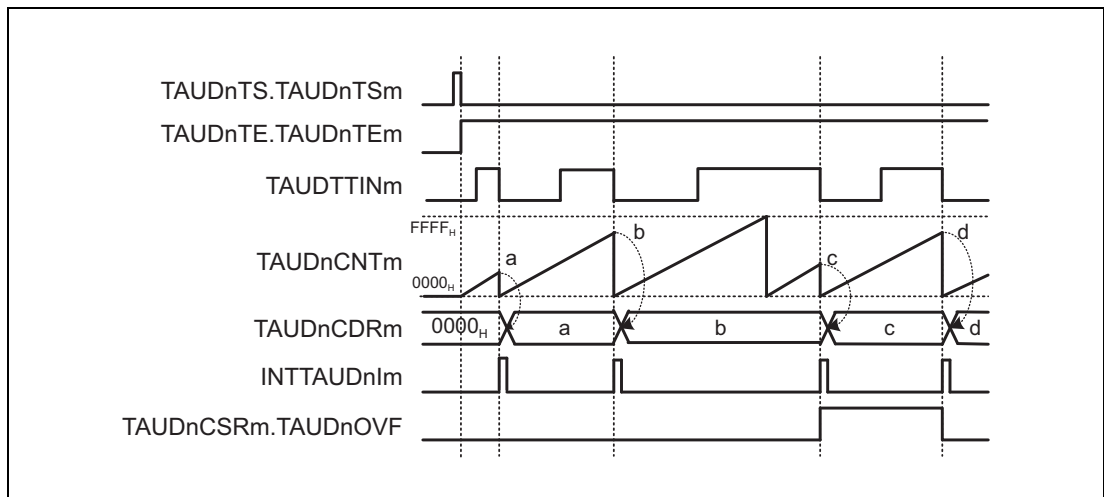


図 25.53 TAUDTTINm 入力パルスインターバル測定機能の基本タイミング図

25.12.7.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.78 TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	001：TAUDTTINm 入力信号の有効エッジを外部キャプチャトリガとして使用
7、6	TAUDnCOS [1:0]	「表 25.77 オーバフローの影響」を参照。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0010：キャプチャモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.79 TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDTTINm 入力パルス測定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 25.80 TAUDTTINm 入力パルスインターバル測定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.7.5 TAUDTTINm 入力パルスインターバル測定機能の操作手順

表 25.81 TAUDTTINm 入力パルスインターバル測定機能の操作手順

	操作	TAUDnの状態
動作再開 ↓	チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 25.78 TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMORm レジスタの内容」と「表 25.79 TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャンネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウンタが開始されます。 TAUDnCNTm が 0000 _H にクリアされます。 TAUDnCMORm.TAUDnMD0 が“1”の場合は、INTTAUDnIm が発生します。
	動作中 TAUDTTINm エッジ検出 TAUDnCMURm.TAUDnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUDnCDRm、TAUDnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUDnCScm.TAUDnCLOV ビットの 1 書き込みが可能です。(TAUDnCSRm.TAUDnOVF ビットを“0”にクリア)	TAUDnCNTm は、0000 _H からアップカウントを開始します。TAUDTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUDnCNTm が自身の値をTAUDnCDRmに転送 (キャプチャ) して、0000_Hに戻ります。 その後、INTTAUDnIm が発生します。 以降、この動作を繰り返します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDnCSRm.TAUDnOVF は現在値を保持します。

25.12.7.6 特定の設定時のタイミング図：オーバーフロー動作

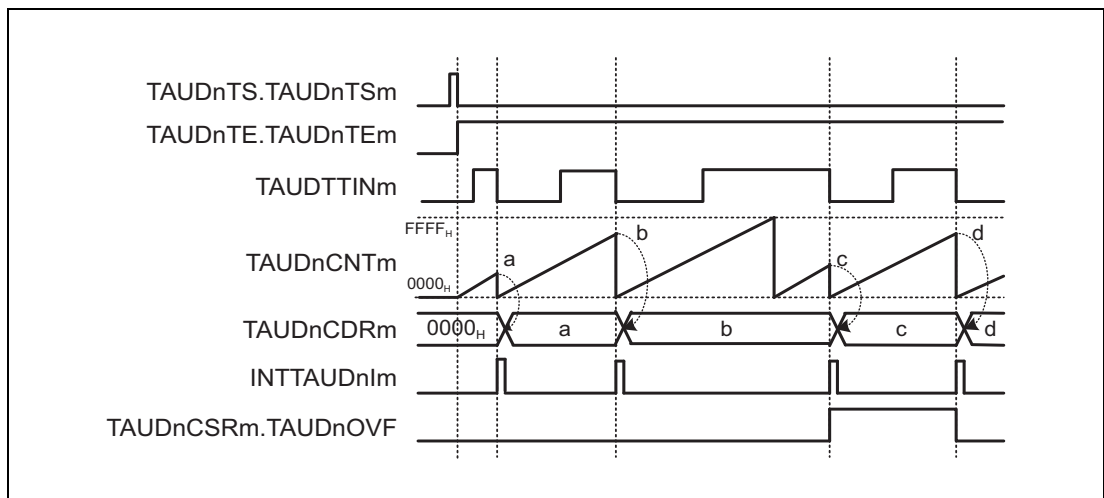
(1) TAUDnCMORm.TAUDnCOS[1:0] = 00_B

図 25.54 TAUDnCMORm.TAUDnCOS[1:0] = 00_B、TAUDnCMORm.TAUDnMD0 = 0、
TAUDnCMURm.TAUDnTIS[1:0] = 00_B

- オーバーフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は“0”のままです。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされ、TAUDnCSRm.TAUDnOVF が“1”に設定されます。
- オーバーフローが発生していない状態で次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCSRm.TAUDnOVF が“0”にクリアされます。

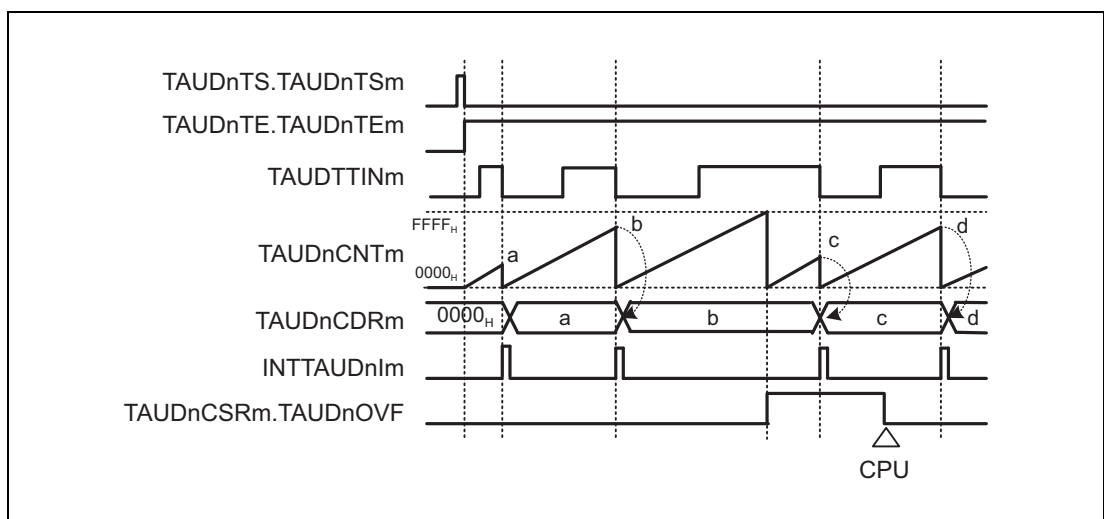
(2) TAUDnCMORm.TAUDnCOS[1:0] = 01_B

図 25.55 TAUDnCMORm.TAUDnCOS[1:0] = 01_B、TAUDnCMORm.TAUDnMD0 = 0、
TAUDnCMURm.TAUDnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は“1”に設定されます。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされます。
- TAUDnCSRm.TAUDnOVF は、CPU コマンド (TAUDnCSCm.TAUDnCLOV ビット=1 のセット) でのみクリアされます。

(3) TAUDnCMORm.TAUDnCOS[1:0] = 10_B

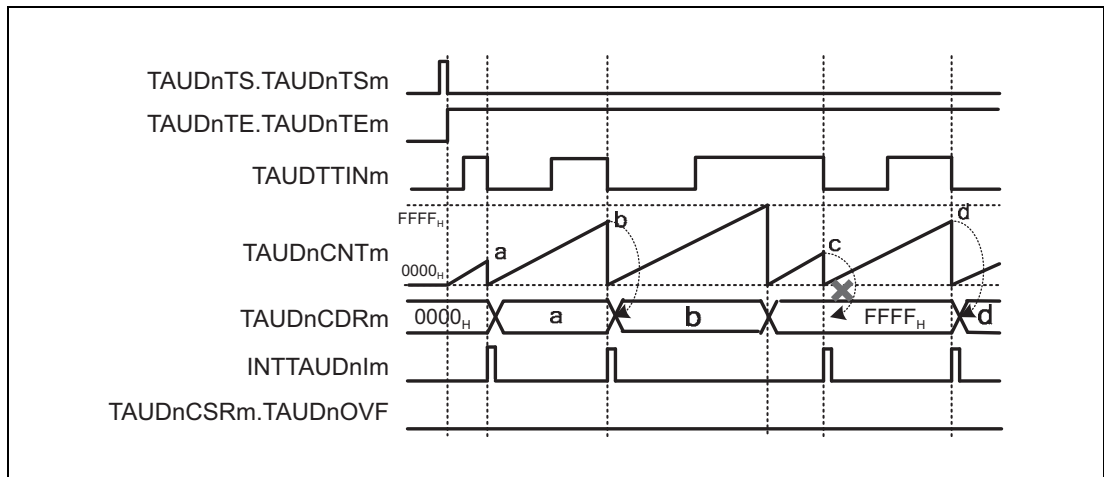


図 25.56 TAUDnCMORm.TAUDnCOS[1:0] = 10_B、TAUDnCMORm.TAUDnMD0 = 0、
TAUDnCMURm.TAUDnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUDnCDRm は FFFF_H に設定され、TAUDnCSRm.TAUDnOVF の値は“0”のままです。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm が“0”にリセットされますが、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバーフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。

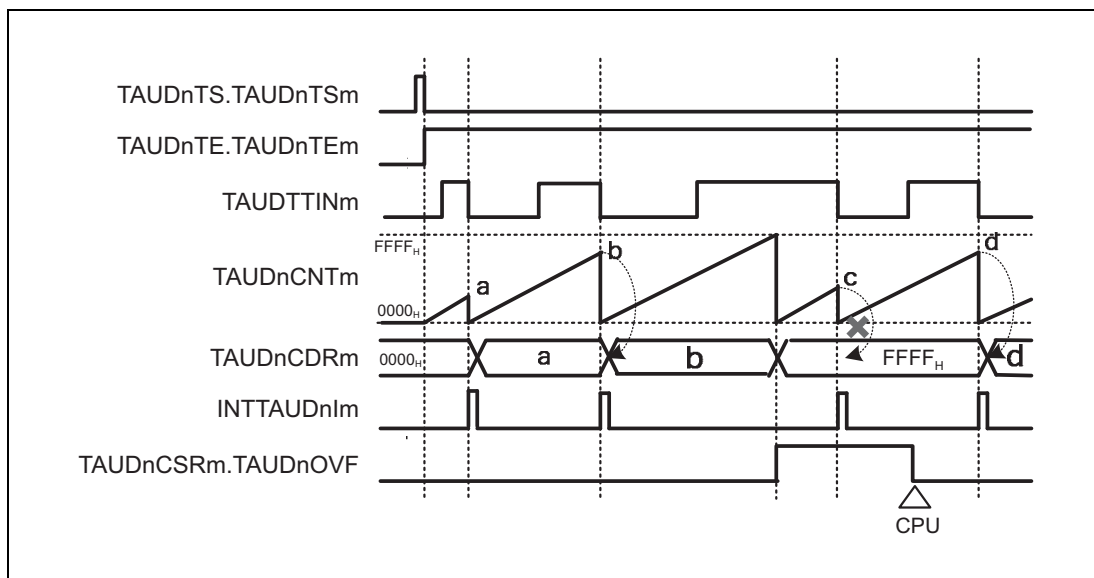
(4) TAUDnCMORm.TAUDnCOS[1:0] = 11_B

図 25.57 TAUDnCMORm.TAUDnCOS[1:0] = 11_B、TAUDnCMORm.TAUDnMD0 = 0、
TAUDnCMURm.TAUDnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUDnCDRm は FFFF_H に設定され、TAUDnCSRm.TAUDnOVF は “1” に設定されます。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm が “0” にリセットされますが、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。
- TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV = 1 を設定することでクリアされます。

25.12.8 TAUDTTINm 入力信号幅測定機能

25.12.8.1 概要

概要

この機能は、TAUDTTINm の片エッジでカウントをスタートし、もう片エッジでカウント値をキャプチャすることで、TAUDTTINm の信号幅を測定できます。

前提条件

- 動作モードはキャプチャ&ワンカウントモードに設定する必要があります(「表 25.83 TAUDTTINm 入力信号幅測定機能の TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDTTOUTm は使用しません。
- TAUDnCMORm.TAUDnMD0 は、“0” に設定する必要があります。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。有効な TAUDTTINm スタートエッジが検出されると、カウンタ TAUDnCNTm は、0000_H からカウントを開始します。有効な TAUDTTINm ストップエッジが検出されると、TAUDnCNTm の値がキャプチャされ、TAUDnCDRm に転送され、割り込み INTTAUDnIm が発生します。カウンタは値 (TAUDnCDRm + 1) を保持し、次の有効な TAUDTTINm 入力スタートエッジを待ちます。

有効な TAUDTTINm ストップエッジを検出する前にカウンタが FFFF_H に達すると、カウンタはオーバフローします。カウンタは、0000_H にリセットされ、その後動作を継続します。TAUDnCDRm、TAUDnCSRm.TAUDnOVF それぞれに転送される値は、TAUDnCMORm.TAUDnCOS[1:0] ビットの値によって異なります。

表 25.82 オーバフローの影響

TAUDnCMORm. TAUDnCOS[1:0]	オーバフローが発生した場合		有効な TAUDTTINm 入力ストップエッジの検出時	
	TAUDnCDRm	TAUDnCSRm. TAUDnOVF	TAUDnCDRm、TAUDnCNTm	TAUDnCSRm. TAUDnOVF
00	変化しない	0	TAUDnCNTm が TAUDnCDRm にロードされる	1
01		1		
10	FFFF _H に設定	0	TAUDnCNTm はカウントを停止 TAUDnCDRm は変更されない	変化しない
11		1		

TAUDnCMORm.TAUDnCOS[0] = 1 のとき、オーバフロービット TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV = 1 を設定することでのみクリアできます。

TAUDnCDRm 値と TAUDnCSRm.TAUDnOVF 値の組み合わせを使用することで、TAUDTTINm 信号の幅を推定できます。ただし、有効な TAUDTTINm 入力が検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUDnCSRm.TAUDnOVF はその複数のオーバフローの発生を示せません。

この機能は強制的に再開することはできません。

備考

TAUDnCMORm.TAUDnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUDTTINm 入力エッジの発生時、TAUDnCNTm の値は TAUDnCDRm にロードされません。ただし、割り込みが発生します。

25.12.8.2 算出式

TAUDTTINm 入力信号幅 = カウントクロック周期 ×
 [(TAUDnCSRm.TAUDnOVF × (FFFF_H + 1)) + TAUDnCDRm キャプチャ値 + 1]

25.12.8.3 ブロック図と基本タイミング図

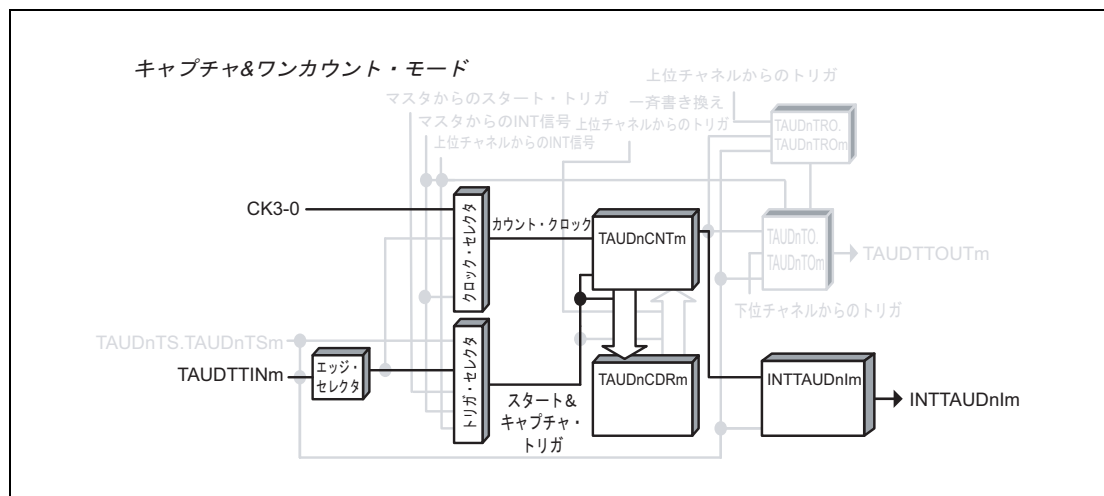


図 25.58 TAUDTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUDnCMURm.TAUDnTIS[1:0] = 11_B)
- オーバフロー後に有効な TAUDTTINm 入力を検出すると、TAUDnCDRm を変更し、TAUDnCSRm.TAUDnOVF を “1” に設定する (TAUDnCMORm.TAUDnCOS[1:0] = 00_B)

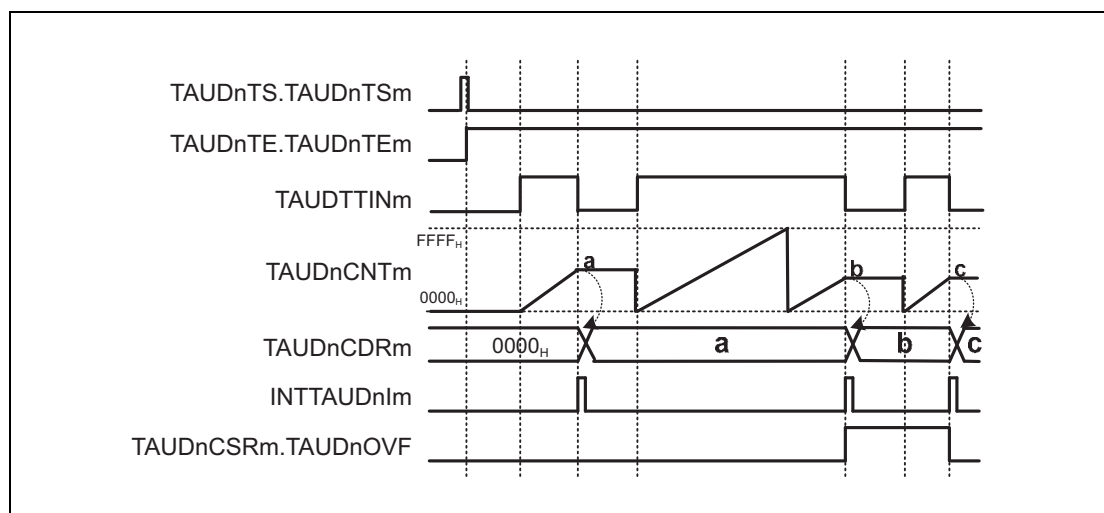


図 25.59 TAUDTTINm 入力信号幅測定機能の基本タイミング図

25.12.8.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.83 TAUDTTINm 入力信号幅測定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUDnCOS [1:0]	「表 25.82 オーバフローの影響」を参照。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0110：キャプチャ & ワンカウントモード
0	TAUDnMD0	0：動作中のスタートトリガ無効

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.84 TAUDTTINm 入力信号幅測定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDTTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 25.85 TAUDTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.8.5 TAUDTTINm 入力信号幅測定機能の操作手順

表 25.86 TAUDTTINm 入力信号幅測定機能の操作手順

	操作	TAUDn の状態
動作再開	初期設定 チャネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 25.83 TAUDTTINm 入力信号幅測定機能の TAUDnCMORm レジスタの内容」と「表 25.84 TAUDTTINm 入力信号幅測定機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。 TAUDTTINm スタートエッジを検出すると、TAUDnCNTm はアップカウントを開始します。
	動作中 TAUDnCDRm、TAUDnCNTm、TAUDnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUDnCSCm.TAUDnCLOV ビットは、“1”にセット可能です。	TAUDnCNTm は、0000 _H からアップカウントを開始します。TAUDTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUDnCNTm が自身の値をTAUDnCDRm に転送 (キャプチャ) して、その値を保持し、INTTAUDnIm が発生します。 カウントは TAUDnCDRm に転送した値 + 1 の値で停止し、TAUDnCNTm は TAUDTTINm スタートエッジの検出を待ちます。以降、この動作を繰り返します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDnCSRm.TAUDnOVF は現在値を保持します。

25.12.8.6 特定の設定時のタイミング図：オーバーフロー動作

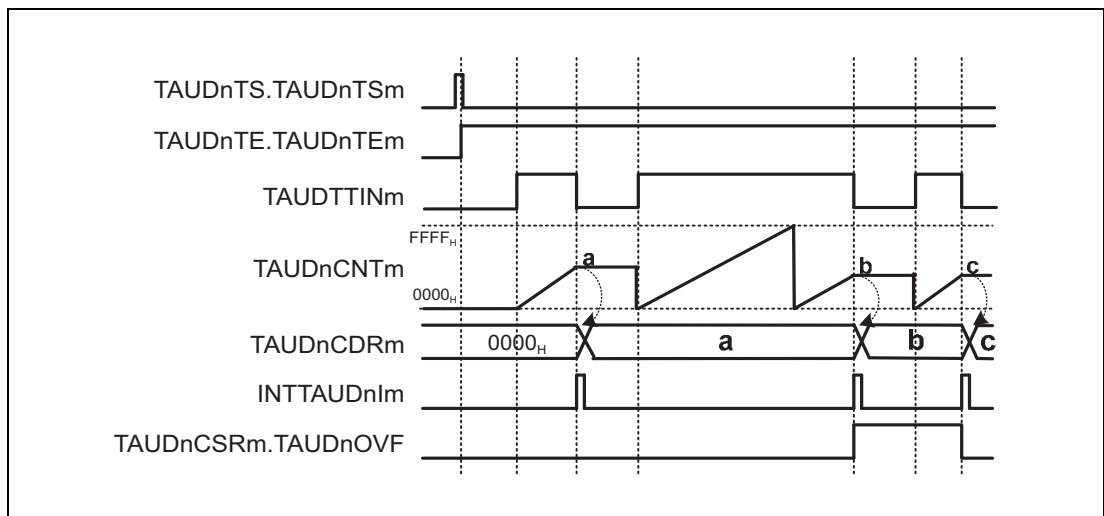
(1) TAUDnCMORm.TAUDnCOS[1:0] = 00_B

図 25.60 TAUDnCMORm.TAUDnCOS[1:0] = 00_B、TAUDnCMORm.TAUDnMD0 = 0、
TAUDnCMURm.TAUDnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は“0”のままです。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされ、TAUDnCSRm.TAUDnOVF が“1”に設定されます。
- オーバフローが発生していない状態で次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCSRm.TAUDnOVF が“0”にクリアされます。

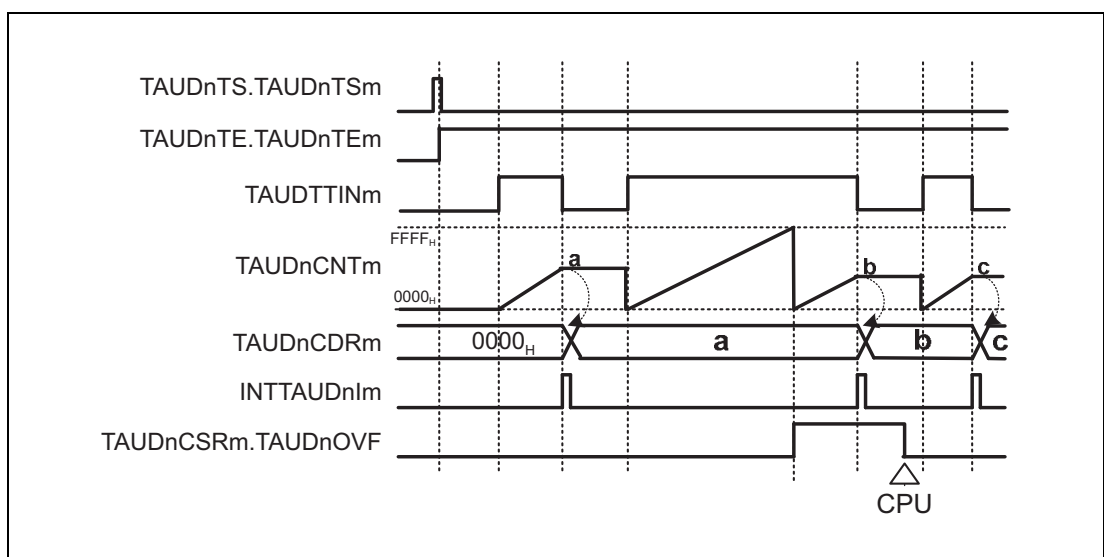
(2) TAUDnCMORm.TAUDnCOS[1:0] = 01_B

図 25.61 TAUDnCMORm.TAUDnCOS[1:0] = 01_B、TAUDnCMORm.TAUDnMD0 = 0、
TAUDnCMURm.TAUDnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は“1”に設定されます。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされます。
- TAUDnCSRm.TAUDnOVF は、CPU コマンド (TAUDnCSCm.TAUDnCLOV ビット=1 のセット) でのみクリアされます。

(3) TAUDnCMORm.TAUDnCOS[1:0] = 10_B

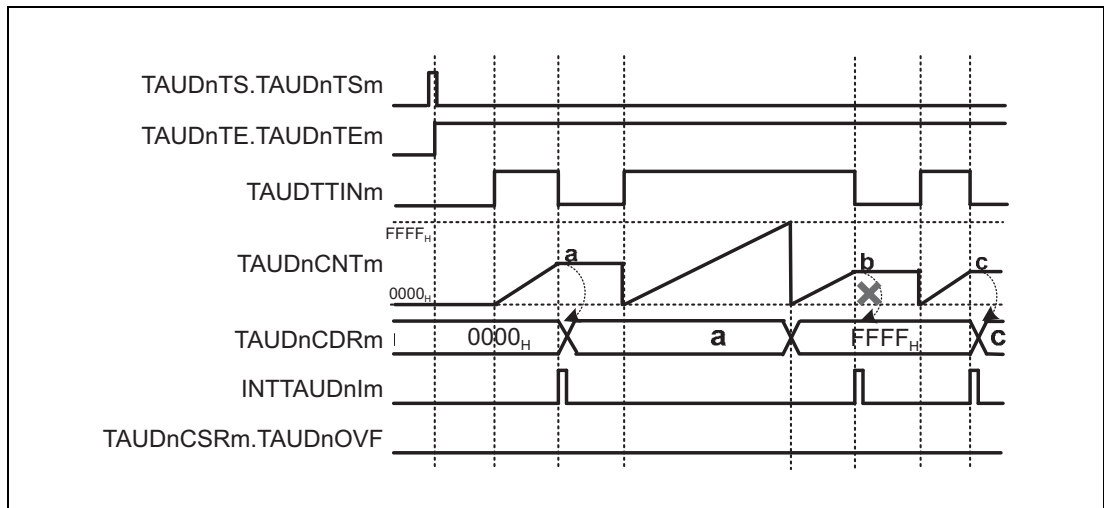


図 25.62 TAUDnCMORm.TAUDnCOS[1:0] = 10_B、TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUDnCDRm は FFFF_H に設定され、TAUDnCSRm.TAUDnOVF の値は“0”のままです。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm がカウントを停止し、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。

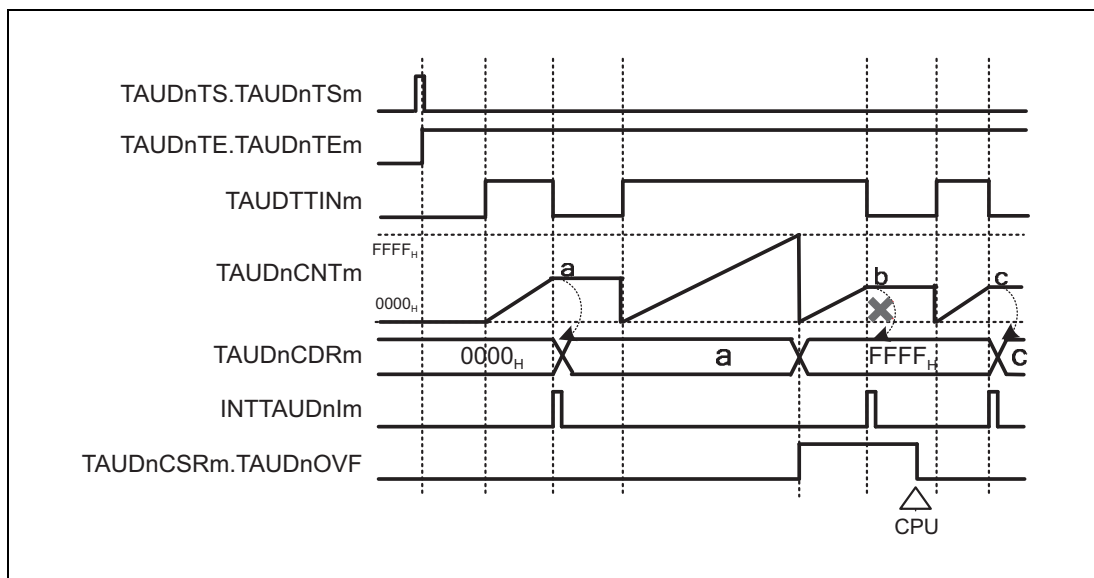
(4) TAUDnCMORm.TAUDnCOS[1:0] = 11_B

図 25.63 TAUDnCMORm.TAUDnCOS[1:0] = 11_B、TAUDnCMORm.TAUDnMD0 = 0、
TAUDnCMURm.TAUDnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUDnCDRm は FFFF_H に設定され、TAUDnCSRm.TAUDnOVF は “1” に設定されます。
- 次の有効なTAUDTTINm入力エッジが検出されると、TAUDnCNTmがカウントを停止し、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。
- TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV = 1 を設定することでクリアされます。

25.12.9 TAUDTTINm 入力位置検出機能

25.12.9.1 概要

概要

TAUDTTINm の有効エッジでカウント値をキャプチャすることで、入力信号間隔を測定できる機能です。

前提条件

- 動作モードはカウントキャプチャモードに設定する必要があります（「**表 25.87 TAUDTTINm 入力位置検出機能の TAUDnCMORm レジスタの内容**」参照）。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm=1 となり、カウントが可能になります。カウンタは、0000_H からカウントを開始します。有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の現在値が TAUDnCDRm にロードされ、割り込み (INTTAUDnIm) が発生します。カウント動作は継続します。

カウンタ値が FFFF_H になると、カウンタは 0000_H からカウント動作を再開します。

備考

TAUDTTINm 入力信号は TAUDnCMORm.TAUDnCKs[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUDTTOUTm の出カクロックの周期には、動作クロック ±1 周期分の誤差があります。

条件

TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は「**25.9 カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成**」を参照してください。

25.12.9.2 算出式

TAUDTTINm 入力パルスでの機能時間 =

カウントクロック周期 × (TAUDnCDRm キャプチャ値 + 1)

25.12.9.3 ブロック図と基本タイミング図

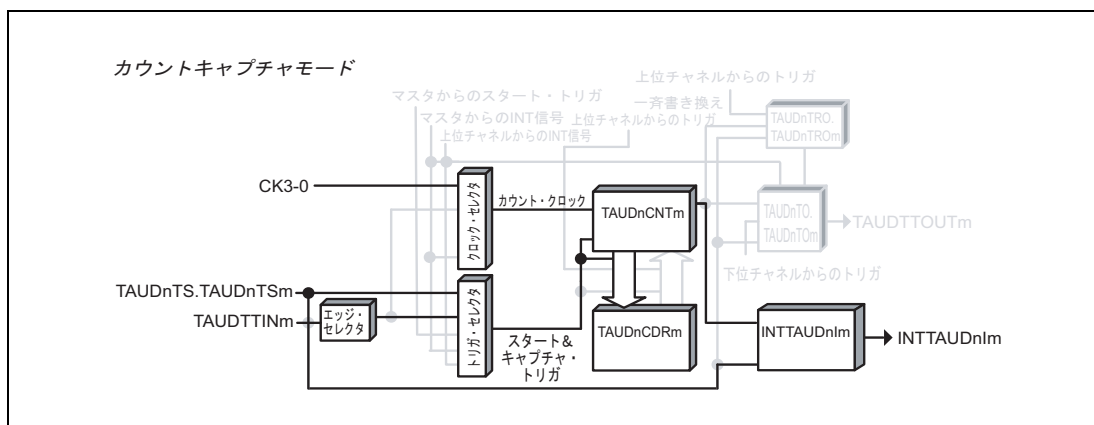


図 25.64 TAUDTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生しない (TAUDnCMORm.TAUDnMD0 = 0)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

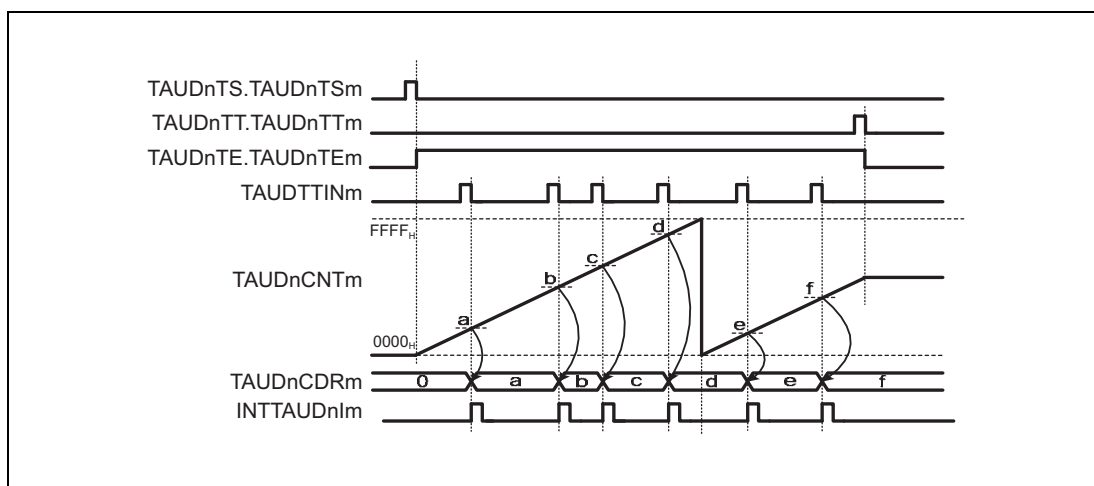


図 25.65 TAUDTTINm 入力位置検出機能の基本タイミング図

25.12.9.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.87 TAUDTTINm 入力位置検出機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	001：有効な TAUDTTINm 入力エッジ信号を外部キャプチャトリガとして使用
7、6	TAUDnCOS [1:0]	01：この値に設定してください
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1011：カウントキャプチャモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R/W	R/W

表 25.88 TAUDTTINm 入力位置検出機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャンネル出力モード

この機能ではチャンネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDTTINm 入力位置検出機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 25.89 TAUDTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.9.5 TAUDTTINm 入力位置検出機能の操作手順

表 25.90 TAUDTTINm 入力位置検出機能の操作手順

	操作	TAUDnの状態
動作再開	初期設定 チャネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 25.87 TAUDTTINm 入力位置検出機能のTAUDnCMORm レジスタの内容」と「表 25.88 TAUDTTINm 入力位置検出機能のTAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCMORm.TAUDnMD0 が“1”の場合は、INTTAUDnIm が発生します。
	動作中 TAUDnCMURm.TAUDnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUDnCDRm、TAUDnCSRm レジスタは任意のタイミングで読み出し可能です。	TAUDnCNTm は、0000 _H からアップカウントを開始します。TAUDTTINm の有効エッジ検出時 : <ul style="list-style-type: none"> TAUDnCNTm が自身の値を TAUDnCDRm に転送 (キャプチャ) します。 INTTAUDnIm を出力します。 カウンタ値は 0000_H にクリアされず、TAUDnCNTm はカウント動作を継続します。 以降、この動作を繰り返します。 TAUDnCNTm が FFFF _H に達すると、カウンタは 0000 _H からカウント動作を再開します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウント動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm は現在値を保持します。

25.12.9.6 特定の設定時のタイミング図

(1) 動作の停止と再開

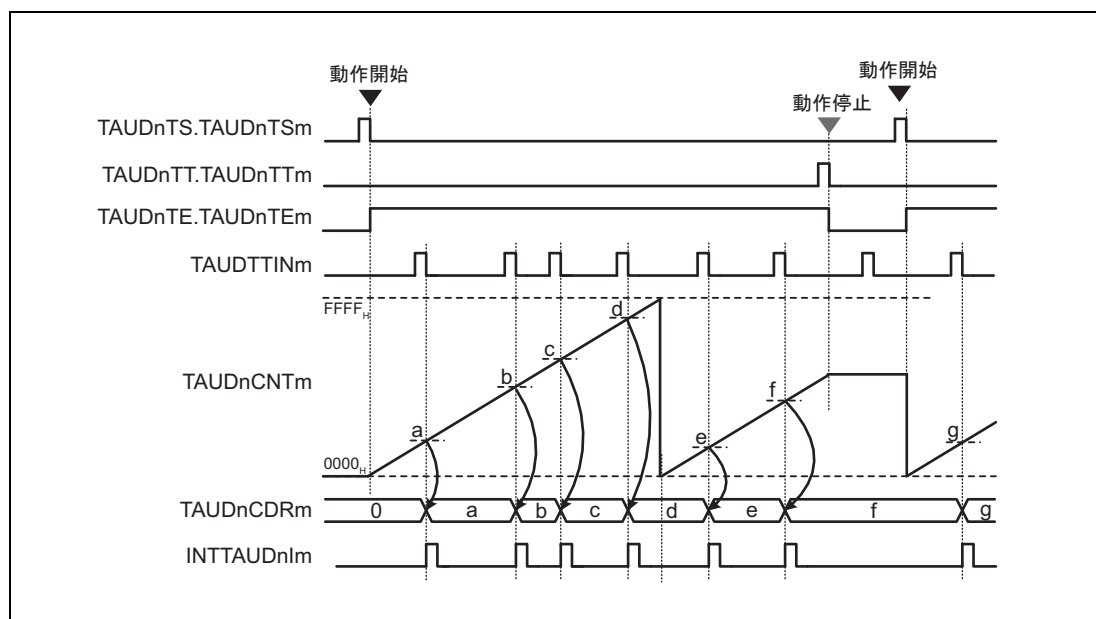


図 25.66 動作の停止と再開 (TAUDnCMORM.TAUDnMD0 = 0、
TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

- TAUDnTT.TAUDnTTM を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEM は“0”に設定されます。
- TAUDnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUDnTTINm の有効な入力エッジは無視されます。
- TAUDnTS.TAUDnTSM を“1”に設定すると、カウントを再開できます。TAUDnCNTm は 0000_H からカウントを再開します。

25.12.10 TAUDTTINm 入力期間カウント検出機能

25.12.10.1 概要

概要

この機能は、TAUDTTINm 入力信号の合計幅を測定します。

前提条件

- 動作モードはキャプチャ&ゲートカウントモードに設定する必要があります(「表 25.91 TAUDTTINm 入力期間カウント検出機能の TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。カウンタは、有効な TAUDTTINm 入力エッジを待ちます。

有効な TAUDTTINm 入力スタートエッジが検出されると、カウンタは、0000_H からカウントを開始します。

有効な TAUDTTINm 入力ストップエッジが検出されると、TAUDnCNTm の現在値が TAUDnCDRm にロードされ、割り込み (INTTAUDnIm) が発生します。次の有効な TAUDTTINm 入力スタートエッジを検出するまで、カウンタは停止し、値 (TAUDnCDRm + 1) を保持します。

次の有効な TAUDTTINm 入力スタートエッジが検出されると、カウンタは、停止時の値からカウントを再開します。

カウンタ値が FFFF_H になると、カウンタは 0000_H からカウント動作を再開します。

備考

- TAUDTTINm 入力信号は、TAUDnCMORm.TAUDnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。
- この機能は、TAUDTTINm 入力の信号幅測定を目的とするため、TAUDnTE.TAUDnTEm = 1 期間中の TAUDnTS.TAUDnTSm のセット (1) は使用できません。

条件

有効なスタートエッジとストップエッジは、TAUDnCMURm.TAUDnTIS[1:0] ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0] = 10_B の場合、TAUDTTINm 入力ローレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUDnCMURm.TAUDnTIS[1:0] = 11_B の場合、TAUDTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

25.12.10.2 算出式

$$\text{TAUDTTINm 入力幅累計} = \text{カウントクロック周期} \times (\text{TAUDnCDRm キャプチャ値} + 1)$$

25.12.10.3 ブロック図と基本タイミング図

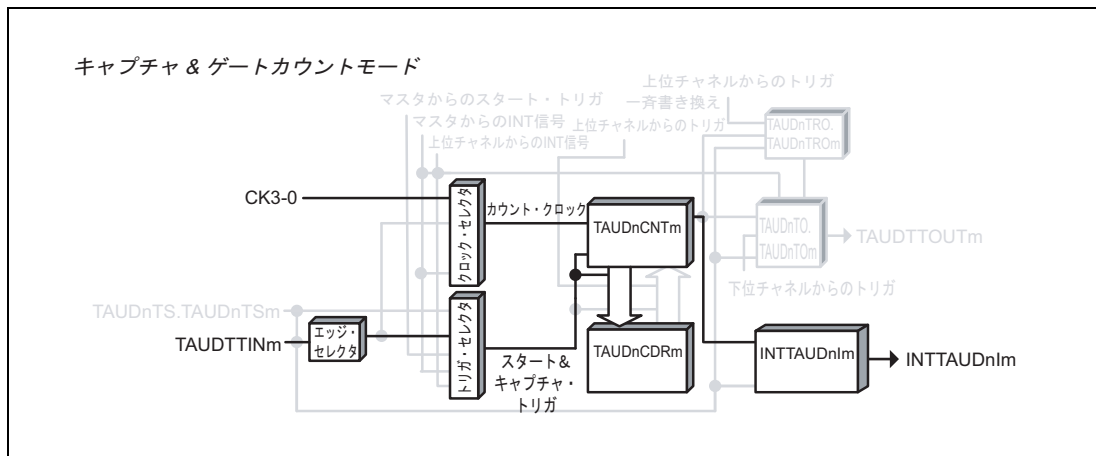


図 25.67 TAUDTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUDnCMURm.TAUDnTIS[1:0] = 11_B)

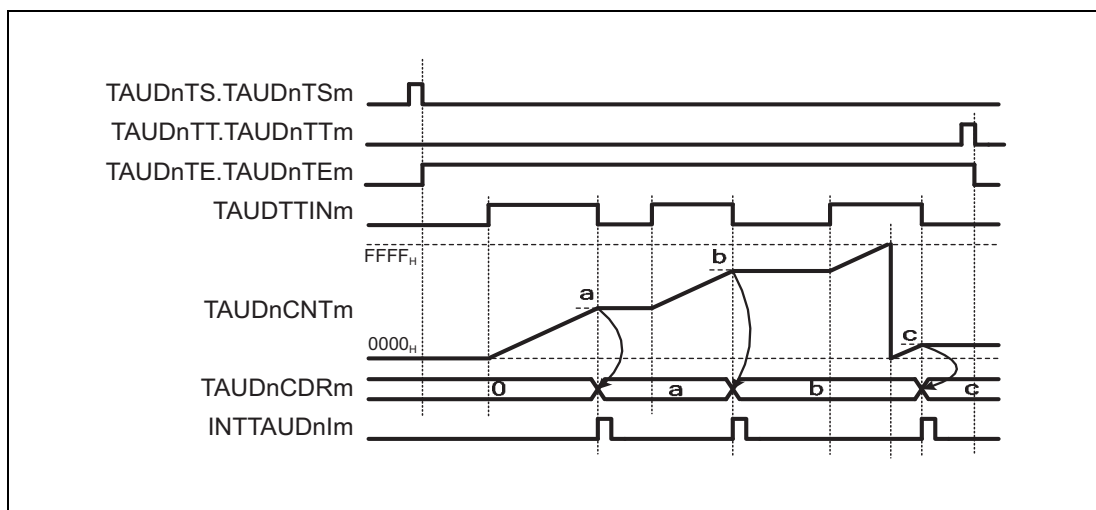


図 25.68 TAUDTTINm 入力期間カウント検出機能の基本タイミング図

25.12.10.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.91 TAUDTTINm 入力期間カウント検出機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUDnCOS [1:0]	01：この値に設定してください
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1101：キャプチャ&ゲートカウントモード
0	TAUDnMD0	0：動作中のスタートトリガ無効

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.92 TAUDTTINm 入力期間カウント検出機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDTTINm 入力期間カウント検出機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 25.93 TAUDTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

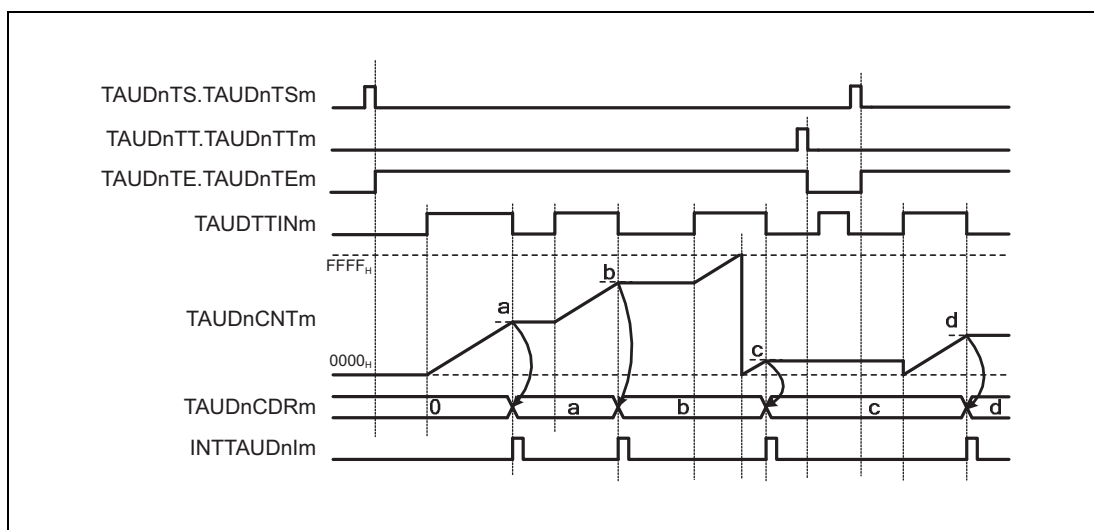
25.12.10.5 TAUDTTINm 入力期間カウント検出機能の操作手順

表 25.94 TAUDTTINm 入力期間カウント検出機能の操作手順

	操作	TAUDnの状態
動作再開	初期設定 チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 25.91 TAUDTTINm 入力期間カウント検出機能の TAUDnCMORm レジスタの内容」と「表 25.92 TAUDTTINm 入力期間カウント検出機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャンネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。
	動作中 TAUDTTINm エッジ検出 TAUDnCDRm、TAUDnCNTm、TAUDnCSRm レジスタは任意のタイミングで読み出しが可能です。	TAUDTTINm スタートエッジ (ハイレベル幅測定なら立ち上がりエッジ、ロウレベル幅測定なら立ち下がりエッジ) を検出すると、TAUDnCNTm は停止値よりアップカウントを開始します。TAUDnCNTm は、ストップエッジ (ハイレベル幅測定なら立ち下がりエッジ、ロウレベル幅測定なら立ち上がりエッジ) を検出すると、値を TAUDnCDRm に転送し、INTTAUDnIm が発生します。 カウントは TAUDnCDRm に転送した値 + 1 の値で停止し、TAUDnCNTm は TAUDTTINm スタートエッジの検出を待ちます。 TAUDnCNTm が FFFF _H に達すると、カウンタは 0000 _H からカウント動作を再開します。以降、この動作を繰り返します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm は現在値を保持します。

25.12.10.6 特定の設定時のタイミング図

(1) 動作の停止と再開

図 25.69 動作の停止と再開 (TAUDnCMURm.TAUDnTIS[1:0] = 11_B)

- TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEM は“0”に設定されます。
- TAUDnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUDTTINm の有効な入力エッジは無視されます。
- TAUDnTS.TAUDnTsm を“1”に設定すると、カウントを再開できます。TAUDnCNTm は 0000_H からカウントを再開します。

25.12.11 TAUDTTINm 入力パルスインターバル判定機能

25.12.11.1 概要

概要

この機能は、TAUDTTINm 入力パルスの発生時、カウント値 (TAUDnCNTm) とチャンネルデータレジスタ (TAUDnCDRm) の値を比較した結果を出力します。比較の結果が真の場合、割り込み要求信号 INTTAUDnIm が発生します。

前提条件

- 動作モードはジャッジモードに設定する必要があります (「表 25.95 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

TAUDTTINm 有効エッジが検出された場合、または TAUDnTS.TAUDnTSM が“1”に設定された場合、この機能は TAUDnCNTm と TAUDnCDRm の現在値を比較します。比較の結果が真の場合、割り込み要求信号 INTTAUDnIm が発生します。TAUDnCNTm は、TAUDnCDRm の値をリロードし、比較の結果に関係なく動作を継続します。

有効な TAUDTTINm エッジを検出する前にカウンタが 0000_H に達すると、TAUDnCNTm はオーバフローし、FFFF_H に設定されます。その後、カウンタはダウンカウントを継続します。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

比較の種類を TAUDnCMORm.TAUDnMD0 ビットで指定します。

- TAUDnCMORm.TAUDnMD0 = 0 かつ TAUDnCNTm ≤ TAUDnCDRm の場合、INTTAUDnIm が発生します。
- TAUDnCMORm.TAUDnMD0 = 1 かつ TAUDnCNTm > TAUDnCDRm の場合、INTTAUDnIm が発生します。

25.12.11.2 ブロック図と基本タイミング図

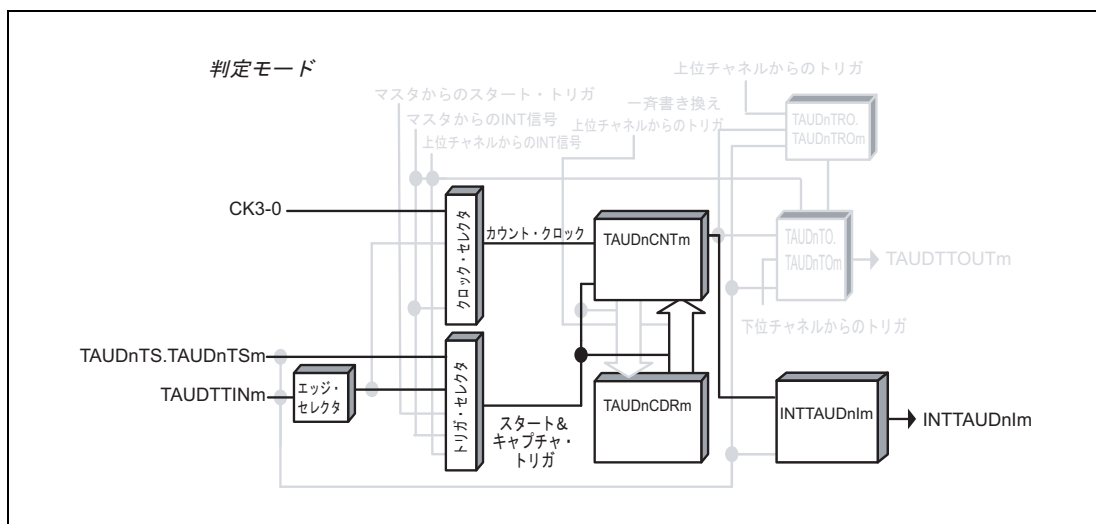


図 25.70 TAUDTTINm 入力パルスインターバル判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

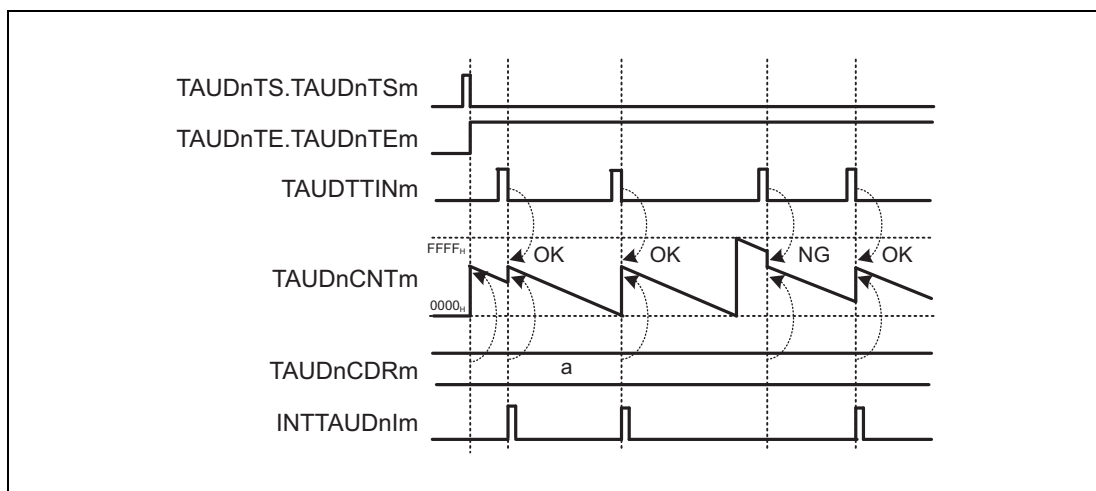


図 25.71 TAUDTTINm 入力パルスインターバル判定機能の基本タイミング図

25.12.11.3 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.95 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	001：TAUDTTINm 入力信号の有効エッジを外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0001：ジャッジモード
0	TAUDnMD0	0：TAUDnCNTm ≤ TAUDnCDRm の場合、INTTAUDnIm が発生 1：TAUDnCNTm > TAUDnCDRm の場合、INTTAUDnIm が発生

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.96 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDTTINm 入力パルスインターバル判定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 25.97 TAUDTTINm 入力パルスインターバル判定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.11.4 TAUDTTINm 入力パルスインターバル判定機能の操作手順

表 25.98 TAUDTTINm 入力パルスインターバル判定機能の操作手順

	操作	TAUDnの状態
動作再開	チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 25.95 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMORm レジスタの内容」と「表 25.96 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMURm レジスタの内容」に示すように設定します。	チャンネル動作を停止しています。
	動作開始 TAUDnCDRm レジスタの値を設定します。	
	動作中 任意のタイミングで変更可能なレジスタ • TAUDnCDRm レジスタ	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnCMORm.TAUDnMD0 = 0 の場合 TAUDTTINm 入力エッジ検出タイミングで TAUDnCNTm ≤ TAUDnCDRm の場合、 INTTAUDnIm 発生します。 TAUDnCMORm.TAUDnMD0 = 1 の場合 TAUDTTINm 入力エッジ検出タイミングで TAUDnCNTm > TAUDnCDRm の場合、 INTTAUDnIm 発生します。TAUDTTINm 入力エッジを検出すると、TAUDnCNTm は、TAUDnCDRm の値からダウンカウントを開始します。 以降、この動作を繰り返します。

25.12.12 TAUDTTINm 入力信号幅判定機能

25.12.12.1 概要

概要

この機能は、TAUDTTINm 入力信号のハイレベルまたはロウレベル幅期間のカウント値 (TAUDnCNTm) と TAUDnCDRm の大小判定の結果を割り込み要求信号 INTTAUDnIm より出力します。

前提条件

- 動作モードはジャッジ & ワンカウントモードに設定する必要があります (「表 25.99 TAUDTTINm 入力信号幅判定機能の TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。有効な TAUDTTINm 入力スタートエッジが検出されると、TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

有効な TAUDTTINm ストップエッジが検出されると、この機能は TAUDnCNTm と TAUDnCDRm の現在値を比較します。比較の結果が真の場合、割り込み要求信号 INTTAUDnIm が発生します。カウンタ TAUDnCNTm は、比較の結果に関係なく、次の有効な TAUDTTINm スタートエッジを検出するまで値を保持します。

有効な TAUDTTINm ストップエッジを検出する前にカウンタが 0000_H に達すると、TAUDnCNTm はオーバフローし、FFFF_H に設定されます。その後、カウンタはダウンカウントを継続します。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

- 比較の種類を TAUDnCMORm.TAUDnMD0 ビットで指定します。
 - TAUDnCMORm.TAUDnMD0 = 0 かつ TAUDnCNTm ≤ TAUDnCDRm の場合、INTTAUDnIm が発生します。
 - TAUDnCMORm.TAUDnMD0 = 1 かつ TAUDnCNTm > TAUDnCDRm の場合、INTTAUDnIm が発生します。
- TAUDnCMURm.TAUDnTIS[1:0] ビットで幅測定のタイプを指定します。
 - ハイレベル幅測定 (TAUDnCMURm.TAUDnTIS[1:0] = 11_B の場合) では、TAUDTTINm 立ち上がりエッジをスタートエッジ、TAUDTTINm 立ち下がりエッジをストップエッジとして使用します。
 - ロウレベル幅測定 (TAUDnCMURm.TAUDnTIS[1:0] = 10_B の場合) では、TAUDTTINm 立ち下がりエッジをスタートエッジ、TAUDTTINm 立ち上がりエッジをストップエッジとして使用します。
- この機能では強制リスタートは行えません。

25.12.12.2 ブロック図と基本タイミング図

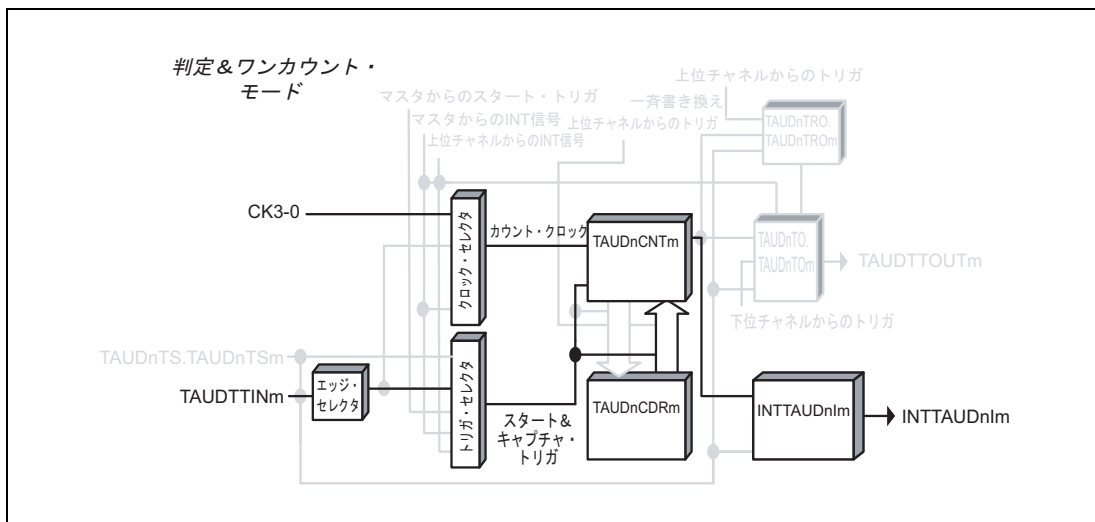


図 25.72 TAUDTTINm 入力信号幅判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- $TAUDnCNTm \leq TAUDnCDRm$ ($TAUDnCMORm.TAUDnMD0 = 0$) の場合、INTTAUDnIm が発生します。
- TAUDTTINm 有効スタートエッジ = 立ち上がりエッジ、TAUDTTINm 有効ストップエッジ = 立ち下がりエッジ ($TAUDnCMURm.TAUDnTIS[1:0] = 11_B$)

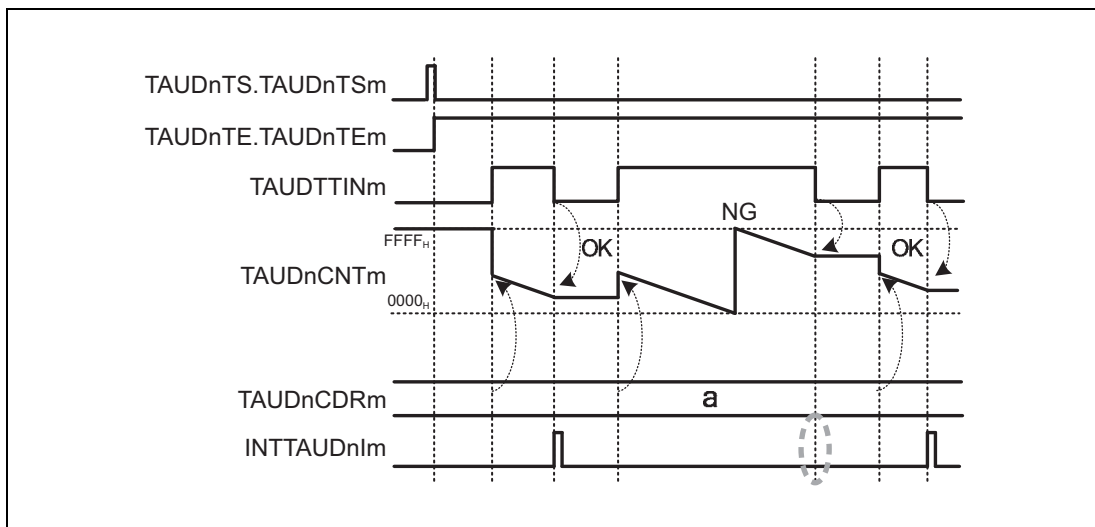


図 25.73 TAUDTTINm 入力信号幅判定機能の基本タイミング図

25.12.12.3 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.99 TAUDTTINm 入力信号幅判定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0111：ジャッジ&ワンカウントモード
0	TAUDnMD0	0：TAUDnCnTm ≤ TAUDnCDRm の場合、INTTAUDnIm が発生 1：TAUDnCnTm > TAUDnCDRm の場合、INTTAUDnIm が発生

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R/W	R/W

表 25.100 TAUDTTINm 入力信号幅判定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDTTINm 入力信号幅判定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 25.101 TAUDTTINm 入力信号幅判定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.12.4 TAUDTTINm 入力信号幅判定機能の操作手順

表 25.102 TAUDTTINm 入力信号幅判定機能の操作手順

	操作	TAUDnの状態
動作再開 ↑	チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 25.99 TAUDTTINm 入力信号幅判定機能のTAUDnCMORm レジスタの内容」と「表 25.100 TAUDTTINm 入力信号幅判定機能のTAUDnCMURm レジスタの内容」に示すように設定します。	チャンネル動作を停止しています。
	TAUDnCDRm レジスタの値を設定します。	
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm はTAUDTTINm スタートエッジ検出を待ちます。
	動作中 任意のタイミングで変更可能なレジスタ • TAUDnCDRm レジスタ	TAUDTTINm スタートエッジを検出すると、TAUDnCNTm は、TAUDnCDRm の値からダウンカウントを開始します。 TAUDnCMORm.TAUDnMD0 = 0 の場合 TAUDTTINm 入力ストップエッジ検出タイミングで $TAUDnCNTm \leq TAUDnCDRm$ の場合、INTTAUDnIm 発生します。 TAUDnCMORm.TAUDnMD0 = 1 の場合 TAUDTTINm 入力ストップエッジ検出タイミングで $TAUDnCNTm > TAUDnCDRm$ の場合、INTTAUDnIm 発生します。 以降、この動作を繰り返します。
動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、現在値を保持します。	

25.12.13 オーバフロー割り込み出力機能 (TAUDTTINm 幅測定時)

25.12.13.1 概要

概要

この機能は、各 TAUDTTINm 入力信号の幅を測定します。TAUDTTINm 入力後、(FFFF_H + 1) を超えた場合、割り込みが発生します。

前提条件

- 動作モードはワンカウントモードに設定する必要があります (「表 25.103 オーバフロー割り込み出力機能 (TAUDTTINm 幅測定時) の TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDTTOUTm は使用しません。
- TAUDnCDRm の値は、FFFF_H に設定する必要があります。

機能説明

チャネルトリガビット (TAUDnTS.TAUDnTSm) を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウンタが可能になります。

有効な TAUDTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUDnCNTm に FFFF_H がロードされ、カウンタはダウンカウントを開始します。

有効なストップエッジを検出されると、カウンタ動作を停止し現在値を保持します。

次の TAUDTTINm 入力スタートエッジを検出されると、TAUDnCNTm は FFFF_H をロードし、ダウンカウントを開始します。

ストップエッジを検出する前にカウンタが 0000_H に達すると、割り込みが発生します。

条件

有効なスタートエッジとストップエッジは、TAUDnCMURm.TAUDnTIS[1:0] ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0] = 10_B の場合、TAUDTTINm 入力ロウレベル幅が測定されます。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUDnCMURm.TAUDnTIS[1:0] = 11_B の場合、TAUDTTINm 入力ハイレベル幅が測定されます。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

備考

動作中にカウンタ動作を再開することはできません。

25.12.13.2 ブロック図と基本タイミング図

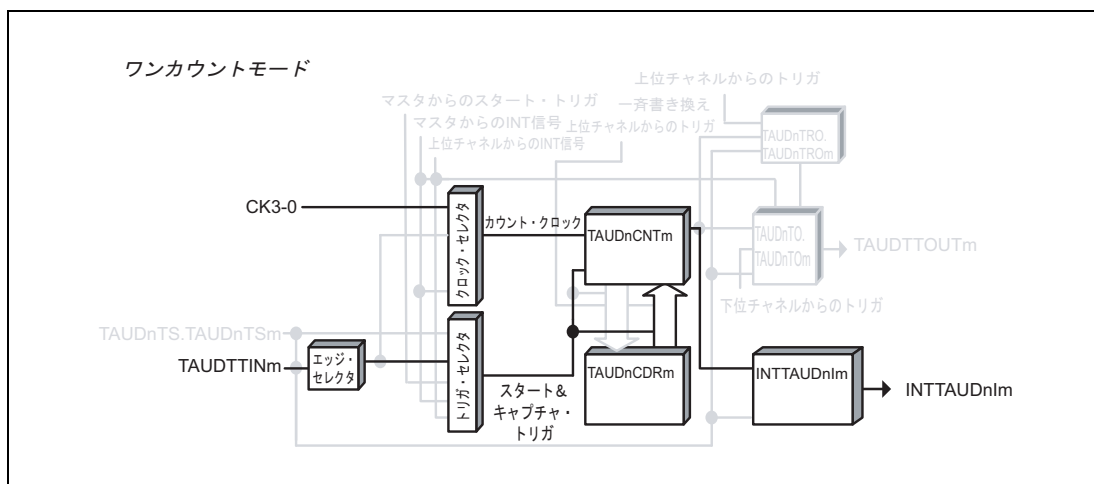


図 25.74 オーバフロー割り込み出力機能のブロック図 (TAUDTTINm 幅測定時)

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUDnCMURm.TAUDnTIS[1:0] = 11_B)

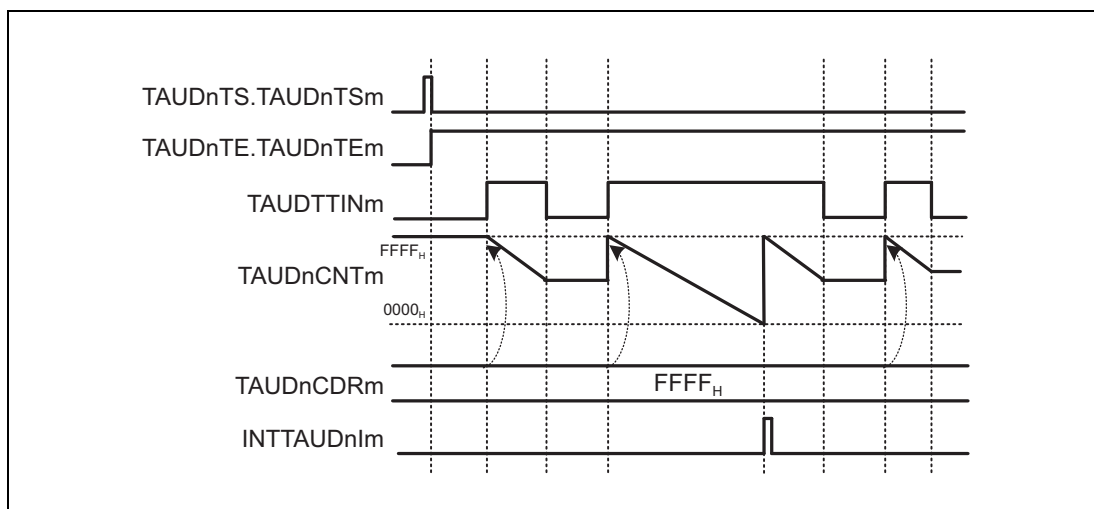


図 25.75 オーバフロー割り込み出力機能の基本タイミング図 (TAUDTTINm 幅測定時)

25.12.13.3 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.103 オーバフロー割り込み出力機能 (TAUDTTINm 幅測定時) の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	0：動作中のスタートトリガ無効

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 25.104 オーバフロー割り込み出力機能 (TAUDTTINm 幅測定時) の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出 (ロウレベル幅測定) 11：両エッジ検出 (ハイレベル幅測定)

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、オーバーフロー割り込み出力機能 (TAUDTTINm 幅測定時) では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 25.105 オーバフロー割り込み出力機能の一斉書き換え設定 (TAUDTTINm 幅測定時)

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.13.4 オーバフロー割り込み出力機能の操作手順 (TAUDTTINm 幅測定時)

表 25.106 オーバフロー割り込み出力機能の操作手順 (TAUDTTINm 幅測定時)

	操作	TAUDnの状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「表 25.103 オーバフロー割り込み出力機能 (TAUDTTINm 幅測定時) の TAUDnCMORm レジスタの内容」と「表 25.104 オーバフロー割り込み出力機能 (TAUDTTINm 幅測定時) の TAUDnCMURm レジスタの内容」に示すように設定します。	チャネル動作を停止しています。
	TAUDnCDRm レジスタの値を FFFF _H に設定します。	
動作再開	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。 TAUDTTINm スタートエッジ検出	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm はスタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDnCDRm の値 (FFFF _H) を TAUDnCNTm にロードします。
	動作中 TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm が発生します。 カウント動作中に TAUDTTINm 入カストップエッジを検出した場合： <ul style="list-style-type: none"> TAUDnCNTm は停止し、現在値を保持します。 カウント停止中に TAUDTTINm 入カスタートエッジを検出した場合： <ul style="list-style-type: none"> 再び TAUDnCDRm の値 (FFFF_H) を TAUDnCNTm にロードし、ダウンカウントを行います。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、現在値を保持します。

25.12.14 オーバフロー割り込み出力機能 (TAUDTTINm 入力期間カウント検出時)

25.12.14.1 概要

概要

この機能は、TAUDTTINm 入力信号の合計幅を測定します。TAUDTTINm 入力合計幅が $FFFF_H$ より大きい場合、割り込みが発生し、オーバフロー割り込みを出力することができます。

前提条件

- 動作モードはゲートカウントモードに設定する必要があります (「表 25.107 オーバフロー割り込み出力機能 (TAUDTTINm 入力期間カウント検出時) の TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDTTOUTm は使用しません。
- TAUDnCDRm の値は、 $FFFF_H$ に設定する必要があります。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウンタが可能になります。

有効な TAUDTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUDnCNTm に $FFFF_H$ がロードされ、カウンタはダウンカウントを開始します。

有効なストップエッジが検出されると、カウンタ動作を停止し、現在値を保持します。カウンタは、次の有効な TAUDTTINm 入力スタートエッジを待ち、現在値からのダウンカウントを継続します。

カウンタが 0000_H になると、割り込みが発生します。TAUDnCNTm に $FFFF_H$ がロードされ、カウンタは TAUDTTINm 入力ストップエッジが検出されるまでダウンカウントを継続します。

条件

有効なスタートエッジとストップエッジは、TAUDnCMURm.TAUDnTIS[1:0] ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0] = 10_B の場合、TAUDTTINm 入力ローレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUDnCMURm.TAUDnTIS[1:0] = 11_B の場合、TAUDTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

備考

動作中にカウンタ動作を再開することはできません。

25.12.14.2 ブロック図と基本タイミング図

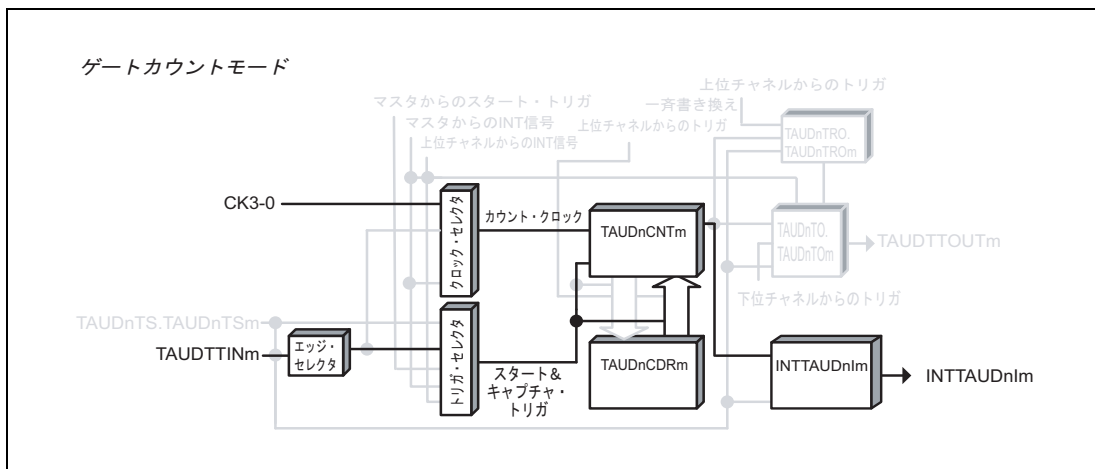


図 25.76 オーバフロー割り込み出力機能のブロック図 (TAUDTTINm 入力期間カウント検出時)

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUDnCMURm.TAUDnTIS[1:0] = 11_B)

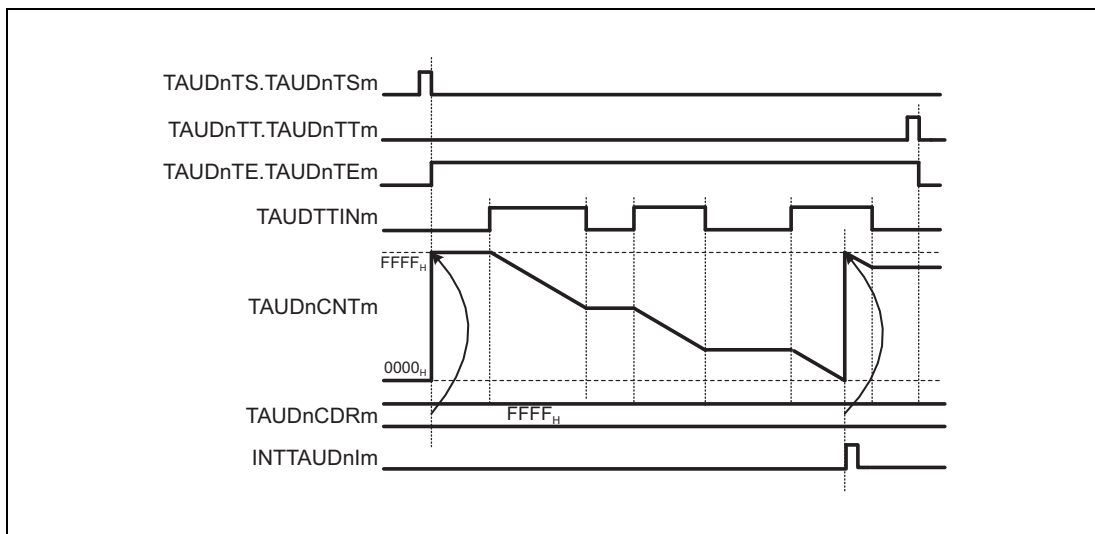


図 25.77 オーバフロー割り込み出力機能の基本タイミング図 (TAUDTTINm 入力期間カウント検出時)

25.12.14.3 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.107 オーバフロー割り込み出力機能 (TAUDTTINm 入力期間カウント検出時) の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKS [1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13, 12	TAUDnCCS [1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : 単体動作、“0”を設定
10 ~ 8	TAUDnSTS [2:0]	010 : TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7, 6	TAUDnCOS [1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUDnMD [4:1]	1100 : ゲートカウントモード
0	TAUDnMD0	0 : 動作開始時に INTTAUDnIm が発生しない

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 25.108 オーバフロー割り込み出力機能 (TAUDTTINm 入力期間カウント検出時) の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	10 : 両エッジ検出 (ロウレベル幅測定) 11 : 両エッジ検出 (ハイレベル幅測定)

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、オーバーフロー割り込み出力機能 (TAUDTTINm 入力期間検出時) では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 25.109 オーバフロー割り込み出力機能の一斉書き換え設定 (TAUDTTINm 入力期間カウント検出時)

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.14.4 オーバフロー割り込み出力機能の操作手順 (TAUDTTINm 入力期間カウント検出時)

表 25.110 オーバフロー割り込み出力機能の操作手順 (TAUDTTINm 入力期間カウント検出時)

	操作	TAUDn の状態
初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「表 25.107 オーバフロー割り込み出力機能 (TAUDTTINm 入力期間カウント検出時) の TAUDnCMORm レジスタの内容」と「表 25.108 オーバフロー割り込み出力機能 (TAUDTTINm 入力期間カウント検出時) の TAUDnCMURm レジスタの内容」に示すように設定します。	チャネル動作を停止しています。
	TAUDnCDRm レジスタの値を FFFF _H に設定します。	
動作再開	TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm はスタートエッジ検出を待ちます。
	TAUDTTINm スタートエッジ検出	スタートエッジが検出されると、TAUDnCDRm の値 (FFFF _H) を TAUDnCNTm にロードします。
動作中	TAUDnCNTm レジスタは常に読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm が発生します。 TAUDnCDRm の値 (FFFF_H) を TAUDnCNTm にロードし、ダウンカウントを継続します。 カウント動作中に TAUDTTINm 入力ストップエッジを検出した場合： <ul style="list-style-type: none"> TAUDnCNTm は停止し、現在値を保持します。 カウント停止中に TAUDTTINm 入力スタートエッジを検出した場合： <ul style="list-style-type: none"> TAUDnCNTm は停止値からダウンカウントを行います。 以降、この動作を繰り返します。
	動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。

25.12.15 1相PWM出力機能

25.12.15.1 概要

概要

TAUDTTINm 入力信号にデッドタイムを付加する機能です。その結果として得られる PWM 信号は、そのチャンネルおよび上位チャンネルの TAUDTTOUTm から出力されます。

前提条件

- 2つ（もしくはそれ以上）のチャンネルで、それぞれデッドタイム制御が許可されている (TAUDnTDE.TAUDnTDEm = 1)
- 下位チャンネルの動作モードは、ワンカウントモードに設定する必要があります（「表 25.112 1相PWM出力機能の下位チャンネルのTAUDnCMORmレジスタの内容」参照）。
- 上位チャンネルには任意の動作モードを設定可能です。
- 上位下位チャンネルのチャンネル出力モードは、1相PWM出力を行うチャンネル連動出力モード2に設定する必要があります。「25.7 チャンネル出力モード」を参照してください。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウンタが可能になります。

有効な TAUDTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUDnCDRm の値が TAUDnCNTm に書き込まれ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

カウンタが 0000_H になると、割り込みが発生します。カウンタは FFFF_H に戻り、次の有効な TAUDTTINm 入力スタートエッジを待ちます。

表 25.111 デッドタイムが付加される TAUDTTOUTm と TAUDTTINm の状態

TAUDnCMURm. TAUDnTIS[1:0]	TAUDnTOL. TAUDnTOLm	デッドタイムが付加される TAUDTTOUTm	TAUDnTDL. TAUDnTDLm	付加時の TAUDTTINm の状態
10	0	TAUDTTOUTm low	0	ハイレベル
			1	ロウレベル
	1	TAUDTTOUTm high	0	ハイレベル
			1	ロウレベル
11	0	TAUDTTOUTm low	0	ロウレベル
			1	ハイレベル
	1	TAUDTTOUTm high	0	ロウレベル
			1	ハイレベル

条件

- TAUDnCMURm.TAUDnTIS[1:0] ビットで幅測定の種類を指定します。
 - TAUDnCMURm.TAUDnTIS[1:0] = 10_B : 両エッジを有効エッジとして検出 (ロウレベル幅測定)
 - TAUDnCMURm.TAUDnTIS[1:0] = 11_B : 両エッジを有効エッジとして検出 (ハイレベル幅測定)

- TAUDnTDL.TAUDnTDLm ビットで、下位チャンネルでの割り込み発生時または有効な TAUDTTINm エッジの検出時の各チャンネルの TAUDTTOUTm の動作を指定します。
 - TAUDnTDL.TAUDnTDLm = 0 の場合、割り込みを TAUDTTOUTm セットのトリガ、有効な TAUDTTINm エッジを TAUDTTOUTm リセットのトリガとして使用します。
 - TAUDnTDL.TAUDnTDLm = 1 の場合、有効な TAUDTTINm エッジを TAUDTTOUTm セットのトリガ、割り込みを TAUDTTOUTm リセットのトリガとして使用します。
- この機能では強制リスタートは行えません。

25.12.15.2 ブロック図と基本タイミング図

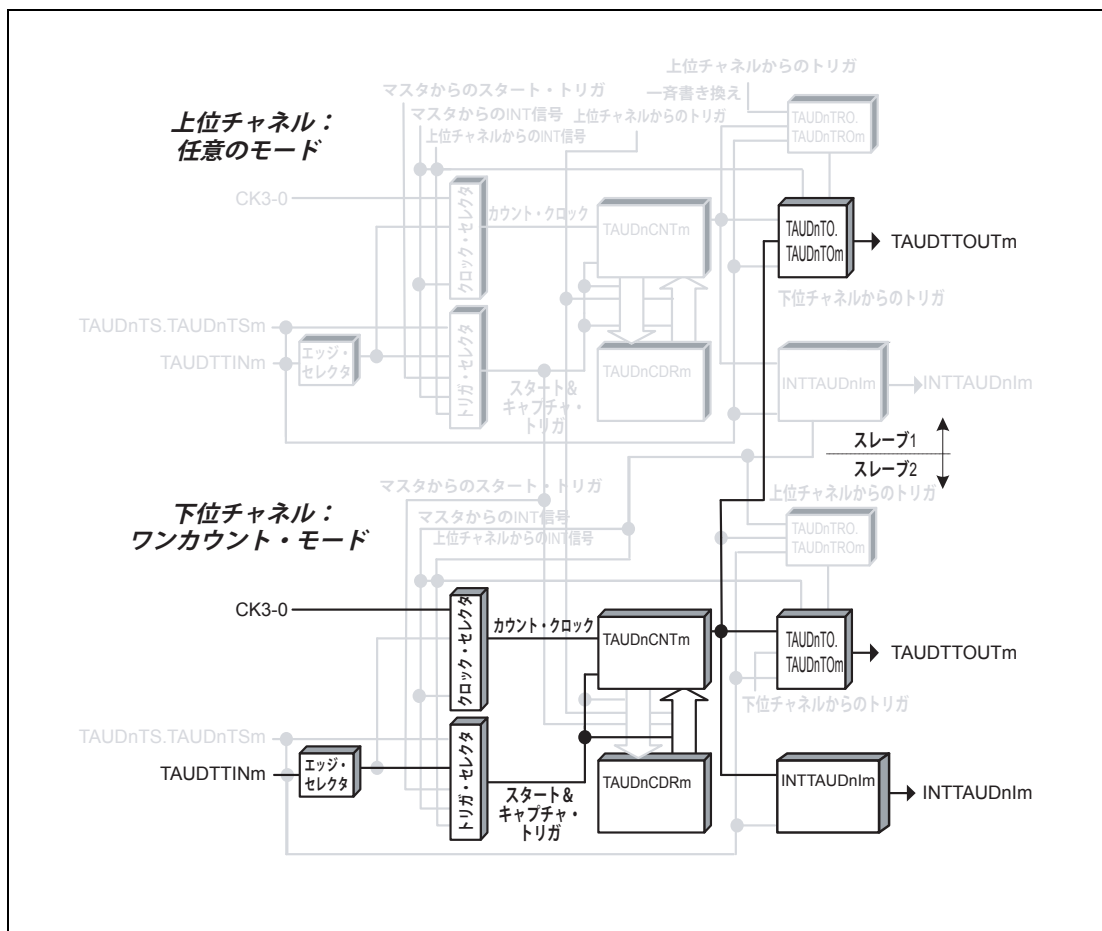


図 25.78 1 相 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUDnCMURm.TAUDnTIS[1:0] = 11_B)

この設定では、デューティをアクティブハイとして考えています。

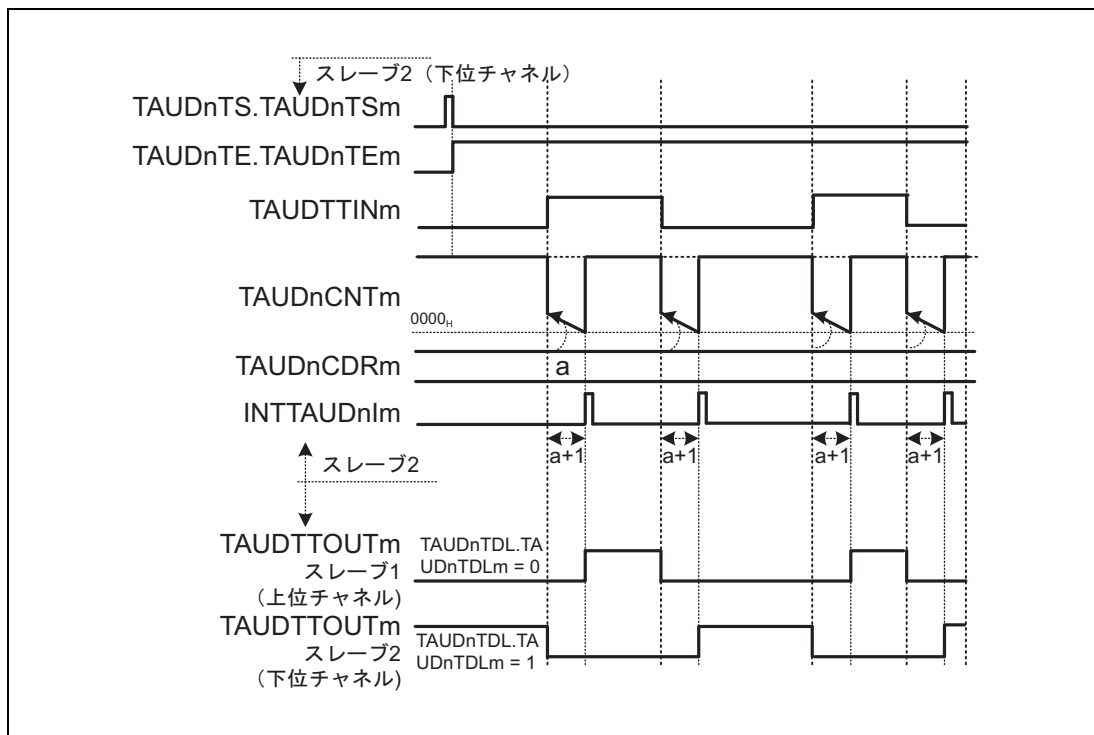


図 25.79 1相 PWM 出力機能の基本タイミング図

25.12.15.3 下位チャンネルのレジスタ設定

(1) 下位チャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.112 1相PWM出力機能の下位チャンネルのTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	001：TAUDTTInm 入力信号の有効エッジを外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：カウント中のスタートトリガ検出許可

(2) 下位チャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 25.113 1相PWM出力機能の下位チャンネルのTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) 下位チャンネルのチャンネル出力モード

表 25.114 1相PWM出力を行うチャンネル連動出力モード2の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動出力
TAUDnTOC.TAUDnTOCm	1: 動作モード2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	1: デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	1: 下位奇数チャンネル TAUDTTINm 入力エッジ検出でデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0: 正相幅のデッドタイムを付加 1: 逆相幅のデッドタイムを付加
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出カトリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0: 変調禁止

注 意

TAUDnTDL.TAUDnTDLm は、上位チャンネルと排他設定してください。

(4) 下位チャンネルの一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、1相PWM出力機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 25.115 1相PWM出力機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0: 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.12.15.4 上位チャネルのレジスタ設定

(1) 上位チャネルの TAUDnCMORm

上位チャネルの TAUDnCMORm レジスタは任意の設定が可能です。

(2) 上位チャネルの TAUDnCMURm

上位チャネルの TAUDnCMURm レジスタは任意の設定が可能です。

(3) 上位チャネルのチャネル出力モード

表 25.116 1相 PWM 出力を行うチャネル連動出力モード2の上位チャネル制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャネル連動出力
TAUDnTOC.TAUDnTOCm	1: 動作モード2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	1: デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	1: 下位奇数チャネル TAUDnTTINm 入力エッジ検出でデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0: 正相幅のデッドタイムを付加 1: 逆相幅のデッドタイムを付加
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0: 変調禁止

注 意

TAUDnTDL.TAUDnTDLm は、下位チャネルと排他設定してください。

(4) 上位チャネルの一斉書き換え

上位チャネルの一斉書き換えレジスタは任意の設定が可能です。

25.12.15.5 1相PWM出力機能の操作手順

表 25.117 1相PWM出力機能の操作手順

	操作	TAUDnの状態
動作再開 ↑	初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
	初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
	初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
	初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
動作開始	<p>下位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「表 25.112 1相PWM出力機能の下位チャンネルのTAUDnCMORm レジスタの内容」と「表 25.113 1相PWM出力機能の下位チャンネルのTAUDnCMURm レジスタの内容」に示すように設定します。</p> <p>上位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「25.12.15.4 上位チャンネルのレジスタ設定」に示すように設定します。</p> <p>TAUDnCDRm レジスタの値を設定します。</p> <p>制御ビットを「表 25.114 1相PWM出力を行うチャンネル連動出力モード2の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。</p>	<p>TAUDnTE.TAUDnTEm は“1”に設定され（スレーブチャンネル2）、TAUDnCNTm はTAUDTTINm スタートエッジ検出を待ちます。</p> <p>TAUDnCNTm は TAUDnCDRm 値をロードします。</p>
動作中	<p>TAUDnCDRm レジスタ値は任意のタイミングで変更可能です。</p> <p>TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。</p>	<p>スレーブチャンネル2のTAUDnCNTmはダウンカウントを行います。カウンタが0000_Hになった場合：</p> <ul style="list-style-type: none"> • INTTAUDnImが発生します。 • TAUDnCNTmがカウントを停止します。 <p>TAUDTTINmのエッジ検出信号とスレーブチャンネル2のINTTAUDnIm信号によりTAUDTTOUTmを変化させデッドタイム付き1相PWM波形を出力する。</p> <p>以降、動作を繰り返す。</p>
動作停止	<p>スレーブチャンネル2にTAUDnTT.TAUDnTTm = 1を設定します。</p> <p>TAUDnTT.TAUDnTTmはトリガビットなので、自動的に“0”にクリアされます。</p>	<p>TAUDnTE.TAUDnTEmが“0”にクリアされ、カウンタ動作が停止します。</p> <p>TAUDnCNTmは停止し、TAUDnCNTmとTAUDTTOUTmは現在値を保持します。</p>

25.13 チャンネル単体リアルタイム機能

この節では、TAUDnTRO.TAUDnTROm ビット値をリアルタイム出力する機能について説明します。

25.13.1 リアルタイム出力機能タイプ 1

25.13.1.1 概要

概要

指定したチャンネルでの割り込み (INTTAUDnIm) 発生時に、TAUDTTOUTm から TAUDnTRO.TAUDnTROm ビット値を出力する機能です。この機能では、設定した一定の間隔で割り込みが発生します。

上位チャンネルはリアルタイム出力トリガを生成するチャンネル (TAUDnTRC.TAUDnTRCm = 1)、下位チャンネルは上位チャンネルのトリガを受けてリアルタイム出力を行うチャンネル (TAUDnTRC.TAUDnTRCm = 0) です。

前提条件

- 他チャンネルの TAUDTTOUTm 制御を使用するチャンネル
- 上位チャンネルの動作モードは、インターバルタイマモードに設定する必要があります (「表 25.118 リアルタイム出力機能タイプ 1 の上位チャンネルの TAUDnCMORm レジスタの内容」参照)。
- 下位チャンネルには任意の動作モードを設定可能です。
- 全チャンネルのチャンネル出力モードは、リアルタイム出力を行うチャンネル単体出力モード 1 に設定する必要があります。「25.7 チャンネル出力モード」を参照してください。
- 上位チャンネルはリアルタイム出力が許可された状態にしておく必要があります (TAUDnTRE.TAUDnTREM = 1)。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、上位チャンネルのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEM = 1 となり、カウントが可能になります。上位チャンネルのデータレジスタ (TAUDnCDRm) の現在値がカウンタ (TAUDnCNTm) にロードされ、カウンタはこの値からダウンカウントを開始します。

上位チャンネルのカウンタが 0000_H に達すると、INTTAUDnIm が発生し、TAUDTTOUTm が全チャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) の現在値を出力します (TAUDnTRE.TAUDnTREM = 1 のチャンネルのみ)。その後、再び TAUDnCDRm の値を TAUDnCNTm にロードし、以降、動作を継続します。

TAUDTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUDTTOUTm の値が TAUDnTRO.TAUDnTROm の現在値と異なる場合にのみ変化します。

条件

- INTTAUDnIm の発生を検出するチャンネルは、該当チャンネルに TAUDnTRC.TAUDnTRCm = 1 を設定することにより指定します。リアルタイム出力トリガを生成しない、その他すべてのチャンネルは、TAUDnTRC.TAUDnTRCm ビットを“0”に設定しておく必要があります。

- 下位チャンネルのリアルタイム出力が禁止 (TAUDnTRE.TAUDnTREM = 0) されている場合、またはチャンネル自体が書き換えトリガとして使用されている場合 (TAUDnTRC.TAUDnTRCm = 1)、そのチャンネルでの INTTAUDnIm 発生時にそのチャンネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。
- 下位チャンネルのリアルタイム出力が許可されていて (TAUDnTRE.TAUDnTREM = 1)、TAUDnTRC.TAUDnTRCm = 0 である場合、上位チャンネルでの INTTAUDnIm 発生時にそのチャンネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。
- TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは出力されません。詳細は「25.9 カウント開始/リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成」を参照してください。

25.13.1.2 算出式

INTTAUDnIm の発生周期 = カウントクロック周期 × (TAUDnCDRm 値 + 1)

25.13.1.3 ブロック図と基本タイミング図

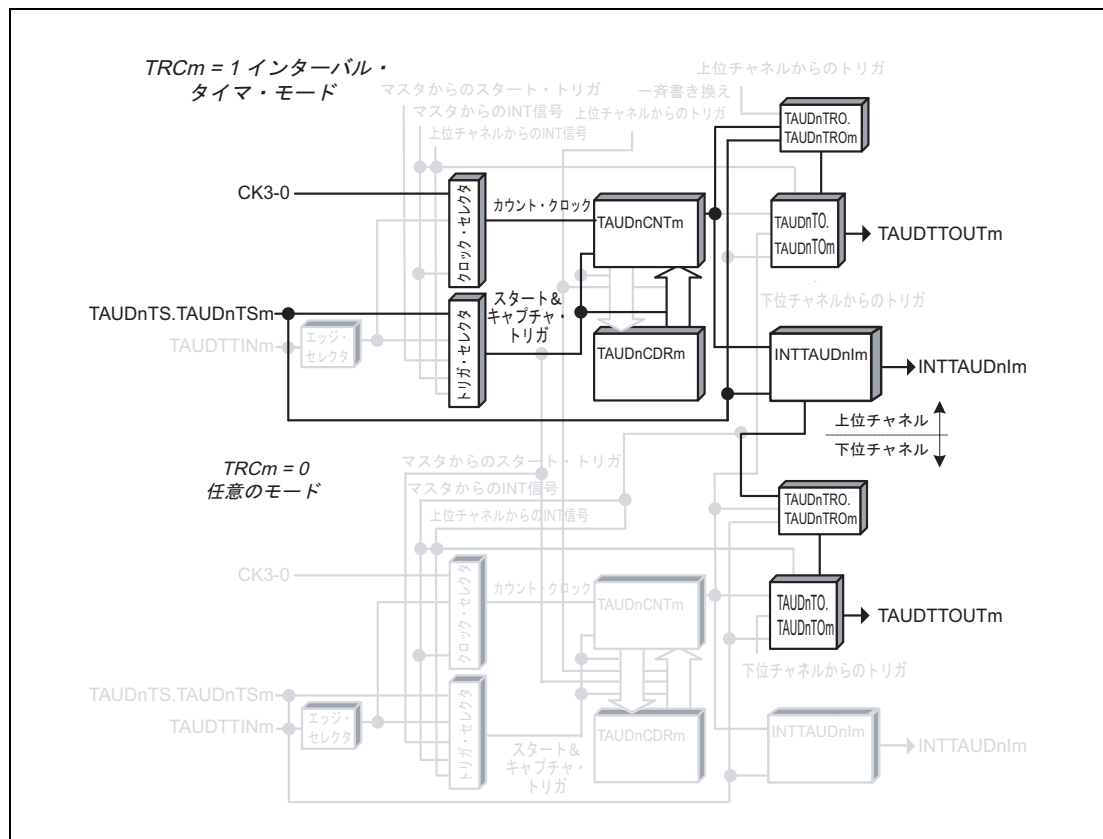


図 25.80 リアルタイム出力機能タイプ1のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)

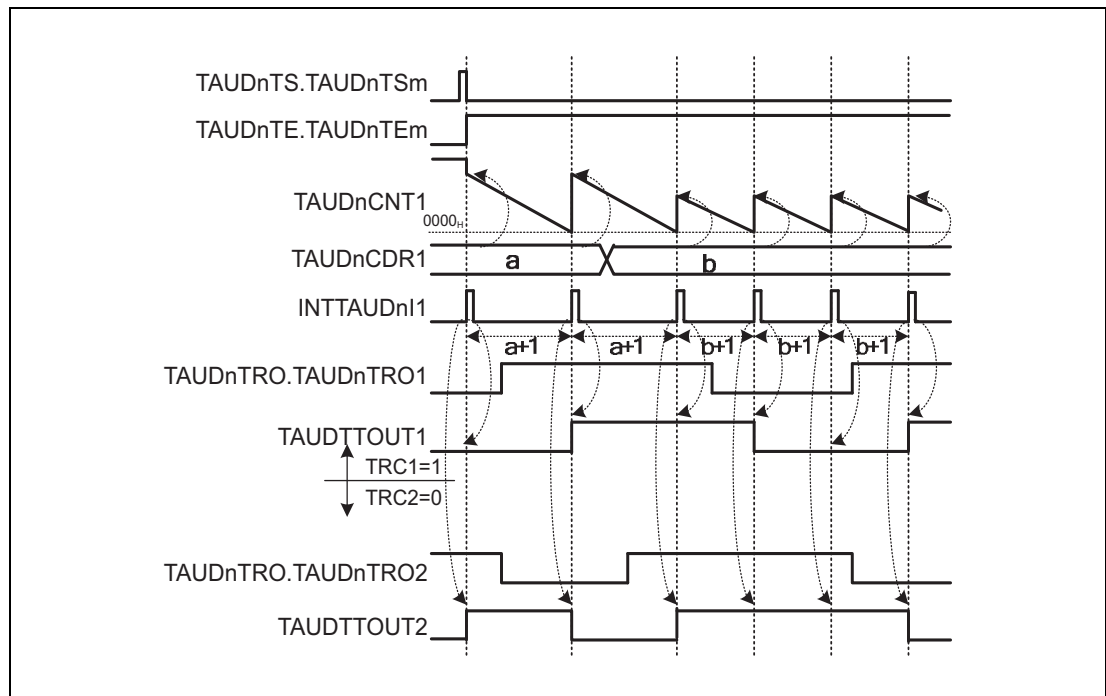


図 25.81 リアルタイム出力機能タイプ1の基本タイミング図

25.13.1.4 上位チャネルのレジスタ設定

(1) 上位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.118 リアルタイム出力機能タイプ1の上位チャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) 上位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.119 リアルタイム出力機能タイプ1の上位チャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) 上位チャンネルのチャンネル出力モード

表 25.120 リアルタイム出力を行うチャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効(リセット後の値)となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	1: チャンネル m は独自のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEem	0: 変調禁止

(4) 上位チャンネルの一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、リアルタイム出力機能タイプ1では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 25.121 リアルタイム出力機能タイプ1の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0: 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.13.1.5 下位チャネルのレジスタ設定

(1) 下位チャネルの TAUDnCMORm

下位チャネルの TAUDnCMORm レジスタは任意の設定が可能です。

(2) 下位チャネルの TAUDnCMURm

下位チャネルの TAUDnCMURm レジスタは任意の設定が可能です。

(3) 下位チャネルのチャネル出力モード

表 25.122 リアルタイム出力を行うチャネル単体出力モード 1 時の下位チャネル制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1 : チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0 : チャネル単体出力
TAUDnTOC.TAUDnTOCm	0 : 動作モード 1 (TAUDnTOM.TAUDnTOMm = 0 時はトグルモード)
TAUDnTOL.TAUDnTOLm	0 : トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0 : デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0 : デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	0 : デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTRE.TAUDnTREm	1 : リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0 : リアルタイム出力はロウレベル 1 : リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0 : 上位チャネルはチャネル m 用のリアルタイム出カトリガを生成
TAUDnTME.TAUDnTMEem	0 : 変調禁止

(4) 下位チャネルの一斉書き換え

下位チャネルの一斉書き換えレジスタは任意の設定が可能です。

25.13.1.6 リアルタイム出力機能タイプ1の操作手順

表 25.123 リアルタイム出力機能タイプ1の操作手順

	操作	TAUDnの状態
チ ネ ル の 初 期 設 定 動 作 再 開 動 作 中 動 作 停 止	上位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「表 25.118 リアルタイム出力機能タイプ1の上位チャンネルの TAUDnCMORm レジスタの内容」と「表 25.119 リアルタイム出力機能タイプ1の上位チャンネルの TAUDnCMURm レジスタの内容」に示すように設定します。 下位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「25.13.1.5 下位チャンネルのレジスタ設定」に示すように設定します。 TAUDnCDRm レジスタの値を設定します (TAUDnTRC.TAUDnTRCm = 1 のチャンネルのみ)。 制御ビットを「表 25.120 リアルタイム出力を行うチャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。 制御ビットを「表 25.122 リアルタイム出力を行うチャンネル単体出力モード1時の下位チャンネル制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	TAUDnTRC.TAUDnTRCm が“1”に設定されているチャンネルでは、TAUDnTS.TAUDnTSM = 1 を設定します。 TAUDnTS.TAUDnTSM はトリガビットなので、自動的に“0”にクリアされます。	[TAUDnTRC.TAUDnTRCm が“1”に設定されているチャンネル] TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。TAUDnCMORm.TAUDnMD0 が“1”の場合は、INTTAUDnIm が発生します。
	TAUDnCDRm レジスタと TAUDnTRO.TAUDnTROm は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> 再び TAUDnCDRm の値を TAUDnCNTm にロードし、カウント動作を継続します。 INTTAUDnIm が発生します。 TAUDTTOUTm がリアルタイム出力ビット TAUDnTRO.TAUDnTROm の現在値を出力します。 以降、この動作を繰り返します。
	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウント動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDTTOUTm は現在値を保持します。

25.13.1.7 特定の設定時のタイミング図

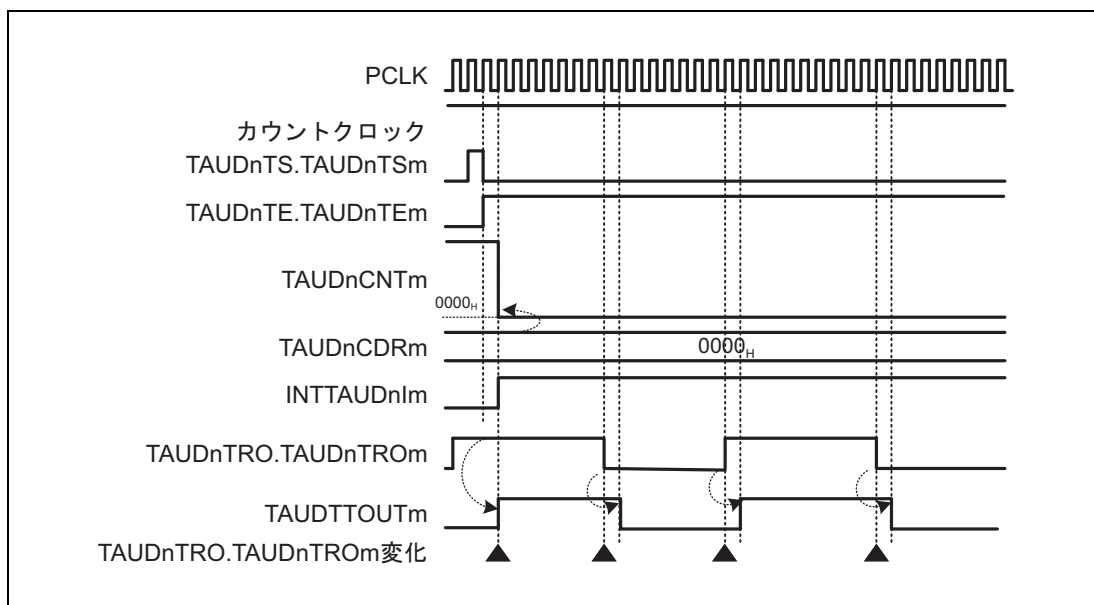


図 25.82 TAUDnCDRm = 0000_H、TAUDnCMORm.TAUDnMD0 = 1

- TAUDTTOUTmの値はTAUDnTRO.TAUDnTROMの設定値から1 PCLK周期遅延して変化します。

25.13.2 リアルタイム出力機能タイプ2

25.13.2.1 概要

概要

指定したチャンネルでの割り込み (INTTAUDnIm) 発生時に、TAUDTTOUTm から TAUDnTRO.TAUDnTROm ビット値を出力する機能です。この機能の開始時、または有効な TAUDTTINm 入力エッジが検出されると、割り込みが発生します。

上位チャンネルはリアルタイム出力トリガを生成するチャンネル (TAUDnTRC.TAUDnTRCm = 1)、下位チャンネルは上位チャンネルのトリガを受けてリアルタイム出力を行うチャンネル (TAUDnTRC.TAUDnTRCm = 0) です。

前提条件

- 他チャンネルの TAUDTTOUTm 制御を使用するチャンネル
- 上位チャンネルの動作モードは、キャプチャモードに設定する必要があります (「**表 25.124 リアルタイム出力機能タイプ2の上位チャンネルの TAUDnCMORm レジスタの内容**」参照)。
- 下位チャンネルには任意の動作モードを設定可能です。
- 全チャンネルのチャンネル出力モードは、リアルタイム出力を行うチャンネル単体出力モード 1 に設定する必要があります。「**25.7 チャンネル出力モード**」を参照してください。
- 上位チャンネルはリアルタイム出力が許可された状態にしておく必要があります (TAUDnTRE.TAUDnTREM = 1)。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、上位チャンネルのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEM = 1 となり、カウントが可能になります。上位チャンネルのカウンタがアップカウントを開始します。

上位チャンネルで有効な TAUDTTINm 入力エッジが発生すると、割り込みが発生し、TAUDTTOUTm が全チャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) の現在値を出力します (TAUDnTRE.TAUDnTREM = 1 のチャンネルのみ)。

TAUDTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUDTTOUTm の値が TAUDnTRO.TAUDnTROm の現在値と異なる場合にのみ変化します。

条件

- INTTAUDnIm の発生を検出するチャンネルは、該当チャンネルに TAUDnTRC.TAUDnTRCm = 1 を設定することにより指定します。リアルタイム出力トリガを生成しない、その他すべてのチャンネルは、TAUDnTRC.TAUDnTRCm ビットを“0”に設定しておく必要があります。
- 下位チャンネルのリアルタイム出力が禁止 (TAUDnTRE.TAUDnTREM = 0) されている場合、またはチャンネル自体が書き換えトリガとして使用されている場合 (TAUDnTRC.TAUDnTRCm = 1)、そのチャンネルでの INTTAUDnIm 発生時にそのチャンネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。

- 下位チャンネルのリアルタイム出力が許可されていて (TAUDnTRE.TAUDnTREm = 1)、TAUDnTRC.TAUDnTRCm = 0 である場合、上位チャンネルでの INTTAUDnIm 発生時にそのチャンネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。
- TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは出力されません。詳細は「**25.9 カウント開始/リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成**」を参照してください。

25.13.2.2 ブロック図と基本タイミング図

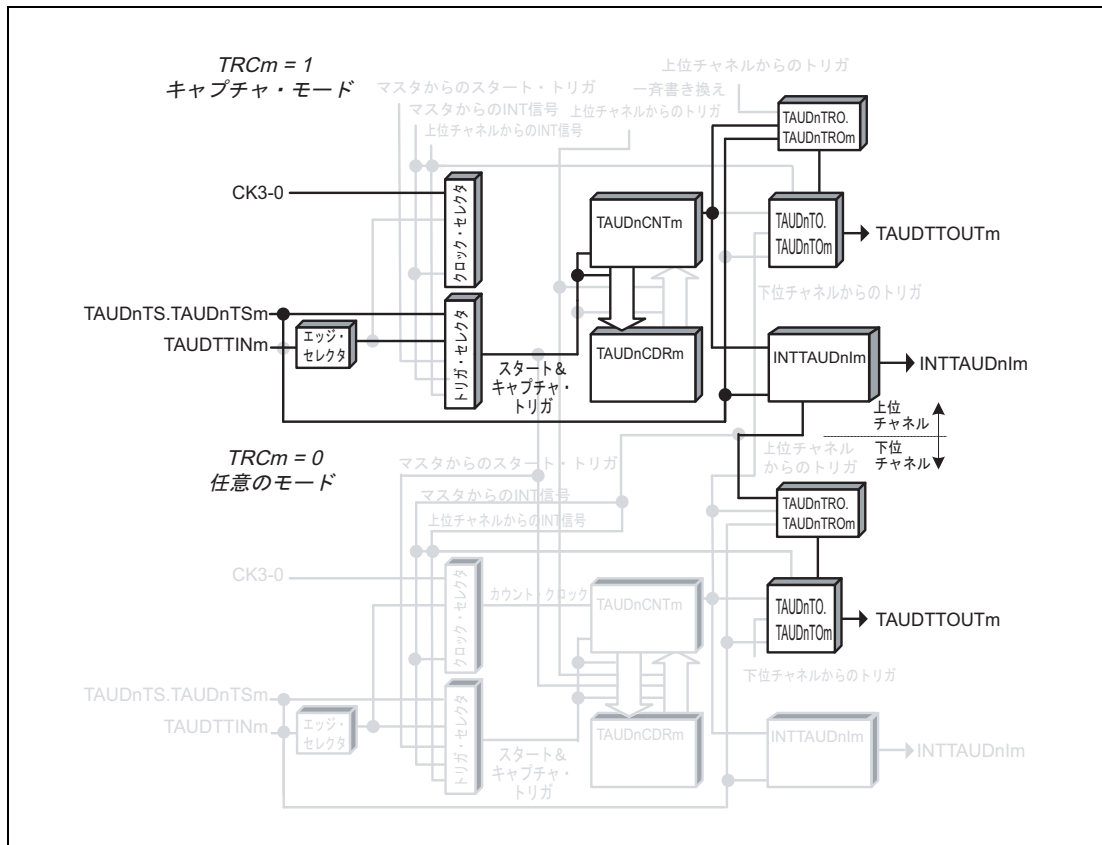


図 25.83 リアルタイム出力機能タイプ2のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生しない (TAUDnCMORm.TAUDnMD0 = 0)

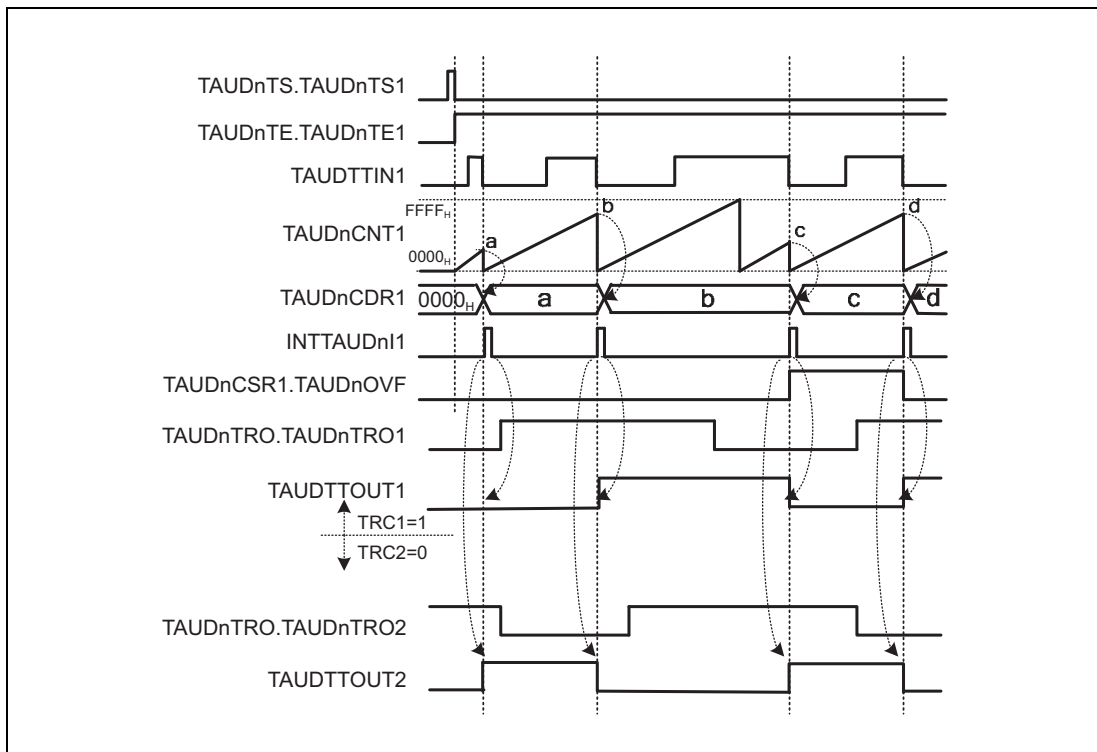


図 25.84 リアルタイム出力機能タイプ 2 の基本タイミング図

25.13.2.3 上位チャネルのレジスタ設定

(1) 上位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.124 リアルタイム出力機能タイプ2の上位チャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	001：TAUDTTInm 入力信号の有効エッジを外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0010：キャプチャモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) 上位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.125 リアルタイム出力機能タイプ2の上位チャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出 11：設定禁止

(3) 上位チャンネルのチャンネル出力モード

表 25.126 リアルタイム出力を行うチャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	1: チャンネル m は独自のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0: 変調禁止

(4) 上位チャンネルの一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、リアルタイム出力機能タイプ2では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 25.127 リアルタイム出力機能タイプ2の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0: 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.13.2.4 下位チャンネルのレジスタ設定

(1) 下位チャンネルの TAUDnCMORm

下位チャンネルの TAUDnCMORm レジスタは任意の設定が可能です。

(2) 下位チャンネルの TAUDnCMURm

下位チャンネルの TAUDnCMURm レジスタは任意の設定が可能です。

(3) 下位チャンネルのチャンネル出力モード

表 25.128 リアルタイム出力を行うチャンネル単体出力モード1時の下位チャンネル制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1 : チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0 : チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0 : 動作モード1 (TAUDnTOM.TAUDnTOMm = 0 時はトグルモード)
TAUDnTOL.TAUDnTOLm	0 : トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0 : デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0 : デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1 : リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0 : リアルタイム出力はロウレベル 1 : リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0 : 上位チャンネルはチャンネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0 : 変調禁止

(4) 下位チャンネルの一斉書き換え

下位チャンネルの一斉書き換えレジスタは任意の設定が可能です。

25.13.2.5 リアルタイム出力機能タイプ2の操作手順

表 25.129 リアルタイム出力機能タイプ2の操作手順

	操作	TAUDnの状態
動作再開	初期設定	チャネル動作を停止しています。
	動作開始	[TAUDnTRC.TAUDnTRCm が“1”に設定されているチャネル] TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCNTm が 0000 _H にクリアされます。 TAUDnCMORm.TAUDnMD0 が“1”の場合は、INTTAUDnIm が発生します。
	動作中	TAUDnCNTm は、0000 _H からアップカウントを開始します。 TAUDTTINm 入力の有効エッジ検出時： <ul style="list-style-type: none"> TAUDnCDRm の値を TAUDnCNTm にキャプチャし、カウンタを 0000_H にクリアします。 INTTAUDnIm が発生します。 TAUDnCSRm.TAUDnOVF ビットは TAUDTTINm 入力有効エッジを検出したとき、オーバフロー発生後ならば 1 にセット、オーバフロー発生前ならば 0 にクリアされず。 TAUDTTOUTm がリアルタイム出力ビット TAUDnTRO.TAUDnTROm の現在値を出力します。以降、この動作を繰り返します。
	動作停止	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm、TAUDnCSRm.TAUDnOVF、TAUDTTOUTm は現在値を保持します。

25.13.2.6 特定のタイミング図

(1) 動作の開始と停止

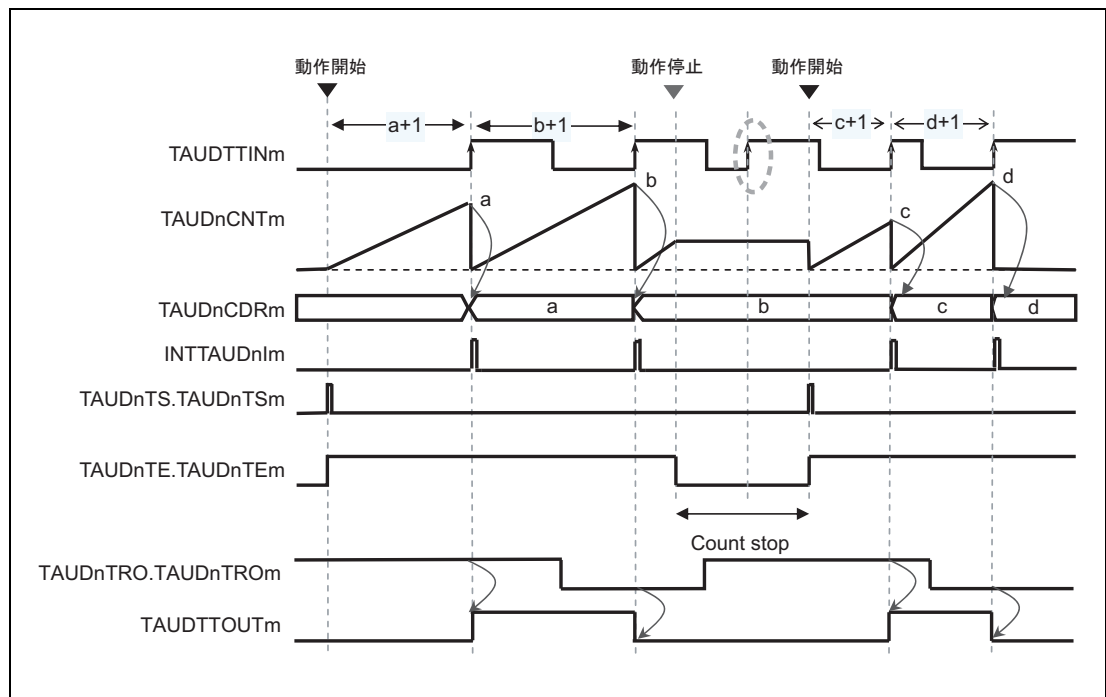


図 25.85 動作の開始と停止 (TAUDnCMORm.TAUDnMD0 = 0)

- TAUDnTS.TAUDnTSm が“1”に設定され、カウンタがアップカウントを開始します。
- 有効な入力エッジが検出されると、カウンタの現在値がデータレジスタ (TAUDnCDRm) に書き込まれ、割り込みが発生します。
- TAUDTTOUTm はリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) の現在値を出力し、カウンタはリセットされ、アップカウントを再開します。
- TAUDTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUDTTOUTm の値が TAUDnTRO.TAUDnTROm の現在値と異なる場合にのみ変化します。
- カウンタが停止している場合 (TAUDnTE.TAUDnTEm = 0)、有効な入力エッジは無視され、割り込みは発生しません。

25.14 チャンネル単体一斉書き換え機能

この節では、一斉書き換え機能について説明します。

25.14.1 一斉書き換えトリガ生成機能タイプ1

25.14.1.1 概要

概要

下位チャンネルが一斉書き換えトリガとして使用できる割り込みを、特定チャンネル上で発生する機能です。この割り込みは一定間隔で発生します。

上位チャンネルは一斉書き換えトリガを生成するチャンネル (TAUDnRDC.TAUDnRDCm = 1)、下位チャンネルは上位チャンネルのトリガを受けて一斉書き換えを行うチャンネル (TAUDnRDC.TAUDnRDCm = 0) です。

前提条件

- 上位チャンネルとして使用するチャンネルより下位の2チャンネル以上で、それぞれ一斉書き換えが許可されている (TAUDnRDE.TAUDnRDEm = 1)。
- 上位チャンネルの動作モードは、インターバルタイマモードに設定する必要があります (「表 25.130 一斉書き換えトリガ生成機能タイプ1の上位チャンネルのTAUDnCMORMレジスタの内容」参照)。
- 下位チャンネルに設定可能な動作モードは、「表 25.47 チャンネル機能と一斉書き換え方法」を参照してください。
- この機能では、TAUDTTOUTm はいずれのチャンネルでも使用しません。

機能説明

上位チャンネル、下位チャンネルのチャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。上位チャンネルのデータレジスタバッファ (TAUDnCDRm buf) の現在値がカウンタ (TAUDnCNTm) にロードされ、カウンタはこの値からダウンカウントを開始します。下位チャンネルのカウンタは、選択されている動作モードにしたがってカウントを開始します。

カウンタが 0000_H になると、そのチャンネルで割り込みが発生します。対応する TAUDnCDRm バッファの現在値を TAUDnCNTm にロードし、以降、動作を継続します。

割り込みが発生したチャンネルが一斉書き換えのトリガチャンネルとして設定されていて (TAUDnRDC.TAUDnRDCm = 1)、さらにそれが上位チャンネルである場合、一斉書き換えが可能な状態 (TAUDnRSF.TAUDnRSFm = 1) にあるすべての下位チャンネルで一斉書き換えが行われます。

データレジスタの値は対応するデータレジスタバッファにコピーされます。カウンタはダウンカウントを開始するたびにデータレジスタバッファの値を読み出して、その値からダウンカウントを行います。

データレジスタの値は任意のタイミングで変更可能ですが、一斉書き換え実行時には対応するデータレジスタバッファに転送されるのみです。

条件

- INTTAUDnIm の発生を検出するチャンネルは、該当チャンネルに TAUDnRDC.TAUDnRDCm = 1 を設定することにより指定します。一斉書き換えを行う必要のあるその他すべてのチャンネルは、TAUDnRDC.TAUDnRDCm ビットを“0”に設定しておく必要があります。
- TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。「**25.9 カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成**」を参照してください。

25.14.1.2 算出式

一斉書き換えトリガの生成周期 = カウントクロック周期 × (TAUDnCDRm + 1)

一斉書き換えを制御するには、次の条件が満たされている必要があります。

[PWM の場合]

$TAUDnCDRm = [(一斉書き換え対象マスタチャンネルの TAUDnCDRm 値 + 1) \times 割り込み数] - 1$

[三角波 PWM の場合]

$TAUDnCDRm = [(一斉書き換え対象マスタチャンネルの TAUDnCDRm 値 + 1) \times 2 \times 割り込み数] - 1$

つまり、TAUDnCDRm + 1 と一斉書き換え対象マスタチャンネルの TAUDnCDRm + 1 の比は整数である必要があります。この整数は割り込み数に対応しています。

三角波 PWM の場合は、周期が 2 倍になるので注意してください。

25.14.1.3 ブロック図と基本タイミング図

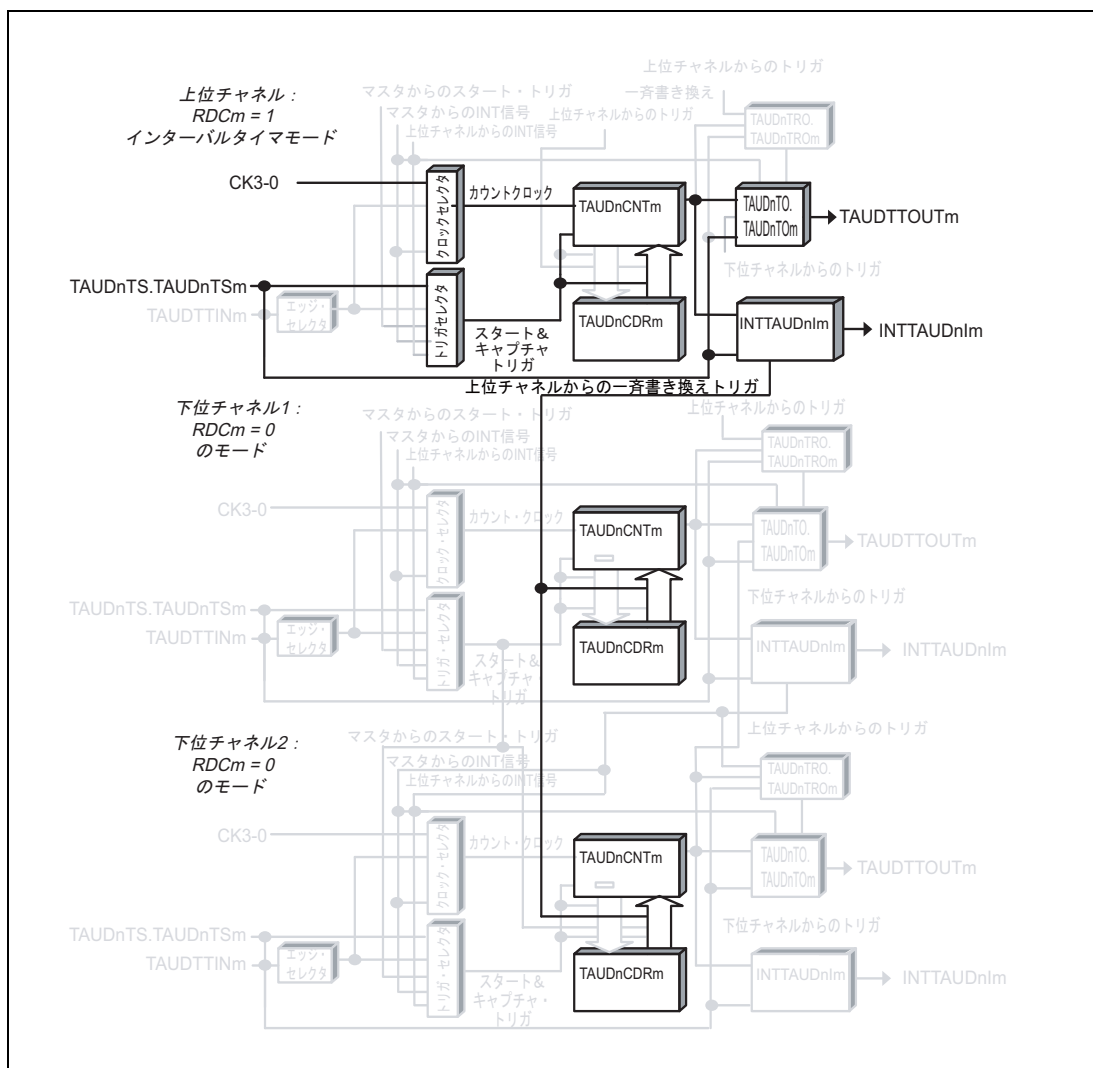


図 25.86 一斉書き換えトリガ生成機能タイプ1のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する ($TAUDnCMORm.TAUDnMD0 = 1$)

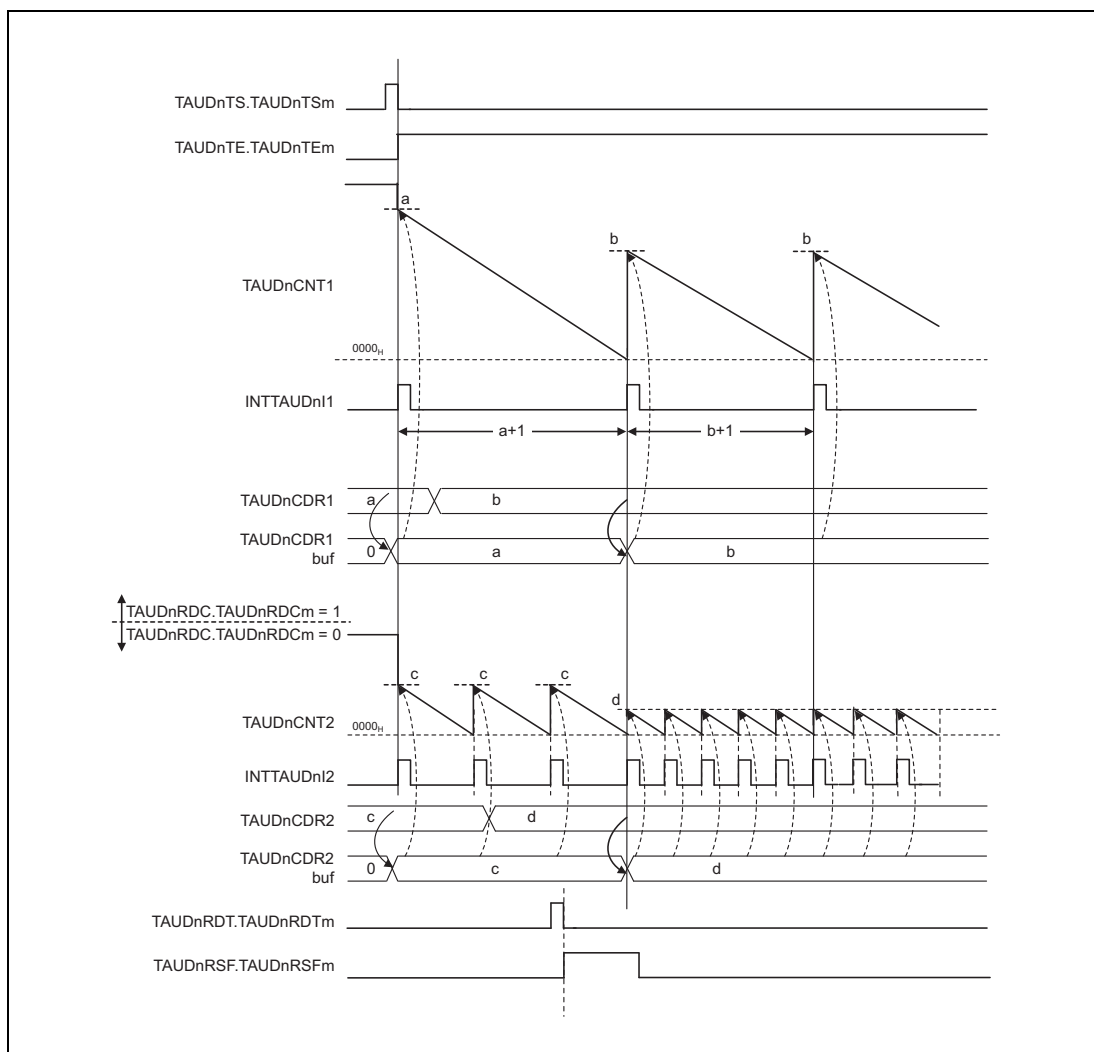


図 25.87 一斉書き換えトリガ生成機能タイプ1の基本タイミング図

25.14.1.4 上位チャネルのレジスタ設定

(1) 上位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.130 一斉書き換えトリガ生成機能タイプ1の上位チャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) 上位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.131 一斉書き換えトリガ生成機能タイプ1の上位チャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) 上位チャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEmに“0”を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(4) 上位チャネルの一斉書き換え

表 25.132 一斉書き換えトリガ生成機能タイプ1時の上位チャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	1: 上位の1チャネルを一斉書き換えの制御チャネルとして選択
TAUDnRDM.TAUDnRDMm	0: マスタチャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUDnRDC.TAUDnRDCm	1: チャネルで一斉書き換えるトリガとなる INTTAUDnIm 信号をモニタ

25.14.1.5 下位チャネルのレジスタ設定**(1) 下位チャネルの TAUDnCMORm**

下位チャネルの TAUDnCMORm レジスタは、設定可能な動作モードの TAUDnCMORm レジスタ設定に従ってください（「表 25.47 チャネル機能と一斉書き換え方法」を参照してください）。

(2) 下位チャネルの TAUDnCMURm

下位チャネルの TAUDnCMURm レジスタは、設定可能な動作モードの TAUDnCMURm レジスタ設定に従ってください（「表 25.47 チャネル機能と一斉書き換え方法」を参照してください）。

(3) 下位チャネルのチャネル出力モード

下位チャネルの（マスタ、スレーブ）設定に従った出力が可能です。一斉書き換えトリガ生成機能タイプ1が使用可能な機能については、「表 25.46 一斉書き換え方法とトリガタイミング」を参照してください。

(4) 下位チャネルの一斉書き換え

表 25.133 一斉書き換えトリガ生成機能タイプ1時の下位チャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	1: 上位の1チャネルを一斉書き換えの制御チャネルとして選択
TAUDnRDM.TAUDnRDMm	0: マスタチャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャネルとして動作しない

25.14.1.6 一斉書き換えトリガ生成機能タイプ1の操作手順

表 25.134 一斉書き換えトリガ生成機能タイプ1の操作手順

	操作	TAUDnの状態
動作再開	初期設定 上位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「表 25.130 一斉書き換えトリガ生成機能タイプ1の上位チャンネルの TAUDnCMORm レジスタの内容」と「表 25.131 一斉書き換えトリガ生成機能タイプ1の上位チャンネルの TAUDnCMURm レジスタの内容」に示すように設定します。 下位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「25.14.1.5 下位チャンネルのレジスタ設定」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。TAUDnCMORm.TAUDnMD0 = 1 の場合、INTTAUDnIm が発生します。
	動作中 TAUDnRDT.TAUDnRDTm、TAUDnCDRm.TAUDnCDR は変更可能です。TAUDnRSF.TAUDnRSFm は常に読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> 再び TAUDnCDRm の値を TAUDnCNTm にロードし、カウント動作を継続します。 INTTAUDnIm が発生します。 TAUDnRDC.TAUDnRDCm が“1”に設定されているチャンネルで INTTAUDnIm が発生すると、一斉書き換えが制御されます。以降、この動作を繰り返します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm は現在値を保持します。

25.14.2 一斉書き換えトリガ生成機能タイプ2

25.14.2.1 概要

概要

下位チャンネルが一斉書き換えトリガとして使用できる割り込みを、特定チャンネル上で発生する機能です。この機能の開始時、または有効な TAUDTTINm 入力エッジが検出されると、割り込みが発生します。

上位チャンネルは一斉書き換えトリガを生成するチャンネル (TAUDnRDC.TAUDnRDCm = 1)、下位チャンネルは上位チャンネルのトリガを受けて一斉書き換えを行うチャンネル (TAUDnRDC.TAUDnRDCm = 0) です。

前提条件

- 上位チャンネルとして使用するチャンネルより下位の2チャンネル以上で、それぞれ一斉書き換えが許可されている (TAUDnRDE.TAUDnRDEm = 1)。
- 上位チャンネルの動作モードは、キャプチャモードに設定する必要があります (「表 25.135 一斉書き換えトリガ生成機能タイプ2の上位チャンネルの TAUDnCMORm レジスタの内容」参照)。
- 下位チャンネルに設定可能な動作モードは、「表 25.47 チャンネル機能と一斉書き換え方法」を参照してください。

機能説明

上位チャンネル、下位チャンネルのチャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。上位チャンネルのカウンタがアップカウントを開始し、下位チャンネルのカウンタは選択されている動作モードにしたがってカウントを開始します。

上位チャンネルで有効な TAUDTTINm 入力エッジが発生すると、割り込みが発生し、下位チャンネルでトリガ検出による割り込みが発生します。

上位チャンネルで TAUDnRDC.TAUDnRDCm = 1 の場合、一斉書き換えが可能な状態 (TAUDnRSF.TAUDnRSFm = 1) にあるすべての下位チャンネルで一斉書き換えが行われます。

データレジスタの値は対応するデータレジスタバッファにコピーされます。

データレジスタの値は任意のタイミングで変更可能ですが、一斉書き換え実行時には対応するデータレジスタバッファに転送されるのみです。

条件

- INTTAUDnIm の発生を検出するチャンネルは、該当チャンネルに TAUDnRDC.TAUDnRDCm = 1 を設定することにより指定します。一斉書き換えを行う必要のあるその他すべてのチャンネルは、TAUDnRDC.TAUDnRDCm ビットを“0”に設定しておく必要があります。
- TAUDnCMORm.TAUDnMD0 ビットを“1”に設定した場合、動作開始時に割り込みが発生します。詳細は「25.9 カウント開始/リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成」を参照してください。

25.14.2.2 ブロック図と基本タイミング図

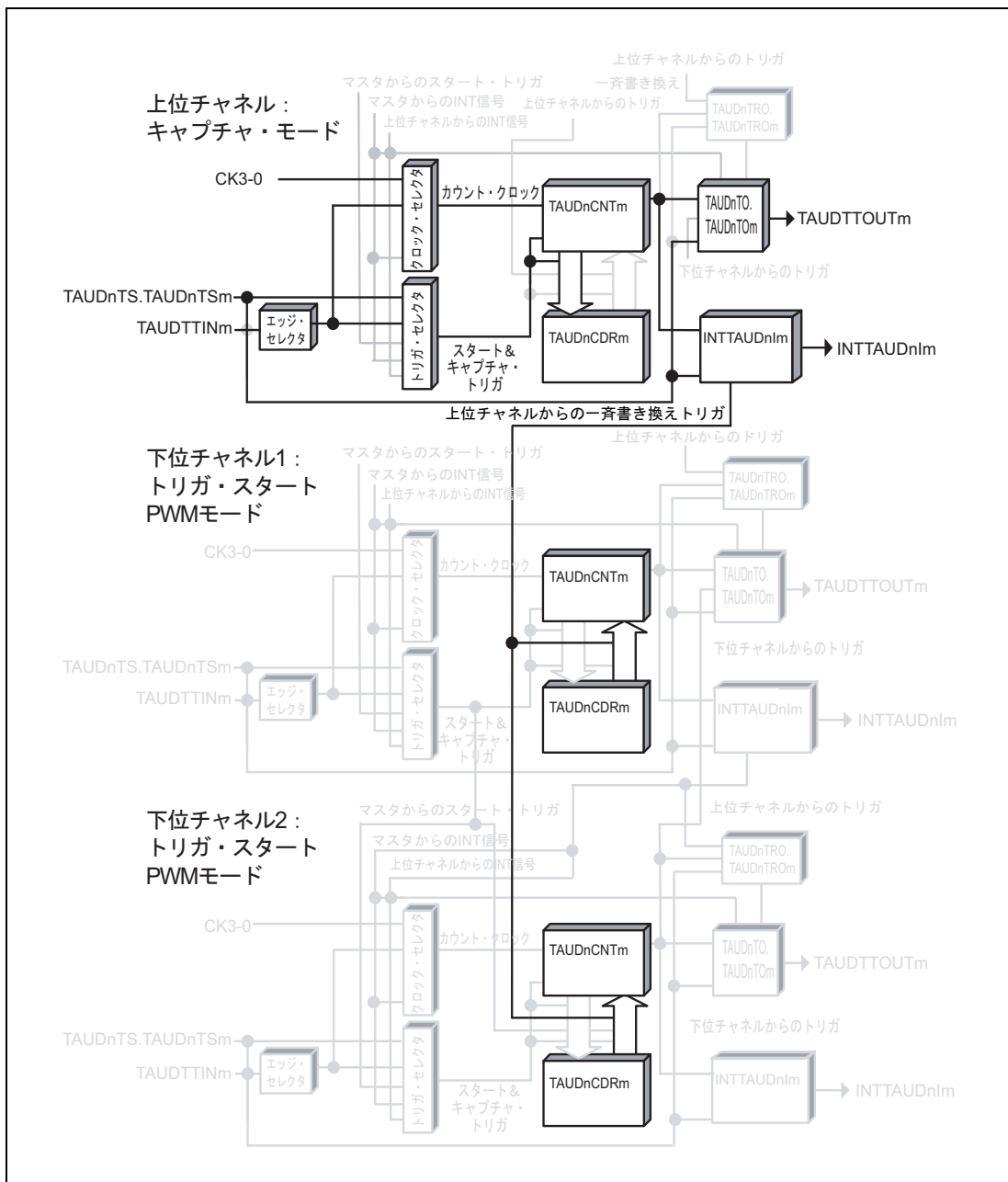


図 25.88 一斉書き換えトリガ生成機能タイプ2のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)
- 上位チャネル (CH1) が一斉書き換えトリガを生成

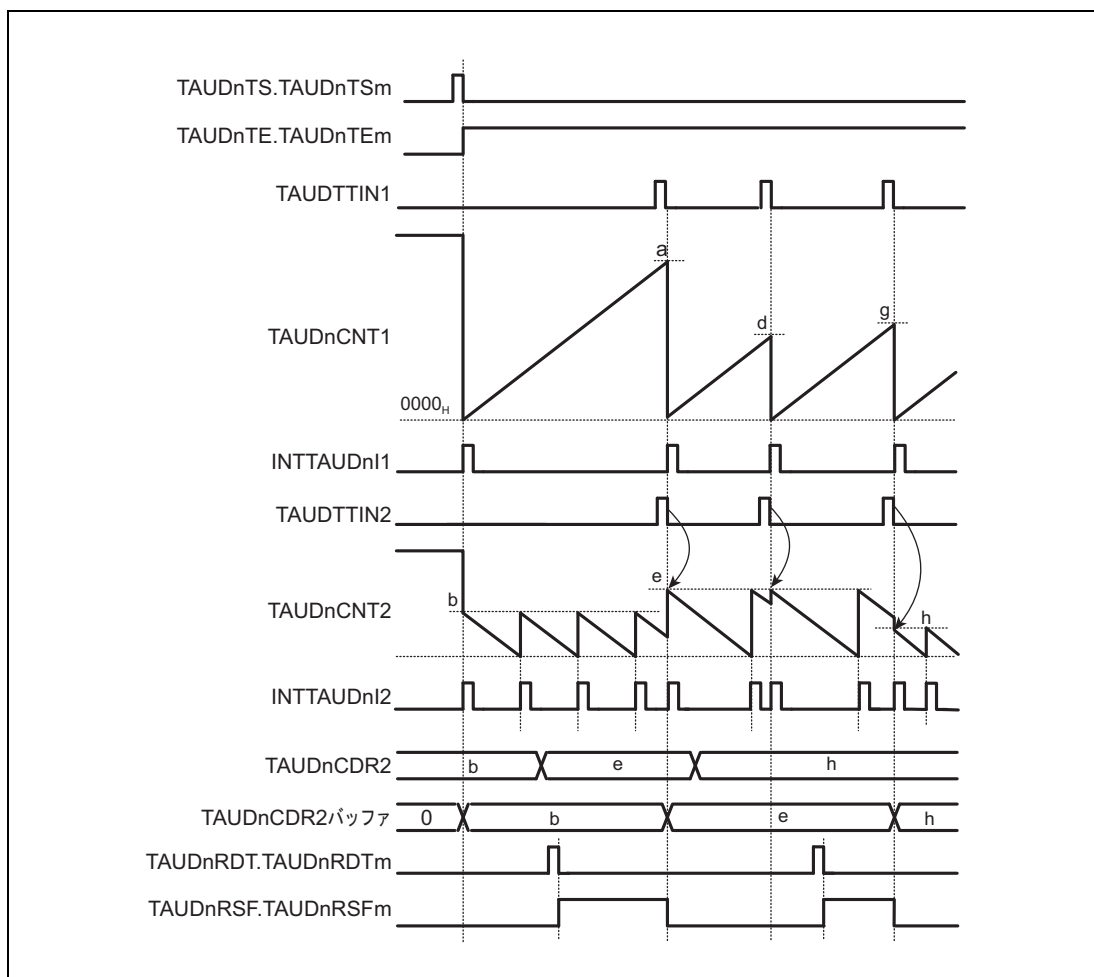


図 25.89 一斉書き換えトリガ生成機能タイプ2の基本タイミング図

25.14.2.3 上位チャネルのレジスタ設定

(1) 上位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.135 一斉書き換えトリガ生成機能タイプ2の上位チャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	001：TAUDTTINm 入力信号の有効エッジを外部キャプチャトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0010：キャプチャモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) 上位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R/W	R/W

表 25.136 一斉書き換えトリガ生成機能タイプ2の上位チャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出 11：設定禁止

(3) 上位チャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しません。

(4) 上位チャンネルの一斉書き換え

表 25.137 一斉書き換えトリガ生成機能タイプ2の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	1: 上位の1チャンネルを一斉書き換えの制御チャンネルとして選択
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUDnRDC.TAUDnRDCm	1: チャンネルで一斉書き換えのトリガとなる INTTAUDnIm 信号をモニタ

25.14.2.4 下位チャンネルのレジスタ設定

(1) 下位チャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.138 一斉書き換えトリガ生成機能タイプ2の下位チャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャンネルはマスタチャンネル
10～8	TAUDnSTS [2:0]	001：有効な TAUDTTInm 入力エッジ信号をスタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイムモード
0	TAUDnMD0	1：動作開始時に INTTAUDnim が発生する

(2) 下位チャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.139 一斉書き換えトリガ生成機能タイプ2の下位チャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出 11：設定禁止

(3) 下位チャネルのチャネル出力モード

トリガスタート PWM モード設定にしたがった出力が可能です。

(4) 下位チャネルの一斉書き換え

表 25.140 一斉書き換えトリガ生成機能タイプ 2 時の下位チャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	1: 上位の 1 チャネルを一斉書き換えの制御チャネルとして選択
TAUDnRDM.TAUDnRDMm	0: マスタチャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャネルとして動作しない

25.14.2.5 一斉書き換えトリガ生成機能タイプ 2 の操作手順

表 25.141 一斉書き換えトリガ生成機能タイプ 2 の操作手順

	操作	TAUDn の状態
動作再開 ↓	初期設定 チャネルの初期設定 上位チャネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「表 25.135 一斉書き換えトリガ生成機能タイプ 2 の上位チャネルの TAUDnCMORm レジスタの内容」と「表 25.136 一斉書き換えトリガ生成機能タイプ 2 の上位チャネルの TAUDnCMURm レジスタの内容」に示すように設定します。 下位チャネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「表 25.138 一斉書き換えトリガ生成機能タイプ 2 の下位チャネルの TAUDnCMORm レジスタの内容」と「表 25.139 一斉書き換えトリガ生成機能タイプ 2 の下位チャネルの TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を "1" に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に "0" にクリアされます。	TAUDnTE.TAUDnTEm が "1" に設定され、カウントが開始されます。 TAUDnCNTm が 0000 _H にクリアされます。 TAUDnCMORm.TAUDnMD0 が "1" の場合は、INTTAUDnIm が発生します。
	動作中 TAUDnRDT.TAUDnRDTm は任意のタイミングで設定可能です。 TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。	TAUDnCNTm は、0000 _H からアップカウントを開始します。TAUDTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUDnCNTm が自身の値を TAUDnCDRm に転送（キャプチャ）して、0000_H に戻ります。 INTTAUDnIm が発生します。 TAUDnRDC.TAUDnRDCm が "1" に設定されているチャネルで INTTAUDnIm が発生すると、一斉書き換えが制御されます。以降、この動作を繰り返します。
	動作停止 TAUDnTT.TAUDnTTm を "1" に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に "0" にクリアされます。	TAUDnTE.TAUDnTEm が "0" にクリアされ、カウント動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm は現在値を保持します。

25.15 チャネル連動動作機能

この節では、TAUDのチャネル連動動作の全機能について説明します。チャネル連動動作の概要については、「25.2 概要」を参照してください。

この節では、一定間隔でPWM信号を発生させる機能について述べます。

25.15.1 PWM出力機能

25.15.1.1 概要

概要

マスタチャネルと複数のスレーブチャネルを使用することで、複数のPWM出力を生成する機能です。これにより、TAUDTTOUTmのパルス周期（周波数）とデューティを設定できます。パルス周期はマスタチャネルで設定します。デューティはスレーブチャネルで設定します。

前提条件

- 2チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 25.142 PWM出力機能のマスタチャネルのTAUDnCMORmレジスタの内容」参照）。
- スレーブチャネルの動作モードは、ワンカウントモードに設定する必要があります（「表 25.145 PWM出力機能のスレーブチャネルのTAUDnCMORmレジスタの内容」参照）。
- この機能では、マスタチャネルでTAUDTTOUTmは使用しません。
- スレーブチャネルのチャネル出力モードは、チャネル連動出力モード1に設定する必要があります（「25.7 チャネル出力モード」参照）。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が許可されます。これによりTAUDnTE.TAUDnTEm=1となり、カウンタが可能になります。TAUDnCDRmの現在値がTAUDnCNTmにロードされ、カウンタはそのTAUDnCDRm値からダウンカウントを開始します。マスタチャネルでINTTAUDnImが発生し、TAUDTTOUTm（スレーブ）がセット、リセットされることによりPWM出力を実現しています。

- マスタチャネル：
マスタチャネルのカウンタ値が0000_Hになりパルス周期時間が経過すると、INTTAUDnImが発生します。TAUDnCDRm値をTAUDnCNTmにロードし、ダウンカウントを行います。
- スレーブチャネル：
マスタチャネルでINTTAUDnImが発生すると、スレーブチャネルのカウンタ動作がトリガされます。TAUDnCDRm（スレーブ）の現在値がTAUDnCNTm（スレーブ）にロードされ、カウンタはそのTAUDnCDRm値からダウンカウントを開始します。TAUDTTOUTm信号がアクティブレベルに設定されます。
カウンタ値が0000_Hになると（デューティ時間が経過すると）INTTAUDnImが発生し、TAUDTTOUTm信号がインアクティブレベルに設定されます。カウンタはFFFF_Hに戻

り、マスタチャンネルの次の INTTAUDnIm (次のパルス周期の開始) を待ちます。

マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSM を“1”に設定すると、カウントを再開できます。

条件

この機能では一斉書き換えを行うことができます。「25.6 一斉書き換え」を参照してください。

25.15.1.2 算出式

パルス周期 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

デューティサイクル [%] = (TAUDnCDRm (スレーブ) / (TAUDnCDRm (マスタ) + 1)) × 100

– デューティサイクル = 0%

TAUDnCDRm (スレーブ) = 0000_H

– デューティサイクル = 100%

TAUDnCDRm (スレーブ) ≥ TAUDnCDRm (マスタ) + 1

25.15.1.3 ブロック図と基本タイミング図

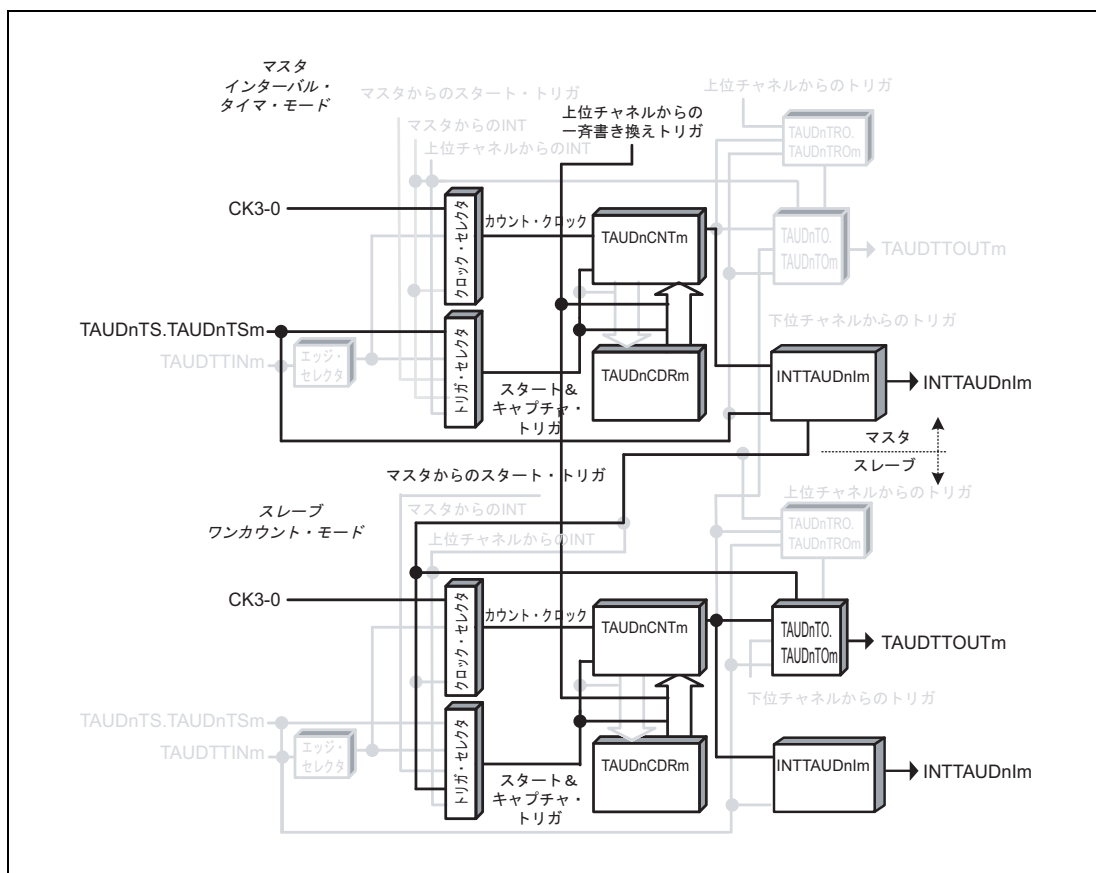


図 25.90 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャンネル：正論理 (TAUDnTOL.TAUDnTOLm = 0)

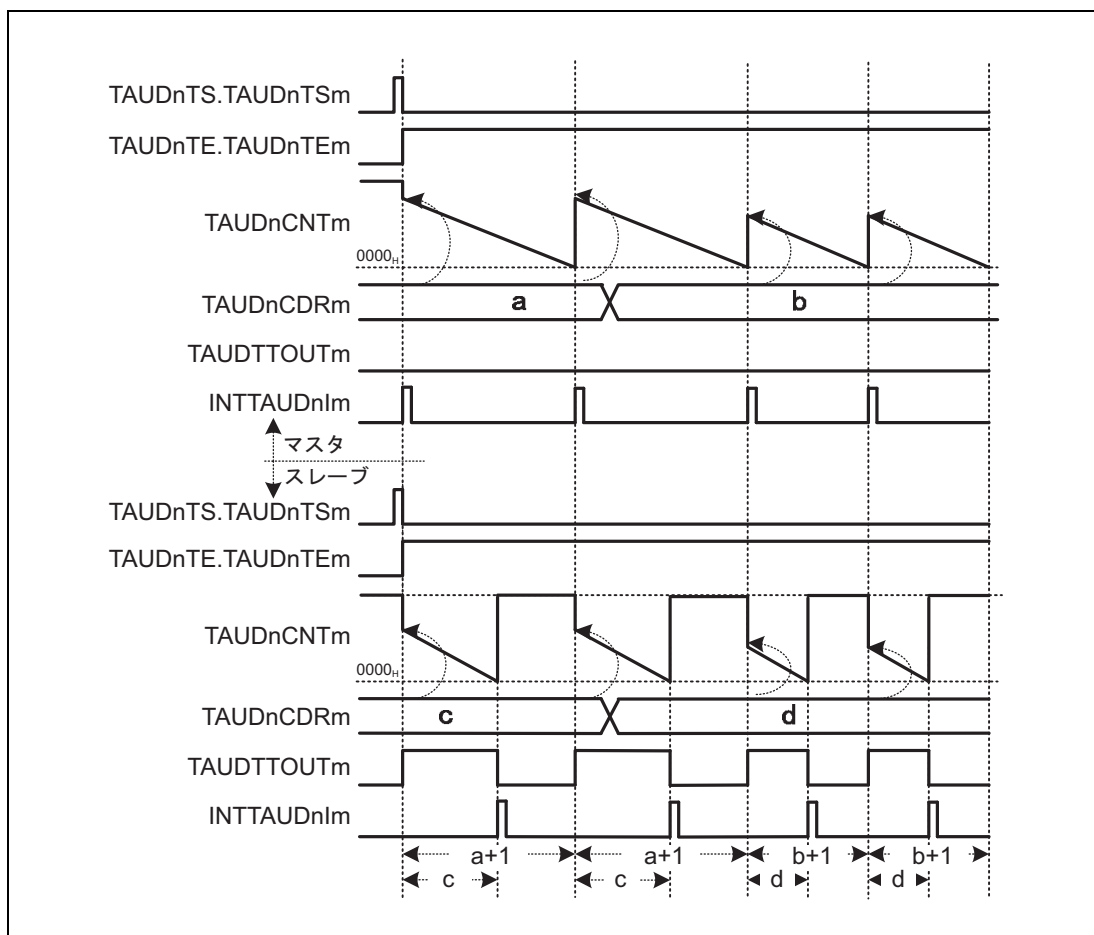


図 25.91 PWM 出力機能の基本タイミング図

備考

- カウント開始から割り込み発生までの間隔は対応する TAUDnCDRm+1 の値になります。
- スレーブチャンネルの TAUDTTOUTm は、マスターチャンネルの INTTAUDnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

25.15.1.4 マスタチャンネルのレジスタ設定

(1) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.142 PWM 出力機能のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャンネルはマスタチャンネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	1：動作開始時に INTTAUDnIm が発生する

(2) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.143 PWM 出力機能のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しません。

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.144 PWM 出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

備 考

TAUDnRDS.TAUDnRDSm ビット=1 で使用する場合、マスタチャンネルの上に「**25.14.1 一斉書き換えトリガ生成機能タイプ1**」で動作するチャンネルが必要になります。

また、下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ1 設定チャンネル: TAUDnRDCm = 1、
TAUDnRDSm = 1
また、本チャンネルの TAUDnCDRm 設定値は下記となります。
= ((一斉書き換え対象のマスタチャンネルの TAUDnCDRm 設定値 + 1) × 割り込み回数) - 1
- マスタチャンネル: TAUDnRDCm = 0、TAUDnRDSm = 1
- スレーブチャンネル: TAUDnRDCm = 0、TAUDnRDSm = 1

TAUDnCDRm (スレーブ) の設定値 > TAUDnCDRm (マスタ) の設定値 + 1 の場合は、Duty 値が 100% を超えることになるが、集約し 100% 出力とする。

25.15.1.5 スレーブチャンネルのレジスタ設定

(1) スレーブチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.145 PWM 出力機能のスレーブチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	100：マスタチャンネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガが有効

(2) スレーブチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.146 PWM 出力機能のスレーブチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネルのチャンネル出力モード

表 25.147 チャンネル連動出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	0: 動作モード1
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROM	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0: 変調禁止

(4) スレーブチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.148 PWM 出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

25.15.1.6 PWM 出力機能の操作手順

表 25.149 PWM 出力機能時の操作手順

	操作	TAUDn の状態
動作再開	初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が "1" に設定され、マスタ/スレーブチャンネルのカウンタが動作を開始します。マスタチャンネルで INTTAUDnIm が発生し、TAUDTTOUTm (スレーブ) が設定されます。
	動作中	マスタチャンネルの TAUDnCNTm は TAUDnCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 TAUDnCDRm 値を TAUDnCNTm (マスタ) にロードし、カウント動作を継続します。 TAUDnCDRm 値を TAUDnCNTm (スレーブ) にロードし、ダウンカウントを行います。 TAUDTTOUTm (スレーブ) がアクティブレベルに設定されます。 TAUDnCNTm (スレーブ) が 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (スレーブ) が発生します。 TAUDTTOUTm (スレーブ) がインアクティブレベルに設定されます。また、スレーブチャンネルのカウント動作が停止します。
	動作停止	TAUDnTE.TAUDnTEm が "0" にクリアされ、カウンタ動作が停止します。TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

25.15.1.7 特定の設定時のタイミング図

(1) デューティサイクル = 0%

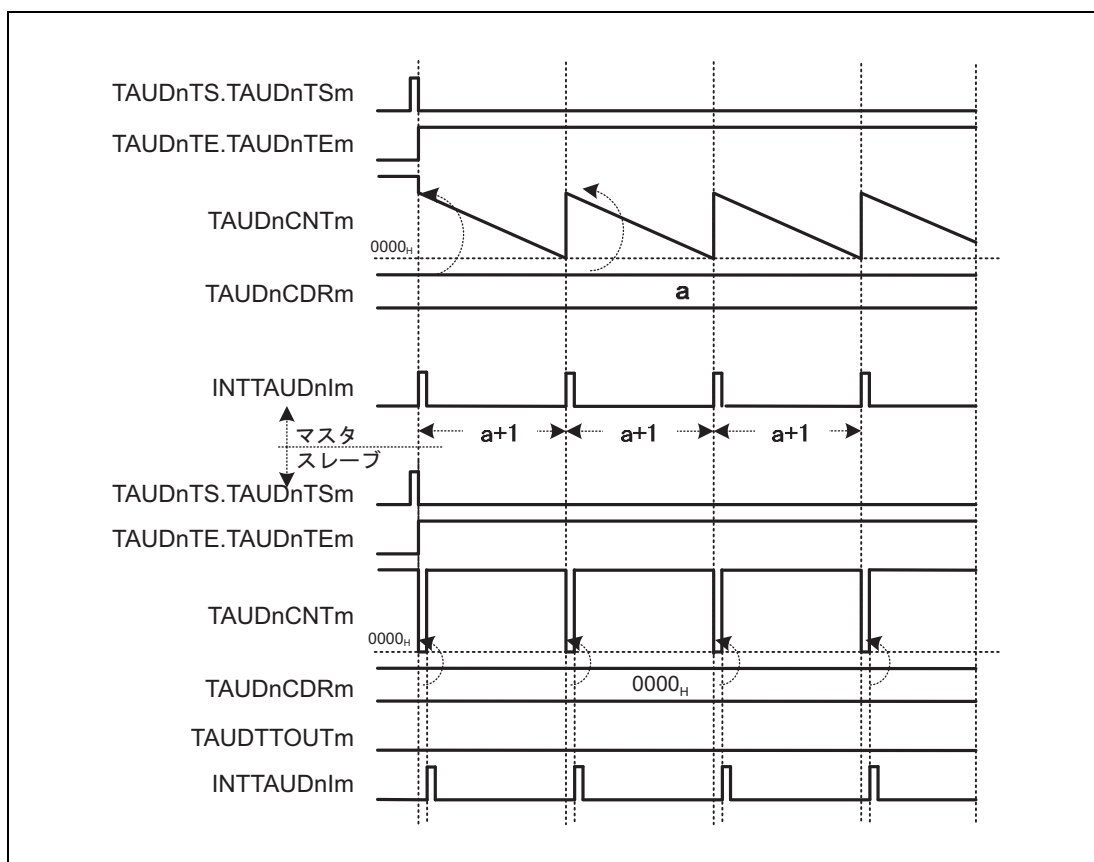


図 25.92 TAUDnCDRm (スレーブ) = 0000_H 、
正論理 (TAUDnTOL.TAUDnTOLm (スレーブ) = 0)

- マスタチャンネルで割り込み (INTTAUDnIm) が発生するたびに、TAUDnCNTm (スレーブ) に 0000_H がロードされます。したがって、スレーブチャンネルの割り込み (INTTAUDnIm) が同時発生し、TAUDTTOUTm はアクティブでない状態のままとなります。
- TAUDnCDRm 値を TAUDnCNTm (スレーブ) にロードし、割り込みを発生させます。

(2) デューティサイクル = 100%

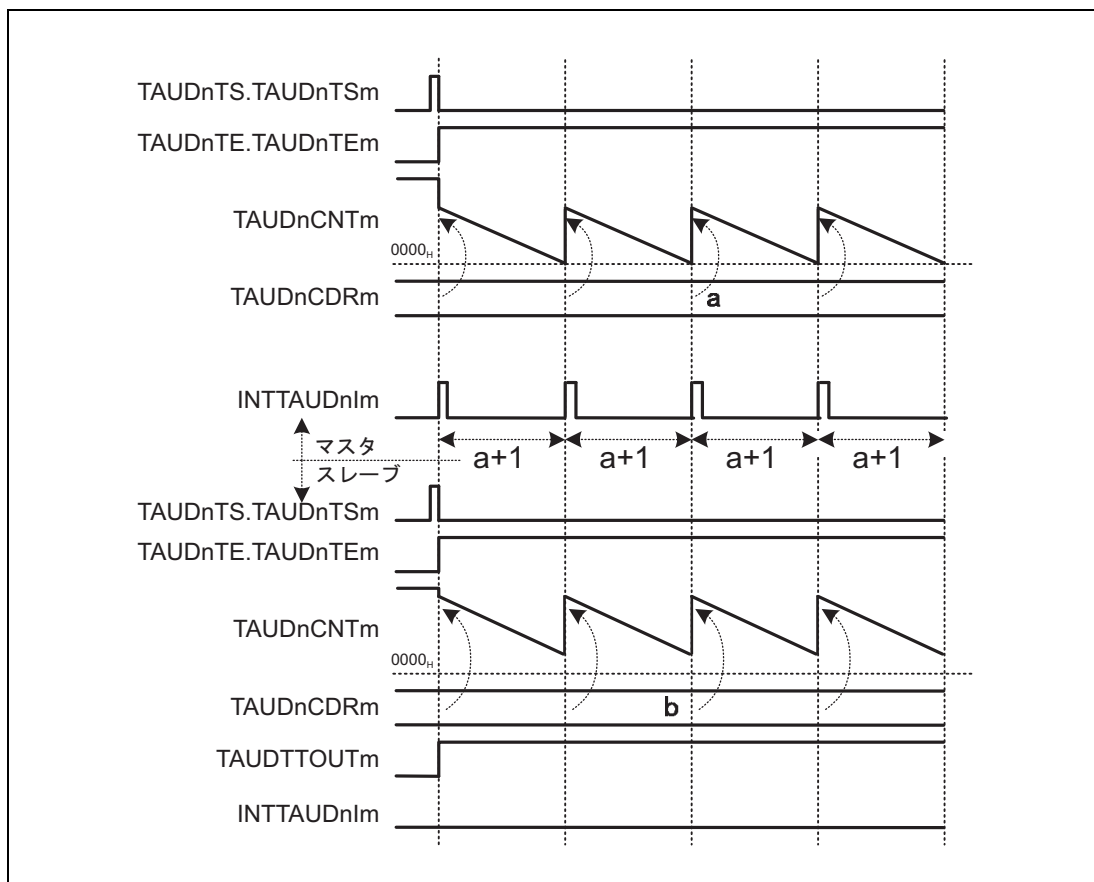


図 25.93 $TAUDnCDRm$ (スレーブ) $\geq TAUDnCDRm$ (マスタ) + 1
 正論理 ($TAUDnTOL.TAUDnTOLm$ (スレーブ) = 0)

- $TAUDnCDRm$ (スレーブ) 値が $TAUDnCDRm$ (マスタ) 値よりも大きい場合、スレーブチャンネルのカウンタは 0000_H にならないため、割り込みが発生しません。
 $TAUDTTOUTm$ はアクティブ状態のままになります。

(3) 動作の停止と再開

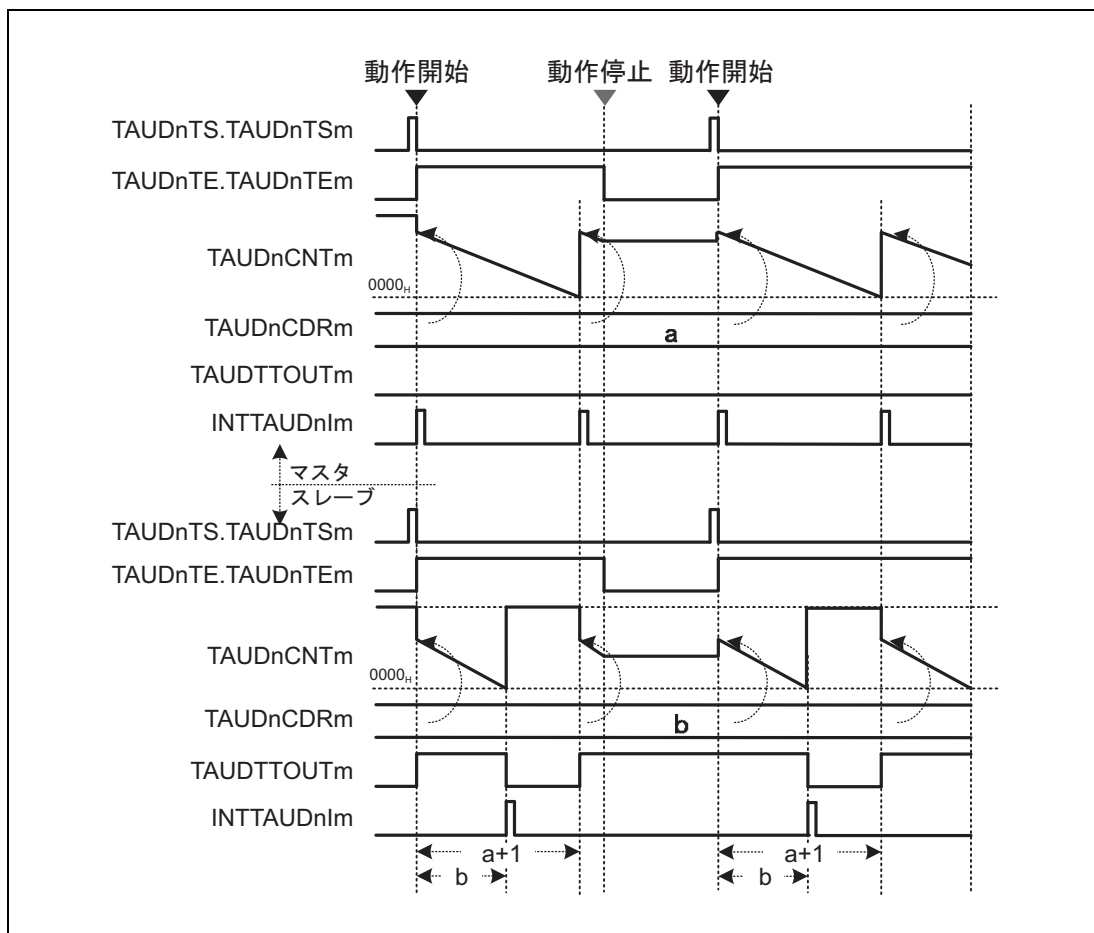


図 25.94 動作の停止と再開
正論理 (TAUDnTOL.TAUDnTOLm (スレーブ) = 0)

- マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。
- 全チャンネルの TAUDnCNTm と TAUDTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ/スレーブチャンネルの TAUDnTS.TAUDnTSM を“1”に設定すると、カウンタ動作を再開できます。マスタ/スレーブチャンネルの TAUDnCDRm 値を TAUDnCNTm にロードし、この値からダウンカウントを開始します。

25.15.2 ワンショットパルス出力機能

25.15.2.1 概要

概要

マスタチャンネルとスレーブチャンネルを使って外部入力信号パルスとの比較で定義されているパルス幅と遅延時間で信号パルスを出力する機能です。遅延時間はマスタチャンネルで設定します。パルス幅はスレーブチャンネルで設定します。

前提条件

- 2チャンネル
- マスタチャンネルの動作モードは、ワンカウントモードに設定する必要があります（「表 25.150 ワンショットパルス出力機能のマスタチャンネルの TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネルの動作モードは、パルスワンカウントモードに設定する必要があります（「表 25.153 ワンショットパルス出力機能のスレーブチャンネルの TAUDnCMORm レジスタの内容」参照）。
- この機能では、マスタチャンネルで TAUDTTOUTm は使用しません。
- スレーブチャンネルのチャンネル出力モードは、チャンネル単体出力モード2に設定する必要があります（「25.7 チャンネル出力モード」参照）。
- TAUDTTINm（マスタ）は、TAUDnCNTm（マスタ）と TAUDnCNTm（スレーブ）がトリガを待っている間に検出されなければなりません。また、スレーブはマスタチャンネルからの割り込みでのみトリガされ、TAUDTTINm（スレーブ）ではトリガされません。

機能説明

マスタチャンネル、スレーブチャンネルのチャンネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。

- マスタチャンネル：
次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCDRm の現在値が TAUDnCNTm にロードされます。カウンタは、この TAUDnCDRm 値からダウンカウントを開始します。TAUDnCMORm.TAUDnMD0 = 0 の場合、遅延時間内に検出されたトリガ（TAUDTTINm）は無視されます。
マスタチャンネルのカウンタが 0000_H になると、INTTAUDnIm が発生します。カウンタは FFFF_H に戻り、次の有効な TAUDTTINm 入力エッジを待ちます。
- スレーブチャンネル：
マスタチャンネルで INTTAUDnIm が発生すると、スレーブチャンネルのカウンタ動作がトリガされます。TAUDnCDRm（スレーブ）の現在値が TAUDnCNTm（スレーブ）にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。割り込みが発生し、TAUDTTOUTm 信号がセットされます。
カウンタ値が 0001_H になると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がリセットされます。カウンタは 0000_H で停止し、マスタチャンネルの次の INTTAUDnIm を待ちます。

マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。

カウント中に TAUDnTS.TAUDnTSm を“1”に設定すると、いったん停止しなくてもマスタチャンネルのカウントを再開できます (強制リスタート)。

条件

- マスタチャンネルの TAUDnCMORm.TAUDnMD0 が“0”に設定されている場合、カウント中に検出された TAUDTTINm 入力エッジは無視されます。
- この機能では一斉書き換えを行うことができます。「25.6 一斉書き換え」を参照してください。

25.15.2.2 算出式

トリガ入力からパルス出力までの遅延時間

$$= (\text{TAUDnCDRm (マスタ)} + 1) \times \text{カウントクロック周期}$$

パルス幅 = (TAUDnCDRm (スレーブ)) × カウントクロック周期

25.15.2.3 ブロック図と基本タイミング図

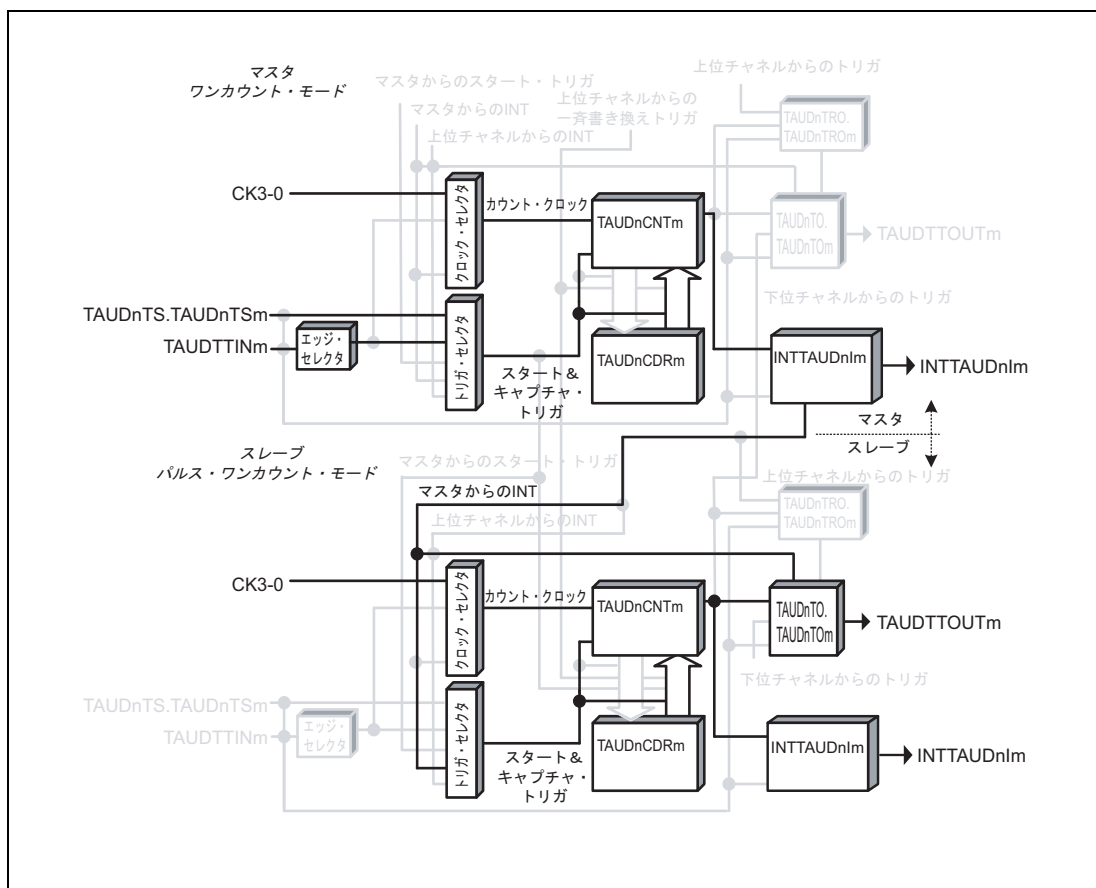


図 25.95 ワンショットパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- カウント中のスタートトリガ検出は禁止 (TAUDnCMORm.TAUDnMD0 = 0)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

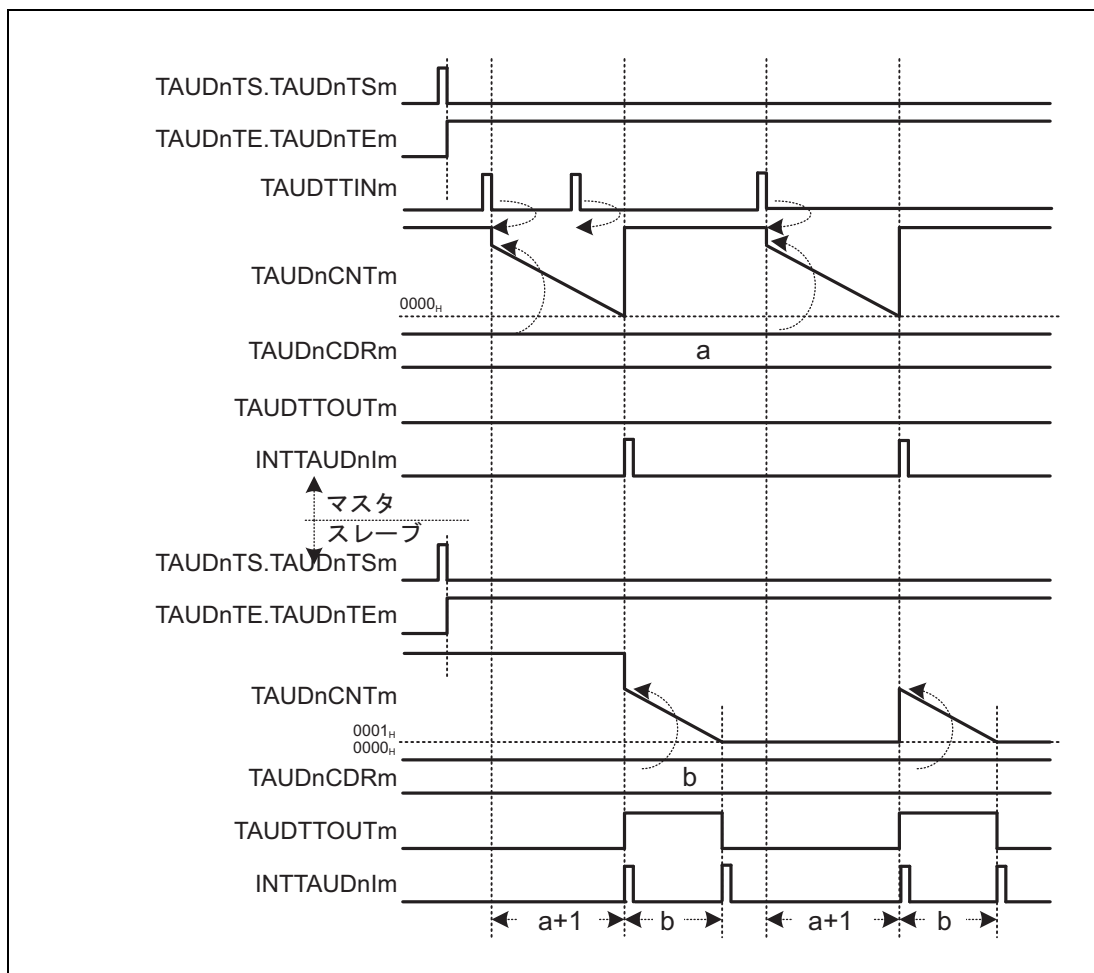


図 25.96 ワンショットパルス出力機能の基本タイミング図

25.15.2.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.150 ワンショットパルス出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS [2:0]	001：有効な TAUDTTInm 入力エッジ信号をスタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	0：カウント中のスタートトリガ検出禁止 1：カウント中のスタートトリガ検出許可 マスタチャネルとスレーブチャネルの MD0 ビット値は同一である必要があります。

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.151 ワンショットパルス出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.152 ワンショットパルス出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1 : 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0 : マスタチャンネルが一斉書き換えの制御チャンネル
TAUDnRDM.TAUDnRDMm	0 : マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0 : 一斉書き換えトリガ生成チャンネルとして動作しない。

25.15.2.5 スレーブチャンネルのレジスタ設定

(1) スレーブチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.153 ワンショットパルス出力機能のスレーブチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKS [1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13, 12	TAUDnCCS [1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : チャンネルはスレーブチャンネル
10 ~ 8	TAUDnSTS [2:0]	100 : マスタチャンネルの INTTAUDnIm がスタートトリガ
7, 6	TAUDnCOS [1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUDnMD [4:1]	1010 : パルスワンカウントモード
0	TAUDnMD0	0 : カウント中のスタートトリガ検出禁止 1 : カウント中のスタートトリガ検出許可 マスタチャンネルとスレーブチャンネルの MD0 ビット値は同一である必要があります。

(2) スレーブチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.154 ワンショットパルス出力機能のスレーブチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(3) スレーブチャンネルのチャンネル出力モード

表 25.155 チャンネル単体出力モード2のときの制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	1: 動作モード2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0: 変調禁止

(4) スレーブチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.156 ワンショットパルス出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルが一斉書き換えの制御チャンネル
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

25.15.2.6 ワンショットパルス出力機能時の操作手順

表 25.157 ワンショットパルス出力機能時の操作手順

	操作	TAUDnの状態
動作再開	チャンネルの初期設定 マスタチャンネル：TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「25.15.2.4 マスタチャンネルのレジスタ設定」に示すように設定します。 スレーブチャンネル：TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「25.15.2.5 スレーブチャンネルのレジスタ設定」に示すように設定します。 全チャンネルの TAUDnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSm を同時に“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が“1”に設定され、マスタチャンネルは TAUDTTINm 入力を待ちます。
	動作中 TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更できません。	TAUDTTINm 入力の有効エッジを検出すると、マスタチャンネルの TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> • INTTAUDnIm (マスタ) が発生します。 • TAUDnCNTm (マスタ) は FFFF_H に戻り、次の有効な TAUDTTINm 入力エッジを待ちます。 • 再び TAUDnCDRm の値を TAUDnCNTm (スレーブ) にロードし、ダウンカウント動作を開始します。 • INTTAUDnIm (スレーブ) が発生します。 • TAUDTTOUTm (スレーブ) がアクティブレベルになります。 TAUDnCNTm (スレーブ) が 0001 _H になった場合： <ul style="list-style-type: none"> • INTTAUDnIm (スレーブ) が発生します。 • TAUDTTOUTm (スレーブ) がインアクティブレベルになります。また、スレーブチャンネルのカウント動作が停止します。
	動作停止 マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

25.15.2.7 特定のタイミング図

(1) TAUDnCDRm (マスタ) = 0000_H

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止 (TAUDnCMORm.TAUDnMD0 = 0)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

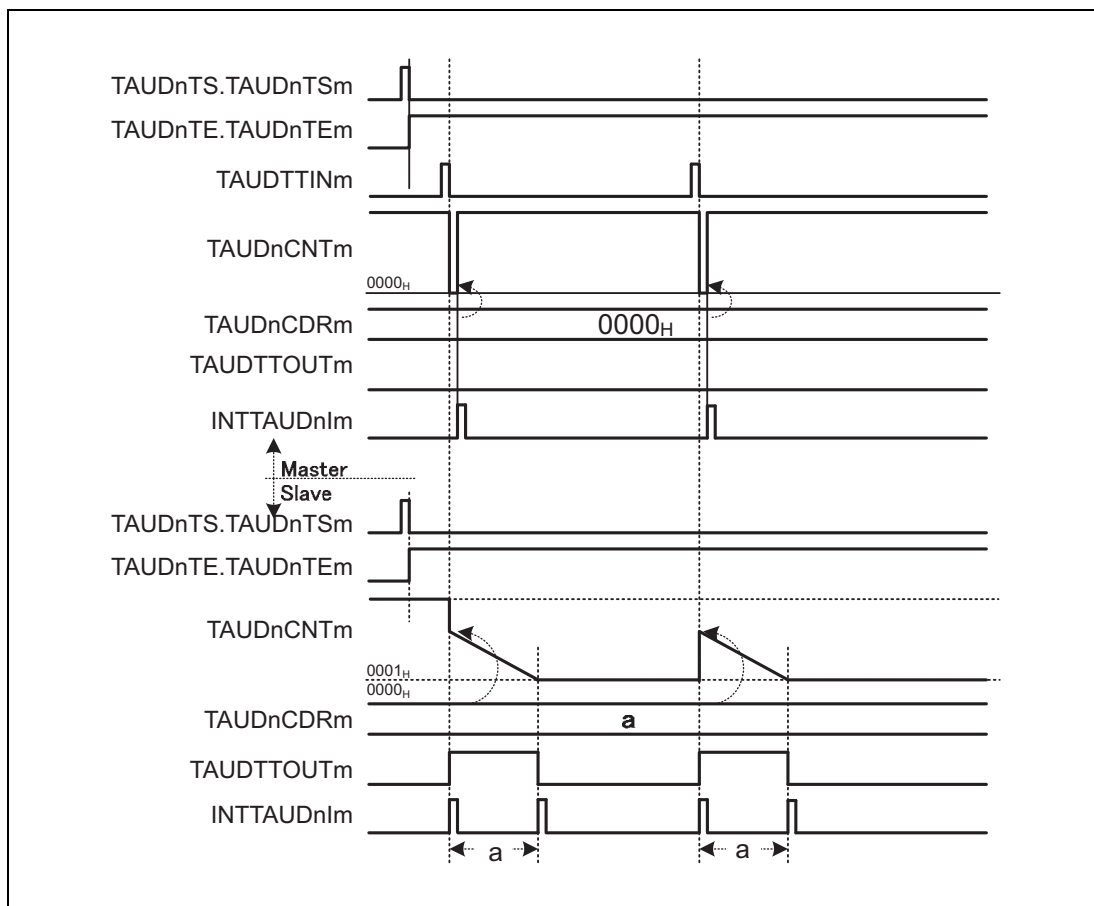


図 25.97 TAUDnCDRm (マスタ) = 0000_H

- 有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm (マスタ) に値 0000_H が書き込まれます。カウンタに 0000_H が設定されることにより、1 カウント行くと FFFF_H に戻ります。
したがって、スレーブチャンネルのカウンタは TAUDTTINm (マスタ) から 1 カウントクロック遅れて、ダウンカウントを開始します。

(2) TAUDnCDRm (スレーブ) = 0000_H

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止 (TAUDnCMORm.TAUDnMD0 = 0)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

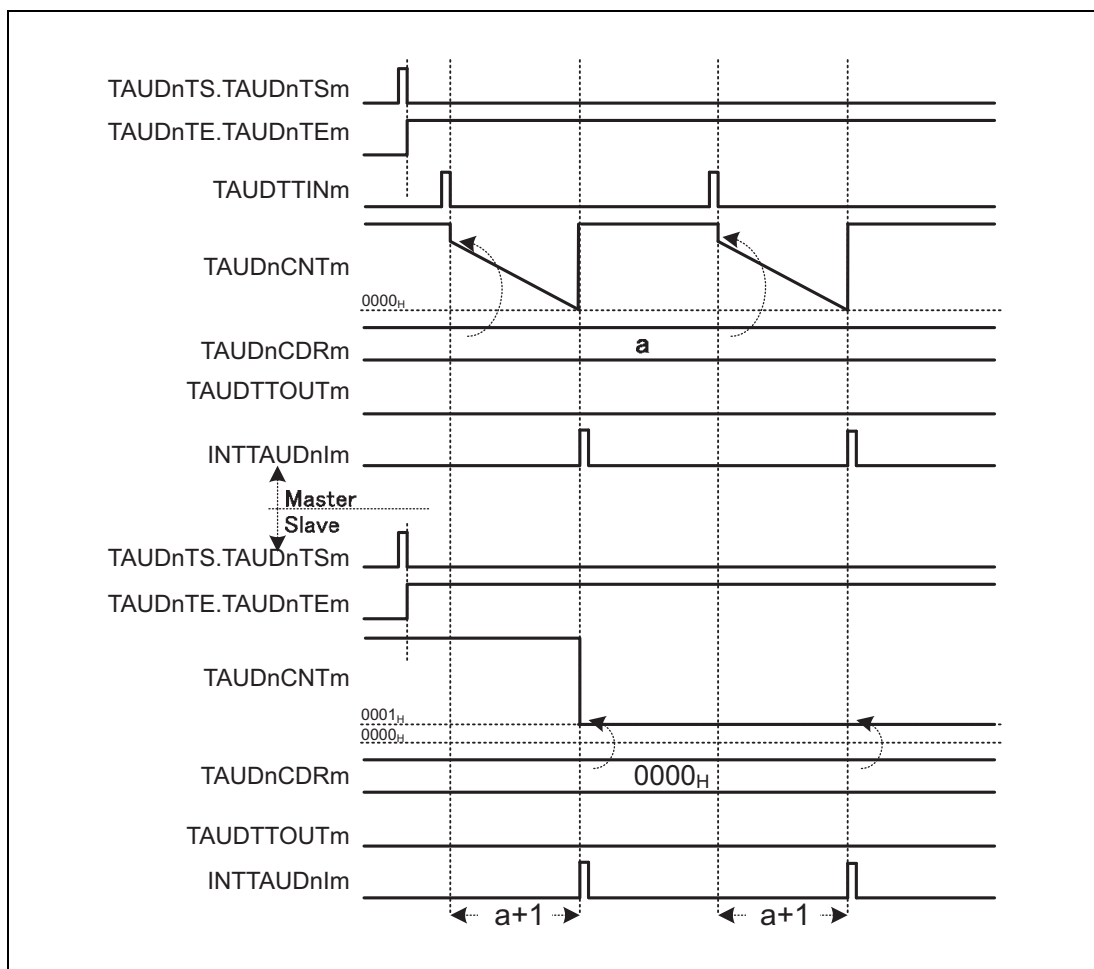


図 25.98 TAUDnCDRm (スレーブ) = 0000_H

- パルス幅が“0”のため、TAUDTTOUTm は非アクティブ状態のままです。

(3) TAUDnCMORm.TAUDnMD0 = 1

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出許可 (TAUDnCMORm.TAUDnMD0 = 1)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

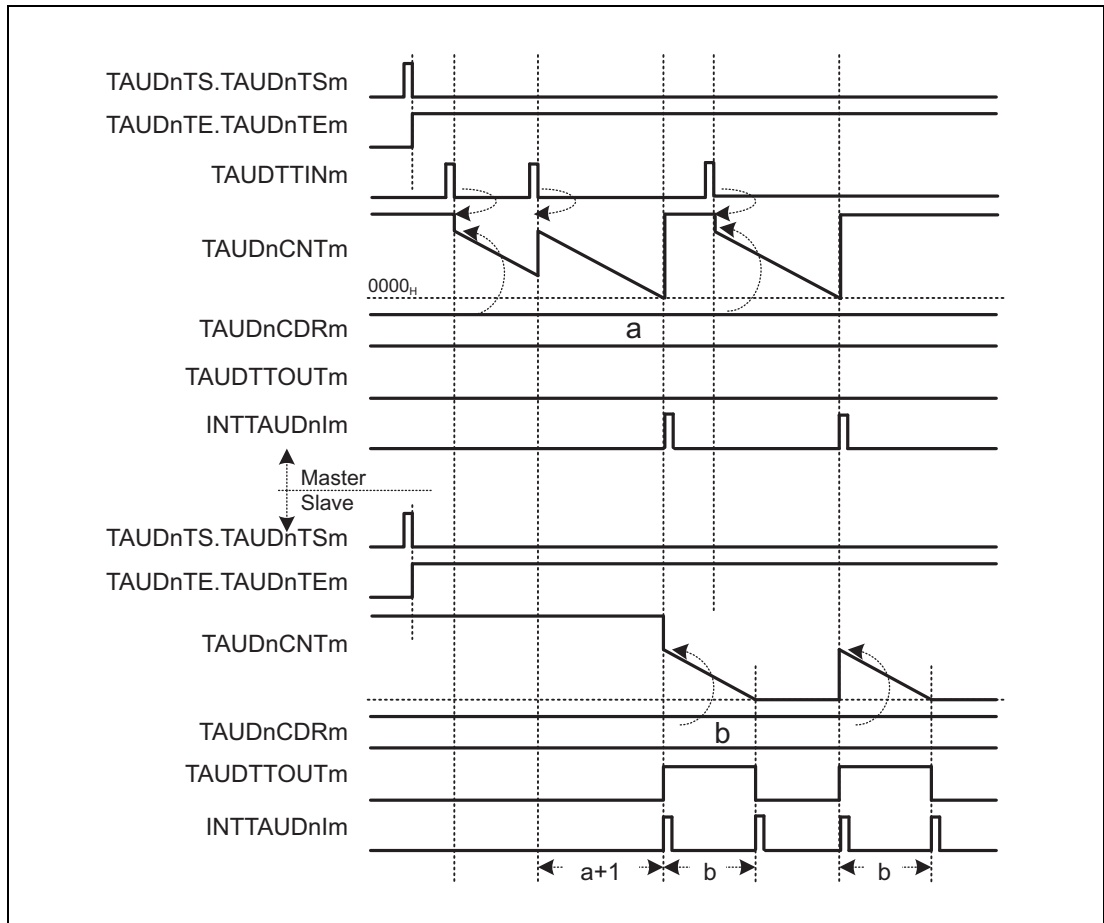


図 25.99 TAUDnCMORm.TAUDnMD0 = 1

- マスタチャネルのカウンタがダウンカウント中に TAUDTTINm 入力の有効エッジが検出されると、TAUDnCNTm は TAUDnCDRm の値をリロードします。カウンタはダウンカウントを再開します。
これは、TAUDTTINm 入力の有効エッジ検出時の TAUDnCNTm の値によってディレイが引き延ばされたことを意味します。

(4) スレーブチャンネルカウント中にマスタチャンネルがリスタート

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止 (TAUDnCMORm.TAUDnMD0 = 0)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

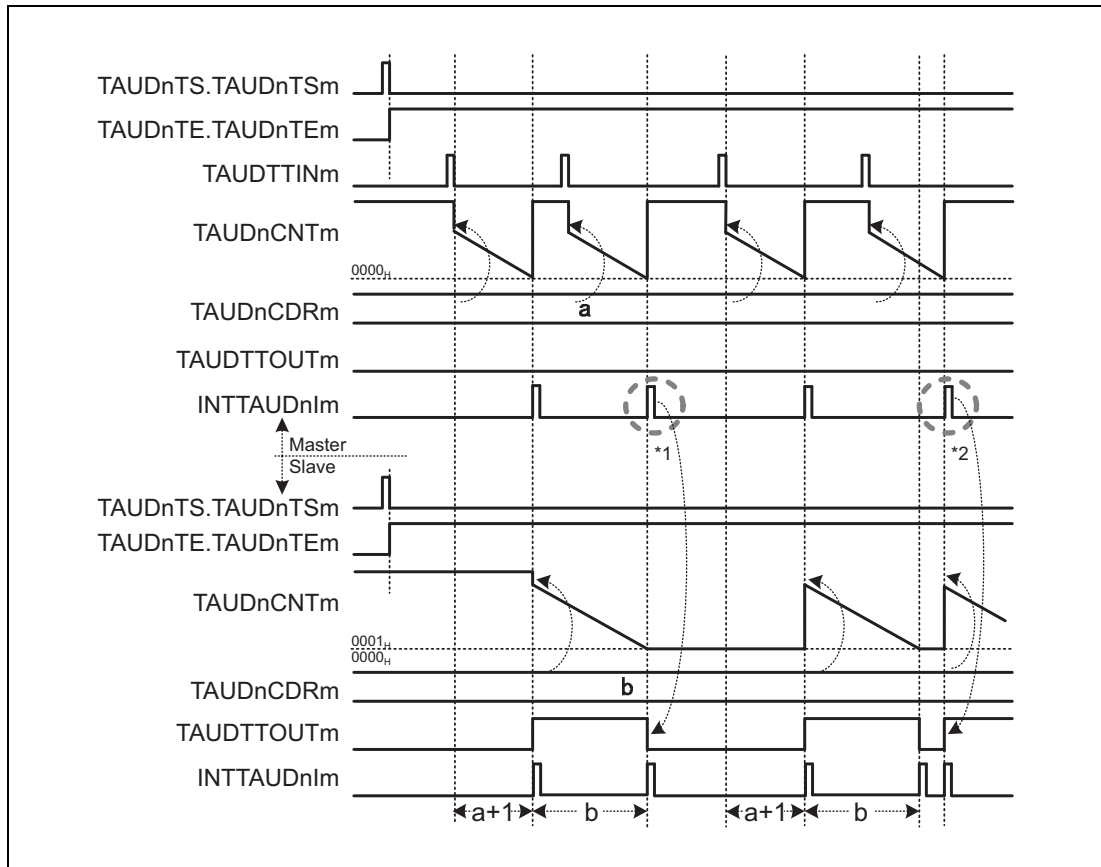


図 25.100 TAUDTTINm 入力間隔 ≤ デレイ時間 + パルス幅 + 1

- スレーブチャンネルのカウンタが 0001_H になる前またはちょうど 0001_H になったときにマスタチャンネルが割り込みを発生した場合 (*1) は、割り込み (マスタ) が無視されます。
- スレーブチャンネルのカウンタが次のトリガを待つ間にマスタチャンネルの割り込みが発生した場合は、TAUDnCDRm (スレーブ) の値がリロードされます。割り込みが発生し、TAUDTTOUTm がトグルされます。TAUDnCNTm (スレーブ) がカウント中に TAUDnCNTm (マスタ) がダウンカウントを開始した場合 (*2) は、TAUDTTOUTm は期待される遅延時間では出力されません。
- 正しいワンショットパルスを発生するには、マスタチャンネルとスレーブチャンネルがカウント中でなくスタートトリガ待ち状態のときにマスタチャンネルのスタートトリガが検出される必要があります。

25.15.3 トリガスタート PWM 出力機能

25.15.3.1 概要

概要

マスタチャンネルとスレーブチャンネルを1つずつ使用してPWM出力を生成する機能です。これにより、TAUDTTOUTm のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタチャンネルで設定します。デューティはスレーブチャンネルで設定します。トリガスタートPWM出力機能は、有効なTAUDTTINm入力エッジでマスタチャンネルをリセット可能である点を除いてPWM出力機能と同じです。

前提条件

- 2チャンネル
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 25.158 トリガスタート PWM 出力機能のマスタチャンネルのTAUDnCMORmレジスタの内容」参照）。
- スレーブチャンネルの動作モードは、ワンカウントモードに設定する必要があります（「表 25.161 トリガスタート PWM 出力機能のスレーブチャンネルのTAUDnCMORmレジスタの内容」参照）。
- スレーブチャンネルの出力モードは、チャンネル連動出力モード1に設定する必要があります（「25.7 チャンネル出力モード」参照）。
- この機能では、マスタチャンネルでTAUDTTOUTmは使用しません。

機能説明

チャンネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ（マスタ/スレーブ）動作が許可されます。これによりTAUDnTE.TAUDnTEm=1となり、カウンタが可能になります。TAUDnCDRmの現在値がTAUDnCNTmにロードされ、カウンタはそのTAUDnCDRm値からダウンカウントを開始します。マスタチャンネルでINTTAUDnImが発生し、TAUDTTOUTm（スレーブ）がセット、リセットされることによりPWM出力を実現しています。

- マスタチャンネル：
TAUDnCDRmの現在値がカウンタ（TAUDnCNTm）にロードされ、INTTAUDnImが発生し、カウンタはそのTAUDnCDRm値からダウンカウントを開始します。
カウンタ値が0000_Hになりパルス周期が経過すると、INTTAUDnImが発生し、TAUDnCDRm値をTAUDnCNTm（マスタ/スレーブ）にロードします。
有効なTAUDTTINm入力エッジが検出されると、マスタチャンネルのカウンタはTAUDnCDRmの現在値をロードしてダウンカウントを再開し、割り込みが発生します。
- スレーブチャンネル：
スレーブチャンネルはマスタチャンネルからの割り込みを検出すると、TAUDnCDRmの現在値からダウンカウントを開始します。TAUDTTOUTm信号がアクティブレベルに設定されます。
カウンタ値が0000_Hになると（デューティ時間が経過すると）、INTTAUDnImが発生し、TAUDTTOUTm信号がリセットされます。カウンタはFFFF_Hに戻り、マスタチャンネルの次のINTTAUDnImを待ちます。

マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm は停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。

条件

この機能では一斉書き換えを行うことができます。「**25.6 一斉書き換え**」を参照してください。

25.15.3.2 算出式

パルス周期 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

デューティサイクル [%] = [TAUDnCDRm (スレーブ) / (TAUDnCDRm (マスタ) + 1)] × 100

- デューティサイクル = 0%
TAUDnCDRm (スレーブ) = 0000_H
- デューティサイクル = 100%
TAUDnCDRm (スレーブ) ≥ TAUDnCDRm (マスタ) + 1

25.15.3.3 ブロック図と基本タイミング図

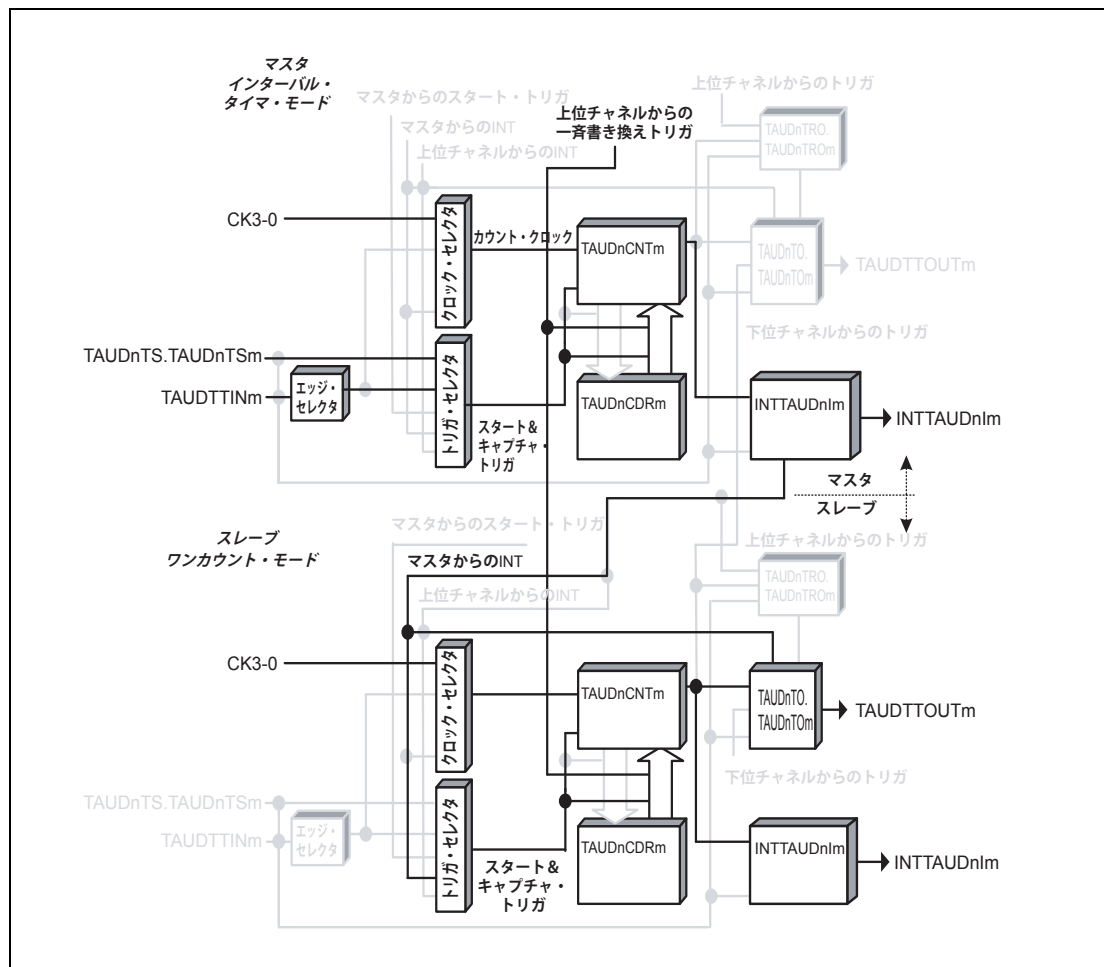


図 25.101 トリガスタート PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち上がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)
- 正論理 (TAUDnTOL.TAUDnTOLm (スレーブ) = 0)

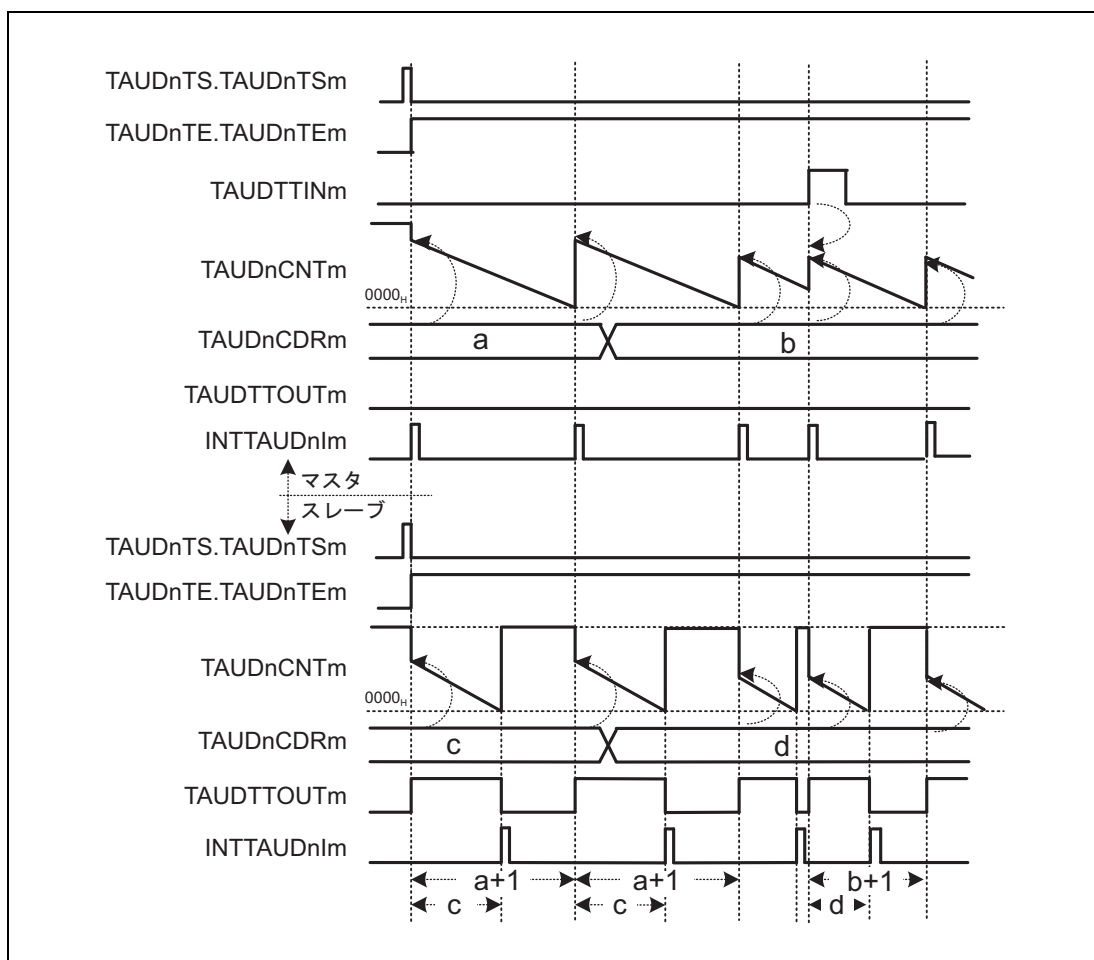


図 25.102 トリガスタート PWM 出力機能の基本タイミング図

備考

スレーブチャンネルの TAUDTTOUTm は、マスタチャンネルの INTTAUDnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

25.15.3.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.158 トリガスタート PWM 出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS [2:0]	001：有効な TAUDTTInm 入力エッジ信号をスタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	1：動作開始時に INTTAUDnim が発生する

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.159 トリガスタート PWM 出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しません。

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.160 トリガスタート PWM 出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1 : 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0 : マスタチャンネルの一斉書き換えトリガを選択 1 : チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0 : マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0 : 一斉書き換えトリガ生成チャンネルとして動作しない。

25.15.3.5 スレーブチャンネルのレジスタ設定

(1) スレーブチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.161 トリガスタート PWM 出力機能のスレーブチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	100：マスタチャンネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガが有効 マスタチャンネルとスレーブチャンネルの TAUDnMD[0] ビット値は同一である必要があります。

(2) スレーブチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.162 トリガスタート PWM 出力機能のスレーブチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネルのチャンネル出力モード

表 25.163 チャンネル連動出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	0: 動作モード1
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROM	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEem	0: 変調禁止

(4) スレーブチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.164 トリガスタートPWM出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

25.15.3.6 トリガスタート PWM 出力機能時の操作手順

表 25.165 トリガスタート PWM 出力機能時の操作手順

	操作	TAUDnの状態
動作再開	チャンネルの初期設定 マスタチャンネル : TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「25.15.3.4 マスタチャンネルのレジスタ設定」に示すように設定します。 スレーブチャンネル : TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「25.15.3.5 スレーブチャンネルのレジスタ設定」に示すように設定します。 全チャンネルの TAUDnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSm を同時に“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が“1”に設定され、マスタ/スレーブチャンネルのカウンタが動作を開始します。 マスタチャンネルで INTTAUDnIm が発生します。
	動作中 TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更できません。	マスタチャンネルの TAUDnCNTm は TAUDnCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000 _H になった場合 : <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 TAUDnCDRm 値を TAUDnCNTm (マスタ) にロードし、カウント動作を継続します。 TAUDnCDRm 値を TAUDnCNTm (スレーブ) にロードし、ダウンカウント動作を開始します。 TAUDTTOUm (スレーブ) が設定されます。 スレーブチャンネルの TAUDnCNTm が 0000 _H になった場合 : <ul style="list-style-type: none"> INTTAUDnIm (スレーブ) が発生します。 TAUDTTOUm (スレーブ) がインアクティブレベルに設定されます。また、スレーブチャンネルのカウント動作が停止します。 マスタチャンネルの TAUDnCNTm がダウンカウント中にマスタチャンネルで TAUDTTInm 入力が出された場合 : <ul style="list-style-type: none"> TAUDnCNTm (マスタ/スレーブ) は TAUDnCDRm 値をロードし、ダウンカウントを行います。 INTTAUDnIm (マスタ) が発生します。 TAUDTTOUm (スレーブ) がアクティブレベルに設定されます。
	動作停止 マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUm は停止し、現在値を保持します。

25.15.3.7 特定の設定時のタイミング図

(1) デューティサイクル = 0%

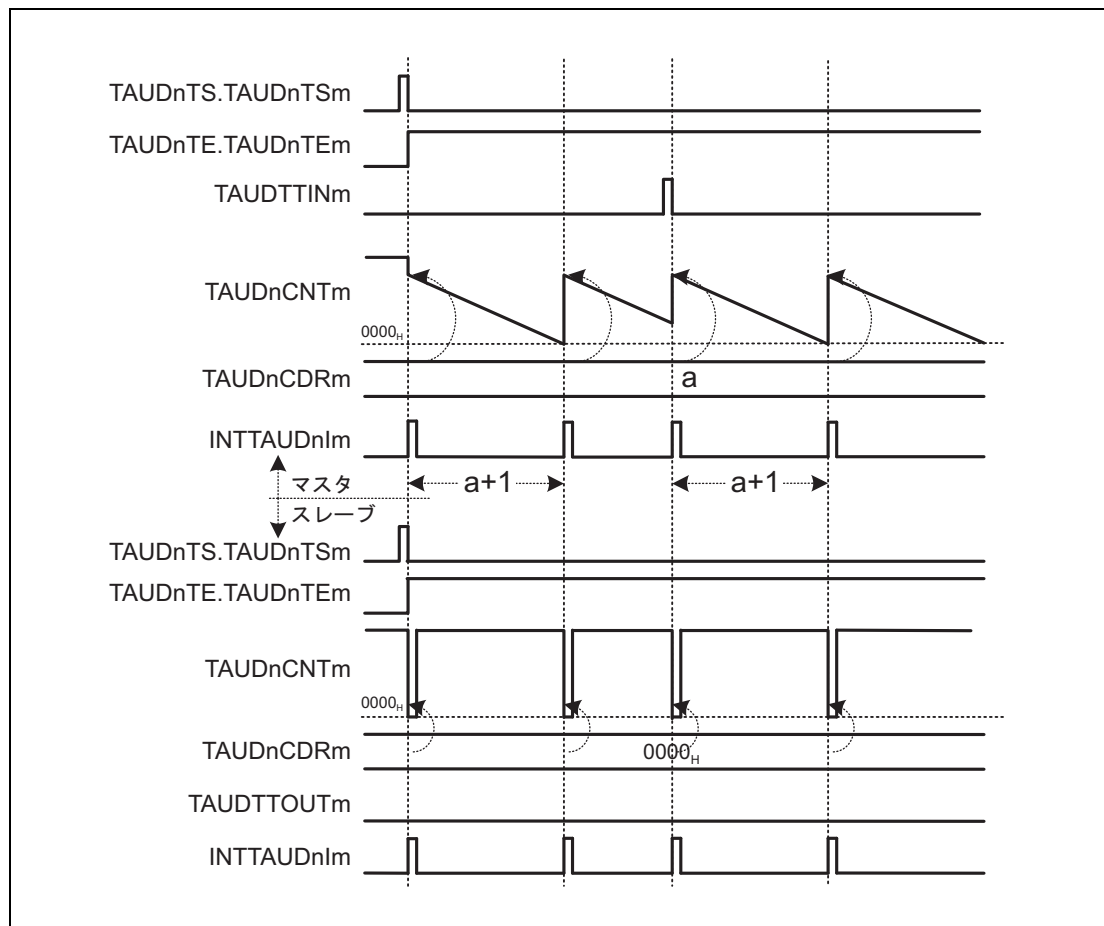


図 25.103 TAUDnCDRm (スレーブ) = 0000_H、
 正論理 (TAUDnTOL.TAUDnTOLm (スレーブ) = 0)
 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

- マスタチャンネルで割り込み (INTTAUDnIm) が発生するたびに、TAUDnCNTm (スレーブ) に 0000_H がロードされます。したがって、TAUDnCNTm (スレーブ) はカウントを開始できず、TAUDTTOUTm はアクティブでない状態のままとなります。
- TAUDnCNTm (スレーブ) は TAUDnCDRm 値がロードされるたびに割り込みを発生させます。
 有効な TAUDTTINm 入力エッジを検出しても、TAUDTTOUTm (スレーブ) に変化はありません。

(2) デューティサイクル = 100%

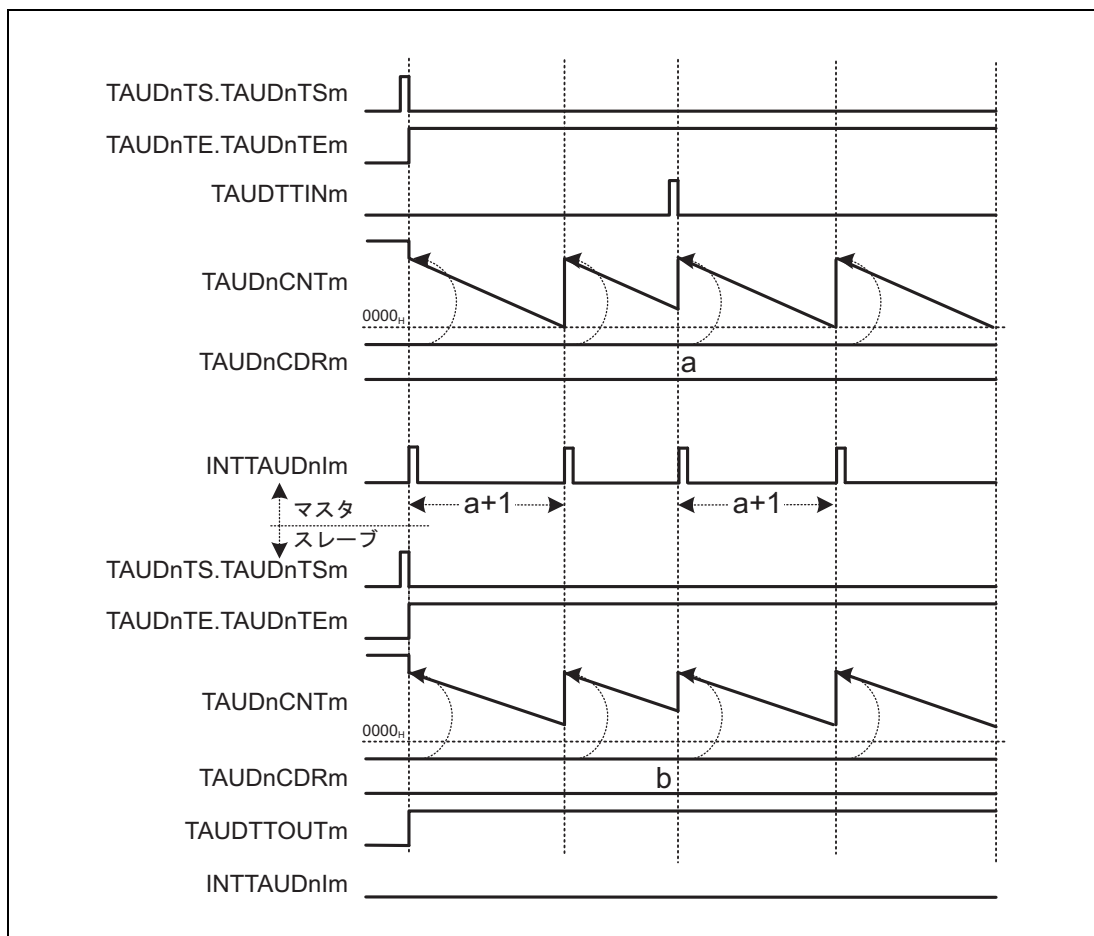


図 25.104 TAUDnCDRm (スレーブ) \geq TAUDnCDRm (マスター) + 1
 正論理 (TAUDnTOL.TAUDnTOLm (スレーブ) = 0)
 立ち下がリエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

- TAUDnCDRm (スレーブ) 値が TAUDnCDRm (マスター) 値よりも大きい場合、スレーブチャンネルのカウンタは 0000_H にならないため、割り込みが発生しません。TAUDTTOUTm はアクティブ状態のままになります。有効な TAUDTTINm 入力エッジを検出しても、TAUDTTOUTm (スレーブ) に変化はありません。

(3) TAUDTTINm 検出とアクティブなスレーブカウンタ

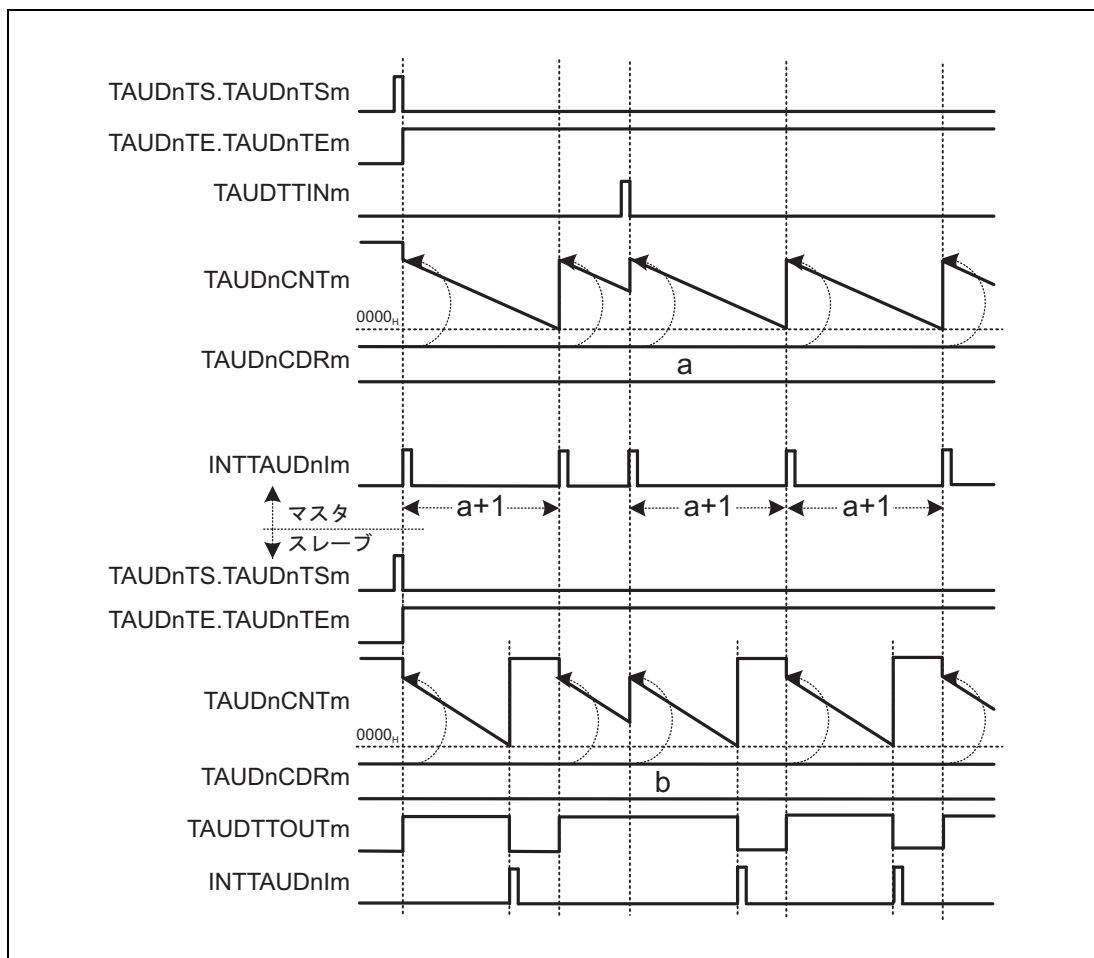


図 25.105 正論理 ($\text{TAUDnTOL.TAUDnTOLm (スレーブ)} = 0$)
立ち下がりエッジ検出 ($\text{TAUDnCMURm.TAUDnTIS}[1:0] = 00_B$)

- TAUDnCNTm (スレーブ) がダウンカウント中に TAUDnCDRm (スレーブ) 値をロードした場合、TAUDTTOUTm は変化せず、デューティを拡張します。デューティはスレーブチャンネルのデータレジスタの値に対応していません。

25.15.4 ディレイパルス出力機能

25.15.4.1 概要

概要

この機能では、2種類の信号が出力されます。基準信号のパルス幅とパルス周期は、マスタチャンネルとスレーブチャンネル1を使用して定義されています。スレーブチャンネル2とスレーブチャンネル3は設定されている遅延時間後に基準信号を出力します。ディレイ信号は基準信号と同じですが、スレーブチャンネル2で設定されている時間分、遅延して出力されます。

信号の値は次のように設定されます。

- パルス周期はマスタチャンネルで設定します。
- 基準信号のデューティサイクルはスレーブチャンネル1を、ディレイ信号のデューティサイクルはスレーブチャンネル3を使用して設定されます。
- 遅延量はスレーブチャンネル2で設定します。

前提条件

- 4チャンネル
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 25.166 ディレイパルス出力機能のマスタチャンネルの TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネル1、2の動作モードは、ワンカウントモードに設定する必要があります（「表 25.169 ディレイパルス出力機能のスレーブチャンネル1の TAUDnCMORm レジスタの内容」、「表 25.173 ディレイパルス出力機能のスレーブチャンネル2の TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネル3の動作モードは、パルスワンカウントモードに設定する必要があります（「表 25.176 ディレイパルス出力機能のスレーブチャンネル3の TAUDnCMORm レジスタの内容」参照）。
- マスタチャンネルおよびスレーブチャンネル2では TAUDTTOUTm を使用しません。
- スレーブチャンネル1のチャンネル出力モードは、チャンネル連動出力モード1に設定する必要があります（「25.7 チャンネル出力モード」参照）。
- スレーブチャンネル3のチャンネル出力モードは、チャンネル単体出力モード2に設定する必要があります（「25.7 チャンネル出力モード」参照）。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、チャンネルグループのカウント動作が許可されます。これにより TAUDnTE.TAUDnTEm=1 となり、カウントが可能になります。

- マスタチャンネル：
TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャンネルで INTTAUDnIm が発生します。マスタチャンネルのカウント値が 0000_H になりパルス周期時間が経過すると、INTTAUDnIm が発生します。再び TAUDnCDRm の値をカウンタにロードし、ダウンカウントを行います。
- スレーブチャンネル1、スレーブチャンネル2：

スレーブチャンネル1、2はマスタチャンネルからの割り込みを検出すると、TAUDnCDRmの現在値からダウンカウントを開始します。TAUDTTOUTm信号(スレーブ1)が設定されます。

– スレーブチャンネル1:

スレーブチャンネル1のカウント値が0000_Hになると(デューティ時間が経過すると)、INTTAUDnImが発生し、TAUDTTOUTm信号がリセットされます。カウントはFFFF_Hに戻り、マスタチャンネルの次のINTTAUDnImを待ちます。

– スレーブチャンネル2:

スレーブチャンネル2のカウント値が0000_Hになり遅延時間が経過すると、INTTAUDnImが発生します。カウントはFFFF_Hに戻り、マスタチャンネルの次のINTTAUDnImを待ちます。

INTTAUDnIm(スレーブチャンネル2)が発生することにより、スレーブチャンネル3のカウント動作がトリガされます。

● スレーブチャンネル3:

スレーブチャンネル3はスレーブチャンネル2からの割り込みを検出すると、TAUDnCDRmの現在値からダウンカウントを開始します。INTTAUDnImが発生し、TAUDTTOUTm信号(スレーブチャンネル3)がセットされます。

スレーブチャンネル3のカウント値が0001_Hになると、INTTAUDnImが発生し、TAUDTTOUTm信号がリセットされます。

スレーブチャンネル3からは遅延されたPWMパルスが出力されます。

マスタ/スレーブチャンネルのTAUDnTT.TAUDnTTmを“1”に設定すると、カウント動作を停止できます。これにより、TAUDnTE.TAUDnTEmは“0”に設定されます。マスタ/スレーブチャンネルのTAUDnCNTmとTAUDTTOUTmが停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSmを“1”に設定すると、カウントを再開できます。

条件

この機能で一斉書き換えを行うことができます。「25.6 一斉書き換え」を参照してください。

25.15.4.2 算出式

パルス周期 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

デューティ幅 1 = (TAUDnCDRm (スレーブ 1)) × カウントクロック周期

遅延幅 = (TAUDnCDRm (スレーブ 2) + 1) × カウントクロック周期

デューティ幅 2 = (TAUDnCDRm (スレーブ 3)) × カウントクロック周期

ただし、遅延幅の設定値は下記範囲とすること。

$0000_H \leq \text{TAUDnCDRm (スレーブ 2)} < \text{TAUDnCDRm (マスタ)}$

備 考

1. TAUDTTOUTm (スレーブ 3) の出力波形は、TAUDTTOUTm (スレーブ 1) の出力波形をスレーブ 2 で生成したディレイ分遅延させた波形となります。パルス周期以上に遅延させることはできません。
2. スレーブ 3 のカウント中に、スレーブ 2 の INTTAUD0Im が発生した場合、スレーブ 3 は動作を再開します。従って、TAUDTTOUTm (スレーブ 3) の出力波形は、アクティブレベルを保持します。(この場合、TAUDTTOUTm (Slave-CH-3) は、TAUDTTOUTm (Slave-CH-1) の基本パルスをディレイさせた波形を出力できません。)

25.15.4.3 ブロック図と基本タイミング図

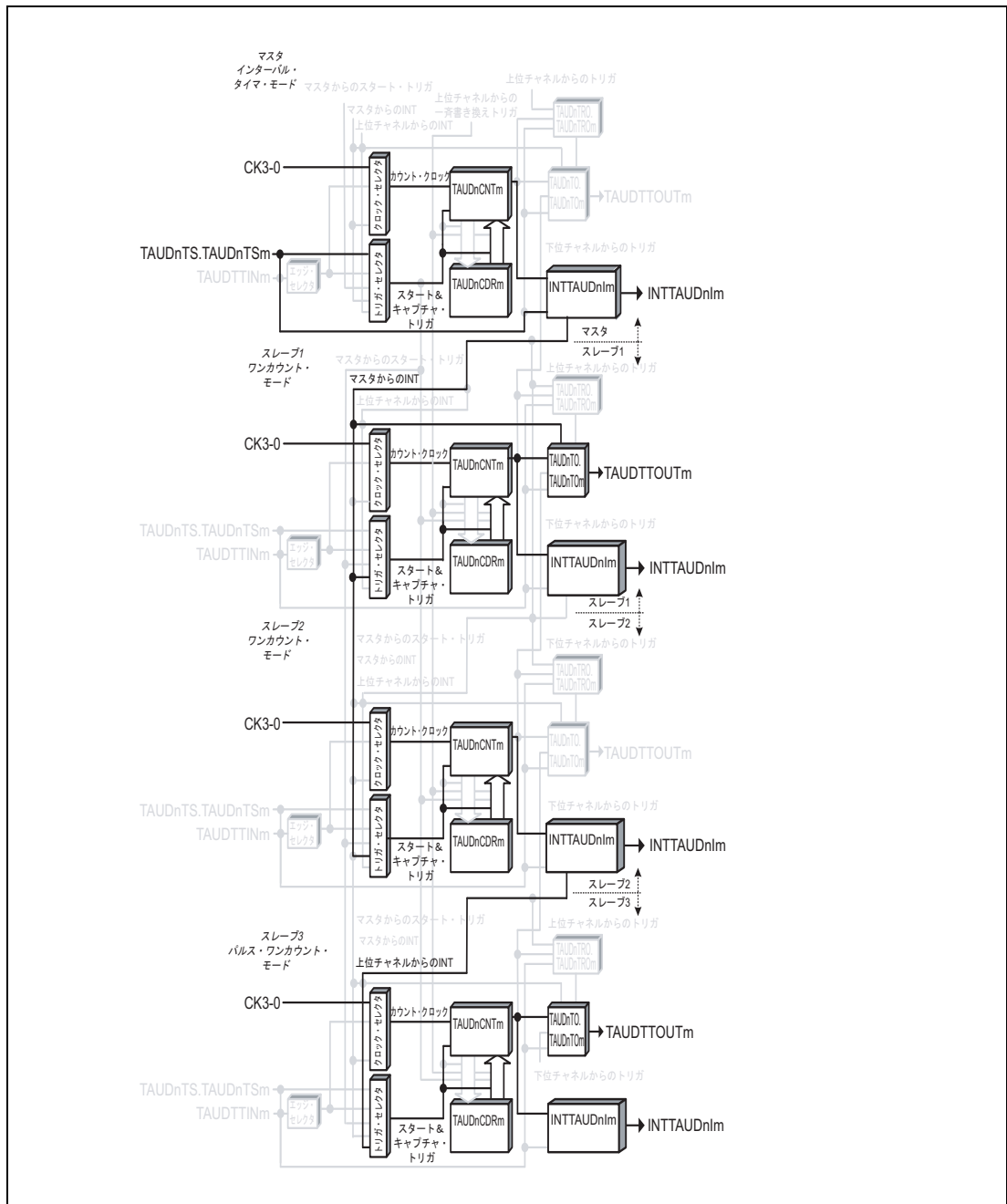


図 25.106 デレイパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャンネル1：正論理 (TAUDnTOL.TAUDnTOLm = 0)
- スレーブチャンネル3：正論理 (TAUDnTOL.TAUDnTOLm = 0)

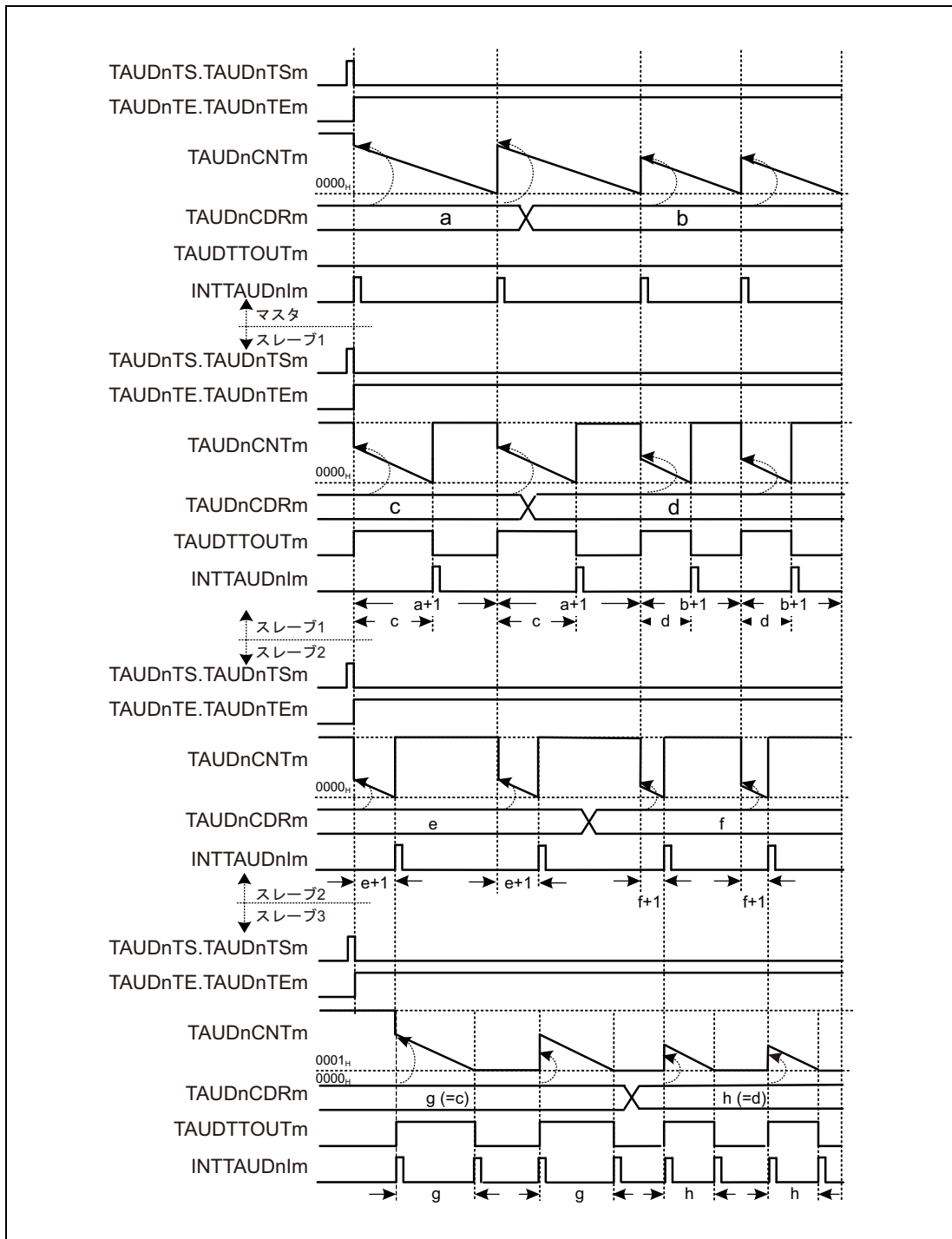


図 25.107 デレイパルス出力機能の基本タイミング図

備考

スレーブチャンネル1のTAUDTTOUTmは、マスタチャンネルのINTTAUDnImの立ち上がりから1カウントクロック周期後に立ち上がります。

25.15.4.4 マスタチャンネルのレジスタ設定

(1) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.166 デレイパルス出力機能のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKS [1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13, 12	TAUDnCCS [1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	1 : チャンネルはマスタチャンネル
10 ~ 8	TAUDnSTS [2:0]	000 : ソフトウェアでカウンタをトリガ
7, 6	TAUDnCOS [1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUDnMD [4:1]	0000 : インターバルタイマモード
0	TAUDnMD0	1 : 動作開始時に INTTAUDnIm が発生する

(2) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.167 デレイパルス出力機能のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(3) マスタチャンネルのチャンネル出力モード

この機能では、マスタチャンネルはチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.168 ディレイパルス出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1 : 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0 : マスタチャンネルが一斉書き換えの制御チャンネル
TAUDnRDM.TAUDnRDMm	0 : マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0 : 一斉書き換えトリガ生成チャンネルとして動作しない。

25.15.4.5 スレーブチャンネル1のレジスタ設定

(1) スレーブチャンネル1のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.169 ディレイパルス出力機能のスレーブチャンネル1のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKS [1:0]	動作クロックの選択 00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルのTAUDnCKS[1:0]ビット値は同一である必要があります。
13, 12	TAUDnCCS [1:0]	00: 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0: チャンネルはスレーブチャンネル
10 ~ 8	TAUDnSTS [2:0]	100: マスタチャンネルのINTTAUDnImがスタートトリガ
7, 6	TAUDnCOS [1:0]	00: 未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUDnMD [4:1]	0100: ワンカウントモード
0	TAUDnMD0	1: 動作中のスタートトリガ有効

(2) スレーブチャンネル1のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.170 ディレイパルス出力機能のスレーブチャンネル1のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00: 未使用、“00”を設定

(3) スレーブチャンネル1のチャンネル出力モード

表 25.171 チャンネル連動出力モード1時のスレーブチャンネル1の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	0: 動作モード1
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEem	0: 変調禁止

(4) スレーブチャンネル1の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.172 ディレイパルス出力機能時のスレーブチャンネル1の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルが一斉書き換えの制御チャンネル
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

25.15.4.6 スレーブチャンネル2のレジスタ設定

(1) スレーブチャンネル2のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.173 ディレイパルス出力機能のスレーブチャンネル2のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKS [1:0]	動作クロックの選択 00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13, 12	TAUDnCCS [1:0]	00: 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0: チャンネルはスレーブチャンネル
10 ~ 8	TAUDnSTS [2:0]	100: マスタチャンネルの INTTAUDnIm がスタートトリガ
7, 6	TAUDnCOS [1:0]	00: 未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUDnMD [4:1]	0100: ワンカウントモード
0	TAUDnMD0	1: 動作中のスタートトリガ有効

(2) スレーブチャンネル2のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.174 ディレイパルス出力機能のスレーブチャンネル2のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00: 未使用、“00”を設定

(3) スレーブチャンネル2のチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEmに“0”を設定します。

(4) スレーブチャンネル2の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.175 ディレイパルス出力機能時のスレーブチャンネル2の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1 : 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0 : マスタチャンネルが一斉書き換えの制御チャンネル
TAUDnRDM.TAUDnRDMm	0 : マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0 : 一斉書き換えトリガ生成チャンネルとして動作しない。

25.15.4.7 スレーブチャンネル3のレジスタ設定

(1) スレーブチャンネル3のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.176 ディレイパルス出力機能のスレーブチャンネル3のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKS [1:0]	動作クロックの選択 00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルのTAUDnCKS[1:0]ビット値は同一である必要があります。
13, 12	TAUDnCCS [1:0]	00: 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0: チャンネルはスレーブチャンネル
10 ~ 8	TAUDnSTS [2:0]	101: マスタ設定にかかわらず、上位チャンネル (m-1) のINTTAUDnImがスタートトリガ
7, 6	TAUDnCOS [1:0]	00: 未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUDnMD [4:1]	1010: パルスワンカウントモード
0	TAUDnMD0	1: 動作中のスタートトリガ有効

(2) スレーブチャンネル3のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.177 ディレイパルス出力機能のスレーブチャンネル3のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00: 未使用、“00”を設定

(3) スレーブチャンネル3のチャンネル出力モード

表 25.178 チャンネル単体出力モード2時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	1: 動作モード2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEem	0: 変調禁止

(4) スレーブチャンネル3の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.179 ディレイパルス出力機能時のスレーブチャンネル3の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDsm	0: マスタチャンネルが一斉書き換えの制御チャンネル
TAUDnRDM.TAUDnRDmm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

25.15.4.8 ディレイパルス出力機能時の操作手順

表 25.180 ディレイパルス出力機能時の操作手順 (1/2)

	操作	TAUDnの状態
チャンネルの初期設定	<p>マスタチャンネル: TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「25.15.4.4 マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル1: TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「25.15.4.5 スレーブチャンネル1のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル2: TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「25.15.4.6 スレーブチャンネル2のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル3: TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「25.15.4.7 スレーブチャンネル3のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUDnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。

表 25.180 ディレイパルス出力機能時の操作手順 (2/2)

	操作	TAUDnの状態
動作再開 ↓	動作開始	<p>マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTsm を同時に “1” に設定します。 TAUDnTS.TAUDnTsm はトリガビットなので、自動的に “0” にクリアされます。</p> <p>TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が “1” に設定され、マスタチャンネルとスレーブチャンネル 1 / 2 のカウンタが動作を開始します。 マスタチャンネルで INTTAUDnIm が発生し、TAUDTTOUTm (スレーブチャンネル 1) が設定されます。</p>
	動作中	<p>TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUDnRDT.TAUDnRDTm は動作中に変更可能です。</p> <p>マスタチャンネルのカウンタが 0000_H になった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 再び TAUDnCDRm の値を TAUDnCNTm (マスタ) にロードし、カウンタ動作を継続します。 再び TAUDnCDRm の値を TAUDnCNTm (スレーブ 1 / 2) にロードし、ダウンカウントを開始します。 TAUDTTOUTm (スレーブ 1) がセットされます。 <p>TAUDnCNTm (スレーブ 1) が 0000_H になった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (スレーブ 1) が発生します。 TAUDTTOUTm (スレーブ 1) がリセットされます。 <p>TAUDnCNTm (スレーブ 2) が 0000_H になった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (スレーブ 2) が発生します。 INTTAUDnIm (スレーブ 3) が発生します。 TAUDTTOUTm (スレーブ 3) がセットされます。 再び TAUDnCDRm の値を TAUDnCNTm (スレーブ 3) にロードし、ダウンカウント動作を開始します。 <p>TAUDnCNTm (スレーブ 3) が 0001_H になった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (スレーブ 3) が発生します。 TAUDTTOUTm (スレーブ 3) がリセットされます。
	動作停止	<p>マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。</p>

25.15.4.9 特定のタイミング図

(1) デューティサイクル (スレーブ 3) = 100%

図 25.108 には以下の値が適用されます。

- TAUDnCDRm (マスタ) = 000A_H
- TAUDnCDRm (スレーブ 1) = 000B_H
- TAUDnCDRm (スレーブ 2) = 0000_H
- TAUDnCDRm (スレーブ 3) = 000B_H

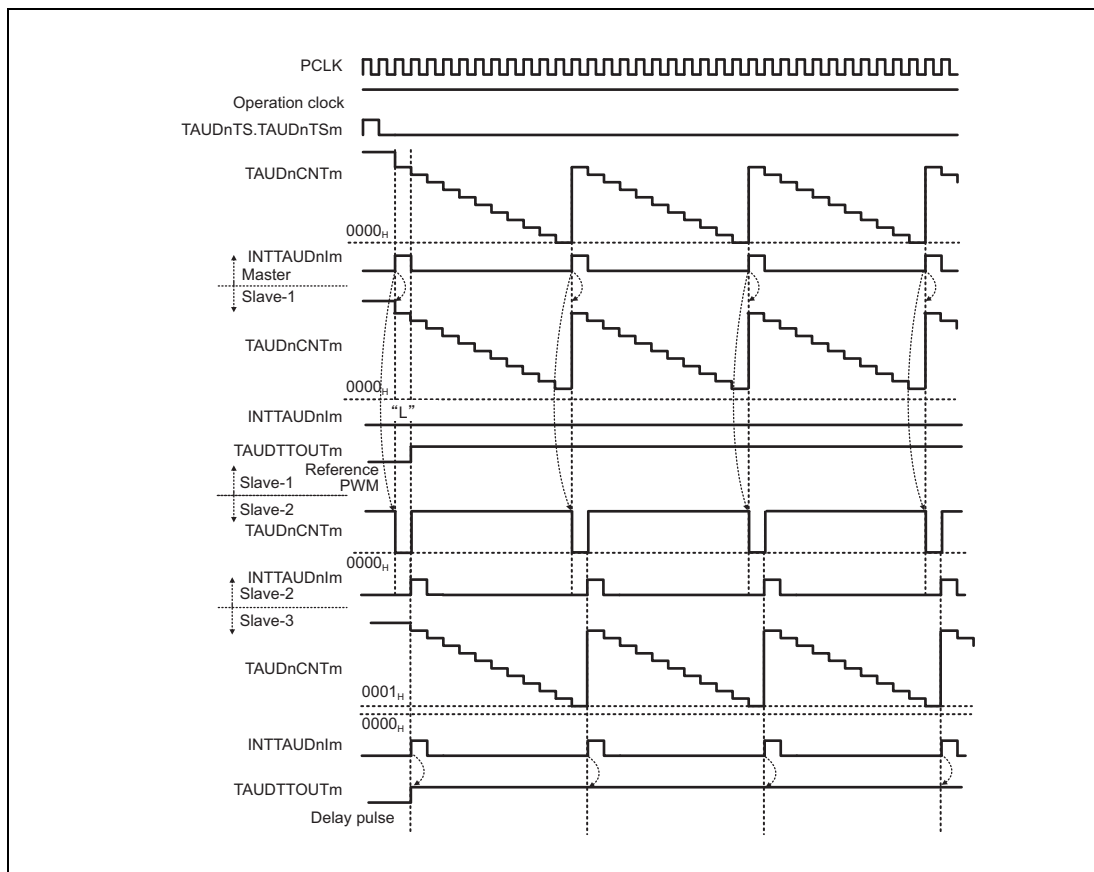


図 25.108 デューティサイクル (スレーブ 3) = 100%

- TAUDnCDRm (スレーブ 1/スレーブ 3) の値が TAUDnCDRm (マスタ) の値を越える場合は、スレーブチャンネル 1 のカウンタは 0000_H にならず、割り込みは発生しません。チャンネル 1、3 の TAUDTTOUTm は、アクティブ状態のままになります。

(2) TAUDTTOUTm (スレーブ 1) = TAUDTTOUTm (スレーブ 3)

図 25.109 には以下の値が適用されます。

- TAUDnCDRm (マスタ) = 000A_H
- TAUDnCDRm (スレーブ 1) = 0005_H
- TAUDnCDRm (スレーブ 2) = 0000_H
- TAUDnCDRm (スレーブ 3) = 0005_H

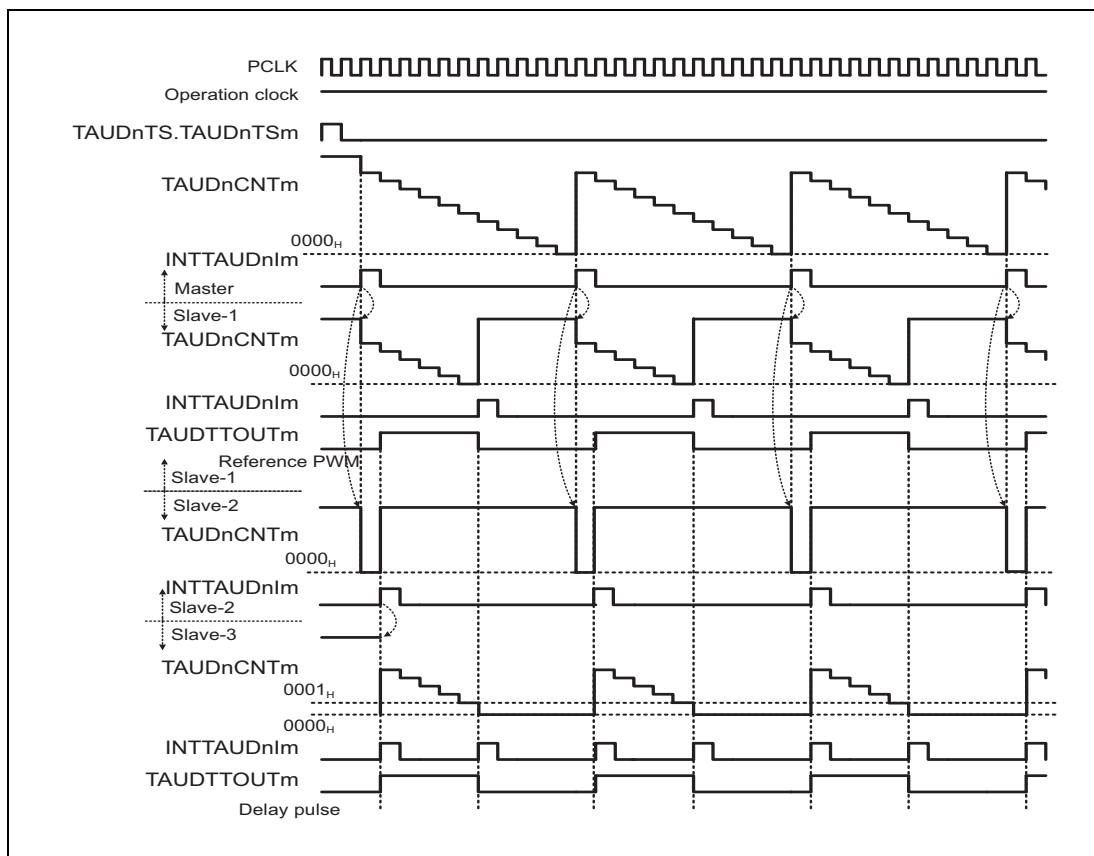


図 25.109 TAUDTTOUTm (スレーブ 1) = TAUDTTOUTm (スレーブ 3)

- TAUDnCDRm (スレーブ 2) = 0000_H の場合、スレーブチャンネル 3 のカウンタはスレーブチャンネル 1 のカウンタより 1 クロックカウント後にカウントを開始します。基本パルスとディレイパルスは 1 クロックカウントの遅延で出力されます。

25.15.5 オフセットトリガ出力機能

25.15.5.1 概要

概要

マスタチャンネルとスレーブチャンネルをひとつずつ使用して、PWM 出力を生成する機能です。これにより、TAUDTTOUTm のパルス幅（期間）を設定できます。パルス周期はマスタチャンネルの有効な入力エッジを検出して設定します。パルス幅はスレーブチャンネルで設定します。

前提条件

- 2チャンネル
- マスタチャンネルの動作モードは、キャプチャモードに設定する必要があります（「表 25.181 オフセットトリガ出力機能のマスタチャンネルの TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネルの動作モードは、ワンカウントモードに設定する必要があります（「表 25.184 オフセットトリガ出力機能のスレーブチャンネルの TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネルの出力モードは、チャンネル連動出力モード1に設定する必要があります（「25.7 チャンネル出力モード」参照）。
- この機能では、マスタチャンネルで TAUDTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が開始されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウンタが可能になります。マスタチャンネルのカウンタ (TAUDnCNTm) は 0000_H からアップカウントを開始します。

- マスタチャンネル：
有効な TAUDTTINm 入力エッジが検出されると、カウンタ (TAUDnCNTm) の現在値がマスタチャンネルのデータレジスタ (TAUDnCDRm) にロードされます。そして INTTAUDnIm が発生し、カウンタは 0000_H からアップカウントを再開します。
- スレーブチャンネル：
マスタチャンネルで INTTAUDnIm が発生すると、TAUDTTOUTm 信号 (スレーブ) がセットされ、スレーブチャンネルのカウンタ動作がトリガされます。TAUDnCDRm (スレーブ) の現在値が TAUDnCNTm (スレーブ) にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。
カウンタ値が 0000_H になると (デューティ時間が経過すると)、INTTAUDnIm が発生し、TAUDTTOUTm 信号がリセットされます。カウンタは FFFF_H に戻り、マスタチャンネルの次の INTTAUDnIm を待ちます。

マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、カウンタを再開できます。

25.15.5.2 算出式

パルス幅 = (TAUDnCDRm (スレーブ)) × カウントクロック周期

デューティサイクル [%] = [TAUDnCDRm (スレーブ) / (TAUDnCDRm (マスタ) + 1)] × 100

- デューティサイクル = 0%
TAUDnCDRm (スレーブ) = 0000_H
- デューティサイクル = 100%
TAUDnCDRm (スレーブ) ≥ TAUDnCDRm (マスタ) + 1

25.15.5.3 ブロック図と基本タイミング図

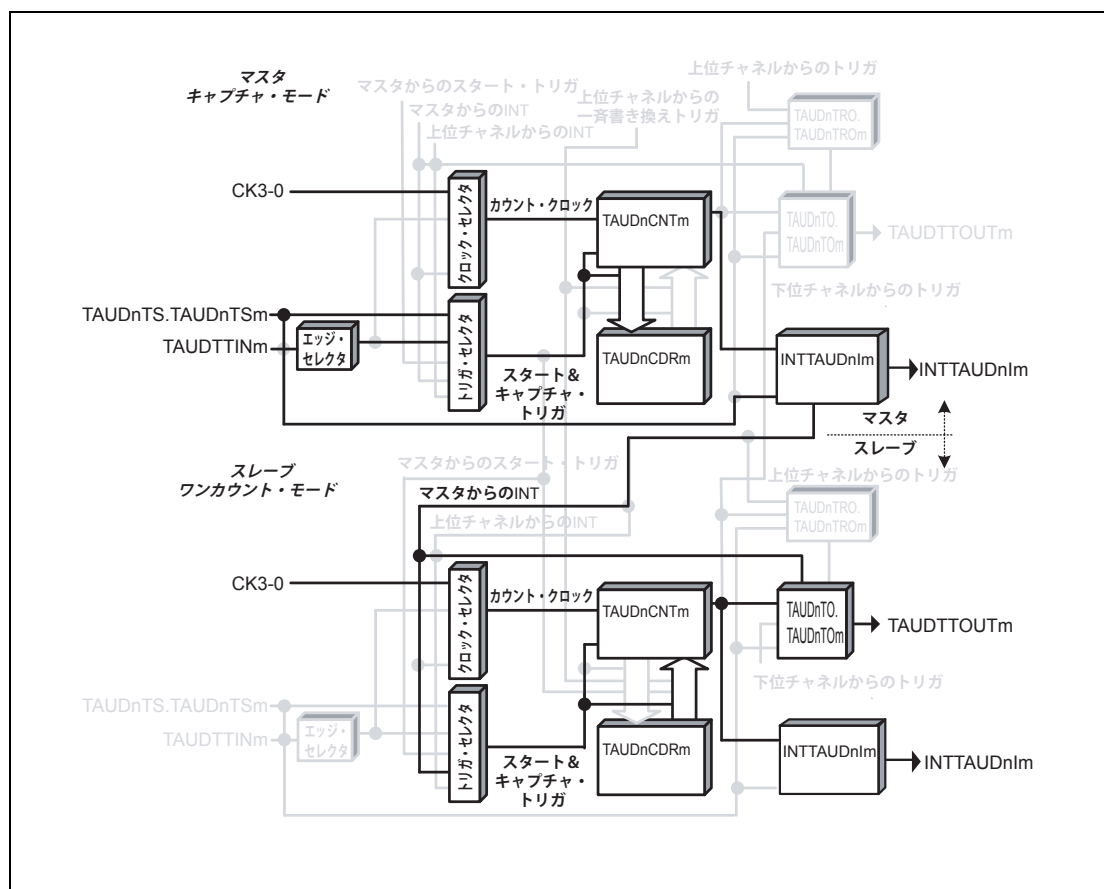


図 25.110 オフセットトリガ出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

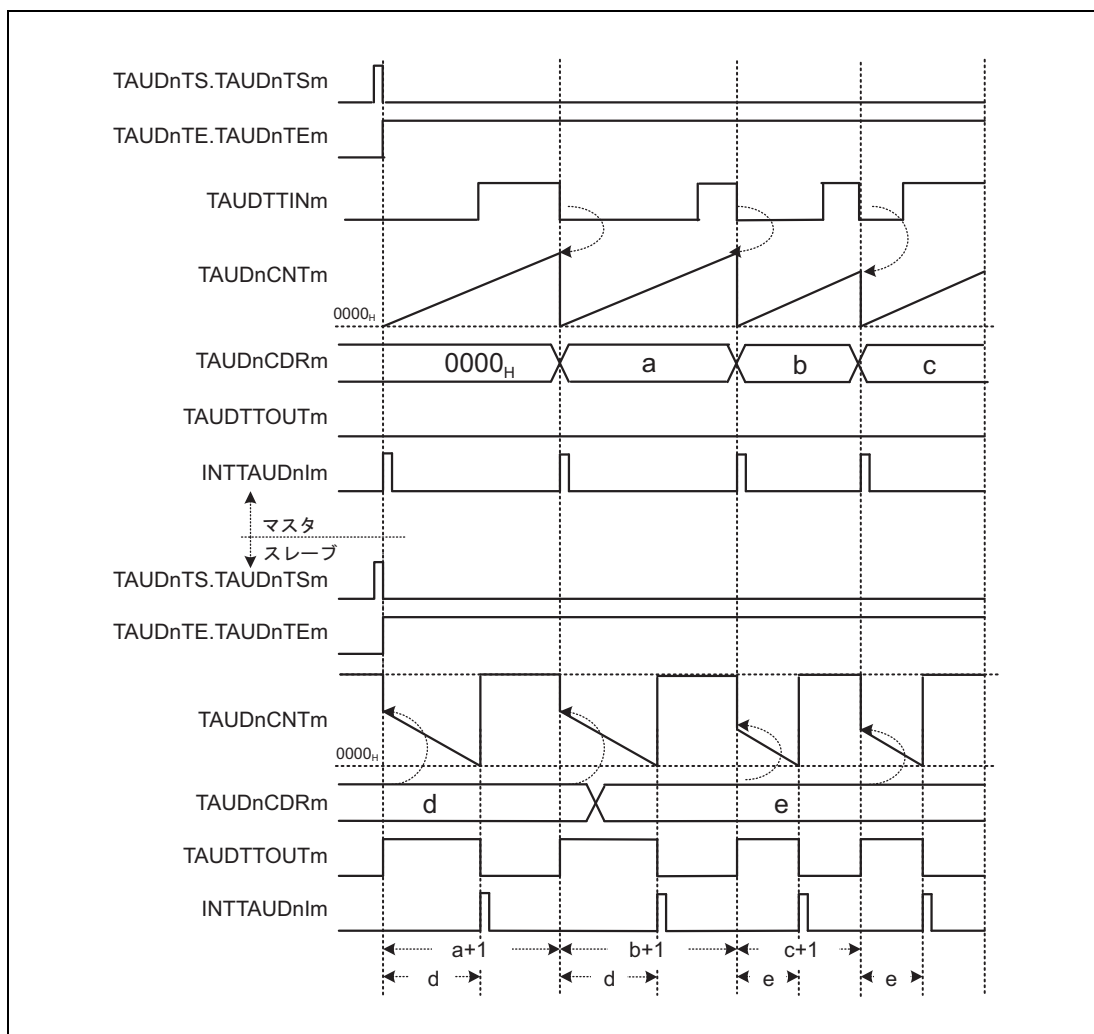


図 25.111 オフセットトリガ出力機能の基本タイミング図

備考

スレーブチャンネルの TAUDTTOUTm は、マスタチャンネルの INTTAUDnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

25.15.5.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.181 オフセットトリガ出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS [2:0]	001：有効な TAUDTTINm 入力エッジ信号をスタートトリガとして使用
7、6	TAUDnCOS [1:0]	11：TAUDTTINm 入力有効エッジ検出およびカウンタオーバーフローの発生によって更新： － TAUDTTINm 入力有効エッジ検出：カウンタ値が TAUDnCDRm に書き込まれます。 － オーバーフロー発生：TAUDnCDRm に FFFF _H を書き込みます。次に検出される TAUDTTINm 入力有効エッジは無視されます。 TAUDnCSRm.TAUDnOVF はカウンタオーバーフロー時に設定され、CPU 命令 (TAUDnCSCm.TAUDnCLOV に "1" 設定) でクリアされます。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0010：キャプチャモード
0	TAUDnMD0	1：動作開始時に INTTAUDnIm が発生する

(2) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.182 オフセットトリガ出力機能のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) マスタチャンネルの一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、オフセットトリガ出力機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 25.183 オフセットトリガ出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.15.5.5 スレーブチャンネルのレジスタ設定

(1) スレーブチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.184 オフセットトリガ出力機能のスレーブチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKS [1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13, 12	TAUDnCCS [1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : チャンネルはスレーブチャンネル
10 ~ 8	TAUDnSTS [2:0]	100 : マスタチャンネルの INTTAUDnIm がスタートトリガ
7, 6	TAUDnCOS [1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUDnMD [4:1]	0100 : ワンカウントモード
0	TAUDnMD0	1 : カウント中のスタートトリガ検出許可

(2) スレーブチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.185 オフセットトリガ出力機能のスレーブチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(3) スレーブチャンネルのチャンネル出力モード

表 25.186 チャンネル連動出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	0: 動作モード1
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEem	0: 変調禁止

(4) スレーブチャンネルの一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、オフセットトリガ出力機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 25.187 オフセットトリガ出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

25.15.5.6 オフセットトリガ出力機能時の操作手順

表 25.188 オフセットトリガ出力機能時の操作手順

	操作	TAUDnの状態
初期設定	<p>マスターチャンネル：TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「25.15.5.4 マスターチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル：TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「25.15.5.5 スレーブチャンネルのレジスタ設定」に示すように設定します。</p> <p>マスターチャンネルの TAUDnCDRm レジスタはキャプチャレジスタとして動作します。スレーブチャンネルの TAUDnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。
動作再開	<p>動作開始</p> <p>マスターチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSm を同時に“1”に設定します。TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm (マスター/スレーブチャンネル) が“1”に設定され、マスター/スレーブチャンネルのカウンタが動作を開始します。</p> <ul style="list-style-type: none"> TAUDnCNTm (マスター) がアップカウントを行います。 TAUDnCDRm の値を TAUDnCNTm (スレーブ) にロードし、ダウンカウントを行います。 <p>マスターチャンネルで INTTAUDnIm が発生し、TAUDTTOUTm (スレーブ) がセットされます。</p>
動作中	<p>TAUDnCDRm は任意のタイミングで変更可能です。</p> <p>TAUDnCSCm.TAUDnCLOV は“1”に設定可能です。</p> <p>スレーブチャンネルの TAUDnCDRm は INTTAUDnIm (マスター) 発生後、変更可能です。TAUDnCNTm と TAUDnCSRm は任意のタイミングで読み出し可能です。</p>	<p>スレーブチャンネルの TAUDnCNTm が 0000_H になった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (スレーブ) が発生します。 TAUDTTOUTm (スレーブ) がリセットされ、スレーブのカウンタが停止します。 <p>マスターチャンネルで TAUDTTINm 入力エッジが検出された場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (マスター) が発生します。 TAUDnCNTm (マスター) は 0000_H にリセットされ、その後カウンタ動作を継続します。 再び TAUDnCDRm の値を TAUDnCNTm (スレーブ) にロードし、ダウンカウントを行います。 TAUDTTOUTm (スレーブ) がセットされます。
動作停止	<p>動作停止</p> <p>マスターチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に“1”に設定します。TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。</p>

25.15.5.7 特定のタイミング図

(1) デューティサイクル = 0%

この図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

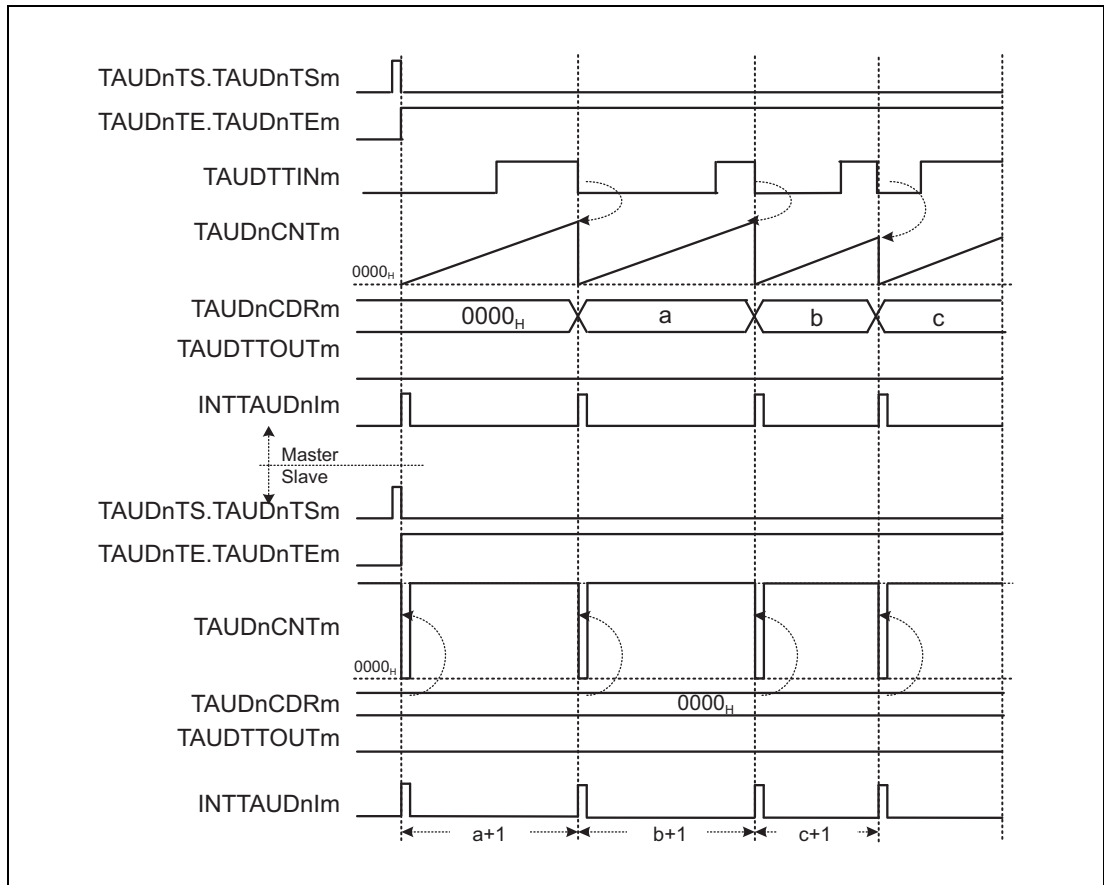


図 25.112 TAUDnCDRm (slave) = 0000_H

- TAUDnCDRm (スレーブ) = 0000_H の場合は、マスタチャンネルが割り込み (INTTAUDnIm) を発生するたびに TAUDnCNTm に 0000_H が書き込まれ、TAUDnCNTm はカウントを開始できません。TAUDTTOUTm は非アクティブ状態のままです。
- TAUDnCNTm (スレーブ) は、TAUDnCDRm の値がリロードされるたびに割り込みを発生します。スレーブチャンネルとマスタチャンネルは同じ周期で割り込みを発生します。

(2) デューティサイクル = 100%

この図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

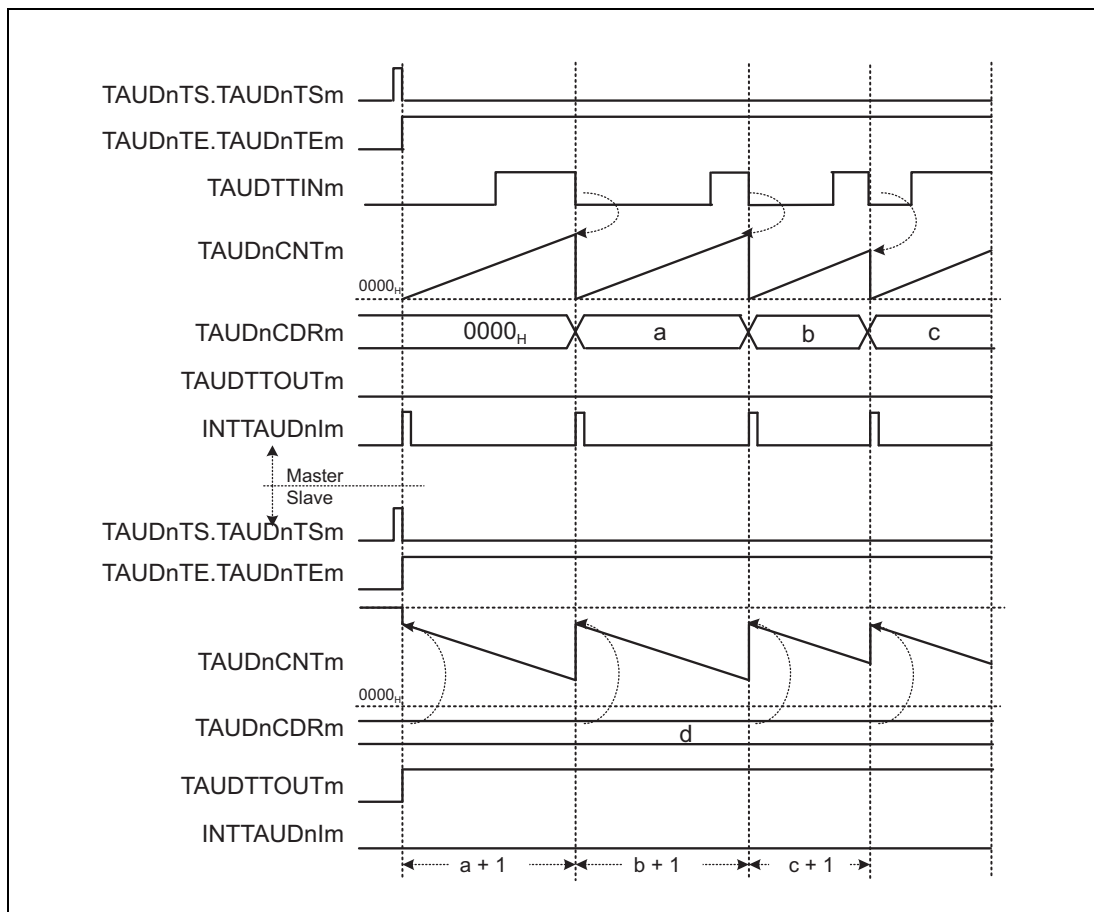


図 25.113 TAUDnCDRm (slave) \geq TAUDnCDRm (master) + 1

- TAUDnCDRm (スレーブ) の値が有効な入力エッジのインターバルを超える場合は、スレーブチャンネルのカウンタは 0000_H にはならず、割り込みは発生しません。TAUDTTOUTm はアクティブ状態のままになります。

25.15.6 A/D 変換トリガ出力機能タイプ 1

25.15.6.1 概要

概要

この機能は、TAUDTTOUTm が出力されないという点を除き、「25.15.1 PWM 出力機能」と同じです。

スレーブチャンネルの出力モードをソフトウェア制御のチャンネル単体出力モードに設定することにより、この機能が有効になります。

25.15.6.2 ブロック図と基本タイミング図

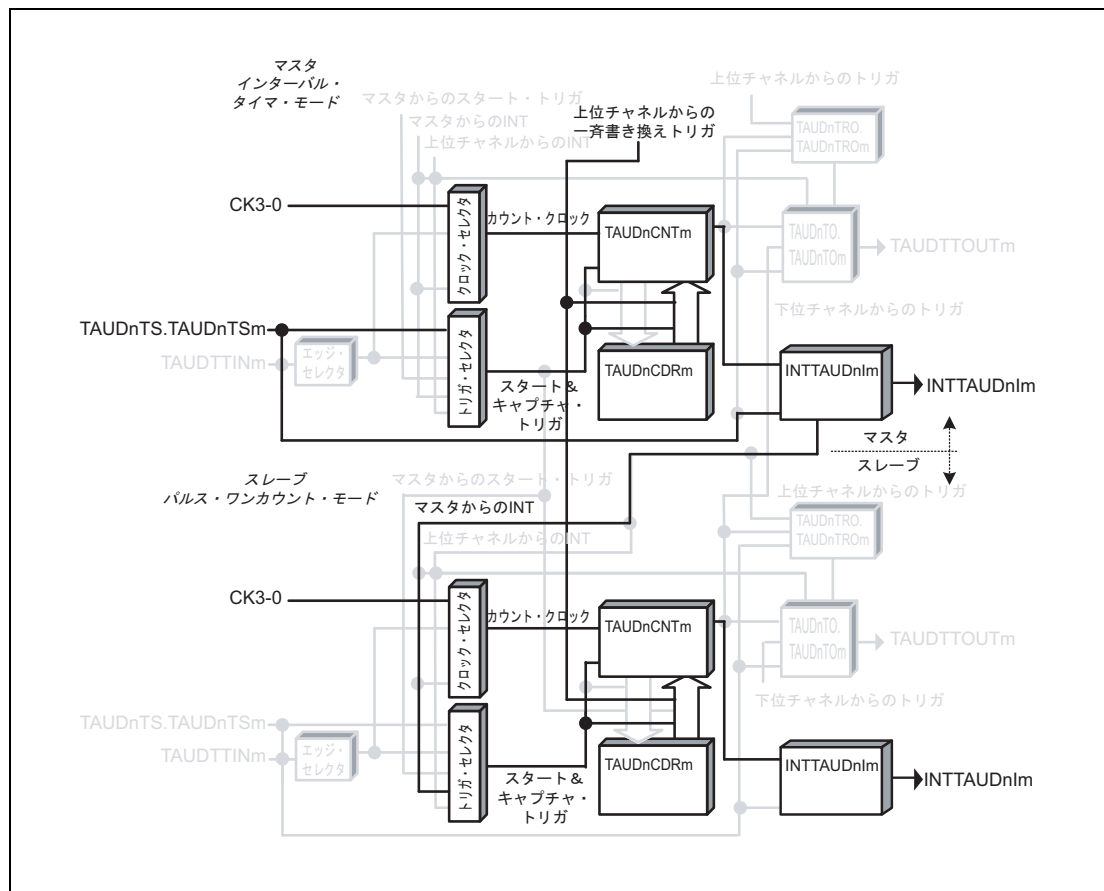


図 25.114 A/D 変換トリガ出力機能タイプ 1 のブロック図

基本タイミング図での設定は次のようになっています。

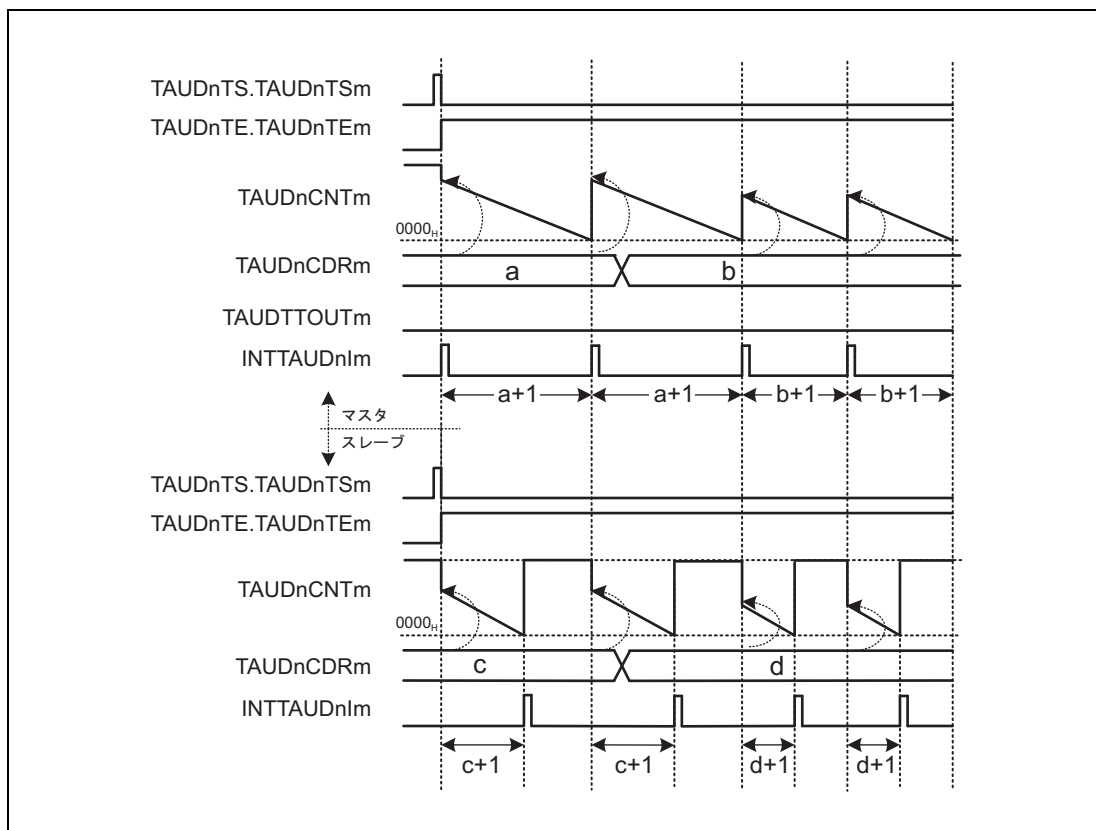


図 25.115 A/D 変換トリガ出力機能タイプ 1 の基本タイミング図

25.15.7 三角波 PWM 出力機能

25.15.7.1 概要

概要

マスタチャンネルと1つ以上のスレーブチャンネルを使用することで、複数の三角波 PWM 出力信号を生成する機能です。マスタ/スレーブチャンネルを用いて、TAUDTTOUTm のパルス周期（周波数）とデューティサイクルを設定することができます。

キャリア周期はマスタチャンネルで生成します。マスタチャンネルの1周期目はスレーブカウンタのダウンステータスを、2周期目はアップステータスを制御します。

前提条件

- 2チャンネル
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 25.189 三角波 PWM 出力機能のマスタチャンネルの TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネルの動作モードは、アップ/ダウンカウントモードに設定する必要があります（「表 25.193 三角波 PWM 出力機能のスレーブチャンネルの TAUDnCMORm レジスタの内容」参照）。
- マスタチャンネルの出力モードは、チャンネル単体出力モード1に設定する必要があります（「25.7 チャンネル出力モード」参照）。
- スレーブチャンネルの出力モードは、チャンネル連動出力モード2に設定する必要があります（「25.7 チャンネル出力モード」参照）。
- 次のような設定により、キャリア周期のダウンステータスの間、TAUDTTOUTm 信号がハイレベルになります。
 - TAUDnCMORm.TAUDnMD0（マスタ）ビットが“0”に設定されている場合、TAUDnTOE.TAUDnTOEm が“0”の間、TAUDnTO.TAUDnTOm を“1”に設定する必要があります。（推奨設定）
 - TAUDnCMORm.TAUDnMD0（マスタ）ビットが“1”に設定されている場合、TAUDnTOE.TAUDnTOEm が“0”の間、TAUDnTO.TAUDnTOm を“0”に設定する必要があります。

機能説明

チャンネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、すべてのチャンネルでカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm が設定され、カウントが可能になります。TAUDnCDRm（マスタ/スレーブ）の値が TAUDnCNTm（マスタ/スレーブ）にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャンネルの TAUDnCMORm.TAUDnMD0 ビットが“1”に設定されている場合は、割り込みが発生し、マスタの TAUDTTOUTm 信号がトグルされます。

- マスタチャンネル：
マスタチャンネルのカウント値が 0000_Hになると（パルス周期が経過すると）、INTTAUDnIm が発生し、TAUDTTOUTm 信号がトグルされます。その後、再び TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。

- スレーブチャネル：
 - マスタチャネルで INTTAUDnIm が発生すると、スレーブチャネルのカウンタ動作がトリガされます。
 - スレーブのカウンタがダウンカウント中の場合は、カウント方向が変わります。
 - スレーブのカウンタがアップカウント中の場合は、再び TAUDnCDRm の値がロードされ、カウンタはダウンカウントを開始します。
 - スレーブチャネルのカウンタがアップ/ダウンカウント中に 0001_H になると、INTTAUDnIm が発生し、TAUDTTOUTm (スレーブ) 信号がセット/リセットされます。
 - カウンタはアップ/ダウンカウントを続け、マスタチャネルの次の INTTAUDnIm を待ちます。
 - TAUDnTOL.TAUDnTOLm を設定することにより、動作中に TAUDTTOUTm 信号の正相/逆相を切り替えることができます。

マスタ/スレーブチャネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタの動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/スレーブチャネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。

条件

この機能では一斉書き換えを行うことができます。「25.6 一斉書き換え」を参照してください。

25.15.7.2 算出式

パルス周期 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

$0000_H \leq \text{TAUDnCDRm (マスタ)} < \text{FFFF}_H$

キャリア周期 (ダウン/アップ) = (TAUDnCDRm (マスタ) + 1) × 2 × カウントクロック周期

デューティサイクル [%] =

$[(\text{TAUDnCDRm (マスタ)} + 1 - \text{TAUDnCDRm (スレーブ)}) / (\text{TAUDnCDRm (マスタ)} + 1)] \times 100$

– デューティサイクル = 100%

TAUDnCDRm (スレーブ) = 0000_H

– デューティサイクル = 0%

TAUDnCDRm (スレーブ) \geq TAUDnCDRm (マスタ) + 1

25.15.7.3 ブロック図と基本タイミング図

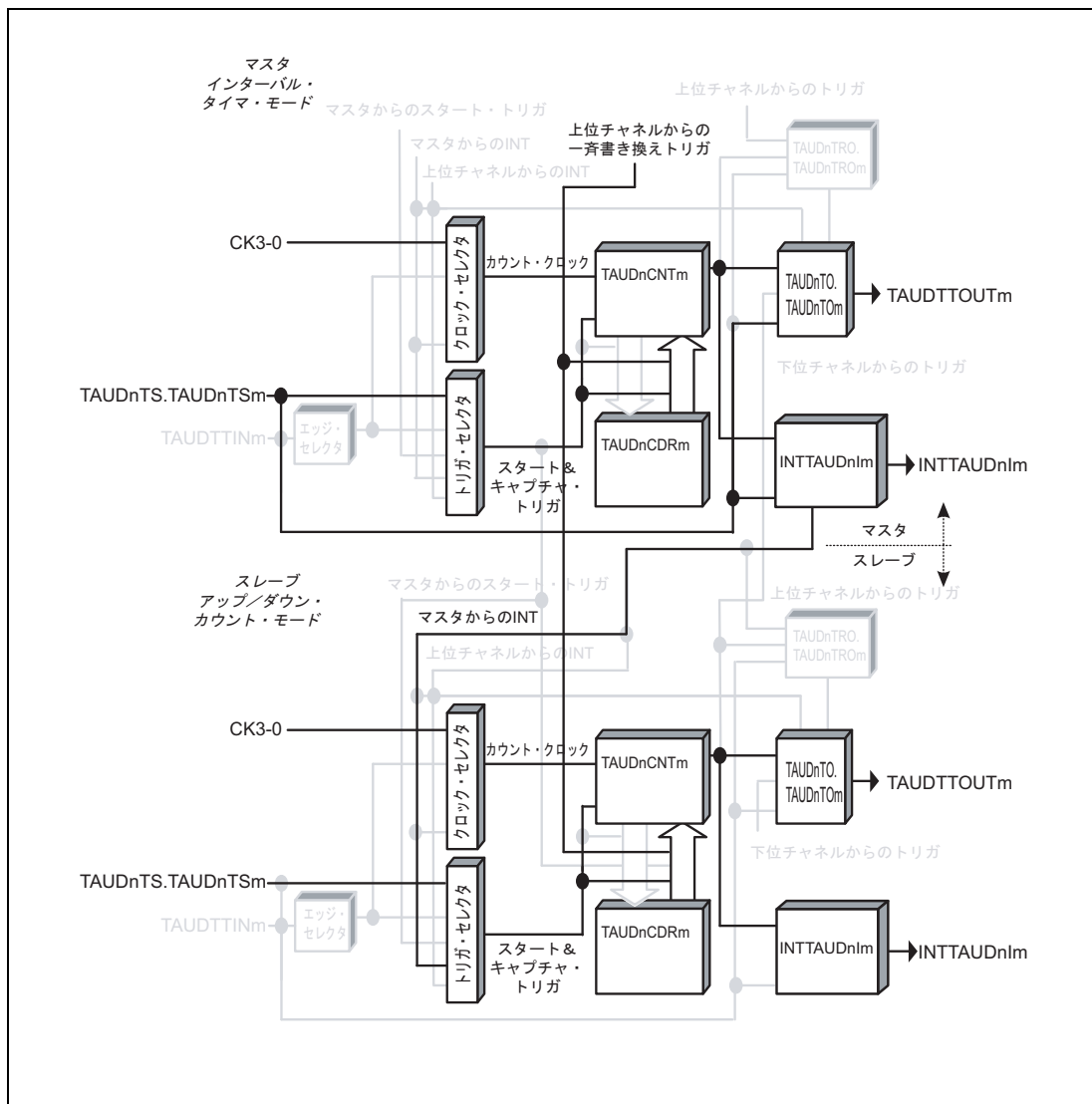


図 25.116 三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル
 - 動作開始時に INTTAUDnIm が発生する
(TAUDnCMORm.TAUDnMD0 = 1)

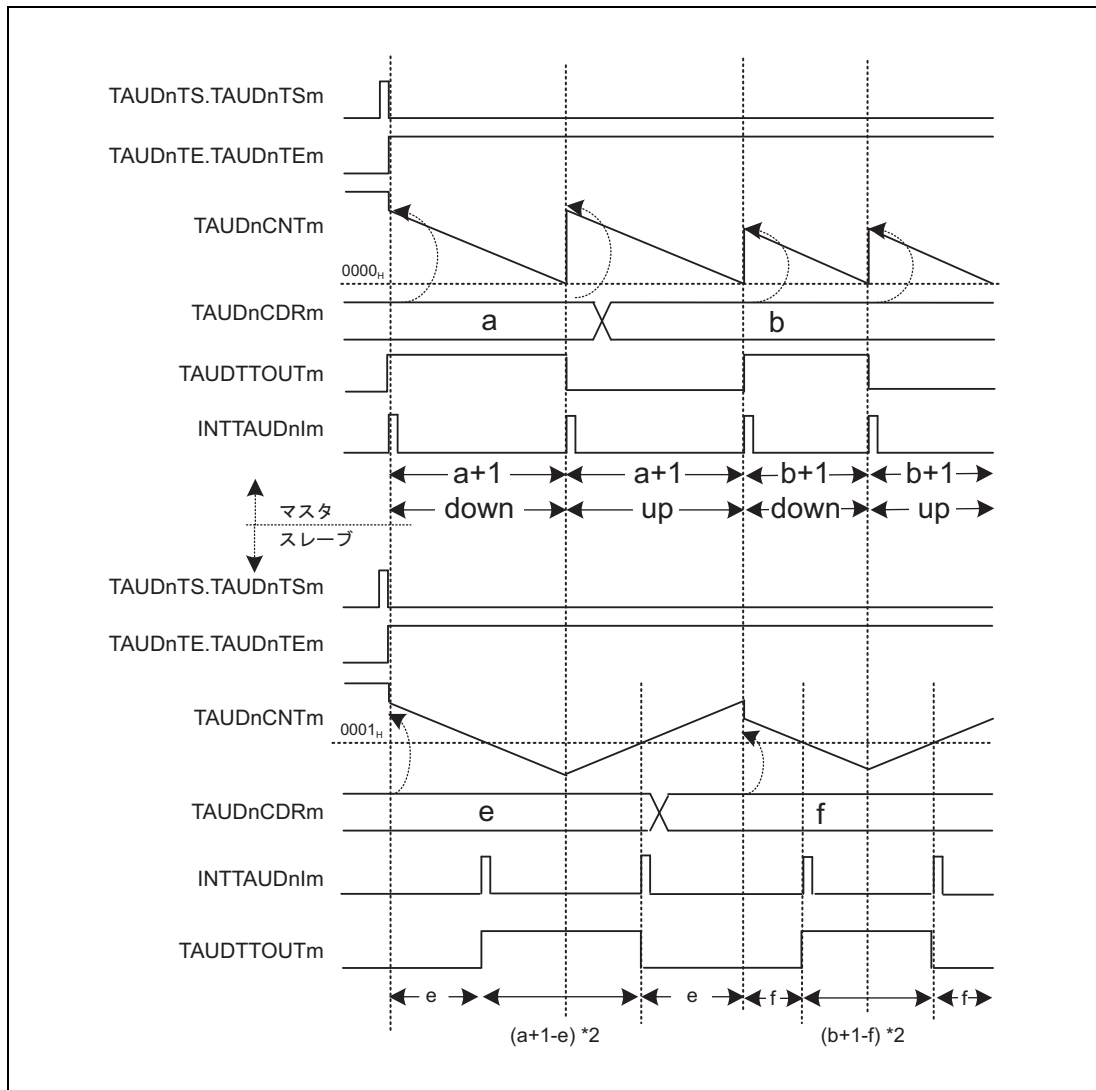


図 25.117 三角波 PWM 出力機能の基本タイミング図

25.15.7.4 マスタチャンネルのレジスタ設定

(1) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.189 三角波 PWM 出力機能のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKS [1:0]	動作クロックの選択 00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13, 12	TAUDnCCS [1:0]	00: 動作クロックをカウントクロックとして使用
11	TAUDnMAS	1: チャンネルはマスタチャンネル
10 ~ 8	TAUDnSTS [2:0]	000: ソフトウェアでカウンタをトリガ
7, 6	TAUDnCOS [1:0]	00: 未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUDnMD [4:1]	0000: インターバルタイマモード
0	TAUDnMD0	0: 動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1: 動作開始時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(2) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.190 三角波 PWM 出力機能のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00: 未使用、“00”を設定

(3) マスタチャンネルのチャンネル出力モード

表 25.191 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効(リセット後の値)となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEem	0: 変調禁止

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.192 三角波 PWM 出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

備考

TAUDnRDS.TAUDnRDSm = 1の場合、マスタチャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

25.15.7.5 スレーブチャンネルのレジスタ設定

(1) スレーブチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.193 三角波 PWM 出力機能のスレーブチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	111：マスタチャンネルのアップ/ダウン出力トリガ信号
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1001：アップ/ダウンカウントモード
0	TAUDnMD0	0：動作開始時に INTTAUDnim が発生しない

(2) スレーブチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.194 三角波 PWM 出力機能のスレーブチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネルのチャンネル出力モード

表 25.195 チャンネル連動出力モード2のときの制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	1: 動作モード2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0: 変調禁止

(4) スレーブチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.196 三角波 PWM 出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

25.15.7.6 三角波 PWM 出力機能時の操作手順

表 25.197 三角波 PWM 出力機能時の操作手順

	操作	TAUDn の状態
動作再開	チャンネルの初期設定 マスタチャンネル : TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「25.15.7.4 マスタチャンネルのレジスタ設定」に示すように設定します。 スレーブチャンネル : TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「25.15.7.5 スレーブチャンネルのレジスタ設定」に示すように設定します。 全チャンネルの TAUDnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSm を同時に“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が“1”に設定され、マスタ/スレーブチャンネルのカウンタが動作を開始します。 マスタチャンネルで TAUDnCMORm.TAUDnMD0 が“1”に設定されている場合は、INTTAUDnIm (マスタ) が発生します。
	動作中 TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnTOL.TAUDnTOLm は変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタ/スレーブチャンネルの TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。マスタチャンネルのカウンタが 0000 _H になった場合 : <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 TAUDTTOUTm (マスタ) がトグルされません。 再び TAUDnCDRm の値を TAUDnCNTm (マスタ) にロードし、カウント動作を継続します。 再び TAUDnCDRm の値を TAUDnCNTm (スレーブ) にロードするか、反対方向のカウントを開始します。 スレーブチャンネルの TAUDnCNTm が 0001 _H になった場合 : <ul style="list-style-type: none"> INTTAUDnIm (スレーブ) が発生します。 TAUDTTOUTm (スレーブ) は、ダウンカウント状態ではセット、アップカウント状態ではリセットされます。
	動作停止 マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

25.15.7.7 特定の設定時のタイミング図

(1) デューティサイクル = 0%

基本タイミング図での設定は次のようになっています。

- マスタチャンネル：
 - 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)
 - TAUDnCDRm = a = 5_H
- スレーブチャンネル：
 - TAUDnCDRm = 6_H

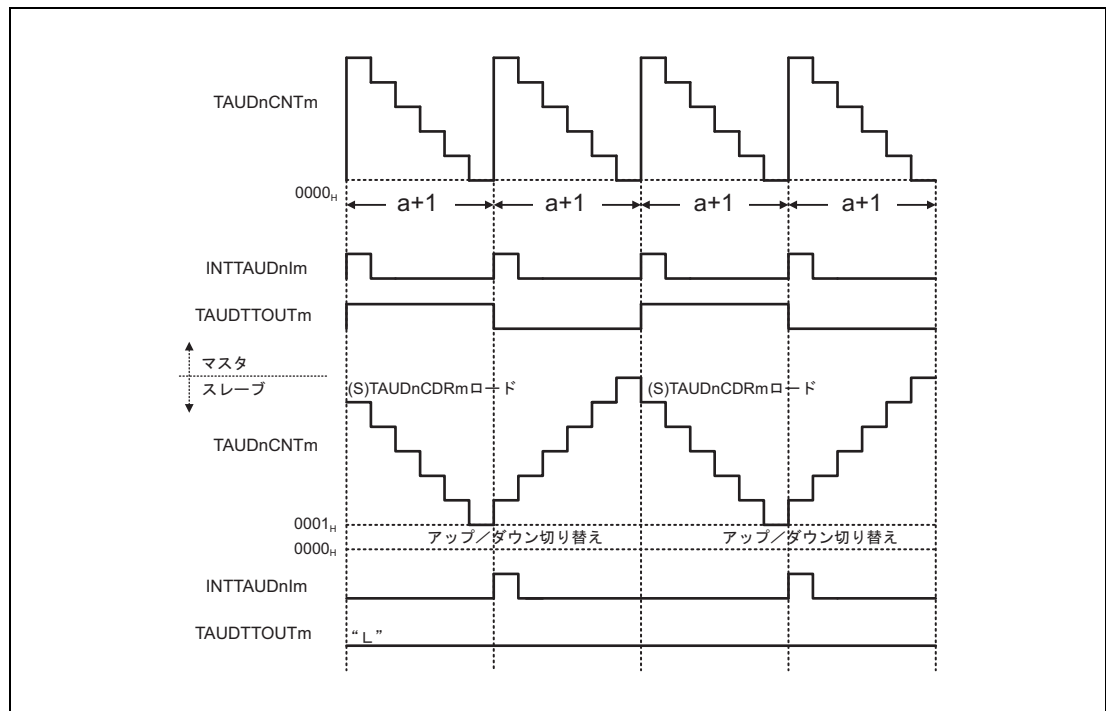


図 25.118 TAUDnCDRm (スレーブ) ≥ TAUDnCDRm (マスタ) + 1

- TAUDnCDRm (スレーブ) 値が TAUDnCDRm (マスタ) + 1 値以上の場合、ダウンカウント中にスレーブチャンネルの INTTAUDnIm は発生しません。セット信号が検出されないことがないため、TAUDTTOUTm はロウレベル状態のままになります。

(2) デューティサイクル = 100%

基本タイミング図での設定は次のようになっています。

- マスタチャンネル：
 - 動作開始時に INTTAUDnIm が発生する
(TAUDnCMORm.TAUDnMD0 = 1)
 - TAUDnCDRm = a = 5_H
- スレーブチャンネル：
 - TAUDnCDRm = 0_H

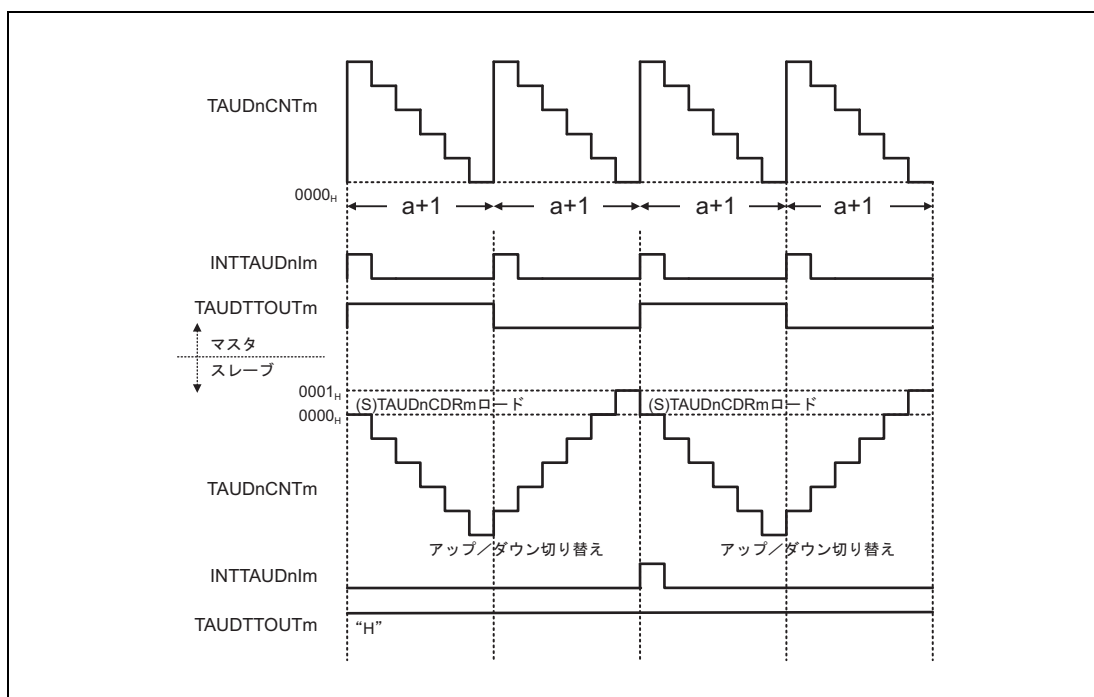


図 25.119 TAUDnCDRm (スレーブ) = 0000_H

- TAUDnCDRm (スレーブ) = 0000_H の場合、アップカウント中にスレーブチャンネルの INTTAUDnIm は発生しません。リセット信号が検出されないため、TAUDTTOUTm はハイレベル状態のままになります。

25.15.8 デッドタイム付き三角波 PWM 出力機能

25.15.8.1 概要

概要

マスタチャンネルと2つ以上のスレーブチャンネルを使用することで、複数の三角波 PWM 出力信号をあらかじめ定義されたデッドタイムを付加して生成する機能です。デッドタイムが付加された PWM 信号は、スレーブチャンネル 2/3 の TAUDTTOUTm から出力されます。これにより、マスタ/スレーブチャンネルを使って TAUDTTOUTm のパルス周期（周波数）とデューティサイクルを設定することができます。

キャリア周期はマスタチャンネルで生成します。1 周期目のパルスはスレーブカウンタのダウンステータスを、2 周期目のパルスはアップステータスを制御します。

スレーブ 2 で割り込みが発生すると、スレーブチャンネルの TAUDTTOUTm がセット/リセットされます。TAUDnTDL.TAUDnTDLm の設定によって、信号の正論理側または負論理側に遅延時間が付加されます（TAUDTTOUTm がただちにセット/リセットされるのか、デッドタイム経過後にセット/リセットされるのかを設定）。デッドタイム時間はスレーブチャンネル 3 で設定します。

前提条件

- 3 チャンネル。スレーブチャンネル 2 と 3 は、偶数チャンネル CH (a) と奇数チャンネル CH (a + 1) を選択してください。
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 25.199 デッドタイム付き三角波 PWM 出力機能のマスタチャンネルの TAUDnCMORm レジスタの内容」参照）。
- この機能では、スレーブチャンネル 1 は使用しません。そのため、スレーブチャンネル 2 は必ず偶数チャンネル (a)、スレーブチャンネル 3 は奇数チャンネル (a + 1) です。スレーブチャンネル 1 は、個別タイマ（単体機能）として使用可能です。
- スレーブチャンネル 2 の動作モードは、アップダウンモードに設定する必要があります（「表 25.203 デッドタイム付き三角波 PWM 出力機能のスレーブチャンネル 2 の TAUDnCMORm レジスタの内容」参照）。
また、スレーブチャンネル 2 は偶数チャンネルでなければなりません。
- スレーブチャンネル 3 の動作モードは、ワンカウントモードに設定する必要があります（「表 25.207 デッドタイム付き三角波 PWM 出力機能のスレーブチャンネル 3 の TAUDnCMORm レジスタの内容」参照）。
また、スレーブチャンネル 3 は奇数チャンネルでなければなりません。
- マスタチャンネルのチャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります（「25.7 チャンネル出力モード」参照）。
- スレーブチャンネル 2/3 の出力モードは、デッドタイム出力を行うチャンネル連動出力モード 2 に設定する必要があります（「25.7 チャンネル出力モード」参照）。
- 次のような設定により、キャリア周期のダウンステータスの間、TAUDTTOUTm 信号がハイレベルになります。
 - TAUDnCMORm.TAUDnMD0（マスタ）ビットが“0”に設定されている場合、TAUDnTOE.TAUDnTOEm が“0”の間、TAUDnTO.TAUDnTOm を“1”に設定する必要があります。（推奨設定）

- TAUDnCMORm.TAUDnMD0 (マスタ) ビットが“1”に設定されている場合、TAUDnTOE.TAUDnTOEm が“0”の間、TAUDnTO.TAUDnTOm を“0”に設定する必要があります。

備考

デッドタイム付き三角波 PWM 出力機能では、スレーブチャンネル 1 を使用しません。スレーブチャンネル 1 は、個別タイマ (単体機能) として使用可能です。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が開始されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャンネルの TAUDnCMORm.TAUDnMD0 ビットが“1”に設定されている場合は、割り込みが発生し、マスタの TAUDTTOUTm 信号がトグルされます。

- マスタチャンネル :
マスタチャンネルのカウント値が 0000_H になると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がトグルされます。再び TAUDnCDRm の値をカウンタにロードし、ダウンカウントを行います。
- スレーブチャンネル 2 :
マスタチャンネルで INTTAUDnIm が発生すると、スレーブチャンネル 2 のカウンタ動作がトリガされます。
 - スレーブのカウントがダウンカウント中の場合は、カウント方向が変わります。
 - スレーブのカウントがアップカウント中の場合は、再び TAUDnCDRm の値がロードされ、カウンタはダウンカウントを開始します。
 カウンタはアップ/ダウンカウントを続け、マスタチャンネルの次の INTTAUDnIm を待ちます。
スレーブチャンネル 2 のカウント値が 0001_H になると INTTAUDnIm が発生します。
- スレーブチャンネル 3 :
スレーブチャンネル 2 で INTTAUDnIm が発生すると、スレーブチャンネル 3 のカウンタ動作がトリガされます。そして TAUDnCDRm (スレーブ 3) の現在値が TAUDnCNTm (スレーブ 3) にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。
カウンタ値が 0000_H になると、INTTAUDnIm が発生します。カウンタは FFFF_H に戻り、スレーブチャンネル 2 の次の INTTAUDnIm を待ちます。

「表 25.198 スレーブチャンネル 2 で割り込みが発生した際の TAUDTTOUTm の動作」にあるように、対応するチャンネルの TAUDnTDL.TAUDnTDLm 設定によって、セット/リセットのタイミング (割り込み発生直後またはデッドタイム経過後) が決まります。

また、TAUDnTOL.TAUDnTOLm の設定によって、対応チャンネルからハイレベル信号を出力 (TAUDnTOL.TAUDnTOLm = 0) するかわれレベル信号を出力 (TAUDnTOL.TAUDnTOLm = 1) するかが決まります。

マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。

スレーブチャンネル2のTAUDnCDRm値を0000_Hにして、TAUDTTOUTmを100%出力することができます。

条件

この機能では一斉書き換えを行うことができます。「25.6 一斉書き換え」を参照してください。

TAUDnTOL.TAUDnTOLmとTAUDnTDL.TAUDnTDLmの設定はカウント動作開始前に行う必要があります、スレーブチャンネル2とスレーブチャンネル3はTAUDnTDL.TAUDnTDLmの設定が反対でなければなりません。

表 25.198 スレーブチャンネル2で割り込みが発生した際のTAUDTTOUTmの動作

TAUDnTDL. TAUDnTDLm	割り込み発生時のスレーブ チャンネル2のカウント方向	TAUDTTOUTm セット/ リセットタイミング
0	ダウンカウント	デッドタイム経過後にセット
	アップカウント	割り込み発生直後にリセット
1	ダウンカウント	割り込み発生直後にセット
	アップカウント	デッドタイム経過後にリセット

25.15.8.2 算出式

パルス周期 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

0000_H ≤ TAUDnCDRm (マスタ) < FFFF_H

キャリア周期 (ダウン/アップ) = (TAUDnCDRm (マスタ) + 1) × 2 × カウントクロック周期

PWM 信号幅 (正相) = [(TAUDnCDRm (マスタ) + 1 - TAUDnCDRm (スレーブ2)) × 2 - (TAUDnCDRm (スレーブ3) + 1)] × カウントクロック周期

PWM 信号幅 (逆相) = [(TAUDnCDRm (マスタ) + 1 - TAUDnCDRm (スレーブ2)) × 2 + (TAUDnCDRm (スレーブ3) + 1)] × カウントクロック周期

25.15.8.3 ブロック図と基本タイミング図

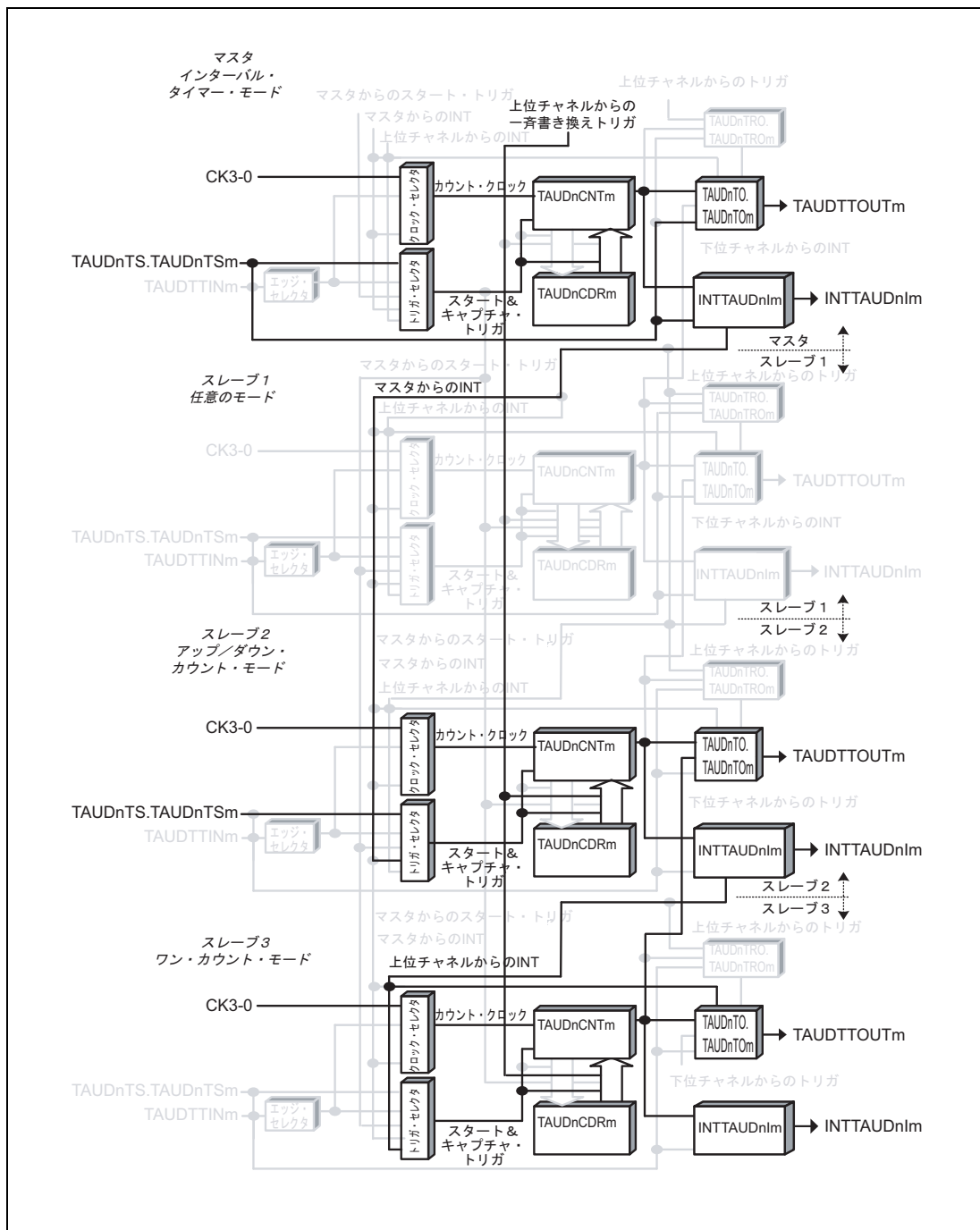


図 25.120 デッドタイム付き三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル：
 - 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)

- スレーブチャンネル2 :
 - 動作開始時に INTTAUDnIm が発生しない
(TAUDnCMORm.TAUDnMD0 = 0)
 - TAUDnTDL.TAUDnTDLm = 0
 - 正論理 (TAUDnTOL.TAUDnTOLm = 0)
- スレーブチャンネル3 :
 - カウント中のスタートトリガ検出許可
(TAUDnCMORm.TAUDnMD0 = 1)
 - TAUDnTDL.TAUDnTDLm = 1
 - 正論理 (TAUDnTOL.TAUDnTOLm = 0)

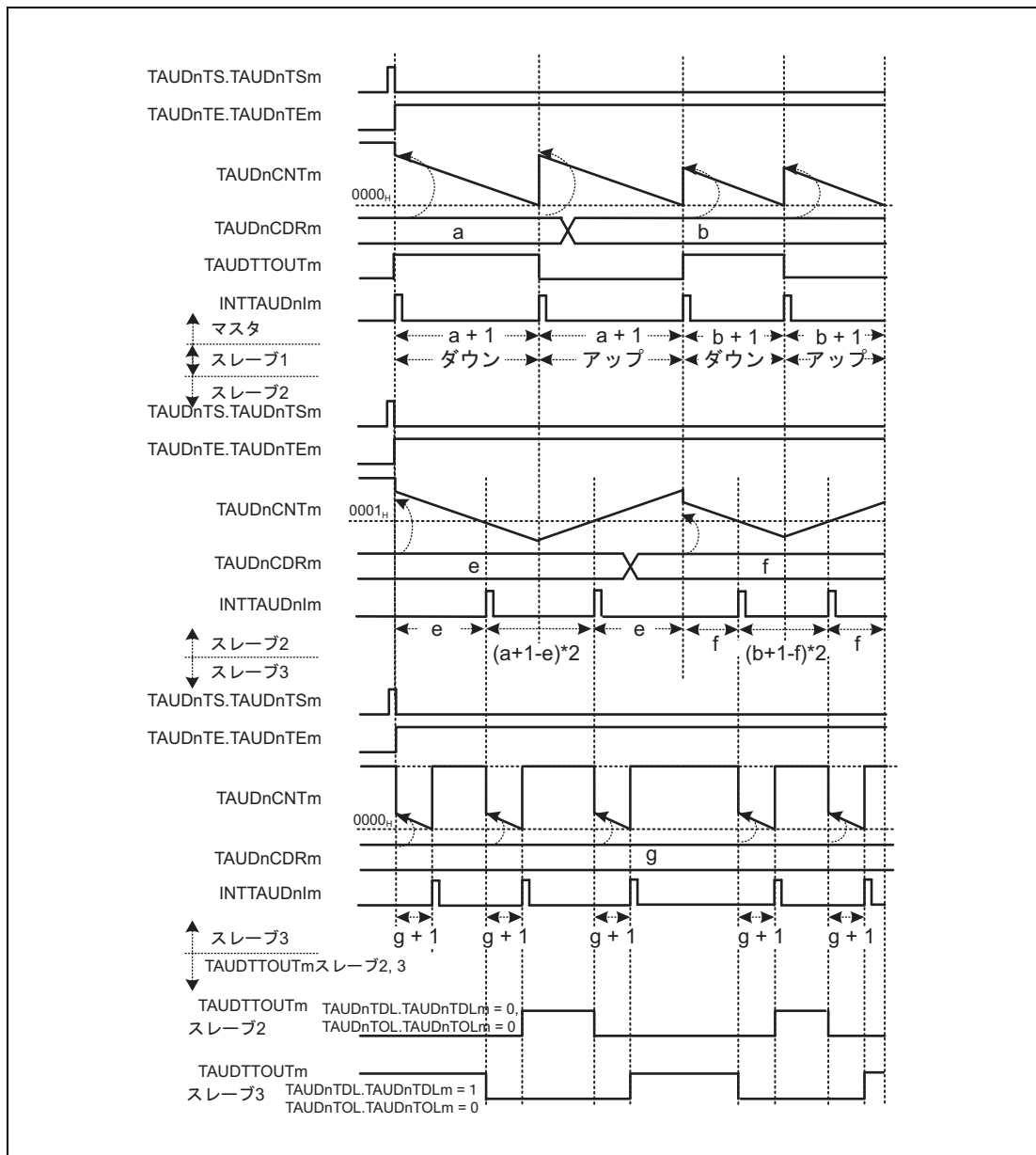


図 25.121 デッドタイム付き三角波 PWM 出力機能の基本タイミング図

25.15.8.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.199 デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnim が発生せず、TAUDTTOUTm はトグルされない 1：動作開始時に INTTAUDnim が発生し、TAUDTTOUTm はトグルされる

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.200 デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) マスタチャンネルのチャンネル出力モード

表 25.201 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効(リセット後の値)となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0: 変調禁止

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.202 デッドタイム付き三角波 PWM 出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

備考

TAUDnRDS.TAUDnRDSm = 1の場合、マスタチャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

25.15.8.5 スレーブチャンネル2のレジスタ設定

(1) スレーブチャンネル2のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.203 デッドタイム付き三角波 PWM 出力機能のスレーブチャンネル2のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	111：マスタチャンネルのアップ/ダウン出力トリガ信号
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1001：アップ/ダウンカウントモード
0	TAUDnMD0	0：動作開始時に INTTAUDnim が発生しない

(2) スレーブチャンネル2のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 25.204 デッドタイム付き三角波 PWM 出力機能のスレーブチャンネル2のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネル2のチャンネル出力モード

表 25.205 デッドタイム出力を行うチャンネル連動出力モード2時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	1: 動作モード2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	1: デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0: 上位偶数チャンネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0: 正相にデッドタイムを付加 1: 逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEem	0: 変調禁止

注 意

TAUDnTDL.TAUDnTDLm は、奇数チャンネルと排他設定してください。

(4) スレーブチャンネル2の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.206 デッドタイム付き三角波 PWM 出力機能時のスレーブチャンネル2の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

25.15.8.6 スレーブチャンネル3のレジスタ設定

(1) スレーブチャンネル3のTAUDnCMORM

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.207 デッドタイム付き三角波 PWM 出力機能のスレーブチャンネル3のTAUDnCMORMレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	110：TAUDTTOUTm 生成ユニットのデッドタイム出力信号
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：カウント中のスタートトリガ検出許可

(2) スレーブチャンネル3のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 25.208 デッドタイム付き三角波 PWM 出力機能のスレーブチャンネル3のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネル3のチャンネル出力モード

表 25.209 デッドタイム出力を行うチャンネル連動出力モード2時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	1: 動作モード2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	1: デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0: 上位偶数チャンネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0: 正相にデッドタイムを付加 1: 逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0: 変調禁止

注 意

TAUDnTDL.TAUDnTDLm は、偶数チャンネルと排他設定してください。

(4) スレーブチャンネル3の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.210 デッドタイム付き三角波 PWM 出力機能時のスレーブチャンネル3の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

25.15.8.7 デッドタイム付き三角波 PWM 出力機能時の操作手順

表 25.211 デッドタイム付き三角波 PWM 出力機能時の操作手順

	操作	TAUDn の状態
動作再開	初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が "1" に設定され、マスタ/スレーブチャンネルのカウンタが動作を開始します。 マスタチャンネルで TAUDnCMORm.TAUDnMD0 が "1" に設定されている場合は、INTTAUDnIm (マスタ) が発生します。
	動作中	マスタチャンネルとスレーブチャンネル 2 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。マスタチャンネルのカウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 再び TAUDnCDRm の値を TAUDnCNTm (マスタ) にロードし、カウント動作を継続します。 再び TAUDnCDRm の値を TAUDnCNTm (スレーブ 2) にロードするか、反対方向のカウンタを開始します。 TAUDnCNTm (スレーブ 2) が 0001 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (スレーブ 2) が発生します。 スレーブチャンネル 3 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。 スレーブチャンネル 3 の TAUDnCNTm が 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm が発生します。
	動作停止	TAUDnTE.TAUDnTEm が "0" にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDnTOUTm は停止し、現在値を保持します。

25.15.8.8 特定の設定時のタイミング図

(1) デューティサイクル = 0%

図 25.122 での設定は次のようになっています。

- スレーブチャンネル 2 :
 - 正論理 (TAUDnTDL.TAUDnTDLm = 0)
- スレーブチャンネル 3 :
 - 負論理 (TAUDnTDL.TAUDnTDLm = 1)

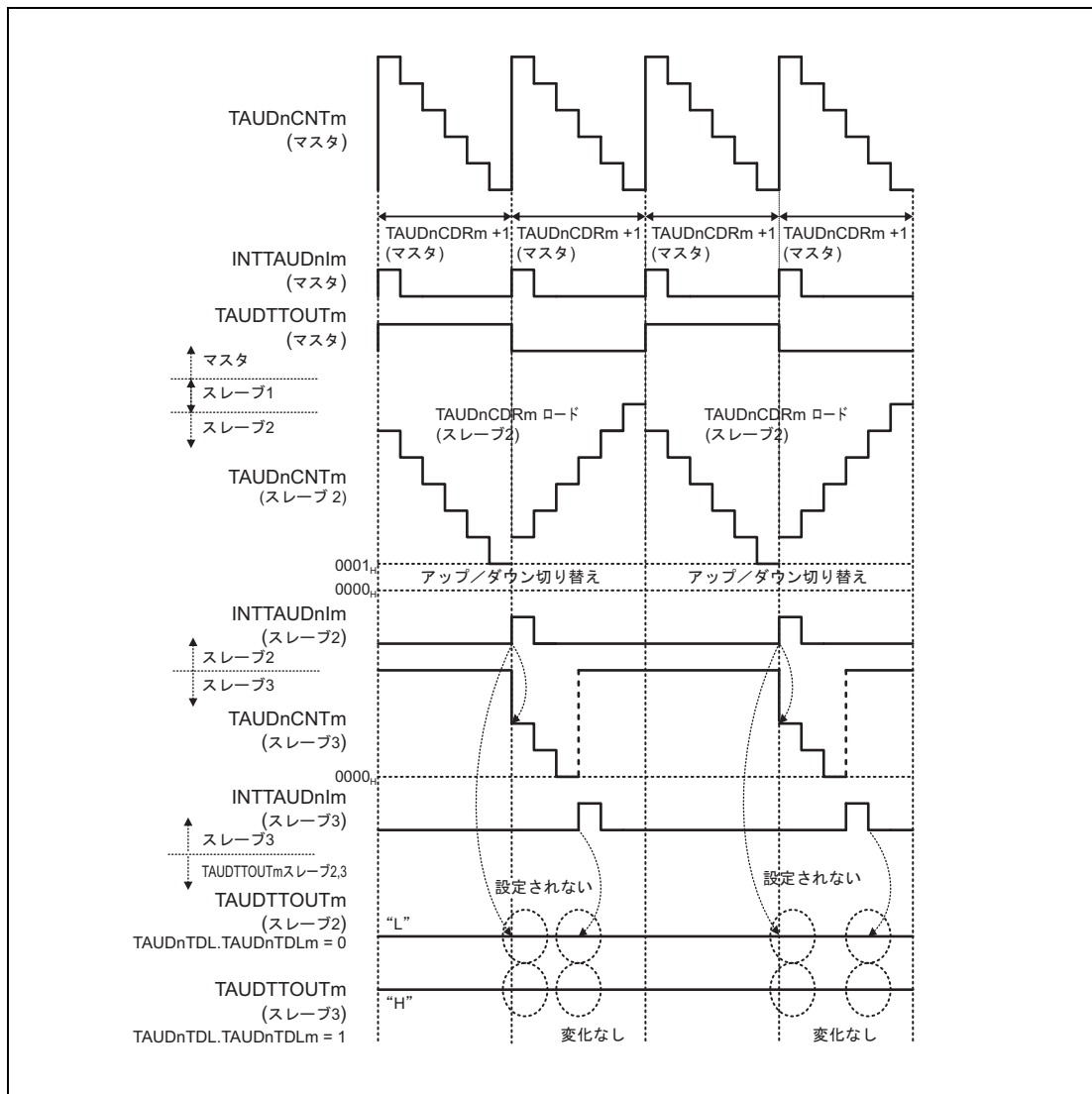


図 25.122 TAUDnCDRm (スレーブ 2) \geq TAUDnCDRm (マスタ) + 1

- TAUDnCDRm (スレーブ 2) 値が TAUDnCDRm (マスタ) 値以上の場合、スレーブチャンネルのカウンタはダウンカウント中、0000_H になりません。したがって TAUDTTOUTm 信号のセット/リセットは行われず、初期状態のままになります。アップカウント中にスレーブチャンネル 2 で割り込みが発生するため、この信号はリセット信号になります。

(2) デューティサイクル = 100%

図 25.123 での設定は次のようになっています。

- スレーブチャンネル 2 :
 - 正論理 (TAUDnTDL.TAUDnTDLm = 0)
- スレーブチャンネル 3 :
 - 負論理 (TAUDnTDL.TAUDnTDLm = 1)

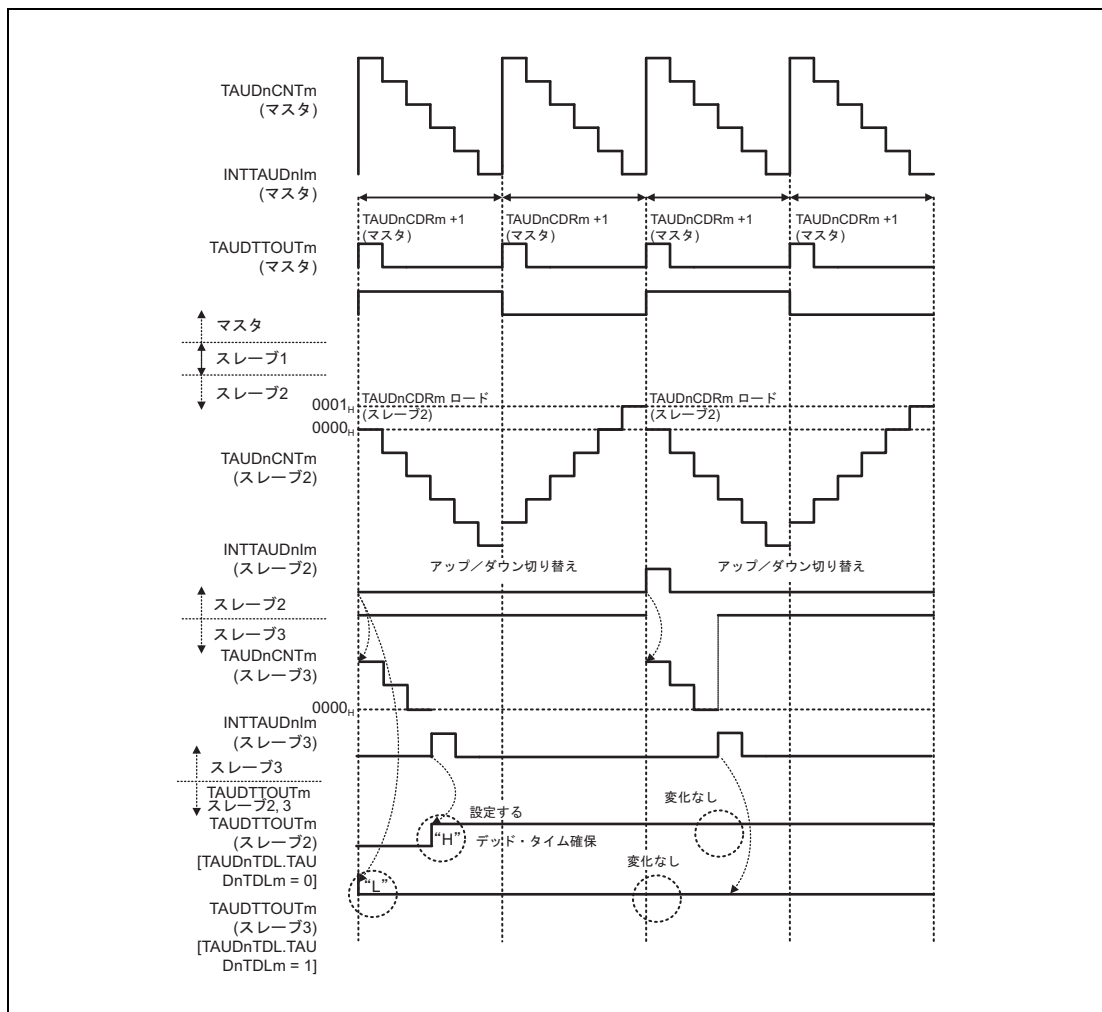


図 25.123 TAUDnCDRm (スレーブ) = 0000_H

- TAUDnCDRm (スレーブ 2) = 0000_H の場合、スレーブチャンネルのカウンタはアップカウント中、0001_H になりません。したがって、アップカウント中に INTTAUDnIm は発生しません。
 - TAUDnTDL.TAUDnTDLm が “0” に設定されているチャンネルでは、デッドタイム経過後にセット条件が満たされます。このようなチャンネルではリセット条件が満たされることがないため、TAUDTTOUTm のセット/リセットが行われても、信号は新しく設定された状態のままになります。
 - 上図のスレーブチャンネル 3 はカウント開始時にセットされます。ただし、TAUDnTDL.TAUDnTDLm が “1” に設定されているスレーブチャンネルでは、リセッ

ト条件が満たされることがないため、当該チャンネルでは TAUDTTOUT_m は初期状態のままになります。

25.15.9 A/D 変換トリガ出力機能タイプ 2

25.15.9.1 概要

概要

この機能は、TAUDTTOUT_m が出力されないという点を除き、「**25.15.7 三角波 PWM 出力機能**」と同じです。

スレーブチャンネルのチャンネル出力モードをソフトウェア制御のチャンネル単体出力モードに設定することにより、この機能が有効になります。

25.15.9.2 ブロック図と基本タイミング図

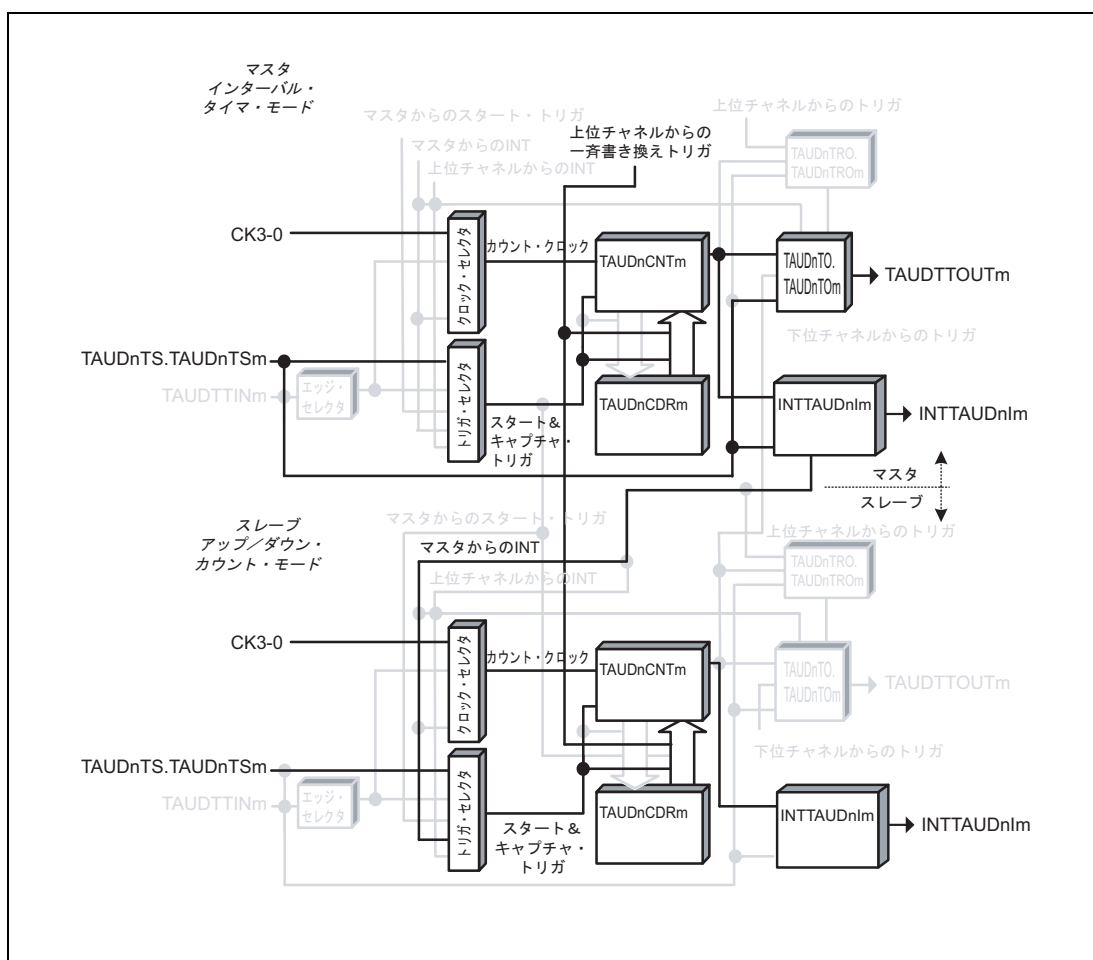


図 25.124 A/D 変換トリガ出力機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル
 - 動作開始時に INTTAUDnIm が発生する
(TAUDnCMORm.TAUDnMD0 = 1)

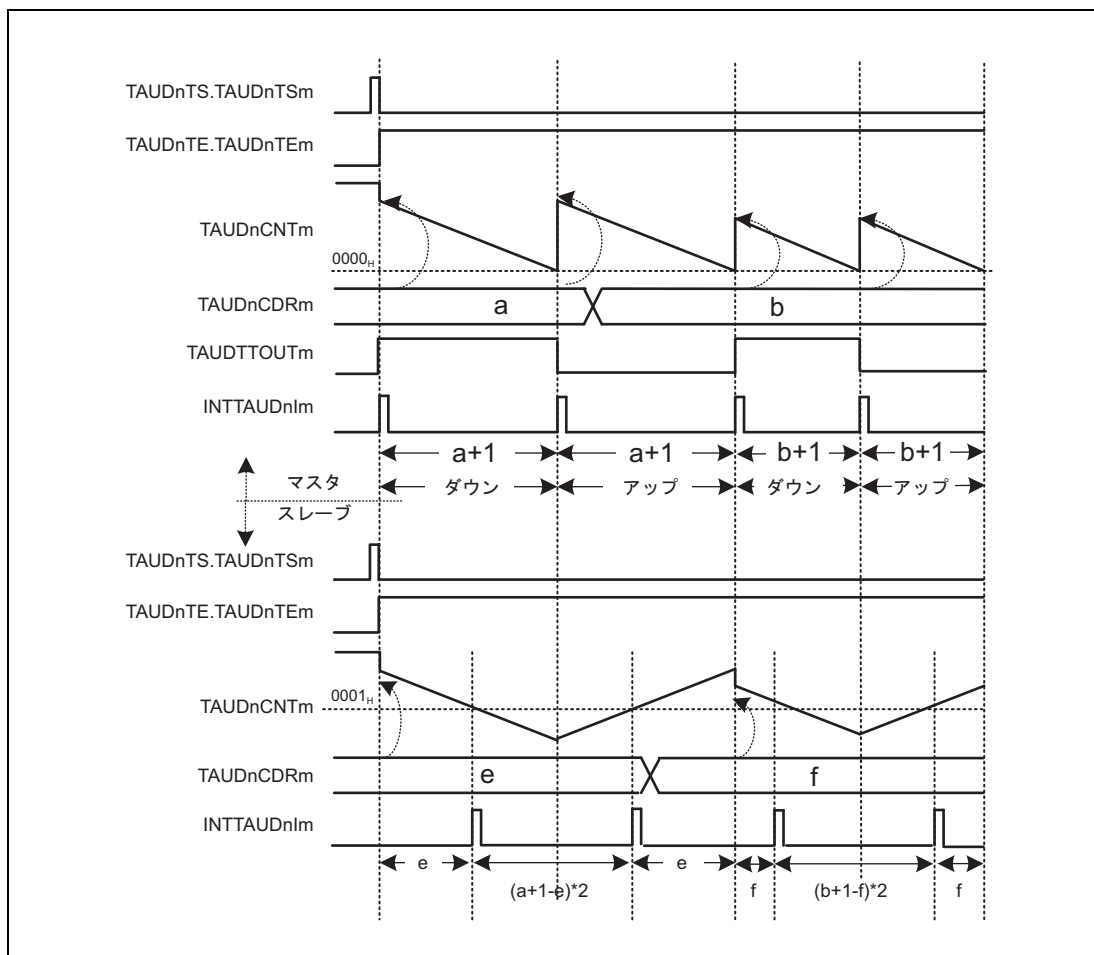


図 25.125 A/D 変換トリガ出力機能タイプ 2 の基本タイミング図

25.15.10 割り込み要求信号間引き機能

25.15.10.1 概要

概要

マスタチャンネルの割り込み数を、スレーブチャンネルを使って指定した値で割る機能です。割り込み要求信号間引き機能は、次の機能のサブ機能です。

- PWM 出力機能
(「25.15.1 PWM 出力機能」参照)
- 三角波 PWM 出力機能
(「25.15.7 三角波 PWM 出力機能」参照)
- デッドタイム付き三角波 PWM 出力機能
(「25.15.8 デッドタイム付き三角波 PWM 出力機能」参照)

前提条件

- 2チャンネル
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります
(「表 25.212 割り込み要求信号間引き機能のマスタチャンネルの TAUDnCMORm レジスタの内容」参照)。
- スレーブチャンネルの動作モードは、イベントカウントモードに設定する必要があります
(「表 25.215 割り込み要求信号間引き機能のスレーブチャンネルの TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDTTOUTm を使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、カウンタ (マスタ/スレーブチャンネル両方) の動作が許可されます。これにより TAUDnTE.TAUDnTEm が設定され、カウントが可能になります。マスタチャンネルとスレーブチャンネルのデータレジスタ (TAUDnCDRm) の現在値がカウンタ (TAUDnCNTm) にロードされます。

- マスタチャンネル：
マスタチャンネルのカウンタが 0000_Hになると、INTTAUDnIm が発生し、TAUDnCDRm の値が TAUDnCNTm にロードされます。
- スレーブチャンネル：
マスタチャンネルで INTTAUDnIm が発生するたびに、スレーブチャンネルのカウンタをデクリメントします。カウンタが 0000_Hになると、マスタチャンネルからの次の割り込みを待ちます。そして TAUDnCDRm の値を TAUDnCNTm (スレーブ) にロードし、INTTAUDnIm が発生します。

この機能では強制リスタートは行えません。マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm が停止しますが、値は保持します。

条件

この機能では一斉書き換えを行うことができます。「25.6 一斉書き換え」を参照してください。

25.15.10.2 算出式

割り込み除算演算子 = $TAUDnCDRm$ (スレーブチャンネル)

- $TAUDnCDRm$ (スレーブチャンネル) + 1 で定義されたマスタチャンネルの $INTTAUDnIm$ 数につき 1 つの $INTTAUDnIm$ が発生します。

25.15.10.3 ブロック図と基本タイミング図

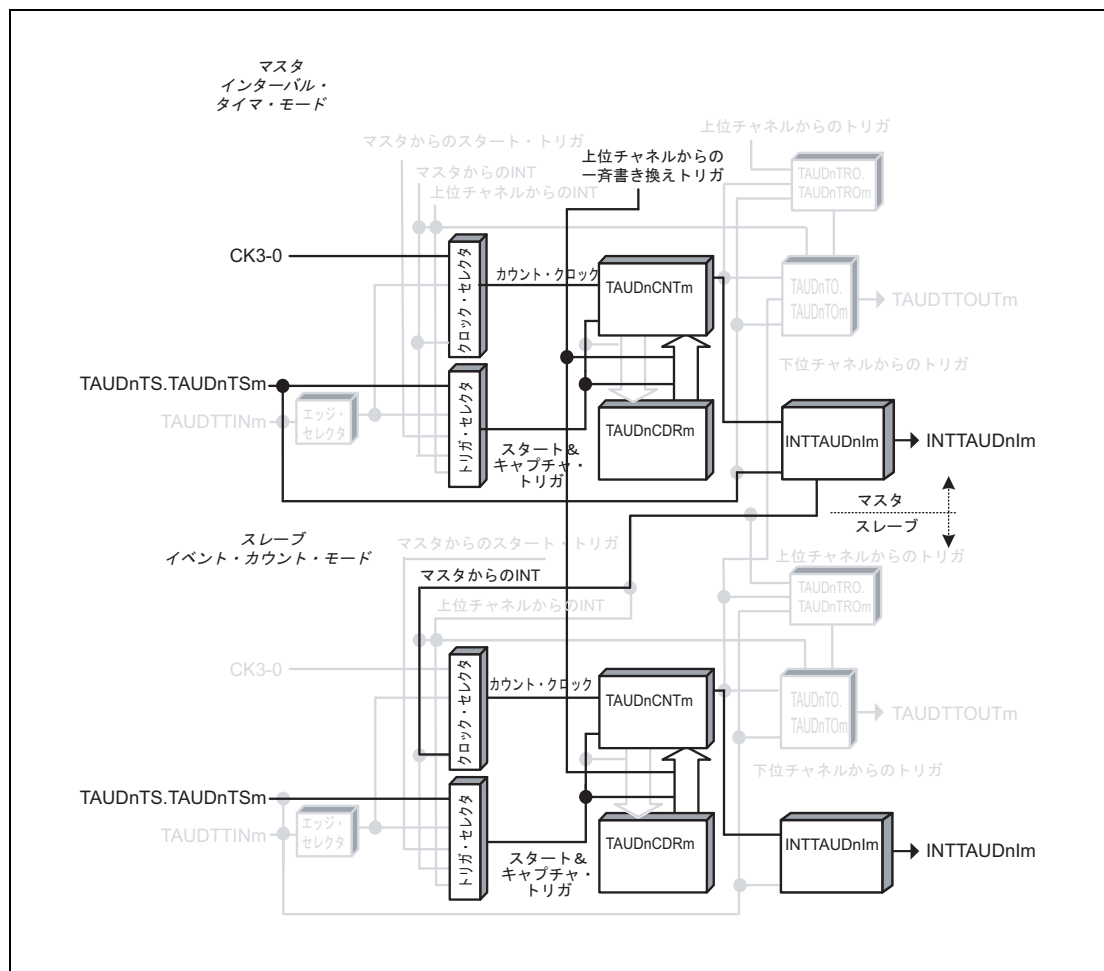


図 25.126 割り込み要求信号間引き機能のブロック図

基本タイミング図での設定は次のようになっています。

マスタチャネル：

- 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)

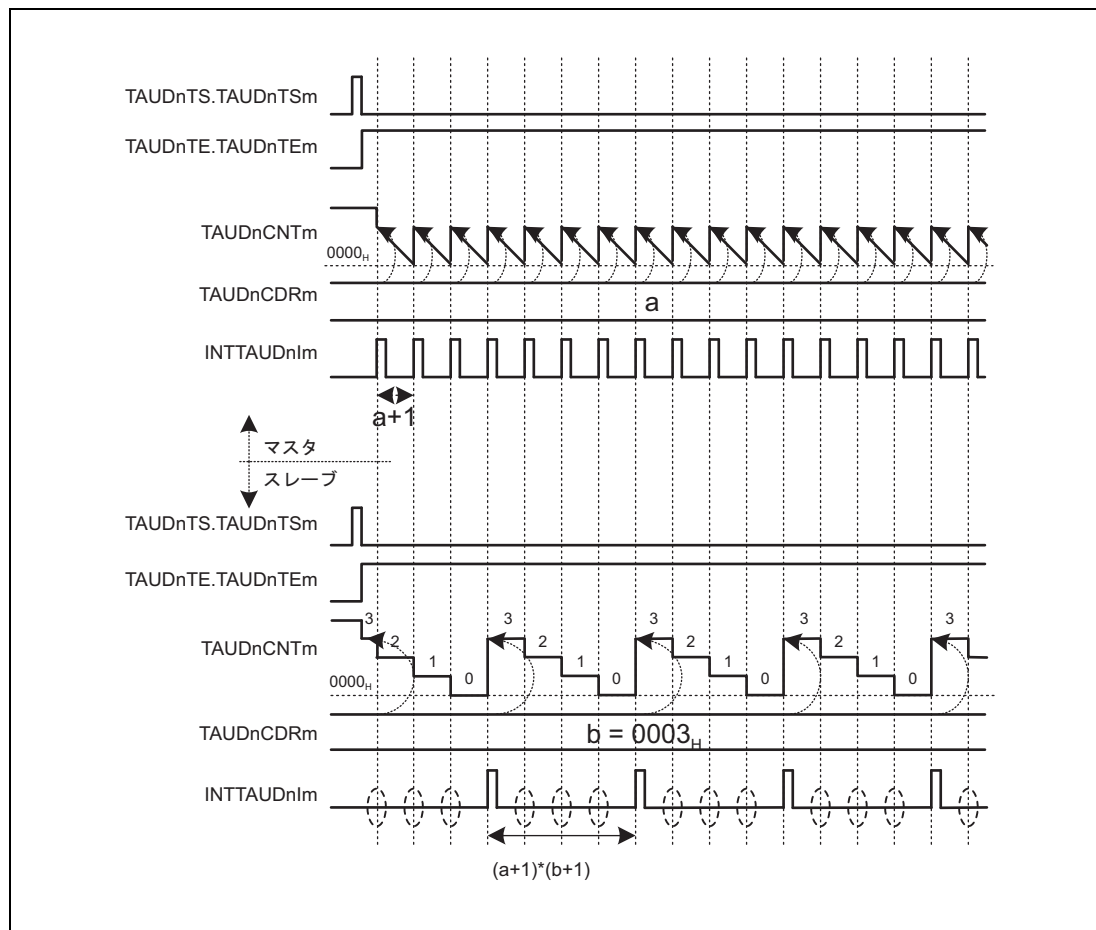


図 25.127 割り込み要求信号間引き機能の基本タイミング図

25.15.10.4 マスタチャンネルのレジスタ設定

(1) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.212 割り込み要求信号間引き機能のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャンネルはマスタチャンネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.213 割り込み要求信号間引き機能のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.214 割り込み要求信号間引き機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成 1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

25.15.10.5 スレーブチャンネルのレジスタ設定

(1) スレーブチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.215 割り込み要求信号間引き機能のスレーブチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	11：マスタチャンネルの INTTAUDnIm をカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0011：イベントカウントモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない

(2) スレーブチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.216 割り込み要求信号間引き機能のスレーブチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 25.217 割り込み要求信号間引き機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャネルの一斉書き換えトリガを選択 1: チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0: マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成 1: 一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャネルとして動作しない。

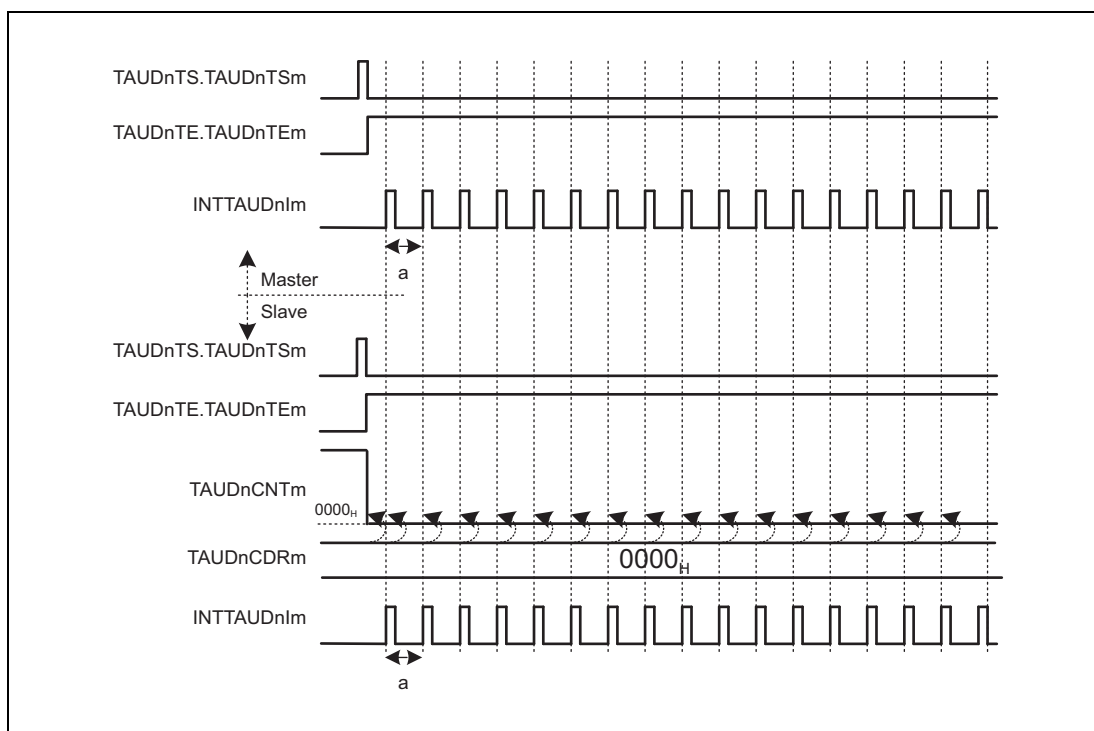
25.15.10.6 割り込み要求信号間引き機能時の操作手順

表 25.218 割り込み要求信号間引き機能時の操作手順

	操作	TAUDnの状態
動作再開	初期設定 マスタチャネル:TAUDnCMORm / TAUDnCMURm レジスタとチャネル出力モードを「25.15.10.4 マスタチャネルのレジスタ設定」に示すように設定します。 スレーブチャネル:TAUDnCMORm / TAUDnCMURm レジスタとチャネル出力モードを「25.15.10.5 スレーブチャネルのレジスタ設定」に示すように設定します。 全チャネルのTAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
	動作開始 マスタチャネルとスレーブチャネルのTAUDnTS.TAUDnTSmを同時に“1”に設定します。 TAUDnTS.TAUDnTSmはトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm (マスタ/スレーブチャネル)が“1”に設定され、マスタ/スレーブチャネルのカウンタが動作を開始します。 マスタチャネルでINTTAUDnImが発生します。
	動作中 TAUDnCDRmは任意のタイミングで変更可能です。 TAUDnCNTmとTAUDnRSF.TAUDnRSFmは任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTmは動作中に変更可能です。	マスタチャネルのTAUDnCNTmはTAUDnCDRm値をロードし、ダウンカウントを行います。カウンタが0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (マスタ)が発生します。 TAUDnCNTm (マスタ)はTAUDnCDRm値をロードし、カウント動作を継続します。 スレーブチャネルのTAUDnCNTmは、マスタチャネルのINTTAUDnImが検出されるごとにダウンカウントを行います。 スレーブチャネルのTAUDnCNTmが0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (スレーブ)が発生します。 TAUDnCNTm (スレーブ)はTAUDnCDRm値をロードし、カウント動作を継続します。
	動作停止 マスタチャネルとスレーブチャネルのTAUDnTT.TAUDnTTmを同時に“1”に設定します。 TAUDnTT.TAUDnTTmはトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEmが“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTmは停止し、現在値を保持します。

25.15.10.7 特定の設定時のタイミング図

(1) 割り込み数 (マスタ) = 割り込み数 (スレーブ)

図 25.128 TAUDnCDRm (スレーブ) = 0000_H

- TAUDnCDRm = 0000_H の場合、マスタチャンネルの INTTAUDnIm を検出するごとに、スレーブチャンネルの TAUDnCDRm の値を TAUDnCNTm にロードします。つまり、TAUDnCNTm は常に 0000_H です。
- したがって、マスタチャンネルで割り込みが発生すると同時に、スレーブチャンネルで割り込みが発生することになります。

25.16 連動非相補方式変調出力機能と連動相補方式変調出力機能

この節では、マスタチャンネルと7個のスレーブチャンネルを使用することで、6相のPWM出力または三角波PWM出力を生成する機能について説明します。

25.16.1 非相補方式変調出力機能タイプ1

25.16.1.1 概要

概要

この機能では、2つで1組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力許可ビット (TAUDnTME.TAUDnTMEem) の値に応じて、TAUDTTOUTm から PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。通常は3組のチャンネルが使用されます。

前提条件

- マスタチャンネル×1、スレーブチャンネル×7
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります (「表 25.220 非相補方式変調出力機能タイプ1のマスタチャンネルのTAUDnCMORm レジスタの内容」参照)。
- スレーブチャンネル1~7の動作モードは、ワンカウントモードに設定する必要があります (「表 25.223 非相補方式変調出力機能タイプ1のスレーブチャンネル1のTAUDnCMORm レジスタの内容」、「表 25.226 非相補方式変調出力機能タイプ1のスレーブチャンネル2~7のTAUDnCMORm レジスタの内容」参照)。
- この機能では、マスタチャンネルでTAUDTTOUTmは使用しません。
- この機能ではスレーブチャンネル1のTAUDTTOUTmは使用しませんが、TAUDnTRC.TAUDnTRCmは“1”に設定する必要があります (「25.7 チャンネル出力モード」参照)。
- スレーブチャンネル2~7のチャンネル出力モードは、非相補方式変調出力を行うチャンネル連動出力モード1に設定する必要があります (「25.7 チャンネル出力モード」参照)。
- スレーブチャンネル1のTAUDnCDRmは、0000_Hに設定する必要があります。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、マスタ/スレーブチャンネルのカウント動作が許可されます。これによりTAUDnTE.TAUDnTEm=1となり、カウントが可能になります。データレジスタ (TAUDnCDRm) の値がカウンタ (TAUDnCNTm) にロードされ、カウンタはダウンカウントを開始します。カウンタが0000_Hになると、INTTAUDnImが発生します。

- スレーブチャンネル1:
スレーブチャンネル1がリアルタイム出力のトリガチャンネルとして設定されているため (TAUDnTRC.TAUDnTRCm=1)、スレーブチャンネル1 (TAUDnCDRmは0000_H固定) で割り込みが発生すると、当該チャンネルの割り込み発生をモニタしているチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) 値がそれぞれのTAUDTTOUTm出力に反映されます。割り込み発生後、カウンタはFFFF_Hに戻り、マスタチャンネルの次の割り込みを待ちます。

- スレーブチャンネル2 :
スレーブチャンネル2はPWM出力を生成します。PWM出力周期はマスタチャンネルで指定し、デューティサイクルはスレーブチャンネル2で指定します。割り込み発生後、カウンタはFFFF_Hに戻り、マスタチャンネルの次の割り込みを待ちます。

スレーブチャンネル3～7はスレーブチャンネル2と同じように動作します。

「表 25.219 非相補方式変調出力機能タイプ1時のスレーブチャンネルのTAUDTTOUTm出力 (TAUDnTOL.TAUDnTOLm = 0)」にあるように、TAUDTTOUTmから出力される信号は、スレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力ビット (TAUDnTME.TAUDnTMEem) の値によって決まります。

この機能では強制リスタートは行えません。マスタ/スレーブチャンネルのTAUDnTT.TAUDnTTmを“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEemは“0”に設定されます。マスタ/スレーブチャンネルのTAUDnCNTmとTAUDTTOUTmが停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSmを“1”に設定すると、カウントを再開できます。

条件

- スレーブチャンネル2～7でTAUDnTME.TAUDnTMEem = 0が設定されている場合 (TAUDnTOL.TAUDnTOLm = 0) :
 - チャンネルのTAUDnTRO.TAUDnTROmが“1”の場合、TAUDTTOUTmはハイレベル信号を出力します。
 - チャンネルのTAUDnTRO.TAUDnTROmが“0”の場合、TAUDTTOUTmはロウレベル信号を出力します。
- スレーブチャンネル2～7でTAUDnTME.TAUDnTMEem = 1が設定されている場合 (TAUDnTOL.TAUDnTOLm = 0) :
 - チャンネルのTAUDnTRO.TAUDnTROmが“1”の場合、TAUDTTOUTmはそのチャンネルの対応するPWM (正論理) を出力します。
 - チャンネルのTAUDnTRO.TAUDnTROmが“0”の場合、TAUDTTOUTmはロウレベル信号を出力します。
- TAUDnTOL.TAUDnTOLmが“1”の場合、TAUDTTOUTmから出力されるハイレベル信号とロウレベル信号は反転します。PWM信号は負論理となります。
TAUDnTOL.TAUDnTOLmは初期設定のみ可能です (動作中は変更できません)。

表 25.219 非相補方式変調出力機能タイプ1時のスレーブチャンネルのTAUDTTOUTm出力 (TAUDnTOL.TAUDnTOLm = 0)

TAUDnTME. TAUDnTMEem	TAUDnTRO. TAUDnTROm	TAUDTTOUTm 出力
0	0	ロウレベル
	1	ハイレベル
1	0	ロウレベル
	1	PWM (正論理)

- この機能では一斉書き換えを行うことができます。「25.6 一斉書き換え」を参照してください。
- スレーブチャンネル1のTAUDnCDRm値は、スレーブチャンネル2～7でPWMが生成されるのと同時にリアルタイム出力がトリガされるよう、0000_Hに設定する必要があります。

- スレーブチャンネル2～7で TAUDnTOL.TAUDnTOLm = 0 が設定されている場合、TAUDnTE.TAUDnTEm = 0 に設定する前に TAUDnTO.TAUDnTOm を“0” (ロウレベル) に設定します。
- スレーブチャンネル2～7で TAUDnTOL.TAUDnTOLm = 1 が設定されている場合、TAUDnTE.TAUDnTEm = 0 に設定する前に TAUDnTO.TAUDnTOm を“1” (ハイレベル) に設定します。

25.16.1.2 算出式

スレーブチャンネル2～7:

パルス周期 = [TAUDnCDRm (マスタ) + 1] × カウントクロック周期

デューティ時間 = [TAUDnCDRm (スレーブ)] × カウントクロック周期

25.16.1.3 ブロック図と基本タイミング図

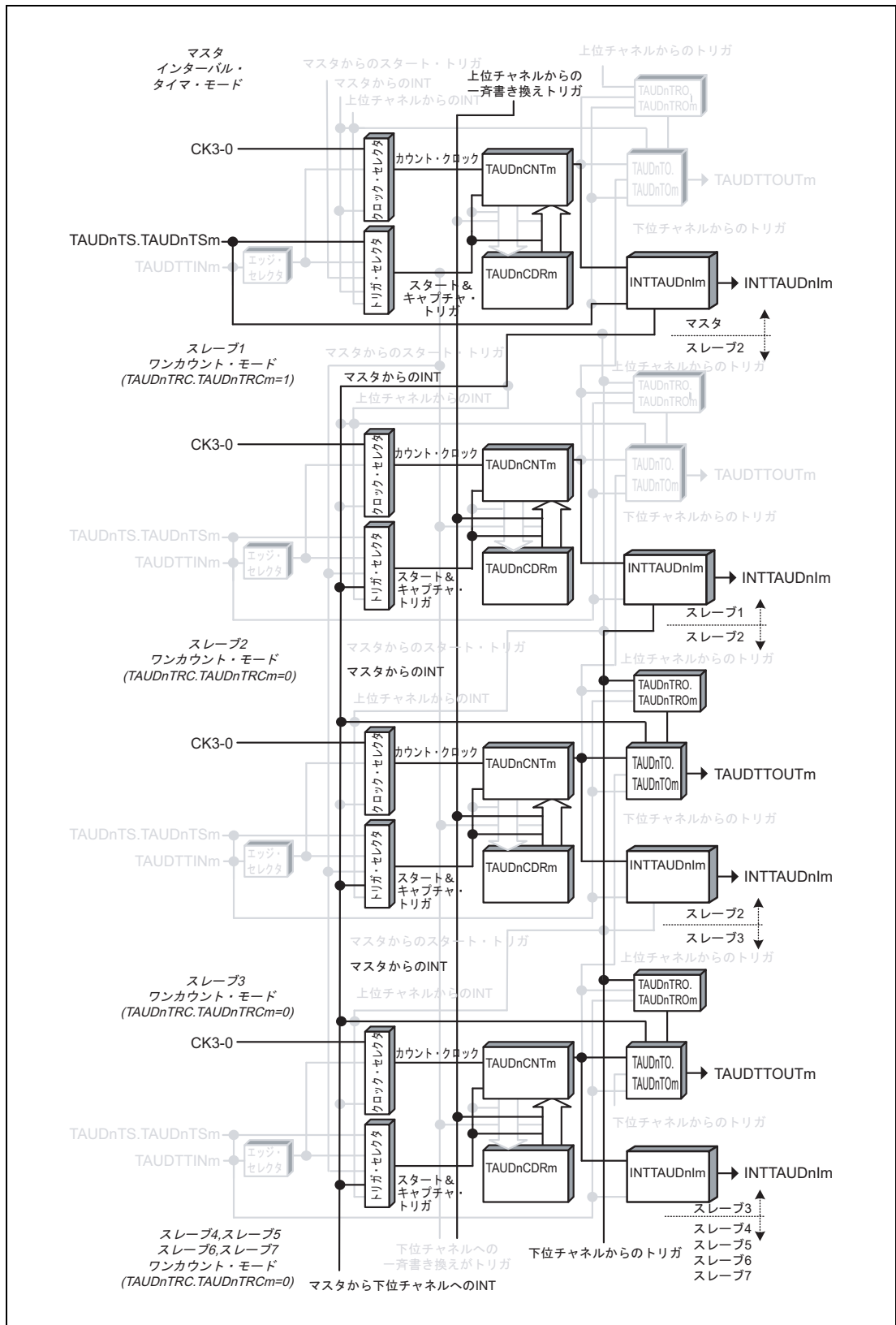


図 25.129 非相補方式変調出力機能タイプ1のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャンネル 2 ~ 7 : 正論理 (TAUDnTOL.TAUDnTOLm = 0)

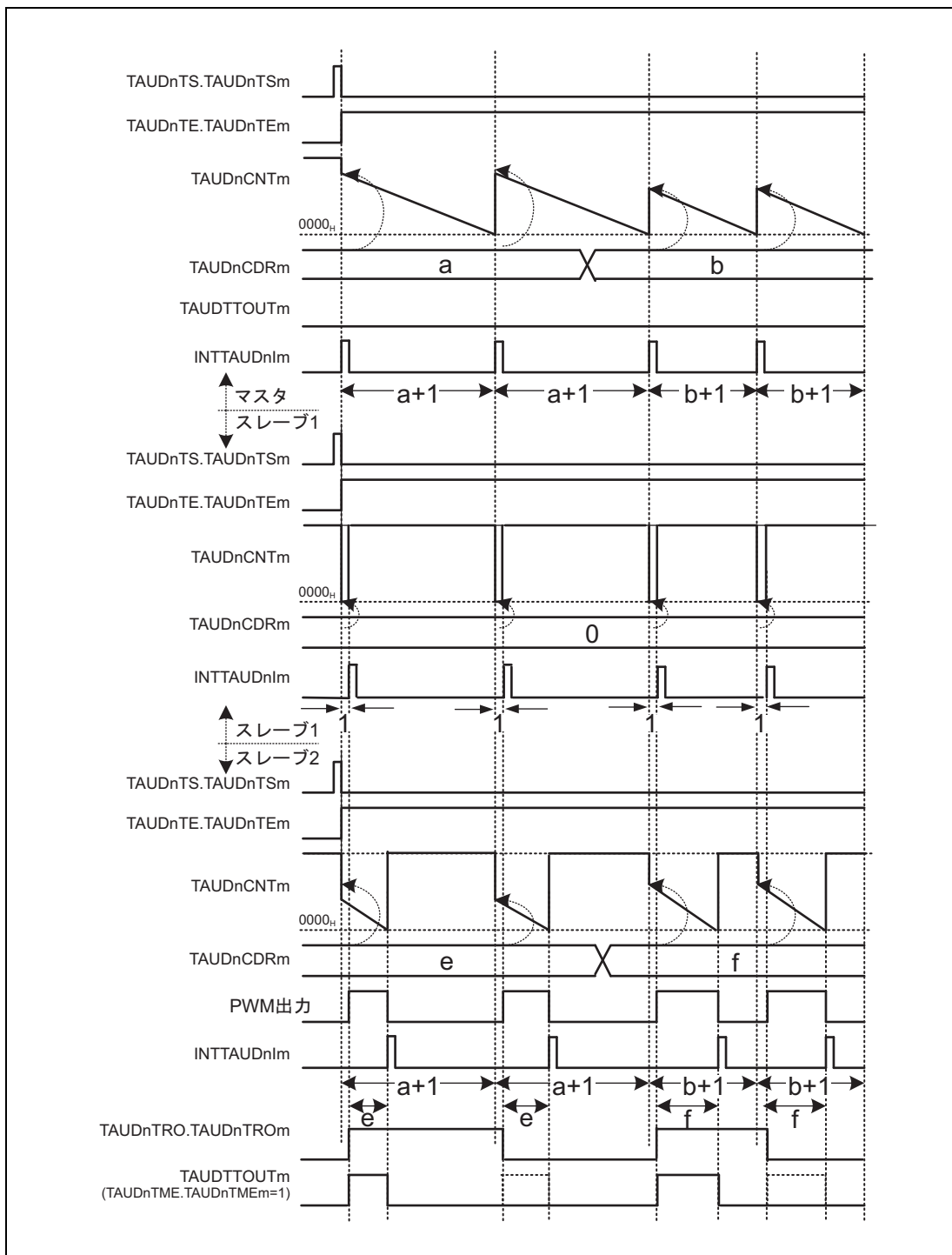


図 25.130 非相補方式変調出力機能タイプ1の基本タイミング図

備考

スレーブチャンネル 2 の TAUDTTOUTm は、マスタチャンネルの INTTAUDnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

25.16.1.4 マスタチャンネルのレジスタ設定

(1) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.220 非相補方式変調出力機能タイプ1のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャンネルはマスタチャンネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	1：動作開始または再開時に INTTAUDnIm が発生する

(2) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 25.221 非相補方式変調出力機能タイプ1のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.222 非相補方式変調出力機能タイプ1時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

備 考

TAUDnRDS.TAUDnRDSm ビット=1 で使用する場合、マスタチャンネルの上位に「**25.14.1 一斉書き換えトリガ生成機能タイプ1**」で動作するチャンネルが必要になります。

また、下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ1 設定チャンネル: TAUDnRDCm = 1、TAUDnRDSm = 1
また、本チャンネルの TAUDnCDRm 設定値は下記となります。
= ((一斉書き換え対象のマスタチャンネルの TAUDnCDRm 設定値 + 1) × 割り込み回数) - 1
- マスタチャンネル: TAUDnRDCm = 0、TAUDnRDSm = 1
- スレーブチャンネル: TAUDnRDCm = 0、TAUDnRDSm = 1

25.16.1.5 スレーブチャンネル1のレジスタ設定

(1) スレーブチャンネル1のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.223 非相補方式変調出力機能タイプ1のスレーブチャンネル1のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルのTAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	100：マスタチャンネルのINTTAUDnImがスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガが有効

(2) スレーブチャンネル1のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 25.224 非相補方式変調出力機能タイプ1のスレーブチャンネル1のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネル1のチャンネル出力モード

この機能では、スレーブチャンネル1ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEmに“0”を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

注 意

スレーブチャンネル1をリアルタイム出力のトリガチャンネルとして使用するため、TAUDnTRC.TAUDnTRCmを“1”に設定する必要があります。

(4) スレーブチャンネル1の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.225 非相補方式変調出力機能タイプ1時のスレーブチャンネル1の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

25.16.1.6 スレーブチャンネル2～7のレジスタ設定

(1) スレーブチャンネル2～7のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.226 非相補方式変調出力機能タイプ1のスレーブチャンネル2～7のTAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	100：マスタチャンネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガが有効

(2) スレーブチャンネル2～7のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 25.227 非相補方式変調出力機能タイプ1のスレーブチャンネル2～7のTAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネル 2～7 のチャンネル出力モード

表 25.228 非相補方式変調出力を行うチャンネル連動出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動出力
TAUDnTOC.TAUDnTOCm	0: 動作モード 1
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0: 変調禁止 1: 変調許可

(4) スレーブチャンネル 2～7 の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.229 非相補方式変調出力機能タイプ1時のスレーブチャンネル 2～7 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

25.16.1.7 非相補方式変調出力機能タイプ1時の操作手順

表 25.230 非相補方式変調出力機能タイプ1時の操作手順 (1/2)

	操作	TAUDnの状態
チャンネルの初期設定	<p>マスタチャンネル：TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「25.16.1.4 マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル1：TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「25.16.1.5 スレーブチャンネル1のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル2～7：TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「25.16.1.6 スレーブチャンネル2～7のレジスタ設定」に示すように設定します。</p> <p>全チャンネルのTAUDnCDRm レジスタの値を設定します。マスタチャンネルのTAUDnCDRm にパルス周期、スレーブチャンネル1のTAUDnCDRm に0000_H、スレーブチャンネル2～7のTAUDnCDRm にデューティ幅を設定します。</p> <p>スレーブチャンネル1にTAUDnTRC.TAUDnTRCm = 1を設定します。</p>	チャンネル動作を停止しています。

表 25.230 非相補方式変調出力機能タイプ 1 時の操作手順 (2/2)

	操作	TAUDnの状態
動作再開 ↓	動作開始 マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTsm を同時に "1" に設定します。 TAUDnTS.TAUDnTsm はトリガビットなので、自動的に "0" にクリアされます。	マスタ/スレーブチャンネルの TAUDnTE.TAUDnTEm が "1" に設定され、カウンタがダウンカウントを開始します。
	動作中 TAUDnCDRm、TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEem は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャンネル、スレーブチャンネル 1、スレーブチャンネル 2～7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。マスタチャンネルのカウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm が発生します。 再びマスタチャンネルの TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを継続します。 スレーブチャンネル 2～7 の PWM 出力信号がセットされます。 再びスレーブチャンネル 1 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。 再びスレーブチャンネル 2～7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。 スレーブチャンネル 2～7 のカウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm が発生します。 スレーブチャンネル 2～7 の TAUDnTRO.TAUDnTROm の値が、TAUDTTOUTm 出力に反映されます。 スレーブチャンネル 2～7 のカウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm が発生します。 スレーブチャンネル 2～7 の PWM 出力信号がリセットされます。 スレーブチャンネル 2～7 の TAUDTTOUTm は、2 つで 1 組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力ビット (TAUDnTME.TAUDnTMEem) の値に応じて、PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。
	動作停止 マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に "1" に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に "0" にクリアされます。	TAUDnTE.TAUDnTEm が "0" にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

25.16.1.8 特定の設定時のタイミング図

特定の設定時のタイミング図での設定は次のようになっています。

- スレーブチャンネル 2 ~ 7 : 正論理 (TAUDnTOL.TAUDnTOLm = 0)

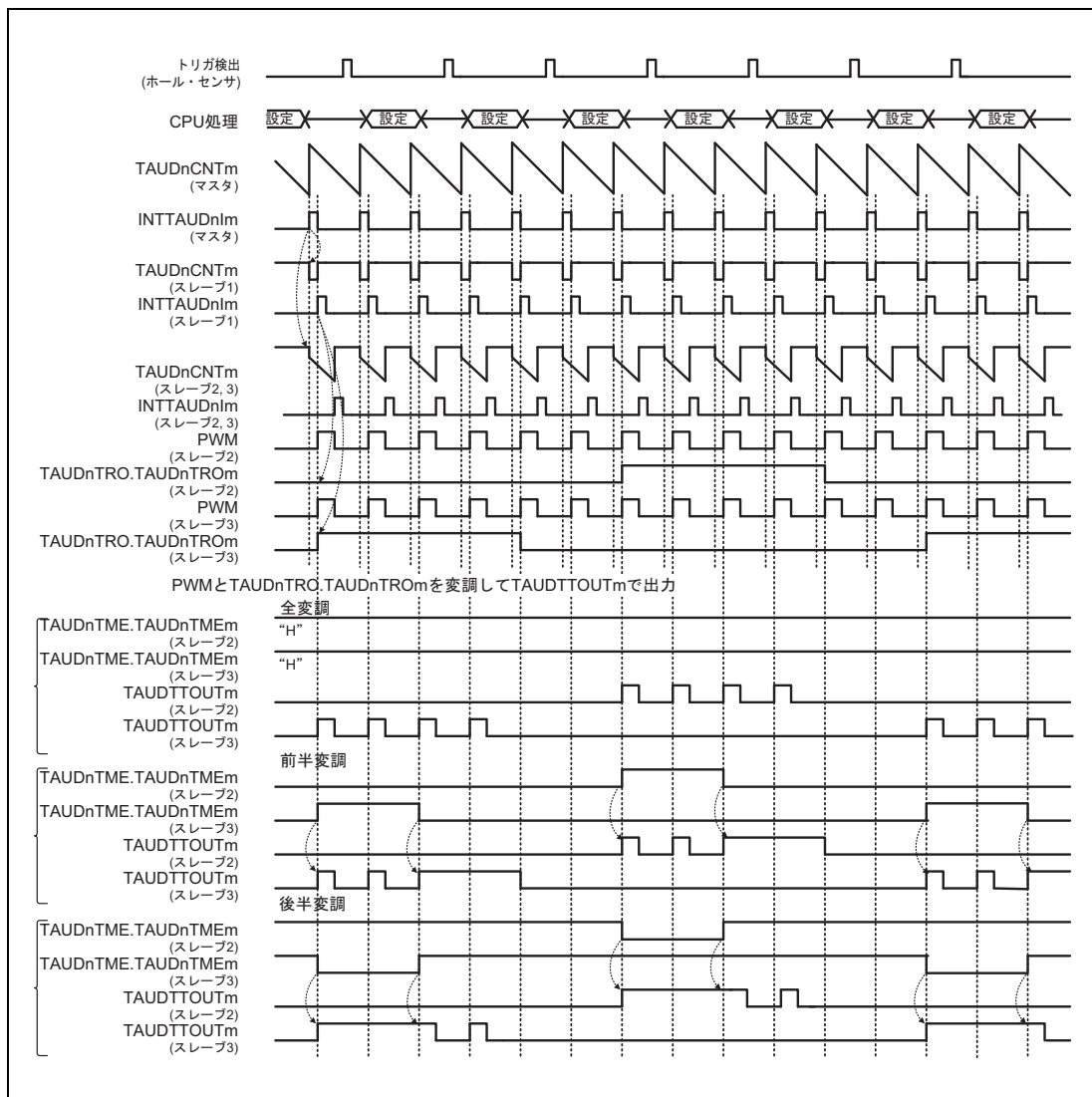


図 25.131 非相補方式変調出力機能タイプ1の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブチャンネルの TAUDnTME.TAUDnTMEm ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

「設定」とあるところは、TAUDnCDRm、TAUDnTME.TAUDnTMEm、TAUDnTRO.TAUDnTROm の値を変更できる期間を示しています。

TAUDnTME.TAUDnTMEm は、カウント開始タイミングとマスタチャンネルの周期検出で設定値が反映されます。変更された設定値に従い、TAUDTTOUTm より変調波形を出力します。

TAUDnTRO.TAUDnTROm ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブチャンネル1で割り込みが発生しないと適用されません。

25.16.2 非相補方式変調出力機能タイプ2

25.16.2.1 概要

概要

この機能では、2つで1組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力許可ビット (TAUDnTME.TAUDnTMEem) の値に応じて、TAUDTTOUTm から三角波 PWM 出力信号、ハイレベル信号、またはロウレベル信号を出力します。通常は3組のチャンネルが使用されます。

前提条件

- マスタチャンネル×1、スレーブチャンネル×7
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります (「表 25.232 非相補方式変調出力機能タイプ2のマスタチャンネルのTAUDnCMORm レジスタの内容」参照)。
- スレーブチャンネル1の動作モードは、イベントカウントモードに設定する必要があります (「表 25.236 非相補方式変調出力機能タイプ2のスレーブチャンネル1のTAUDnCMORm レジスタの内容」参照)。
- スレーブチャンネル2～7の動作モードは、アップ/ダウンカウントモードに設定する必要があります (「表 25.239 非相補方式変調出力機能タイプ2のスレーブチャンネル2～7のTAUDnCMORm レジスタの内容」参照)。
- マスタチャンネルの出力モードは、チャンネル単体出力モード1に設定する必要があります (「25.7 チャンネル出力モード」参照)。
- この機能ではスレーブチャンネル1のTAUDTTOUTmは使用しませんが、TAUDnTRC.TAUDnTRCmは“1”に設定する必要があります (「25.7 チャンネル出力モード」参照)。
- スレーブチャンネル2～7のチャンネル出力モードは、非相補方式変調出力を行うチャンネル連動出力モード2に設定する必要があります (「25.7 チャンネル出力モード」参照)。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、マスタ/スレーブチャンネルのカウント動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。データレジスタ (TAUDnCDRm) の値がカウンタ (TAUDnCNTm) にロードされます。

- マスタチャンネル :
マスタチャンネルのカウンタがダウンカウントを開始します。カウンタが 0000_H になると、INTTAUDnIm が発生します。
- スレーブチャンネル 1 :
スレーブチャンネル 1 がマスタチャンネルからの割り込みを検出すると、TAUDnCNTm 値はデクリメントされます。マスタチャンネルからの割り込みが TAUDnCDRm + 1 検出されると、INTTAUDnIm が発生します。その後、TAUDnCDRm 値を TAUDnCNTm にロードし、以降、動作を継続します。
スレーブチャンネル 1 がリアルタイム出力のトリガチャンネルとして設定されているため (TAUDnTRC.TAUDnTRCm = 1)、スレーブチャンネル 1 で割り込みが発生すると、当該チャンネルの割り込み発生をモニタしているチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) 値がそれぞれの TAUDTTOUTm 出力に反映されます。
- スレーブチャンネル 2 :
マスタチャンネルからの割り込みを検出すると、TAUDnCNTm は逆方向にカウントを行います。アップカウント中に割り込みを検出すると、再び TAUDnCDRm の値をロードしてからダウンカウントを開始します。
TAUDnCNTm = 0001_H の場合、割り込みが発生し、PWM 出力信号がセット/リセットされます。

マスタチャンネルとスレーブチャンネル 2 を組み合わせて使用することで、PWM 出力信号を生成します。マスタチャンネルは PWM 出力周期を生成し、スレーブチャンネル 2 はデューティサイクルを生成します。

スレーブチャンネル 3～7 はスレーブチャンネル 2 と同じように動作します。

「表 25.231 非相補方式変調出力機能タイプ 2 時のスレーブチャンネルの TAUDTTOUTm 出力 (TAUDnTOL.TAUDnTOLm = 0)」にあるように、TAUDTTOUTm から出力される信号は、スレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力ビット (TAUDnTME.TAUDnTMEm) の値によって決まります。

この機能では強制リスタートは行えません。マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSM を“1”に設定すると、カウントを再開できます。

条件

- スレーブチャンネル 2～7 で TAUDnTME.TAUDnTME_m = 0 が設定されている場合 (TAUDnTOL.TAUDnTOL_m = 0) :
 - チャンネルの TAUDnTRO.TAUDnTRO_m が “1” の場合、TAUDTTOUT_m はハイレベル信号を出力します。
 - チャンネルの TAUDnTRO.TAUDnTRO_m が “0” の場合、TAUDTTOUT_m はロウレベル信号を出力します。
- スレーブチャンネル 2～7 で TAUDnTME.TAUDnTME_m = 1 が設定されている場合 (TAUDnTOL.TAUDnTOL_m = 0) :
 - チャンネルの TAUDnTRO.TAUDnTRO_m が “1” の場合、TAUDTTOUT_m はそのチャンネルの対応する PWM (正論理) を出力します。
 - チャンネルの TAUDnTRO.TAUDnTRO_m が “0” の場合、TAUDTTOUT_m はロウレベル信号を出力します。
- TAUDnTOL.TAUDnTOL_m が “1” の場合、TAUDTTOUT_m から出力されるハイレベル信号とロウレベル信号は反転します。PWM 信号は負論理となります。
TAUDnTOL.TAUDnTOL_m は初期設定のみ可能です (動作中は変更できません)。

表 25.231 非相補方式変調出力機能タイプ 2 時のスレーブチャンネルの TAUDTTOUT_m 出力 (TAUDnTOL.TAUDnTOL_m = 0)

TAUDnTME. TAUDnTME _m	TAUDnTRO. TAUDnTRO _m	TAUDTTOUT _m 出力
0	0	ロウレベル
	1	ハイレベル
1	0	ロウレベル
	1	PWM (正論理)

- この機能では一斉書き換えを行うことができます。「25.6 一斉書き換え」を参照してください。
- スレーブチャンネル 2～7 で TAUDnTOL.TAUDnTOL_m = 0 が設定されている場合、TAUDnTE.TAUDnTE_m = 0 に設定する前に TAUDnTO.TAUDnTO_m を “0” (ロウレベル) に設定します。
- スレーブチャンネル 2～7 で TAUDnTOL.TAUDnTOL_m = 1 が設定されている場合、TAUDnTE.TAUDnTE_m = 0 に設定する前に TAUDnTO.TAUDnTO_m を “1” (ハイレベル) に設定します。

25.16.2.2 算出式

スレーブチャンネル 2～7:

キャリア周期 (ダウン/アップ)

= [TAUDnCDR_m (マスタ) + 1] × 2 × カウントクロック周期

デューティ時間

= [TAUDnCDR_m (マスタ) + 1 - TAUDnCDR_m (スレーブ)] × 2 × カウントクロック周期

25.16.2.3 ブロック図と基本タイミング図

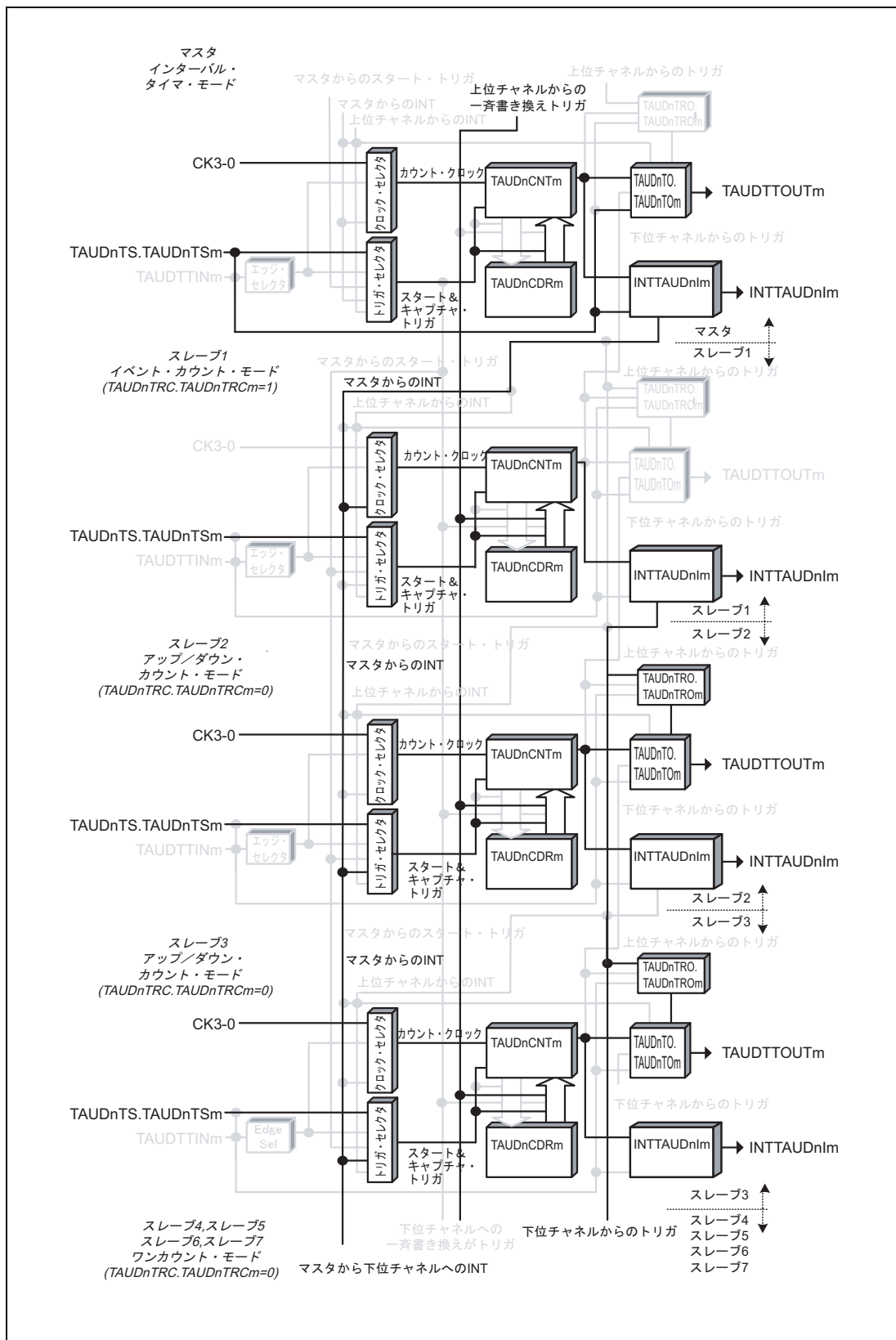


図 25.132 非相補方式変調出力機能タイプ2のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル：動作開始時に INTTAUDnIm が発生しない (TAUDnCMORm.TAUDnMD0 = 0)
- スレーブチャンネル 2 ~ 7：正論理 (TAUDnTOL.TAUDnTOLm = 0)

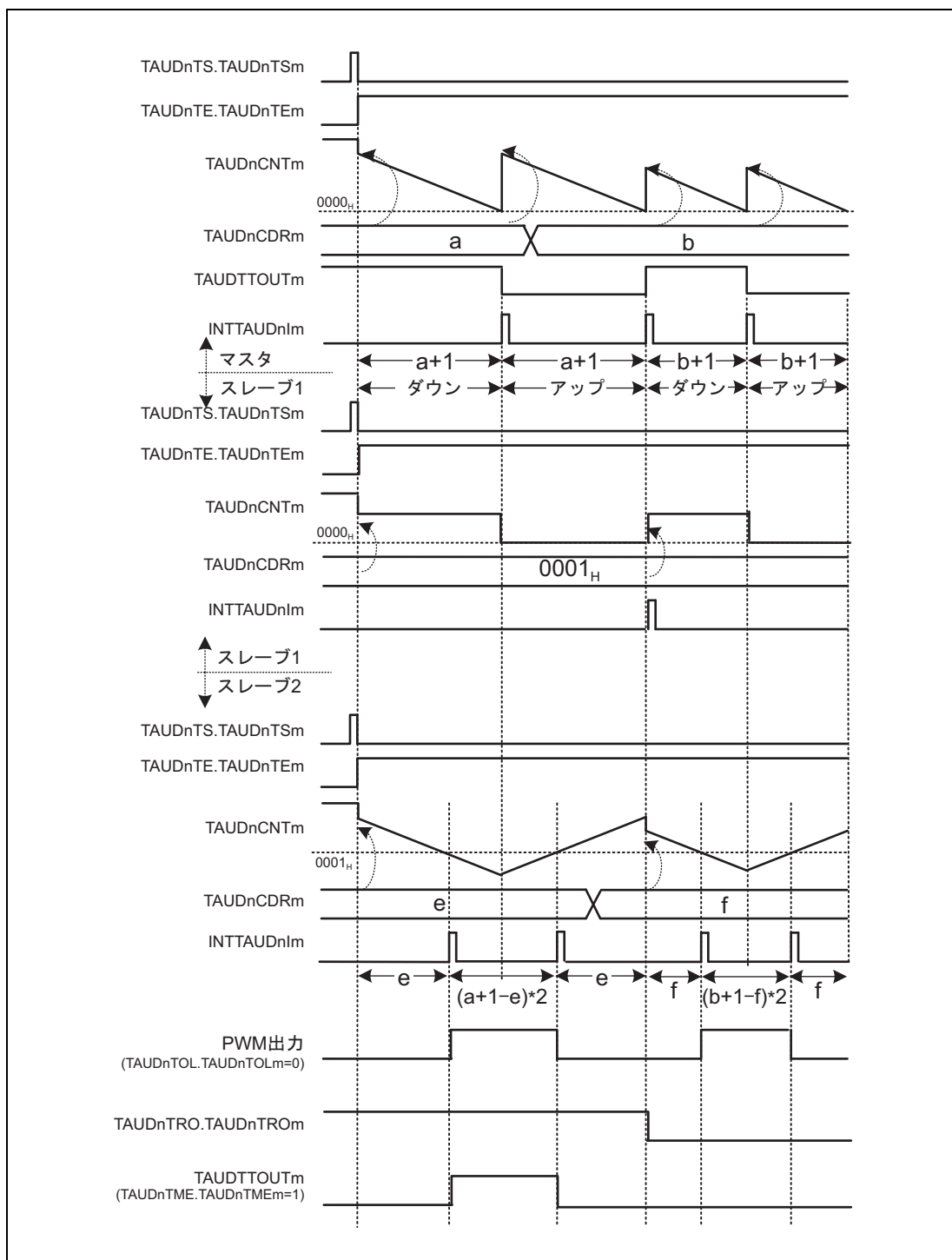


図 25.133 非相補方式変調出力機能タイプ 2 の基本タイミング図

25.16.2.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.232 非相補方式変調出力機能タイプ2のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生しない 1：動作開始または再開時に INTTAUDnIm が発生する

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.233 非相補方式変調出力機能タイプ2のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) マスタチャンネルのチャンネル出力モード

表 25.234 非相補方式変調出力機能タイプ2時のマスタチャンネルの制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効(リセット後の値)となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0: 変調禁止

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.235 非相補方式変調出力機能タイプ2時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

備考

TAUDnRDS.TAUDnRDSm = 1の場合、マスタチャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

25.16.2.5 スレーブチャンネル1のレジスタ設定

(1) スレーブチャンネル1のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.236 非相補方式変調出力機能タイプ2のスレーブチャンネル1のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルのTAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	11：マスタチャンネルのINTTAUDnImをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ 011：一斉書き換えトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0011：イベントカウントモード
0	TAUDnMD0	0：動作開始または再開時にINTTAUDnImが発生しない

(2) スレーブチャンネル1のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 25.237 非相補方式変調出力機能タイプ2のスレーブチャンネル1のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネル1のチャンネル出力モード

この機能では、スレーブチャンネル1ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEmに“0”を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

注 意

スレーブチャンネル1をリアルタイム出力のトリガチャンネルとして使用するため、TAUDnTRC.TAUDnTRCmを“1”に設定する必要があります。

(4) スレーブチャンネル1の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.238 非相補方式変調出力機能タイプ2時のスレーブチャンネル1の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

25.16.2.6 スレーブチャンネル2～7のレジスタ設定

(1) スレーブチャンネル2～7のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.239 非相補方式変調出力機能タイプ2のスレーブチャンネル2～7のTAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	111：マスタチャンネルのアップ/ダウン出力トリガ信号
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1001：アップ/ダウンカウントモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生しない

(2) スレーブチャンネル2～7のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.240 非相補方式変調出力機能タイプ2のスレーブチャンネル2～7のTAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネル 2～7 のチャンネル出力モード

表 25.241 非相補方式変調出力を行うチャンネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動出力
TAUDnTOC.TAUDnTOCm	1: 動作モード 2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0: 変調禁止 1: 変調許可

(4) スレーブチャンネル 2～7 の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.242 非相補方式変調出力機能タイプ 2 時のスレーブチャンネル 2～7 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

25.16.2.7 非相補方式変調出力機能タイプ2時の操作手順

表 25.243 非相補方式変調出力機能タイプ2時の操作手順 (1/2)

	操作	TAUDnの状態
チャンネルの初期設定	<p>マスタチャンネル：TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「25.16.2.4 マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル1：TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「25.16.2.5 スレーブチャンネル1のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル2～7：TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「25.16.2.6 スレーブチャンネル2～7のレジスタ設定」に示すように設定します。</p> <p>全チャンネルのTAUDnCDRm レジスタの値を設定します。マスタチャンネルのTAUDnCDRm でパルス周期を設定し、スレーブチャンネル1のTAUDnCDRm でスレーブチャンネル1がリアルタイム出力トリガを生成するまでに無視するマスタチャンネルの割り込み数を設定します。また、スレーブチャンネル2～7のTAUDnCDRm にデューティ幅を設定します。</p> <p>スレーブチャンネル1にTAUDnTRC.TAUDnTRCm = 1を設定します。</p>	チャンネル動作を停止しています。

表 25.243 非相補方式変調出力機能タイプ 2 時の操作手順 (2/2)

	操作	TAUDnの状態
動作再開	<p>動作開始</p> <p>マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTsm を同時に "1" に設定します。 TAUDnTS.TAUDnTsm はトリガビットなので、自動的に "0" にクリアされます。</p>	<p>マスタ/スレーブチャンネルの TAUDnTE.TAUDnTEm が "1" に設定され、カウンタがダウンカウントを開始します。</p>
動作中	<p>TAUDnCDRm、TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEem は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUDnRDT.TAUDnRDTm は動作中に変更可能です。</p>	<p>マスタチャンネルとスレーブチャンネル 2～7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。スレーブチャンネル 1 の TAUDnCDRm の値をロードし、マスタチャンネルの割り込みを待ちます。マスタチャンネルのカウンタが 0000_H になった場合：</p> <ul style="list-style-type: none"> • INTTAUDnIm が発生します。 • 再び TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを継続します。 • スレーブチャンネル1のTAUDnCNTm値が1減少し、マスタチャンネルの次の割り込みを待ちます。 • スレーブチャンネル2～7のTAUDnCNTmは再びTAUDnCDRmの値をロードするか、反対方向のカウンタを開始します。 • TAUDnCDRmの値がロードされるタイミングで、スレーブチャンネル2～7のTAUDnTME.TAUDnTMEemの値が、TAUDTTOUTm出力に反映されます。 • スレーブチャンネル1が、マスタチャンネルの割り込みを TAUDnCDRm + 1 検出した場合： <ul style="list-style-type: none"> - INTTAUDnIm が発生します。 - スレーブチャンネル 2～7 の TAUDnTRO.TAUDnTROm の値が、TAUDTTOUTm 出力に反映されます。 • スレーブチャンネル2～7のカウンタが0001_Hになった場合： <ul style="list-style-type: none"> - INTTAUDnIm が発生します。 - スレーブチャンネル 2～7 の PWM 出力信号がセット/リセットされます。
動作停止	<p>動作停止</p> <p>マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に "1" に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に "0" にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm が "0" にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。</p>

25.16.2.8 特定の設定時のタイミング図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル：動作開始時に INTTAUDnIm が発生しない (TAUDnCMORm.TAUDnMD0 = 0)
- スレーブチャンネル 2～7：正論理 (TAUDnTOL.TAUDnTOLm = 0)

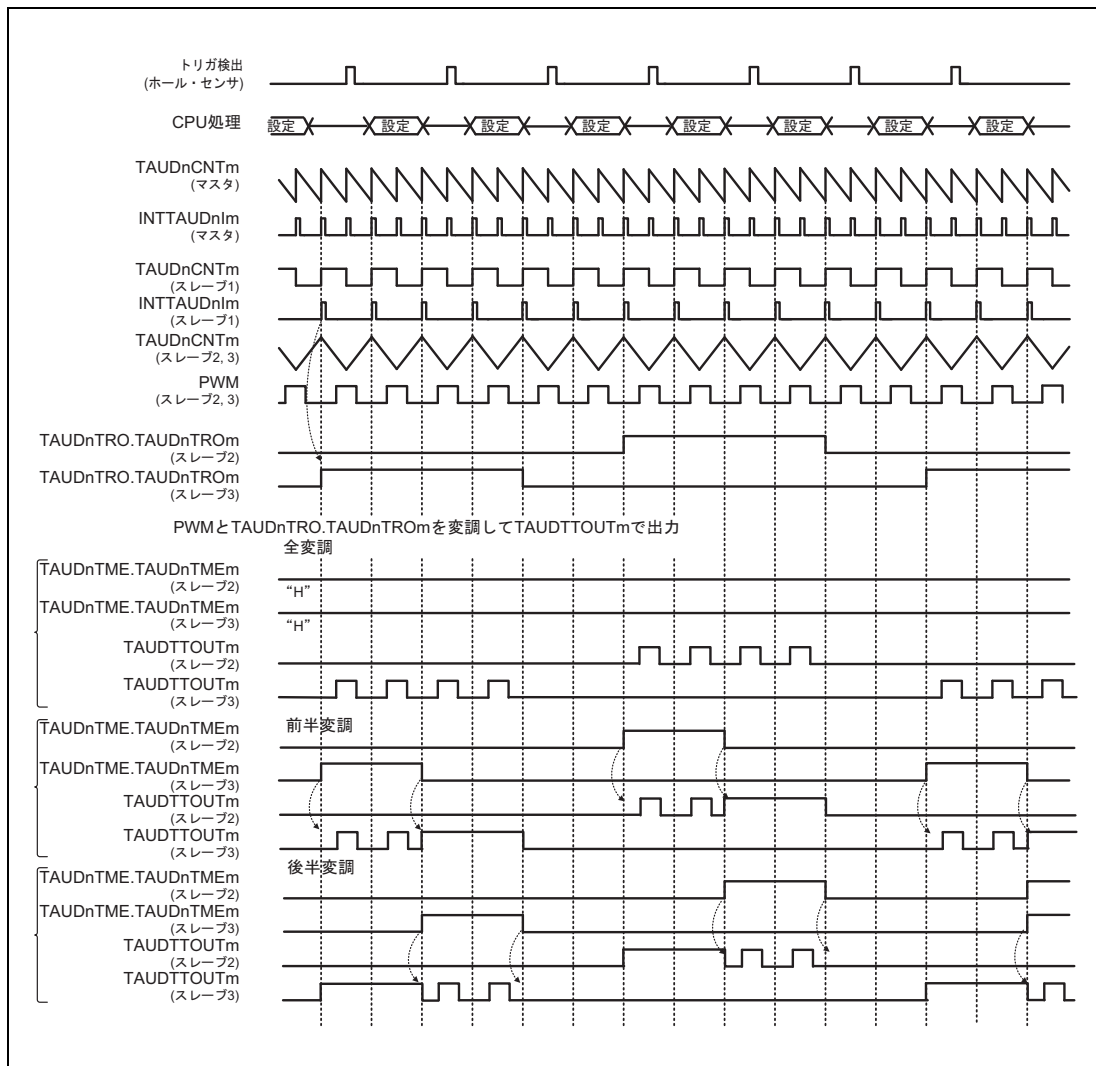


図 25.134 非相補方式変調出力機能タイプ 2 の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブチャンネルの TAUDnTME.TAUDnTMEEm ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

「設定」とあるところは、TAUDnCDRm、TAUDnTME.TAUDnTMEEm、TAUDnTRO.TAUDnTROm の値を変更できる期間を示しています。

TAUDnTME.TAUDnTMEEm は、カウント開始タイミングと三角波 PWM のキャリア周期（山割り込みタイミング）検出で設定値が反映されます。

TAUDnTRO.TAUDnTROm ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブチャンネル 1 で割り込みが発生しないと適用されません。

25.16.3 相補方式変調出力機能

25.16.3.1 概要

概要

この機能では、2つで1組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm)、変調出力ビット (TAUDnTME.TAUDnTMEm)、出力レベルビット (TAUDnTDL.TAUDnTDLm) の値に応じて、TAUDTTOUTm から三角波 PWM 出力信号、ハイレベル信号、またはロウレベル信号を、デッドタイムを付加して出力します。通常は3組のチャンネルが使用されます。

前提条件

- マスタチャンネル×1、スレーブチャンネル×7
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります (「表 25.245 相補方式変調出力機能のマスタチャンネルの TAUDnCMORm レジスタの内容」参照)。
- スレーブチャンネル1の動作モードは、イベントカウントモードに設定する必要があります (「表 25.249 相補方式変調出力機能のスレーブチャンネル1の TAUDnCMORm レジスタの内容」参照)。
- スレーブチャンネル2,4,6の動作モードは、アップ/ダウンカウントモードに設定する必要があります (「表 25.252 相補方式変調出力機能のスレーブチャンネル2,4,6の TAUDnCMORm レジスタの内容」参照)。
- スレーブチャンネル3,5,7の動作モードは、ワンカウントモードに設定する必要があります (「表 25.256 相補方式変調出力機能のスレーブチャンネル3,5,7の TAUDnCMORm レジスタの内容」参照)。
また、スレーブチャンネル3,5,7の割り込みは、キャリア周期内での発生回数が一意に決まらないため、割り込み要因として使用しないでください。
- マスタチャンネルの出力モードは、チャンネル単体出力モード1に設定する必要があります (「25.7 チャンネル出力モード」参照)。
- この機能ではスレーブチャンネル1の TAUDTTOUTm は使用しませんが、TAUDnTRC.TAUDnTRCm は“1”に設定する必要があります (「25.7 チャンネル出力モード」参照)。
- スレーブチャンネル2～7のチャンネル出力モードは、相補方式変調出力を行うチャンネル連動出力モード2に設定する必要があります (「25.7 チャンネル出力モード」参照)。

機能説明

- マスタチャンネル :
チャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、マスタチャンネルのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウンタが可能になります。マスタチャンネルのデータレジスタ (TAUDnCDRm) の値がカウンタ (TAUDnCNTm) にロードされ、カウンタはこの値からダウンカウントを開始します。
マスタチャンネルのカウンタが 0000_H になると、INTTAUDnIm が発生します。これによりスレーブチャンネル1のカウンタ値が1減少し、スレーブチャンネル2のカウンタが反対方向にカウントを開始します。

- スレーブチャンネル1 :
カウンタが 0000_H になると、マスタチャンネルからの次の割り込みを待ちます。そして再び TAUDnCDRm の値を TAUDnCNTm (スレーブ 1) にロードし、INTTAUDnIm が発生します。
スレーブチャンネル 1 はリアルタイム出力のトリガチャンネルとして設定されます (TAUDnTRC.TAUDnTRCm = 1)。割り込みにより、スレーブチャンネル 1 の割り込み発生を検出しているチャンネルで、各チャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) の値が適用されます。リアルタイム出力ビット値はアプリケーションソフトで任意のタイミングで変更可能ですが、新しい値はスレーブチャンネル 1 で割り込みが発生するまで適用されません。
- スレーブチャンネル 2 :
スレーブチャンネル 2 のカウンタが 0001_H になると、スレーブチャンネル 3 のカウンタがダウンカウントを開始します。スレーブチャンネル 3 のカウンタが 0000_H になると、割り込みが発生します。
- スレーブチャンネル 2、スレーブチャンネル 3 :
マスタチャンネルとスレーブチャンネル 2 およびスレーブチャンネル 3 を組み合わせて使用することで、PWM 出力信号を生成します。マスタチャンネルは PWM 出力周期を生成し、スレーブチャンネル 2 はデューティサイクルを、スレーブチャンネル 3 はデッドタイムを生成します。
- スレーブチャンネル 4 ~ 7 :
スレーブチャンネル 4, 6 はスレーブチャンネル 2 と同じように動作し、スレーブチャンネル 5, 7 はスレーブチャンネル 3 と同じように動作します。

「表 25.244 相補方式変調出力機能時のスレーブチャンネル 1 組の TAUDTTOUTm 出力

(TAUDnTOL.TAUDnTOLm = 0)」にあるように、TAUDTTOUTm から出力される信号は、スレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm)、変調出力ビット (TAUDnTME.TAUDnTMEem)、出力レベルビット (TAUDnTDL.TAUDnTDLm) の値によって決まります。

ただし、チャンネル 2 とチャンネル 3 の両方からハイレベル信号が出力されることは禁止です (モータドライバのショートを防ぐなどの目的のため)。

この機能では強制リスタートは行えません。マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEem は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。

条件

- 1組のチャンネルの双方で TAUDnTME.TAUDnTMEem が“1”に設定されている場合 (TAUDnTOL.TAUDnTOLm = 0) :
 - 片方のチャンネルの TAUDnTRO.TAUDnTROm が“1”の場合、TAUDTTOUTm はそのチャンネルの対応する PWM を出力します。
 - 双方のチャンネルの TAUDnTRO.TAUDnTROm が“0”の場合、1組の TAUDTTOUTm はロウレベル信号を出力します。

- 1組のチャンネルの双方で TAUDnTME.TAUDnTME_m が“0”に設定されている場合 (TAUDnTOL.TAUDnTOL_m = 0) :
 - TAUDnTRO.TAUDnTRO_m が“1”の場合、そのチャンネルの TAUDTTOUT_m はハイレベル信号を出力します。
 - TAUDnTRO.TAUDnTRO_m が“0”の場合、そのチャンネルの TAUDTTOUT_m はロウレベル信号を出力します。
- TAUDnTOL.TAUDnTOL_m が“1”の場合、TAUDTTOUT_m から出力されるハイレベル信号とロウレベル信号は反転します。PWM 信号は負論理となります。

表 25.244 相補方式変調出力機能時のスレーブチャンネル1組の TAUDTTOUT_m 出力 (TAUDnTOL.TAUDnTOL_m = 0)

TAUDnTME. TAUDnTME02	TAUDnTME. TAUDnTME03	TAUDnTRO. TAUDnTRO02	TAUDnTRO. TAUDnTRO03	TAUDnTDL. TAUDnTDL02	TAUDnTDL. TAUDnTDL03	TAUDTTOUT2 出力	TAUDTTOUT3 出力
0	0	0	0	X	X	ロウレベル	ロウレベル
		0	1	1	0	ロウレベル	ハイレベル
		1	0	0	1	ハイレベル	ロウレベル
		1	1	X	X	設定禁止	設定禁止
1	1	0	0	X	X	ロウレベル	ロウレベル
		0	1	1	0	~PWM	PWM
		1	0	0	1	PWM	~PWM
		1	1	X	X	設定禁止	設定禁止

備考

1. この表の PWM は正相 PWM 信号を示し、~PWM は逆相 PWM 信号を示します（正論理）。正相／逆相は TAUDnTDL.TAUDnTDL_m で設定されます。
2. この表に記述のない設定は禁止です。

- 1組のチャンネルの片方で、TAUDnTRO.TAUDnTRO_m が“1”に設定されている間、TAUDnTME.TAUDnTME_m が継続的に“1”に設定されている場合、その変調は全変調になります。
- 1組のチャンネルの片方で、TAUDnTRO.TAUDnTRO_m が“1”に設定されている期間の前半で TAUDnTME.TAUDnTME_m が“1”に設定されている場合、その変調は前半変調になります。
- 1組のチャンネルの片方で、TAUDnTRO.TAUDnTRO_m が“1”に設定されている期間の後半で TAUDnTME.TAUDnTME_m が“1”に設定されている場合、その変調は後半変調になります。

- 2つのチャンネルが同時にハイレベル信号の出力となる場合にデッドタイムが正相PWM信号と逆相PWM信号のどちらに付加されるかは、TAUDnTDL.TAUDnTDLm ビット値で決まります。
 - TAUDnTDL.TAUDnTDLm = 0 の場合、正相 PWM 信号にデッドタイムを付加
 - TAUDnTDL.TAUDnTDLm = 1 の場合、逆相 PWM 信号にデッドタイムを付加
 - TAUDnTDL.TAUDnTDLm ビット値の操作は、動作中にアプリケーションソフトで行う必要があります。TAUDnTDL.TAUDnTDLm を変更する場合は、TAUDnTRO.TAUDnTROm が 00_B の期間に書き換えてください。
- スレーブチャンネル1のTAUDnCDRm値は、キャリア周期（山割り込みタイミング）でスレーブチャンネル1のINTTAUDnImを発生させる値に設定する必要があります。
- スレーブチャンネル2～7でTAUDnTOL.TAUDnTOLm = 0が設定されている場合：
 - TAUDnTDL.TAUDnTDLm = 0が設定されている場合、TAUDnTE.TAUDnTEm = 0に設定する前にTAUDnTO.TAUDnTOmを“0”（ロウレベル）に設定します。
 - TAUDnTDL.TAUDnTDLm = 1が設定されている場合、TAUDnTE.TAUDnTEm = 0に設定する前にTAUDnTO.TAUDnTOmを“1”（ハイレベル）に設定します。
- スレーブチャンネル2～7でTAUDnTOL.TAUDnTOLm = 1が設定されている場合：
 - TAUDnTDL.TAUDnTDLm = 0が設定されている場合、TAUDnTE.TAUDnTEm = 0に設定する前にTAUDnTO.TAUDnTOmを“1”（ハイレベル）に設定します。
 - TAUDnTDL.TAUDnTDLm = 1が設定されている場合、TAUDnTE.TAUDnTEm = 0に設定する前にTAUDnTO.TAUDnTOmを“0”（ロウレベル）に設定します。
- この機能では一斉書き換えを行うことができます。「25.6 一斉書き換え」を参照してください。

25.16.3.2 算出式

パルス周期 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

0000_H ≤ TAUDnCDRm (マスタ) < FFFF_H

キャリア周期 (ダウン/アップ) =

(TAUDnCDRm (マスタ) + 1) × 2 × カウントクロック周期

スレーブチャンネル2、スレーブチャンネル3：

PWM 信号幅 (正相) = [(TAUDnCDRm (マスタ) + 1 - TAUDnCDRm (スレーブ2) × 2)

- (TAUDnCDRm (スレーブ3) + 1)] × カウントクロック周期

PWM 信号幅 (逆相) = [(TAUDnCDRm (マスタ) + 1 - TAUDnCDRm (スレーブ2) × 2)

+ (TAUDnCDRm (スレーブ3) + 1)] × カウントクロック周期

スレーブチャンネル4～7：

スレーブチャンネル4,6はスレーブチャンネル2と同じように、スレーブチャンネル5,7はスレーブチャンネル3と同じように算出してください。

25.16.3.3 ブロック図と基本タイミング図

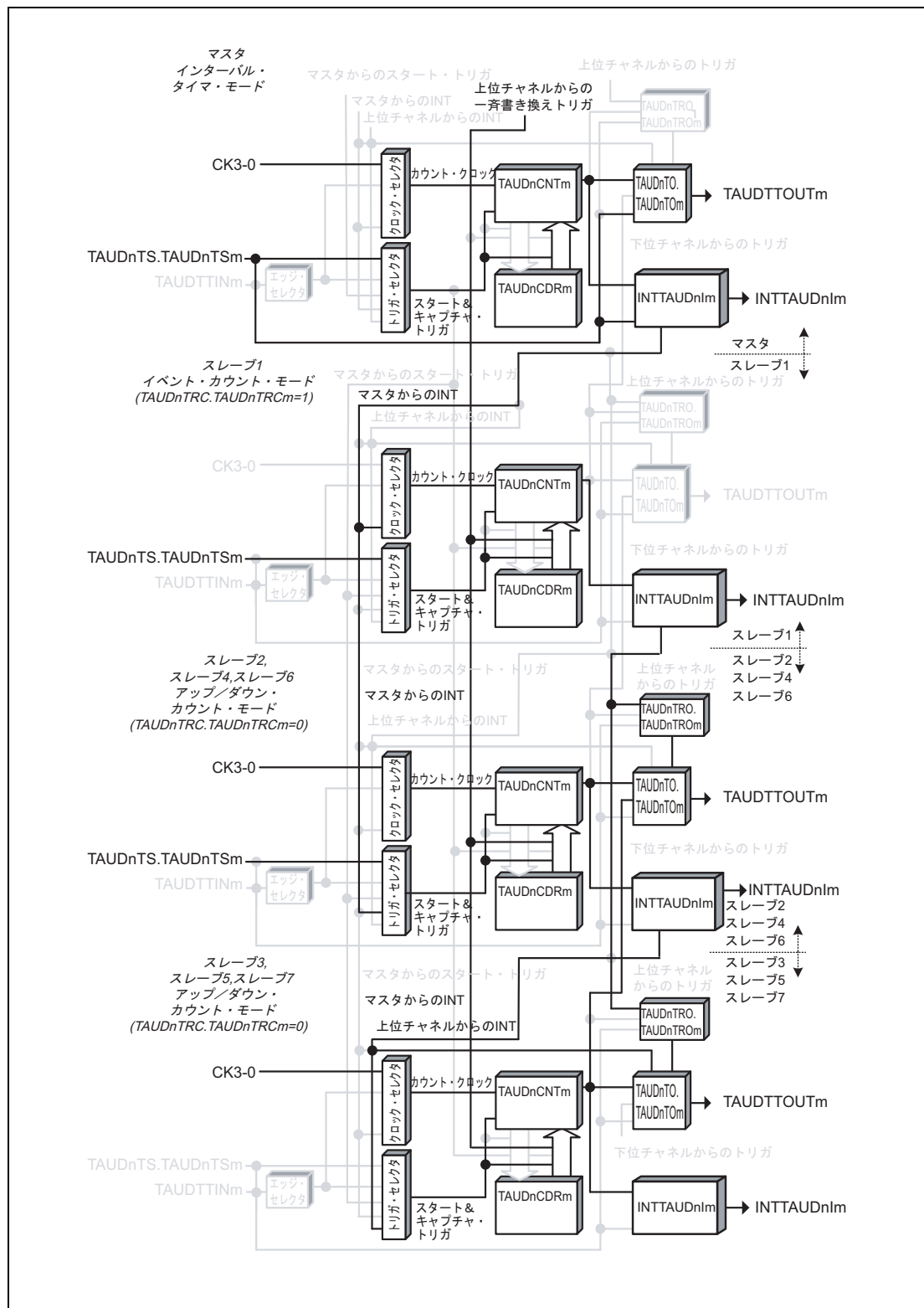


図 25.135 相補方式変調出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル：動作開始時に INTTAUDnIm が発生しない
(TAUDnCMORm.TAUDnMD0 = 0)

- スレーブチャンネル 1 : $TAUDnCDRm=0001_H$
- スレーブチャンネル 2 ~ 7 : 正論理 ($TAUDnTOL.TAUDnTOLm = 0$)

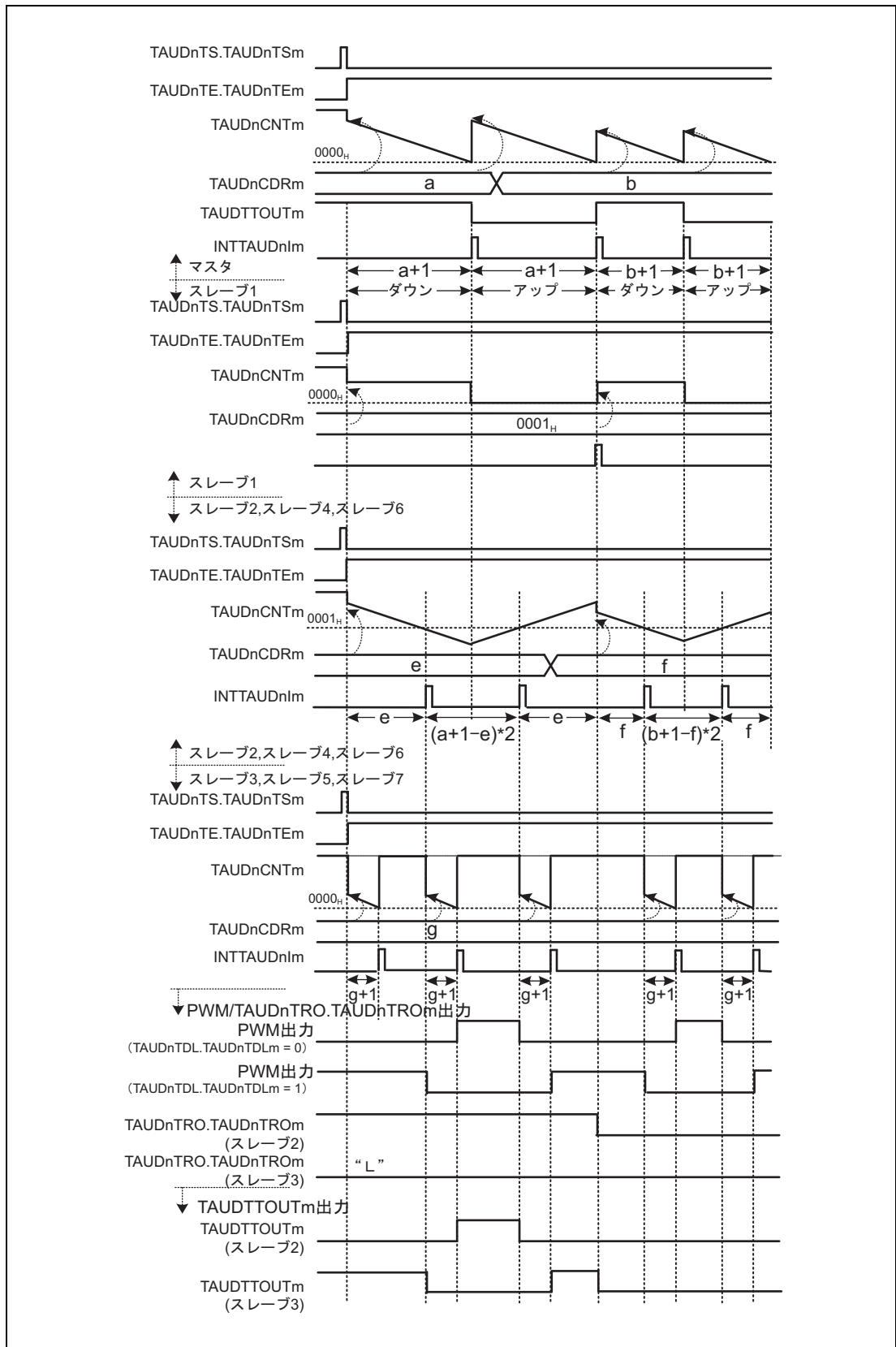


図 25.136 相補方式変調出力機能の基本タイミング図

25.16.3.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.245 相補方式変調出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKS [1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13, 12	TAUDnCCS [1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	1 : チャネルはマスタチャネル
10 ~ 8	TAUDnSTS [2:0]	000 : ソフトウェアでカウンタをトリガ
7, 6	TAUDnCOS [1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUDnMD [4:1]	0000 : インターバルタイマモード
0	TAUDnMD0	0 : 動作開始または再開時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1 : 動作開始または再開時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 25.246 相補方式変調出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(3) マスタチャンネルのチャンネル出力モード

表 25.247 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効(リセット後の値)となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0: 変調禁止

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.248 相補方式変調出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

備考

TAUDnRDS.TAUDnRDSm = 1の場合、マスタチャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

25.16.3.5 スレーブチャンネル1のレジスタ設定

(1) スレーブチャンネル1のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.249 相補方式変調出力機能のスレーブチャンネル1のTAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	11：マスタチャンネルの INTTAUDnIm をカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ 011：一斉書き換えトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0011：イベントカウントモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生しない

(2) スレーブチャンネル1のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.250 相補方式変調出力機能のスレーブチャンネル1のTAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネル1のチャンネル出力モード

この機能では、スレーブチャンネル1ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEmに“0”を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

注 意

スレーブチャンネル1をリアルタイム出力のトリガチャンネルとして使用するため、TAUDnTRC.TAUDnTRCmを1に設定する必要があります。

(4) スレーブチャンネル1の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.251 相補方式変調出力機能時のスレーブチャンネル1の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

25.16.3.6 スレーブチャンネル 2, 4, 6 のレジスタ設定

(1) スレーブチャンネル 2, 4, 6 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.252 相補方式変調出力機能のスレーブチャンネル 2, 4, 6 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	111：マスタチャンネルのアップ/ダウン出力トリガ信号
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1001：アップ/ダウンカウントモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生しない

(2) スレーブチャンネル 2, 4, 6 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 25.253 相補方式変調出力機能のスレーブチャンネル 2, 4, 6 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネル 2, 4, 6 の出力モード

表 25.254 相補方式変調出力を行うチャンネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動出力
TAUDnTOC.TAUDnTOCm	1: 動作モード 2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	1: デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0: 上位偶数チャンネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0: 正相にデッドタイムを付加 1: 逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0: 変調禁止 1: 変調許可

注 意

PWM 出力時、TAUDnTDL.TAUDnTDLm は、奇数チャンネルと排他設定してください。

(4) スレーブチャンネル 2, 4, 6 の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.255 相補方式変調出力機能時のスレーブチャンネル 2, 4, 6 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

25.16.3.7 スレーブチャンネル 3, 5, 7 のレジスタ設定

(1) スレーブチャンネル 3, 5, 7 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.256 相補方式変調出力機能のスレーブチャンネル 3, 5, 7 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKS [1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13, 12	TAUDnCCS [1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : チャンネルはスレーブチャンネル
10 ~ 8	TAUDnSTS [2:0]	110 : デッドタイムトリガ
7, 6	TAUDnCOS [1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUDnMD [4:1]	0100 : ワンカウントモード
0	TAUDnMD0	1 : カウント中のスタートトリガ検出許可

(2) スレーブチャンネル 3, 5, 7 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 25.257 相補方式変調出力機能のスレーブチャンネル 3, 5, 7 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(3) スレーブチャンネル 3, 5, 7 の出力モード

表 25.258 相補方式変調出力を行うチャンネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動出力
TAUDnTOC.TAUDnTOCm	1: 動作モード 2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	1: デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0: 上位偶数チャンネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0: 正相にデッドタイムを付加 1: 逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0: 変調禁止 1: 変調許可

注 意

PWM 出力時、TAUDnTDL.TAUDnTDLm は、偶数チャンネルと排他設定してください。

(4) スレーブチャンネル 3, 5, 7 の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 25.259 相補方式変調出力機能時のスレーブチャンネル 3, 5, 7 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

25.16.3.8 相補方式変調出力機能時の操作手順

表 25.260 相補方式変調出力機能時の操作手順 (1/2)

	操作	TAUDn の状態
初期設定	<p>マスターチャンネル : TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「25.16.3.4 マスターチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 1 : TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「25.16.3.5 スレーブチャンネル 1 のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 2, 4, 6 : TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「25.16.3.6 スレーブチャンネル 2, 4, 6 のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 3, 5, 7 : TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「25.16.3.7 スレーブチャンネル 3, 5, 7 のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUDnCDRm レジスタの値を設定します。マスターチャンネルの TAUDnCDRm でパルス周期を設定し、スレーブチャンネル 1 の TAUDnCDRm で無視されるマスターチャンネル割り込み数を設定します。また、スレーブチャンネル 2, 4, 6 の TAUDnCDRm にデューティ幅を、スレーブチャンネル 3, 5, 7 にデッドタイム遅延を設定します。</p> <p>スレーブチャンネル 1 に TAUDnTRC.TAUDnTRCm = 1 を設定します。</p>	チャンネル動作を停止しています。

表 25.260 相補方式変調出力機能時の操作手順 (2/2)

	操作	TAUDnの状態
動作再開	<p>動作開始</p> <p>マスタチャンネルとスレーブチャンネルのTAUDnTS.TAUDnTsmを同時に“1”に設定します。 TAUDnTS.TAUDnTsmはトリガビットなので、自動的に“0”にクリアされます。</p>	<p>マスタ/スレーブチャンネルのTAUDnTE.TAUDnTEmが“1”に設定され、カウンタがダウンカウントを開始します。</p>
動作中	<p>TAUDnCDRm、TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEem、TAUDnTDL.TAUDnTDLmは任意のタイミングで変更可能です。 TAUDnCNTmとTAUDnRSF.TAUDnRSFmは任意のタイミングで読み出し可能です。</p> <p>TAUDnRDT.TAUDnRDTmは動作中に変更可能です。</p>	<p>マスタチャンネルとスレーブチャンネル2～7のTAUDnCDRmの値をTAUDnCNTmにロードし、ダウンカウントを行います。スレーブチャンネル1のTAUDnCDRmの値をロードし、マスタチャンネルの割り込みを待ちます。マスタチャンネルのカウンタが0000_Hになった場合：</p> <ul style="list-style-type: none"> • INTTAUDnImが発生します。 • 再びTAUDnCDRmの値をTAUDnCNTmにロードし、ダウンカウントを継続します。 • スレーブチャンネル1のTAUDnCNTm値が1減少し、マスタチャンネルの次の割り込みを待ちます。 • スレーブチャンネル2, 4, 6のTAUDnCNTmは、再びTAUDnCDRmの値をロードするか、反対方向のカウントを開始します。 • スレーブチャンネル2, 4, 6のTAUDnCDRmの値がロードされるタイミングで、スレーブチャンネル2～7のTAUDnTME.TAUDnTMEemの値が、TAUDTTOUTm出力に反映されます。 • スレーブチャンネル1のカウンタが0000_Hになると、マスタチャンネルからの次の割り込みを待ちます。割り込み検出時： <ul style="list-style-type: none"> - 再びTAUDnCDRmの値をTAUDnCNTmにロードし、マスタチャンネルの次の割り込みを待ちます。 - INTTAUDnImが発生します。 - TAUDnTRO.TAUDnTROmを変更可能です。 • スレーブチャンネル2, 4, 6のカウンタが0001_Hになった場合： <ul style="list-style-type: none"> - INTTAUDnImが発生します。 - スレーブチャンネルmのPWM出力がセット/リセットされます（設定したチャンネル出力モードの条件に一致した場合）。 - スレーブチャンネル3, 5, 7のTAUDnCDRmの値をTAUDnCNTmにロードし、ダウンカウントを行います。 • スレーブチャンネル3, 5, 7のカウンタが0000_Hになった場合： <ul style="list-style-type: none"> - INTTAUDnImが発生します。 - スレーブチャンネルmのPWM出力がセット/リセットされます（設定したチャンネル出力モードの条件に一致した場合）。
動作停止	<p>動作停止</p> <p>マスタチャンネルとスレーブチャンネルのTAUDnTT.TAUDnTTmを同時に“1”に設定します。 TAUDnTT.TAUDnTTmはトリガビットなので、自動的に“0”にクリアされます。</p>	<p>TAUDnTE.TAUDnTEmが“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTmとTAUDTTOUTmは停止し、現在値を保持します。</p>

25.16.3.9 特定の設定時のタイミング図

タイミング図での設定は次のようになっています。

- マスタチャンネル：動作開始時に INTTAUDnIm が発生しない (TAUDnCMORm.TAUDnMD0 = 0)
- スレーブチャンネル 1：TAUDnCDRm = 0001_H
- スレーブチャンネル 2～7：正論理 (TAUDnTOL.TAUDnTOLm = 0)

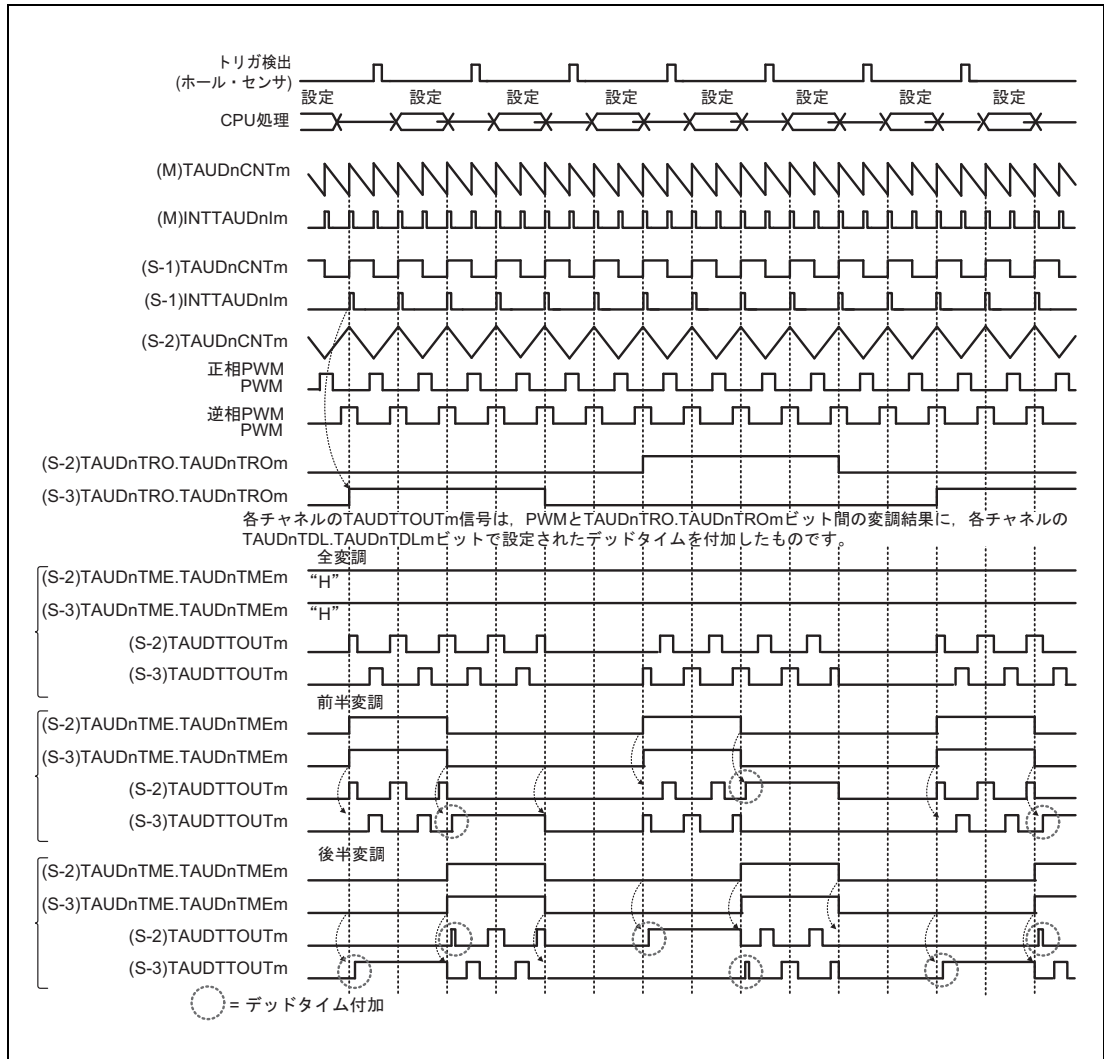


図 25.137 相補方式変調出力機能の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブチャンネルの TAUDnTME.TAUDnTMEem ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

スレーブチャンネル 2, 3 から出力されるのは、変調された PWM 出力信号と TAUDnTRO.TAUDnTROm ビットの値です。

TAUDnTME.TAUDnTMEem、TAUDnTDL.TAUDnTDLm は、カウント開始タイミングと三角波 PWM のキャリア周期 (山割り込みタイミング) 検出で設定値が反映されます。

TAUDnTRO.TAUDnTROm ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブチャンネル 1 で割り込みが発生しないと適用されません。

備 考

デッドタイムは、正相と逆相の PWM のエッジが同時に変化するのを抑制するために付加されます。

「設定」とあるところは、TAUDnCDRm、TAUDnTME.TAUDnTME_m、TAUDnTRO.TAUDnTRO_m、TAUDnTDL.TAUDnTDL_m の値を変更できる期間を示しています。

第26章 タイマアレユニットJ (TAUJ)

本章では、タイマアレユニットJ (TAUJ) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1K に固有の特長について説明します。それ以降の節では、TAUJ の機能、レジスタについて説明します。

26.1 RH850/F1K TAUJ の特長

26.1.1 ユニット数

本製品は、以下のユニット数の TAUJ を搭載しています。

表 26.1 ユニット数

製品名	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
ユニット数	2	2	2
名称	TAUJn (n = 0, 1)	TAUJn (n = 0, 1)	TAUJn (n = 0, 1)

TAUJn は以下のチャンネル数のタイマを搭載しています。

表 26.2 TAUJn のユニット構成とチャンネルの対応

ユニット名 (チャンネル名) TAUJn	ユニット チャンネル数	RH850/F1K 100 pin (8 ch)	RH850/F1K 144 pin (8 ch)	RH850/F1K 176 pin (8 ch)
TAUJ0	4	○	○	○
TAUJ1	4	○	○	○

表 26.3 添字

添字	説明
n	本章では、TAUJ の各ユニットを「n」で識別します。たとえば、TAUJn チャンネル出力モードレジスタ (TAUJnTOM) のように記述しています。
m	TAUJ には 4 本のチャンネルがあります。本章では、各チャンネルを「m」(m = 0 ~ 3) で識別しており、特定のチャンネルを CHm のように記述しています。偶数チャンネル (m = 0, 2) は CHm_even と記述します。奇数チャンネル (m = 1, 3) は CHm_odd と記述します。

26.1.2 レジスタベースアドレス

TAUJn のベースアドレスを以下の表に示します。

TAUJn のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 26.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TAUJ0_base>	FFE5 0000 _H
<TAUJ1_base>	FFE5 1000 _H

26.1.3 クロック供給

TAUJn のクロック供給を以下の表に示します。

表 26.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名	説明
TAUJ0	PCLK	CKSCLK_ATAUJ	タイマカウントクロック
	レジスタアクセスクロック	CPUCLK2	—
		CKSCLK_ATAUJ	
TAUJ1	PCLK	CKSCLK_IPERI1	タイマカウントクロック
	レジスタアクセスクロック	CPUCLK2	—
		CKSCLK_IPERI1	

26.1.4 割り込み要求

TAUJn の割り込み要求を以下の表に示します。

表 26.6 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
TAUJ0			
INTTAUJ0I0	チャンネル 0 割り込み	80	21
INTTAUJ0I1	チャンネル 1 割り込み	81	80
INTTAUJ0I2	チャンネル 2 割り込み	82	81
INTTAUJ0I3	チャンネル 3 割り込み	83	22
TAUJ1			
INTTAUJ1I0	チャンネル 0 割り込み	168	46
INTTAUJ1I1	チャンネル 1 割り込み	169	100
INTTAUJ1I2	チャンネル 2 割り込み	170	47
INTTAUJ1I3	チャンネル 3 割り込み	171	101

26.1.5 リセット要因

TAUJn のリセット要因を以下に示します。TAUJn は以下のリセット要因で初期化されます。

表 26.7 リセット要因

ユニット名	リセット要因
TAUJ0	DeepSTOP モード遷移時を除くリセット要因 (AWORES)
TAUJ1	すべてのリセット要因 (ISORES)

26.1.6 外部入出力信号

TAUJ_n の外部入出力信号を以下の表に示します。

表 26.8 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
TAUJ0		
TAUJTTIN0-TAUJTTIN1	チャンネル 0-1 入力	TAUJ0I0-TAUJ0I1
TAUJTTIN2	チャンネル 2 入力	TAUJ0I2 または RTCA0OUT 注 1
TAUJTTIN3	チャンネル 3 入力	TAUJ0I3 または RTCA0OUT 注 1
TAUJTOUT0-TAUJTOUT3	チャンネル 0-3 出力	TAUJ0O0-TAUJ0O3
TAUJ1		
TAUJTTIN0-TAUJTTIN3	チャンネル 0-3 入力	TAUJ1I0-TAUJ1I3
TAUJTOUT0-TAUJTOUT3	チャンネル 0-3 出力	TAUJ1O0-TAUJ1O3

注 1. 「26.1.8 TAUJ0 入力の選択」を参照してください。

26.1.7 内部入出力信号

TAUJ_n の内部入出力信号を以下の表に示します。

表 26.9 内部入出力信号

ユニット信号名	説明	接続先
TAUJ _n TSS _{Tm} 注 1	チャンネル同時スタートトリガ入力	PIC

注 1. n = 1 のみ。TAUJ0TSS_{Tm} は PIC と接続していません。

26.1.8 TAUJ0 入力の選択

次の図に示すように、RTCA0 からの 1 Hz パルス出力 (RTCA0OUT) および TAUJ1 からの出力 (TAUJTOUT0) を TAUJTTIN2、TAUJTTIN3 に入力できます。

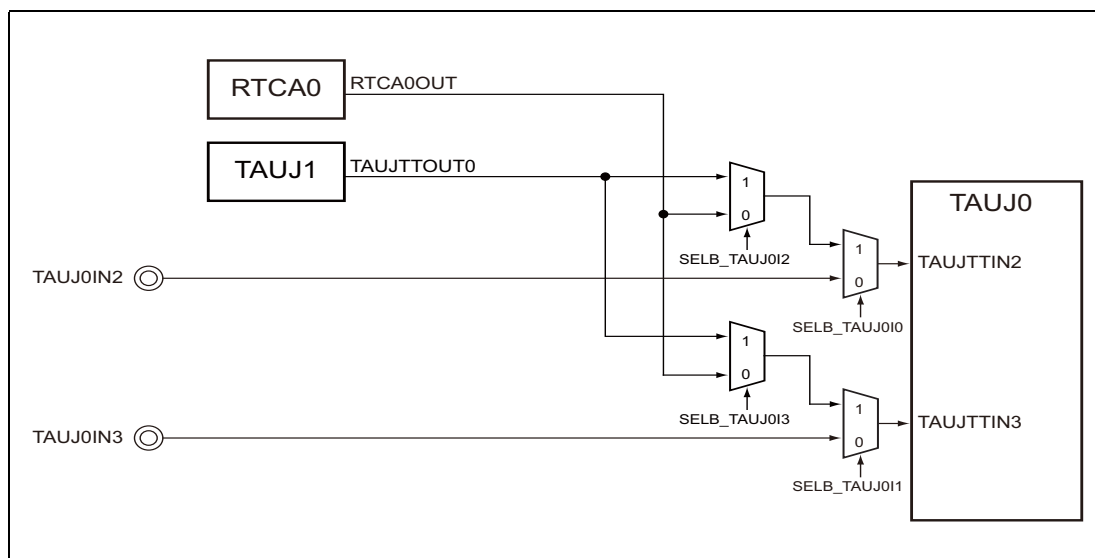


図 26.1 TAUJ0 への入力信号の選択

次の表に TAUJ への入力信号の選択方法について示します。

表 26.10 TAUJ0 入力の選択

入力信号	機能	設定			
		SELB_TAUJ0I3	SELB_TAUJ0I2	SELB_TAUJ0I1	SELB_TAUJ0I0
TAUJTTIN2	ポート TAUJ0I2	—	—	—	0
	RTCA0OUT (リアルタイムクロック 1 Hz 出力)	—	0	—	1
	TAUJTOUT0 (TAUJ1)	—	1	—	1
TAUJTTIN3	ポート TAUJ0I3	—	—	0	—
	RTCA0OUT (リアルタイムクロック 1 Hz 出力)	0	—	1	—
	TAUJTOUT0 (TAUJ1)	1	—	1	—

26.1.8.1 レジスタ一覧

入力信号選択レジスタ のレジスタ一覧を以下の表に示します。

表 26.11 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
SL_TAUJ0	TAUJTTINm 入力信号選択レジスタ	SELB_TAUJ0I	FFE5 4000 _H

26.1.8.2 SELB_TAUJ0I — TAUJTTINm 入力信号選択レジスタ

TAUJ0 入力信号を選択するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFE5 4000_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	SELB_TAUJ0I3	SELB_TAUJ0I2	SELB_TAUJ0I1	SELB_TAUJ0I0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 26.12 SELB_TAUJ0I レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	SELB_TAUJ0I3	TAUJTTIN3 への入力信号の選択： 0：RTCA0OUT 1：TAUJTTOUT0
2	SELB_TAUJ0I2	TAUJTTIN2 への入力信号の選択： 0：RTCA0OUT 1：TAUJTTOUT0
1	SELB_TAUJ0I1	TAUJTTIN3 への入力信号の選択： 0：ポート TAUJ0I3 1：タイマ入力
0	SELB_TAUJ0I0	TAUJTTIN2 への入力信号の選択： 0：ポート TAUJ0I2 1：タイマ入力

26.2 概要

26.2.1 機能概要

TAUJには、次の機能があります。

- 単体動作機能（1チャンネルで動作する機能）
- 連動動作機能（マスタチャンネル1チャンネルとスレーブチャンネルの複数チャンネルで実現する機能）

TAUJは、各種カウントやタイマ動作を行い、その動作の結果によって異なる信号を出力します。カウントクロックを生成するためのプリスケアラ、カウント開始値および比較値を保持するための32ビットカウンタTAUJnCNTmと32ビットデータレジスタTAUJnCDRmをそれぞれ備えた4チャンネルを搭載しています。

また、いくつかの制御レジスタおよびステータスレジスタを持っています。

単体および連動動作

各チャンネルは、単体で、またはほかのチャンネルと連動して、2つの動作モードで動作することが可能です。1つのマスタチャンネルと1つ以上のスレーブチャンネルの場合、スレーブチャンネルは、マスタチャンネルに依存します。

あるチャンネルを単体動作させる場合、他のチャンネルと無関係に動作できます。

連動動作機能は、チャンネルグループ（マスタチャンネルとスレーブチャンネルで構成されます）を組み合わせることで実現する機能です。

チャンネルの設定には、いくつかのルールがあります。

26.2.2 用語

本章で使用されている用語について説明します。

単体動作機能／連動動作機能

TAUJは4チャンネルで構成されており、各チャンネル単独で動作する単体動作機能と、複数のチャンネルを組み合わせて動作する連動動作機能があります。

- 単体動作機能は、他のチャンネルと無関係に任意のチャンネルで使用可能です。
- 連動動作機能は、チャンネルグループ（マスタチャンネルとスレーブチャンネルで構成されます）を組み合わせて実現する機能です。

チャンネルの設定には、いくつかのルールがあります。

チャンネルグループ

連動動作機能では、依存関係にあるすべてのチャンネルを「チャンネルグループ」と呼びます。

1つのチャンネルグループは、1つのマスタチャンネルと1つ以上のスレーブチャンネルで構成されます。

上位／下位チャンネル

チャンネル m から見て、小さい番号または大きい番号のチャンネルを上位または下位チャンネルと呼びます。

- 上位チャンネル：小さい番号のチャンネル
- 下位チャンネル：大きい番号のチャンネル

たとえば、チャンネル2に対してチャンネル1は上位チャンネル、チャンネル3は下位チャンネルです。チャンネル0が最上位チャンネル、チャンネル3が最下位チャンネルです。

26.2.3 タイマ動作機能一覧

このタイマは各チャンネルを単体で動作させたり、複数チャンネルを組み合わせて動作させることで、下記の機能が実現できます。

表 26.13 TAUJ 動作機能一覧

動作機能	設定例
チャンネル単体動作機能	26.12 章
インターバルタイマ機能	26.12.1 章
TAUJTTINm 入力インターバルタイマ機能	26.12.2 章
TAUJTTINm 入力パルスインターバル測定機能	26.12.3 章
TAUJTTINm 入力信号幅測定機能	26.12.4 章
TAUJTTINm 入力位置検出機能	26.12.5 章
TAUJTTINm 入力期間カウント検出機能	26.12.6 章
オーバフロー割り込み出力機能 (TAUJTTINm 幅測定時)	26.12.7 章
オーバフロー割り込み出力機能 (TAUJTTINm 入力期間カウント検出時)	26.12.8 章
チャンネル連動動作機能	26.13 章
PWM 出力機能	26.13.1 章

26.2.4 入出力と割り込み要求信号

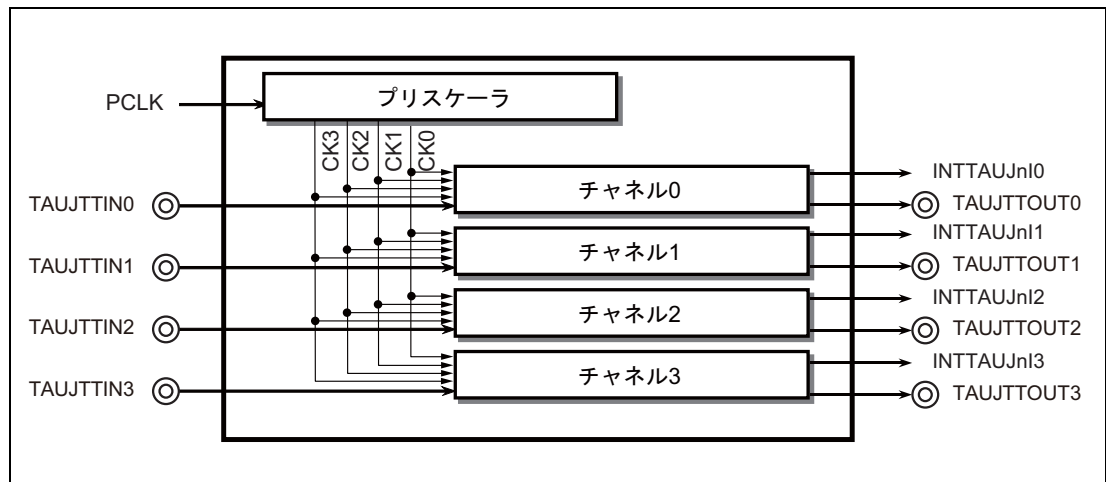


図 26.2 TAUJ 入出力と割り込み要求信号

26.2.5 ブロック図

TAUJの主な構成要素を次の図に示します。

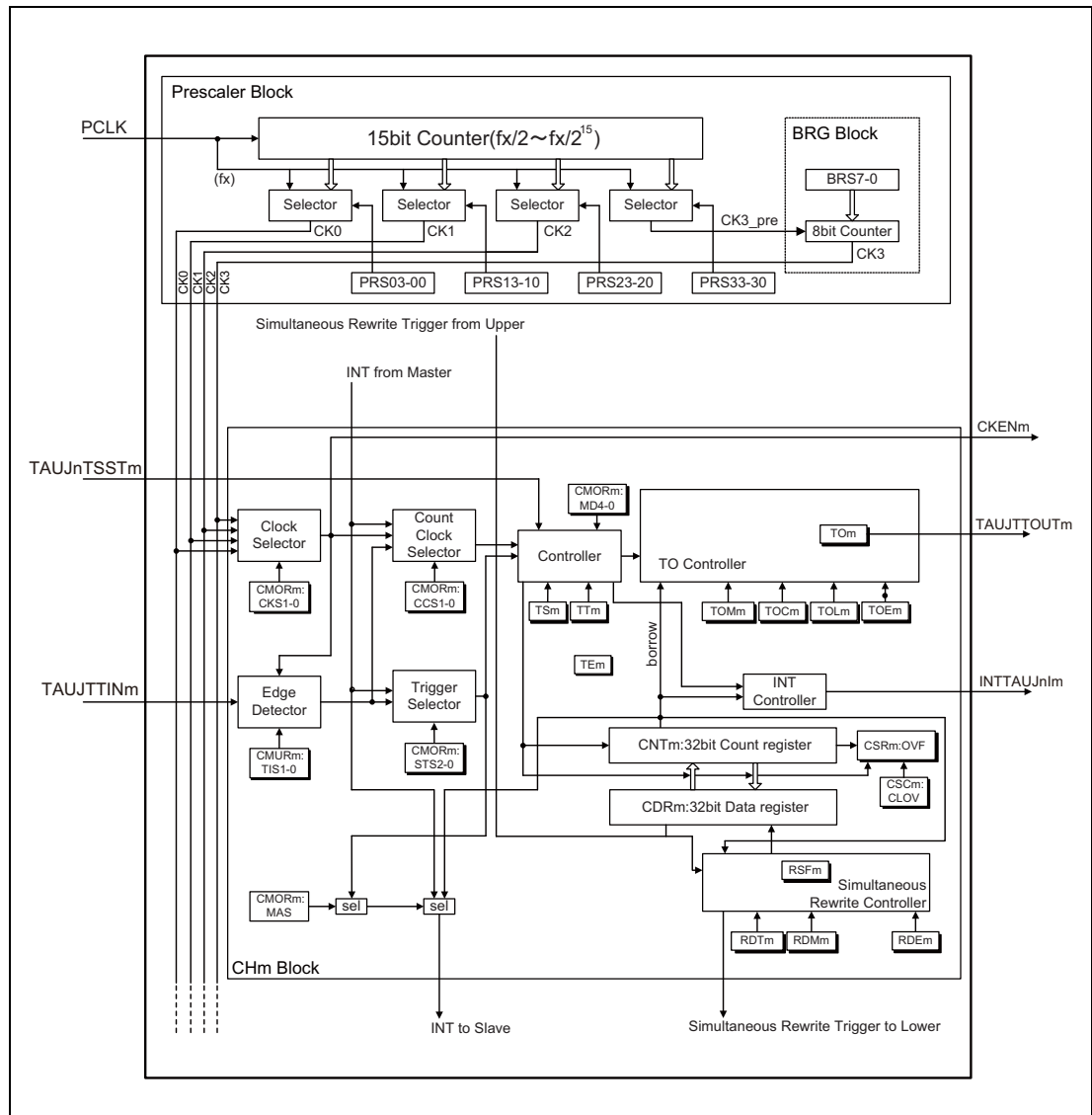


図 26.3 TAUJ のブロック図

レジスタ名の「TAUJn」は、図を見やすくするために省略されています。

26.2.6 ブロック図の説明

機能ブロックを次に説明します。

プリスケーラ

プリスケーラは、すべてのチャンネルのカウントクロックとして使用することができる最大4つのクロック信号 (CK0-CK3) を供給します。

カウントクロック CK0-CK2 は、プリスケーラにより PCLK の 2^0 - 2^{15} の分周したクロックを選択することができます。4つ目のカウントクロック CK3 は、BRG を使用することにより、2のべき乗以外の分周比を設定することができます。

クロックおよびカウントクロックの選択

クロックカウントセレクトは、各チャンネルに対してクロックソースを次から選択します。

- CK0-CK3 のいずれかのクロック (クロックセレクトにより選択)

コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード (TAUJnCMORm.TAUJnMD[4:0] ビットにより選択)
- カウント開始許可 (TAUJnTS.TAUJnTSm) およびカウント停止 (TAUJnTT.TAUJnTTm)

カウントの開始を許可すると、ステータスフラグ TAUJnTE.TAUJnTEm がセットされます。

トリガセレクト

カウンタは、動作が許可されている場合 (TAUJnTE.TAUJnTEm = 1) には自動的に起動するか、外部スタートトリガ信号を待ちます。次の信号をスタートトリガとして使うことができます。

- チャンネル連動スタートトリガ入力 TAUJnTSSTm
- TAUJnTTINm 入力の有効エッジ
- マスタチャンネルからの INTTAUJnIm

一斉書き換えコントローラ

一斉書き換え制御は、連動動作機能で有効です。あるチャンネルグループに属する全チャンネルのデータレジスタ (TAUJnCDRm) はいつでも書き換えられます。一斉書き換えコントローラは、全チャンネルのデータレジスタの新しい値が同時に有効になります。

TAUJnTO コントローラ

各チャンネルの出力を制御することにより、PWM 信号などの各種出力信号を出力できます。

26.3 レジスタ

26.3.1 レジスタ一覧

TAUJのレジスタ一覧を以下の表に示します。

<TAUJn_base> は「**26.1.2 レジスタベースアドレス**」を参照してください。

表 26.14 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
TAUJn プリスケアラレジスタ			
TAUJn	TAUJn プリスケアラクロック選択レジスタ	TAUJnTPS	<TAUJn_base> + 90 _H
	TAUJn プリスケアラポーレート設定レジスタ	TAUJnBRS	<TAUJn_base> + 94 _H
TAUJn 制御レジスタ			
TAUJn	TAUJn チャネルデータレジスタ m	TAUJnCDRm	<TAUJn_base> + m × 4 _H
	TAUJn チャネルカウンタレジスタ m	TAUJnCNTm	<TAUJn_base> + 10 _H + m × 4 _H
	TAUJn チャネルモード OS レジスタ m	TAUJnCMORm	<TAUJn_base> + 80 _H + m × 4 _H
	TAUJn チャネルモードユーザレジスタ m	TAUJnCMURm	<TAUJn_base> + 20 _H + m × 4 _H
	TAUJn チャネルステータスレジスタ m	TAUJnCSRm	<TAUJn_base> + 30 _H + m × 4 _H
	TAUJn チャネルステータスクリアトリガレジスタ m	TAUJnCSCm	<TAUJn_base> + 40 _H + m × 4 _H
	TAUJn チャネルスタートトリガレジスタ	TAUJnTS	<TAUJn_base> + 54 _H
	TAUJn チャネル許可ステータスレジスタ	TAUJnTE	<TAUJn_base> + 50 _H
	TAUJn チャネルストップトリガレジスタ	TAUJnTT	<TAUJn_base> + 58 _H
TAUJn 出力レジスタ			
TAUJn	TAUJn チャネル出力許可レジスタ	TAUJnTOE	<TAUJn_base> + 60 _H
	TAUJn チャネル出力レジスタ	TAUJnTO	<TAUJn_base> + 5C _H
	TAUJn チャネル出力モードレジスタ	TAUJnTOM	<TAUJn_base> + 98 _H
	TAUJn チャネル出力コンフィグレーションレジスタ	TAUJnTOC	<TAUJn_base> + 9C _H
	TAUJn チャネル出力アクティブレベルレジスタ	TAUJnTOL	<TAUJn_base> + 64 _H
TAUJn リロードデータレジスタ			
TAUJn	TAUJn チャネルリロードデータ許可レジスタ	TAUJnRDE	<TAUJn_base> + A0 _H
	TAUJn チャネルリロードデータモードレジスタ	TAUJnRDM	<TAUJn_base> + A4 _H
	TAUJn チャネルリロードデータトリガレジスタ	TAUJnRDT	<TAUJn_base> + 68 _H
	TAUJn チャネルリロードステータスレジスタ	TAUJnRSF	<TAUJn_base> + 6C _H
TAUJn エミュレーションレジスタ			
TAUJn	TAUJn エミュレーションレジスタ	TAUJnEMU	<TAUJn_base> + A8 _H

26.3.2 TAUJn プリスケーラレジスタの詳細

26.3.2.1 TAUJnTPS — TAUJn プリスケーラクロック選択レジスタ

PCLK プリスケーラの全チャンネルの CK0、CK1、CK2、CK3_PRE クロックを指定するレジスタです。CK3 は、CK3_PRE を TAUJnBRS で指定した係数で分周することによって生成されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 90_H

リセット後の値 FFFF_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnPRS3[3:0]				TAUJnPRS2[3:0]				TAUJnPRS1[3:0]				TAUJnPRS0[3:0]			
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.15 TAUJnTPS レジスタの内容 (1/3)

ビット位置	ビット名	機能																																		
15 ~ 12	TAUJnPRS3 [3:0]	CK3_PRE クロックを指定します。 CK3_PRE クロックは BRG ユニットの入カクロックです。BRG ユニットは全チャンネルに CK3 動作クロックを供給します。																																		
		<table border="1"> <thead> <tr> <th>TAUJnPRS3[3:0]</th> <th>CK3_PRE クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUJnPRS3[3:0]	CK3_PRE クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUJnPRS3[3:0]	CK3_PRE クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
		本ビットは、CK3 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。																																		

表 26.15 TAUJnTPS レジスタの内容 (2/3)

ビット位置	ビット名	機能	
11 ~ 8	TAUJnPRS2 [3:0]	CK2 クロックを指定します。	
		TAUJnPRS2[3:0]	CK2 クロック
		0000 _B	PCLK/2 ⁰
		0001 _B	PCLK/2 ¹
		0010 _B	PCLK/2 ²
		0011 _B	PCLK/2 ³
		0100 _B	PCLK/2 ⁴
		0101 _B	PCLK/2 ⁵
		0110 _B	PCLK/2 ⁶
		0111 _B	PCLK/2 ⁷
		1000 _B	PCLK/2 ⁸
		1001 _B	PCLK/2 ⁹
		1010 _B	PCLK/2 ¹⁰
		1011 _B	PCLK/2 ¹¹
		1100 _B	PCLK/2 ¹²
		1101 _B	PCLK/2 ¹³
		1110 _B	PCLK/2 ¹⁴
1111 _B	PCLK/2 ¹⁵		
本ビットは、CK2 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。			
7 ~ 4	TAUJnPRS1 [3:0]	CK1 クロックを指定します。	
		TAUJnPRS1[3:0]	CK1 クロック
		0000 _B	PCLK/2 ⁰
		0001 _B	PCLK/2 ¹
		0010 _B	PCLK/2 ²
		0011 _B	PCLK/2 ³
		0100 _B	PCLK/2 ⁴
		0101 _B	PCLK/2 ⁵
		0110 _B	PCLK/2 ⁶
		0111 _B	PCLK/2 ⁷
		1000 _B	PCLK/2 ⁸
		1001 _B	PCLK/2 ⁹
		1010 _B	PCLK/2 ¹⁰
		1011 _B	PCLK/2 ¹¹
		1100 _B	PCLK/2 ¹²
		1101 _B	PCLK/2 ¹³
		1110 _B	PCLK/2 ¹⁴
1111 _B	PCLK/2 ¹⁵		
本ビットは、CK1 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。			

表 26.15 TAUJnTPS レジスタの内容 (3/3)

ビット位置	ビット名	機能																																		
3 ~ 0	TAUJnPRS0 [3:0]	CK0 クロックを指定します。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 50%;">TAUJnPRS0[3:0]</th> <th style="width: 50%;">CK0 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUJnPRS0[3:0]	CK0 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUJnPRS0[3:0]	CK0 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
		本ビットは、CK0 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。																																		

備考

TAUJn クロック入力 PCLK については、本章の最初の節内「**26.1.3 クロック供給**」で定義しています。

26.3.2.2 TAUJnBRS — TAUJn プリスケラポーレート設定レジスタ

プリスケラクロック CK3 の分周係数を指定するレジスタです。

CK3 は、CK3_PRE をこのレジスタで指定した係数+1 で分周することによって生成されます。CK3_PRE 用の PCLK プリスケラは、TAUJnTPS.TAUJnPRS3[3:0] で指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 94_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	TAUJnBRS[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.16 TAUJnBRS レジスタの内容

ビット位置	ビット名	機能																
7 ~ 0	TAUJnBRS [7:0]	CK3 生成のための CK3_PRE クロック分周係数を指定します。																
		<table border="1"> <thead> <tr> <th>TAUJnBRS[7:0]</th> <th>CK3 クロック</th> </tr> </thead> <tbody> <tr> <td>0000 0000_B</td> <td>CK3_PRE / 1</td> </tr> <tr> <td>0000 0001_B</td> <td>CK3_PRE / 2</td> </tr> <tr> <td>0000 0010_B</td> <td>CK3_PRE / 3</td> </tr> <tr> <td>0000 0011_B</td> <td>CK3_PRE / 4</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>1111 1110_B</td> <td>CK3_PRE / 255</td> </tr> <tr> <td>1111 1111_B</td> <td>CK3_PRE / 256</td> </tr> </tbody> </table>	TAUJnBRS[7:0]	CK3 クロック	0000 0000 _B	CK3_PRE / 1	0000 0001 _B	CK3_PRE / 2	0000 0010 _B	CK3_PRE / 3	0000 0011 _B	CK3_PRE / 4	1111 1110 _B	CK3_PRE / 255	1111 1111 _B	CK3_PRE / 256
TAUJnBRS[7:0]	CK3 クロック																	
0000 0000 _B	CK3_PRE / 1																	
0000 0001 _B	CK3_PRE / 2																	
0000 0010 _B	CK3_PRE / 3																	
0000 0011 _B	CK3_PRE / 4																	
...	...																	
1111 1110 _B	CK3_PRE / 255																	
1111 1111 _B	CK3_PRE / 256																	

26.3.3 TAUJn 制御レジスタの詳細

26.3.3.1 TAUJnCDRm — TAUJn チャネルデータレジスタ

このレジスタは、TAUJnCMORm.TAUJnMD[4:1] で指定された動作モードによって、コンペアレジスタもしくはキャプチャレジスタとして機能するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。
 ・キャプチャレジスタ機能時は、リードのみ可能です。ライト動作は無視されます。
 ・コンペアレジスタ機能時は、リード/ライト可能です。

アドレス <TAUJn_base> + 0_H + m × 4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TAUJnCDR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.17 TAUJnCDRm レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	TAUJnCDR [31:0]	キャプチャ値/コンペア値用データレジスタ

26.3.3.2 TAUJnCNTm — TAUJn チャネルカウンタレジスタ

チャンネル m カウンタレジスタです。

アクセス 32ビット単位でリードのみ可能です。

アドレス <TAUJn_base> + 10_H + m × 4_H

リセット後の値 FFFF FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TAUJnCNT[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCNT[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.18 TAUJnCNTm レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	TAUJnCNT [31:0]	32ビットカウンタ値

リード値は、カウンタ、動作モード変更、TAUJnTS.TAUJnTSM、TAUJnTT.TAUJnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタストップトリガによる停止 (TAUJnTT.TAUJnTTm = 1)

カウント停止後 (TAUJnTE.TAUJnTEm = 0) と再許可後 (TAUJnTS.TAUJnTSM = 1) のカウンタの初期リード値を次の表に示します。

また、カウンタがスタートトリガを待っている状態で、カウンタ動作が許可 (TAUJnTS.TAUJnTSM = 1) されてから 1 カウント後のカウンタのリード値も示します。

表 26.19 カウント再許可後の TAUJnCNTm リード値

モード名	カウント方式 (アップ/ダウン)	TAUJnCNTm		
		スタート値 ^{注1}	ストップトリガ後	ワンカウント後
インターバルタイマモード	ダウンカウント	FFFF FFFF _H	停止値	—
キャプチャモード	アップカウント	0000 0000 _H	停止値	—
ワンカウントモード	ダウンカウント	FFFF FFFF _H	停止値	停止値
キャプチャ&ワンカウント モード	アップカウント	0000 0000 _H	停止値	キャプチャ値+1 (TAUJnCDRm)
カウントキャプチャモード	アップカウント	0000 0000 _H	停止値	—
ゲートカウントモード	ダウンカウント	FFFF FFFF _H	停止値	停止値
キャプチャ&ゲート カウントモード	アップカウント	0000 0000 _H	停止値	停止値

注 1. リセット解除後、動作モードを変更した際に TAUJnCNTm にセットされる値

26.3.3.3 TAUJnCMORm — TAUJn チャネルモード OS レジスタ

このレジスタは、チャンネル m の動作を制御します。

アクセス 16 ビット単位でリード/ライト可能です。
カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみライト可能です。

アドレス <TAUJn_base> + 80_H + m × 4_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJnMAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 26.20 TAUJnCMORm レジスタの内容 (1/3)

ビット位置	ビット名	機能															
15、14	TAUJnCKS [1:0]	<p>動作クロックを選択します。 動作クロックは TAUJnTTINm 入力エッジ検出回路で使用します。 TAUJnCMORm.TAUJnCCS[1:0] ビットの設定により、TAUJnCNTm のカウントクロックとして使用することも可能です。</p> <table border="1"> <thead> <tr> <th>TAUJnCKS1</th> <th>TAUJnCKS0</th> <th>動作クロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CK0</td> </tr> <tr> <td>0</td> <td>1</td> <td>CK1</td> </tr> <tr> <td>1</td> <td>0</td> <td>CK2</td> </tr> <tr> <td>1</td> <td>1</td> <td>CK3</td> </tr> </tbody> </table>	TAUJnCKS1	TAUJnCKS0	動作クロック選択	0	0	CK0	0	1	CK1	1	0	CK2	1	1	CK3
TAUJnCKS1	TAUJnCKS0	動作クロック選択															
0	0	CK0															
0	1	CK1															
1	0	CK2															
1	1	CK3															
13、12	TAUJnCCS [1:0]	<p>TAUJnCNTm カウンタのカウントクロックを選択します。</p> <table border="1"> <thead> <tr> <th>TAUJnCCS1</th> <th>TAUJnCCS0</th> <th>動作クロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>TAUJnCMORm.TAUJnCKS[1:0] で指定した動作クロック</td> </tr> <tr> <td>0</td> <td>1</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	TAUJnCCS1	TAUJnCCS0	動作クロック選択	0	0	TAUJnCMORm.TAUJnCKS[1:0] で指定した動作クロック	0	1	設定禁止	1	0	設定禁止	1	1	設定禁止
TAUJnCCS1	TAUJnCCS0	動作クロック選択															
0	0	TAUJnCMORm.TAUJnCKS[1:0] で指定した動作クロック															
0	1	設定禁止															
1	0	設定禁止															
1	1	設定禁止															
11	TAUJnMAS	<p>チャンネル連動動作時に、そのチャンネルがマスタチャンネルかスレーブチャンネルかを指定します。 0: スレーブ 1: マスタ</p> <p>このビット設定は偶数チャンネル (CHm_even) に対してのみ有効です。奇数チャンネル (CHm_odd) は、0 に固定されています。</p>															

表 26.20 TAUJnCMORm レジスタの内容 (2/3)

ビット位置	ビット名	機能			
10 ~ 8	TAUJnSTS [2:0]	外部スタートトリガを選択します。			
		TAUJnSTS2	TAUJnSTS1	TAUJnSTS0	動作クロック選択
		0	0	0	ソフトウェアトリガ
		0	0	1	TAUJTINm 入力信号の有効エッジ。有効エッジは TAUJnCMURm.TAUJnTIS[1:0] で指定
		0	1	0	TAUJTINm 入力信号の有効エッジをスタートトリガ、逆エッジをストップトリガとして使用
		0	1	1	設定禁止
		1	0	0	マスタチャネルの INTTAUJnIm がスタートトリガ
		1	0	1	設定禁止
		1	1	0	
1	1	1			
7, 6	TAUJnCOS [1:0]	チャンネル m のキャプチャレジスタ TAUJnCDRm とオーバフローフラグ TAUJnCSRm.TAUJnOVF を更新するタイミングを指定します。これらのビットはチャンネル m がキャプチャ機能（キャプチャモード、キャプチャ&ワンカウントモード）のときにのみ有効です。			
		TAUJnCOS1	TAUJnCOS0	TAUJnCDRm	TAUJnCSRm.TAUJnOVF
		0	0	TAUJTINm 入力有効エッジを検出すると更新	TAUJTINm 入力有効エッジを検出すると更新（クリアまたはセット） <ul style="list-style-type: none"> 有効エッジを最後に検出してからカウンタオーバフローが発生している場合は、TAUJnCSRm.TAUJnOVF をセット 有効エッジを最後に検出してからカウンタオーバフローが発生していない場合は、TAUJnCSRm.TAUJnOVF をクリア
		0	1		カウンタオーバフロー時にセット、TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア
		1	0	TAUJTINm 入力有効エッジ検出およびカウンタオーバフローの発生により更新	設定なし
1	1	<ul style="list-style-type: none"> TAUJTINm 入力有効エッジ検出：カウンタ値が TAUJnCDRm に書き込まれる オーバフロー発生：FFFF FFFF_H が TAUJnCDRm にロードされる。次の TAUJTINm 入力有効エッジ検出は無視される。 	カウンタオーバフロー時にセット、TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア		
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。			

表 26.20 TAUJnCMORm レジスタの内容 (3/3)

ビット位置	ビット名	機能					
4 ~ 0	TAUJnMD [4:0]	動作モードを指定します。					
		TAUJnMD4	TAUJnMD3	TAUJnMD2	TAUJnMD1	TAUJnMD0	機能説明
		0	0	0	0	1/0	インターバルタイマモード
		0	0	0	1	1/0	設定禁止
		0	0	1	0	1/0	キャプチャモード
		0	0	1	1	0	設定禁止
		0	1	0	0	1/0	ワンカウントモード
		0	1	0	1	1/0	設定禁止
		0	1	1	0	0	キャプチャ&ワンカウントモード
		0	1	1	1	1/0	設定禁止
		1	0	0	0	0	設定禁止
		1	0	0	1	0	設定禁止
		1	0	1	0	1/0	設定禁止
		1	0	1	1	1/0	カウントキャプチャモード
		1	1	0	0	0	ゲートカウントモード
		1	1	0	1	0	キャプチャ&ゲートカウントモード
		モード		TAUJnMD0 ビットの役割			
		インターバルタイマモード キャプチャモード カウントキャプチャモード		カウント動作開始時（スタートトリガ入力時）に、INTTAUJnIm 信号を出力するかどうかを指定します。 0：INTTAUJnIm を出力しない 1：INTTAUJnIm を出力する			
		ワンカウントモード		カウント中のスタートトリガ検出を許可／禁止します。 0：禁止 1：許可 注意 ワンカウントモードでは、カウント動作開始時に INTTAUJnIm 信号を出力しません。			
		キャプチャ&ワンカウントモード ゲートカウントモード キャプチャ&ゲートカウントモード		このビットは“0”に設定してください。 注意 カウント動作開始時に INTTAUJnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。			

26.3.3.4 TAUJnCMURm — TAUJn チャネルモードユーザレジスタ

このレジスタは、TAUJTTINm 入力で使用される有効エッジ検出のタイプを指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 20_H + m × 4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 26.21 TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能															
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
1, 0	TAUJnTIS [1:0]	<p>TAUJTTINm 入力信号の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th>TAUJnTIS1</th> <th>TAUJnTIS0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がリエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がリエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>両エッジ検出 (ロウレベル幅測定選択) スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がリエッジ</td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジ検出 (ハイレベル幅測定選択) スタートトリガ: 立ち上がリエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ</td> </tr> </tbody> </table> <p>TAUJTTINm 入力信号のエッジ検出は、TAUJnCMORm.TAUJnCKS[1:0] で選択した動作クロックに基づいて行われます。</p>	TAUJnTIS1	TAUJnTIS0	機能説明	0	0	立ち下がリエッジ	0	1	立ち上がリエッジ	1	0	両エッジ検出 (ロウレベル幅測定選択) スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がリエッジ	1	1	両エッジ検出 (ハイレベル幅測定選択) スタートトリガ: 立ち上がリエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ
TAUJnTIS1	TAUJnTIS0	機能説明															
0	0	立ち下がリエッジ															
0	1	立ち上がリエッジ															
1	0	両エッジ検出 (ロウレベル幅測定選択) スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がリエッジ															
1	1	両エッジ検出 (ハイレベル幅測定選択) スタートトリガ: 立ち上がリエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ															

26.3.3.5 TAUJnCSRm — TAUJn チャネルステータスレジスタ

このレジスタは、チャンネル m のオーバーフロー状態を示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <TAUJn_base> + 30_H + m × 4_H

リセット後の値 0x_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAUJnOVF
リセット後の値	0	0	0	0	0	0	—	0
R/W	R	R	R	R	R	R	R	R

表 26.22 TAUJnCSRm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	予約ビット	リードした場合は不定値が読めます。
0	TAUJnOVF	カウンタオーバーフロー状態を示します。 0 : オーバフローが発生していない 1 : オーバフローが発生 このビットは、次のモード時のみ使用します。 <ul style="list-style-type: none"> • キャプチャモード • キャプチャ&ワンカウントモード このビットの機能は、制御ビット TAUJnCMORm.TAUJnCOS[1:0] の設定により異なります。

26.3.3.6 TAUJnCSCm — TAUJn チャネルステータスクリアレジスタ

このレジスタは、チャンネル m のオーバーフローフラグ TAUJnCSRm.TAUJnOVF をクリアするためのトリガレジスタです。

アクセス 8ビット単位でライトのみ可能です。

アドレス <TAUJn_base> + 40_H + m × 4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAUJnCLOV
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 26.23 TAUJnCSCm レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAUJnCLOV	0 : 機能なし 1 : オーバフローフラグ TAUJnCSRm.TAUJnOVF をクリア

26.3.3.7 TAUJnTS — TAUJn チャネルスタートトリガレジスタ

このレジスタは、各チャネルのカウンタ動作を許可します。

アクセス 8ビット単位でライトのみ可能です。

アドレス <TAUJn_base> + 54_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTS03	TAUJnTS02	TAUJnTS01	TAUJnTS00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 26.24 TAUJnTS レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnTSm	<p>チャンネル m のカウンタ動作を許可します。</p> <p>0 : 機能なし</p> <p>1 : カウンタ動作を許可し、TAUJnTE.TAUJnTEm = 1 を設定。</p> <p>TAUJnTE.TAUJnTEm = 1 を設定しても、カウント動作が許可されるだけです。カウントが開始されるかどうかは、選択されている動作モードによって異なります。</p>

26.3.3.8 TAUJnTE — TAUJn チャネル許可ステータスレジスタ

このレジスタは、カウンタ動作の許可/禁止を示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <TAUJn_base> + 50_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTE03	TAUJnTE02	TAUJnTE01	TAUJnTE00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 26.25 TAUJnTE レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。
3 ~ 0	TAUJnTEm	<p>チャンネル m のカウンタ動作の許可/禁止を示します。</p> <p>0 : カウンタ動作禁止</p> <p>1 : カウンタ動作許可</p> <p>TAUJnTSSTm (チャンネル連動スタートトリガ信号) のトリガ入力を検知するか、TAUJnTS.TAUJnTSm を 1 にセットすると、このビットが 1 に設定されます。TAUJnTT.TAUJnTTm を 1 にセットすると、このビットが 0 にリセットされません。</p>

26.3.3.9 TAUJnTT — TAUJn チャネルストップトリガレジスタ

このレジスタは、各チャネルのカウンタ動作を停止します。

アクセス 8ビット単位でライトのみ可能です。

アドレス <TAUJn_base> + 58_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTT03	TAUJnTT02	TAUJnTT01	TAUJnTT00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 26.26 TAUJnTT レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnTTm	<p>チャンネル m のカウンタ動作を停止します。</p> <p>0: 機能なし</p> <p>1: カウンタ動作を停止し、TAUJnTE.TAUJnTEm をリセットします。</p> <p>TAUJnCnTm、TAUJnTO.TAUJnTOm、TAUJnTOUTm は、カウント停止前の値を保持します。</p>

26.3.4 TAUJn 一斉書き換えレジスタの詳細

26.3.4.1 TAUJnRDE — TAUJn チャンネルリロードデータ許可レジスタ

このレジスタは、データレジスタ TAUJnCDRm の一斉書き換えを許可/禁止します。また、PWM 出力機能で動作しているデータレジスタ TAUJnTOLm の一斉書き換えを許可/禁止します。

アクセス 8ビット単位でリード/ライト可能です。
TAUJnTE.TAUJnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUJn_base> + A0_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRDE03	TAUJnRDE02	TAUJnRDE01	TAUJnRDE00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 26.27 TAUJnRDE レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnRDEm	チャンネル m のデータレジスタの一斉書き換えを許可/禁止します。 0: 一斉書き換え禁止 1: 一斉書き換え許可

26.3.4.2 TAUJnRDM — TAUJn チャンネルリロードデータモードレジスタ

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

アクセス 8ビット単位でリード/ライト可能です。
TAUJnTE.TAUJnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUJn_base> + A4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRDM03	TAUJnRDM02	TAUJnRDM01	TAUJnRDM00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 26.28 TAUJnRDM レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0: マスタチャンネルのカウントがカウントを開始したとき 1: 機能なし これらのビット設定は TAUJnRDE.TAUJnRDEm = 1 時のみ適用されます。

26.3.4.3 TAUJnRDT — TAUJn チャネルリロードデータトリガレジスタ

一斉書き換え許可状態をトリガするレジスタです。

アクセス 8ビット単位でライトのみ可能です。

アドレス <TAUJn_base> + 68_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRDT03	TAUJnRDT02	TAUJnRDT01	TAUJnRDT00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 26.29 TAUJnRDT レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnRDTm	一斉書き換え許可状態をトリガします。 0: 機能なし 1: 一斉書き換え許可状態をトリガする。一斉書き換え許可フラグ (TAUJnRSFm) が1に設定されます。システムは一斉書き換えトリガを待ちます。 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUJnRDE.TAUJnRDEm = 1

26.3.4.4 TAUJnRSF — TAUJn チャネルリロードステータスレジスタ

このフラグレジスタは、一斉書き換えのステータスを示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <TAUJn_base> + 6C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRSF03	TAUJnRSF02	TAUJnRSF01	TAUJnRSF00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 26.30 TAUJnRSF レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。
3 ~ 0	TAUJnRSFm	一斉書き換えの状態を示します。 0: 一斉書き換えトリガの発生により、一斉書き換えが完了したことを示します。 1: 一斉書き換え許可状態 (TAUJnRDTm = 1) で、一斉書き換えのトリガ待ちを示します。

26.3.5 TAUJn 出力レジスタの詳細

26.3.5.1 TAUJnTOE — TAUJn チャネル出力許可レジスタ

このレジスタは、ソフトウェア制御のチャネル単体出力モードを許可/禁止します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 60_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOE03	TAUJnTOE02	TAUJnTOE01	TAUJnTOE00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 26.31 TAUJnTOE レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnTOEm	チャネル単体出力機能を許可/禁止します。 0: タイマ単体出力機能を禁止 (ソフトウェア機能) 1: タイマ単体出力機能を許可

26.3.5.2 TAUJnTO — TAUJn チャネル出力レジスタ

このレジスタは、TAUJTOUTm レベルを指定およびリードします。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 5C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTO03	TAUJnTO02	TAUJnTO01	TAUJnTO00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 26.32 TAUJnTO レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnTOm	このレジスタは、TAUJTOUTm レベルを指定およびリードします。 0: ローレベル 1: ハイレベル チャネル単体出力機能が禁止されている (TAUJnTOEm = 0) TAUJnTOm ビットのみライト可能です。

26.3.5.3 TAUJnTOM — TAUJn チャネル出力モードレジスタ

このレジスタは、各チャネルの出力モードを指定します。

アクセス 8ビット単位でリード/ライト可能です。
カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUJn_base> + 98_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOM03	TAUJnTOM02	TAUJnTOM01	TAUJnTOM00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 26.33 TAUJnTOM レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnTOMm	出力モードを指定します。 0: チャネル単体動作 1: チャネル連動動作 出力モードは各チャネル出力制御ビット TAUJnTOE.TAUJnTOEm の設定によって変わります。

26.3.5.4 TAUJnTOC — TAUJn チャンネル出力コンフィグレーションレジスタ

このレジスタは、TAUJnTOMm とともに各チャンネルの出力モードを指定します。

アクセス 8ビット単位でリード/ライト可能です。
カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUJn_base> + 9C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOC03	TAUJnTOC02	TAUJnTOC01	TAUJnTOC00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 26.34 TAUJnTOC レジスタの内容

ビット位置	ビット名	機能															
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
3 ~ 0	TAUJnTOCm	<p>出力モードを指定します。 0 : 動作モード1 (トグルモード) 1 : 機能なし</p> <p>ソフトウェア制御のチャンネル単体出力モード以外のすべての出力モードでは、必ず0に設定してください。 次の表にあるように、出力モードは TAUJnTOM.TAUJnTOMm の設定によっても異なります。</p> <table border="1"> <thead> <tr> <th>TAUJnTOMm</th> <th>TAUJnTOCm</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>トグルモード : INTTAUJnIm 発生時にトグル動作が行われます。</td> </tr> <tr> <td>0</td> <td>1</td> <td>機能なし</td> </tr> <tr> <td>1</td> <td>0</td> <td>チャンネル連動動作モード1 : マスタチャンネルで INT が発生するとセット、スレーブチャンネルで INT が発生するとリセットされます。</td> </tr> <tr> <td>1</td> <td>1</td> <td>機能なし</td> </tr> </tbody> </table>	TAUJnTOMm	TAUJnTOCm	機能説明	0	0	トグルモード : INTTAUJnIm 発生時にトグル動作が行われます。	0	1	機能なし	1	0	チャンネル連動動作モード1 : マスタチャンネルで INT が発生するとセット、スレーブチャンネルで INT が発生するとリセットされます。	1	1	機能なし
TAUJnTOMm	TAUJnTOCm	機能説明															
0	0	トグルモード : INTTAUJnIm 発生時にトグル動作が行われます。															
0	1	機能なし															
1	0	チャンネル連動動作モード1 : マスタチャンネルで INT が発生するとセット、スレーブチャンネルで INT が発生するとリセットされます。															
1	1	機能なし															

26.3.5.5 TAUJnTOL — TAUJn チャンネル出力アクティブレベルレジスタ

このレジスタは、チャンネル出力ビット (TAUJnTO.TAUJnTOm) の出力論理を指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 64_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOL03	TAUJnTOL02	TAUJnTOL01	TAUJnTOL00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 26.35 TAUJnTOL レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnTOLm	チャンネル m 出力ビット (TAUJnTO.TAUJnTOm) の出力論理を指定します。 0: 正論理 (アクティブハイ) 1: 負論理 (アクティブロウ) これらのビット設定は、ソフトウェア制御のチャンネル単体出力モード以外のすべてのチャンネル出力モードに適用されます。

26.3.6 TAUJn エミュレーションレジスタ

26.3.6.1 TAUJnEMU — TAUJn エミュレーションレジスタ

このレジスタはSVSTOPによる動作を制御します。

アクセス 8ビット単位でリード/ライト可能です。
カウンタ停止中 (TAUJnTE.TAUJnTEm = 0)、かつ (EPC.SVSTOP = 0) のときにライト動作を行ってください。

アドレス <TAUJn_base> + A8_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
TAUJn SVSDIS	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 26.36 TAUJnEMU レジスタの内容

ビット位置	ビット名	機能
7	TAUJnSVSDIS	(EPC.SVSTOP ビット = 0 のとき) 本ビットの値 (1/0) にかかわらず、デバッグがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給 (EPC.SVSTOP ビット = 1 のとき) 0: デバッグがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを停止 1: デバッグがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給
6 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

26.4 操作手順

TAUJn の基本操作手順を次に示します。

リセット解除後、各チャンネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャンネルの全回路およびレジスタが初期化されます。

TAUJTOUTm の制御レジスタも初期化され、ロウレベルを出力します。

1. TAUJnTPS と TAUJnBRS レジスタを設定して CK0-CK3 のクロック周波数を指定してください。
2. 任意の TAUJn 機能を設定してください。
 - 動作モードを設定してください。
 - その他の制御ビットを設定してください。
3. TAUJnTS.TAUJnTSM ビットを 1 に設定してカウンタ動作を許可してください。カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。
4. カウント動作中、設定した機能に応じてカウントの停止や強制リスタートを行ってください。カウントの停止は TAUJnTT.TAUJnTTm ビットに 1 を設定してください。強制リスタートは TAUJnTS.TAUJnTSM ビットに 1 を設定してください。
5. TAUJnTT.TAUJnTTm ビットを 1 に設定して機能を停止してください。

備 考

1. 必要な制御ビットと各機能の動作の詳細は、「26.12 チャンネル単体動作機能」「26.13 チャンネル連動動作機能」を参照してください。
2. 機能を変更する場合は、カウント停止中 (TAUJnTE.TAUJnTEm=0) に行ってください。

26.5 連動動作機能の概念

連動動作機能は、チャンネルグループ（マスタチャンネルとスレーブチャンネルで構成されます）を組み合わせて実現する機能です。

チャンネルの設定には、いくつかのルールがあります。

ルールの詳細は、「**26.5.1 連動動作機能のルール**」に示します。

連動動作機能の詳細を次の節で説明します。

- 「**26.13 チャンネル連動動作機能**」

26.5.1 連動動作機能のルール

マスタおよびスレーブチャンネル数

- マスタチャンネルには、偶数チャンネル（CH0、CH2）のみ設定できます。スレーブチャンネルには、CH0 を除くすべてのチャンネルを設定できます。
- マスタチャンネルより下位のチャンネルのみスレーブチャンネルとして設定でき、1つのマスタチャンネルに対し複数のスレーブチャンネルを設定できます。
例：CH2 がマスタチャンネルの場合、CH3 をスレーブチャンネルに設定できます。
- マスタチャンネルを2つ使用する場合、マスタチャンネルを跨いだスレーブチャンネルの設定はできません。
例：CH0、CH2 がマスタチャンネルの場合、CH0 に対して CH1 をスレーブチャンネルとして設定できますが、CH3 は設定できません。

動作クロック

- マスタチャンネルと連動するスレーブチャンネルには同じ動作クロックを設定する必要があります。マスタチャンネルとスレーブチャンネルの TAUJnCMORm.TAUJnCKS[1:0] ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブチャンネルの使用と動作クロックの基本的な概念を図 26.4 に示します。

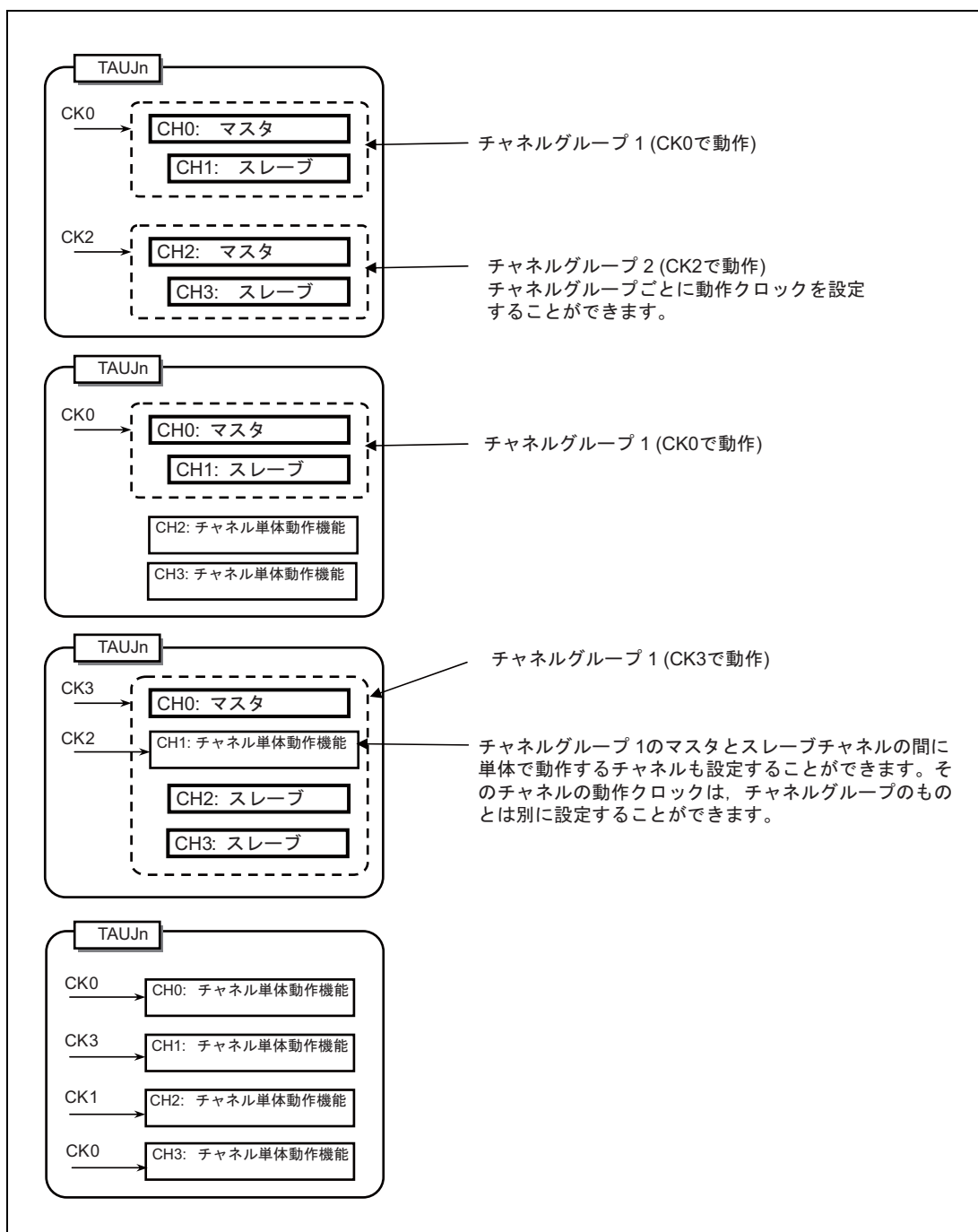


図 26.4 チャンネルのグループ化と動作クロックの割り当て

26.5.2 連動チャンネルカウンタの同時動作開始／停止

連動するチャンネルは、同じユニット内およびユニット間で同時に開始／停止することができます。

26.5.2.1 ユニット内の連動チャンネルカウンタの同時動作開始／停止

- 連動するチャンネルを同時に開始させるためには、それらの TAUJnTS.TAUJnTSM ビットを同時に設定する必要があります。
- 連動するチャンネルを同時に停止させるためには、それらの TAUJnTT.TAUJnTTm ビットを同時に設定する必要があります。

TAUJnTS.TAUJnTSM ビットに 1 を設定することにより、対応する TAUJnTE.TAUJnTEm ビットが 1 にセットされ、カウント動作を許可します。カウンタのカウント開始タイミングは、動作モードに依存します。

26.5.2.2 ユニット間の同時スタート

異なるユニットのカウンタは、同時トリガ信号を受信する前にカウンタを許可することにより、同時に動作を開始できます。

26.6 一斉書き換え

26.6.1 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を次に示します。3つの主なブロック（初期設定、カウント開始 & カウント動作、一斉書き換え）は後述します。

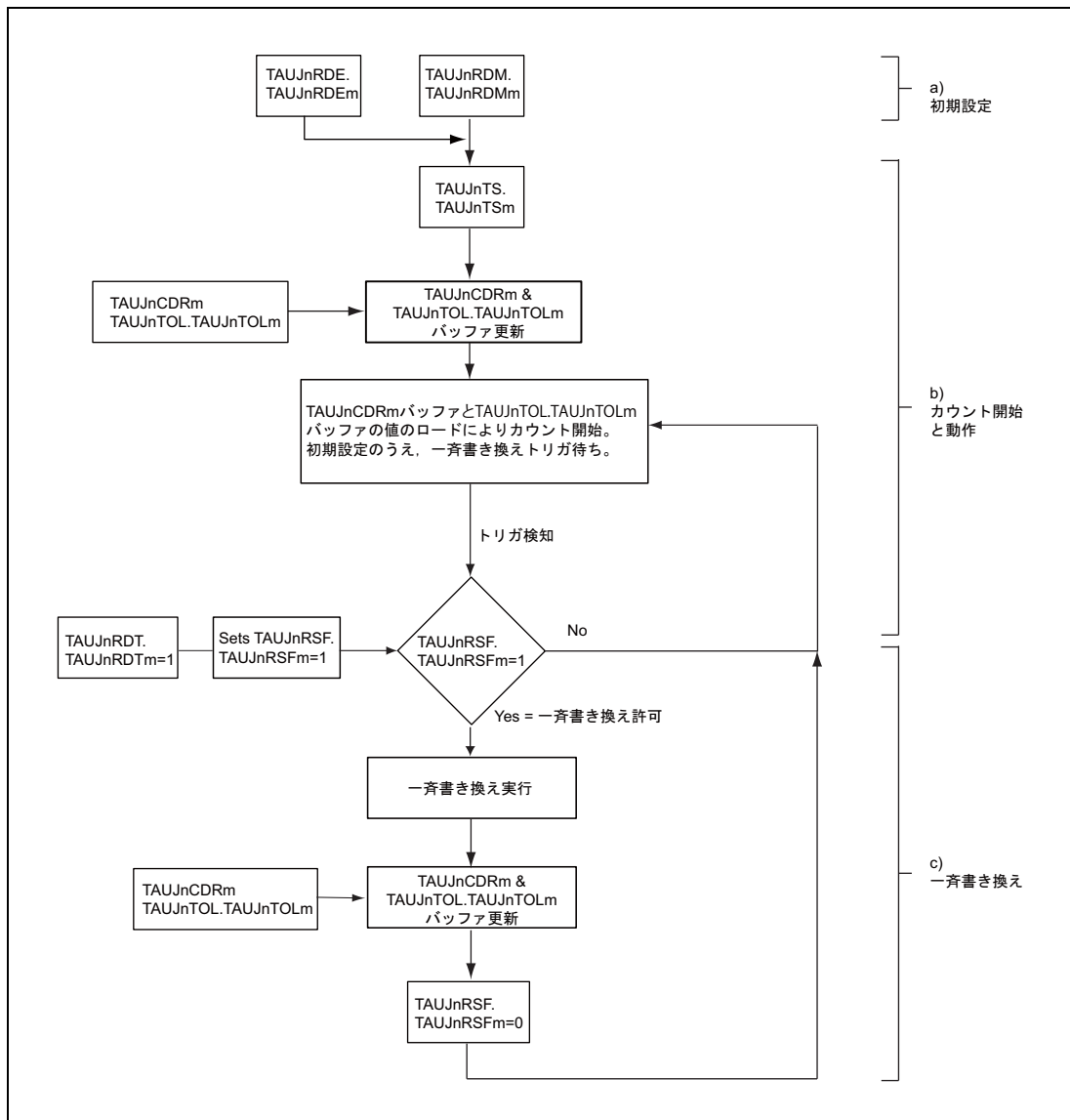


図 26.5 一斉書き換えの基本手順

26.6.1.1 初期設定

- チャンネル m にて一斉書き換えを許可するには、TAUJnRDE.TAUJnRDEm = 1 を設定してください。
- マスタチャンネルがカウント開始時に一斉書き換えの種類を選ぶには、TAUJnRDM.TAUJnRDMm を設定してください。

26.6.1.2 カウント開始とカウント動作

- チャンネルグループに属するすべての TAUJnCNTm カウンタ動作を開始するには、対応する TAUJnTS.TAUJnTSM ビットを 1 に設定してください。TAUJnTOL.TAUJnTOLm とデータレジスタ (TAUJnCDRm) の値は、対応する TAUJnTOL.TAUJnTOLm バッファ (TAUJnTOL.TAUJnTOLm buf) とデータバッファレジスタ (TAUJnCDRm buf) にロードされ、カウンタはカウントを開始します。
- リロードデータトリガビット (TAUJnRDT.TAUJnRDTm) を 1 に設定することにより、リロードフラグ (TAUJnRSF.TAUJnRSFm) が 1 に設定され、一斉書き換えが許可されます。TAUJnRSF.TAUJnRSFm は一斉書き換えが完了するまで 1 のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可 (TAUJnRSF.TAUJnRSFm = 1) されているかを確認するために TAUJnRSF.TAUJnRSFm ビットがチェックされます。一斉書き換えが許可されている場合、一斉書き換えが行われます。許可されていない場合、一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

26.6.1.3 一斉書き換え

- 一斉書き換えトリガが検出され、一斉書き換えが許可 (TAUJnRSF.TAUJnRSFm = 1) されると、データレジスタの現在値がバッファにコピーされます。これらの値は、対応するカウンタにロードされ、カウンタがカウントを開始/再開するときに適用されます。
- 一斉書き換えが完了すると、TAUJnRSF.TAUJnRSFm ビットは 0 に設定され、システムは次の一斉書き換えトリガを待ちます。

26.6.2 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中 (TAUJnTE.TAUJnTEm = 1) は、TAUJnRDE.TAUJnRDEm、TAUJnRDM.TAUJnRDMm を変更することはできません。
- TAUJnTOL.TAUJnTOLm は、PWM 出力機能で動作している場合のみ書き換えることができます。ほかの機能を使用する場合は、TAUJnTOL.TAUJnTOLm はカウントを開始する前にライトする必要があります。ほかの機能を使用しているときに書き換えた場合、TAUJTOUTm は不正な波形を出力します。

26.6.3 一斉書き換えの方法

PWM 出力機能での一斉書き換えの方法を次の図で示します。

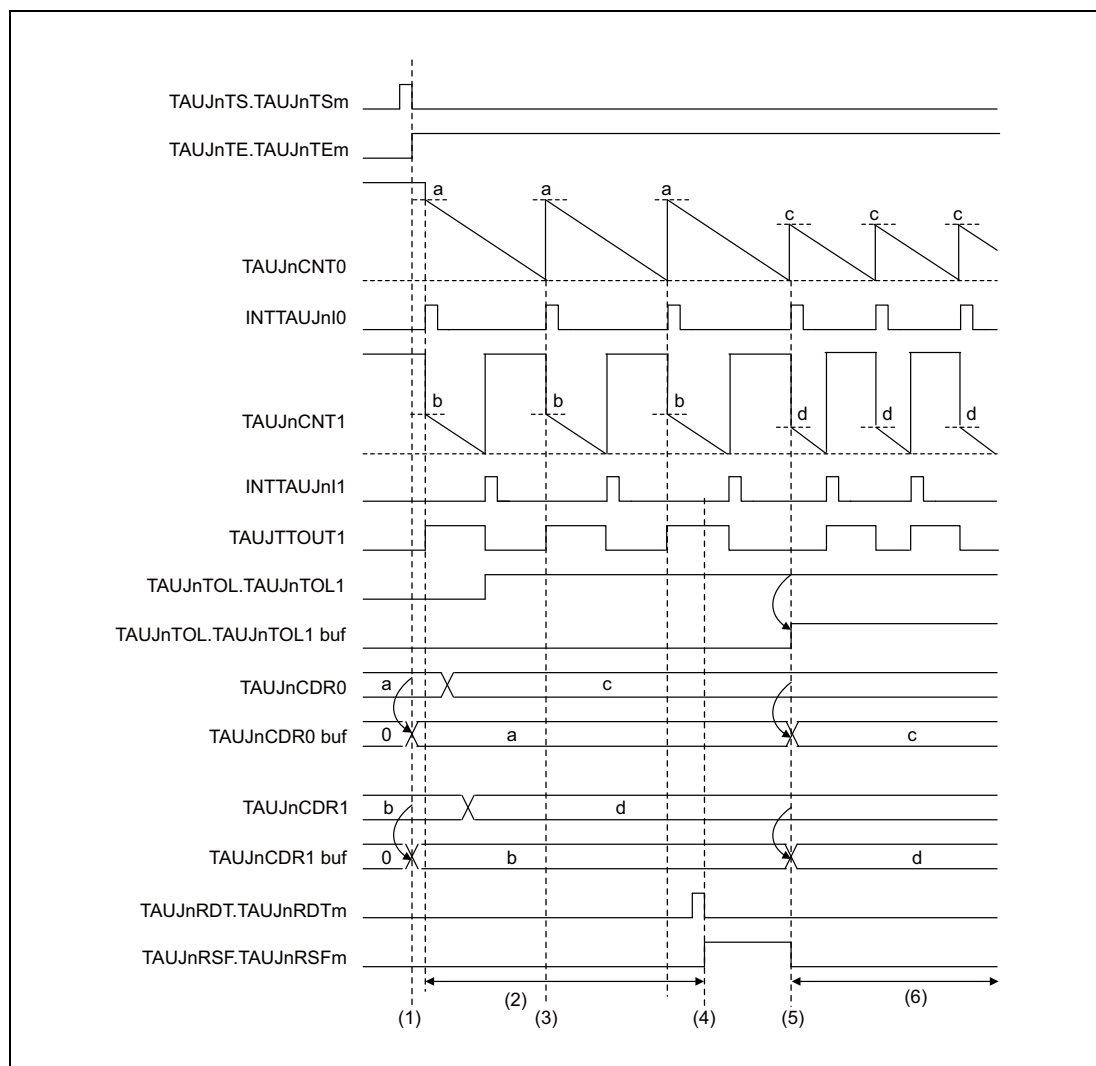


図 26.6 PWM 出力機能での一斉書き換え

設定

CH0 は、PWM 出力機能のマスタチャンネルです。CH1 は、PWM 出力機能のスレーブチャンネルです。一斉書き換えは、マスタチャンネルがカウント開始時に適用されます。

説明：

- (1) TAUJnTS.TAUJnTSM = 1 に設定すると、TAUJnCDRm の値が TAUJnCDRm バッファに、TAUJnTOL.TAUJnTOLm の値が TAUJnTOL.TAUJnTOLm バッファにコピーされます。
- (2) TAUJnCDRm と TAUJnTOL.TAUJnTOLm レジスタは常に書き込みます。
- (3) CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません (TAUJnRSF.TAUJnRSFm = 0)。
- (4) リロードデータトリガビット (TAUJnRDT.TAUJnRDTm) を 1 に設定することにより、ステータスフラグが設定され (TAUJnRSF.TAUJnRSFm = 1)、一斉書き換えが許可されます。
- (5) 一斉書き換えが許可されているため、CH0 のカウント再開時に一斉書き換えが発生します。TAUJnCDRm の値は TAUJnCDRm バッファに、TAUJnTOL.TAUJnTOLm の値は TAUJnTOL.TAUJnTOLm バッファにロードされます。
- (6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUJnCDRm と TAUJnTOL.TAUJnTOLm の値は再変更できます。

26.7 チャネル出力モード

TAUJTOUTm 端子の出力は、2つの方法で制御することができ、2つ目の方法はさらに個別のモードに分かれています。

- ソフトウェアによる制御 (TAUJnTOE.TAUJnTOEm = 0)
ソフトウェアで制御した場合、出力レジスタビット (TAUJnTO.TAUJnTOm) に書き込んだ値は、出力端子 (TAUJTOUTm) に転送されます。
- TAUJ 信号による制御 (TAUJnTOE.TAUJnTOEm = 1)
TAUJ 信号で制御した場合、TAUJTOUTm の出力レベルはセット/リセット、または内部信号によりトグルされます。これに応じて、TAUJTOUTm の値を反映するために、TAUJnTO.TAUJnTOm の値は更新されます。
 - 単体制御 (TAUJnTOM.TAUJnTOMm = 0)
単体動作の場合、TAUJTOUTm 端子の出力はチャンネル m の設定のみの影響を受けます。したがって、チャンネル単体動作を指定 (TAUJnTOM.TAUJnTOMm = 0) する必要があります。
 - 連動制御 (TAUJnTOM.TAUJnTOMm = 1)
連動動作の場合、TAUJTOUTm 端子の出力は、チャンネル m とその他のチャンネルの設定の影響を受けます。したがって、すべての連動するチャンネルに対してチャンネル連動動作を指定する必要があります (TAUJnTOM.TAUJnTOMm = 1)。

TAUJnTO.TAUJnTOm ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUJTOUTm の現在の値を確認することができます。

制御ビット

特定のチャンネル出力モードを選択するために必要な制御ビットの設定は、「表 26.37 チャネル出力モード」に示します。

チャンネル出力モードの詳細は次の節を参照してください。

- 「26.7.2 TAUJn 信号により単体制御されるチャンネル出力モード」
- 「26.7.3 TAUJn 信号により連動制御されるチャンネル出力モード」

TAUJnTOm ビットの一括操作

TAUJnTOm ビットへの設定値の反映 / 非反映は、TAUJnTOE.TAUJnTOEm ビットにより制御されます。

TAUJnTO レジスタにライトした時に、TAUJnTOE.TAUJnTOEm ビット = 0 を設定したビット (チャンネル) にのみ、TAUJnTOm の設定値の書き込みが行われます。

TAUJnTOE.TAUJnTOEm ビット = 1 を設定したビット (チャンネル) は、TAUJnTOm の設定値は反映されません。

備考

TAUJnTO.TAUJnTOm ビットは、ビット番号とチャンネル番号が対応して配置しています。

出力論理

出力の正論理または負論理は、制御ビット TAUJnTOL.TAUJnTOLm で指定します。

TAUJnTOL.TAUJnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能時のみです。カウンタ動作開始後に TAUJnTOL.TAUJnTOLm を変更すると、TAUJTOUTm 信号の出力は不定になります。

「26.6 一斉書き換え」を参照してください。

各種チャンネル出力モードとチャンネル出力制御ビットを表 26.37 に示します。

表 26.37 チャンネル出力モード

チャンネル出力モード	TAUJnTOE.TAUJnTOEm	TAUJnTOM.TAUJnTOMm
ソフトウェア制御		
ソフトウェア制御のチャンネル単体出力モード	0	x
TAUJ 信号による単体動作制御		
チャンネル単体出力モード 1	1	0
TAUJ 信号による連動動作制御		
チャンネル連動出力モード 1	1	1

- 表に記述のない組み合わせは禁止です。
- “x” が記されているビットは、任意の値を設定できます。

備考

1. 次のビットは、カウント動作中 (TAUJnTE.TAUJnTEm = 1) は変更できません。
 - TAUJnTOM.TAUJnTOMm
 - TAUJnTOC.TAUJnTOCm

26.7.1 チャンネル出力モードを指定するための基本手順

TAUJTOUT_m チャンネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります (TAUJnTOE.TAUJnTOEm = 0)。

- (1) TAUJnTO.TAUJnTO_m を設定して TAUJTOUT_m 出力の初期レベルを指定してください。
- (2) 「表 26.37 チャンネル出力モード」を参照してチャンネル出力モードを設定し、TAUJnTOL.TAUJnTOL_m ビットで出力論理を設定してください。
- (3) カウンタのカウントを開始してください (TAUJnTS.TAUJnTS_m = 1)。

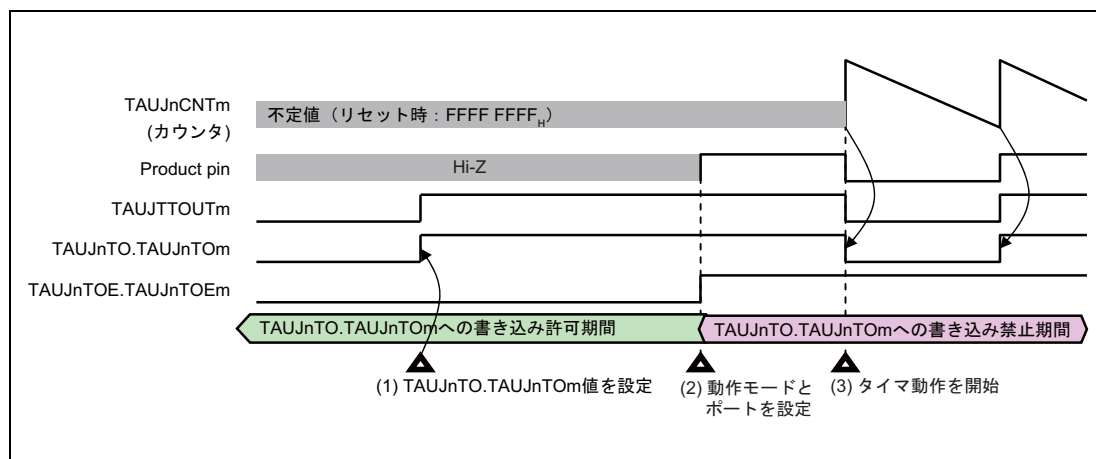


図 26.7 TAUJTOUT_m チャンネル出力モードを指定するための基本手順

26.7.2 TAUJn 信号により単体制御されるチャンネル出力モード

この節では、TAUJn 信号により単体制御されるチャンネル出力モードを示します。モードを指定する制御ビットは、「表 26.37 チャンネル出力モード」に示します。

26.7.2.1 チャンネル単体出力モード 1

セット/リセット条件

この出力モードでは、INTTAUJnIm が検出されると TAUJTOUTm がトグルされます。TAUJnTOL.TAUJnTOLm の値は無視されます。

前提条件

「表 26.37 チャンネル出力モード」に示す条件以外の条件はありません。

26.7.3 TAUJn 信号により連動制御されるチャンネル出力モード

この節では、TAUJn 信号により連動制御されるチャンネル出力モードを示します。モードを指定する制御ビットは、「表 26.37 チャンネル出力モード」に示します。

26.7.3.1 チャンネル連動出力モード 1

セット/リセット条件

この出力モードでは、マスタチャンネルの INTTAUJnIm がセット信号、スレーブチャンネルの INTTAUJnIm がリセット信号となります。マスタチャンネルの INTTAUJnIm とスレーブチャンネルの INTTAUJnIm が同時発生した場合、スレーブチャンネルの INTTAUJnIm (リセット信号) は、マスタチャンネルの INTTAUJnIm (セット信号) より優先されます (マスタチャンネルは無視されます)。

前提条件

「表 26.37 チャンネル出力モード」に示す条件以外の条件はありません。

26.8 各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUJnTS.TAUJnTSM を“1”に設定したあとの、カウント動作開始タイミングについて説明します。

データレジスタの値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

注 意

本節に記載するカウント開始タイミングは参考例です。実際にはカウントクロックタイミングにより、カウント開始タイミングは前後します。

26.8.1 インターバルタイマモード、キャプチャモード、カウントキャプチャモード

TAUJnTS.TAUJnTSM が“1”に設定されたあと、カウンタは次のカウントクロックサイクル開始時に動作を開始します。このとき、データレジスタの値もロードされます。

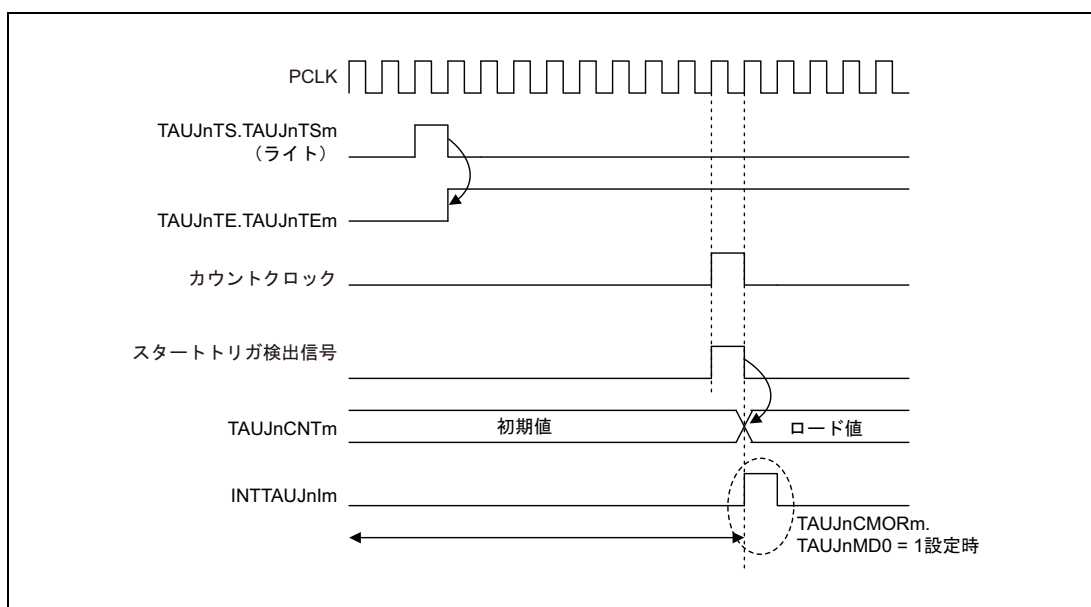


図 26.8 インターバルタイマモード、キャプチャモード、カウントキャプチャモードでの開始タイミング

26.8.2 その他の動作モード

その他の動作モードでは、カウントクロックサイクルはカウンタ動作開始に関係しません。カウンタは TAUJTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると、データレジスタ値もロードされます。カウントクロックサイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

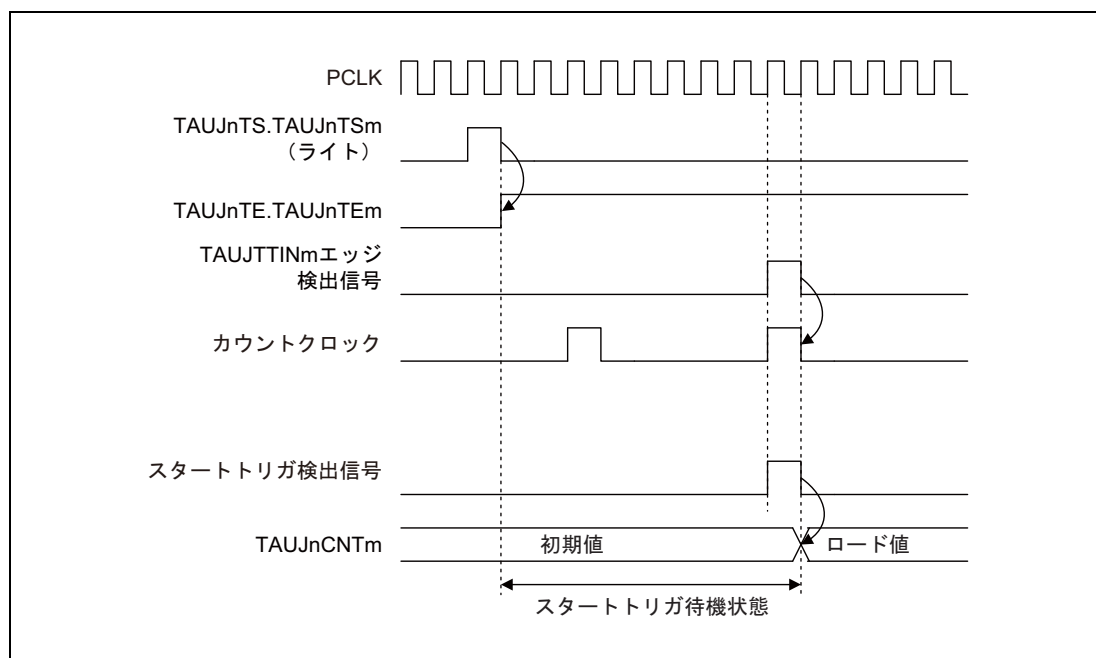


図 26.9 その他の動作モードでのカウント開始タイミング

26.9 カウント開始／リスタート時の TAUJTOUTm 出力と INTTAUJnIm 生成

カウンタのカウント開始時、TAUJnCMORm.TAUJnMD0 ビットで INTTAUJnIm を発生するかしないかを指定できます。TAUJnCMORm.TAUJnMD0 ビットがカウント開始時の INTTAUJnIm 発生、TAUJTOUTm に与える影響は、選択した機能に依存します。詳細は各機能の TAUJnCMORm.TAUJnMD0 の説明を参照してください。

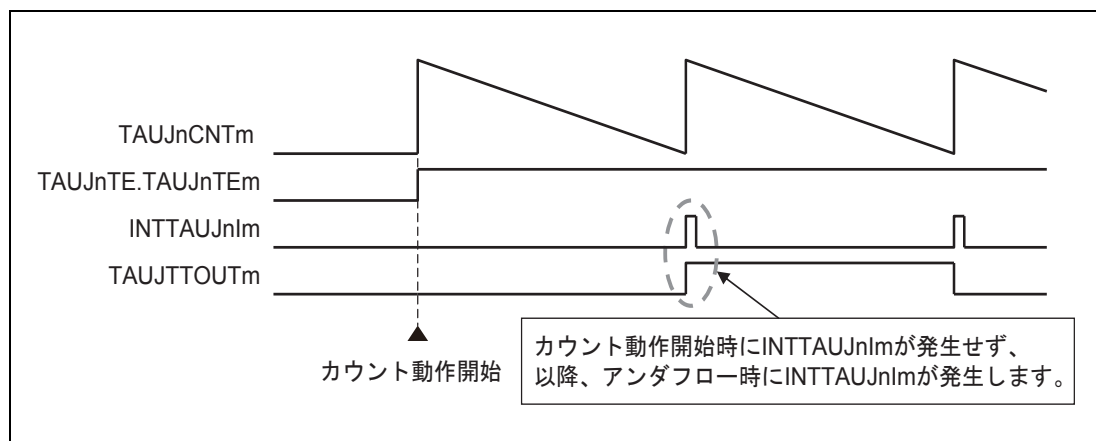


図 26.10 INTTAUJnIm の発生タイミング (TAUJnCMORm.TAUJnMD0 = 0 設定時)

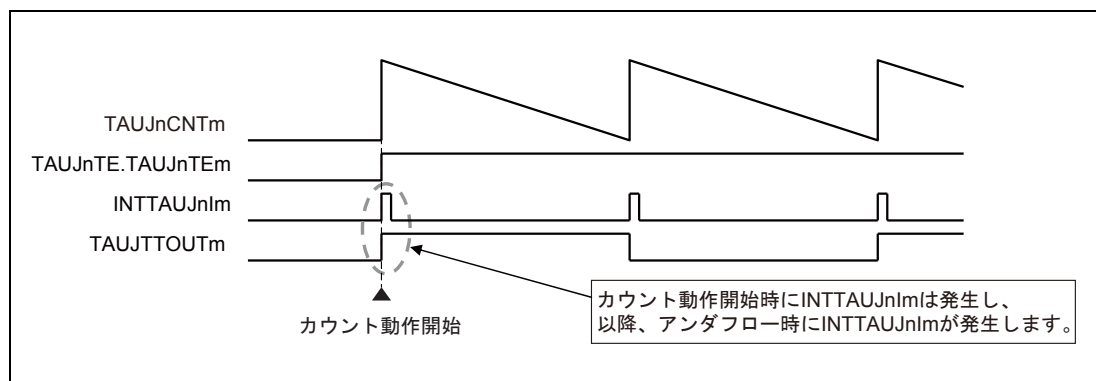


図 26.11 INTTAUJnIm の発生タイミング (TAUJnCMORm.TAUJnMD0 = 1 設定時)

26.10 オーバフロー時の割り込み発生

特定の単体機能では、アップカウント時にカウンタ値が FFFF FFFF_H になりオーバフローになる際、割り込みが発生しません。この節では、アップカウントを行うモードでのチャンネル動作と、ダウンカウントを行うモードでのチャンネル動作を組み合わせで割り込みを発生させる方法を説明します。

どの動作モードがセカンドチャンネルに適切かは、ファーストチャンネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンドチャンネルに、ファーストチャンネルでのオーバフロー発生と同時に 0000 0000_H になるようなダウンカウントを行う動作モードを設定します (TAUJnCNTm = FFFF FFFF_H)。
- セカンドチャンネルの TAUJnCDRm を FFFF FFFF_H に設定します。
- 2つのチャンネルは同じ速度でカウントを行う必要があります (つまり、カウントクロックが同じでなければなりません)。
- 両チャンネルが同じ TAUJTTINm 入力信号でトリガされます。
- 両チャンネルのトリガ検出設定 (TAUJnCMORm.TAUJnSTS[2:0] と TAUJnCMURm.TAUJnTIS[1:0]) は同じである必要があります。

結果：

ファーストチャンネルのアップカウンタでのオーバフロー発生 (TAUJnCNTm = FFFF FFFF_H) と同時にセカンドチャンネルのダウンカウンタが 0000 0000_H になります。そしてセカンドチャンネルは任意の割り込みを発生させます。

以降の節で、アップカウントを行う動作モードとの組み合わせに必要なダウンカウントを行う動作モードの一覧と、タイミング図の例を示します。

26.10.1 TAUJTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

両チャンネルの TAUJTTINm に同時にキャプチャトリガを入力することで、TAUJTTINm 入力位置検出機能の TAUJnCNTm の FFFF FFFF_H オーバフローをインターバルタイマ機能の INTTAUJnIm で検出できます。

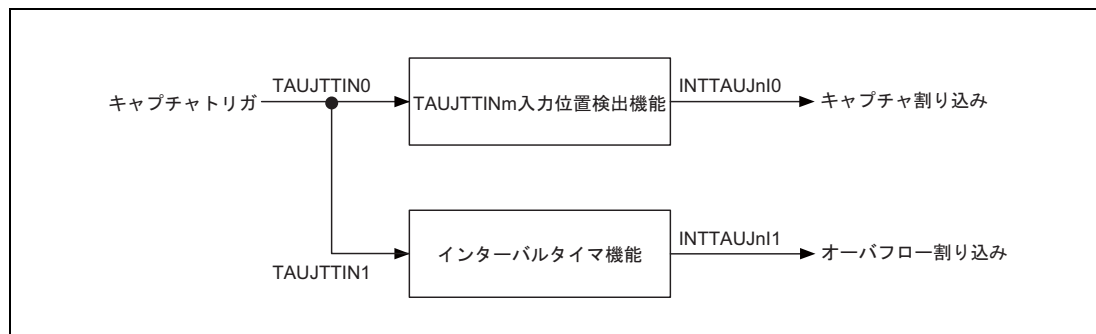


図 26.12 TAUJTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

タイミング図

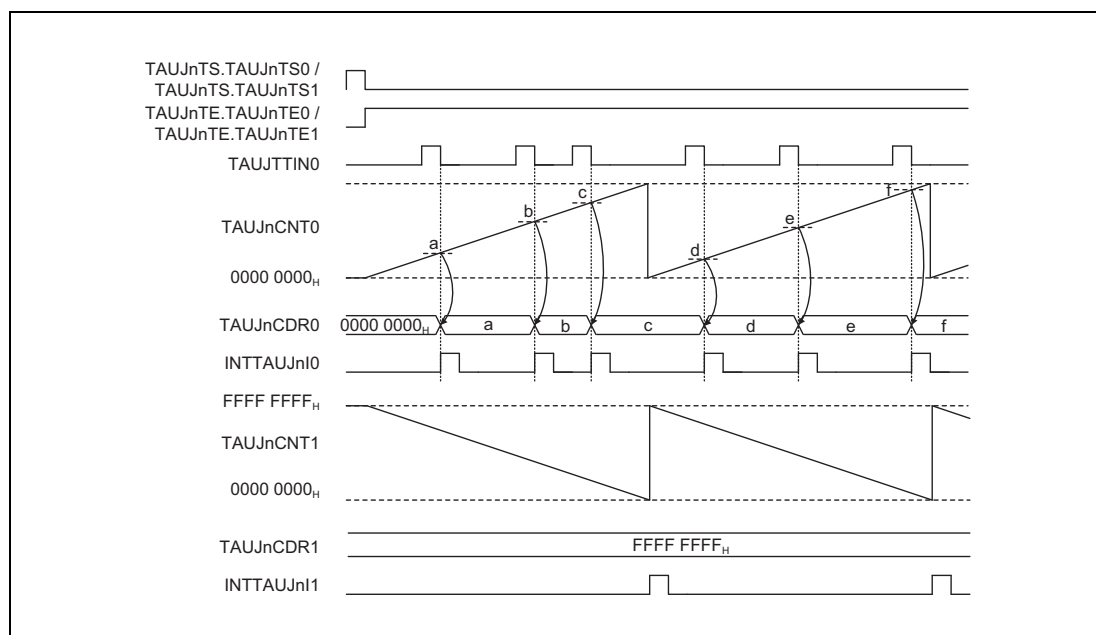


図 26.13 TAUJTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせによる割り込み発生

26.11 TAUJTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大1動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを次の図に示します。

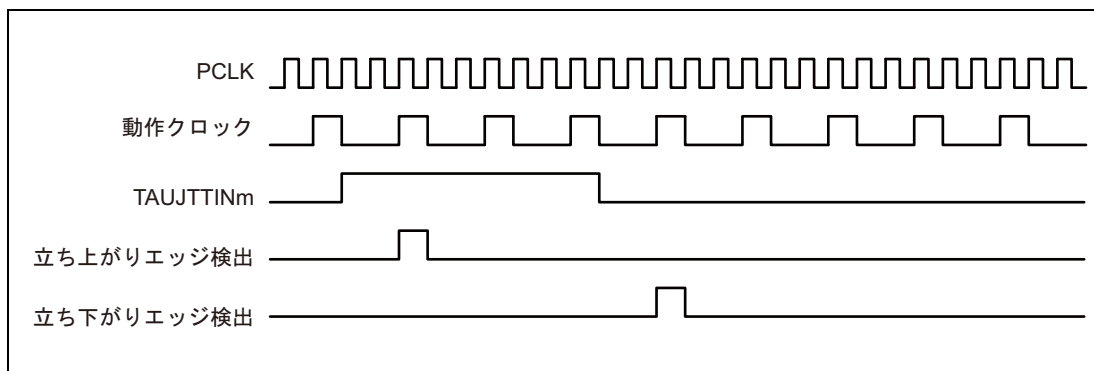


図 26.14 エッジ検出基本動作タイミング

図 26.14 は動作タイミングのイメージです。実際は、TAUJnIm 端子から TAUJn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

26.12 チャネル単体動作機能

TAUJの各種単体動作機能を次の項で説明します。単体動作機能の概要は、「26.2 概要」を参照してください。

26.12.1 インターバルタイマ機能

26.12.1.1 概要

概要

この機能は、一定間隔でタイマ割り込み (INTTAUJnIm) を発生する基準タイマとして使用できます。割り込みが発生すると、TAUJTOUTm 信号はトグルされ、矩形波を出力します。

機能説明

チャネルトリガビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。TAUJnCDRm の現在値が TAUJnCNTm にロードされ、カウンタはその TAUJnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000 0000_H になると、INTTAUJnIm が発生し、TAUJTOUTm 信号がトグルされます。その後、TAUJnCDRm の値を TAUJnCNTm にロードし、以降、動作を継続します。

TAUJnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。TAUJnCNTm と TAUJTOUTm は停止しますが、値は保持します。TAUJnTS.TAUJnTSM を 1 に設定すると、機能を再開できます。カウント中に TAUJnTS.TAUJnTSM を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

条件

TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUJTOUTm のトグルも行われません。これにより、TAUJnCMORm.TAUJnMD0 が 1 に設定された場合に対して、反転された TAUJTOUTm 信号が出力されます。

26.12.1.2 算出式

INTTAUJnIm の周期 = カウントクロック周期 × (TAUJnCDRm + 1)

TAUJTOUTm の矩形波周期 = カウントクロック周期 × (TAUJnCDRm + 1) × 2

26.12.1.3 ブロック図と基本タイミング図

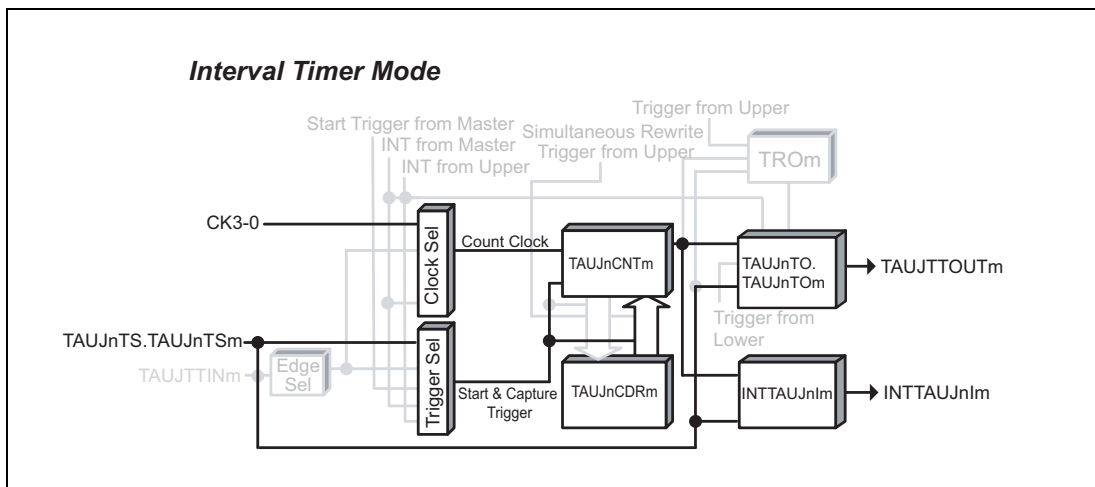


図 26.15 インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生する (TAUJnCMORm.TAUJnMD0 = 1)

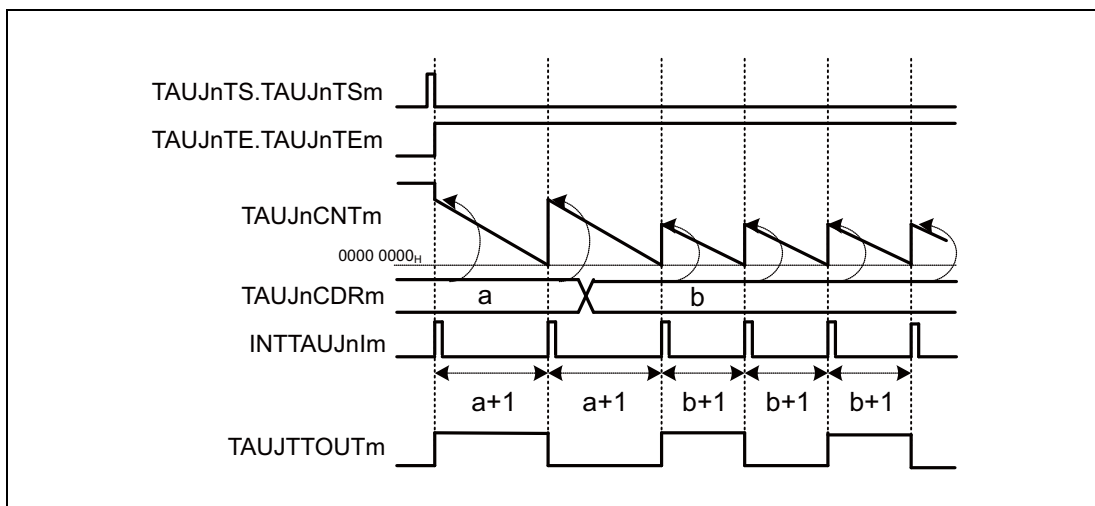


図 26.16 インターバルタイマ機能の基本タイミング図

26.12.1.4 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 26.38 インターバルタイマ機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13, 12	TAUJnCCS[1:0]	00 _B を書いてください。
11	TAUJnMAS	0 _B を書いてください。
10 ~ 8	TAUJnSTS[2:0]	000 _B を書いてください。
7, 6	TAUJnCOS[1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUJnMD[4:1]	0000 _B を書いてください。
0	TAUJnMD0	0 : 動作開始時に INTTAUJnIm が発生せず、TAUJTOUTm はトグルされない 1 : 動作開始または再開時に INTTAUJnIm が発生し、TAUJTOUTm はトグルされる

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 26.39 インターバルタイマ機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUJnTIS[1:0]	00 : 未使用、00 を設定

(3) チャネル出力モード

表 26.40 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1 _B を書いてください。
TAUJnTOM.TAUJnTOMm	0 _B を書いてください。
TAUJnTOC.TAUJnTOCm	0 _B を書いてください。
TAUJnTOL.TAUJnTOLm	0 _B を書いてください。

備考

チャネル出力モードは、TAUJnTOE.TAUJnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUJTOUTm を割り込みとは独立させて制御することができます。詳細は「26.7 チャネル出力モード」を参照してください。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、インターバルタイマ機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 26.41 インターバルタイマ機能の一斉書き換え設定

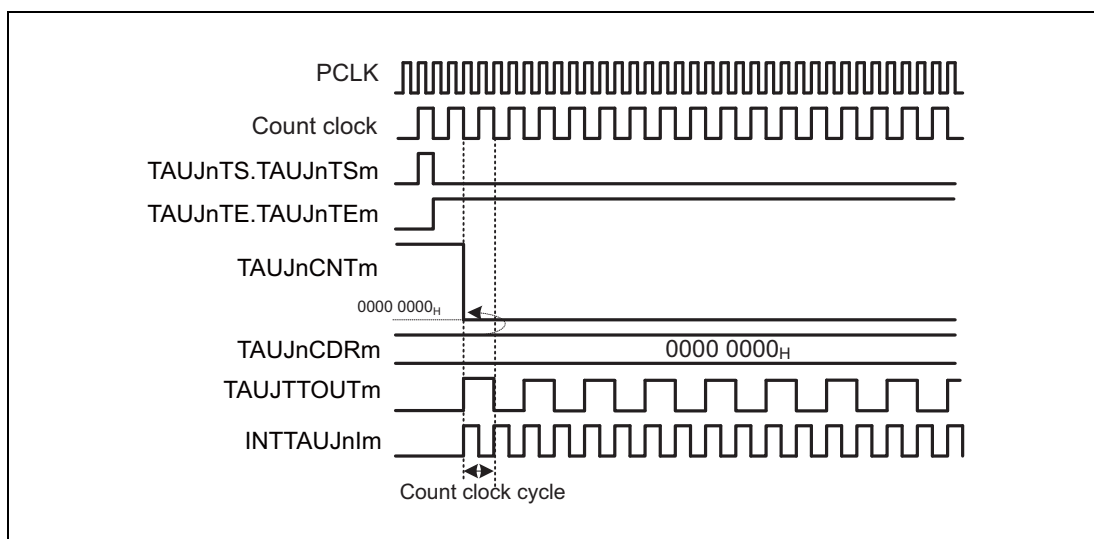
ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0)、0 を設定

26.12.1.5 インターバルタイマ機能の操作手順

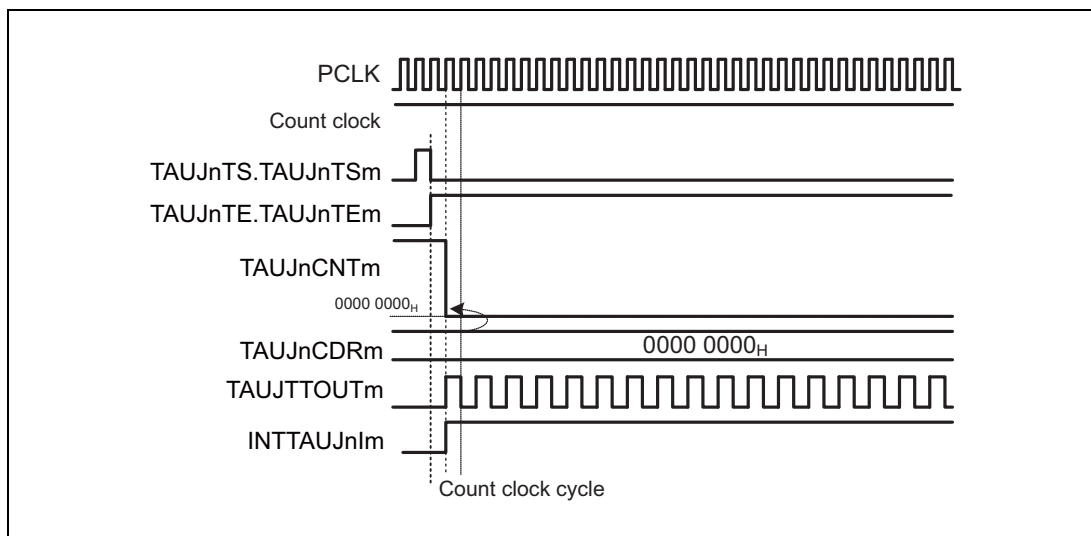
表 26.42 インターバルタイマ機能の操作手順

	操作	TAUJnの状態
初期設定 チャンネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを「表 26.38 インターバルタイマ機能の TAUJnCMORm レジスタの内容」、「表 26.39 インターバルタイマ機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。 制御ビットを「表 26.40 チャンネル単体出力モード 1 時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
動作再開 動作開始	TAUJnTS.TAUJnTSM を 1 に設定します。 TAUJnTS.TAUJnTSM はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCDRm の値を TAUJnCnTm にロードします。 TAUJnCMORm.TAUJnMD0 = 1 の場合、INTTAUJnIm が発生し、TAUJTOUTm がトグルされます。
動作中 動作中	TAUJnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUJnCnTm レジスタは常に読み出し可能です。	TAUJnCnTm がダウンカウントを行います。カウンタが 0000 0000 _H になった場合： <ul style="list-style-type: none"> 再び TAUJnCDRm の値を TAUJnCnTm にロードし、カウント動作を継続します。 INTTAUJnIm が発生し、TAUJTOUTm がトグルされます。
動作停止 動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCnTm と TAUJTOUTm は停止し、現在値を保持します。

26.12.1.6 特定の設定時のタイミング図

(1) TAUJnCDRm = 0000 0000_H、カウントクロック = PCLK/2図 26.17 TAUJnCDRm = 0000 0000_H、カウントクロック = PCLK/2

- TAUJnCDRm = 0000 0000_H、かつカウントクロック = PCLK/2 の場合、カウントクロックごとに TAUJnCDRm の値が TAUJnCNTm にロードされます。つまり、TAUJnCNTm は常に 0000 0000_H です。
- INTTAUJnlm がカウントクロックごとに発生するので、TAUJTTOUtm はカウントクロックごとにトグルされます。

(2) TAUJnCDRm = 0000 0000_H、カウントクロック = PCLK図 26.18 TAUJnCDRm = 0000 0000_H、カウントクロック = PCLK

- TAUJnCDRm = 0000 0000_H、かつカウントクロック = PCLK の場合、PCLK クロックごとに TAUJnCDRm の値が TAUJnCNTm にロードされます。つまり、TAUJnCNTm は常に 0000 0000_H です。
- INTTAUJnIm は、ハイレベル固定になります。1 回目の割り込みは発生しますが、それ以降は発生しません。PCLK クロックごとに TAUJTTOUtm がトグルされます。

(3) 動作の停止と再開

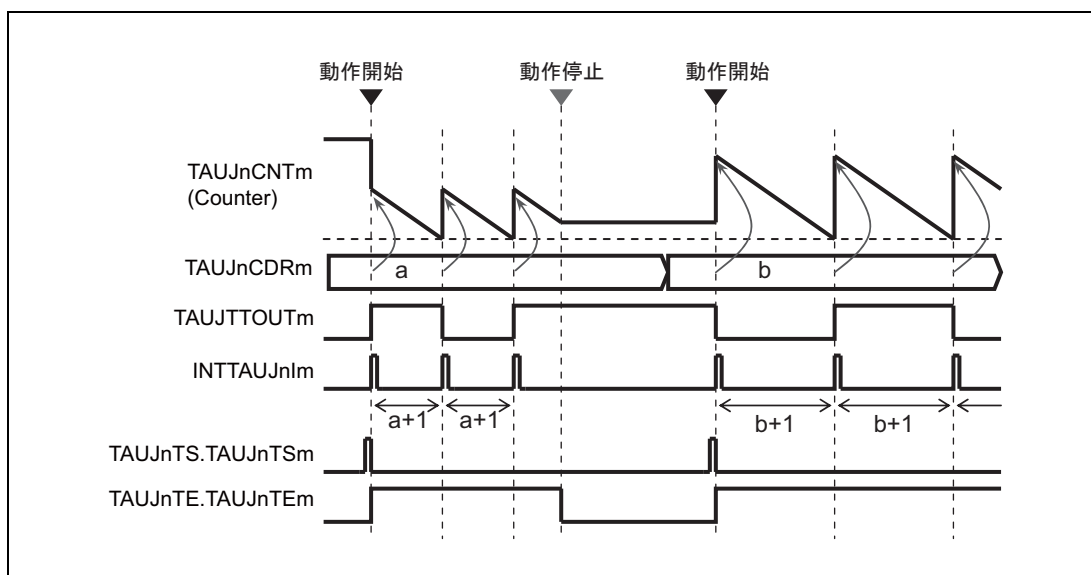


図 26.19 動作の停止と再開 (TAUJnCMORm.TAUJnMD0 = 1)

- TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEM は 0 に設定されます。
- TAUJnCNTm と TAUJTTOUtm は停止しますが、値は保持します。
- TAUJnTS.TAUJnTSM を 1 に設定すると、カウントを再開できます。

(4) 強制リスタート

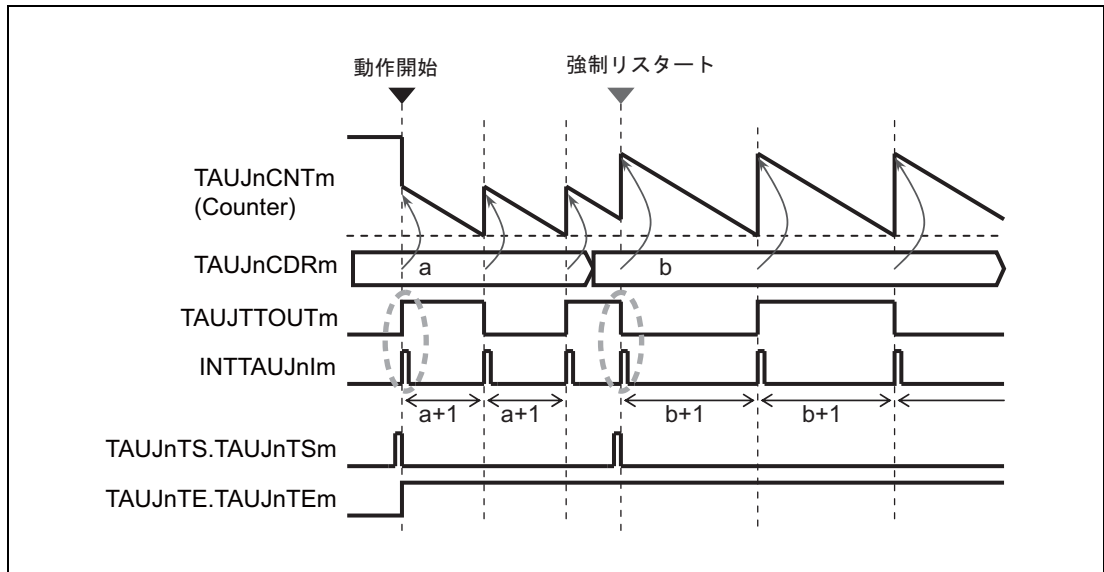


図 26.20 強制リスタート動作 (TAUJnCMORm.TAUJnMD0 = 1)

- カウント中に TAUJnTS.TAUJnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できます (強制リスタート)。
- TAUJnCMORm.TAUJnMD0 ビットが 1 に設定されると、動作開始または再開後の最初の割り込みが発生します。
- 強制リスタート時は、TAUJnCDRm の値は、TAUJnCNTm に反映されて、カウントを開始します。変更した TAUJnCDRm の値を即時反映させる場合は、強制リスタートをしてください。

26.12.2 TAUJTTINm 入インターバルタイマ機能

26.12.2.1 概要

概要

この機能は、一定間隔または有効な TAUJTTINm 入力エッジが検出された場合に、タイマ割り込み (INTTAUJnIm) を発生するための基準タイマとして使用されます。割り込みが発生すると、TAUJTOUTm 信号はトグルされ、矩形波を出力します。また、矩形波の出力は、TAUJ0 のみ対応しています。

機能説明

この機能は、有効な TAUJTTINm 入力エッジで再開される以外、インターバルタイマ機能と同様に動作します (「26.12.1 インターバルタイマ機能」参照)。トリガとして使用するエッジの種類は、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

26.12.2.2 算出式

INTTAUJnIm の周期 = カウントクロック周期 × (TAUJnCDRm + 1)

TAUJTOUTm の矩形波周期 = カウントクロック周期 × (TAUJnCDRm + 1) × 2

26.12.2.3 ブロック図と基本タイミング図

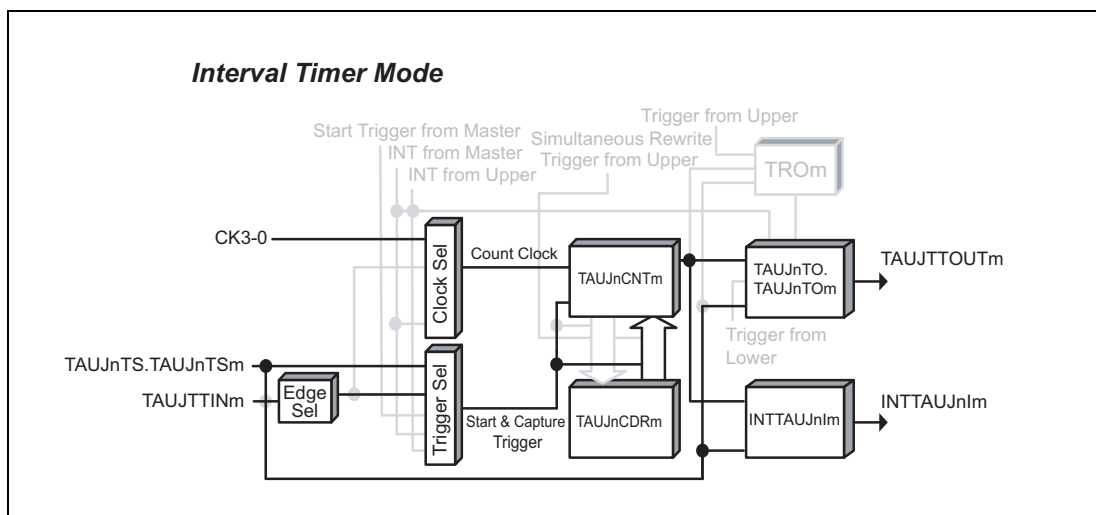


図 26.21 TAUJTTINm 入カウンタバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生する (TAUJnCMORm.TAUJnMD0 = 1)
- 立ち上がりエッジ検出 (TAUJnCMURm.TAUJnTIS[1:0] = 01_B)

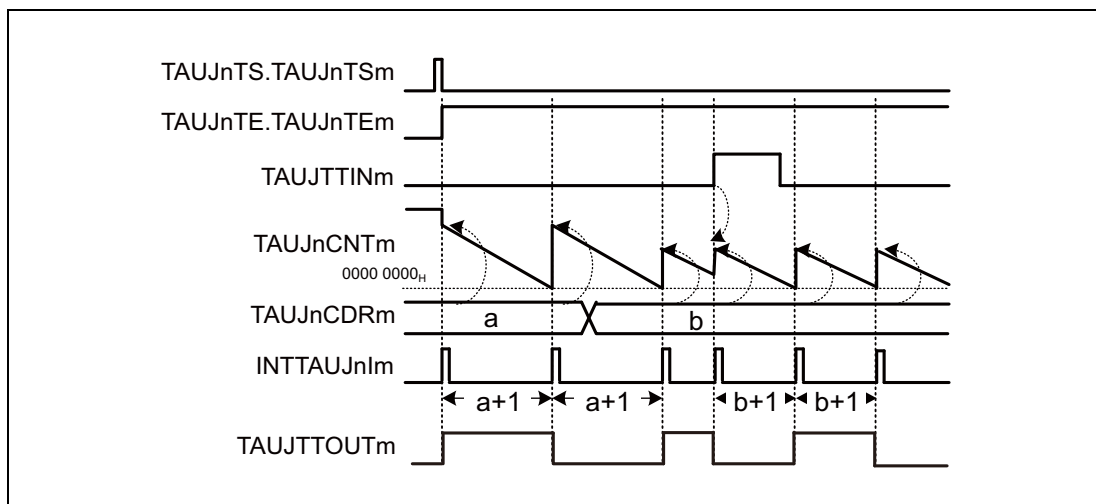


図 26.22 TAUJTTINm 入カウンタバルタイマ機能の基本タイミング図

26.12.2.4 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 26.43 TAUJTINm 入力インターバルタイマ機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13, 12	TAUJnCCS[1:0]	00 _B を書いてください。
11	TAUJnMAS	0 _B を書いてください。
10 ~ 8	TAUJnSTS[2:0]	001 _B を書いてください。
7, 6	TAUJnCOS[1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUJnMD[4:1]	0000 _B を書いてください。
0	TAUJnMD0	0 : 動作開始時に INTTAUJnIm が発生せず、TAUJTOUTm はトグルされない 1 : 動作開始時に INTTAUJnIm が発生し、TAUJTOUTm はトグルされる

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 26.44 TAUJTINm 入力インターバルタイマ機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUJnTIS[1:0]	00 : 立ち下がリエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出 11 : 設定禁止

(3) チャネル出力モード

表 26.45 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1 _B を書いてください。
TAUJnTOM.TAUJnTOMm	0 _B を書いてください。
TAUJnTOC.TAUJnTOCm	0 _B を書いてください。
TAUJnTOL.TAUJnTOLm	0 _B を書いてください。

備考

チャネル出力モードは、TAUJnTOE.TAUJnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUJTOUTm を割り込みとは独立させて制御することができます。詳細は「26.7 チャネル出力モード」を参照してください。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、TAUJTINm 入力インターバルタイマ機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 26.46 TAUJTINm 入力インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0)、0 を設定

26.12.2.5 TAUJTTINm 入インターバルタイマ機能の操作手順

表 26.47 TAUJTTINm 入インターバルタイマ機能の操作手順

	操作	TAUJn の状態
動作再開 ↓	チャンネルの初期設定 TAUJnCMORm、TAUJnCMURm レジスタを、「表 26.43 TAUJTTINm 入インターバルタイマ機能の TAUJnCMORm レジスタの内容」と「表 26.44 TAUJTTINm 入インターバルタイマ機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。 制御ビットを「表 26.45 チャンネル単体出力モード 1 時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSM を 1 に設定します。 TAUJnTS.TAUJnTSM はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEM が 1 に設定され、カウントが開始されます。 TAUJnCDRm の値を TAUJnCNTm にロードします。 TAUJnCMORm.TAUJnMD0 = 1 の場合、INTTAUJnIm が発生し、TAUJTOUTm がトグルされます。
	動作中 TAUJnCMURm.TAUJnTIS[1:0]、TAUJnCDRm レジスタの値は任意のタイミングで変更可能です。 TAUJnCNTm レジスタは常に読み出し可能です。 TAUJTTINm エッジ検出	TAUJnCNTm がダウンカウントを行います。カウンタが 0000 0000 _μ になった場合： <ul style="list-style-type: none"> 再び TAUJnCDRm の値を TAUJnCNTm にロードし、カウント動作を継続します。 INTTAUJnIm が発生し、TAUJTOUTm がトグルされます。 カウント動作中に TAUJTTINm 入力の有効エッジを検出すると、再び TAUJnCDRm の値を TAUJnCNTm にロードし、カウント動作を継続します。 以降、この動作を繰り返します。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEM が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm と TAUJTOUTm は停止し、現在値を保持します。

26.12.2.6 特定の設定時のタイミング図

「26.12.1 インターバルタイマ機能」のタイミング図も適用されますが、それに加えて有効な TAUJTTINm 入力エッジを使用することでカウンタを再開することも可能です。

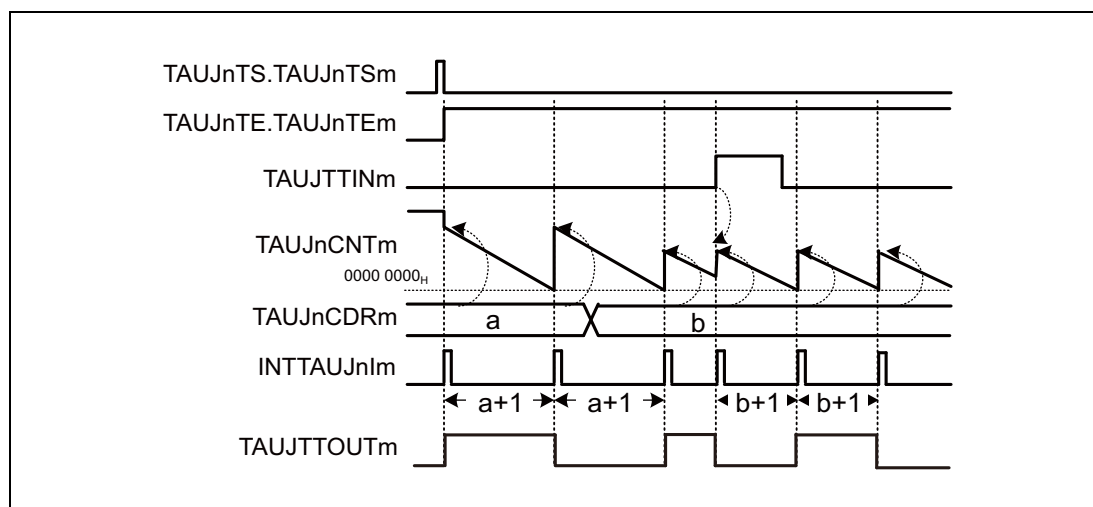


図 26.23 立ち上がり TAUJTTINm 入力エッジ (TAUJnCMURm.TAUJnTIS[1:0] = 01_B)、TAUJnCMORm.TAUJnMD0 = 1 でトリガされたカウンタ

有効な TAUJTTINm 入力エッジを検出した場合、TAUJTOUTm をトグルする割り込みが発生します。この例では、有効エッジは立ち上がりエッジ (TAUJnCMURm.TAUJnTIS[1:0] = 01_B) です。

26.12.3 TAUJTTINm 入力パルスインターバル測定機能

26.12.3.1 概要

概要

この機能は、カウント値をキャプチャし、その値とオーバフロービット TAUJnCSRm.TAUJnOVF を使用して TAUJTTINm 入力信号の間隔を測定します。

前提条件

この機能では、TAUJTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUJnTS.TAUJnTsm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。カウンタ TAUJnCNTm は、0000 0000_H からカウントを開始します。有効な TAUJTTINm エッジが検出されると、TAUJnCNTm の値がキャプチャされ、TAUJnCDRm に転送され、割り込み INTTAUJnIm が発生します。カウンタは、0000 0000_H にリセットされ、その後動作を続けます。

有効な TAUJTTINm エッジを検出する前にカウンタが FFFF FFFF_H に達すると、カウンタは 0000 0000_H にオーバフローします。カウンタは、0000 0000_H にリセットされ、その後動作を続けます。TAUJnCDRm、TAUJnCSRm.TAUJnOVF それぞれに転送される値は、TAUJnCMORm.TAUJnCOS[1:0] ビットの値によって異なります。

表 26.48 オーバフローの影響

TAUJnCMORm. TAUJnCOS[1:0]	オーバフローが発生した場合		その後、有効な TAUJTTINm 入力 が検出された場合	
	TAUJnCDRm	TAUJnCSRm. TAUJnOVF	TAUJnCDRm、TAUJnCNTm	TAUJnCSRm. TAUJnOVF
00	変化しない	0	TAUJnCNTm が TAUJnCDRm にロードされる	1
01		1		
10	FFFF FFFF _H に設定	0	TAUJnCNTm は 0 に設定され、 TAUJnCDRm は変更されない	変化しない
11		1		

TAUJnCMORm.TAUJnCOS[0] = 1 のとき、オーバフロービット TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することのみクリアできます。

TAUJnCDRm 値と TAUJnCSRm.TAUJnOVF 値の組み合わせを使用することで、TAUJTTINm 信号の間隔を推定できます。ただし、有効な TAUJTTINm 入力検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUJnCSRm.TAUJnOVF はその複数のオーバフローの発生を示しません。

TAUJnTT.TAUJnTTm = 1 を設定すると機能を停止できます。これにより、TAUJnTE.TAUJnTEm = 0 が設定されます。TAUJnCNTm が停止し、値を保持します。機能停止中、有効な TAUJTTINm 入力エッジの検出と TAUJnCNTm のキャプチャは行われません。

条件

TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は「**26.9 カウント開始/リスタート時の TAUJTOUTm 出力と INTTAUJnIm 生成**」を参照してください。

備考

TAUJnCMORm.TAUJnCOS[1] = 1 の場合、オーバーフロー後の最初の有効な TAUJTINm 入力エッジの発生時、TAUJnCNTm の値は TAUJnCDRm にロードされません。ただし、割り込みが発生します。

26.12.3.2 算出式

TAUJTINm 入力パルスインターバル = カウントクロック周期 ×
 [(TAUJnCSRm.TAUJnOVF × (FFFF FFFF_H + 1)) + TAUJnCDRm キャプチャ値 + 1]

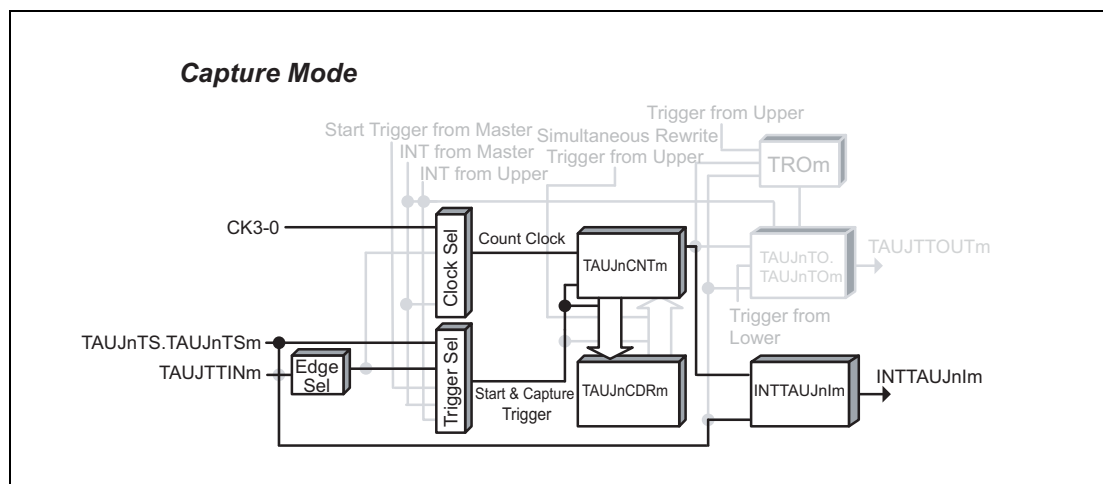
26.12.3.3 ブロック図と基本タイミング図

図 26.24 TAUJTINm 入力パルスインターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生しない (TAUJnCMORm.TAUJnMD0 = 0)
- 立ち下がりエッジ検出 (TAUJnCMURm.TAUJnTIS[1:0] = 00_B)
- オーバフロー後に有効な TAUJTINm 入力を検出すると、TAUJnCDRm を変更し、TAUJnCSRm.TAUJnOVF を 1 に設定する (TAUJnCMORm.TAUJnCOS[1:0] = 00_B)

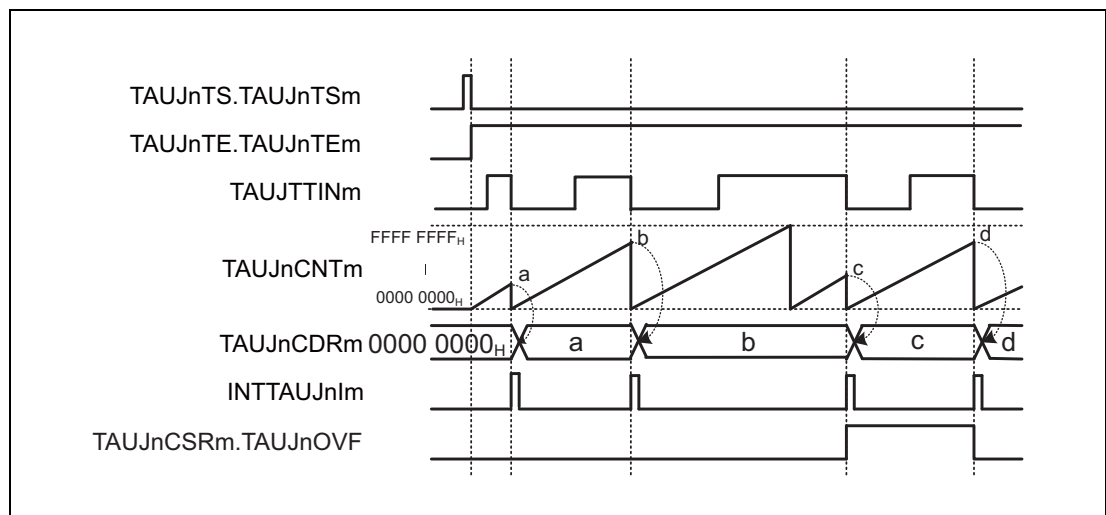


図 26.25 TAUJTTINm 入力パルスインターバル測定機能の基本タイミング図

26.12.3.4 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 26.49 TAUJTTINm 入力パルスインターバル測定機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13, 12	TAUJnCCS[1:0]	00 _B を書いてください。
11	TAUJnMAS	0 _B を書いてください。
10 ~ 8	TAUJnSTS[2:0]	001 _B を書いてください。
7, 6	TAUJnCOS[1:0]	「表 26.48 オーバフローの影響」を参照。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUJnMD[4:1]	0010 _B を書いてください。
0	TAUJnMD0	0 : 動作開始時に INTTAUJnIm が発生しない 1 : 動作開始時に INTTAUJnIm が発生する

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]11	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 26.50 TAUJTTINm 入力パルスインターバル測定機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUJnTIS[1:0]	00 : 立ち下がリエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出 11 : 設定禁止

(3) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、TAUJTINm 入力パルスインターバル測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 26.51 TAUJTINm 入力パルスインターバル測定機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0)、0 を設定

26.12.3.5 TAUJTINm 入力パルスインターバル測定機能の操作手順

表 26.52 TAUJTINm 入力パルスインターバル測定機能の操作手順

	操作	TAUJn の状態
初期設定 チャネル	TAUJnCMORm、TAUJnCMURm レジスタを、「表 26.49 TAUJTINm 入力パルスインターバル測定機能の TAUJnCMORm レジスタの内容」と「表 26.50 TAUJTINm 入力パルスインターバル測定機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作再開	TAUJnTS.TAUJnTSM を 1 に設定します。 TAUJnTS.TAUJnTSM はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCNTm が 0000 0000 _H にクリアされます。TAUJnCMORm.TAUJnMD0 が 1 の場合は、INTTAUJnIm が発生します。
動作中	TAUJTINm エッジ検出 TAUJnCMURm.TAUJnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUJnCDRm、TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUJnCSCm.TAUJnCLOV ビットの 1 書き込みが可能です。(TAUJnCSRm.TAUJnOVF ビットを 0 にクリア)	TAUJnCNTm は、0000 0000 _H からアップカウントを開始します。TAUJTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUJnCNTm が自身の値を TAUJnCDRm に転送 (キャプチャ) して、0000 0000_H に戻ります。 その後、INTTAUJnIm が発生します。 以降、この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm は停止し、TAUJnCNTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

26.12.3.6 特定の設定時のタイミング図：オーバーフロー動作

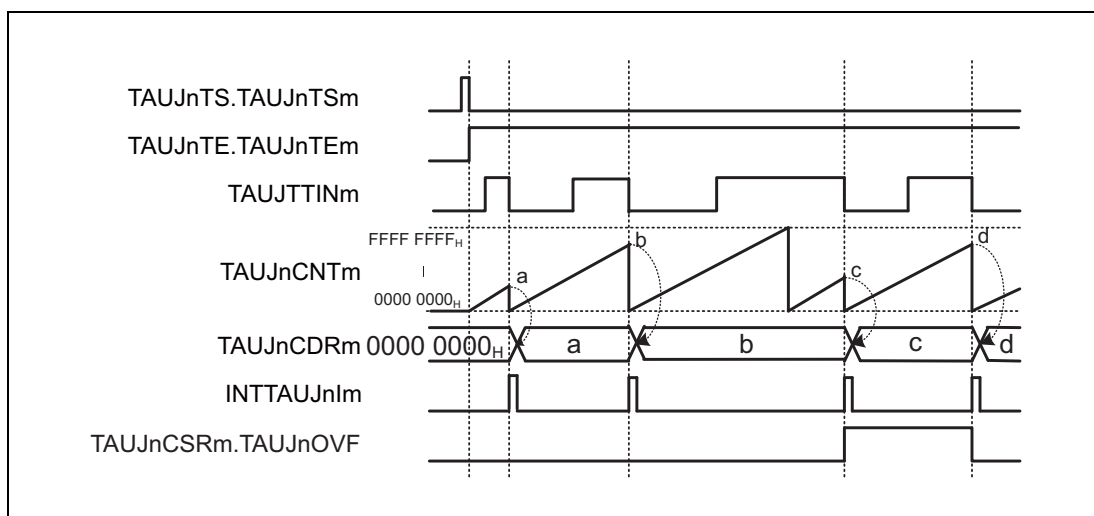
(1) TAUJnCMORm.TAUJnCOS[1:0] = 00_B

図 26.26 TAUJnCMORm.TAUJnCOS[1:0] = 00_B、TAUJnCMORm.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされ、TAUJnCSRm.TAUJnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCSRm.TAUJnOVF が 0 にクリアされます。

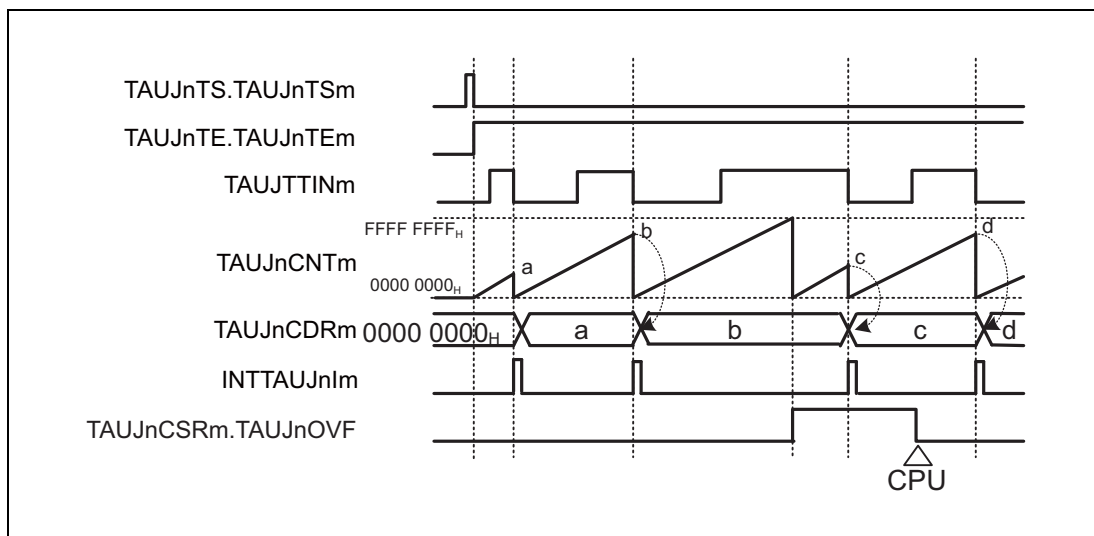
(2) TAUJnCMORm.TAUJnCOS[1:0] = 01_B

図 26.27 TAUJnCMORm.TAUJnCOS[1:0] = 01_B、TAUJnCMORm.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 1 に設定されます。
- 次の有効な TAUJTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされます。
- TAUJnCSRm.TAUJnOVF は、CPU コマンド (TAUJnCSCm.TAUJnCLOV = 1 のセット) でのみクリアされます。

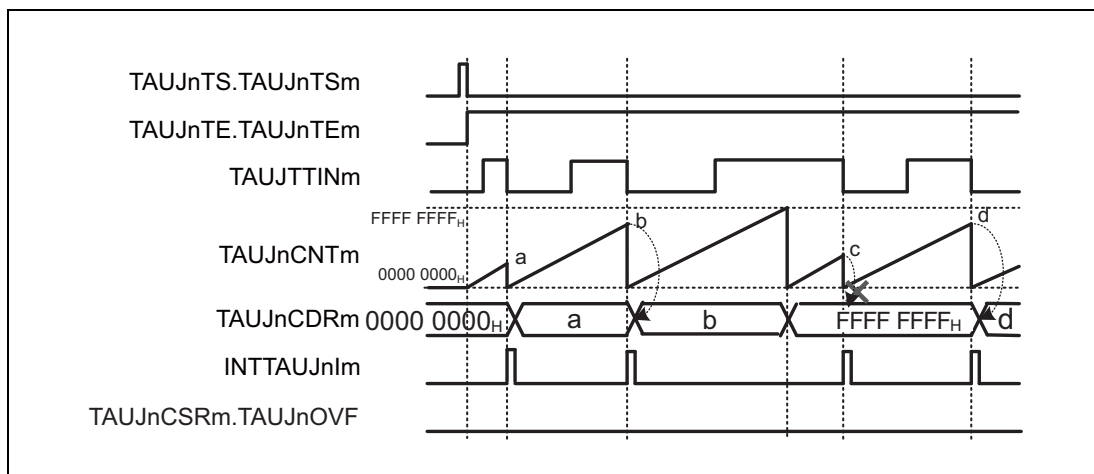
(3) TAUJnCMORm.TAUJnCOS[1:0] = 10_B

図 26.28 TAUJnCMORm.TAUJnCOS[1:0] = 10_B、TAUJnCMORm.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJTTINm 入力エッジは無視されます。

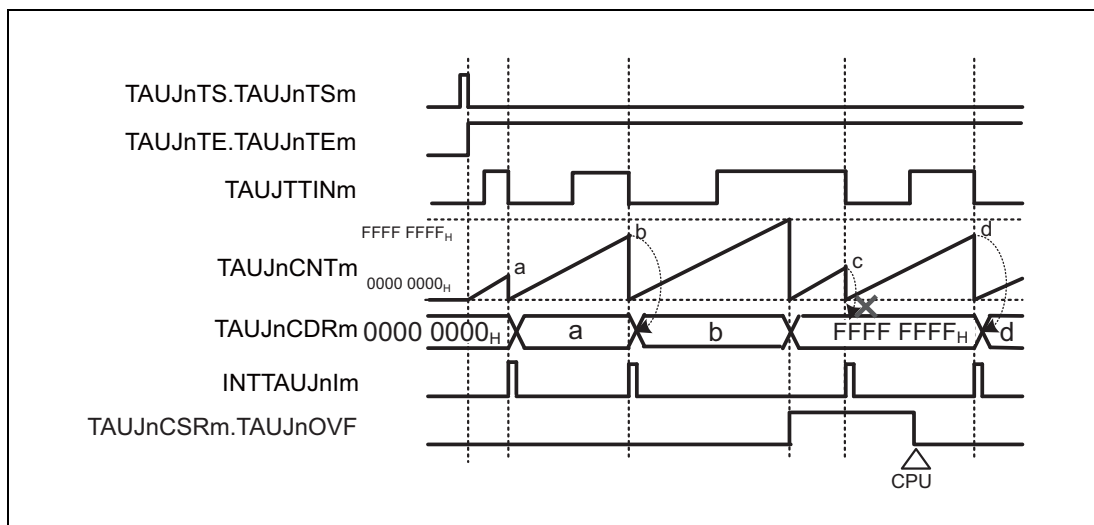
(4) TAUJnCMORm.TAUJnCOS[1:0] = 11_B

図 26.29 TAUJnCMORm.TAUJnCOS[1:0] = 11_B、TAUJnCMORm.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF は 1 に設定されます。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJTTINm 入力エッジは無視されます。
- TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでクリアされます。

26.12.4 TAUJTTINm 入力信号幅測定機能

26.12.4.1 概要

概要

この機能は、TAUJTTINm の片エッジでカウントをスタートし、もう片エッジでカウント値をキャプチャすることで、TAUJTTINm の信号幅を測定できます。

前提条件

この機能では、TAUJTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。有効な TAUJTTINm スタートエッジが検出されると、カウンタ TAUJnCNTm は、0000 0000_H からカウントを開始します。有効な TAUJTTINm ストップエッジが検出されると、TAUJnCNTm の値がキャプチャされ、TAUJnCDRm に転送され、割り込み INTTAUJnIm が発生します。カウンタは値を保持し、次の有効な TAUJTTINm 入力スタートエッジを待ちます。

有効な TAUJTTINm ストップエッジを検出する前にカウンタが FFFF FFFF_H に達すると、カウンタはオーバフローします。カウンタは、0000 0000_H にリセットされ、その後動作を継続します。TAUJnCDRm、TAUJnCSRm.TAUJnOVF それぞれに転送される値は、TAUJnCMORm.TAUJnCOS[1:0] ビットの値によって異なります。

表 26.53 オーバフローの影響

TAUJnCMORm. TAUJnCOS[1:0]	オーバフローが発生した場合		有効な TAUJTTINm 入力ストップエッジの検出時	
	TAUJnCDRm	TAUJnCSRm. TAUJnOVF	TAUJnCDRm、TAUJnCNTm	TAUJnCSRm. TAUJnOVF
00	変化しない	0	TAUJnCNTm が TAUJnCDRm にロードされる	1
01		1		
10	FFFF FFFF _H に設定	0	TAUJnCNTm はカウントを停止 TAUJnCDRm は変更されない	変化しない
11		1		

TAUJnCMORm.TAUJnCOS[0] = 1 のとき、オーバフロービット TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでのみクリアできます。

TAUJnCDRm 値と TAUJnCSRm.TAUJnOVF 値の組み合わせを使用することで、TAUJTTINm 信号の幅を推定できます。ただし、有効な TAUJTTINm 入力検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUJnCSRm.TAUJnOVF はその複数のオーバフローの発生を示せません。

この機能は強制的に再開することはできません。

備考

TAUJnCMORm.TAUJnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUJTTINm 入力エッジの発生時、TAUJnCNTm の値は TAUJnCDRm にロードされません。ただし、割り込みが発生します。

26.12.4.2 算出式

$$\text{TAUJTTINm 入力信号幅} = \text{カウントクロック周期} \times [(\text{TAUJnCSRm.TAUJnOVF} \times (\text{FFFF FFFF}_H + 1)) + \text{TAUJnCDRm キャプチャ値} + 1]$$

26.12.4.3 ブロック図と基本タイミング図

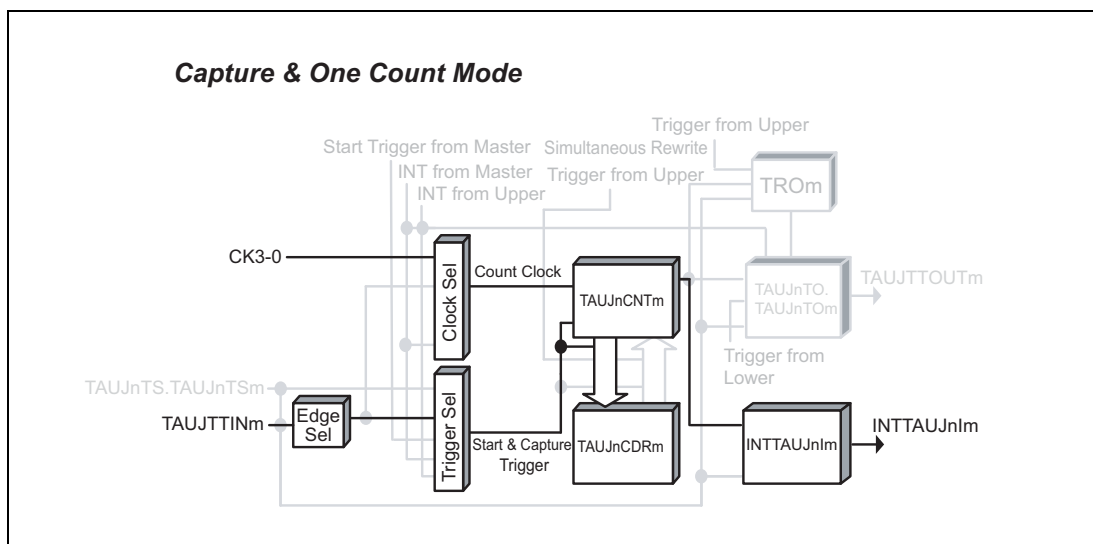


図 26.30 TAUJTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)
- オーバフロー後に有効な TAUJTTINm 入力を検出すると、TAUJnCDRm を変更し、TAUJnCSRm.TAUJnOVF を 1 に設定する (TAUJnCMORm.TAUJnCOS[1:0] = 00_B)

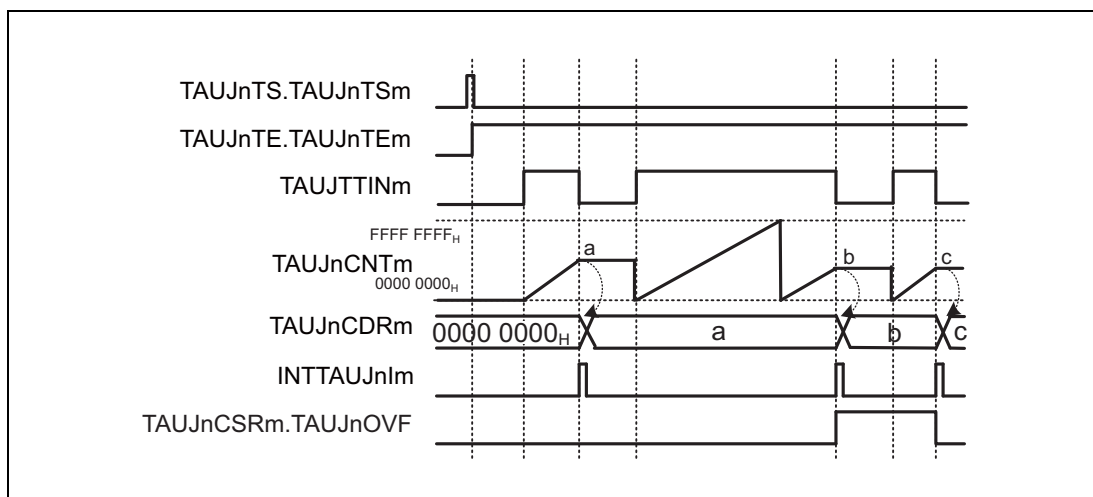


図 26.31 TAUJTTINm 入力信号幅測定機能の基本タイミング図

26.12.4.4 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 26.54 TAUJTTINm 入力信号幅測定機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13, 12	TAUJnCCS[1:0]	00 _B を書いてください。
11	TAUJnMAS	0 _B を書いてください。
10 ~ 8	TAUJnSTS[2:0]	010 _B を書いてください。
7, 6	TAUJnCOS[1:0]	「表 26.53 オーバフローの影響」を参照。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUJnMD[4:1]	0110 _B を書いてください。
0	TAUJnMD0	0 _B を書いてください。

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 26.55 TAUJTTINm 入力信号幅測定機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUJnTIS[1:0]	10 : 両エッジ検出 (ロウレベル幅測定) 11 : 両エッジ検出 (ハイレベル幅測定)

(3) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、TAUJTTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 26.56 TAUJTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0)、0 を設定

26.12.4.5 TAUJTTINm 入力信号幅測定機能の操作手順

表 26.57 TAUJTTINm 入力信号幅測定機能の操作手順

	操作	TAUJn の状態
動作再開	チャンネルの初期設定 TAUJnCMORm、TAUJnCMURm レジスタを、「表 26.54 TAUJTTINm 入力信号幅測定機能の TAUJnCMORm レジスタの内容」と「表 26.55 TAUJTTINm 入力信号幅測定機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCNTm は TAUJTTINm スタートエッジ検出を待ちます。 TAUJTTINm スタートエッジを検出すると、TAUJnCNTm はアップカウントを開始します。
	動作中 TAUJnCDRm、TAUJnCNTm、TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUJnCSCm.TAUJnCLOV ビットは、1 にセット可能です。	TAUJnCNTm は、0000 0000 _H からアップカウントを開始します。TAUJTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUJnCNTm が自身の値を TAUJnCDRm に転送 (キャプチャ) して、その値を保持します。 その後、INTTAUJnIm が発生します。 カウントは TAUJnCDRm に転送した値 + 1 の値で停止し、TAUJnCNTm は TAUJTTINm スタートエッジの検出を待ちます。 以降、この動作を繰り返します。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm は停止し、TAUJnCNTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

26.12.4.6 特定の設定時のタイミング図：オーバーフロー動作

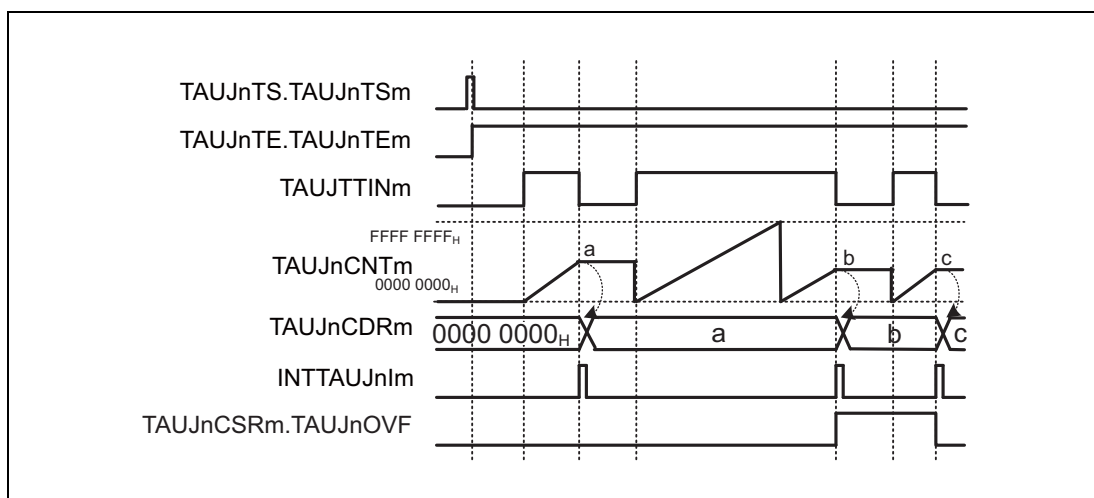
(1) TAUJnCMORm.TAUJnCOS[1:0] = 00_B

図 26.32 TAUJnCMORm.TAUJnCOS[1:0] = 00_B、TAUJnCMORm.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバーフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされ、TAUJnCSRm.TAUJnOVF が 1 に設定されます。
- オーバーフローが発生していない状態で次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCSRm.TAUJnOVF が 0 にクリアされます。

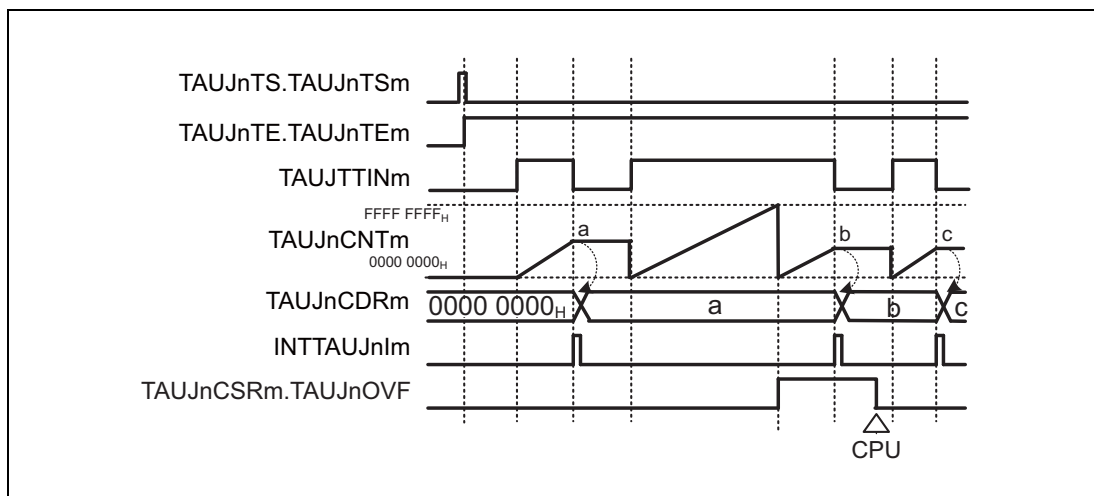
(2) TAUJnCMORm.TAUJnCOS[1:0] = 01_B

図 26.33 TAUJnCMORm.TAUJnCOS[1:0] = 01_B、TAUJnCMORm.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 1 に設定されます。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされます。
- TAUJnCSRm.TAUJnOVF は、CPU コマンド (TAUJnCSCm.TAUJnCLOV = 1 のセット) でのみクリアされます。

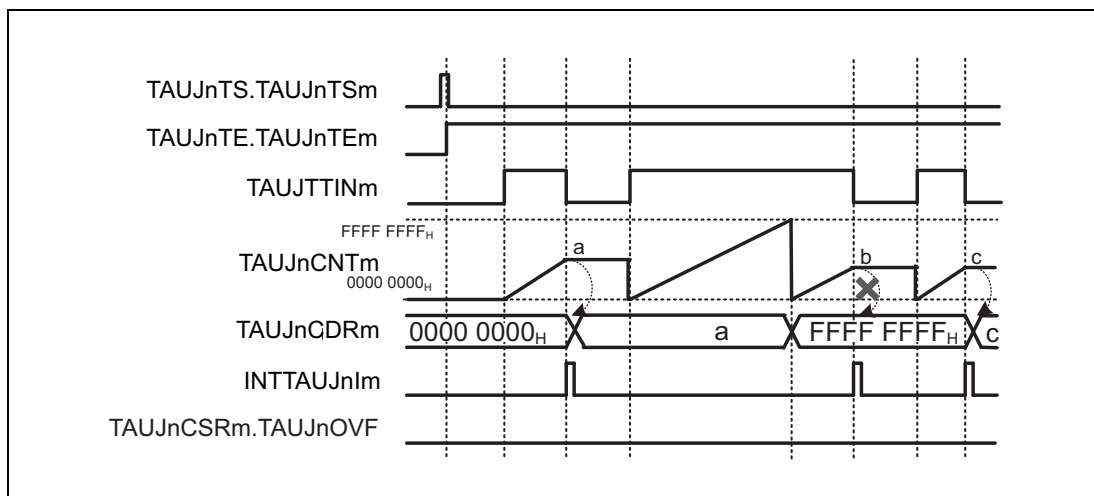
(3) TAUJnCMORm.TAUJnCOS[1:0] = 10_B

図 26.34 TAUJnCMORm.TAUJnCOS[1:0] = 10_B、TAUJnCMORm.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm がカウントを停止し、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJTTINm 入力エッジは無視されます。

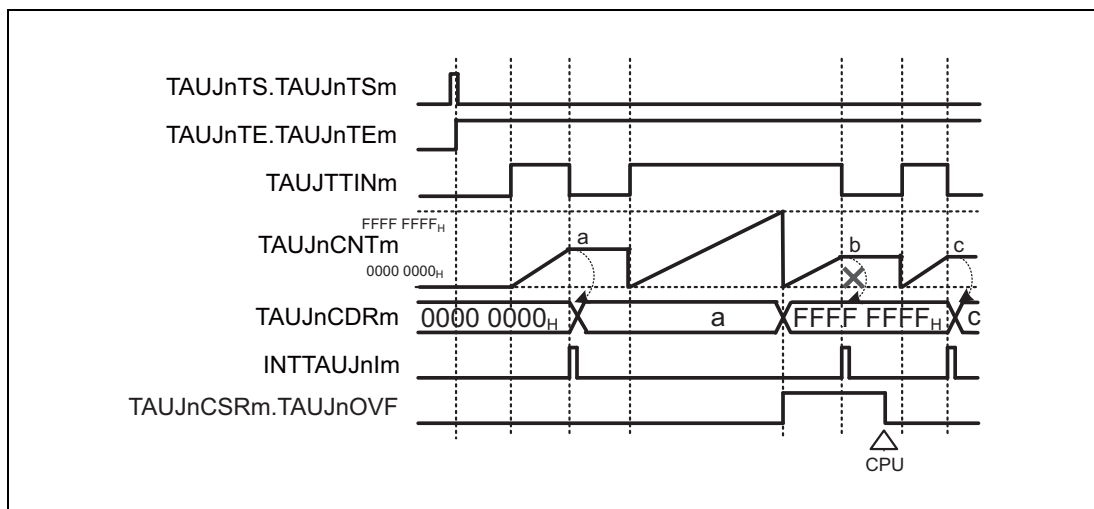
(4) TAUJnCMORm.TAUJnCOS[1:0] = 11_B

図 26.35 TAUJnCMORm.TAUJnCOS[1:0] = 11_B、TAUJnCMORm.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF は 1 に設定されます。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm がカウントを停止し、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJTTINm 入力エッジは無視されます。
- TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでクリアされます。

26.12.5 TAUJTTINm 入力位置検出機能

26.12.5.1 概要

概要

TAUJTTINm の有効エッジでカウント値をキャプチャすることで、入力信号間隔を測定できる機能です。

前提条件

- この機能では、TAUJTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。カウンタは、0000 0000_H からカウントを開始します。有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm の現在値が TAUJnCDRm にロードされ、割り込み (INTTAUJnIm) が発生します。カウント動作は継続します。

カウンタ値が FFFF FFFF_H になると、カウンタは 0000 0000_H からカウント動作を再開します。

備考

TAUJTTINm 入力信号は TAUJnCMORm.TAUJnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUJTOUTm の出カクロックの周期には、動作クロック ±1 周期分の誤差があります。

条件

TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。

26.12.5.2 算出式

TAUJTTINm 入力パルスでの機能時間 =
カウントクロック周期 × (TAUJnCDRm キャプチャ値 + 1)

26.12.5.3 ブロック図と基本タイミング図

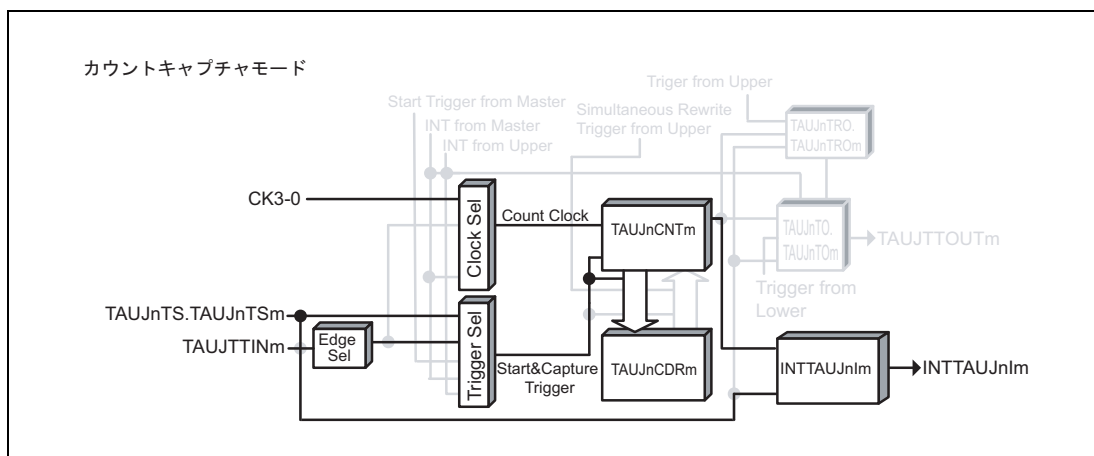


図 26.36 TAUJTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生しない (TAUJnCMORm.TAUJnMD0 = 0)
- 立ち下がりエッジ検出 (TAUJnCMURm.TAUJnTIS[1:0] = 00_B)

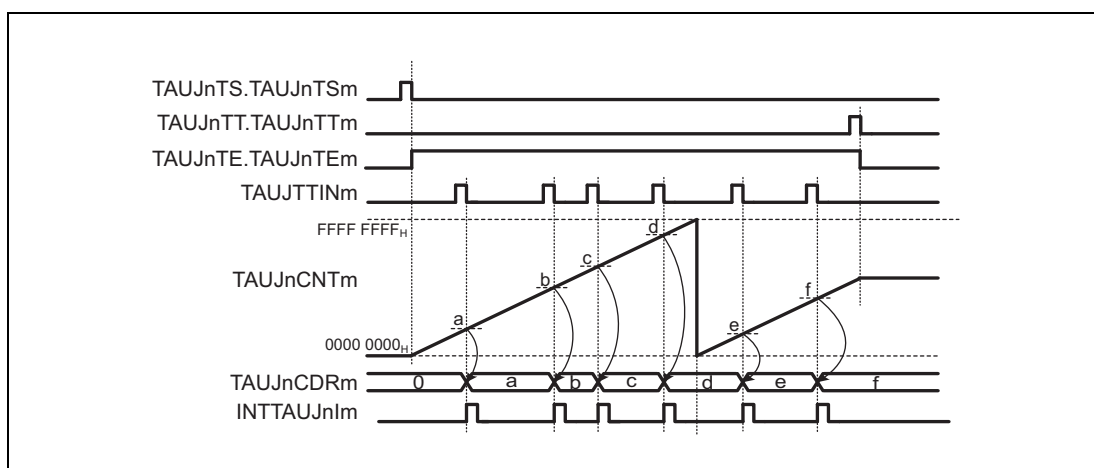


図 26.37 TAUJTTINm 入力位置検出機能の基本タイミング図

26.12.5.4 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 26.58 TAUJTTINm 入力位置検出機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13, 12	TAUJnCCS[1:0]	00 _B を書いてください。
11	TAUJnMAS	0 _B を書いてください。
10 ~ 8	TAUJnSTS[2:0]	001 _B を書いてください。
7, 6	TAUJnCOS[1:0]	01 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUJnMD[4:1]	1011 _B を書いてください。
0	TAUJnMD0	0 : 動作開始時に INTTAUJnIm が発生しない 1 : 動作開始時に INTTAUJnIm が発生する

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 26.59 TAUJTTINm 入力位置検出機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUJnTIS[1:0]	00 : 立ち下がリエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出 11 : 設定禁止

(3) チャンネル出力モード

この機能ではチャンネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、TAUJTTINm 入力位置検出機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 26.60 TAUJTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0)、0 を設定

26.12.5.5 TAUJTTINm 入力位置検出機能の操作手順

表 26.61 TAUJTTINm 入力位置検出機能の操作手順

	操作	TAUJn の状態
動作再開	初期設定 チャンネルの初期設定 TAUJnCMORm、TAUJnCMURm レジスタを、「表 26.58 TAUJTTINm 入力位置検出機能の TAUJnCMORm レジスタの内容」と「表 26.59 TAUJTTINm 入力位置検出機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCMORm.TAUJnMD0 が 1 の場合は、INTTAUJnim が発生します。
	動作中 TAUJnCMURm.TAUJnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUJnCDRm、TAUJnCSRm レジスタは任意のタイミングで読み出し可能です。	TAUJnCNTm は、0000 0000 _H からアップカウントを開始します。TAUJTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUJnCNTm が自身の値を TAUJnCDRm に転送 (キャプチャ) します。 INTTAUJnim を出力します。 カウンタ値は 0000 0000_H にクリアされず、TAUJnCNTm はカウント動作を継続します。 以降、この動作を繰り返します。 TAUJnCNTm が FFFF FFFF _H に達すると、カウンタは 0000 0000 _H からカウント動作を再開します。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm は停止し、TAUJnCNTm は現在値を保持します。

26.12.5.6 特定の設定時のタイミング図

(1) 動作の停止と再開

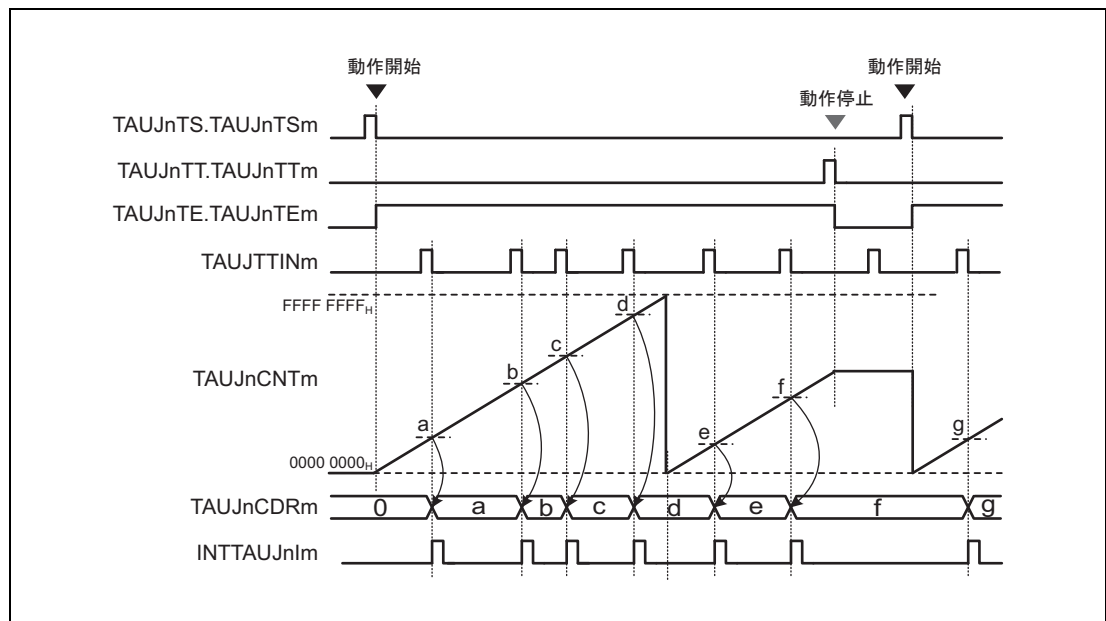


図 26.38 動作の停止と再開 (TAUJnCMORm.TAUJnMD0 = 0,
TAUJnCMURm.TAUJnTIS[1:0] = 00_B)

- TAUJnTT.TAUJnTTM を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEM は 0 に設定されます。
- TAUJnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUJnTTINm の有効な入力エッジは無視されます。
- TAUJnTS.TAUJnTSM を 1 に設定すると、カウントを再開できます。TAUJnCNTm は 0000 0000_H からカウントを再開します。

26.12.6 TAUJTTINm 入力期間カウント検出機能

26.12.6.1 概要

概要

この機能は、TAUJTTINm 入力信号の合計幅を測定します。

前提条件

この機能では、TAUJTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。カウンタは、有効な TAUJTTINm 入力エッジを待ちます。

有効な TAUJTTINm 入力スタートエッジが検出されると、カウンタは、0000 0000_H からカウントを開始します。

有効な TAUJTTINm 入力ストップエッジが検出されると、TAUJnCnTm の現在値が TAUJnCDRm にロードされ、割り込み (INTTAUJnIm) が発生します。次の有効な TAUJTTINm 入力スタートエッジを検出するまで、カウンタは停止し、値を保持します。

次の有効な TAUJTTINm 入力スタートエッジが検出されると、カウンタは、停止時の値からカウントを再開します。

カウンタ値が FFFF FFFF_H になると、カウンタは 0000 0000_H からカウント動作を再開します。

この機能は、強制的に再開することはできません。

備考

TAUJTTINm 入力信号は、TAUJnCMORm.TAUJnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。

条件

有効なスタートエッジとストップエッジは、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。

- TAUJnCMURm.TAUJnTIS[1:0] = 10_B の場合、TAUJTTINm 入力ローレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUJnCMURm.TAUJnTIS[1:0] = 11_B の場合、TAUJTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

26.12.6.2 算出式

TAUJTTINm 入力幅累計 =
 カウントクロック周期 × (TAUJnCDRm キャプチャ値 + 1)

26.12.6.3 ブロック図と基本タイミング図

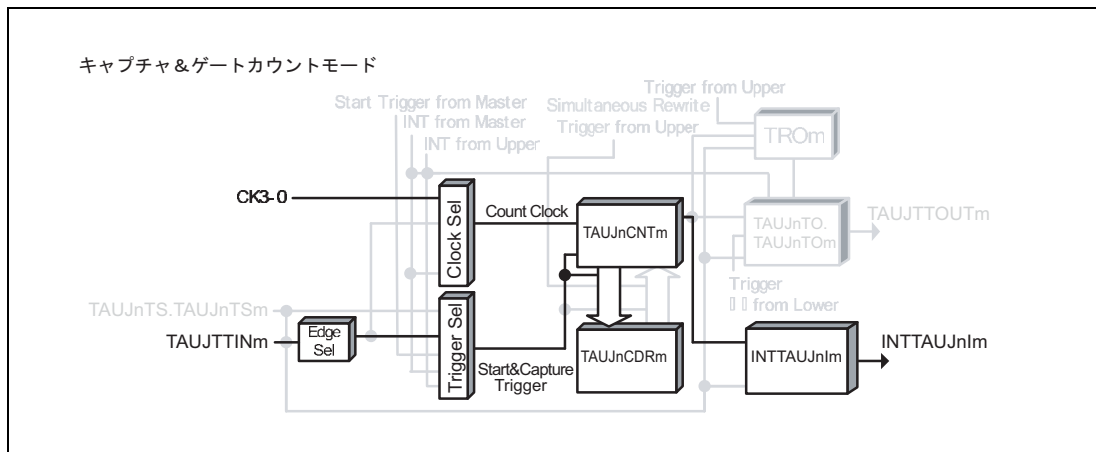


図 26.39 TAUJTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)

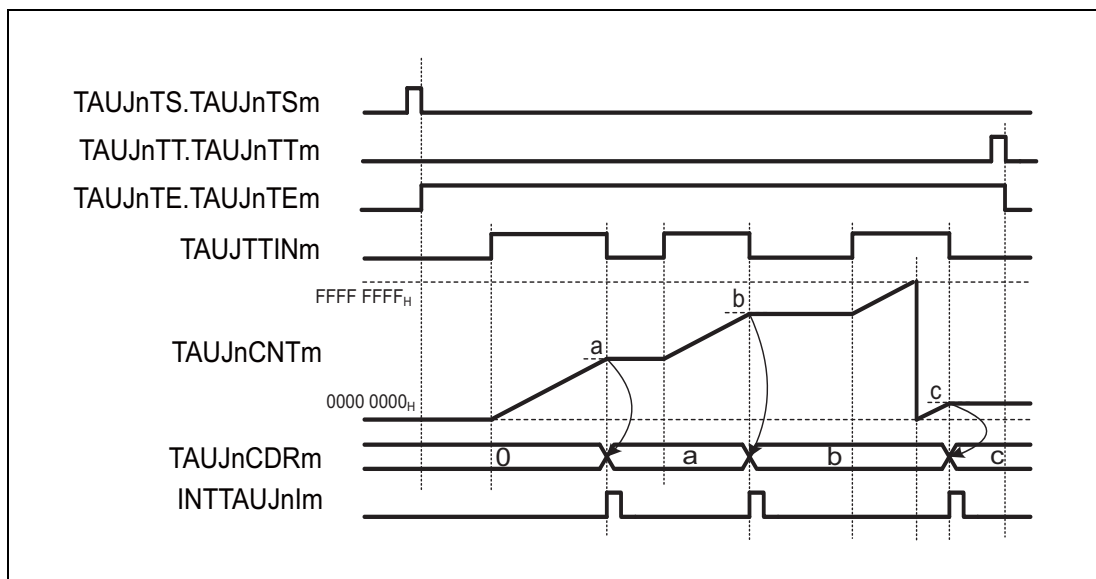


図 26.40 TAUJTTINm 入力期間カウント検出機能の基本タイミング図

26.12.6.4 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 26.62 TAUJTTINm 入力期間カウント検出機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13, 12	TAUJnCCS[1:0]	00 _B を書いてください。
11	TAUJnMAS	0 _B を書いてください。
10 ~ 8	TAUJnSTS[2:0]	010 _B を書いてください。
7, 6	TAUJnCOS[1:0]	01 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUJnMD[4:1]	1101 _B を書いてください。
0	TAUJnMD0	0 _B を書いてください。

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 26.63 TAUJTTINm 入力期間カウント検出機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUJnTIS[1:0]	10 : 両エッジ検出 (ロウレベル幅測定) 11 : 両エッジ検出 (ハイレベル幅測定)

(3) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、TAUJTTINm 入力期間カウント検出機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 26.64 TAUJTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0)、0 を設定

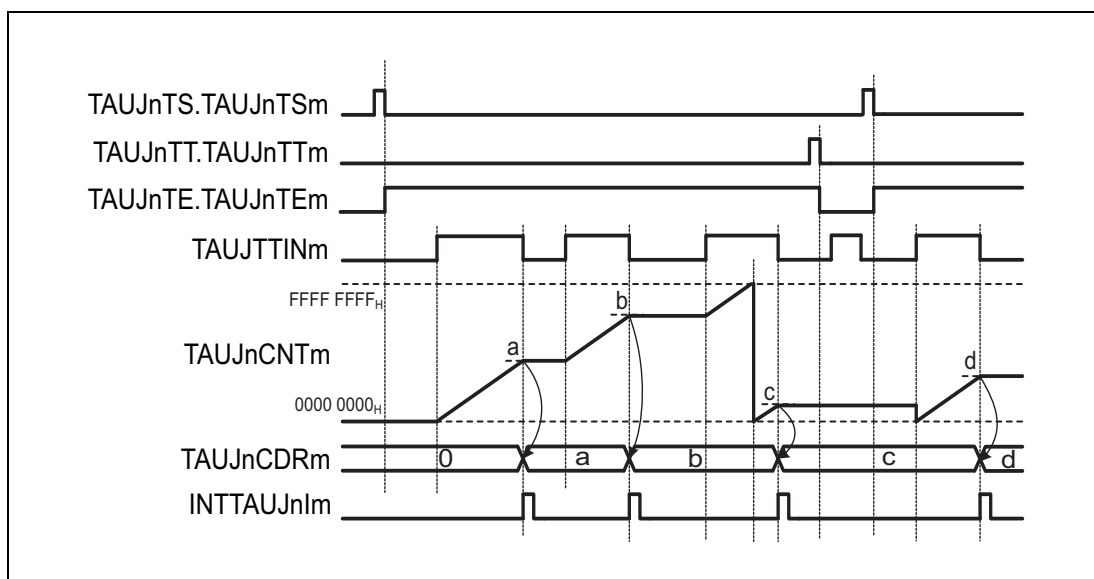
26.12.6.5 TAUJTTINm 入力期間カウント検出機能の操作手順

表 26.65 TAUJTTINm 入力期間カウント検出機能の操作手順

	操作	TAUJn の状態
動作再開	初期設定 チャンネルの初期設定 TAUJnCMORm、TAUJnCMURm レジスタを、「表 26.62 TAUJTTINm 入力期間カウント検出機能の TAUJnCMORm レジスタの内容」と「表 26.63 TAUJTTINm 入力期間カウント検出機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCNTm は TAUJTTINm スタートエッジ検出を待ちます。
	動作中 TAUJTTINm エッジ検出 TAUJnCDRm、TAUJnCNTm、TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。	TAUJTTINm スタートエッジ (ハイレベル幅測定なら立ち上がりエッジ、ロウレベル幅測定なら立ち下がりエッジ) を検出すると、TAUJnCNTm は停止値よりアップカウントを開始します。TAUJnCNTm は、ストップエッジ (ハイレベル幅測定なら立ち下がりエッジ、ロウレベル幅測定なら立ち上がりエッジ) を検出すると、値を TAUJnCDRm に転送し、INTTAUJnIm が発生します。 カウントは TAUJnCDRm に転送した値 + 1 の値で停止し、TAUJnCNTm は TAUJTTINm スタートエッジの検出を待ちます。 TAUJnCNTm が FFFF FFFF _H に達すると、カウンタは 0000 0000 _H からカウント動作を再開します。 以降、この動作を繰り返します。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm は停止し、TAUJnCNTm は現在値を保持します。

26.12.6.6 特定の設定時のタイミング図

(1) 動作の停止と再開

図 26.41 動作の停止と再開 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)

- TAUJnTT.TAUJnTTM を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEM は 0 に設定されます。
- TAUJnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUJnTTINm の有効な入力エッジは無視されます。
- TAUJnTS.TAUJnTSM を 1 に設定すると、カウントを再開できます。TAUJnCNTm は 0000 0000_H からカウントを再開します。

26.12.7 オーバフロー割り込み出力機能 (TAUJTTINm 幅測定時)

26.12.7.1 概要

概要

この機能は、各 TAUJTTINm 入力信号の幅を測定します。TAUJTTINm 入力後、(FFFF FFFF_H + 1) を超えた場合、割り込みが発生します。

前提条件

- この機能では、TAUJTOUTm は使用しません。
- TAUJnCDRm の値は、FFFF FFFF_H に設定する必要があります。

機能説明

チャンネルトリガビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。

有効な TAUJTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUJnCNTm に FFFF FFFF_H がロードされ、カウンタはダウンカウントを開始します。

有効なストップエッジを検出されると、カウンタ動作を停止し現在値を保持します。

次の TAUJTTINm 入力スタートエッジを検出されると、TAUJnCNTm は FFFF FFFF_H をロードし、ダウンカウントを開始します。

ストップエッジを検出する前にカウンタが 0000 0000_H に達すると、割り込みが発生します。

条件

有効なスタートエッジとストップエッジは、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。

- TAUJnCMURm.TAUJnTIS[1:0] = 10_B の場合、TAUJTTINm 入力ローレベル幅が測定されます。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUJnCMURm.TAUJnTIS[1:0] = 11_B の場合、TAUJTTINm 入力ハイレベル幅が測定されます。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

備考

動作中にカウンタ動作を再開することはできません。

26.12.7.2 ブロック図と基本タイミング図

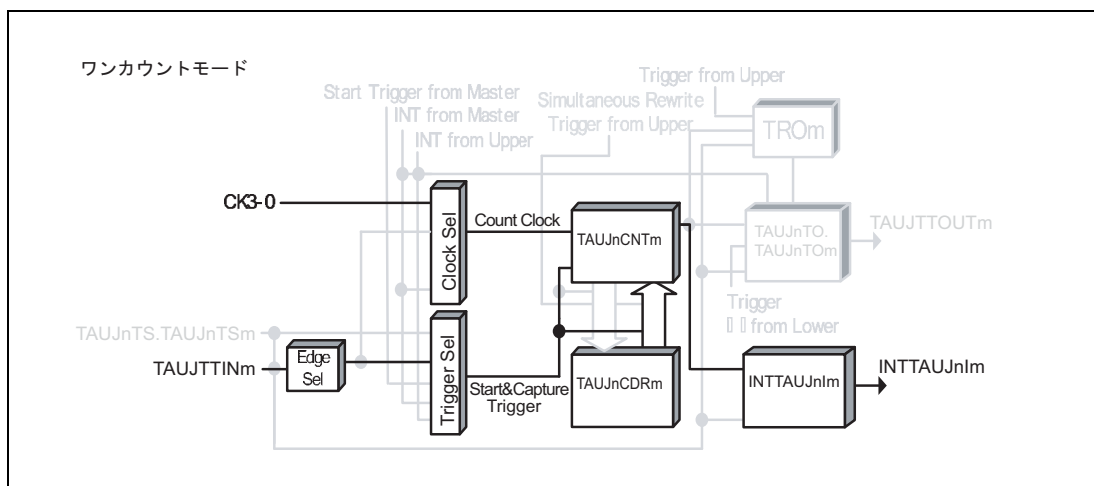


図 26.42 オーバフロー割り込み出力機能のブロック図 (TAUJTINm 幅測定時)

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)

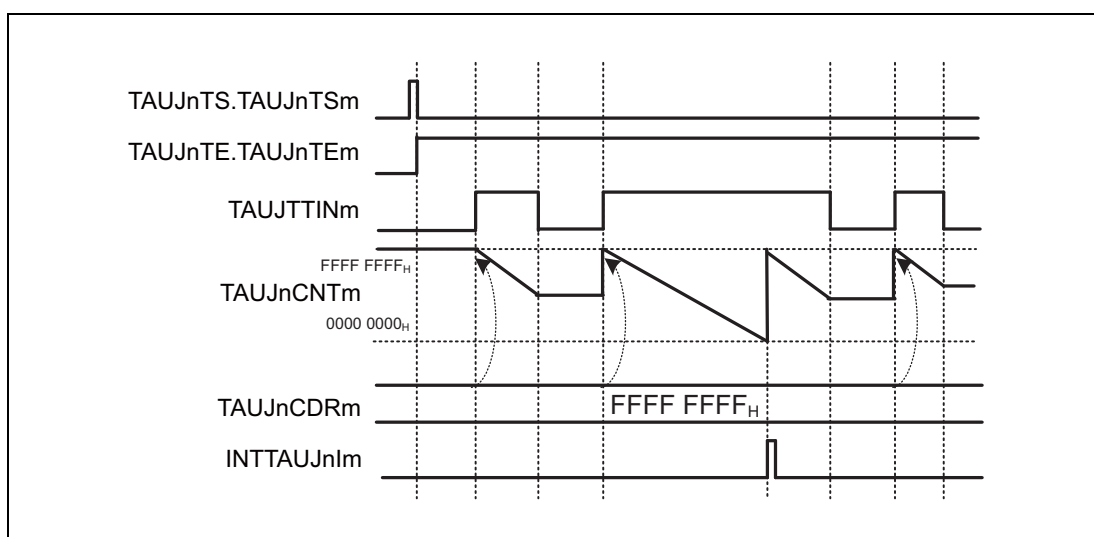


図 26.43 オーバフロー割り込み出力機能の基本タイミング図 (TAUJTINm 幅測定時)

26.12.7.3 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 26.66 オーバフロー割り込み出力機能 (TAUJTTINm 幅測定時) の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13, 12	TAUJnCCS[1:0]	00 _B を書いてください。
11	TAUJnMAS	0 _B を書いてください。
10 ~ 8	TAUJnSTS[2:0]	010 _B を書いてください。
7, 6	TAUJnCOS[1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUJnMD[4:1]	0100 _B を書いてください。
0	TAUJnMD0	0 _B を書いてください。

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 26.67 オーバフロー割り込み出力機能 (TAUJTTINm 幅測定時) の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUJnTIS[1:0]	10 : 両エッジ検出 (ロウレベル幅測定) 11 : 両エッジ検出 (ハイレベル幅測定)

(3) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、オーバフロー割り込み出力機能 (TAUJTTINm 幅測定時) では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 26.68 オーバフロー割り込み出力機能の一斉書き換え設定 (TAUJTTINm 幅測定時)

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0)、0 を設定

26.12.7.4 オーバフロー割り込み出力機能の操作手順 (TAUJTTINm 幅測定時)

表 26.69 オーバフロー割り込み出力機能の操作手順 (TAUJTTINm 幅測定時)

	操作	TAUJn の状態
動作再開	チャンネルの初期設定 TAUJnCMORm、TAUJnCMURm レジスタを、「表 26.66 オーバフロー割り込み出力機能 (TAUJTTINm 幅測定時) の TAUJnCMORm レジスタの内容」と「表 26.67 オーバフロー割り込み出力機能 (TAUJTTINm 幅測定時) の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタの値を FFFF FFFF _H に設定します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。 TAUJTTINm スタートエッジ検出	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCNTm はスタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUJnCDRm の値 (FFFF FFFF _H) を TAUJnCNTm にロードします。
	動作中 TAUJnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUJnCNTm がダウンカウントを行います。カウンタが 0000 0000 _H になった場合 : • INTTAUJnIm が発生します。 カウント動作中に TAUJTTINm の逆エッジを検出した場合 : • TAUJnCNTm はカウントを停止し、トリガを待ちます。 以降、この動作を繰り返します。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm が停止し、現在値を保持します。

26.12.8 オーバフロー割り込み出力機能 (TAUJTTINm 入力期間カウント検出時)

26.12.8.1 概要

概要

この機能は、TAUJTTINm 入力信号の合計幅を測定します。TAUJTTINm 入力合計幅が FFFF FFFF_H より大きい場合、割り込みが発生し、オーバフロー割り込みを出力することができます。

前提条件

- この機能では、TAUJTOUTm は使用しません。
- TAUJnCDRm の値は、FFFF FFFF_H に設定する必要があります。

機能説明

チャンネルトリガビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。

有効な TAUJTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUJnCNTm に FFFF FFFF_H がロードされ、カウンタはダウンカウントを開始します。

有効なストップエッジが検出されると、カウンタ動作を停止し、現在値を保持します。カウンタは、次の有効な TAUJTTINm 入力スタートエッジを待ち、現在値からのダウンカウントを継続します。

カウンタが 0000 0000_H になると、割り込みが発生します。TAUJnCNTm に FFFF FFFF_H がロードされ、カウンタは TAUJTTINm 入力ストップエッジが検出されるまでダウンカウントを継続します。

条件

有効なスタートエッジとストップエッジは、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。

- TAUJnCMURm.TAUJnTIS[1:0] = 10_B の場合、TAUJTTINm 入力ローレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUJnCMURm.TAUJnTIS[1:0] = 11_B の場合、TAUJTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

備考

動作中にカウンタ動作を再開することはできません。

26.12.8.2 ブロック図と基本タイミング図

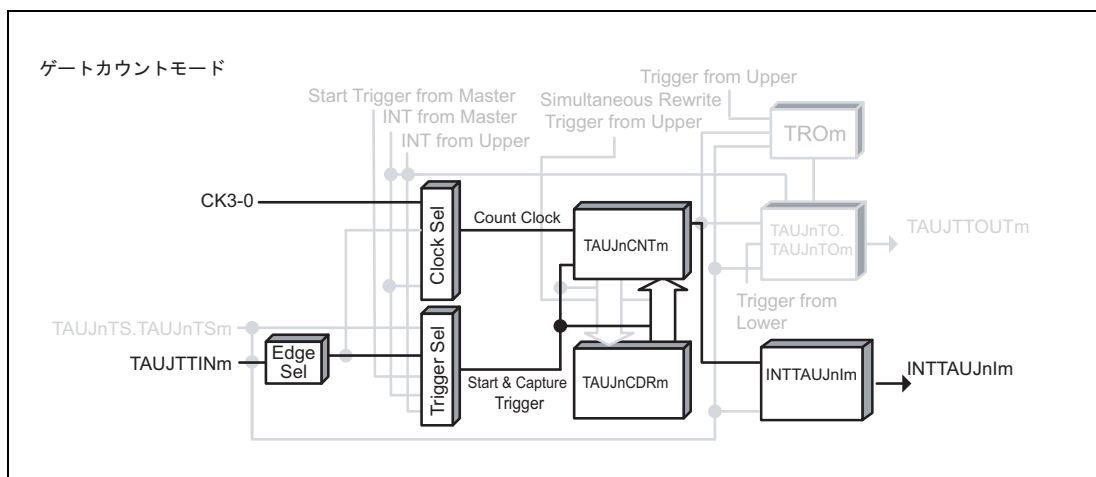


図 26.44 オーバフロー割り込み出力機能のブロック図 (TAUJTTINm 入力期間カウント検出時)

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)

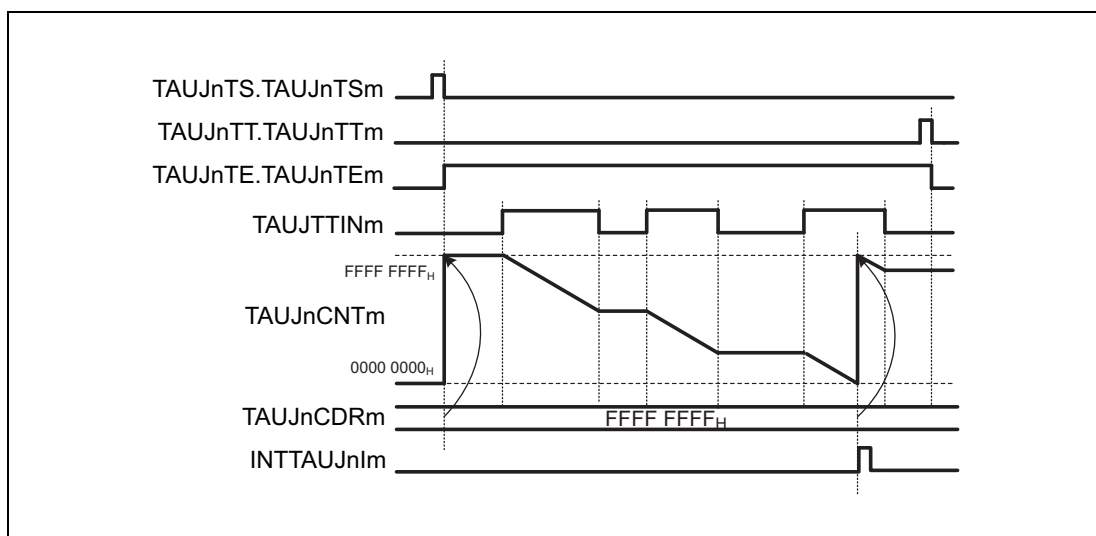


図 26.45 オーバフロー割り込み出力機能の基本タイミング図 (TAUJTTINm 入力期間カウント検出時)

26.12.8.3 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 26.70 オーバフロー割り込み出力機能 (TAUJTTINm 入力期間カウント検出時) の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13, 12	TAUJnCCS[1:0]	00 _B を書いてください。
11	TAUJnMAS	0 _B を書いてください。
10 ~ 8	TAUJnSTS[2:0]	010 _B を書いてください。
7, 6	TAUJnCOS[1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUJnMD[4:1]	1100 _B を書いてください。
0	TAUJnMD0	0 _B を書いてください。

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 26.71 オーバフロー割り込み出力機能 (TAUJTTINm 入力期間カウント検出時) の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUJnTIS[1:0]	10 : 両エッジ検出 (ロウレベル幅測定) 11 : 両エッジ検出 (ハイレベル幅測定)

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、オーバフロー割り込み出力機能 (TAUJTTInm 入力期間検出時) では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 26.72 オーバフロー割り込み出力機能の一斉書き換え設定 (TAUJTTInm 入力期間カウント検出時)

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0)、0 を設定

26.12.8.4 オーバフロー割り込み出力機能の操作手順 (TAUJTTInm 入力期間カウント検出時)

表 26.73 オーバフロー割り込み出力機能の操作手順 (TAUJTTInm 入力期間カウント検出時)

	操作	TAUJn の状態
初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、「表 26.70 オーバフロー割り込み出力機能 (TAUJTTInm 入力期間カウント検出時) の TAUJnCMORm レジスタの内容」と「表 26.71 オーバフロー割り込み出力機能 (TAUJTTInm 入力期間カウント検出時) の TAUJnCMURm レジスタの内容」に示すように設定します。	チャンネル動作を停止しています。
	TAUJnCDRm レジスタの値を FFFF FFFF _H に設定します。	
動作再開	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCNTm はスタートエッジ検出を待ちます。
	TAUJTTInm スタートエッジ検出	スタートエッジが検出されると、TAUJnCDRm の値 (FFFF FFFF _H) を TAUJnCNTm にロードします。
動作中	TAUJnCNTm レジスタは常に読み出し可能です。	TAUJnCNTm がダウンカウントを行います。カウンタが 0000 0000 _H になった場合 : <ul style="list-style-type: none"> INTTAUJnIm が発生します。 TAUJnCDRm の値 (FFFF FFFF_H) を TAUJnCNTm にロードし、ダウンカウントを継続します。 カウント動作中に TAUJTTInm の逆エッジを検出した場合 : <ul style="list-style-type: none"> TAUJnCNTm は停止し、停止値を維持します。 カウント停止中に TAUJTTInm の有効エッジを検出した場合 : <ul style="list-style-type: none"> TAUJnCNTm は停止値からダウンカウントを行います。 以降、この動作を繰り返します。
	動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。

26.13 チャネル連動動作機能

この節では、TAUJのチャネル連動動作の全機能について説明します。チャネル連動動作の概要については、「26.2 概要」を参照してください。

26.13.1 PWM 出力機能

26.13.1.1 概要

概要

マスタチャネルと複数のスレーブチャネルを使用することで、複数のPWM出力を生成する機能です。これにより、TAUJTOUTmのパルス周期（周波数）とデューティを設定できます。パルス周期はマスタチャネルで設定します。デューティはスレーブチャネルで設定します。

前提条件

- 2チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 26.74 PWM 出力機能のマスタチャネルのTAUJnCMORmレジスタの内容」参照）。
- スレーブチャネルの動作モードは、ワンカウントモードに設定する必要があります（「表 26.77 PWM 出力機能のスレーブチャネルのTAUJnCMORmレジスタの内容」参照）。
- この機能では、マスタチャネルでTAUJTOUTmは使用しません。
- スレーブチャネルのチャネル出力モードは、チャネル連動出力モード1に設定する必要があります（「26.7 チャネル出力モード」参照）。

機能説明

チャネルトリガビット (TAUJnTS.TAUJnTsm) を1に設定すると、カウンタ動作が許可されます。これによりTAUJnTE.TAUJnTEm=1となり、カウントが可能になります。TAUJnCDRmの現在値がTAUJnCNTmにロードされ、カウンタはそのTAUJnCDRm値からダウンカウントを開始します。マスタチャネルでINTTAUJnImが発生し、TAUJTOUTm (スレーブ) がセット、リセットされることによりPWM出力を実現しています。

- マスタチャネル：
マスタチャネルのカウンタ値が0000 0000_Hになりパルス周期時間が経過すると、INTTAUJnImが発生します。TAUJnCDRm値をTAUJnCNTmにロードし、ダウンカウントを行います。
- スレーブチャネル：
マスタチャネルでINTTAUJnImが発生すると、スレーブチャネルのカウンタ動作がトリガされます。TAUJnCDRm (スレーブ) の現在値がTAUJnCNTm (スレーブ) にロードされ、カウンタはそのTAUJnCDRm値からダウンカウントを開始します。TAUJTOUTm信号がアクティブレベルに設定されます。
カウンタ値が0000 0000_Hになると（デューティ時間が経過すると）INTTAUJnImが発生し、TAUJTOUTm信号がインアクティブレベルに設定されます。カウンタはFFFF FFFF_Hに戻り、マスタチャネルの次のINTTAUJnIm（次のパルス周期の開始）を待ちます。

マスタ/スレーブチャネルの TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。マスタ/スレーブチャネルの TAUJnCNTm と TAUJTOUTm が停止しますが、それぞれの値は保持します。TAUJnTS.TAUJnTSm を 1 に設定すると、カウントを再開できます。

条件

この機能では一斉書き換えを行うことができます。「**26.6 一斉書き換え**」を参照してください。

26.13.1.2 算出式

パルス周期 = (TAUJnCDRm (マスタ) + 1) × カウントクロック周期

デューティサイクル [%] = (TAUJnCDRm (スレーブ) / (TAUJnCDRm (マスタ) + 1)) × 100

- デューティサイクル = 0 %

TAUJnCDRm (スレーブ) = 0000 0000_H

- デューティサイクル = 100 %

TAUJnCDRm (スレーブ) ≥ TAUJnCDRm (マスタ) + 1

26.13.1.3 ブロック図と基本タイミング図

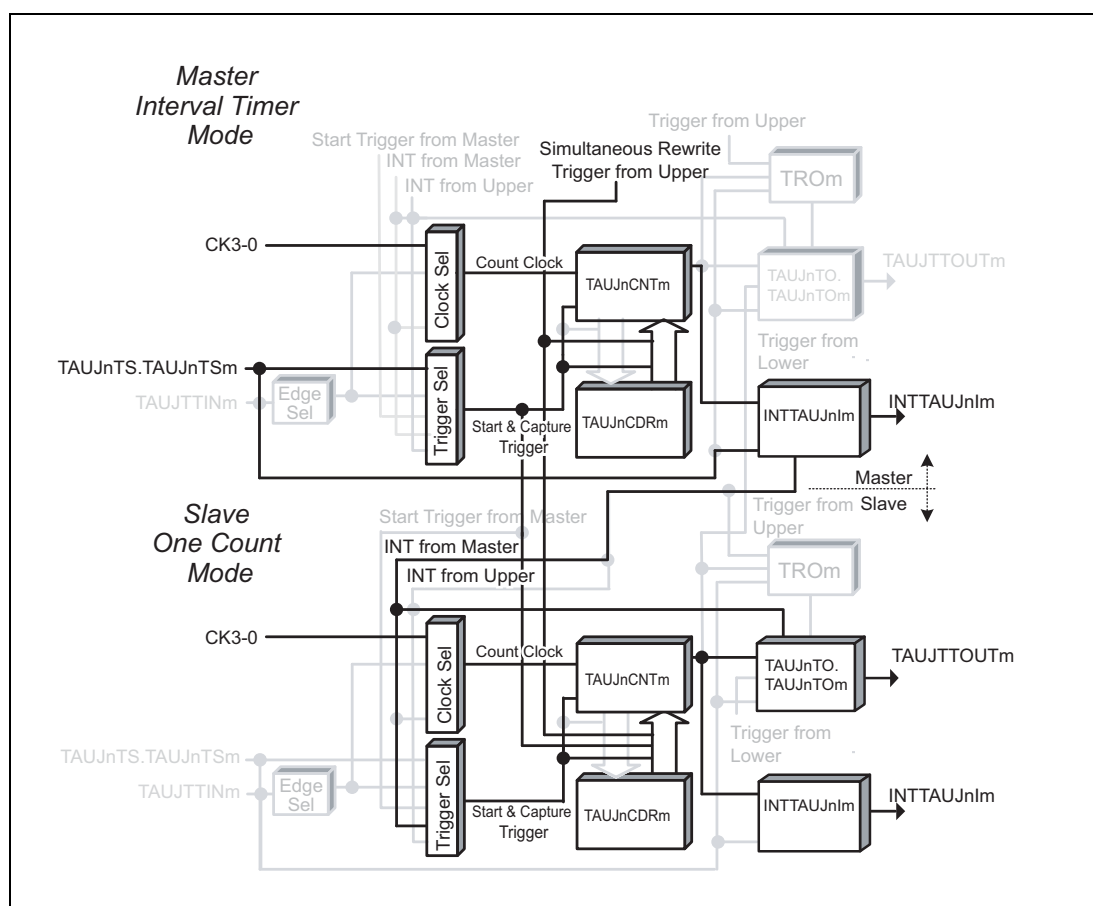


図 26.46 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャンネル: 正論理 ($\text{TAUJnTOL.TAUJnTOLm} = 0$)

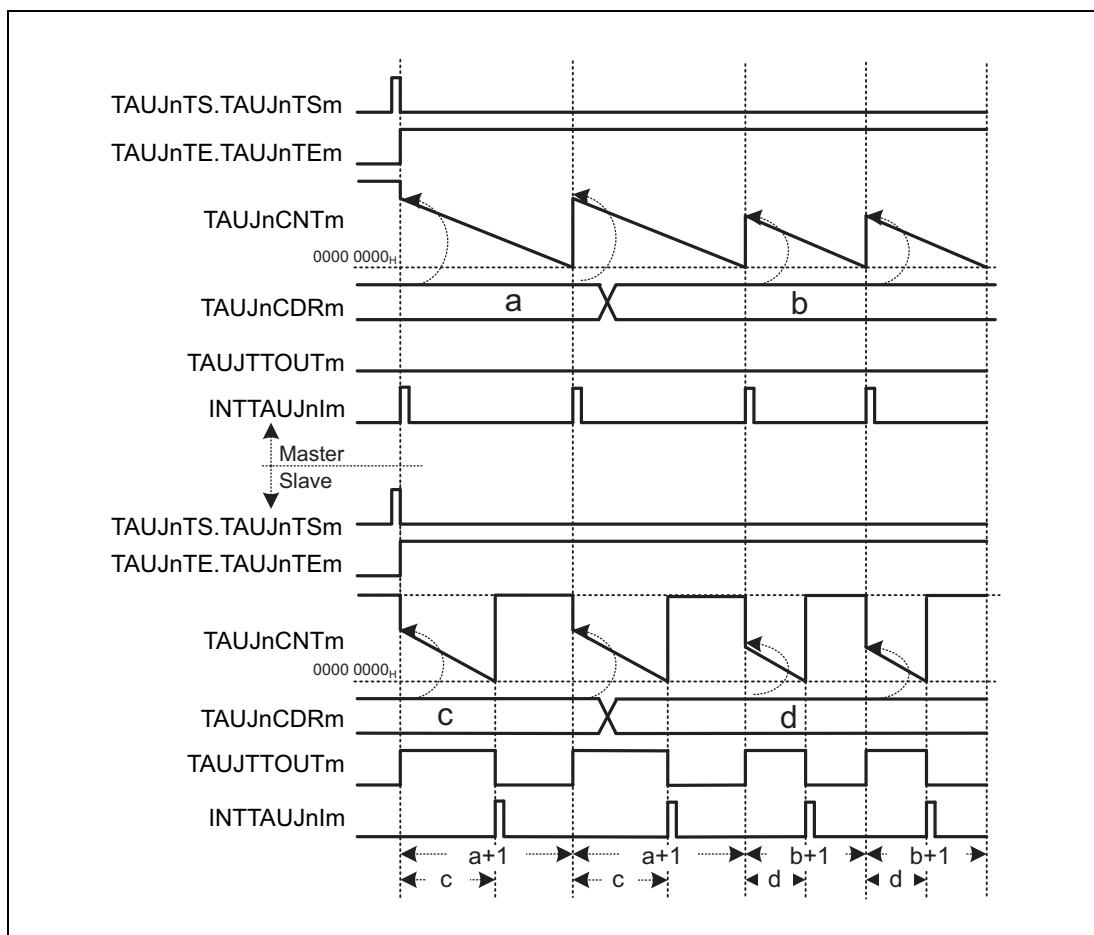


図 26.47 PWM 出力機能の基本タイミング図

備考

- カウント開始から割り込み発生までの間隔は対応する $\text{TAUJnCDRm} + 1$ の値になります。
- スレーブチャンネルの TAUJTTOUtm は、マスタチャンネルの INTTAUJnlm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

26.13.1.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJnMAS	TAUJnSTS[2:0]		TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 26.74 PWM 出力機能のマスタチャネルの TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャネルとスレーブチャネルの TAUJnCKS[1:0] ビット値は同一である必要があります。
13, 12	TAUJnCCS[1:0]	00 _B を書いてください。
11	TAUJnMAS	1 _B を書いてください。
10 ~ 8	TAUJnSTS[2:0]	000 _B を書いてください。
7, 6	TAUJnCOS[1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUJnMD[4:1]	0000 _B を書いてください。
0	TAUJnMD0	1 _B を書いてください。

(2) マスタチャネルの TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 26.75 PWM 出力機能のマスタチャネルの TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUJnTIS[1:0]	00 : 未使用、00 を設定

(3) マスタチャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 26.76 PWM 出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	1 : 一斉書き換えを許可
TAUJnRDM.TAUJnRDMm	0 : マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成

26.13.1.5 スレーブチャンネルのレジスタ設定

(1) スレーブチャンネルの TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJnMAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 26.77 PWM 出力機能のスレーブチャンネルの TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUJnCKS[1:0] ビット値は同一である必要があります。
13, 12	TAUJnCCS[1:0]	00 _B を書いてください。
11	TAUJnMAS	0 _B を書いてください。
10 ~ 8	TAUJnSTS[2:0]	100 _B を書いてください。
7, 6	TAUJnCOS[1:0]	00 _B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUJnMD[4:1]	0100 _B を書いてください。
0	TAUJnMD0	1 _B を書いてください。

(2) スレーブチャンネルの TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 26.78 PWM 出力機能のスレーブチャンネルの TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUJnTIS[1:0]	00 : 未使用、00 を設定

(3) スレーブチャンネルのチャンネル出力モード

表 26.79 チャンネル連動出力モード1時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1 _B を書いてください。
TAUJnTOM.TAUJnTOMm	1 _B を書いてください。
TAUJnTOC.TAUJnTOCm	0 _B を書いてください。
TAUJnTOL.TAUJnTOLm	0 : 正論理 1 : 負論理

(4) スレーブチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 26.80 PWM 出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	1: 一斉書き換えを許可
TAUJnRDM.TAUJnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成

26.13.1.6 PWM 出力機能の操作手順

表 26.81 PWM 出力機能時の操作手順

	操作	TAUJn の状態
動作再開	チャンネルの初期設定 マスタチャンネル: TAUJnCMORm / TAUJnCMURm レジスタとチャンネル出力モードを「26.13.1.4 マスタチャンネルのレジスタ設定」に示すように設定します。 スレーブチャンネル: TAUJnCMORm / TAUJnCMURm レジスタとチャンネル出力モードを「26.13.1.5 スレーブチャンネルのレジスタ設定」に示すように設定します。 全チャンネルの TAUJnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタチャンネルとスレーブチャンネルの TAUJnTS.TAUJnTSM を同時に 1 に設定します。TAUJnTS.TAUJnTSM はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm (マスタ/スレーブチャンネル) が 1 に設定され、マスタ/スレーブチャンネルのカウントが動作を開始します。マスタチャンネルで INTTAUJnIm が発生し、TAUJTOUTm (スレーブ) が設定されます。
	動作中 TAUJnCDRm は任意のタイミングで変更可能です。 TAUJnCnTm と TAUJnRSF.TAUJnRSFm は任意のタイミングで読み出し可能です。 TAUJnRDT.TAUJnRDTm は動作中に変更可能です。	マスタチャンネルの TAUJnCnTm は TAUJnCDRm 値をロードし、ダウンカウントを行います。カウントが 0000 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUJnIm (マスタ) が発生します。 TAUJnCDRm 値を TAUJnCnTm (マスタ) にロードし、カウント動作を継続します。 TAUJnCDRm 値を TAUJnCnTm (スレーブ) にロードし、ダウンカウントを行います。 TAUJTOUTm (スレーブ) がアクティブレベルに設定されます。 TAUJnCnTm (スレーブ) が 0000 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUJnIm (スレーブ) が発生します。 TAUJTOUTm (スレーブ) がインアクティブレベルに設定されます。
	動作停止 マスタチャンネルとスレーブチャンネルの TAUJnTT.TAUJnTTm を同時に 1 に設定します。TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウント動作が停止します。 TAUJnCnTm と TAUJTOUTm は停止し、現在値を保持します。

26.13.1.7 特定の設定時のタイミング図

(1) デューティサイクル = 0 %

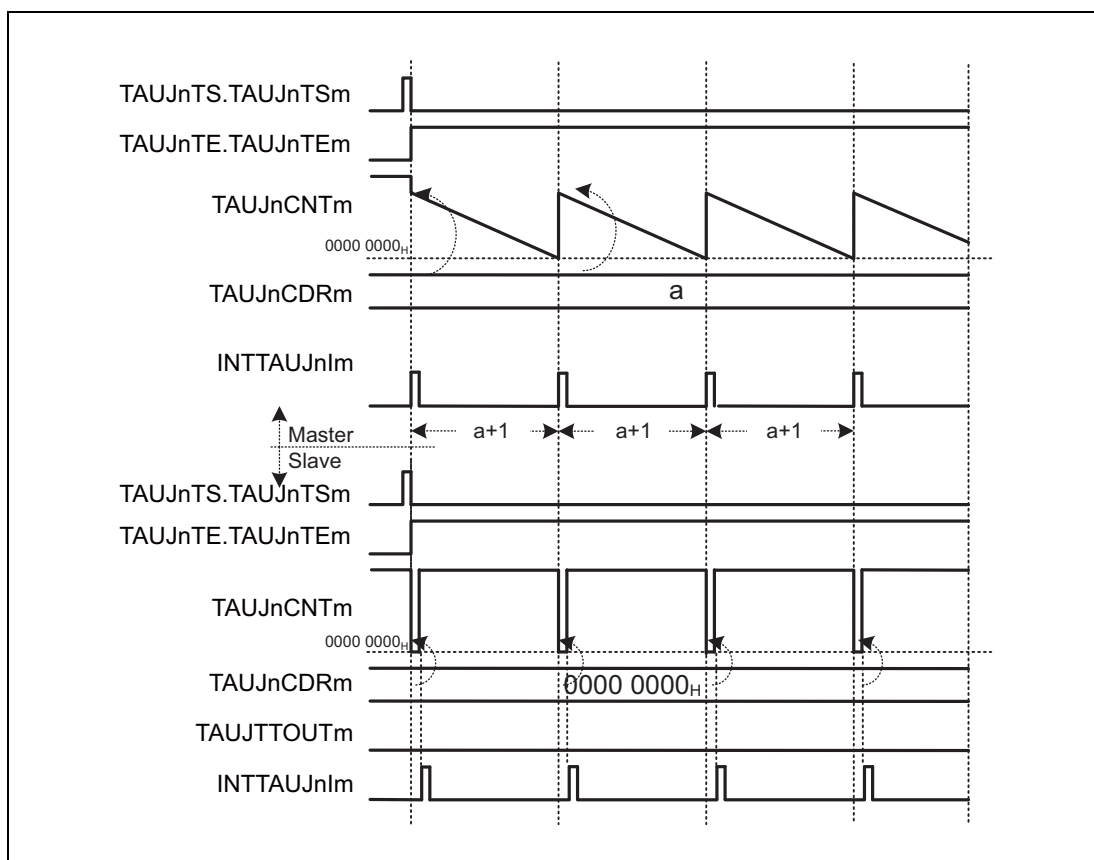


図 26.48 TAUJnCDRm (スレーブ) = 0000 0000_H,
正論理 (TAUJnTOL.TAUJnTOLm (スレーブ) = 0)

- マスタチャンネルで割り込み (INTTAUJnIm) が発生するたびに、TAUJnCNTm (スレーブ) に 0000 0000_H がロードされます。したがって、スレーブチャンネルの割り込み (INTTAUJnIm) が同時発生し、TAUJTTOUtm はアクティブでない状態のままとなります。
- TAUJnCDRm 値を TAUJnCNTm (スレーブ) にロードし、割り込みを発生させます。

(2) デューティサイクル = 100 %

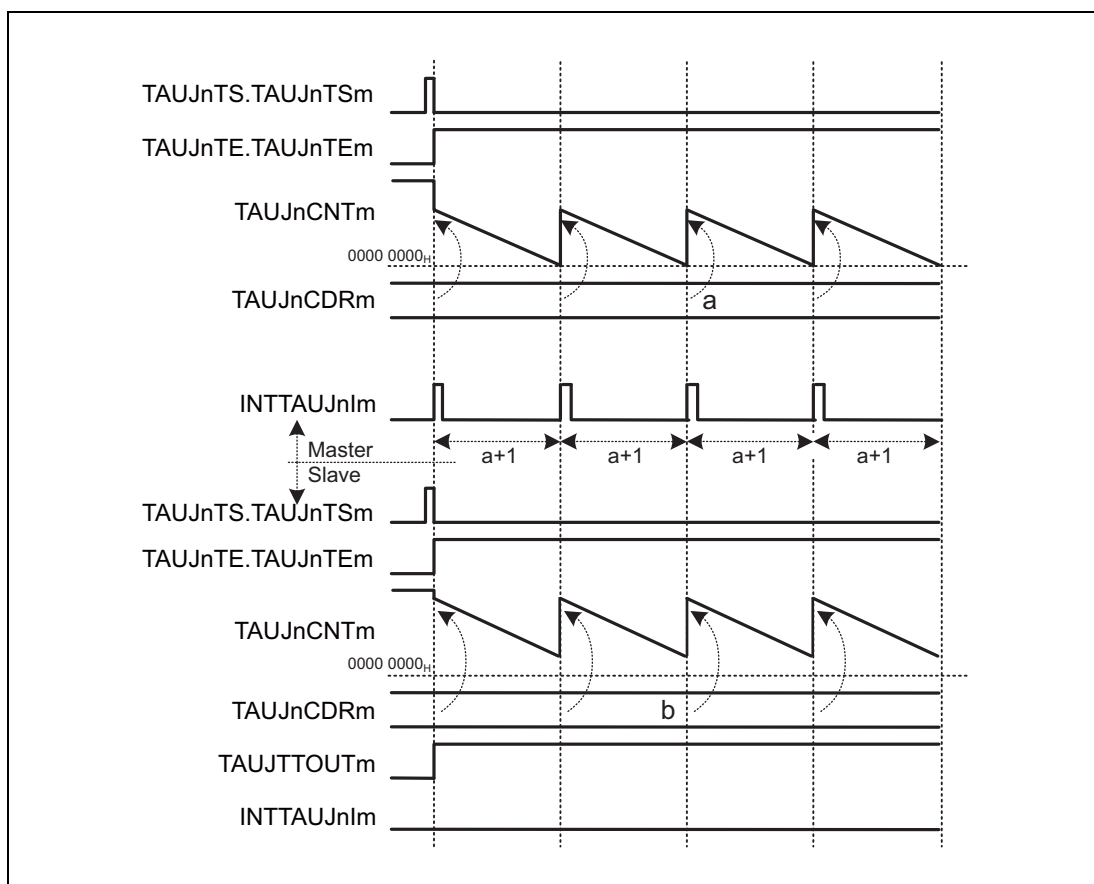


図 26.49 $TAUJnCDRm$ (スレーブ) $\geq TAUJnCDRm$ (マスタ) + 1
正論理 ($TAUJnTOL.TAUJnTOLm$ (スレーブ) = 0)

$TAUJnCDRm$ (スレーブ) 値が $TAUJnCDRm$ (マスタ) 値よりも大きい場合、スレーブチャンネルのカウンタは $0000\ 0000_H$ にならないため、割り込みが発生しません。TAUJTOUTm はアクティブ状態のままになります。

(3) 動作の停止と再開

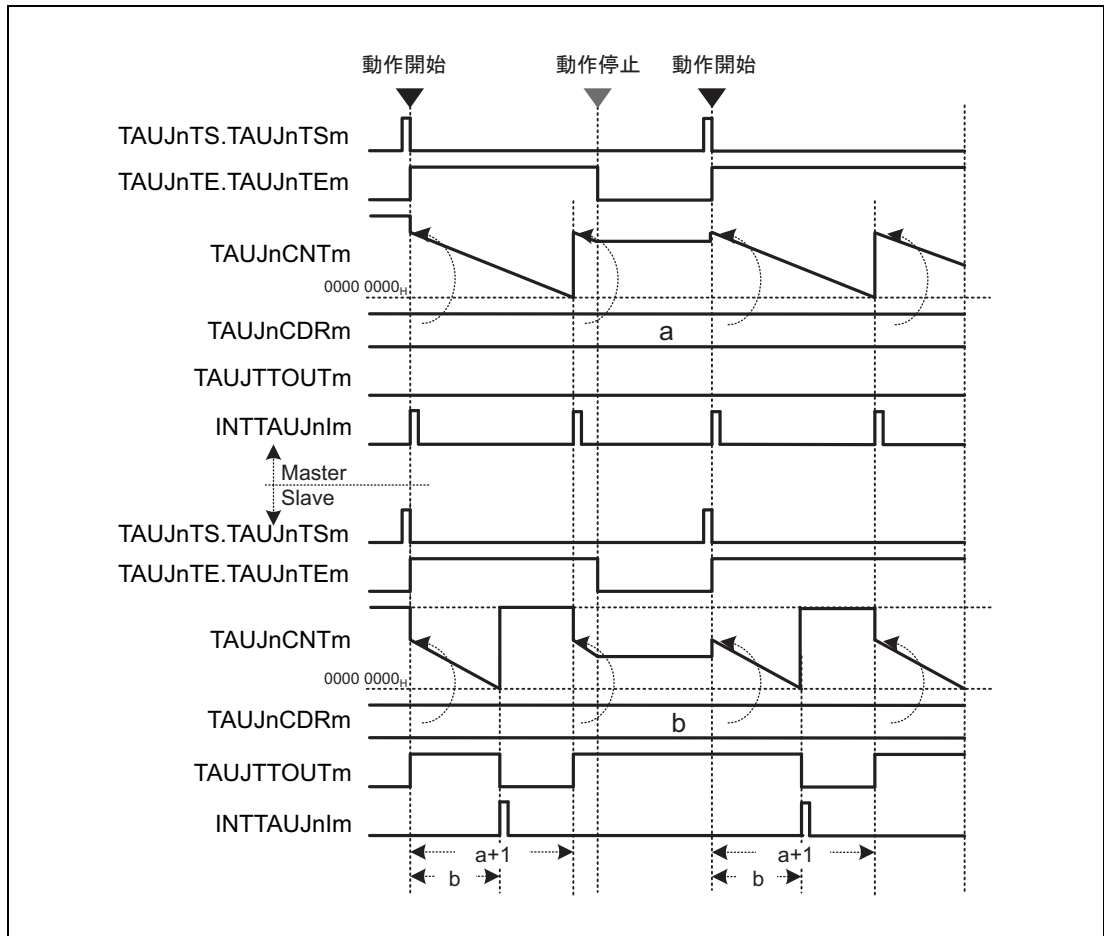


図 26.50 動作の停止と再開
正論理 ($\text{TAUJnTOL.TAUJnTOLm}$ (スレーブ) = 0)

- マスタ/スレーブチャネルの TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、 TAUJnTE.TAUJnTEm は 0 に設定されます。
- 全チャネルの TAUJnCNTm と TAUJTTOUm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ/スレーブチャネルの TAUJnTS.TAUJnTSM を 1 に設定すると、カウンタ動作を再開できます。マスタ/スレーブチャネルの TAUJnCDRm 値を TAUJnCNTm にロードし、この値からダウンカウントを開始します。

第27章 リアルタイムクロック (RTCA)

本章では、リアルタイムクロック (RTCA) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1K に固有の特長について説明します。それ以降の節では、RTCA の機能、レジスタについて説明します。

27.1 RH850/F1K RTCA の特長

27.1.1 ユニット数とチャンネル数

本製品は以下のユニット数の RTCA を搭載しています。

RTCA 1 ユニットは、1 チャンネルのリアルタイムクロックを持っています。本章のユニット数とチャンネル数は同義です。

表 27.1 ユニット数

製品名	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
ユニット数	—	1	1
名称	—	RTCA _n (n = 0)	

表 27.2 添字

添字	説明
n	本章では、リアルタイムクロック A の各ユニットを「n」(n = 0) で識別します。たとえば、RTCA _n コントロールレジスタ 0 (RTCA _n CTL0) のように記述しています。

27.1.2 レジスタベースアドレス

RTCA_n のベースアドレスを以下の表に示します。

RTCA_n のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 27.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RTCA0_base>	FFE7 8000 _H

27.1.3 クロック供給

RTCA_n のクロック供給を以下の表に示します。

表 27.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名	説明
RTCA0	RTCATCKI	CKSCLK_ARTCA	マクロクロック
	PCLK	CPUCLK2	モジュールクロック
	レジスタアクセスクロック	CPUCLK2	バスクロック

27.1.4 割り込み要求

RTCA_n の割り込み要求を以下の表に示します。

表 27.5 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
RTCA0			
RTCATINT1S	1 秒インターバル割り込み	209	—
RTCATINTAL	アラーム割り込み	210	—
RTCATINTR	定周期割り込み	211	—

27.1.5 リセット要因

RTCA_n のリセット要因を以下に示します。RTCA_n は以下のリセット要因で初期化されます。

表 27.6 リセット要因

ユニット名	リセット要因
RTCA0	パワーアップリセット (PURES)

27.1.6 外部入出力信号

RTCA_n の外部入出力信号を以下の表に示します。

表 27.7 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
RTCA0		
RTCAT1HZ	1 Hz パルス出力	RTCA0OUT ^{注1}

注 1. RTCA0OUT は TAUJ0 に接続されます。詳細は、「第 26 章 タイマアレイユニット J (TAUJ)」を参照してください。

注 意

P8_6 端子を RTCA0OUT として使用する場合、リセット中およびリセット解除後、P8_6 端子 (RESETOUT 信号) からロウレベルを出力します。

詳細は「2.11.1.1 P8_6 : RESETOUT」を参照してください。

27.2 概要

27.2.1 機能概要

RTCA には、次の機能があります。

- 32 kHz-4.194304 MHz のカウントクロックの選択
- 年、月、日、曜日、時間、分、秒のカウントおよびサブカウンタを用いて最長 99 年までカウント可能。うるう年はハードウェアで自動的に処理。
- 1 Hz パルス出力機能
- 定周期割り込み機能
- アラーム割り込み機能
- 32.768 kHz カウントクロック使用時のクロック誤差補正機能

27.2.2 ブロック図

RTCA の主な構成要素を次のブロック図に示します。

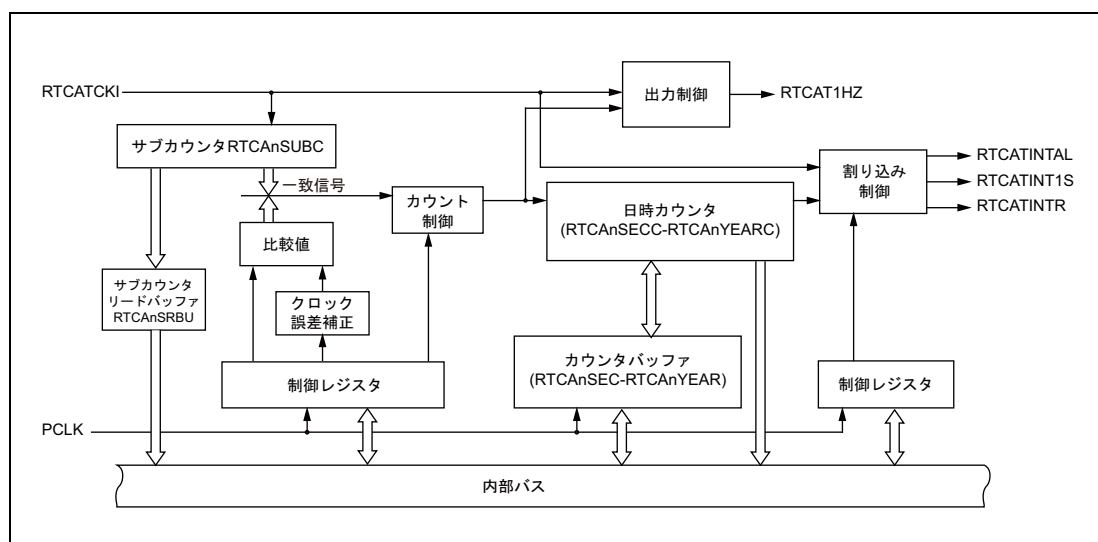


図 27.1 RTCA のブロック図

27.2.3 ブロック図の用語

リアルタイムクロック RTCA は、現在の日付と時刻に関する情報を提供し、ウェイクアップ信号（割り込み、アラーム）を発生します。この情報はカウンタクロック RTCATCKI から得られます。

サブカウンタ

RTCATCKI はサブカウンタ RTCAnSUBC への入力です。サブカウンタは、0 から比較値に達するまでカウントアップします。比較値は、常に RTCATCKI の周波数 - 1 (Hz) で定義します。したがって、サブカウンタは 1 秒後にオーバーフローします。オーバーフロー後サブカウンタは 0 にリセットされ、続いて秒カウンタ RTCAnSECC が（指定によって割り込み RTCATINTIS も）カウントアップされます。

サブカウンタは、0.25 秒、0.5 秒、または 1 秒ごとの定周期割り込みと、1 Hz の出力パルスを発生できます。

時刻と日付のカウンタ

分、時間、曜日、日、月、年のカウンタもカウントアップします。各カウンタには固有のオーバーフロー値が設定されています。下位のすべてのカウンタがオーバーフローすると、上位のカウンタをカウントアップします。

日カウンタ (RTCAnDAYC) のオーバーフロー値は、現在の月によって変わります (28 日、30 日、31 日のいずれか)。また、2 月の場合は年カウンタ RTCAnYEARC によっても変わります (0, 4, 8, 12 など) はうるう年と見なされる)。

時カウンタ RTCAnHOURC は、12 時間表示と 24 時間表示との切り替えが可能です。

秒、分、時間、日、月のカウンタは、オーバーフローによって定周期割り込み (RTCATINTR) を発生できます。

また、分、時間、曜日のカウンタは、指定の時刻 (例: 毎週火曜日と木曜日の 10:32) にアラーム割り込み (RTCATINTAL) を発生できます。

カウンタバッファ

すべてのカウンタは任意のタイミングで直接読み出すことができます。リード/ライトレジスタにアクセスするためのクロック信号とカウンタクロックは、通常非同期です。読み出し動作中にサブカウンタがオーバーフローした場合、すべての読み出し値が最新ではない可能性があります。したがって、カウンタの読み出しは特定の手順で実行する必要があります。詳細は「**27.5.3 クロックカウンタの読み出し**」を参照してください。

同期を維持するために、カウンタへの直接書き込みは禁止されています。

すべてのカウンタには、読み出しおよび書き込み用のバッファレジスタが用意されています。バッファレジスタにより、同期を維持しながらカウンタの値を読み出し、日付と時刻の設定を行うことができます。バッファレジスタを使用する場合、まずサブカウンタの動作を中断し、再起動する必要があります (「**27.5.3 クロックカウンタの読み出し**」および「**27.5.2 クロックカウンタの更新**」を参照)。

RTCAnTIMEC レジスタと RTCAnCALC レジスタ、およびそれぞれに対応するバッファレジスタを使用すると、時刻 (時間、分、秒) および日付 (曜日、日、月、年) の確認と設定を 1 回の読み出し/書き込み動作で行うことができます。

27.3 レジスタ

27.3.1 レジスタ一覧

RTCA のレジスタ一覧を以下の表に示します。

<RTCA_n_base> は「27.1.2 レジスタベースアドレス」を参照してください。

表 27.8 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
制御レジスタ			
RTCA _n	制御レジスタ 0	RTCA _n CTL0	<RTCA _n _base> + 00 _H
	制御レジスタ 1	RTCA _n CTL1	<RTCA _n _base> + 04 _H
	制御レジスタ 2	RTCA _n CTL2	<RTCA _n _base> + 08 _H
サブカウンタレジスタ			
RTCA _n	サブカウンタレジスタ	RTCA _n SUBC	<RTCA _n _base> + 0C _H
	サブカウンタレジスタリードバッファ	RTCA _n SRBU	<RTCA _n _base> + 10 _H
	クロック誤差補正レジスタ	RTCA _n SUBU	<RTCA _n _base> + 38 _H
	サブカウンタコンペアレジスタ	RTCA _n SCMP	<RTCA _n _base> + 3C _H
クロックカウンタレジスタとバッファレジスタ			
RTCA _n	秒カウンタレジスタ	RTCA _n SECC	<RTCA _n _base> + 4C _H
	秒カウンタバッファレジスタ	RTCA _n SEC	<RTCA _n _base> + 14 _H
	分カウンタレジスタ	RTCA _n MINC	<RTCA _n _base> + 50 _H
	分カウンタバッファレジスタ	RTCA _n MIN	<RTCA _n _base> + 18 _H
	時カウンタレジスタ	RTCA _n HOURC	<RTCA _n _base> + 54 _H
	時カウンタバッファレジスタ	RTCA _n HOUR	<RTCA _n _base> + 1C _H
	曜日カウンタレジスタ	RTCA _n WEEKC	<RTCA _n _base> + 58 _H
	曜日カウンタバッファレジスタ	RTCA _n WEEK	<RTCA _n _base> + 20 _H
	日カウンタレジスタ	RTCA _n DAYC	<RTCA _n _base> + 5C _H
	日カウンタバッファレジスタ	RTCA _n DAY	<RTCA _n _base> + 24 _H
	月カウンタレジスタ	RTCA _n MONC	<RTCA _n _base> + 60 _H
	月カウンタバッファレジスタ	RTCA _n MONTH	<RTCA _n _base> + 28 _H
	年カウンタレジスタ	RTCA _n YEARC	<RTCA _n _base> + 64 _H
	年カウンタバッファレジスタ	RTCA _n YEAR	<RTCA _n _base> + 2C _H
特定カウンタレジスタとバッファレジスタ			
RTCA _n	時間カウンタレジスタ	RTCA _n TIMEC	<RTCA _n _base> + 68 _H
	時間カウンタバッファレジスタ	RTCA _n TIME	<RTCA _n _base> + 30 _H
	カレンダーカウンタレジスタ	RTCA _n CALC	<RTCA _n _base> + 6C _H
	カレンダーカウンタバッファレジスタ	RTCA _n CAL	<RTCA _n _base> + 34 _H
アラーム時間設定レジスタ			
RTCA _n	アラーム分設定レジスタ	RTCA _n ALM	<RTCA _n _base> + 40 _H
	アラーム時設定レジスタ	RTCA _n ALH	<RTCA _n _base> + 44 _H
	アラーム曜日設定レジスタ	RTCA _n ALW	<RTCA _n _base> + 48 _H
エミュレーションレジスタ			
RTCA _n	エミュレーションレジスタ	RTCA _n EMU	<RTCA _n _base> + 74 _H

27.3.2 RTCA 制御レジスタの詳細

27.3.2.1 RTCAnCTL0 — RTCA 制御レジスタ 0

サブカウンタ RTCAnSUBC のカウント動作、時カウンタ RTCAnHOUREC とアラーム時設定レジスタ RTCAnALH の時間表示 (12 時間表示 / 24 時間表示)、および動作モードを制御します。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス <RTCAn_base> + 00_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	RTCAnCE	RTCAnCEST	RTCAnAMPM	RTCAnSLSB	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R/W	R/W	R	R	R	R

表 27.9 RTCAnCTL0 レジスタの内容

ビット位置	ビット名	機能
7	RTCAnCE	サブカウンタ RTCAnSUBC の動作を開始/停止します。 0 : サブカウンタ動作停止 出力端子と制御レジスタ RTCAnCTL2 内の状態フラグはすべてクリアされます。 1 : サブカウンタ動作開始 サブカウンタはカウントアップします。
6	RTCAnCEST	サブカウンタの動作/停止状態を示します。 0 : サブカウンタ停止状態 1 : サブカウンタ動作状態 この状態フラグの使い方については、「27.5.1 RTCA の初期設定」を参照してください。
5	RTCAnAMPM	時カウンタ RTCAnHOUREC とアラーム時設定レジスタ RTCAnALH の時間表示を選択します。 0 : 12 時間表示 (1-12、午前/午後) 1 : 24 時間表示 (0-23) 時間表示については、「表 27.21 12 時間表示と 24 時間表示」を参照してください。
4	RTCAnSLSB	動作モードを選択します。 0 : 32.768 kHz モード 1 : 周波数選択モード 動作モードについては、「27.4 動作」を参照してください。 サブカウンタ動作許可時 (RTCAnCTL0.RTCAnCE ビット = 1) は動作モードを変更できません。 RTCAn の初期設定については、「27.5.1 RTCA の初期設定」を参照してください。
3 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

27.3.2.2 RTCAnCTL1 — RTCA 制御レジスタ 1

割り込み要求発生と 1 Hz パルス出力を制御します。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス <RTCAn_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	RTCAn EN1HZ	RTCAn ENALM	RTCAn EN1S	RTCAn CT2	RTCAn CT1	RTCAn CT0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 27.10 RTCAnCTL1 レジスタの内容

ビット位置	ビット名	機能																													
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																													
5	RTCAnEN1HZ	1 Hz パルス出力 (RTCAT1HZ) の許可/禁止を指定します。 0: RTCAT1HZ 禁止 (RTCAT1HZ は 0 に固定) 1: RTCAT1HZ 許可																													
4	RTCAnENALM	アラーム割り込み要求発生 (RTCATINTAL) の許可/禁止を指定します。 0: RTCATINTAL 禁止 1: RTCATINTAL 許可																													
3	RTCAnEN1S	1 秒割り込み要求発生 (RTCATINT1S) の許可/禁止を設定します。 0: RTCATINT1S 禁止 1: RTCATINT1S 許可																													
2 ~ 0	RTCAnCT[2:0]	定周期割り込み要求 (RTCATINTR) の設定を行います。 <table border="1" data-bbox="657 1169 1420 1585"> <thead> <tr> <th rowspan="2">RTCAnCT [2:0]</th> <th colspan="2">RTCATINTR 割り込み要求発生</th> </tr> <tr> <th>インターバル</th> <th>タイミング</th> </tr> </thead> <tbody> <tr> <td>000</td> <td colspan="2">割り込み要求発生なし</td> </tr> <tr> <td>001</td> <td>0.25 秒に一度</td> <td>0.25 秒、0.5 秒、0.75 秒、1 秒</td> </tr> <tr> <td>010</td> <td>0.5 秒に一度</td> <td>0.5 秒、1 秒</td> </tr> <tr> <td>011</td> <td>1 秒に一度</td> <td>毎秒</td> </tr> <tr> <td>100</td> <td>1 分に一度</td> <td>毎分 00 秒</td> </tr> <tr> <td>101</td> <td>1 時間に一度</td> <td>毎時 00 分 00 秒</td> </tr> <tr> <td>110</td> <td>1 日に一度</td> <td>毎日 00 時 00 分 00 秒 (毎日午前 0 時)</td> </tr> <tr> <td>111</td> <td>1 月に一度</td> <td>毎月 1 日 00 時 00 分 00 秒 (毎月 1 日午前 0 時)</td> </tr> </tbody> </table> <p>サブカウンタ動作許可時 (RTCAnCTL0.RTCAnCE = 1) に RTCAnCT[2:0] の設定を変更すると、RTCATINTR にグリッチが出力されます。そのため、割り込みをマスクする処理を行ってください。</p>	RTCAnCT [2:0]	RTCATINTR 割り込み要求発生		インターバル	タイミング	000	割り込み要求発生なし		001	0.25 秒に一度	0.25 秒、0.5 秒、0.75 秒、1 秒	010	0.5 秒に一度	0.5 秒、1 秒	011	1 秒に一度	毎秒	100	1 分に一度	毎分 00 秒	101	1 時間に一度	毎時 00 分 00 秒	110	1 日に一度	毎日 00 時 00 分 00 秒 (毎日午前 0 時)	111	1 月に一度	毎月 1 日 00 時 00 分 00 秒 (毎月 1 日午前 0 時)
RTCAnCT [2:0]	RTCATINTR 割り込み要求発生																														
	インターバル	タイミング																													
000	割り込み要求発生なし																														
001	0.25 秒に一度	0.25 秒、0.5 秒、0.75 秒、1 秒																													
010	0.5 秒に一度	0.5 秒、1 秒																													
011	1 秒に一度	毎秒																													
100	1 分に一度	毎分 00 秒																													
101	1 時間に一度	毎時 00 分 00 秒																													
110	1 日に一度	毎日 00 時 00 分 00 秒 (毎日午前 0 時)																													
111	1 月に一度	毎月 1 日 00 時 00 分 00 秒 (毎月 1 日午前 0 時)																													

27.3.2.3 RTCAnCTL2 — RTCA 制御レジスタ 2

ステータス情報を格納し、サブカウンタ RTCAnSUBC から専用のサブカウンタリードバッファ RTCAnSRBU へのデータ転送とクロックカウンタ (RTCAnSECC-RTCAnYEARC) の動作設定を制御します。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス <RTCAn_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	RTCAnWUST	RTCAnWSST	RTCAnRSST	RTCAnRSUB	RTCAnWST	RTCAnWAIT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R	R/W

表 27.11 RTCAnCTL2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	RTCAnWUST	RTCAnSUBU への書き込み動作が完了したかどうかを示します。 0 : RTCAnSUBU への書き込み完了 1 : RTCAnSUBU への書き込み実行中 書き込み動作は次にサブカウンタがオーバーフローすると終了します。 サブカウンタ動作許可時 (RTCAnCTL0.RTCAnCE = 1) に RTCAnSUBU への書き込み動作が完了した場合、このビットに 1 が設定されます。 詳細は「27.5.5 RTCAnSUBU への書き込み」を参照してください。
4	RTCAnWSST	RTCAnSCMP への書き込み動作が完了したかどうかを示します。 0 : RTCAnSCMP への書き込み完了 1 : RTCAnSCMP への書き込み実行中 書き込み動作は次にサブカウンタがオーバーフローすると終了します。 サブカウンタ動作許可時 (RTCAnCTL0.RTCAnCE = 1) に RTCAnSCMP への書き込み動作が完了した場合、このビットに 1 が設定されます。 詳細は「27.5.6 RTCAnSCMP への書き込み」を参照してください。
3	RTCAnRSST	サブカウンタ (RTCAnSUBC) の値がサブカウンタレジスタリードバッファ (RTCAnSRBU) に転送されたかどうかを示します。 0 : 転送中、もしくは転送トリガ待ち中 1 : 転送完了 このビットは RTCAnRSUB = 1 によりクリア (転送がトリガ) されます。 転送が完了すると自動的にセットされます。 詳細は「27.5.4 RTCAnSRBU の読み出し」を参照してください。
2	RTCAnRSUB	サブカウンタレジスタリードバッファ (RTCAnSRBU) へのサブカウンタ (RTCAnSUBC) 値の転送のトリガ/転送状態のクリアをします。 0 : 転送状態 (RTCAnRSST) のクリア 1 : 転送のトリガ サブカウンタ動作許可時 (RTCAnCTL0.RTCAnCE = 1) に RTCAnSRBU の値を読み取りたいときは、このビットを使います。RTCAnSUBC の値は、RTCATCKI に同期して RTCAnSRBU にロードされます。 詳細は「27.5.4 RTCAnSRBU の読み出し」を参照してください。

表 27.11 RTCA_nCTL2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	RTCA _n WST	<p>すべてのクロックカウンタ (RTCA_nSECC-RTCA_nYEARC) の状態を示します。 0: すべてのクロックカウンタが動作中 1: すべてのクロックカウンタが停止 サブカウンタは動作を継続</p> <p>サブカウンタ動作許可時 (RTCA_nCTL0.RTCA_nCE = 1) にクロックカウンタの値を読み出ししたり書き込んだりする場合は、クロックカウンタを停止する必要があります。クロックカウンタを停止するには RTCA_nWAIT = 1 に設定してください。</p>
0	RTCA _n WAIT	<p>すべてのクロックカウンタ (RTCA_nSECC-RTCA_nYEARC) の動作を再開/停止します。 0: すべてのクロックカウンタの動作を、ただちに、またはクロックカウンタの書き込み動作完了直後に再開 1: すべてのクロックカウンタの動作を一時的に停止 サブカウンタは動作を継続</p> <p>サブカウンタ動作許可時 (RTCA_nCTL0.RTCA_nCE = 1) にカウンタバッファを読み出ししたり書き込んだりする場合は、クロックカウンタを停止する必要があります。</p> <p>注意</p> <hr/> <p>オーバーフローしたことは、1 回分しか保持できません。したがって、オーバーフローが 2 回発生した場合でも、リスタート時に秒カウンタは、+1 しかしません。そのため、処理は 1 秒以内に完了する必要があります。</p> <hr/>

27.3.3 RTCA サブカウンタレジスタの詳細

27.3.3.1 RTCA_nSUBC — RTCA サブカウンタレジスタ

1 秒の基準時間をカウントします。このレジスタはカウントクロック RTCATCKI を使用して動作します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RTCA_n_base> + 0C_H

リセット後の値 0000 0000_H

次の場合も初期化されます。

- 秒カウントバッファレジスタ (RTCA_nSEC) または時間カウントバッファレジスタ (RTCA_nTIME) に値を書き込み、秒カウンタレジスタに値が反映される時

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	RTCA _n SUBC[21:16]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTCA _n SUBC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.12 RTCA_nSUBC レジスタの内容

ビット位置	ビット名	機能
31 ~ 22	予約ビット	リードした場合はリセット後の値が読めます。
21 ~ 0	RTCA _n SUBC [21:0]	サブカウンタの値 サブカウンタは、RTCA _n CTL0.RTCA _n CEST = 1 の場合のみ動作します。

備考

- このサブカウンタは、読み出し動作が PCLK 同期で行われているときに、RTCATCKI に同期して動作します。このサブカウンタを動作中 (RTCA_nCTL0.RTCA_nCEST = 1) に読み出した場合、RTCATCKI に同期しないため、誤った結果が得られることがあります。動作中にサブカウンタの値を読み出す場合は、サブカウンタレジスタリードバッファを使用してください。詳細は「27.5.4 RTCA_nSRBU の読み出し」を参照してください。
- このサブカウンタのカウント動作は、選択した動作モードによって異なります。詳細は「27.4 動作」を参照してください。

27.3.3.2 RTCAnSRBU — RTCA サブカウントレジスタリードバッファ

サブカウンタ RTCAnSUBC のリードバッファです。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RTCAn_base> + 10_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	RTCAnSRBU[21:16]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTCAnSRBU[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.13 RTCAnSRBU レジスタの内容

ビット位置	ビット名	機能
31 ~ 22	予約ビット	リードした場合はリセット後の値が読めます。
21 ~ 0	RTCAnSRBU [21:0]	サブカウンタ RTCAnSUBC を最後に読み出したときの値 RTCAnCTL2.RTCAnRSUB ビットを 1 に設定すると、このリードバッファに、RTCAnTCKI に同期して、RTCAnSUBC の値がロードされます。

備 考

RTCAnSRBU の読み出しは、「27.5.4 RTCAnSRBU の読み出し」に示すフローチャートに従って実行してください。

27.3.3.3 RTCA_nSUBU — RTCA クロック誤差補正レジスタ

クロック誤差補正を有効にし、指定します。このレジスタの設定は、32.768 kHz モード時 (RTCA_nCTL0.RTCA_nSLSB = 0) にのみ適用されます。

クロック誤差補正については、「**27.4.4 クロック誤差補正**」を参照してください。

- アクセス** 8ビット単位でリード/ライト可能です。
サブカウンタ動作中にこのレジスタに書き込みを行う場合は、次の点に注意してください。
- 前回の RTCA_nSUBU への書き込み処理が完了している必要があります (RTCA_nCTL2.RTCA_nWUST = 0)。
 - 書き込み動作は次にサブカウンタがオーバーフローすると終了します。

アドレス <RTCA_n_base> + 38_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	RTCA _n DEV	RTCA _n F6	RTCA _n F[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.14 RTCA_nSUBU レジスタの内容

ビット位置	ビット名	機能
7	RTCA _n DEV	クロック誤差補正を1分間に何度実行するかを指定します。 0: 毎分3回 (RTCA _n SECC = 00、20、40時) 1: 毎分1回 (RTCA _n SECC = 00時)
6	RTCA _n F6	サブカウンタの値を増加させるか減少させるかを指定します。 0: 増加 (+の補正) 増加値 = (RTCA _n F[5:0]の値 - 1) × 2 1: 減少 (-の補正) 減少値 = (RTCA _n F[5:0]を反転した値 + 1) × 2
5 ~ 0	RTCA _n F[5:0]	誤差補正值

備考

1. RTCA_nF[5:1] = 00000_B の場合、クロック誤差補正は実行されません。
2. RTCA_nSUBU への書き込みは、次の説明に従って実行してください。
 - 「27.5.1 RTCA の初期設定」
 - 「27.5.5 RTCA_nSUBU への書き込み」

27.3.3.4 RTCAnSCMP — RTCA サブカウンタコンペアレジスタ

周波数選択モード時 (RTCAnCTL0.RTCAnSLSB = 1) の、サブカウンタ RTCAnSUBC の比較値を設定します。

サブカウンタの値がこのレジスタの値に一致すると、オーバフロー信号を秒カウンタ RTCAnSECC に出力し、サブカウンタ値をクリアします。

このレジスタの値は、入力クロック RTCATCKI の周波数に応じて設定してください。

- アクセス** 32 ビット単位でリード/ライト可能です。
サブカウンタ動作中にこのレジスタに書き込みを行う場合は、次の点に注意してください。
- 前回の RTCAnSCMP への書き込み処理が完了している必要があります (RTCAnCTL2.RTCAnWSST = 0)。
 - 書き込み動作は次にサブカウンタがオーバフローすると終了します。

アドレス <RTCAn_base> + 3C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	RTCAnSCMP[21:16]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTCAnSCMP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.15 RTCAnSCMP レジスタの内容

ビット位置	ビット名	機能
31 ~ 22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21 ~ 0	RTCAnSCMP [21:0]	周波数選択モードでのサブカウンタ比較値

例

RTCAnSCMP の設定例を次に示します。

- RTCATCKI = 4 MHz = 4,000,000 Hz
- RTCAnSCMP = 4,000,000 - 1 = 3,999,999 (10 進値) = 3D08FF_H
- サブカウンタの値が 3D08FF_H から 0_H に変わると、秒カウンタ RTCAnSECC がカウントアップされます。

備考

1. このレジスタに 3198 (10 進値) 以下の値が設定された場合、RTCA の動作は保証できません。
2. RTCAnSCMP への書き込みは、「27.5.1 RTCA の初期設定」と「27.5.6 RTCAnSCMP への書き込み」の説明に従って実行してください。

27.3.4 RTCA クロックカウンタレジスタとバッファレジスタの詳細

27.3.4.1 RTCA_nSECC — RTCA 秒カウントレジスタ

このレジスタは秒カウンタです。秒を 00 から 59 まで (BCD) カウントします。

本レジスタは以下のカウント動作を行います。

- サブカウンタ RTCA_nSUBC のオーバフローによってカウントアップされます。

秒カウンタ停止中 (RTCA_nCTL2.RTCA_nWST = 1) にサブカウンタがオーバフローすると、秒カウンタは次のように動作します。

- 秒カウンタ停止中にサブカウンタが 1 回オーバフローした場合、オーバフローは内部で保持されます。
秒カウンタは、リスタートしたときに +1 カウントアップします。
 - 秒カウンタ停止中にサブカウンタが 2 回以上オーバフローした場合、オーバフローの回数は内部で保持できません。
秒カウンタは、リスタートしたときに +1 カウントアップします。
 - 秒カウンタ停止中に秒カウンタが更新された場合、サブカウンタのオーバフローは無視されます。
- 秒カウンタは、その値が 59 から 00 に変わったときにオーバフロー信号を発生します。このオーバフロー信号は分カウンタ (RTCA_nMINC) のトリガとなります。

アクセス 8ビット単位でリードのみ可能です。

アドレス <RTCA_n_base> + 4C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	RTCA _n SECC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.16 RTCA_nSECC レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ~ 0	RTCA _n SECC [6:0]	秒 (BCD)

備考

- RTCA_nSECC の読み出しは、「27.5.3 クロックカウンタの読み出し」に示すフローチャートに従って実行してください。
- このレジスタの開始値は、秒カウントバッファレジスタ RTCA_nSEC または時間カウントバッファレジスタ RTCA_nTIME を設定することによって指定できます。次の項を参照してください。
 - 「27.5.1 RTCA の初期設定」
 - 「27.5.2 クロックカウンタの更新」

27.3.4.2 RTCA_nSEC — RTCA 秒カウントバッファレジスタ

秒カウンタ RTCA_nSECC の読み出し/書き込み用バッファレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RTCA_n_base> + 14_H

リセット後の値 00_H

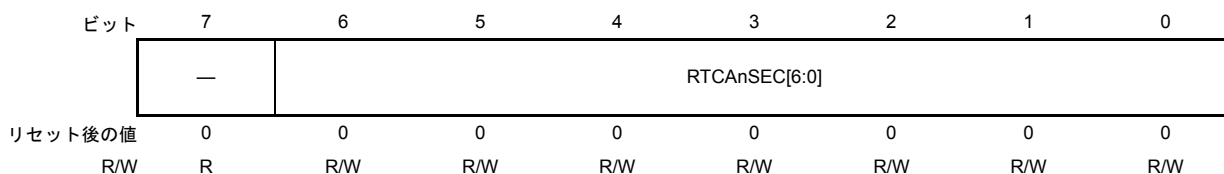


表 27.17 RTCA_nSEC レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 0	RTCA _n SEC [6:0]	秒 (BCD)

備 考

- このレジスタへの書き込みには、00-59 (BCD) のみ使用できます。
- RTCA_nSEC の読み出しと書き込みは、次の説明に従って実行してください。
 - 「27.5.1 RTCA の初期設定」
 - 「27.5.2 クロックカウンタの更新」
 - 「27.5.3 クロックカウンタの読み出し」

27.3.4.3 RTCA_nMINC — RTCA 分カウントレジスタ

このレジスタは分カウンタです。分を 00 から 59 まで (BCD) カウントします。

本レジスタは以下のカウント動作を行います。

- 秒カウンタ RTCA_nSECC のオーバフローによってカウントアップされます。
- 分カウンタは、その値が 59 から 00 に変わったときにオーバフロー信号を発生します。このオーバフロー信号は時カウンタ (RTCA_nHOURE) のトリガとなります。

アクセス 8ビット単位でリードのみ可能です。

アドレス <RTCA_n_base> + 50_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	RTCA _n MINC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.18 RTCA_nMINC レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます
6 ~ 0	RTCA _n MINC [6:0]	分 (BCD)

備 考

1. RTCA_nMINC の読み出しは、「27.5.3 クロックカウンタの読み出し」に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、分カウントバッファレジスタ RTCA_nMIN または時間カウントバッファレジスタ RTCA_nTIME を設定することによって指定できます。次の項を参照してください。
 - 「27.5.1 RTCA の初期設定」
 - 「27.5.2 クロックカウンタの更新」

27.3.4.4 RTCA_nMIN — RTCA 分カウントバッファレジスタ

分カウンタ RTCA_nMINC の読み出し/書き込み用バッファレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RTCA_n_base> + 18_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	RTCA _n MIN[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.19 RTCA_nMIN レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 0	RTCA _n MIN [6:0]	分 (BCD)

備 考

- このレジスタへの書き込みには、00-59 (BCD) のみ使用できます。
- RTCA_nMIN の読み出しと書き込みは、次の説明に従って実行してください。
 - 「27.5.1 RTCA の初期設定」
 - 「27.5.2 クロックカウンタの更新」
 - 「27.5.3 クロックカウンタの読み出し」

27.3.4.5 RTCA_nHOURLC — RTCA 時カウントレジスタ

このレジスタは時カウンタです。時間をBCDでカウントします。カウント範囲は、選択した時間表示によって異なります。「表 27.21 12 時間表示と 24 時間表示」を参照してください。

本レジスタは以下のカウント動作を行います。

- 分カウンタ RTCA_nMINC のオーバフローによってカウントアップされます。
- 時カウンタは、その値が 23 から 00 に変わったとき (24 時間表示の場合)、または 31 から 12 に変わったとき (12 時間表示の場合) に、オーバフロー信号を発生します。このオーバフロー信号は次の 2 つのカウンタのトリガとなります。
 - 曜日カウンタ (RTCA_nWEEKC)
 - 日カウンタ (RTCA_nDAYC)

アクセス 8ビット単位でリードのみ可能です。

アドレス <RTCA_n_base> + 54_H

リセット後の値 12_H

ビット	7	6	5	4	3	2	1	0
	—	—	RTCA _n HOURLC[5:0]					
リセット後の値	0	0	0	1	0	0	1	0
R/W	R	R	R	R	R	R	R	R

表 27.20 RTCA_nHOURLC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。
5～0	RTCA _n HOURLC [5:0]	時間 (BCD) 詳細は「表 27.21 12 時間表示と 24 時間表示」を参照してください。

備考

1. RTCA_nHOURLC の読み出しは、「27.5.3 クロックカウンタの読み出し」に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、時カウントバッファレジスタ RTCA_nHOUR または時間カウントバッファレジスタ RTCA_nTIME を設定することによって指定できます。次の項を参照してください。
 - 「27.5.1 RTCA の初期設定」
 - 「27.5.2 クロックカウンタの更新」

12 時間表示と 24 時間表示

RTCAnHOURC のカウント値は、選択した時間表示によって異なります。

12 時間表示を選択した場合 (RTCAnCTL0.RTCAnAMP = 0)、RTCAnHOURC レジスタのビット 5 は午前/午後を示します。

- RTCAnHOURC[5] = 0 : 午前
- RTCAnHOURC[5] = 1 : 午後

12 時間表示と 24 時間表示における RTCAnHOURC のカウント範囲を次の表に示します。

表 27.21 12 時間表示と 24 時間表示

12 時間表示 (RTCAnAMP = 0)			24 時間表示 (RTCAnAMP = 1)	
時間	RTCAnHOURC		時間	RTCAnHOURC
午前 0 時	12 _H		0	00 _H
午前 1 時	01 _H		1	01 _H
午前 2 時	02 _H		2	02 _H
午前 3 時	03 _H		3	03 _H
午前 4 時	04 _H		4	04 _H
午前 5 時	05 _H		5	05 _H
午前 6 時	06 _H		6	06 _H
午前 7 時	07 _H		7	07 _H
午前 8 時	08 _H		8	08 _H
午前 9 時	09 _H		9	09 _H
午前 10 時	10 _H		10	10 _H
午前 11 時	11 _H		11	11 _H
午後 0 時	32 _H	↓	12	12 _H
午後 1 時	21 _H	12 時間表示では、	13	13 _H
午後 2 時	22 _H	RTCAnHOURC.RTCAnHOUR[5] = 1	14	14 _H
午後 3 時	23 _H	にて	15	15 _H
午後 4 時	24 _H	午後を指定	16	16 _H
午後 5 時	25 _H		17	17 _H
午後 6 時	26 _H		18	18 _H
午後 7 時	27 _H		19	19 _H
午後 8 時	28 _H		20	20 _H
午後 9 時	29 _H		21	21 _H
午後 10 時	30 _H		22	22 _H
午後 11 時	31 _H		23	23 _H

27.3.4.6 RTCA_nHOURL — RTCA 時カウントバッファレジスタ

時カウンタ RTCA_nHOURL の読み出し/書き込み用バッファレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RTCA_n_base> + 1CH

リセット後の値 12_H

ビット	7	6	5	4	3	2	1	0
	—	—	RTCA _n HOURL[5:0]					
リセット後の値	0	0	0	1	0	0	1	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 27.22 RTCA_nHOURL レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5～0	RTCA _n HOURL [5:0]	時間 (BCD) 詳細は「表 27.21 12 時間表示と 24 時間表示」を参照してください。

備考

- このレジスタへの書き込みには、次の値 (BCD) のみ使用できます。
 - 12 時間表示 (RTCA_nCTL0.RTCA_nAMPM = 0) :
01-12 または 21-32
 - 24 時間表示 (RTCA_nCTL0.RTCA_nAMPM = 1) :
00-23
- RTCA_nHOURL の読み出しと書き込みは、次の説明に従って実行してください。
 - 「27.5.1 RTCA の初期設定」
 - 「27.5.2 クロックカウンタの更新」
 - 「27.5.3 クロックカウンタの読み出し」

27.3.4.7 RTCAnWEEKC — RTCA 曜日カウントレジスタ

このレジスタは曜日カウンタです。0 から 6 までカウントします。

本レジスタは以下のカウント動作を行います。

- 時カウンタ RTCAnHOUREC のオーバフローによってカウントアップされます。

アクセス 8ビット単位でリードのみ可能です。

アドレス <RTCAn_base> + 58_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	RTCAnWEEKC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.23 RTCAnWEEKC レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2 ~ 0	RTCAnWEEKC [2:0]	曜日

備考

- RTCAnWEEKC の読み出しは、「27.5.3 クロックカウンタの読み出し」に示すフローチャートに従って実行してください。
- このレジスタの開始値は、曜日カウントバッファレジスタ RTCAnWEEK またはカレンダーカウントバッファレジスタ RTCAnCAL を設定することによって指定できます。次の項を参照してください。
 - 「27.5.1 RTCA の初期設定」
 - 「27.5.2 クロックカウンタの更新」

27.3.4.8 RTCA_nWEEK — RTCA 曜日カウントバッファレジスタ

曜日カウンタ RTCA_nWEEKC の読み出し／書き込み用バッファレジスタです。

RTCA_nWEEK の値と曜日との特定の対応はありません。用途に応じて対応を設定してください。

例：0 = 日曜日、1 = 月曜日、...、6 = 土曜日

アクセス 8ビット単位でリード／ライト可能です。

アドレス <RTCA_n_base> + 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	RTCA _n WEEK[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 27.24 RTCA_nWEEK レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	RTCA _n WEEK [2:0]	曜日

備考

- このレジスタへの書き込みには、0-6 (BCD) のみ使用できます。
- RTCA_nWEEK の読み出しと書き込みは、次の説明に従って実行してください。
 - 「27.5.1 RTCA の初期設定」
 - 「27.5.2 クロックカウンタの更新」
 - 「27.5.3 クロックカウンタの読み出し」

27.3.4.9 RTCA_nDAYC — RTCA 日カウントレジスタ

このレジスタは日カウンタです。月カウンタ (RTCA_nMONC) と年カウンタ (RTCA_nYEARC) の値に応じて、01 から最大 31 まで (BCD) カウントします。

- 01-31 (1月、3月、5月、7月、8月、10月、12月)
- 01-30 (4月、6月、9月、11月)
- 01-29 (2月、うるう年)
- 01-28 (2月、通常年)

0、4、8、12年などがうるう年となります。

本レジスタは以下のカウント動作を行います。

- 時カウンタ RTCA_nHOUREC のオーバフローによってカウントアップされます。
- 日カウンタは、その値が 28、29、30、31 のいずれかから 01 に変わったときに、オーバフロー信号を発生します。このオーバフロー信号は月カウンタ (RTCA_nMONC) のトリガとなります。

アクセス 8ビット単位でリードのみ可能です。

アドレス <RTCA_n_base> + 5C_H

リセット後の値 01_H

ビット	7	6	5	4	3	2	1	0
	—	—	RTCA _n DAYC[5:0]					
リセット後の値	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R

表 27.25 RTCA_nDAYC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。
5～0	RTCA _n DAYC [5:0]	日 (BCD)

備考

1. RTCA_nDAYC の読み出しは、「27.5.3 クロックカウンタの読み出し」に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、日カウントバッファレジスタ RTCA_nDAY またはカレンダーカウントバッファレジスタ RTCA_nCAL を設定することによって指定できます。次の項を参照してください。
 - 「27.5.1 RTCA の初期設定」
 - 「27.5.2 クロックカウンタの更新」

27.3.4.10 RTCA_nDAY — RTCA 日カウントバッファレジスタ

日カウンタ RTCA_nDAYC の読み出し／書き込み用バッファレジスタです。

アクセス 8ビット単位でリード／ライト可能です。

アドレス <RTCA_n_base> + 24_H

リセット後の値 01_H

ビット	7	6	5	4	3	2	1	0
	—	—	RTCA _n DAY[5:0]					
リセット後の値	0	0	0	0	0	0	0	1
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 27.26 RTCA_nDAY レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5～0	RTCA _n DAY [5:0]	日 (BCD)

備考

- このレジスタへの書き込みには、01-31 (BCD) のみ使用できます。
 - 01-31 (1月、3月、5月、7月、8月、10月、12月)
 - 01-30 (4月、6月、9月、11月)
 - 01-29 (2月、うるう年)
 - 01-28 (2月、通常年)
- RTCA_nDAY の読み出しと書き込みは、次の説明に従って実行してください。
 - 「27.5.1 RTCA の初期設定」
 - 「27.5.2 クロックカウンタの更新」
 - 「27.5.3 クロックカウンタの読み出し」

27.3.4.11 RTCA_nMONC — RTCA 月カウントレジスタ

このレジスタは月カウンタです。年間の月を 01 から 12 まで (BCD) カウントします。本レジスタは以下のカウント動作を行います。

- 日カウンタ RTCA_nDAYC のオーバフローによってカウントアップされます。
- 月カウンタは、その値が 12 から 01 に変わったときにオーバフロー信号を発生します。このオーバフロー信号は年カウンタ (RTCA_nYEARC) のトリガとなります。

アクセス 8ビット単位でリードのみ可能です。

アドレス <RTCA_n_base> + 60_H

リセット後の値 01_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	RTCA _n MONC[4:0]				
リセット後の値	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R

表 27.27 RTCA_nMONC レジスタの内容

ビット位置	ビット名	機能
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。
4 ~ 0	RTCA _n MONC [4:0]	月 (BCD)

備 考

1. RTCA_nMONC の読み出しは、「27.5.3 クロックカウンタの読み出し」に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、月カウントバッファレジスタ RTCA_nMONTH またはカレンダーカウンタバッファレジスタ RTCA_nCAL を設定することによって指定できます。次の項を参照してください。
 - 「27.5.1 RTCA の初期設定」
 - 「27.5.2 クロックカウンタの更新」

27.3.4.12 RTCA_nMONTH — RTCA 月カウントバッファレジスタ

月カウンタ RTCA_nMONC の読み出し/書き込み用バッファレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RTCA_n_base> + 28_H

リセット後の値 01_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	RTCA _n MONTH[4:0]				
リセット後の値	0	0	0	0	0	0	0	1
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 27.28 RTCA_nMONTH レジスタの内容

ビット位置	ビット名	機能
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 0	RTCA _n MONTH [4:0]	月 (BCD)

備 考

- このレジスタへの書き込みには、01-12 (BCD) のみ使用できます。
- RTCA_nMONTH の読み出しと書き込みは、次の説明に従って実行してください。
 - 「27.5.1 RTCA の初期設定」
 - 「27.5.2 クロックカウンタの更新」
 - 「27.5.3 クロックカウンタの読み出し」

27.3.4.13 RTCA_nYEARC — RTCA 年カウントレジスタ

このレジスタは年カウンタです。年を 00 から最大 99 まで (BCD) カウントします。

00、04、08、...、92、96 年 (4 年ごと) はうるう年となります。

本レジスタは以下のカウント動作を行います。

- 月カウンタ RTCA_nMONC のオーバフローによってカウントアップされます。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <RTCA_n_base> + 64_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	RTCA _n YEARC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.29 RTCA_nYEARC レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	RTCA _n YEARC [7:0]	年 (BCD)

備考

- RTCA_nYEARC の読み出しは、「27.5.3 クロックカウンタの読み出し」に示すフローチャートに従って実行してください。
- このレジスタの開始値は、年カウントバッファレジスタ RTCA_nYEAR またはカレンダーカウントバッファレジスタ RTCA_nCAL を設定することによって指定できます。次の項を参照してください。
 - 「27.5.1 RTCA の初期設定」
 - 「27.5.2 クロックカウンタの更新」

27.3.4.14 RTCA_nYEAR — RTCA 年カウントバッファレジスタ

年カウンタ RTCA_nYEARC の読み出し/書き込み用バッファレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RTCA_n_base> + 2C_H

リセット後の値 00_H

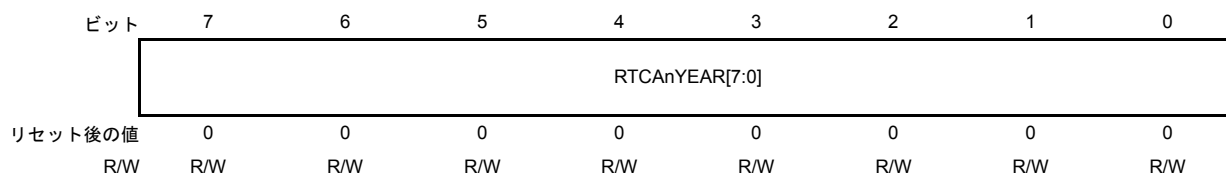


表 27.30 RTCA_nYEAR レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	RTCA _n YEAR [7:0]	年 (BCD)

備考

- このレジスタへの書き込みには、00-99 (BCD) のみ使用できます。
- RTCA_nYEAR の読み出しと書き込みは、次の説明に従って実行してください。
 - 「27.5.1 RTCA の初期設定」
 - 「27.5.2 クロックカウンタの更新」
 - 「27.5.3 クロックカウンタの読み出し」

27.3.5 RTCA 特定カウンタレジスタとバッファレジスタの詳細

27.3.5.1 RTCAnTIMEC — RTCA 時間カウントレジスタ

RTCAnHOUREC、RTCAnMINC、RTCAnSECC の各カウンタ値を同時に読み出すことができます。

アクセス 32ビット単位でリードのみ可能です。

アドレス <RTCAn_base> + 68_H

リセット後の値 0012 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	RTCAnHOUREC[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	RTCAnMINC[6:0]						—	RTCAnSECC[6:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.31 RTCAnTIMEC レジスタの内容

ビット位置	ビット名	機能
31 ~ 22	予約ビット	リードした場合はリセット後の値が読めます。
21 ~ 16	RTCAnHOUREC[5:0]	時間 (BCD) 詳細は「表 27.21 12 時間表示と 24 時間表示」を参照してください。
15	予約ビット	リードした場合はリセット後の値が読めます。
14 ~ 8	RTCAnMINC[6:0]	分 (BCD)
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ~ 0	RTCAnSECC[6:0]	秒 (BCD)

備考

1. RTCAnTIMEC の読み出しは、「27.5.3 クロックカウンタの読み出し」に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、時間カウントバッファレジスタ RTCAnTIME を設定することによって指定できます。次の項を参照してください。
 - 「27.5.1 RTCA の初期設定」
 - 「27.5.2 クロックカウンタの更新」

27.3.5.2 RTCA_nTIME — RTCA 時間カウンタバッファレジスタ

RTCA_nHOUR、RTCA_nMIN、RTCA_nSEC の各バッファレジスタ値を同時に読み出したり、書き込んだりすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <RTCA_n_base> + 30_H

リセット後の値 0012 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	RTCA _n HOUR[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	RTCA _n MIN[6:0]						—	RTCA _n SEC[6:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

表 27.32 RTCA_nTIME レジスタの内容

ビット位置	ビット名	機能
31 ~ 22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21 ~ 16	RTCA _n HOUR[5:0]	時間 (BCD) 詳細は「表 27.21 12 時間表示と 24 時間表示」を参照してください。
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14 ~ 8	RTCA _n MIN[6:0]	分 (BCD)
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 0	RTCA _n SEC[6:0]	秒 (BCD)

備考

RTCA_nTIME の読み出しと書き込みは、次の説明に従って実行してください。

- 「27.5.1 RTCA の初期設定」
- 「27.5.2 クロックカウンタの更新」
- 「27.5.3 クロックカウンタの読み出し」

27.3.5.3 RTCA_nCALC — RTCA カレンダーカウントレジスタ

RTCA_nYEARC、RTCA_nMONC、RTCA_nDAYC、RTCA_nWEEKC の各カウンタ値を同時に読み出すことができます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RTCA_n_base> + 6C_H

リセット後の値 0001 0100_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	RTCA _n YEARC[7:0]							—	—	—	RTCA _n MONC[4:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	RTCA _n DAYC[5:0]					—	—	—	—	—	RTCA _n WEEKC[2:0]				
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

表 27.33 RTCA_nCALC レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RTCA _n YEARC[7:0]	年 (BCD)
23 ~ 21	予約ビット	リードした場合はリセット後の値が読めます。
20 ~ 16	RTCA _n MONC[4:0]	月 (BCD)
15 ~ 14	予約ビット	リードした場合はリセット後の値が読めます。
13 ~ 8	RTCA _n DAYC[5:0]	日 (BCD)
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2 ~ 0	RTCA _n WEEKC[2:0]	曜日 (BCD)

備考

- RTCA_nCALC の読み出しは、「27.5.3 クロックカウンタの読み出し」に示すフローチャートに従って実行してください。
- このレジスタの開始値は、カレンダーカウンタバッファレジスタ RTCA_nCAL を設定することによって指定できます。次の項を参照してください。
 - 「27.5.1 RTCA の初期設定」
 - 「27.5.2 クロックカウンタの更新」

27.3.5.4 RTCAnCAL — RTCA カレンダーカウンタバッファレジスタ

RTCAnYEAR、RTCAnMONTH、RTCAnDAY、RTCAnWEEK の各バッファレジスタ値を同時に読み出したり、書き込んだりすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <RTCAn_base> + 34_H

リセット後の値 0001 0100_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RTCAnYEAR[7:0]							—	—	—	RTCAnMONTH[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	RTCAnDAY[5:0]					—	—	—	—	—	RTCAnWEEK[2:0]			
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 27.34 RTCAnCAL レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RTCAnYEAR[7:0]	年 (BCD)
23 ~ 21	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
20 ~ 16	RTCAnMONTH[4:0]	月 (BCD)
15 ~ 14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13 ~ 8	RTCAnDAY[5:0]	日 (BCD)
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	RTCAnWEEK[2:0]	曜日 (BCD)

備考

RTCAnCAL の読み出しと書き込みは、次の説明に従って実行してください。

- 「27.5.1 RTCA の初期設定」
- 「27.5.2 クロックカウンタの更新」
- 「27.5.3 クロックカウンタの読み出し」

27.3.6 RTCA アラーム時間設定レジスタの詳細

27.3.6.1 RTCAnALM — RTCA アラーム分設定レジスタ

アラーム割り込み発生時間の「分」を指定します。

詳細な説明と設定例は、「**27.4.3 アラーム割り込み機能**」を参照してください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RTCAn_base> + 40_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	RTCAnALM[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.35 RTCAnALM レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 0	RTCAnALM[6:0]	アラーム割り込み発生時間の「分」(BCD)

備 考

- 00-59 (BCD) 以外の値を設定すると、アラーム割り込み要求は発生しません。
- サブカウンタ動作許可時 (RTCAnCTL0.RTCAnCE = 1) に RTCAnALM の設定を変更すると、RTCAnINTAL にグリッチが出力されるため、割り込みをマスクする処理を行ってください。

27.3.6.2 RTCA_nALH — RTCA アラーム時設定レジスタ

アラーム割り込み発生時間の「時」を指定します。

詳細な説明と設定例は、「27.4.3 アラーム割り込み機能」を参照してください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RTCA_n_base> + 44_H

リセット後の値 12_H

ビット	7	6	5	4	3	2	1	0
	—	—	RTCA _n ALH[5:0]					
リセット後の値	0	0	0	1	0	0	1	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 27.36 RTCA_nALH レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5～0	RTCA _n ALH[5:0]	アラーム割り込み発生時間の「時」(BCD)

備考

- 次の範囲以外の値を設定した場合、アラーム割り込み要求は発生しません。
 - 12 時間表示 (RTCA_nCTL0.RTCA_nAMPM = 0) :
01-12 または 21-32
 - 24 時間表示 (RTCA_nCTL0.RTCA_nAMPM = 1) :
00-23
- サブカウンタ動作許可時 (RTCA_nCTL0.RTCA_nCE = 1) に RTCA_nALH の設定を変更すると、RTCATINTAL にグリッチが出力されるため、割り込みをマスクする処理を行ってください。

27.3.6.3 RTCAnALW — RTCA アラーム曜日設定レジスタ

アラーム割り込み発生時間の「曜日」を指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RTCAn_base> + 48_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	RTCAnALW[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.37 RTCAnALW レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 0	RTCAnALW[6:0]	アラーム割り込み要求発生時間の曜日 m (m = 0-6) を指定します。 0 : 曜日 m にアラーム割り込み要求は発生しない 1 : 曜日 m の、RTCAnALM と RTCAnALH で設定した時間にアラーム割り込み要求を発生する このレジスタのビットは、曜日カウンタ (RTCAnWEEKC) のカウント値に対応します。

備考

サブカウンタ動作許可時 (RTCAnCTL0.RTCAnCE = 1) に RTCAnALW の設定を変更すると、RTCAnINTAL にグリッチが出力されるため、割り込みをマスクする処理を行ってください。

例

日曜日を RTCAnWEEK = 0、月曜日を RTCAnWEEK = 1、火曜日を RTCAnWEEK = 2、... 土曜日を RTCAnWEEK = 6 と設定した場合：

- アラームを日曜日に設定するには、RTCAnALW = 0000 0001_B を設定します。
- アラームを月曜日と水曜日に設定するには、RTCAnALW = 0000 1010_B を設定します。
- アラームを火曜日、木曜日、土曜日に設定するには、RTCAnALW = 0101 0100_B を設定します。

その他の例は、「27.4.3 アラーム割り込み機能」を参照してください。

27.3.7 RTCA エミュレーションレジスタ

27.3.7.1 RTCAnEMU — RTCA エミュレーションレジスタ

このレジスタはSVSTOPによる動作を制御します。

アクセス 8/1ビット単位でリード/ライト可能です。
EPC.SVSTOP = 0 のときにライト動作を行ってください。

アドレス <RTCAn_base> + 74_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	RTCAnSVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 27.38 RTCAnEMU レジスタの内容

ビット位置	ビット名	機能
7	RTCAnSVSDIS	(EPC.SVSTOP ビット = 0 のとき) 本ビットの値 (1/0) に関わらず、デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給 (EPC.SVSTOP ビット = 1 のとき) 0 : デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを停止 1 : デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給
6 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

27.4 動作

RTCA には次の 2 つの動作モードがあります。

- 周波数選択モード
- 32.768 kHz モード

使用可能な入力クロック RTCATCKI によって使用できる動作モードが異なります。動作モードによって、秒カウンタとそれに伴うすべての後続カウンタのカウンタ動作のトリガとなるサブカウンタの比較値が異なります。クロック誤差補正は 32.768 kHz モード時のみ使用可能です。

2 つの動作モードの主な特徴を次の表に示します。

表 27.39 RTCA 動作モードの概要

	周波数選択モード	32.768 kHz モード	
		クロック誤差補正無効時	クロック誤差補正有効時
使用可能な入力クロック RTCATCKI	32 kHz-4.194304 MHz の任意の周波数	32.768 kHz	32.76180000 kHz-32.77420000 kHz の任意の周波数
サブカウンタ RTCAnSUBC の動作	<ul style="list-style-type: none"> • RTCAnSCMP の値に達するとオーバーフロー • RTCAnSCMP は RTCATCKI - 1 (Hz) に設定 	7FFF _H に達するとオーバーフロー	次の条件でオーバーフロー： 7FFF _H または 20 秒または 60 秒ごとに 7FFF _H ±RTCAnSUBU.RTCAnF[5:0]

動作モードは制御ビット RTCAnCTL0.RTCAnSLSB で選択します。RTCA の初期設定で動作モードを設定する方法については、「[27.5.1 RTCA の初期設定](#)」を参照してください。

注 意

1. 入力クロック RTCATCKI は有効周波数範囲内である必要があります。
2. 動作モードは、サブカウンタ動作許可状態 (RTCAnCTL0.RTCAnCEST = 1) では変更できません。

27.4.1 クロックカウンタの表示形式

クロックカウンタ (RTCAnSECC-RTCAnYEARC) は BCD コード (2 進化 10 進数) で動作します。各桁はそれぞれ 2 進数列で表されます。

数値の各桁を表すビット数は有効データ範囲に応じて異なります。たとえば、年カウンタの月の 10 の位は 1 ビット (0、1) ですが、分カウンタの 10 の位は 3 ビット (0-5) です。

10 進数の 0 から 59 を 2 進数と BCD で表したものを次の表に示します。

表 27.40 BCD コードの例：秒カウンタまたは分カウンタ (0-59)

10 進数	2 進数	BCD
0	000000	000 0000
1	000001	000 0001
2	000010	000 0010
3	000011	000 0011
4	000100	000 0100
5	000101	000 0101
6	000110	000 0110
7	000111	000 0111
8	001000	000 1000
9	001001	000 1001
10	001010	001 0000
11	001011	001 0001
12	001100	001 0010
:	:	:
58	111010	101 1000
59	111011	101 1001

27.4.2 定周期割り込み機能

割り込み RTCATINTR は、発生タイミングを 0.25 秒、0.5 秒、1 秒 (毎秒)、1 分 (毎分)、1 時間 (毎時)、1 日 (毎日)、または 1 月 (毎月) に指定して発生させることができます。

定周期割り込み機能は、RTCAnCTL1.RTCAnCT[2:0] ビットによって制御されます。

27.4.3 アラーム割り込み機能

特定の曜日 (1 つ以上) の特定の時刻に割り込み RTCATINTAL を発生するよう指定できます。この割り込みはウェイクアップ信号として使用できます。

アラーム割り込み機能の有効/無効は RTCAnCTL1.RTCAnENALM ビットで指定します。

アラームの設定は、次の制御レジスタで指定します。

- RTCAnALW は曜日 (1 つ以上) を選択します。

曜日を指定するビットの割り当ては、曜日カウントバッファレジスタ RTCAnWEEK で定義します。

- RTCAnALH と RTCAnALM は時間と分を BCD で指定します。

例

アラーム制御レジスタの設定例を、12 時間表示と 24 時間表示の両方についてそれぞれ次の表に示します。

この例では、日曜日が RTCAnWEEK = 0、月曜日が RTCAnWEEK = 1、火曜日が RTCAnWEEK = 2、... 土曜日が RTCAnWEEK = 6 です。

表 27.41 12 時間表示 (RTCAnCTL0.RTCAnAMPM = 0) のアラーム時間設定例

アラーム設定時間	RTCAnALW	RTCAnALH	RTCAnALM
日曜日 午前 7:00	01 _H	07 _H	00 _H
日曜日と月曜日 午後 12:15	03 _H	32 _H	15 _H
月曜日、水曜日、金曜日 午後 5:30	2A _H	25 _H	30 _H
毎日 午後 10:45	7F _H	30 _H	45 _H

表 27.42 24 時間表示 (RTCAnCTL0.RTCAnAMPM = 1) のアラーム時間設定例

アラーム設定時間	RTCAnALW	RTCAnALH	RTCAnALM
日曜日 7:00	01 _H	07 _H	00 _H
日曜日と月曜日 12:15	03 _H	12 _H	15 _H
月曜日、水曜日、金曜日 17:30	2A _H	17 _H	30 _H
毎日 22:45	7F _H	22 _H	45 _H

27.4.4 クロック誤差補正

クロック誤差補正機能は、発振回路の公称クロック速度からの偏差を補正します。クロック誤差補正では、入力クロック速度として 32.76180 kHz から 32.77420 kHz を指定できます。

クロック誤差補正は 32.768 kHz 動作モード時のみ使用可能です。この動作モードでは、公称クロック速度が 32.768 kHz に想定されており、サブカウンタのオーバフロー値は 7FFF_H に固定されています。

入力クロック速度が公称クロックから逸脱している場合のクロック誤差を次の図に示します。

RTCATCKI = 32.768 kHz

「図 27.2 RTCATCKI = 32.768 kHz、クロック誤差補正不要」に、RTCATCKI が公称クロック速度 32.768 kHz に一致している場合のタイミング図を示します。この場合、クロック誤差補正は必要ありません。

32.768 kHz のクロックで 0 から 32767 まで (0-7FFF_H) カウントすると、ちょうど 1 秒になります。

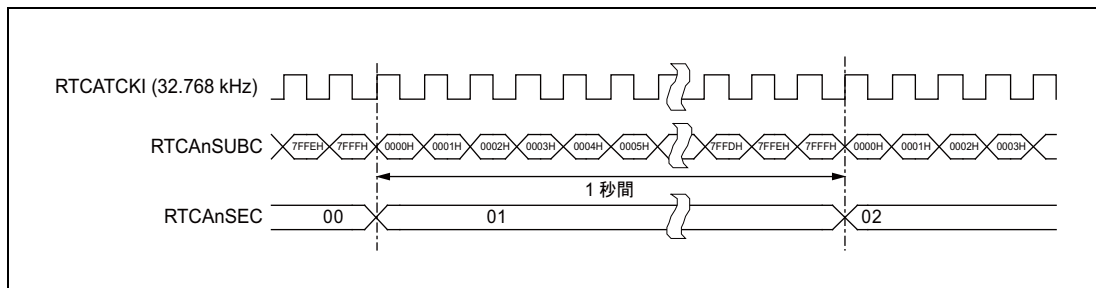


図 27.2 RTCATCKI = 32.768 kHz、クロック誤差補正不要

RTCATCKI = 32.769 kHz

「**図 27.3 RTCATCKI = 32.769 kHz、クロック誤差補正無効**」に、RTCATCKI が公称クロック速度 32.768 kHz から逸脱している場合のタイミング図を示します。この例では、RTCATCKI は 32.769 kHz の発振回路と接続しています。クロック誤差補正は許可されていません。

32.769 kHz のクロックで 0 から 32767 まで (0-7FFF_H) カウントすると、約 0.99997 秒 (32768/32769) になります。このとき「正の誤差」(32.768 kHz より速い) が発生し、1 か月では RTCA には実際の時刻から約 - 79 秒の偏差が発生することになります。

$$\text{誤差} = (32768/32769 - 1) \times 60 \text{ (秒)} \times 60 \text{ (分)} \times 24 \text{ (時間)} \times 30 \text{ (日)}$$

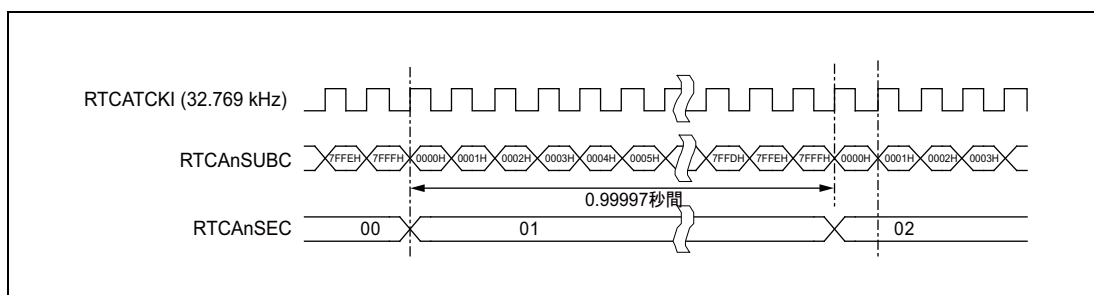


図 27.3 RTCATCKI = 32.769 kHz、クロック誤差補正無効

クロック誤差補正は、サブカウンタの 1 秒間を定期的に延長または短縮して実行します。RTCAAnSUBU レジスタの次のパラメータを設定することによって、サブカウンタの上限値 7FFF_H を増減できます。

- 1 より大きい補正值
- 演算子 (+ / -)
- 周期 (20 秒ごとまたは 60 秒ごと)

補正されたオーバーフローの値が 20 秒ごとまたは 60 秒ごとに適用され、平均して RTCAAnSECC がちょうど 1 秒ごとにトリガされるようにします。

27.4.4.1 補正值と演算子の設定

補正值と演算子は、RTCAnSUBU レジスタの RTCAnF6, RTCAnF[5:0] ビットで指定します。

- RTCAnF6 は、オーバフローの値を増加させるか減少させるかを指定します。
- RTCAnF[5:0] は補正值を指定します。

補正值は次のように計算されます。

表 27.43 補正值の設定

RTCAnF6	増加/減少	補正值
0	増加	$(\text{RTCAnF}[5:0] \text{ の値} - 1) \times 2$
1	減少	$(\text{RTCAnF}[5:0] \text{ を反転した値} + 1) \times 2$

補正值の設定例を次の表に示します。

表 27.44 補正值の設定例

RTCAnF6	RTCAnF[5:0]	補正值	RTCAnSUBC の カウント上限値
0	15 _H	$(15_{\text{H}} - 1) \times 2 = 40$	$32768 + 40 = 32808$
1	15 _H	$(15_{\text{H}} + 1) \times 2$ $= (2A_{\text{H}} + 1) \times 2$ $= 86$	$32768 - 86 = 32682$

27.4.4.2 反復周期の影響

RTCAnF6, RTCAnF[5:0] で設定された補正值による RTCAnSUBC のカウント上限値の変更は、毎秒行われるわけではありません。補正值を適用する周期は、RTCAnDEV ビットで指定します。

このビットの設定は、補正可能な周波数範囲と補正精度にも影響します。

RTCAnDEV の設定の概要を次の表に示します。

表 27.45 RTCAnSUBU.RTCAnDEV ビットの設定

RTCAnDEV	RTCAnSUBC カウント上限値の 変更タイミング	補正可能な周波数範囲	補正精度
0	20 秒ごと (RTCAnSECC = 00, 20, 40)	32.76180000-32.77420000 kHz	
1	60 秒ごと (RTCAnSECC = 00)	32.76593333-32.77006667 kHz	RTCAnDEV = 0 時の 3 倍の補正精度

27.4.4.3 設定例

補正可能な周波数を、RTCAnDEV および RTCAnF6, RTCAnF[5:0] の設定値とあわせて次の表に示します。

表 27.46 RTCAnDEV = 0 時に補正可能な周波数範囲

入力クロック周波数	RTCAnF6	RTCAnF[5:0]	RTCAnSUBC の補正值
—	0	000000	補正なし
—	0	000001	補正なし
32.76810000 kHz	0	000010	20 秒ごと、RTCAnSUBC カウント値 + 2
32.76820000 kHz	0	000011	20 秒ごと、RTCAnSUBC カウント値 + 4
32.76830000 kHz	0	000100	20 秒ごと、RTCAnSUBC カウント値 + 6
...
32.77400000 kHz	0	111101	20 秒ごと、RTCAnSUBC カウント値 + 120
32.77410000 kHz	0	111110	20 秒ごと、RTCAnSUBC カウント値 + 122
32.77420000 kHz (上限)	0	111111	20 秒ごと、RTCAnSUBC カウント値 + 124
—	1	000000	補正なし
—	1	000001	補正なし
32.76180000 kHz (下限)	1	000010	20 秒ごと、RTCAnSUBC カウント値 - 124
32.76190000 kHz	1	000011	20 秒ごと、RTCAnSUBC カウント値 - 122
32.76200000 kHz	1	000100	20 秒ごと、RTCAnSUBC カウント値 - 120
...
32.76770000 kHz	1	111101	20 秒ごと、RTCAnSUBC カウント値 - 6
32.76780000 kHz	1	111110	20 秒ごと、RTCAnSUBC カウント値 - 4
32.76790000 kHz	1	111111	20 秒ごと、RTCAnSUBC カウント値 - 2

表 27.47 RTCAnDEV = 1 時に補正可能な周波数範囲

入力クロック周波数	RTCAnF6	RTCAnF[5:0]	RTCAnSUBC の補正值
—	0	000000	補正なし
—	0	000001	補正なし
32.76803333 kHz	0	000010	60 秒ごと、RTCAnSUBC カウント値 + 2
32.76806667 kHz	0	000011	60 秒ごと、RTCAnSUBC カウント値 + 4
32.76810000 kHz	0	000100	60 秒ごと、RTCAnSUBC カウント値 + 6
...
32.77000000 kHz	0	111101	60 秒ごと、RTCAnSUBC カウント値 + 120
32.77003333 kHz	0	111110	60 秒ごと、RTCAnSUBC カウント値 + 122
32.77006667 kHz (上限)	0	111111	60 秒ごと、RTCAnSUBC カウント値 + 124
—	1	000000	補正なし
—	1	000001	補正なし
32.76593333 kHz (下限)	1	000010	60 秒ごと、RTCAnSUBC カウント値 - 124
32.76596667 kHz	1	000011	60 秒ごと、RTCAnSUBC カウント値 - 122
32.76600000 kHz	1	000100	60 秒ごと、RTCAnSUBC カウント値 - 120
...
32.76790000 kHz	1	111101	60 秒ごと、RTCAnSUBC カウント値 - 6
32.76793333 kHz	1	111110	60 秒ごと、RTCAnSUBC カウント値 - 4
32.76796667 kHz	1	111111	60 秒ごと、RTCAnSUBC カウント値 - 2

27.5 設定、書き込み、読み出しの手順

以降の各項では、RTCA の設定と RTCA クロックカウンタの読み出しおよび書き込みの手順を説明するフローを示します。

27.5.1 RTCA の初期設定

各カウンタの初期設定値を設定する前に、RTCA を停止させる必要があります。

27.5.1.1 RTCA の停止手順

RTCA の停止は次のフローチャートに従って実行してください。

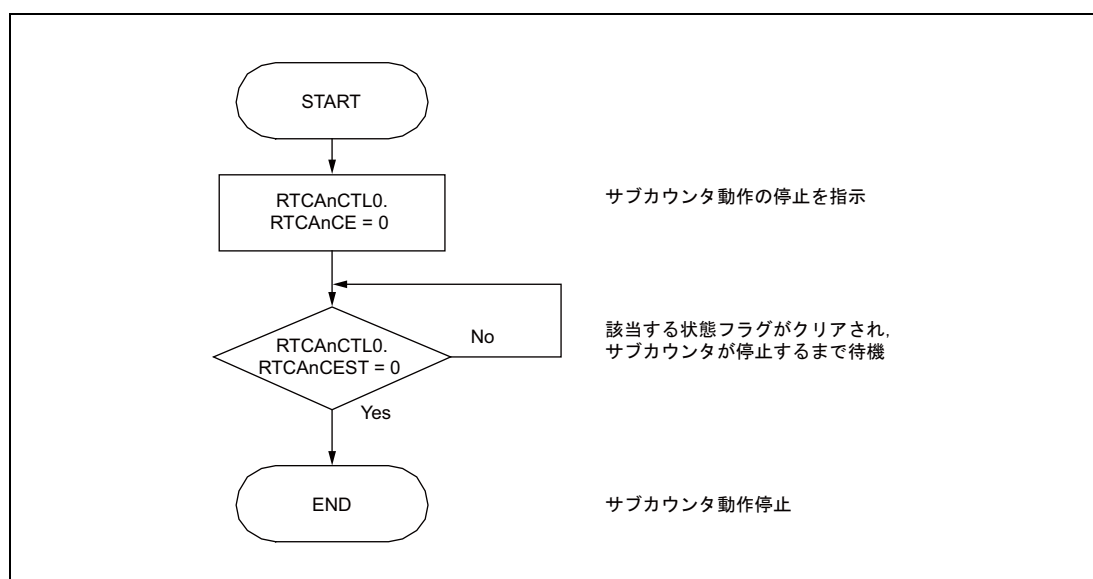


図 27.4 RTCA の停止手順

27.5.1.2 RTCA の初期設定手順

RTCA の初期設定は次のフローチャートに従って実行してください。

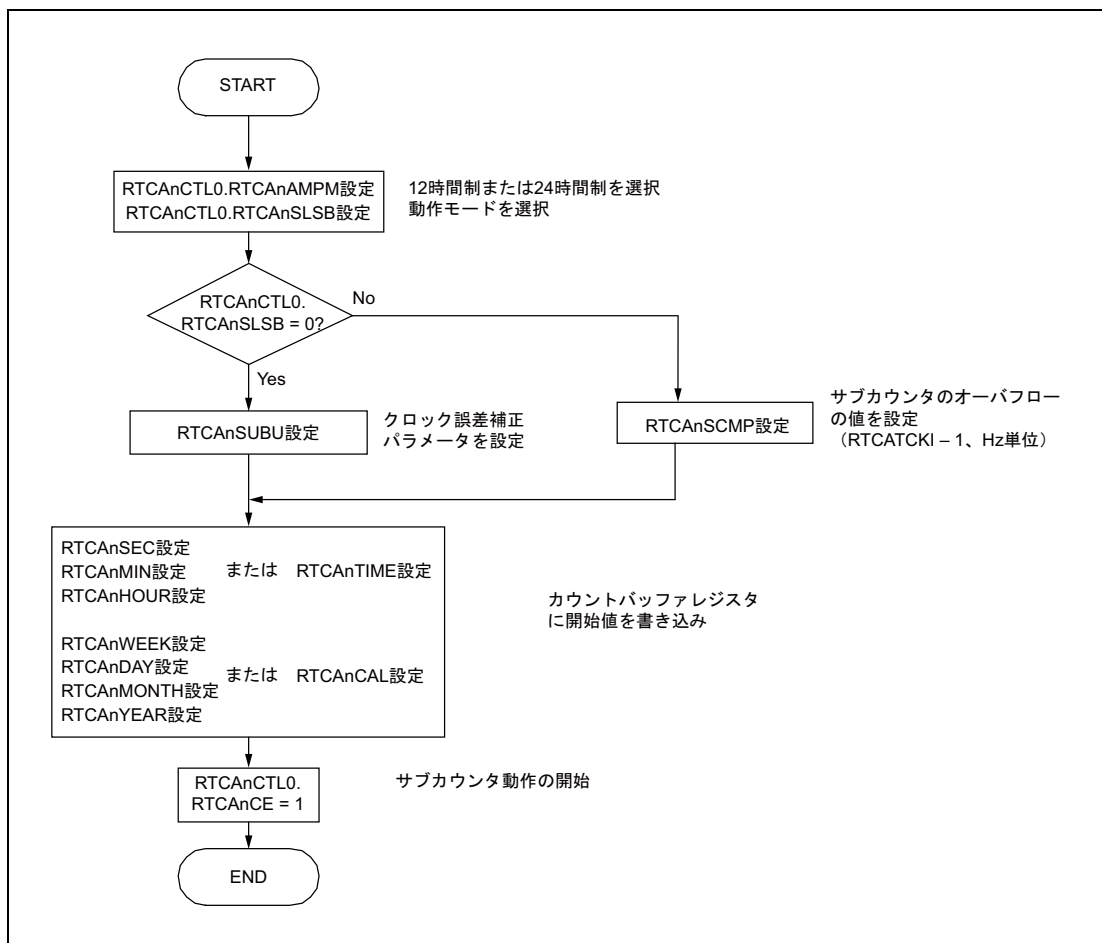


図 27.5 RTCA の初期設定手順

注 意

内部クロックカウンタは RTCATCKI と同期して作動します。

また、上記フローの終了後、クロックカウンタ動作前に RTCATCKI 期間 × 2 が必要です。

したがって、PCLK は、初期設定完了まで連続的に供給する必要があります。

RTCA 初期設定値設定後に PCLK 供給を止めるには、最初に RTCAnCTL0.RTCAnCEST = 1 であることを確認してください。

27.5.2 クロックカウンタの更新

クロックカウンタ RTCAnSECC-RTCAnYEARC は、サブカウンタ動作中に停止したり更新したりできます。

サブカウンタ動作許可時 (RTCAnCTL0.RTCAnCE = 1) にクロックカウンタの更新を行う場合は、次のフローチャートに従って実行してください。

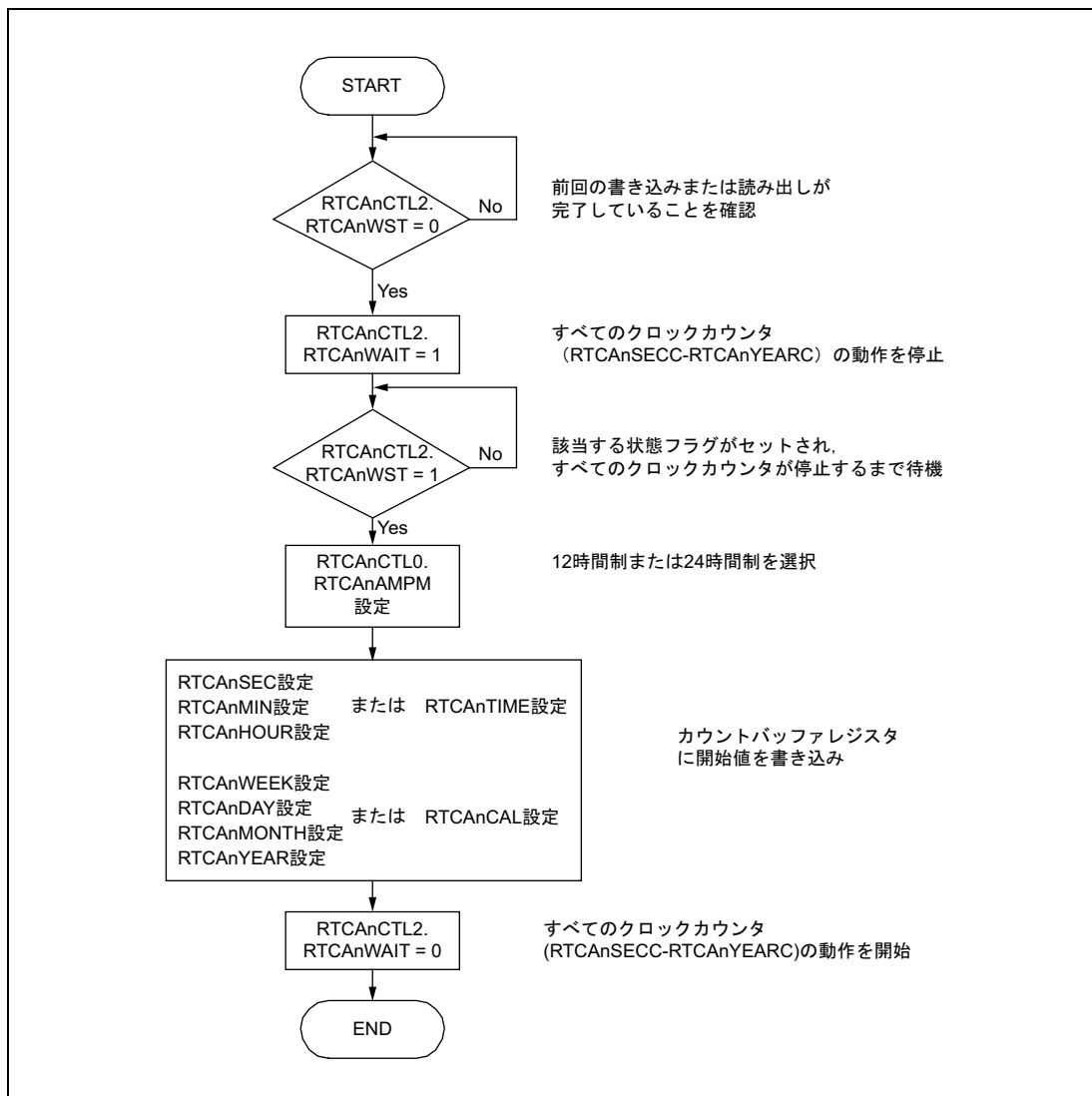


図 27.6 クロックカウンタ値の更新

注 意

- 内部クロックカウンタは RTCATCKI と同期して作動します。
また、上記フローの終了後、クロックカウンタ更新前に RTCATCKI 期間 × 2 が必要です。
したがって、PCLK は、クロックカウンタの更新完了まで連続的に供給する必要があります。クロックカウンタの更新後に PCLK 供給を止めるには、最初に RTCAnCTL2.RTCAnWST = 0 であることを確認してください。
- 更新処理は 1 秒以内に完了する必要があります。更新処理が 1 秒以内に完了しなかった場合、リアルタイムクロックは正しくカウントしなくなります。
- サブカウンタのオーバフローは内部に 1 回分だけ保持でき、クロックカウンタのリセット

スタート後に値が保持されていれば、秒カウンタを +1 カウントアップします。

4. クロックカウンタ停止中にサブカウンタが 2 回以上オーバーフローした場合、オーバーフローの回数は内部で保持できません。秒カウンタは、リスタートしたときに +2 でなく +1 だけカウントアップします。

27.5.3 クロックカウンタの読み出し

サブカウンタ動作許可時にクロックカウンタを読み出すには、次の 2 つの方法があります。

- カウントバッファレジスタの読み出し
- カウンタレジスタの読み出し

2 つの方法の利点と欠点の概要を次の表に示します。

表 27.48 2 つの読み出し方法の比較

	利点	欠点
カウントバッファレジスタの読み出し	各クロックカウンタの読み出しは互いに同期して行われるため、何度も読み出す必要がありません。	RTCA _n CTL2.RTCA _n WAIT = 1 の設定からデータ転送の完了までプログラムのウェイトステートが発生します。
カウンタレジスタの読み出し	プログラムのウェイトステートは発生しません。	クロックカウンタの読み出しは RTCATCKI と非同期に行われるため、リード中にサブカウンタのカウントアップが発生した場合は、読み出しを数回行う必要があります。

27.5.3.1 カウントバッファレジスタ読み出し手順

次の操作を行ってください。

1. すべてのクロックカウンタを停止します (RTCA_nCTL2.RTCA_nWAIT = 1)。
各クロックカウンタの値が、それぞれ対応するカウントバッファレジスタに転送されます。
2. カウントバッファレジスタを読み出します。

RTCA_nCTL2.RTCA_nWAIT = 1 の設定からデータ転送の完了までプログラムのウェイトステートが発生します。

最大遅延時間は、PCLK 期間 × 3 + RTCATCKI 期間 × 2 です。たとえば、RTCA が PCLK = 40 MHz と RTCATCKI = 32.768 kHz で動作する場合、遅延時間は約 61 μsec となります。

サブカウンタ動作許可時 (RTCA_nCTL0.RTCA_nCEST = 1) にカウントバッファレジスタ読み出しを行う場合は、次のフローチャートに従って実行してください。

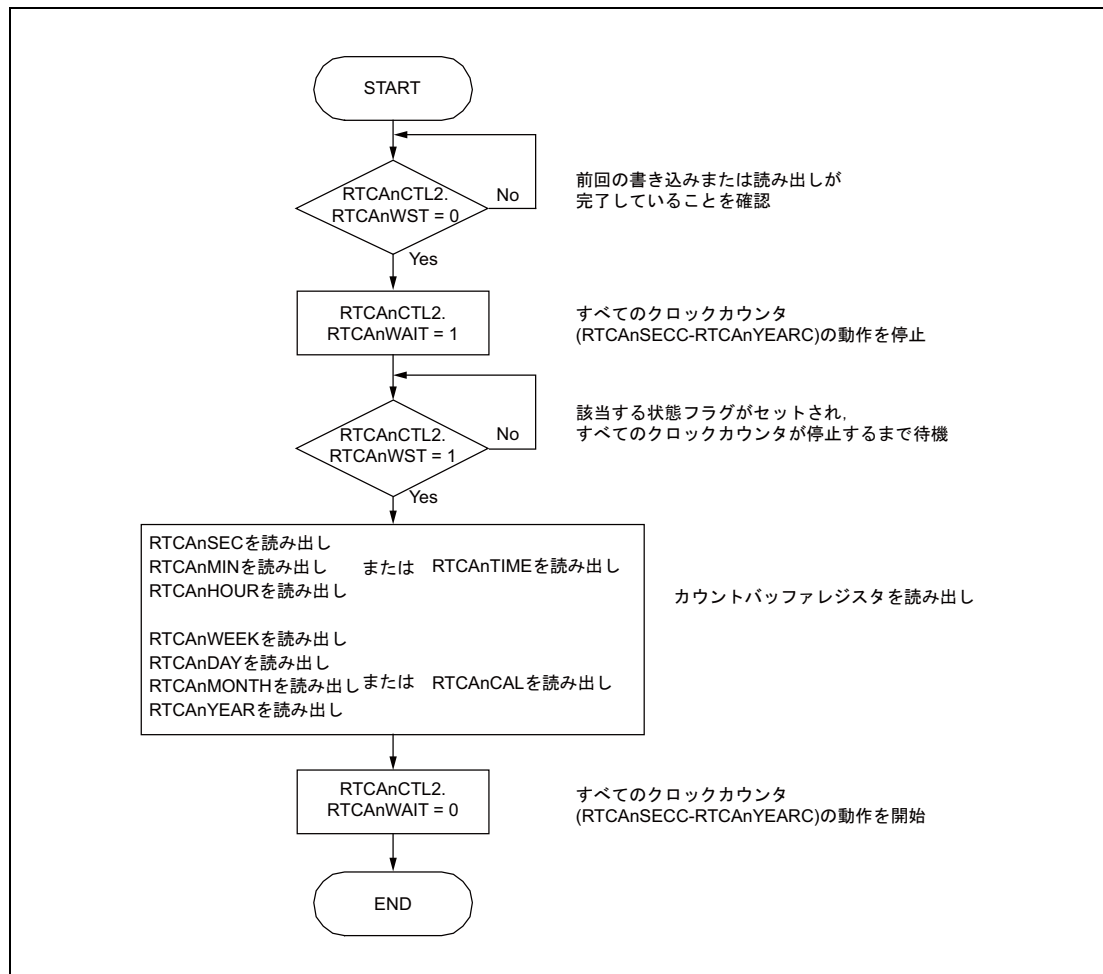


図 27.7 クロックカウントバッファレジスタの読み出し

注 意

- 内部クロックカウンタは RTCATCKI と同期して作動します。
また、上記フローの終了後、クロックカウンタのカウント動作再開前に RTCATCKI 期間 × 2 が必要です。
したがって、PCLK は、クロックカウンタのカウント動作再開まで連続的に供給する必要があります。
カウントバッファレジスタ読み出し後に PCLK 供給を止めるには、最初に RTCA_nCTL0.RTCA_nCEST = 1 であることを確認してください。
- 読み出し処理は 1 秒以内に完了する必要があります。読み出し処理が 1 秒以内に完了しなかった場合、リアルタイムクロックは正しくカウントしなくなります。
- サブカウンタのオーバフローは内部に 1 回分だけ保持でき、クロックカウンタのリスタート後に秒カウンタを +1 カウントアップします。
- クロックカウンタ停止中にサブカウンタが 2 回以上オーバフローした場合、オーバフローの回数は内部で保持できません。秒カウンタは、リスタートしたときに +2 でなく +1 だけカウントアップします。

27.5.3.2 カウンタレジスタ直接読み出し手順

カウンタの読み出し中にサブカウンタがオーバフローしたかどうかを確認するために、秒カウンタ RTCAnSECC を二度（手順開始時と終了時）読み出す必要があります。最初の読み出し値と2回目の読み出し値を比較します。

- 最初の読み出し値 = 2回目の読み出し値：
カウンタ読み出し動作中にサブカウンタのオーバフローは発生していません。
- 最初の読み出し値 ≠ 2回目の読み出し値：
カウンタ読み出し動作中にサブカウンタのオーバフローが発生しています。再度読み出しを行って、現在のカウンタ値を取得する必要があります。

サブカウンタ動作許可時 (RTCAnCTL0.RTCAnCE = 1) にカウンタレジスタ直接読み出しを行う場合は、次のフローチャートに従って実行してください。

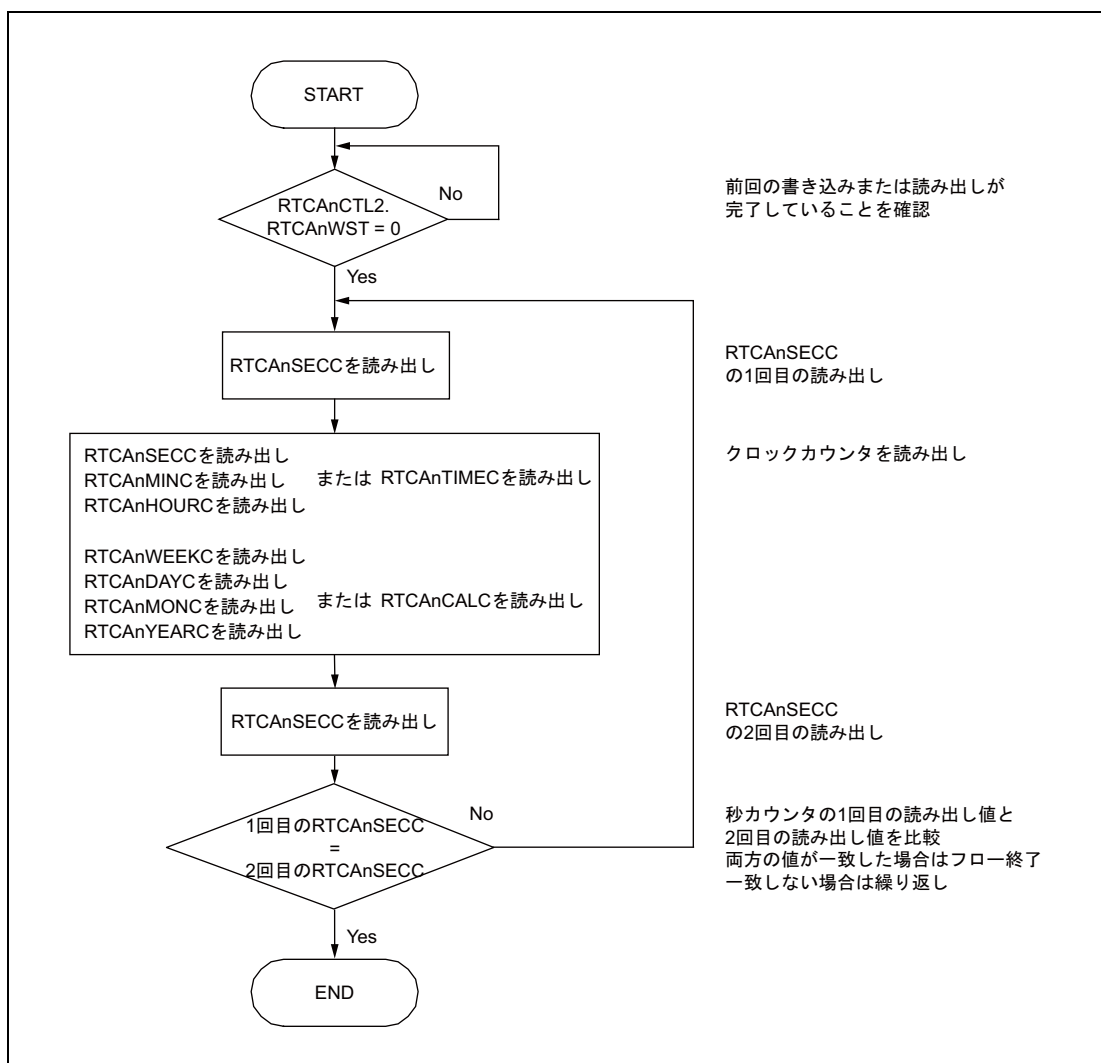


図 27.8 クロックカウンタレジスタの読み出し

備考

読み出し処理は 1 秒以内に完了する必要があります。

27.5.4 RTCAnSRBU の読み出し

RTCAnSRBU はサブカウンタのリードバッファレジスタです。

サブカウンタ動作許可時 (RTCAnCTL0.RTCAnCE = 1) に RTCAnSRBU を読み出す場合は、次のフローチャートに従って実行してください。

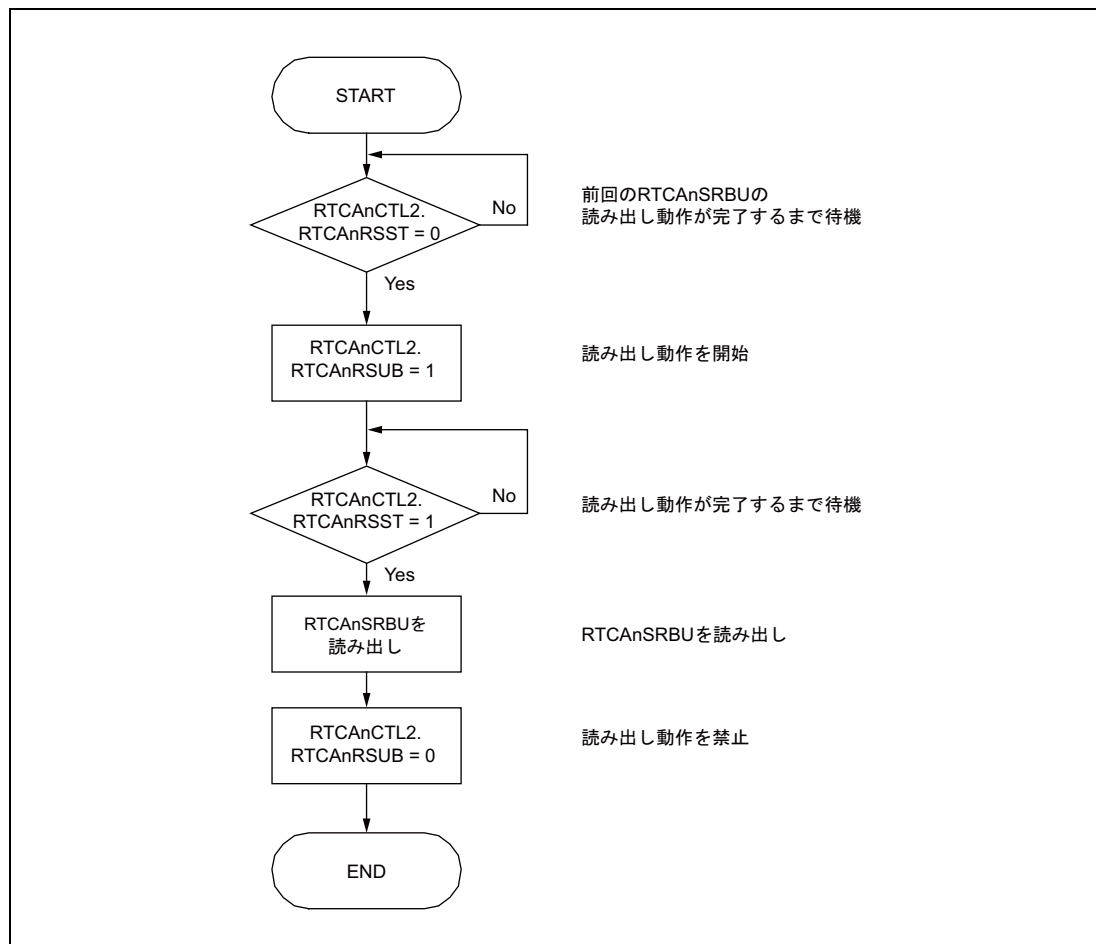


図 27.9 RTCAnSRBU レジスタの読み出し

27.5.5 RTCAnSUBU への書き込み

RTCAnSUBU はサブカウンタのクロック誤差補正レジスタです。

サブカウンタ動作許可時 (RTCAnCTL0.RTCAnCE = 1) に RTCAnSUBU への書き込みを行う場合は、次のフローチャートに従って実行してください。

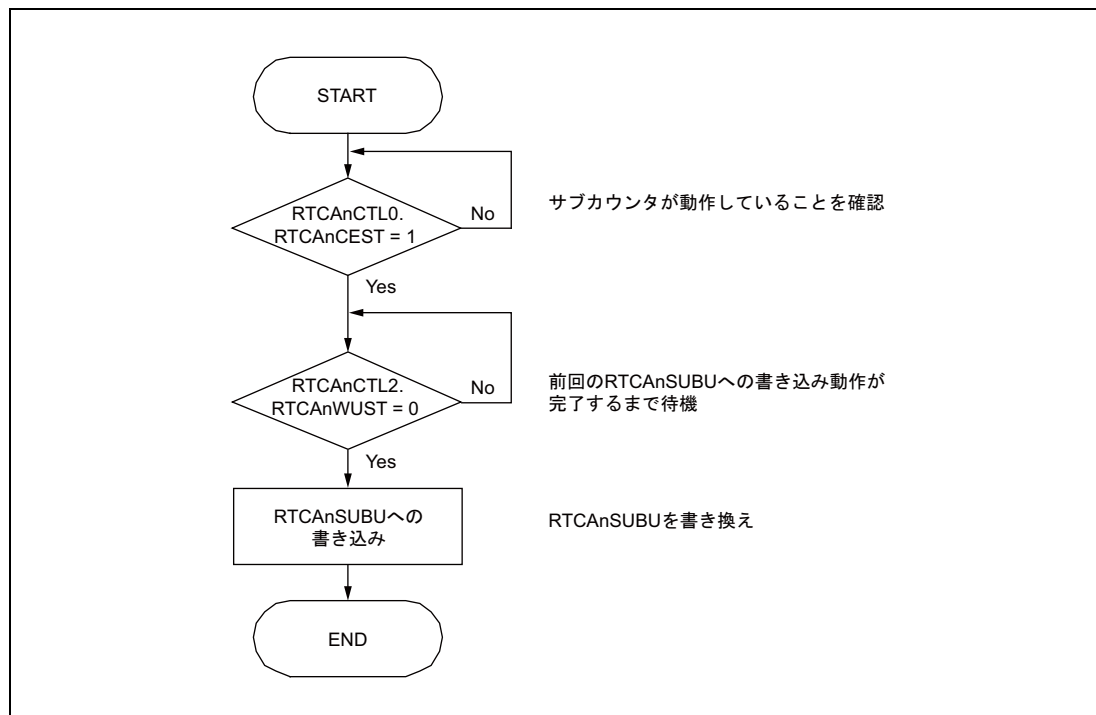


図 27.10 RTCAnSUBU レジスタへの書き込み

備考

サブカウンタ動作許可時 (RTCAnCTL0.RTCAnCE = 1) に RTCAnSUBU への書き込みを行うと、状態フラグ RTCAnCTL2.RTCAnWUST がセットされます。この状態フラグは、RTCAnSUBU への書き込み動作が完了するとクリアされます。これは次回の RTCAnSUBC のオーバフローと同期します。

RTCAnCTL2.RTCAnWUST は最大 1 秒間セットされます。そのためポーリング (このフローの最初で RTCAnCTL2.RTCAnWUST = 1 を確認) する際は、ご注意ください。

27.5.6 RTCAnSCMP への書き込み

RTCAnSCMP はサブカウンタコンペアレジスタです。

サブカウンタ動作許可時 (RTCAnCTL0.RTCAnCE = 1) に RTCAnSCMP への書き込みを行う場合は、次のフローチャートに従って実行してください。

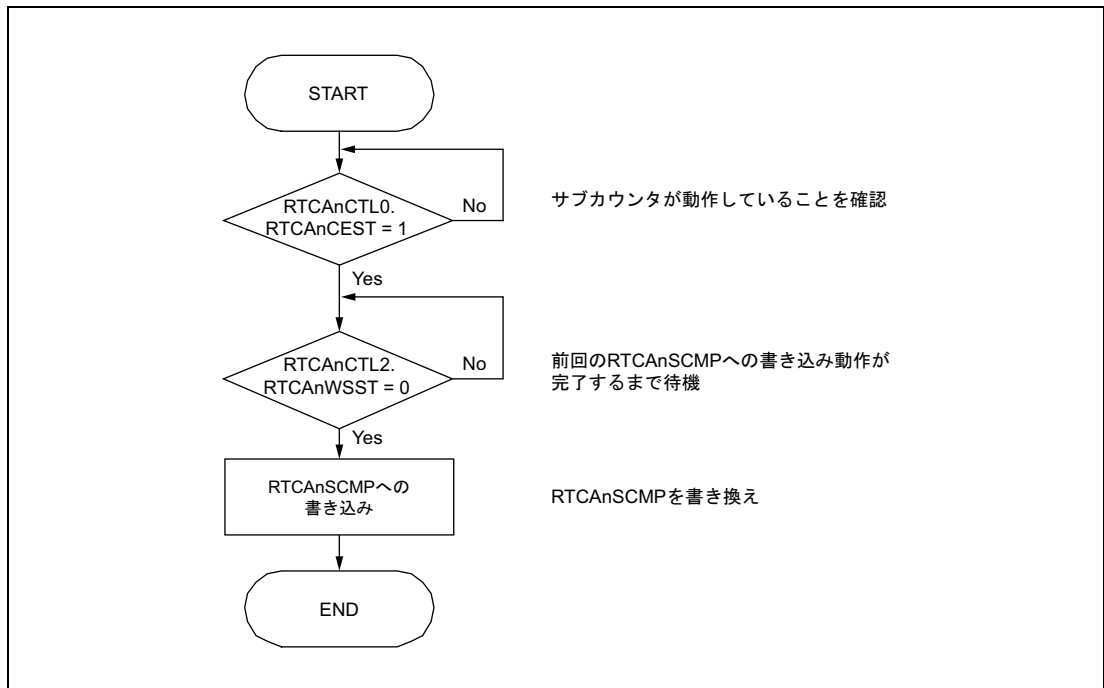


図 27.11 RTCAnSCMP レジスタへの書き込み

備考

サブカウンタ動作許可時 (RTCAnCTL0.RTCAnCE = 1) に RTCAnSCMP への書き込みを行うと、状態フラグ RTCAnCTL2.RTCAnWSST がセットされます。この状態フラグは、RTCAnSCMP への書き込み動作が完了するとクリアされます。これは次回の RTCAnSUBC のオーバフローと同期します。

RTCAnCTL2.RTCAnWSST は最大 1 秒間セットされます。そのためポーリング (このフローの最初で RTCAnCTL2.RTCAnWSST = 1 を確認) する際は、ご注意ください。

27.6 タイミング図

27.6.1 カウンタスタートのタイミング

バッファレジスタに時間を設定してからカウンタがスタートするまでのタイミングを次の図に示します。

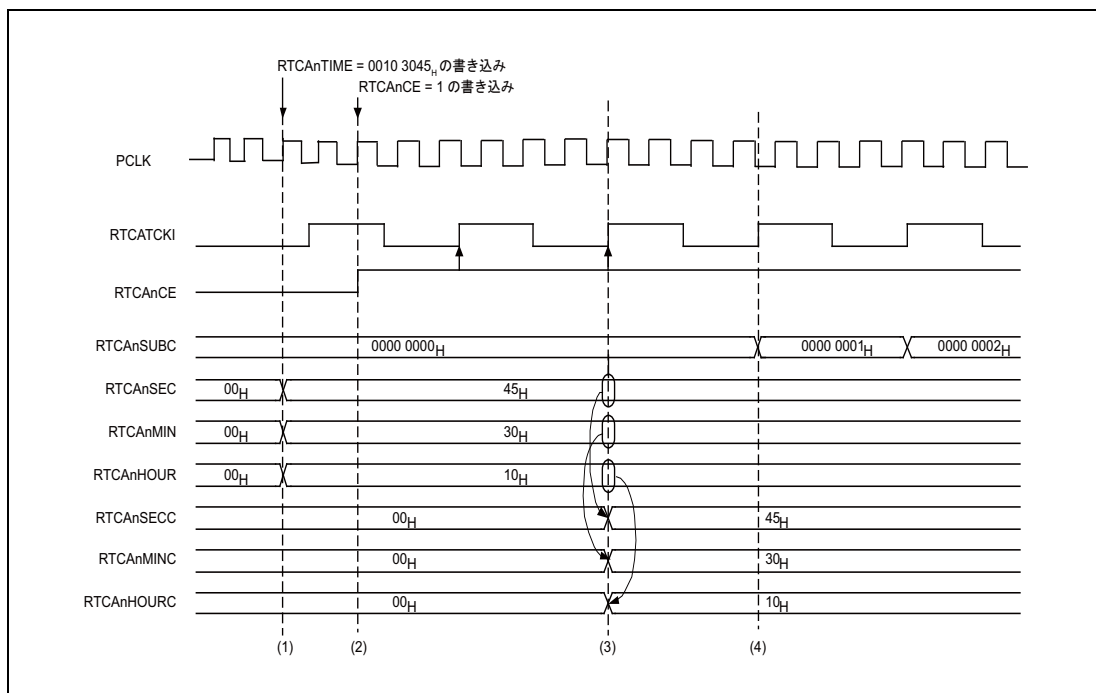


図 27.12 カウンタスタートタイミング

上記のタイミング図における各動作について説明します。

- (1) RTCAnTIME = 0010 3045_H を設定することで、時間カウンタバッファの初期設定値が 10:30:45 に設定される。
カウンタバッファレジスタ RTCAnSEC、RTCAnMIN、RTCAnHOUR にも自動的に書き込まれる。
- (2) RTCAnCTL0.RTCAnCE = 1 によって、サブカウンタが動作を開始する。
- (3) RTCATCKI の2回目の立ち上がりエッジで、各バッファレジスタの値が対応するカウンタレジスタにロードされる。
- (4) RTCATCKI の次の立ち上がりエッジで、サブカウンタのカウンタアップを開始する。

27.6.2 カウンタ動作許可時のクロックカウンタ更新のタイミング

バッファレジスタに時間を設定してからカウンタが動作を再開するまでのタイミングを次の図に示します。

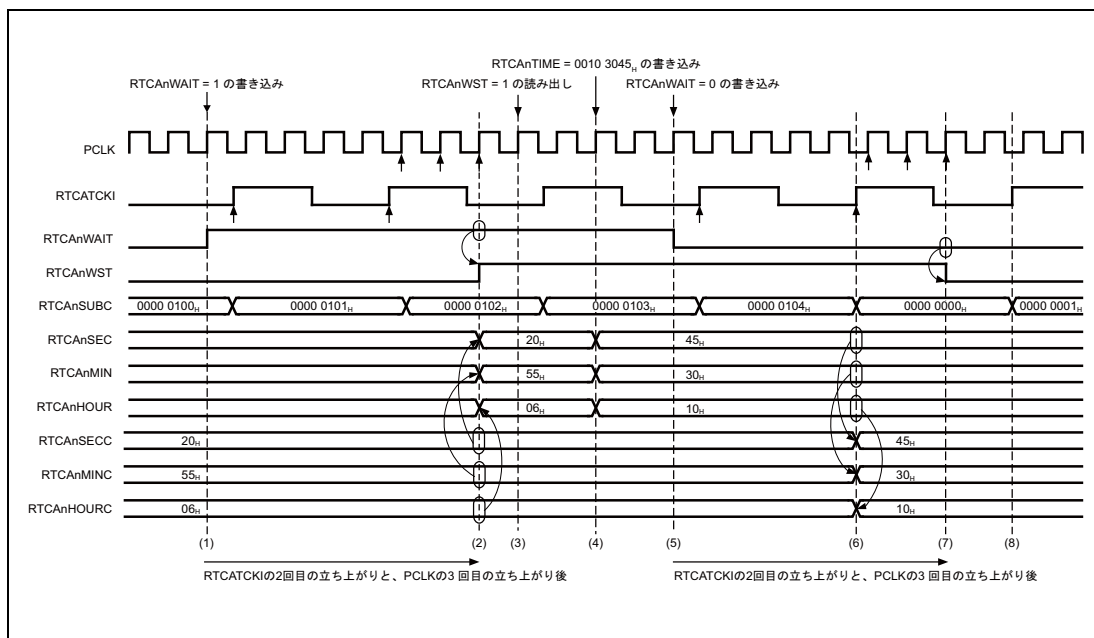


図 27.13 クロックカウンタ更新タイミング

上記のタイミング図における各動作について説明します。

- (1) クロックカウンタの停止をトリガ (RTCAnCTL2.RTCAnWAIT = 1)。
- (2) RTCATCKI の 2 回目の立ち上がりエッジと PCLK の 3 回目の立ち上がりエッジ後に、RTCAnCTL2.RTCAnWST = 1 が設定され、クロックカウンタが停止する。
サブカウンタはカウント動作を継続する。
- (3) RTCAnCTL2.RTCAnWST = 1 が読み出し可能状態になる。
- (4) RTCAnTIME = 0010 3045_H を設定することで、時間カウントバッファの初期設定値が 10:30:45 に設定される。
カウントバッファレジスタ RTCAnSEC, RTCAnMIN, RTCAnHOUR にも自動的に書き込まれる。
- (5) クロックカウンタのリスタートをトリガ (RTCAnCTL2.RTCAnWAIT = 0)。
- (6) RTCATCKI の 2 回目の立ち上がりエッジで、各バッファレジスタの値が対応するカウントレジスタにロードされる。RTCAnSECC への書き込みが行われ、RTCAnSUBC がクリアされる。
- (7) PCLK の 3 回目の立ち上がりエッジで、RTCAnCTL2.RTCAnWST = 0 が設定される。
- (8) クロックカウンタが動作を再開する。

27.6.3 カウンタ動作許可時のサブカウンタリードバッファ読み出しのタイミング

サブカウンタリードバッファ RTCAnSRBU を読み出すタイミングを次の図に示します。

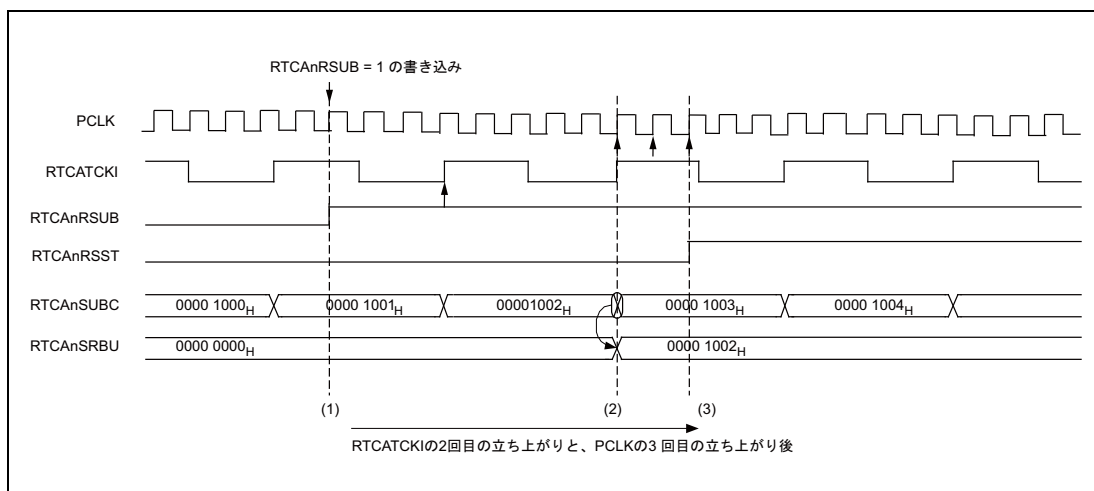


図 27.14 サブカウンタリードバッファレジスタ読み出しタイミング

上記のタイミング図における各動作について説明します。

- (1) RTCAnRSUB = 1 を設定することで、サブカウンタ値を RTCAnSRBU へロードするトリガとなる。
- (2) RTCATCKI の 2 回目の立ち上がりエッジで、RTCAnSUBC の値が RTCAnSRBU にロードされる。
- (3) PCLK の 3 回目の立ち上がりエッジで、RTCAnCTL2.RTCAnRSST = 1 が設定され、RTCAnSRBU が読み出し可能状態になる。

第28章 エンコーダタイマ (ENCA)

本章では、エンコーダタイマ (ENCA) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1K に固有の特長について説明します。それ以降の節では、ENCA の機能、レジスタについて説明します。

28.1 RH850/F1K ENCA の特長

28.1.1 ユニット数とチャンネル数

本製品は以下のユニット数の ENCA を搭載しています。

ENCA 1 ユニットは 1 チャンネルの ENCA を持っています。本章のユニット数とチャンネル数は同義です

表 28.1 ユニット数

製品名	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
ユニット数	1		
名称	ENCA _n (n = 0)		

表 28.2 添字

添字	説明
n	本章では、エンコーダタイマの各ユニットを「n」(n = 0) で識別します。たとえば、ENCA _n 制御レジスタは ENCA _n CTL と記述します。

28.1.2 レジスタベースアドレス

ENCA_n のベースアドレスを以下の表に示します。

ENCA_n のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 28.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<ENCA0_base>	FFE8 0000 _H

28.1.3 クロック供給

ENCA_n のクロック供給を以下の表に示します。

表 28.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名	説明
ENCA0	PCLK	CKSCLK_IPERI1	モジュールクロック
	レジスタアクセスクロック	CPUCLK2	バスクロック
		CKSCLK_IPERI1	

28.1.4 割り込み要求

ENCAn の割り込み要求を以下の表に示します。

表 28.5 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
ENCA0			
ENCATIOV	オーバフロー割り込み	85	—
ENCATIUD	アンダフロー割り込み	86	—
ENCATINT0	キャプチャ/コンペアー致割り込み 0	87	—
ENCATINT1	キャプチャ/コンペアー致割り込み 1	88	—
ENCATIEC	エンコーダクリア割り込み	89	—

28.1.5 リセット要因

ENCAn のリセット要因を以下に示します。ENCAn は以下のリセット要因で初期化されま
す。

表 28.6 リセット要因

ユニット名	リセット要因
ENCA0	すべてのリセット要因 (ISORES)

28.1.6 外部入出力信号

ENCAn の外部入出力信号を以下の表に示します。

表 28.7 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
ENCA0		
ENCATTIN0	ENCAn キャプチャ・トリガ入力 0 ^{注1}	ENCA0TIN0
ENCATTIN1	ENCAn キャプチャ・トリガ入力 1 ^{注1}	ENCA0TIN1
ENCAnE0	ENCAn エンコーダ入力 0 ^{注1}	ENCA0E0
ENCAnE1	ENCAn エンコーダ入力 1 ^{注1}	ENCA0E1
ENCAnEC	ENCAn エンコーダクリア入力 ^{注1}	ENCA0EC

注 1. 各入力端子を使用する場合ポートのノイズフィルタの設定が必要となります。詳細は「2.12 ノイズフィ
ルタ & エッジレベル検出回路」を参照してください。

28.1.7 内部入出力信号

ENCA-PIC 間で接続する入出力信号を**表 28.8**に示します。

表 28.8 内部入出力信号

ユニット信号名	説明	接続
ENCATSST	同時スタートトリガ	PIC
ENCATTIN1	ENCAn キャプチャトリガ入力 1	PIC

28.2 概要

28.2.1 機能概要

- エンコーダ入力信号からカウンタ制御信号を生成し、PCLK と同期してカウント動作を実行
- 外部トリガ信号を利用してカウンタ値をキャプチャするキャプチャ機能
- カウンタ値とのコンペア一致判定を行うコンペア機能
- キャプチャとコンペア用に別々に設定できる 2 つのキャプチャ/コンペアレジスタ
- コンペア動作中にコンペア一致と判定された結果、生成される割り込み要求信号出力をマスクするための割り込みマスク機能
- アンダフローが発生したときにキャプチャ/コンペアレジスタの値をカウンタにロードする機能
- タイマカウンタのクリア条件にエンコーダ入力信号を利用可能
- タイマカウンタクリア条件を満たすエンコーダ入力信号の判定基準としてエッジまたはレベルを選択可能
- カウンタのオーバフローとアンダフローの検出機能およびエラーフラグとエラー発生割り込みの出力機能
- 5 つの割り込み：キャプチャ/コンペア割り込み (2)、カウンタクリア割り込み (1)、オーバフロー割り込み (1)、アンダフロー割り込み (1)

28.2.2 ブロック図

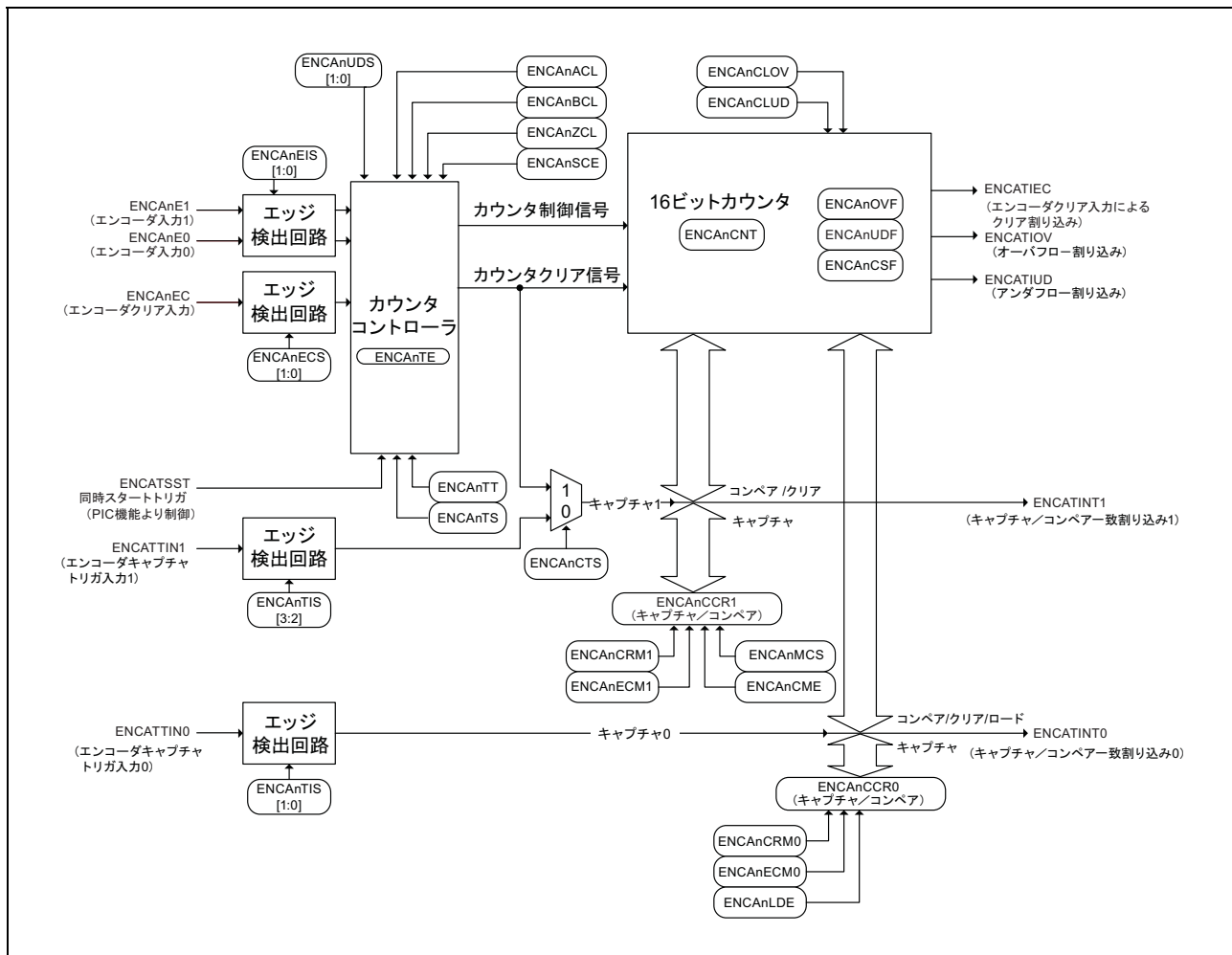


図 28.1 ENCA のブロック図

28.3 レジスタ

28.3.1 レジスタ一覧

ENCA のレジスタ一覧を以下の表に示します。

<ENCA_n_base> は「28.1.2 レジスタベースアドレス」を参照してください。

表 28.9 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
ENCA _n	ENCA _n キャプチャ/コンペアレジスタ 0	ENCA _n CCR0	<ENCA _n _base>
	ENCA _n キャプチャ/コンペアレジスタ 1	ENCA _n CCR1	<ENCA _n _base> + 04 _H
	ENCA _n カウンタレジスタ	ENCA _n CNT	<ENCA _n _base> + 08 _H
	ENCA _n ステータスフラグレジスタ	ENCA _n FLG	<ENCA _n _base> + 0C _H
	ENCA _n ステータスフラグクリアレジスタ	ENCA _n FGC	<ENCA _n _base> + 10 _H
	ENCA _n タイマイネーブルステータスレジスタ	ENCA _n TE	<ENCA _n _base> + 14 _H
	ENCA _n タイマスタートトリガレジスタ	ENCA _n TS	<ENCA _n _base> + 18 _H
	ENCA _n タイマストップトリガレジスタ	ENCA _n TT	<ENCA _n _base> + 1C _H
	ENCA _n I/O 制御レジスタ 0	ENCA _n IOC0	<ENCA _n _base> + 20 _H
	ENCA _n 制御レジスタ	ENCA _n CTL	<ENCA _n _base> + 40 _H
	ENCA _n I/O 制御レジスタ 1	ENCA _n IOC1	<ENCA _n _base> + 44 _H
	ENCA _n エミュレーションレジスタ	ENCA _n EMU	<ENCA _n _base> + 48 _H

28.3.2 ENCAAnCTL — ENCAAn 制御レジスタ

本レジスタは、エンコーダタイマのさまざまな動作の設定に使用されます。

アクセス 16 ビット単位でリード/ライト可能です。
動作中の本レジスタへの書き込みは禁止されています。

アドレス <ENCAAn_base> + 40_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ENCAAnCME	ENCAAnMCS	—	—	—	—	ENCAAnCRM1	ENCAAnCRM0	ENCAAnCTS	—	—	ENCAAnLDE	ENCAAnECM1	ENCAAnECM0	ENCAAnUDS [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

表 28.10 ENCAAnCTL レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	ENCAAnCME	エンコーダクリアマスクイネーブルビット このビットは、コンペア機能が使用されているときにコンペア一致割り込み検出のマスクングを有効または無効にするために使用されます。 0: ENCAAnCCR1 レジスタのコンペア一致割り込み (ENCATINT1) マスク機能を無効にします。 1: ENCAAnCCR1 レジスタのコンペア一致割り込み (ENCATINT1) マスク機能を有効にします。 このビットは ENCAAnCRM1 = 0 のときにのみ有効になります。 このビットが“1”にセットされているときに ENCAAnECM1 を“1”にセットすることは禁止されています。
14	ENCAAnMCS	エンコーダマスククリア選択ビット このビットは、コンペア機能が使用されているときにコンペア一致割り込み検出 ENCATINT1 のマスクングをキャンセルするためのトリガの選択に使用されま す。 このビットは ENCAAnCRM1 = 0 のときにのみ有効になります。 0: ENCAAnCCR1 レジスタへの書き込みが行われると、コンペア一致割り込み検出のマスクングをキャンセルします。 1: 以下の 3 つの動作のいずれかが実行されたときにコンペア一致割り込み検出のマスクングをキャンセルします。 - エンコーダクリア入力によるタイマカウンタクリア動作 - ENCAAnECM0 = 1 のときに ENCAAnCNT と ENCAAnCCR0 がコンペア一致したときのタイマカウンタクリア動作 - ENCAAnLDE = 1 のときのアンダフローの検出による ENCAAnCCR0 からタイマカウンタへのロード
13 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	ENCAAnCRM1	ENCAAnCCR1 レジスタモードビット 0: ENCAAnCCR1 をコンペアレジスタとして使用します。 1: ENCAAnCCR1 をキャプチャレジスタとして使用します。
8	ENCAAnCRM0	ENCAAnCCR0 レジスタモードビット 0: ENCAAnCCR0 をコンペアレジスタとして使用します。 1: ENCAAnCCR0 をキャプチャレジスタとして使用します。
7	ENCAAnCTS	ENCAAnCCR1 キャプチャトリガ選択ビット ENCAAnCCR1 レジスタへのキャプチャ動作のトリガを選択するビットです。 このビットは ENCAAnCRM1 = 1 のときにのみ有効になります。 0: キャプチャトリガ 1 信号の ENCATTIN1 を ENCAAnCCR1 レジスタへのキャプチャトリガとして使用します。 1: ENCAAnSCE で選択されるカウンタクリア信号を、ENCAAnCCR1 レジスタへのキャプチャトリガとして使用します。
6、5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 28.10 ENCAAnCTL レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	ENCAAnLDE	<p>ENCAAn カウンタロードイネーブルビット</p> <p>このビットは、アンダフローが発生したときに設定値をカウンタにロードすることを許可または禁止するために使用されます。</p> <p>このビットは ENCAAnCRM0 = 0 のときにのみ有効になります。</p> <p>ENCAAnCRM0 = 1 のときは、このビットの値にかかわらず、アンダフローの発生によるカウンタへの ENCAAnCCR0 レジスタの設定値のロードは行われません。</p> <p>0 : カウンタのアンダフローが発生したときに ENCAAnCCR0 レジスタの設定値をカウンタにロードすることを禁止します。</p> <p>1 : カウンタのアンダフローが発生したときに ENCAAnCCR0 レジスタの設定値をカウンタにロードすることを許可します。</p>
3	ENCAAnECM1	<p>エンコーダクリアモードビット 1</p> <p>このビットは、カウンタ値と ENCAAnCCR1 の設定値が一致したときのカウンタクリア動作の設定に使用されます。</p> <p>このビットは ENCAAnCRM1 = 0 のときにのみ有効になります。</p> <p>0 : タイマカウンタ値と ENCAAnCCR1 の設定値が一致したときにカウンタを 0000_H にクリアしません。</p> <p>1 : 次のカウントがダウンカウントであれば、タイマカウンタ値と ENCAAnCCR1 の設定値が一致したときにカウンタを 0000_H にクリアします。</p>
2	ENCAAnECM0	<p>エンコーダクリアモードビット 0</p> <p>このビットは、カウンタ値と ENCAAnCCR0 の設定値が一致したときのカウンタクリア動作の設定に使用されます。</p> <p>このビットは ENCAAnCRM0 = 0 のときにのみ有効になります。</p> <p>0 : タイマカウンタ値と ENCAAnCCR0 の設定値が一致したときにカウンタを 0000_H にクリアしません。</p> <p>1 : 次のカウントがアップカウントであれば、タイマカウンタ値と ENCAAnCCR0 の設定値が一致したときにカウンタを 0000_H にクリアします。</p>
1、0	ENCAAnUDS [1:0]	<p>アップダウンカウント選択ビット 1 と 0</p> <p>ENCAAnE0 と ENCAAnE1 を使用するカウンタアップ/ダウン制御ビットです。</p> <p>00 : ENCAAnE0 の有効エッジを検出したときに以下のカウントを実行します</p> <ul style="list-style-type: none"> - ENCAAnE1 = H の場合はダウンカウント - ENCAAnE1 = L の場合はアップカウント <p>01 : ENCAAnE0 の有効エッジを検出したときにアップカウントを実行します。ENCAAnE1 の有効エッジを検出したときにダウンカウントを実行します。</p> <p>10 : ENCAAnE0 の立ち上がりエッジでダウンカウントを実行します。ENCAAnE0 の立ち下がりエッジでアップカウントを実行します。ただし、カウントは ENCAAnE1 = L のときにのみ実行されます。</p> <p>11 : ENCAAnE0 と ENCAAnE1 の両方のエッジを検出します。検出されたエッジとレベル両方の組み合わせに基づいてカウント動作を決定します。</p>

28.3.3 ENCA_nIOC0 — ENCA_n I/O 制御レジスタ 0

本レジスタは、キャプチャトリガ 0 と 1 (ENCATTIN0 と ENCATTIN1) の入力エッジの選択に使用されます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ENCA_n_base> + 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	ENCA _n TIS[3:2]		ENCA _n TIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 28.11 ENCA_nIOC0 レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3, 2	ENCA _n TIS[3:2]	キャプチャトリガ 1 の入力エッジ選択ビットです。 これらのビットは ENCA _n CTL レジスタの ENCA _n CRM1 = 1 かつ ENCA _n CTS = 0 である場合にのみ有効になります。 ENCA _n CRM1 と ENCA _n CTS がそれ以外の値に設定されているときは無効です。 00 : エッジを検出しません。 01 : 立ち上がりエッジを検出します。 10 : 立ち下がりエッジを検出します。 11 : 両方のエッジを検出します。
1, 0	ENCA _n TIS[1:0]	キャプチャトリガ 0 の入力エッジ選択ビットです。 これらのビットは ENCA _n CTL. ENCA _n CRM0 = 1 の場合にのみ有効になります。 00 : エッジを検出しません。 01 : 立ち上がりエッジを検出します。 10 : 立ち下がりエッジを検出します。 11 : 両方のエッジを検出します。

28.3.4 ENCA_nIOC1 — ENCA_n I/O 制御レジスタ 1

このレジスタは、エンコーダ入力に対するクリア条件の設定とエッジの選択に使用されます。

アクセス 8ビット単位でリード/ライト可能です。
動作中の本レジスタへの書き込みは禁止されています。

アドレス <ENCA_n_base> + 44_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	ENCA _n SCE	ENCA _n ZCL	ENCA _n BCL	ENCA _n ACL	ENCA _n ECS[1:0]		ENCA _n EIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 28.12 ENCA_nIOC1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	ENCA _n SCE	エンコーダ特殊クリアイネーブルビット これはエンコーダ特殊クリアイネーブルビットです。 このビットを“1”にセットする場合は、ENCA _n UDS[1:0] を 10 _B または 11 _B に設定してください。ENCA _n UDS[1:0] が 00 _B または 01 _B に設定された状態でこのビットを“1”にセットした場合の動作は保証されません。 0 : (ENCA _n ECS[1:0] で設定された) ENCA _n EC の有効エッジを検出すると、カウンタをクリアします。 1 : (ENCA _n ZCL ビット、ENCA _n BCL ビット、ENCA _n ACL ビットで設定された) ENCA _n E0、ENCA _n E1、ENCA _n EC の入力レベル条件を検出すると、カウンタをクリアします。
6	ENCA _n ZCL	入力 Z クリア条件選択ビット このビットは、エンコーダ特殊クリア機能を使用するときのエンコーダクリア入力 (ENCA _n EC) のクリア条件の設定に使用されます。 このビットは ENCA _n SCE = 1 のときにのみ有効であり、ENCA _n SCE = 0 のときは無効です。 0 : クリア条件 : ローレベル 1 : クリア条件 : ハイレベル
5	ENCA _n BCL	入力 B クリア条件選択ビット このビットは、エンコーダ特殊クリア機能を使用するときのエンコーダ入力 1 (ENCA _n E1) のクリア条件の設定に使用されます。 このビットは ENCA _n SCE = 1 のときにのみ有効であり、ENCA _n SCE = 0 のときは無効です。 0 : クリア条件 : ローレベル 1 : クリア条件 : ハイレベル
4	ENCA _n ACL	入力 A クリア条件選択ビット このビットは、エンコーダ特殊クリア機能を使用するときのエンコーダ入力 0 (ENCA _n E0) のクリア条件の設定に使用されます。 このビットは ENCA _n SCE = 1 のときにのみ有効であり、ENCA _n SCE = 0 のときは無効です。 0 : クリア条件 : ローレベル 1 : クリア条件 : ハイレベル
3、2	ENCA _n ECS [1:0]	エンコーダクリア入力エッジ選択ビット 1 と 0 これらはエンコーダクリア入力エッジ選択ビットです。 これらのビットは ENCA _n SCE = 0 のときにのみ有効であり、ENCA _n SCE = 1 のときは無効です。 00 : エッジを検出しません。 01 : 立ち上がりエッジを検出します。 10 : 立ち下がりエッジを検出します。 11 : 両方のエッジを検出します。

表 28.12 ENCA_nIOC1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1, 0	ENCA _n EIS [1:0]	エンコーダエッジ入力選択ビット 1 と 0 これらはエンコーダ入力エッジ選択ビットです。 これらのビットは、ENCA _n UDS[1:0] が 00 _B または 01 _B のときにのみ有効であり、ENCA _n UDS[1:0] が 10 _B または 11 _B のときは無効です。 00 : エッジを検出しません。 01 : 立ち上がりエッジを検出します。 10 : 立ち下がりエッジを検出します。 11 : 両方のエッジを検出します。

28.3.5 ENCA_nFLG — ENCA_n ステータスフラグレジスタ

本レジスタには ENCA_n のタイマカウンタのステータスフラグが格納されます。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <ENCA_n_base> + 0C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	ENCA _n CSF	ENCA _n UDF	ENCA _n OVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 28.13 ENCA_nFLG レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	ENCA _n CSF	カウンタステータスフラグ このビットには現在のタイマカウンタの動作が反映されます。 0: タイマカウンタがアップカウント状態にあります。 1: タイマカウンタがダウンカウント状態にあります。
1	ENCA _n UDF	アンダフローフラグ このビットには、タイマカウンタの動作中にアンダフローが発生したかどうか が反映されます。このビットはカウント動作の開始時にクリアされます。 0: 次のいずれかの場合に、このフラグは“0”にクリアされます。 – ENCA _n FGC レジスタの ENCA _n CLUD に“1”が書き込まれる – ENCA _n TE = 0 のときに ENCA _n TS ビットを“1”にセットすること、または 同時スタートトリガ入力 (ENCATSST 信号) を“ハイレベル”にする ことによってフラグが“0”にクリアされます。 1: エンコーダタイマカウント動作中にアンダフローが発生すると、このフラ グが“1”にセットされます。
0	ENCA _n OVF	オーバフローフラグ このビットには、タイマカウンタの動作中にオーバフローが発生したかどうか が反映されます。 このビットはカウント動作の開始時にクリアされます。 0: 次のいずれかの場合に、このフラグは“0”にクリアされます。 – ENCA _n FGC レジスタの ENCA _n CLOV に“1”が書き込まれる – ENCA _n TE = 0 のときに ENCA _n TS ビットを“1”にセットすること、または 同時スタートトリガ入力 (ENCATSST 信号) を“ハイレベル”にする ことによってフラグが“0”にクリアされます。 1: エンコーダタイマカウント動作中にオーバフローが発生すると、このフラ グが“1”にセットされます。

28.3.6 ENCA_nFGC — ENCA_n ステータスフラグクリアレジスタ

本レジスタは ENCA_nFLG のタイマカウンタステータスフラグをクリアするために使用されます。

アクセス 8ビット単位でライトのみ可能です。
本レジスタは、読み出すと常に0を返します。

アドレス <ENCA_n_base> + 10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ENCA _n CLUD	ENCA _n CLOV
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	W	W

表 28.14 ENCA_nFGC レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	ENCA _n CLUD	アンダフローフラグクリア このビットはアンダフローフラグをクリアします。 0: 書き込みは無視されます。 1: ENCA _n FLG レジスタの ENCA _n UDF をクリアします (アンダフロー検出のクリア)。
0	ENCA _n CLOV	オーバフローフラグクリア このビットはオーバフローフラグをクリアします。 0: 書き込みは無視されます。 1: ENCA _n FLG レジスタの ENCA _n OVF をクリアします (オーバフロー検出のクリア)。

28.3.7 ENCA_nCCR0 — ENCA_n キャプチャ/コンペアレジスタ 0

このレジスタは 16 ビットのキャプチャ/コンペアレジスタ 0 です。

アクセス 16 ビット単位でリード/ライト可能です。
キャプチャレジスタ機能時は、リードのみ可能です。ライト動作は無視されます。
コンペアレジスタ機能時は、リード/ライト可能です。

アドレス <ENCA_n_base> + 00_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ENCA _n CCR0[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 28.15 ENCA_nCCR0 レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	ENCA _n CCR0 [15:0]	キャプチャ/コンペアレジスタ 0 アンダフローが発生した場合は、ENCA _n CTL.ENCA _n LDE の設定に従って、本レジスタの設定値をカウンタにロードすることができます。詳細については、レジスタ ENCA _n CTL の ENCA _n LDE ビットの説明を参照してください。 <ul style="list-style-type: none"> ENCA_nCTL.ENCA_nCRM0 = 0 の場合: ENCA_nCCR0 はコンペアレジスタになります。タイマカウンタ値との比較の対象になる値を設定します。 ENCA_nCTL.ENCA_nCRM0 = 1 の場合: ENCA_nCCR0 はキャプチャレジスタになります。キャプチャされたタイマカウンタ値が格納されます。

28.3.8 ENCA_nCCR1 — ENCA_n キャプチャ/コンペアレジスタ 1

このレジスタは 16 ビットのキャプチャ/コンペアレジスタ 1 です。

アクセス 16 ビット単位でリード/ライト可能です。
キャプチャレジスタ機能時は、リードのみ可能です。ライト動作は無視されます。
コンペアレジスタ機能時は、リード/ライト可能です。

アドレス <ENCA_n_base> + 04_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ENCA _n CCR1[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 28.16 ENCA_nCCR1 レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	ENCA _n CCR1 [15:0]	<p>キャプチャ/コンペアレジスタ 1 キャプチャ動作中、本レジスタへのキャプチャトリガは、ENCA_nCTL.ENCA_nCTS の設定によって異なります。詳細については、ENCA 制御レジスタ ENCA_nCTL の ENCA_nCTS ビットの説明を参照してください。</p> <ul style="list-style-type: none"> ENCA_nCTL.ENCA_nCRM1 = 0 の場合：ENCA_nCCR1 はコンペアレジスタになります。 タイマカウンタ値との比較の対象になる値を設定します。 ENCA_nCTL.ENCA_nCRM1 = 1 の場合：ENCA_nCCR1 はキャプチャレジスタになります。 キャプチャされたタイマカウンタ値が格納されます。

28.3.9 ENCA_nCNT — ENCA_n カウンタレジスタ

本レジスタは 16 ビットのタイマカウンタレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。
本レジスタへの書き込みは、動作の停止中にのみ行うことができます。

アドレス <ENCA_n_base> + 08_H

リセット後の値 0000_H

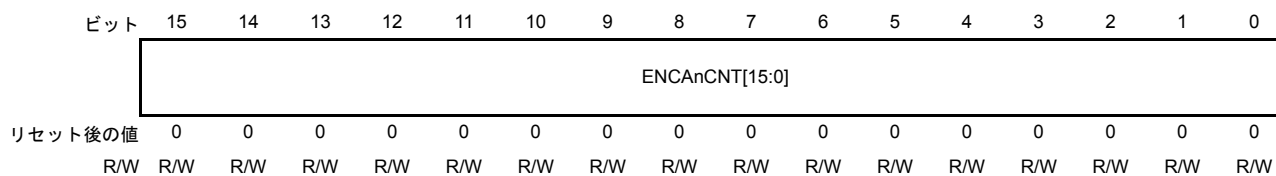


表 28.17 ENCA_nCNT レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	ENCA _n CNT [15:0]	カウンタレジスタ <ul style="list-style-type: none"> ENCA_nTE.ENCA_nTE の状態 : 0 (初期設定) : カウント停止 任意の値をタイマカウンタに設定できます。 ENCA_nTE.ENCA_nTE の状態 : 0 → 1 (動作開始) : カウント動作開始 設定された任意の値からのアップ/ダウンカウント動作を開始します。 ENCA_nTE.ENCA_nTE の状態 : 1 (動作中) : カウント実行中 アップ/ダウンカウント動作を実行中です。 ENCA_nTE.ENCA_nTE の状態 : 1 → 0 (停止) : カウント停止 動作停止直前のカウンタ値が保持され、カウント動作が停止します。

28.3.10 ENCA_nTE — ENCA_n タイマイネーブルステータスレジスタ

本レジスタは ENCA_n の動作状態を示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <ENCA_n_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ENCA _n TE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 28.18 ENCA_nTE レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	ENCA _n TE	タイマステータスイネーブルビット ENCA _n の動作可能/停止状態を示すステータスビットです。 このビットは、ENCA _n TT.ENCA _n TT に “1” が書き込まれると “0” にクリアされま ず。 また、このビットは、ENCA _n TS.ENCA _n TS に “1” が書き込まれるか、 ENCA _n SST 信号にハイレベルが入力されると “1” にセットされます。 0 : 動作停止状態 1 : 動作可能状態

28.3.11 ENCA_nTS — ENCA_n タイマスタートトリガレジスタ

本レジスタは、ENCA_n を動作可能状態に設定するトリガビットです。

アクセス 8ビット単位でライトのみ可能です。
常に00_Hとしてリードされます。本レジスタへの書き込みはENCA_nTE.ENCA_nTEが0のときのみ行うことができます。

アドレス <ENCA_n_base> + 18_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ENCA _n TS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 28.19 ENCA_nTS レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ENCA _n TS	タイマスタートトリガビット ENCA _n を動作可能状態に設定するトリガビットです。 0 : 書き込みは無視されます。 1 : ENCA _n TE.ENCA _n TE = 1 に設定し、ENCA _n を動作可能状態に設定します。

28.3.12 ENCA_nTT — ENCA_n タイマストップトリガレジスタ

本レジスタは、ENCA_n を動作停止状態に設定するトリガビットです。

アクセス 8ビット単位でライトのみ可能です。
常に00_Hとしてリードされます。

アドレス <ENCA_n_base> + 1C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ENCA _n TT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 28.20 ENCA_nTT レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ENCA _n TT	タイマストップトリガビット ENCA _n を動作停止状態に設定するトリガビットです。 0 : 書き込みは無視されます。 1 : ENCA _n TE.ENCA _n TE を "0" にクリアし、ENCA _n をカウント動作停止状態に設定します。

28.3.13 ENCA_nEMU — ENCA_n エミュレーションレジスタ

このレジスタは SVSTOP による動作を制御します。

アクセス 8ビット単位でリード/ライト可能です。
カウンタ停止中 (ENCA_nTE.ENCA_nTE = 0、かつ EPC.SVSTOP = 0) のときにライト動作を行ってください。

アドレス <ENCA_n_base> + 48_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
ENCA _n SVSDIS	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 28.21 ENCA_nEMU レジスタの内容

ビット位置	ビット名	機能
7	ENCA _n SVSDIS	<ul style="list-style-type: none"> (EPC.SVSTOP ビット = 0 のとき) 本ビットの値 (1/0) に関わらず、デバッグがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給 <ul style="list-style-type: none"> (EPC.SVSTOP ビット = 1 のとき) 0: デバッグがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを停止 1: デバッグがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給
6 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

28.4 動作

ENCAn は、エンコーダ入力を利用してカウンタアップ/ダウン制御とクリア制御を行うことでタイマカウンタを動作させます。ENCAnCCR0 レジスタと ENCAnCCR1 レジスタは、専用のコンペアレジスタとしても専用のキャプチャレジスタとしても使用することができます。

28.4.1 タイマカウンタの動作

以下で ENCAn のタイマカウンタの動作について説明します。

以下の図では段階ごとに動作を示しています。個々の動作の詳しい説明については、図中の番号に対応する番号を参照してください。

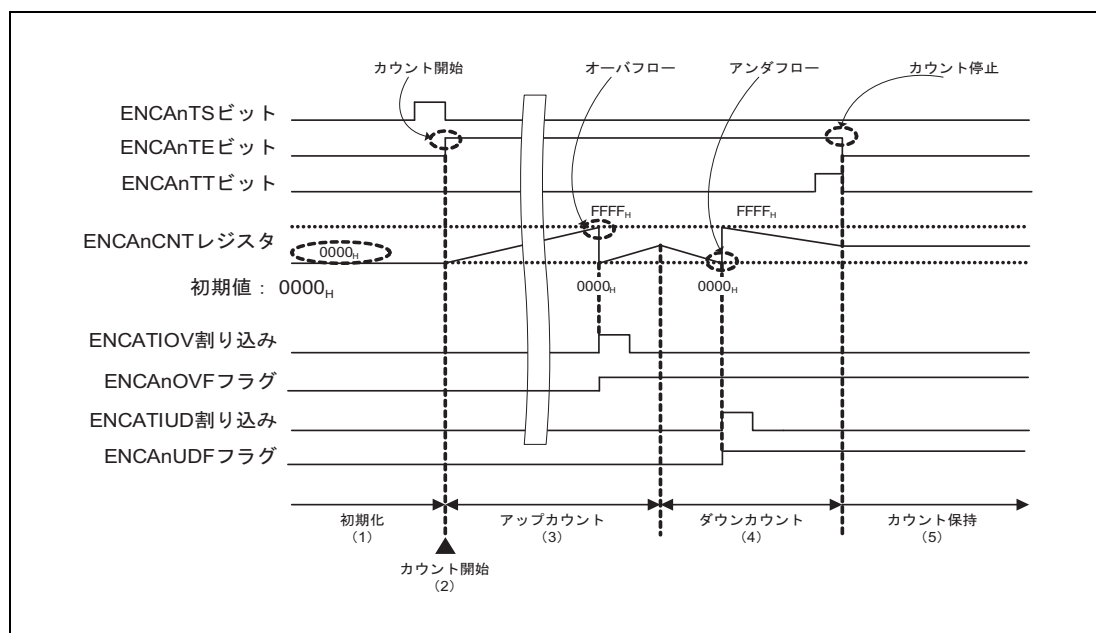


図 28.2 タイマカウンタの初期設定値設定/開始/停止

(1) タイマカウンタの初期値設定

カウンタ動作停止状態 (ENCAnTE = 0) のときに ENCAn カウンタレジスタ (ENCAnCNT) の初期値を設定することができます。

(2) タイマカウンタの起動

タイマスタートトリガビット (ENCAnTS) に“1”を書き込むことによってタイマステータスイネーブルビット (ENCAnTE) が“1”にセットされ、カウンタ動作許可状態となり、エンコーダ入力の有効エッジが検出されるとカウンタ動作が実行されます。

(3) オーバフロー動作

カウンタ値が FFFF_H のときにアップカウントが実行されると、オーバフローが発生します。カウンタ値が FFFF_H から 0000_H になると、オーバフロー割り込み (ENCAnCLOV) が発生し、オーバフローフラグ (ENCAnOVF) が“1”にセットされます。オーバフローフラグクリアビット (ENCAnCLOV) が“1”にセットされると、オーバフローフラグ (ENCAnOVF) が“0”にクリアされます。動作の詳細については、「28.6.1 オーバフローの発生とオーバフローフラグクリア操作」を参照してください。

(4) アンダフローの動作

カウンタ値が 0000_{H} のときにダウンカウントが実行されると、アンダフローが発生します。カウンタ値が 0000_{H} から $FFFF_{\text{H}}$ になると、アンダフロー割り込み (ENCATIUD) が発生し、アンダフローフラグ (ENCAAnUDF) が“1”にセットされます。アンダフローフラグクリアビット (ENCAAnCLUD) が“1”にセットされると、アンダフローフラグ (ENCAAnUDF) が“0”にクリアされます。動作の詳細については、「**28.6.2 アンダフローの発生とアンダフローフラグクリア操作**」を参照してください。

(5) タイマカウンタの停止

タイマストップトリガビット (ENCAAnTT) に“1”を書き込むことによって、タイマステータスイネーブルビット (ENCAAnTE) が“0”にクリアされ、カウント動作が停止します。その時点で、タイマカウンタは 0000_{H} にリセットされず、カウント動作が停止する直前の値を保持します。

28.4.2 タイマカウンタのアップ/ダウン制御

アップ/ダウン制御は、ENCAnUDS[1:0] の設定に従ってエンコーダ入力 (ENCAnE0, ENCAne1) の位相を判定することによって行われます。

28.4.2.1 ENCAneCTL レジスタの ENCAneUDS[1:0] ビット = 00_B の場合

表 28.22 ENCAneUDS[1:0] ビット = 00_B の場合

ENCAnUDS1	ENCAnUDS0	動作の説明		
		ENCAnE0 端子	ENCAnE1 端子	カウント動作
0	0	立ち上がりエッジ	ハイレベル	ダウン
		立ち下がりエッジ		
		両方のエッジ		
		立ち上がりエッジ	ロウレベル	アップ
		立ち下がりエッジ		
		両方のエッジ		

ENCAnE0 の有効エッジは、ENCAnEIS[1:0] を設定することによって指定します。

カウント動作は ENCAneE0 と ENCAneE1 端子の有効エッジとレベルが一致するとアップ/ダウンカウントを行います。

以下のタイミング図は、ENCAnUDS[1:0] ビット = 00_B のときのカウント動作を示しています。

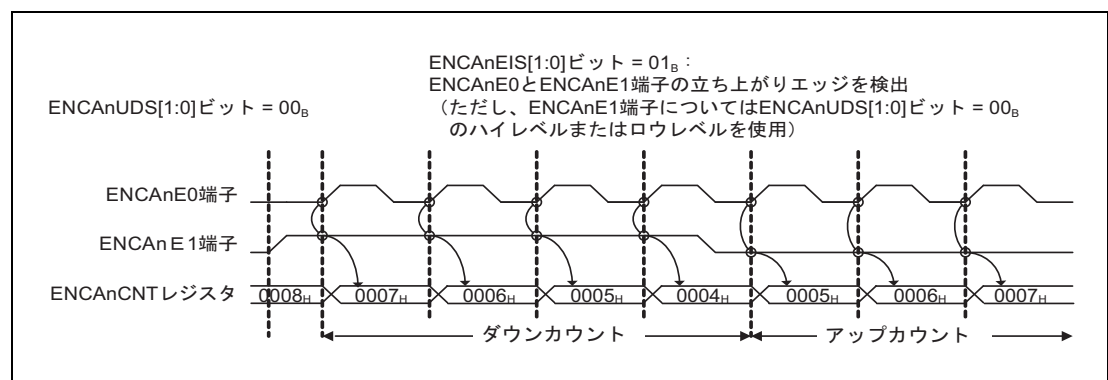


図 28.3 ENCAneCTL レジスタの ENCAneUDS[1:0] ビット = 00_B のときのカウント動作

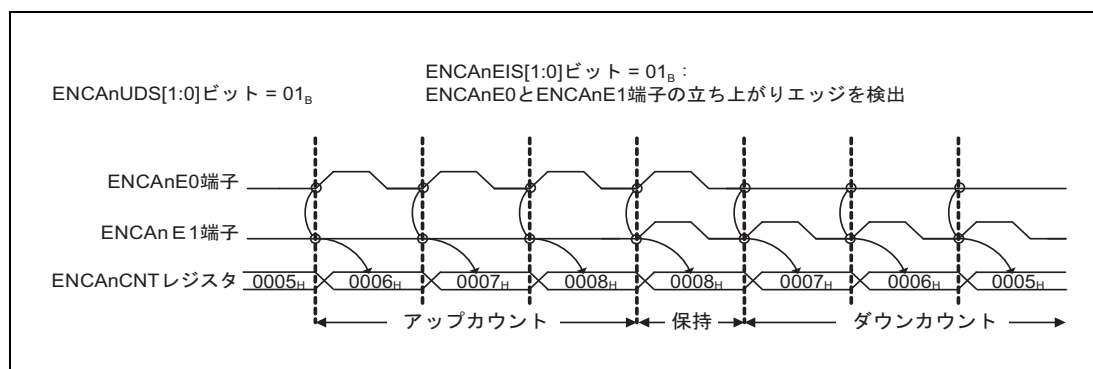
28.4.2.2 ENCA_nCTL レジスタの ENCA_nUDS[1:0] ビット = 01_B の場合表 28.23 ENCA_nUDS[1:0] ビット = 01_B の場合

ENCA _n UDS1	ENCA _n UDS0	動作の説明			
		ENCA _n E0 端子	ENCA _n E1 端子	カウント動作	
0	1	ロウレベル	立ち上がりエッジ	ダウン	
			立ち下がりエッジ		
			両方のエッジ		
		ハイレベル	立ち上がりエッジ		
			立ち下がりエッジ		
			両方のエッジ		
		立ち上がりエッジ	ロウレベル	アップ	
		立ち下がりエッジ			
		両方のエッジ			
		立ち上がりエッジ	ハイレベル		アップ
		立ち下がりエッジ			
		両方のエッジ			
同時入力			保持		

ENCA_nE0 と ENCA_nE1 の有効エッジは、ENCA_nEIS[1:0] を設定することによって指定します。

カウント動作は、ENCA_nE0, ENCA_nE1 端子の有効エッジとレベルが一致するとアップ/ダウンカウントを行います。また、有効エッジが重なるとカウントを保持します。

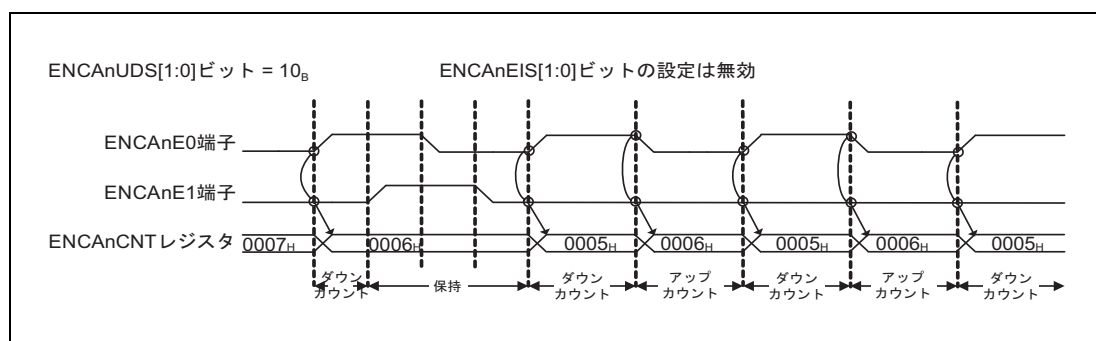
以下のタイミング図は、ENCA_nUDS[1:0] ビット = 01_B のときのカウント動作を示しています。

図 28.4 ENCA_nCTL レジスタの ENCA_nUDS[1:0] ビット = 01_B のときのカウント動作

28.4.2.3 ENCA_nCTL レジスタの ENCA_nUDS[1:0] ビット = 10_B の場合表 28.24 ENCA_nUDS[1:0] ビット = 10_B の場合

ENCA _n UDS1	ENCA _n UDS0	動作の説明		
		ENCA _n E0 端子	ENCA _n E1 端子	カウント動作
1	0	立ち上がりエッジ	ロウレベル	ダウン
		立ち上がりエッジ	立ち下がりエッジ	
		立ち下がりエッジ	ロウレベル	アップ
		立ち下がりエッジ	立ち下がりエッジ	
		ロウレベル	立ち上がりエッジ	保持
		立ち上がりエッジ	立ち上がりエッジ	
		ハイレベル	立ち上がりエッジ	
		立ち下がりエッジ	立ち上がりエッジ	
		ロウレベル	立ち下がりエッジ	
		立ち上がりエッジ	ハイレベル	
		ハイレベル	立ち下がりエッジ	
		立ち下がりエッジ	ハイレベル	

ENCA_nE0 と ENCA_nE1 の有効エッジの指定 (ENCA_nEIS[1:0] ビットの設定) は無効です。
以下のタイミング図は、ENCA_nUDS[1:0] ビット = 10_B のときのカウント動作を示しています。

図 28.5 ENCA_nCTL レジスタの ENCA_nUDS[1:0] ビット = 10_B のときのカウント動作

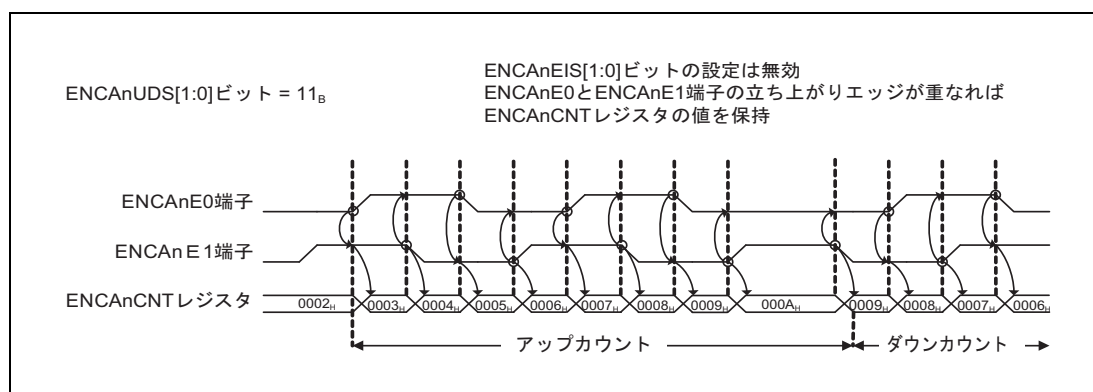
28.4.2.4 ENCA_nCTL レジスタの ENCA_nUDS[1:0] ビット = 11_B の場合表 28.25 ENCA_nUDS[1:0] ビット = 11_B の場合

ENCA _n UDS1	ENCA _n UDS0	動作の説明		
		ENCA _n E0 端子	ENCA _n E1 端子	カウント動作
1	1	ロウレベル	立ち下がりエッジ	ダウン
		立ち上がりエッジ	ロウレベル	
		ハイレベル	立ち上がりエッジ	
		立ち下がりエッジ	ハイレベル	
		立ち上がりエッジ	ハイレベル	アップ
		ハイレベル	立ち下がりエッジ	
		立ち下がりエッジ	ロウレベル	
		ロウレベル	立ち上がりエッジ	
		同時入力		

ENCA_nE0 と ENCA_nE1 の有効エッジの指定 (ENCA_nEIS[1:0] ビットの設定) は無効です。

ENCA_nE0 と ENCA_nE1 の有効エッジが重なるとカウンタ値が保持されます。

以下のタイミング図は、ENCA_nUDS[1:0] ビット = 11_B のときのカウンタ動作を示しています。

図 28.6 ENCA_nCTL レジスタの ENCA_nUDS[1:0] ビット = 11_B のときのカウンタ動作

28.4.3 エンコーダ入力によるタイマカウンタクリア制御

タイマカウンタは、エンコーダクリア入力 (ENCA_nEC) によって 0000_H にクリアされます。ENCA_nIOC1 レジスタの ENCA_nSCE ビット、ENCA_nZCL ビット、ENCA_nBCL ビット、ENCA_nACL ビット、および ENCA_nECS[1:0] ビットを制御することによって、2 種類のクリア方法を選択できます。

表 28.26 エンコーダ入力によるタイマカウンタクリア制御の内容

クリア方法	ENCA _n SCE	ENCA _n ZCL	ENCA _n BCL	ENCA _n ACL	ENCA _n ECS[1:0]
(1)	0	無効	無効	無効	有効
(2)	1	有効	有効	有効	無効

28.4.3.1 ENCA_nSCE = 0 のときのクリア方法

- ENCA_nEC の有効エッジを検出すると、タイマカウンタは動作クロックと同期して 0000_H にクリアされます。
- ENCA_nEC の有効エッジは ENCA_nECS[1:0] ビットを設定することによって指定します。
- ENCA_nZCL ビット、ENCA_nBCL ビット、ENCA_nACL ビットの設定は無効です。
- タイマカウンタがクリアされると同時に、エンコーダクリア割り込み要求信号 (ENCATIEC) が出力されます。

ENCA_nSCE = 0 のときのクリア動作については、「**28.6.19 ENCA_nSCE = 0 のときに ENCA_nEC によるクリアのタイミングで行われるキャプチャ動作**」のタイミング図を参照してください。

28.4.3.2 ENCA_nSCE = 1 のときのクリア方法

- ENCA_nEC 入力、ENCA_nE1 入力、ENCA_nE0 入力のクリアレベルを検出すると、タイマカウンタは動作クロックと同期して 0000_H にクリアされます。
- ENCA_nEC 入力、ENCA_nE1 入力、ENCA_nE0 入力のクリアレベルは、ENCA_nZCL ビット、ENCA_nBCL ビット、ENCA_nACL ビットを設定することによって指定します。
- ENCA_nECS[1:0] ビットの設定は無効です。
- タイマカウンタがクリアされると同時に、エンコーダクリア割り込み要求信号 (ENCATIEC) が出力されます。

ENCA_nZCL、ENCA_nBCL、ENCA_nACL の設定に従って行われるタイマカウンタのクリア条件を表 28.27 の表に示します。

表 28.27 タイマカウンタのクリア条件

カウンタクリア条件の設定			エンコーダの端子入力レベル		
ENCA _n ZCL	ENCA _n BCL	ENCA _n ACL	ENCA _n EC	ENCA _n E1	ENCA _n E0
0	0	0	ロウ	ロウ	ロウ
0	0	1	ロウ	ロウ	ハイ
0	1	0	ロウ	ハイ	ロウ
0	1	1	ロウ	ハイ	ハイ
1	0	0	ハイ	ロウ	ロウ
1	0	1	ハイ	ロウ	ハイ
1	1	0	ハイ	ハイ	ロウ
1	1	1	ハイ	ハイ	ハイ

28.4.4 ENCA_nCCR0 の機能

28.4.4.1 コンペア機能

- ENCA_nCRM0 = 0 のとき、ENCA_nCCR0 レジスタは専用のコンペアレジスタとして機能します。
- タイマカウンタの値と ENCA_nCCR0 の設定値がコンペア一致すると、コンペア 0 一致割り込み (ENCATINT0) が出力されます。
- ENCA_nECM0 = 1 の場合、次のカウント動作がアップカウントであれば、コンペア一致が発生すると同時にタイマカウンタが動作クロックと同期して 0000_H にクリアされます。

表 28.28 ENCA_nCCR0 のコンペア機能

ENCA _n CCR0 の機能	コンペア一致クリア制御	次のカウント動作	ENCA _n CCR0 とのコンペア一致が発生したときのタイマカウンタのクリア
ENCA _n CRM0	ENCA _n ECM0		
0 (コンペア)	0	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)。
		ダウンカウント	タイマカウンタをクリアしません (カウント動作を継続します)。
	1	アップカウント	タイマカウンタを 0000 _H にクリアします。
		ダウンカウント	タイマカウンタをクリアしません (カウント動作を継続します)。

ENCA_nLDE = 1 の場合

- アンダフローが発生すると、ENCA_nCCR0 レジスタの設定値がタイマカウンタにロードされます。
- アンダフロー割り込み (ENCATIUD) が出力されます。

備考

ENCA_nLDE = 1 のときのタイミング図については「28.6.8 開始直後の ENCA_nLDE 機能の利用」から「28.6.12 ENCA_nLDE 機能 (カウンタ値のロード) とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント」を参照してください。

28.4.4.2 キャプチャ機能

- ENCA_nCRM0 = 1 のとき、ENCA_nCCR0 レジスタは専用のキャプチャレジスタとして機能します。
- キャプチャトリガ入力 0 (ENCATTIN0) の有効エッジを検出すると、タイマカウンタの値が ENCA_nCCR0 に格納されます。
- キャプチャ動作中にキャプチャ 0 割り込み (ENCATINT0) が出力されます。

備考

ENCA_nCCR0 へのキャプチャ動作については、「28.6.14 カウントクロック間のキャプチャ動作 (ENCA_nCCR0)」と「28.6.17 コンペア一致クリア制御無効時のエンコーダの動作」のタイミング図を参照してください。

28.4.5 ENCA_nCCR1 の機能

28.4.5.1 コンペア機能

- ENCA_nCRM1 = 0 のとき、ENCA_nCCR1 レジスタは、専用のコンペアレジスタとして機能します。
- タイマカウンタの値と ENCA_nCCR1 の設定値がコンペア一致すると、コンペア 1 一致割り込み (ENCA_nTINT1) が出力されます。
- ENCA_nECM1 = 1 の場合は、次のカウント動作がダウンカウントであれば、コンペア一致が発生すると同時にタイマカウンタが動作クロックと同期して 0000_H にクリアされます。

表 28.29 ENCA_nCCR1 のコンペア機能

ENCA _n CCR1 の機能	コンペア一致クリア制御	次のカウント動作	ENCA _n CCR1 とのコンペア一致が発生したときのタイマカウンタのクリア
ENCA _n CRM1	ENCA _n ECM1		
0 (コンペア)	0	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)。
		ダウンカウント	タイマカウンタをクリアしません (カウント動作を継続します)。
	1	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)。
		ダウンカウント	タイマカウンタを 0000 _H にクリアします。

コンペア一致割り込みマスク機能

- ENCA_nCME = 1 のときは、コンペア 1 一致割り込みマスク機能が有効です。この状態では、タイマカウンタの値と ENCA_nCCR1 の設定値が初めて一致したときにコンペア 1 一致割り込みが出力されますが、2 回目以降のコンペア一致によって生成される割り込みはマスクされます。
- ENCA_nCME = 1 かつ ENCA_nMCS = 0 のときは、ENCA_nCCR1 レジスタへの書き込み操作によって、最初のコンペア一致でコンペア 1 一致割り込みが 1 回出力されます (再度キャンセルトリガが発生するまで 2 回目以降のコンペア一致によって生成される割り込みはマスクされます)。
- ENCA_nCME = 1 かつ ENCA_nMCS = 1 のときは、エンコーダクリア入力によるタイマカウンタのクリア動作または ENCA_nCCR0 レジスタ値とタイマカウンタ値との一致によるタイマカウンタのクリア動作によって、最初のコンペア一致でコンペア 1 一致割り込みが 1 回出力されます (再度キャンセルトリガが発生するまで 2 回目以降のコンペア一致によって生成される割り込みはマスクされます)。
- ENCA_nCME = 1 かつ ENCA_nMCS = 1 かつ ENCA_nLDE = 1 のときは、アンダフロー検出時の ENCA_nCCR0 レジスタからタイマカウンタへのロード動作によって、最初のコンペア一致でコンペア 1 一致割り込みが 1 回出力されます (再度キャンセルトリガが発生するまで 2 回目以降のコンペア一致によって生成される割り込みはマスクされます)。
- コンペア 1 一致割り込みマスク機能を有効にする場合、ENCA_nECM1 を“1”にセットすることはできません。

表 28.30 ENCA_nCCR1 のコンペア一致割り込みマスク機能

ENCA _n CCR1 の機能	コンペア 1 一致割り込みマスク	割り込みマスク キャンセルトリガ	ENCA _n CCR1 とコンペアが一致したときのコンペア 1 一致割り込みの出力
ENCA _n CRM1	ENCA _n CME	ENCA _n MCS	
0 (コンペア)	0 (マスク機能無効)	— (設定無効)	コンペア一致が発生するたびにコンペア 1 一致割り込みを出力します。
	1 (マスク機能有効)	0 (ENCA _n CCR1 への書き込み操作) 1 (タイマカウンタクリア動作) (ENCA _n LDE = 1 のときのアンダフロー発生による ENCA _n CCR0 からタイマカウンタへのロード)	最初のコンペア一致でコンペア 1 一致割り込みを 1 回出力します (キャンセルトリガが発生するまで、2 回目以降の一致によって生成される割り込みはマスクされます)。

28.4.5.2 キャプチャ機能

ENCA_nCRM1 = 1 のとき、ENCA_nCCR1 レジスタは、専用のキャプチャレジスタとして機能します。

備考

ENCA_nCCR1 へのキャプチャ動作については、「28.6.13 カウントクロック間のキャプチャ動作 (ENCA_nCCR1)」のタイミング図を参照してください。

ENCA_nCTS のさまざまな設定に対応する動作を以下の表に示します。

表 28.31 ENCA_nCTS のさまざまな設定に対応する動作

ENCA _n CCR1 の機能	キャプチャトリガの選択	キャプチャトリガ信号	タイマカウンタのクリア	割り込みの発生
ENCA _n CRM1	ENCA _n CTS			
1 (キャプチャ)	0	キャプチャトリガ1入力 (ENCATTIN1)	タイマカウンタをクリアしません。	(1) キャプチャ1割り込み (ENCATINT1)
	1	エンコーダクリア入力 (ENCA _n SCE で設定)	タイマカウンタをクリアします。	(1) キャプチャ1割り込み (ENCATINT1) (2) エンコーダクリア割り込み (ENCATIEC)

備考

ENCA_nCTS = 0 または ENCA_nCTS = 1 のときのタイミング図については、以下を参照してください。

- 「28.6.3 エンコーダクリア入力 (ENCA_nEC 端子) によるカウントクリアとキャプチャ動作」
- 「28.6.4 オーバフローの発生とエンコーダクリア入力 (ENCA_nEC 端子) によるクリア動作との競合」
- 「28.6.5 アンダフローの発生とエンコーダクリア入力 (ENCA_nEC 端子) によるクリア動作との競合」
- 「28.6.11 ENCA_nLDE 機能 (カウンタ値のロード) とエンコーダクリア入力 (ENCA_nEC 端子) の入力によるクリア動作との競合」
- 「28.6.12 ENCA_nLDE 機能 (カウンタ値のロード) とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント」

28.4.5.3 コンペアレジスタが一致したときのタイマカウンタのクリア

タイマカウンタ値と ENCA_nCCR0, ENCA_nCCR1 の設定値がコンペア一致したときに、ENCA_nCTL レジスタの ENCA_nECM[1:0] ビットの設定に従って行われるタイマカウンタのクリア動作の詳細を以下の表に示します。

表 28.32 コンペアレジスタが一致したときのタイマカウンタのクリア動作の詳細

ENCA _n ECM [1:0]	次のカウント動作	ENCA _n CCR1 とのコンペア一致が発生したときのタイマカウンタのクリア	ENCA _n CCR0 とのコンペア一致が発生したときのタイマカウンタのクリア
00	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタをクリアしません (カウント動作を継続します)
	ダウンカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタをクリアしません (カウント動作を継続します)
01	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタを 0000 _H にクリアします
	ダウンカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタをクリアしません (カウント動作を継続します)
10	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタをクリアしません (カウント動作を継続します)
	ダウンカウント	タイマカウンタを 0000 _H にクリアします。	タイマカウンタをクリアしません (カウント動作を継続します)
11	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタを 0000 _H にクリアします
	ダウンカウント	タイマカウンタを 0000 _H にクリアします。	タイマカウンタをクリアしません (カウント動作を継続します)

28.4.6 タイマカウンタの起動／停止

28.4.6.1 タイマの起動

ENCA_nTS ビットを“1”にセットすることによってタイマの動作を開始することができます。

PIC を設定することにより、他のタイマと同時スタートが可能です。詳細は、「29.8 同時スタートトリガ機能」を参照してください。

28.4.6.2 タイマの停止

ENCA_nTT ビットが“1”にセットされると ENCA_nTE ビットが“0”になり、タイマが停止します。

28.5 設定の順序

28.5.1 ENCA_n の設定手順

以下で ENCA_n の設定の手順を説明します。

表 28.33 ENCA_n の設定の手順

	操作	設定の状態
初期設定	リセット解除	電源オン状態、動作停止状態。 (各レジスタへの書き込みは許可)
ENCA _n の初期設定	以下の初期設定を実行します。 <ul style="list-style-type: none"> カウンタの設定 カウンタクリアの設定 ENCA_nCCR0 レジスタの設定 ENCA_nCCR1 レジスタの設定 	カウンタ動作停止状態です。 動作状態を示す ENCA _n TE ビット = 0 です。
	カウンタの初期値の設定を実行します。 <ul style="list-style-type: none"> ENCA_nCNT レジスタに任意の 16 ビット値を設定します。 (このレジスタを設定した後、ENCA_nTS ビットを“1”にセットすると、設定されたカウント値からカウンタの動作が開始されます)。 	ここで設定される値がカウンタレジスタの初期値として設定されます。
動作開始	カウンタ動作開始の設定を実行します。 <ul style="list-style-type: none"> ENCA_nTS ビットを“1”にセットします。 	カウンタ動作開始状態です。 動作状態を示す ENCA _n TE ビットの値が“1”であり、カウンタクロックが内部回路に供給されます。
動作中	動作中に設定を変更できるレジスタのみを書き換えることができます。 <ul style="list-style-type: none"> ENCA_nCCR0 レジスタの設定 ENCA_nCCR1 レジスタの設定 ENCA_nIOC0 レジスタの設定 	初期設定で設定されたカウント動作が実行され、ENCA _n E0 端子と ENCA _n E1 端子に従ってアップカウント/ダウンカウントが実行されます。
動作停止	動作中にカウンタ動作停止の設定を実行します。 <ul style="list-style-type: none"> ENCA_nTT ビットを“1”に設定します。 	カウンタ動作停止状態です。 動作状態を示す ENCA _n TE ビット = 0 です。
ENCA _n 停止	リセット	設定レジスタが初期化されます。

28.5.1.1 カウンタの初期設定手順

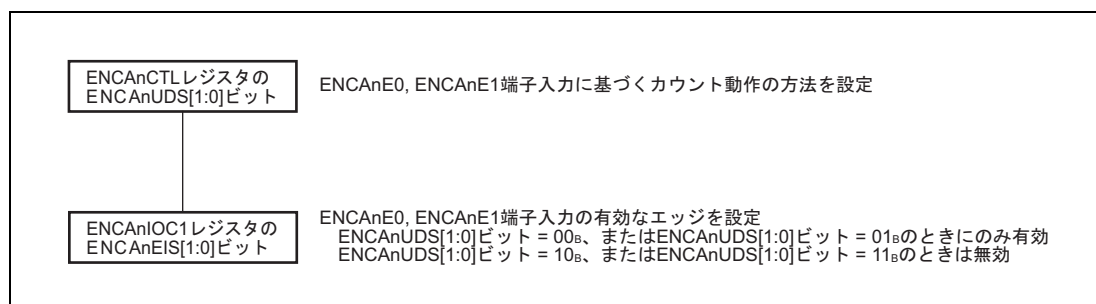


図 28.7 カウンタの初期設定手順

28.5.1.2 カウンタクリアのための初期設定手順

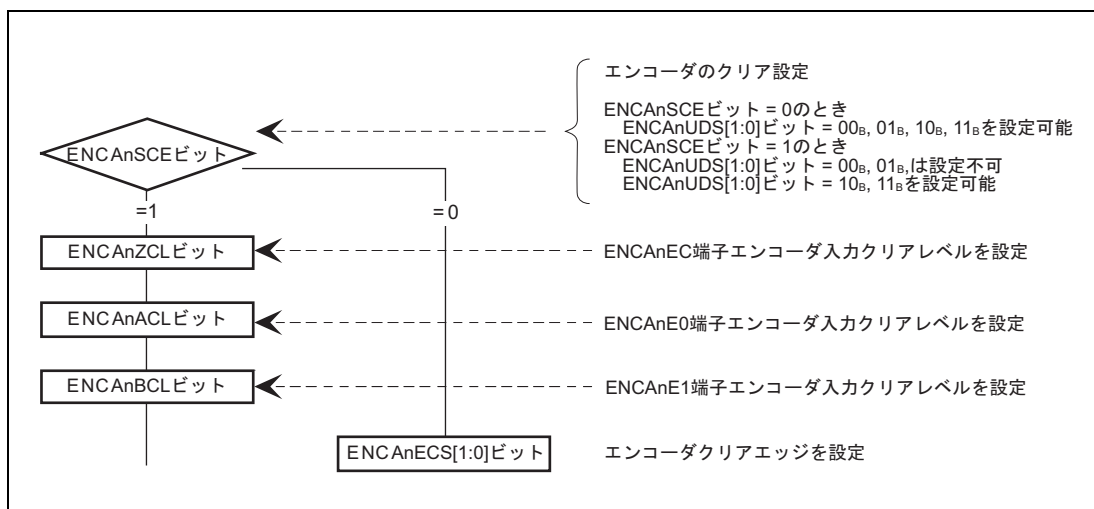


図 28.8 カウンタクリアのための初期設定手順

28.5.1.3 ENCAAnCCR0 レジスタの設定手順

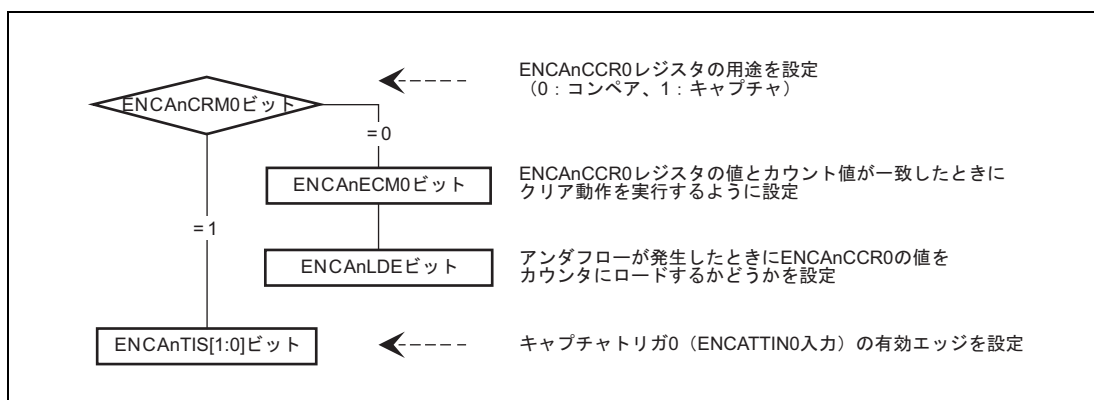


図 28.9 ENCAAnCCR0 レジスタの設定手順

28.5.1.4 ENCA_nCCR1 レジスタの設定手順

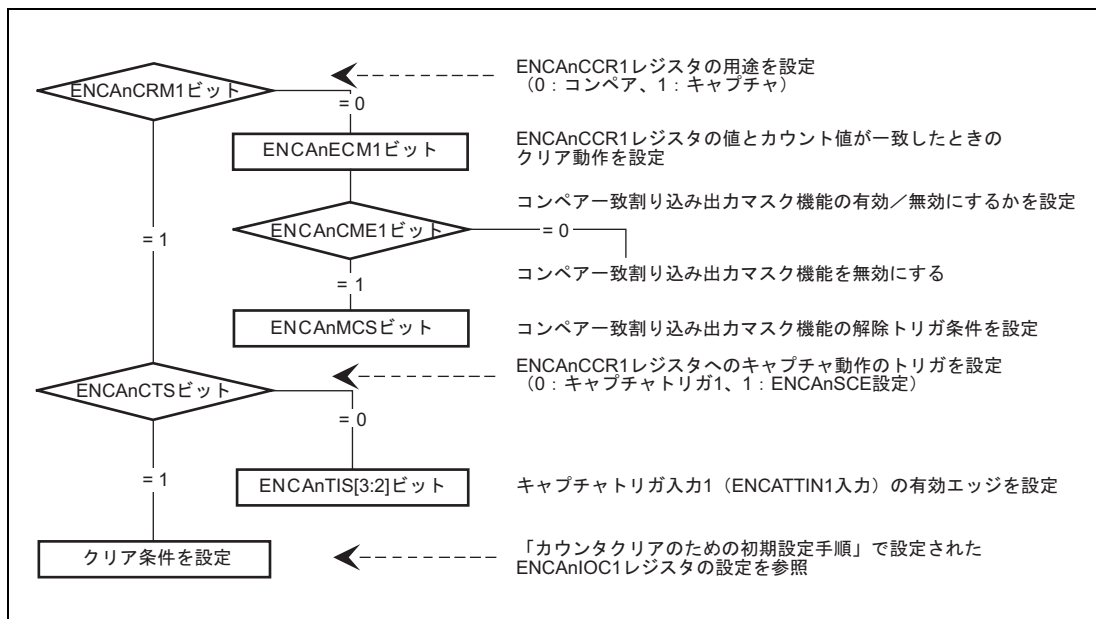


図 28.10 ENCA_nCCR1 レジスタの設定手順

28.6 タイミング図

28.6.1 オーバフローの発生とオーバーフローフラグクリア操作

カウンタ値が $FFFF_H$ のときにアップカウントが実行されると、オーバーフローが発生します。オーバーフローが発生すると、オーバーフロー割り込み (ENCATIOV) が出力され、オーバーフローフラグ (ENCA_nOVF) が“1”にセットされます。オーバーフロークリアビット (ENCA_nCLOV) が“1”にセットされると、オーバーフローフラグ (ENCA_nOVF) が“0”にクリアされます。

オーバーフロー発生とオーバーフローフラグクリアの動作について説明します。

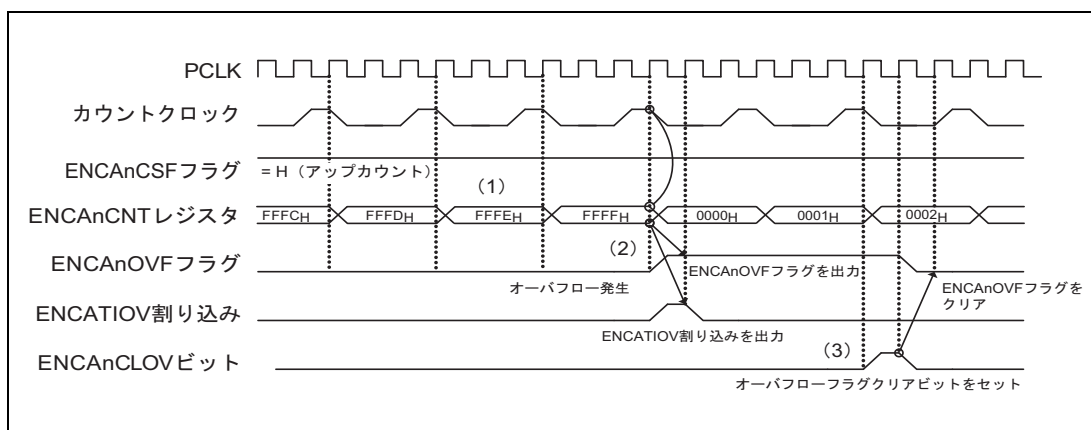


図 28.11 オーバフローの発生とオーバーフローフラグクリアの設定

- (1) カウンタ値が $FFFE_H$ から $FFFF_H$ にアップカウントします。
- (2) カウンタ値が $FFFF_H$ から 0000_H に変化するとオーバーフローが発生します。同時に、オーバーフロー割り込みが出力され、オーバーフローフラグが“1”にセットされます。
- (3) オーバフローフラグのクリア方法で、ENCA_nFGC レジスタの ENCA_nCLOV ビットを“1”にセットすることで“0”にクリアされます。また、ENCA_nTE レジスタの ENCA_nTE ビット=0 のときに ENCA_nTS レジスタの ENCA_nTS ビットに“1”を設定するか、ENCATSST (同時スタートトリガ入力) の入力信号を“ハイレベル”にすることもオーバーフローフラグはクリアされます。

28.6.2 アンダフローの発生とアンダフローフラグクリア操作

カウンタ値が 0000H のときにダウンカウントが実行されると、アンダフローが発生します。アンダフローが発生すると、アンダフロー割り込み (ENCATIUD) が出力され、アンダフローフラグ (ENCAAnUDF) が“1”にセットされます。アンダフロークリアビット (ENCAAnCLUD) が“1”にセットされると、アンダフローフラグ (ENCAAnUDF) が“0”にクリアされます。

アンダフロー発生とアンダフローフラグクリアの動作について説明します。

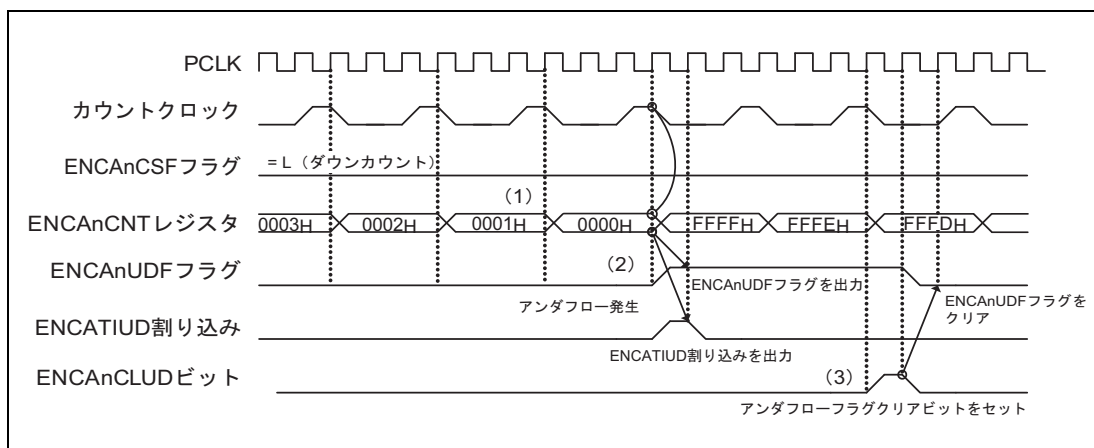


図 28.12 アンダフローの発生とアンダフローフラグクリアの設定

- (1) カウンタ値が 0001_H から 0000_H にダウンカウントします。
- (2) カウンタ値が 0000_H から FFFF_H に変化するとアンダフローが発生します。同時に、アンダフロー割り込みが出力され、アンダフローフラグが“1”にセットされます。
- (3) アンダフローフラグのクリア方法で、ENCAAnFGC レジスタの ENCAAnCLUD ビットを“1”にセットすることで“0”にクリアされます。また、ENCAAnTE レジスタの ENCAAnTE ビット = 0 のときに ENCAAnTS レジスタの ENCAAnTS ビットに“1”を設定するか、ENCATSST (同時スタートトリガ) の入力信号を“ハイレベル”にすることでオーバーフローフラグはクリアされます。

28.6.3 エンコーダクリア入力 (ENCA_nEC 端子) によるカウントクリアとキャプチャ動作

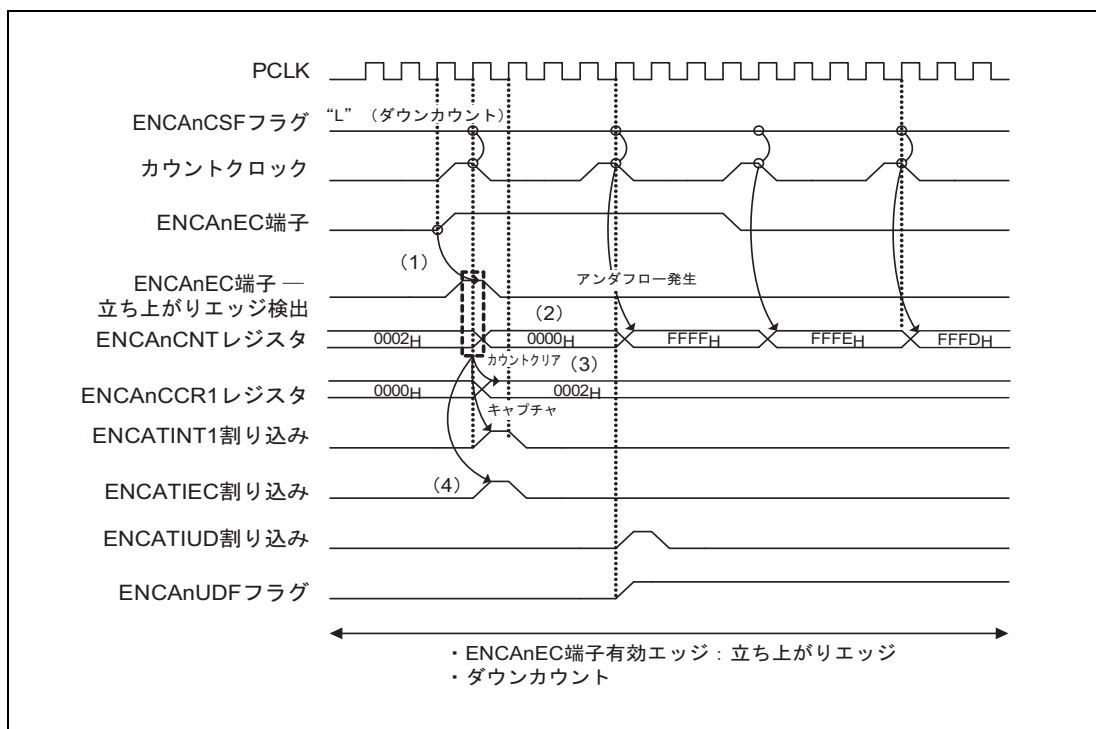


図 28.13 エンコーダクリア入力 (ENCA_nEC 端子) によるカウントクリアとキャプチャ動作のタイミング図

設定条件

- ENCA_nCTL レジスタの ENCA_nCRM1 ビット = 1
(ENCA_nCCR1 レジスタをキャプチャとして選択)
- ENCA_nCTL レジスタの ENCA_nCTS ビット = 1
(ENCA_nEC 端子入力をキャプチャトリガ入力として選択)
- ENCA_nIOC1 レジスタの ENCA_nECS[1:0] ビット = 01_B
(ENCA_nEC 端子入力の立ち上がりエッジ検出として選択)

- (1) ENCA_nEC 端子入力トリガの立ち上がりエッジでキャプチャ動作が実行されます。
- (2) ENCA_nEC 端子の入力によるクリア動作が実行され、カウント値が 0000_H にセットされます。
- (3) ENCA_nEC 端子入力の立ち上がりエッジでカウンタ値 (0002_H) が ENCA_nCCR1 レジスタにキャプチャされます。
- (4) 同時に、ENCA_nEC 端子の入力によるクリア割り込み (ENCA_nTIEC) とキャプチャ割り込み (ENCA_nTINT1) が出力されます。

28.6.4 オーバフローの発生とエンコーダクリア入力 (ENCAnEC 端子) によるクリア動作との競合

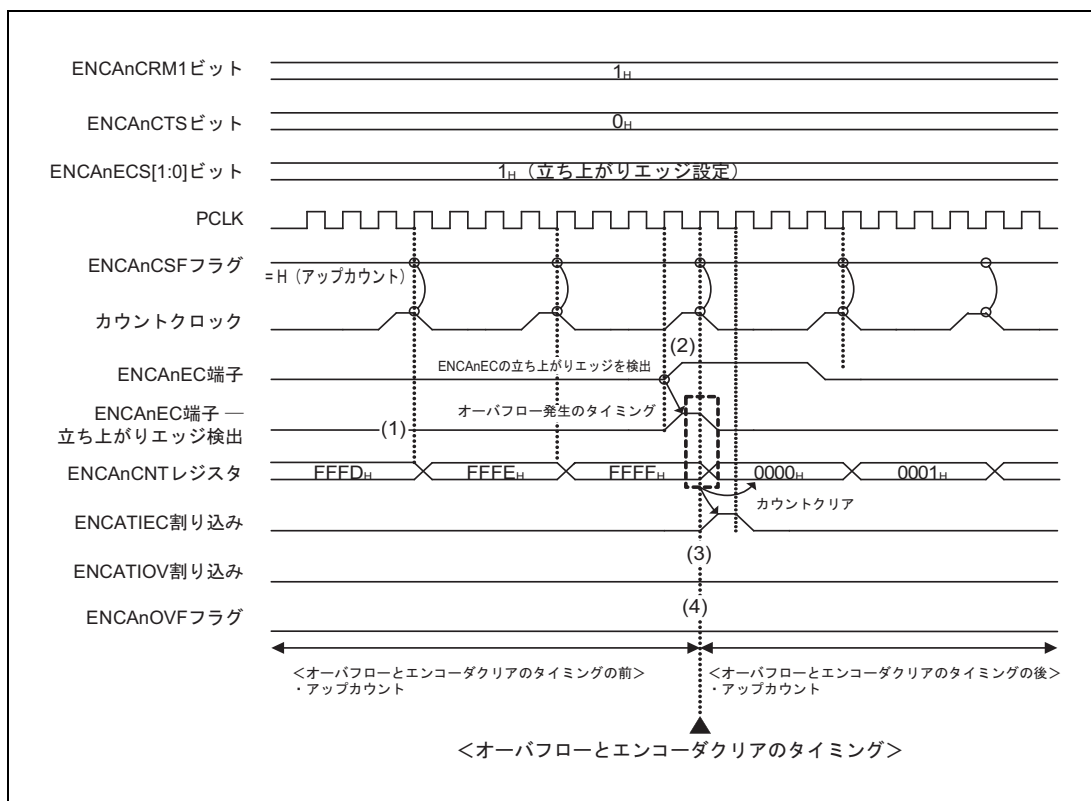


図 28.14 オーバフローの発生とエンコーダクリア入力 (ENCAnEC 端子) によるクリア動作との競合

- (1) FFFD_H からのアップカウントが継続的に実行されます。
- (2) カウンタ値 FFFF_H でオーバーフローが発生すると同時に ENCAAnEC の立ち上がりエッジが検出されると、エンコーダクリア入力によるクリア動作が実行されます。カウンタ値が 0000_H にクリアされます。
- (3) エンコーダクリア入力によるカウンタ値のクリアが実行されると同時に、エンコーダクリア入力によるクリア割り込み (ENCAnTIEC) が出力されます。エンコーダクリア入力によるクリアがオーバーフローの発生と同時に進行するため、オーバーフロー割り込みは出力されません (オーバーフローは発生しません。エンコーダクリア入力によるクリアが実行されます)。
- (4) ステップ (3) と同様にオーバーフローが発生しないため、オーバーフローフラグもセットされません。

28.6.5 アンダフローの発生とエンコーダクリア入力 (ENCA_nEC 端子) によるクリア動作との競合

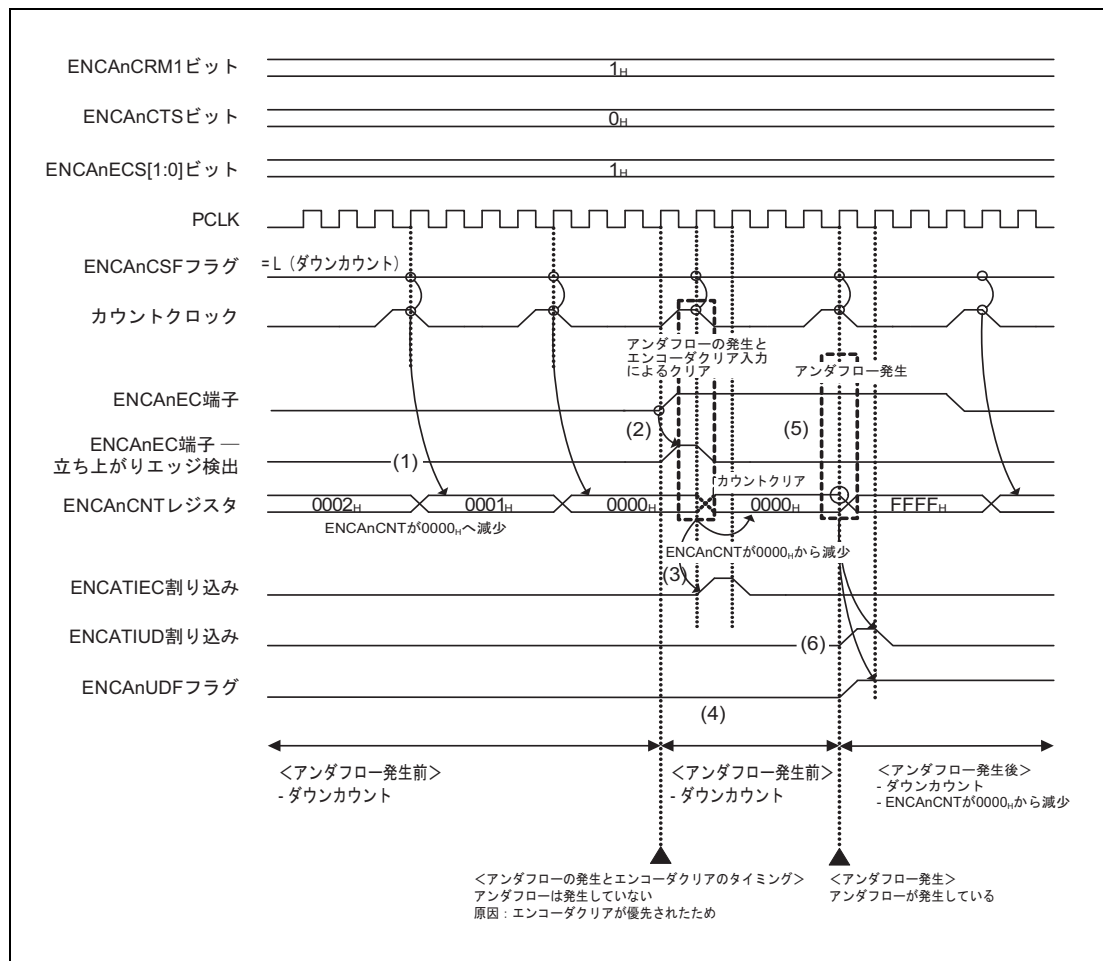


図 28.15 アンダフローの発生とエンコーダクリア入力 (ENCA_nEC 端子) によるクリア動作との競合

- (1) 0002_H からのダウンカウントが継続的に実行されます。
- (2) カウント値 0000_H でアンダフローが発生すると同時に ENCA_nEC の立ち上がりエッジが検出されると、エンコーダクリア入力によるクリア動作が実行されます。クリア動作中に次のクロック信号が入力されても、カウンタ値は 0000_H のまま変わりません。
- (3) エンコーダクリア入力によるカウンタ値のクリアが実行されると同時に、エンコーダクリア割り込み (ENCATIEC) が出力されます。エンコーダクリア入力によるクリアがアンダフローの発生と同時に進行するため、アンダフロー割り込みは出力されません (アンダフローは発生しません。エンコーダクリア入力によるクリアが実行されます)。
- (4) ステップ (3) と同様にアンダフローが発生しないため、アンダフローフラグもセットされません。
- (5) エンコーダクリア入力によるクリア動作によってカウンタ値が 0000_H になったあと、さらにダウンカウントが行われることで、カウンタ値が 0000_H から FFFF_H へ変化し、アンダフローが発生します。
- (6) アンダフローが発生すると、アンダフロー割り込み (ENCATIUD) が出力され、アンダフローフラグ (ENCA_nUDF) がセットされます。

28.6.6 開始直後のオーバーフロー動作

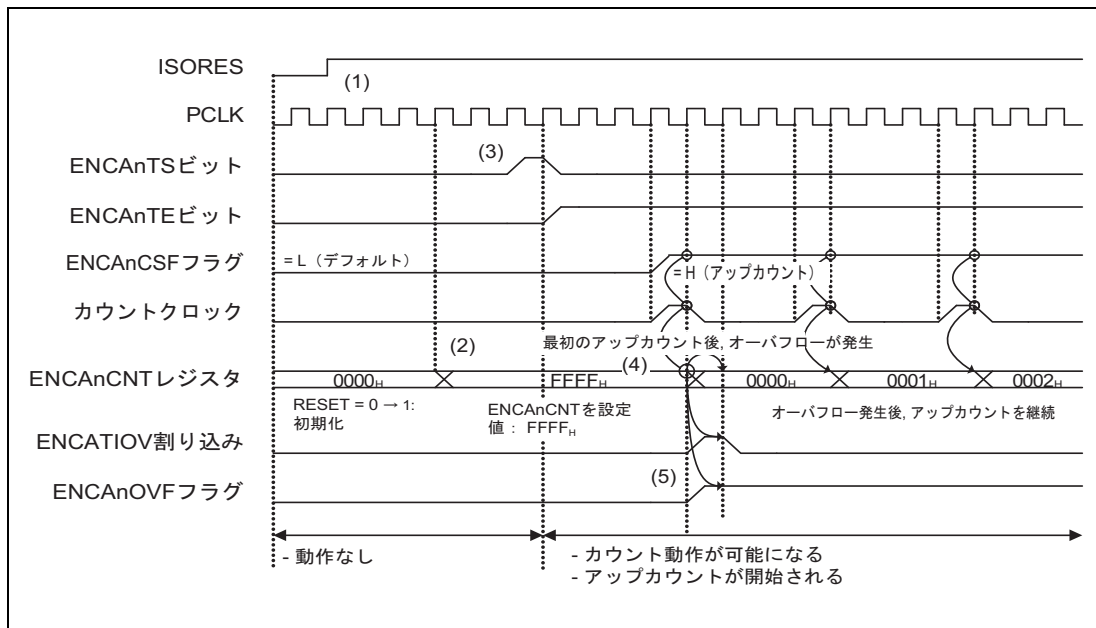


図 28.16 開始直後のオーバーフロー動作

- (1) ISORES の値が“0”から“1”になると、ステータスがリセットからリセット解除されます。
- (2) FFFF_H がタイマカウンタに初期設定値として設定されます。
- (3) ENCAAnTS が“1”にセットされ、動作が開始されます。ENCAAnTE が“1”になり、動作が可能になったことを示します。
- (4) 初期設定されたカウント値である FFFF_H からのアップカウントが実行されることで、カウンタ値が FFFF_H から 0000_H へ変化し、動作開始直後にオーバーフローが発生します。
- (5) 同時に、動作開始直後のオーバーフローの発生によって、オーバーフロー割り込み (ENCATIOV) が出力され、オーバーフローフラグ (ENCAAnOVF) がセットされます。

28.6.7 開始直後のアンダフロー動作

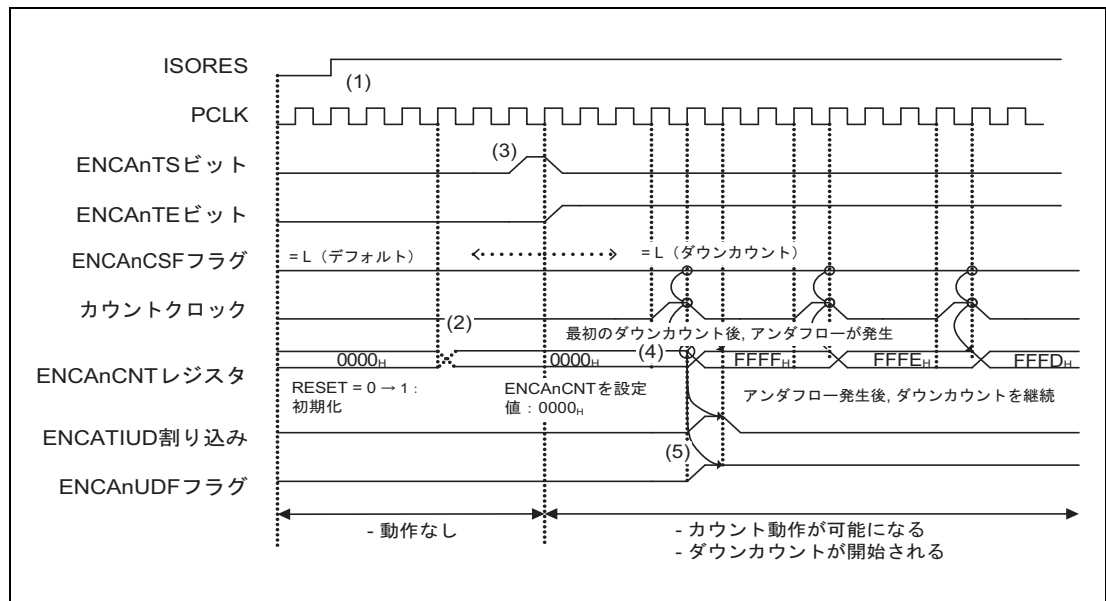
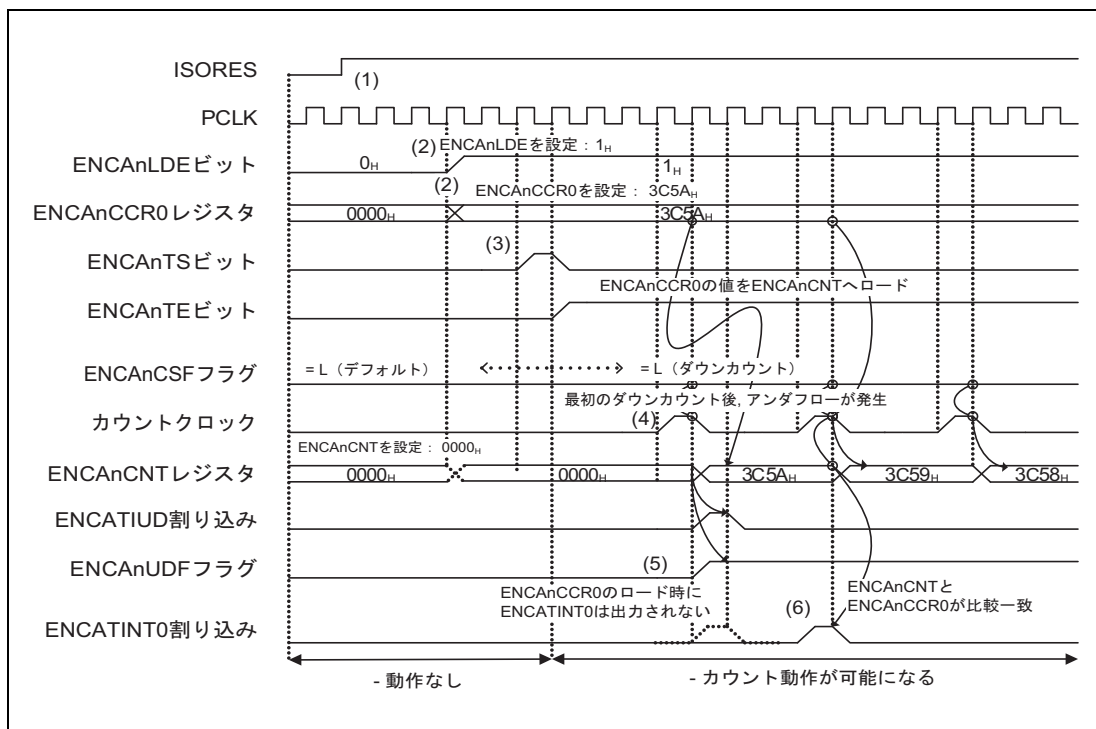


図 28.17 開始直後のアンダフロー動作

- (1) ISORES の値が“0”から“1”になると、ステータスがリセットからリセット解除されます。
- (2) 0000_H がタイマカウンタに初期設定値として設定されます。
- (3) ENCAAnTS が“1”にセットされ、動作が開始されます。ENCAAnTE が“1”になり、動作が可能になったことを示します。
- (4) 初期設定されたカウント値である 0000_H からのダウンカウントが実行されることで、カウンタ値が 0000_H から FFFF_H へ変化し、動作開始直後にアンダフローが発生します。
- (5) 同時に、動作開始直後のアンダフローの発生によって、アンダフロー割り込み (ENCAAnTIUD) が出力され、アンダフローフラグ (ENCAAnUDF) がセットされます。

28.6.8 開始直後の ENCA_nLDE 機能の利用図 28.18 開始直後の ENCA_nLDE 機能の利用

- (1) ISORES の値が“0”から“1”になると、ステータスがリセットからリセット解除されます。
- (2) ロードイネーブルビット (ENCA_nLDE) が“1”にセットされ、キャプチャ/コンペアレジスタ 0 (ENCA_nCCR0) が 3C5A_H に設定され、タイマカウンタが初期設定値 0000_H に設定されます。
- (3) ENCA_nTS が“1”にセットされ、動作が開始されます。ENCA_nTE が“1”になり、動作が可能になったことを示します。
- (4) 初期設定されたカウント値である 0000_H からのダウンカウントが実行されることで、動作開始直後にアンダフローが発生します。ENCA_nLDE が“1”にセットされているため、ENCA_nCCR0 の値である 3C5A_H がタイマカウンタにロードされます (ENCA_nTINT0 はロード時に出力されません)。
- (5) 同時に、動作開始直後のアンダフローの発生によって、アンダフロー割り込み (ENCA_nIUD) が出力され、アンダフローフラグ (ENCA_nUDF) がセットされます (アンダフローが発生した後、ロードされた値 (3C5A_H) からのダウンカウント動作が継続します)。
- (6) ENCA_nCCR0 の値が ENCA_nCNT にロードされたあと、ENCA_nCCR0 との一致が検出され、ENCA_nTINT0 が出力されます。

28.6.9 ENCA_nLDE 機能 (カウント値のロード)

(1) <ENCA_nLDE = 0 の場合 >

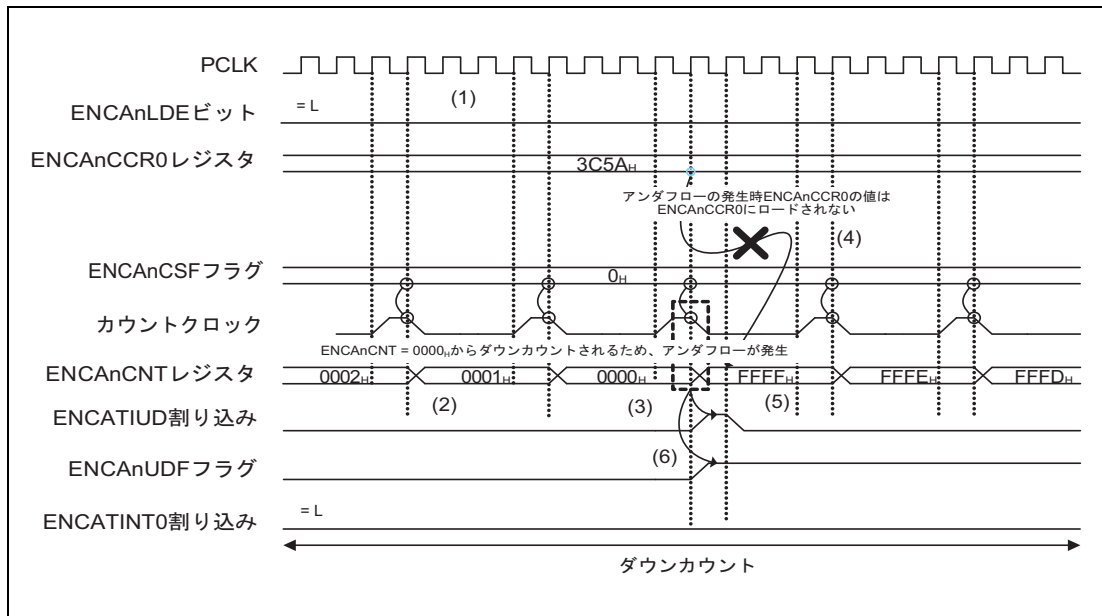
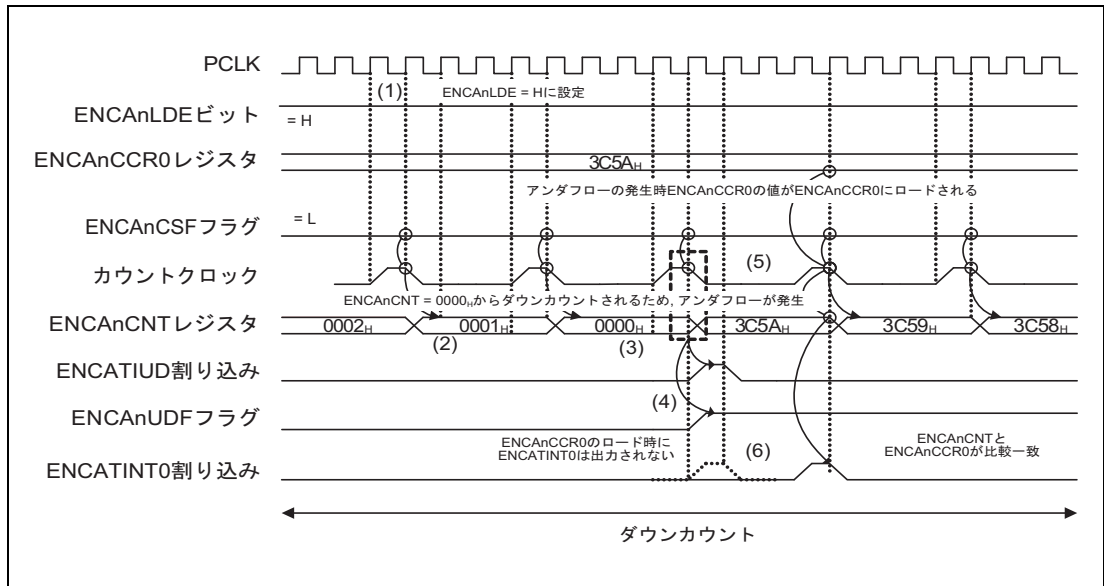


図 28.19 ENCA_nLDE 機能 (ENCA_nLDE = 0 の場合)

- (1) ENCA_nLDE が“0”に設定されています (アンダフローが発生しても、ENCA_nCCR0 の値はロードされません)。
- (2) ダウソカウソトが実行されます : 0002_H → 0001_H → 0000_H
- (3) カウソタ値が 0000_H になったあと、さらにダウソカウソトが実行されることでアンダフローが発生します。
- (4) ENCA_nLDE が“0”に設定されているため、アンダフローが発生したときに ENCA_nCCR0 レジスタの設定値はカウソタにロードされません。
- (5) 動作がアンダフロー動作に変化します (カウソタ値 : 0000_H → FFFF_H)。
- (6) アンダフロー割り込み (ENCA_nIUD) が出力され、アンダフローフラグ (ENCA_nUDF) がセットされます。

(2) <ENCA_nLDE = 1 の場合 >図 28.20 ENCA_nLDE 機能 (ENCA_nLDE = 1 の場合)

- (1) ENCA_nLDE が“1”に設定されています (アンダフローが発生すると、ENCA_nCCR0 の値がカウンタにロードされます)。
- (2) ダウンカウントが実行されます : 0002_H → 0001_H → 0000_H
- (3) カウンタ値が 0000_H になったあと、さらにダウンカウントが実行されることでアンダフローが発生します。
- (4) アンダフロー割り込みが出力され、アンダフローフラグがセットされます。
- (5) ENCA_nLDE が“1”にセットされているため、アンダフローが発生すると ENCA_nCCR0 レジスタの設定値がカウンタにロードされます。ENCA_nCNT が 3C5A_H に設定されます。
- (6) ENCA_nCCR0 の値が ENCA_nCNT に設定された後、ENCA_nCNT の値と ENCA_nCCR0 の値がカウントクロックで一致すれば、コンペアー一致割り込み (ENCA_nTINT0) が出力されます。

28.6.10 ENCA_nLDE 機能 (カウンタ値のロード) と ENCA_nCCR0 レジスタの書き換えとの競合

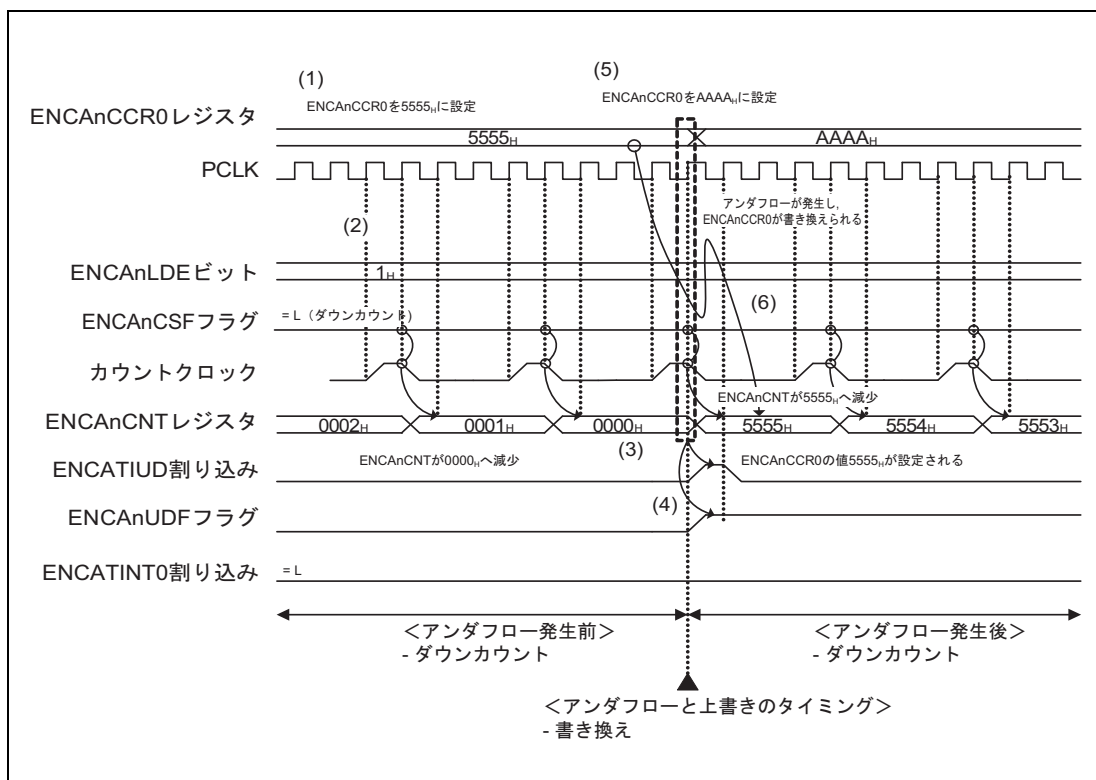


図 28.21 ENCA_nLDE 機能と ENCA_nCCR0 レジスタの書き換えとの競合

- (1) ENCA_nCCR0 レジスタは、現在 5555_H に設定されています。
- (2) ENCA_nLDE は現在 “1” にセットされています。
- (3) 0002_H → 0001_H → 0000_H とダウンカウントが実行され、アンダフローが発生します。
- (4) アンダフロー割り込み (ENCATIUD) が出力され、アンダフローフラグ (ENCA_nUDF) がセットされます。
- (5) アンダフローが発生すると同時に、ENCA_nCCR0 レジスタの値が 5555_H から AAAA_H に書き換えられます。
- (6) さらに、アンダフローが発生すると同時に、書き換えられる前の ENCA_nCCR0 の値 (5555_H) が ENCA_nCNT に設定されます。

28.6.11 ENCA_nLDE 機能 (カウンタ値のロード) とエンコーダクリア入力 (ENCA_nEC 端子) の入力によるクリア動作との競合

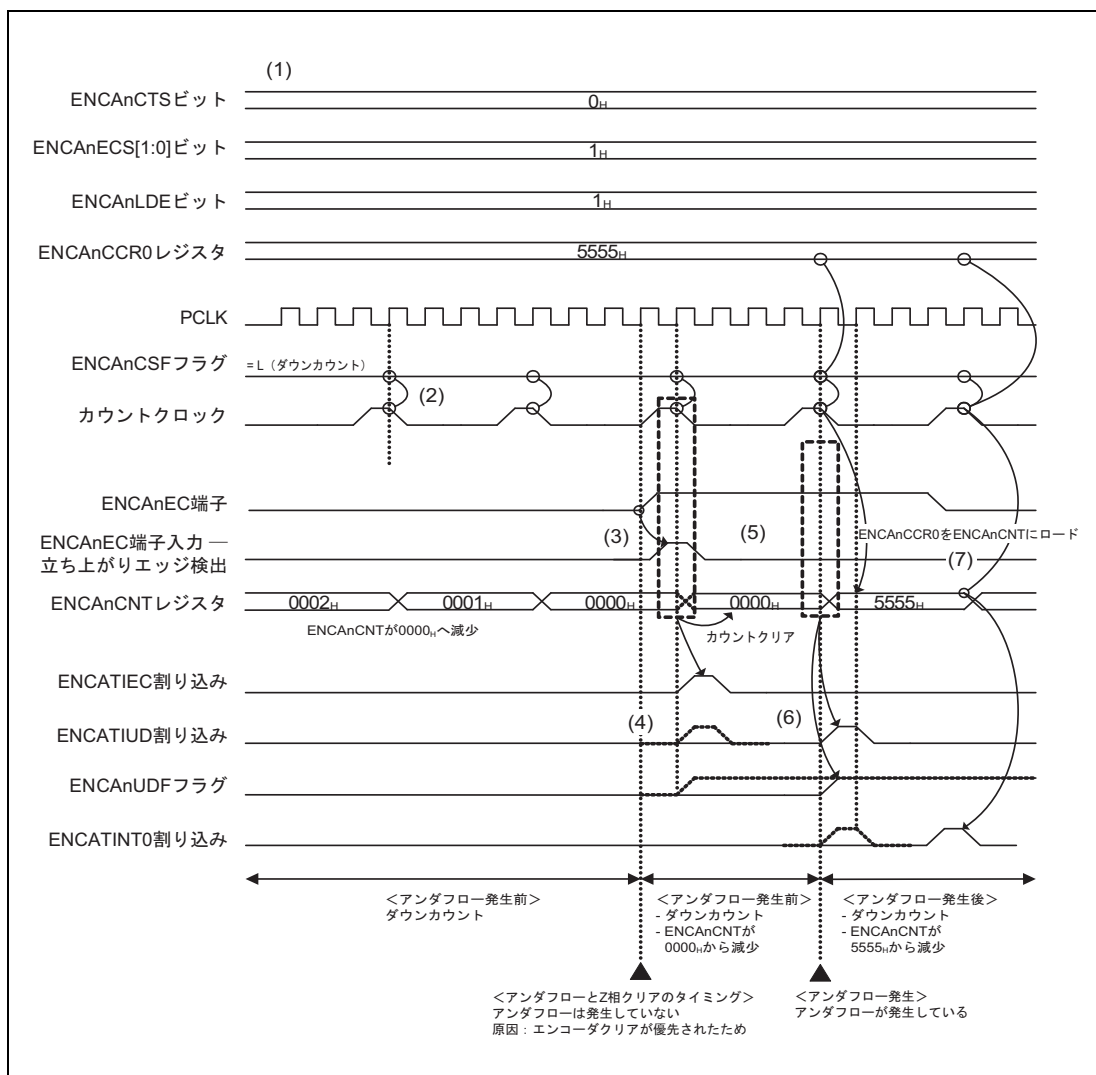


図 28.22 ENCA_nLDE 機能とエンコーダクリア入力によるクリア動作との競合

- (1) 以下の値が設定されています。ENCA_nCTS = 0、ENCA_nECS[1:0] = 01_B、ENCA_nLDE = 1、ENCA_nCCR0 = 5555_H。
- (2) ダウンカウントが実行されます：0002_H → 0001_H → 0000_H。
- (3) カウンタ値が 0000_H になったときに ENCA_nEC 端子の立ち上がりエッジが検出され、エンコーダクリア入力によるクリアが実行されます。
- (4) カウンタ値が 0000_H に達したときにカウンタクリアが実行されたため、エンコーダクリア入力によるカウンタクリア割り込み (ENCATIEC) が出力されます。さらに、カウンタ値 0000_H でダウンカウントが行われなかったため、アンダフローは発生しません。したがって、アンダフロー割り込み (ENCATIUD) は出力されず、アンダフローフラグ (ENCA_nUDF) もセットされません。
- (5) エンコーダクリア入力によるクリアによってカウンタ値が 0000_H にクリアされたあと、ダウンカウントが実行され、アンダフローが発生します。

- (6) アンダフロー割り込み (ENCATIUD) が出力され、アンダフローフラグ (ENCAAnUDF) がセットされます。
- (7) ENCAAnLDE = 1 であるため、アンダフローが発生すると ENCAAnCCR0 の値が ENCAAnCNT にロードされます。
- (8) ENCAAnCCR0 の値が ENCAAnCNT に設定されたあと、カウントクロックに基づいてコンペアー一致の検出が行われ、ENCAAnCNT と ENCAAnCCR0 が一致するとコンペアー一致割り込み (ENCATINT0) が出力されます。

28.6.12 ENCA_nLDE 機能 (カウンタ値のロード) とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント

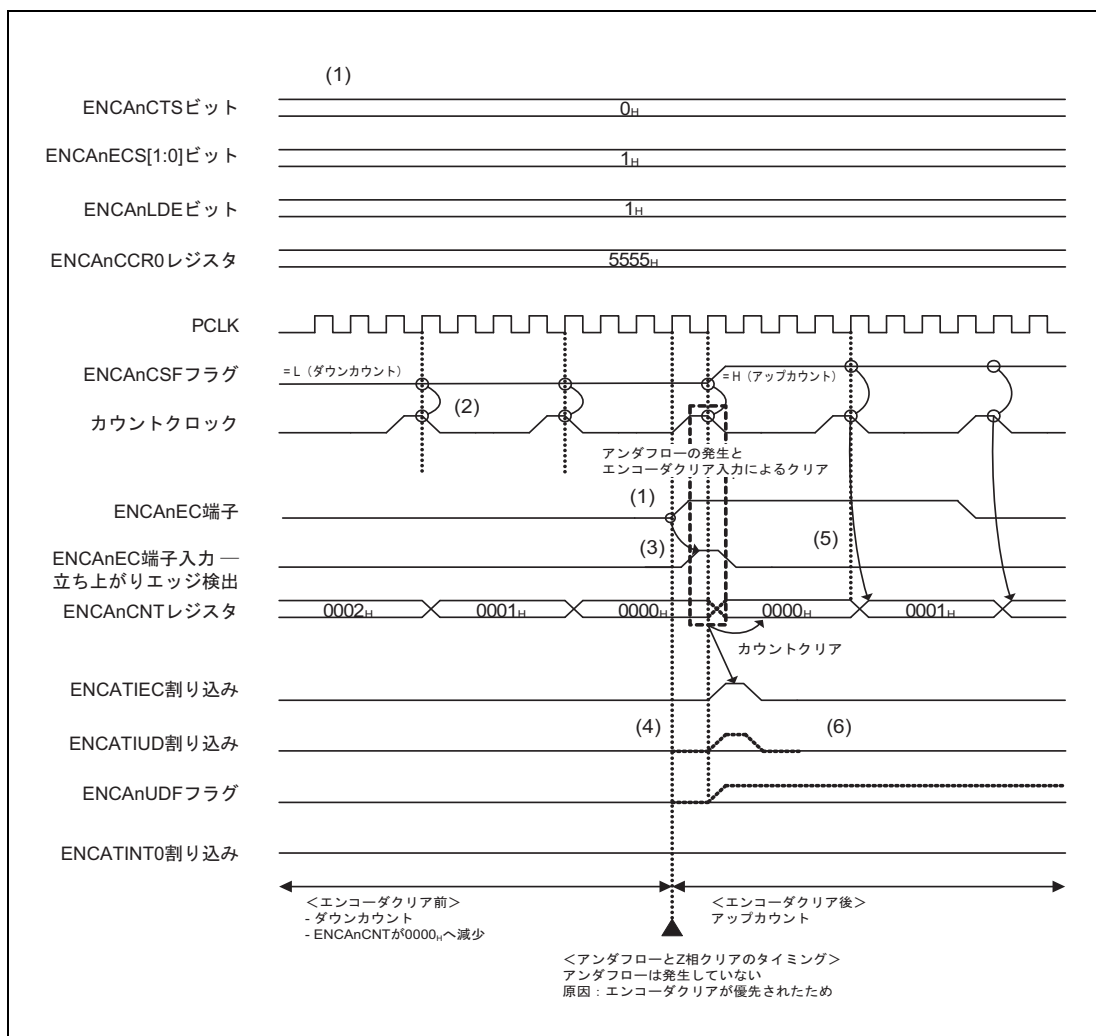
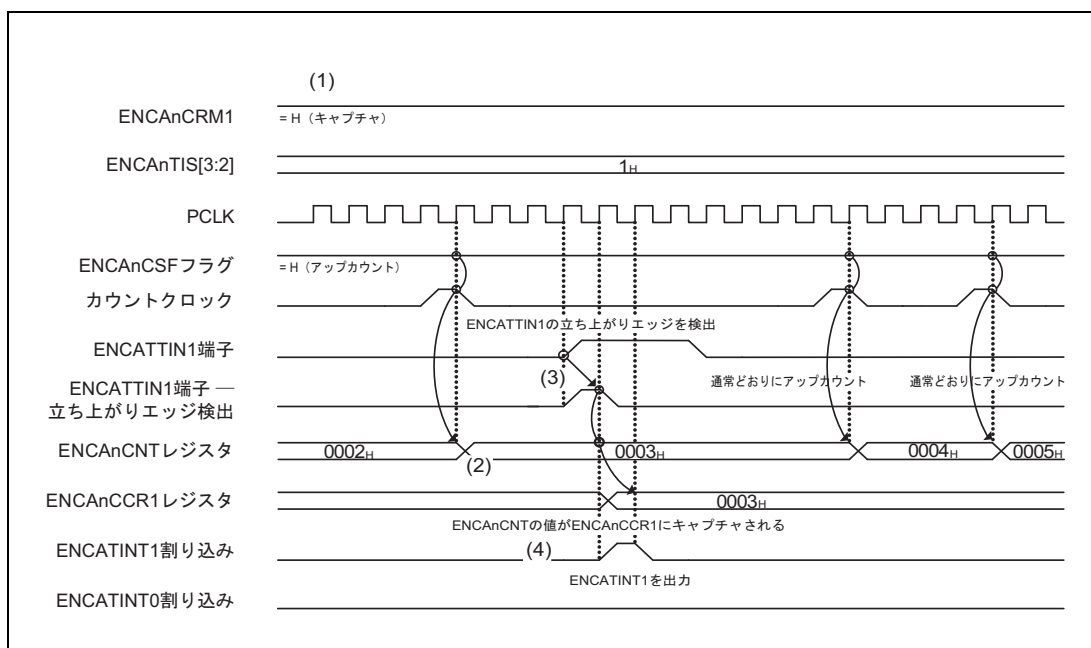


図 28.23 ENCA_nLDE 機能とエンコーダクリアとの競合後のアップカウント

- (1) 以下の値が設定されています。ENCA_nCTS = 0、ENCA_nECS[1:0] = 01_B、ENCA_nLDE = 1、ENCA_nCCR0 = 5555_H。
- (2) ダウンカウントが実行されます：0002_H → 0001_H → 0000_H。
- (3) カウント値が 0000_H になったときに ENCA_nEC 端子の立ち上がりエッジが検出され、エンコーダクリア入力によるクリアが実行されます。
- (4) カウント値が 0000_H に達したときにカウントクリアが実行されたため、エンコーダクリア入力によるカウンタクリア割り込み (ENCA_nTIEC) が出力されます。さらに、カウント値 0000_H のときにダウンカウントが行われなかったため、アンダフローは発生しません。したがって、アンダフロー割り込み (ENCA_nTIUD) は出力されず、アンダフローフラグ (ENCA_nUDF) もセットされません。
- (5) エンコーダクリア入力によるクリアによってカウント値が 0000_H にクリアされたあと、アップカウントが実行されます。
- (6) アンダフロー割り込み (ENCA_nTIUD) は出力されず、アンダフローフラグ (ENCA_nUDF) もセットされません。

28.6.13 カウントクロック間のキャプチャ動作 (ENCA_nCCR1)図 28.24 カウントクロック間のキャプチャ動作 (ENCA_nCCR1)

- (1) 以下の値が設定されています。ENCA_nCRM1 = 1、ENCA_nTIS[3:2] = 01_B。
- (2) アップカウントが実行されます。
- (3) ENCATTIN1 入力の立ち上がりエッジが検出され、カウント値が ENCA_nCCR1 にキャプチャされます。
- (4) ENCA_nCCR1 レジスタへのキャプチャに対応する割り込み (ENCATTIN1) が出力されます。

28.6.14 カウントクロック間のキャプチャ動作 (ENCAAnCCR0)

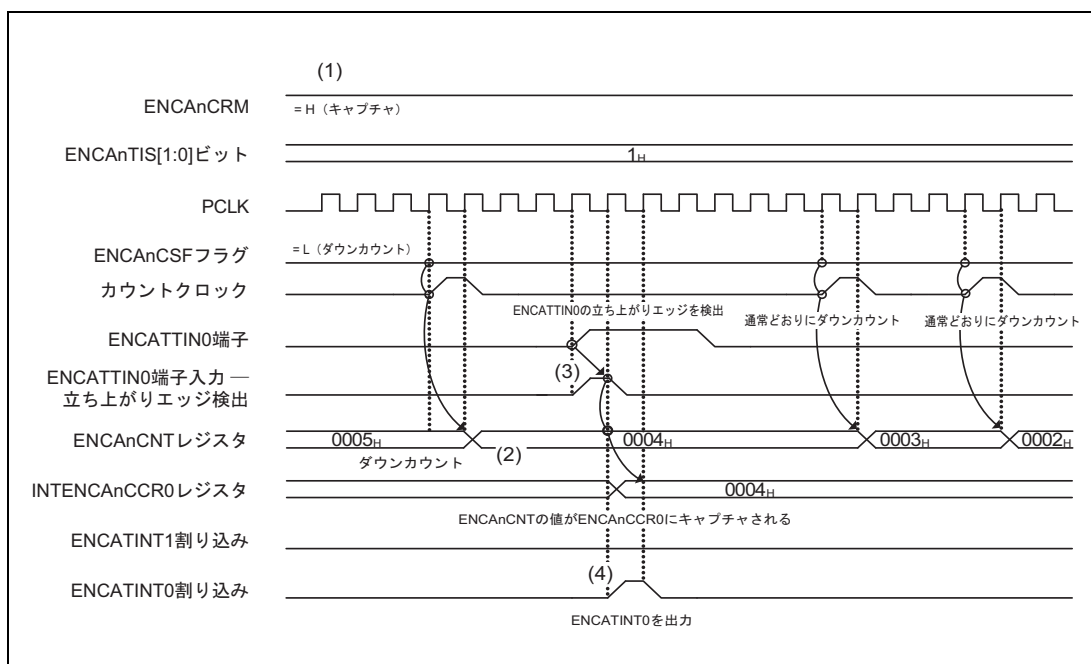
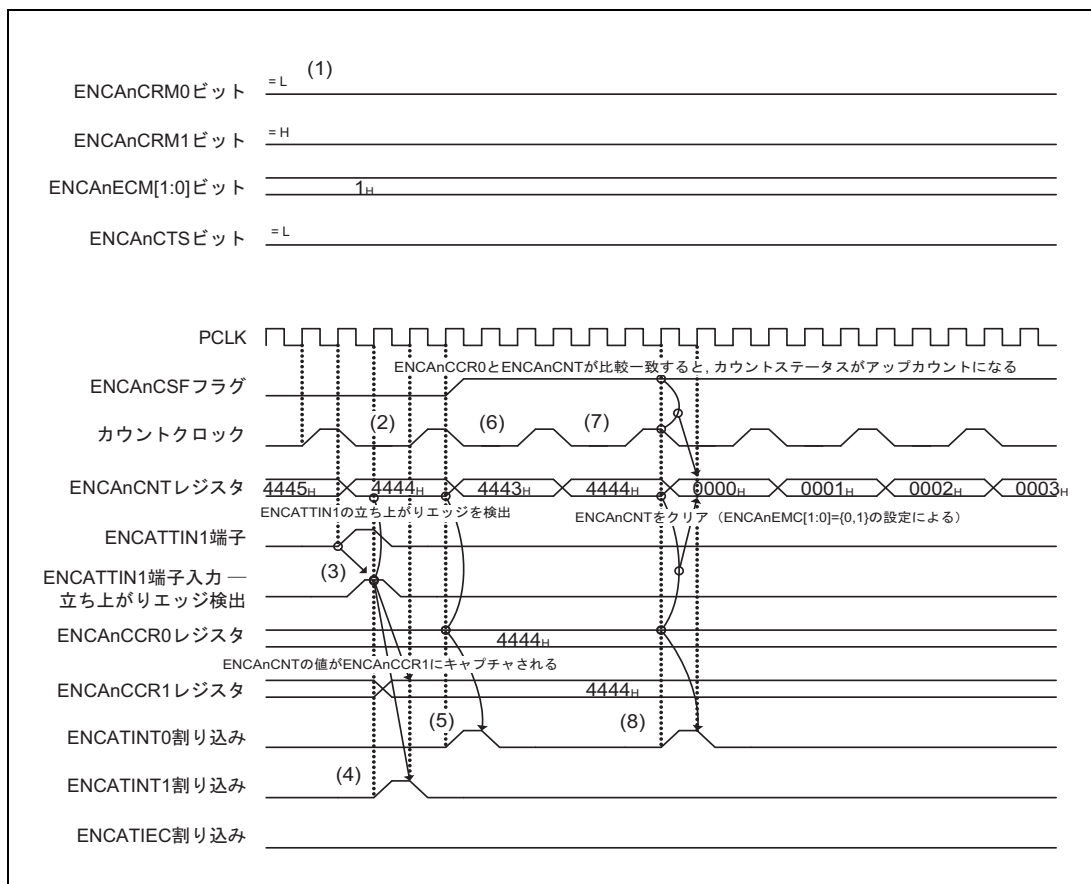
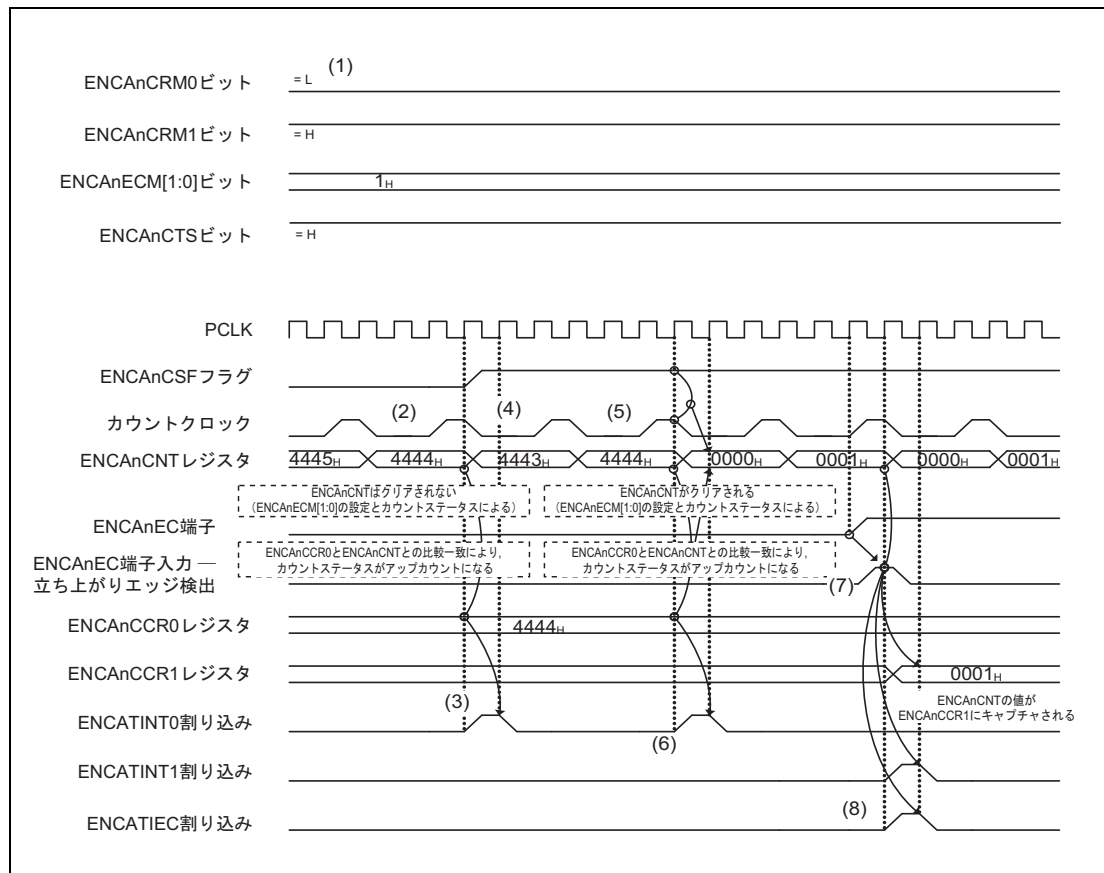


図 28.25 カウントクロック間のキャプチャ動作 (ENCAAnCCR0)

- (1) 以下の値が設定されています。ENCAAnCRM0 = 1、ENCAAnTIS[1:0] = 01_B。
- (2) ダウンカウントが実行されます。
- (3) ENCATTIN0 入力の立ち上がりエッジが検出され、カウント値が ENCAAnCCR0 にキャプチャされます。
- (4) ENCAAnCCR0 レジスタへのキャプチャに対応する割り込み (ENCATTIN0) が出力されます。

28.6.15 コンペア一致クリア制御有効かつ ENCA_nCTS = 0 のときのエンコーダの動作図 28.26 コンペア一致クリア制御有効かつ ENCA_nCTS = 0 のときのエンコーダの動作

- (1) 以下の値が設定されています。ENCA_nCCR0 = 4444_H、ENCA_nCRM0 = 0、ENCA_nCRM1 = 1、ENCA_nECM[1:0] = 01_B、ENCA_nCTS = 0。
- (2) ダウンカウントが実行されます。
- (3) ENCATTIN1 の立ち上がりエッジが検出され、ENCA_nCNT の値 4444_H が ENCA_nCCR1 レジスタにキャプチャされます。
- (4) ENCA_nCCR1 へのキャプチャに対応する割り込み (ENCATINT1) が出力されます。
- (5) ENCA_nCNT (4445_H から 4444_H へダウンカウントされる) と ENCA_nCCR0 (4444_H) がコンペア一致すると、ENCA_nCCR0 とのコンペア一致割り込み (ENCATINT0) が出力されます。
- (6) カウント動作がアップカウントに変わります。
- (7) ENCA_nCNT が 4443_H から 4444_H へカウントアップされると ENCA_nCCR0 とのコンペア一致が再び発生します。コンペア一致が発生したときのカウント動作がアップカウントであるため、ENCA_nECM[1:0] の設定 (01_B) に従ってカウント値がクリアされ、ENCA_nCNT の値が 0000_H になります。
- (8) ENCA_nCNT が 4444_H になると、ENCA_nCCR0 とのコンペア一致割り込み (ENCATINT0) が出力されます。

28.6.16 コンペアー一致クリア制御有効かつ ENCA_nCTS = 1 のときのエンコーダの動作図 28.27 コンペアー一致クリア制御有効かつ ENCA_nCTS = 1 のときのエンコーダの動作

- (1) 以下の値が設定されています。ENCA_nCCR0 = 4444_H、ENCA_nCRM0 = 0、ENCA_nCRM1 = 1、ENCA_nECM[1:0] = 01_B、ENCA_nCTS = 1。
- (2) ダウンカウントが実行されます。
- (3) ENCA_nCNT (4445_H から 4444_H へダウンカウントされる) と ENCA_nCCR0 (4444_H) がコンペアー一致すると、コンペアー/キャプチャ割り込み 0 (ENCA_nTINT0) が出力されます。
- (4) カウント動作がアップカウントに変わります。
- (5) ENCA_nCNT が 4443_H から 4444_H へカウントアップされると ENCA_nCCR0 とのコンペアー一致が再び発生します。コンペアー一致が発生したときのカウント動作がアップカウントであるため、ENCA_nECM[1:0] の設定 (01_B) に従ってカウント値がクリアされ、ENCA_nCNT の値が 0000_H になります。
- (6) ENCA_nCNT が 4444_H になると、ENCA_nCCR0 とのコンペアー一致割り込み (ENCA_nTINT0) が出力されます。
- (7) カウントがクリアされたあと、アップカウントが実行され、カウント値が 0001_H になります。この時点で ENCA_nEC 信号の立ち上がりエッジが検出されることによって ENCA_nCNT の値 0001_H が ENCA_nCCR1 にキャプチャされ、カウンタが 0000_H にクリアされます。
- (8) ENCA_nCCR1 レジスタへのキャプチャに対応する割り込み (ENCA_nTINT1) と ENCA_nEC によるクリア割り込み (ENCA_nTIEC) が出力されます。

28.6.17 コンペアー一致クリア制御無効時のエンコーダの動作

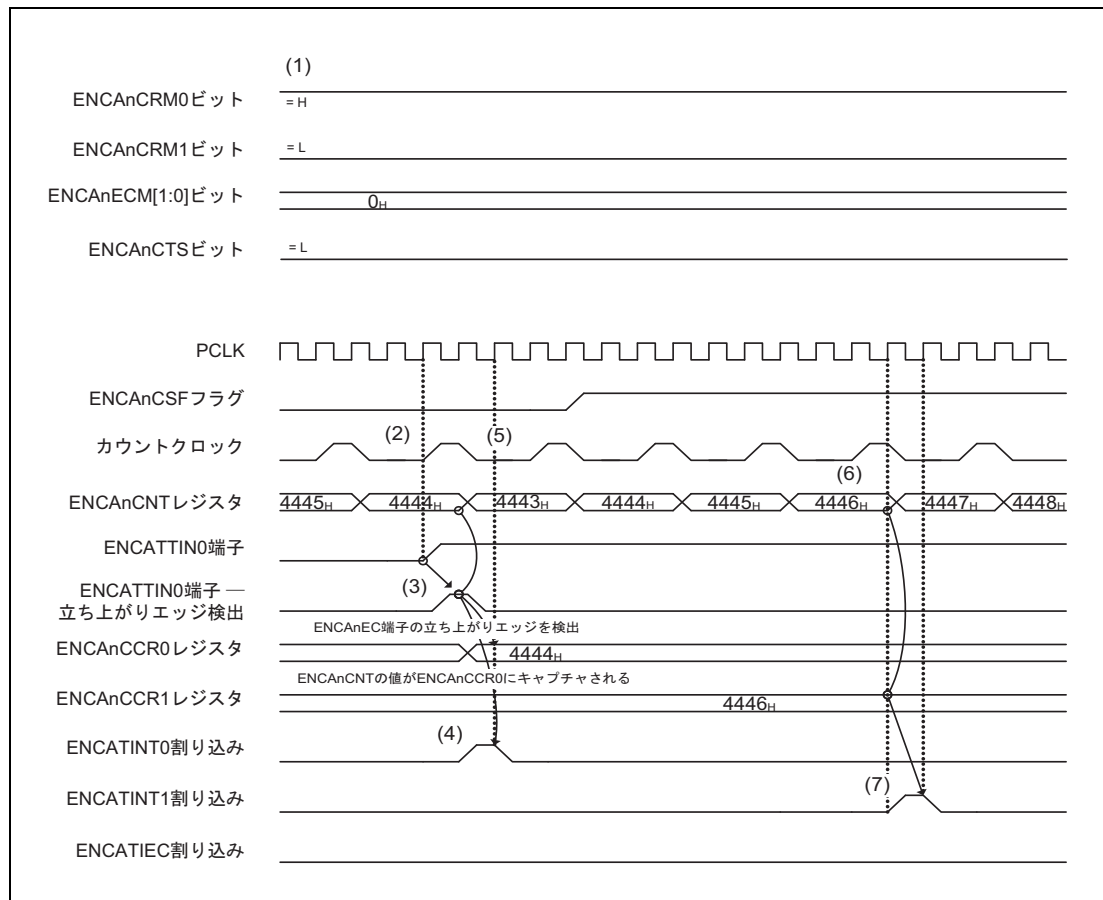


図 28.28 コンペアー一致クリア制御無効時のときのエンコーダの動作

- (1) 以下の値が設定されています。ENCAAnCCR1 = 4446_H、ENCAAnCRM0 = 1、ENCAAnCRM1 = 0、ENCAAnECM[1:0] = 00_B、ENCAAnCTS = 0。
- (2) ダウンカウントが実行されます。
- (3) ENCATTIN0 の立ち上がりエッジが検出されると、ENCAAnCNT の値 (4444_H) が ENCAAnCCR0 にキャプチャされます。
- (4) ENCAAnCCR0 へのキャプチャに対応する割り込み (ENCATINT0) が出力されます。
- (5) カウント動作がアップカウントに変わります。
- (6) ENCAAnCNT が 4446_H になると、ENCAAnCCR1 とのコンペアー一致が検出されます。
- (7) ENCAAnCCR1 とのコンペアー一致割り込み (ENCATINT1) が出力されます。

28.6.18 ENCA_nSCE = 1 のときに ENCA_nEC、ENCA_nE0、ENCA_nE1 によるクリアのタイミングで行われるキャプチャ動作

28.6.18.1 付随するキャプチャ動作

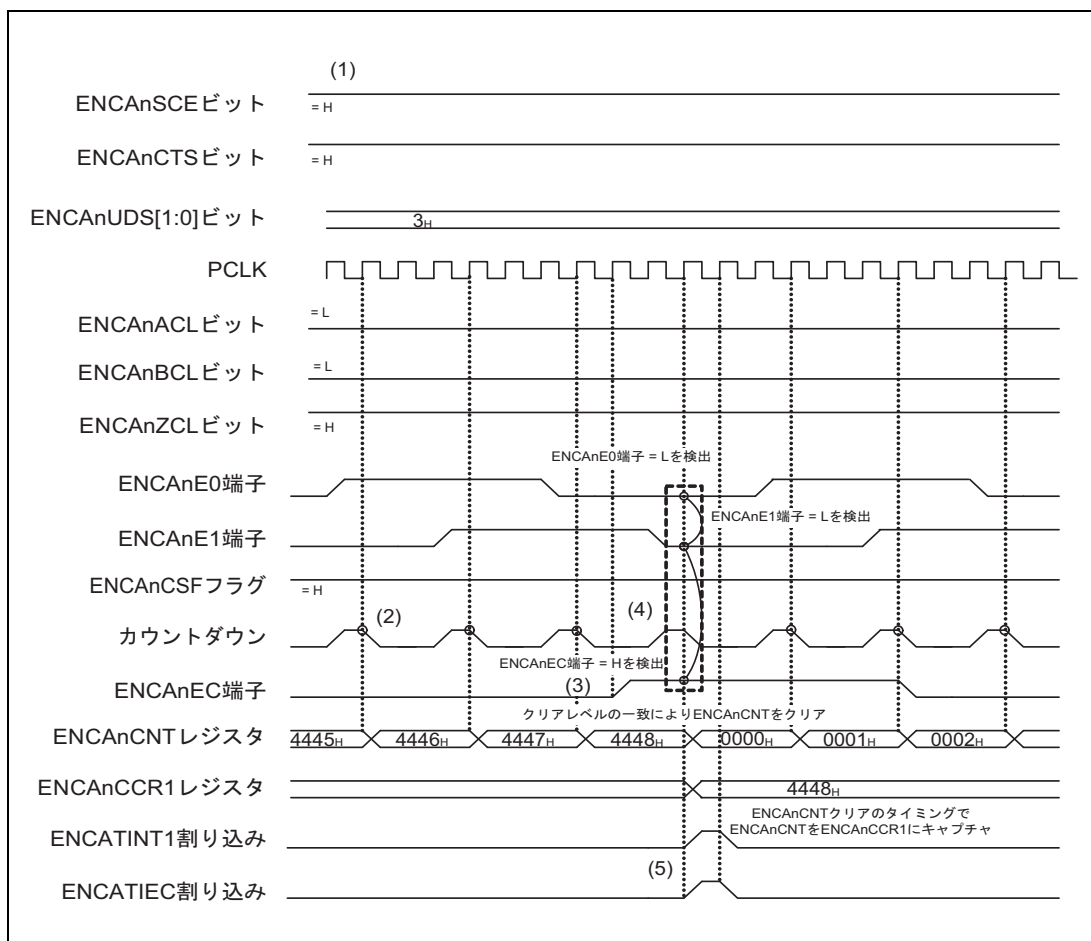


図 28.29 ENCA_nSCE = 1 のときに ENCA_nEC、ENCA_nE0、ENCA_nE1 によるクリアのタイミングで行われるキャプチャ動作

- (1) 以下の設定が行われています。ENCA_nSCE = 1、ENCA_nCTS = 1、ENCA_nUDS[1:0] = 11_B、ENCA_nACL = 0、ENCA_nBCL = 0、ENCA_nZCL = 1。
- (2) アップカウントが実行されます。
- (3) ENCA_nEC の立ち上がりエッジではカウント値はクリアされません。
- (4) ENCA_nE0、ENCA_nE1、ENCA_nEC が設定されたクリアレベルに達すると、カウント値がクリアされます。クリアのタイミングでカウント値が ENCA_nCCR1 にキャプチャされます。
- (5) クリアのタイミングで、ENCA_nCCR1 へのキャプチャに対応する割り込み (ENCA_nTINT1) と ENCA_nEC によるクリア割り込み (ENCA_nTIEC) が出力されます。

28.6.18.2 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより遅かった場合 (ENCA_nACL=1、ENCA_nBCL=0、ENCA_nZCL=1、ENCA_nUDS[1:0] = 11_B のとき)

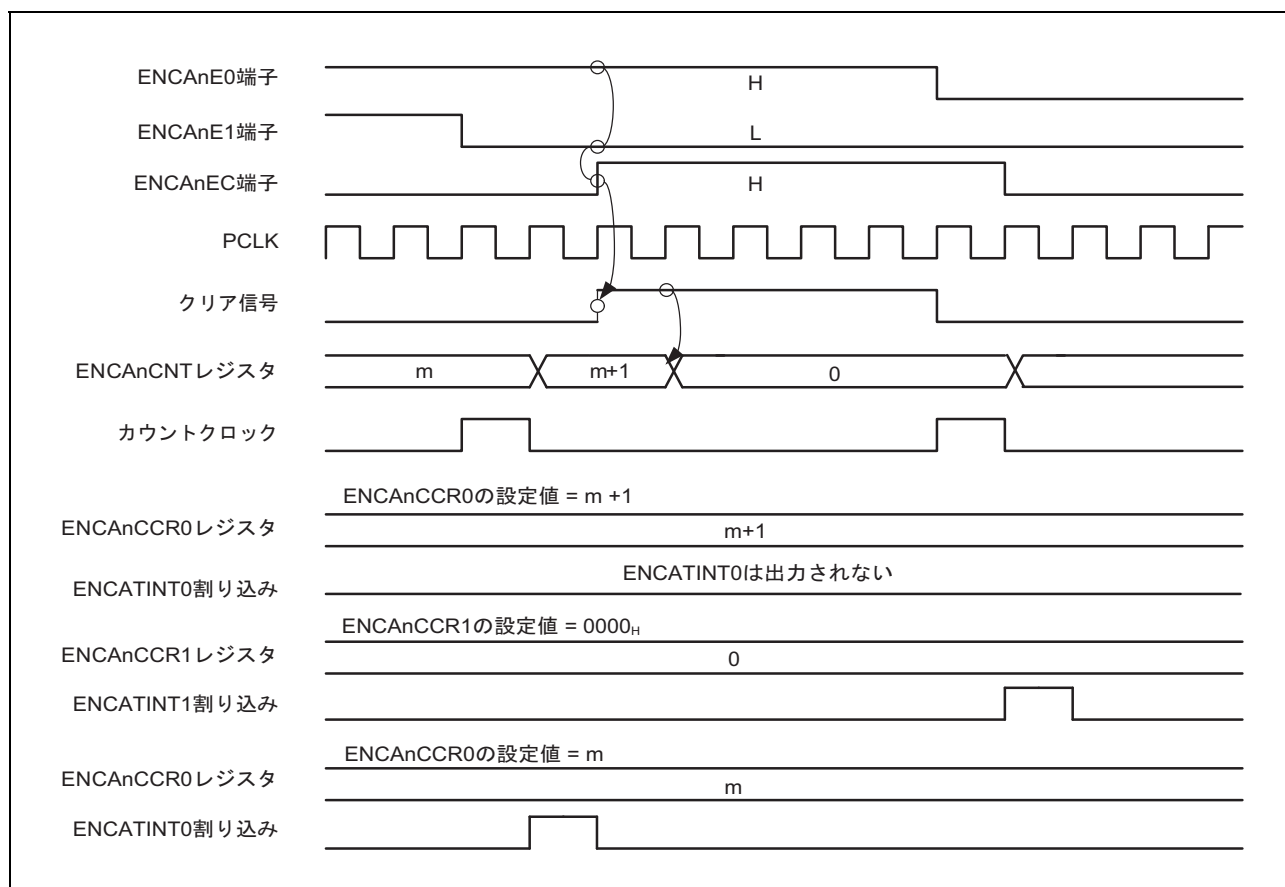


図 28.30 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより遅かった場合のクリアのタイミング

28.6.18.3 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングと同じだった場合 (ENCA_nACL=1、ENCA_nBCL=0、ENCA_nZCL=1、ENCA_nUDS[1:0] = 11_B のとき)

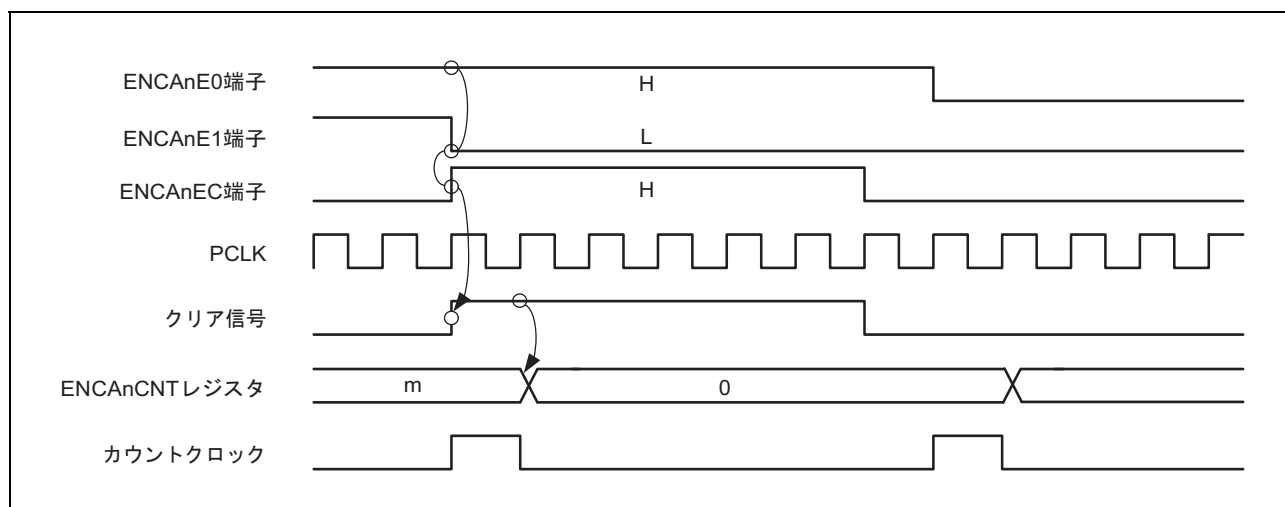


図 28.31 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングと同じだった場合のクリアのタイミング

28.6.18.4 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより早かった場合 (ENCA_nACL = 1、ENCA_nBCL = 0、ENCA_nZCL = 1、ENCA_nUDS[1:0] = 11_B のとき)

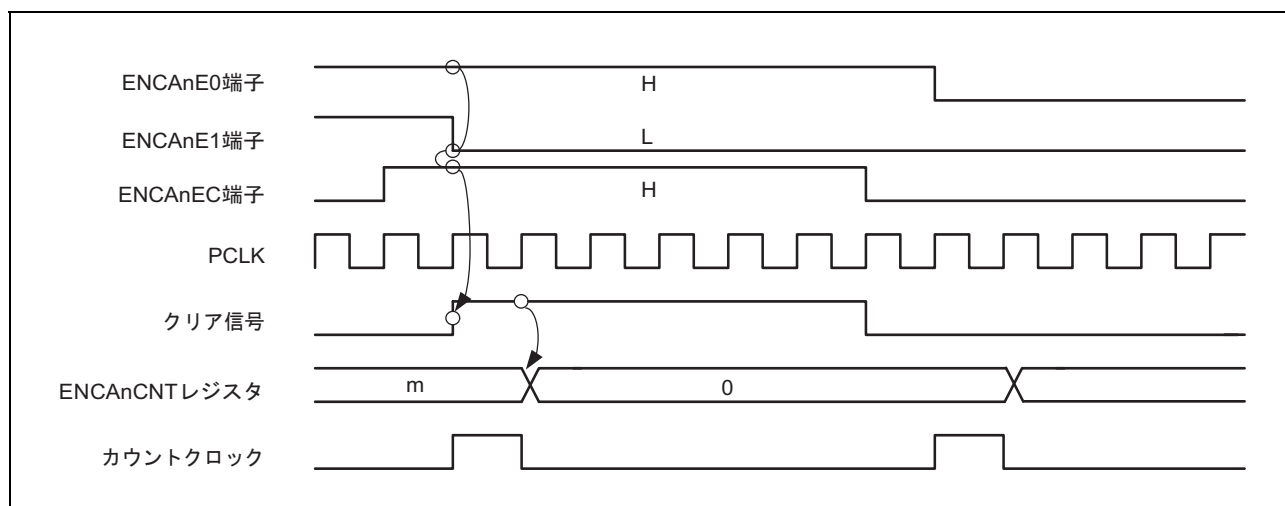


図 28.32 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより早かった場合のクリアのタイミング

28.6.18.5 ダウンカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより遅かった場合 (ENCA_nACL = 1、ENCA_nBCL = 0、ENCA_nZCL = 1、ENCA_nUDS[1:0] = 11_B のとき)

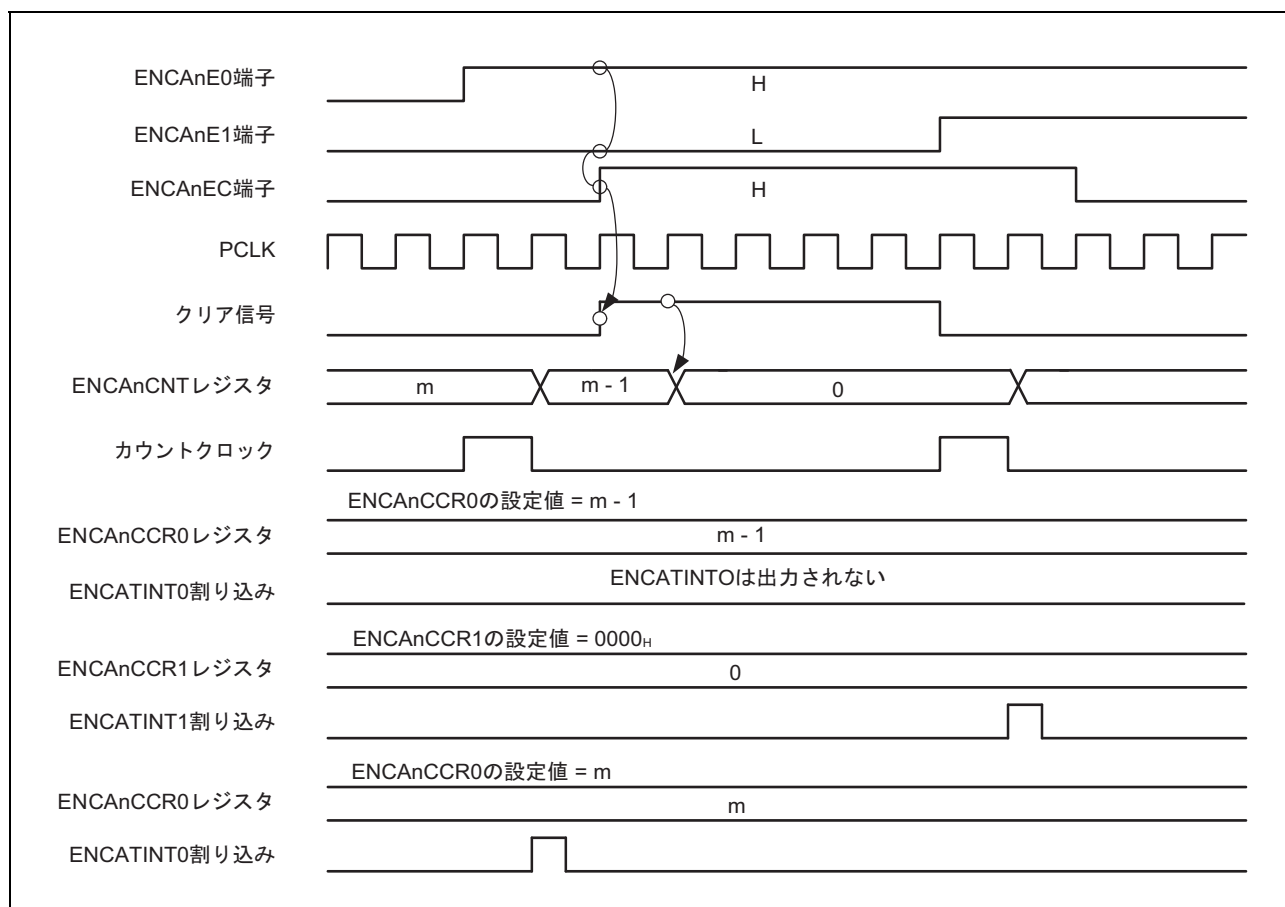


図 28.33 ダウンカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより遅かった場合のクリアのタイミング

28.6.19 ENCA_nSCE = 0 のときに ENCA_nEC によるクリアのタイミングで行われるキャプチャ動作

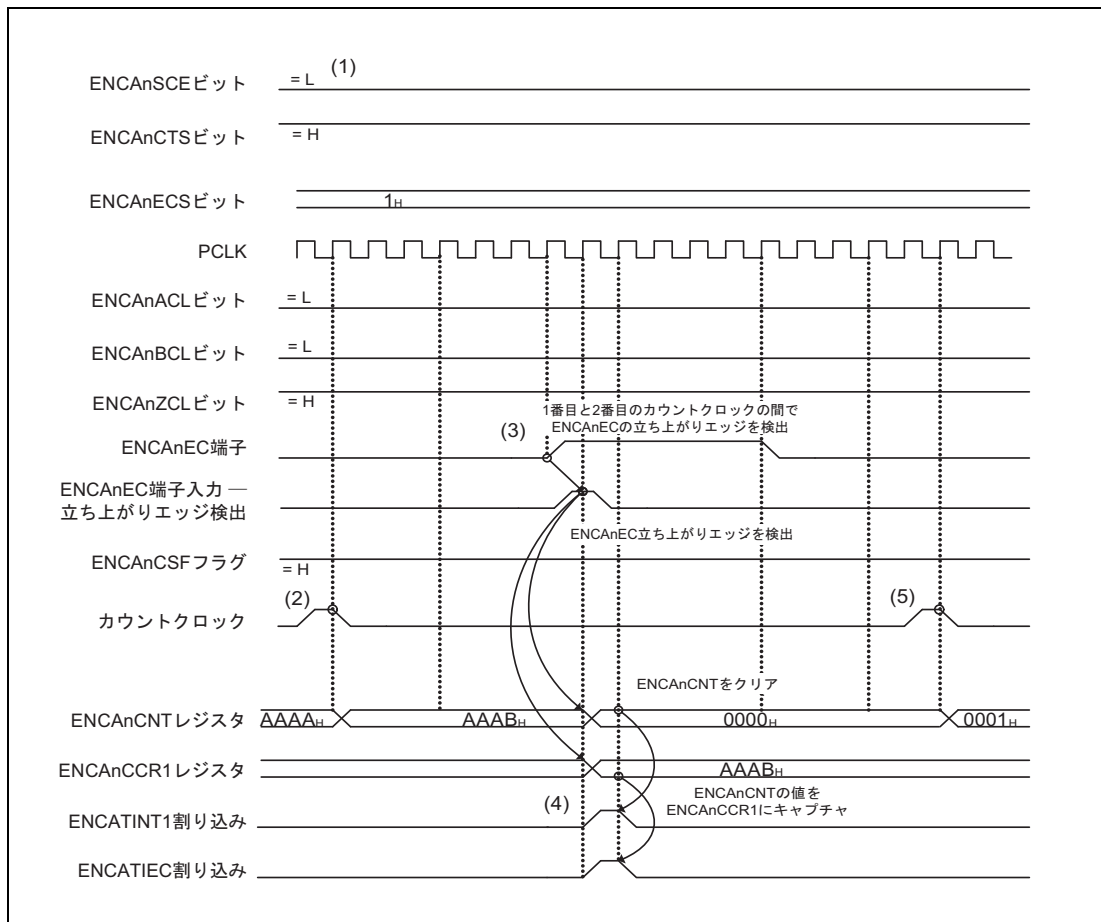


図 28.34 ENCA_nSCE = 0 のときに ENCA_nEC によるクリアのタイミングで行われるキャプチャ動作

- (1) 以下の値が設定されています。ENCA_nSCE = 0、ENCA_nCTS = 1、ENCA_nECS[1:0] = 01_B。
- (2) アップカウントが実行されます。
- (3) ENCA_nEC の立ち上がりエッジが検出され、ENCA_nCNT の値 (AAAB_H) が ENCA_nCCR1 にキャプチャされます。同時に、ENCA_nEC によるクリア動作が行われるため、ENCA_nCNT は 0000_H にクリアされます。
- (4) ENCA_nCCR1 へのキャプチャ割り込み 1 (ENCA_nCATINT1) と ENCA_nEC によるエンコーダクリア割り込み (ENCA_nTIEC) が出力されます。
- (5) カウンタがクリアされたあと、アップカウントが実行され、カウンタ値が 0001_H になります。

第29章 モータ制御

本章では、モータ制御全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1Kに固有の特長について説明します。それ以降の節では、モータ制御機能、レジスタについて説明します。

29.1 RH850/F1K モータ制御の特長

29.1.1 ユニット数とチャネル数

モータ制御機能は、タイマモータ制御ユニット (TAPA) と TAPA と周辺タイマを接続するペリフェラルインタコネクション (PIC) で構成し、周辺タイマおよび A/D コンバータとの組み合わせによりモータ制御波形を生成します。

本製品は、以下のユニット数の TAPA および PIC を搭載しています。

表 29.1 ユニット数

製品名	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
TAPA			
ユニット数		1	
名称		TAPAn(n=0)	
PIC			
ユニット数		1	
名称		PIC0	

表 29.2 添字

添字	説明
n	本章では、TAPA、およびモータ制御機能が使用するタイマ、A/D コンバータのユニットを「n」(n = 0) で識別します。たとえば、TAPAn 制御レジスタ 0 (TAPAnCTL0) のように記述していません。
m	使用するタイマ、A/D コンバータのチャネルを「m」で識別します。たとえば、TAUDn のチャネルは CHm と記述します。
x	A/D コンバータのスキヤングループを「x」(x = 1 ~ 3) で識別します。
j	A/D コンバータのスキヤントリガ番号を「j」(j = 0 ~ 2) で識別します。

各製品の添字が示す値を以下に示します。

表 29.3 各製品の添字対応

各製品の添字対応	
全製品	
	m = 0 ~ 15 (例 . TAUDn)
	x = 1 ~ 3
	j = 0 ~ 2

29.1.2 レジスタベースアドレス

TAPAn および PIC0 のベースアドレスを以下の表に示します。

TAPAn、PIC0 のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 29.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TAPA0_base>	FFE9 0000 _H
<PIC0_base>	FFDD 0000 _H

29.1.3 クロック供給

TAPAn、PIC0 のクロック供給を以下の表に示します。

表 29.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名	説明
TAPAn	PCLK	CKSCLK_IPERI1	モジュール クロック
	レジスタアクセスクロック	CPUCLK2	バス クロック
		CKSCLK_IPERI1	
PIC0	PCLK	CKSCLK_IPERI1	モジュール クロック
	レジスタアクセスクロック	CPUCLK2	バス クロック
		CKSCLK_IPERI1	

29.1.4 割り込み要求

TAPA0 の割り込み要求を以下の表に示します。

表 29.6 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
TAPA0			
TAPATIPEK0	山割り込み 0	16、116	—
TAPATIVLY0	谷割り込み 0	17、117	—

29.1.5 リセット要因

TAPAn、PIC0 のリセット要因を以下に示します。TAPAn、PIC0 は以下のリセット要因で初期化されます。

表 29.7 リセット要因

ユニット名	リセット要因
TAPA0	すべてのリセット要因 (ISORES)
PIC0	すべてのリセット要因 (ISORES)

29.1.6 外部入出力信号

TAPAn、PIC0 の外部出力信号を以下の表に示します。

表 29.8 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
PIC		
TOUTU	モータ制御出力 U 相 (正相)	TAPA0UP
TOUTUB	モータ制御出力 U 相 (逆相)	TAPA0UN
TOUTV	モータ制御出力 V 相 (正相)	TAPA0VP
TOUTVB	モータ制御出力 V 相 (逆相)	TAPA0VN
TOUTW	モータ制御出力 W 相 (正相)	TAPA0WP
TOUTWB	モータ制御出力 W 相 (逆相)	TAPA0WN
TAPA		
TAPATHASIN	モータ制御出力 Hi-Z 制御入力	TAPA0ESO

注 意

TAPA0UP、TAPA0UN、TAPA0VP、TAPA0VN、TAPA0WP、TAPA0WN として使用するポートは、出力ドライバ強度をハイドライブ強度 (PDSCn_m = 1) に設定してください。

29.1.7 内部出力信号

TAPAn、PIC0 の内部出力信号を以下の表に示します。

表 29.9 内部出力信号

ユニット信号名	説明	接続先
TAPA0		
TAPATHZOUT0	TAPA0UP/TAPA0UN 出力バッファ Hi-Z 制御出力 ^{注1}	ポート
TAPATHZOUT1	TAPA0VP/TAPA0VN 出力バッファ Hi-Z 制御出力 ^{注1}	ポート
TAPATHZOUT2	TAPA0WP/TAPA0WN 出力バッファ Hi-Z 制御出力 ^{注1}	ポート
TAPATADOUT0	A/D 変換トリガ信号 0 出力 ^{注2}	ADCA0 ハードウェアトリガ拡張
TAPATADOUT1	A/D 変換トリガ信号 1 出力 ^{注2}	ADCA0 ハードウェアトリガ拡張
PIC0		
TAPATHASIN	TAPA0 非同期 Hi-Z 制御信号 ^{注1、注3}	TAPA0
TAPATSIM0	TAUD マスタチャンネル割り込み信号 (TAUD0 : INTTAUD0I0、INTTAUD0I2、INTTAUD0I8)	TAPA0
TAPATUDCM0	TAUD マスタ アップ/ダウン信号 (TAUD0 : TAUD0UDC0、TAUD0UDC2、TAUD0UDC8)	TAPA0
TAPATCDENS0	TAUD スレーブ 0 一致検出 ^{注4} (ADCA0 ハードウェアトリガ拡張 : ADOPA1ADCATTIN00)	TAPA0
TAPATCDENS1	TAUD スレーブ 1 一致検出 ^{注4} (ADCA0 ハードウェアトリガ拡張 : ADOPA2ADCATTIN00)	TAPA0

注 1. 詳細については、「29.4.6 TAPA0 Hi-Z 制御入力選択」を参照してください。

注 2. これらの信号は、A/D 変換開始用のトリガソースとして使用できます。「表 31.49 A/D 変換ハードウェアトリガー一覧」を参照してください。

注 3. この信号はノイズフィルタを経由します。「2.12 ノイズフィルタ & エッジレベル検出回路」および「2.13 ポートノイズフィルタ & エッジレベル検出機能説明」を参照してください。

注 4. これらの信号は、A/D コンバータ ADCA0 ハードウェアトリガ選択にて選択されます。「表 31.49 A/D 変換ハードウェアトリガー一覧」を参照してください。

29.2 概要

29.2.1 機能概要

モータ制御機能は、モータ制御ユニット (TAPA) とタイマアレユニット D (TAUDn) や A/D (ADCAn) を組み合わせて以下の機能を実現します。

- 非同期 Hi-Z 制御機能
端子入力やエラー信号による TAUDn 出力の Hi-Z 制御が可能
- 割り込み信号出力機能
TAUDn が出力する INTn 信号により山割り込み、谷割り込み要求信号出力が可能
- A/D 変換開始トリガ選択機能
TAUDn が出力する INTn 信号により A/D 変換開始トリガ出力が可能

また、ペリフェラルインタコネクション (PIC) との組み合わせにより以下の機能を実現します。

- タイマ同時スタートトリガ
TAUD0、TAUJ1 各チャネル、ENCAn タイマの同時スタートが可能
- トリガ&パルス幅測定機能
ENCAn の割り込み信号を TAUDn や TAUJ1 に入力し、トリガ周期測定が可能
- A/D トリガエンコーダキャプチャ機能
A/D 変換開始トリガタイミングで、ENCAn のカウンタ値のキャプチャが可能
- デッドタイム付き 3 相 PWM 出力機能/デッドタイム付き高精度三角波 PWM 出力機能
TAUDn によるデッドタイム付 3 相 PWM 出力が可能
- デッドタイム付きディレイパルス出力機能
周期タイミングに対するディレイパルス出力 (デッドタイム付) が可能

29.2.2 モータ制御機能の構成

モータ制御機能の周辺ブロック構成を以下に示します。

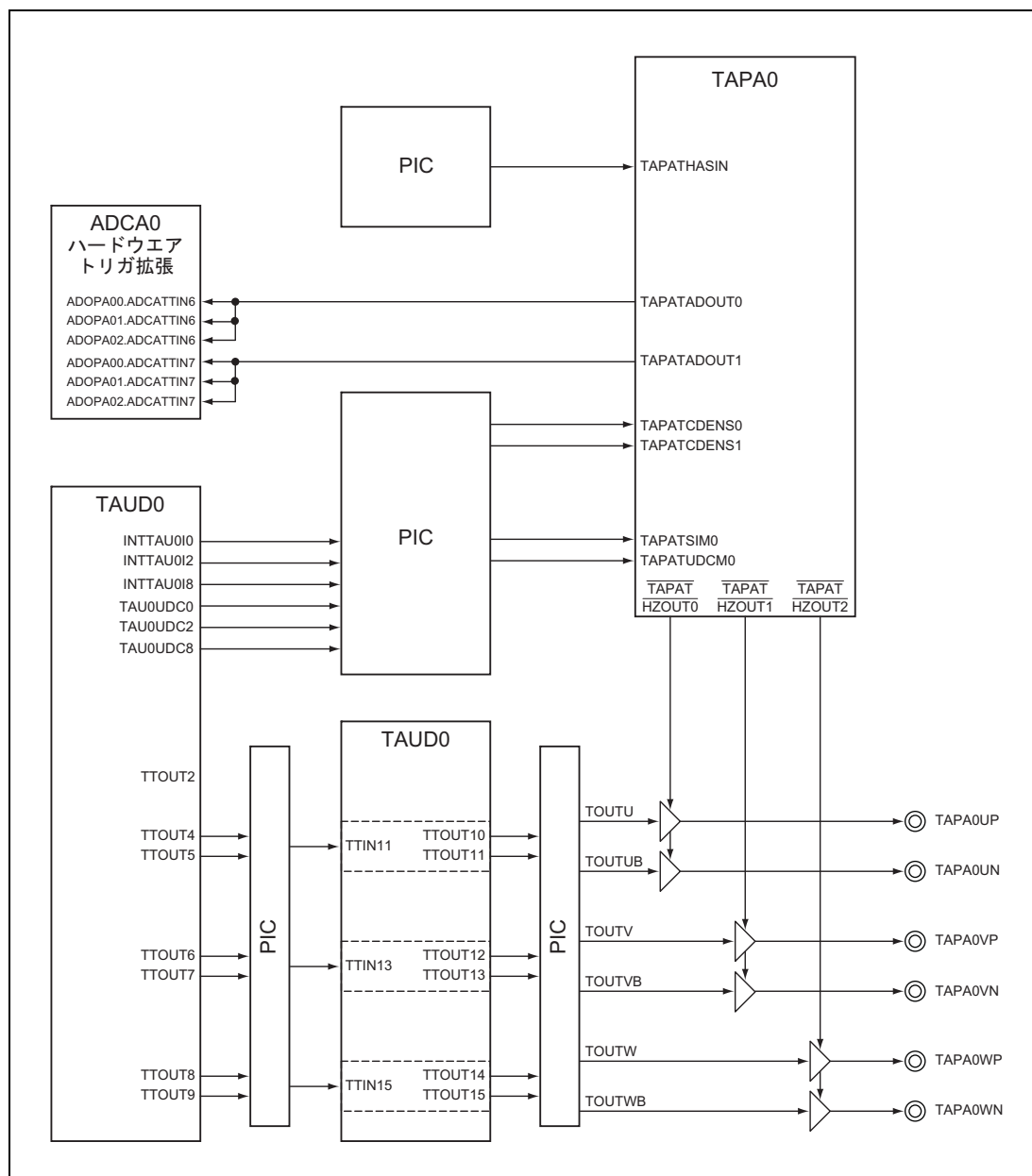


図 29.1 モータ制御の構成

TAUDn と PIC を使用して、モータ制御出力信号（デッドタイム付三相 PWM 出力信号）を生成します。

タイマ制御ユニット (TAPA) は、モータ制御出力の Hi-Z 制御を行います。

また、PIC は TAUDn、TAUJ1 の各チャンネルや ENCAN、および TAPA 間を組み合わせることによりモータ用途向けの機能を実現します。

29.2.3 ブロック図

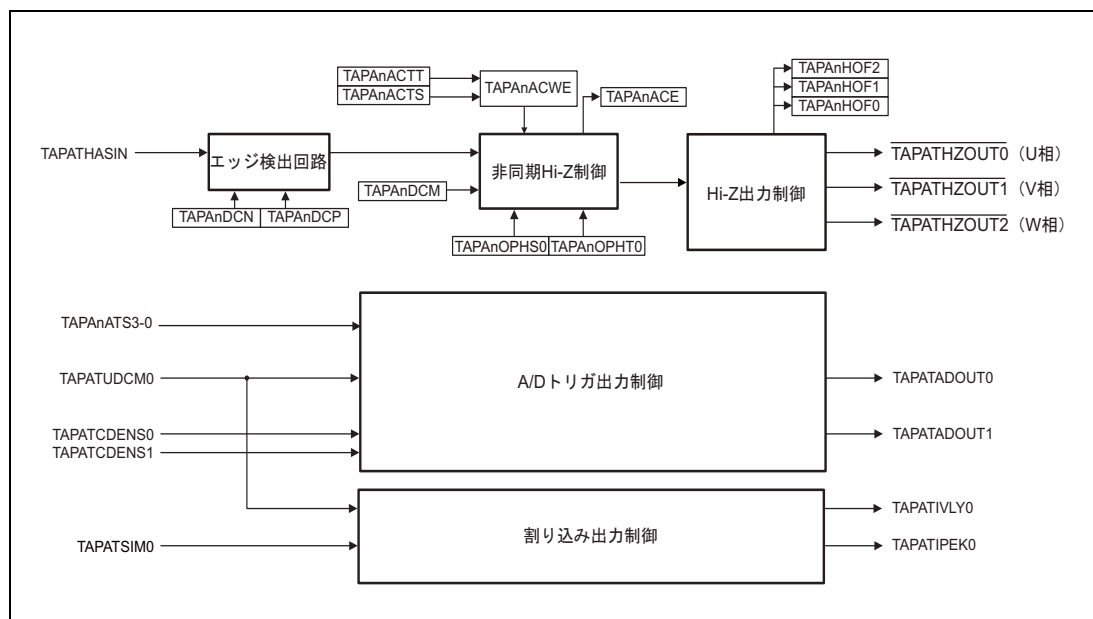


図 29.2 TAPA の周辺ブロック図

備考

PIC の周辺ブロック図は、各機能説明の節を参照してください。

29.2.4 用語説明

タイマカウンタの「山」と「谷」、「山割り込み」と「谷割り込み」について

このドキュメントでは、TAUD のカウントアップステータスから、マスタチャンネルの INT 発生までを「山」期間とし、発生するマスタチャンネルの INT を「山割り込み」と定義します。

また、TAUD のカウントダウンステータスから、マスタチャンネルの INT 発生までを「谷」期間とし、発生するマスタチャンネルの INT を「谷割り込み」と定義します。

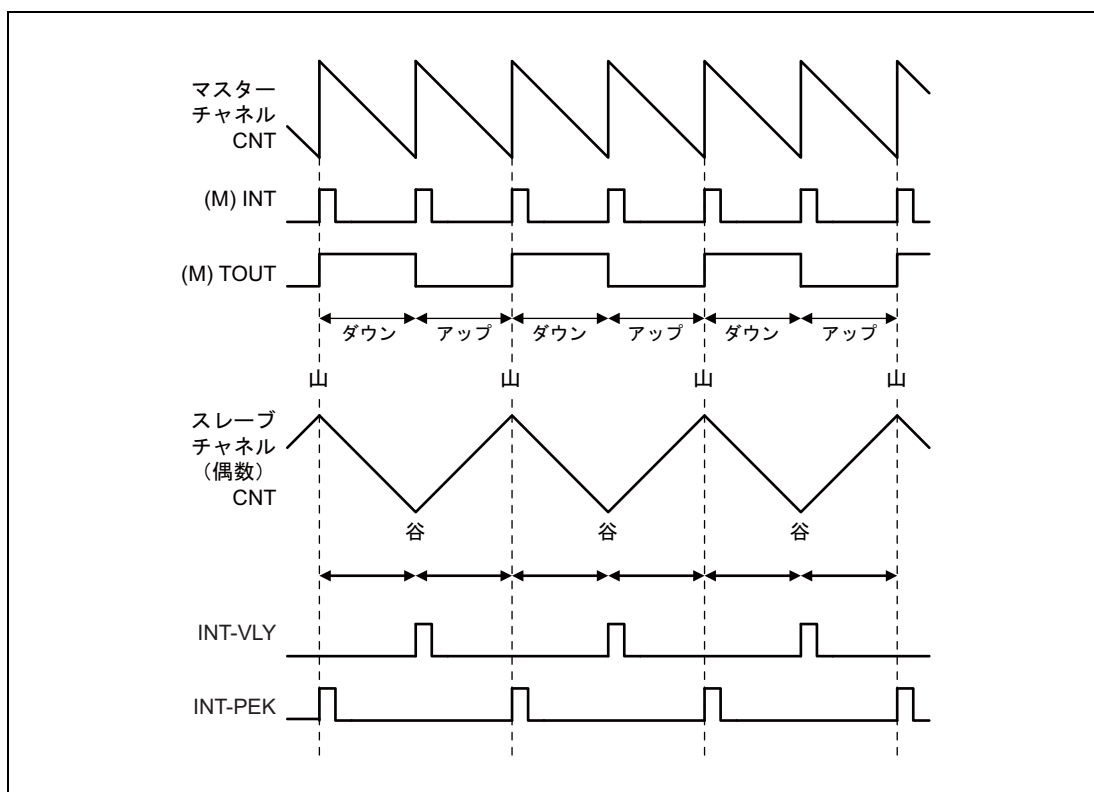


図 29.3 山割り込みと谷割り込み

29.3 レジスタ

29.3.1 レジスタ一覧

TAPAn および PIC0 のレジスタ一覧を以下の表に示します。

<TAPAn_base> および <PIC0_base> は「**29.1.2 レジスタベースアドレス**」を参照してください。

表 29.10 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
TAPAn	制御レジスタ 0	TAPAnCTL0	<TAPAn_base> + 20 _H
	制御レジスタ 1	TAPAnCTL1	<TAPAn_base> + 24 _H
	フラグレジスタ	TAPAnFLG	<TAPAn_base> + 00 _H
	非同期 Hi-Z 制御ライトイネーブルレジスタ	TAPAnACWE	<TAPAn_base> + 04 _H
	非同期 Hi-Z 制御スタートトリガレジスタ	TAPAnACTS	<TAPAn_base> + 08 _H
	非同期 Hi-Z 制御ストップトリガレジスタ	TAPAnACTT	<TAPAn_base> + 0C _H
	Hi-Z スタートトリガレジスタ	TAPAnOPHS	<TAPAn_base> + 14 _H
	Hi-Z ストップトリガレジスタ	TAPAnOPHT	<TAPAn_base> + 18 _H
	エミュレーションレジスタ	TAPAnEMU	<TAPAn_base> + 28 _H
PIC0	同時スタートトリガ制御レジスタ	PIC0SST	<PIC0_base> + 04 _H
	同時スタート制御レジスタ 0	PIC0SSER0	<PIC0_base> + 10 _H
	同時スタート制御レジスタ 2	PIC0SSER2	<PIC0_base> + 18 _H
	Hi-Z 出力制御レジスタ 0	PIC0HIZCEN0	<PIC0_base> + 80 _H
	A/D 変換トリガ出力制御レジスタ 400	PIC0ADTEN400	<PIC0_base> + 90 _H
	A/D 変換トリガ出力制御レジスタ 401	PIC0ADTEN401	<PIC0_base> + 94 _H
	A/D 変換トリガ出力制御レジスタ 402	PIC0ADTEN402	<PIC0_base> + 98 _H
	タイマ入出力制御レジスタ 200	PIC0REG200	<PIC0_base> + C0 _H
	タイマ入出力制御レジスタ 201	PIC0REG201	<PIC0_base> + C4 _H
	タイマ入出力制御レジスタ 202	PIC0REG202	<PIC0_base> + C8 _H
	タイマ入出力制御レジスタ 203	PIC0REG203	<PIC0_base> + CC _H
	タイマ入出力制御レジスタ 30	PIC0REG30	<PIC0_base> + E8 _H
	タイマ入出力制御レジスタ 31	PIC0REG31	<PIC0_base> + EC _H

備 考

PIC 関連レジスタは、各機能説明の節を参照してください。

29.3.2 TAPAnCTL0 — TAPA 制御レジスタ 0

このレジスタで、非同期 Hi-Z 制御機能の設定を行います。

このレジスタの値は、TAPAnFLG.TAPAnACE = 0、かつ、対応する TAUD のマスタチャネルの TAUDnTEm = 0 の場合のみ書き換えることができます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAPAn_base> + 20_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TAPAn DCM	TAPAn DCN	TAPAn DCP	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 29.11 TAPAnCTL0 レジスタの内容

ビット位置	ビット名	機能															
15 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
4	TAPAnDCM	クリア条件指定ビット Hi-Z 制御出力のクリア条件を指定するビットです。 0: TAPATHASIN 信号入力に関係なく、TAPAnOPHT0 ビットの操作を有効 1: TAPATHASIN 信号入力が入アクティブの場合にのみ、TAPAnOPHT0 ビット操作を有効															
3, 2	TAPAnDCN、 TAPAnDCP	Hi-Z 入力エッジ選択ビット TAPATHASIN 信号の有効エッジを指定する制御ビットです。 <table border="1" data-bbox="667 1167 1406 1420"> <thead> <tr> <th>TAPAn DCN</th> <th>TAPAn DCP</th> <th>動作説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>有効エッジを検出しない</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジを有効エッジとして検出 (アクティブレベル = High)</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち下がりエッジを有効エッジとして検出 (アクティブレベル = Low)</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	TAPAn DCN	TAPAn DCP	動作説明	0	0	有効エッジを検出しない	0	1	立ち上がりエッジを有効エッジとして検出 (アクティブレベル = High)	1	0	立ち下がりエッジを有効エッジとして検出 (アクティブレベル = Low)	1	1	設定禁止
TAPAn DCN	TAPAn DCP	動作説明															
0	0	有効エッジを検出しない															
0	1	立ち上がりエッジを有効エッジとして検出 (アクティブレベル = High)															
1	0	立ち下がりエッジを有効エッジとして検出 (アクティブレベル = Low)															
1	1	設定禁止															
1, 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															

29.3.3 TAPAnCTL1 — TAPA 制御レジスタ 1

このレジスタで、A/D 変換トリガを指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAPAn_base> + 24_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAPAnATS3	TAPAnATS2	TAPAnATS1	TAPAnATS0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 29.12 TAPAnCTL1 レジスタの内容

ビット位置	ビット名	機能															
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
3、2	TAPAnATS3、 TAPAnATS2	<p>A/D 変換トリガ 1 選択ビット A/D 変換トリガ出力 1 (TAPATADOUT1 信号) を指定する制御ビットです。</p> <table border="1"> <thead> <tr> <th>TAPAn ATS3</th> <th>TAPAn ATS2</th> <th>動作説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>三角波のダウンカウント中の INT 信号</td> </tr> <tr> <td>0</td> <td>1</td> <td>三角波のアップカウント中の INT 信号</td> </tr> <tr> <td>1</td> <td>0</td> <td>三角波のアップ/ダウンカウント中の INT 信号</td> </tr> <tr> <td>1</td> <td>1</td> <td>三角波のアップ/ダウンカウント中の INT 信号と谷割り込み TAPATIVLY0 信号</td> </tr> </tbody> </table>	TAPAn ATS3	TAPAn ATS2	動作説明	0	0	三角波のダウンカウント中の INT 信号	0	1	三角波のアップカウント中の INT 信号	1	0	三角波のアップ/ダウンカウント中の INT 信号	1	1	三角波のアップ/ダウンカウント中の INT 信号と谷割り込み TAPATIVLY0 信号
TAPAn ATS3	TAPAn ATS2	動作説明															
0	0	三角波のダウンカウント中の INT 信号															
0	1	三角波のアップカウント中の INT 信号															
1	0	三角波のアップ/ダウンカウント中の INT 信号															
1	1	三角波のアップ/ダウンカウント中の INT 信号と谷割り込み TAPATIVLY0 信号															
1、0	TAPAnATS1、 TAPAnATS0	<p>A/D 変換トリガ 0 選択ビット A/D 変換トリガ出力 0 (TAPATADOUT0 信号) を指定する制御ビットです。</p> <table border="1"> <thead> <tr> <th>TAPAn ATS1</th> <th>TAPAn ATS0</th> <th>動作説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>三角波のダウンカウント中の INT 信号</td> </tr> <tr> <td>0</td> <td>1</td> <td>三角波のアップカウント中の INT 信号</td> </tr> <tr> <td>1</td> <td>0</td> <td>三角波のアップ/ダウンカウント中の INT 信号</td> </tr> <tr> <td>1</td> <td>1</td> <td>三角波のアップ/ダウンカウント中の INT 信号と谷割り込み TAPATIVLY0 信号</td> </tr> </tbody> </table>	TAPAn ATS1	TAPAn ATS0	動作説明	0	0	三角波のダウンカウント中の INT 信号	0	1	三角波のアップカウント中の INT 信号	1	0	三角波のアップ/ダウンカウント中の INT 信号	1	1	三角波のアップ/ダウンカウント中の INT 信号と谷割り込み TAPATIVLY0 信号
TAPAn ATS1	TAPAn ATS0	動作説明															
0	0	三角波のダウンカウント中の INT 信号															
0	1	三角波のアップカウント中の INT 信号															
1	0	三角波のアップ/ダウンカウント中の INT 信号															
1	1	三角波のアップ/ダウンカウント中の INT 信号と谷割り込み TAPATIVLY0 信号															

29.3.4 TAPAnFLG — TAPA フラグレジスタ

非同期 Hi-Z 制御のフラグレジスタです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <TAPAn_base> + 00_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TAPAn HOF2	TAPAn HOF1	TAPAn HOF0	—	—	—	—	—	—	—	TAPAnA CE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.13 TAPAnFLG レジスタの内容

ビット位置	ビット名	機能
15 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。
10	TAPAnHOF2	W 相 Hi-Z 制御モニタビット Hi-Z 制御のモニタビットです。 0 : TAPAnTHZOUT2 の現在の出力がハイレベル 1 : TAPAnTHZOUT2 の現在の出力がロウレベル
9	TAPAnHOF1	V 相 Hi-Z 制御モニタビット Hi-Z 制御のモニタビットです。 0 : TAPAnTHZOUT1 の現在の出力がハイレベル 1 : TAPAnTHZOUT1 の現在の出力がロウレベル
8	TAPAnHOF0	U 相 Hi-Z 制御モニタビット Hi-Z 制御のモニタビットです。 0 : TAPAnTHZOUT0 の現在の出力がハイレベル 1 : TAPAnTHZOUT0 の現在の出力がロウレベル
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	TAPAnACE	非同期 Hi-Z 制御イネーブルビット 0 : 非同期 Hi-Z 制御が停止状態 1 : 非同期 Hi-Z 制御が許可状態 このビットのセット条件とクリア条件は次のとおりです。 クリア条件 : TAPAnACWE ビット = 1 時の TAPAnACTT への "1" 書き込み セット条件 : TAPAnACWE ビット = 1 時の TAPAnACTS への "1" 書き込み

29.3.5 TAPAnACWE — TAPA 非同期 Hi-Z 制御ライトイネーブルレジスタ

非同期 Hi-Z 制御のための書き込みを許可します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAPAn_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnACWE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 29.14 TAPAnACWE レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TAPAnACWE	非同期制御ライトイネーブルビット 非同期 Hi-Z 制御用の書き込み許可ビットです。 “1”に書き込み後、TAPAnACTS ビットと TAPAnACTT ビットに“1”を書き込むことによって、自動的に“0”にクリアされます。 0 : TAPAnACTS ビットと TAPAnACTT ビットへの書き込み禁止 1 : TAPAnACTS ビットと TAPAnACTT ビットへの書き込み許可

29.3.6 TAPAnACTS — TAPA 非同期 Hi-Z 制御スタートトリガレジスタ

非同期 Hi-Z 制御用のスタートトリガを許可します。

アクセス 8ビット単位でライトのみ可能です。読み出し値は常に 00_H となります。

アドレス <TAPAn_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnACTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 29.15 TAPAnACTS レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAPAnACTS	非同期 Hi-Z 制御スタートトリガビット 非同期 Hi-Z 制御用のスタートトリガを許可します。 このビットの設定は、TAPAnACWE = 1 の場合のみ有効となります。 0 : “0” 書き込みは、無視されます（機能として意味を持ちません）。 1 : TAPAnACE = 1 の場合に非同期 Hi-Z 制御を許可

29.3.7 TAPAnACTT — TAPA 非同期 Hi-Z 制御ストップトリガレジスタ

非同期 Hi-Z 制御用のストップトリガを許可します。

アクセス 8ビット単位でライトのみ可能です。読み出し値は常に 00_H となります。

アドレス <TAPAn_base> + 0C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnACTT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 29.16 TAPAnACTT レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAPAnACTT	非同期 Hi-Z 制御ストップトリガビット 非同期 Hi-Z 制御用のストップトリガを許可します。 このビットの設定は、TAPAnACWE = 1 の場合のみ有効となります。 0 : "0" 書き込みは無視されます (機能として意味を持ちません)。 1 : TAPAnACE = 0 の場合に非同期 Hi-Z 制御を停止

29.3.8 TAPAnOPHS — TAPA Hi-Z スタートトリガレジスタ

モータ制御出力端子に対する Hi-Z 制御を開始するためのソフトウェアトリガレジスタです。

アクセス 8ビット単位でライトのみ可能です。読み出し値は常に00_Hとなります。

アドレス <TAPAn_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnOPHS0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 29.17 TAPAnOPHS レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAPAnOPHS0	Hi-Z 制御スタートトリガビット モータ制御出力端子の Hi-Z 制御を開始します。 0 : "0" 書き込みは無視されます (機能として意味を持ちません)。 1 : Hi-Z 制御を開始

29.3.9 TAPAnOPHT — TAPA Hi-Z ストップトリガレジスタ

モータ制御出力端子に対する Hi-Z 制御を停止するためのソフトウェアトリガレジスタです。

アクセス 8ビット単位でライトのみ可能です。読み出し値は常に00_Hとなります。

アドレス <TAPAn_base> + 18_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnOPHT0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 29.18 TAPAnOPHT レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAPAnOPHT0	Hi-Z 制御ストップトリガビット モータ制御出力端子の Hi-Z 制御を停止します。 0 : "0" 書き込みは無視されます (機能として意味を持ちません)。 1 : Hi-Z 制御を停止。本ビットの設定有効/無効の条件は TAPAnCTL0.TAPAnDCM で設定します。

29.3.10 TAPAnEMU — TAPA エミュレーションレジスタ

このレジスタは、エミュレーションのために SVSTOP による動作を制御します。

アクセス 8ビット単位でリード/ライト可能です。
(EPC.SVSTOP = 0 の場合は、書き換えのみ可能です。)

アドレス <TAPAn_base> + 28_H

リセット後の値 リードすると常に 00_H が読めます。

ビット	7	6	5	4	3	2	1	0
	TAPAnSVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 29.19 TAPAnEMU レジスタの内容

ビット位置	ビット名	機能
7	TAPAnSVSDIS	SVSTOP の禁止に使用します。 0 : SVSTOP が有効。(SVSTOP = 1 が入力された場合、Hi-Z 制御出力をロウレベルに設定する) 1 : SVSTOP が無効。(Hi-Z 制御出力のレベルは SVSTOP 入力のレベルによって変化しない)
6 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

29.4 非同期 Hi-Z 制御機能

マイコンによって制御されるタイマモータ制御機能の動作が異常な場合、外部に接続しているモータの回転も異常になります。モータの異常検出時に、マイコンによる制御とは関係なく、モータ制御出力を強制的に Hi-Z 状態に設定します。

29.4.1 概要

非同期 Hi-Z 制御により、TAPAn からの出力を強制的に停止する機能です。

- TAPATHASIN がアクティブレベルになると、モータ制御出力端子のレベルは Hi-Z に設定され、モータ制御出力は強制的に停止します。
- Hi-Z 状態になったモータ制御出力は、Hi-Z ストップトリガレジスタ (TAPAnOPHT0) への書き込みによって再開することができます。
- モータ制御出力の Hi-Z 状態設定は、Hi-Z 制御スタートトリガレジスタ (TAPAnOPHS) への書き込みにより行うことも可能です。
- PIC の設定により、エラー発生時の Hi-Z 制御入力の許可・禁止が可能です。

29.4.2 システム構成例

モータ制御出力 (TAPA0UP / TAPA0UN / TAPA0VP / TAPA0VN / TAPA0WP / TAPA0WN) を、外部エラー検出信号 (TAPA0ESO 信号) にて Hi-Z 制御する場合のシステム構成例を下記に示します。

外部エラー検出信号の有効エッジを検出すると、モータ制御出力を Hi-Z にします。

エラー発生時にマイコンがフリーズする可能性を想定し、外部のエラー検出信号を継続的に処理することによって、クロックがない状態でもモータ制御用タイマ出力を Hi-Z にできるようにしています。

なお、エラーは、エラー検出信号の有効エッジを検出したときのみ検出されます。したがって、出力レベルが固定されている場合エラーは検出されず、信号レベルは変化しません。

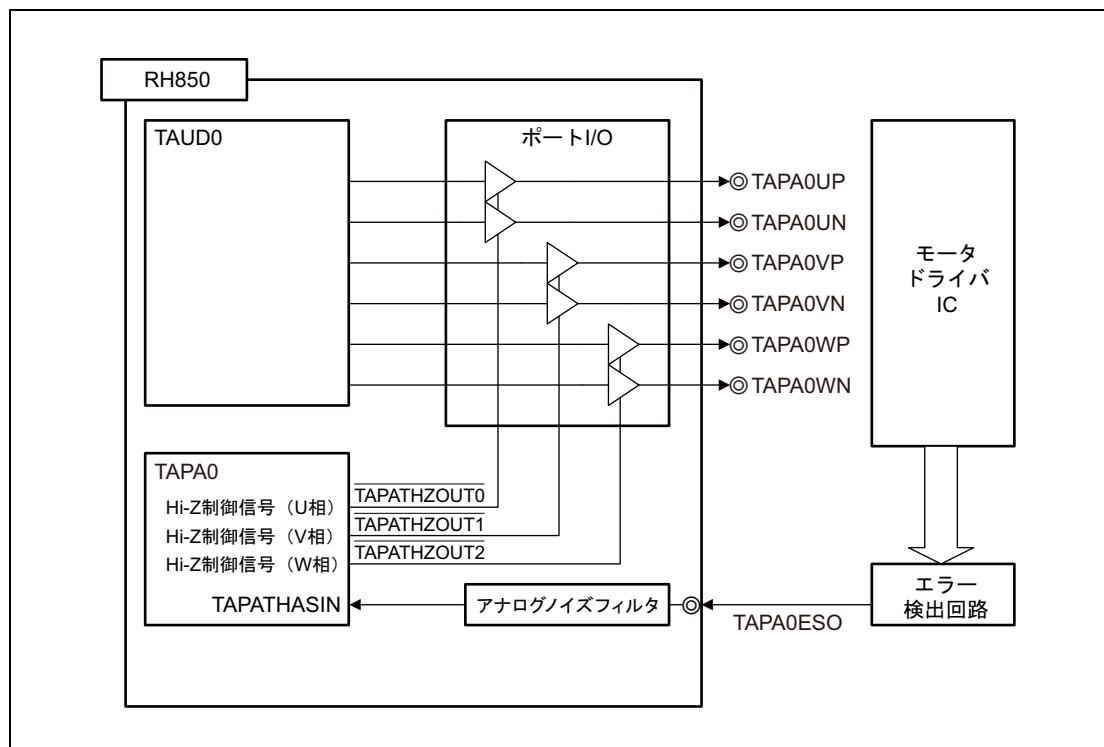


図 29.4 端子入力に対応した非同期 Hi-Z 制御のシステム構成例

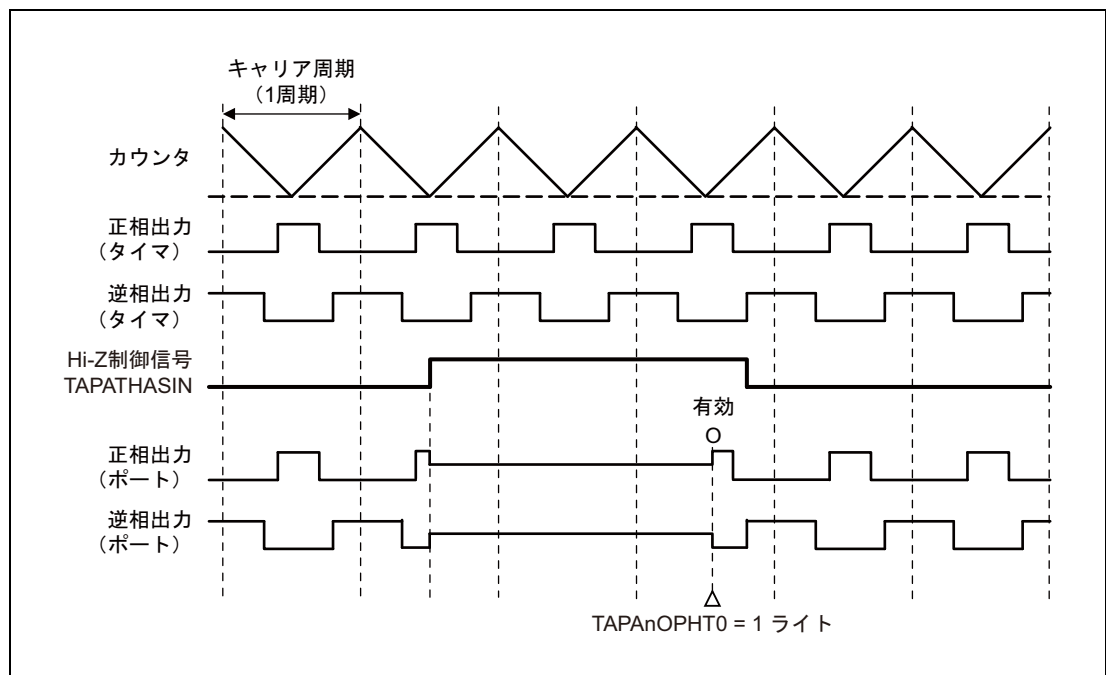
29.4.3 基本動作

モータ制御出力端子の Hi-Z 制御は次の方法で開始できます。

- 非同期 Hi-Z 制御信号 (TAPATHASIN) の有効エッジ検出
- Hi-Z 制御信号のスタートトリガビット (TAPAnOPHS.TAPAnOPHS0) をセット

Hi-Z 制御信号のストップトリガビット (TAPAnOPHT.TAPAnOPHT0) をセットするまで、モータ制御出力端子が Hi-Z 状態になります。ただし、TAPAnOPHT0 ビットの設定有効/無効の条件は、TAPAnCTL0.TAPAnDCM で設定します。

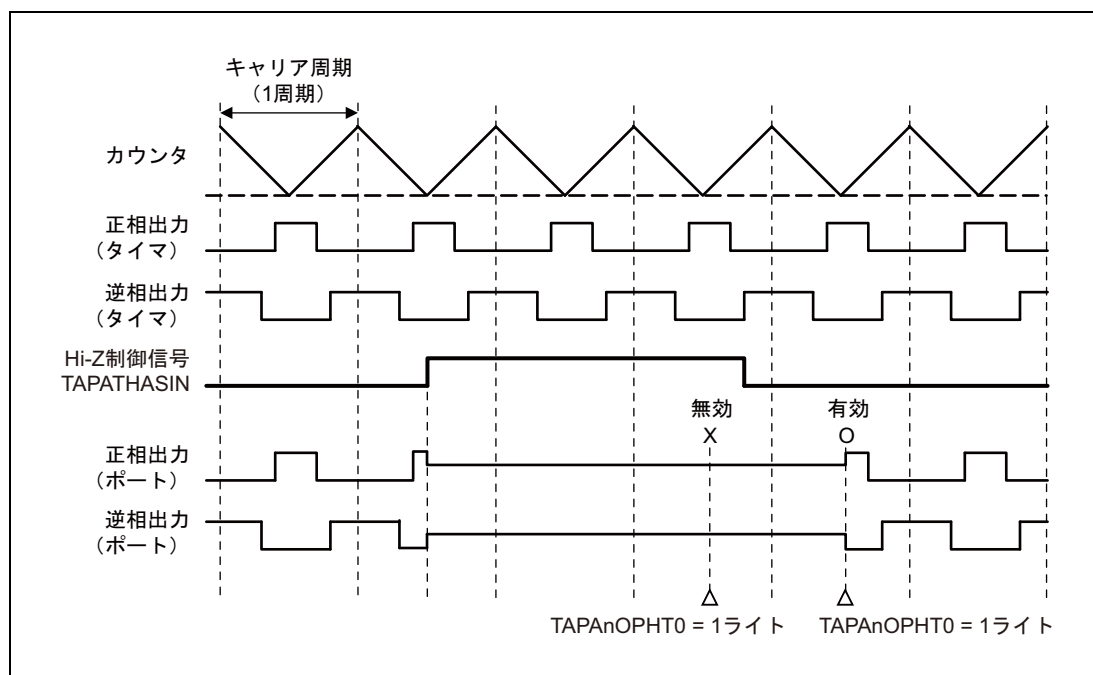
(1) TAPAnCTL0.TAPAnDCM = 0、TAPAnDCP = 1、TAPAnDCN = 0 時



TAPATHASIN の有効エッジを検出すると、モータ制御出力を強制的に停止 (Hi-Z 出力) します。

TAPATHASIN のレベルに関係なく、TAPAnOPHT.TAPAnOPHT0 に“1”を書き込むことによって、モータ制御出力が再開します。

(2) TAPAnCTL0.TAPAnDCM = 1、TAPAnDCP = 1、TAPAnDCN = 0 時



TAPATHASIN の有効エッジを検出すると、モータ制御出力を強制的に停止 (Hi-Z 出力) します。

TAPATHASIN がアクティブレベル (TAPAnCTL0.TAPAnDCP = 1 のためハイレベル) の間、Hi-Z 制御信号のストップトリガビット (TAPAnOPHT.TAPAnOPHT0) への“1”書き込みは無視されます。

TAPATHASIN がインアクティブ (TAPAnCTL0.TAPAnDCP = 1 のためロウレベル) レベルとなったあと、TAPAnOPHT.TAPAnOPHT0 に“1”を書き込むことによって、モータ制御出力が再開します。

29.4.4 ソフトウェアトリガによる非同期 Hi-Z 制御

Hi-Z 制御スタートトリガビット (TAPAnOPHS.TAPAnOPHS0) および Hi-Z 制御ストップトリガビット (TAPAnOPHT.TAPAnOPHT0) で、モータ制御出力の Hi-Z 制御ができます。

(1) Hi-Z 制御スタートトリガビット (TAPAnOPHS.TAPAnOPHS0) の動作

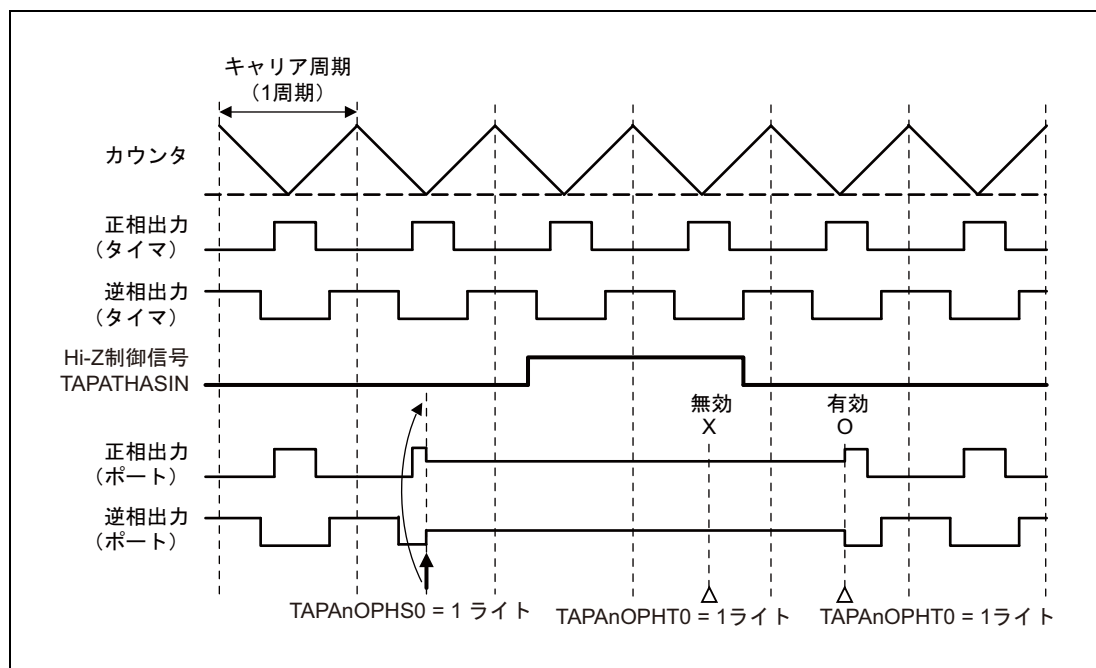
TAPAnDCM	動作
0/1	TAPAnOPHS0 ビットに“1”を書き込むことによって、Hi-Z 制御を開始し、モータ制御出力を強制的に停止 (Hi-Z 出力) します。

(2) Hi-Z 制御ストップトリガビット (TAPAnOPHT.TAPAnOPHT0) の動作

Hi-Z 制御ストップトリガの有効/無効は次の条件に依存します。

TAPAnDCM	動作
0	TAPAnOPHT0 ビットに“1”を書き込むことによって、Hi-Z 制御を停止し、モータ制御出力を再開します。
1	TAPATHASIN がインアクティブ中、TAPAnOPHT0 ビットに“1”を書き込むことによって、Hi-Z 制御を停止し、モータ制御出力を再開します。 TAPATHASIN がアクティブ中は、TAPAnOPHT0 ビットへの“1”の書き込みは無視されます。

(3) TAPAnCTL0.TAPAnDCM = 1、TAPAnDCP = 1、TAPAnDCN = 0 時



TAPAnOPHS0 ビットに“1”を書き込むことによってモータ制御出力を強制的に停止 (Hi-Z 出力) します。

その後、TAPATHASIN の立ち上がりエッジを検出しても、モータ制御出力は Hi-Z のままです。

TAPATHASIN がアクティブレベル (TAPAnDCN = 0、TAPAnDCP = 1 のためハイレベル) の間、TAPAnOPHT0 ビットへの書き込みは無視されます。

TAPATHASIN の立ち下がりエッジ検出後、TAPATHASIN がインアクティブ (TAPAnDCN = 0、TAPAnDCP = 1 のためロウレベル) の期間に TAPAnOPHT0 ビットに“1”を書き込むことによってモータ制御出力が再開します。

29.4.5 操作手順

以下に非同期入力 Hi-Z 制御機能の操作手順を示します。

	動作	TAPA の状態	
動作再開	初期設定	TAPAnCTL0 レジスタを設定します。 TAPAnDCP ビット、TAPAnDCN ビットを設定 (入力エッジ選択) TAPAnDCM ビットを設定 (クリアモード選択)	非同期 Hi-Z 制御停止 (TAPAnFLG.TAPAnACE = 0)
	動作開始	TAPAnACWE レジスタを設定します。 TAPAnACWE ビットに "1" を設定 TAPAnACTS レジスタを設定します。 TAPAnACTS ビットに "1" を設定	TAPAnACTS ビットの書き込み可能 非同期 Hi-Z 制御許可 (TAPAnFLG.TAPAnACE = 1)
	動作中	タイマ機能の出力に対して Hi-Z 制御を開始 (スタート) する方法は、以下のとおりです。 <ul style="list-style-type: none"> TAPAnOPHS レジスタで制御 非同期 Hi-Z 制御信号 (TAPATHASIN) で制御 タイマ機能出力の Hi-Z 制御を終了 (ストップ) する方法は、以下のとおりです。 <ul style="list-style-type: none"> TAPAnOPHT レジスタで制御 (TAPAnDCM ビット = 1 の場合は TAPATHASIN 信号がインアクティブ時のみ TAPAnOPHT レジスタによる制御が可能) TAPAnFLG レジスタで常に TAPA の動作状態が読み出し可能です。	非同期 Hi-Z 制御信号 (TAPATHASIN) の有効エッジ検出、または Hi-Z 制御スタートトリガビットを設定 (TAPAnOPHS0 ビット = 1) することによって、モータ制御出力端子の Hi-Z 制御を開始。 TAPAnDCM ビットで設定した動作モードに従い、Hi-Z 制御ストップトリガビットを設定 (TAPAnOPHT0 ビット = 1) することによって、モータ制御出力端子の Hi-Z 制御を停止。
	動作停止	TAPAnACWE レジスタを設定します。 TAPAnACWE ビットに "1" を設定 TAPAnACTT レジスタを設定します。 TAPAnACTT ビットに "1" を設定	TAPAnACTT ビットの書き込み許可 非同期 Hi-Z 制御停止 (TAPAnFLG.TAPAnACE = 0)

29.4.6 TAPA0 Hi-Z 制御入力選択

エラー発生時にモータ制御出力を停止するには、下図に示すように、PICにてエラーイベントを選択し、TAPA0にてモータ制御出力をHi-Z状態にします。

PIC0HIZCEN0 = 00_H 設定、または TAPA0ACWE = 01_H 設定後、TAPA0ACTT = 01_H 設定することにより、TAPA 機能を停止できます。

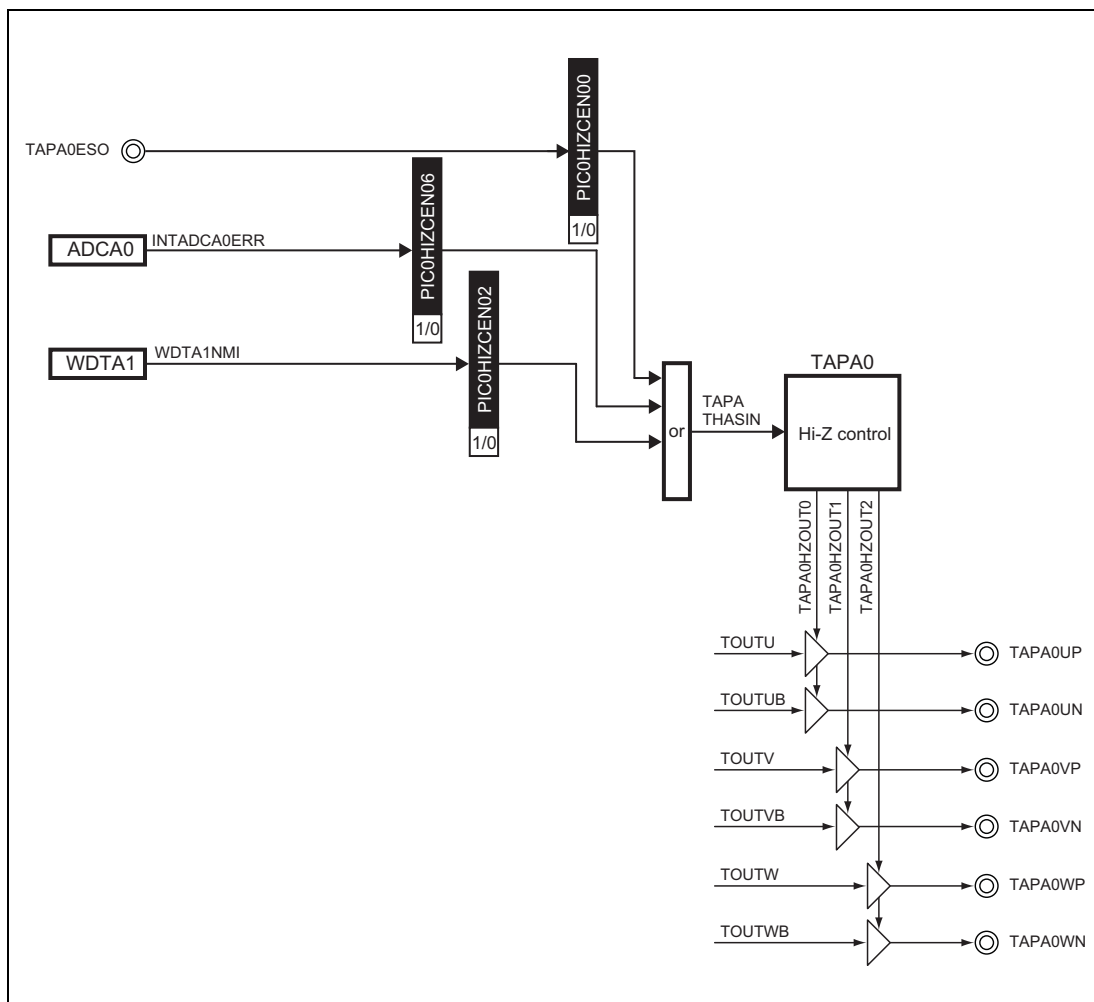


図 29.5 Hi-Z 制御ブロック図

Hi-Z 状態への切り替えは、以下の入力により可能です。

- TAPA0ESO 端子入力
- A/D コンバータ ADCA0 エラー信号 ADCA0ERR
- ウィンドウウォッチドッグタイマ WDTA1 ノンマスカブル割り込み WDTA1NMI

これらの信号の詳細については、各機能の説明を参照してください。

29.4.7 レジスタ

29.4.7.1 PIC0HIZCENn — Hi-Z 出力制御レジスタ n (n = 0)

PIC0HIZCENn レジスタは、TAPAn の Hi-Z 出力制御信号を選択します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <PIC0_base> + 80_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	PIC0HIZCENn6	—	—	—	PIC0HIZCENn2	—	PIC0HIZCENn0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R	R	R/W	R	R/W

表 29.20 PIC0HIZCENn レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	PIC0HIZCENn6	INTADCA0ERR 割り込み信号による Hi-Z 出力制御の許可/禁止を選択します。 0: 禁止 1: 許可
5 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	PIC0HIZCENn2	WDTA1NMI 割り込み信号による Hi-Z 出力制御の許可/禁止を選択します。 0: 禁止 1: 許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PIC0HIZCENn0	TAPAnESO 端子入力による Hi-Z 出力制御の許可/禁止を選択します。 0: 禁止 1: 許可

29.5 INT 信号出力選択機能

29.5.1 INT 信号出力選択機能の構成

TAUD の三角波キャリア周期生成チャンネル（マスタ）の INT 信号が接続された TAPATSIM0 信号とカウンタのアップ/ダウン信号が接続された TAPATUDCM0 信号から、山割り込み TAPATPEK0 と谷割り込み TAPATIVLY0 を生成する機能です。

本製品における TAPATSIM0 信号の接続先は「29.1.7 内部出力信号」を参照してください。

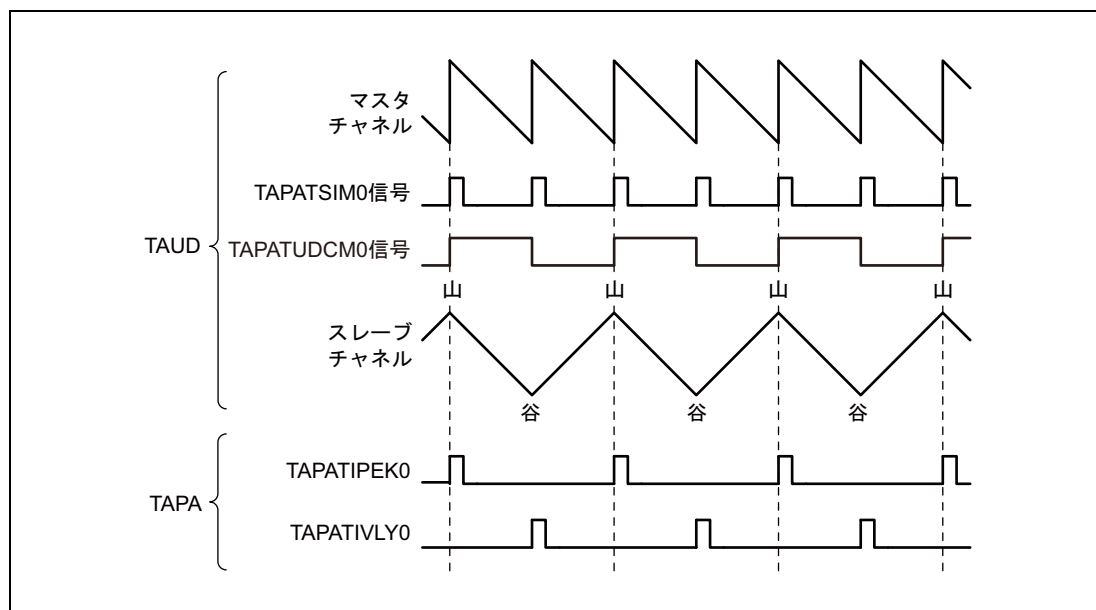


図 29.6 INT 信号出力選択機能の基本動作タイミング

マスタチャンネルで三角波キャリア周期を生成します。

1/2 三角波キャリア周期ごとに発生するマスタチャンネルの INT 信号は TAPATSIM0 信号として TAPAn に入力されます。TAPAn は入力された TAPATSIM0 信号と TAPATUDCM0 信号により、TAPATUDCM0 信号がハイ・レベルの間、TAPATPEK0 信号（山割り込み）を生成し、TAPATUDCM0 信号がロウ・レベルの間、TAPATIVLY0 信号（谷割り込み）を生成します。

注意

山割り込み TAPATPEK0 と谷割り込み TAPATIVLY0 は TAUD のマスタチャンネルの機能にかかわらず発生します。

これらの山割り込み、谷割り込みを使用しない場合は、それぞれ ICTAPAnPEK0 レジスタと ICTAPAnIVLY0 レジスタにてマスクしてください。

29.5.2 ブロック図

INT 信号出力選択機能は下記レジスタにて TAUDn と TAPAn を接続します。

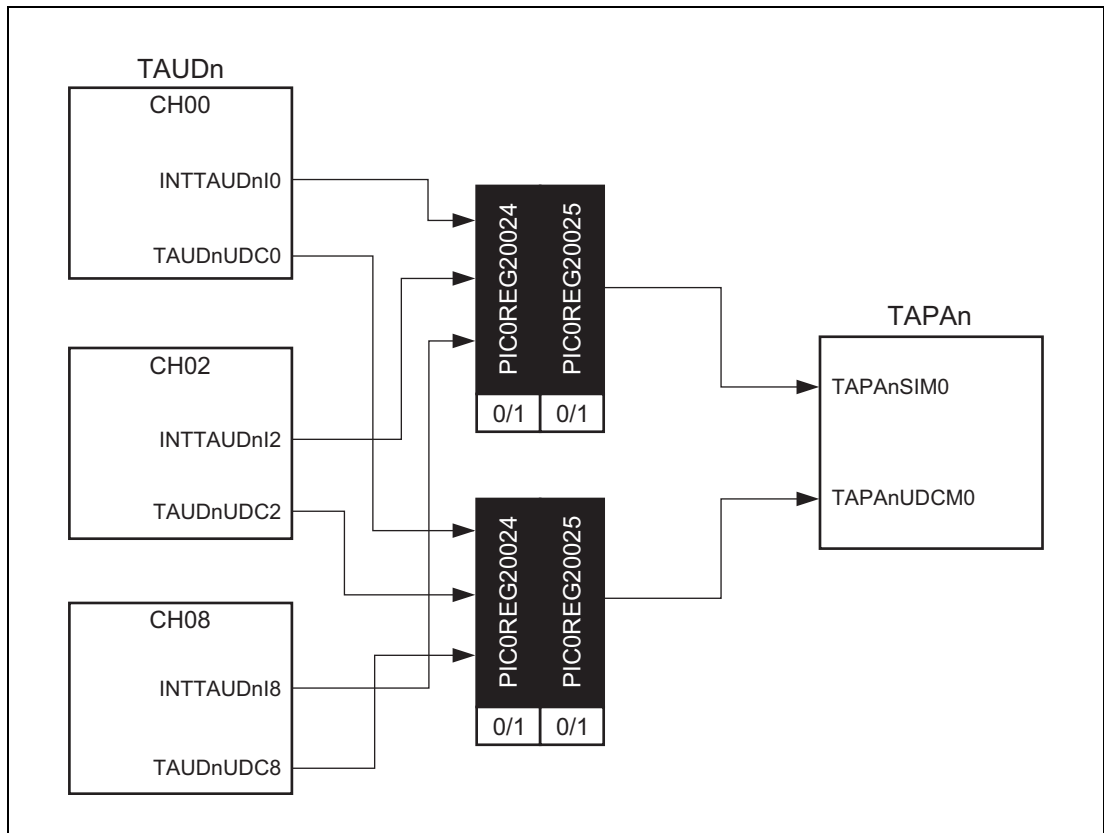


図 29.7 INT 信号の接続

29.5.3 レジスタ

29.5.3.1 PIC0REG2n0 — タイマ入出力制御レジスタ 2n0 (n = 0)

TAPA0 の入力選択を行うレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス PIC0REG200 : FFDD 00C0_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	PIC0REG2n025	PIC0REG2n024	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.21 PIC0REG2n0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 26	予約ビット	注 1
25 ~ 24	PIC0REG2n025 PIC0REG2n024	TAPATSIM0, TAPATUDCM0 で使用する TAUDn のチャンネルを選択します。 00 : 選択なし 01 : TAUD0 チャンネル 0 選択 10 : TAUD0 チャンネル 2 選択 11 : TAUD0 チャンネル 8 選択
23 ~ 0	予約ビット	注 1

注 1. PIC0REG2n0 レジスタに“0”を定義しているビットは、他のタイマ接続機能で定義していることがあります。その場合、該当するタイマ接続機能のビット定義を適用してください。

29.6 A/D コンバータ変換トリガ選択機能

TAUD の三角波キャリア周期とのコンペア一致割り込みに接続された TAPATCDENS0 信号 / TAPATCDENS1 信号、または谷割り込み信号 (TAPATIVLY0) から A/D コンバータ変換トリガ用信号 (TAPATADOUT0/TAPATADOUT1) を出力する機能です。

29.6.1 A/D コンバータ変換トリガ選択機能の構成

表 29.22 TAPATADOUT 信号生成に使用する信号一覧

出力信号	スレーブ一致検出信号	谷割り込み信号
TAPATADOUT0	TAPATCDENS0	TAPATIVLY0
TAPATADOUT1	TAPATCDENS1	TAPATIVLY0

表 29.23 TAPAnCTL1.TAPAnATS[3:2]、TAPATADOUT1 の動作

TAPAnATS3	TAPAnATS2	動作説明
0	0	三角波のダウンカウント中の INT 信号を TAPATADOUT1 から出力
0	1	三角波のアップカウント中の INT 信号を TAPATADOUT1 から出力
1	0	三角波のアップ/ダウンカウント中の INT 信号を TAPATADOUT1 から出力
1	1	三角波のアップ/ダウンカウント中の INT 信号と谷割り込み TAPATIVLY0 を TAPATADOUT1 から出力

表 29.24 TAPAnCTL1.TAPAnATS[1:0]、TAPATADOUT0 の動作

TAPAnATS1	TAPAnATS0	動作説明
0	0	三角波のダウンカウント中の INT 信号を TAPATADOUT0 から出力
0	1	三角波のアップカウント中の INT 信号を TAPATADOUT0 から出力
1	0	三角波のアップ/ダウンカウント中の INT 信号を TAPATADOUT0 から出力
1	1	三角波のアップ/ダウンカウント中の INT 信号と谷割り込み TAPATIVLY0 を TAPATADOUT0 から出力

29.6.2 ブロック図

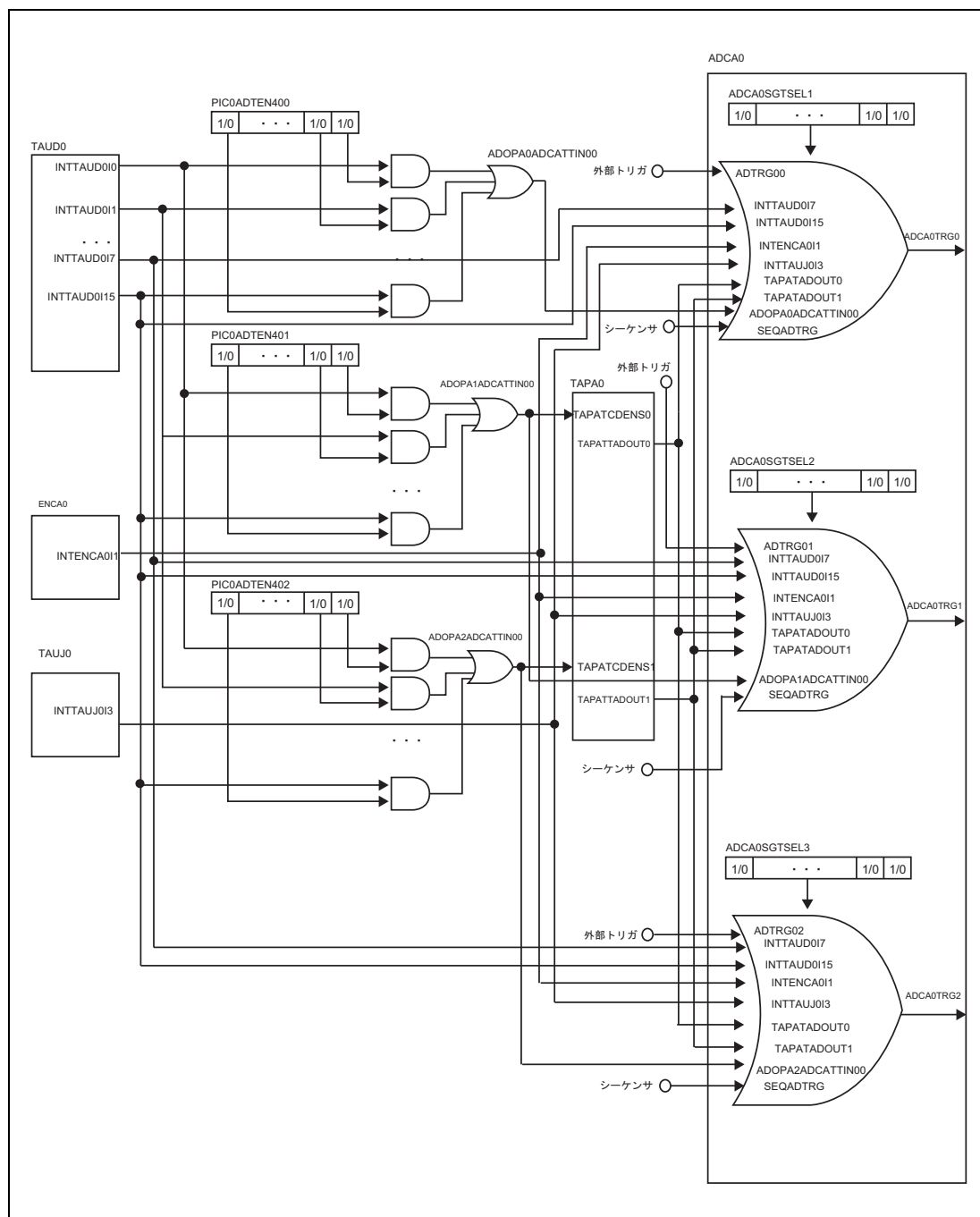


図 29.8 A/D 変換トリガ選択機能のブロック図

備考

ADCA0SGTSEL レジスタ設定詳細は、「31.3.4.1 ADCAnSGTSELx — スキャングループ x 開始トリガ制御レジスタ x」を参照ください。

29.6.3 三角波 PWM モード時の A/D コンバータトリガ出力制御動作波形

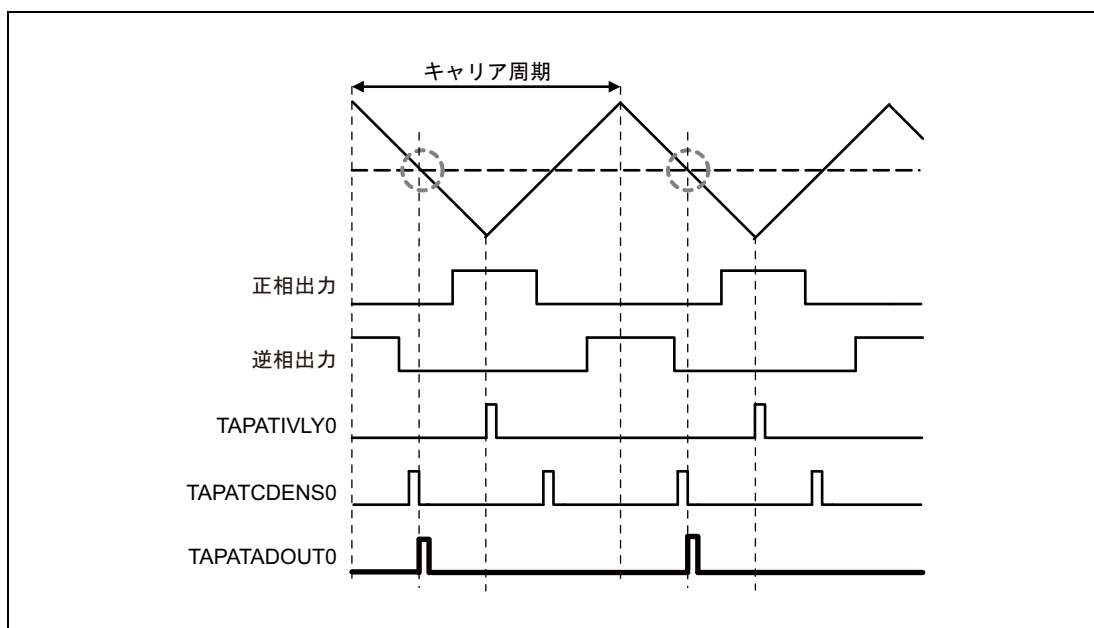


図 29.9 TAPAnATS[1:0] ビット = 00_B : 三角波がダウンカウント中に INT 信号を出力

三角波がダウンカウント中の TAPATCDENS0 信号 / TAPATCDENS1 信号は、A/D コンバータ変換トリガ用信号 (TAPATADOUT0/TAPATADOUT1) として出力されます。

三角波がアップカウント中は、A/D コンバータ変換トリガ用信号は出力されません。

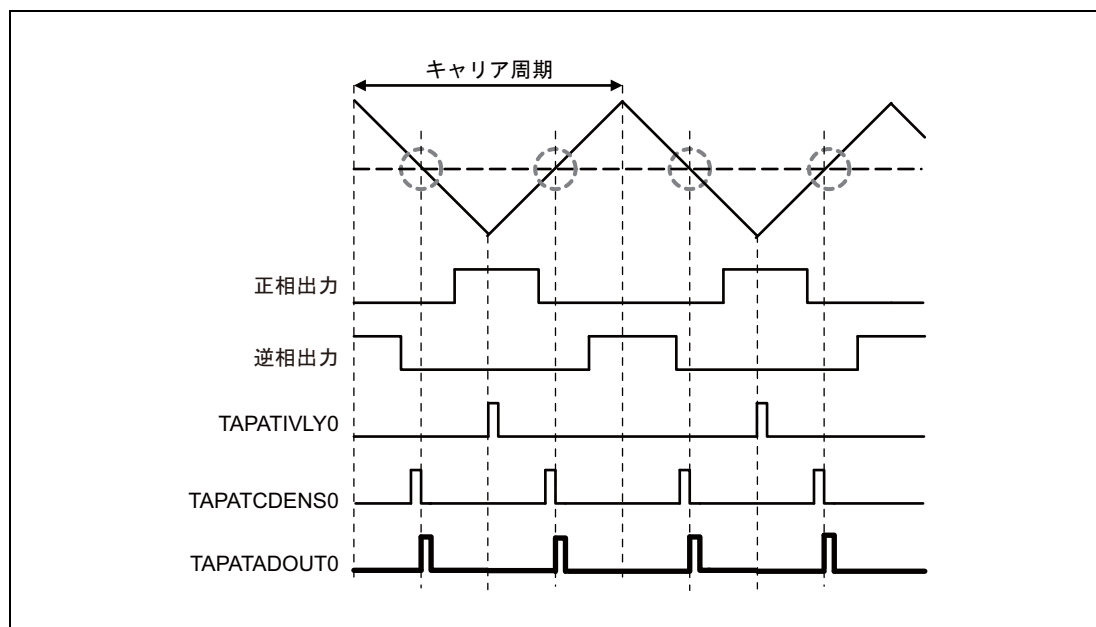


図 29.10 TAPAnATS[1:0] ビット = 10_B : 三角波がアップ/ダウンカウント中に INT 信号を出力

TAPATCDENS0 信号 / TAPATCDENS1 信号は A/D コンバータ変換トリガ用信号 (TAPATADOUT0/TAPATADOUT1) として出力されます。

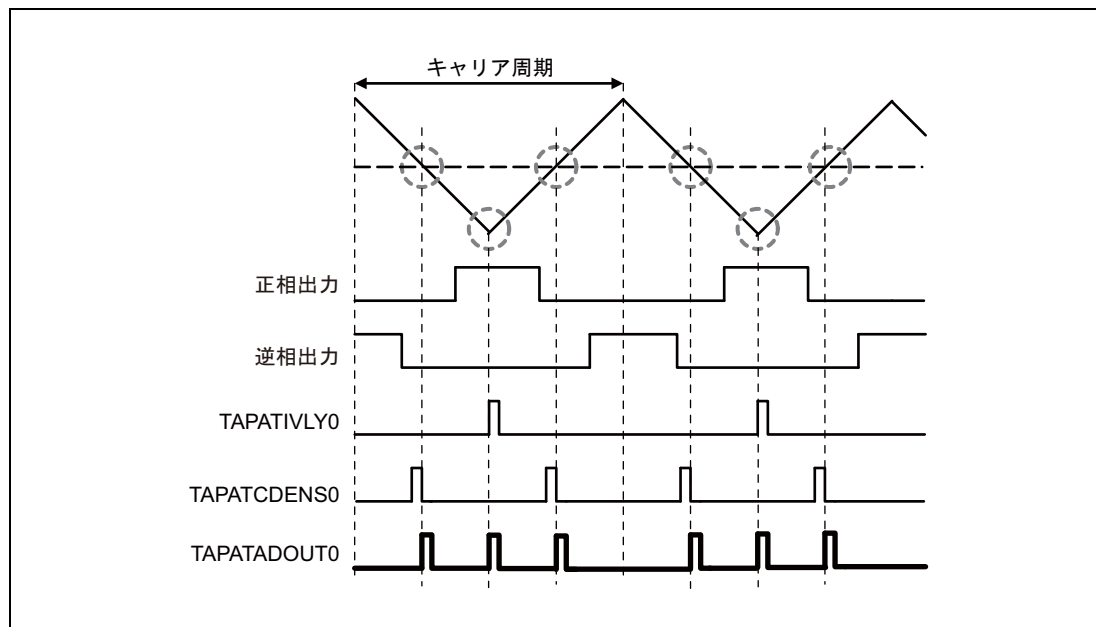


図 29.11 TAPAnATS[1:0] ビット = 11_B : 三角波がアップ/ダウンカウント中の INT 信号と谷割り込みを出力

TAPATCDENS0 信号 / TAPATCDENS1 信号と谷割り込み TAPATIVLY0 が A/D コンバータ変換トリガ用信号 (TAPATADOUT0/TAPATADOUT1) として出力されます。

29.6.4 A/D コンバータ変換トリガ選択機能の操作手順

以下に A/D コンバータ変換トリガ選択機能の操作手順を示します。

	動作	TAUD、TAPA の状態
動作再開 ↑	初期設定 TAUD を初期設定します。 タイマ動作モードを確定 TAPAnCTL1 レジスタを設定します。 TAPAnATS[1:0] を設定 (TAPATADOUT0 の設定) TAPAnATS[3:2] を設定 (TAPATADOUT1 の設定) 使用する信号に合わせて PIC0ADTEN4nj、 PIC0REG2n0 レジスタを設定します。 PIC0ADTEN4nj を設定 (TAPATCDENS0, 1 の設定) PIC0REG2n0 を設定 (TAPATIVLY0 の設定)	TAUD、TAPA は動作停止。
	動作開始 TAUD を動作開始します。	TAUD のカウント動作が開始します。
	動作中 TAUD は、各機能の設定に従って動作します。	A/D 変換トリガ選択機能は、TAUD からの割り込み入力 (TAPATCDENS1/TAPATCDENS0)、TAPA で生成した谷割り込み信号 (TAPATIVLY0) をもとに、TAPAnATS[1:0] の設定に従って TAPATADOUT0、または TAPAnATS[3:2] の設定に従って TAPATADOUT1 を出力します。
	動作停止 TAUD を動作停止します。	TAUD のカウント動作が停止します。

29.7 ADCA トリガ選択機能

29.7.1 機能概要

TAUDn の各チャネル出力を使って、ADCA ハードウェアトリガ信号を生成する機能です。

29.7.2 構成

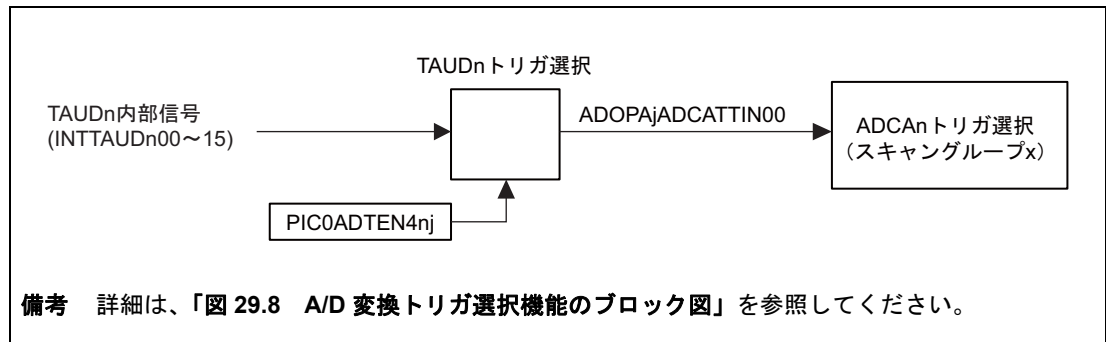


図 29.12 ADCA トリガ選択機能ブロック図

29.7.3 レジスタ

29.7.3.1 PIC0ADTEN4nj — A/D 変換トリガ出力制御レジスタ 4nj (n = 0、j = 0-2)

TAUDn チャンネル m からの ADCA0 開始トリガソースを選択します。(m = 0-15)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PIC0_base> + 90_H + 4 × j

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC0 ADTEN 4nj15	PIC0 ADTEN 4nj14	PIC0 ADTEN 4nj13	PIC0 ADTEN 4nj12	PIC0 ADTEN 4nj11	PIC0 ADTEN 4nj10	PIC0 ADTEN 4nj09	PIC0 ADTEN 4nj08	PIC0 ADTEN 4nj07	PIC0 ADTEN 4nj06	PIC0 ADTEN 4nj05	PIC0 ADTEN 4nj04	PIC0 ADTEN 4nj03	PIC0 ADTEN 4nj02	PIC0 ADTEN 4nj01	PIC0 ADTEN 4nj00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.25 PIC0ADTEN4nj レジスタの内容

ビット位置	ビット名	機能
15 - 0	PIC0ADTEN4nj15 ~ PIC0ADTEN4nj00	TAUDn の CHm (m = 0 ~ 15) のトリガソースを設定 0 : TAUDn CHm の A/D トリガソース禁止 1 : TAUDn CHm の A/D トリガソース許可

29.7.4 動作機能の設定例

- (1) 初期設定 : 使用する TAUD0 の各チャンネルの機能を設定します。
- (2) A/D 変換トリガ出力制御レジスタ 4nj (PIC0ADTEN4nj) 設定 :
TAUD0 の各チャンネルからの割り込み要求信号を A/D 変換のスキュングループのトリガとして選択するには、A/D 変換トリガ出力レジスタ 4nj (PIC0ADTEN4nj) のビットを“1”にしてください。
- レジスタ設定操作は、A/D 停止時に行ってください。
- (3) A/D 変換トリガ選択制御レジスタ (ADCA0SGTSELx) 設定 :
各トリガに対応するビットを 1 にすることで各トリガからの論理和 (OR) を取った信号を A/D 変換のスキュングループの開始トリガに使用できます。
- レジスタ設定操作は、A/D 停止時に行ってください。
- (4) TAUD0 の動作許可 :
(1) で設定した TAUD0 の各チャンネルがスタートします。

29.7.5 設定フロー

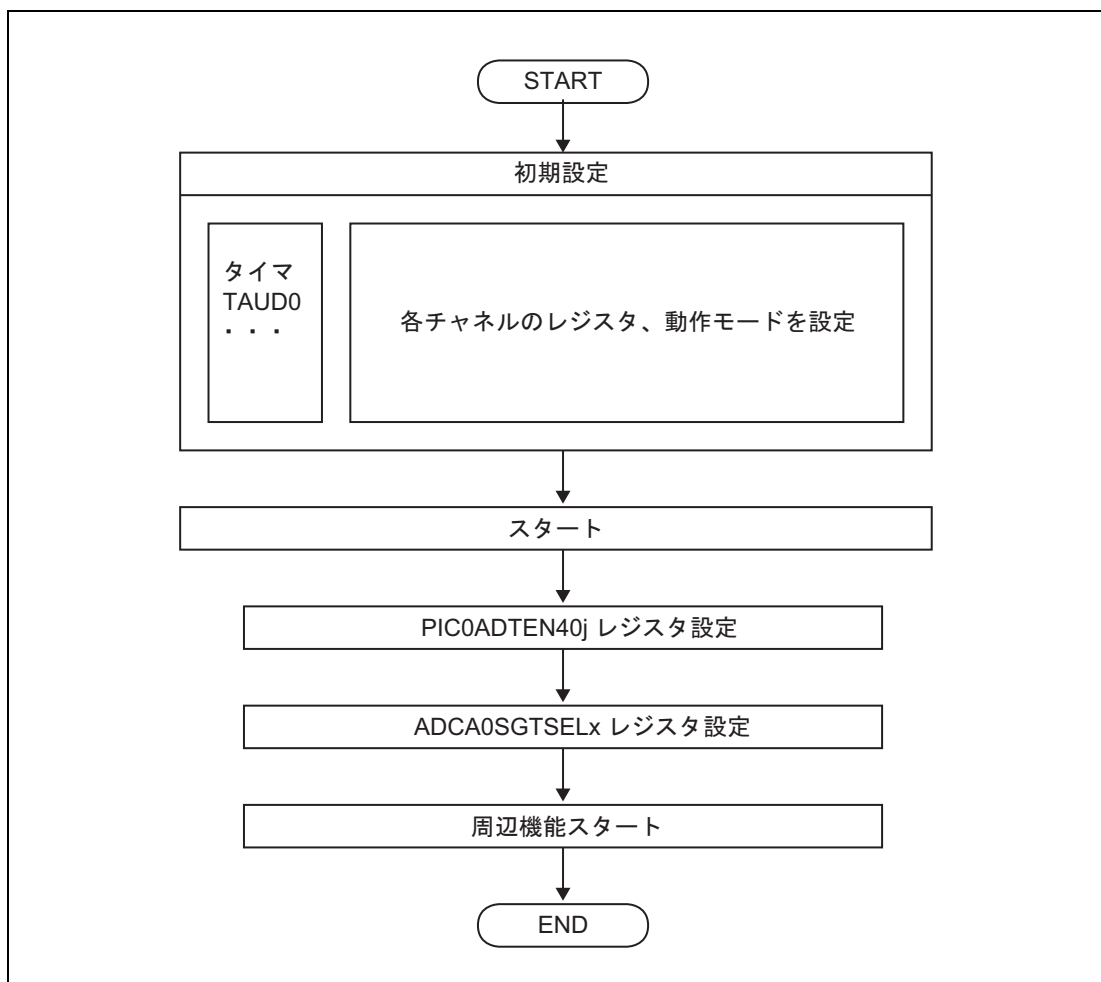


図 29.13 設定フロー (j = 0 ~ 2)

29.8 同時スタートトリガ機能

29.8.1 機能概要

各タイマ（TAUD0、TAUJ1、ENCA0）の任意の組み合わせでの同時スタートが可能です。

29.8.2 構成

(1) 構成

表 29.26 同時スタートトリガ機能の構成

構成/タイマ機能	タイマ
タイマ構成	TAUD0、TAUJ1、ENCA0

(2) ブロック図

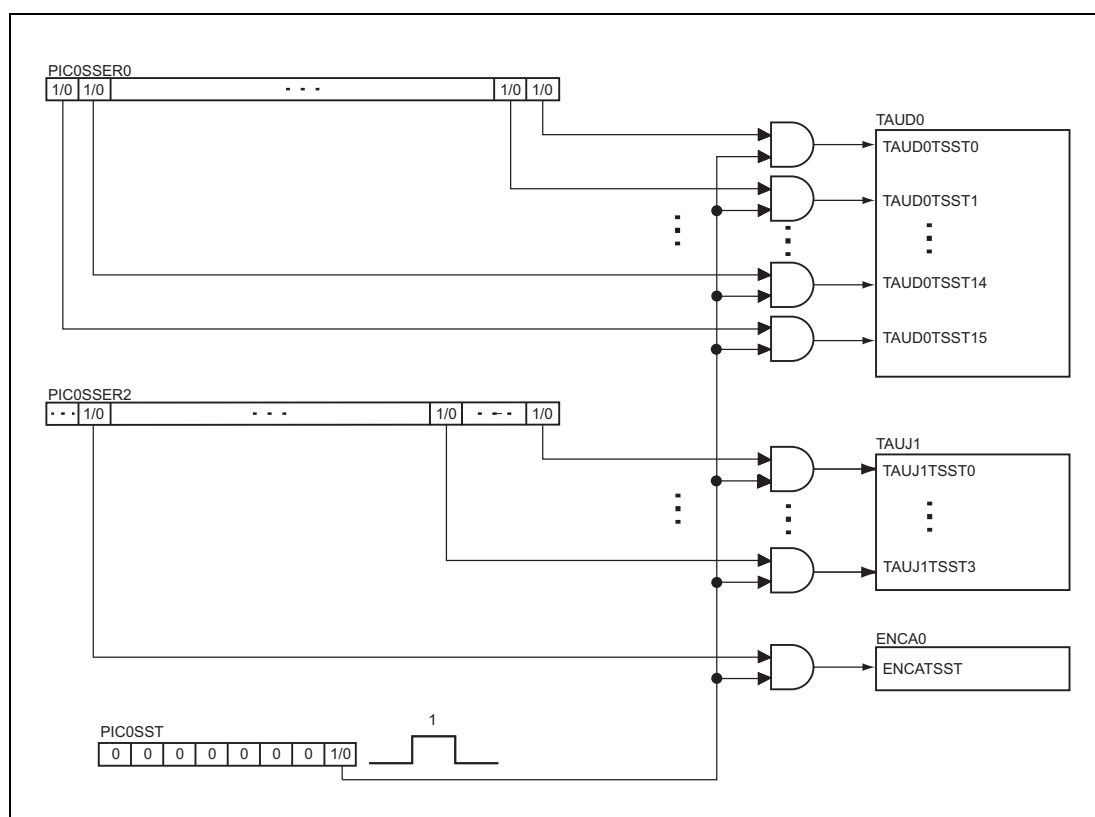


図 29.14 同時スタートトリガのブロック図

29.8.3 レジスタ

29.8.3.1 PIC0SSER0 — 同時スタート制御レジスタ 0

PIC0SSER0 レジスタは、TAUD0 の各チャンネルのスタートトリガ許可を行うレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PIC0_base> + 10_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC0SSER015	PIC0SSER014	PIC0SSER013	PIC0SSER012	PIC0SSER011	PIC0SSER010	PIC0SSER009	PIC0SSER008	PIC0SSER007	PIC0SSER006	PIC0SSER005	PIC0SSER004	PIC0SSER003	PIC0SSER002	PIC0SSER001	PIC0SSER000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.27 PIC0SSER0 レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PIC0SSER015 ~ PIC0SSER000	TAUD0 の CHm の同時スタートトリガ許可を設定します。 0 : 同時スタートトリガ禁止 1 : 同時スタートトリガ許可

29.8.3.2 PIC0SSER2 — 同時スタート制御レジスタ 2

PIC0SSER2 レジスタは、ENCA0、TAUJ1 のスタートトリガ許可を行うレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PIC0_base> + 18_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PIC0SSER214(ENCA0)	—	—	—	—	—	—	—	—	—	—	PIC0SSER203	PIC0SSER202	PIC0SSER201	PIC0SSER200
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 29.28 PIC0SSER2 レジスタの内容

ビット位置	ビット名	機能
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14	PIC0SSER214	ENCA0 の同時スタートトリガ許可を設定します。 0 : 同時スタートトリガ禁止 1 : 同時スタートトリガ許可
13 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ~ 0	PIC0SSER203 ~ PIC0SSER200	TAUJ1 の CHm の同時スタートトリガ許可を設定します。 0 : 同時スタートトリガ禁止 1 : 同時スタートトリガ許可

29.8.3.3 PIC0SST — 同時スタートトリガ制御レジスタ

アクセス 8ビット単位でライトのみ可能です。

アドレス <PIC0_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SYNCTRГ
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 29.29 PIC0SST レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	SYNCTRГ	同時スタート許可に設定したタイマに対して、スタートトリガを生成します。リード時は常に“0”が読めます。 0: 無効 1: 同時スタートトリガ生成 (1PCLK 幅のパルスを出力)

29.8.4 動作例

- (1) タイマ構成の動作例:

任意の動作モードで動作する各タイマの任意の組み合わせでの同時スタートを行います。

- (2) 同時スタート許可設定:

同時スタートさせる対象タイマについて、PIC0SSER0、PIC0SSER2 の該当ビットを 1 にすることで、各タイマの同時スタートを許可します。

- (3) スタートトリガ出力:

PIC0SST の SYNCTRГ ビットに 1 をライトすることで、(2) で設定された対象タイマが同時にスタートします。

- (4) スタートしていないチャンネルに対して (2)、(3) を繰り返すことで、異なる対象タイマを複数回に分けて同時にスタートできます。

29.8.5 設定フロー

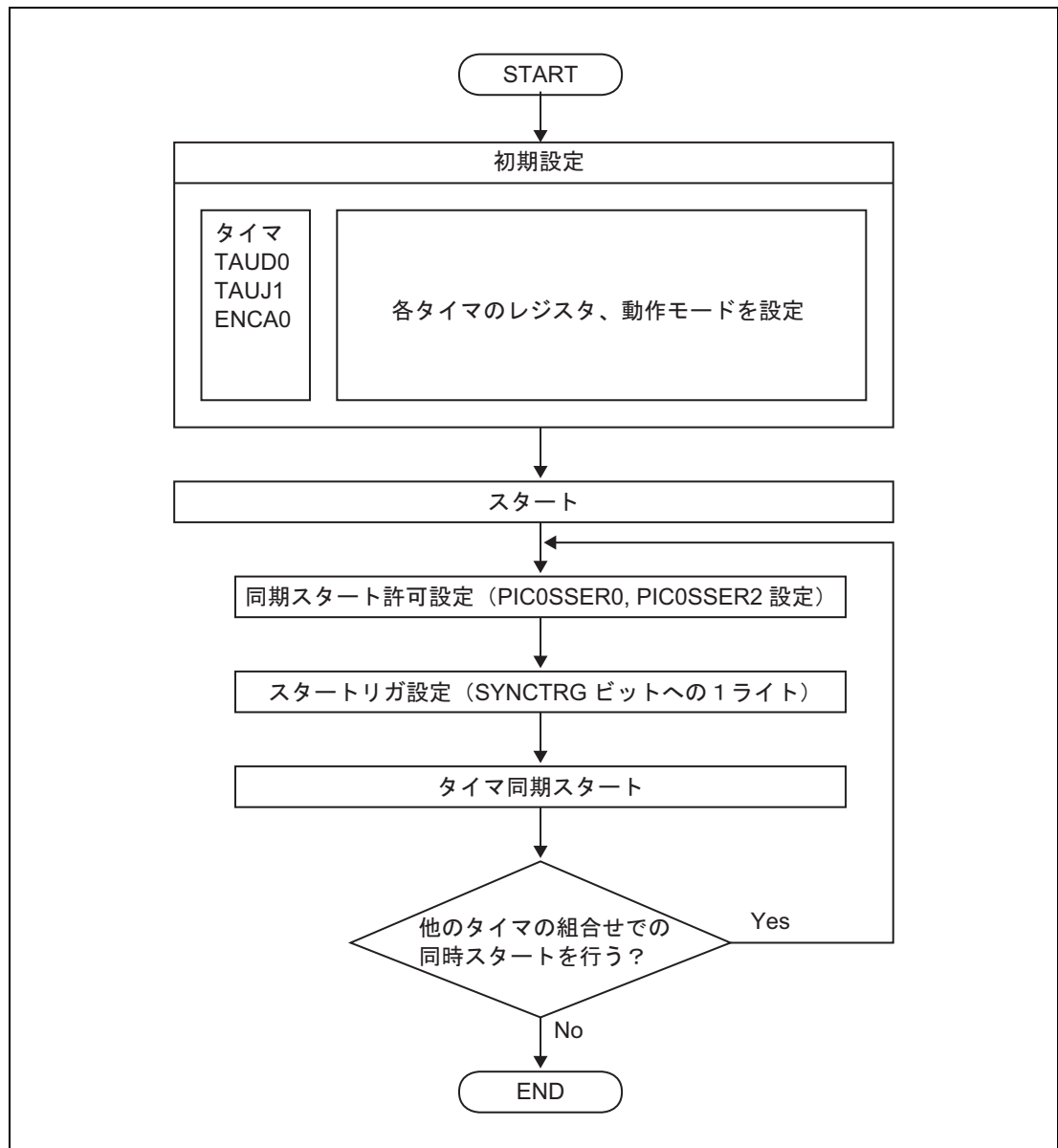


図 29.15 設定フロー

29.9 トリガ&パルス幅測定機能

29.9.1 機能概要

ENCA0 から出力されるトリガを TAUJ1、TAUD0 に入力し、トリガの周期を測定することが可能です。

29.9.2 構成

(1) 構成

表 29.30 トリガ&パルス幅測定機能の構成

構成/タイマ機能	タイマ
タイマ構成	ENCA0、TAUD0、TAUJ1

表 29.31 TAUJ1/TAUD0 各チャンネル機能設定

TAU	チャンネル	機能名	M/S 注1	パルス幅測定対象トリガ
TAUJ1	00	TINm 入力パルスインターバル測定機能	S	ENCAT0IEC 注2
	01	TINm 入力パルスインターバル測定機能	S	ENCAT0IEC 注2
TAUD0	00	TINm 入力パルスインターバル測定機能	S	ENCAT0EQ0、ENCAT0EQ1
	01	TINm 入力パルスインターバル測定機能	S	ENCAT0EQ1
	02	TINm 入力パルスインターバル測定機能	S	ENCAT0EQ0

注1. M: マスタチャンネル S: スレーブチャンネル

注2. ENCAT0EIC は「表 28.5 割り込み要求」の ENCATIEC (エンコーダクリア割り込み) と読み替えてください。

(2) ブロック図

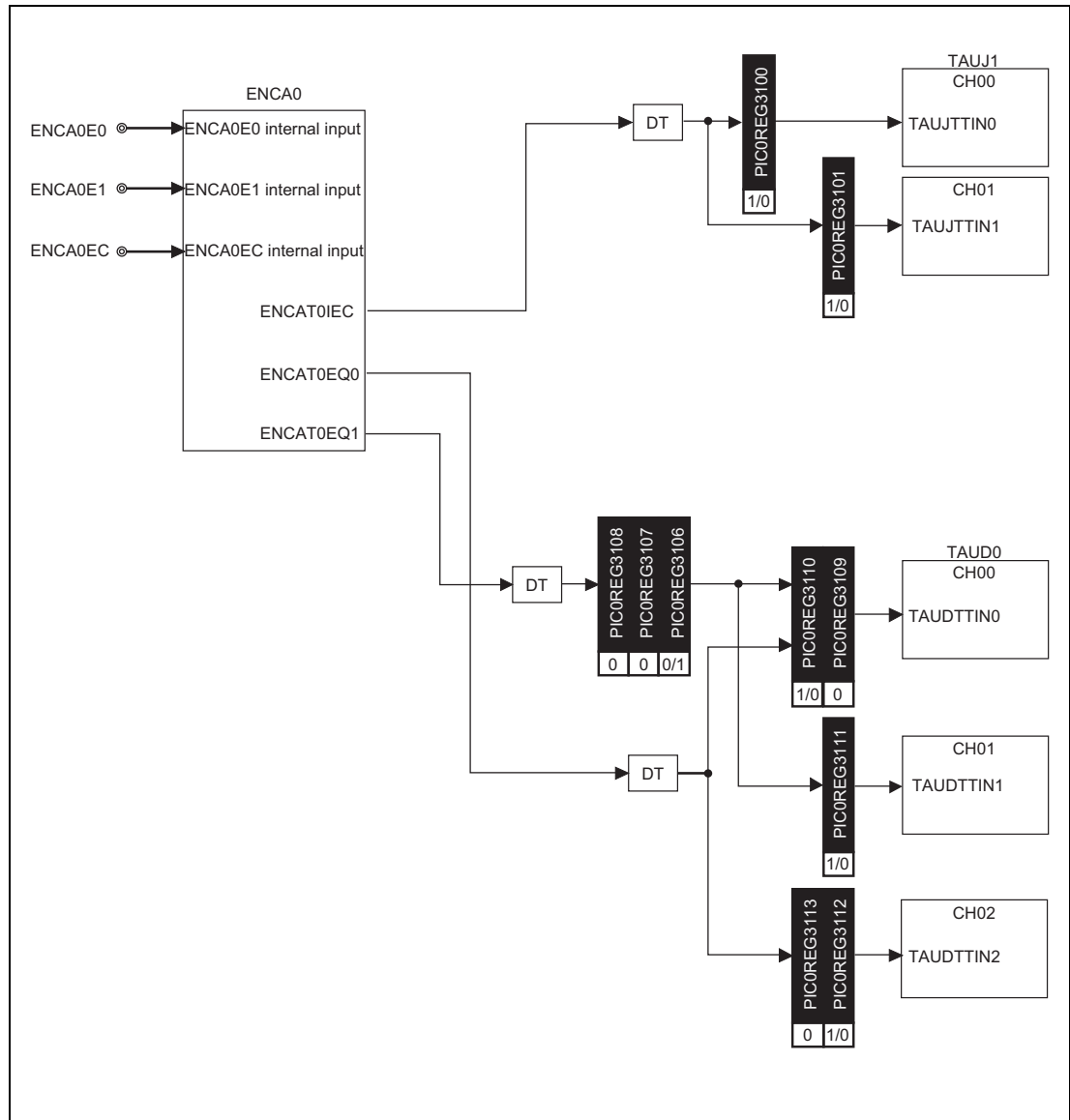


図 29.16 トリガ&パルス幅測定機能のブロック図

29.9.3 レジスタ

29.9.3.1 PIC0REG31 — タイマ入出力制御レジスタ 31

アクセス 32ビット単位でリード/ライト可能です。

アドレス <PIC0_base> + EC_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PIC0REG3113	PIC0REG3112	PIC0REG3111	PIC0REG3110	PIC0REG3109	PIC0REG3108	PIC0REG3107	PIC0REG3106	—	—	—	—	PIC0REG3101	PIC0REG3100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

表 29.32 PIC0REG31 レジスタの内容 (1/2)

ビット位置	ビット名	機能																
31 ~ 14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																
13、12	PIC0REG3113 ~ PIC0REG3112	TAUD0 の CH2 への TIN 入力信号を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG3113</th> <th>PIC0REG3112</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>TAUD0 の CH2 をトリガ幅測定に使用しない</td> </tr> <tr> <td>0</td> <td>1</td> <td>ENCAT0EQ0 の DT 出力信号</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG3113	PIC0REG3112	入力信号	0	0	TAUD0 の CH2 をトリガ幅測定に使用しない	0	1	ENCAT0EQ0 の DT 出力信号	上記以外		設定禁止				
PIC0REG3113	PIC0REG3112	入力信号																
0	0	TAUD0 の CH2 をトリガ幅測定に使用しない																
0	1	ENCAT0EQ0 の DT 出力信号																
上記以外		設定禁止																
11	PIC0REG3111	TAUD0 の CH1 への TIN 入力信号を選択します。 0 : TAUD0 の CH1 をトリガ幅測定に使用しない。 1 : PIC0REG3106 ~ PIC0REG3108 で選択した信号 (ENCATEQ1 信号測定時)																
10、9	PIC0REG3110 ~ PIC0REG3109	TAUD0 の CH0 への TIN 入力信号を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG3110</th> <th>PIC0REG3109</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>PIC0REG3106 ~ PIC0REG3108 で選択した信号</td> </tr> <tr> <td>1</td> <td>0</td> <td>ENCAT0EQ0 の DT 出力信号</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG3110	PIC0REG3109	入力信号	0	0	PIC0REG3106 ~ PIC0REG3108 で選択した信号	1	0	ENCAT0EQ0 の DT 出力信号	上記以外		設定禁止				
PIC0REG3110	PIC0REG3109	入力信号																
0	0	PIC0REG3106 ~ PIC0REG3108 で選択した信号																
1	0	ENCAT0EQ0 の DT 出力信号																
上記以外		設定禁止																
8 ~ 6	PIC0REG3108 ~ PIC0REG3106	TAUD0 の CH0、CH1 への TIN 入力信号を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG3108</th> <th>PIC0REG3107</th> <th>PIC0REG3106</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>TAUD0 の CH0 をトリガ測定に使用しない</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>ENCAT0EQ1 の DT 出力信号</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG3108	PIC0REG3107	PIC0REG3106	入力信号	0	0	0	TAUD0 の CH0 をトリガ測定に使用しない	0	0	1	ENCAT0EQ1 の DT 出力信号	上記以外			設定禁止
PIC0REG3108	PIC0REG3107	PIC0REG3106	入力信号															
0	0	0	TAUD0 の CH0 をトリガ測定に使用しない															
0	0	1	ENCAT0EQ1 の DT 出力信号															
上記以外			設定禁止															

表 29.32 PIC0REG31 レジスタの内容 (2/2)

ビット位置	ビット名	機能
5 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	PIC0REG3101	TAUJ1 の CH1 への TIN 入力信号を選択します。 0 : TAUJ1 の CH1 をトリガ幅測定に使用しない。 1 : ENCAT0IEC の DT 出力信号
0	PIC0REG3100	TAUJ1 の CH0 への TIN 入力信号を選択します。 0 : TAUJ1 の CH0 をトリガ幅測定に使用しない。 1 : ENCAT0IEC の DT 出力信号

29.9.4 動作例

ENCA0 のトリガ信号 (ENCAT0IEC、ENCAT0EQ0、ENCAT0EQ1) と、TAUD0、TAUJ1 の次の機能の組み合わせにより実現します。

- TAUDTTINm 入力パルスインターバル測定機能 (TAUD0)
- TAUJTTINm 入力パルスインターバル測定機能 (TAUJ1)

また、TINm に入力するトリガ信号をレベル変化のトグル信号へ変換するため、PIC 内の以下機能を使用します。

- DT 回路

トリガ & パルス幅測定機能は、ENCA0 から出力されるトリガ信号の間隔を TAUD0 の TAUDTTINm 入力パルスインターバル測定機能、TAUJ1 の TAUJTTINm 入力パルスインターバル測定機能により測定できる機能を実現します。

(1) TAUDTTINm 入力パルスインターバル測定機能、TAUJTTINm 入力パルスインターバル測定機能

TAUD0、TAUJ1 の TINm の有効エッジを検出すると CNTm の値を CDRm にキャプチャし、CNTm をクリアします。

注 意

本機能では、TINm で検出する有効エッジを両エッジ検出 (TAUD0CMURm.TAUD0TIS[1:0] = 10_B、TAUJ1CMURm.TAUJ1TIS[1:0] = 10_B) とする設定にしてください。

TAUD、TAUJ の機能の詳細については、それぞれの章を参照してください。

(2) DT 回路

ENCA0 が出力するトリガ信号をレベル変化のトグル信号に変換します。

「**図 29.17 DT 回路動作**」に示すとおり、入力であるトリガ信号の発生ごとに出力信号をトグルさせます。

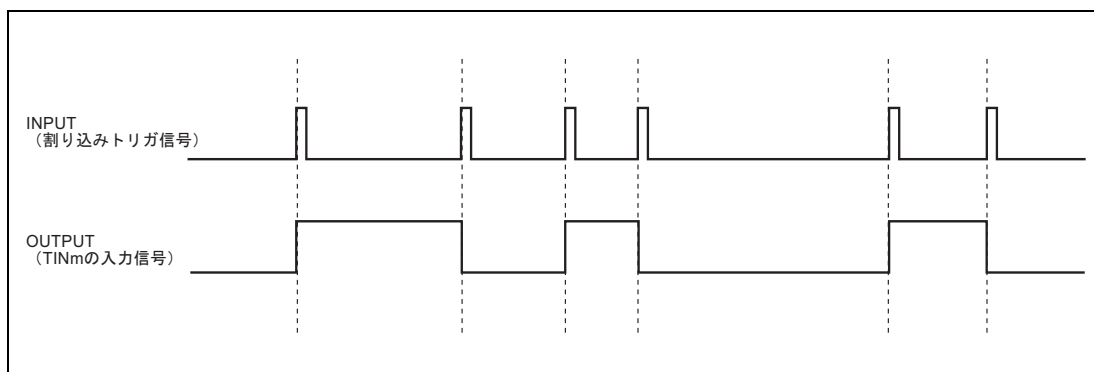


図 29.17 DT 回路動作

PIC は、ENCA0 からのトリガ信号の発生間隔を測定するための TAUD0、TAUJ1 への入力信号変換および信号接続を提供します。

次にトリガ&パルス幅測定機能のタイミング図を示します。

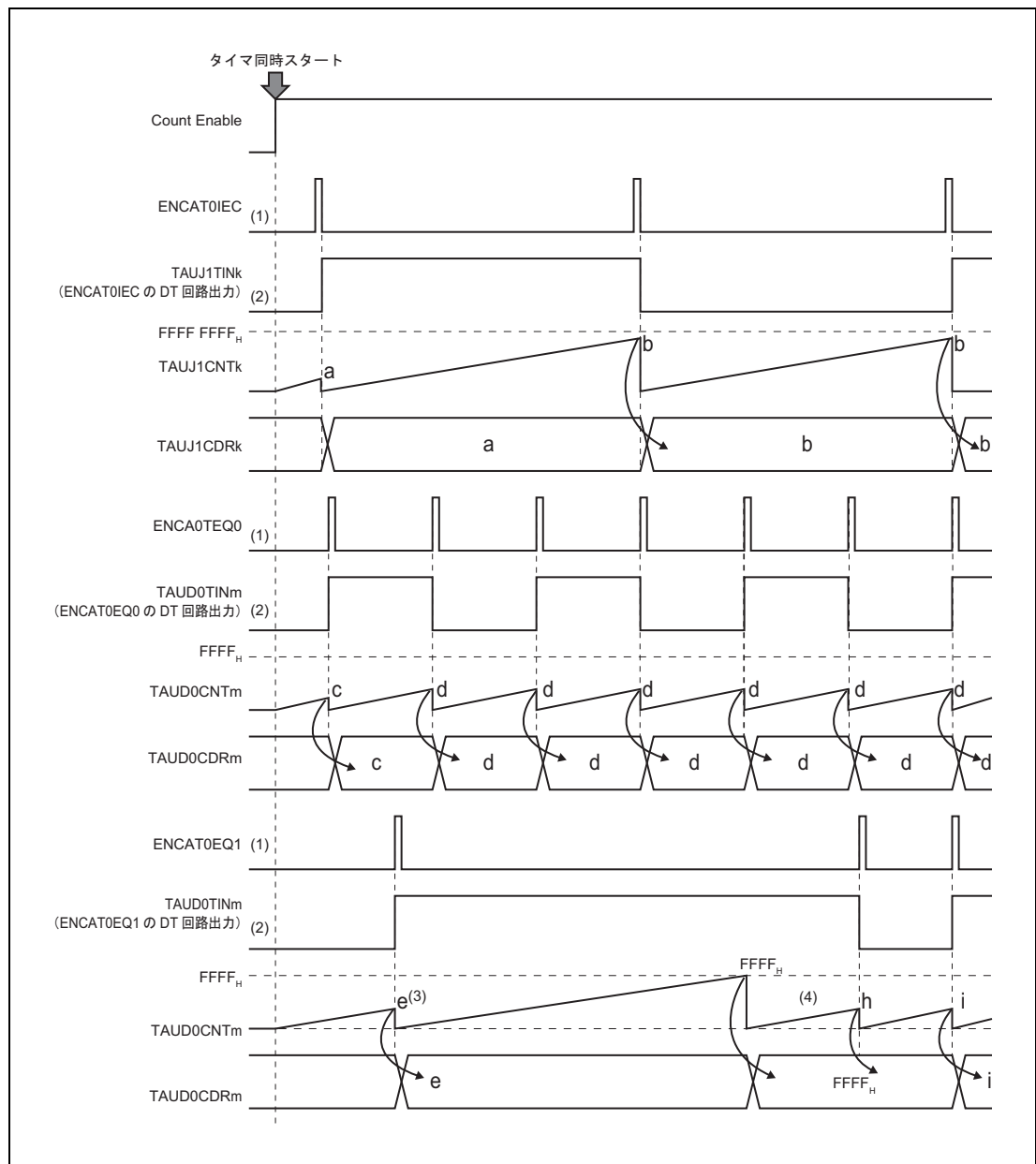


図 29.18 トリガ&パルス幅測定機能の動作例 (m = 0 - 2, k = 0, 1)

- (1) ENCA0 は次のトリガ信号を出力します。
 - ENCAT0IEC (ENCA0IEC 入力によりタイマカウンタ値がクリアされた時出力される割り込みトリガ信号)
 - ENCAT0EQ0 (タイマカウンタ値とコンペアレジスタ 0 の値が一致したタイミングで出力されるトリガ信号)
 - ENCAT0EQ1 (タイマカウンタ値とコンペアレジスタ 1 の値が一致したタイミングで出力されるトリガ信号)
- (2) ENCA0 から出力された各トリガ信号は DT 回路によりレベル変化のトグル信号に変換し TAUD0 および TAUJ1 の TINm へ出力します。

- (3) TAUD0 および TAUJ1 の TINm 有効エッジを両エッジ設定とすることにより、TINm のトグルタイミングで CNTm 値を CDRm へ取り込みます。同時に CNTm を 0000_H にクリアする動作を繰り返します。
動作開始から最初にキャプチャした値（図中で a）は、TAUJ 動作開始から、トリガ入力までの期間です。
- (4) オーバフロー時は FFFF_H（TAUJ の場合は、FFFF FFFF_H）をキャプチャし、その後の最初のトリガではカウント値をキャプチャしません。

以上の動作により、トリガ発生間隔を測定できます。

次の表にトリガ信号と計測タイマの組み合わせおよびその経路を設定する PIC レジスタと入出力を選択するレジスタのビット設定の一覧を示します。計測するトリガ信号と使用する計測タイマに応じて、適宜設定してください。

表 29.33 トリガ信号と計測タイマの組み合わせ

割り込みトリガ信号	計測タイマ	PIC レジスタのビット設定	
ENCAT0IEC	TAUJ1 CH0	PIC0REG3100 = 1	
	TAUJ1 CH1	PIC0REG3101 = 1	
ENCAT0EQ0	TAUD0 CH0	PIC0REG3109 = 0 PIC0REG3110 = 1	
	TAUD0 CH2	PIC0REG3112 = 1 PIC0REG3113 = 0	
ENCAT0EQ1	TAUD0 CH0	PIC0REG3106 = 1 PIC0REG3107 = 0 PIC0REG3108 = 0	PIC0REG3109 = 0 PIC0REG3110 = 0
	TAUD0 CH1		PIC0REG3111 = 1

29.9.5 設定フロー

本節に示す設定フローは、以下の組み合わせすべてでパルス間隔を計測する設定フローを記載しています。トリガ信号と測定に使用するタイマの組み合わせについては「表 29.33 トリガ信号と計測タイマの組み合わせ」を参照してください。

エンコーダタイマ	トリガ信号	計測タイマ
ENCA0	ENCAT0IEC	TAUJ1 CH0、TAUJ1 CH1
	ENCAT0EQ0	TAUD0 CH0、TAUD0 CH2
	ENCAT0EQ1	TAUD0 CH0、TAUD0 CH1

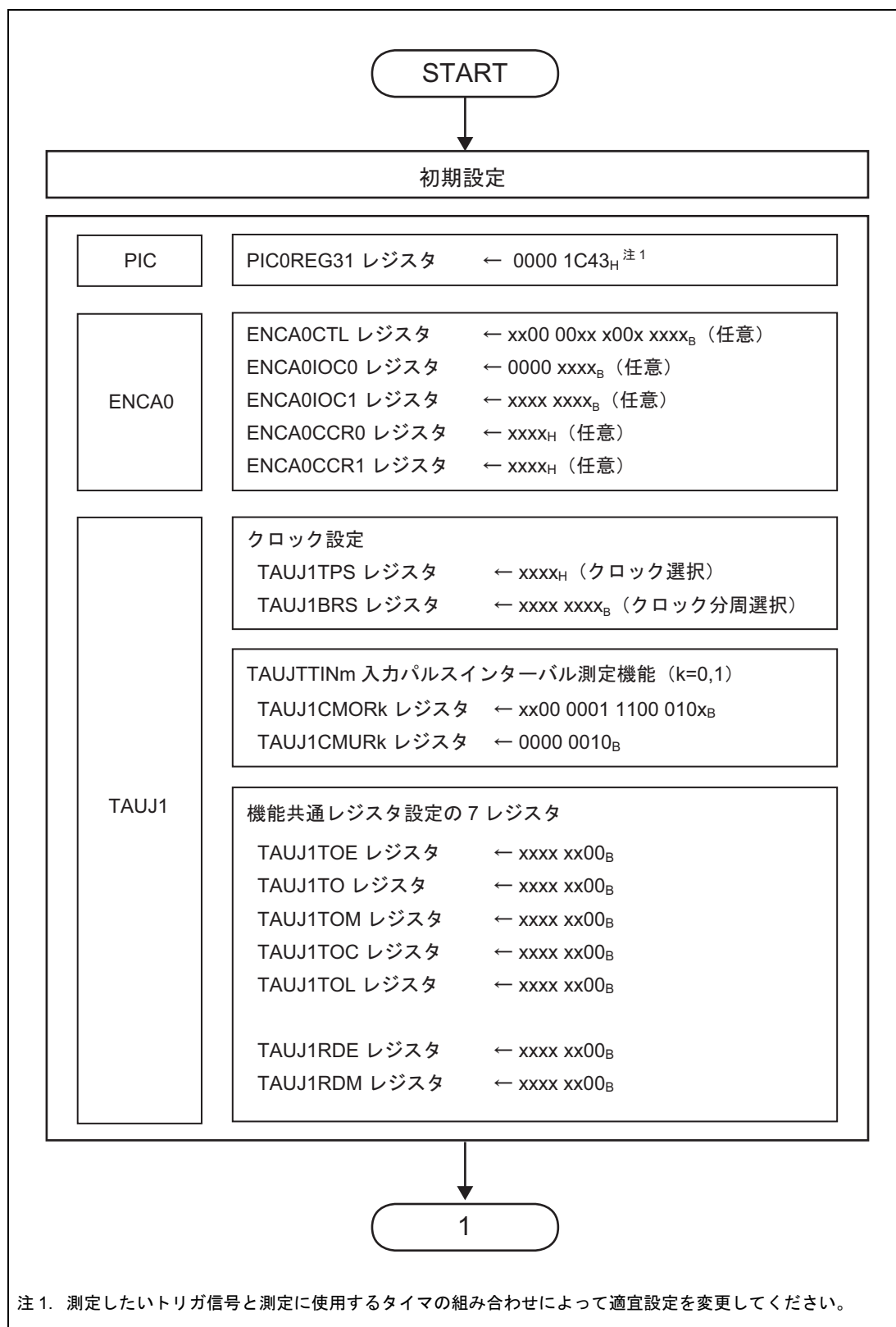


図 29.19 設定フロー

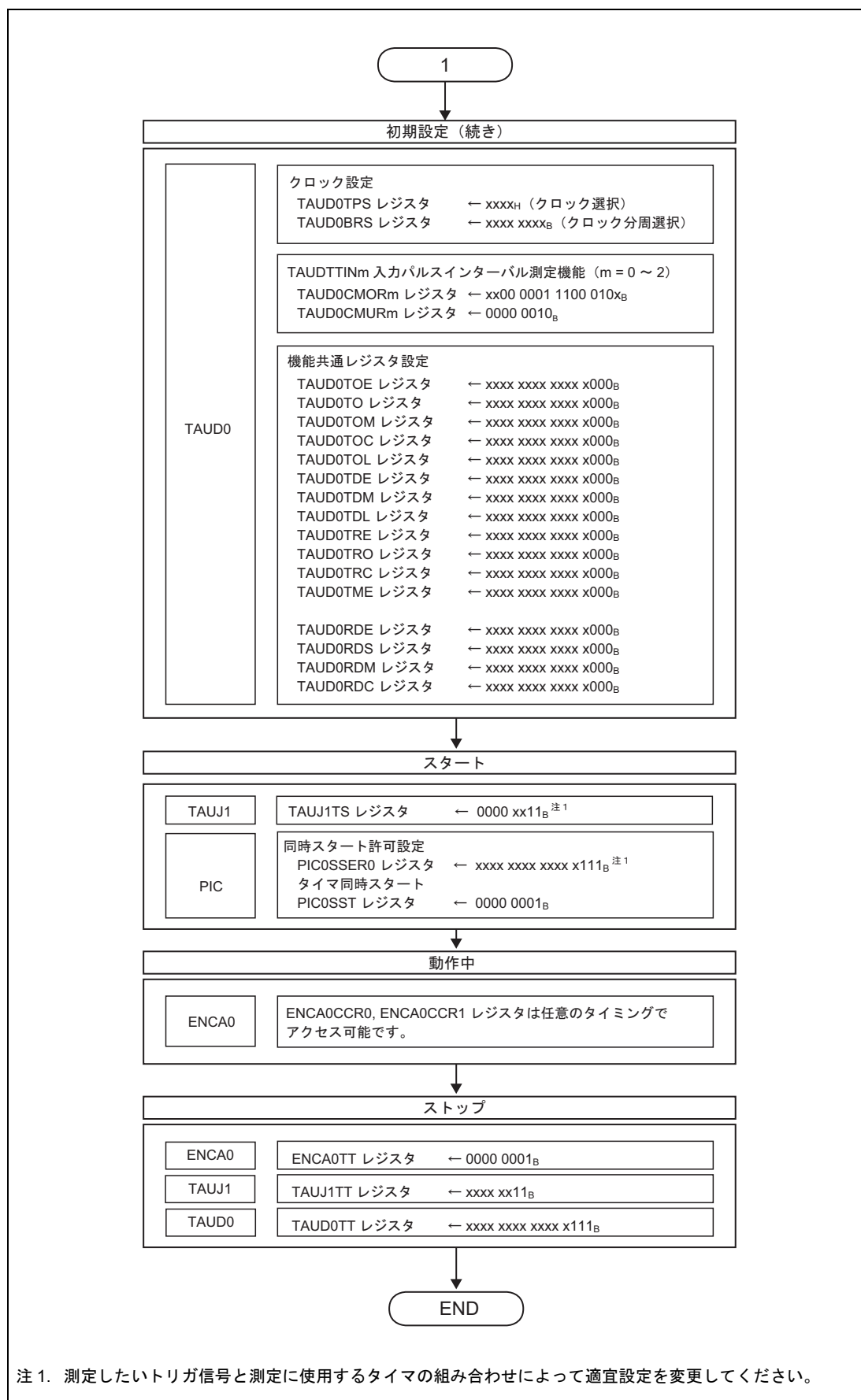


図 29.20 設定フロー (続き)

29.9.6 動作機能の設定例

各レジスタの設定値の例を示します。

本節に示す設定例は、以下の組み合わせすべてでパルス間隔を計測する設定を記載していません。

トリガ信号と測定に使用するタイマの組み合わせについては「表 29.33 トリガ信号と計測タイマの組み合わせ」を参照してください。

エンコーダタイマ	トリガ信号	計測タイマ
ENCA0	ENCAT0IEC	TAUJ1 CH0, TAUJ1 CH1
	ENCAT0EQ0	TAUD0 CH0, TAUD0 CH2
	ENCAT0EQ1	TAUD0 CH0, TAUD0 CH1

表 29.34 ENCA0 設定

レジスタ	ビット位置	ビット名	設定値	備考
ENCA0CTL	15	ENCA0CME	任意	コンペアー一致割り込み検出マスク許可/禁止を選択
	14	ENCA0MCS	任意	コンペアー一致割り込み検出マスク解除トリガ選択
	13-10		0	0 固定
	9	ENCA0CRM1	任意	ENCA0CCR1 レジスタの用途を選択
	8	ENCA0CRM0	任意	ENCA0CCR0 レジスタの用途を選択
	7	ENCA0CTS	任意	ENCA0CCR1 のキャプチャ動作のトリガ選択
	6-5		0	0 固定
	4	ENCA0LDE	任意	アンダフロー発生時のリロード許可/禁止を選択
	3	ENCA0ECM1	任意	ENCA0CCR1 のコンペアー一致時のカウンタクリアの許可/禁止を選択
	2	ENCA0ECM0	任意	ENCA0CCR0 のコンペアー一致時のカウンタクリアの許可/禁止を選択
	1, 0	ENCA0UDS[1:0]	任意	ENCA0E0 および ENCA0E1 によるカウンタアップ/ダウン制御を選択
ENCA0IOCO	7-4		0	0 固定
	3, 2	ENCA0TIS[3:2]	任意	キャプチャトリガ 1 (ENCA0I1) の有効エッジを選択
	1, 0	ENCA0TIS[1:0]	任意	キャプチャトリガ 0 (ENCA0I0) の有効エッジを選択
ENCA0IOC1	7	ENCA0SCE	任意	エンコーダ特殊クリア許可を選択
	6	ENCA0ZCL	任意	エンコーダ特殊クリアの Z 相のクリアレベルを選択
	5	ENCA0BCL	任意	エンコーダ特殊クリアの B 相のクリアレベルを選択
	4	ENCA0ACL	任意	エンコーダ特殊クリアの A 相のクリアレベルを選択
	3, 2	ENCA0ECS[1:0]	任意	エンコーダクリア入力 (Z 相) エッジを選択
	1, 0	ENCA0EIS[1:0]	任意	エンコーダ入力 (A, B 相) エッジを選択

表 29.35 TAUJ1 の設定 (k = 0, 1)
TAUJ1 (TAUJTTINm 入力パルスインターバル測定機能)

レジスタ	ビット位置	ビット名	設定値	備考
TAUJ1CMORk	15、14	TAUJ1CKS[1:0]	任意	動作クロック設定
	13、12	TAUJ1CCS[1:0]	00	
	11	TAUJ1MAS	0	
	10、9、8	TAUJ1STS[2:0]	001	
	7、6	TAUJ1COS[1:0]	11	
	5		0	0 固定
	4、3、2、1	TAUJ1MD[4:1]	0010	
	0	TAUJ1MD0	任意	
TAUJ1CMURk	1、0	TAUJ1TIS[1:0]	10	

備 考

TAUJ1CMORk を TAUJTTINm 入力パルスインターバル測定機能として使用する場合、TAUJ1CKS[1:0] (動作クロック選択)、TAUJ1MD0 (カウント開始時の INTm 出力制御) の各ビットは任意に設定できます。

TAUJ1COS[1:0] (オーバフロー動作の選択) ビットも任意設定可能ですが本機能では固定値で使用してください。

他の制御ビットは固定値となります。詳細は「第 26 章 タイマアレユニット J (TAUJ)」を参照してください。

TAUJ 共通レジスタ (TAUJ1TOE、TAUJ1TO、TAUJ1TOM、TAUJ1TOC、TAUJ1TOL、TAUJ1RDE、TAUJ1RDM) については、使用するチャネルに対応するビットのみ「0」に設定してください

表 29.36 TAUD0 の設定 (m = 0-2)
TAUD0 (TAUDTTINm 入力パルスインターバル測定機能)

レジスタ	ビット位置	ビット名	設定値	備考
TAUD0CMORm	15、14	TAUD0CKS[1:0]	任意	動作クロック設定
	13、12	TAUD0CCS[1:0]	00	
	11	TAUD0MAS	0	
	10-8	TAUD0STS[2:0]	001	
	7、6	TAUD0COS[1:0]	11	
	5		0	0 固定
	4-1	TAUD0MD[4:1]	0010	
	0	TAUD0MD0	任意	
TAUD0CMURm	1、0	TAUD0TIS[1:0]	10	

備 考

TAUD0CMORm を TAUDTTINm 入力パルスインターバル測定機能として使用する場合、TAUD0CKS[1:0] (動作クロック選択)、TAUD0MD0 (カウント開始時の INTm 出力制御) の各ビットは任意に設定できます。

TAUD0COS[1:0] (オーバフロー動作の選択) ビットも任意設定可能ですが本機能では固定値で使用してください。

他の制御ビットは固定値となります。詳細は「**第 25 章 タイマレイユニット D (TAUD)**」を参照してください。

TAUD 共通レジスタ (TAUD0TOE、TAUD0TO、TAUD0TOM、TAUD0TOC、TAUD0TOL、TAUD0TDE、TAUD0TDM、TAUD0TDL、TAUD0TRE、TAUD0TRO、TAUD0TRC、TAUD0TME、TAUD0RDE、TAUD0RDS、TAUD0RDM、TAUD0RDC) については、使用するチャンネルに対応するビットのみ「0」に設定してください。

表 29.37 PIC の設定

レジスタ	ビット位置	ビット名	設定値	備考
PIC0REG31	13、12	PIC0REG3113	0	TAUD0TTIN2 への入力信号に ENCAT0EQ0 の DT 出力信号を選択
		PIC0REG3112	1	
	11	PIC0REG3111	1	TAUD0TTIN1 への入力信号に PIC0REG3106 ~ 08 で選択した信号 (ENCAT0EQ1 の DT 出力信号) を選択
	10、9	PIC0REG3110	1	TAUD0TTIN0 への入力信号に ENCAT0EQ0 の DT 出力信号を選択
		PIC0REG3109	0	
	8-6	PIC0REG3108 PIC0REG3107 PIC0REG3106	0 0 1	TAUD0TTIN1、TAUD0TTIN0 への入力信号として ENCAT0EQ1 の DT 出力信号を選択
1	PIC0REG3101	1	TAUJ1TTIN1 への入力信号に ENCAT0IEC の DT 出力信号を選択	
0	PIC0REG3100	1	TAUJ1TTIN0 への入力信号に ENCAT0IEC の DT 出力信号を選択	

29.10 A/D トリガエンコーダキャプチャ機能

29.10.1 機能概要

A/D 変換トリガ信号を ENCA0 のキャプチャ信号として使用することにより、A/D 変換に同期したエンコーダカウンタ値を取得することが可能です。

29.10.2 構成

(1) 構成

表 29.38 A/D トリガエンコーダキャプチャ機能の構成

A/D コンバータ	エンコーダ タイマ
ADCA0	ENCA0

(2) ブロック図

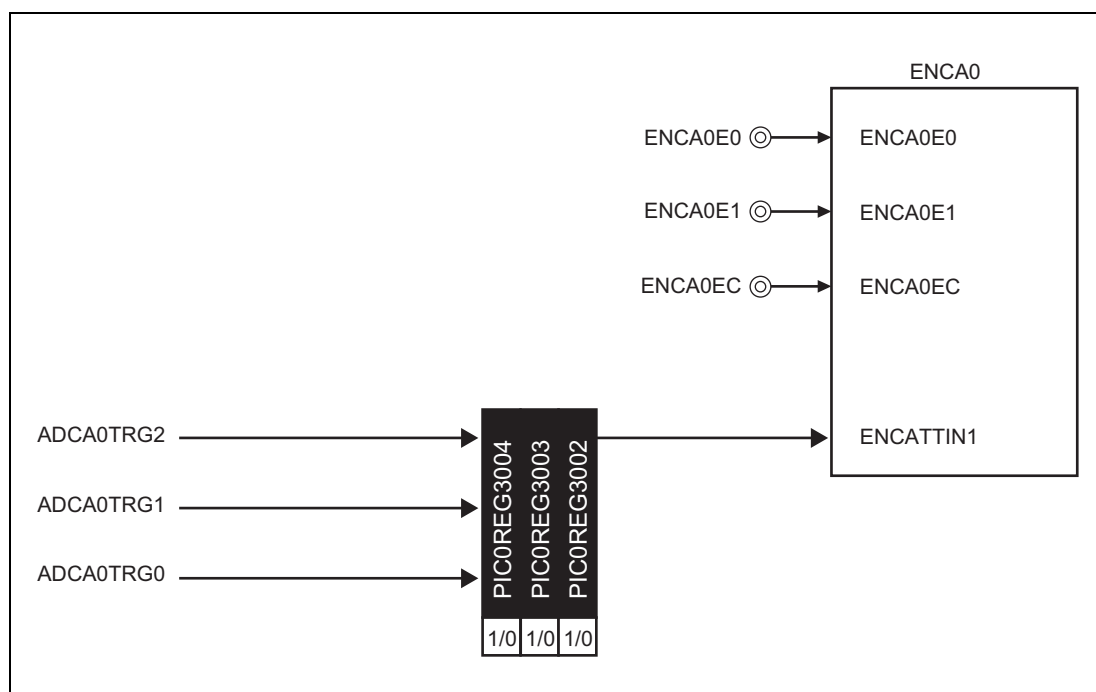


図 29.21 A/D トリガエンコーダキャプチャ機能のブロック図

注 意

- ENCA0 が ENCA0TIN1 端子の入力信号をキャプチャするまでのクロック数に比べて、ADCA0TRG0、ADCA0TRG1、ADCA0TRG2 端子の入力信号をキャプチャするまでのクロック数は、CKSCLK_IPERI1 で 1 クロックと CKSCLK_AADCA で 3 クロックを加えた遅延が発生するため、遅延を考慮した構成にしてください。
- エッジ検出機能は、デジタルノイズ除去フィルタのエッジ検出機能レジスタ FCLA0CTL0_ADC0、FCLA0CTL1_ADC0、FCLA0CTL2_ADC0（詳細は、「2.12.1.4 デジタルフィルタタイプD 付き入力端子」を参照してください。）で設定し、ENCA0 の ENCA0TIN1 キャプチャのエッジ検出機能は、立ち上がりエッジ設定 (ENCA0IOC0.ENCA0TIS[3:2]=01_B) にしてください。ENCA0IOC0.ENCA0TIS[3:2]=10_B（立ち下りエッジ）、ENCA0IOC0.ENCA0TIS[3:2]=11_B（両エッジ）の設定はしないでください。

29.10.3 レジスタ

29.10.3.1 PIC0REG30 — タイマ入出力制御レジスタ 30

アクセス 32ビット単位でリード/ライト可能です。

アドレス <PIC0_base> + E8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PIC0REG3004	PIC0REG3003	PIC0REG3002	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 29.39 PIC0REG30 レジスタの内容

ビット位置	ビット名	機能																								
31 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																								
4 ~ 2	PIC0REG3004 ~ PIC0REG3002	ENCATTIN1 への入力信号を選択します。 <table border="1" style="margin: 5px auto;"> <thead> <tr> <th>PIC0REG3004</th> <th>PIC0REG3003</th> <th>PIC0REG3002</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>ENCA0 で A/D トリガ信号によるキャプチャは行わない</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>ADCA0TRG2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>ADCA0TRG1</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>ADCA0TRG0</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG3004	PIC0REG3003	PIC0REG3002	入力信号	0	0	0	ENCA0 で A/D トリガ信号によるキャプチャは行わない	0	1	0	ADCA0TRG2	0	1	1	ADCA0TRG1	1	0	0	ADCA0TRG0	上記以外			設定禁止
PIC0REG3004	PIC0REG3003	PIC0REG3002	入力信号																							
0	0	0	ENCA0 で A/D トリガ信号によるキャプチャは行わない																							
0	1	0	ADCA0TRG2																							
0	1	1	ADCA0TRG1																							
1	0	0	ADCA0TRG0																							
上記以外			設定禁止																							
1, 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																								

29.10.4 動作例

A/D 変換トリガ信号 $ADCA_nTRG_i$ ($n=0, i=0\sim 2$) を ENCA0 に接続することで実現します。

注意

本機能を使用する場合は、ENCA0 の割り込み信号 ENCATINT1 を A/D コンバータトリガとして選択しないでください。選択した場合、「 $ADCA_nTRG_1$ 発生 → ENCA0 キャプチャ動作 → キャプチャ実行による ENCATINT1 発生 → $ADCA_nTRG_1$ 発生」のループが成立してしまい正常動作できなくなります。

次に ADCA0TRG1 をトリガとした A/D トリガエンコーダキャプチャ機能のタイミング図を示します。

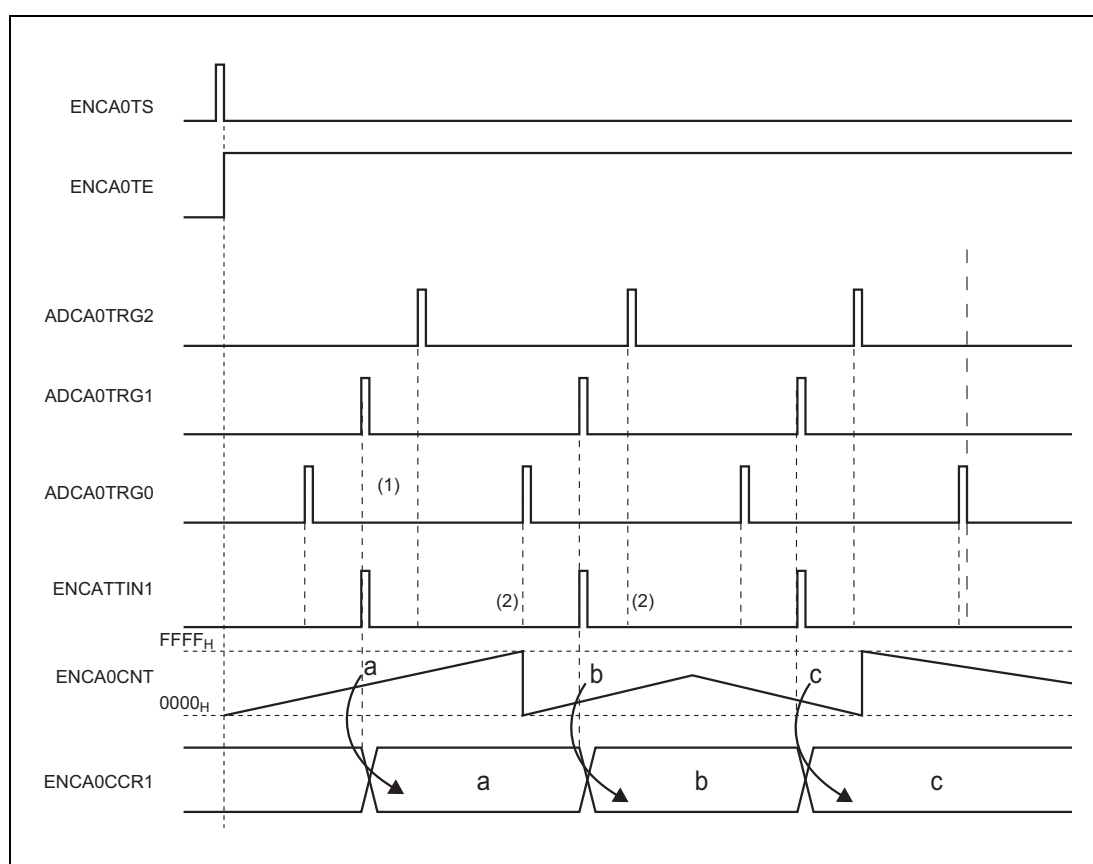


図 29.22 トリガエンコーダキャプチャ機能の動作例

- (1) ENCA0 のキャプチャトリガ 1 信号 ENCATTIN1 として ADCA0TRG1 を選択した場合、有効となる ADCA0TRG1 を ENCATTIN1 信号として ENCA0 に入力するため、ENCA0 のキャプチャが発生します。
- (2) ADCA0TRG1 以外のハードウェアトリガ信号 (ADCA0TRG0、ADCA0TRG2) の発生では、ENCATTIN1 信号が発生しないため、ENCA0 のキャプチャ動作は実行されません。

29.10.5 設定フロー

本節に示す設定フローは、エンコーダタイマ ENCA0 のキャプチャ動作を ADCA0TRG1 信号で実行する設定フローを記載しています。

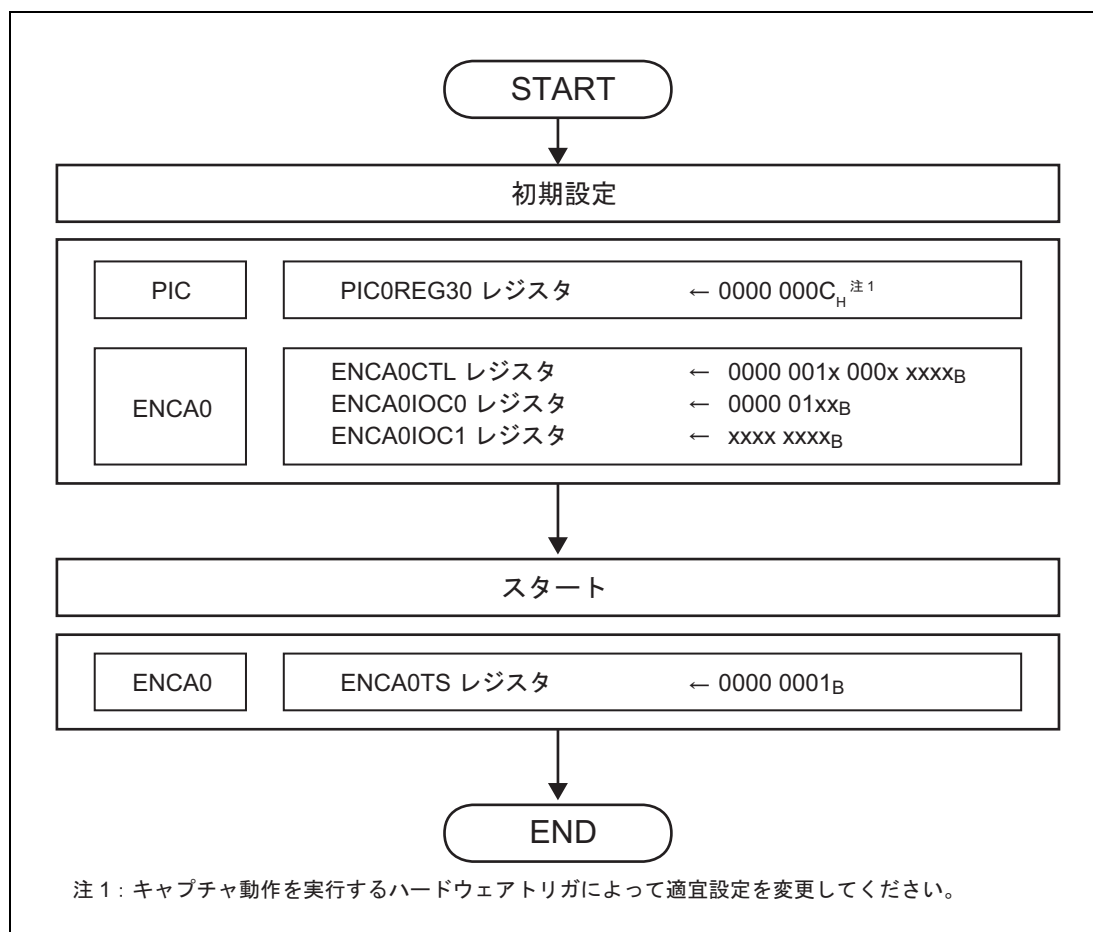


図 29.23 設定フロー

29.10.6 動作機能の設定例

各レジスタの設定値の例を示します。

本節に示す設定値は、エンコーダタイマ ENCA0 のキャプチャ動作を ADCA0TRG1 信号で実行する設定値を記載しています。キャプチャ動作を実行するハードウェアトリガによって適宜設定を変更してください。

表 29.40 ENCA_n 設定

レジスタ	ビット位置	ビット名	設定値	備考
ENCA _n CTL	15	ENCA _n CME	0	コンペアー一致割り込み検出マスク禁止を選択
	14	ENCA _n MCS	0	コンペアー一致割り込み検出マスク解除トリガ選択
	13 ~ 10		0	0 固定
	9	ENCA _n CRM1	1	ENCA _n CCR1 レジスタをキャプチャ用に設定
	8	ENCA _n CRM0	任意	ENCA _n CCR0 レジスタの用途を選択
	7	ENCA _n CTS	0	ENCATTIN1 をキャプチャトリガとして選択。
	6, 5		0	0 固定
	4	ENCA _n LDE	任意	ENCA _n CCR0 レジスタのアンダフロー発生時のリロード許可/禁止を選択
	3	ENCA _n ECM1	任意	ENCA _n CCR1 のコンペアー一致時のカウンタ・クリアの許可/禁止を選択
	2	ENCA _n ECM0	任意	ENCA _n CCR0 レジスタのコンペアー一致時のカウンタクリアの許可/禁止を選択
1, 0	ENCA _n UDS[1:0]	任意	ENCA _n E0 と ENCA _n E1 によるカウンタアップ/ダウン制御を選択	
ENCA _n IOC0	7 ~ 4		0	0 固定
	3, 2	ENCA _n TIS[3:2]	0 ^{注1} 1 ^{注1}	キャプチャトリガ 1 (ENCATTIN1) の有効エッジを立ち上がりエッジ検出に選択
	1, 0	ENCA _n TIS[1:0]	任意	キャプチャトリガ 0 (ENCATTIN0) の有効エッジを選択
ENCA _n IOC1	7	ENCA _n SCE	任意	エンコーダ特殊クリア許可を選択
	6	ENCA _n ZCL	任意	エンコーダ特殊クリアの Z 相のクリア条件 (入力レベル) を選択
	5	ENCA _n BCL	任意	エンコーダ特殊クリアの B 相のクリア条件 (入力レベル) を選択
	4	ENCA _n ACL	任意	エンコーダ特殊クリアの A 相のクリア条件 (入力レベル) を選択
	3, 2	ENCA _n ECS[1:0]	任意	エンコーダクリア入力 (Z 相) エッジを選択
	1, 0	ENCA _n EIS[1:0]	任意	エンコーダ入力 (A,B 相) エッジを選択
PIC0REG30	4	PIC0REG3004	任意	ENCATTIN1 の ADCA0 トリガ信号を選択
	3	PIC0REG3003	任意	
	2	PIC0REG3002	任意	

注 1. キャプチャ動作を実行するハードウェアトリガによって適宜設定を変更してください。

備考

ENCA0CTL の ENCA0CRM1 = 1 (ENCA0CCR1 レジスタの用途)、ENCA0CTS = 0 (ENCA0CCR1 レジスタへのキャプチャトリガ要因) のみ固定値となります。その他は任意設定可能です。

29.11 デッドタイム付き 3 相 PWM 出力機能

29.11.1 機能概要

1 周期にそれぞれ 1 回以下のセット信号（アクティブレベル変化タイミング信号）、クリア信号（非アクティブレベル変化タイミング信号）を生成し、それらを利用したデッドタイム付き 3 相 PWM 波形を出力します。

TAUD の PWM 出力機能では、デューティ値指定により 1 周期にクリアタイミングのみ設定しますが、本機能によりセットタイミングも指定可能となり、より自由度の高いデッドタイム付き PWM を出力できます。

29.11.2 構成

本機能のユニット、チャンネル構成を下記に示します。 (n = 0)

表 29.41 デッドタイム付き 3 相 PWM 出力機能の構成

タイマ	タイマモータ制御機能
TAUD0 CH2, CH4 ~ CH15 (使用チャンネル固定)	TAPA0

以下の説明に使用している信号名は略称です。実際の信号名は以下のように読み替えてください。

- INTm → INTTAUDnIm (TAUDn チャンネル m 割り込み)
- TINm → TAUDTTINm (TAUDn チャンネル m 入力)
- TOUTm → TAUDTTOUTm (TAUDn チャンネル m 出力)
- CDRm → TAUDnCDRm (TAUDn チャンネル m データレジスタ)
- CNTm → TAUDnCNTm (TAUDn チャンネル m カウンタレジスタ)

(1) TAUDn 設定

CH10、12、14 は、TOUTm のみ使用するため、TOUTm を使用しない機能であれば使用可能です (m = 10, 12, 14)。

表 29.42 TAUDn 設定 (1/2)

CH	機能名	M/S	CDR 設定値	説明
2	PWM 出力機能 (CH2 は CH4-CH9 のマスタチャンネル)	M	周期	
4		S	デューティ (U 相 セット)	
5		S	デューティ (U 相 クリア)	
6		S	デューティ (V 相 セット)	
7		S	デューティ (V 相 クリア)	
8		S	デューティ (W 相 セット)	
9		S	デューティ (W 相 クリア)	
10		TOUT10 を使用しない機能であれば任意	S	
11	1 相 PWM 出力機能	S	デッドタイム (U 相)	TOUT11 : UB 相出力

表 29.42 TAUDn 設定 (2/2)

CH	機能名	M/S	CDR 設定値	説明
12	TOUT12 を使用しない機能であれば任意	S		TOUT12 : V 相出力
13	1 相 PWM 出力機能	S	デッドタイム (V 相)	TOUT13 : VB 相出力
14	TOUT14 を使用しない機能であれば任意	S		TOUT14 : W 相出力
15	1 相 PWM 出力機能	S	デッドタイム (W 相)	TOUT15 : WB 相出力

備考 M = マスタチャンネル
S = スレーブチャンネル

(2) ブロック図

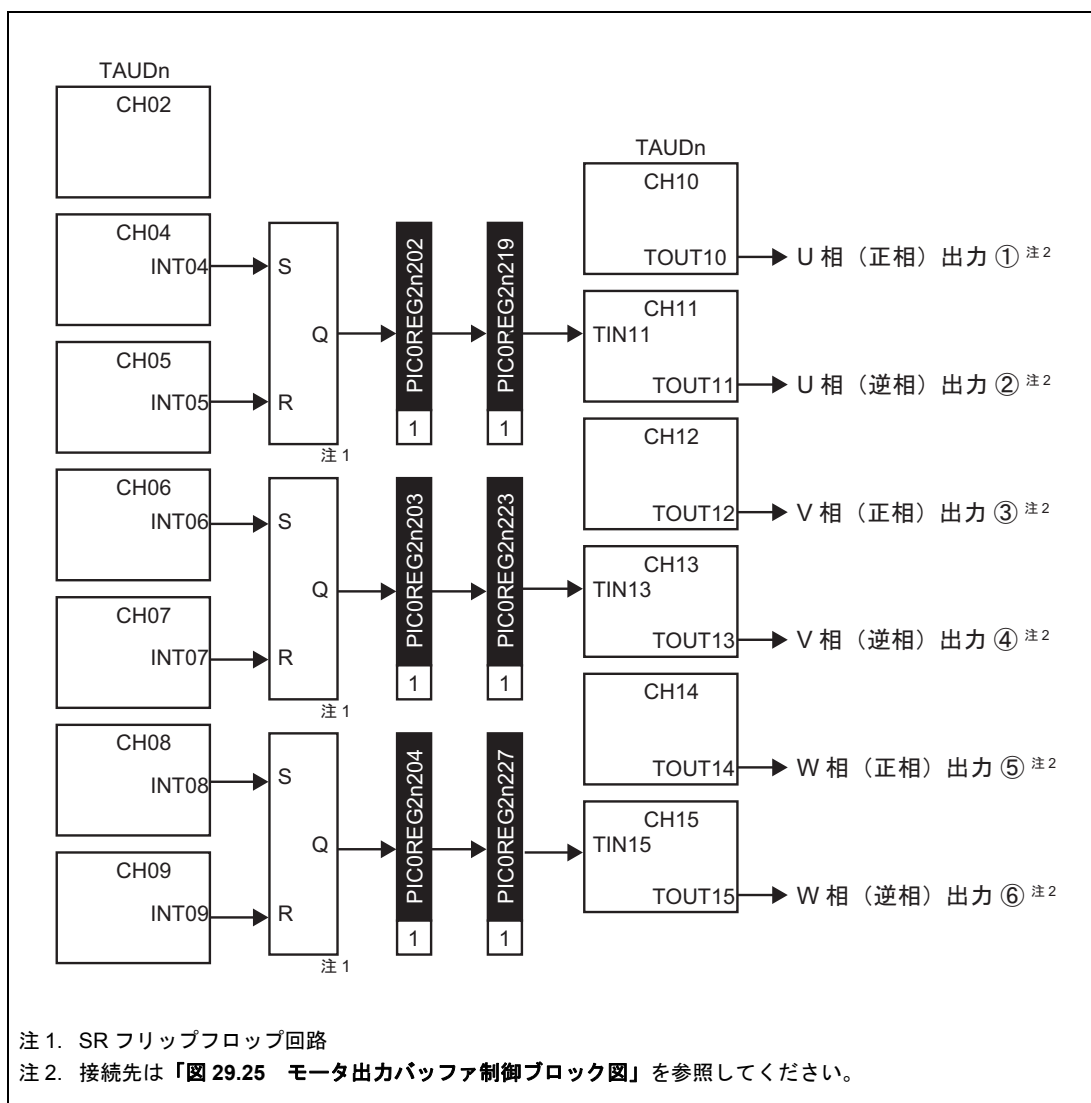


図 29.24 デッドタイム付き 3 相 PWM 出力のブロック図

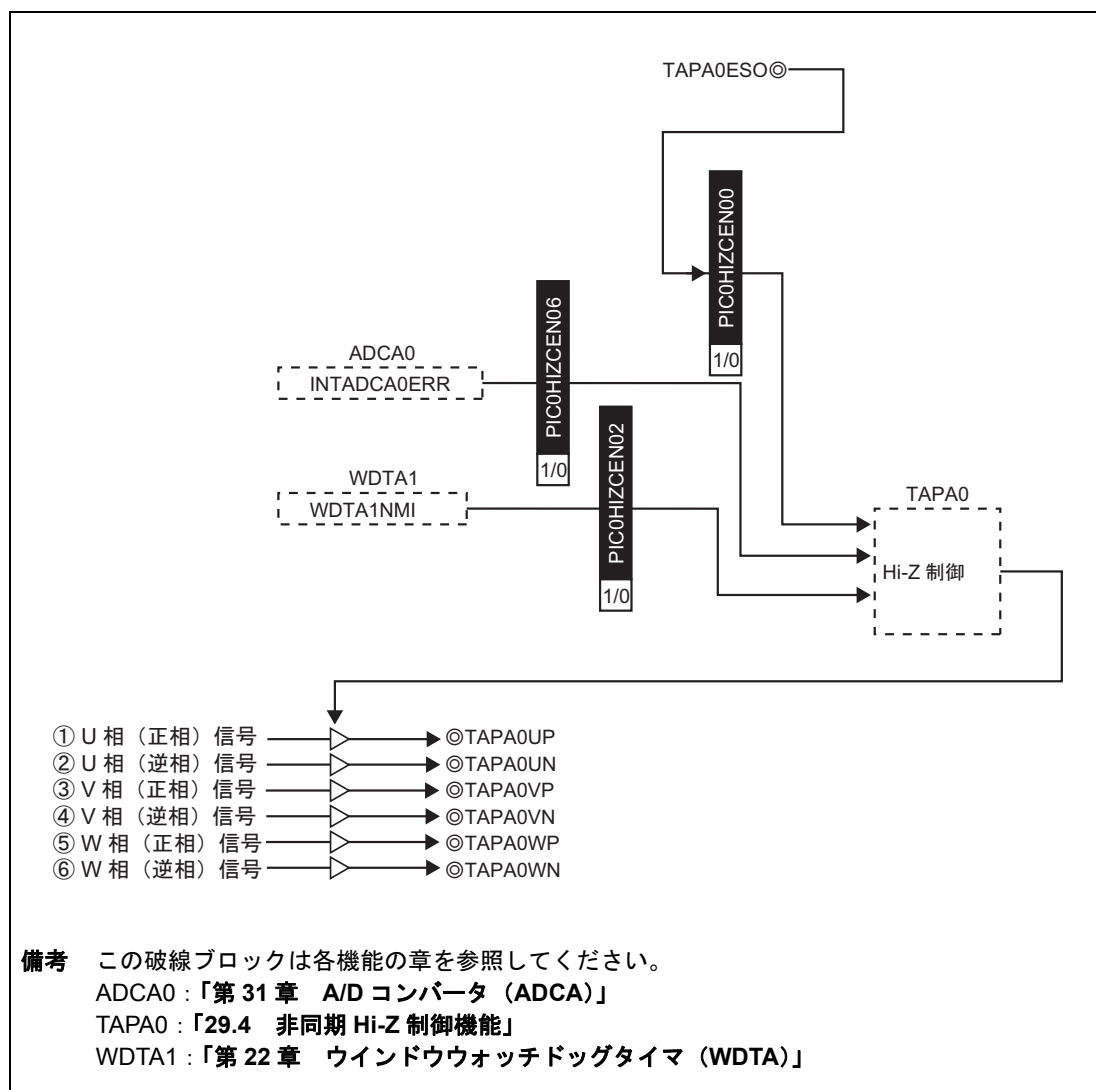


図 29.25 モータ出力バッファ制御ブロック図

29.11.3 レジスタ

29.11.3.1 PIC0REG2n2 — タイマ入出力制御レジスタ 2n2 (n = 0)

アクセス 32ビット単位でリード/ライト可能です。

アドレス PIC0REG202 : FFDD 00C8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	PIC0REG2n227	—	—	—	PIC0REG2n223	—	—	—	PIC0REG2n219	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PIC0REG2n204	PIC0REG2n203	PIC0REG2n202	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 29.43 PIC0REG2n2 レジスタの内容

ビット位置	ビット名	機能						
31 ~ 28	予約ビット	注1						
27	PIC0REG2n227	TAUDTTIN15 への入力信号を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG2n227</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>PIC0REG2n204 ビットで選択した信号</td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n227	入力信号	1	PIC0REG2n204 ビットで選択した信号	上記以外	設定禁止
PIC0REG2n227	入力信号							
1	PIC0REG2n204 ビットで選択した信号							
上記以外	設定禁止							
26 ~ 24	予約ビット	注1						
23	PIC0REG2n223	TAUDTTIN13 への入力信号を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG2n223</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>PIC0REG2n203 ビットで選択した信号</td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n223	入力信号	1	PIC0REG2n203 ビットで選択した信号	上記以外	設定禁止
PIC0REG2n223	入力信号							
1	PIC0REG2n203 ビットで選択した信号							
上記以外	設定禁止							
22 ~ 20	予約ビット	注1						
19	PIC0REG2n219	TAUDTTIN11 への入力信号を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG2n219</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>PIC0REG2n202 ビットで選択した信号</td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n219	入力信号	1	PIC0REG2n202 ビットで選択した信号	上記以外	設定禁止
PIC0REG2n219	入力信号							
1	PIC0REG2n202 ビットで選択した信号							
上記以外	設定禁止							
18 ~ 5	予約ビット	注1						
4	PIC0REG2n204	TAUDTTIN15 への TIN 入力信号を選択します。 0 : 設定禁止 1 : INTTAUDn18, INTTAUDn19 によるセット/クリア出力を選択						
3	PIC0REG2n203	TAUDTTIN13 への TIN 入力信号を選択します。 0 : 設定禁止 1 : INTTAUDn16, INTTAUDn17 によるセット/クリア出力を選択						
2	PIC0REG2n202	TAUDTTIN11 への TIN 入力信号を選択します。 0 : 設定禁止 1 : INTTAUDn14, INTTAUDn15 によるセット/クリア出力を選択						
1, 0	予約ビット	注1						

注1. PIC0REG2n2 レジスタに“0”を定義しているビットは、ほかのタイマ接続機能で定義していることがあります

ます。その場合、該当するタイマ接続機能のビット定義を適用してください。

29.11.3.2 PIC0HIZCENn — Hi-Z 出力制御レジスタ n (n = 0)

PIC0HIZCENn レジスタは、TAPAn の Hi-Z 出力制御用入力信号を選択します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <PIC0_base> + 80_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	PIC0HIZCENn6	—	—	—	PIC0HIZCENn2	—	PIC0HIZCENn0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R	R	R/W	R	R/W

表 29.44 PIC0HIZCENn レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	PIC0HIZCENn6	INTADCA0ERR 割り込み信号による Hi-Z 出力制御の許可/禁止を選択します。 0: 禁止 1: 許可
5 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	PIC0HIZCENn2	WDTA1NMI 割り込み信号による Hi-Z 出力制御の許可/禁止を選択します。 0: 禁止 1: 許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PIC0HIZCENn0	TAPAnESO 端子入力による Hi-Z 出力制御の許可/禁止を選択します。 0: 禁止 1: 許可

29.11.4 動作例

1周期にそれぞれ1回以下のセット信号、クリア信号を生成し、それらを利用したデッドタイム付き3相PWM波形を出力します。

TAUDの次の機能の組み合わせにより実現します。

- PWM出力機能
- 1相PWM出力機能

また、PWM出力機能で生成するセット信号、クリア信号から1相PWM出力機能の入力TIN_m (m = 11, 13, 15)へ供給するPWM波形を作成するため、PIC内の以下機能を使用します。

- SRフリップフロップ回路

3相PWM出力は、上記機能で実現したデッドタイム付き1相PWM出力をそれぞれU相、V相、W相に割り当てる事により実現します。したがって、PWM出力のセット/クリア信号は、各相のPWMごとに自由に設定できます。各相の違いは割り当てられたチャンネルの違いのみなので、ここでは1相(U相)についてのみ説明を行います。

29.11.4.1 PWM出力機能

CH2、CH4、CH5の組み合わせで使用します。

CDR02に周期、CDR04にU相セット値、CDR05にU相クリア値を設定することで、INT04,05から1相PWM出力機能の入力TIN11を生成するSRフリップフロップ回路へのセット/クリア信号を生成します。

V相、W相については、上記U相のセット/クリア信号生成で使ったCH4,CH5をそれぞれCH6、CH7 (V相)、CH8、CH9 (W相)で実現します。

29.11.4.2 1相PWM出力機能

CH10、CH11の組み合わせで1相PWMをTOUT10、TOUT11から出力します。

CDR11にデッドタイム値を設定することで、TIN11入力に対してデッドタイム付1相PWMを出力します。

V相、W相については、それぞれCH12、CH13 (V相)、CH14、CH15 (W相)で、同様にデッドタイム付き1相PWMを出力します。

注 意

PWM出力機能、1相PWM出力機能で使用するTAUD_n各チャンネルの動作クロック設定は同一クロックを設定してください。

TAUDの機能の詳細については、「**第25章 タイマアレイユニットD (TAUD)**」の章を参照してください。

29.11.4.3 SR フリップフロップ回路

TAUD の CH4 で生成される U 相セット信号、CH5 で生成される U 相クリア信号を入力とし、1 相 PWM 出力機能の入力 TIN11 へ供給する PWM 波形を生成します。

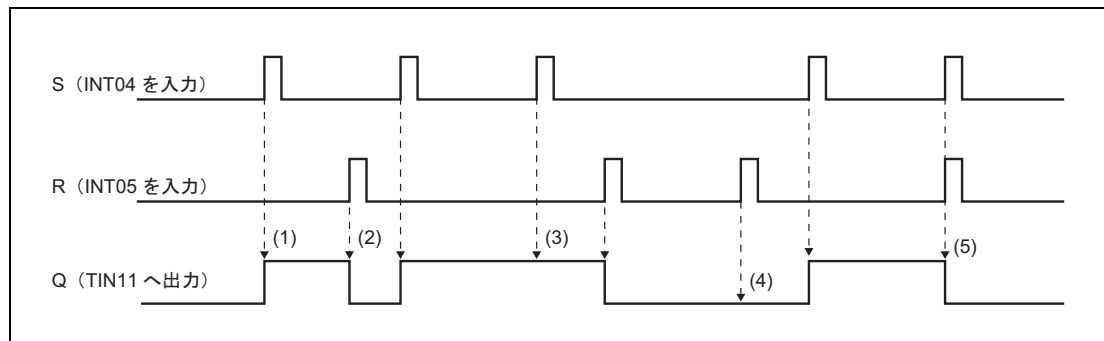


図 29.26 SR フリップフロップ回路の動作タイミング図 (U 相の例)

- (1) 入力 S に信号が入力されると、S の立ち上がりで出力 Q がハイレベルになります。
- (2) 入力 R に信号が入力されると、R の立ち上がりで出力 Q はロウレベルになります。
- (3) 出力 Q がハイレベルの状態を入力 S に信号が入力されても出力 Q には影響しません。
- (4) 出力 Q がロウレベルの状態を入力 R に信号が入力されても出力 Q には影響しません。
- (5) 入力 S および入力 R に同時に信号が入力された場合、入力 R が優先され R の立ち上がりで出力 Q はロウレベルになります。

V 相、W 相については、それぞれ INT06、INT07 (V 相)、INT08、INT09 (W 相) を入力とし、TIN13 (V 相)、TIN15 (W 相) へ供給する PWM 波形を生成します。

「1 相 PWM 出力機能」で生成する PWM の出力変化タイミングを「PWM 出力機能」により生成します。

「PWM 出力機能」は、PWM のアクティブレベル出力タイミングのセット信号、非アクティブレベル出力タイミングのクリア信号を生成します。このセット/クリア信号を SR フリップフロップ回路に入力することにより、任意タイミングで変化する PWM 信号を生成します。

「1 相 PWM 出力機能」は、生成された PWM 信号の変化にしたがい、正相/逆相 PWM の生成、デッドタイム付加を行い 1 相 PWM 信号の出力を行います。

PIC は、「PWM 出力機能」で生成されたセット/クリア信号を「SR フリップフロップ回路」によって「1 相 PWM 出力機能」の TIN 入力として使用する接続を提供します。

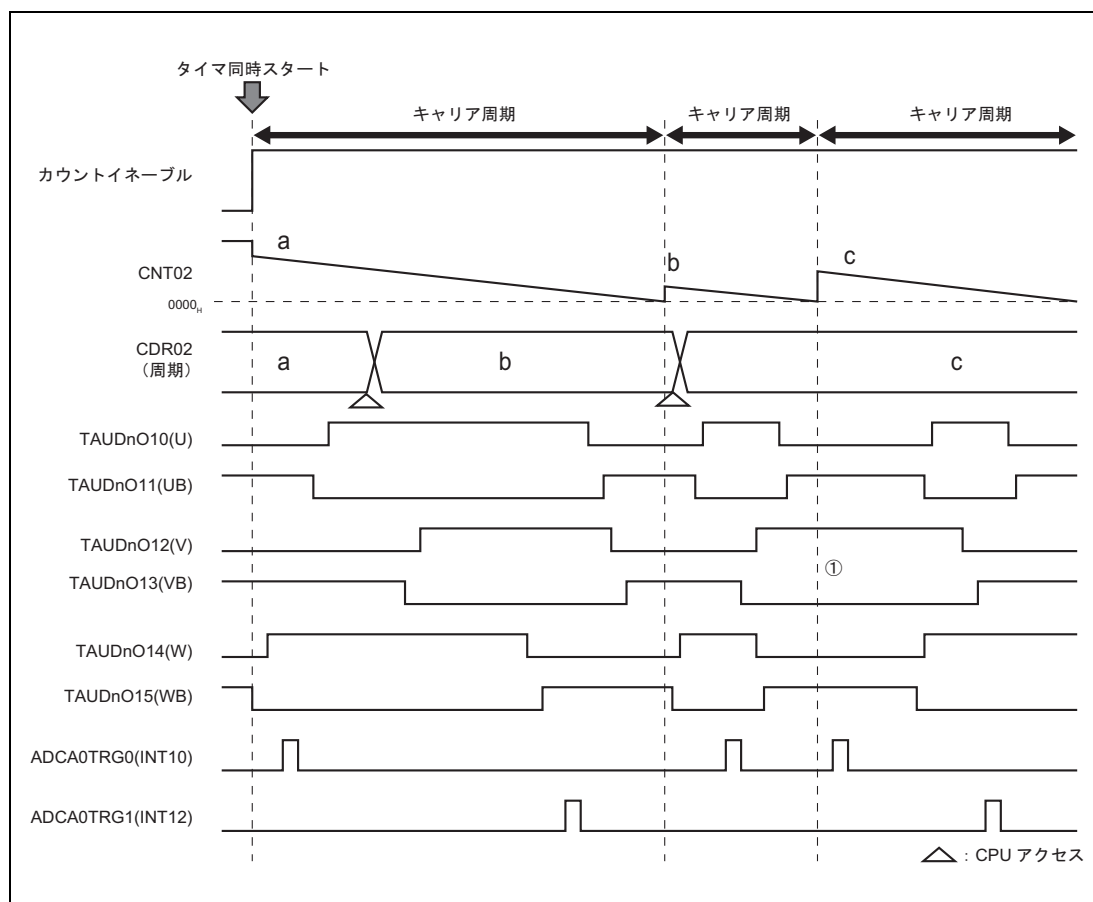


図 29.27 デッドタイム付加の 3 相 PWM (U・UB, V・VB, W・WB) 出力例

図 29.27 にデッドタイム付き 3 相 PWM 出力機能の代表的出力例を示します。

セット/クリア信号出力タイミングの設定次第では、キャリア周期を跨いだ PWM 出力 (①部分) なども可能になります。

下段 ADCA0TRG0、ADCA0TRG1 は、「1 相 PWM 出力機能」では使用しない、CH10、CH12 の CNT および INT 信号を使用し、「A/D トリガ出力機能 Type-1」機能による A/D トリガ信号出力を実行した例です。

このように、1 相 PWM 出力機能では、正相出力を行うチャンネルでは信号出力を行う TOUT_mのみを使用するため、CNT_m、CDR_m、INT_mを使用する任意の機能を設定可能です。詳細は「第 25 章 タイマアレイユニット D (TAUD)」を参照してください (m = 10, 12, 14)

次の図以降に、デッドタイム付き 3 相 PWM 出力機能のタイミング図を示します。

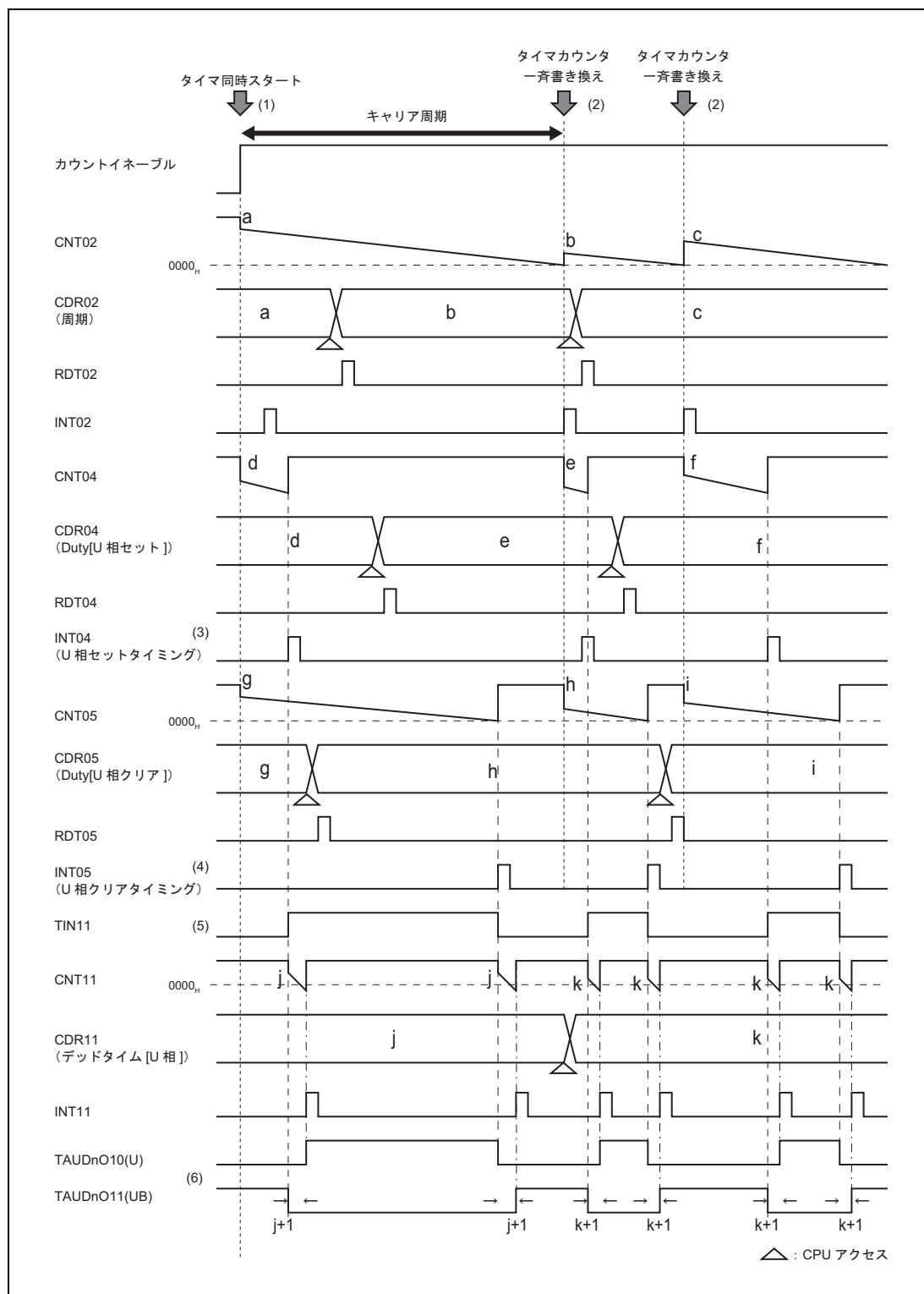


図 29.28 デッドタイム付加の 1 相 PWM (U 相、UB 相) 出力例

図 29.28 の U 相 PWM 出力を行うタイマ構成の動作例について説明します。

- (1) タイマ同時スタートにより、CH2 (キャリア周期タイマ)、CH4 (U 相セット信号出力タイミングタイマ)、CH5 (U 相クリア信号出力タイミングタイマ) が同時スタートします。
CH11 もタイマスタートしていますが、カウント開始タイミングである TIN11 のエッジが検出されるまで、カウント動作は行われません。
- (2) CH4、CH5 は、CH2 のアンダフローにより、CDR04、CDR05 からそれぞれ CNT04、CNT05 へ設定値のリロードが行われます。
- (3) CH4 のアンダフローにより、U 相セットタイミング信号 (INT04) が発生します。
- (4) CH5 のアンダフローにより、U 相クリアタイミング信号 (INT05) が発生します。
- (5) INT04 (セットタイミング信号)、INT05 (クリアタイミング信号) を入力とした SR フリップフロップ回路の出力を PIC 機能により、「1 相 PWM 出力機能」の入力 TIN11 へ供給します。
- (6) 「1 相 PWM 出力機能」は TIN11 のエッジ検出により、デッドタイムを付加した PWM 波形を生成し出力します。

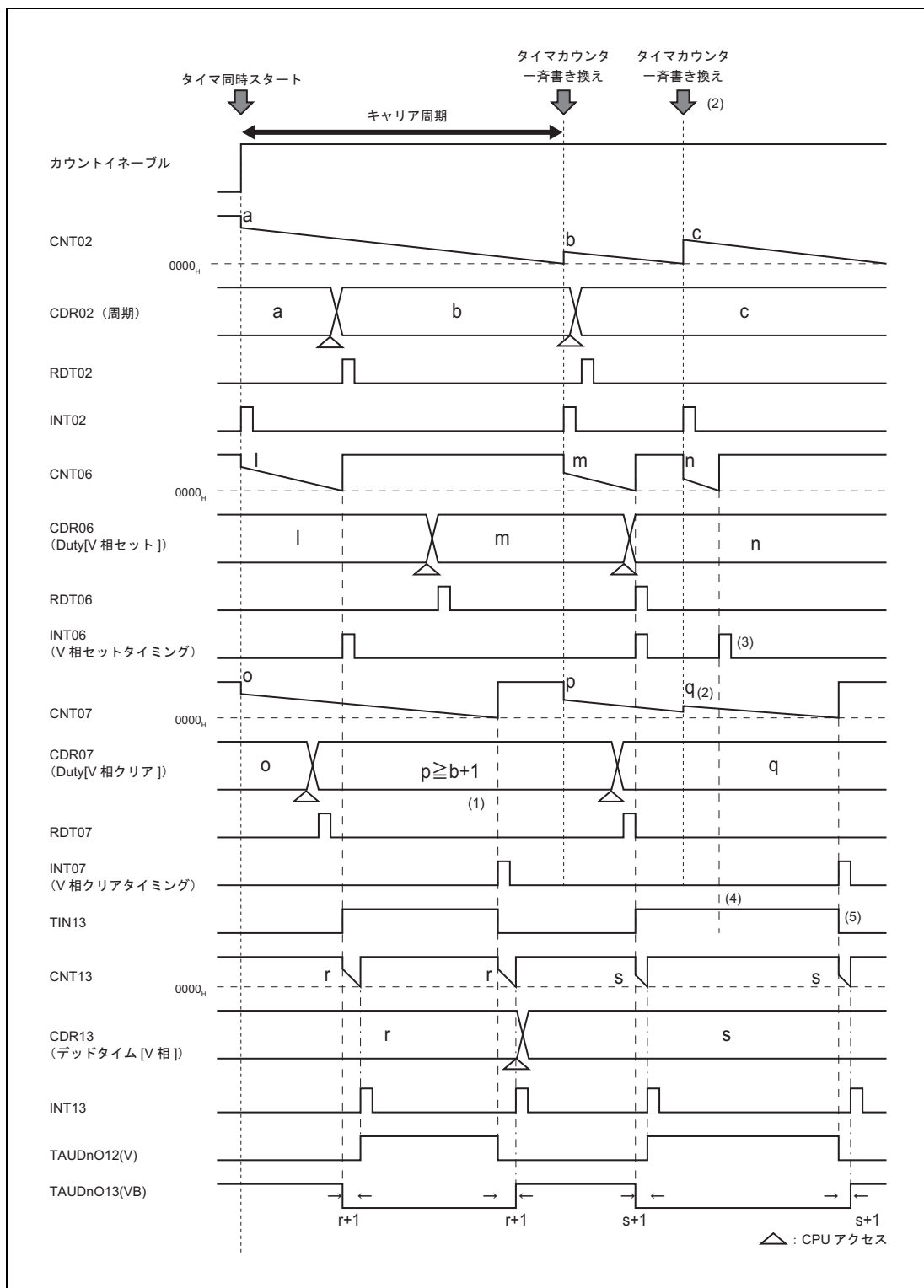


図 29.29 デッドタイム付加の1相PWM (V相、VB相) 出力例

図 29.29 の V 相 PWM 出力を行うタイマ構成の動作例について説明します。

タイマ同時スタートから「1 相 PWM 出力機能」による PWM 出力までの動作については U 相の動作例の説明を参照してください。

- (1) V 相クリアタイミング信号 (INT07) を生成する CH7 (V 相クリア信号出力タイミングタイマ) 設定値を CH2 (キャリア周期タイマ) 設定値より大きくした場合、
- (2) CH7 のアンダフローによる V 相クリアタイミング信号 (INT07) 発生前に、CH2 (キャリア周期タイマ) のアンダフローが発生し、CH7 の設定値はリロードされます。
- (3) これにより、本来発生すべき V 相クリアタイミング信号 (INT07) は発生せず、V 相セットタイミング信号 (INT06) が連続して発生することになります。
- (4) この場合、V 相セットタイミング信号 (INT06) は SR フリップフロップ回路により無視されるため、PWM 出力波形に影響しません。このため、出力される PWM 出力はキャリア周期を跨ぐ波形が出力されます。
- (5) PWM 出力は次の V 相クリアタイミング信号 (INT07) のタイミングで変化します。

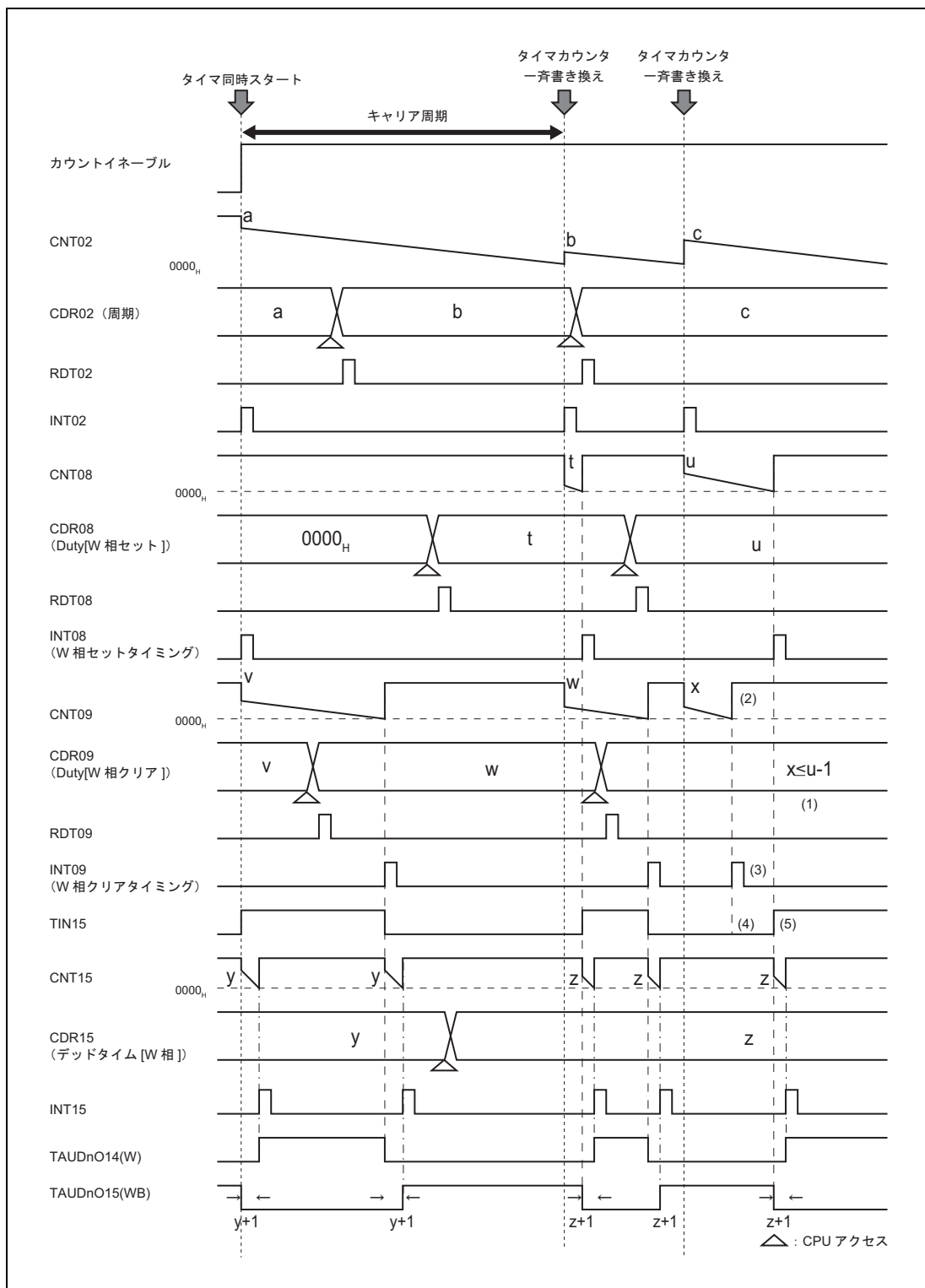


図 29.30 デッドタイム付加の1相PWM (W相、WB相) 出力例

図 29.30 の W 相 PWM 出力を行うタイマ構成の動作例について説明します。

タイマ同時スタートから「1 相 PWM 出力機能」による PWM 出力までの動作については U 相の動作例の説明を参照してください。

- (1) W 相クリアタイミング信号 (INT09) を生成する CH09 (W 相クリア信号出力タイミングタイマ) 設定値を CH8 (W 相セット信号出力タイミングタイマ) 設定値より小さくした場合、
- (2) CH8 のアンダフローによる W 相セットタイミング信号 (INT08) 発生前に、CH09 (W 相クリア信号出力タイミングタイマ) のアンダフローが発生し、W 相クリアタイミング信号 (INT09) が発生します。
- (3) これにより、W 相クリアタイミング信号 (INT09) が連続して発生することになります。
- (4) この場合、連続して発生した W 相クリアタイミング信号 (INT09) は SR フリップフロップ回路により無視されるため PWM 出力波形に影響しません。
- (5) PWM 出力は次の W 相セットタイミング信号 (INT08) のタイミングで変化します。

29.11.5 設定フロー

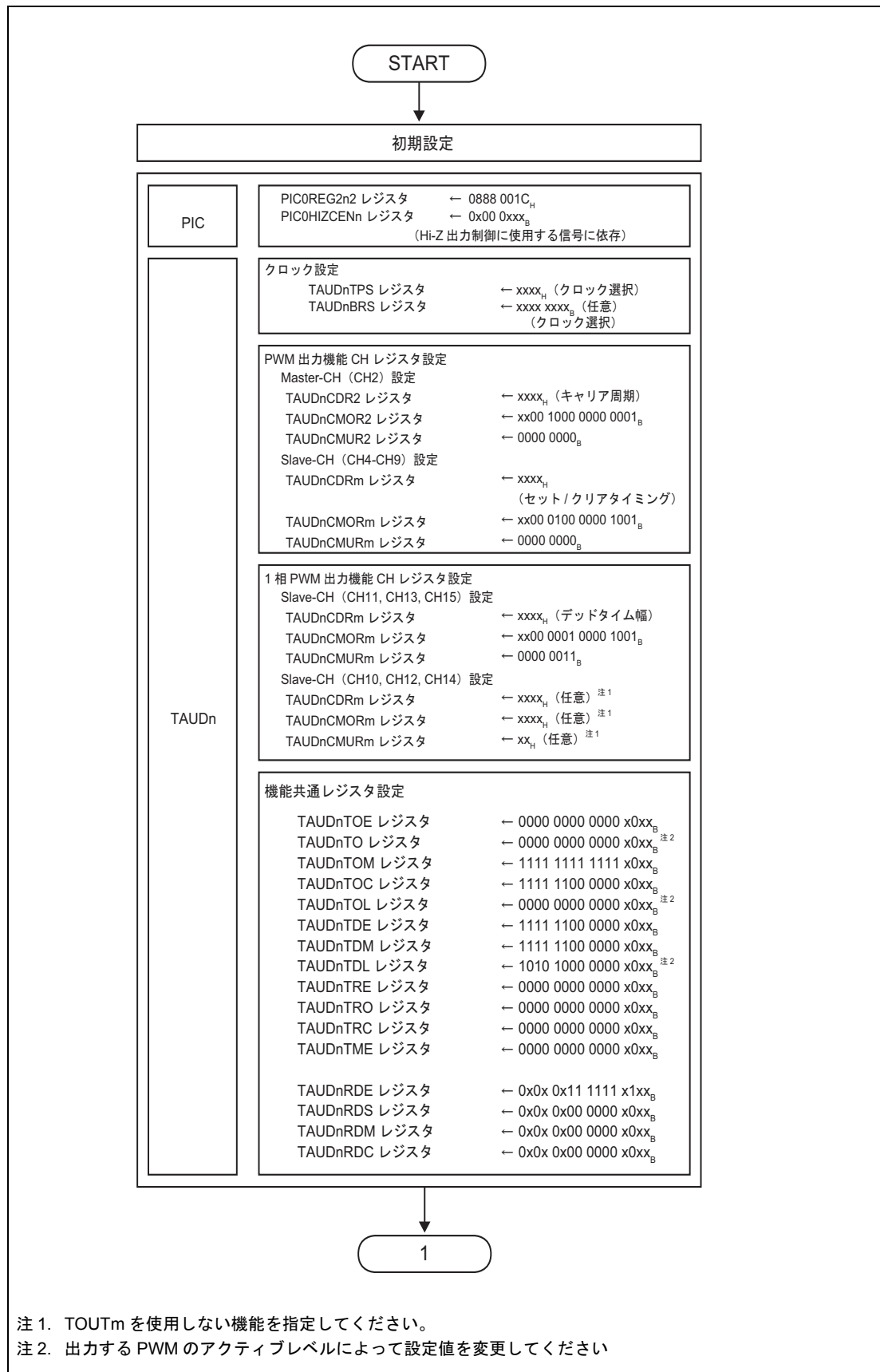


図 29.31 設定フロー (アクティブハイの例)

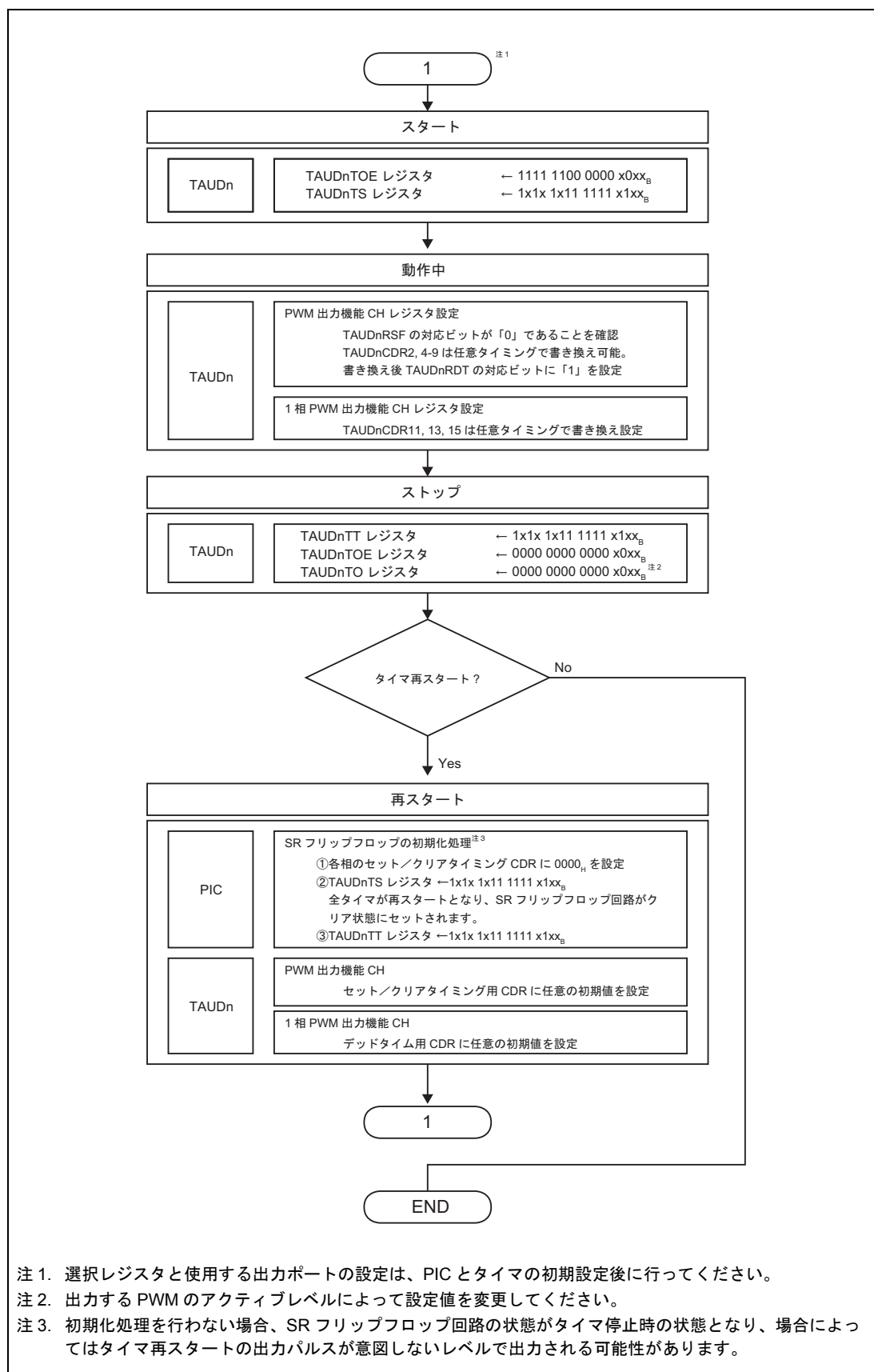


図 29.32 設定フロー（アクティブハイの例）（続き）

29.11.6 動作機能の設定例

各レジスタの設定値の例を示します。

29.11.6.1 TAUDn 設定 (アクティブハイの例)

表 29.45 TAUDn CH2 関連 (PWM 出力機能マスタチャンネル) 注1

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMOR2	15、14	TAUDnCKS[1:0]	任意注2	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	1	
	10-8	TAUDnSTS[2:0]	000	
	7、6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4 ~ 1	TAUDnMD[4:1]	0000	
	0	TAUDnMD0	1	
TAUDnCMUR2	1、0	TAUDnTIS[1:0]	00	

注 1. マスタチャンネルおよびスレーブチャンネルは TAUD の PWM 出力機能で定義されている名称です。詳細については「第 25 章 タイマアレイユニット D (TAUD)」の章を参照してください。

注 2. 動作クロックは、マスタチャンネルとスレーブチャンネルで同一設定にする必要があります。

表 29.46 TAUDn CH4-CH9 関連 (PWM 出力機能スレーブチャンネル注1) (m = 4-9)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15、14	TAUDnCKS[1:0]	任意注2	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10 ~ 8	TAUDnSTS[2:0]	100	
	7、6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4 ~ 1	TAUDnMD[4:1]	0100	
	0	TAUDnMD0	1	
TAUDnCMURm	1、0	TAUDnTIS[1:0]	00	

注 1. マスタチャンネルおよびスレーブチャンネルは TAUD の PWM 出力機能で定義されている名称です。詳細については「第 25 章 タイマアレイユニット D (TAUD)」の章を参照してください。

注 2. 動作クロックは、マスタチャンネルとスレーブチャンネルで同一設定にする必要があります。

備 考

PWM 出力機能の TAUDnCMORm は、TAUDnCKS[1:0] (動作クロック選択) のみ任意に設定できますが、他の制御ビットは固定値となります。詳細は「第 25 章 タイマアレイユニット D (TAUD)」の章を参照してください。

表 29.47 TAUDn CH11, 13, 15 関連 (1相 PWM 出力機能) (m = 11, 13, 15)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15, 14	TAUDnCKS[1:0]	任意 ^{注1}	動作クロック設定
	13, 12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10 ~ 8	TAUDnSTS[2:0]	001	
	7, 6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4 ~ 1	TAUDnMD[4:1]	0100	
	0	TAUDnMD0	1	
TAUDnCMURm	1, 0	TAUDnTIS[1:0]	11	TINm 両エッジを有効エッジとして検出 (High 幅)

注 1. 動作クロックは、PWM 出力機能のマスタチャネル (CH2) と同一のクロック設定にしてください。

備考

1 相 PWM 出力機能の TAUDnCMORm は、TAUDnCKS[1:0] (動作クロック選択) のみ任意に設定できますが、他の制御ビットは固定値となります。CH10、12、14 については TOUTm 出力を使用しない機能 (A/D トリガ出力など) であれば、任意に使用可能です。詳細は「第 25 章 タイマレイユニット D (TAUD)」の章を参照してください。

表 29.48 TAUDn チャネル共通 (1/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTOE	15 ~ 10	TAUDnTOE15 ~ TAUDnTOE10	0 1	タイマ動作禁止 タイマ動作許可
	9 ~ 4	TAUDnTOE09 ~ TAUDnTOE04	0	TOUT09 ~ TOUT04 は未使用のため 0 固定
	3	TAUDnTOE03	任意	
	2	TAUDnTOE02	0	TOUT02 は未使用のため 0 固定
	1, 0	TAUDnTOE01 TAUDnTOE00	任意	
TAUDnTO	15 ~ 10	TAUDnTO15 ~ TAUDnTO10	0 ^{注1}	TOUT15 ~ TOUT10 にロウレベルを出力
	9 ~ 4	TAUDnTO09 ~ TAUDnTO04	0	TOUT09 ~ TOUT04 にロウレベルを出力
	3	TAUDnTO03	任意	
	2	TAUDnTO02	0	TOUT02 にロウレベルを出力
	1, 0	TAUDnTO01 TAUDnTO00	任意	
TAUDnTOM	15 ~ 4	TAUDnTOM15 ~ TAUDnTOM04	1	連動動作モード
	3	TAUDnTOM03	任意	
	2	TAUDnTOM02	0	単体動作モード
	1, 0	TAUDnTOM01 TAUDnTOM00	任意	

表 29.48 TAUDn チャネル共通 (2/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTOC	15 ~ 10	TAUDnTOC15 ~ TAUDnTOC10	1	連動動作モード 2
	9 ~ 4	TAUDnTOC09 ~ TAUDnTOC04	0	連動動作モード 1
	3	TAUDnTOC03	任意	
	2	TAUDnTOC02	0	動作モード 1
	1、0	TAUDnTOC01 TAUDnTOC00	任意	
TAUDnTOL	15 ~ 4	TAUDnTOL15 ~ TAUDnTOL04	0 ^{注1}	正論理出力 (アクティブハイ)
	3	TAUDnTOL03	任意	
	2	TAUDnTOL02	0	正論理出力 (アクティブハイ)
	1、0	TAUDnTOL01 TAUDnTOL00	任意	
TAUDnTDE	15 ~ 10	TAUDnTDE15 ~ TAUDnTDE10	1	デッドタイム制御可能 ^{注2}
	9 ~ 4	TAUDnTDE09 ~ TAUDnTDE04	0	デッドタイム制御禁止
	3	TAUDnTDE03	任意	
	2	TAUDnTDE02	0	デッドタイム制御禁止
	1、0	TAUDnTDE01 TAUDnTDE00	任意	
TAUDnTDM	15 ~ 10	TAUDnTDM15 ~ TAUDnTDM10	1	下位奇数チャネルの TINm 入力エッジ検出でデッドタイムを生成する。
	9 ~ 4	TAUDnTDM09 ~ TAUDnTDM04	0	デッドタイム制御禁止のため無効
	3	TAUDnTDM03	任意	
	2	TAUDnTDM02	0	デッドタイム制御禁止のため無効
	1、0	TAUDnTDM01 TAUDnTDM00	任意	
TAUDnTDL	15	TAUDnTDL15	1 ^{注1}	W 相逆相として動作
	14	TAUDnTDL14	0 ^{注1}	W 相正相として動作
	13	TAUDnTDL13	1 ^{注1}	V 相逆相として動作
	12	TAUDnTDL12	0 ^{注1}	V 相正相として動作
	11	TAUDnTDL11	1 ^{注1}	U 相逆相として動作
	10	TAUDnTDL10	0 ^{注1}	U 相正相として動作
	9 ~ 4	TAUDnTDL09 ~ TAUDnTDL04	0	デッドタイム制御禁止のため無効
	3	TAUDnTDL03	任意	
	2	TAUDnTDL02	0	デッドタイム制御禁止のため無効
	1、0	TAUDnTDL01 TAUDnTDL00	任意	
TAUDnTRE	15 ~ 4	TAUDnTRE15 ~ TAUDnTRE04	0	リアルタイム出力停止
	3	TAUDnTRE03	任意	
	2	TAUDnTRE02	0	リアルタイム出力停止
	1、0	TAUDnTRE01 TAUDnTRE00	任意	

表 29.48 TAUDn チャンネル共通 (3/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTRO	15 ~ 4	TAUDnTRO15 ~ TAUDnTRO04	0	リアルタイム出力禁止のため無効
	3	TAUDnTRO03	任意	
	2	TAUDnTRO02	0	リアルタイム出力禁止のため無効
	1, 0	TAUDnTRO01 TAUDnTRO00	任意	
TAUDnTRC	15 ~ 4	TAUDnTRC15 ~ TAUDnTRC04	0	リアルタイム出力トリガ生成チャンネルとして動作しない。
	3	TAUDnTRC03	任意	
	2	TAUDnTRC02	0	リアルタイム出力トリガ生成チャンネルとして動作しない。
	1, 0	TAUDnTRC01 TAUDnTRC00	任意	
TAUDnTME	15 ~ 4	TAUDnTME15 ~ TAUDnTME04	0	タイマ出力とリアルタイム出力の変調出力禁止
	3	TAUDnTME03	任意	
	2	TAUDnTME02	0	タイマ出力とリアルタイム出力の変調出力禁止
	1, 0	TAUDnTME01 TAUDnTME00	任意	
TAUDnRDE	15	TAUDnRDE15	0	一斉書き換え禁止
	14	TAUDnRDE14	任意	
	13	TAUDnRDE13	0	一斉書き換え禁止
	12	TAUDnRDE12	任意	
	11	TAUDnRDE11	0	一斉書き換え禁止
	10	TAUDnRDE10	任意	
	9 ~ 4	TAUDnRDE09 ~ TAUDnRDE04	1	一斉書き換え許可
	3	TAUDnRDE03	任意	
	2	TAUDnRDE02	1	一斉書き換え許可
TAUDnRDS	15	TAUDnRDS15	0	別の上位チャンネルにより、一斉書き換えを許可しない
	14	TAUDnRDS14	任意	
	13	TAUDnRDS13	0	別の上位チャンネルにより、一斉書き換えを許可しない
	12	TAUDnRDS12	任意	
	11	TAUDnRDS11	0	別の上位チャンネルにより、一斉書き換えを許可しない
	10	TAUDnRDS10	任意	
	9 ~ 4	TAUDnRDS09 ~ TAUDnRDS04	0	マスタチャンネルにより一斉書き換えを許可する
	3	TAUDnRDS03	任意	
	2	TAUDnRDS02	0	マスタチャンネルにより一斉書き換えを許可する
1, 0	TAUDnRDS01 TAUDnRDS00	任意		

表 29.48 TAUDn チャンネル共通 (4/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnRDM	15	TAUDnRDM15	0	一斉書き換えを許可しないので無効
	14	TAUDnRDM14	任意	
	13	TAUDnRDM13	0	一斉書き換えを許可しないので無効
	12	TAUDnRDM12	任意	
	11	TAUDnRDM11	0	一斉書き換えを許可しないので無効
	10	TAUDnRDM10	任意	
	9 ~ 4	TAUDnRDM09 ~ TAUDnRDM04	0	マスタチャンネルのカウント開始タイミングで信号をロード
	3	TAUDnRDM03	任意	
	2	TAUDnRDM02	0	マスタチャンネルのカウント開始タイミングで信号をロード
	1, 0	TAUDnRDM01 TAUDnRDM00	任意	
TAUDnRDC	15	TAUDnRDC15	0	一斉書き換えを許可しないので無効
	14	TAUDnRDC14	任意	
	13	TAUDnRDC13	0	一斉書き換えを許可しないので無効
	12	TAUDnRDC12	任意	
	11	TAUDnRDC11	0	一斉書き換えを許可しないので無効
	10	TAUDnRDC10	任意	
	9 ~ 4	TAUDnRDC09 ~ TAUDnRDC04	0	一斉書き換えトリガ生成チャンネルとして動作しない
	3	TAUDnRDC03	任意	
	2	TAUDnRDC02	1	一斉書き換えトリガ生成チャンネルとして動作しない
	1, 0	TAUDnRDC01 TAUDnRDC00	任意	

注 1. 使用システムによって設定を変更してください。

注 2. デッドタイム制御を行うため、偶数チャンネルと奇数チャンネルを対とした正逆相の波形出力制御を行います。
詳細は「第 25 章 タイマアレユニット D (TAUD)」の章を参照してください。

29.11.6.2 PIC の設定

表 29.49 PIC の設定

レジスタ	ビット位置	ビット名	設定値	備考
PIC0REG2n2	27	PIC0REG2n227	1	PIC0REG2n204 ビットで選択した入力を選択
	23	PIC0REG2n223	1	PIC0REG2n203 ビットで選択した入力を選択
	19	PIC0REG2n219	1	PIC0REG2n202 ビットで選択した入力を選択
	4	PIC0REG2n204	1	INTTAUDnI8、INTTAUDnI9 によるセット/クリア出力を選択
	3	PIC0REG2n203	1	INTTAUDnI6、INTTAUDnI7 によるセット/クリア出力を選択
	2	PIC0REG2n202	1	INTTAUDnI4、INTTAUDnI5 によるセット/クリア出力を選択

29.12 デッドタイム付き高精度三角波 PWM 出力機能

29.12.1 機能概要

TAUD の「デッドタイム付き三角波 PWM 出力機能」に対し、デューティ 100%および 0% 近傍のデッドタイム可変領域の制御を可能にする機能です。より高精度な三角波 PWM を出力できます。

TAUD のデッドタイム付き三角波 PWM 機能による PWM 出力では、たとえば三角波を U 相 0%出力に遷移させた場合、UB 相のデッドタイムパルスを出力することができません（**図 29.33** 参照）。

本機能では、TAUD のタイマ出力を組み合わせることでパルスを生成し、PWM 出力に対してデッドタイムパルスを擬似的に付加します。

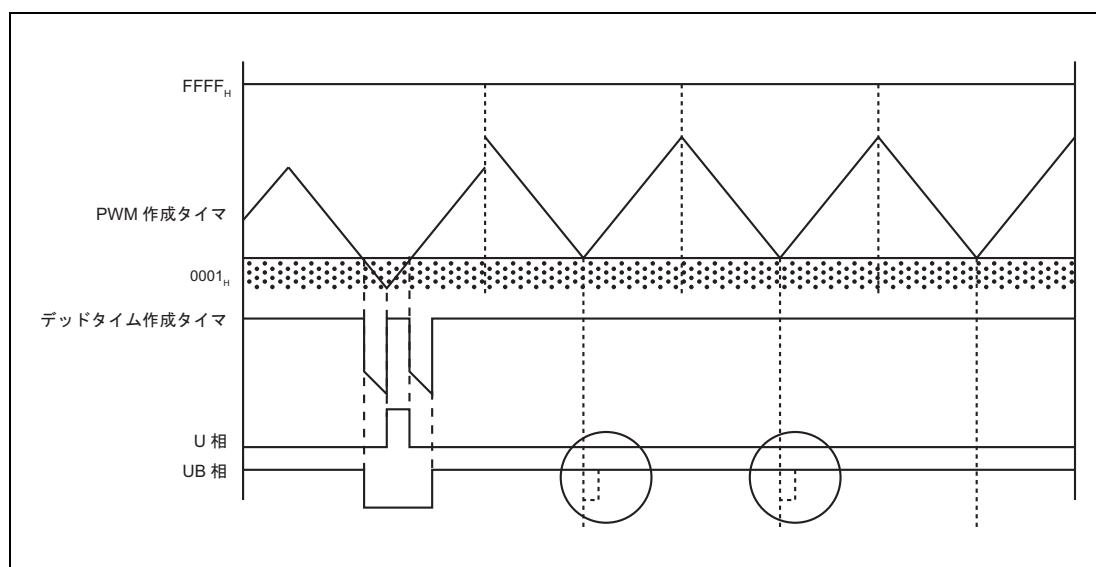


図 29.33 TAUD のデッドタイム付き三角波 PWM 出力機能によるデッドタイム出力タイミング

29.12.2 構成

本機能のユニット、チャンネル構成を下記に示します。(n = 0)

表 29.50 デッドタイム付きディレイパルス出力機能の構成

タイマ	タイマモータ制御機能
TAUD0 CH2、CH4 ~ CH15 (使用チャンネル固定)	TAPA0

以下の説明に使用している信号名は略称です。実際の信号名は以下のように読み替えてください。

- INTm → INTTAUDnIm (TAUDn チャンネル m 割り込み)
- TINm → TAUDTTINm (TAUDn チャンネル m 入力)
- TOUTm → TAUDTTOUTm (TAUDn チャンネル m 出力)
- CDRm → TAUDnCDRm (TAUDn チャンネル m データレジスタ)
- CNTm → TAUDnCNTm (TAUDn チャンネル m カウンタレジスタ)

(1) TAUDn 構成

表 29.51 TAUD 構成

CH	機能名	M/S 注1	CDR 設定値	説明
2	デッドタイム付き三角波 PWM 出力機能 (CH2 は CH4-CH09 のマスタチャンネル)	M	周期	
4		S	デューティ (U 相)	
5		S	デッドタイム (U 相)	
6		S	デューティ (V 相)	
7		S	デッドタイム (V 相)	
8		S	デューティ (W 相)	
9		S	デッドタイム (W 相)	
10	ワンショットパルス出力機能	M	ディレイ	U 相 PWM にデッドタイム可変領域で挿入するパルスを生成
11		S	パルス幅	
12	ワンショットパルス出力機能	M	ディレイ	V 相 PWM にデッドタイム可変領域で挿入するパルスを生成
13		S	パルス幅	
14	ワンショットパルス出力機能	M	ディレイ	W 相 PWM にデッドタイム可変領域で挿入するパルスを生成
15		S	パルス幅	

注 1. M= マスタチャンネル
S= スレーブチャンネル

(2) ブロック図

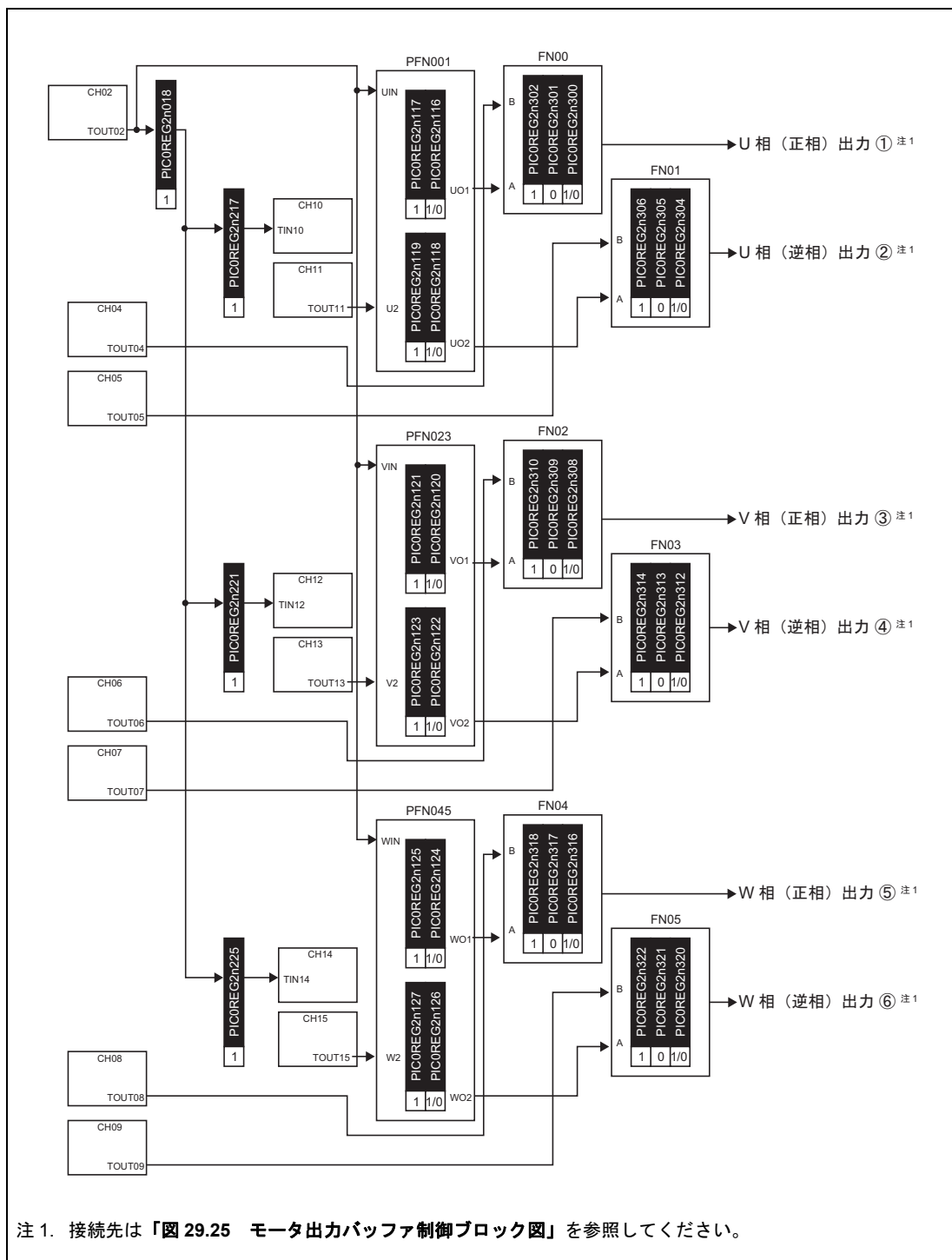


図 29.34 デッドタイム付き高精度三角波 PWM 出力機能のブロック図

29.12.3 レジスタ

29.12.3.1 PIC0REG2n0 — タイマ入出力制御レジスタ 2n0 (n = 0)

TAUDn の入力選択を行うレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス PIC0REG200 : FFDD 00C0_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	PIC0REG2n018	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.52 PIC0REG2n0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 19	予約ビット	注1
18	PIC0REG2n018	TAUDTTIN10, TAUDTTIN12, TAUDTTIN14 への TIN 入力信号を選択します。 0 : 設定禁止 1 : TAUDTTOUT2 を選択
17 ~ 0	予約ビット	注1

注1. PIC0REG2n0 レジスタに“0”を定義しているビットは、他のタイマ接続機能で定義していることがあります。その場合、該当するタイマ接続機能のビット定義を適用してください。

29.12.3.2 PIC0REG2n1 — タイマ入出力制御レジスタ 2n1 (n = 0)

組み合わせ回路の論理選択を行うレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス PIC0REG201 : FFDD 00C4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	PIC0REG2n127	PIC0REG2n126	PIC0REG2n125	PIC0REG2n124	PIC0REG2n123	PIC0REG2n122	PIC0REG2n121	PIC0REG2n120	PIC0REG2n119	PIC0REG2n118	PIC0REG2n117	PIC0REG2n116
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.53 PIC0REG2n1 レジスタの内容 (1/2)

ビット位置	ビット名	機能												
31 ~ 28	予約ビット	注 1												
27、26	PIC0REG2n127 PIC0REG2n126	TAUDn の CH9 に設定した出力論理に合わせて、FN05 A 入力信号を選択します。												
		<table border="1"> <thead> <tr> <th>PIC0REG2n1 27</th> <th>PIC0REG2n1 26</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>組み合わせ回路出力 (アクティブハイ設定時に選択 (TAUDnTOL09 = 0))</td> </tr> <tr> <td>1</td> <td>1</td> <td>組み合わせ回路反転出力 (アクティブロウ設定時に選択 (TAUDnTOL09 = 1))</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n1 27	PIC0REG2n1 26	入力信号	1	0	組み合わせ回路出力 (アクティブハイ設定時に選択 (TAUDnTOL09 = 0))	1	1	組み合わせ回路反転出力 (アクティブロウ設定時に選択 (TAUDnTOL09 = 1))	上記以外		設定禁止
		PIC0REG2n1 27	PIC0REG2n1 26	入力信号										
		1	0	組み合わせ回路出力 (アクティブハイ設定時に選択 (TAUDnTOL09 = 0))										
1	1	組み合わせ回路反転出力 (アクティブロウ設定時に選択 (TAUDnTOL09 = 1))												
上記以外		設定禁止												
上記以外		設定禁止												
25、24	PIC0REG2n125 PIC0REG2n124	TAUDn の CH8 に設定した出力論理に合わせて、FN04 A 入力信号を選択します。												
		<table border="1"> <thead> <tr> <th>PIC0REG2n1 25</th> <th>PIC0REG2n1 24</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>組み合わせ回路出力 (アクティブハイ設定時に選択 (TAUDnTOL08 = 0))</td> </tr> <tr> <td>1</td> <td>1</td> <td>組み合わせ回路反転出力 (アクティブロウ設定時に選択 (TAUDnTOL08 = 1))</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n1 25	PIC0REG2n1 24	入力信号	1	0	組み合わせ回路出力 (アクティブハイ設定時に選択 (TAUDnTOL08 = 0))	1	1	組み合わせ回路反転出力 (アクティブロウ設定時に選択 (TAUDnTOL08 = 1))	上記以外		設定禁止
		PIC0REG2n1 25	PIC0REG2n1 24	入力信号										
		1	0	組み合わせ回路出力 (アクティブハイ設定時に選択 (TAUDnTOL08 = 0))										
1	1	組み合わせ回路反転出力 (アクティブロウ設定時に選択 (TAUDnTOL08 = 1))												
上記以外		設定禁止												
上記以外		設定禁止												
23、22	PIC0REG2n123 PIC0REG2n122	TAUDn の CH7 に設定した出力論理に合わせて、FN03 A 入力信号を選択します。												
		<table border="1"> <thead> <tr> <th>PIC0REG2n1 23</th> <th>PIC0REG2n1 22</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>組み合わせ回路出力 (アクティブハイ設定時に選択 (TAUDnTOL07 = 0))</td> </tr> <tr> <td>1</td> <td>1</td> <td>組み合わせ回路反転出力 (アクティブロウ設定時に選択 (TAUDnTOL07 = 1))</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n1 23	PIC0REG2n1 22	入力信号	1	0	組み合わせ回路出力 (アクティブハイ設定時に選択 (TAUDnTOL07 = 0))	1	1	組み合わせ回路反転出力 (アクティブロウ設定時に選択 (TAUDnTOL07 = 1))	上記以外		設定禁止
		PIC0REG2n1 23	PIC0REG2n1 22	入力信号										
		1	0	組み合わせ回路出力 (アクティブハイ設定時に選択 (TAUDnTOL07 = 0))										
1	1	組み合わせ回路反転出力 (アクティブロウ設定時に選択 (TAUDnTOL07 = 1))												
上記以外		設定禁止												
上記以外		設定禁止												

表 29.53 PIC0REG2n1 レジスタの内容 (2/2)

ビット位置	ビット名	機能												
21、20	PIC0REG2n121 PIC0REG2n120	TAUDn の CH6 に設定した出力論理に合わせて、FN02 A 入力信号を選択します。												
		<table border="1"> <thead> <tr> <th>PIC0REG2n 121</th> <th>PIC0REG2n 120</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>組み合わせ回路出力 (アクティブハイ設定時に選択 (TAUDnTOL06 = 0))</td> </tr> <tr> <td>1</td> <td>1</td> <td>組み合わせ回路反転出力 (アクティブロウ設定時に選択 (TAUDnTOL06 = 1))</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n 121	PIC0REG2n 120	入力信号	1	0	組み合わせ回路出力 (アクティブハイ設定時に選択 (TAUDnTOL06 = 0))	1	1	組み合わせ回路反転出力 (アクティブロウ設定時に選択 (TAUDnTOL06 = 1))	上記以外		設定禁止
		PIC0REG2n 121	PIC0REG2n 120	入力信号										
		1	0	組み合わせ回路出力 (アクティブハイ設定時に選択 (TAUDnTOL06 = 0))										
1	1	組み合わせ回路反転出力 (アクティブロウ設定時に選択 (TAUDnTOL06 = 1))												
上記以外		設定禁止												
上記以外	設定禁止													
上記以外	設定禁止													
19、18	PIC0REG2n119 PIC0REG2n118	TAUDn の CH5 に設定した出力論理に合わせて、FN01 A 入力信号を選択します。												
		<table border="1"> <thead> <tr> <th>PIC0REG2n 119</th> <th>PIC0REG2n 118</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>組み合わせ回路出力 (アクティブハイ設定時に選択 (TAUDnTOL05 = 0))</td> </tr> <tr> <td>1</td> <td>1</td> <td>組み合わせ回路反転出力 (アクティブロウ設定時に選択 (TAUDnTOL05 = 1))</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n 119	PIC0REG2n 118	入力信号	1	0	組み合わせ回路出力 (アクティブハイ設定時に選択 (TAUDnTOL05 = 0))	1	1	組み合わせ回路反転出力 (アクティブロウ設定時に選択 (TAUDnTOL05 = 1))	上記以外		設定禁止
		PIC0REG2n 119	PIC0REG2n 118	入力信号										
		1	0	組み合わせ回路出力 (アクティブハイ設定時に選択 (TAUDnTOL05 = 0))										
1	1	組み合わせ回路反転出力 (アクティブロウ設定時に選択 (TAUDnTOL05 = 1))												
上記以外		設定禁止												
上記以外	設定禁止													
上記以外	設定禁止													
17、16	PIC0REG2n117 PIC0REG2n116	TAUDn の CH4 に設定した出力論理に合わせて、FN00 A 入力信号を選択します。												
		<table border="1"> <thead> <tr> <th>PIC0REG2n 117</th> <th>PIC0REG2n 116</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>組み合わせ回路出力 (アクティブハイ設定時に選択 (TAUDnTOL04 = 0))</td> </tr> <tr> <td>1</td> <td>1</td> <td>組み合わせ回路反転出力 (アクティブロウ設定時に選択 (TAUDnTOL04 = 1))</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n 117	PIC0REG2n 116	入力信号	1	0	組み合わせ回路出力 (アクティブハイ設定時に選択 (TAUDnTOL04 = 0))	1	1	組み合わせ回路反転出力 (アクティブロウ設定時に選択 (TAUDnTOL04 = 1))	上記以外		設定禁止
		PIC0REG2n 117	PIC0REG2n 116	入力信号										
		1	0	組み合わせ回路出力 (アクティブハイ設定時に選択 (TAUDnTOL04 = 0))										
1	1	組み合わせ回路反転出力 (アクティブロウ設定時に選択 (TAUDnTOL04 = 1))												
上記以外		設定禁止												
上記以外	設定禁止													
上記以外	設定禁止													
15 ~ 0	予約ビット	注 1												

注 1. PIC0REG2n1 レジスタに“0”を定義しているビットは、ほかのタイマ接続機能で定義していることがあります。その場合、該当するタイマ接続機能のビット定義を適用してください。

29.12.3.3 PIC0REG2n2 — タイマ入出力制御レジスタ 2n2 (n = 0)

アクセス 32ビット単位でリード/ライト可能です。

アドレス PIC0REG202 : FFDD 00C8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	PIC0REG2n225	—	—	—	PIC0REG2n221	—	—	—	PIC0REG2n217	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.54 PIC0REG2n2 レジスタの内容

ビット位置	ビット名	機能						
31 ~ 26	予約ビット	注1						
25	PIC0REG2n225 5	TAUDTTIN14 への TIN 入力信号を選択します <table border="1"> <thead> <tr> <th>PIC0REG2n225</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>PIC0REG2n018 ビットで選択した信号 (TAUDn の CH2 の TOUT)</td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n225	入力信号	1	PIC0REG2n018 ビットで選択した信号 (TAUDn の CH2 の TOUT)	上記以外	設定禁止
PIC0REG2n225	入力信号							
1	PIC0REG2n018 ビットで選択した信号 (TAUDn の CH2 の TOUT)							
上記以外	設定禁止							
24 ~ 22	予約ビット	注1						
21	PIC0REG2n221 1	TAUDTTIN12 への TIN 入力信号を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG2n221</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>PIC0REG2n018 ビットで選択した信号 (TAUDn の CH2 の TOUT)</td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n221	入力信号	1	PIC0REG2n018 ビットで選択した信号 (TAUDn の CH2 の TOUT)	上記以外	設定禁止
PIC0REG2n221	入力信号							
1	PIC0REG2n018 ビットで選択した信号 (TAUDn の CH2 の TOUT)							
上記以外	設定禁止							
20 ~ 18	予約ビット	注1						
17	PIC0REG2n217 7	TAUDTTIN10 への TIN 入力信号を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG2n217</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>PIC0REG2n018 ビットで選択した信号 (TAUDn の CH2 の TOUT)</td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n217	入力信号	1	PIC0REG2n018 ビットで選択した信号 (TAUDn の CH2 の TOUT)	上記以外	設定禁止
PIC0REG2n217	入力信号							
1	PIC0REG2n018 ビットで選択した信号 (TAUDn の CH2 の TOUT)							
上記以外	設定禁止							
16 ~ 0	予約ビット	注1						

注1. PIC0REG2n2 レジスタに“0”を定義しているビットは、ほかのタイマ接続機能で定義していることがあります。その場合、該当するタイマ接続機能のビット定義を適用してください。

29.12.3.4 PIC0REG2n3 — タイマ入出力制御レジスタ 2n3 (n = 0)

組み合わせ回路の論理選択を行うレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス PIC0REG203 : FFDD 00CC_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PIC0REG2n322	PIC0REG2n321	PIC0REG2n320	—	PIC0REG2n318	PIC0REG2n317	PIC0REG2n316
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PIC0REG2n314	PIC0REG2n313	PIC0REG2n312	—	PIC0REG2n310	PIC0REG2n309	PIC0REG2n308	—	PIC0REG2n306	PIC0REG2n305	PIC0REG2n304	—	PIC0REG2n302	PIC0REG2n301	PIC0REG2n300
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 29.55 PIC0REG2n3 レジスタの内容 (1/2)

ビット位置	ビット名	機能																
31 ~ 23	予約ビット	注1																
22 21 20	PIC0REG2n32 2 PIC0REG2n32 1 PIC0REG2n32 0	TAUDn の CH9 に設定した出力論理に合わせて、入力信号 A、B の論理演算を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG2n322</th><th>PIC0REG2n321</th><th>PIC0REG2n320</th><th>入力信号</th></tr> </thead> <tbody> <tr> <td>1</td><td>0</td><td>0</td><td>A and B (アクティブハイ設定時に選択 (TAUDnTOL09=0))</td></tr> <tr> <td>1</td><td>0</td><td>1</td><td>A or B (アクティブロウ設定時に選択 (TAUDnTOL09=1))</td></tr> <tr> <td colspan="3">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	PIC0REG2n322	PIC0REG2n321	PIC0REG2n320	入力信号	1	0	0	A and B (アクティブハイ設定時に選択 (TAUDnTOL09=0))	1	0	1	A or B (アクティブロウ設定時に選択 (TAUDnTOL09=1))	上記以外			設定禁止
PIC0REG2n322	PIC0REG2n321	PIC0REG2n320	入力信号															
1	0	0	A and B (アクティブハイ設定時に選択 (TAUDnTOL09=0))															
1	0	1	A or B (アクティブロウ設定時に選択 (TAUDnTOL09=1))															
上記以外			設定禁止															
19	予約ビット	注1																
18 17 16	PIC0REG2n31 8 PIC0REG2n31 7 PIC0REG2n31 6	TAUDn の CH8 に設定した出力論理にあわせて、入力信号 A、B の論理演算を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG2n318</th><th>PIC0REG2n317</th><th>PIC0REG2n316</th><th>入力信号</th></tr> </thead> <tbody> <tr> <td>1</td><td>0</td><td>0</td><td>A and B (アクティブハイ設定時に選択 (TAUDnTOL08 = 0))</td></tr> <tr> <td>1</td><td>0</td><td>1</td><td>A or B (アクティブロウ設定時に選択 (TAUDnTOL08 = 1))</td></tr> <tr> <td colspan="3">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	PIC0REG2n318	PIC0REG2n317	PIC0REG2n316	入力信号	1	0	0	A and B (アクティブハイ設定時に選択 (TAUDnTOL08 = 0))	1	0	1	A or B (アクティブロウ設定時に選択 (TAUDnTOL08 = 1))	上記以外			設定禁止
PIC0REG2n318	PIC0REG2n317	PIC0REG2n316	入力信号															
1	0	0	A and B (アクティブハイ設定時に選択 (TAUDnTOL08 = 0))															
1	0	1	A or B (アクティブロウ設定時に選択 (TAUDnTOL08 = 1))															
上記以外			設定禁止															
15	予約ビット	注1																
14 13 12	PIC0REG2n31 4 PIC0REG2n31 3 PIC0REG2n31 2	TAUDn の CH7 に設定した出力論理にあわせて、入力信号 A、B の論理演算を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG2n314</th><th>PIC0REG2n313</th><th>PIC0REG2n312</th><th>入力信号</th></tr> </thead> <tbody> <tr> <td>1</td><td>0</td><td>0</td><td>A and B (アクティブハイ設定時に選択 (TAUDnTOL07 = 0))</td></tr> <tr> <td>1</td><td>0</td><td>1</td><td>A or B (アクティブロウ設定時に選択 (TAUDnTOL07 = 1))</td></tr> <tr> <td colspan="3">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	PIC0REG2n314	PIC0REG2n313	PIC0REG2n312	入力信号	1	0	0	A and B (アクティブハイ設定時に選択 (TAUDnTOL07 = 0))	1	0	1	A or B (アクティブロウ設定時に選択 (TAUDnTOL07 = 1))	上記以外			設定禁止
PIC0REG2n314	PIC0REG2n313	PIC0REG2n312	入力信号															
1	0	0	A and B (アクティブハイ設定時に選択 (TAUDnTOL07 = 0))															
1	0	1	A or B (アクティブロウ設定時に選択 (TAUDnTOL07 = 1))															
上記以外			設定禁止															
11	予約ビット	注1																

表 29.55 PIC0REG2n3 レジスタの内容 (2/2)

ビット位置	ビット名	機能			
10 9 8	PIC0REG2n31 0	TAUDn の CH6 に設定した出力論理にあわせて、入力信号 A、B の論理演算を選択します。			
	PIC0REG2n30 9	PIC0REG2n310	PIC0REG2n309	PIC0REG2n308	入力信号
	PIC0REG2n30 8	1	0	0	A and B (アクティブハイ設定時に選択 (TAUDnTOL06 = 0))
		1	0	1	A or B (アクティブロウ設定時に選択 (TAUDnTOL06 = 1))
		上記以外		設定禁止	
7	予約ビット	注1			
6 5 4	PIC0REG2n30 6	TAUDn の CH5 に設定した出力論理にあわせて、入力信号 A、B の論理演算を選択します。			
	PIC0REG2n30 5	PIC0REG2n306	PIC0REG2n305	PIC0REG2n304	入力信号
	PIC0REG2n30 4	1	0	0	A and B (アクティブハイ設定時に選択 (TAUDnTOL05 = 0))
		1	0	1	A or B (アクティブロウ設定時に選択 (TAUDnTOL05 = 1))
		上記以外		設定禁止	
3	予約ビット	注1			
2 1 0	PIC0REG2n30 2	TAUDn の CH4 に設定した出力論理にあわせて、入力信号 A、B の論理演算を選択します。			
	PIC0REG2n30 1	PIC0REG2n302	PIC0REG2n301	PIC0REG2n300	入力信号
	PIC0REG2n30 0	1	0	0	A and B (アクティブハイ設定時に選択 (TAUDnTOL04 = 0))
		1	0	1	A or B (アクティブロウ設定時に選択 (TAUDnTOL04 = 1))
		上記以外		設定禁止	

注 1. PIC0REG2n3 レジスタに“0”を定義しているビットは、ほかのタイマ接続機能で定義していることがあります。その場合、該当するタイマ接続機能のビット定義を適用してください。

29.12.3.5 PIC0HIZCENn — Hi-Z 出力制御レジスタ n (n = 0)

TAPAn の Hi-Z 出力制御用入力信号を選択します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス PIC0HIZCEN0 : FFDD 0080_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	PIC0HIZCENn6	—	—	—	PIC0HIZCENn2	—	PIC0HIZCENn0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R	R	R/W	R	R/W

表 29.56 PIC0HIZCENn レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	PIC0HIZCENn6	INTADCA0ERR 割り込み信号による Hi-Z 出力制御の許可/禁止を選択します。 0 : 禁止 1 : 許可
5 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	PIC0HIZCENn2	WDTA1NMI 割り込み信号による Hi-Z 出力制御の許可/禁止を選択します。 0 : 禁止 1 : 許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PIC0HIZCENn0	TAPAnESO 端子入力による Hi-Z 出力制御の許可/禁止を選択します。 0 : 禁止 1 : 許可

29.12.4 動作例

TAUD の次の機能の組み合わせにより実現します。

- デッドタイム付き三角波 PWM 出力機能
- ワンショットパルス出力機能

また、デッドタイム可変領域で挿入するデッドタイム可変領域パルスを正相／逆相用に生成するため、PIC 内の以下機能を使用します。

- 組み合わせ回路 (PFN001、PFN023、PFN045)

また、デッドタイム可変領域で挿入するデッドタイム可変領域パルスを三角波 PWM 出力波形と合成するため、PIC 内の以下機能を使用します。

- 論理演算回路 (FN0i) (i = 0 ~ 5)

デッドタイム付き高精度三角波 PWM 出力機能は、上記機能で実現した PWM 出力をそれぞれ U 相、V 相、W 相に割り当てることにより実現します。したがって、PWM 出力のデッドタイムは、各相の PWM ごとに自由に設定できます。各相の違いは割り当てられたチャンネルの違いのみなので、ここでは 1 相 (U 相) について説明を行います。

29.12.4.1 デッドタイム付き三角波 PWM 出力機能

CH2、CH4、CH5 を組み合わせて使用し、TOUT04、TOUT05 よりデッドタイム付き三角波 PWM が出力されます。

29.12.4.2 ワンショットパルス出力機能

CH10、CH11 を組み合わせて使用し、CH10 の TIN10 (TOUT02) の有効エッジからディレイ (CDR10) 分遅らせた幅 CDR11 のパルスを TOUT11 として出力します。

このパルスはデューティ 100% および 0% 近傍で使用するデッドタイム可変領域パルスとして利用します。

注 意

ワンショットパルス出力機能の各 CDR 設定値は、次の条件を満たすように設定してください。 $CDR05 \geq (CDR10 + CDR11)$

上記条件を満たさない値を設定した場合、出力波形に影響を与える可能性があります。影響を最小にするには、上記設定値条件とともに、デッドタイム可変領域パルスが必要になる状況まで、CDR11 には 0000_H を設定しておいてください。

TIN10 (TOUT02) の有効エッジは両エッジ検出、また TAUDnTOL11 = 1 (アクティブロウ) に設定してください。

デッドタイム付き三角波 PWM 出力機能、ワンショットパルス出力機能で使用する TAUDn の各チャンネルの動作クロック設定は同一クロックを設定してください。

TAUD の機能の詳細については、「第 25 章 タイマアレイユニット D (TAUD)」を参照してください。

29.12.4.3 U 相組み合わせ回路 (PFN001)

ワンショットパルス出力機能で生成したパルスを、デッドタイム付き三角波 PWM 出力機能で生成された三角波 PWM へ付加するためのデッドタイム可変領域パルス (FN00 A、FN01 A) を生成します。

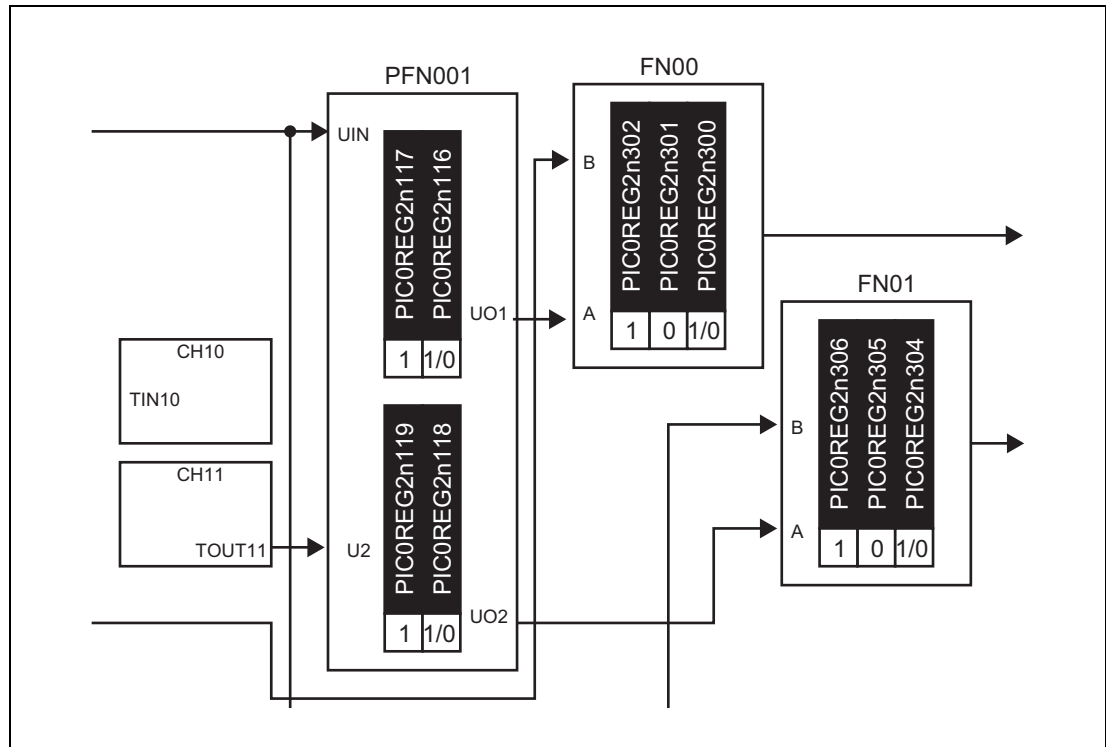


図 29.35 ブロック図抜粋 (PFN001、FN00、FN01)

組み合わせ回路の入力 (UIN、U2) と出力 (UO1、UO2) の関係を以下の表に示します。

表 29.57 U、UB 相組み合わせ回路 (PFN001) の入出力表

- UO1 (U 相デッドタイム可変領域パルス) 出力

UIN (TOUT02)	U2 (TOUT11)	UO1	
		PIC0REG2n117, 16 = 10 _B U 相出カアクティブハイ (TAUDnTOL04 = 0)	PIC0REG2n117, 16 = 11 _B U 相出カアクティブロウ (TAUDnTOL04 = 1)
0	0	1	0
0	1	1	0
1	0	0	1
1	1	1	0

- UO2 (UB 相デッドタイム可変領域パルス) 出力

UIN (TOUT02)	U2 (TOUT11)	UO2	
		PIC0REG2n119, 18 = 10 _B UB 相出カアクティブハイ (TAUDnTOL05 = 0)	PIC0REG2n119, 18 = 11 _B UB 相出カアクティブロウ (TAUDnTOL05 = 1)
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

備考

PIC0REG2n116、PIC0REG2n117、PIC0REG2n118、PIC0REG2n119 の設定は、デッドタイム付き三角波 PWM 出力機能で生成された三角波 PWM の U 相 / UB 相アクティブレベルによって設定を変更します。

29.12.4.4 論理演算回路 (FN0i) (i = 0、1)

デッドタイム付き三角波 PWM 出力機能の三角波 PWM 出力 (TOUT04、TOUT05) と組み合わせ回路出力 (PFN001 の UO1、UO2) を合成し、デッドタイム可変領域パルスを付加した PWM を生成します。

論理演算回路は PIC0REG2n3 レジスタの設定 (U 相出力はビット 0 からビット 2 まで、UB 相出力はビット 4 からビット 6 までを設定) によって、合成論理を切り替えます。

本機能での設定は、以下の表のように設定してください。TAPAnUP 端子と TAPAnUM 端子からは設定された合成論理に従い合成した信号を出力します。

表 29.58 論理演算回路 (FN0i) (i = 0、1) 設定と TAPAnUP、TAPAnUM 端子出力

• U 相出力 (TOUT04)

アクティブレベル	PIC0REG2n302 ~ 00	TAPAnUP 端子の出力波形
アクティブハイ (TAUDnTOL04 = 0)	100 _B	FN00 B (TOUT04) と FN00 A (UO1) の AND
アクティブロウ (TAUDnTOL04 = 1)	101 _B	FN00 B (TOUT04) と FN00 A (UO1) の OR

• UB 相出力 (TOUT05)

アクティブレベル	PIC0REG2n306 ~ 04	TAPAnUM 端子出力
アクティブハイ (TAUDnTOL05 = 0)	100 _B	FN01 B (TOUT05) と FN01 A (UO2) の AND
アクティブロウ (TAUDnTOL05 = 1)	101 _B	FN01 B (TOUT05) と FN01 A (UO2) の OR

これにより TAUD においてもデューティが 0% または 100% 近傍時に、出力精度確保を目的としたデッドタイム可変制御が可能となるため TAUD 機能のデッドタイム付き三角波 PWM 出力機能よりも高精度な三角波 PWM を出力することができます。

V、VB 相、W、WB 相については「**図 29.34 デッドタイム付き高精度三角波 PWM 出力機能のブロック図**」に示す通り、使用するチャンネルやレジスタの設定ビットが異なりますが、設定値は同じになります。

PIC は、「デッドタイム付き三角波 PWM 出力機能」で生成された PWM 信号に「ワンショットパルス出力機能」によって生成されたパルスを PIC 機能の「組み合わせ回路」および「論理演算回路」により付加する接続を提供します。

次の図以降にデッドタイム付き高精度三角波 PWM 出力機能のタイミング図を示します。

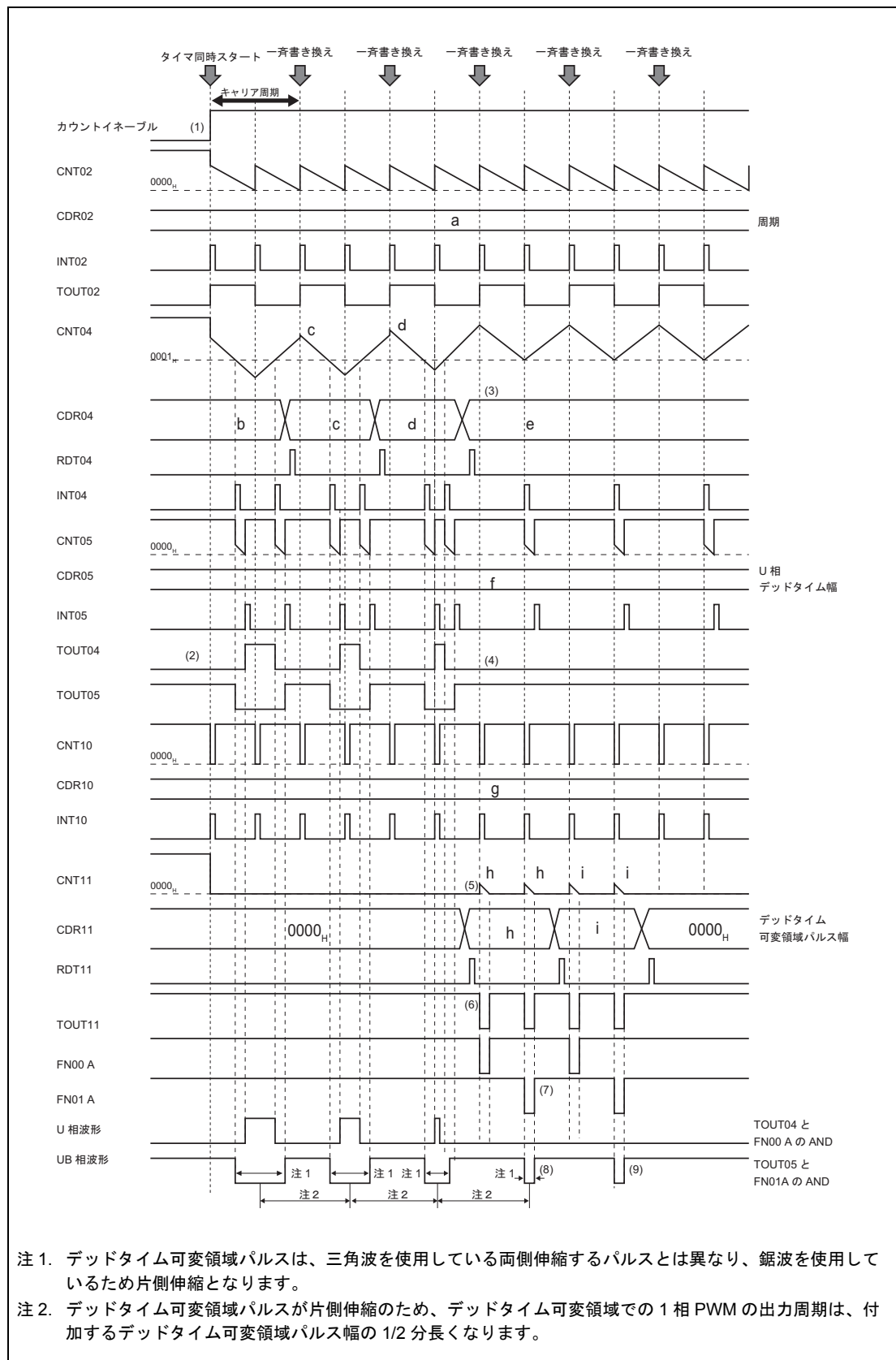


図 29.36 デッドタイム付き高精度 PWM 出力 (U相 0%、UB相 100%) 例
(TAUDnTOL04 = 0 (アクティブハイ)、TAUDnTOL05 = 0 (アクティブハイ) の場合)

図 29.36 の U 相 PWM 出力を行うタイマ構成で U 相 0%、UB 相 100%に遷移する場合の動作例について説明します。デッドタイム付き三角波 PWM 出力機能の出力はアクティブハイです。

- (1) タイマ動作開始により、TAUDn の CH2、CH4、CH5 によるデッドタイム付き三角波 PWM 出力機能を開始します。
- (2) デッドタイム付き三角波 PWM 出力機能により、TOUT04,TOUT05 からデッドタイム付き PWM 波形が出力されます。
- (3) CDR04 に U 相デューティ 0%出力値を設定します。
- (4) (3) の設定により、TOUT04 の出力は非アクティブレベル、TOUT05 の出力はアクティブレベルとなります。ただし、この動作ではデッドタイム可変領域のパルスは出力されません。
- (5) デッドタイム可変領域パルスを作成するため、③の U 相デューティ 0%設定時に、デッドタイム可変領域パルス幅となる値を CDR11 に設定します。
この例では、出力 PWM への影響を考慮し、デッドタイム可変領域に入るまで CDR11 の設定値を 0000_H に固定しています。
- (6) デッドタイム可変領域パルスは、TOUT02 のエッジタイミングで CDR10 に設定されているディレイ時間経過後、CDR11 に設定された幅のパルスとして出力されます。
- (7) (6) で出力されたパルスは、組み合わせ回路 (PFN001) により U 相用 (FN00 A)、UB 相用 (FN01 A) のデッドタイム可変領域パルスに変換されます。
- (8) (7) で生成されたパルスは、論理演算回路 (FN00、FN01) で、TOUT04、TOUT05 出力波形と合成され、TAPAnUP (U 相出力) および TAPAnUM (UB 相出力) から出力されます。
- (9) 以後、デッドタイム可変領域パルス幅を指定する CDR11 への設定値を変更することにより、任意のデッドタイム可変領域パルスを付加されます。

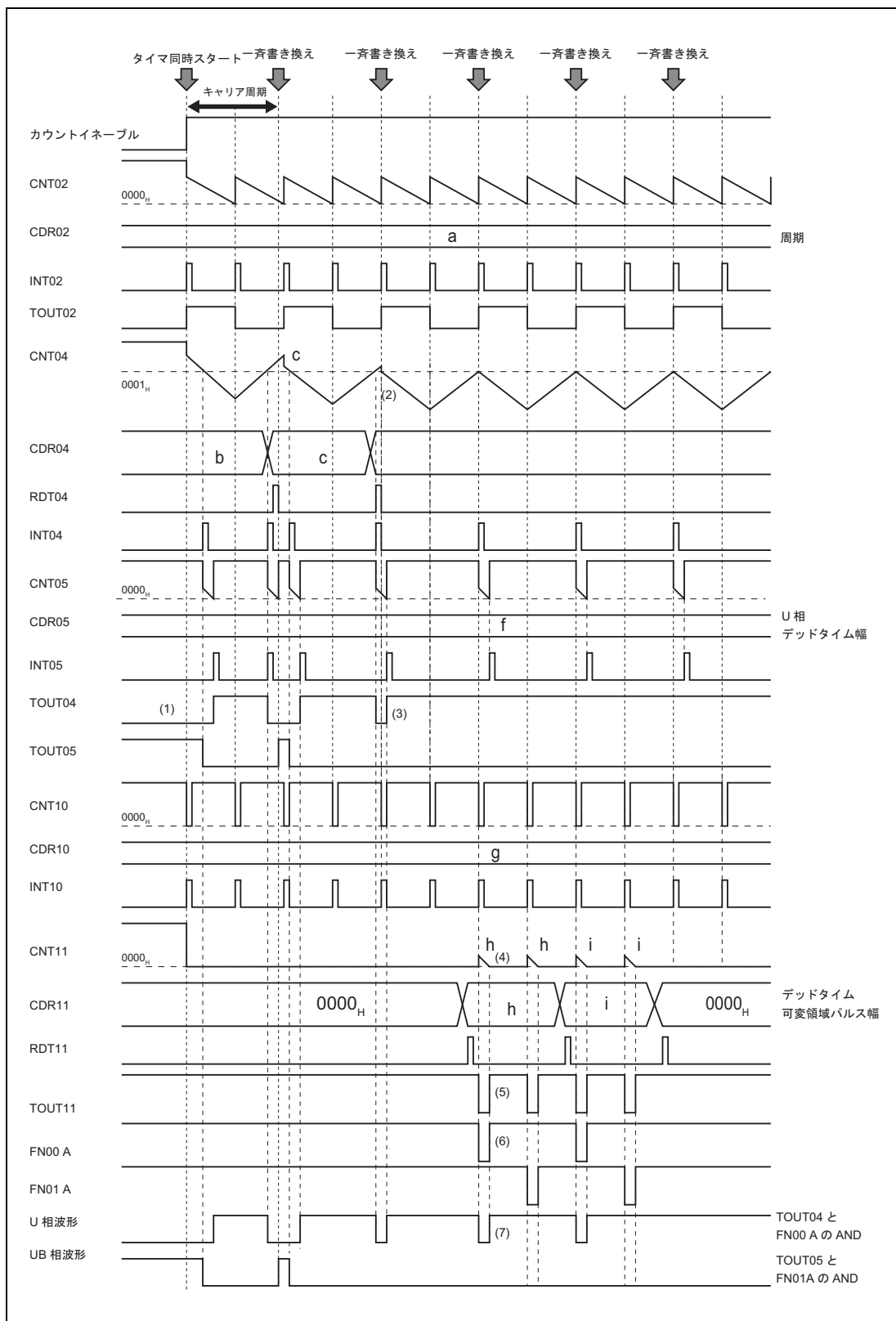


図 29.37 デッドタイム付き高精度 PWM 出力 (U 相 100%、UB 相 0%) 例 (TAUDnTOL04 = 0 (アクティブハイ)、TAUDnTOL05 = 0 (アクティブハイ) の場合)

図 29.37 の U 相 PWM 出力を行うタイマ構成で U 相 100%、UB 相 0%に遷移する場合の動作例について説明します。デッドタイム付き三角波 PWM 出力機能の出力はアクティブハイです。

- (1) タイマ動作開始からデッドタイム付き三角波 PWM 出力までのタイマ動作は同じです。
- (2) CDR04 に U 相デューティ 100%出力値 (CDR04 = 0000_H) を設定します。
- (3) (2) の設定により、TOUT04 の出力はアクティブレベル、TOUT05 の出力は非アクティブレベルとなります。ただし、この動作ではデッドタイム可変領域パルスは出力されません。
- (4) デッドタイム可変領域パルスを作成するため、②の U 相デューティ 100%設定から 1 周期後に、デッドタイム可変領域パルス幅となる値を CDR11 に設定します。
この例では、出力 PWM への影響を考慮し、デッドタイム可変領域に入るまで CDR11 の設定値を 0000_H に固定しています。
- (5) デッドタイム可変領域パルスは、TOUT02 のエッジタイミングで CDR10 に設定されているディレイ時間経過後、CDR11 に設定された幅のパルスとして出力されます。
- (6) (5) で出力されたパルスは、組み合わせ回路 (PFN001) により U 相用 (FN00 A)、UB 相用 (FN01 A) のデッドタイム可変領域パルスに変換されます。
- (7) (6) で生成されたパルスは、論理演算回路 (FN00、FN01) で、TOUT04、TOUT05 出力波形と合成され、TAPAnUP (U 相出力) および TAPAnUM (UB 相出力) から出力されます。

注 意

CDR04 への U 相デューティ 100%設定と同時に CDR11 にデッドタイム可変領域パルス幅を設定した場合、図 29.37 で示す通り、機能仕様上 (1) で示す TOUT04 から出力される最後の PWM に対し、(2) で示される分、デッドタイム可変領域パルスが影響を与えてしまいます。

この影響をキャンセルするため、CDR11 の設定は 1 周期後としています。

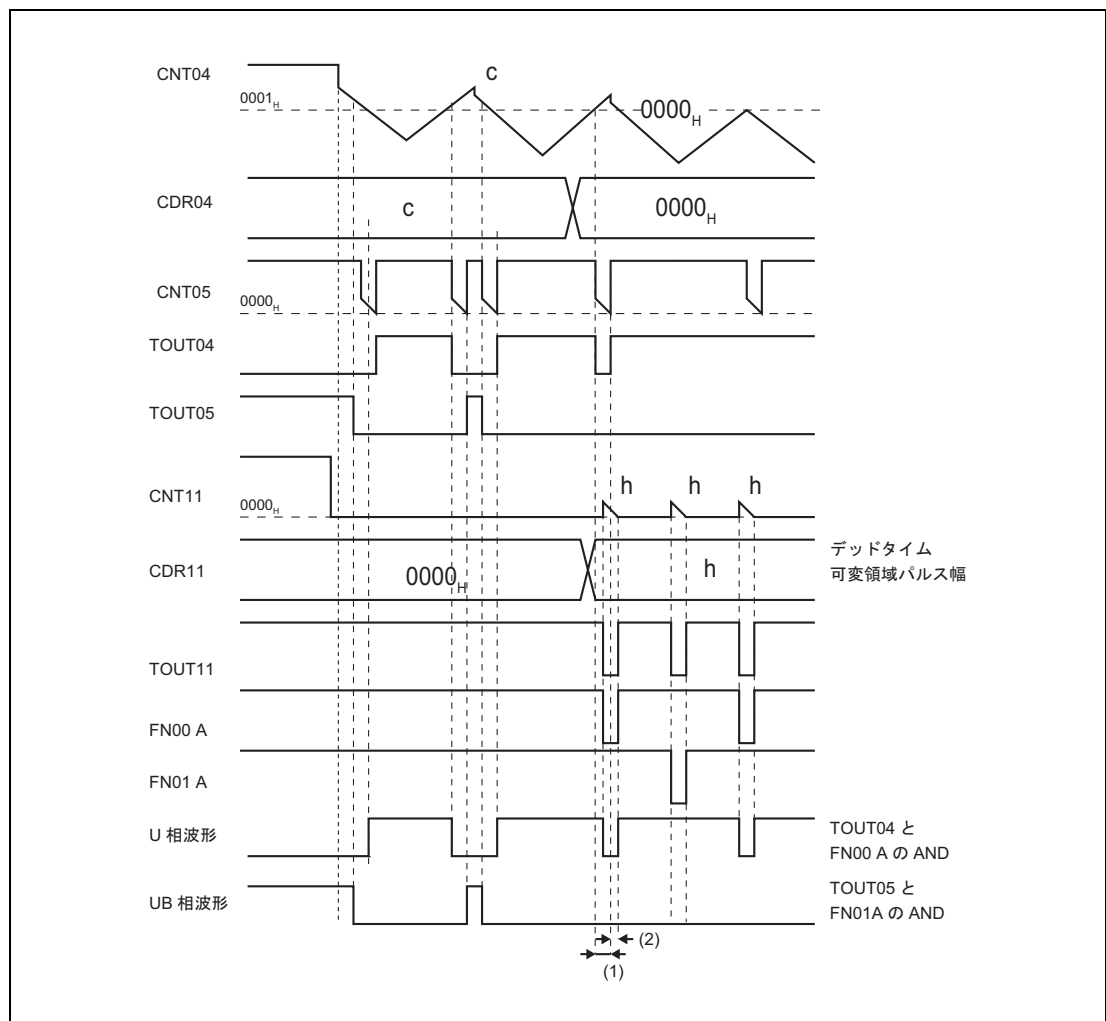


図 29.38 デッドタイム可変領域パルスがデッドタイム付き三角波 PWM 出力に影響する例

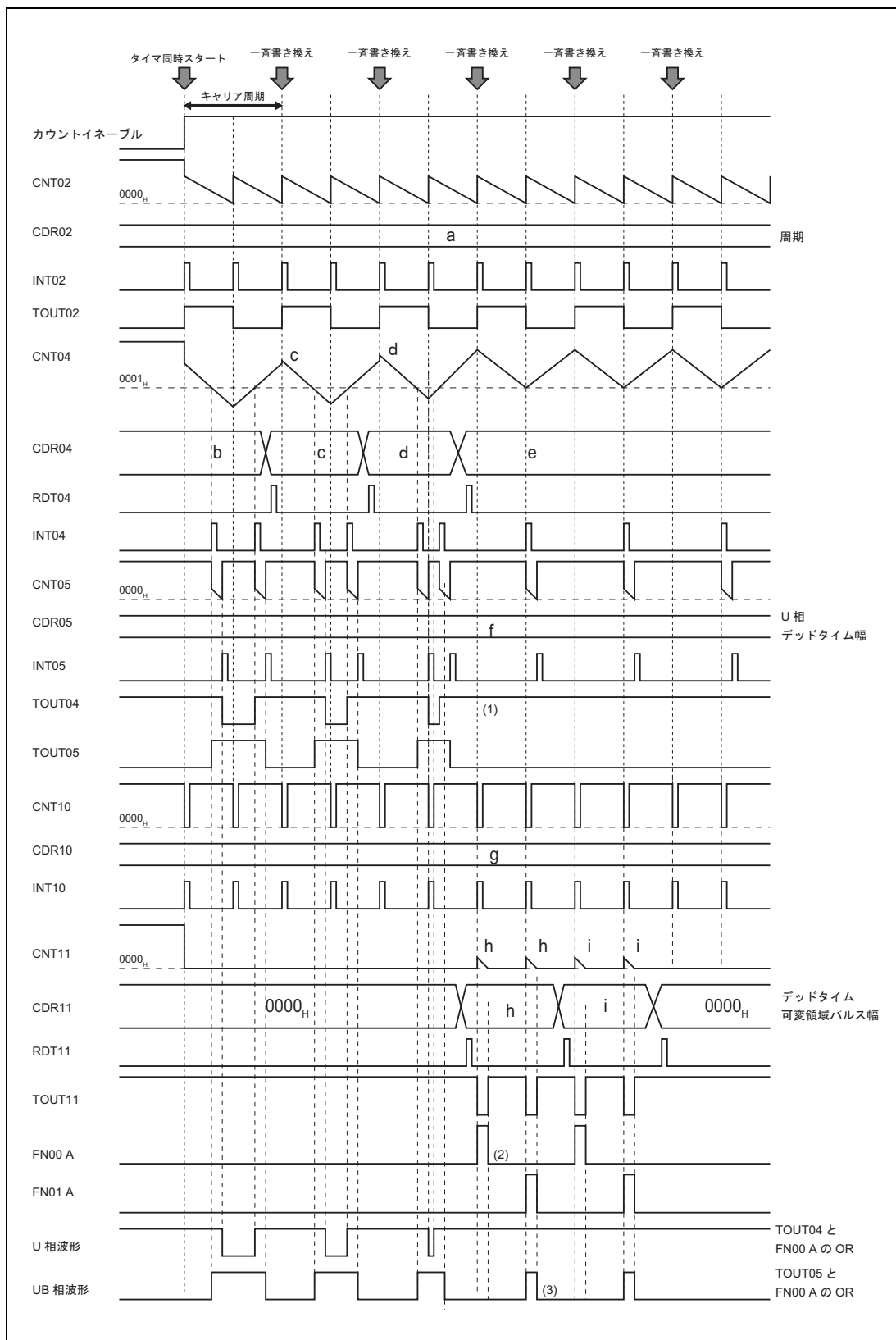


図 29.39 デッドタイム付き高精度 PWM 出力 (U 相 100%、UB 相 0%) 例 (TAUDnTOL04 = 1 (アクティブロウ)、TAUDnTOL05 = 1 (アクティブロウ) の場合)

図 29.39 の U 相 PWM 出力を行うタイマ構成で U 相 100%、UB 相 0%に遷移する場合の動作例について説明します。デッドタイム付き三角波 PWM 出力機能の出力はアクティブロウです。

- (1) タイマ動作開始からデッドタイム付き三角波 PWM 出力までのタイマ動作は、「**図 29.36 デッドタイム付き高精度 PWM 出力 (U 相 0%、UB 相 100%) 例 (TAUDnTOL04 = 0 (アクティブハイ)、TAUDnTOL05 = 0 (アクティブハイ) の場合)**」と同じです。ただし、PWM 出力として TOUT04 と TOUT05 からはアクティブロウの PWM が出力されます。
- (2) そのため、組み合わせ回路設定 (PIC0REG2n116, 17、PIC0REG2n118, 19) を PWM 出力に合わせたアクティブロウ出力に設定します。これによりアクティブロウ用のデッドタイム可変領域パルスが U 相用 (FN00 A)、UB 相用 (FN01 A) として出力されます。
- (3) さらに、論理演算回路設定 (PIC0REG2n302 ~ 00、PIC0REG2n306 ~ 04) も PWM 出力に合わせたアクティブロウ出力に設定します。(2) で生成されたパルスは、TOUT04、TOUT05 出力波形と合成され、TAPAnUP (U 相出力) および TAPAnUM (UB 相出力) からアクティブロウ用 PWM として出力されます。

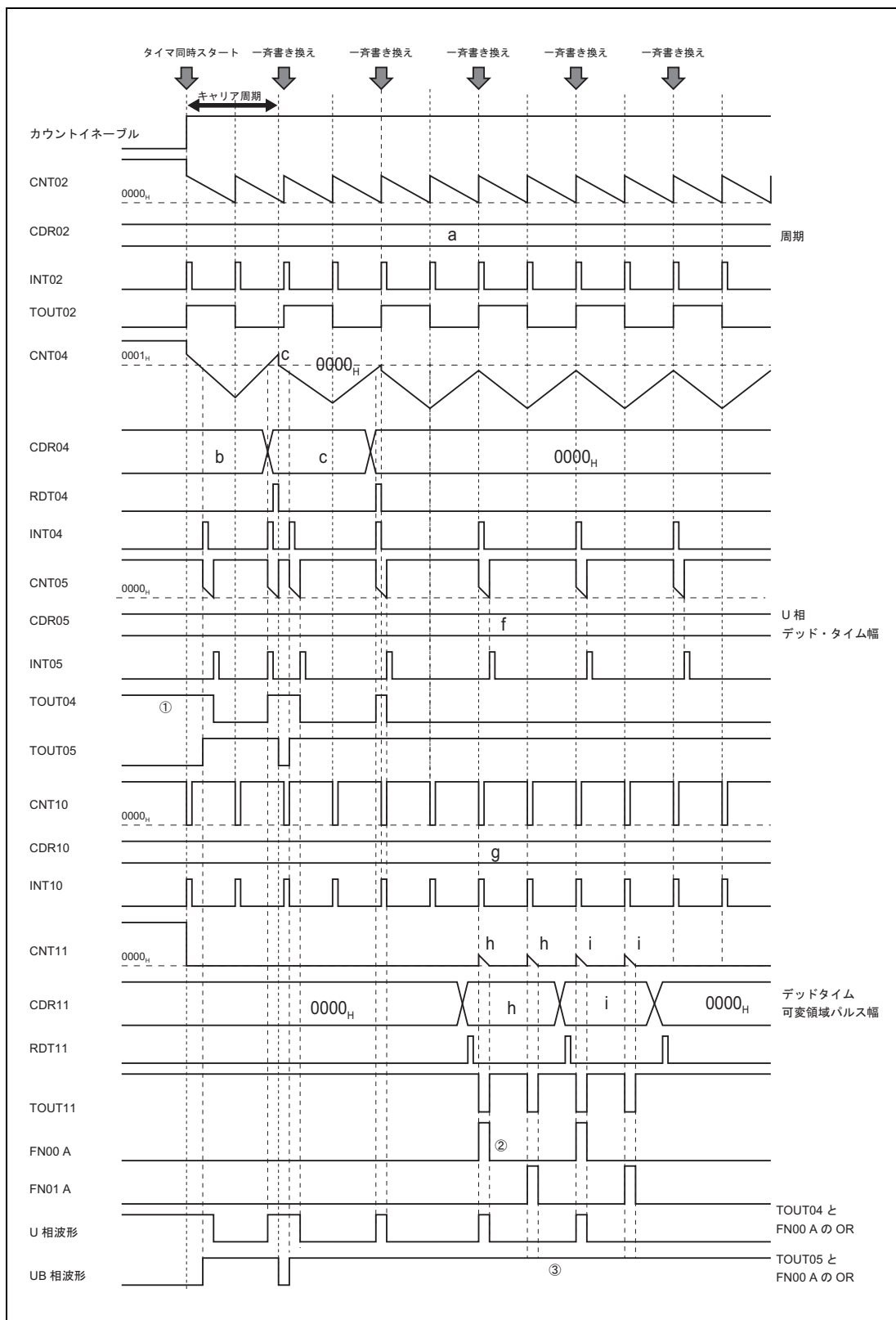


図 29.40 デッドタイム付き高精度 PWM 出力 (U 相 0%、UB 相 100%) 例
 (TAUDnTOL04 = 0 (アクティブロウ)、TAUDnTOL05 = 0 (アクティブロウ) の場合)

図 29.40 の U 相 PWM 出力を行うタイマ構成で U 相 0%、UB 相 100%に遷移する場合の動作例について説明します。デッドタイム付き三角波 PWM 出力機能の出力はアクティブロウです。

- (1) タイマ動作開始からデッドタイム付き三角波 PWM 出力までのタイマ動作は「**図 29.37 デッドタイム付き高精度 PWM 出力 (U 相 100%、UB 相 0%) 例 (TAUDnTOL04 = 0 (アクティブハイ)、TAUDnTOL05 = 0 (アクティブハイ) の場合)**」と同じです。ただし、PWM 出力としてアクティブロウの PWM が出力されます。
- (2) そのため、組み合わせ回路設定 (PIC0REG2n116, 17、PIC0REG2n118, 19) を PWM 出力に合わせたアクティブロウ出力に設定します。これによりアクティブロウ用のデッドタイム可変領域パルスが U 相用 (FN00A)、UB 相用 (FN01A) として出力されます。
- (3) さらに、論理演算回路設定 (PIC0REG2n302 ~ 00、PIC0REG2n306 ~ 04) も PWM 出力に合わせたアクティブロウ出力に設定します。(2) で生成されたパルスは、TOUT04、TOUT05 出力波形と合成され、TAPAnUP (U 相出力) および TAPAnUM (UB 相出力) からアクティブロウ用 PWM として出力されます。

注 意

CDR04 へ U 相デューティ 100%設定と同時に CDR11 にデッドタイム可変領域パルス幅の値を設定した場合、機能仕様上 TOUT04 から出力される最後の PWM に影響を与えてしまいます。

この影響をキャンセルするため、CDR11 の設定は 1 周期後としています。

詳細は「**図 29.38 デッドタイム可変領域パルスがデッドタイム付き三角波 PWM 出力に影響する例**」を参照してください。

29.12.5 設定フロー

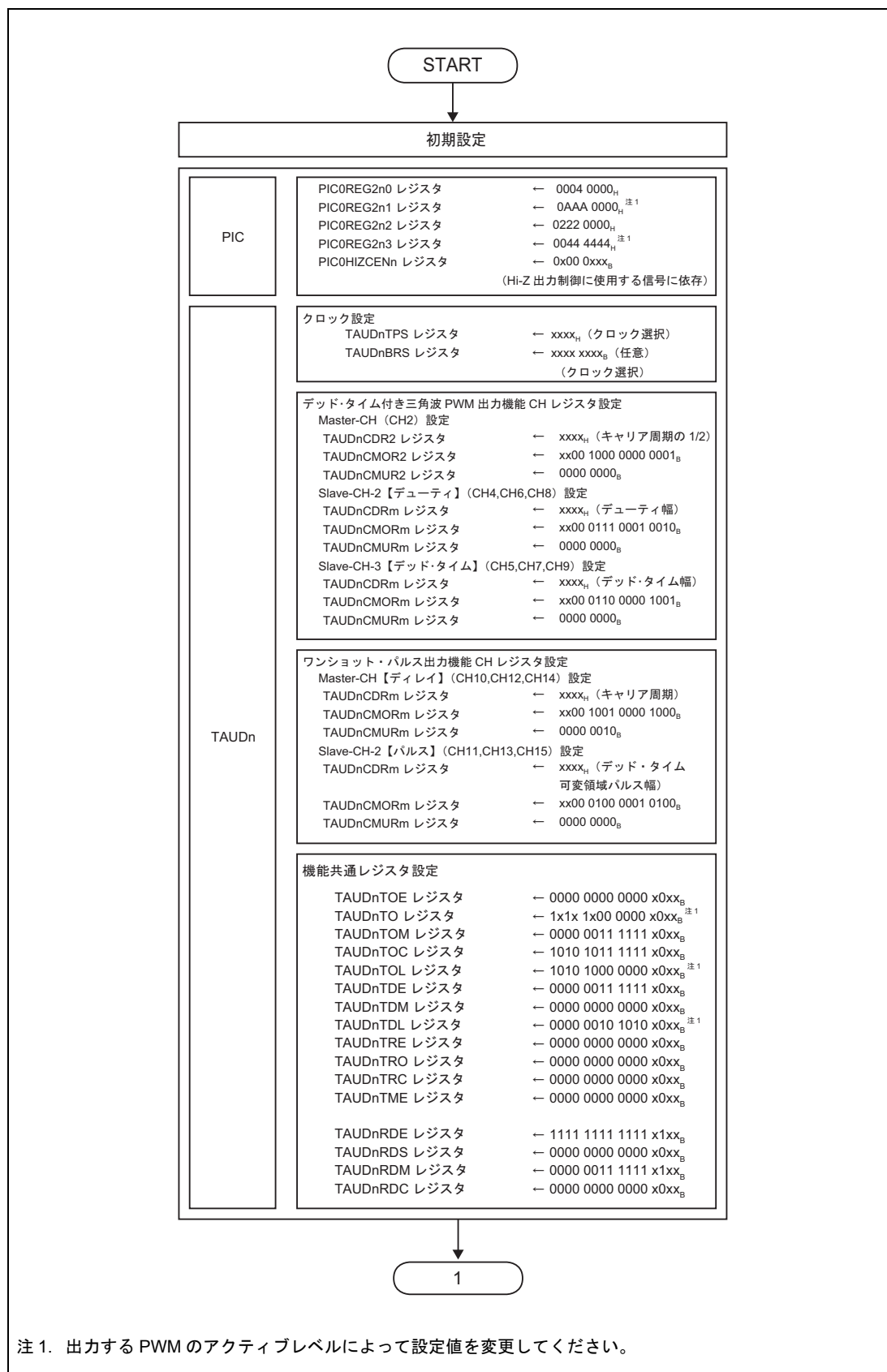


図 29.41 設定フロー (アクティブハイの例)

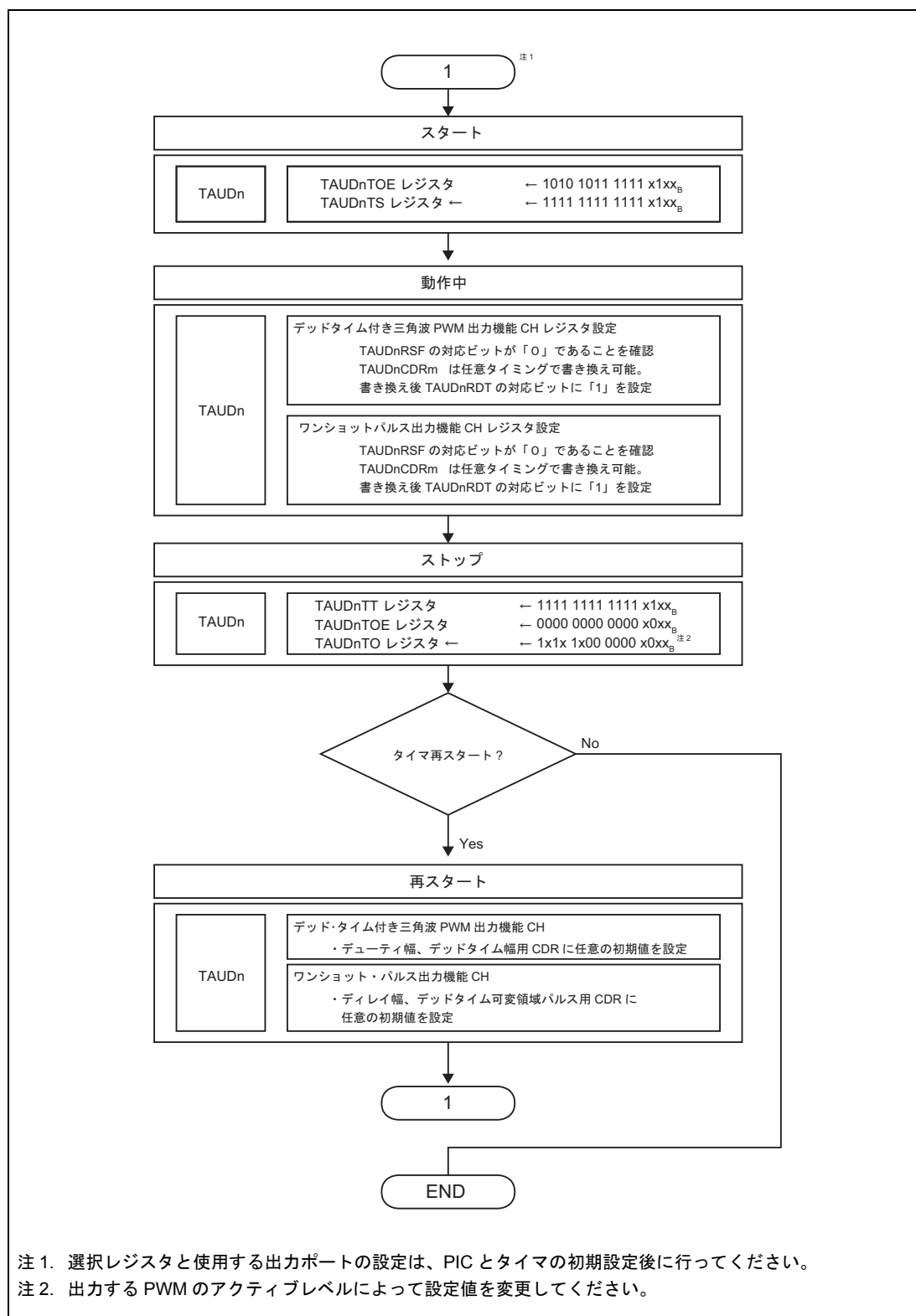


図 29.42 設定フロー（アクティブハイの例）（続き）

29.12.6 動作機能の設定例

各レジスタの設定値の例を示します。

29.12.6.1 TAUDn 設定（アクティブハイの例）

表 29.59 TAUDn CH2 関連（デッドタイム付き三角波 PWM 出力機能マスタチャンネル^{注1)}

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMOR2	15、14	TAUDnCKS[1:0]	任意 ^{注2)}	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	1	
	10～8	TAUDnSTS[2:0]	000	
	7、6	TAUDnCOS[1:0]	00	
	5		0	
	4～1	TAUDnMD[4:1]	0000	
	0	TAUDnMD0	1	動作開始時に、INTm を出力し、TOUTm もトグル動作を行う
TAUDnCMUR2	1、0	TAUDnTIS[1:0]	00	固定

注 1. マスタチャンネルおよびスレーブチャンネルは TAUD のデッドタイム付き三角波 PWM 出力機能で定義されている名称です。詳細については「第 25 章 タイマレイユニット D (TAUD)」の章を参照してください。

注 2. 動作クロックは、マスタチャンネルとスレーブチャンネルで同一設定にする必要があります。

備考

デッドタイム付き三角波 PWM 出力機能のマスタチャンネルの TAUDnCMORm は、TAUDnCKS[1:0](動作クロック選択)と TAUDnMD0 のみ任意に設定できますが、ほかの制御ビットは固定値となります。詳細は「第 25 章 タイマレイユニット D (TAUD)」を参照してください。

本機能では、TAUDnMD0 = 1 を設定してください。

表 29.60 TAUDn CH4,6,8 関連（デッドタイム付き三角波 PWM 出力機能スレーブチャンネル 2^{注1)} (m = 4, 6, 8)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15、14	TAUDnCKS[1:0]	任意 ^{注2)}	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10～8	TAUDnSTS[2:0]	111	
	7、6	TAUDnCOS[1:0]	00	
	5		0	
	4～1	TAUDnMD[4:1]	1001	
	0	TAUDnMD0	0	
TAUDnCMURm	1、0	TAUDnTIS[1:0]	00	

注 1. 動作クロックは、マスタチャンネルとスレーブチャンネルで同一設定にする必要があります。

デッドタイム付き三角波 PWM 出力機能のスレーブチャンネル 2、スレーブチャンネル 3 の TAUDnCMORm は、TAUDnCKS[1:0] (動作クロック選択) のみ任意に設定できますが、ほかの制御ビットは固定値となります。詳細は「第 25 章 タイマレイユニット D (TAUD)」の章を参照してください。

注 2. 動作クロックは、マスタチャンネルとスレーブチャンネルで同一設定にする必要があります。

表 29.61 TAUDn CH5, 7, 9 関連 (デッドタイム付き三角波 PWM 出力機能スレーブチャンネル 3 注¹) (m = 5, 7, 9)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15, 14	TAUDnCKS[1:0]	任意 ^{注2}	動作クロック設定
	13, 12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10 ~ 8	TAUDnSTS[2:0]	110	
	7, 6	TAUDnCOS[1:0]	00	
	5		0	
	4 ~ 1	TAUDnMD[4:1]	0100	
	0	TAUDnMD0	1	
TAUDnCMURm	1, 0	TAUDnTIS[1:0]	00	

- 注 1. 動作クロックは、マスタチャンネルとスレーブチャンネルで同一設定にする必要があります。
デッドタイム付き三角波 PWM 出力機能のスレーブチャンネル 2、スレーブチャンネル 3 の TAUDnCMORm は、TAUDnCKS[1:0] (動作クロック選択) のみ任意に設定できますが、ほかの制御ビットは固定値となります。詳細は「第 25 章 タイマレイユニット D (TAUD)」の章を参照してください。
- 注 2. 動作クロックは、マスタチャンネルとスレーブチャンネルで同一設定にする必要があります。

表 29.62 TAUDn CH10, 12, 14 関連 (ワンショットパルス出力機能マスタチャンネル^{注1}) (m = 10, 12, 14)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15, 14	TAUDnCKS[1:0]	任意 ^{注2}	動作クロック設定
	13, 12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	1	
	10 ~ 8	TAUDnSTS[2:0]	001	
	7, 6	TAUDnCOS[1:0]	00	
	5		0	
	4 ~ 1	TAUDnMD[4:1]	0100	
	0	TAUDnMD0	0	カウント中のスタートトリガは無効
TAUDnCMURm	1, 0	TAUDnTIS[1:0]	10	両エッジを有効エッジとして検出

- 注 1. マスタチャンネルおよびスレーブチャンネルは TAUD のワンショットパルス出力機能で定義されている名称です。詳細については「第 25 章 タイマレイユニット D (TAUD)」の章を参照してください。
- 注 2. 動作クロックは、マスタチャンネルとスレーブチャンネルで同一設定にする必要があります。

表 29.63 TAUDn CH11, 13, 15 関連 (ワンショットパルス出力機能スレーブチャンネル^{注1})
(m = 11, 13, 15)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15、14	TAUDnCKS[1:0]	任意 ^{注2}	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10 ~ 8	TAUDnSTS[2:0]	100	
	7、6	TAUDnCOS[1:0]	00	
	5		0	
	4 ~ 1	TAUDnMD[4:1]	1010	
	0	TAUDnMD0	0	カウント中のスタートトリガは無効
TAUDnCMURm	1、0	TAUDnTIS[1:0]	00	

注 1. マスタチャンネルおよびスレーブチャンネルは TAUD のワンショットパルス出力機能で定義されている名称です。詳細については「第 25 章 タイマアレギュニット D (TAUD)」の章を参照してください。

注 2. 動作クロックは、マスタチャンネルとスレーブチャンネルで同一設定にする必要があります。またデッドタイム付き三角波 PWM 出力機能のマスタチャンネル (CH2) と同一のクロック設定にしてください。

備 考

ワンショットパルス出力機能の TAUDnCMORm は、TAUDnCKS[1:0] (動作クロック選択) と TAUDnMD0 のみ任意に設定できますが、ほかの制御ビットは固定値となります。詳細は「第 25 章 タイマアレギュニット D (TAUD)」を参照してください。

本機能では、TAUDnMD0 = 0 に設定してください。

表 29.64 TAUDn チャンネル共通 (1/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTOE	15	TAUDnTOE15	0	タイマ動作禁止
			1	タイマ動作許可
	14	TAUDnTOE14	0	
	13	TAUDnTOE13	0	タイマ動作禁止
			1	タイマ動作許可
	12	TAUDnTOE12	0	
	11	TAUDnTOE11	0 1	タイマ動作禁止 タイマ動作許可
	10	TAUDnTOE10	0	
	9 ~ 4	TAUDnTOE09 ~ TAUDnTOE04	0 1	タイマ動作禁止 タイマ動作許可
	3	TAUDnTOE03	任意	
2	TAUDnTOE02	0	タイマ動作禁止	
		1	タイマ動作許可	
1,0	TAUDnTOE01 TAUDnTOE00	任意		

表 29.64 TAUDn チャネル共通 (2/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTO	15	TAUDnTO15	1注1	TOUT15にハイレベルを出力
	14	TAUDnTO14	任意	
	13	TAUDnTO13	1注1	TOUT13にハイレベルを出力
	12	TAUDnTO12	任意	
	11	TAUDnTO11	1注1	TOUT11にハイレベルを出力
	10	TAUDnTO10	任意	
	9~4	TAUDnTO09 ~ TAUDnTO04	0注1	TOUT09 ~ TOUT04にロウレベルを出力
	3	TAUDnTO03	任意	
	2	TAUDnTO02	0	TOUT02にロウレベルを出力
	1,0	TAUDnTO01 TAUDnTO00	任意	
TAUDnTOM	15~10	TAUDnTOM15 ~ TAUDnTOM10	0	単体動作モード
	9~4	TAUDnTOM09 ~ TAUDnTOM04	1	連動動作モード
	3	TAUDnTOM03	任意	
	2	TAUDnTOM02	0	単体動作モード
	1,0	TAUDnTOM01 TAUDnTOM00	任意	
TAUDnTOC	15	TAUDnTOC15	1	動作モード2
	14	TAUDnTOC14	0	動作モード1
	13	TAUDnTOC13	1	動作モード2
	12	TAUDnTOC12	0	動作モード1
	11	TAUDnTOC11	1	動作モード2
	10	TAUDnTOC10	0	動作モード1
	9~4	TAUDnTOC09 ~ TAUDnTOC04	1	動作モード2
	3	TAUDnTOC03	任意	
	2	TAUDnTOC02	0	動作モード1
	1,0	TAUDnTOC01 TAUDnTOC00	任意	
TAUDnTOL	15	TAUDnTOL15	1注1	反転論理出力 (アクティブロウ)
	14	TAUDnTOL14	任意	
	13	TAUDnTOL13	1注1	反転論理出力 (アクティブロウ)
	12	TAUDnTOL12	任意	
	11	TAUDnTOL11	1注1	反転論理出力 (アクティブロウ)
	10	TAUDnTOL10	任意	
	9~4	TAUDnTOL09 ~ TAUDnTOL04	0注1	正論理出力 (アクティブハイ)
	3	TAUDnTOL03	任意	
	2	TAUDnTOL02	0	正論理出力 (アクティブハイ)
1,0	TAUDnTOL01 TAUDnTOL00	任意		

表 29.64 TAUDn チャネル共通 (3/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTDE	15 ~ 10	TAUDnTDE15 ~ TAUDnTDE10	0	デッドタイム制御禁止
	9 ~ 4	TAUDnTDE09 ~ TAUDnTDE04	1	デッドタイム制御許可 ^{注2}
	3	TAUDnTDE03	任意	
	2	TAUDnTDE02	0	デッドタイム制御禁止
	1, 0	TAUDnTDE01 TAUDnTDE00	任意	
TAUDnTDM	15 ~ 9	TAUDnTDM15 ~ TAUDnTDM09	0	
	3	TAUDnTDM03	任意	
	2	TAUDnTDM02	0	デッドタイム制御禁止のため無効
	1, 0	TAUDnTDM01 TAUDnTDM00	任意	
TAUDnTDL	15 ~ 10	TAUDnTDL15 ~ TAUDnTDL10	0	デッドタイム制御禁止のため無効
	9	TAUDnTDL09	1 ^{注1}	W 相逆相として動作
	8	TAUDnTDL08	0 ^{注1}	W 相正相として動作
	7	TAUDnTDL07	1 ^{注1}	V 相逆相として動作
	6	TAUDnTDL06	0 ^{注1}	V 相正相として動作
	5	TAUDnTDL05	1 ^{注1}	U 相逆相として動作
	4	TAUDnTDL04	0 ^{注1}	U 相正相として動作
	3	TAUDnTDL03	任意	
	2	TAUDnTDL02	0	デッドタイム制御禁止のため無効
TAUDnTRE	15 ~ 4	TAUDnTRE15 ~ TAUDnTRE04	0	リアルタイム出力禁止
	3	TAUDnTRE03	任意	
	2	TAUDnTRE02	0	リアルタイム出力禁止
	1, 0	TAUDnTRE01 TAUDnTRE00	任意	
TAUDnTRO	15 ~ 4	TAUDnTRO15 ~ TAUDnTRO04	0	リアルタイム出力禁止のため無効
	3	TAUDnTRO03	任意	
	2	TAUDnTRO02	0	リアルタイム出力禁止のため無効
	1, 0	TAUDnTRO01 TAUDnTRO00	任意	
TAUDnTRC	15 ~ 4	TAUDnTRC15 ~ TAUDnTRC04	0	リアルタイム出カトリガ生成チャンネルとして動作しない
	3	TAUDnTRC03	任意	
	2	TAUDnTRC02	0	リアルタイム出カトリガ生成チャンネルとして動作しない
	1, 0	TAUDnTRC01 TAUDnTRC00	任意	

表 29.64 TAUDn チャンネル共通 (4/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTME	15 ~ 4	TAUDnTME15 ~ TAUDnTME04	0	タイマ出力とリアルタイム出力の変調出力禁止
	3	TAUDnTME03	任意	
	2	TAUDnTME02	0	タイマ出力とリアルタイム出力の変調出力禁止
	1、0	TAUDnTME01 TAUDnTME00	任意	
TAUDnRDE	15 ~ 4	TAUDnRDE15 ~ TAUDnRDE04	1	一斉書き換え許可
	3	TAUDnRDE03	任意	
	2	TAUDnRDE02	1	一斉書き換え許可
	1 0	TAUDnRDE01 TAUDnRDE00	任意	
TAUDnRDS	15 ~ 4	TAUDnRDS15 ~ TAUDnRDS04	0	別の上位チャンネルにより、一斉書き換えを許可しない
	3	TAUDnRDS03	任意	
	2	TAUDnRDS02	0	別の上位チャンネルにより、一斉書き換えを許可しない
	1 0	TAUDnRDS01 TAUDnRDS00	任意	
TAUDnRDM	15 ~ 10	TAUDnRDM15 ~ TAUDnRDM10	0	マスタチャンネルのカウンタ開始タイミングで一斉書き換えする
	9 ~ 4	TAUDnRDM09 ~ TAUDnRDM04	1	マスタチャンネルでのカウンタが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで一斉書き換えする
	3	TAUDnRDM03	任意	
	2	TAUDnRDM02	1	マスタチャンネルでのカウンタが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで一斉書き換えする
	1 0	TAUDnRDM01 TAUDnRDM00	任意	
TAUDnRDC	15 ~ 4	TAUDnRDC15 ~ TAUDnRDC04	0	一斉書き換えトリガ生成チャンネルとして動作しない
	3	TAUDnRDC03	任意	
	2	TAUDnRDC02	0	一斉書き換えトリガ生成チャンネルとして動作しない
	1 0	TAUDnRDC01 TAUDnRDC00	任意	

- 注 1. 使用システムによって設定を変更してください。
- 注 2. デッドタイム制御を行うため、偶数チャンネルと奇数チャンネルを対とした正逆相の波形出力制御を行います。詳細は「第 25 章 タイマアレユニット D (TAUD)」を参照してください。

29.12.6.2 PIC の設定 (アクティブハイの例)

表 29.65 PIC の設定

レジスタ	ビット位置	ビット名	設定値	備考
PIC0REG2n0	18	PIC0REG2n018	1	TAUDn の CH2 の TOUT を選択
PIC0REG2n1	27	PIC0REG2n127	1	W 相逆相アクティブハイ 組合せ回路出力
	26	PIC0REG2n126	0	
	25	PIC0REG2n125	1	W 相正相アクティブハイ 組合せ回路出力
	24	PIC0REG2n124	0	
	23	PIC0REG2n123	1	V 相逆相アクティブハイ 組合せ回路出力
	22	PIC0REG2n122	0	
	21	PIC0REG2n121	1	V 相正相アクティブハイ 組合せ回路出力
20	PIC0REG2n120	0		
PIC0REG2n2	19	PIC0REG2n119	1	U 相逆相アクティブハイ 組合せ回路出力
	18	PIC0REG2n118	0	
	17	PIC0REG2n117	1	U 相正相アクティブハイ 組合せ回路出力
PIC0REG2n2	16	PIC0REG2n116	0	
	25	PIC0REG2n225	1	PIC0REG2n018 ビットで選択した入力を選択
	21	PIC0REG2n221	1	PIC0REG2n018 ビットで選択した入力を選択
PIC0REG2n3	17	PIC0REG2n217	1	PIC0REG2n018 ビットで選択した入力を選択
	22	PIC0REG2n322	1	W 相逆相アクティブハイ 論理演算回路出力
	21	PIC0REG2n321	0	
	20	PIC0REG2n320	0	
	18	PIC0REG2n318	1	W 相正相アクティブハイ 論理演算回路出力
	17	PIC0REG2n317	0	
	16	PIC0REG2n316	0	
	14	PIC0REG2n314	1	V 相逆相アクティブハイ 論理演算回路出力
	13	PIC0REG2n313	0	
	12	PIC0REG2n312	0	
	10	PIC0REG2n310	1	V 相正相アクティブハイ 論理演算回路出力
	9	PIC0REG2n309	0	
8	PIC0REG2n308	0		
6	PIC0REG2n306	1	U 相逆相アクティブハイ 論理演算回路出力	
5	PIC0REG2n305	0		
4	PIC0REG2n304	0		
2	PIC0REG2n302	1	U 相正相アクティブハイ 論理演算回路出力	
1	PIC0REG2n301	0		
0	PIC0REG2n300	0		

29.13 デッドタイム付きディレイパルス出力機能

29.13.1 機能概要

周期タイミングからディレイ分遅らせたデッドタイム付き 3 相 PWM を出力します。

「デッドタイム付き 3 相 PWM 出力機能」と異なり、次の周期内にリセットを持つ PWM も出力可能です。

29.13.2 構成

本機能のユニット、チャンネル構成を下記に示します。(n = 0, m = 0 ~ 15)

表 29.66 デッドタイム付きディレイパルス出力機能の構成

タイマ	タイマモータ制御機能
TAUD0 CH2 ~ CH15 (使用チャンネル固定)	TAPA0

以下の説明に使用している信号名は略称です。実際の信号名は以下のように読み替えてください。

- INTm → INTTAUDnIm (TAUDn チャンネル m 割り込み)
- TINm → TAUDTTINm (TAUDn チャンネル m 入力)
- TOUTm → TAUDTTOUm (TAUDn チャンネル m 出力)
- CDRm → TAUDnCDRm (TAUDn チャンネル m データレジスタ)
- CNTm → TAUDnCNTm (TAUDn チャンネル m カウンタレジスタ)

29.13.2.1 TAUDn 構成

CH3 の CDRm 値は TOUT0 ~ TOUT15 に影響を与えないため、CH3 の INTm は A/D 変換トリガ生成などほかの用途に使用することも可能です。

表 29.67 TAUDn 構成

CH	機能名	M/S 注1	CDR 設定値	説明
2	ディレイパルス出力機能 (CH2 は CH3-CH9 のマスタチャンネル)	M	周期	
3		S		予約
4		S	ディレイ (U 相)	
5		S	パルス幅 (U 相)	
6		S	ディレイ (V 相)	
7		S	パルス幅 (V 相)	
8		S	ディレイ (W 相)	
9		S	パルス幅 (W 相)	
10		TOUTm を使用しない機能であれば任意	S	
11	1 相 PWM 出力機能	S	デッドタイム (U 相)	TOUT : UB 相出力
12	TOUTm を使用しない機能であれば任意	S		TOUT : V 相出力
13	1 相 PWM 出力機能	S	デッドタイム (V 相)	TOUT : VB 相出力
14	TOUTm を使用しない機能であれば任意	S		TOUT : W 相出力
15	1 相 PWM 出力機能	S	デッドタイム (W 相)	TOUT : WB 相出力

注 1. M= マスタチャンネル
S= スレーブチャンネル

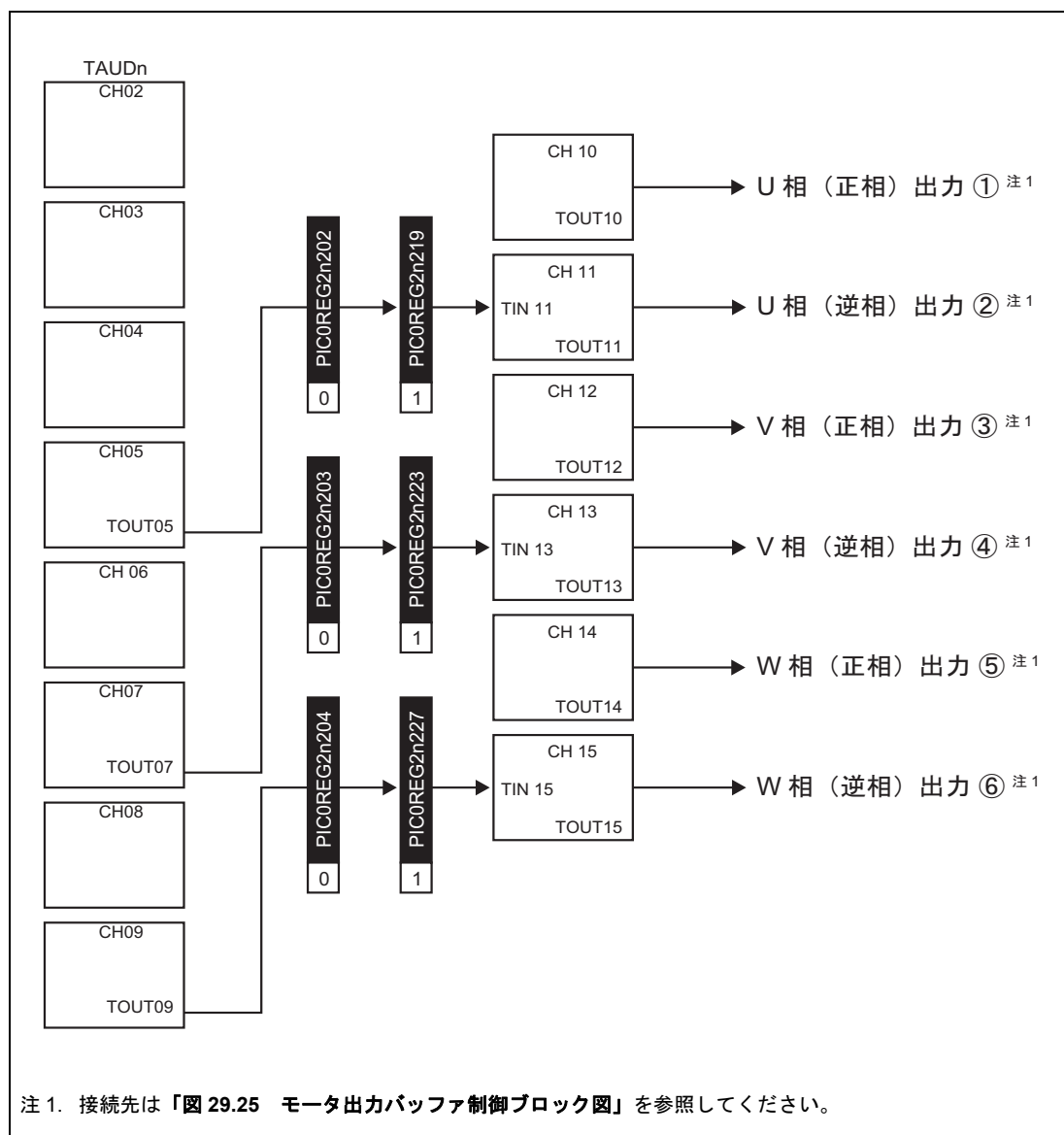


図 29.43 デッドタイム付きディレイパルス出力のブロック図

29.13.3 レジスタ

29.13.3.1 PIC0REG2n2 — タイマ入出力制御レジスタ 2n2 (n = 0)

TAUDn CHm 入力信号の選択を行うレジスタです。ここでは、デッドタイム付きディレイパルス出力機能で使用するビットについて説明します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス PIC0REG202 : FFDD 00C8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	PIC0REG2n227	—	—	—	PIC0REG2n223	—	—	—	PIC0REG2n219	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PIC0REG2n204	PIC0REG2n203	PIC0REG2n202	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 29.68 PIC0REG2n2 レジスタの内容 (1/2)

ビット位置	ビット名	機能						
31 ~ 28	予約ビット	注1						
27	PIC0REG2n227	TAUDTTIN15 への TIN 入力信号を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG2n227</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>PIC0REG2n204 ビットで選択した信号</td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n227	入力信号	1	PIC0REG2n204 ビットで選択した信号	上記以外	設定禁止
PIC0REG2n227	入力信号							
1	PIC0REG2n204 ビットで選択した信号							
上記以外	設定禁止							
26 ~ 24	予約ビット	注1						
23	PIC0REG2n223	TAUDTTIN13 への TIN 入力信号を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG2n223</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>PIC0REG2n203 ビットで選択した信号</td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n223	入力信号	1	PIC0REG2n203 ビットで選択した信号	上記以外	設定禁止
PIC0REG2n223	入力信号							
1	PIC0REG2n203 ビットで選択した信号							
上記以外	設定禁止							
22 ~ 20	予約ビット	注1						
19	PIC0REG2n219	TAUDTTIN11 への TIN 入力信号を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG2n219</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>PIC0REG2n202 ビットで選択した信号</td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n219	入力信号	1	PIC0REG2n202 ビットで選択した信号	上記以外	設定禁止
PIC0REG2n219	入力信号							
1	PIC0REG2n202 ビットで選択した信号							
上記以外	設定禁止							
18 ~ 5	予約ビット	注1						
4	PIC0REG2n204	TAUDTTIN15 へ供給する信号を選択します 0 : TAUDTTOUT9 を選択 1 : 設定禁止						

表 29.68 PIC0REG2n2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	PIC0REG2n20 3	TAUDTTIN13 へ供給する信号を選択します 0 : TAUDTTOUT7 を選択 1 : 設定禁止
2	PIC0REG2n20 2	TAUDTTIN11 へ供給する信号を選択します 0 : TAUDTTOUT5 を選択 1 : 設定禁止
1、0	予約ビット	注1

注1. PIC0REG2n2 レジスタに“0”を定義しているビットは、ほかのタイマ接続機能で定義していることがあります。その場合、該当するタイマ接続機能のビット定義を適用してください。

29.13.3.2 PIC0HIZCENn — Hi-Z 出力制御レジスタ n (n = 0)

TAPAn の Hi-Z 出力制御用入力信号を選択します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス PIC0HIZCEN0 : FFDD 0080_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	PIC0HIZCENn6	—	—	—	PIC0HIZCENn2	—	PIC0HIZCENn0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R	R	R/W	R	R/W

表 29.69 PIC0HIZCENn レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	PIC0HIZCENn6	INTADCA0ERR 割り込み信号による Hi-Z 出力制御の許可/禁止を選択します。 0 : 禁止 1 : 許可
5 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	PIC0HIZCENn2	WDTA1NMI 割り込み信号による Hi-Z 出力制御の許可/禁止を選択します。 0 : 禁止 1 : 許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PIC0HIZCENn0	TAPAnESO 端子入力による Hi-Z 出力制御の許可/禁止を選択します。 0 : 禁止 1 : 許可

29.13.4 動作例

TAUD の次の機能の組み合わせにより実現します。

- デイレイパルス出力機能
- 1相 PWM 出力機能

デイレイパルス出力機能により、周期タイミングからデイレイ分遅れた PWM を生成します。次に 1相 PWM 出力機能により、その PWM に対しデッドタイムを付加した 1相 PWM を出力します。

デッドタイム付きデイレイパルス出力機能は、上記機能で実現した PWM 出力をそれぞれ U 相、V 相、W 相に割り当てる事により実現します。したがって、PWM 出力のデッドタイムは、各相の PWM ごとに自由に設定できます。各相の違いは割り当てられたチャンネルの違いのみなので、ここでは 1相 (U 相) について説明を行います。

29.13.4.1 デイレイパルス出力機能

CH2、CH4、CH5 を組み合わせて使用し、CH2 で設定した周期に対し、CH4 で生成したデイレイ分だけ遅れた、1相 PWM 出力用基本 PWMTOUT05 より出力されます。

なお、CH3 は本機能実現のための予約タイマとしていますので、他機能では使用しないでください。

注 意

周期を超えるデイレイ量の設定はしないでください。

29.13.4.2 1相 PWM 出力機能

CH10、CH11 の組み合わせで 1相 PWM を TOUT10、TOUT11 から出力します。

CDR11 にデッドタイム値を設定することで、TIN11 入力に対してデッドタイム付 1相 PWM を出力します。

V 相、W 相については、それぞれ CH12、CH13 (V 相)、CH14、CH15 (W 相) を使用し、同様にデッドタイム付 1相 PWM を出力します。

注 意

デイレイパルス出力機能、1相 PWM 出力機能で使用する TAUDn の各チャンネルの動作クロック設定は同一クロックを設定してください。

TAUD 機能の詳細については、「第 25 章 タイマアレイユニット D (TAUD)」の章を参照してください。

「デッドタイム付きディレイパルス出力機能」と「デッドタイム付き3相PWM出力機能」の違いについて説明します。

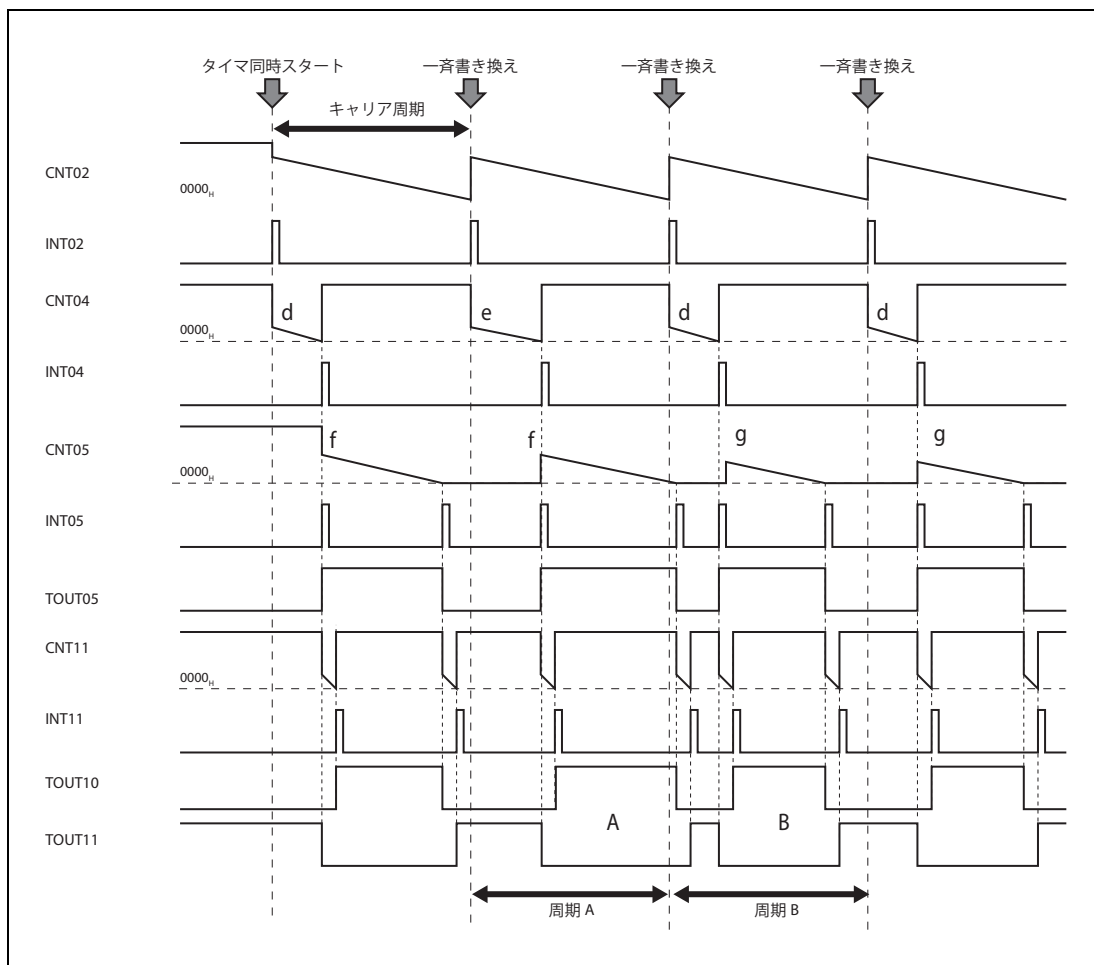


図 29.44 デッドタイム付ディレイパルス出力による PWM 出力

図 29.44 では、PWM 波形 A は周期 A の範囲で出力されるべき PWM 波形ですが、ディレイタイミングを長く取っているため PWM クリア位置が周期 A を超えた位置で発生しています。それに続き、周期 B の PWM 波形である PWM 波形 B が出力されています。

図 29.44 「デッドタイム付ディレイパルス出力による PWM 出力」を「デッドタイム付き 3 相 PWM 出力機能」で実現しようとした場合、以下のような動作となります。

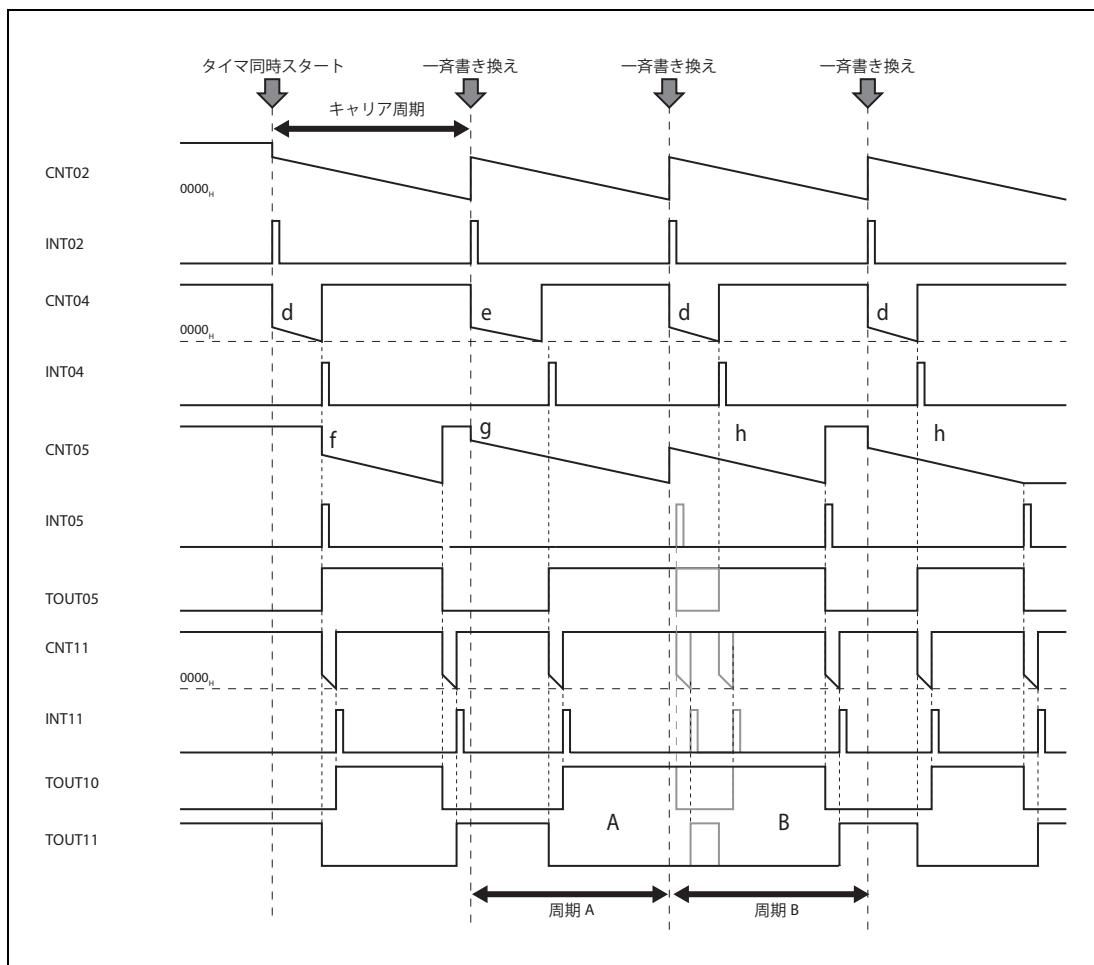


図 29.45 デッドタイム付き 3 相 PWM 出力機能による PWM 出力①

図 29.45 は、「デッドタイム付き 3 相 PWM 出力機能」のセットタイミングを遅らせ、クリアタイミングをキャリア周期より長くすることで、出力される PWM がキャリア周期 A を超える様に設定した例です。

周期 A に対する PWM 波形 A のセットタイミングは前頁の図と同じですが、クリアタイミングが周期 A より長いため、先に周期によるリロード動作が発生してしまい、PWM 波形 A のクリアタイミングが発生しません。

さらに、周期 B に対応する PWM 波形 B のセットタイミングでは、すでに PWM 波形がセット状態であるためセットタイミングは無視されます。結果、周期 B のクリアタイミングまで PWM 波形の変化は発生せず、PWM 波形 A と PWM 波形 B を合わせた PWM 波形が出力されることとなります。

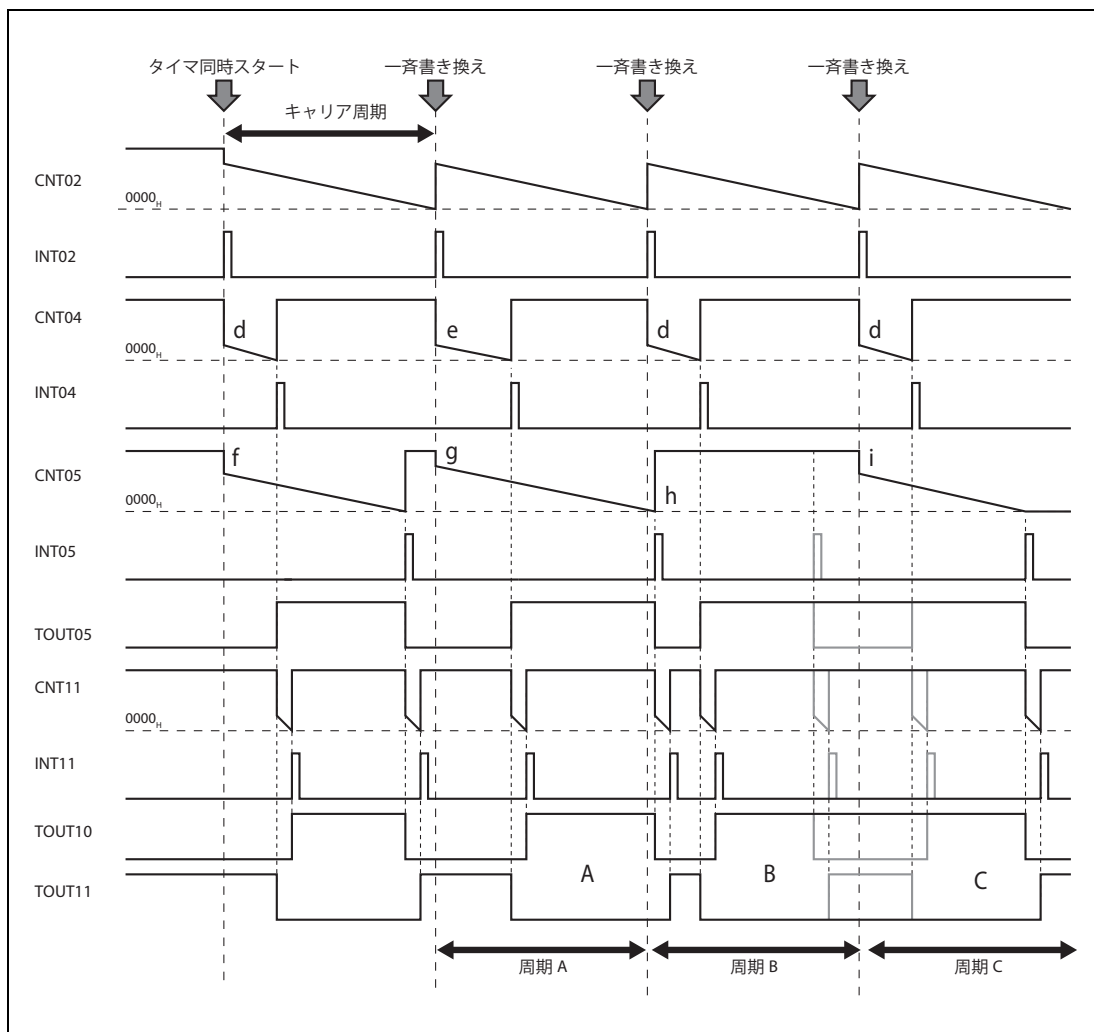


図 29.46 デッドタイム付き 3 相 PWM 出力機能による PWM 出力②

図 29.46 は、「デッドタイム付き 3 相 PWM 出力機能」で周期 A より長いクリアタイミングのカウンタ動作を周期 B で引継ぎ、周期 B の先頭で PWM 出力 A のクリアを行うよう動作させた例です。

周期 A に対する PWM 波形 A は「デッドタイム付きディレイパルス出力機能」と同様の出力となりますが、クリアタイミングを周期 B の先頭で使用してしまっているため、周期 B で出力すべき PWM 出力 B のクリアタイミングが発生しません。

さらに、周期 C に対応する PWM 波形 C のセットタイミングでは、すでに PWM 波形がセット状態であるためセットタイミングは無視されます。結果、周期 C のクリアタイミングまで PWM 波形の変化は発生せず、PWM 波形 B と PWM 波形 C を合わせた PWM 波形が出力されることになります。

このように、「デッドタイム付きディレイパルス出力機能」では「デッドタイム付き 3 相 PWM 出力機能」よりも自由度の高い PWM 出力タイミングを実現することが可能です。

PIC は、「ディレイパルス出力機能」により生成された PWM 出力タイミングを「1 相 PWM 出力機能」の入力とする接続を提供します。

図 29.47 に「デッドタイム付きディレイパルス出力機能」のタイミング図を示します。

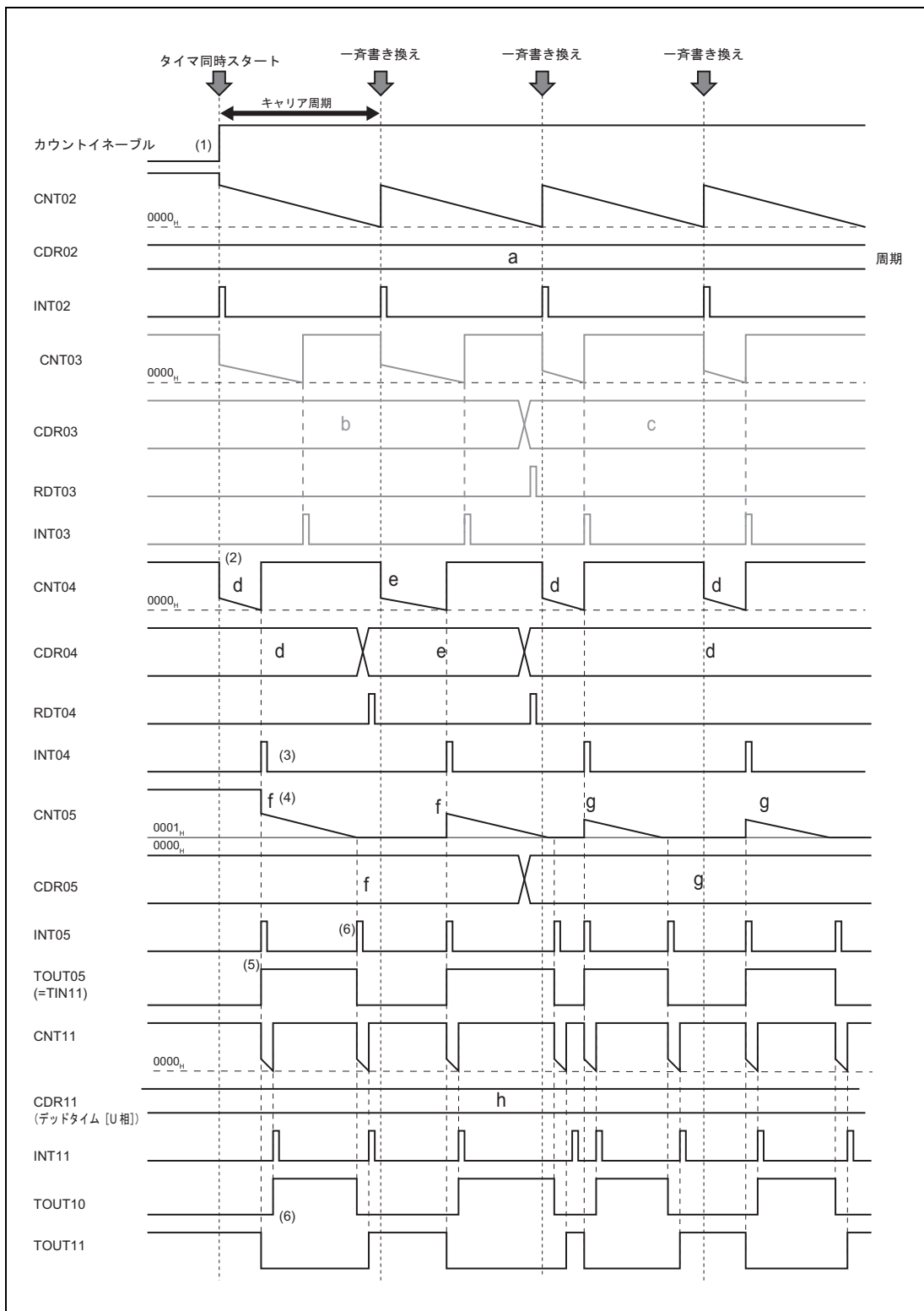


図 29.47 デッドタイム付きディレイパルス出力

図 29.47 のデッドタイム付きディレイパルス出力について説明します。

- (1) タイマ同時スタートにより、CH2 (キャリア周期タイマ)、CH4 (ディレイタイミングタイマ) が同時スタートします。
CH5 (PWM デューティタイマ)、CH11 (デッドタイムタイマ) もタイマスタートしていますが、CH5 のカウント開始タイミングである INT04 および、CH11 のカウント開始タイミングである TIN11 のエッジが検出されるまで、カウント動作は行われません。CH3 は本機能での PWM 出力に影響しないため説明を省略します。
- (2) CH4 は、CH2 のアンダフローにより、CDR04 から CNT04 へ設定値のリロードが行われます。
- (3) CH4 のアンダフローにより、ディレイタイミング信号 (INT04) が発生します。
- (4) INT04 の発生により、CDR05 から CNT05 に設定値がリロードされ CH5 (PWM デューティタイマ) が動作開始します。
- (5) このとき、INT05 が発生し TOUT05 の出力レベルがアクティブレベルに変化します。
- (6) CH5 のアンダフローにより再び INT05 が発生するとともに、TOUT05 がインアクティブレベルに変化します。この CH4 および CH5 のアンダフローで変化する TOUT05 を「1相 PWM 出力機能」の入力 TIN11 へ供給します。
- (7) 「1相 PWM 出力機能」は TIN11 のエッジ検出により、デッドタイムを付加した PWM 波形を生成し出力します。

29.13.5 設定フロー

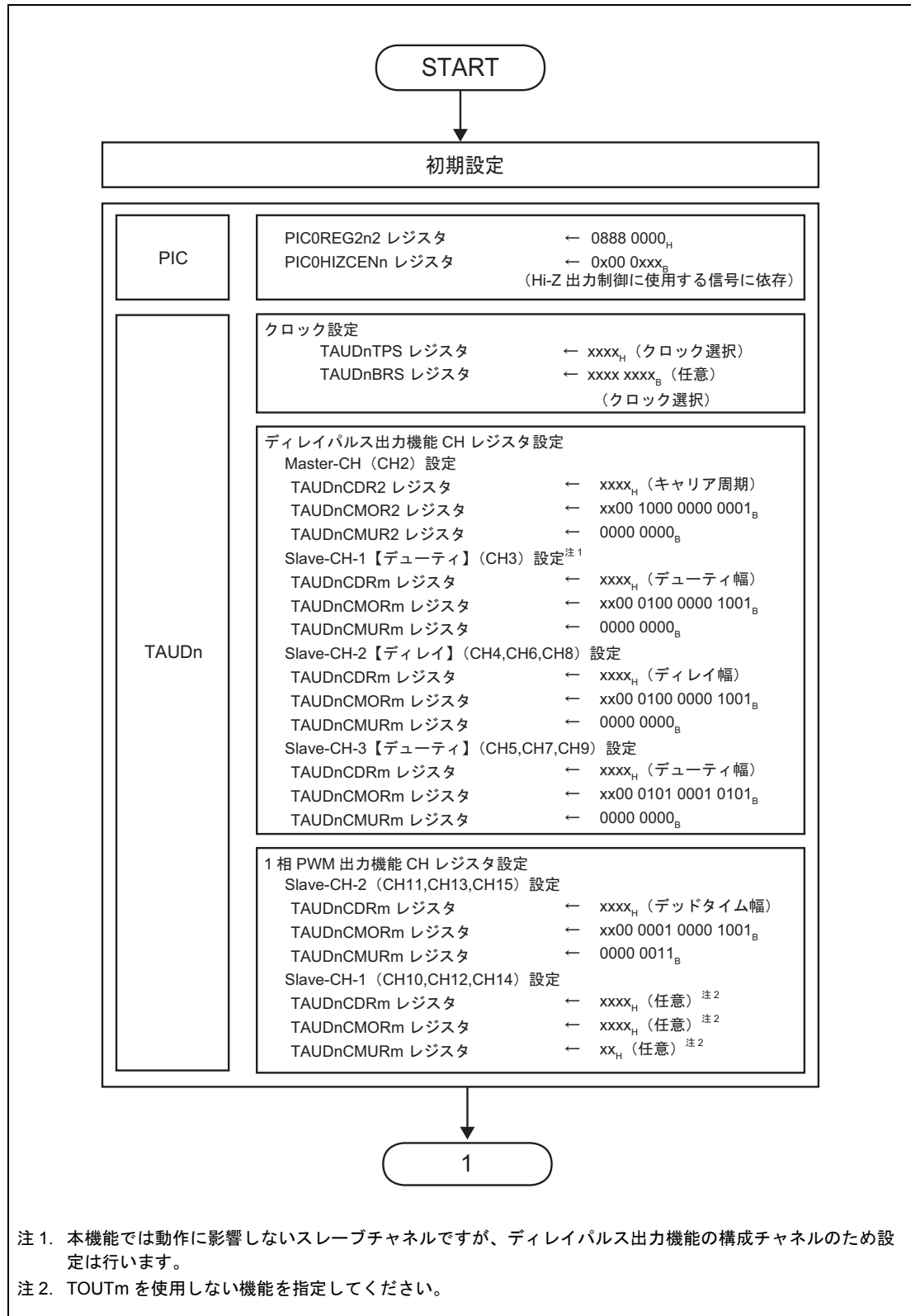


図 29.48 設定フロー (アクティブハイの例)

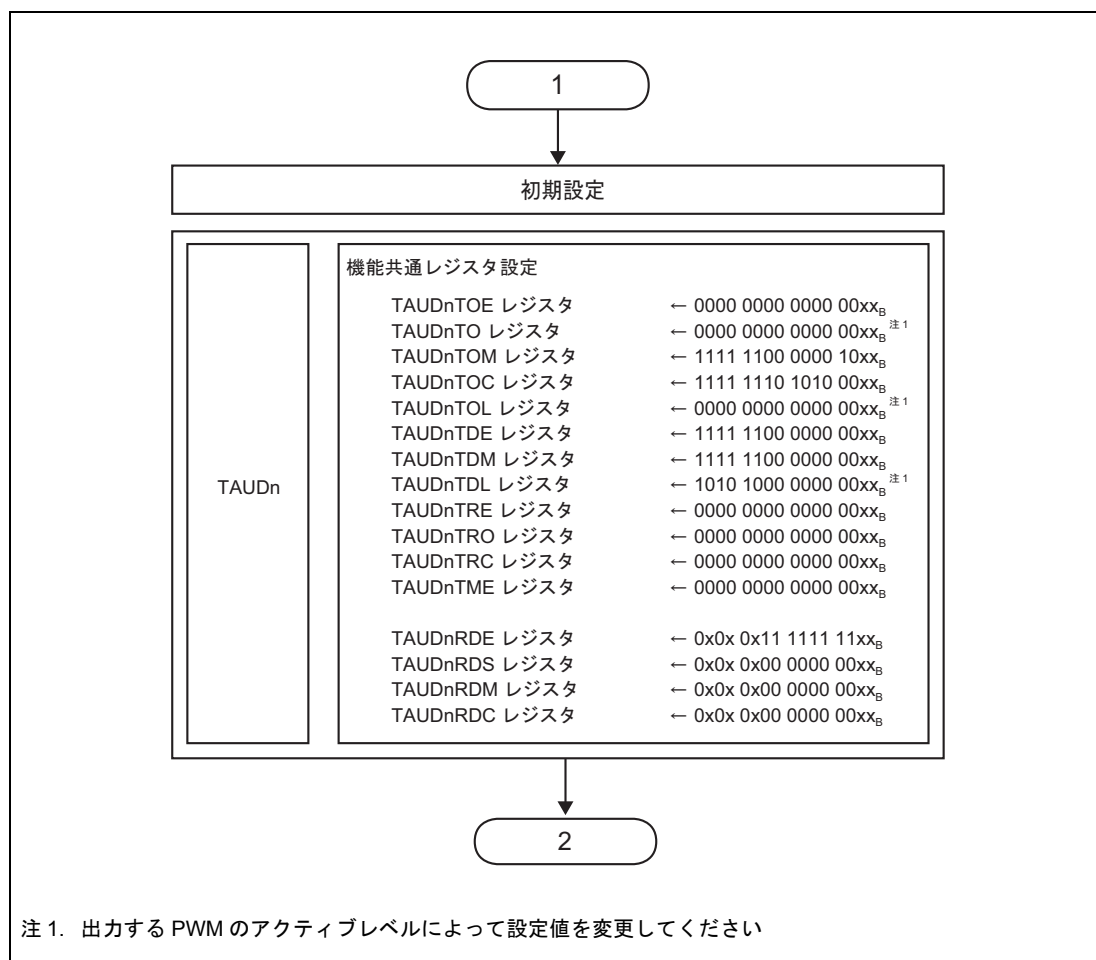


図 29.49 設定フロー（アクティブハイの例）（続き）

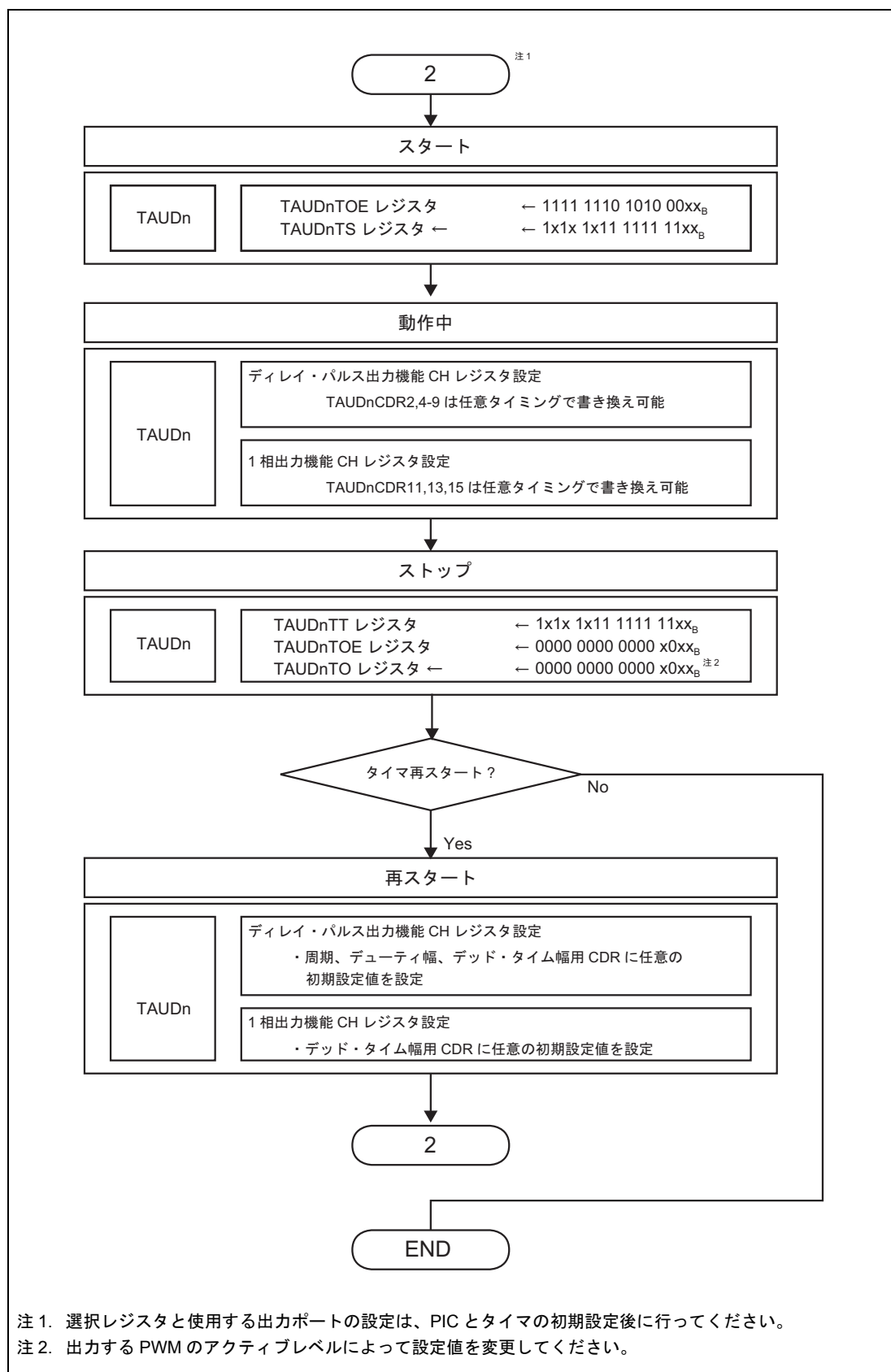


図 29.50 設定フロー（アクティブハイの例）（続き）

29.13.6 動作機能の設定例

各レジスタの設定値の例を示します。

29.13.6.1 TAUDn 設定

表 29.70 TAUDn CH2 関連 (ディレイパルス出力機能マスタチャンネル^{注1)})

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMOR2	15、14	TAUDnCKS[1:0]	任意 ^{注2}	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	1	
	10～8	TAUDnSTS[2:0]	000	
	7、6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4～1	TAUDnMD[4:1]	0000	
	0	TAUDnMD0	1	動作開始時に INTm を出力する
TAUDnCMUR2	1、0	TAUDnTIS[1:0]	00	

注 1. マスタチャンネルおよびスレーブチャンネルは TAUD のディレイパルス出力機能で定義されている名称です。詳細については「第 25 章 タイマレイユニット D (TAUD)」を参照してください。

注 2. 動作クロックは、マスタチャンネルとスレーブチャンネルで同一設定にする必要があります。

表 29.71 TAUDn CH3 関連 (ディレイパルス出力機能スレーブチャンネル^{注1、注2)})

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMOR3	15、14	TAUDnCKS[1:0]	任意 ^{注3}	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10～8	TAUDnSTS[2:0]	100	スタートトリガ：マスタチャンネルの INTm 検出
	7、6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4～1	TAUDnMD[4:1]	0100	
	0	TAUDnMD0	1	カウント中のスタートトリガは有効
TAUDnCMUR3	1、0	TAUDnTIS[1:0]	00	

注 1. マスタチャンネルおよびスレーブチャンネルは TAUD のディレイパルス出力機能で定義されている名称です。詳細については「第 25 章 タイマレイユニット D (TAUD)」を参照してください。

注 2. 動作クロックは、マスタチャンネルとスレーブチャンネルで同一設定にする必要があります。

注 3. 本機能では動作に影響しないチャンネルですが、ディレイパルス出力機能の構成チャンネルのため設定は行います。

備考

ディレイパルス出力機能の TAUDnCMORm では、TAUDnCKS[1:0] (動作クロック選択) のみ任意に設定できますが、他の制御ビットは固定値となります。詳細は「第 25 章 タイマレイユニット D (TAUD)」の章を参照してください。

表 29.72 TAUDn CH4, 06, 08 関連

(ディレイパルス出力機能スレーブチャンネル2^{注1}) (m = 4, 6, 8)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15, 14	TAUDnCKS[1:0]	任意 ^{注2}	動作クロック設定
	13, 12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10 ~ 8	TAUDnSTS[2:0]	100	スタートトリガ：マスタチャンネルの INTm 検出
	7, 6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4 ~ 1	TAUDnMD[4:1]	0100	
	0	TAUDnMD0	1	カウント中のスタートトリガは有効
TAUDnCMURm	1, 0	TAUDnTIS[1:0]	00	

注 1. マスタチャンネルおよびスレーブチャンネルは TAUD のディレイパルス出力機能で定義されている名称です。詳細については「第 25 章 タイマレイユニット D (TAUD)」の章を参照してください。

注 2. 動作クロックは、スレーブチャンネルとマスタチャンネルで同一設定にする必要があります。

備考

ディレイパルス出力機能の TAUDnCMORm では、TAUDnCKS[1:0] (動作クロック選択) のみ任意に設定できますが、他の制御ビットは固定値となります。詳細は「第 25 章 タイマレイユニット D (TAUD)」の章を参照してください。

表 29.73 TAUDn CH5, 07, 09 関連

(ディレイパルス出力機能スレーブチャンネル3^{注1}) (m = 5, 7, 9)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15, 14	TAUDnCKS[1:0]	任意 ^{注2}	動作クロック設定
	13, 12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10 ~ 8	TAUDnSTS[2:0]	101	スタートトリガ：上位チャンネルの INTm 検出
	7, 6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4 ~ 1	TAUDnMD[4:1]	1010	
	0	TAUDnMD0	1	カウント中のスタートトリガは有効
TAUDnCMURm	1, 0	TAUDnTIS[1:0]	00	

注 1. マスタチャンネルおよびスレーブチャンネルは TAUD のディレイパルス出力機能で定義されている名称です。詳細については「第 25 章 タイマレイユニット D (TAUD)」の章を参照してください。

注 2. 動作クロックは、スレーブチャンネルとマスタチャンネルで同一設定にする必要があります。

備考

ディレイパルス出力機能の TAUDnCMORm では、TAUDnCKS[1:0] (動作クロック選択) のみ任意に設定できますが、ほかの制御ビットは固定値となります。詳細は「第 25 章 タイマレイユニット D (TAUD)」を参照してください。

表 29.74 TAUDn CH11, 13, 15 関連 (1 相 PWM 出力機能) (m = 11, 13, 15)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15、14	TAUDnCKS[1:0]	任意 ^{注1}	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10 ~ 8	TAUDnSTS[2:0]	001	スタートトリガ : TINm 入力の有効エッジ検出
	7、6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4 ~ 1	TAUDnMD[4:1]	0100	
	0	TAUDnMD0	1	カウント中のスタートトリガは有効
TAUDnCMURm	1、0	TAUDnTIS[1:0]	11	TINm 両エッジを有効エッジとして検出 (High 幅)

注 1. 動作クロックは、PWM 出力機能のマスタチャネル (CH2) と同一のクロック設定にしてください。

備 考

1 相 PWM 出力機能の TAUDnCMORm では、TAUDnCKS[1:0] (動作クロック選択) のみ任意に設定できますが、他の制御ビットは固定値となります。詳細は「第 25 章 タイマアレギュニット D (TAUD)」の章を参照してください。

CH10,12,14 については TOUTm 出力を使用しない機能 (A/D トリガ出力など) であれば、任意に使用可能です。

表 29.75 TAUDn チャネル共通 (1/3)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTOE	15 ~ 10	TAUDnTOE15 ~ TAUDnTOE10	0 1	タイマ動作禁止 タイマ動作許可
	9	TAUDnTOE09	0 1	タイマ動作禁止 タイマ動作許可
	8	TAUDnTOE08	0	TOUT08 は未使用のため 0 固定
	7	TAUDnTOE07	0 1	タイマ動作禁止 タイマ動作許可
	6	TAUDnTOE06	0	TOUT06 は未使用のため 0 固定
	5	TAUDnTOE05	0 1	タイマ動作禁止 タイマ動作許可
	4	TAUDnTOE04	0	TOUT04 は未使用のため 0 固定
	3	TAUDnTOE03	0	TOUT03 は未使用のため 0 固定
	2	TAUDnTOE02	0	TOUT02 は未使用のため 0 固定
	1 0	TAUDnTOE01 TAUDnTOE00	任意	
TAUDnTO	15 ~ 10	TAUDnTO15 ~ TAUDnTO10	0 ^{注1}	TOUT15 ~ TOUT10 にロウレベルを出力
	9 ~ 2	TAUDnTO09 ~ TAUDnTO02	0	TOUT09 ~ TOUT02 にロウレベルを出力
	1 0	TAUDnTO01 TAUDnTO00	任意	
TAUDnTOM	15 ~ 10	TAUDnTOM15 ~ TAUDnTOM10	1	連動動作モード
	9 ~ 4	TAUDnTOM09 ~ TAUDnTOM04	0	単体動作モード
	3	TAUDnTOM03	1	連動動作モード
	2	TAUDnTOM02	0	単体動作モード
	1 0	TAUDnTOM01 TAUDnTOM00	任意	
TAUDnTOC	15 ~ 10	TAUDnTOC15 ~ TAUDnTOC10	1	連動動作モード 2
	9 ~ 4	TAUDnTOC09 ~ TAUDnTOC04	1,0,1, 0,1,0	CH5, CH7, CH9 : 動作モード 2 CH4, CH6, CH8 : 動作モード 1
	3	TAUDnTOC03	0	動作モード 1
	2	TAUDnTOC02	0	動作モード 1
	1 0	TAUDnTOC01 TAUDnTOC00	任意	
TAUDnTOL	15 ~ 10	TAUDnTOL15 ~ TAUDnTOL10	0 ^{注1}	正論理出力 (アクティブハイ)
	9 ~ 2	TAUDnTOL09 ~ TAUDnTOL02	0	正論理出力 (アクティブハイ)
	1 0	TAUDnTOL01 TAUDnTOL00	任意	
TAUDnTDE	15 ~ 10	TAUDnTDE15 ~ TAUDnTDE10	1	デッドタイム制御許可 ^{注2}
	9 ~ 2	TAUDnTDE09 ~ TAUDnTDE02	0	デッドタイム制御禁止
	1 0	TAUDnTDE01 TAUDnTDE00	任意	

表 29.75 TAUDn チャンネル共通 (2/3)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTDM	15 ~ 10	TAUDnTDM15 ~ TAUDnTDM10	1	下位奇数チャンネルの TINm 入力エッジ検出でデッド タイムを生成する。
	9 ~ 2	TAUDnTDM09 ~ TAUDnTDM02	0	デッドタイム制御停止のため無効
	1 0	TAUDnTDM01 TAUDnTDM00	任意	
TAUDnTDL	15	TAUDnTDL15	1注1	W 相逆相位相として動作
	14	TAUDnTDL14	0注1	W 相正相位相として動作
	13	TAUDnTDL13	1注1	V 相逆相位相として動作
	12	TAUDnTDL12	0注1	V 相正相位相として動作
	11	TAUDnTDL11	1注1	U 相逆相位相として動作
	10	TAUDnTDL10	0注1	U 相正相位相として動作
	9 ~ 2	TAUDnTDL09 ~ TAUDnTDL02	0	デッドタイム制御禁止のため無効
	1 0	TAUDnTDL01 TAUDnTDL00	任意	
TAUDnTRE	15 ~ 2	TAUDnTRE15 ~ TAUDnTRE02	0	リアルタイム出力禁止
	1,0	TAUDnTRE01 TAUDnTRE00	任意	
TAUDnTRO	15 ~ 2	TAUDnTRO15 ~ TAUDnTRO02	0	リアルタイム出力禁止のため無効
	1 0	TAUDnTRO01 TAUDnTRO00	任意	
TAUDnTRC	15 ~ 2	TAUDnTRC15 ~ TAUDnTRC02	0	リアルタイム出力トリガ生成チャンネルとして動作し ない。
	1 0	TAUDnTRC01 TAUDnTRC00	任意	
TAUDnTME	15 ~ 2	TAUDnTME15 ~ TAUDnTME02	0	タイマ出力とリアルタイム出力の変調出力禁止
	1 0	TAUDnTME01 TAUDnTME00	任意	
TAUDnRDE	15	TAUDnRDE15	0	一斉書き換え禁止
	14	TAUDnRDE14	任意	
	13	TAUDnRDE13	0	一斉書き換え禁止
	12	TAUDnRDE12	任意	
	11	TAUDnRDE11	0	一斉書き換え禁止
	10	TAUDnRDE10	任意	
	9 ~ 2	TAUDnRDE09 ~ TAUDnRDE02	1	一斉書き換え許可
	1 0	TAUDnRDE01 TAUDnRDE00	任意	

表 29.75 TAUDn チャネル共通 (3/3)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnRDS	15	TAUDnRDS15	0	別の上位チャネルにより、一斉書き換えを許可しない
	14	TAUDnRDS14	任意	
	13	TAUDnRDS13	0	別の上位チャネルにより、一斉書き換えを許可しない
	12	TAUDnRDS12	任意	
	11	TAUDnRDS11	0	別の上位チャネルにより、一斉書き換えを許可しない
	10	TAUDnRDS10	任意	
	9 ~ 2	TAUDnRDS09 ~ TAUDnRDS02	0	マスタチャネルにより一斉書き換えを許可する
	1 0	TAUDnRDS01 TAUDnRDS00	任意	
TAUDnRDM	15	TAUDnRDM15	0	一斉書き換えを許可しないので無効
	14	TAUDnRDM14	任意	
	13	TAUDnRDM13	0	一斉書き換えを許可しないので無効
	12	TAUDnRDM12	任意	
	11	TAUDnRDM11	0	一斉書き換えを許可しないので無効
	10	TAUDnRDM10	任意	
	9 ~ 2	TAUDnRDM09 ~ TAUDnRDM02	0	マスタチャネルのカウント開始タイミングで信号をロード
	1 0	TAUDnRDM01 TAUDnRDM00	任意	
TAUDnRDC	15	TAUDnRDC15	0	一斉書き換えを許可しないので無効
	14	TAUDnRDC14	任意	
	13	TAUDnRDC13	0	一斉書き換えを許可しないので無効
	12	TAUDnRDC12	任意	
	11	TAUDnRDC11	0	一斉書き換えを許可しないので無効
	10	TAUDnRDC10	任意	
	9 ~ 2	TAUDnRDC09 ~ TAUDnRDC02	0	一斉書き換えトリガ生成チャネルとして動作しない
	1 0	TAUDnRDC01 TAUDnRDC00	任意	

注 1. 使用システムによって設定を変更してください。

注 2. デッドタイム制御を行うため、偶数チャネルと奇数チャネルを対とした正逆相の波形出力制御を行います。詳細は「第 25 章 タイマアレユニット D (TAUD)」を参照してください。

29.13.6.2 PIC の設定

表 29.76 PIC の設定

レジスタ	ビット位置	ビット名	設定値	備考
PIC0REG2n2	27	PIC0REG2n227	1	PIC0REG2n204 ビットで選択した入力を選択
	23	PIC0REG2n223	1	PIC0REG2n203 ビットで選択した入力を選択
	19	PIC0REG2n219	1	PIC0REG2n202 ビットで選択した入力を選択
	4	PIC0REG2n204	0	TAUDTTOUT9 を選択
	3	PIC0REG2n203	0	TAUDTTOUT7 を選択
	2	PIC0REG2n202	0	TAUDTTOUT5 を選択

第30章 PWM出力／診断（PWM-Diag）

本章では、PWM出力／診断（PWM-Diag）機能全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1Kに固有の特長について説明します。それ以降の節では、PWM-Diagを構成する各ユニットの機能、レジスタについて説明します。

30.1 RH850/F1K PWM-Diagの特長

30.1.1 ユニット数とチャンネル数

PWM-Diagは、クロックを生成するPWBA、PWMを生成するPWGA、A/D変換トリガを生成するPWSAで構成します。各ユニット数を以下に示します。

PWGA 1ユニット当たり1チャンネルのPWM出力が可能です。本章のPWGAユニット数とチャンネル数は同義です。

表 30.1 ユニット数

製品名	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
PWBA			
ユニット数	1		
名称	PWBA _n (n = 0)		
PWGA			
ユニット数	48	64	72
名称	PWGA _n (n = 0 ~ 47)	PWGA _n (n = 0 ~ 63)	PWGA _n (n = 0 ~ 71)
PWSA			
ユニット数	1		
名称	PWSA _n (n = 0)		

表 30.2 添字

添字	説明
n	本章では、PWM-Diag機能を構成する各ユニットを「n」で識別します。たとえば、PWBA _n のステータスレジスタは、PWBA _n TEのように記述しています。
m	PWBAの生成クロックを「m」（m = 0 ~ 3）で識別します。例えば、PWMCLK _m のクロック周期設定レジスタはPWBA _n BRS _m のように記述します。
x, y	PWM-Diagチャンネルに対応するA/Dコンバータ設定レジスタ番号を「x, y」で識別します。例えばPWSA _n PVCR _{x_y} （x_y = 00_01, 02_03, ..., 70_71）のように記述しています。
j	PWGA _n からのトリガチャンネル番号（エンコード値）を格納するレジスタを「j」で識別します。例えばPWSA _n QUE _j （j = 0 ~ 7）レジスタのように記述しています。
k	同じ機能を持つレジスタを「k」で識別します。例えば、SLPWGA _k レジスタ（k = 0 ~ 2）のように記述しています。

各製品の添字が示す値を以下に示します。

表 30.3 各製品の添字対応

各製品の添字対応		
100 pin	144 pin	176 pin
x = 00, 02, ..., 46 y = 01, 03, ..., 47	x = 00, 02, ..., 62, y = 01, 03, ..., 63	x = 00, 02, ..., 70 y = 01, 03, ..., 71
j = 0 ~ 7	j = 0 ~ 7	j = 0 ~ 7
k = 0, 1	k = 0, 1	k = 0 ~ 2

30.1.2 レジスタベースアドレス

PWM-Diag のベースアドレスを以下の表に示します。

PWM-Diag のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 30.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<PWBA _n _base>	FFE7 2800 _H
<PWGA _n _base>	FFE7 1000 _H + 40 _H × n
<PWSA _n _base>	FFE7 0000 _H
<SLPW_base>	FFE7 3000 _H

30.1.3 クロック供給

PWM-Diag のクロック供給を以下の表に示します。

表 30.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名	説明
PWBA _n	PCLK	CKSCLK_IPERI2	モジュールクロック
	レジスタアクセスクロック	CPUCLK2	バスクロック
		CKSCLK_IPERI2	
PWGA _n	PCLK	CKSCLK_IPERI2	モジュールクロック
	レジスタアクセスクロック	CPUCLK2	バスクロック
		CKSCLK_IPERI2	
PWSA _n	PCLK	CKSCLK_IPERI2	モジュールクロック
	レジスタアクセスクロック	CPUCLK2	バスクロック
		CKSCLK_IPERI2	

30.1.4 割り込み要求

PWM-Diag の割り込み要求を以下の表に示します。

表 30.6 割り込み要求 (1/2)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
PWGA_INT0	PWGA0 割り込み	92	—
PWGA_INT1	PWGA1 割り込み	93	—
PWGA_INT2	PWGA2 割り込み	94	—
PWGA_INT3	PWGA3 割り込み	95	—
PWGA_INT4	PWGA4 割り込み	85	—
PWGA_INT5	PWGA5 割り込み	86	—
PWGA_INT6	PWGA6 割り込み	87	—
PWGA_INT7	PWGA7 割り込み	88	—
PWGA_INT8	PWGA8 割り込み	96	—
PWGA_INT9	PWGA9 割り込み	97	—
PWGA_INT10	PWGA10 割り込み	98	—
PWGA_INT11	PWGA11 割り込み	99	—
PWGA_INT12	PWGA12 割り込み	100	—
PWGA_INT13	PWGA13 割り込み	101	—
PWGA_INT14	PWGA14 割り込み	102	—
PWGA_INT15	PWGA15 割り込み	103	—
PWGA_INT16	PWGA16 割り込み	145	—
PWGA_INT17	PWGA17 割り込み	147	—
PWGA_INT18	PWGA18 割り込み	149	—
PWGA_INT19	PWGA19 割り込み	151	—
PWGA_INT20	PWGA20 割り込み	124	—
PWGA_INT21	PWGA21 割り込み	125	—
PWGA_INT22	PWGA22 割り込み	126	—
PWGA_INT23	PWGA23 割り込み	127	—
PWGA_INT24	PWGA24 割り込み	184	—
PWGA_INT25	PWGA25 割り込み	185	—
PWGA_INT26	PWGA26 割り込み	153	—
PWGA_INT27	PWGA27 割り込み	186	—
PWGA_INT28	PWGA28 割り込み	187	—
PWGA_INT29	PWGA29 割り込み	188	—
PWGA_INT30	PWGA30 割り込み	155	—
PWGA_INT31	PWGA31 割り込み	157	—
PWGA_INT32	PWGA32 割り込み	189	—
PWGA_INT33	PWGA33 割り込み	190	—
PWGA_INT34	PWGA34 割り込み	191	—
PWGA_INT35	PWGA35 割り込み	192	—
PWGA_INT36	PWGA36 割り込み	193	—
PWGA_INT37	PWGA37 割り込み	194	—
PWGA_INT38	PWGA38 割り込み	195	—
PWGA_INT39	PWGA39 割り込み	196	—
PWGA_INT40	PWGA40 割り込み	197	—

表 30.6 割り込み要求 (2/2)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
PWGA_INT41	PWGA41 割り込み	198	—
PWGA_INT42	PWGA42 割り込み	199	—
PWGA_INT43	PWGA43 割り込み	200	—
PWGA_INT44	PWGA44 割り込み	201	—
PWGA_INT45	PWGA45 割り込み	202	—
PWGA_INT46	PWGA46 割り込み	203	—
PWGA_INT47	PWGA47 割り込み	204	—
PWGA_INT48	PWGA48 割り込み	240	—
PWGA_INT49	PWGA49 割り込み	241	—
PWGA_INT50	PWGA50 割り込み	242	—
PWGA_INT51	PWGA51 割り込み	243	—
PWGA_INT52	PWGA52 割り込み	244	—
PWGA_INT53	PWGA53 割り込み	245	—
PWGA_INT54	PWGA54 割り込み	246	—
PWGA_INT55	PWGA55 割り込み	247	—
PWGA_INT56	PWGA56 割り込み	248	—
PWGA_INT57	PWGA57 割り込み	249	—
PWGA_INT58	PWGA58 割り込み	250	—
PWGA_INT59	PWGA59 割り込み	251	—
PWGA_INT60	PWGA60 割り込み	252	—
PWGA_INT61	PWGA61 割り込み	253	—
PWGA_INT62	PWGA62 割り込み	254	—
PWGA_INT63	PWGA63 割り込み	255	—
PWGA_INT64	PWGA64 割り込み	277	—
PWGA_INT65	PWGA65 割り込み	278	—
PWGA_INT66	PWGA66 割り込み	279	—
PWGA_INT67	PWGA67 割り込み	280	—
PWGA_INT68	PWGA68 割り込み	281	—
PWGA_INT69	PWGA69 割り込み	282	—
PWGA_INT70	PWGA70 割り込み	283	—
PWGA_INT71	PWGA71 割り込み	284	—
PWSA_INT_QFULL	PWSA キューフル割り込み	91	—

30.1.5 リセット要因

PWM-Diag のリセット要因を以下に示します。PWM-Diag の各ユニットは以下のリセット要因で初期化されます。

表 30.7 リセット要因

ユニット名	リセット要因
PWBAn PWGAn PWSAn	すべてのリセット要因 (ISORES)

30.1.6 外部入出力信号

PWM-Diag の外部入出力信号を以下の表に示します。

表 30.8 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
PWGA_TOUTn (ユニット : PWGA)	PWGA ユニット n 出力	PWGAnO

注 意

P8_6 端子を PWGA38O として使用する場合、リセット中およびリセット解除後、P8_6 端子 (RESETOUT 信号) からロウレベルを出力します。

詳細は「2.11.1.1, P8_6 : RESETOUT」を参照してください。

30.1.7 内部信号

PWM-Diag 間、PWM-Diag と他の機能を接続する入出力信号を以下の表に示します。

表 30.9 内部出力信号

ユニット信号名	説明	接続先
PWBA0		
PWMCLK0	PWGA カウントクロック 0	PWGAn
PWMCLK1	PWGA カウントクロック 1	PWGAn
PWMCLK2	PWGA カウントクロック 2	PWGAn
PWMCLK3	PWGA カウントクロック 3	PWGAn
PWGAn		
PWGA_TRGOUTn	PWGAn トリガ	PWSA0
PWSA0		
PWSA_ADTRG[1:0]	A/D コンバータユニット選択信号	ADCA0, ADCA1
PWSA_PVCR_VALUE[11:0]	A/D コンバータ制御信号	ADCA0, ADCA1
ADCAn		
ADC_CONV_ENDn	A/D 変換終了信号	PWSA0

30.1.8 機能概要

本機能はクロック分周 (PWBA)、PWM ジェネレータ (PWGA)、A/D 変換トリガ選択機能 (PWSA)、A/D コンバータ (ADCA) の 4 種類のユニットから構成されます。

PWBA

- クロック分周

PWBA は PCLK を分周した PWMCLKm カウントクロックを生成し、PWM ジェネレータ PWGA に供給します。

PWMCLKm カウントクロックの周期は、PWBA_nBR_Sm レジスタの設定により、次式で表されます。

$$\text{PWMCLKm カウントクロックの周期} = (\text{PWBA}_{n\text{BR}}_{S\text{m}} \text{ の設定値} \times 2) \times \text{PCLK 周期}$$

また、PWBA はオンチップデバッグユニット使用時の動作を PWBA_nEMU レジスタにより制御可能です。

PWGA

PWGA は、PWBA からの入力クロック PWMCLKm より、PWM 波形と PWSA への A/D 変換トリガを出力します。

- PWM 波形出力 PWGA_TOUTn

PWM 波形は PWGA_TOUTn 端子より出力します。PWGA_nCNT レジスタ (12 ビットのフリーランカウンタ) のカウントフロー周期が PWM 周期になります。PWM 出力のハイ期間は PWGA_nCSDR および PWGA_nCRDR レジスタに設定します。

PWM 波形の周期および Duty は次の式で表されます。

$$\begin{aligned} \text{PWM 波形の周期} &= \text{PWGAnCNT (12 bit フルカウント : FFF}_H + 1) \\ &\quad \times \text{カウントクロックの周期} \\ &= 4096 \times \text{PWMCLKm カウントクロックの周期} \end{aligned}$$

PWGAnCRDR[11:0] > PWGAnCSDR[11:0] のとき、

$$\begin{aligned} \text{PWM 波形のハイレベル期間} &= \\ &\quad (\text{PWGAnCRDR レジスタ設定値} - \text{PWGAnCSDR レジスタ設定値}) \\ &\quad \times \text{PWMCLKm カウントクロックの周期} \end{aligned}$$

$$\begin{aligned} \text{PWM 波形の Duty(\%)} &= \text{PWM 波形のハイレベル期間} \div \text{PWM 波形周期} \times 100 \\ &= (\text{PWGAnCRDR レジスタ設定値} - \text{PWGAnCSDR レジスタ設定値}) \div 4096 \times 100 \end{aligned}$$

なお、PWGAnCRDR レジスタ設定値 = PWGAnCSDR レジスタ設定値のとき、PWM 出力はロウレベル固定になります。

PWGAnCRDR レジスタに 1xxx_H (ビット 12 に “1”) を設定すると、PWM 出力はハイレベル固定になります。

- A/D 変換トリガ出力 PWGA_TRGOUT_n

PWSA への A/D 変換トリガ信号 PWGA_TRGOUT_n は、PWM 出力 PWGA_TOUT_n がハイレベルのとき、PWGAnCTDR レジスタ設定値と PWGAnCNT レジスタ値の一致検出により発生します。

発生タイミングは、次の式で表されます。

$$\begin{aligned} \text{A/D 変換トリガ信号発生タイミング} &= \text{PWGAnCTDR レジスタ設定値} \\ &\quad \times \text{PWMCLKm カウントクロックの周期} \end{aligned}$$

- PWGA 割り込み要求信号 PWGA_INT_n

PWGA は、PWM 出力 PWGA_TOUT_n の立下りで割り込み要求信号 PWGA_INT_n を発生します。

なお、PWM 出力がロウレベル固定のときは PWGAnCRDR レジスタ設定値と PWGAnCNT レジスタ値 (フリーランカウンタ値) との一致検出、PWM 出力がハイレベル固定のときは PWGAnCNT レジスタのカウントフロー (PWM 周期) で PWGA_INT_n を発生します。

PWSA

PWSA は、PWM ジェネレータ (PWGA) からの A/D 変換トリガ信号 PWGA_TRGOUTn により、A/D コンバータに対して必要な設定情報を送信し、A/D 変換開始トリガを出力します。

- PWSA による A/D 変換制御

PWSA は、PWGA_n から入力されたトリガのチャンネル番号に対応した PWSAnPVC_{Rx_y} レジスタに設定された A/D 変換に必要な情報 (ADC の物理チャンネル情報、外付け MPX 制御情報、エラー検出レベル選択情報) を A/D コンバータに出力します。

同じタイミングで、ADCA0 または ADCA1 に A/D 変換トリガ (PWSA_ADTRG) を出力します。(A/D 変換中に受けた入力トリガ信号 PWGA_TRGOUTn の情報は、PWSAnQUE に最大 8 個まで格納し保持されます。)

A/D コンバータに出力する設定情報は次のトリガ発生時まで保持されます。

A/D コンバータで PWM-Diag 機能からトリガされた A/D 変換が完了すると、PWSA は PWSAnQUE レジスタに格納された次の A/D 変換をトリガします。

- PWGA からの A/D 変換トリガキュー

PWGA_n からの A/D 変換トリガ信号 PWGA_TRGOUTn の入力は、PWSAnQUE_j レジスタにチャンネル番号として格納されます。PWSAnQUE_j レジスタは、キュー構造により、A/D 変換中に受けた A/D 変換トリガ信号 PWGA_TRGOUTn のチャンネル番号を最大 8 個格納します。

PWSAnQUE_j レジスタのキューがフルになる以下の状態において、PWSA キューフル割り込みが発生します。

- PWSAnQUE7 へのトリガ番号の書き込みが生じた場合
- PWGA_TRGOUTn 入力時、既に PWSAnQUE7 にトリガ番号の書き込まれていて書き込み先がない場合

ADCA

PWSA から、A/D 変換に必要な情報と A/D 変換トリガを受けて A/D 変換を実施します。

A/D 変換は PWM-Diag 専用のスキュングループを用いて実施し、A/D 変換完了後は、PWSA に A/D 変換完了を通知します。

A/D コンバータの基本的な動作については、「**第 31 章 A/D コンバータ (ADCA)**」を参照してください。

PWM-Diag 機能使用時の A/D コンバータの動作については「**31.4.7.1 PWM-Diag 機能時の A/D 変換動作**」参照してください。

30.1.9 ブロック図

PWM-Diag と A/D コンバータを組み合わせた LED 接続回路の回路例を示します。

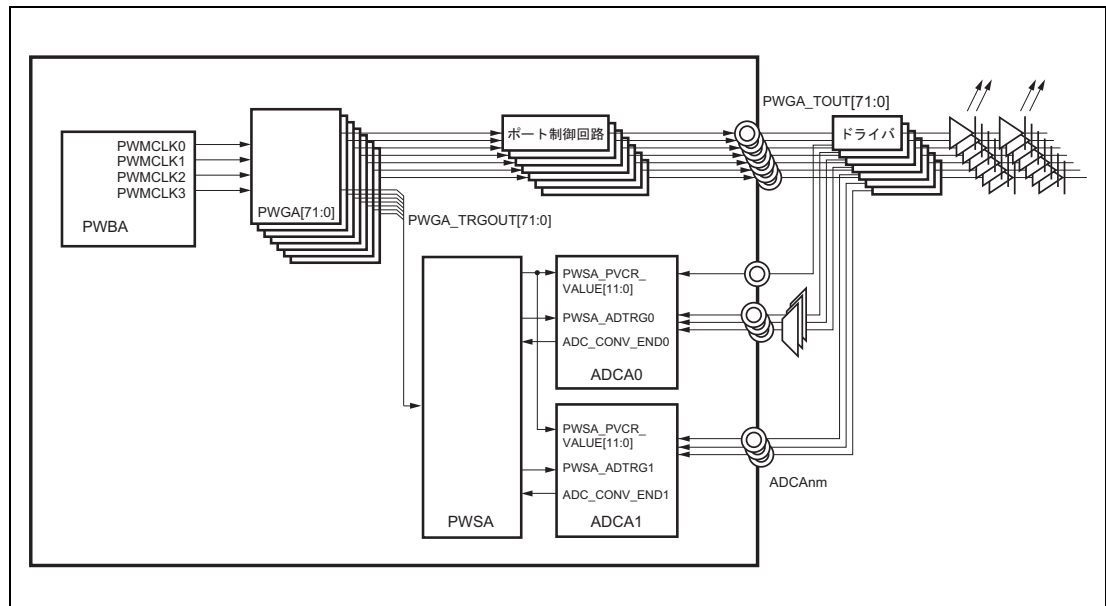


図 30.1 PWM-Diag と A/D コンバータを使用した LED 制御回路の接続例

30.2 レジスタ

30.2.1 レジスタ一覧

PWM 出力／診断のレジスタ一覧を以下の表に示します。

<PWBA_n_base>、<PWSA_n_base>、<PWGA_n_base> は、「30.1.2 レジスタベースアドレス」を参照してください。

表 30.10 PWM 出力／診断 (PWM-Diag) レジスタの一覧

モジュール名	レジスタ名	略号	アドレス
PWBA _n	PWMCLK _m 周期設定レジスタ	PWBA _n BRSm	<PWBA _n _base> + 0004 _H × m
	PWMCLK _m イネーブルステータスレジスタ	PWBA _n TE	<PWBA _n _base> + 0010 _H
	PWMCLK _m スタートトリガレジスタ	PWBA _n TS	<PWBA _n _base> + 0014 _H
	PWMCLK _m ストップトリガレジスタ	PWBA _n TT	<PWBA _n _base> + 0018 _H
	PWBA エミュレーションレジスタ	PWBA _n EMU	<PWBA _n _base> + 001C _H
PWGA _n	PWM 出力セット条件レジスタ	PWGA _n CSDR	<PWGA _n _base> + 0000 _H
	PWM 出力リセット条件レジスタ	PWGA _n CRDR	<PWGA _n _base> + 0004 _H
	PWGA_TRGOUT _n 発生条件レジスタ	PWGA _n CTDR	<PWGA _n _base> + 0008 _H
	バッファレジスタリロードトリガレジスタ	PWGA _n RDT	<PWGA _n _base> + 000C _H
	バッファレジスタリロードステータスレジスタ	PWGA _n RSF	<PWGA _n _base> + 0010 _H
	PWM 周期カウントレジスタ	PWGA _n CNT	<PWGA _n _base> + 0014 _H
	PWGA 制御レジスタ	PWGA _n CTL	<PWGA _n _base> + 0020 _H
	PWGA _n CSDR バッファレジスタ	PWGA _n CSBR	<PWGA _n _base> + 0024 _H
	PWGA _n CRDR バッファレジスタ	PWGA _n CRBR	<PWGA _n _base> + 0028 _H
	PWGA _n CTDR バッファレジスタ	PWGA _n CTBR	<PWGA _n _base> + 002C _H
SLPWG	PWGA 同期トリガレジスタ	SLPWGAk	<SLPW_base> + k × 4 _H
PWSA _n	PWSA 制御レジスタ	PWSA _n CTL	<PWSA _n _base> + 0000 _H
	トリガキューステータスレジスタ	PWSA _n STR	<PWSA _n _base> + 0004 _H
	トリガキューステータスクリアレジスタ	PWSA _n STC	<PWSA _n _base> + 0008 _H
	トリガキューレジスタ	PWSA _n QUEj	<PWSA _n _base> + 0020 _H + j × 4 _H
	PWM-Diag モード A/D 設定レジスタ	PWSA _n PVCRx_y	<PWSA _n _base> + 0040 _H + x × 2 _H
	PWSA エミュレーション制御レジスタ	PWSA _n EMU	<PWSA _n _base> + 000C _H

30.2.1.1 PWBAnBRSm レジスタ

PWMCLKm のクロック周期を設定するレジスタです。

アクセス 16ビット単位でリード／ライト可能です

アドレス <PWBA_n_base> + 0004_H × m

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PWBA _n BRSm[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.11 PWBA_nBRSm レジスタの内容

ビット位置	ビット名	機能
15 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ~ 0	PWBA _n BRSm[10:0]	PWMCLKm のクロック周期設定レジスタ - PWBA _n BRSm = 0 : PWMCLKm = PCLK - PWBA _n BRSm = 1 : PWMCLKm = PCLK / 2 × 1 - PWBA _n BRSm = 2 : PWMCLKm = PCLK / 2 × 2 ... - PWBA _n BRSm = n : PWMCLKm = PCLK / 2 × n (n = 1-2047) 本ビットは、PWMCLKm を使用するカウンタがすべて停止している (PWBA _n TE.PWBATE _m = 0) 場合のみ書き換え可能です。

30.2.1.2 PWBAnTE レジスタ

PWMCLK_m (m = 0 ~ 3) の出力状態を示すステータスレジスタです。

アクセス 8ビット単位でリードのみ可能です。

アドレス <PWBA_n_base> + 0010_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	PWBAnTE3	PWBAnTE2	PWBAnTE1	PWBAnTE0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 30.12 PWBAnTE レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。
3	PWBAnTE3	PWMCLK3 の動作状態を示すステータスフラグ 0 : 停止中 1 : 動作中
2	PWBAnTE2	PWMCLK2 の動作状態を示すステータスフラグ 0 : 停止中 1 : 動作中
1	PWBAnTE1	PWMCLK1 の動作状態を示すステータスフラグ 0 : 停止中 1 : 動作中
0	PWBAnTE0	PWMCLK0 の動作状態を示すステータスフラグ 0 : 停止中 1 : 動作中

30.2.1.3 PWBA_nTS レジスタ

PWMCLK_m (m = 0 ~ 3) のスタートトリガレジスタです。

アクセス 8ビット単位でライトのみ可能です。

アドレス <PWBA_n_base> + 0014_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	PWBA _n TS3	PWBA _n TS2	PWBA _n TS1	PWBA _n TS0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 30.13 PWBA_nTS レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	ライトする場合はリセット後の値を書いてください。
3	PWBA _n TS3	PWMCLK3 のスタートトリガビット 0 : "0" 書き込みは機能として意味をもちません。 1 : PWMCLK3 の出力を開始します。
2	PWBA _n TS2	PWMCLK2 のスタートトリガビット 0 : "0" 書き込みは機能として意味をもちません。 1 : PWMCLK2 の出力を開始します。
1	PWBA _n TS1	PWMCLK1 のスタートトリガビット 0 : "0" 書き込みは機能として意味をもちません。 1 : PWMCLK1 の出力を開始します。
0	PWBA _n TS0	PWMCLK0 のスタートトリガビット 0 : "0" 書き込みは機能として意味をもちません。 1 : PWMCLK0 の出力を開始します。

30.2.1.4 PWBAnTT レジスタ

PWMCLK_m (m = 0 ~ 3) のストップトリガレジスタです。

アクセス 8ビット単位でライトのみ可能です。

アドレス <PWBA_n_base> + 0018_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	PWBAnTT3	PWBAnTT2	PWBAnTT1	PWBAnTT0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 30.14 PWBAnTT レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	ライトする場合はリセット後の値を書いてください。
3	PWBAnTT3	PWMCLK3 のストップトリガビット 0 : "0" 書き込みは機能として意味をもちません。 1 : PWMCLK3 の出力を停止します。
2	PWBAnTT2	PWMCLK2 のストップトリガビット 0 : "0" 書き込みは機能として意味をもちません。 1 : PWMCLK2 の出力を停止します。
1	PWBAnTT1	PWMCLK1 のストップトリガビット 0 : "0" 書き込みは機能として意味をもちません。 1 : PWMCLK1 の出力を停止します。
0	PWBAnTT0	PWMCLK0 のストップトリガビット 0 : "0" 書き込みは機能として意味をもちません。 1 : PWMCLK0 の出力を停止します。

30.2.1.5 PWBAnEMU レジスタ

エミュレーション時の動作を設定するレジスタです。

アクセス 8ビット単位でリード／ライト可能です。

アドレス <PWBA_n_base> + 001C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	PWBA _n SVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 30.15 PWBAnEMU レジスタの内容

ビット位置	ビット名	機能
7	PWBA _n SVSDIS	<p>(EPC.SVSTOP ビット = 0 のとき)</p> <p>本ビットの値 (1/0) にかかわらず、デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給</p> <p>(EPC.SVSTOP ビット = 1 のとき)</p> <p>0: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを停止</p> <p>1: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給</p> <p>本ビットは、PWMCLK_m を使用するカウンタがすべて停止している (PWBA_nTE.PWBATE_m = 0) 場合のみ書き換え可能です。</p>
6 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

30.2.1.6 PWGAnCTL — PWGA 制御レジスタ

PWGAnCTL レジスタは PWBA からのカウントクロックを選択するレジスタです。

アクセス 8ビット単位でリード／ライト可能です。

アドレス <PWGAn_base> + 0020_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PWGAnCKs[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 30.16 PWGAnCTL レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き換えてください。
1, 0	PWGAnCKs[1:0]	カウントクロックイネーブル入力 PWMCLK3 ~ PWMCLK0 の選択ビット 00 : カウントクロックとして、PWMCLK0 を使用 01 : カウントクロックとして、PWMCLK1 を使用 10 : カウントクロックとして、PWMCLK2 を使用 11 : カウントクロックとして、PWMCLK3 を使用 本ビットは、PWGAn 動作停止時 (SLPWGAk.SLPWGA[31:0] = 0) のみ書き換え可能です。

30.2.1.7 PWGAnCNT — PWM 周期カウントレジスタ

カウンタレジスタです。

アクセス 16ビット単位でリードのみ可能です。

アドレス <PWGAn_base> + 0014_H

リセット後の値 0FFF_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PWGAnCNT[11:0]											
リセット後の値	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.17 PWGAnCNT レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。
11 ~ 0	PWGAnCNT[11:0]	12ビットカウンタ値

30.2.1.8 PWGAnCSDR — PWM 出力セット条件レジスタ

PWGA_TOUTn 出力のセット条件を設定するレジスタです。

アクセス 16ビット単位でリード／ライト可能です。

アドレス <PWGAn_base> + 0000_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PWGAnCSDR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.18 PWGAnCSDR レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11 ~ 0	PWGAnCSDR[11:0]	PWM 出力のセット条件を設定します。 PWGAn 動作開始時（対象 CH の SLPWGAk.SLPWGA を 1 に設定）、または一斉書き換え時（PWGAnRDT.PWGAnRDT = 1）に設定値が PWGAnCSBR レジスタに反映されます。

30.2.1.9 PWGAnCRDR — PWM 出力リセット条件レジスタ

PWGA_TOUTn 出力のリセット条件を設定するレジスタです。

アクセス 16ビット単位でリード／ライト可能です。

アドレス <PWGAn_base> + 0004_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PWGAnCRDR[12:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.19 PWGAnCRDR レジスタの内容

ビット位置	ビット名	機能
15 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ~ 0	PWGAnCRDR[12:0]	PWM 出力のリセット条件を設定します。 PWGAn 動作開始時（対象 CH の SLPWGAk.SLPWGA を 1 に設定）、または一斉書き換え時（PWGAnRDT.PWGAnRDT = 1）に設定値が PWGAnCRBR レジスタに反映されます。

30.2.1.10 PWGAnCTDR — PWGA_TRGOUTn 発生条件レジスタ

PWGAnCTDRn の発生条件を設定するレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <PWGAn_base> + 0008_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PWGAnCTDR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.20 PWGAnCTDR レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11 ~ 0	PWGAnCTDR[11:0]	PWGA への A/D 変換トリガ発生条件を設定します。PWGA 動作開始時 (対象 CH の SLPWGAk.SLPWGA を 1 に設定)、または一斉書き換え時 (PWGAAnRDT.PWGAAnRDT = 1) に設定値が PWGAAnCTBR レジスタに反映されます。

30.2.1.11 PWGAnCSBR — PWGAAnCSDR バッファレジスタ

PWGAnCSDR レジスタのバッファレジスタです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <PWGAn_base> + 0024_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PWGAAnCSBR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.21 PWGAAnCSBR レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。
11 ~ 0	PWGAAnCSBR[11:0]	PWGA 動作開始時 (対象 CH の SLPWGAk.SLPWGA を 1 に設定)、または一斉書き換え時 (PWGAAnRDT.PWGAAnRDT = 1) に PWGAAnCSDR の設定値が反映されます。PWGAAnCNT レジスタと値が一致すると端子出力がハイレベルになります。

30.2.1.12 PWGAnCRBR — PWGAnCRDR バッファレジスタ

PWGA_TOUTn のリセット条件のバッファレジスタです。

アクセス 16ビット単位でリードのみ可能です。

アドレス <PWGAn_base> + 0028_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PWGAnCRBR[12:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.22 PWGAnCRBR レジスタの内容

ビット位置	ビット名	機能
15 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。
12 ~ 0	PWGAnCRBR[12:0]	PWGAn 動作開始時（対象 CH の SLPWGAk.SLPWGA を 1 に設定）、または一斉書き換え時（PWGAnRDT.PWGAnRDT = 1）に PWGAnCRDR の設定値が反映されます。 PWGAnCNT レジスタと値が一致すると端子出力がロウレベルになります。

30.2.1.13 PWGAnCTBR — PWGAnCTDR バッファレジスタ

PWGA_TRGOUTn の発生条件を示すバッファレジスタです。

アクセス 16ビット単位でリードのみ可能です。

アドレス <PWGAn_base> + 002C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PWGAnCTBR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.23 PWGAnCTBR レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。
11 ~ 0	PWGAnCTBR[11:0]	PWGAn 動作開始時（対象 CH の SLPWGAk.SLPWGA を 1 に設定）、または一斉書き換え時（PWGAnRDT.PWGAnRDT = 1）に PWGAnCTDR の設定値が反映されます。 PWGAnCNT レジスタと値が一致すると PWSAn ヘトリガを送信します。

30.2.1.14 PWGAnRSF — バッファレジスタリロードステータスレジスタ

一斉書き換え制御のステータスレジスタです。

アクセス 8ビット単位でリードのみ可能です。

アドレス <PWGAn_base> + 0010_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PWGAnRSF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 30.24 PWGAnRSF レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。
0	PWGAnRSF	一斉書き換え制御ステータスビット 0: 一斉書き換え許可状態。一斉書き換えトリガ信号発生後は、一斉書き換への完了を示す。 1: 一斉書き換え処理実行中で、完了待ち状態

30.2.1.15 PWGAnRDT — バッファレジスタリロードトリガレジスタ

一斉書き換え要求トリガレジスタです。

アクセス 8ビット単位でライトのみ可能です。

アドレス <PWGAn_base> + 000C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PWGAnRDT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 30.25 PWGAnRDT レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書き込んでください。
0	PWGAnRDT	一斉書き換え要求トリガビット 0: “0”書き込みは機能として意味をもちません。 1: コンペアレジスタ (PWGAnCSDR, PWGAnCRDR, PWGAnCTDR) の一斉書き換え要求をトリガする。PWGAnRSF.PWGAnRSF を “1” にセットする。

30.2.1.16 SLPWGAk — PWGA 同期トリガレジスタ (k = 0 ~ 2)

各チャンネルを同時に開始、停止をトリガするレジスタです。

アクセス 32ビット単位でリード／ライト可能です。

アドレス <SLPW_base> + k × 4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SLPWGA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SLPWGA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.26 SLPWGAk レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	SLPWGA[31:0]	複数のチャンネルに同時に開始、停止をトリガします。 0 : 該当するチャンネルを停止する 1 : 該当するチャンネルを開始する 各ビットは以下のチャンネルに該当します。 SLPWGA0.SLPWGA[31:0] : PWGA31 - PWGA0 SLPWGA1.SLPWGA[31:0] : PWGA63 - PWGA32 SLPWGA2.SLPWGA[7:0] : PWGA71 - PWGA64

30.2.1.17 PWSAnCTL レジスタ

PWSA の動作制御レジスタです。

アクセス 8ビット単位でリード／ライト可能です。

アドレス <PWSAn_base> + 0000_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PWSAnENBL
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 30.27 PWSAnCTL レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PWSAnENBL	動作許可制御ビット 0: 動作禁止 (初期状態) "0" を書き込むことで PWSAnSTR、PWSAnQUEj が初期化されます 1: 動作許可

30.2.1.18 PWSAnSTR レジスタ

PWSAnQUEj レジスタのトリガ発生チャンネル番号の格納状況を示すステータスレジスタです。

アクセス 8ビット単位でリードのみ可能です。

アドレス <PWSAn_base> + 0004_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PWSAnQFL	PWSAnQNE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 30.28 PWSAnSTR レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。
1	PWSAnQFL	A/D 変換トリガのキューイングの状態を示します。 0: チャンネル番号が格納されていない PWSAnQUEj レジスタが存在する。 1: 全ての PWSAnQUEj レジスタにチャンネル番号が格納された状態を示す
0	PWSAnQNE	トリガキューにトリガが入っている状態を表すビット 0: PWSAnQUEj レジスタにチャンネル番号が格納されていない、または PWSAnQUE0 にのみチャンネル番号が格納された、A/D 変換中の状態 1: PWSAnQUEj レジスタの j = 1 以降に変換待ちのチャンネルが格納されている状態

30.2.1.19 PWSAnSTC レジスタ

PWSAnSTR レジスタのステータスをクリアするレジスタです。

アクセス 8ビット単位でライトのみ可能です。

アドレス <PWSAn_base> + 0008_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PWSAnCLFL	PWSAnCLNE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	W	W

表 30.29 PWSAnSTC レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	PWSAnCLFL	PWSAnQFL クリアビット 0: PWSAnQFL は状態を保持 (“0” 書き込みは機能として意味を持たない) 1: PWSAnQFL を 0 クリアする
0	PWSAnCLNE	PWSAnQNE クリアビット 0: PWSAnQNE は状態を保持 (“0” 書き込みは機能として意味を持たない) 1: PWSAnQNE を 0 クリアする

30.2.1.20 PWSAnQUEj (j = 0 ~ 7) レジスタ

PWGA_n からのトリガを受けたチャンネルの番号を格納するレジスタです。

アクセス 8ビット単位でリードのみ可能です。

アドレス <PWSAn_base> + 0020_H + j × 4_H

リセット後の値 7F_H

ビット	7	6	5	4	3	2	1	0
	—	PWSAnQUEj[6:0]						
リセット後の値	0	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R

表 30.30 PWSAnQUEj レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6～0	PWSAnQUEj[6:0]	トリガの発生した PWGA のチャンネル番号 (0 ~ 71) が PWSAnQUE0 から PWSAnQUE7 まで順番に格納されます。 PWSAnQUE0 の A/D 変換完了後、PWSAnQUE1 ~ PWSAnQUE7 の値が PWSAnQUE0 ~ PWSAnQUE6 にシフトします。

備考

複数チャンネルで同時にトリガが発生した場合、チャンネル番号の小さいトリガが優先されます。

30.2.1.21 PWSAnPVCRx_y (x = 00, 02, 04 ... 70, y = 01, 03, 05 ... 71) レジスタ

各チャンネルに対応する A/D コンバータの設定を行います。

PWSA0PVCR02_03 のように連続する 2 つのチャンネルを設定し、上位 16bit が奇数チャンネル、下位 16bit が偶数チャンネルに該当します。

トリガ発生時に設定値は A/D コンバータの ADCAnPWDVCR レジスタに送られます。

ADCAnPWDVCR レジスタについては「**第 31 章 A/D コンバータ (ADCA)**」を参照してください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <PWSAn_base> + 0040_H + x × 2_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	PWSAnSLADy	PWSAnVRDTy [27]	PWSAnVRDTy[26:24]			PWSAnVRDTy [23:22]		PWSAnVRDTy[21:16]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PWSAnSLADx	PWSAnVRDTx [11]	PWSAnVRDTx[10:8]			PWSAnVRDTx [7:6]		PWSAnVRDTx[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.31 PWSAnPVCRx_y レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28	PWSAnSLADy	RH850/F1K 100 pin 製品 : ライトする場合はリセット後の値を書いてください。 RH850/F1K 144, 176 pin 製品 : ADCA 選択ビット (奇数チャンネル) 0 : ADCA0 に出力 1 : ADCA1 に出力
27	PWSAnVRDTy[27]	ADCAnPWDVCR.MPXЕ ビットの設定値となります。(奇数チャンネル)
26 ~ 24	PWSAnVRDTy[26:24]	ADCAnPWDVCR.MPXV[2:0] ビットの設定値となります。(奇数チャンネル)
23 ~ 22	PWSAnVRDTy[23:22]	ADCAnPWDVCR.ULS[1:0] ビットの設定値となります。(奇数チャンネル)
21 ~ 16	PWSAnVRDTy[21:16]	ADCAnPWDVCR.GCTRL[5:0] ビットの設定値となります。(奇数チャンネル)
15 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	PWSAnSLADx	RH850/F1K 100 pin 製品 : ライトする場合はリセット後の値を書いてください。 RH850/F1K 144, 176 pin 製品 : ADCA 選択ビット (偶数チャンネル) 0 : ADCA0 に出力 1 : ADCA1 に出力
11	PWSAnVRDTx[11]	ADCAnPWDVCR.MPXЕ ビットの設定値となります。(偶数チャンネル)

表 30.31 PWSAnPVC Rx_y レジスタの内容 (2/2)

ビット位置	ビット名	機能
10 ~ 8	PWSAnVRDTx[10:8]	ADCAnPWDVCR.MPXV[2:0] ビットの設定値となります。(偶数チャンネル)
7、6	PWSAnVRDTx[7:6]	ADCAnPWDVCR.ULS[1:0] ビットの設定値となります。(偶数チャンネル)
5 ~ 0	PWSAnVRDTx[5:0]	ADCAnPWDVCR.GCTRL[5:0] ビットの設定値となります。(偶数チャンネル)

30.2.1.22 PWSAnEMU — エミュレーション制御レジスタ

エミュレーション時の動作を設定するレジスタです。

アクセス 8ビット単位でリード／ライト可能です。

アドレス <PWSAn_base> + 000C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PWSAnSVSDIS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 30.32 PWSAnEMU レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PWSAnSVSDIS	<p>(EPC.SVSTOP ビット = 0 のとき)</p> <p>本ビットの値 (1/0) にかかわらず、デバッグがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) 動作を継続</p> <p>(EPC.SVSTOP ビット = 1 のとき)</p> <p>0: デバッグがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで)</p> <ul style="list-style-type: none"> - A/D への出力状態を保持し、ブレークポイント期間中に入力された ADC_CONV_ENDn 入力は内部保持してブレーク解除後に PWSAnQUEj の更新を行う。 - PWGA_TRGOUTn 入力はブレーク期間中も受け付け、PWSA_INT_QFULL も出力する。 - レジスタに対する書き込みと読み出しは可能である。 <p>1: デバッグがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) 動作を継続</p> <p>本ビットは、PWMCLKm を使用するカウンタがすべて停止している (PWBAnTE.PWBATEm = 0)、すべてのチャンネル PWGAn が停止中 (SLPWGAK.SLPWGA)、すべてのチャンネル PWGAn からトリガが発生していない (PWSAnQUE0 がリセット後の値) 場合のみ書き換え可能です。</p>

30.3 操作手順

PWM-Diag の動作開始、動作停止の設定手順を以下に示します。

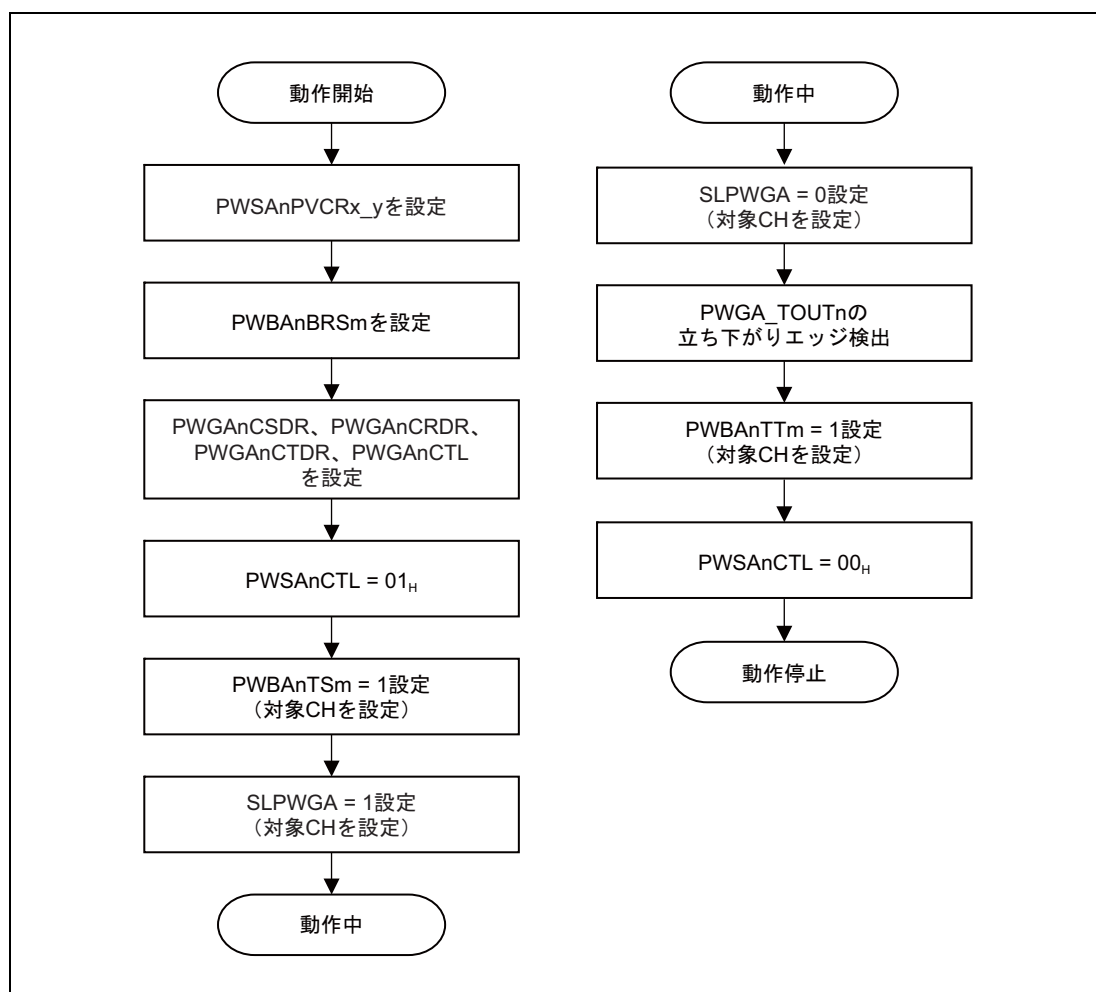


図 30.2 PWM-Diag の操作手順

PWGA の一斉書き換えの手順を以下に示します。

「コンペアレジスタ」と記載している箇所は、「PWGAnCSDR」、「PWGAnCRDR」、
「PWGAnCTDR」を意味します。

また、「バッファレジスタ」と記載している箇所は、「PWGAnCSBR」、「PWGAnCRBR」、
「PWGAnCTBR」を意味します。

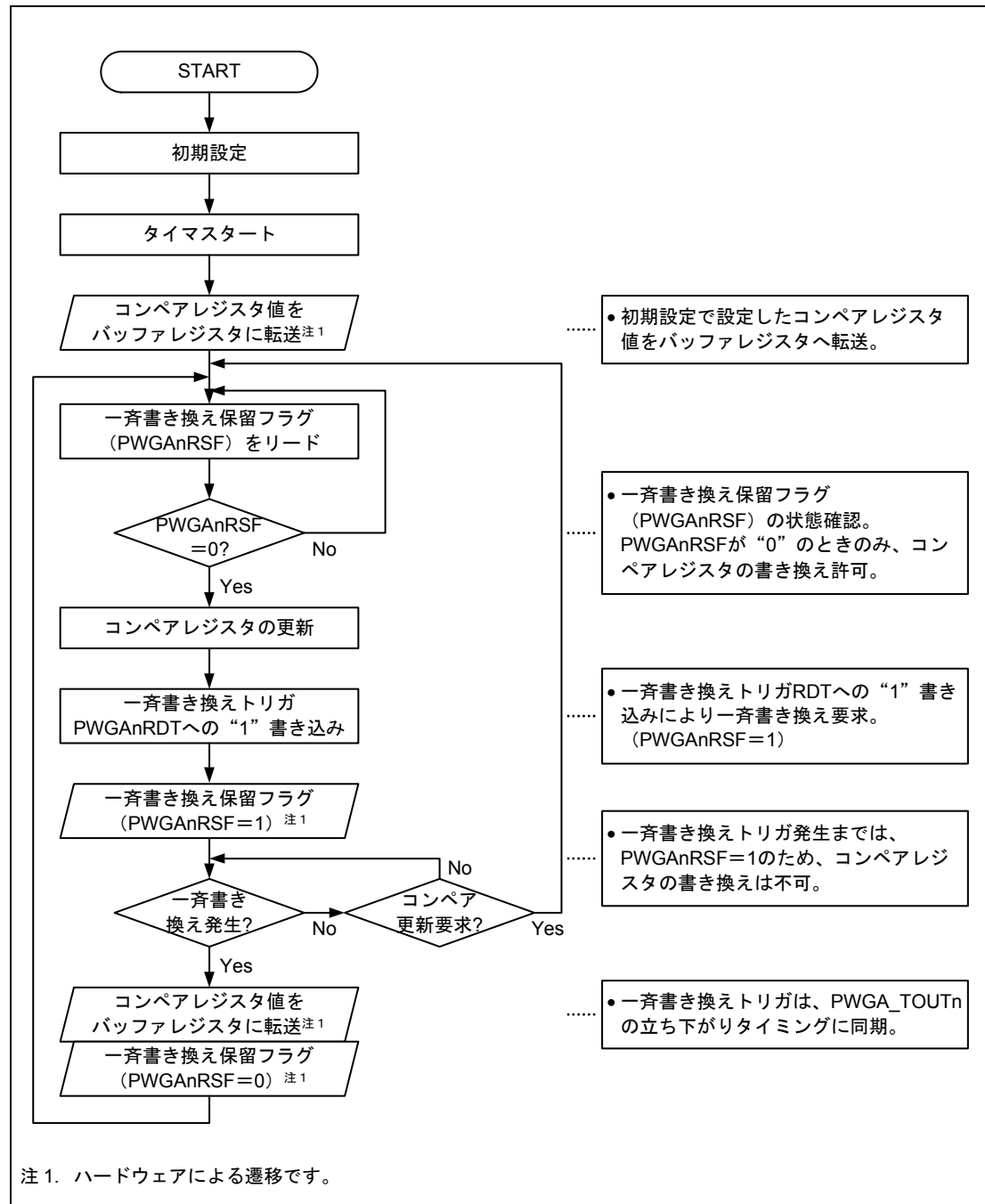


図 30.3 一斉書き換え手順

30.4 PWM-Diag の動作波形

30.4.1 PWGA による PWM 波形出力と A/D 変換トリガ出力の動作波形

30.4.1.1 PWGA の基本動作波形

PWGA の基本動作波形を以下に示します。

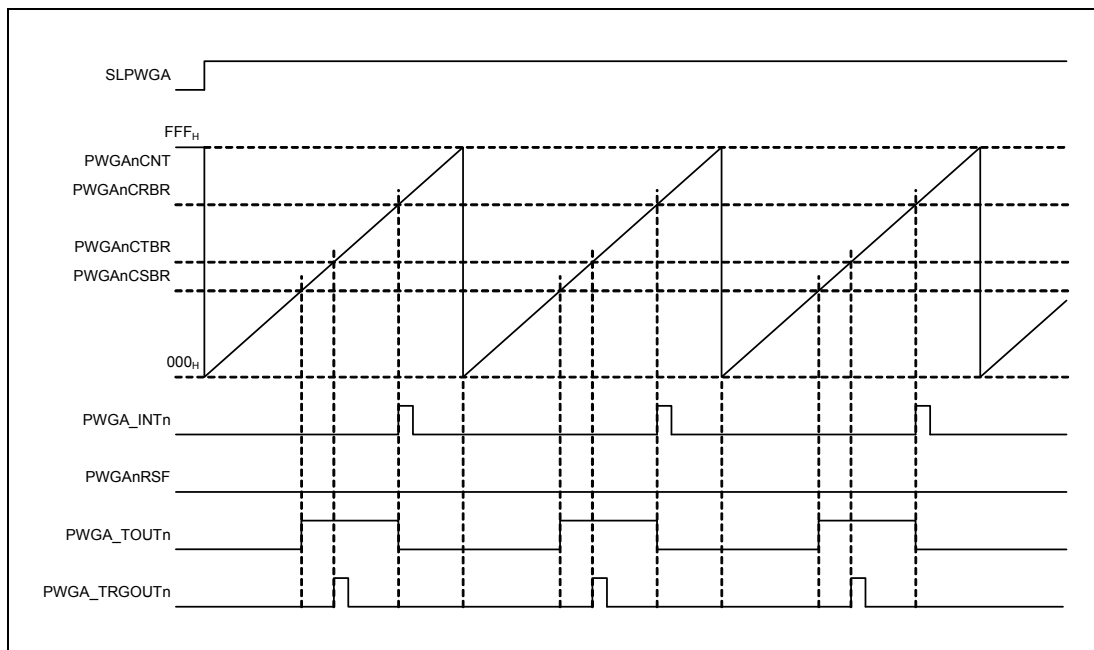


図 30.4 基本波形図

30.4.1.2 PWGA の一斉書き換え実施時の動作波形

PWGA の一斉書き換え実施時の動作波形を以下に示します。

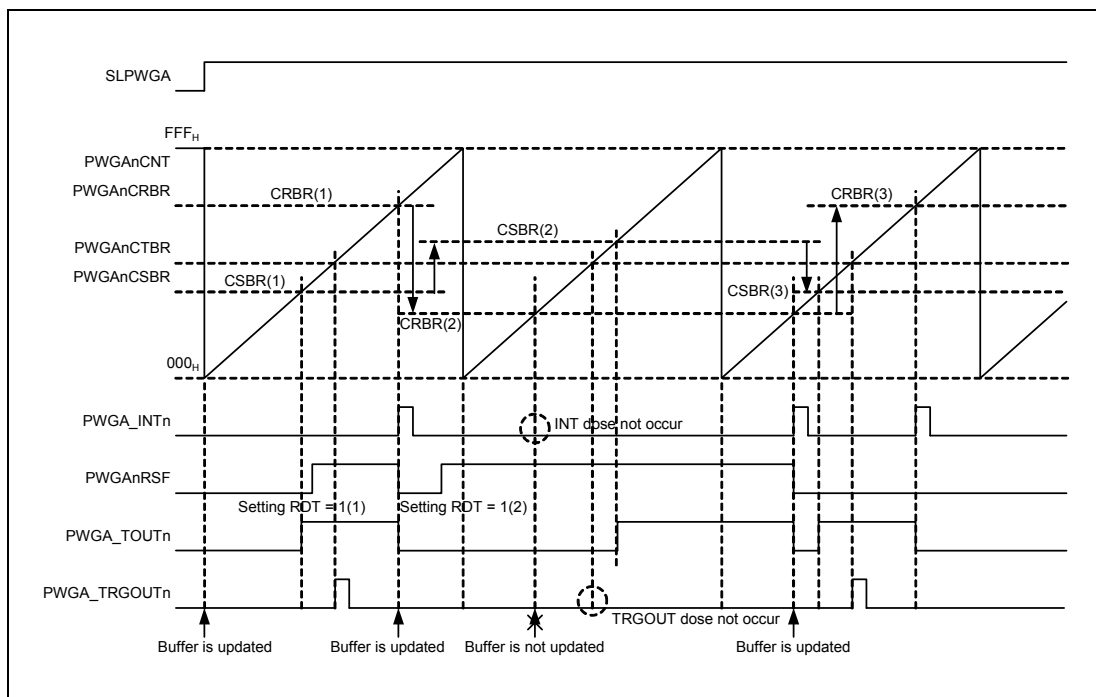


図 30.5 一斉書き換え実施時の波形図

PWGAnCSDR レジスタと PWGAnCRDR レジスタを再設定して、PWGAnRDT レジスタまたは SLPWGAk レジスタをセットすることで一斉書き換えを実施します。

また、1 インターバルで設定値の関係が $PWGAnCSDR > PWGAnCRDR$ の場合は、そのインターバルでの立下りは意味をなさず、次のインターバルの立下りが有効となります。

また、PWGA_TRGOUTn は、PWGA_TOUTn がハイレベルの状態であれば有効になります。

30.4.1.3 PWGA の動作停止・再開時の動作波形

PWGA の動作停止・再開時の動作波形を以下に示します。

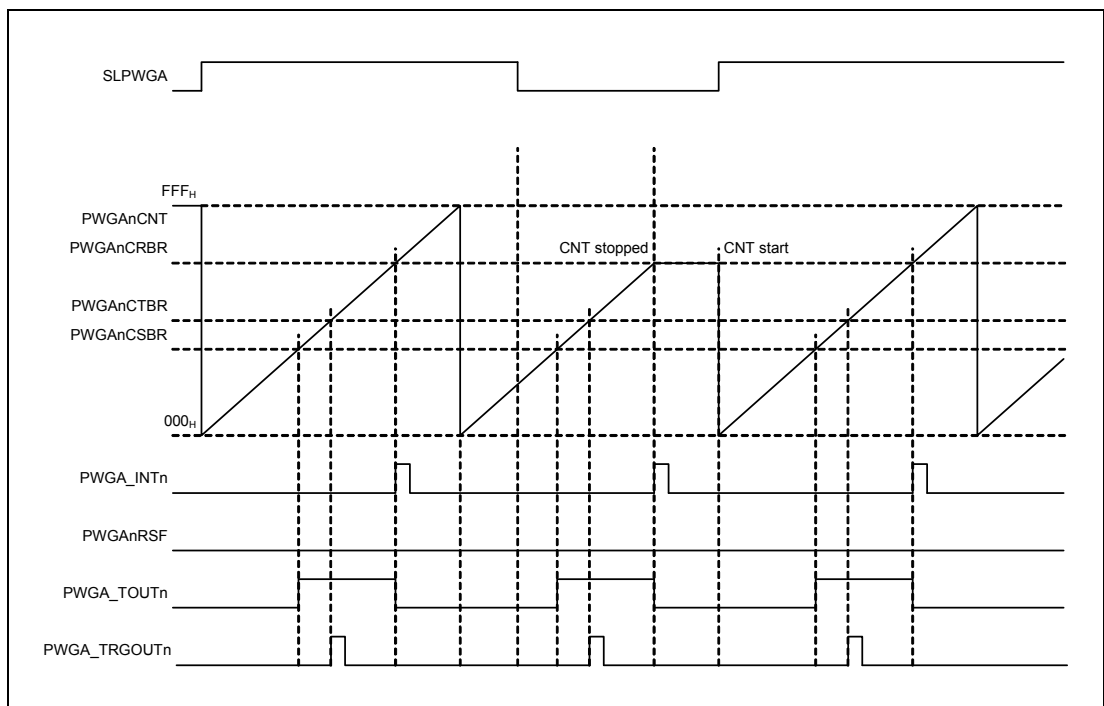


図 30.6 動作停止動作再開 (1)

SLPWGA = 1 → 0 設定後、PWGA_INT_n 発生により、PWGA_nCNT は動作を停止します。

PWGA_INT_n 発生後、SLPWGA = 0 → 1 設定により、PWGA_nCNT が 000_H からカウント動作を再開します。

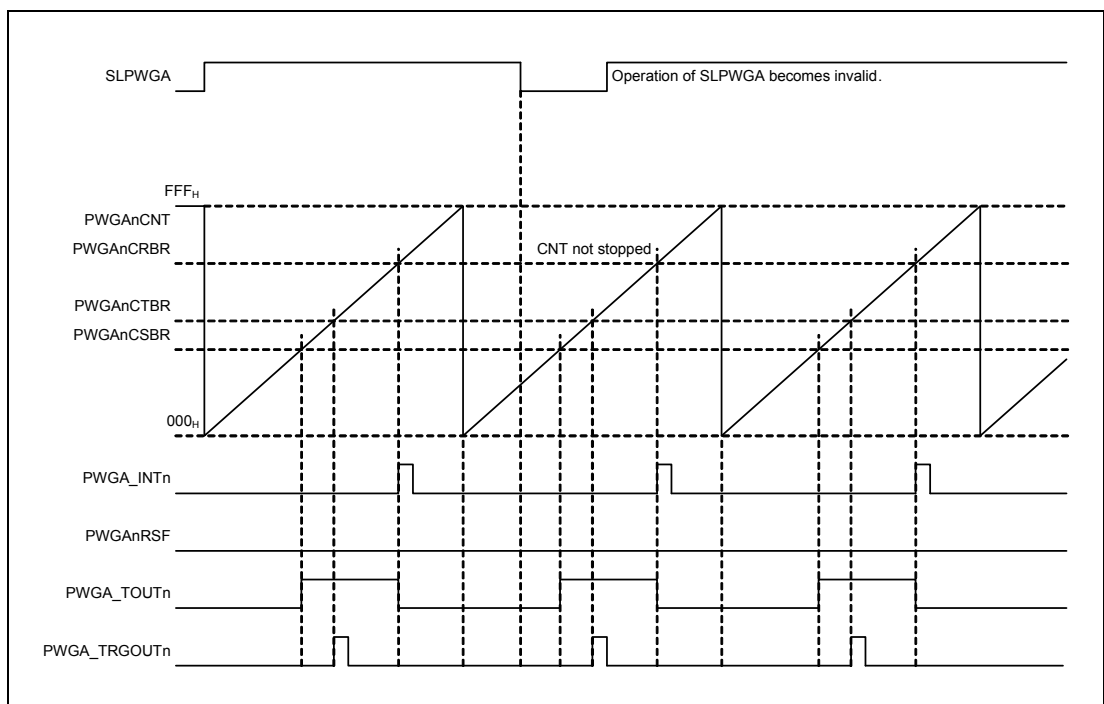


図 30.7 動作停止動作再開 (2)

SLPWGA = 1 → 0 設定後、PWGA_INTn 発生前に SLPWGA = 0 → 1 設定した場合、SLPWGA の操作は無効となり、PWGAncNT はカウント動作を継続します。

30.4.1.4 PWGA の特定の設定時の動作波形

PWGA の特定の設定時の動作波形を以下に示します。

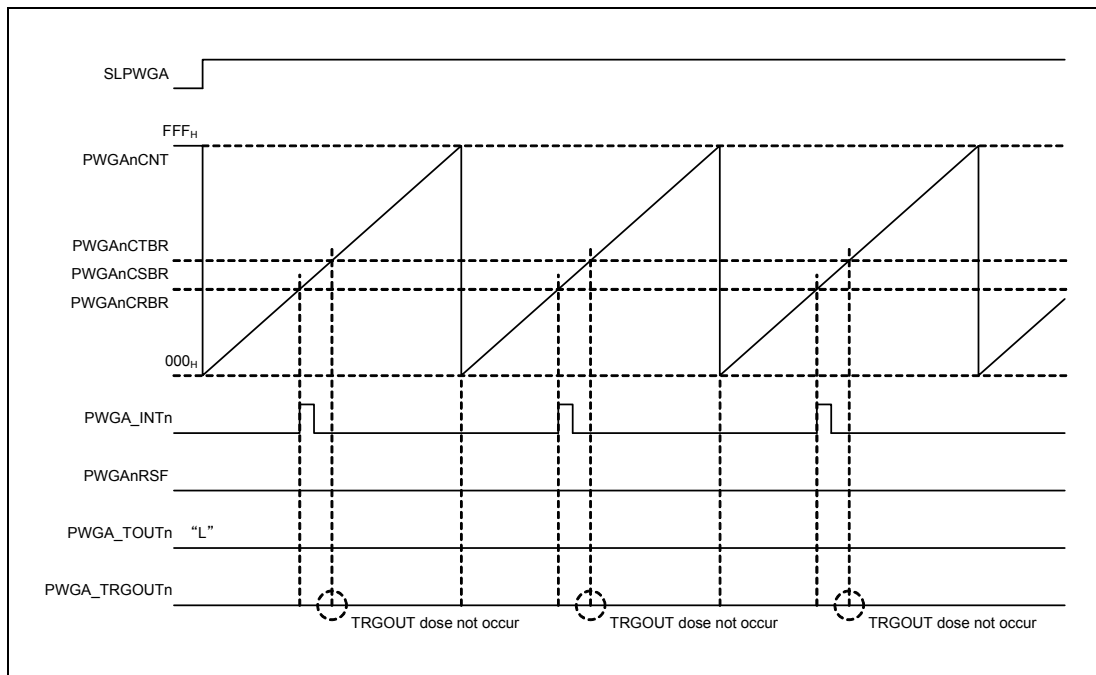


図 30.8 PWGA_TOUTn = 0%出力波形

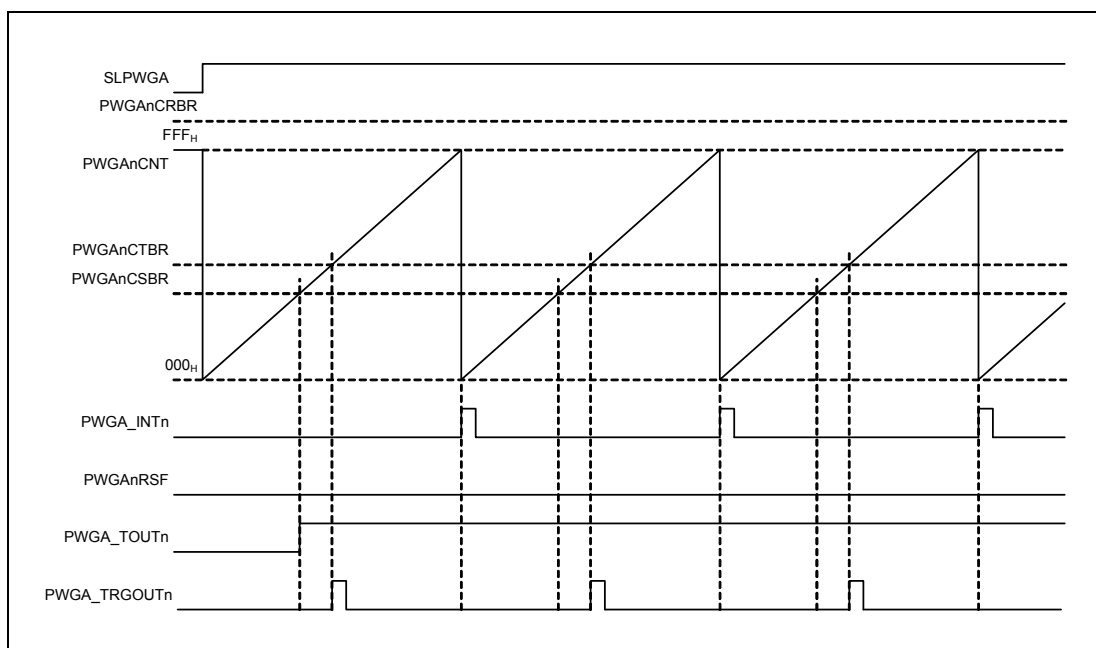


図 30.9 PWGA_TOUTn = 100%出力波形

30.4.2 PWSA による A/D 変換トリガ発生時の動作波形

PWSA の動作例を以下に示します。

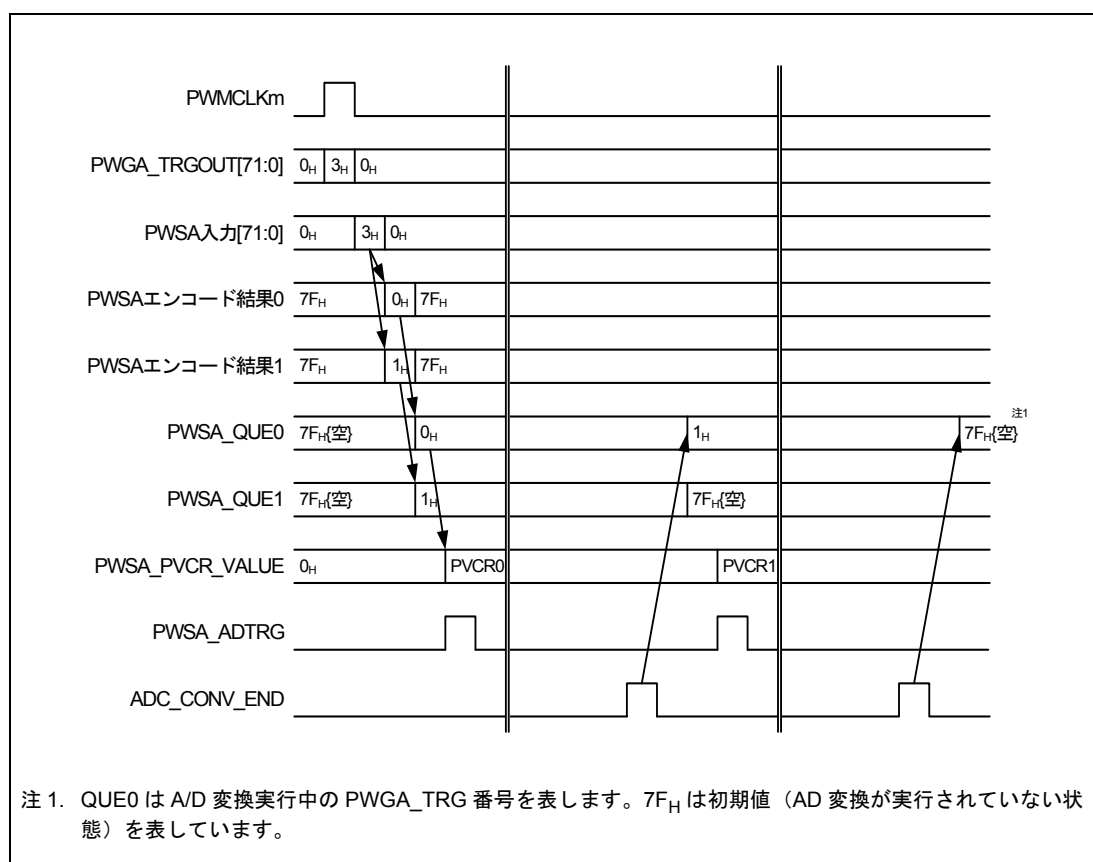


図 30.10 PWSA の動作例

- (1) PWGA のチャンネル 0、1 で同時にトリガが発生。チャンネル番号の小さいチャンネル 0 が PWSAnQUE0、番号の大きいチャンネル 1 が PWSAnQUE1 に格納される。PWSAnQUE0 に格納された値に対応する PWSAnPVCR00_01 の下位 16bit の情報を A/D コンバータに送信、A/D コンバータにトリガを出力する。
このときチャンネル 1 に対応する A/D 変換は待機状態となるため、PWSAnSTR.PWSAnQNE ビットがセットされる。
- (2) (1) で実行した A/D 変換の完了を受けて、PWSAnQUE1 のチャンネル番号が PWSAnQUE0 に移動し、PWSAnQUE1 は空の状態となる。
続けて、(1) 同様に PWSAnQUE0 に格納された値に対応する PWSAnPVCR00_01 の上位 16bit の情報を A/D コンバータに送信、A/D コンバータにトリガを出力する。
- (3) (2) で実行した A/D 変換の完了を受けて、PWSAnQUE0 は空の状態となる。

30.5 A/D コンバータ (ADCA) の PWM-Diag 関連機能

本節では、PWM-Diag 機能で使用する A/D コンバータについて説明します。

30.5.1 PWM-Diag 機能使用時の ADCA レジスタ

- PWSA の動作開始前に、以下のレジスタを使用して A/D コンバータの設定を行う必要があります。
 - PWM-Diag 用スキャングループ制御レジスタ (ADCA_nPWDSGCR)
- PWM-Diag 動作中は変換中のチャンネルに対応する PWSAnPVCR_{x_y} の設定値が A/D コンバータの以下のレジスタに設定されます。
 - PWM-Diag 仮想チャンネルレジスタ (ADCA_nPWDVCR)
- A/D 変換完了後は、以下のレジスタをリードすることで変換結果を確認できます。
 - PWM-Diag データレジスタ (ADCA_nPWDTSNDR)
 - PWM-Diag データ付帯情報レジスタ (ADCA_nPWDDIR)
- 上限/下限エラー検出機能を使用することで、A/D 変換結果が期待値の範囲を超えていることを確認できます。上限/下限エラー検出機能は以下のレジスタで設定します。
 - 上限/下限エラーレジスタ (ADCA_nULER)
- PWM-Diag スキャングループのスキャン終了フラグは以下のレジスタでクリアできます。
 - PWM-Diag スキャン終了フラグクリアレジスタ (ADCA_nPWDSGSEFCR)

第31章 A/Dコンバータ (ADCA)

本章では、A/Dコンバータ (ADCA) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1Kに固有の特長について説明します。それ以降の節では、ADCAの機能、レジスタについて説明します。

31.1 RH850/F1K ADCAの特長

31.1.1 ユニット数とチャンネル数

本製品は、以下のユニット数のADCAを搭載しています。

表 31.1 ユニット数

製品名	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
ユニット数	1	2	2
名称	ADCA _n (n = 0)	ADCA _n (n = 0, 1)	ADCA _n (n = 0, 1)

ADCA_nユニットにはA/D入力端子に対応した物理チャンネルとA/D変換結果の格納先に対応した仮想チャンネルがあります。各製品が使用できるチャンネル数は以下の通りです。

表 31.2 ADCA_nのユニット構成と物理チャンネルの対応

ユニット名 ADCA _n		RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
ADCA0	12ビット変換用 端子 ^{注1}	16	16	16
	10ビット変換用 端子 ^{注2}	20	20	20
ADCA1	12ビット変換用 端子 ^{注1}	—	8	16
	10ビット変換用 端子 ^{注2}	—	4	8

注 1. 10ビットモード選択時は10ビット変換用端子として使用可能です。

注 2. 12ビットモード選択時は10ビット変換用端子の変換結果の下位2ビットをマスクして使用する必要があります。

表 31.3 ADCA_nのユニット構成と仮想チャンネルの対応

ユニット名 ADCA _n	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
ADCA0	50	50	50
ADCA1	—	36	36

表 31.4 添字

添字	説明
n	本章では、ADCAの各ユニットを「n」(n = 0, 1) で識別します。たとえば、PWM-Diag 仮想チャネルレジスタ (ADCA _n PWDVCR) のように記述しています。
m	本章では、ADCA _n の物理チャネル(ユニット内チャネル)を「m」で識別しています。たとえば、ANIn _m のように記述しています。
j	本章では、ADCA _n の仮想チャネルを「j」で識別しています。たとえば、仮想チャネルレジスタをADCA _n VCR _j のように記述します。
x	本章では、ADCA _n の各スキャングループ(SG)を「x」(x = 1 ~ 3)で識別します。たとえば、スキャングループx開始制御レジスタをADCA _n SGSTCR _x のように記述します。
k	本章では、T&H対応の物理チャネル番号を「k」で識別します(k = 0 ~ 5)。たとえば、T&HイネーブルレジスタADCA _n THERのT&HイネーブルビットをTHkEのように記述します。

各製品の添字が示す値を以下に示します。

表 31.5 各製品の添字対応

各製品の添字対応		
RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
m = 0 ~ 35 (ADCA0)	m = 0 ~ 35 (ADCA0) m = 0 ~ 7 (ADCA1) 16 ~ 19 (ADCA1)	m = 0 ~ 35 (ADCA0) m = 0 ~ 23 (ADCA1)
j = 00 ~ 49 (ADCA0)	j = 00 ~ 49 (ADCA0) j = 00 ~ 35 (ADCA1)	j = 00 ~ 49 (ADCA0) j = 00 ~ 35 (ADCA1)
x = 1 ~ 3 (ADCA0)	x = 1 ~ 3 (ADCA0) x = 1 ~ 3 (ADCA1)	x = 1 ~ 3 (ADCA0) x = 1 ~ 3 (ADCA1)
k = 0 ~ 5 (ADCA0)	k = 0 ~ 5 (ADCA0)	k = 0 ~ 5 (ADCA0)

31.1.2 レジスタベースアドレス

ADCA_nのベースアドレスを以下の表に示します。

ADCA_nのレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 31.6 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<ADCA0_base>	FFF2 0000 _H
<ADCA1_base>	FFD6 D000 _H

31.1.3 クロック供給

ADCA_n のクロック供給を以下の表に示します。

表 31.7 クロック供給

ユニット名	ユニットクロック名	供給クロック名	説明
ADCA0	ADCLK	CKSCLK_AADCA	モジュールクロック
	レジスタアクセスクロック	CPUCLK2	バスクロック
		CKSCLK_AADCA	
ADCA1	ADCLK	CKSCLK_IADCA	モジュールクロック
	レジスタアクセスクロック	CPUCLK2	バスクロック

31.1.4 割り込み要求

ADCA_n の割り込み要求を以下の表に示します。

表 31.8 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号	その他トリガ信号
ADCA0				
INT_ADE	A/D エラー割り込み	56	—	モータ制御
INT_SG1	スキャングループ 1 (SG1) 終了割り込み	18	4	LPS
INT_SG2	スキャングループ 2 (SG2) 終了割り込み	19	5	LPS
INT_SG3	スキャングループ 3 (SG3) 終了割り込み	20, 32	6	LPS
ADC_CONV_END0	スキャングループ 4 (SG4) A/D 変換終了信号	—	7	—
ADCA1				
INT_ADE	A/D エラー割り込み	212	—	—
INT_SG1	スキャングループ 1 (SG1) 終了割り込み	213	103	—
INT_SG2	スキャングループ 2 (SG2) 終了割り込み	214	104	—
INT_SG3	スキャングループ 3 (SG3) 終了割り込み	215	105	—
ADC_CONV_END1	スキャングループ 4 (SG4) A/D 変換終了信号	—	106	—

31.1.5 リセット要因

ADCA_n のリセット要因を以下に示します。ADCA_n は以下のリセット要因で初期化されま

表 31.9 リセット要因

ユニット名	リセット要因
ADCA0	DeepSTOP モード遷移時を除くリセット要因 (AWORES)
ADCA1	すべてのリセット要因 (ISORES)

31.1.6 外部入出力信号

ADCA_n の外部入出力信号を以下の表に示します。

表 31.10 ADCA0 アナログ入力信号

ユニット信号名	ポート端子兼用信号名	分解能	T&H	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
ANI000	ADCA010	12	○	○	○	○
ANI001	ADCA011	12	○	○	○	○
ANI002	ADCA012	12	○	○	○	○
ANI003	ADCA013	12	○	○	○	○
ANI004	ADCA014	12	○	○	○	○
ANI005	ADCA015	12	○	○	○	○
ANI006	ADCA016	12	—	○	○	○
ANI007	ADCA017	12	—	○	○	○
ANI008	ADCA018	12	—	○	○	○
ANI009	ADCA019	12	—	○	○	○
ANI010	ADCA0110	12	—	○	○	○
ANI011	ADCA0111	12	—	○	○	○
ANI012	ADCA0112	12	—	○	○	○
ANI013	ADCA0113	12	—	○	○	○
ANI014	ADCA0114	12	—	○	○	○
ANI015	ADCA0115	12	—	○	○	○
ANI016	ADCA010S	10	—	○	○	○
ANI017	ADCA011S	10	—	○	○	○
ANI018	ADCA012S	10	—	○	○	○
ANI019	ADCA013S	10	—	○	○	○
ANI020	ADCA014S	10	—	○	○	○
ANI021	ADCA015S	10	—	○	○	○
ANI022	ADCA016S	10	—	○	○	○
ANI023	ADCA017S	10	—	○	○	○
ANI024	ADCA018S	10	—	○	○	○
ANI025	ADCA019S	10	—	○	○	○
ANI026	ADCA0110S	10	—	○	○	○
ANI027	ADCA0111S	10	—	○	○	○
ANI028	ADCA0112S	10	—	○	○	○
ANI029	ADCA0113S	10	—	○	○	○
ANI030	ADCA0114S	10	—	○	○	○
ANI031	ADCA0115S	10	—	○	○	○
ANI032	ADCA0116S	10	—	○	○	○
ANI033	ADCA0117S	10	—	○	○	○
ANI034	ADCA0118S	10	—	○	○	○
ANI035	ADCA0119S	10	—	○	○	○

表 31.11 ADCA0 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
ADCA0		
ADCA0TRG0	外部トリガ端子 (スキャングループ 1) 注1	ADCA0TRG0
ADCA0TRG1	外部トリガ端子 (スキャングループ 2) 注1	ADCA0TRG1
ADCA0TRG2	外部トリガ端子 (スキャングループ 3) 注1	ADCA0TRG2
ADCA0SEL0	外付けアナログマルチプレクサ (MPX) 出力端子 0	ADCA0SEL0
ADCA0SEL1	外付けアナログマルチプレクサ (MPX) 出力端子 1	ADCA0SEL1
ADCA0SEL2	外付けアナログマルチプレクサ (MPX) 出力端子 2	ADCA0SEL2

注 1. 外部トリガ端子を使用する場合ポートのノイズフィルタの設定が必要となります。詳細は「2.12 ノイズフィルタ & エッジレベル検出回路」を参照してください。

注 意

ポート P8_6 を ADCA0I8S として使用する場合、リセット中およびリセット解除後、ポート P8_6 (RESETOUT 信号) からロウレベルを出力します。
詳細は「2.11.1.1 P8_6 : RESETOUT」を参照してください。

表 31.12 ADCA1 アナログ入力信号

ユニット信号名	ポート端子兼用信号名	分解能	T&H	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
ANI100	ADCA110	12	—	—	○	○
ANI101	ADCA111	12	—	—	○	○
ANI102	ADCA112	12	—	—	○	○
ANI103	ADCA113	12	—	—	○	○
ANI104	ADCA114	12	—	—	○	○
ANI105	ADCA115	12	—	—	○	○
ANI106	ADCA116	12	—	—	○	○
ANI107	ADCA117	12	—	—	○	○
ANI108	ADCA118	12	—	—	—	○
ANI109	ADCA119	12	—	—	—	○
ANI110	ADCA1110	12	—	—	—	○
ANI111	ADCA1111	12	—	—	—	○
ANI112	ADCA1112	12	—	—	—	○
ANI113	ADCA1113	12	—	—	—	○
ANI114	ADCA1114	12	—	—	—	○
ANI115	ADCA1115	12	—	—	—	○
ANI116	ADCA110S	10	—	—	○	○
ANI117	ADCA111S	10	—	—	○	○
ANI118	ADCA112S	10	—	—	○	○
ANI119	ADCA113S	10	—	—	○	○
ANI120	ADCA114S	10	—	—	—	○
ANI121	ADCA115S	10	—	—	—	○
ANI122	ADCA116S	10	—	—	—	○
ANI123	ADCA117S	10	—	—	—	○

表 31.13 ADCA1 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
ADCA1		
ADCA1TRG0	外部トリガ端子 (スキャングループ 1) ^{注1}	ADCA1TRG0
ADCA1TRG1	外部トリガ端子 (スキャングループ 2) ^{注1}	ADCA1TRG1
ADCA1TRG2	外部トリガ端子 (スキャングループ 3) ^{注1}	ADCA1TRG2

注 1. 外部トリガ端子を使用する場合ポートのノイズフィルタの設定が必要となります。詳細は「2.12 ノイズフィルタ & エッジレベル検出回路」を参照してください。

31.2 概要

31.2.1 機能概要

ADCA の特長を以下に示します。

- 10 ビットと 12 ビット分解能をサポート
- 逐次比較変換方式
- A/D 入力チャンネル数
ADCA0 は最大 36 チャンネル、ADCA1 は最大 24 チャンネルの A/D 変換ができます。
また ADCA0 は、外付けアナログマルチプレクサ (MPX) の接続に対応しアナログ入力チャンネルを拡張できます。
- トラック & ホールド (T&H) 回路を内蔵
ADCA0 の ANI000 ~ ANI005 (ADCA0I0 ~ ADCA0I5) はトラック & ホールド回路を内蔵しています。最大 6 チャンネルのアナログ入力を同時サンプリングできます。
- スキャングループによる A/D 変換制御
スキャングループごとに A/D 変換チャンネルや変換モード (スキャンモード) を設定することができます。
- 2 種類のスキャンモード
マルチサイクルスキャンモード: 指定された回数 of スキャンを実行します。
連続スキャンモード: スキャンを繰り返し実行します。
- 非同期 / 同期サスペンド & レジューム機能
スキャングループの処理中に別のスキャングループの処理を割り込むことができます。
- スキャングループの開始トリガ
各スキャングループは、ソフトウェア / ハードウェア / 外部トリガにより処理を開始することができます。
- スキャン終了割り込みと DMA 転送をサポート
各スキャングループは、終了仮想チャンネルポインタが指す仮想チャンネルの処理が終了もしくは任意の仮想チャンネルが終了するたびに INTC に対して割り込み要求の発生、および DMA 転送の起動ができます。
- A/D 変換チャンネルリピート機能
同じチャンネルを 2 もしくは 4 回連続で A/D 変換し、結果をデータレジスタに格納します。
- 豊富なセーフティ機能
A/D 変換回路の診断、チャンネルマルチプレクサの診断、オープン端子の診断、T&H 回路の診断、A/D 変換結果の上限 / 下限チェック、データレジスタのオーバライトチェック、データレジスタのリード & クリア機能が整備されています。
- 1 チャンネルあたりの最短 A/D 変換時間
1.15 μ s (MPX 未使用時)
2.30 μ s (MPX 使用時)

備 考

- 物理チャンネル (ANInm)
ADCA0, 1 各ユニットの A/D 入力チャンネルを物理チャンネルと呼びます。各ユニットの物理チャンネルを ADCA0 では ANI0m ($m = 0 \sim 35$)、ADCA1 では ANI1m ($m = 0 \sim 23$) で表します。
RH850/F1K ポート兼用端子名では 12 ビット分解能の A/D 入力チャンネルを ADCAnIm、10 ビット分解能の A/D 入力チャンネルを ADCAnImS で表します。本章では物理チャンネルと RH850/F1K のポート兼用端子名を併記しています。
 - 仮想チャンネル (ADCAAnVCRj)
ADCA0 に最大 50 チャンネル、ADCA1 に最大 36 チャンネル分の仮想チャンネルがあります。仮想チャンネルにはスキャン対象となる物理チャンネルを指定します。仮想チャンネル番号が小さい順番にスキャンしていきます。仮想チャンネルを用いることで、スキャンする順番を任意に設定することができます。またスキャン結果は仮想チャンネルに対応したデータレジスタ (ADCAAnDRj) に格納されます。
 - スキャングループ (SGx)
3 系統のスキャングループ (SG1, 2, 3)、および 1 系統の PWM-Diag グループ (SG4) があります。A/D 変換はスキャングループ単位で行われ、各グループの変換チャンネルは、変換開始および変換終了の仮想チャンネル (スキャン範囲) を設定することで任意に選択できます。
-

31.2.2 ブロック図

ADCA0のブロック図を図31.1に、ADCA1のブロック図を図31.2に示します。

(1) ADCA0の構成

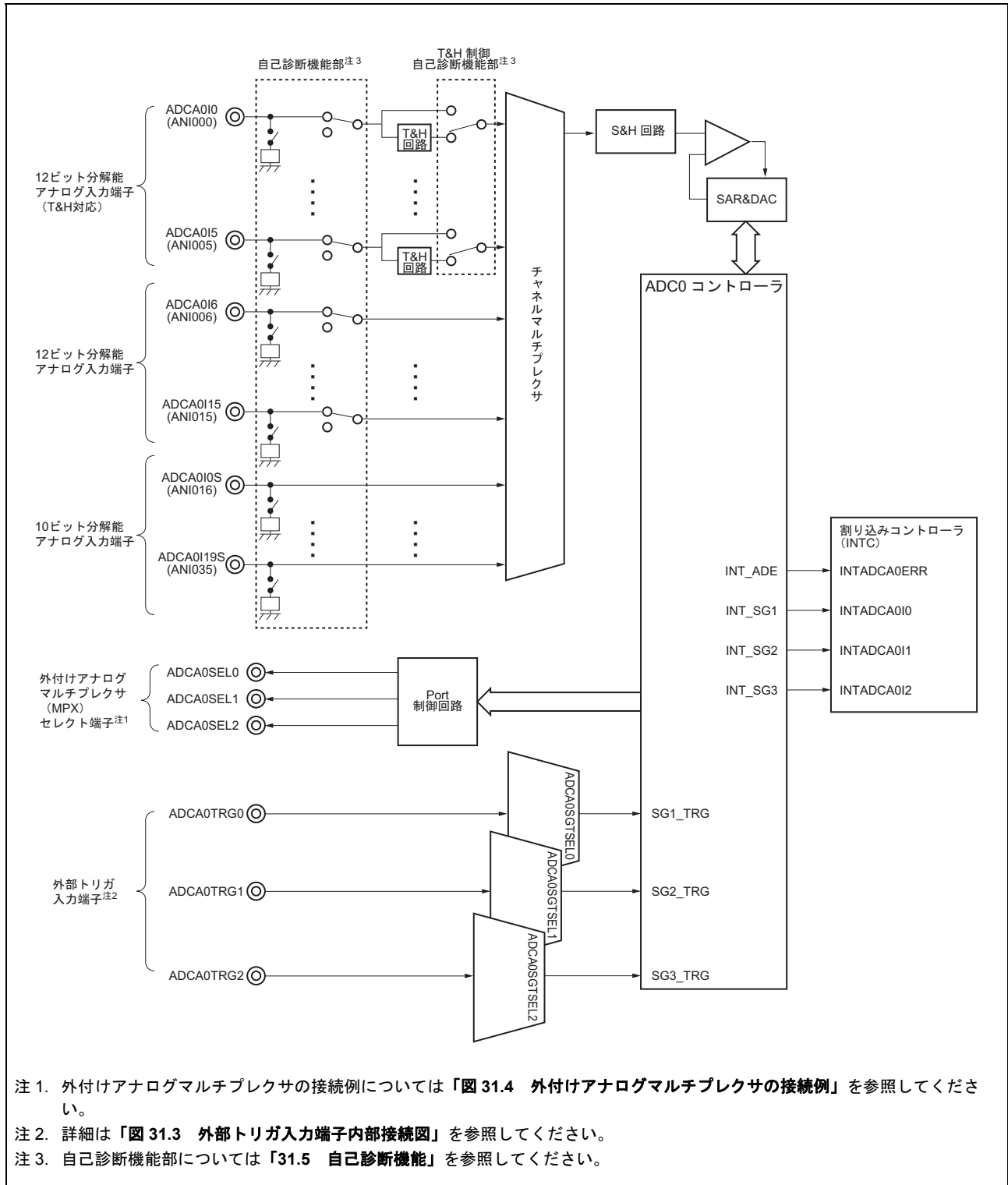


図 31.1 ADCA0 ブロック図 (RH850/F1K 176 pin)

(2) ADCA1 の構成

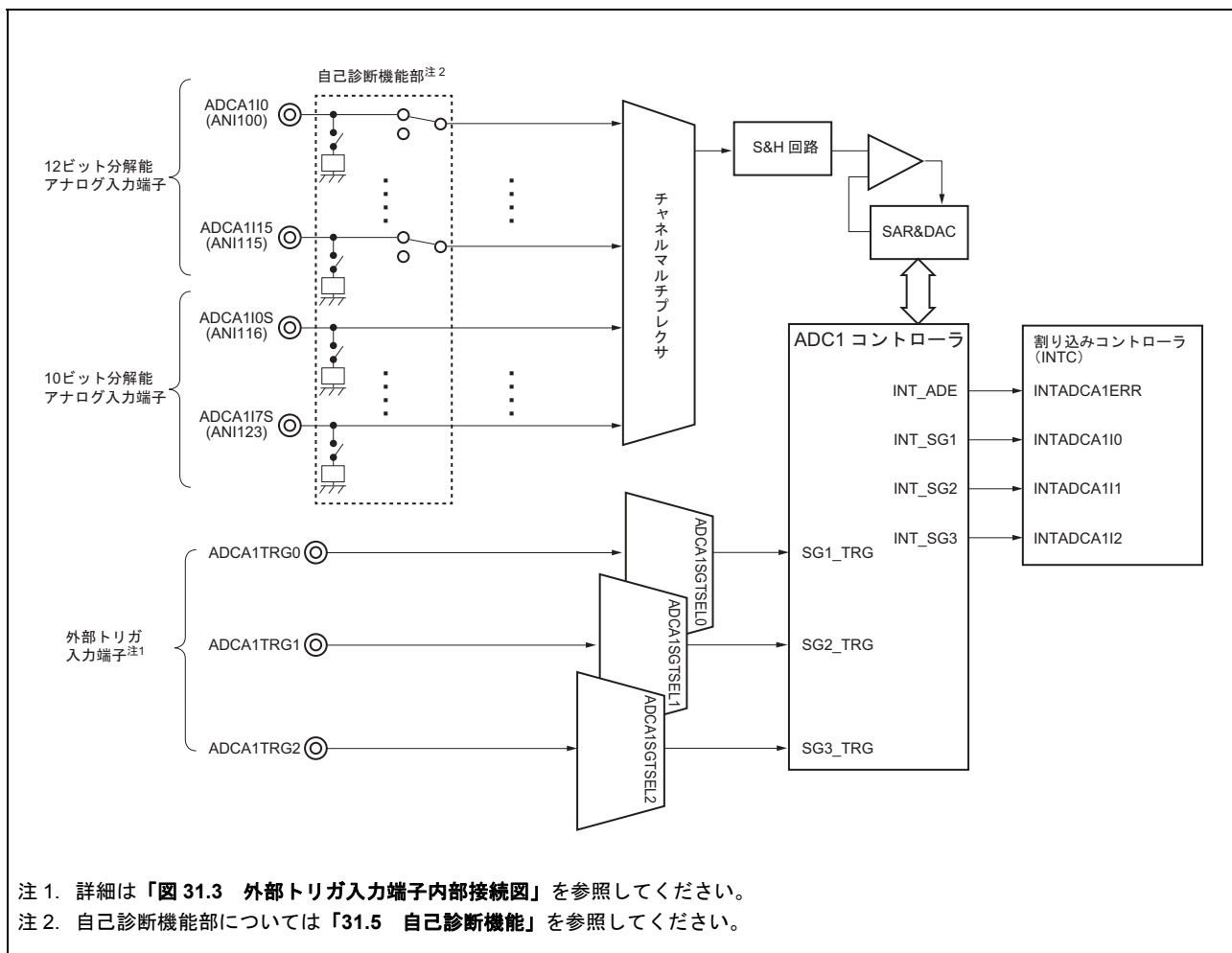


図 31.2 ADCA1 ブロック図 (RH850/F1K 176 pin)

(3) 外部トリガ入力端子の構成

外部トリガ入力端子は、ADCAn の起動要因であるハードウェアトリガの一要因です。

外部トリガ入力端子の構成を次に示します。

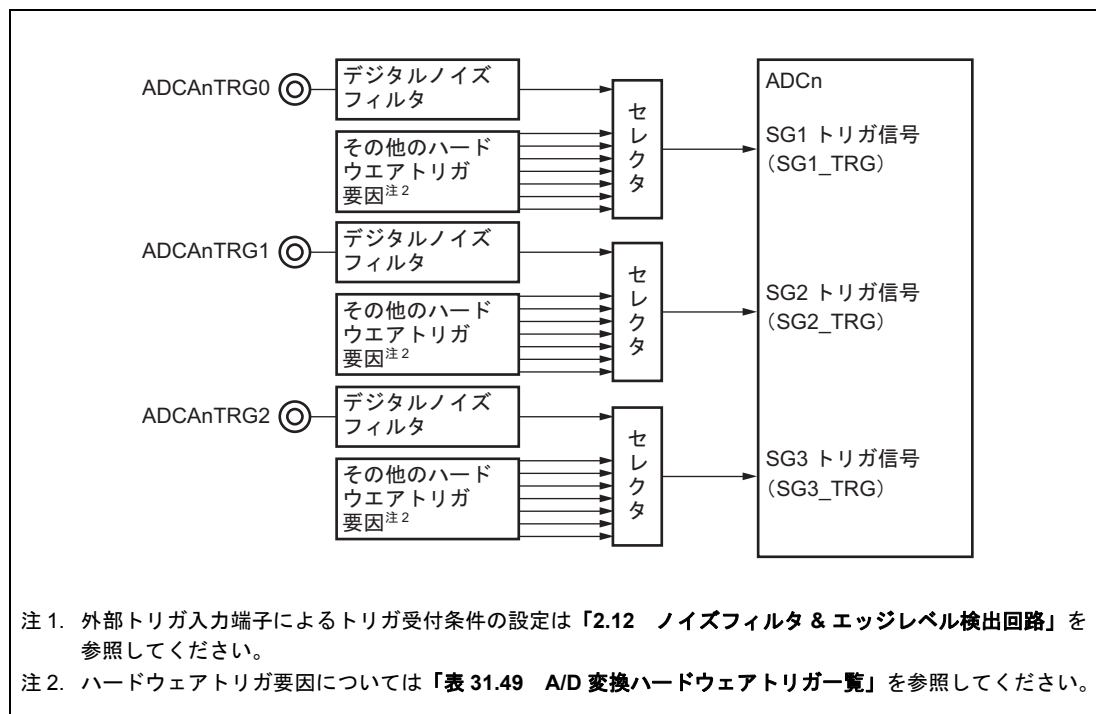


図 31.3 外部トリガ入力端子内部接続図

(4) 外付けアナログマルチプレクサ (MPX) の構成

外付けアナログマルチプレクサ (MPX) は ADCA0I0 ~ ADCA0I19S の任意の入力信号端子への接続が可能です。外付けアナログマルチプレクサの接続例を次に示します。

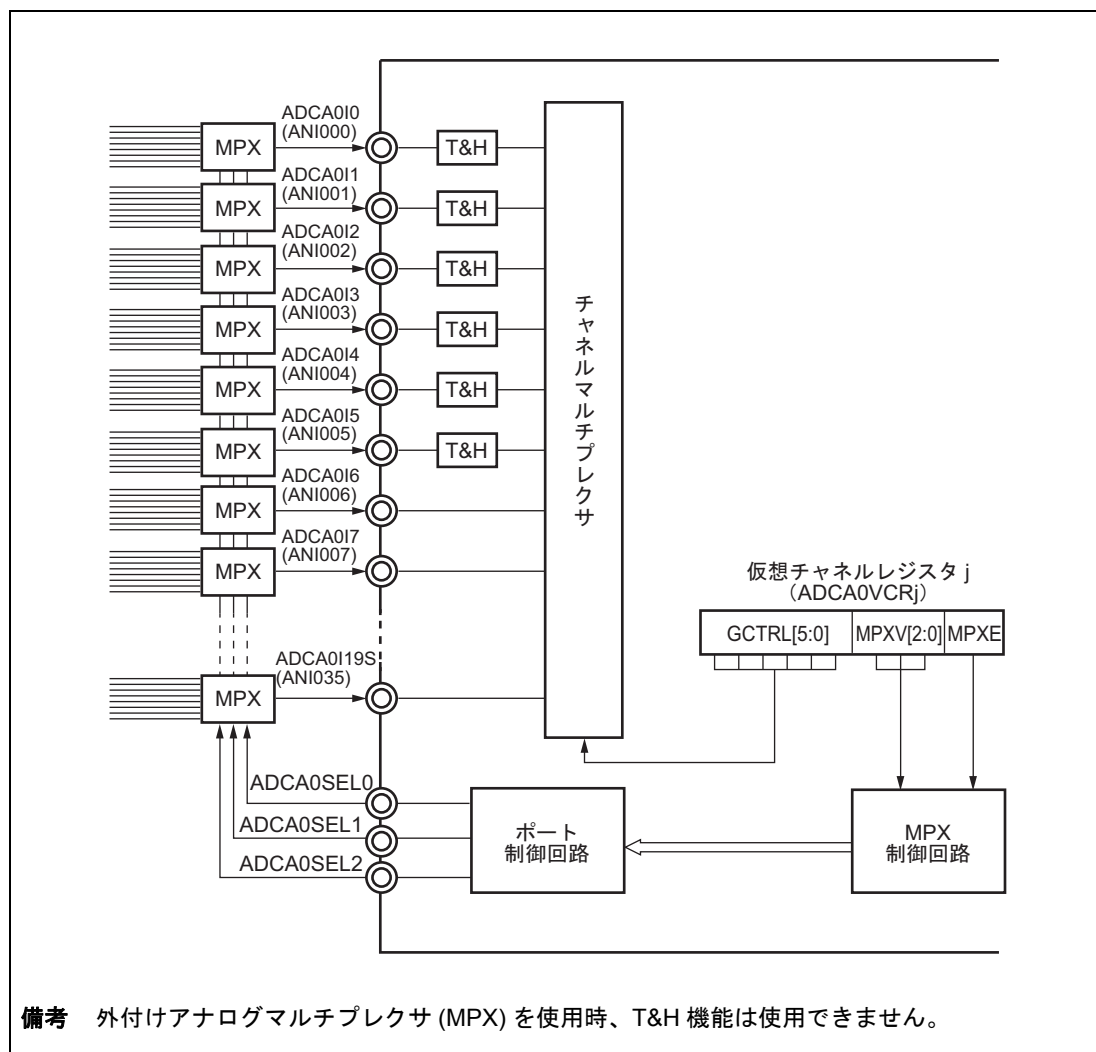


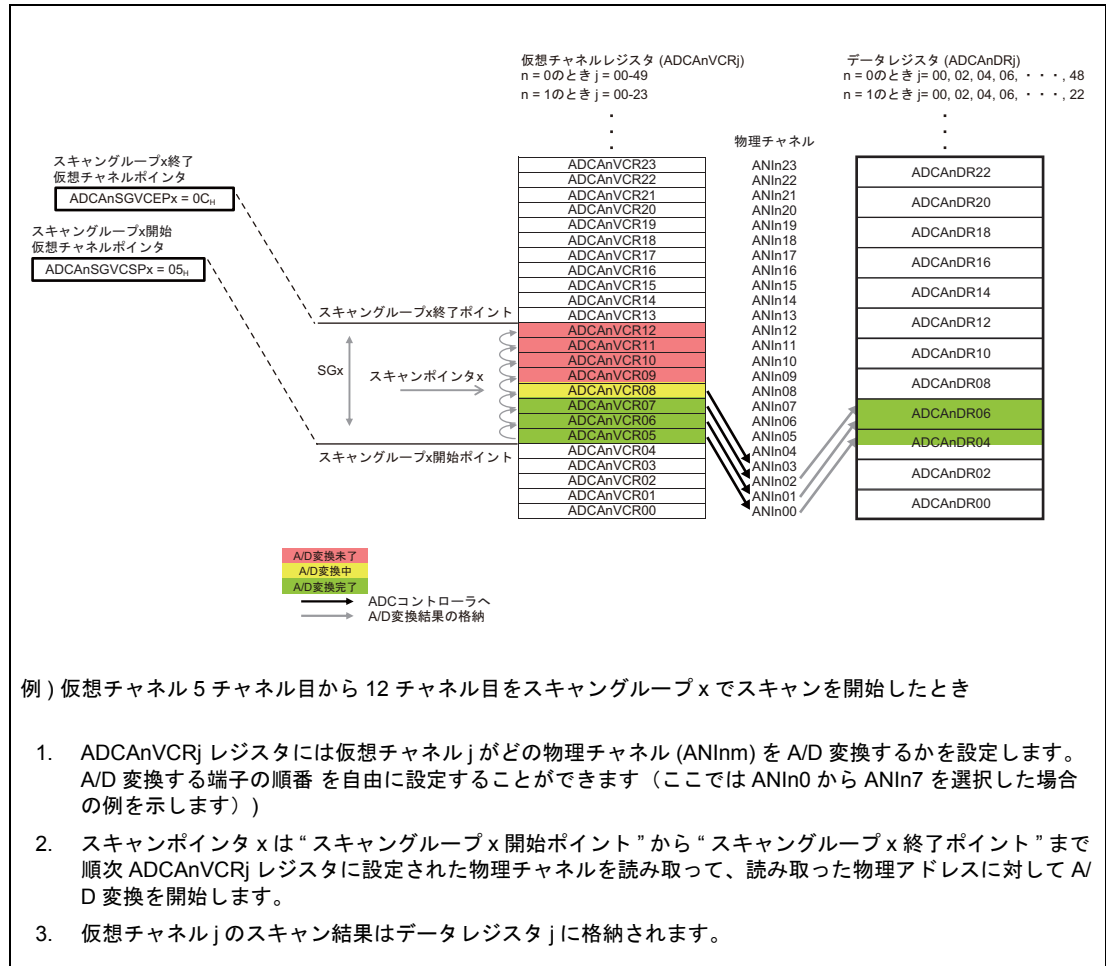
図 31.4 外付けアナログマルチプレクサの接続例

(5) 仮想チャネル

仮想チャネルはスキャン対象となる物理チャネルを指定します。

仮想チャネルは $ADCA_nVCR_j$ レジスタにて制御します。

仮想チャネルの使用例を次に示します。



31.3 レジスタ

31.3.1 レジスタ一覧

ADCA のレジスタ一覧を以下の表に示します。

<ADCA_n_base> は「**31.1.2 レジスタベースアドレス**」を参照してください。

表 31.14 レジスタ一覧 (1/2)

モジュール名	レジスタ名	略号	アドレス
ADCA 固有レジスタ (仮想チャネル)			
ADCA _n	仮想チャネルレジスタ j	ADCA _n VCRj	<ADCA _n _base> + j × 4 _H
	PWM-Diag 仮想チャネルレジスタ	ADCA _n PWDVCR	<ADCA _n _base> + 0F4 _H
	データレジスタ j	ADCA _n DRj	<ADCA _n _base> + 100 _H + j × 2 _H
	データ付帯情報レジスタ j	ADCA _n DIRj	<ADCA _n _base> + 200 _H + j × 4 _H
	PWM-Diag データレジスタ	ADCA _n PWDTSNDR	<ADCA _n _base> + 178 _H
	PWM-Diag データ付帯情報レジスタ	ADCA _n PWDDIR	<ADCA _n _base> + 2F4 _H
ADCA 固有レジスタ (制御)			
ADCA _n	A/D 強制終了レジスタ	ADCA _n ADHALTR	<ADCA _n _base> + 300 _H
	A/D 制御レジスタ	ADCA _n ADCR	<ADCA _n _base> + 304 _H
	MPX カレントレジスタ	ADCA _n MPXCURR	<ADCA _n _base> + 30C _H
	T&H サンプリング開始制御レジスタ	ADCA _n THSMPSTCR	<ADCA _n _base> + 314 _H
	T&H 制御レジスタ	ADCA _n THCR	<ADCA _n _base> + 318 _H
	T&H グループ A ホールド開始制御レジスタ	ADCA _n THAHL DSTCR	<ADCA _n _base> + 31C _H
	T&H グループ B ホールド開始制御レジスタ	ADCA _n THBHL DSTCR	<ADCA _n _base> + 320 _H
	T&H グループ A 制御レジスタ	ADCA _n THACR	<ADCA _n _base> + 324 _H
	T&H グループ B 制御レジスタ	ADCA _n THBCR	<ADCA _n _base> + 328 _H
	T&H イネーブルレジスタ	ADCA _n THER	<ADCA _n _base> + 32C _H
	T&H グループ選択レジスタ	ADCA _n THGSR	<ADCA _n _base> + 330 _H
	サンプリング制御レジスタ	ADCA _n SMPCR	<ADCA _n _base> + 380 _H
ADCA 固有レジスタ (セーフティ関連)			
ADCA _n	セーフティ制御レジスタ	ADCA _n SFTCR	<ADCA _n _base> + 334 _H
	上限/下限テーブルレジスタ 0	ADCA _n ULLMTBR0	<ADCA _n _base> + 338 _H
	上限/下限テーブルレジスタ 1	ADCA _n ULLMTBR1	<ADCA _n _base> + 33C _H
	上限/下限テーブルレジスタ 2	ADCA _n ULLMTBR2	<ADCA _n _base> + 340 _H
	エラークリアレジスタ	ADCA _n ECR	<ADCA _n _base> + 344 _H
	上限下限エラーレジスタ	ADCA _n ULER	<ADCA _n _base> + 348 _H
	オーバライトエラーレジスタ	ADCA _n OWER	<ADCA _n _base> + 34C _H
スキャングループ固有レジスタ			
ADCA _n	スキャングループ x 開始制御レジスタ	ADCA _n SGSTCRx	<ADCA _n _base> + x × 40 _H + 400 _H
	PWM-Diag 用スキャングループ制御レジスタ	ADCA _n PWDSGCR	<ADCA _n _base> + 508 _H
	スキャングループ x 制御レジスタ	ADCA _n SGCRx	<ADCA _n _base> + x × 40 _H + 408 _H
	スキャングループ x 開始仮想チャネルポイント	ADCA _n SGVCSPx	<ADCA _n _base> + x × 40 _H + 40C _H
	スキャングループ x 終了仮想チャネルポイント	ADCA _n SGVCEPx	<ADCA _n _base> + x × 40 _H + 410 _H
	スキャングループ x マルチサイクルレジスタ	ADCA _n SGMCYCRx	<ADCA _n _base> + x × 40 _H + 414 _H
	PWM-Diag スキャン終了フラグクリアレジスタ	ADCA _n PWDGSEFCR	<ADCA _n _base> + 518 _H
	スキャングループ x スキャン終了フラグクリアレジスタ	ADCA _n SGSEFCRx	<ADCA _n _base> + x × 40 _H + 418 _H

表 31.14 レジスタ一覧 (2/2)

モジュール名	レジスタ名	略号	アドレス
ADCA _n	スキャングループステータスレジスタ	ADCA _n SGSTR	<ADCA _n _base> + 308 _H
ハードウェアトリガ固有レジスタ			
ADCA _n	スキャングループ x 開始トリガ制御レジスタ	ADCA _n SGTSELx	<ADCA _n _base> + x × 40 _H + 41C _H
自己診断固有レジスタ			
ADCA _n	自己診断制御レジスタ 0	ADCA _n DGCTL0	<ADCA _n _base> + 350 _H
	自己診断制御レジスタ 1	ADCA _n DGCTL1	<ADCA _n _base> + 354 _H
	プルダウン制御レジスタ 1	ADCA _n PDCTL1	<ADCA _n _base> + 358 _H
	プルダウン制御レジスタ 2	ADCA _n PDCTL2	<ADCA _n _base> + 35C _H
エミュレーション固有レジスタ			
ADCA _n	エミュレーション制御レジスタ	ADCA _n EMU	<ADCA _n _base> + 388 _H

31.3.2 ADCA 固有レジスタ

ADCA0 と ADCA1 で個別に備えるレジスタを説明します。

31.3.2.1 ADCAnVCRj — 仮想チャンネルレジスタ j

仮想チャンネルを制御するレジスタです。

アクセス ADCAnVCRj は 32 ビット単位でリード/ライト可能です。
 ADCAnVCRjL は 16 ビット単位でリード/ライト可能です。
 ADCAnVCRjLL および ADCAnVCRjLH は 8 ビット単位でリード/ライト可能です。

アドレス ADCAnVCRj : <ADCAn_base> + j × 4_H
 ADCAnVCRjL : <ADCAn_base> + j × 4_H
 ADCAnVCRjLL : <ADCAn_base> + j × 4_H
 ADCAnVCRjLH : <ADCAn_base> + j × 4_H + 1_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MPXE 注1	MPXV[2:0]注1		—	—	CNVCLS注1,注2	ADIE	ULS[1:0]		GCTRL[5:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.15 ADCAnVCRj レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	MPXE注1	MPX イネーブルビット 0 : MPX の使用を禁止します。 A/D 変換する前にウェイトを挿入しません 1 : MPX の使用を許可します。仮想チャンネルの開始時に MPXV[2:0] を ADCAnSEL0-2 から出力します。A/D 変換する前に 1A/D 変換時間のウェイトを挿入します
14 ~ 12	MPXV[2:0]注1	外付けアナログマルチプレクサに転送する MPX の値を設定する。
11、10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	CNVCLS注1,注2	自己診断時の A/D 変換種別選択ビット 0 : 自己診断時にホールド値 A/D 変換 1 : 自己診断時に通常 A/D 変換 ただし、自己診断時に通常 A/D 変換を実施する場合で、かつ MPX を使用する場 合 (MPXE をセット) には、A/D 変換する前に、1 A/D 変換時間のウェイトを挿 入します。 一方、自己診断時にホールド値 A/D 変換を実施する場合は MPX は使用できませ ん。

表 31.15 ADCAnVCRj レジスタの内容 (2/2)

ビット位置	ビット名	機能
8	ADIE	A/D 変換終了割り込みイネーブルビット 0 : SGx の仮想チャネル j の A/D 変換終了でスキャングループ x 終了割り込み (INT_SGx) を発生しない 1 : SGx の仮想チャネル j の A/D 変換終了でスキャングループ x 終了割り込み (INT_SGx) を発生する
7、6	ULS[1:0]	上限値 / 下限値テーブル選択ビット 00 : 上限 / 下限のチェックをしない 01 : ADCAnULLMTBR0 で上限 / 下限のチェックをする 10 : ADCAnULLMTBR1 で上限 / 下限のチェックをする 11 : ADCAnULLMTBR2 で上限 / 下限のチェックをする
5 ~ 0	GCTRL[5:0]	物理チャンネル選択ビット : 0 _H ~ 23 _H : 対応する ANIn を選択 24 _H : A/D コンバータの診断チャンネルを選択 その他 : 設定禁止 備考 本ビットは対応する物理チャンネルを設定します。「表 31.5 各製品の添字対応」、「表 31.10 ADCA0 アナログ入力信号」、「表 31.12 ADCA1 アナログ入力信号」を参照してください。

- 注 1. 本ビットは ADCA0 のみ対応しています。ADCA1 において、ライトする場合はリセット後の値を書いてください。
- 注 2. 本ビットは j = 33-35 のときのみ対応しています。それ以外の場合、ライトする場合はリセット後の値を書いてください。

注 意

誤動作を防ぐため、ADCAnVCRj の設定は対象スキャングループの SGACT が 0 の状態 (スキャングループ起動前) かつ対象スキャングループの TRGMD が 0 のとき、行ってください。

表 31.16 物理チャンネルの選択 (1/2)

GCTRL5	GCTRL4	GCTRL3	GCTRL2	GCTRL1	GCTRL0	選択されるアナログ入力端子
0	0	0	0	0	0	ADCAnI0 (物理チャンネル ANIn00) 注3
0	0	0	0	0	1	ADCAnI1 (物理チャンネル ANIn01) 注3
0	0	0	0	1	0	ADCAnI2 (物理チャンネル ANIn02) 注3
0	0	0	0	1	1	ADCAnI3 (物理チャンネル ANIn03) 注3
0	0	0	1	0	0	ADCAnI4 (物理チャンネル ANIn04) 注3
0	0	0	1	0	1	ADCAnI5 (物理チャンネル ANIn05) 注3
0	0	0	1	1	0	ADCAnI6 (物理チャンネル ANIn06) 注3
0	0	0	1	1	1	ADCAnI7 (物理チャンネル ANIn07) 注3
0	0	1	0	0	0	ADCAnI8 (物理チャンネル ANIn08) 注2、注3
0	0	1	0	0	1	ADCAnI9 (物理チャンネル ANIn09) 注2、注3
0	0	1	0	1	0	ADCAnI10 (物理チャンネル ANIn10) 注2、注3
0	0	1	0	1	1	ADCAnI11 (物理チャンネル ANIn11) 注2、注3
0	0	1	1	0	0	ADCAnI12 (物理チャンネル ANIn12) 注2、注3
0	0	1	1	0	1	ADCAnI13 (物理チャンネル ANIn13) 注2、注3
0	0	1	1	1	0	ADCAnI14 (物理チャンネル ANIn14) 注2、注3
0	0	1	1	1	1	ADCAnI15 (物理チャンネル ANIn15) 注2、注3
0	1	0	0	0	0	ADCAnI0S (物理チャンネル ANIn16) 注3
0	1	0	0	0	1	ADCAnI1S (物理チャンネル ANIn17) 注3
0	1	0	0	1	0	ADCAnI2S (物理チャンネル ANIn18) 注3
0	1	0	0	1	1	ADCAnI3S (物理チャンネル ANIn19) 注3

表 31.16 物理チャネルの選択 (2/2)

GCTRL5	GCTRL4	GCTRL3	GCTRL2	GCTRL1	GCTRL0	選択されるアナログ入力端子
0	1	0	1	0	0	ADCAnI4S (物理チャネル ANIn20) 注2、注3
0	1	0	1	0	1	ADCAnI5S (物理チャネル ANIn21) 注2、注3
0	1	0	1	1	0	ADCAnI6S (物理チャネル ANIn22) 注2、注3
0	1	0	1	1	1	ADCAnI7S (物理チャネル ANIn23) 注2、注3
0	1	1	0	0	0	ADCAnI8S (物理チャネル ANIn24) 注1、注2、注3
0	1	1	0	0	1	ADCAnI9S (物理チャネル ANIn25) 注1、注2、注3
0	1	1	0	1	0	ADCAnI10S (物理チャネル ANIn26) 注1、注2、注3
0	1	1	0	1	1	ADCAnI11S (物理チャネル ANIn27) 注1、注2、注3
0	1	1	1	0	0	ADCAnI12S (物理チャネル ANIn28) 注1、注2、注3
0	1	1	1	0	1	ADCAnI13S (物理チャネル ANIn29) 注1、注2、注3
0	1	1	1	1	0	ADCAnI14S (物理チャネル ANIn30) 注1、注2、注3
0	1	1	1	1	1	ADCAnI15S (物理チャネル ANIn31) 注1、注2、注3
1	0	0	0	0	0	ADCAnI16S (物理チャネル ANIn32) 注1、注2、注3
1	0	0	0	0	1	ADCAnI17S (物理チャネル ANIn33) 注1、注2、注3
1	0	0	0	1	0	ADCAnI18S (物理チャネル ANIn34) 注1、注2、注3
1	0	0	0	1	1	ADCAnI19S (物理チャネル ANIn35) 注1、注2、注3
1	0	0	1	0	0	A/D 変換回路の診断チャネル
上記以外						設定禁止

注 1. ADCA0 のみが対象です。ADCA1 では設定禁止 (RH850/F1K 176 pin)

注 2. ADCA0 のみが対象です。ADCA1 では設定禁止 (RH850/F1K 144 pin)

注 3. ADCA0 のみが対象です。ADCA1 では設定禁止 (RH850/F1K 100 pin)

31.3.2.2 ADCAnPVDVCR — PWM-Diag 仮想チャネルレジスタ

PWM-Diag (SG4) の仮想チャネル設定 (PWSAnPVCRx_y. レジスタ設定) を示すレジスタです。

アクセス ADCAnPVDVCR は 32 ビット単位でリードのみ可能です。
ADCAnPVDVCRLL は 16 ビット単位でリードのみ可能です。
ADCAnPVDVCRLL は 8 ビット単位でリードのみ可能です。
ADCAnPVDVCRLLH は 8 ビット単位でリードのみ可能です。

アドレス ADCAnPVDVCR : <ADCAn_base> + 0F4_H
ADCAnPVDVCRLL : <ADCAn_base> + 0F4_H
ADCAnPVDVCRLL : <ADCAn_base> + 0F4_H
ADCAnPVDVCRLLH : <ADCAn_base> + 0F4_H + 1_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MPXE 注1	MPXV[2:0] 注1			—	—	—	—	ULS[1:0]		GCTRL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.17 ADCAnPVDVCR レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。
15	MPXE 注1	PWSAnPVCRx_y.PWSAnVRDTy[27] (奇数チャネル)、または PWSAnPVCRx_y.PWSAnVRDTx[11] (偶数チャネル) ビットにより以下の設定を行います。 MPX イネーブルビット 外付けアナログマルチプレクサを使用するときにセットします。 0 : MPX の使用を禁止します。 1 : MPX の使用を許可します。仮想チャネルの開始時に MPXV[2:0] を ADCAnSEL0-2 から出力します。A/D 変換する前に 1A/D 変換時間のウェイトを挿入します
14 ~ 12	MPXV[2:0] 注1	PWSAnPVCRx_y.PWSAnVRDTy[26:24] (奇数チャネル)、または PWSAnPVCRx_y.PWSAnVRDTx[10:8] (偶数チャネル) ビットにより、外付けアナログマルチプレクサに転送する MPX の値を設定します。
11 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。
7 ~ 6	ULS[1:0]	PWSAnPVCRx_y.PWSAnVRDTy[23:22] (奇数チャネル)、または PWSAnPVCRx_y.PWSAnVRDTx[7:6] (偶数チャネル) により以下の設定を行います。 上限値 / 下限値テーブル選択ビット 00 : 上限 / 下限のチェックをしない 01 : ADCAnULLMTBR0 で上限 / 下限のチェックをする 10 : ADCAnULLMTBR1 で上限 / 下限のチェックをする 11 : ADCAnULLMTBR2 で上限 / 下限のチェックをする
5 ~ 0	GCTRL[5:0]	PWSAnPVCRx_y.PWSAnVRDTy[21:16] (奇数チャネル)、または PWSAnPVCRx_y.PWSAnVRDTx[5:0] (偶数チャネル) により以下の設定を行います。 物理チャネル選択ビット 仮想チャネル j に割り当てる、物理チャネルを指定します。 チャネルの選択は、「表 31.16 物理チャネルの選択」を参照してください。

注 1. 本ビットは ADCA0 のみ対応しています。ADCA1 においてはリードした場合はリセット後の値が読めます。

31.3.2.3 ADCAnDRj — データレジスタ j

ADCAnVCRj, ADCAnVCR (j+1) に対応した A/D 変換結果を格納する 32/16 ビットの読み出し専用レジスタです。A/D 変換結果は、上位に ADCAnVCR (j+1) の変換結果 (ADCAnDR(j+1)) を格納し、下位に ADCAnVCRj の変換結果 (ADCAnDRj) を格納します。

アクセス ADCAnDRj は 32 ビット単位でリードのみ可能です。
ADCAnDRjL, ADCAnDRjH は 16 ビット単位でリードのみ可能です。

アドレス ADCAnDRj : $\langle \text{ADCAn_base} \rangle + 100_{\text{H}} + j \times 2_{\text{H}}$
ADCAnDRjL : $\langle \text{ADCAn_base} \rangle + 100_{\text{H}} + j \times 2_{\text{H}}$
ADCAnDRjH : $\langle \text{ADCAn_base} \rangle + 100_{\text{H}} + j \times 2_{\text{H}} + 2_{\text{H}}$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DR(j+1)[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRj[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.18 ADCAnDRj レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	DR(j+1)[15:0]	A/D 変換結果データを格納する。 (ADCAnVCR(j+1) で設定されたチャンネルに対しての A/D 変換結果を転送する)
15 ~ 0	DRj[15:0]	A/D 変換結果データを格納する。 (ADCAnVCRj で設定されたチャンネルに対しての A/D 変換結果を転送する)

注 意

チャンネル数が奇数の場合、ADCAnDRj レジスタの上位ビット (DR(j+1)[15:0]) は使用できません。また、仮想チャンネル 33, 34, 35 を自己診断専用で使用する場合、チャンネル 32 用の下位ビット (DRj[15:0]) は使用不可になります。

備 考

- $j = 00, 02, \dots, 46, 48$ (ADCA0 の場合)
 $j = 00, 02, \dots, 32, 34$ (RH850/F1K 176 pin、144 pin の ADCA1 の場合)
- 本レジスタのデータフォーマットは、ADCAnADCR.CRAC、ADCAnADCR.CTYP を制御することで、以下に示すデータフォーマットとなります。
 - ADCAnADCR.CTYP = "0"、ADCAnADCR.CRAC = "0" → 右詰め
→ ADCAnVCR(j+1) の A/D 変換結果は bit27-16 に、ADCAnVCRj の A/D 変換結果は bit11-0 に転送される。
 - ADCAnADCR.CTYP = "0"、ADCAnADCR.CRAC = "1" → 左詰め
→ ADCAnVCR(j+1) の A/D 変換結果は bit31-bit20 に、ADCAnVCRj の A/D 変換結果は bit15-4 に転送される。
 - ADCAnADCR.CTYP = "1"、ADCAnADCR.CRAC = "0" → 右詰め
→ ADCAnVCR(j+1) の A/D 変換結果は bit25-16 に、ADCAnVCRj の A/D 変換結果は bit9-0 に転送される。
 - ADCAnADCR.CTYP = "1"、ADCAnADCR.CRAC = "1" → 左詰め
→ ADCAnVCR(j+1) の A/D 変換結果は bit31-22 に、ADCAnVCRj の A/D 変換結果は bit15-6 に転送される。

31.3.2.4 ADCAnDIRj — データ付帯情報レジスタ j

ADCAnDRj の A/D 変換結果と A/D 変換値に付帯する情報を格納する 32 ビットの読み出し専用のレジスタです。

A/D 変換結果は ADCAnDRj の値が転送され、A/D 変換値に付帯する情報は、ライトフラグ (WFLG)、MPX 値 (MPXV[2:0])、物理チャンネル (ID[5:0]) が転送されます。ADCAnDIRj に格納される A/D 変換結果は、ADCAnDRj レジスタのデータフォーマットと同等です。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ADCAn_base> + 200_H + j × 4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MPXE 注1	MPXV[2:0]注1			—	—	WFLG	—	—	—	ID[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.19 ADCAnDIRj レジスタの内容

ビット位置	ビット名	機能
31	MPXE注1	MPX イネーブルフラグビット 0 : MPX 機能を使用していない 1 : MPX 機能を使用している
30 ~ 28	MPXV[2:0]注1	MPX 値を格納します。 格納される MPX 値は、直前の変換結果の MPX 値となります。
27, 26	予約ビット	リードした場合はリセット後の値が読めます。
25	WFLG	ライトフラグ 0 : ADCAnDRj もしくは ADCAnDIRj をリードした (読み出されたときにクリア) 1 : ADCAnDRj に A/D 変換値を格納した (格納したときにセット)
24 ~ 22	予約ビット	リードした場合はリセット後の値が読めます。
21 ~ 16	ID[5:0]	変換結果に対応する物理チャンネル番号 (GCTRL) を格納します。 格納される物理チャンネル番号は、直前の変換結果に対応する物理チャンネル番号です。
15 ~ 0	DR[15:0]	A/D 変換結果を格納します。

注 1. 本ビットは ADCA0 のみ対応しています。

ADCA1 においては、リードした場合はリセット後の値が読めます。

31.3.2.5 ADCAnPWDTSNDR — PWM-Diag データレジスタ

PWM-Diag の A/D 変換結果を格納する 32/16 ビットの読み出し専用レジスタです。変換結果は、上位に PWM-Diag の変換結果 (PWDDR) を格納します。

アクセス ADCAnPWDTSNDR は 32 ビット単位でリードのみ可能です。
ADCAnPWDTSNDRH は 16 ビット単位でリードのみ可能です。

アドレス ADCAnPWDTSNDR : <ADCAn_base> + 178_H
ADCAnPWDTSNDRH : <ADCAn_base> + 17A_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PWDDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.20 ADCAnPWDTSNDR レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	PWDDR[15:0]	PWM-Diag A/D 変換結果データを格納する。
15 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。

備考

本レジスタのデータフォーマットは、ADCAnADCR.CRAC、ADCAnADCR.CTYP を制御することで、以下に示すデータフォーマットとなります。

- ADCAnADCR.CTYP = “0”、ADCAnADCR.CRAC = “0” → 右詰め
→ ADCAnPWDVCR の A/D 変換結果は bit27-16 に転送される。
- ADCAnADCR.CTYP = “0”、ADCAnADCR.CRAC = “1” → 左詰め
→ ADCAnPWDVCR の A/D 変換結果は bit31-bit20 に転送される。
- ADCAnADCR.CTYP = “1”、ADCAnADCR.CRAC = “0” → 右詰め
→ ADCAnPWDVCR の A/D 変換結果は bit25-16 に転送される。
- ADCAnADCR.CTYP = “1”、ADCAnADCR.CRAC = “1” → 左詰め
→ ADCAnPWDVCR の A/D 変換結果は bit31-22 に転送される。

31.3.2.6 ADCAnPWDDIR — PWM-Diag データ付帯情報レジスタ

PWM-Diag 使用時の A/D 変換結果と A/D 変換値に付帯する情報を格納する 32 ビットの読み出し専用のレジスタです。

A/D 変換結果は ADCAnPWDTSNDR.PWDDR[15:0] の値が転送され、A/D 変換値に付帯する情報は、ライトフラグ (WFLG)、MPX 値 (MPXV[2:0])、物理チャネル (ID[5:0]) が転送されます。ADCAnPWDDIR に格納される A/D 変換結果は、ADCAnPWDTSNDR レジスタのデータフォーマットと同等です。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ADCAn_base> + 2F4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MPXE 注1	MPXV[2:0]注1			—	—	WFLG	—	—	—	ID[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PWDDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.21 ADCAnPWDDIR レジスタの内容

ビット位置	ビット名	機能
31	MPXE注1	MPX イネーブルフラグビット 0 : MPX 機能を使用していない 1 : MPX 機能を使用している
30 ~ 28	MPXV[2:0]注1	MPX 値を格納します。 格納される MPX 値は、直前の変換結果の MPX 値となります。
27 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。
25	WFLG	ライトフラグ 0 : ADCAnPWDTSNDR もしくは、ADCAnPWDDIR をリードした (読み出されたときにクリア) 1 : ADCAnPWDTSNDR に A/D 変換値を格納した (格納したときにセット)
24 ~ 22	予約ビット	リードした場合はリセット後の値が読めます。
21 ~ 16	ID[5:0]	変換結果に対応する物理チャネル番号 (GCTRL) を格納します。 格納される物理チャネル番号は、直前の変換結果に対応する物理チャネル番号です。
15 ~ 0	PWDDR[15:0]	PWM-Diag A/D 変換結果を格納します。

注 1. 本ビットは ADCA0 のみ対応しています。
ADCA1 においては、リードした場合はリセット後の値が読めます。

31.3.2.7 ADCAnADHALTR — A/D 強制終了レジスタ

ADCAn のすべての SG の変換を終了するレジスタです。読み出しは常に 0 が読み出されま
す。

アクセス ADCAnADHALTR は 32 ビット単位でライトのみ可能です。
ADCAnADHALTRL は 16 ビット単位でライトのみ可能です。
ADCAnADHALTRLL は 8 ビット単位でライトのみ可能です。

アドレス ADCAnADHALTR : <ADCAn_base> + 300_H
ADCAnADHALTRL : <ADCAn_base> + 300_H
ADCAnADHALTRLL : <ADCAn_base> + 300_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	HALT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 31.22 ADCAnADHALTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	HALT	ADCA 強制終了トリガ 全スキャングループを終了かつ初期化し、ADCA をアイドル状態にします。 0 の書き込み：機能なし 1 の書き込み：終了する

31.3.2.8 ADCAnADCR — A/D 制御レジスタ

ADCAn の共通制御を行うレジスタです。

アクセス ADCAnADCR は 32 ビット単位でリード/ライト可能です。
ADCAnADCRL は 16 ビット単位でリード/ライト可能です。
ADCAnADCRL は 8 ビット単位でリード/ライト可能です。

アドレス ADCAnADCR : <ADCAn_base> + 304_H
ADCAnADCRL : <ADCAn_base> + 304_H
ADCAnADCRL : <ADCAn_base> + 304_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DGON	—	CRAC	CTYP	—	—	SUSMTD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R	R	R/W	R/W

表 31.23 ADCAnADCR レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	DGON	自己診断電圧スタンバイ制御ビット 0 : 自己診断電圧回路を OFF します。 1 : 自己診断電圧回路を ON、または基準電圧の更新を行います。
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CRAC	アライメント制御ビット 0 : PWDDR, ADCAnDRj への変換結果の格納を右詰めにする。 1 : PWDDR, ADCAnDRj への変換結果の格納を左詰めにする。
4	CTYP	12/10 ビット選択モードビット 0 : 12 ビットモード 1 : 10 ビットモード
3, 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	SUSMTD [1:0]	サスペンドモード選択ビット 高優先スキャングループが低優先スキャングループに割り込むときのサスペンド方式を選択します。 00 : 高優先度 SG および SVSTOP が割り込むとき同期サスペンド 01 : SG1 に高優先度 SG(SG2,3,4) と SVSTOP が割り込むときは非同期サスペンド SG2 に高優先度 SG(SG3,4) と SVSTOP が割り込むときは同期サスペンド SG3 に高優先度 SG(SG4) と SVSTOP が割り込むときは同期サスペンド 10 : 高優先度 SG および SVSTOP が割り込むとき非同期サスペンド 11 : 設定禁止

注 意

誤動作を防ぐため、ADCAnADCR の設定は全スキャングループの SGACT が 0 の状態 (スキャングループ起動前) かつ全スキャングループの TRGMMD が 0 のとき、行ってください。

備 考

- 同期サスペンド：
低優先 SG を処理中に高優先 SG の要求が発生したとき、A/D 変換中のチャンネルの処理が終了してから高優先 SG の A/D 変換を実行します。高優先 SG の処理が終了後、低優先 SG の A/D チャンネルの変換を再開します。
- 非同期サスペンド：
低優先 SG を処理中に高優先 SG の要求が発生したとき、A/D 変換中のチャンネルの処理を中断し高優先 SG の A/D 変換を実行します。高優先 SG の処理が終了後、低優先 SG の中断した A/D チャンネルから変換を再開します。

詳細は「**図 31.21 同期サスペンド & レジューム動作例**」と「**図 31.22 非同期サスペンド & レジューム動作例**」を参照してください。

31.3.2.9 ADCAnMPXCURR — MPX カレントレジスタ

外付けアナログマルチプレクサ用の MPX 値を格納するレジスタです。

アクセス ADCAnMPXCURR は 32 ビット単位でリードのみ可能です。
ADCAnMPXCURRL は 16 ビット単位でリードのみ可能です。
ADCAnMPXCURRLL は 8 ビット単位でリードのみ可能です。

アドレス ADCAnMPXCURR : <ADCAn_base> + 30C_H
ADCAnMPXCURRL : <ADCAn_base> + 30C_H
ADCAnMPXCURRLL : <ADCAn_base> + 30C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	MPXCUR[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.24 ADCAnMPXCURR レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2 ~ 0	MPXCUR[2:0]	カレントの MPX 値を格納します。 ADCAnVCRj.MPXE=1 に設定し、仮想チャネルの変換を開始した場合は、ADCAnVCRj.MPXV[2:0] の設定値を格納します。 ADCAnPWDVCR.MPXE=1 に設定し、仮想チャネルの変換を開始した場合は、ADCAnPWDVCR.MPXV[2:0] の設定値を格納します。

備考

RH850/F1K では ADCA0 のみ対応しています。

31.3.2.10 ADCAnTHSMPSTCR — T&H サンプリング開始制御レジスタ

全 T&Hk (k = 0-5) のサンプリング開始を制御するレジスタです。読み出しは常に 0 です。

アクセス ADCAnTHSMPSTCR は、32 ビット単位でライトのみ可能です。
ADCAnTHSMPSTCRL は、16 ビット単位でライトのみ可能です。
ADCAnTHSMPSTCRL は、8 ビット単位でライトのみ可能です。

アドレス ADCAnTHSMPSTCR : <ADCAn_base> + 314_H
ADCAnTHSMPSTCRL : <ADCAn_base> + 314_H
ADCAnTHSMPSTCRL : <ADCAn_base> + 314_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SMPST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 31.25 ADCAnTHSMPSTCR レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	SMPST	<p>T&H サンプリング開始制御トリガ 0 : 機能しません 1 : 全 T&H のサンプリングを開始します</p> <p>T&H 回路がサンプリング状態となる条件は以下のとおりです。</p> <ul style="list-style-type: none"> • T&H 停止中のサンプリング開始条件 1 : ADCAnTHER.THkE = 1 (k = 0-5) の状態で、ADCAnTHSMPSTCR.SMPST に 1 を書き込んだとき。 • オートサンプリング時の連続サンプリング開始条件 : ADCAnTHER.THkE = 1 (k = 0-5) の状態、かつ ADCAnTHCR.ASMPMSK = 1 の状態で、T&Hk のホールド値の A/D 変換が終了したとき。

備考

RH850/F1K では ADCA0 のみ対応しています。

31.3.2.11 ADCAnTHCR — T&H 制御レジスタ

T&H 回路にホールドされた値の A/D 変換終了後のサンプリング遷移を制御するレジスタです。

T&H 回路にホールドされた値の A/D 変換終了後の T&H 回路のサンプリングを自動的に開始することで、次回以降のホールド完了トリガ発生までの時間を短縮します。

アクセス ADCAnTHCR は、32 ビット単位でリード/ライト可能です。
ADCAnTHCRL は、16 ビット単位でリード/ライト可能です。
ADCAnTHCRL は、8 ビット単位でリード/ライト可能です。

アドレス ADCAnTHCR : <ADCAn_base> + 318_H
ADCAnTHCRL : <ADCAn_base> + 318_H
ADCAnTHCRL : <ADCAn_base> + 318_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ASMPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 31.26 ADCAnTHCR レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ASMPMSK	自動サンプリングマスク制御ビット 0 : 自動サンプリングをしない 1 : 自動サンプリングする

注 意

誤動作を防ぐため、ADCAnTHCR の設定は全スキャングループの SGACT が 0 の状態 (スキャングループ起動前) かつ全スキャングループの TRGMD が 0 のとき、行ってください。

備 考

RH850/F1K では ADCA0 のみ対応しています。

31.3.2.12 ADCAnTHAHLDDSTCR — T&H グループ A ホールド開始制御レジスタ

T&H グループ A のホールド開始を制御するレジスタです。読み出しは常に 0 です。

アクセス ADCAnTHAHLDDSTCR は、32 ビット単位でライトのみ可能です。
ADCAnTHAHLDDSTCRL は、16 ビット単位でライトのみ可能です。
ADCAnTHAHLDDSTCRLL は、8 ビット単位でライトのみ可能です。

アドレス ADCAnTHAHLDDSTCR : <ADCAn_base> + 31C_H
ADCAnTHAHLDDSTCRL : <ADCAn_base> + 31C_H
ADCAnTHAHLDDSTCRLL : <ADCAn_base> + 31C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	HLDST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 31.27 ADCAnTHAHLDDSTCR レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	HLDST	T&H グループ A ホールド開始制御トリガ 0 : 機能しません 1 : T&H グループ A のホールドを開始します T&H 回路グループ A がホールド状態となる条件は以下のとおりです。 <ul style="list-style-type: none"> ADCAnTHER.THkE = 1 (k = 0-5) の状態、かつ ADCAnTHGSR.THkGS = 0 (k = 0-5) の状態で、ADCAnTHAHLDDSTCR.HLDST に 1 を書き込んだとき

備考

RH850/F1K では ADCA0 のみ対応しています。

31.3.2.13 ADCAnTHBHLDDSTCR — T&H グループ B ホールド開始制御レジスタ

T&H グループ B のホールド開始を制御するレジスタです。読み出しは常に 0 です。

アクセス ADCAnTHBHLDDSTCR は、32 ビット単位でライトのみ可能です。
ADCAnTHBHLDDSTCRL は、16 ビット単位でライトのみ可能です。
ADCAnTHBHLDDSTCRLL は、8 ビット単位でライトのみ可能です。

アドレス ADCAnTHBHLDDSTCR : <ADCAn_base> + 320_H
ADCAnTHBHLDDSTCRL : <ADCAn_base> + 320_H
ADCAnTHBHLDDSTCRLL : <ADCAn_base> + 320_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	HLDST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 31.28 ADCAnTHBHLDDSTCR レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	HLDST	T&H グループ B ホールド開始制御トリガ 0 : 機能しません 1 : T&H グループ B のホールドを開始します T&H 回路グループ B がホールド状態となる条件は以下のとおりです。 <ul style="list-style-type: none"> • ADCAnTHER.THkE = 1 (k = 0-5) の状態、かつ ADCAnTHGSR.THkGS = 1 (k = 0-5) の状態で、ADCAnTHBHLDDSTCR.HLDST に 1 を書き込んだとき

備考

RH850/F1K では ADCA0 のみ対応しています。

31.3.2.14 ADCAnTHACR — T&H グループ A 制御レジスタ

T&H グループ A を制御するレジスタです。

アクセス ADCAnTHACR は、32 ビット単位でリード/ライト可能です。
ADCAnTHACRL は、16 ビット単位でリード/ライト可能です。
ADCAnTHACRLL は、8 ビット単位でリード/ライト可能です。

アドレス ADCAnTHACR : <ADCAn_base> + 324_H
ADCAnTHACRL : <ADCAn_base> + 324_H
ADCAnTHACRLL : <ADCAn_base> + 324_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	HLDCT E	HLDTE	—	—	SGS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

表 31.29 ADCAnTHACR レジスタの内容

ビット位置	ビット名	機能
31 ~ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	HLDCTE	T&H グループ A ホールド完了トリガイネーブルビット 本ビットは、T&H 回路の自己診断時に使用します。 0 : 自己診断を行わない 1 : 自己診断を行う 備考 : ADCAnTHACR の SGS[1:0] と ADCAnTHBCR の SGS[1:0] で選択されていないスキャングループのトリガ入力は、SGx_TRG (x = 1-3) トリガが選択されます。
4	HLDTE	T&H グループ A ホールドトリガイネーブルビット 0 : T&H グループ A のホールド開始トリガに、SGS[1:0] で選択した SGx (x = 1-3) トリガを選択する 1 : T&H グループ A のホールド開始トリガに、SGS[1:0] で選択した SGx (x = 1-3) トリガを選択しない 備考 : ADCAnTHACR.HLDTE の設定にかかわらず、ADCAnTHAHLDDSTCR.HLDST はホールド開始トリガとなります。また、T&H 回路の自己診断を行う際は、本ビットは 0 をセットしてください。
3, 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	SGS[1:0]	T&H グループ A スキャングループ選択ビット 00 : T&H グループ A にスキャングループを選択しない。 01 : T&H グループ A に SG1 を選択する。 10 : T&H グループ A に SG2 を選択する。 11 : T&H グループ A に SG3 を選択する。 備考 : 1. ADCAnTHACR.SGS[1:0] = 0 _H に設定した場合は、T&H は動作しません。 ADCAnTHACR.THKE で T&Hk を有効にする場合は、必ず SGS[1:0] でスキャングループを指定してください。 2. T&H グループ B と同じスキャングループを選択することは禁止です。

注 意

誤動作を防ぐため、ADCA_nTHACR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のとき、行ってください。

備 考

RH850/F1K では ADCA0 のみ対応しています。

31.3.2.15 ADCAnTHBCR — T&H グループ B 制御レジスタ

T&H グループ B を制御するレジスタです。

アクセス ADCAnTHBCR は、32 ビット単位でリード/ライト可能です。
ADCAnTHBCRL は、16 ビット単位でリード/ライト可能です。
ADCAnTHBCRLL は、8 ビット単位でリード/ライト可能です。

アドレス ADCAnTHBCR : <ADCAn_base> + 328_H
ADCAnTHBCRL : <ADCAn_base> + 328_H
ADCAnTHBCRLL : <ADCAn_base> + 328_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	HLDCT E	HLDTE	—	—	SGS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

表 31.30 ADCAnTHBCR レジスタの内容

ビット位置	ビット名	機能
31 ~ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	HLDCTE	T&H グループ B ホールド完了トリガイネーブルビット 本ビットは、T&H 回路の自己診断時に使用します。 0 : 自己診断を行わない 1 : 自己診断を行う 備考 : ADCAnTHACR の SGS[1:0] と ADCAnTHBCR の SGS[1:0] で選択されていないスキャングループのトリガ入力は、SGx_TRG (x = 1-3) トリガが選択されます。
4	HLDTE	T&H グループ B ホールドトリガイネーブルビット 0 : T&H グループ B のホールド開始トリガに、SGS[1:0] で選択した SGx (x = 1-3) トリガを選択する 1 : T&H グループ B のホールド開始トリガに、SGS[1:0] で選択した SGx (x = 1-3) トリガを選択しない 備考 : ADCAnTHBCR.HLDTE の設定にかかわらず、ADCAnTHBHLSTCR.HLDST はホールド開始トリガとなります。また、T&H 回路の自己診断を行う際は、本ビットは 0 をセットしてください。
3, 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	SGS[1:0]	T&H グループ B スキャングループ選択ビット 00 : T&H グループ B にスキャングループを選択しない。 01 : T&H グループ B に SG1 を選択する。 10 : T&H グループ B に SG2 を選択する。 11 : T&H グループ B に SG3 を選択する。 備考 : 1. ADCAnTHBCR.SGS[1:0] = 0 _H に設定した場合は、T&H は動作しません。ADCAnTHER.THkE で T&Hk を有効にする場合は、必ず SGS[1:0] でスキャングループを指定してください。 2. T&H グループ A と同じスキャングループを選択することは禁止です。

注 意

誤動作を防ぐため、ADCA_nTHBCR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のとき、行ってください。

備 考

RH850/F1K では ADCA0 のみ対応しています。

31.3.2.16 ADCAnTHER — T&H イネーブルレジスタ

各 T&H の有効/無効を制御するレジスタです。

アクセス ADCAnTHER は 32 ビット単位でリード/ライト可能です。
ADCAnTHERL は 16 ビット単位でリード/ライト可能です。
ADCAnTHERLL は 8 ビット単位でリード/ライト可能です。

アドレス ADCAnTHER : <ADCAn_base> + 32C_H
ADCAnTHERL : <ADCAn_base> + 32C_H
ADCAnTHERLL : <ADCAn_base> + 32C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	TH5E	TH4E	TH3E	TH2E	TH1E	TH0E
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 31.31 ADCAnTHER レジスタの内容

ビット位置	ビット名	機能
31 ~ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	TH5E	T&H5 イネーブルビット 0 : T&H5 無効 1 : T&H5 有効 備考 : TH5E = 0 に設定した場合、T&H5 は常に停止状態です。
4	TH4E	T&H4 イネーブルビット 0 : T&H4 無効 1 : T&H4 有効 備考 : TH4E = 0 に設定した場合、T&H4 は常に停止状態です。
3	TH3E	T&H3 イネーブルビット 0 : T&H3 無効 1 : T&H3 有効 備考 : TH3E = 0 に設定した場合、T&H3 は常に停止状態です。
2	TH2E	T&H2 イネーブルビット 0 : T&H2 無効 1 : T&H2 有効 備考 : TH2E = 0 に設定した場合、T&H2 は常に停止状態です。
1	TH1E	T&H1 イネーブルビット 0 : T&H1 無効 1 : T&H1 有効 備考 : TH1E = 0 に設定した場合、T&H1 は常に停止状態です。
0	TH0E	T&H0 イネーブルビット 0 : T&H0 無効 1 : T&H0 有効 備考 : TH0E = 0 に設定した場合、T&H0 は常に停止状態です。

注 意

誤動作を防ぐため、ADCAnTHER の設定は全スキャングループの SGACT が 0 の状態 (スキャングループ起動前) かつ全スキャングループの TRGMD が 0 のとき、行ってください。

備 考

RH850/F1K では ADCA0 のみ対応しています。

31.3.2.17 ADCAnTHGSR — T&H グループ選択レジスタ

各 T&H の T&H グループを選択するレジスタです。

アクセス ADCAnTHGSR は、32 ビット単位でリード/ライト可能です。
ADCAnTHGSRL は、16 ビット単位でリード/ライト可能です。
ADCAnTHGSRL は、8 ビット単位でリード/ライト可能です。

アドレス ADCAnTHGSR : <ADCAn_base> + 330_H
ADCAnTHGSRL : <ADCAn_base> + 330_H
ADCAnTHGSRL : <ADCAn_base> + 330_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	TH5GS	TH4GS	TH3GS	TH2GS	TH1GS	TH0GS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 31.32 ADCAnTHGSR レジスタの内容

ビット位置	ビット名	機能
31 ~ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	TH5GS	T&H5 グループ選択ビット 0 : T&H5 をグループ A に選択 1 : T&H5 をグループ B に選択
4	TH4GS	T&H4 グループ選択ビット 0 : T&H4 をグループ A に選択 1 : T&H4 をグループ B に選択
3	TH3GS	T&H3 グループ選択ビット 0 : T&H3 をグループ A に選択 1 : T&H3 をグループ B に選択
2	TH2GS	T&H2 グループ選択ビット 0 : T&H2 をグループ A に選択 1 : T&H2 をグループ B に選択
1	TH1GS	T&H1 グループ選択ビット 0 : T&H1 をグループ A に選択 1 : T&H1 をグループ B に選択
0	TH0GS	T&H0 グループ選択ビット 0 : T&H0 をグループ A に選択 1 : T&H0 をグループ B に選択

注 意

- T&H0 ~ T&H2 を T&H3 ~ T&H5 と同じグループに設定しないでください。

例

- グループ A : 0ch、1ch、2ch
グループ B : 3ch、4ch、5ch →設定可能
 - グループ A : 0ch
グループ B : 1ch、2ch →設定可能
 - グループ A : 0ch、1ch、3ch
グループ B : 2ch、4ch →設定禁止
- 誤動作を防ぐため、ADCA_nTHGSR の設定は全スキャングループの SGACT が 0 の状態 (スキャングループ起動前) かつ全スキャングループの TRGMD が 0 のとき、行ってください。
-

備 考

RH850/F1K では ADCA0 のみ対応しています。

31.3.2.18 ADCAnSMPCR — サンプリング制御レジスタ

サンプリング時間を設定するレジスタです。SG4 (PWM-Diag) と SG1-3 のサンプリング時間を制御します。

アクセス ADCAnSMPCR は、32 ビット単位でリード/ライト可能です。
ADCAnSMPCRL は、16 ビット単位でリード/ライト可能です。
ADCAnSMPCRLL は、8 ビット単位でリード/ライト可能です。

アドレス ADCAnSMPCR : <ADCAn_base> + 380_H
ADCAnSMPCRL : <ADCAn_base> + 380_H
ADCAnSMPCRLL : <ADCAn_base> + 380_H

リセット後の値 0000 0018_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	SMPT[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.33 ADCAnSMPCR レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ~ 0	SMPT[7:0]	サンプリング時間 (サイクル数) 設定ビットです。 12 _H : 18 サイクル (ADCLK = 8MHz ~ 32MHz) 18 _H : 24 サイクル (ADCLK = 8MHz ~ 40MHz) これ以外の値は設定禁止です。

注 意

- 誤動作を防ぐため、ADCAnSMPCR の設定は全スキュングループの SGACT が 0 の状態 (スキュングループ起動前) かつ全スキュングループの TRGMD が 0 のとき、行ってください。
- SMPT を変更した場合、仮想チャンネルレジスタ j (ADCAnVCRj)、または PWM-Diag 仮想チャンネルレジスタ (ADCAnPVDVCR) によって MPX を使用する際の、A/D 変換ウェイト時間も変更されます。

31.3.2.19 ADCAnSFTCR — セーフティ制御レジスタ

セーフティ制御に関するレジスタです。

アクセス ADCAnSFTCR は、32 ビット単位でリード/ライト可能です。
ADCAnSFTCRL は、16 ビット単位でリード/ライト可能です。
ADCAnSFTCRLR は、8 ビット単位でリード/ライト可能です。

アドレス ADCAnSFTCR : <ADCAn_base> + 334_H
ADCAnSFTCRL : <ADCAn_base> + 334_H
ADCAnSFTCRLR : <ADCAn_base> + 334_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	RDCLRE	ULEIE	OWEIE	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 31.34 ADCAnSFTCR レジスタの内容

ビット位置	ビット名	機能
31 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	RDCLRE	リード & クリアイネーブル A/D 変換結果をリードした時に A/D 変換結果をハードウェアでクリアするか選択します。 0 : ADCAnPWDTSNDR/ADCAnDRj もしくは ADCAnPWDDIR/ADCAnDIRj のリードで ADCAnPWDTSNDR/ADCAnDRj と ADCAnPWDDIR/ADCAnDIRj をクリアしない 1 : ADCAnPWDTSNDR/ADCAnDRj もしくは ADCAnPWDDIR/ADCAnDIRj のリードで ADCAnPWDTSNDR/ADCAnDRj と ADCAnPWDDIR/ADCAnDIRj をクリアする ADCAnDIRj の WFLG は、RDCLRE によらず、ADCAnDRj もしくは ADCAnDIRj のリードでクリアされます。
3	ULEIE	上限/下限エラー検出時の A/D エラー割り込み (INT_ADE) イネーブル 0 : 禁止 1 : 許可
2	OWEIE	オーバーライトエラー検出時の A/D エラー割り込み (INT_ADE) イネーブル 0 : 禁止 1 : 許可
1, 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

誤動作を防ぐため、ADCAnSFTCR の設定は全スキャングループの SGACT が 0 の状態 (スキャングループ起動前) かつ全スキャングループの TRGMD が 0 のとき行ってください。

31.3.2.20 ADCAnULLMTBR0 ~ 2 — 上限/下限テーブルレジスタ 0 ~ 2

A/D 変換値の上限/下限エラー検出閾値を設定するレジスタです。

ADCAnPWDVCR.ULS[1:0]、ADCAnVCRj.ULS[1:0] の設定により、ADCAnULLMTBR0 ~ 2 のいずれかを指定し、それぞれ ADCAnPWDTSNDR、ADCAnDRj と比較します。

アクセス ADCAnULLMTBR0 ~ 2 は、32 ビット単位でリード/ライト可能です。
ADCAnULLMTBR0L ~ 2L、ADCAnULLMTBR0H ~ 2H は、16 ビット単位でリード/ライト可能です。

アドレス ADCAnULLMTBR0 : <ADCAn_base> + 338_H
ADCAnULLMTBR1 : <ADCAn_base> + 33C_H
ADCAnULLMTBR2 : <ADCAn_base> + 340_H

ADCAnULLMTBR0L : <ADCAn_base> + 338_H
ADCAnULLMTBR1L : <ADCAn_base> + 33C_H
ADCAnULLMTBR2L : <ADCAn_base> + 340_H

ADCAnULLMTBR0H : <ADCAn_base> + 338_H + 2_H
ADCAnULLMTBR1H : <ADCAn_base> + 33C_H + 2_H
ADCAnULLMTBR2H : <ADCAn_base> + 340_H + 2_H

リセット後の値 FFF0 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ULMTB[11:0]												—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LLMTB[11:0]												—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 31.35 ADCAnULLMTBR0 ~ 2 レジスタの内容

ビット位置	ビット名	機能
31 ~ 20	ULMTB[11:0]	上限テーブル A/D 変換値の上限エラー検出閾値を指定します。下記条件が成立したとき上限エラー (ADCAnULER.UE) をセットします。 ULMTB[11:0] < A/D 変換値
19 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 4	LLMTB[11:0]	下限テーブル A/D 変換値の下限エラー検出閾値を指定します。下記条件が成立したとき下限エラー (ADCAnULER.LE) をセットします。 LLMTB[11:0] > A/D 変換値
3 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

- A/D 変換を 10 ビットモード (ADCAnADCR.CTYP=1) で指定した場合、ULMTB[1:0] は 11_B、LLMTB[1:0] は 00_B にセットしてください。
- 誤動作を防ぐため、ADCAnULLMTBR0 ~ 2 の設定は全スキャングループの SGACT が 0 の状態 (スキャングループ起動前) かつ全スキャングループの TRGMD が 0 のとき、行ってください。
- 上限テーブル (ULMTB[11:0]) > 下限テーブル (LLMTB[11:0]) となるように設定してください。

31.3.2.21 ADCAnECR — エラークリアレジスタ

エラークリアを制御するレジスタです。読み出しは常に0が読み出されます。

アクセス ADCAnECRは、32ビット単位でライトのみ可能です。
ADCAnECRLは、16ビット単位でライトのみ可能です。
ADCAnECRLLは、8ビット単位でライトのみ可能です。

アドレス ADCAnECR : <ADCAn_base> + 344_H
ADCAnECRL : <ADCAn_base> + 344_H
ADCAnECRLL : <ADCAn_base> + 344_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	ULEC	OWEC	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	W	W	R	R

表 31.36 ADCAnECR レジスタの内容

ビット位置	ビット名	機能
31～4	予約ビット	ライトする場合はリセット後の値を書いてください。
3	ULEC	上限エラーフラグ (ADCAnULER.UE) および、下限エラーフラグ (ADCAnULER.LE) クリア、上限/下限エラーキャプチャ (ADCAnULER.ULECAP[5:0])、上限/下限エラー発生時のスキャングループビット (ULSG[1:0])、MPX 使用有無ビット (MPXE)、および上限/下限エラー発生時の MPX 値格納ビット (MPXV[2:0]) クリア 0: 機能しません 1: クリアします
2	OWEC	オーバーライトエラーフラグ (ADCAnOWER.OWE) および、オーバーライトエラーキャプチャ (ADCAnOWER.OWECAP[5:0]) クリア 0: 機能しません 1: クリアします
1、0	予約ビット	ライトする場合はリセット後の値を書いてください。

31.3.2.22 ADCAnULER — 上限/下限エラーレジスタ

上限/下限エラーに関する情報を示す読み出し専用レジスタです。

アクセス ADCAnULER は、32 ビット単位でリードのみ可能です。
ADCAnULERL は、16 ビット単位でリードのみ可能です。

ADCAnULERLH は、8 ビット単位でリードのみ可能です。
ADCAnULERLL は、8 ビット単位でリードのみ可能です。

アドレス ADCAnULER : <ADCAn_base> + 348_H
ADCAnULERL : <ADCAn_base> + 348_H

ADCAnULERLL : <ADCAn_base> + 348_H
ADCAnULERLH : <ADCAn_base> + 348_H + 1_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UE	LE	ULSG[1:0]	MPXE	MPXV[2:0]		—	—	ULECAP[5:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.37 ADCAnULER レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。
15	UE	上限エラーフラグ 0 : 上限エラー未検出 1 : 上限エラー検出 セット条件 A/D 変換値が、指定した上限/下限テーブルレジスタ 0 ~ 2 (ADCAnULLMTBR0 ~ 2) で設定した上限閾値を上回ったとき。 本ビットがセットされている状態で、以降の A/D 変換による上限値エラーを検出した場合は、ADCAnULER レジスタの更新は行いません。 クリア条件 ADCAnECCR.ULEC に 1 を書き込んだとき
14	LE	下限エラーフラグ 0 : 下限エラー未検出 1 : 下限エラー検出 セット条件 A/D 変換値が、指定した上限/下限テーブルレジスタ 0 ~ 2 (ADCAnULLMTBR0 ~ 2) で設定した下限閾値を下回ったとき。 本ビットがセットされている状態で、以降の A/D 変換による下限値エラーを検出した場合は、ADCAnULER レジスタの更新は行いません。 クリア条件 ADCAnECCR.ULEC に 1 を書き込んだとき。
13, 12	ULSG[1:0]	上限/下限エラー発生時のスキャングループビット 00 : 上限/下限エラーなし 01 : 上限/下限エラー発生時のスキャングループが SG1-SG3 10 : 上限/下限エラー発生時のスキャングループが PWM-Diag キャプチャ条件 UE = 0 かつ LE = 0 の状態で A/D 変換値が指定した上限/下限テーブルの範囲を超えたとき クリア条件 ADCAnECCR.ULEC に 1 を書き込んだとき

表 31.37 ADCAnULER レジスタの内容 (2/2)

ビット位置	ビット名	機能
11	MPXE ^{注1}	MPX 使用有無ビット 0: 上限/下限エラー発生時、MPX 機能を使用していない。 1: 上限/下限エラー発生時、MPX 機能を使用している。 キャプチャ条件 UE = 0 かつ LE = 0 の状態で A/D 変換値が指定した上限/下限テーブルの範囲を超えたとき クリア条件 ADCAnECR.ULEC に 1 を書き込んだとき
10 ~ 8	MPXV[2:0] ^{注1}	上限/下限エラー発生時の MPX 値を格納する。 キャプチャ条件 UE = 0 かつ LE = 0 の状態で A/D 変換値が指定した上限/下限テーブルの範囲を超えたとき クリア条件 ADCAnECR.ULEC に 1 を書き込んだとき
7	予約ビット	リードした場合は不定値が読めます。
6	予約ビット	リードした場合はリセット後の値が読めます。
5 ~ 0	ULECAP[5:0]	上限/下限エラーキャプチャ 上限/下限エラーが発生したときの物理チャネルをキャプチャします。 キャプチャ条件 UE = 0 かつ LE = 0 の状態で A/D 変換値が指定した上限/下限テーブルの範囲を超えたとき クリア条件 ADCAnECR.ULEC に 1 を書き込んだとき

注 1. 本ビットは ADCA0 のみ対応しています。
ADCA1 においては、リードした場合はリセット後の値が読めます。

備 考

ADCAnULER は、A/D 変換値が ADCAnDRj または ADCAnPWDTSNDR にセットされるときに更新されます。

31.3.2.23 ADCAnOWER — オーバライトエラーレジスタ

オーバライトエラーを示す 32/16/8 ビットの読み出し専用レジスタです。オーバライトエラーの対象は SG1-SG3 であり PWM-Diag では実施されません。

アクセス ADCAnOWER は、32 ビット単位でリードのみ可能です。
ADCAnOWERL は、16 ビット単位でリードのみ可能です。
ADCAnOWERLL は、8 ビット単位でリードのみ可能です。

アドレス ADCAnOWER : <ADCAn_base> + 34C_H
ADCAnOWERL : <ADCAn_base> + 34C_H
ADCAnOWERLL : <ADCAn_base> + 34C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	OWE	—	OWECAP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.38 ADCAnOWER レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。
7	OWE	オーバライトエラーフラグ 0: オーバライトエラー未検出 1: オーバライトエラー検出 セット条件 ADCAnDIRj.WFLG = 1 の状態で A/D 変換値が ADCAnDRj に書き込まれたとき。 本ビットがセットされている状態で、以降の A/D 変換によるオーバライトエラーを検出した場合は、ADCAnOWER レジスタの更新は行いません。 クリア条件 ADCAnECR.OWEC に 1 を書き込んだとき
6	予約ビット	リードした場合はリセット後の値が読めます。
5 ~ 0	OWECAP[5:0]	オーバライトエラーキャプチャ オーバライトエラーが発生したときの仮想チャネル番号をキャプチャします。 キャプチャ条件 OWE = 0 かつ ADCAnDIRj.WFLG = 1 の状態で A/D 変換値が ADCAnDRj に書き込まれたとき クリア条件 ADCAnECR.OWEC に 1 を書き込んだとき

備考

ADCAnOWER は、A/D 変換値が ADCAnDRj にセットされるときに更新されます。

31.3.3 スキャングループ (SG) 固有レジスタ

各スキャングループで個別に備えるレジスタを説明します。

31.3.3.1 ADCAnSGSTCRx — スキャングループ x 開始制御レジスタ

スキャングループ x の開始を制御するレジスタです。読み出しは常に 0 が読み出されます。

アクセス ADCAnSGSTCRx は、32 ビット単位でライトのみ可能です。
ADCAnSGSTCRxL は、16 ビット単位でライトのみ可能です。
ADCAnSGSTCRxLL は、8 ビット単位でライトのみ可能です。

アドレス ADCAnSGSTCRx : <ADCAn_base> + 400_H + x × 40_H
ADCAnSGSTCRxL : <ADCAn_base> + 400_H + x × 40_H
ADCAnSGSTCRxLL : <ADCAn_base> + 400_H + x × 40_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SGST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 31.39 ADCAnSGSTCRx レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	SGST	スキャングループ開始トリガ ADCAnSGSTR.SGACT[3 : 1] = 0 の状態で SGST に 1 を書き込むと、対象 SGx が開始されます。

31.3.3.2 ADCAnSGCRx — スキャングループ x 制御レジスタ

スキャングループ x の制御に関するレジスタです。

アクセス ADCAnSGCRx は、32 ビット単位でリード/ライト可能です。
ADCAnSGCRxL は、16 ビット単位でリード/ライト可能です。
ADCAnSGCRxLL は、8 ビット単位でリード/ライト可能です。

アドレス ADCAnSGCRx : <ADCAn_base> + x × 40_H + 408_H
ADCAnSGCRxL : <ADCAn_base> + x × 40_H + 408_H
ADCAnSGCRxLL : <ADCAn_base> + x × 40_H + 408_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	SCANM D	ADIE	SCT[1:0]	—	TRGM D	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W

表 31.40 ADCAnSGCRx レジスタの内容

ビット位置	ビット名	機能
31 ~ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	SCANMD	スキャンモード 0: マルチサイクルスキャンモード 1: 連続スキャンモード SG2, SG3 の場合、本ビットには 0 をライトしてください。
4	ADIE	スキャン終了割り込みイネーブル 0: SGx のスキャン終了で INT_SGx を出力しない 1: SGx のスキャン終了で INT_SGx を出力する
3, 2	SCT[1:0]	チャンネルリピート回数選択ビット 00: チャンネルリピート回数を 1 回に選択する。 01: チャンネルリピート回数を 2 回に選択する。 10: チャンネルリピート回数を 4 回に選択する。 11: 設定禁止
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TRGM D	トリガモード 0: SGx_TRG へのトリガ入力無効 (ハードウェアトリガ無効) 1: SGx へのトリガ入力に SGx_TRG 開始トリガもしくはホールド完了トリガ A/B を選択 備 考 TRGM D ビットの設定に関わらず、ソフトウェアトリガは有効です。

注 意

誤動作を防ぐため、ADCAnSGCRx 設定 (A/D 変換終了時の TRGM D のクリアを除く) は全スキャングループの SGA CT が 0 の状態 (スキャングループ起動前) かつ全スキャングループの TRGM D が 0 の時、行ってください。

31.3.3.3 ADCAnPWDSGCR — PWM-Diag 用スキャングループ制御レジスタ

PWM-Diag を制御するレジスタです。

アクセス ADCAnPWDSGCR は、32 ビット単位でリード/ライト可能です。
ADCAnPWDSGCRLL は、16 ビット単位でリード/ライト可能です。
ADCAnPWDSGCRLL は、8 ビット単位でリード/ライト可能です。

アドレス ADCAnPWDSGCR : <ADCAn_base> + 508_H
ADCAnPWDSGCRLL : <ADCAn_base> + 508_H
ADCAnPWDSGCRLL : <ADCAn_base> + 508_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PWDTR GMD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 31.41 ADCAnPWDSGCR レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PWDTRGMD	PWM-Diag トリガモード選択ビット 0 : PWSA_ADTRG のトリガ入力無効 1 : PWM-Diag スキャングループへのトリガ入力に PWSA_ADTRG を選択する。

注 意

誤動作を防ぐため、ADCAnPWDSGCR の設定は PWM-Diag スキャングループ (SG4) の SGACT が 0 の状態 (スキャングループ起動前) のとき、行ってください。

31.3.3.4 ADCAnSGVCSPx — スキャングループ x 開始仮想チャネルポインタ

仮想チャネルの開始ポインタを指定するレジスタです。

アクセス ADCAnSGVCSPx は、32 ビット単位でリード/ライト可能です。
ADCAnSGVCSPxL は、16 ビット単位でリード/ライト可能です。
ADCAnSGVCSPxLL は、8 ビット単位でリード/ライト可能です。

アドレス ADCAnSGVCSPx : $\langle \text{ADCAn_base} \rangle + x \times 40_{\text{H}} + 40_{\text{C}_{\text{H}}}$
ADCAnSGVCSPxL : $\langle \text{ADCAn_base} \rangle + x \times 40_{\text{H}} + 40_{\text{C}_{\text{H}}}$
ADCAnSGVCSPxLL : $\langle \text{ADCAn_base} \rangle + x \times 40_{\text{H}} + 40_{\text{C}_{\text{H}}}$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	VCSP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 31.42 ADCAnSGVCSPx レジスタの内容

ビット位置	ビット名	機能
31 ~ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5 ~ 0	VCSP[5:0]	開始仮想チャネルポインタ SGx のスキャンを開始する仮想チャネルを指定します。

注 意

- ADCAnSGVCSPx \leq ADCAnSGVCEPx となるように設定してください。
- チャネルポインタへの書き込みは、ADCAnSGVCSPx \rightarrow ADCAnSGVCEPx の順番で続けて行ってください。SGx を起動すると、ADCAnSGVCSPx から ADCAnSGVCEPx で指定された仮想チャネルの A/D 変換を実行します。
- ADCAnSGVCSPx は、A/D 変換動作中に書き込みは可能ですが、レジスタへの反映は ADCAnSGVCEPx 書き込み時です。書き換え後は次回の SGx を起動するときに反映されます。
- ハードウェアトリガを使用する場合は、動作中の書き込みは禁止です。

31.3.3.5 ADCAnSGVCEPx — スキャングループ x 終了仮想チャネルポインタ

仮想チャネルの終了ポインタを指定するレジスタです。

アクセス ADCAnSGVCEPx は、32 ビット単位でリード/ライト可能です。
ADCAnSGVCEPxL は、16 ビット単位でリード/ライト可能です。
ADCAnSGVCEPxLL は、8 ビット単位でリード/ライト可能です。

アドレス ADCAnSGVCEPx : $\langle \text{ADCAn_base} \rangle + x \times 40_{\text{H}} + 410_{\text{H}}$
ADCAnSGVCEPxL : $\langle \text{ADCAn_base} \rangle + x \times 40_{\text{H}} + 410_{\text{H}}$
ADCAnSGVCEPxLL : $\langle \text{ADCAn_base} \rangle + x \times 40_{\text{H}} + 410_{\text{H}}$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	VCEP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 31.43 ADCAnSGVCEPx レジスタの内容

ビット位置	ビット名	機能
31 ~ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5 ~ 0	VCEP[5:0]	終了仮想チャネルポインタ SGx のスキャンを終了する仮想チャネルを指定します。

注 意

- $\text{ADCAnSGVCSPx} \leq \text{ADCAnSGVCEPx}$ となるように設定してください。
- SGx を起動すると、ADCAnSGVCSPx から ADCAnSGVCEPx の仮想チャネルを実行します。SGx 処理中であっても ADCAnSGVCEPx の書き換えは可能です。書き換え後は次回の SGx を起動するときに反映されます。

31.3.3.6 ADCAnSGMCCRx — スキャングループ x マルチサイクルレジスタ

マルチサイクルスキャンモード時のスキャン回数を指定する 32/16/8 ビットの読み出し / 書き込み可能なレジスタです。

アクセス ADCAnSGMCCRx は、32 ビット単位でリード/ライト可能です。
ADCAnSGMCCRxL は、16 ビット単位でリード/ライト可能です。
ADCAnSGMCCRxLL は、8 ビット単位でリード/ライト可能です。

アドレス ADCAnSGMCCRx : <ADCAn_base> + x × 40_H + 414_H
ADCAnSGMCCRxL : <ADCAn_base> + x × 40_H + 414_H
ADCAnSGMCCRxLL : <ADCAn_base> + x × 40_H + 414_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MCYC[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 31.44 ADCAnSGMCCRx レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	MCYC[1:0]	マルチサイクル数指定 マルチサイクルスキャンモード時のスキャン回数を指定します。 00B : スキャン回数 1 回 01B : スキャン回数 2 回 10B : 設定禁止 11B : スキャン回数 4 回

注 意

- 誤動作を防ぐため、ADCAnSGMCCRx の設定はスキャングループ x の SGACT が 0 の状態 (スキャングループ起動前) かつ TRGMD が 0 のとき、行ってください。
- SGx を起動すると、ADCAnSGVCPx から ADCAnSGVCEPx までの仮想チャンネルのスキャンを ADCAnSGMCCRx で指定した回数だけ繰り返し実行します。

31.3.3.7 ADCAnPWDSGSEFCR — PWM-Diag スキャン終了フラグクリアレジスタ

PWM-Diag 用のスキャン終了フラグ (SEF) のクリアを制御するレジスタです。読み出しは常に 0 です。

アクセス ADCAnPWDSGSEFCR は、32 ビット単位でライトのみ可能です。
ADCAnPWDSGSEFCRL は、16 ビット単位でライトのみ可能です。
ADCAnPWDSGSEFCRLL は、8 ビット単位でライトのみ可能です。

アドレス ADCAnPWDSGSEFCR : <ADCAn_base> + 518_H
ADCAnPWDSGSEFCRL : <ADCAn_base> + 518_H
ADCAnPWDSGSEFCRLL : <ADCAn_base> + 518_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PWDSEFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 31.45 ADCAnPWDSGSEFCR レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	PWDSEFC	PWM-Diag 用スキャン終了フラグクリアトリガビット 0: 機能しません 1: PWM-Diag 用スキャン終了フラグ (ADCAnSGSTR.SEF[4]) をクリアします

31.3.3.8 ADCAnSGSEFCRx — スキャングループ x スキャン終了フラグクリアレジスタ

スキャン終了フラグ (ADCAnSGSTR.SEFx) をクリアする書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

アクセス ADCAnSGSEFCRx は、32 ビット単位でライトのみ可能です。
ADCAnSGSEFCRxL は、16 ビット単位でライトのみ可能です。
ADCAnSGSEFCRxLL は、8 ビット単位でライトのみ可能です。

アドレス ADCAnSGSEFCRx : <ADCAn_base> + x × 40_H + 418_H
ADCAnSGSEFCRxL : <ADCAn_base> + x × 40_H + 418_H
ADCAnSGSEFCRxLL : <ADCAn_base> + x × 40_H + 418_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 31.46 ADCAnSGSEFCRx レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	SEFC	スキャン終了フラグクリアトリガビット 0 : 機能しません 1 : 対象 SG のスキャン終了フラグ (ADCAnSGSTR.SEF[3:1]) をクリアします

31.3.3.9 ADCAnSGSTR — スキャングループステータスレジスタ

T&H、SVSTOP、スキャングループ x、PWM-Diag スキャングループの状態を示すレジスタです。SHACT、SGACT は HALT 実行時にクリアされます。

アクセス ADCAnSGSTR は 32 ビット単位でリードのみ可能です。
ADCAnSGSTR は 16 ビット単位でリードのみ可能です

アドレス ADCAnSGSTR : <ADCAn_base> + 308_H
ADCAnSGSTR : <ADCAn_base> + 308_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	SHACT	SGACT[5:1]					—	—	—	—	SEF[4:1]				—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.47 ADCAnSGSTR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 15	予約ビット	リードした場合はリセット後の値が読めます。
14	SHACT	T&H ステータスフラグビット 0 : T&H 停止中 1 : T&H 変換中もしくはサンプリング中
13	SGACT[5]	SVSTOP ステータスフラグビット 0 : SVSTOP を解除 1 : SVSTOP を受け付け
12	SGACT[4]	PWM-Diag 用スキャングループ (SG4) ステータスフラグ 0 : PWM-Diag (SG4) A/D 変換完了 1 : PWM-Diag (SG4) A/D 変換中もしくはサスペンド状態
11	SGACT[3]	スキャングループ 3 (SG3) ステータスフラグ 0 : スキャングループ 3 A/D 変換完了 1 : スキャングループ 3 A/D 変換中もしくはサスペンド状態
10	SGACT[2]	スキャングループ 2 (SG2) ステータスフラグ 0 : スキャングループ 2 A/D 変換完了 1 : スキャングループ 2 A/D 変換中もしくはサスペンド状態
9	SGACT[1]	スキャングループ 1 (SG1) ステータスフラグ 0 : スキャングループ 1 A/D 変換完了 1 : スキャングループ 1 A/D 変換中もしくはサスペンド状態
8 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。
4	SEF[4]	PWM-Diag 用スキャン終了フラグ スキャン結果データのステータスを示します。 0 : いずれかの操作が行われたときクリアされます。 ・ PWM-Diag の ADCAnPWDTSNDR を読み出したとき ・ PWM-Diag の ADCAnPWDDIR を読み出したとき ・ ADCAnPWDSGSEFCR.PWDSEFC に "1" を書いたとき 1 : PWM-Diag の ADCAnPWDTSNDR に A/D 変換結果が書き込まれたとき

表 31.47 ADCAnSGSTR レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	SEF[3]	SG3 スキャン終了フラグ スキャン結果データのステータスを示します。 0: いずれかの操作が行われたときクリアされます。 ・ ADCAnSGVCEP3 が示す仮想チャネルの ADCAnDRj を読み出したとき ・ ADCAnSGVCEP3 が示す仮想チャネルの ADCAnDIRj を読み出したとき ・ ADCAnSGSEFCRx.SEFC に "1" を書いたとき 1: ADCAnSGVCEP3 が示す仮想チャネルの ADCAnDRj に A/D 変換結果が書き込まれたとき
2	SEF[2]	SG2 スキャン終了フラグ スキャン結果データのステータスを示します。 0: いずれかの操作が行われたときクリアされます。 ・ ADCAnSGVCEP2 が示す仮想チャネルの ADCAnDRj を読み出したとき ・ ADCAnSGVCEP2 が示す仮想チャネルの ADCAnDIRj を読み出したとき ・ ADCAnSGSEFCRx.SEFC に "1" を書いたとき 1: ADCAnSGVCEP2 が示す仮想チャネルの ADCAnDRj に A/D 変換結果が書き込まれたとき
1	SEF[1]	SG1 スキャン終了フラグ スキャン結果データのステータスを示します。 0: いずれかの操作が行われたときクリアされます。 ・ ADCAnSGVCEP1 が示す仮想チャネルの ADCAnDRj を読み出したとき ・ ADCAnSGVCEP1 が示す仮想チャネルの ADCAnDIRj を読み出したとき ・ ADCAnSGSEFCRx.SEFC に "1" を書いたとき 1: ADCAnSGVCEP1 が示す仮想チャネルの ADCAnDRj に A/D 変換結果が書き込まれたとき
0	予約ビット	リードした場合はリセット後の値が読めます。

31.3.4 ハードウェアトリガ固有レジスタ

31.3.4.1 ADCAnSGTSELx — スキャングループ x 開始トリガ制御レジスタ x

SGx に対する、A/D 変換トリガ（ハードウェアトリガ）を設定するレジスタです。

アクセス ADCAnSGTSELx は、32 ビット単位でリード/ライト可能です。
ADCAnSGTSELxL は、16 ビット単位でリード/ライト可能です。

アドレス ADCAnSGTSELx : <ADCAn_base> + x × 40_H + 41C_H
ADCAnSGTSELxL : <ADCAn_base> + x × 40_H + 41C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TxSEL8 注1	TxSEL7 注1	TxSEL6 注1	TxSEL5 注1	TxSEL4 注1	TxSEL3 注1	TxSEL2 注1	TxSEL1 注1	TxSEL0 注1
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. ADCA1 は TxSEL0 ~ TxSEL3 のみ対応しています。それ以外のビットについて、ライトする場合はリセット後の値を書いてください。

表 31.48 ADCAnSGTSELx レジスタの内容

ビット位置	ビット名	機能
31 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8 ~ 0	TxSELp (p=0 ~ 8)	A/D 変換トリガ（ハードウェアトリガ）選択ビット 0 : ハードウェアトリガ禁止 1 : ハードウェアトリガ許可 注意 TxSELp を 1 にセットする場合は、いずれか一つのビットのみを 1 にセットしてください

選択できるハードウェアトリガを次に示します。

表 31.49 A/D 変換ハードウェアトリガ一覧 (1/2)

ユニット	制御レジスタ/ビット		トリガ入力信号	
	レジスタ名	ビット名	名称	接続先ユニット
ADCA0	ADCA0SGTSEL1	T1SEL0	ADCA0TRG0	外部トリガ端子
		T1SEL1	INTTAUJ0I3	TAUJ0
		T1SEL2	INTTAUD0I7	TAUD0
		T1SEL3	INTTAUD0I15	TAUD0
		T1SEL4	SEQADTRG	LPS
		T1SEL5	INTENCA0I1	ENCA0
		T1SEL6	TAPATADOUT0	モータ制御 (TAPA0)
		T1SEL7	TAPATADOUT1	モータ制御 (TAPA0)
		T1SEL8	ADOPA0ADCATTIN00	モータ制御 (PIC0)

表 31.49 A/D 変換ハードウェアトリガー一覧 (2/2)

ユニット	制御レジスタ/ビット		トリガ入力信号	
	レジスタ名	ビット名	名称	接続先ユニット
ADCA0	ADCA0SGTSEL2	T2SEL0	ADCA0TRG1	外部トリガ端子
		T2SEL1	INTTAUJ0I3	TAUJ0
		T2SEL2	INTTAUD0I7	TAUD0
		T2SEL3	INTTAUD0I15	TAUD0
		T2SEL4	SEQADTRG	LPS
		T2SEL5	INTENCA0I1	ENCA0
		T2SEL6	TAPATADOUT0	モータ制御 (TAPA0)
		T2SEL7	TAPATADOUT1	モータ制御 (TAPA0)
		T2SEL8	ADOPA1ADCATTIN00	モータ制御 (PIC0)
	ADCA0SGTSEL3	T3SEL0	ADCA0TRG2	外部トリガ端子
		T3SEL1	INTTAUJ0I3	TAUJ0
		T3SEL2	INTTAUD0I7	TAUD0
		T3SEL3	INTTAUD0I15	TAUD0
		T3SEL4	SEQADTRG	LPS
		T3SEL5	INTENCA0I1	ENCA0
		T3SEL6	TAPATADOUT0	モータ制御 (TAPA0)
		T3SEL7	TAPATADOUT1	モータ制御 (TAPA0)
		T3SEL8	ADOPA2ADCATTIN00	モータ制御 (PIC0)
ADCA1	ADCA1SGTSEL1	T1SEL0	ADCA1TRG0	外部トリガ端子
		T1SEL1	INTTAUJ1I3	TAUJ1
		T1SEL2	INTTAUB0I7	TAUB0
		T1SEL3	INTTAUB0I15	TAUB0
	ADCA1SGTSEL2	T2SEL0	ADCA1TRG1	外部トリガ端子
		T2SEL1	INTTAUJ1I3	TAUJ1
		T2SEL2	INTTAUB0I7	TAUB0
		T2SEL3	INTTAUB0I15	TAUB0
	ADCA1SGTSEL3	T3SEL0	ADCA1TRG2	外部トリガ端子
		T3SEL1	INTTAUJ1I3	TAUJ1
		T3SEL2	INTTAUB0I7	TAUB0
		T3SEL3	INTTAUB0I15	TAUB0

注 意

1. LPS のトリガ要因 (SEQADTRG) を許可する場合は、ADCA0SGTSEL1.T1SEL4、ADCA0SGTSEL2.T2SEL4 または ADCA0SGTSEL3.T3SEL4 から 1 つのみを許可してください。
2. 誤動作を防ぐため、ADCA_nSGTSEL_x の設定は全スキャングループの SGACT が 0 の状態 (スキャングループ起動前)、かつ全スキャングループの TRGMD が 0 のときに行ってください。

31.3.5 自己診断固有レジスタ

31.3.5.1 ADCAnDGCTL0 — 自己診断制御レジスタ 0

自己診断電圧レベルを制御するレジスタです。

アクセス ADCAnDGCTL0 は、32 ビット単位でリード/ライト可能です。
ADCAnDGCTL0L は、16 ビット単位でリード/ライト可能です。
ADCAnDGCTL0LL は、8 ビット単位でリード/ライト可能です。

アドレス ADCAnDGCTL0 : <ADCAn_base> + 350_H
ADCAnDGCTL0L : <ADCAn_base> + 350_H
ADCAnDGCTL0LL : <ADCAn_base> + 350_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	PSEL2	PSEL1	PSEL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 31.50 ADCAnDGCTL0 レジスタの内容

ビット位置	ビット名	機能																																																																						
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																																																						
2 ~ 0	PSEL[2:0]	自己診断電圧レベル選択ビット。 <table border="1"> <thead> <tr> <th colspan="3">ADCAnDGCTL0</th> <th colspan="4">出力信号</th> </tr> <tr> <th>PSEL2</th> <th>PSEL1</th> <th>PSEL0</th> <th>ADDIAGOUT</th> <th>DIAGOUT2</th> <th>DIAGOUT1</th> <th>DIAGOUT0</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Hi-z</td> <td>Hi-z</td> <td>Hi-z</td> <td>Hi-z</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>AnVSS</td> <td>2/3AnV_{REF}</td> <td>1/2AnV_{REF}</td> <td>1/3AnV_{REF}</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1/3AnV_{REF}</td> <td>1/3AnV_{REF}</td> <td>2/3AnV_{REF}</td> <td>1/2AnV_{REF}</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1/2AnV_{REF}</td> <td>1/2AnV_{REF}</td> <td>1/3AnV_{REF}</td> <td>2/3AnV_{REF}</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>2/3AnV_{REF}</td> <td>Hi-z</td> <td>Hi-z</td> <td>Hi-z</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>AnV_{REF}</td> <td>1/3AnV_{REF}</td> <td>1/3AnV_{REF}</td> <td>1/3AnV_{REF}</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>AnV_{REF}</td> <td>1/2AnV_{REF}</td> <td>1/2AnV_{REF}</td> <td>1/2AnV_{REF}</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>AnV_{REF}</td> <td>2/3AnV_{REF}</td> <td>2/3AnV_{REF}</td> <td>2/3AnV_{REF}</td> </tr> </tbody> </table>	ADCAnDGCTL0			出力信号				PSEL2	PSEL1	PSEL0	ADDIAGOUT	DIAGOUT2	DIAGOUT1	DIAGOUT0	0	0	0	Hi-z	Hi-z	Hi-z	Hi-z	0	0	1	AnVSS	2/3AnV _{REF}	1/2AnV _{REF}	1/3AnV _{REF}	0	1	0	1/3AnV _{REF}	1/3AnV _{REF}	2/3AnV _{REF}	1/2AnV _{REF}	0	1	1	1/2AnV _{REF}	1/2AnV _{REF}	1/3AnV _{REF}	2/3AnV _{REF}	1	0	0	2/3AnV _{REF}	Hi-z	Hi-z	Hi-z	1	0	1	AnV _{REF}	1/3AnV _{REF}	1/3AnV _{REF}	1/3AnV _{REF}	1	1	0	AnV _{REF}	1/2AnV _{REF}	1/2AnV _{REF}	1/2AnV _{REF}	1	1	1	AnV _{REF}	2/3AnV _{REF}	2/3AnV _{REF}	2/3AnV _{REF}
ADCAnDGCTL0			出力信号																																																																					
PSEL2	PSEL1	PSEL0	ADDIAGOUT	DIAGOUT2	DIAGOUT1	DIAGOUT0																																																																		
0	0	0	Hi-z	Hi-z	Hi-z	Hi-z																																																																		
0	0	1	AnVSS	2/3AnV _{REF}	1/2AnV _{REF}	1/3AnV _{REF}																																																																		
0	1	0	1/3AnV _{REF}	1/3AnV _{REF}	2/3AnV _{REF}	1/2AnV _{REF}																																																																		
0	1	1	1/2AnV _{REF}	1/2AnV _{REF}	1/3AnV _{REF}	2/3AnV _{REF}																																																																		
1	0	0	2/3AnV _{REF}	Hi-z	Hi-z	Hi-z																																																																		
1	0	1	AnV _{REF}	1/3AnV _{REF}	1/3AnV _{REF}	1/3AnV _{REF}																																																																		
1	1	0	AnV _{REF}	1/2AnV _{REF}	1/2AnV _{REF}	1/2AnV _{REF}																																																																		
1	1	1	AnV _{REF}	2/3AnV _{REF}	2/3AnV _{REF}	2/3AnV _{REF}																																																																		

31.3.5.2 ADCAnDGCTL1 — 自己診断制御レジスタ 1

自己診断チャンネルを制御するレジスタです。

アクセス ADCAnDGCTL1 は、32 ビット単位でリード/ライト可能です。
ADCAnDGCTL1L は、16 ビット単位でリード/ライト可能です。

アドレス ADCAnDGCTL1 : <ADCA_n_base> + 354_H
ADCAnDGCTL1L : <ADCA_n_base> + 354_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDG[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.51 ADCAnDGCTL1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15、12、9、6、3、0	CDG[15, 12, 9, 6, 3, 0]	自己診断チャンネル選択ビット 0 : ANInm を選択 1 : DIAGOUT0 を選択
13、10、7、4、1	CDG[13, 10, 7, 4, 1]	自己診断チャンネル選択ビット 0 : ANInm を選択 1 : DIAGOUT1 を選択
14、11、8、5、2	CDG[14, 11, 8, 5, 2]	自己診断チャンネル選択ビット 0 : ANInm を選択 1 : DIAGOUT2 を選択

注 意

誤動作を防ぐため、ADCAnDGCTL1 の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）、かつ全スキャングループの TRGMD が 0 のときに行ってください。

31.3.5.3 ADCAnPDCTL1 — プルダウン制御レジスタ 1

プルダウン抵抗を接続するチャンネルを指定します。

詳細は、「31.5.3 オープン端子の診断」を参照してください。

アクセス ADCAnPDCTL1は、32ビット単位でリード/ライト可能です。
ADCAnPDCTL1Lは、16ビット単位でリード/ライト可能です。

アドレス ADCAnPDCTL1 : <ADCAn_base> + 358_H
ADCAnPDCTL1L : <ADCAn_base> + 358_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDNA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.52 ADCAnPDCTL1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 0	PDNA[15:0]	プルダウンイネーブル制御ビット 対応する物理チャンネル (ANIn[00:15]) の端子に、内蔵プルダウン抵抗を接続するか否かを設定します。 0 : 内蔵プルダウン抵抗を接続しません 1 : 内蔵プルダウン抵抗を接続します

注 意

誤動作を防ぐため、ADCAnPDCTL1 の設定は全スキャングループの SGACT が 0 の状態 (スキャングループ起動前)、かつ全スキャングループの TRGMD が 0 のときに行ってください。

備 考

内蔵プルダウン抵抗値についてはデータシートの「電気的特性」の章を参照してください。

31.3.5.4 ADCAnPDCTL2 — プルダウン制御レジスタ 2

プルダウン抵抗を接続するチャンネルを指定します。

詳細は、「31.5.3 オープン端子の診断」を参照してください。

アクセス ADCAnPDCTL2 は、32 ビット単位でリード/ライト可能です。
ADCAnPDCTL2H および ADCAnPDCTL2L は、16 ビット単位でリード/ライト可能です。
ADCAnPDCTL2HL, ADCAnPDCTL2LH および ADCAnPDCTL2LL は、8 ビット単位でリード/ライト可能です。

アドレス ADCAnPDCTL2 : <ADCAn_base> + 35C_H
ADCAnPDCTL2L : <ADCAn_base> + 35C_H
ADCAnPDCTL2H : <ADCAn_base> + 35C_H + 2_H
ADCAnPDCTL2HL : <ADCAn_base> + 35C_H + 2_H
ADCAnPDCTL2LL : <ADCAn_base> + 35C_H
ADCAnPDCTL2LH : <ADCAn_base> + 35C_H + 1_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	PDNB[19:16] ^{注1}			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDNB[15:0] ^{注1}															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. ADCA1 では PDNB[7:0] のみ対応しています。それ以外のビットについて、ライトする場合はリセット後の値を書いてください。

表 31.53 ADCAnPDCTL2 レジスタの内容

ビット位置	ビット名	機能
31 ~ 20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19 ~ 0	PDNB[19:0]	プルダウンイネーブル制御ビット 対応する物理チャンネル (ANIn[16:35]) の端子に、内蔵プルダウン抵抗を接続するか否かを設定します。 0 : 内蔵プルダウン抵抗を接続しません 1 : 内蔵プルダウン抵抗を接続します

注 意

誤動作を防ぐため、ADCAnPDCTL2 の設定は全スキャングループの SGACT が 0 の状態 (スキャングループ起動前)、かつ全スキャングループの TRGMD が 0 のときに行ってください。

備 考

内蔵プルダウン抵抗値についてはデータシートの「電気的特性」の章を参照してください。

31.3.6 エミュレーション固有レジスタ

31.3.6.1 ADCAnEMU — エミュレーション制御レジスタ

SVSTOP ディセーブル信号を制御するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCAn_base> + 388_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	SVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 31.54 ADCAnEMU レジスタの内容

ビット位置	ビット名	機能
7	SVSDIS	SVSTOP ディセーブルビット 0 : SVSTOP を有効にする 1 : SVSTOP を無効にする SVSTOP 有効時の A/D 変換動作は、「31.4.10.3 SVSTOP 動作」を参照してください。
6 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

誤動作を防ぐため、SVSDIS の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のときに実施してください。

31.4 動作

31.4.1 初期設定

図 31.6 に A/D 変換の初期設定例を示します。トリガ入力については、図 31.7 を参照してください。割り込み要求信号については、「31.4.12 スキャン終了割り込み要求」を参照してください。

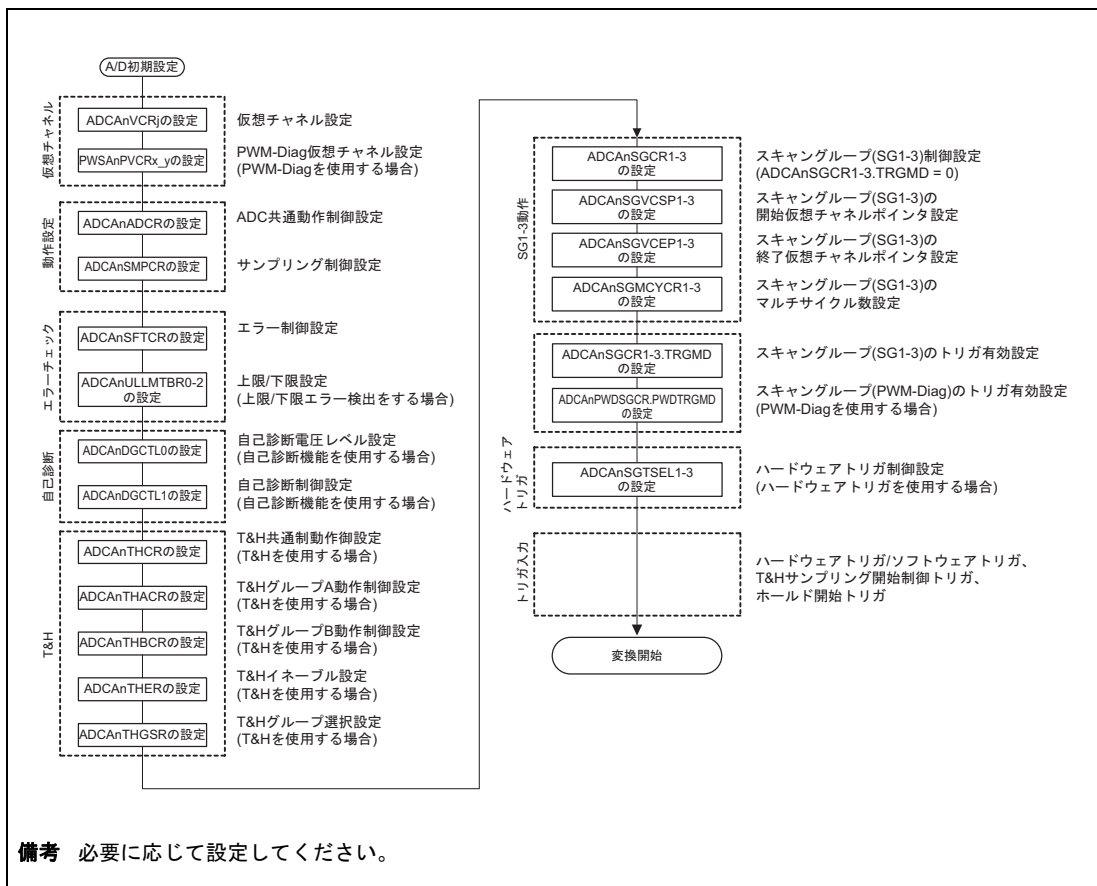


図 31.6 初期設定フロー

31.4.2 トリガ入力

トリガ入力を以下に示します。

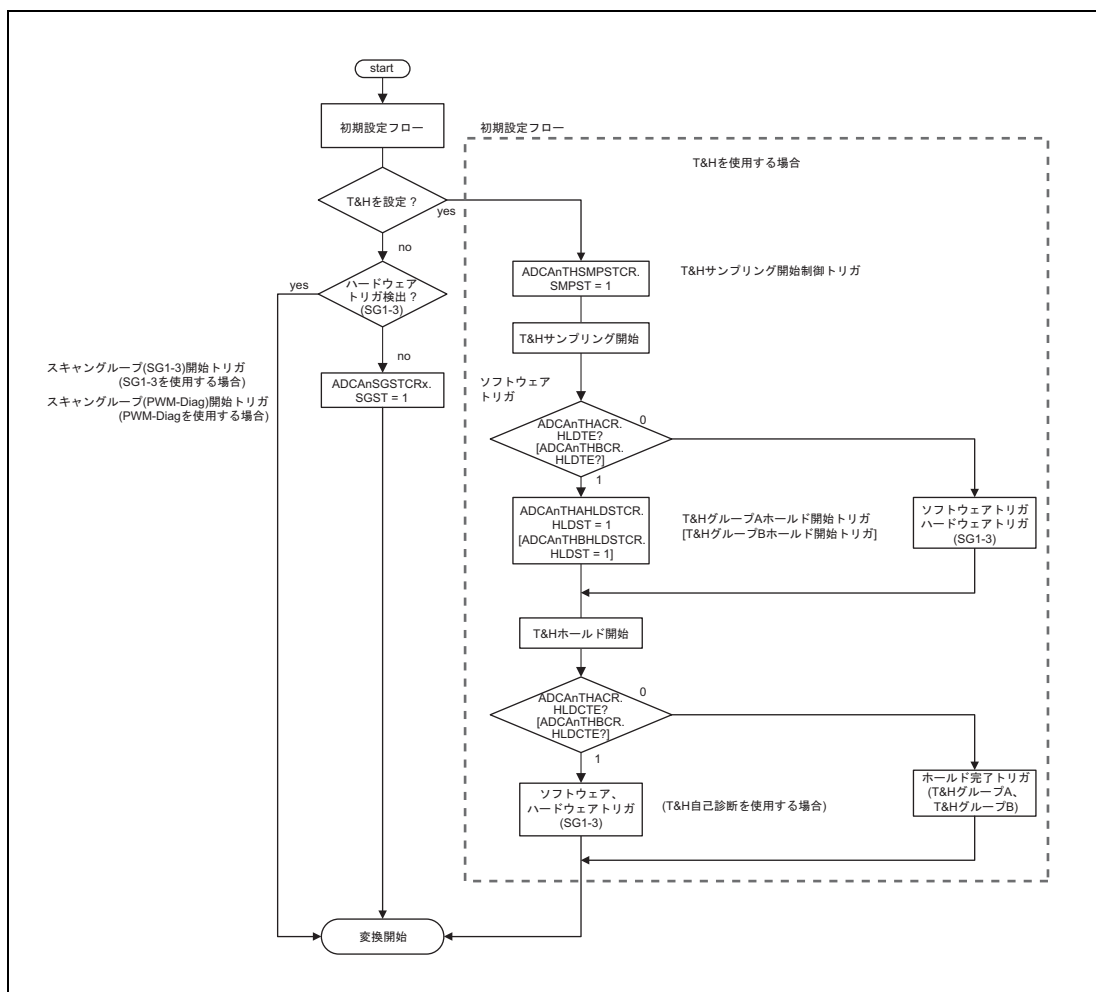


図 31.7 トリガ入力フロー

備考

スキャン動作中に SG 起動トリガが発生した場合、SG 起動トリガは無視されます。

31.4.3 A/D 変換終了

A/D 変換終了フローは以下の通りです。

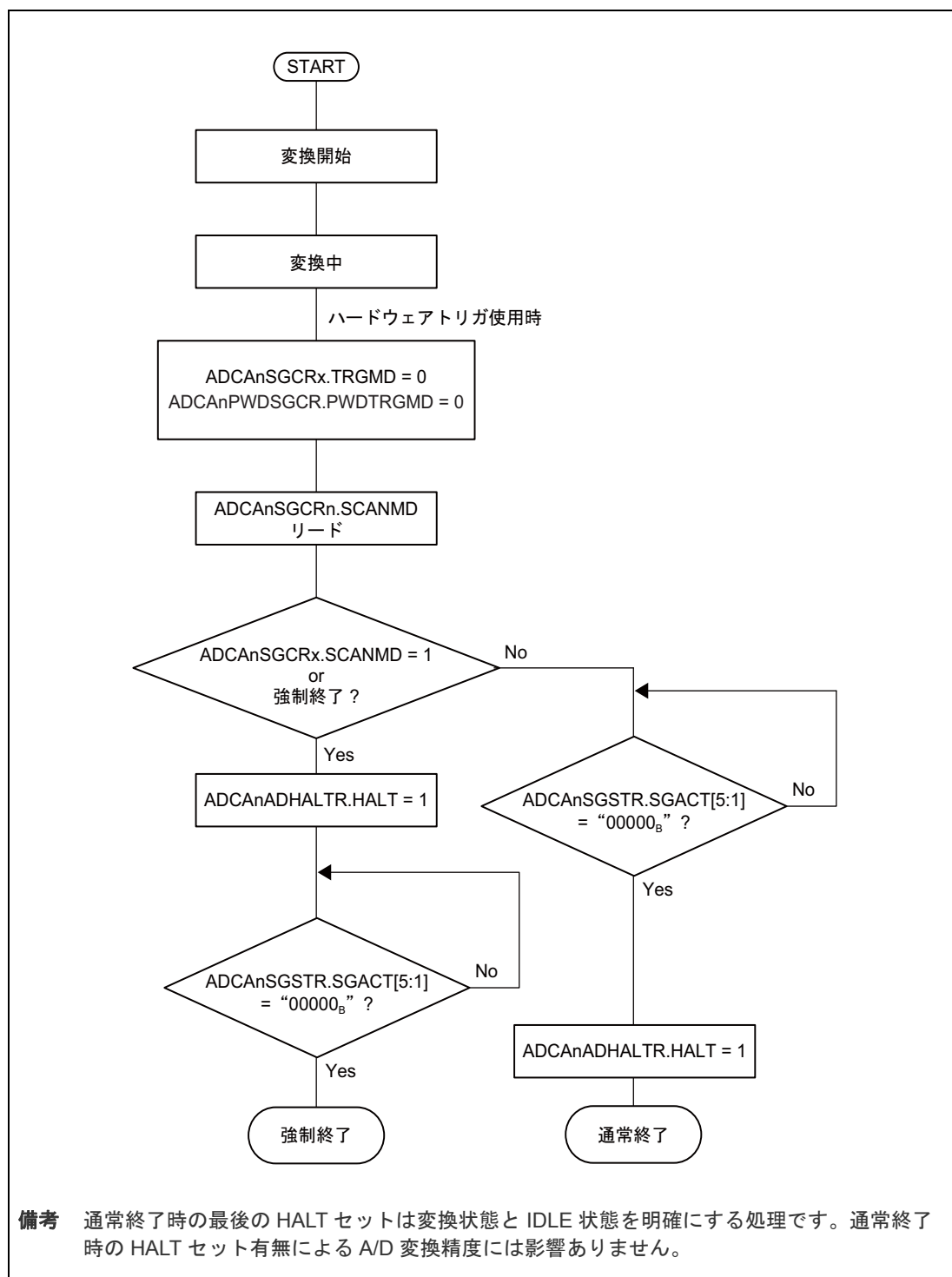


図 31.8 A/D 変換終了フロー

31.4.4 スキャングループ動作例

(1) マルチサイクルスキャンモード

スキャングループ 1 にてマルチサイクルスキャンモードの 2 サイクルスキャンで仮想チャンネルを 4 チャンネル分変換する場合の動作例を示します。

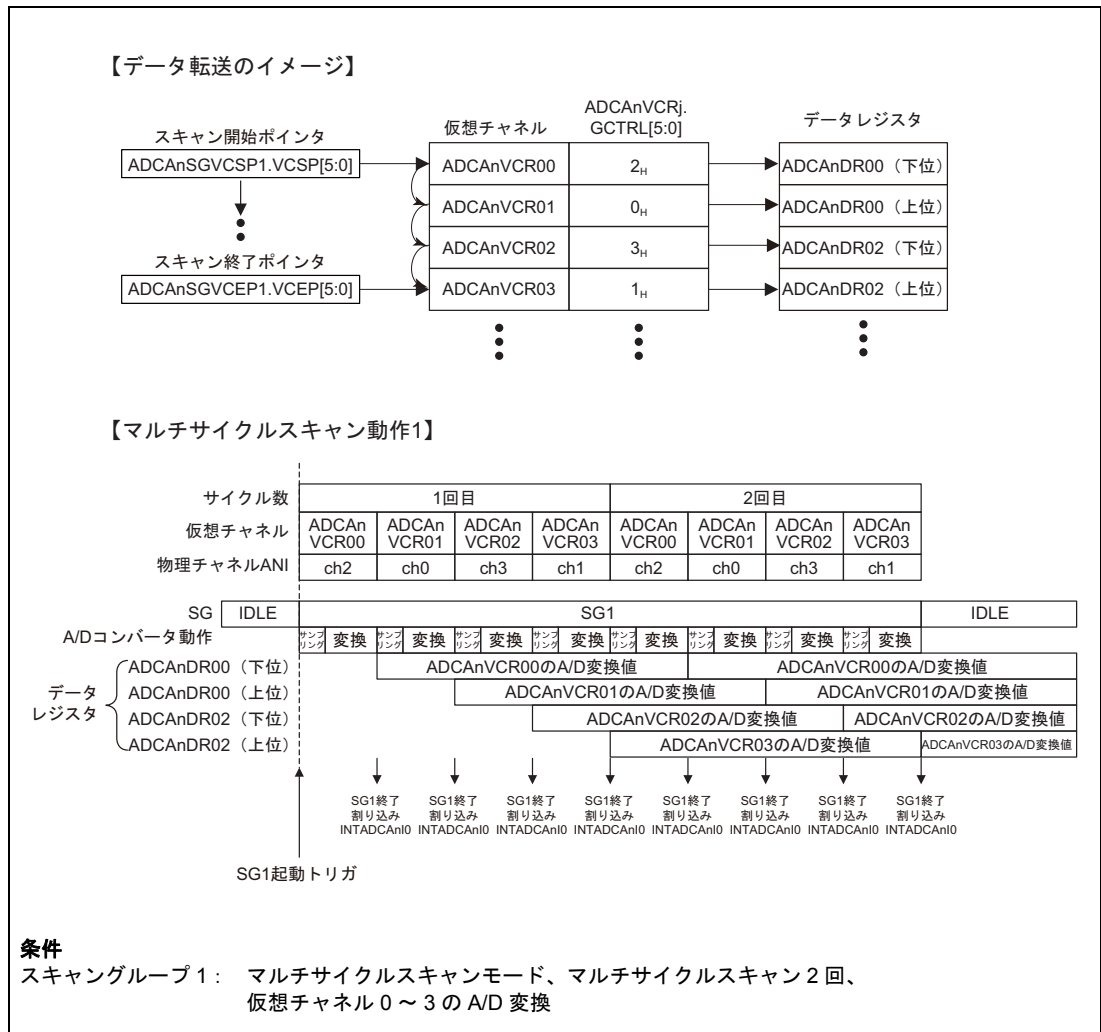


図 31.9 マルチサイクルスキャン動作例 1

マルチサイクルスキャンモードを使用し、1 端子を 1 回スキャンする場合の動作例を示します。

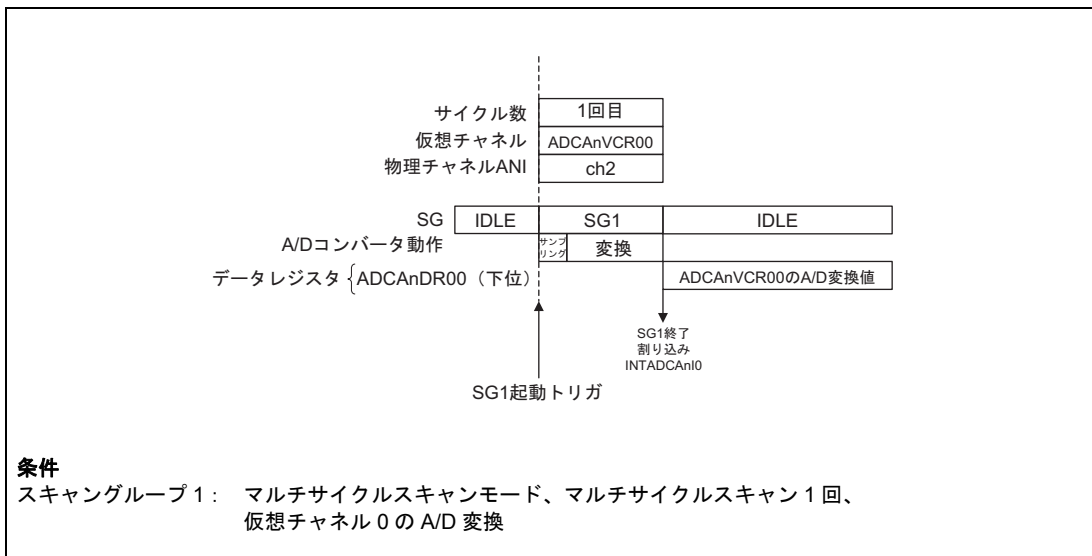


図 31.10 マルチサイクルスキャン動作例 2

(2) 連続スキャンモード

連続スキャンモードは、ADCA_nSGVCSPx.VCSP[5:0] ~ ADCA_nSGVCEPx.VCEP[5:0] で指定したポイントが示す SG のチャンネルを、ADCA_nADHALTR.HALT をアサートするまで A/D 変換を実施するモードです。本連続スキャンモードは、SG1 のみ対応します。

次に、連続スキャンモードの動作例を示します。

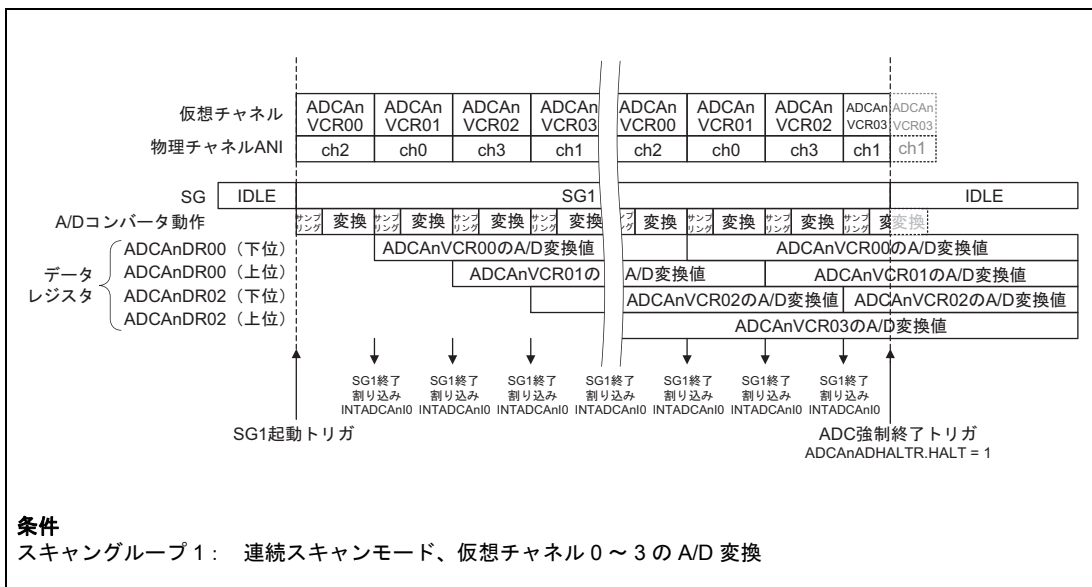


図 31.11 連続スキャンの動作例

31.4.5 チャネルリピートモード

チャネルリピートモードは、ADCAnSGVCSPx.VCSP[5:0] ~ ADCAnSGVCEPx.VCEP[5:0] で指定したポインタが示す SG のチャンネルを、ADCAnSGCRx.SCT[1:0] で指定したチャネルリピート回数分の A/D 変換を実施するモードです。各 SG で排他的に動作し、チャネルリピート回数は、1 回、2 回、4 回数分の選択が可能です。

次に、それぞれの条件での動作例を示します。

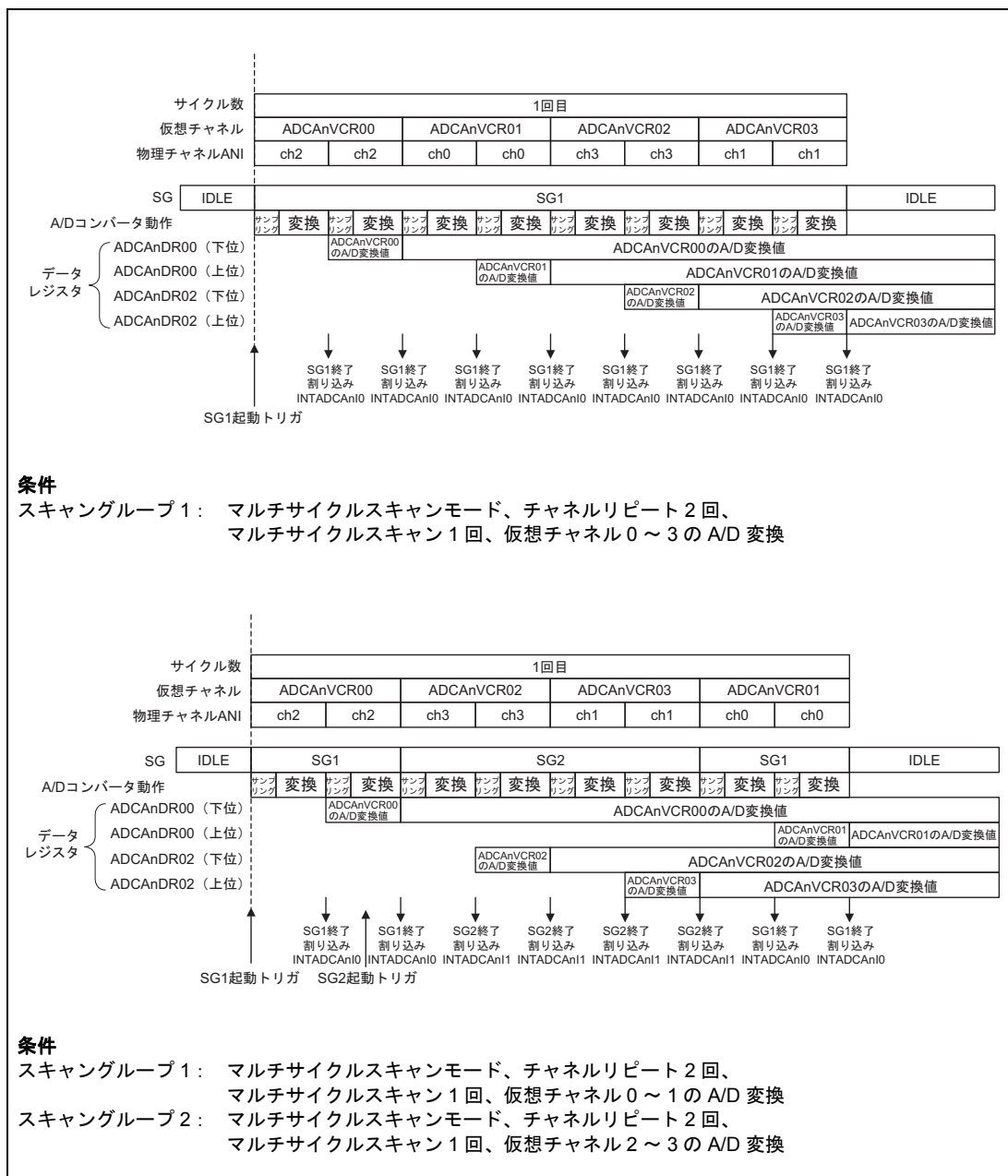


図 31.12 チャネルリピート動作例 1

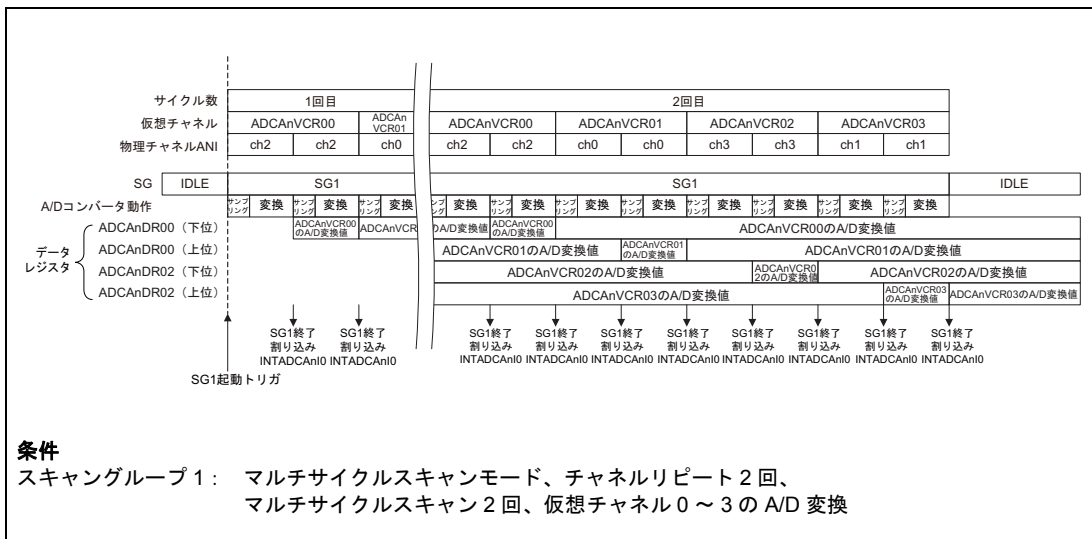


図 31.13 チャネルリピート動作例 2

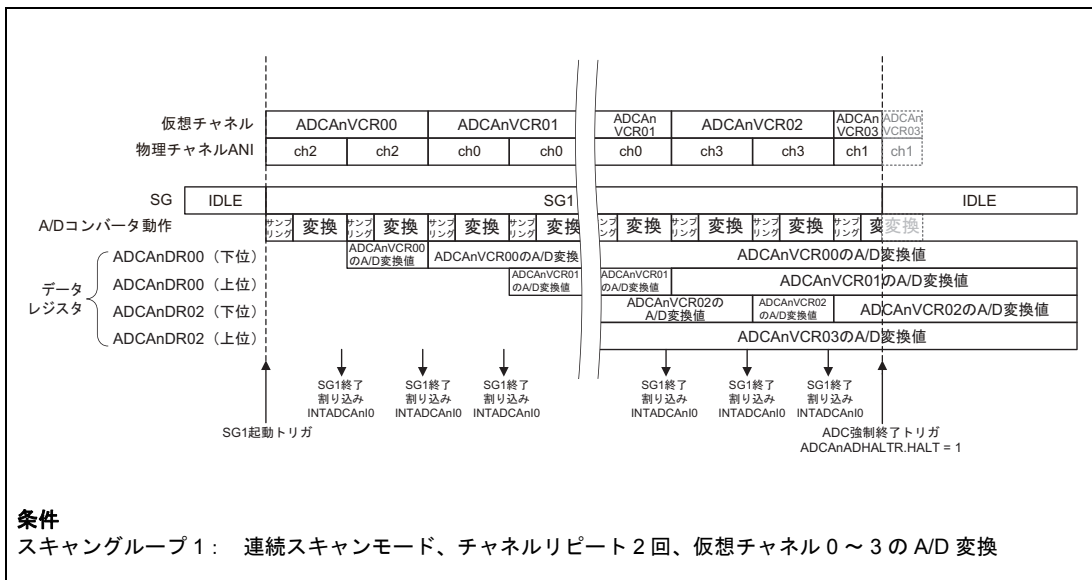


図 31.14 チャネルリピート動作例 3

31.4.6 同時トラック & ホールド動作例

同時トラック & ホールドの動作例を図 31.15 に示します。

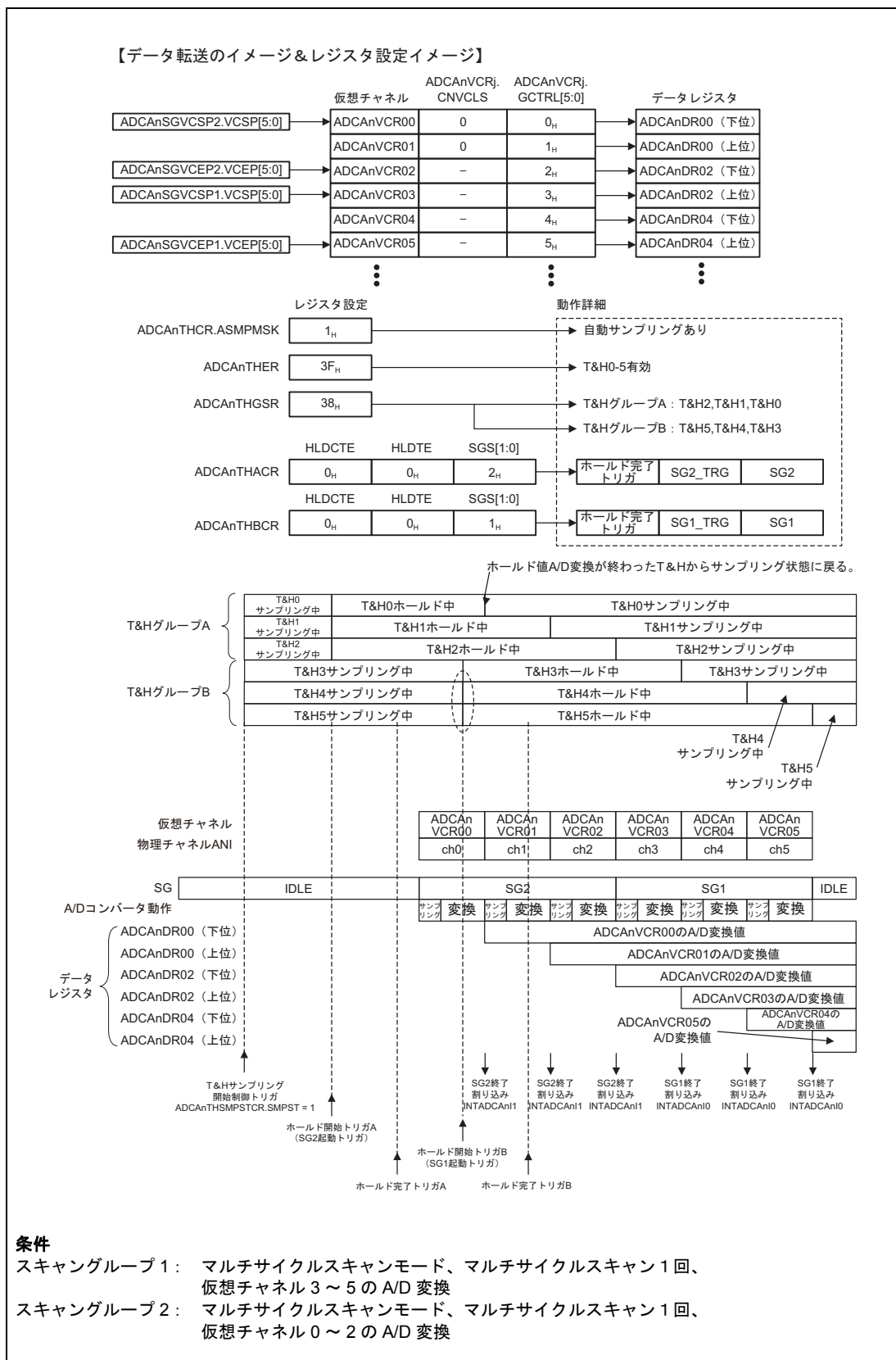


図 31.15 同時トラック & ホールド動作例 1

注 意

- 異なるグループで同じ物理チャネルを指定しないでください。
 - マルチサイクルスキャンモードで2サイクル以上のスキャン回数、連続スキャンモードを使用した、T&H動作は禁止です。
 - ADCAnTHSMPSTCR.SMPSTはグループA,B共通となっているため、グループA,Bの両方のT&H動作を終了させてから、セットしてください。
 - ADCAnTHACRレジスタまたはADCAnTHBCRレジスタのHLDCTE = 1、HLDTE = 1に設定し、ADCAnTHAHLDDSTCRレジスタまたはADCAnTHBHLDDSTCRレジスタのHLDSTをライトしT&Hをホールド状態にする前に、ハードウェアトリガをアサートするとスキャン動作を開始します。その場合、T&Hはサンプリング状態のままチャネルスイッチが開くため、スキャン結果は全て不定となります。HLDCTE = 1、HLDTE = 1に設定し、HLDSTのライト前にハードウェアトリガをアサートすることは禁止です。
 - 0-2チャネルのいずれかと3-5チャネルのいずれかを同じグループに設定することは禁止です。
 - T&Hサンプリング開始制御トリガからホールド開始トリガまでの間が450ns以上となるように使用してください。
 - ホールド開始トリガからグループのA/D変換完了までは10 μ s以内となるよう設定してください。
サスペンドモードでは、サスペンド期間が10 μ sを超える場合は、低優先度のスキャングループのチャネルにT&Hを使用しないでください。
-

31.4.7 外付けアナログマルチプレクサでの A/D 変換

それぞれの A/D 変換例を示します。

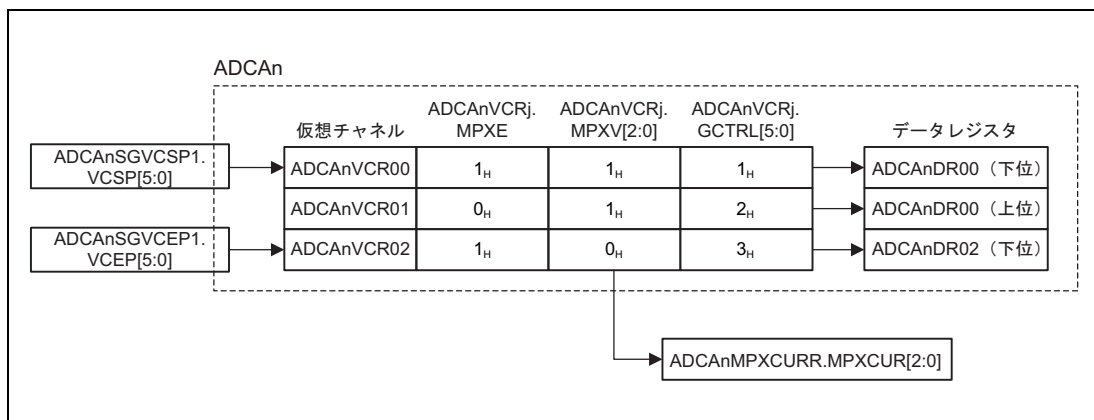


図 31.16 データ転送&レジスタ設定イメージ

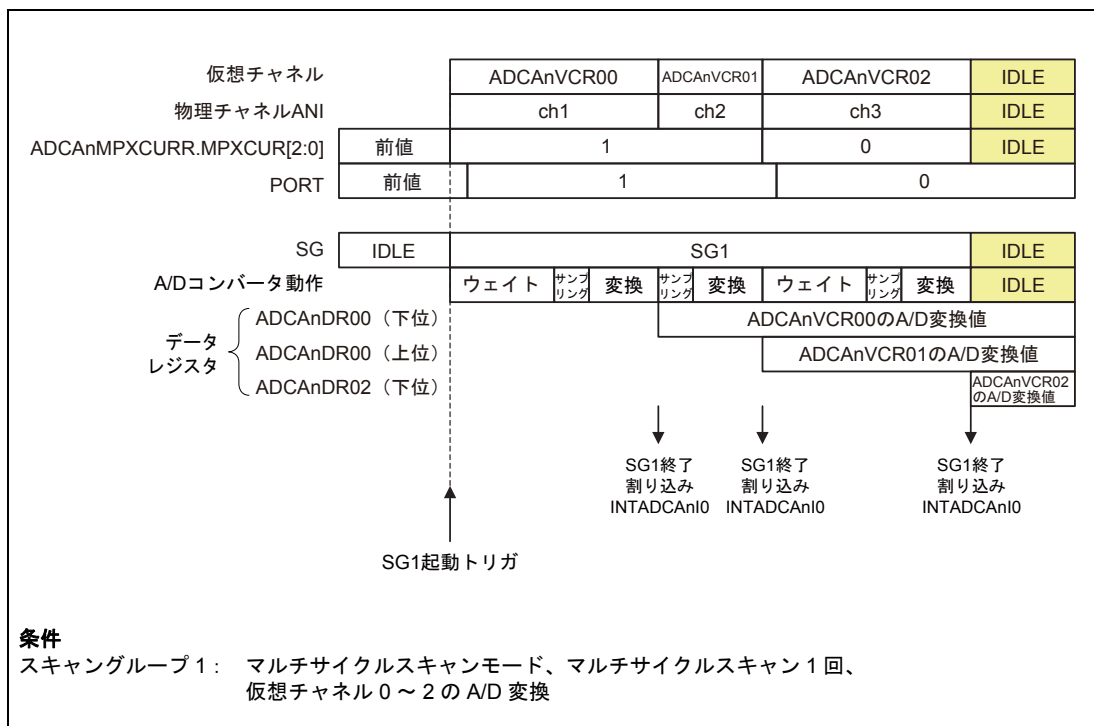


図 31.17 外付けアナログマルチプレクサでの A/D 変換動作 1

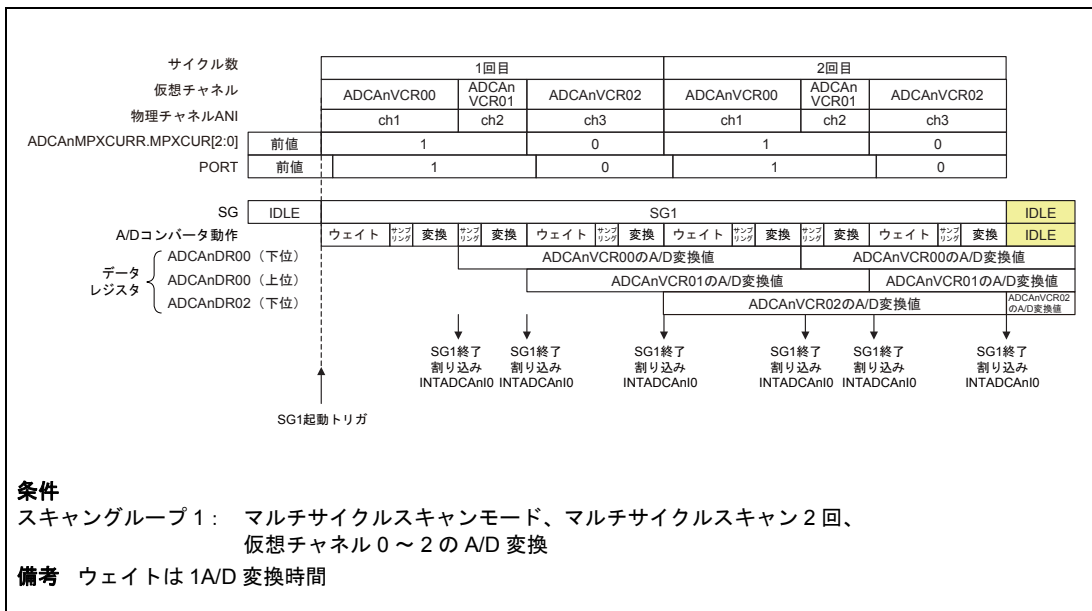


図 31.18 外付けアナログマルチプレクサでの A/D 変換動作 2

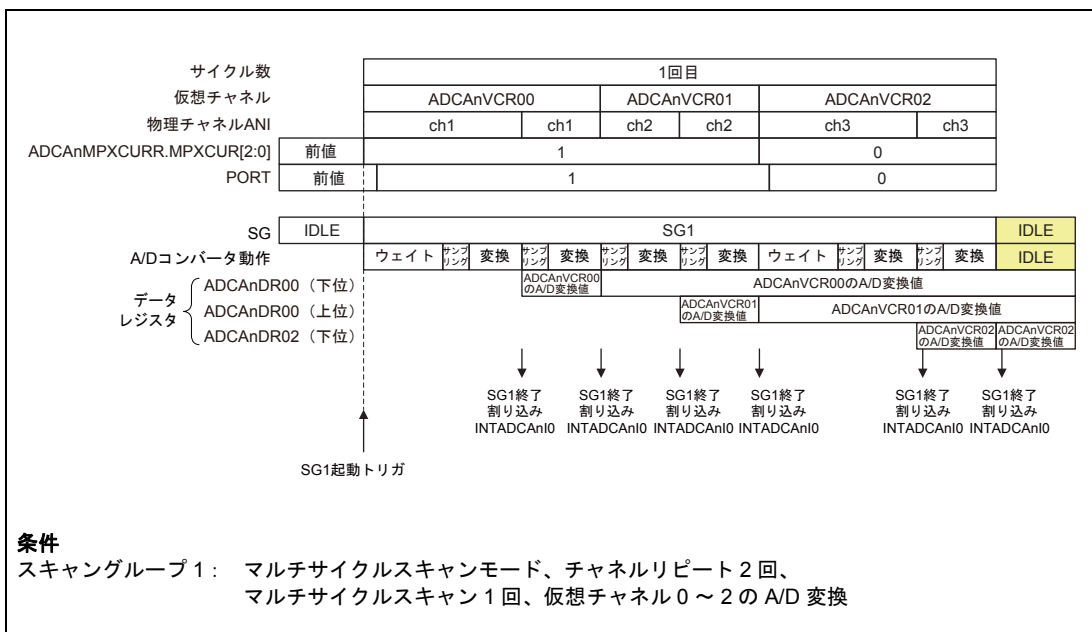


図 31.19 外付けアナログマルチプレクサでの A/D 変換動作 3

31.4.7.1 PWM-Diag 機能時の A/D 変換動作

PWM-Diag 機能使用時は、A/D コンバータは PWM-Diag からの信号により、A/D 変換を行います。

PWM-Diag 機能の詳細は、「**第 30 章 PWM 出力／診断 (PWM-Diag)**」を参照してください。

A/D コンバータは、A/D 変換トリガ選択 (PWSA) の信号により、MPX の設定情報を受け取り A/D 変換を制御します。PWM-Diag 機能時の A/D 変換フローは次の通りです。

- (1) ADCAnPWDVCR.MPXV[2:0] に MPX のチャンネル MPX 値を設定します。MPX には最大で 8 チャンネルの指定が可能です。
- (2) PWM-Diag からのトリガ信号 PWSA_ADTRG により、A/D 変換を開始します。尚、MPX イネーブルビット ADCAnPWDVCR.MPX E が '1' のとき、A/D 変換開始前に 1A/D 変換時間のウェイトを挿入します。
- (3) A/D 変換終了時、PWM-Diag に対してスキャン終了を通知します。

注 意

PWM-Diag 機能のトリガ信号 PWSA_ADTRG は、SGx_TRG (x = 1-3) よりも高優先度の為、他のスキャングループは、PWM-Diag が終了するまで待たされる場合があります。

MPX を使用した PWM-Diag 動作の例を **図 31.20** に示します。

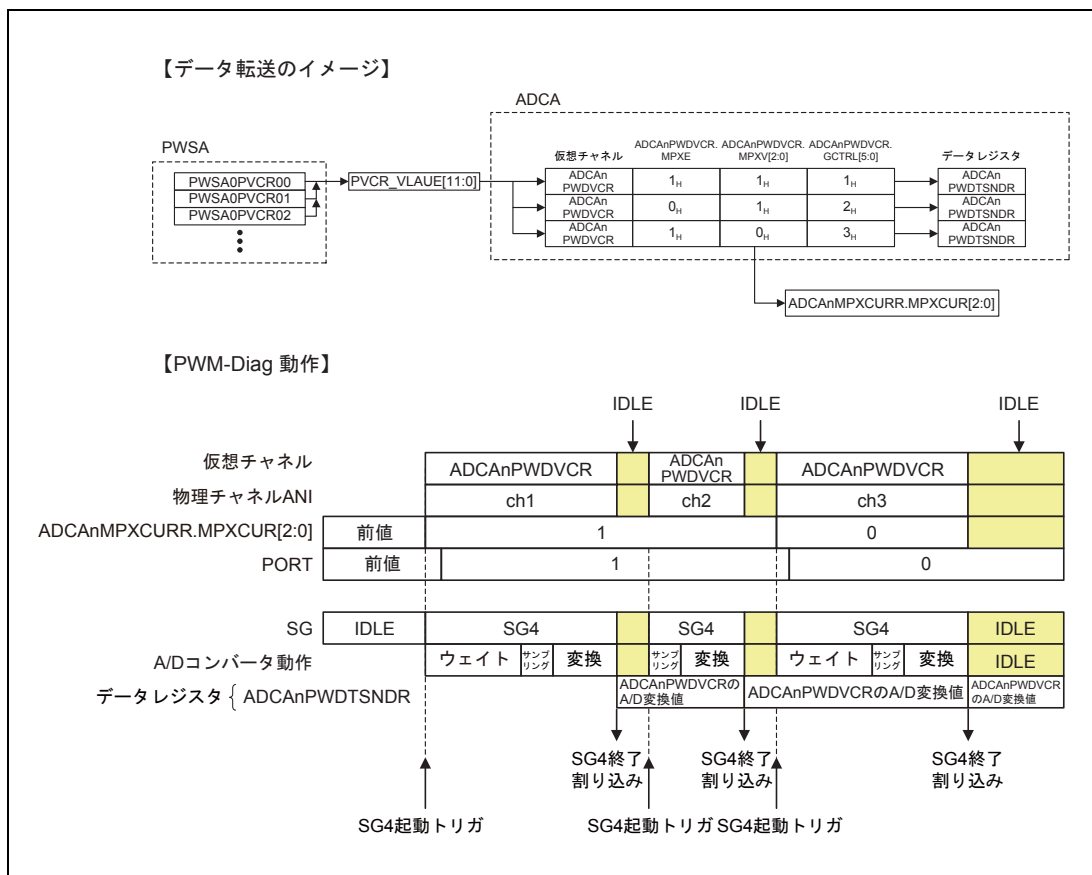


図 31.20 PWM-Diag 動作

31.4.8 同期サスペンド & レジューム動作例

同期サスペンド & レジューム動作の例を図 31.21 に示します。低優先 SG に対して高優先 SG が割り込む場合についての動作です。

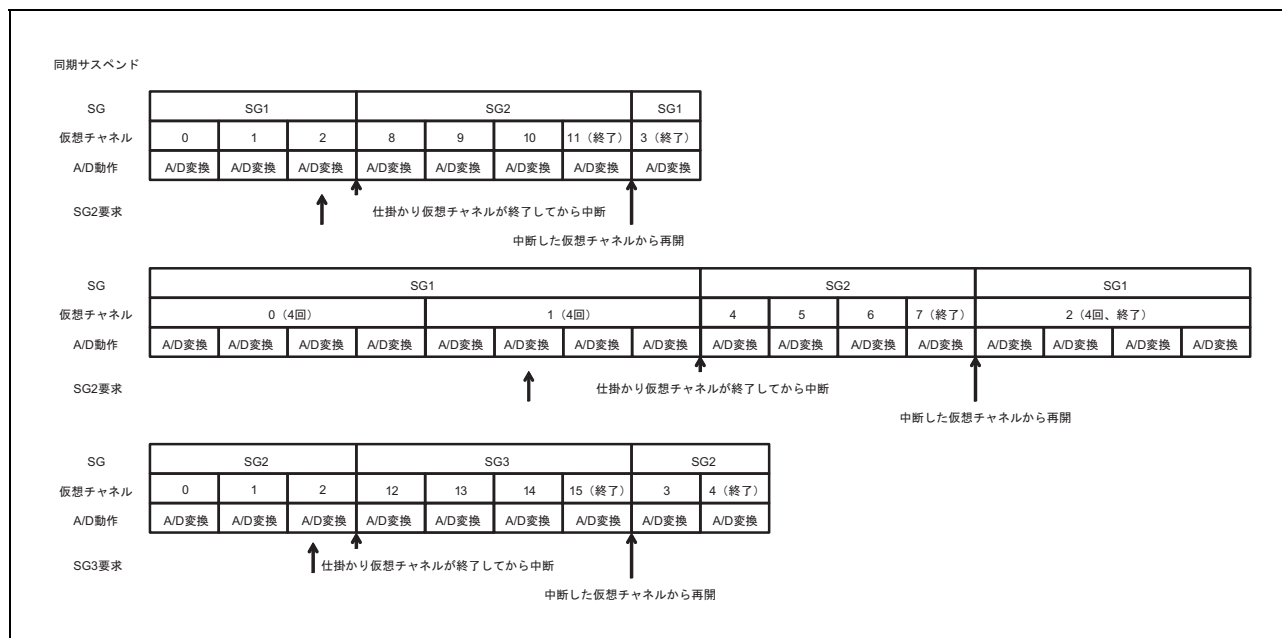


図 31.21 同期サスペンド & レジューム動作例

備考

スキャングループの優先順位は、次の通りです。

低い

高い

SG1 < SG2 < SG3 < PWM-Diag (SG4)

31.4.9 非同期サスペンド & レジューム動作例

非同期サスペンド & レジューム動作の例を図 31.22 に示します。低優先 SG に対して高優先 SG が割り込む場合の動作です。

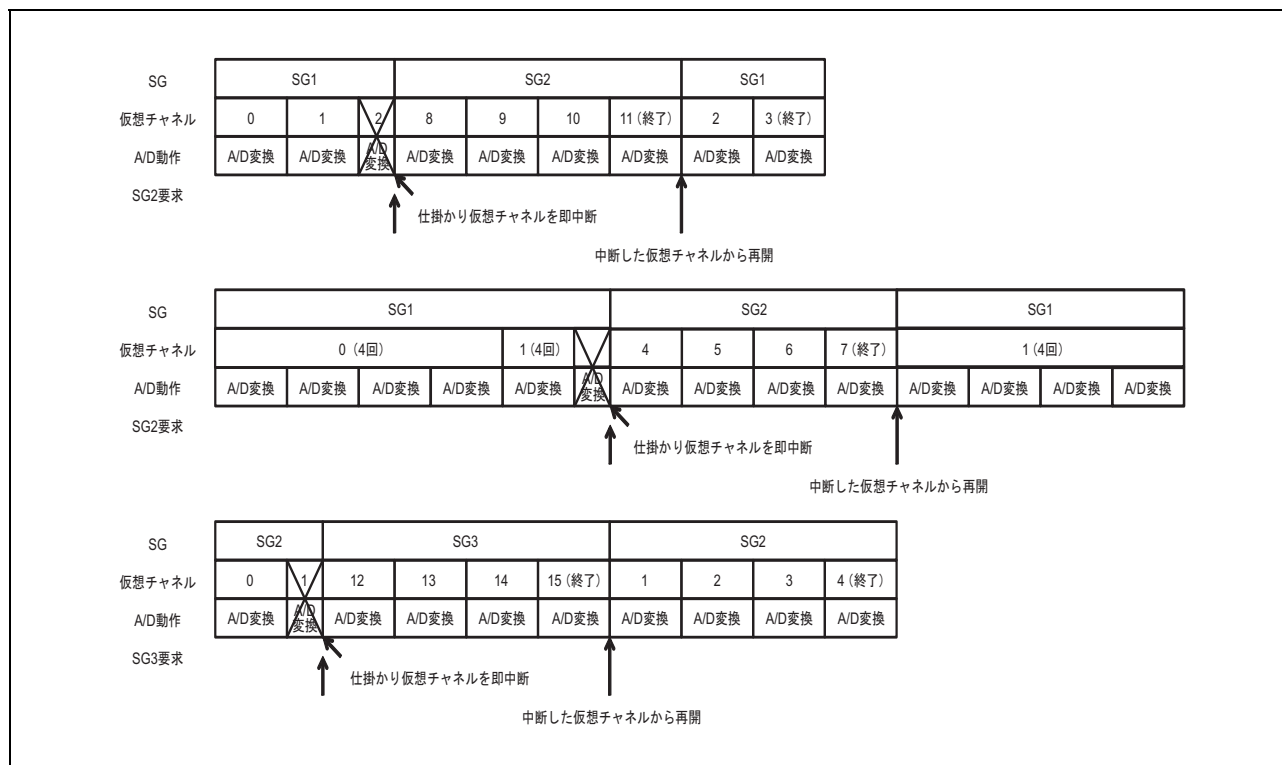


図 31.22 非同期サスペンド & レジューム動作例

備考

スキャングループの優先順位は、次の通りです。

低い 高い

SG1 < SG2 < SG3 < PWM-Diag (SG4)

31.4.10 エラー検出機能

ADCA_nは上限/下限エラーとオーバーライトエラーに対応しています。

31.4.10.1 上限/下限エラー検出機能

上限/下限エラーは、A/D変換が終了するとき、A/D変換データが、上限テーブルADCA_nULLMTBR0.ULMTB[11:0]より大きいか、下限テーブルADCA_nULLMTBR0.LLMTB[11:0]より小さいかを判定します。

31.4.10.2 オーバーライトエラー検出機能

ADCA_nDIR_j.WFLG = 1 (A/D変換結果が格納)状態で、仮想チャネルのADCA_nDIR_jレジスタまたはADCA_nDR_jレジスタがリードされず、次のA/D変換結果がADCA_nDR_jレジスタにライトされたとき、オーバーライトエラーを検出します。

31.4.10.3 SVSTOP動作

オンチップデバッグコントロールユニットにより供給されるSVSTOP信号により、SVSTOP機能をサポートしています。SVSTOP機能は、エミュレーションのブレーク時にSVSTOP信号が入力されることで、A/Dコンバータの変換動作を停止します。SVSTOP期間中は、外部アクセスによってADCA_nDR_j、ADCA_nDIR_j、ADCA_nSGSTR、ADCA_nULER、ADCA_nOWER、ADCA_nPWDTSNDR、ADCA_nPWDDIRレジスタをリードした場合でも各レジスタへの影響はありません。

ADCA_nEMU.SVSDIS = 0を設定時に、SVSTOP = ハイレベルを入力した時に、ADCA_nSGSTR.SGACT[5]に1をセットし、SVSTOP状態に遷移します。尚、SVSTOP中のハードウェアトリガとソフトウェアトリガは有効です。また、ADCA_nEMU.SVSDIS = 1を設定時に、SVSTOP = ハイレベルを入力した場合は、SVSTOP状態に遷移しません。なお、SVSTOP中にADHALT (A/D変換強制終了)は行わないでください。

同期サスペンドの場合、SVSTOP = ハイレベルを入力してから変換中のチャネルが終了するまでの間、新たな起動トリガを受け付けることができません。この時間は最大1A/D変換時間となります。

以下に、SVSTOPによる動作例を示します。

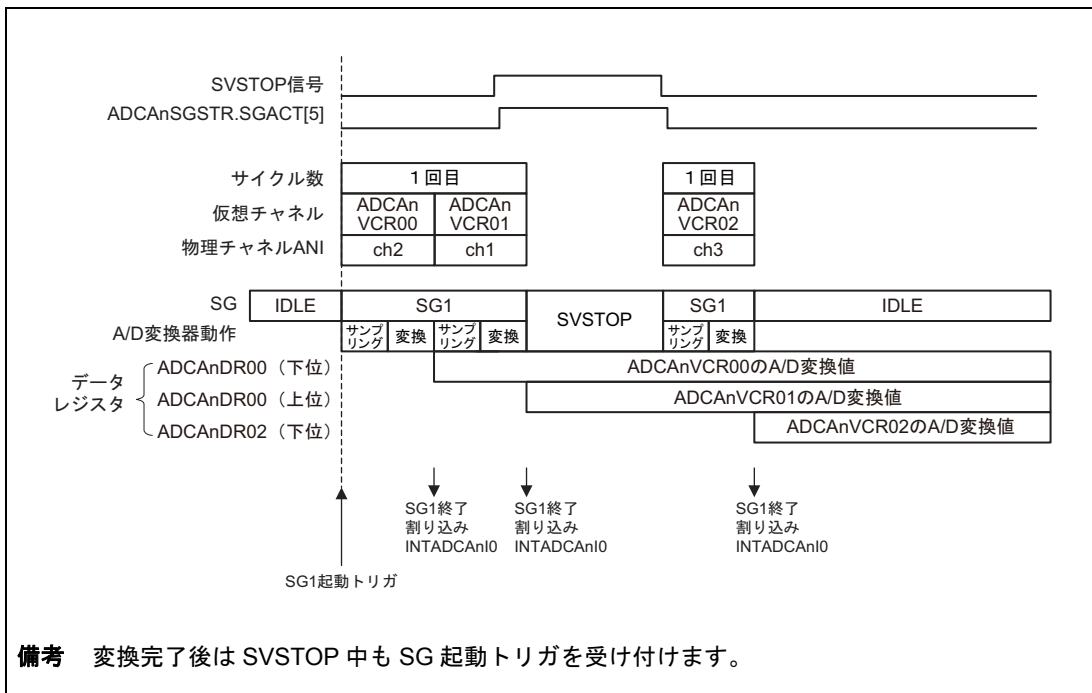


図 31.23 SVSTOP 動作例 (ADCAAnDCR.SUSMTD = “00”, ADCAAnEMU.SVSDIS = “0”)

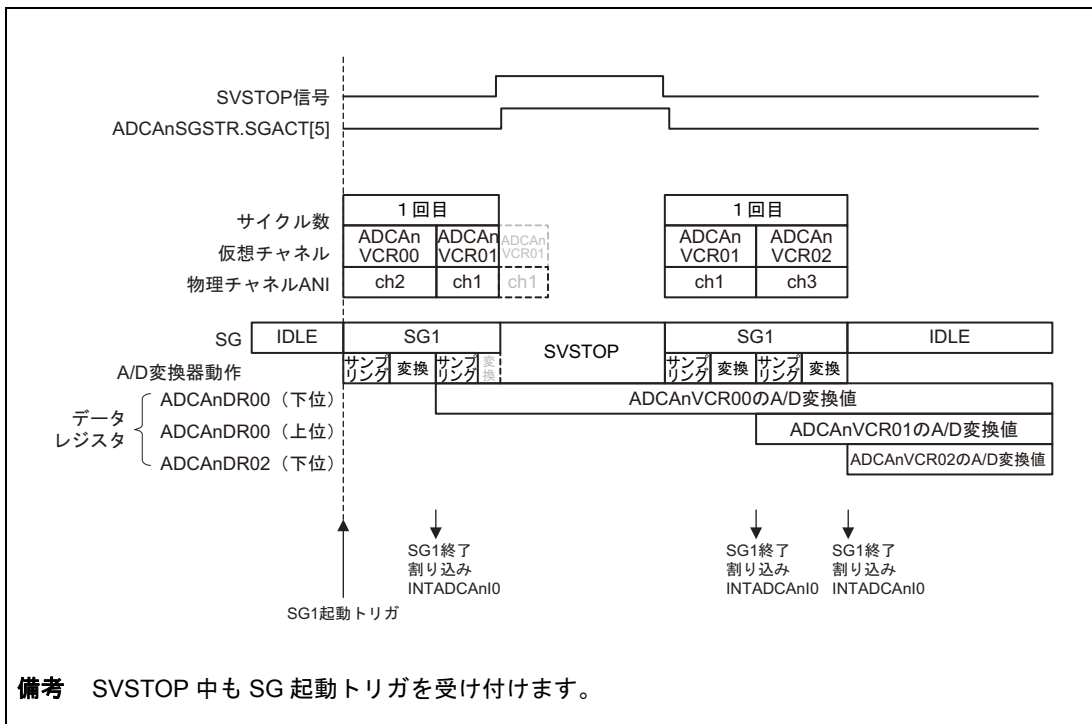


図 31.24 SVSTOP 動作例 (ADCAAnDCR.SUSMTD = “10”, ADCAAnEMU.SVSDIS = “0”)

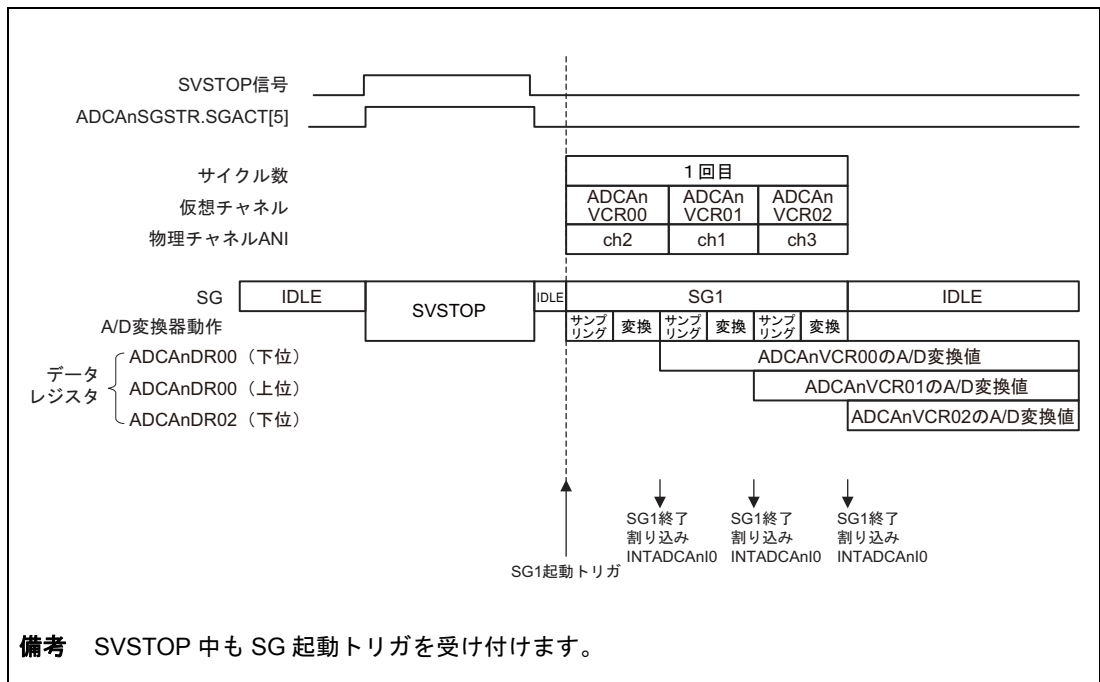


図 31.25 IDLE 期間中の SVSTOP 動作例 (ADCAnADCR.SUSMTD = “00”, ADCAnEMU.SVSDIS = “0”)

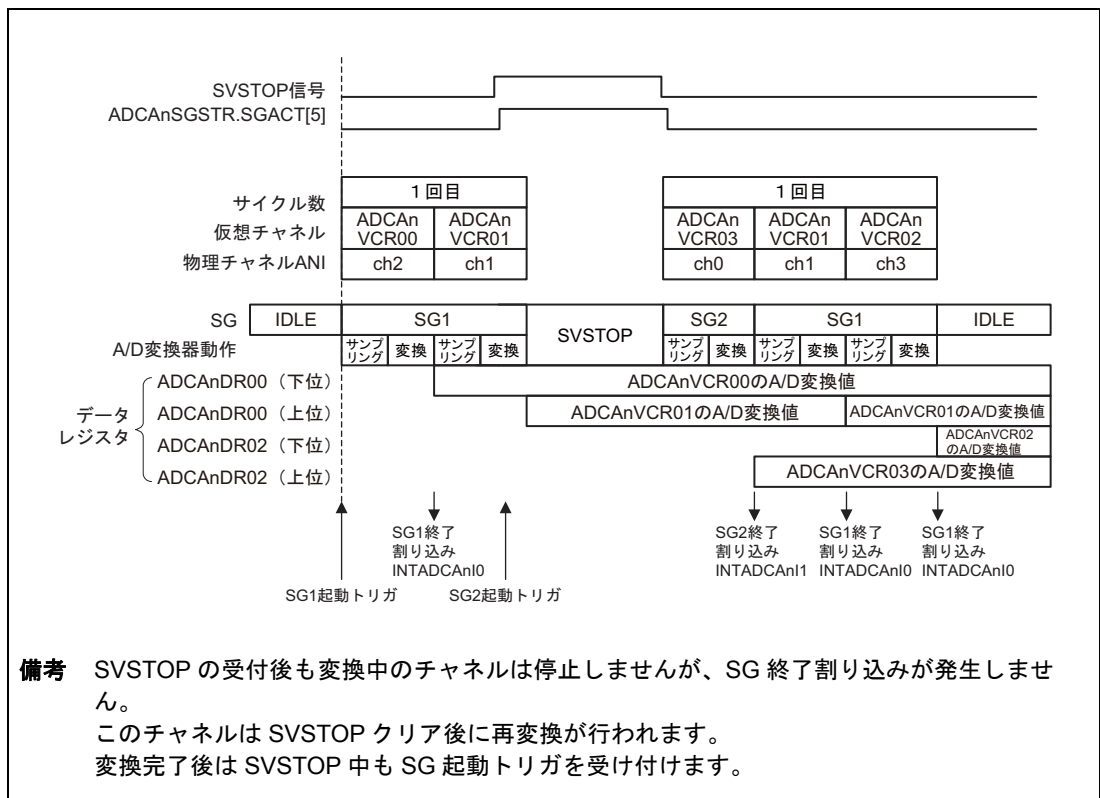


図 31.26 SVSTOP 開始と高優先 SG 開始トリガの競合 (ADCAnADCR.SUSMTD = “00”, ADCAnEMU.SVSDIS = “0”)

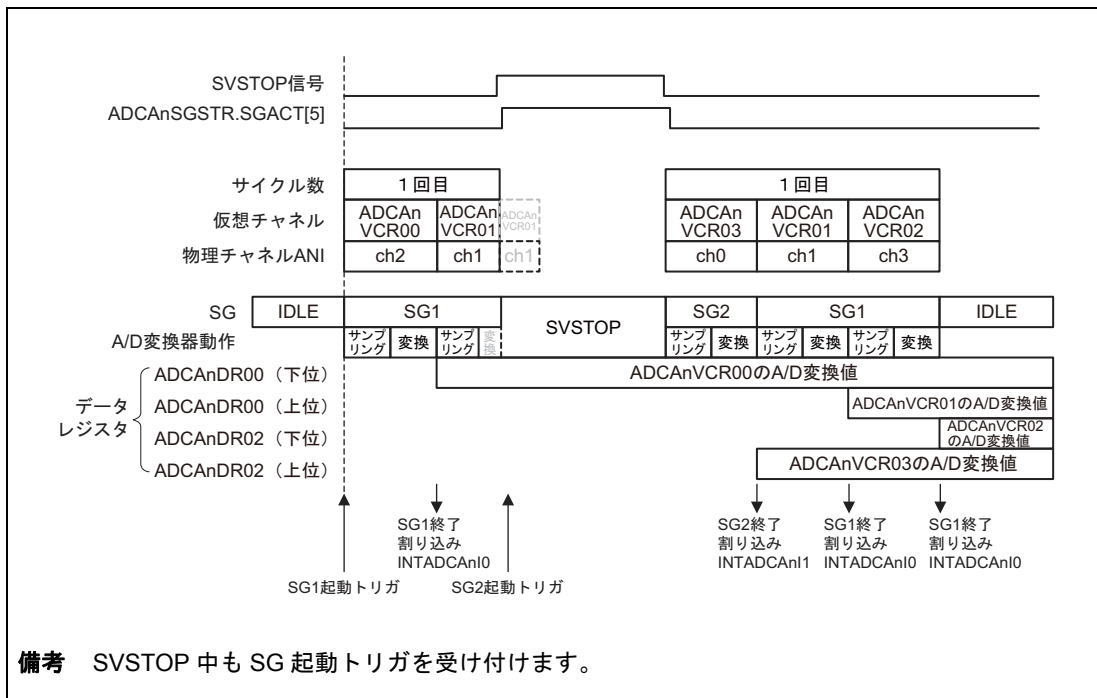


図 31.27 SVSTOP 開始と高優先 SG 開始トリガの競合 (ADCAnADCR.SUSMTD = “10”, ADCAnEMU.SVSDIS = “0”)

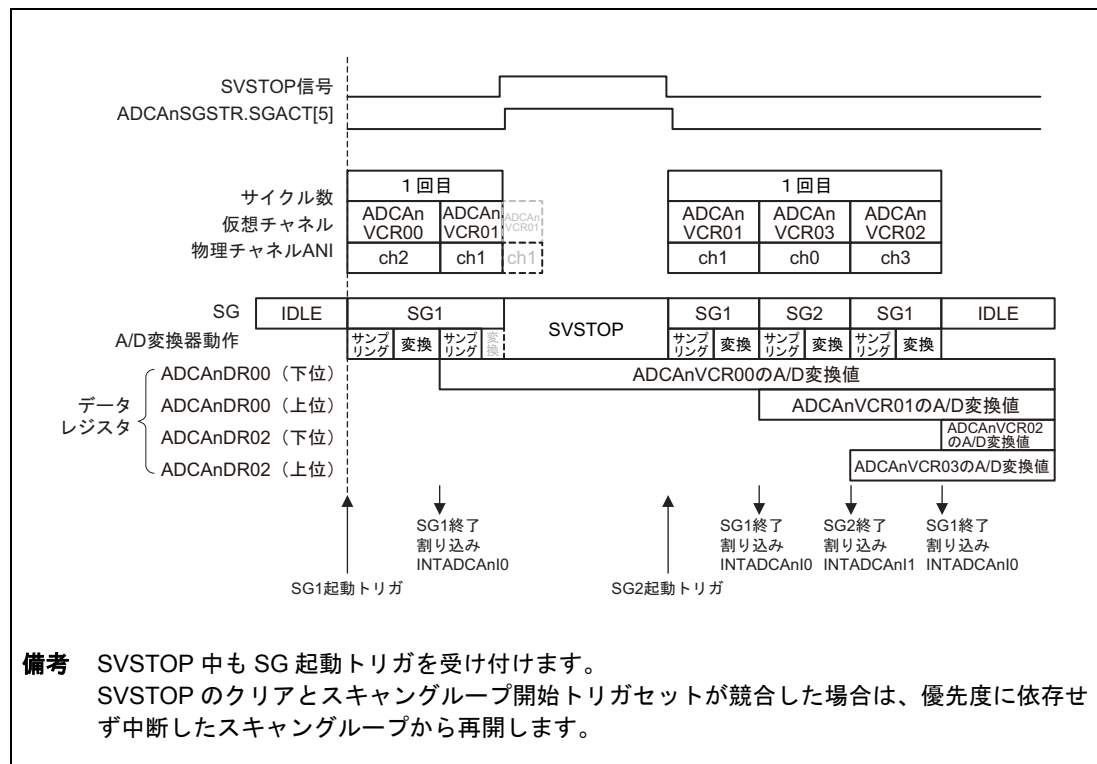


図 31.28 SVSTOP クリアと高優先 SG 開始トリガの競合 (ADCAnADCR.SUSMTD = “10”, ADCAnEMU.SVSDIS = “0”)

31.4.11 ハードウェアトリガによるスキャングループの起動

SGx_TRG へのハードウェアトリガ入力で、スキャングループ x を起動することができます。使用できるハードウェア要因は「表 31.49 A/D 変換ハードウェアトリガー一覧」を参照してください。ハードウェアトリガで SGx_TRG を起動するときは、トリガに使用する周辺機能を設定し、A/D 変換トリガ選択制御レジスタ (ADCA_nSGTSELx) に開始トリガを設定してください。外部トリガ入力端子によるハードウェアトリガではデジタルフィルタの設定を行ってください。詳細は「2.12 ノイズフィルタ & エッジレベル検出回路」を参照してください。開始トリガは複数設定することができます。

31.4.11.1 ADHALT によるスキャングループ停止

ADCA_nADHALTR.HALT (A/D 強制終了トリガ) をセットすることで、A/D 変換を強制終了し、スキャングループステータスレジスタ ((ADCA_nSGSTR) をクリアします。ADCA_nULER (上限/下限エラーレジスタ) のエラーフラグはクリアされません。ADCA_nADHALTR.HALT をセットした場合は、ADCA_nSGSTR.SGACT がクリアされたことを確認してください。

31.4.12 スキャン終了割り込み要求

スキャングループ x は、INTC へのスキャン終了割り込み要求 (INT_SGx) を発生することができます。ADCA_nSGCRx の ADIE を 1 に設定すると SGx のスキャン終了で INT_SGx を出力し、0 に設定すると SGx のスキャン終了時の INT_SGx の出力を禁止できます。また、ADCA_nVCRj の ADIE を 1 に設定すると SGx の仮想チャンネル j の A/D 変換終了で INT_SGx を出力し、0 に設定すると SGx の仮想チャンネル j の A/D 変換終了時の INT_SGx の出力を禁止できます。ADCA_nSGCRx と ADCA_nVCRj の ADIE を “1” にしたとき、SGx のスキャン終了と仮想チャンネル j の A/D 変換終了が同じタイミングとなるため、INT_SGx は 1 度のみ発生します。

例 1 : ADCA_nSGCR1 の ADIE = 0、VCR0 の ADIE = 1、VCR1 の ADIE = 0、SG1 で仮想チャンネル 0 ~ 1 のスキャン実行
仮想チャンネル 0 の A/D 変換終了で INT_SG1 が出力します。

例 2 : ADCA_nSGCR2 の ADIE = 0、VCR0 の ADIE = 1、VCR1 の ADIE = 1、SG2 で仮想チャンネル 0 ~ 1 のスキャン実行
仮想チャンネル 0 と仮想チャンネル 1 の A/D 変換終了で INT_SG2 が出力します。

例 3 : ADCA_nSGCR3 の ADIE = 1、VCR0 の ADIE = 0、VCR1 の ADIE = 0、SG3 で仮想チャンネル 0 ~ 1 のスキャン実行
スキャン終了 (仮想チャンネル 1 の A/D 変換終了) で INT_SG3 が出力します。

さらに、スキャン終了時に DMAC を起動することができます。

DMAC の設定については「第 8 章 DMA コントローラ」を参照してください。

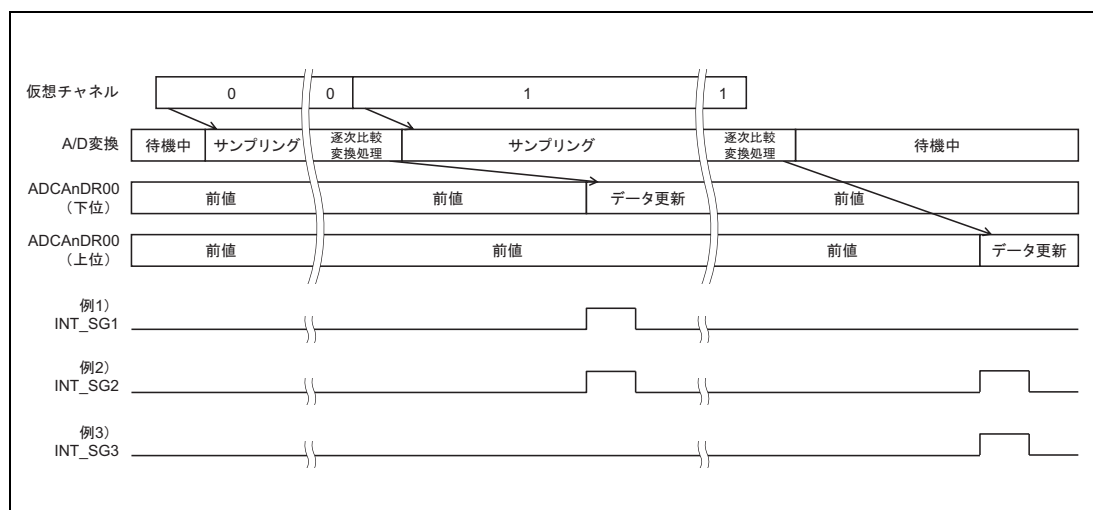


図 31.29 スキャン変換終了割り込み発生

31.4.13 A/D エラー割り込み要求

ADCA は、INTC への A/D エラー割り込み要求 (INT_ADE) を発生することができます。ADCAnSFTCR の ULEIE、OWEIE が 1 に設定されたエラー要因の OR 条件を INT_ADE として発生します。0 に設定されたエラー要因の INT_ADE は、割り込みを出力しません。

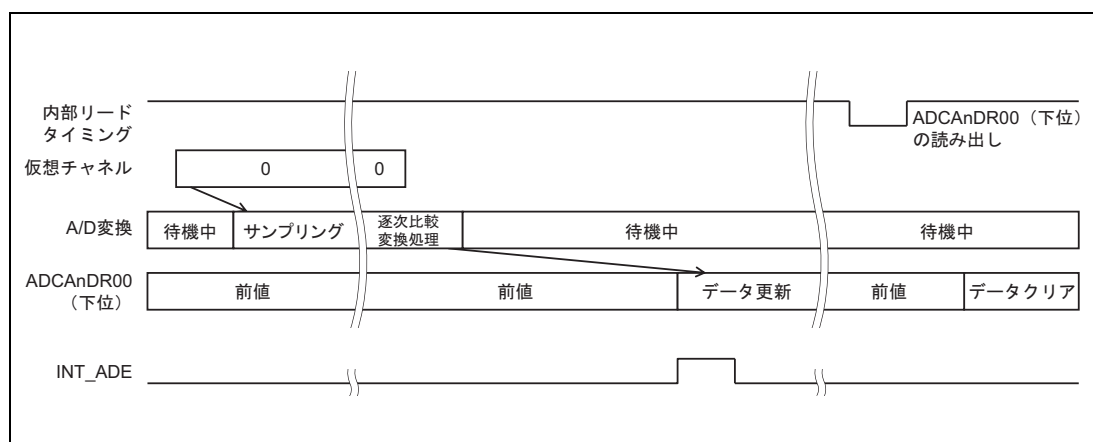


図 31.30 A/D エラー割り込み (例：オーバーライトエラー)

31.5 自己診断機能

ADCA_nが機能しているかどうかを確認するために、次の自己診断機能が使用できます。

「31.5.1 A/D変換回路の診断」

「31.5.2 チャンネルマルチプレクサの診断」

「31.5.3 オープン端子の診断」

「31.5.4 T&H回路の診断」

自己診断機能の概要を次の図に示し、詳細を後続の項で説明します。

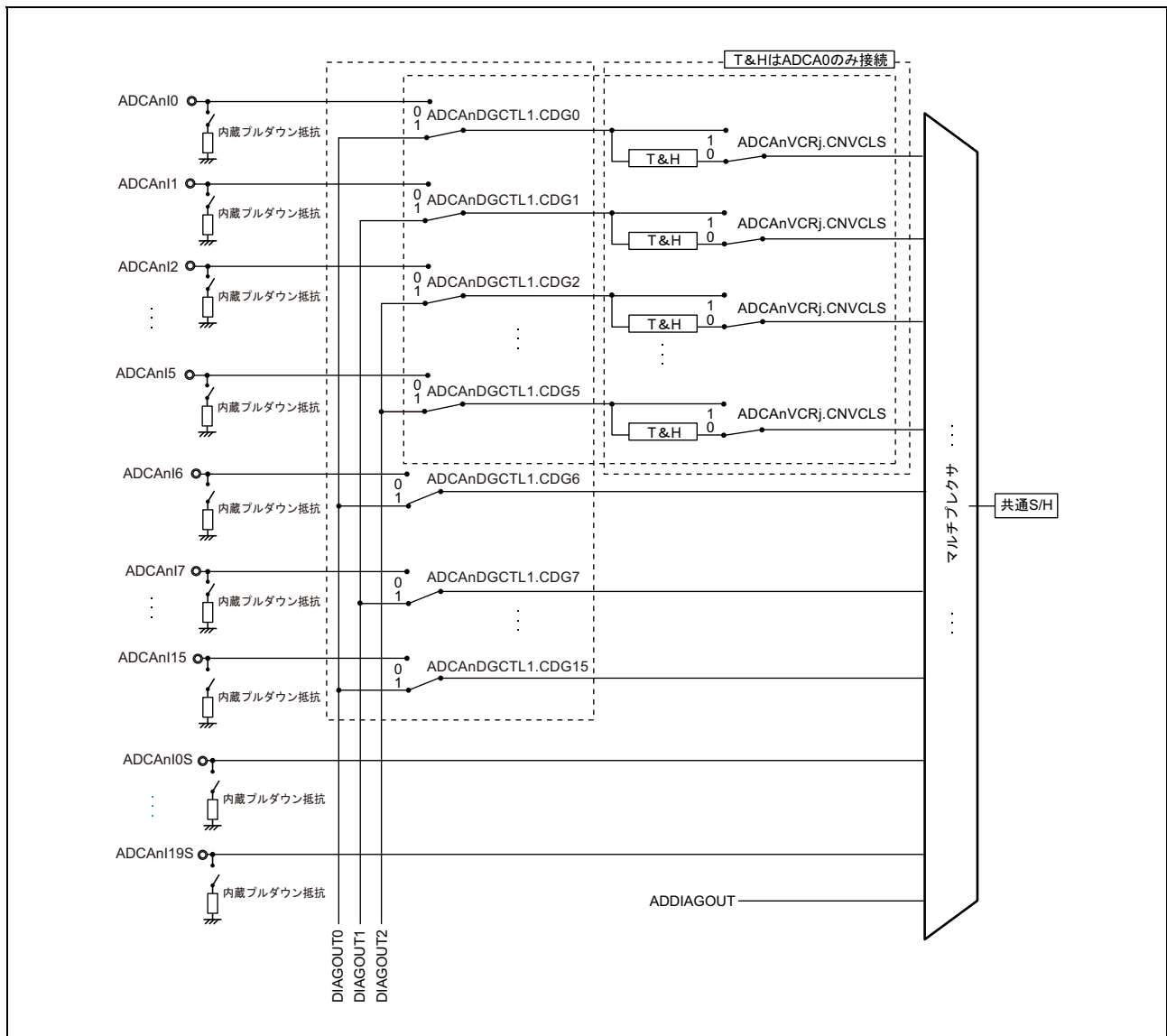


図 31.31 自己診断機能の概要

備考

点線で囲まれた部分は製品依存の機能です。

31.5.1 A/D 変換回路の診断

A/D 変換回路の診断は、自己診断電圧 (ADDIAGOUT) に対する A/D 変換と変換結果の確認とにより、A/D 変換回路が正常に動作していることを確認することができます。A/D 変換結果が期待値と異なる場合、内部回路が破損している可能性があります。A/D 変換回路自己診断機能の特徴を以下に示します。

- ADCAnDGCTL0.PSEL[2:0] レジスタにより、自己診断電圧 (ADDIAGOUT) レベルとして AnV_{REF} , $2/3AnV_{REF}$, $1/3AnV_{REF}$, $1/2AnV_{REF}$, AnV_{SS} を選択できます。
- A/D 変換回路の自己診断は、SG1-3 の A/D 変換のいずれかを実施することで、A/D 変換回路の診断が可能です。

31.5.1.1 診断手順

以下に診断手順を示します。

ADC の共通設定は自己診断を行う前に行ってください。

1. ADCAnADCR.DGON = 1 に設定し、自己診断電圧回路を有効にする。
2. 500 ns 待つ。
3. ADCAnDGCTL0.PSEL[2:0] ビットを設定し、自己診断電圧レベルを選択する。
4. ADCAnADCR.DGON = 1 に設定し、電圧レベルを更新する。
5. 500 ns 待つ。
6. 任意の ADCAnVCRj.GCTRL[5:0] ビットを 100100_B に設定し、診断チャンネルを選択する。
7. ADCAnVCRj.ADIE = 1 に設定し、A/D 変換完了割り込みを有効にする。
8. ADCAnSGVCSPx を設定し、仮想チャンネルの開始ポイントを指定する。
9. ADCAnSGVCEPx を設定し、仮想チャンネルの完了ポイントを指定する。
10. A/D 変換を実行するために、スキャングループの開始トリガを生成する。
11. 変換割り込みが発生すると、結果をリードし、期待値と比較する。
12. 結果が期待値である場合、A/D 変換は正常に実行されている。

備 考

- A/D 変換中でも、ADCAnDGCTL0.PSEL[2:0] への書き込みで、自己診断電圧レベルを変更することができます。この場合、ADCAnDGCTL0.PSEL[2:0] の値は、次の A/D 変換から有効になります。
- ADCAnADCR.DGON をクリア (0) する際は、次の手順で実行してください。
 1. 全スキャングループの SGACT が 0 の状態 (スキャングループ起動前) かつ全スキャングループの TRGMD が 0 であることを確認します。
 2. ADCAnDGCTL0.PSEL[2:0] をクリアします。
 3. ADCAnADCR.DGON をクリア します。

31.5.2 チャネルマルチプレクサの診断

チャネルマルチプレクサの診断は、アナログ入力から A/D 変換回路までの経路が正常であることを診断する機能です。

診断 A/D 変換用電圧 (DIAGOUT0, DIAGOUT1, DIAGOUT2) を ADCA_nDGCTL0.PSEL[2:0] と、接続するチャネルを ADCA_nDGCTL1 レジスタで設定し、複数のアナログチャネルを使用した A/D 変換を行います。

A/D 変換結果が期待値と異なる場合、内部回路が破損していることがあります。以下に、チャネルマルチプレクサの自己診断機能について示します。

- 診断するチャネル (ADCA0I0 ~ ADCA0I15, ADCA1I0 ~ ADCA1I15) を任意に選択できます。
- 自己診断電圧レベルは、 $2/3AnV_{REF}$, $1/3AnV_{REF}$, $1/2AnV_{REF}$ を選択でき、各チャネルには、3つの基準電圧のうちひとつを割り当てることができます。

表 31.55 診断チャネルの選択

接続先	選択チャネル
DIAGOUT0	チャネル 0, 3, 6, 9, 12, 15
DIAGOUT1	チャネル 1, 4, 7, 10, 13
DIAGOUT2	チャネル 2, 5, 8, 11, 14

- 複数のチャネルを使用して SG1-3 の A/D 変換のいずれかを実施することで、チャネルマルチプレクサの診断が可能です。

31.5.2.1 診断手順

以下に診断手順を示します。

ADCの共通設定は自己診断を行う前に行ってください。

1. ADCAnADCR.DGON = 1 に設定し、自己診断電圧回路を有効にする。
2. 500 ns 待つ。
3. ADCAnDGCTL0.PSEL[2:0] ビットを設定し、自己診断電圧レベルを選択する。
4. ADCAnADCR.DGON = 1 に設定し、電圧レベルを更新する。
5. 500 ns 待つ。
6. 2つ以上の ADCAnVCRj レジスタを使用する。
ADCAnVCRj.GCTRL[5:0] ビットを設定し、物理チャンネルを選択する。
ADCAnVCRj.ADIE ビットを設定し、A/D変換完了割り込みを有効にする。
7. ADCAnSGVCSPx レジスタを設定し、仮想チャンネルの開始ポイントを指定する。
8. ADCAnSGVCEPx レジスタを設定し、仮想チャンネルの完了ポイントを指定する。
9. ADCAnDGCTL1 レジスタを設定し、物理チャンネルを自己診断チャンネルに指定する。
10. A/D変換を実行するために、スキャングループの開始トリガを生成する。
11. 変換割り込みが発生すると、結果をリードし、期待値と比較する。
12. 結果が期待値である場合、A/D変換は正常に実行されている。

備 考

- A/D変換中でも、ADCAnDGCTL0.PSEL[2:0] への書き込みで、自己診断電圧レベルを変更することができます。この場合、ADCAnDGCTL0.PSEL[2:0] ビットの値は、次のA/D変換から有効になります。
- ADCAnADCR.DGON をクリア (0) する際は、次の手順で実行してください。
 1. 全スキャングループの SGACT が 0 の状態 (スキャングループ起動前) かつ全スキャングループの TRGMD が 0 であることを確認します。
 2. ADCAnDGCTL0.PSEL[2:0] をクリアします。
 3. ADCAnADCR.DGON をクリア します。

31.5.3 オープン端子の診断

オープン端子の診断は、アナログ入力端子 (ADCAnIm、ADCAnImS) が断線などの理由によりオープン状態となっていることを検出する機能です。

内部プルダウン抵抗は、アナログ入力端子を診断するために接続できます。

アナログ入力端子 (ADCAnIm、ADCAnImS) に、自己診断機能用のプルダウン抵抗を接続して対象チャネルの A/D 変換を行います。

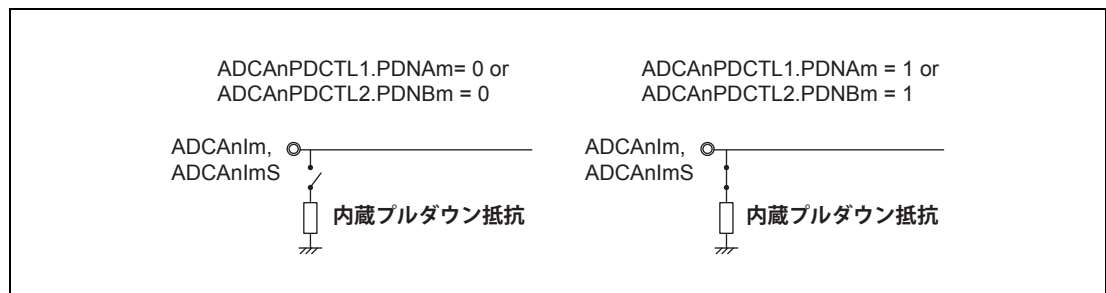


図 31.32 内蔵プルダウン抵抗の設定

断線が起こっている場合、変換結果はほぼ 0V に減衰し、オープン検出と判断することが可能です。

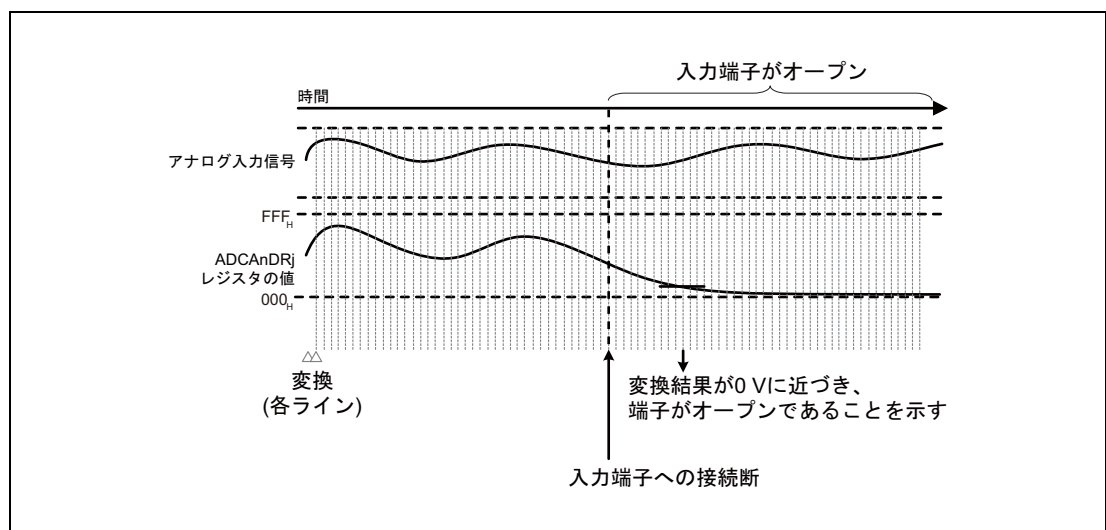


図 31.33 アナログ入力信号の断線検出

注 意

1. 通常の A/D 変換動作中は、プルダウン抵抗を接続しないでください。接続されたプルダウン抵抗は、入力電圧の低下をもたらし、誤った A/D 変換結果になる可能性があります。
2. プルダウン抵抗を接続しても、電圧レベルがアナログ入力電圧にほぼ等しい場合、本機能で切断を検出することはできません。

31.5.3.1 診断手順

1. 診断したいアナログ入力端子 (ADCA_nIm、ADCA_nImS) に対応する ADCA_nPDCTL1.PDNA または ADCA_nPDCTL2.PDNB を設定し、プルダウン抵抗を有効にする。
2. A/D 変換を実行するために、スキャングループの開始トリガを生成する。
3. 同じアナログ入力に対し、A/D 変換を複数回実行する。
4. チャンネルの A/D 変換結果を監視し、結果が 0V まで低下するかどうかを確認する。

31.5.4 T&H 回路の診断

T&H 回路の診断は、ADCA0I0 ~ ADCA0I5 の T&H0 ~ T&H5 回路が正しく機能していることを診断することが可能です。

仮想チャンネルレジスタ 33 ~ 35 (ADCA0VCR33 ~ 35) を専用で使用し、T&H 回路を経由する電位の変換結果と T&H 回路を経由しない電位の変換結果を比較することで、T&H 回路の故障を検出することができます。

この診断では ADCA0THACR.HLDCTE = 1 (ADCA0THBCR.HLDCTE = 1)、ADCA0THACR.HLDTE = 0 (ADCA0THBCR.HLDTE = 0) に設定し、A/D 変換トリガをホールド開始トリガおよびホールド完了トリガとして使用します。

ADCA_nDGCTL0.PSEL[2:0] で選択された基準電圧 (DIAGOUT0, DIAGOUT1, DIAGOUT2) を、診断対象となるチャンネルへ ADCA_nDGCTL1 レジスタにより接続してください。

31.5.4.1 診断手順 (T&H 回路チャンネル 0 の診断の例)

1. ADCA0ADCR.DGON = 1 に設定し、自己診断電圧回路を有効にする。
2. 500 ns 待つ。
3. ADCA0DGCTL0.PSEL[2:0] = 001_B に設定し、1/3AnV_{REF} 電圧レベルを選択する。
4. ADCA0ADCR.DGON = 1 に設定し、電圧レベルを更新する。
5. 500 ns 待つ。
6. ADCA0DGCTL1.CDG0 = 1 に設定し、DIAGOUT0 を有効にする。
7. ADCA0VCR33 ~ 35.GCTRL[5:0] = 000000_B に設定し、物理チャンネル 0 を選択する。
8. ADCA0VCR33, 34.CNVCLS = 1 に設定し、通常の変換を選択する。
9. ADCA0VCR35.CNVCLS = 0 に設定し、ホールド値の変換を選択する。
10. ADCA0THACR.SGS[1:0] = 01_B に設定し、SG1 を“T&H グループ A”に設定する。
11. ADCA0THER.TH0E = 1 に設定し、T&H 回路チャンネル 0 を有効にする。
12. ADCA0THGSR.TH0GS = 0 に設定し、T&H 回路チャンネル 0 を "T&H グループ A" に設定する。
13. ADCA0SGVCSP1.VCSP[5:0] = 100001_B に設定し、SG1 の開始ポイントを VCR33 に設定する。
14. ADCA0SGVCEP1.VCEP[5:0] = 100011_B に設定し、SG1 の完了ポイントを VCR35 に設定する。
15. ADCA0DGCTL0.PSEL[2:0] = 011_B に設定し、2/3AnV_{REF} 電圧レベルを選択する。
16. ADCA0THSMPSTCR.SMPST = 1 に設定し、T&H サンプリングを実行する。
17. 500ns 待つ。
18. ADCA0SGSTCR1.SGST = 1 に設定し、SG1 の A/D 変換を実行する。
19. ADCA0DIR33 ~ 35 をリードし、SG1 の A/D 変換が完了したどうか、A/D 変換結果を確認する。

備 考

ADCA_nADCR.DGON をクリア (0) する際は、次の手順で実行してください。

1. 全スキャングループの SGACT が 0 の状態 (スキャングループ起動前) かつ全スキャングループの TRGMD が 0 であることを確認します。
 2. ADCA_nTHER レジスタにより、診断を行った T&Hk を無効にします。
 3. ADCA_nDGCTL0.PSEL[2:0] をクリアします。
 4. ADCA_nADCR.DGON をクリア します。
-

31.5.4.2 診断方法

- (1) 基準電圧“A”は、基準電圧信号 DIAGOUT0 ~ DIAGOUT2 のいずれかに適用されます。T&H回路は、電圧“A”を保持し、A/D変換はT&H回路を使用せずに行われます。

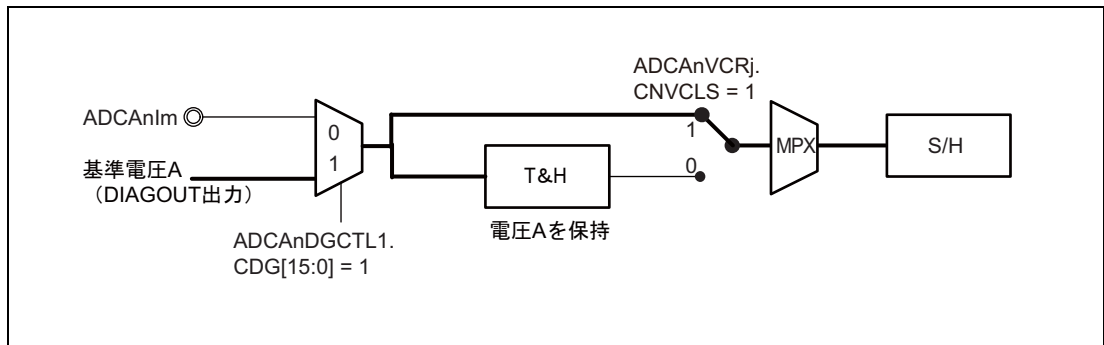


図 31.34 T&H回路診断手順 (1)

- (2) 基準電圧“B”は、基準電圧信号 DIAGOUT0 ~ DIAGOUT2 のいずれかに適用されます。T&H回路は、電圧“A”をまだ保持し、A/D変換はT&H回路を使用せずに行われます (基準電圧“A”がホールド中であるので、基準電圧“B”はホールドされません)。

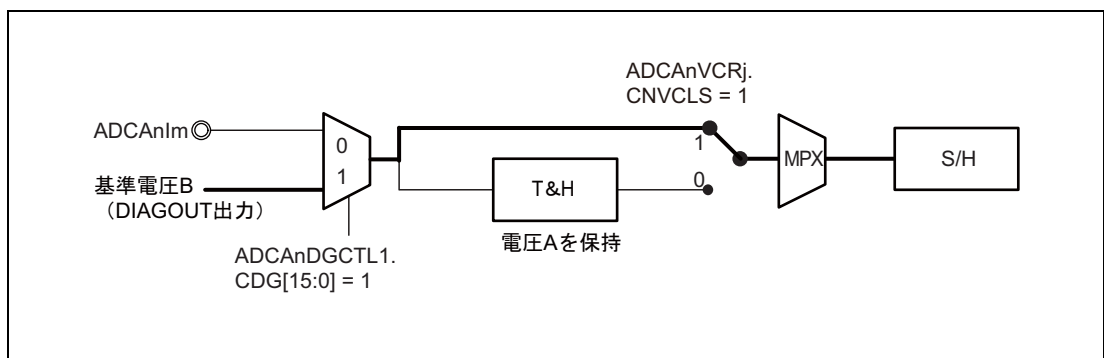


図 31.35 T&H回路診断手順 (2)

- (3) A/D変換がT&H回路を使用して行われます。T&H回路は、電圧Aを保持し続けます。

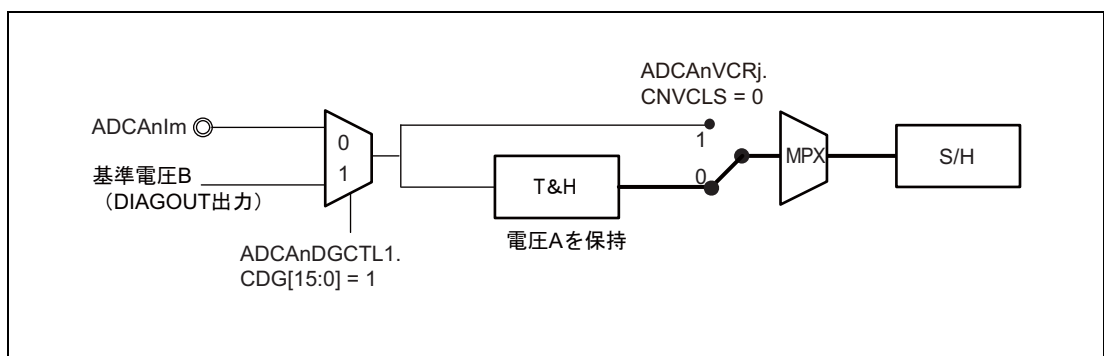


図 31.36 T&H回路診断手順 (3)

- (4) T&H回路の診断が正常に実行された場合、以下の結果になります。
1. 最初 (1) の結果は、電圧“A”です。
 2. 2番目 (2) の結果は、電圧“B”です。
 3. 最後 (3) の結果は、再度、電圧“A”です。

31.6 A/D 変換精度の定義

以下に、A/D 変換精度の定義を示します。

- 分解能
A/D コンバータのデジタル出力コード値
- 量子化誤差
A/D コンバータが本質的に有する誤差であり、 $1/2\text{LSB}$ で与えられる (図 31.37)。
- オフセット誤差
デジタル出力が最小電圧値 000_{H} から 001_{H} に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない。
- フルスケール誤差
デジタル出力が FFE_{H} から FFF_{H} に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない。
- DNL (微分非直線性誤差)
理想デジタル出力コード幅 (V_q) と実際のデジタル出力コード幅 (V_a) との偏差であり、 $(V_a - V_q) / V_q$ で与えられる。ただし、オフセット誤差、フルスケール誤差、および量子化誤差を含まない。
- INL (積分非直線性誤差)
ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの偏差であり、 000_{H} から任意のデジタル出力コードまでの DNL の積分で与えられる。ただし、オフセット誤差、フルスケール誤差、および量子化誤差を含まない。
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差、DNL、および INL を含む。

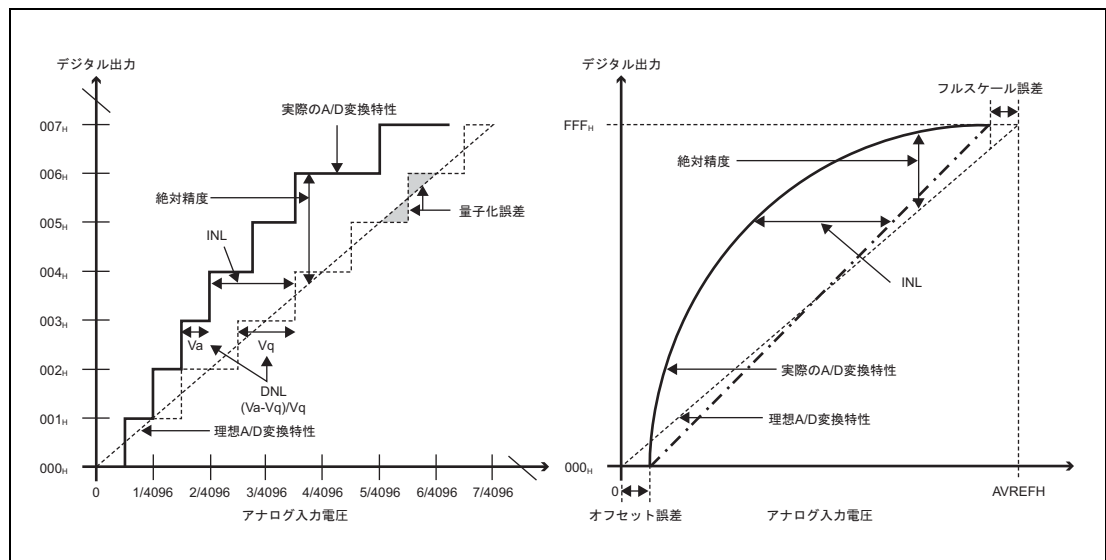


図 31.37 A/D 変換精度の定義

31.7 使用上の注意事項

31.7.1 チャネル入力電圧の範囲

注 意

ADCA_nIm, ADCA_nImS 入力電圧は規格の範囲内で使用してください。チャネル入力電圧が AnVREF を上回るか AnVSS を下回ると、そのチャネルの AD 変換精度は保証されません。ADCA_nIm 端子に過電圧をかけ、この端子で ADC 自己診断（チャネルマルチプレクサの診断）が実行されると、診断電圧に対しオフセット電圧が発生します。

過電圧をかけない端子と過電圧をかけた端子を同時に ADCA_nDGCTL1 レジスタで自己診断チャネル選択した場合、過電圧をかけない端子の自己診断電圧も過電圧の影響を受けます。

この問題を回避するため、過電圧をかけない端子は過電圧をかけた端子と同時に ADCA_nDGCTL1 レジスタで自己診断チャネル選択しないように設定してください。

31.7.2 アプリケーション設計上の注意事項

(1) アナログ入力端子 (ADCA_nIm, ADCA_nImS)

- ADCA_nIm, ADCA_nImS 端子の入力電圧は規格の範囲内でご使用ください。AnVREF 以上または AnVSS 以下の電圧が入力されることを避けるため、V_F が 0.3 V 以下のダイオードでクランプすることを推奨します。特に AnVREF 以上、AnVSS 以下の電圧を入力すると、そのチャネルの変換値は不定となり、保証できません。また、ほかのチャネルの変換値にも影響を与えることがあります。
- アナログ入力端子 (ADCA_nIm, ADCA_nImS) は、外部のアナログ信号入力源との間に抵抗 R_e を接続、AnVSS 端子間にコンデンサ C_e を接続しノイズを除去してください。
- アナログ信号線とデジタル信号線を交差させたり近接させたりすることは極力避けてください。ノイズの誘導などによって A/D 変換特性が悪化する恐れがあります。
- ADCA_nIm, ADCA_nImS 端子に近いポートは、入力、出力ともに、大きな電流駆動を避け、トグルによるスイッチングを極力控えることを推奨します。
- スタンバイ機能を使用する場合、A/D 変換の停止を確認した後にスタンバイを有効にする対象の ADCA_nSGCRx.TRGMMD、ADCA_nTHER.THkE を 0 にしてください。
- ADCA0 を LPS に使う場合（スタンバイ機能使用時も含む）は、ADCA0SGCRx.TRGMMD を 1 にして、ADCA0SGTSELx.TxSEL は SEQTRG (LPS) のみ有効にしてください（詳細は「第 15 章 ロウパワーサンプリング (LPS)」を参照してください）。
- T&H で使用するチャネルは、外付けアナログマルチプレクサへ接続しないでください。
- T&H を使用する場合は、動作中に物理チャネルおよび仮想チャネルの変更は禁止です。
- PWM-Diag を使用しない場合は PWM-Diag 関係のレジスタのライトアクセスは禁止です。リードした場合の値は不定です。

(2) 電源の配線

デジタル回路のスイッチングノイズなどが、A/Dコンバータ精度に及ぼす影響を最小限にするため、次の対策を推奨します。

- 電源ラインは、片面ベタとするか、または、極力太いパターンで格子状に接続してください。
- 電源端子 (EVCC, AnVREF) とグランド端子 (EVSS, AnVSS) 間の端子リード直近にバイパスコンデンサを挿入してください。
- アナログ電源 (AnVREF) は、デジタル電源 (EVCC) から分離し、シリーズレギュレータより供給することを推奨します。デジタル電源と共通にする場合、電源供給元でアナログ電源、デジタル電源と電解コンデンサを1点ショートし、ボード上のパターンを別々に配線してください。

さらに、アナログ電源入口にチップインダクタの挿入を推奨します。また、アナロググランドも、電源グランド元でアナロググランド、デジタルグランドと電解コンデンサを1点アースし、ボード上のパターンを別々に配線してください。

なお、本製品のアナログ電源は、アナログ基準電圧も兼ねています。

(3) A/D変換結果のばらつきについて

電源電圧の変動やノイズなどの影響により A/D 変換結果がばらつくことがあります。また、アナログ入力端子 (ADCA_{Im}, ADCA_{ImS}) および基準電圧入力端子 (AnVREF, AnVSS) にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります。

これらのばらつきや、不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理で軽減させてください。

次にソフトウェア処理の例を示します。

- 複数回の A/D 変換結果の平均値を、A/D 変換結果として使用する。
- 複数回の A/D 変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
- システムに異常が発生したと判断されるような A/D 変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。

以下の両方の条件が当てはまると、高優先 SG の A/D 変換精度が低下することがあります。

- (1) 低優先 SG (SG1 など) の A/D 変換中に、高優先 SG (SG3 など) の変換トリガが発生する。
- (2) 高優先 SG (SG3 など) のチャンネル T&H 機能が有効化されている。

上記の例は、SG の組み合わせの一例です。SG の優先度は、SG4 > SG3 > SG2 > SG1 となります。変換エラーの変動は、外部回路およびカスタムボードに搭載されているデバイスに応じて異なります。

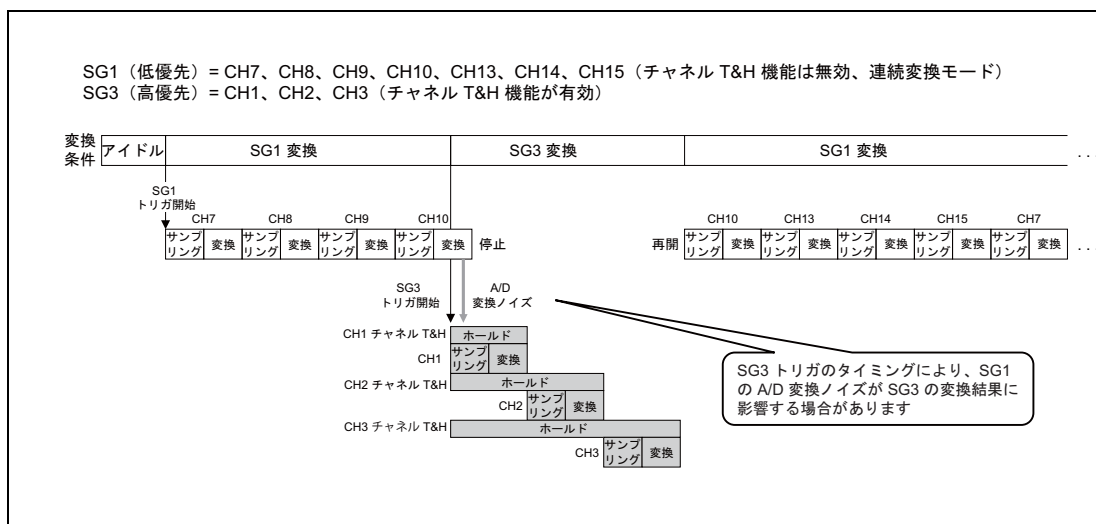


図 31.38 SG の優先度

ソフトウェア処理の例を以下に示します。

- SG3 にチャンネル T&H が使用可能なチャンネルが含まれる場合、低優先 SG (SG1 など) の A/D 変換は、高優先 SG (SG3 など) の変換トリガの 3 ADCLK 前に終了する必要があります。
- 低優先 SG (SG1 など) の変換中に高優先 SG (SG3 など) の変換トリガが発生することがある場合は、高優先 SG のチャンネル T&H 機能を無効にします。
- 前述の両方の条件を使用する必要がある場合は、低優先 SG (SG1 など) の A/D 変換中に、次のタイミング (次の図で矢印付きの線で示した期間) と同期するように、高優先 SG (SG3 など) の変換トリガタイミングを調整します。

推奨される時間以上にトリガ時間を調整しても、データシートで指定されている変換エラーは排除できません。

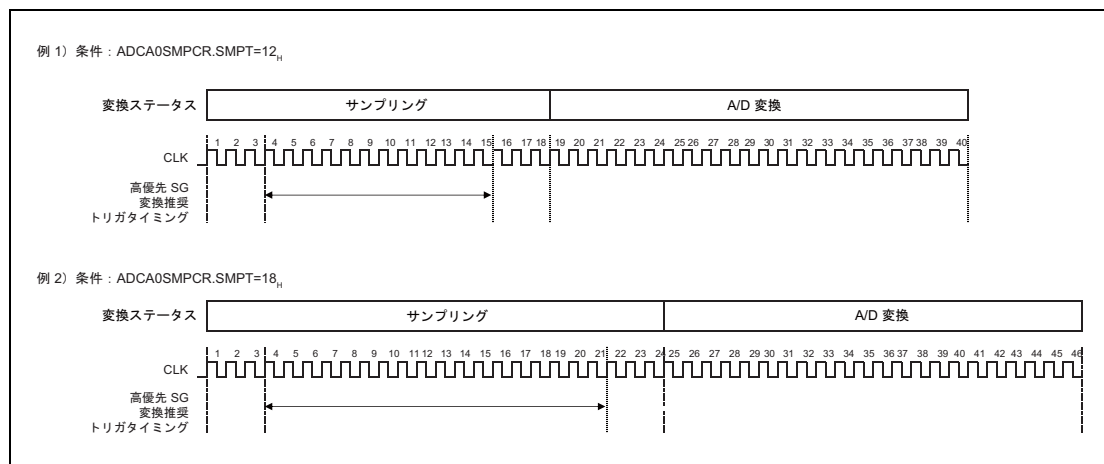


図 31.39 SG 変換トリガタイミング

前述の 3 つのソフトウェア処理を使用できない場合は、以下の処理が推奨されます。

- A/D 変換を数回実行し、それらの A/D 変換結果の平均を使用する。
- 連続 A/D 変換を数回実行し、異常な変換結果を除外し、その他の結果のみを使用する。
- 異常な A/D 変換結果が検出された場合は、直ちに異常な動作に進まずに、A/D 変換をもう 1 回実行してから、異常な動作に進む。

上記の処理の効果は、外部回路およびカスタムボードに搭載されているデバイスに応じて異なります。システムの十分な評価を行うことが推奨されます。

(4) 兼用入出力について

アナログ入力 (ADCA_nIm、ADCA_nImS) 端子はポート端子と兼用になっています。

ADCA_nIm 端子、ADCA_nImS 端子のいずれかを選択して A/D 変換をする場合、変換中に入力ポートへの読み出し命令、または出力ポートへの書き込み命令を実行しないでください。変換精度が低下することがあります。

また、A/D 変換中に出力ポートに設定している端子でポートに接続される外部回路の影響で出力電流が変動する場合も、変換精度が低下することがあります。A/D 変換中の端子に隣接する端子へデジタルパルスを印加したりデジタルパルスを出力したりすると、カップリングノイズによって A/D 変換値が期待どおりに得られないこともあります。したがって、A/D 変換中の端子に隣接する端子へのパルス印加またはパルス出力はしないでください。

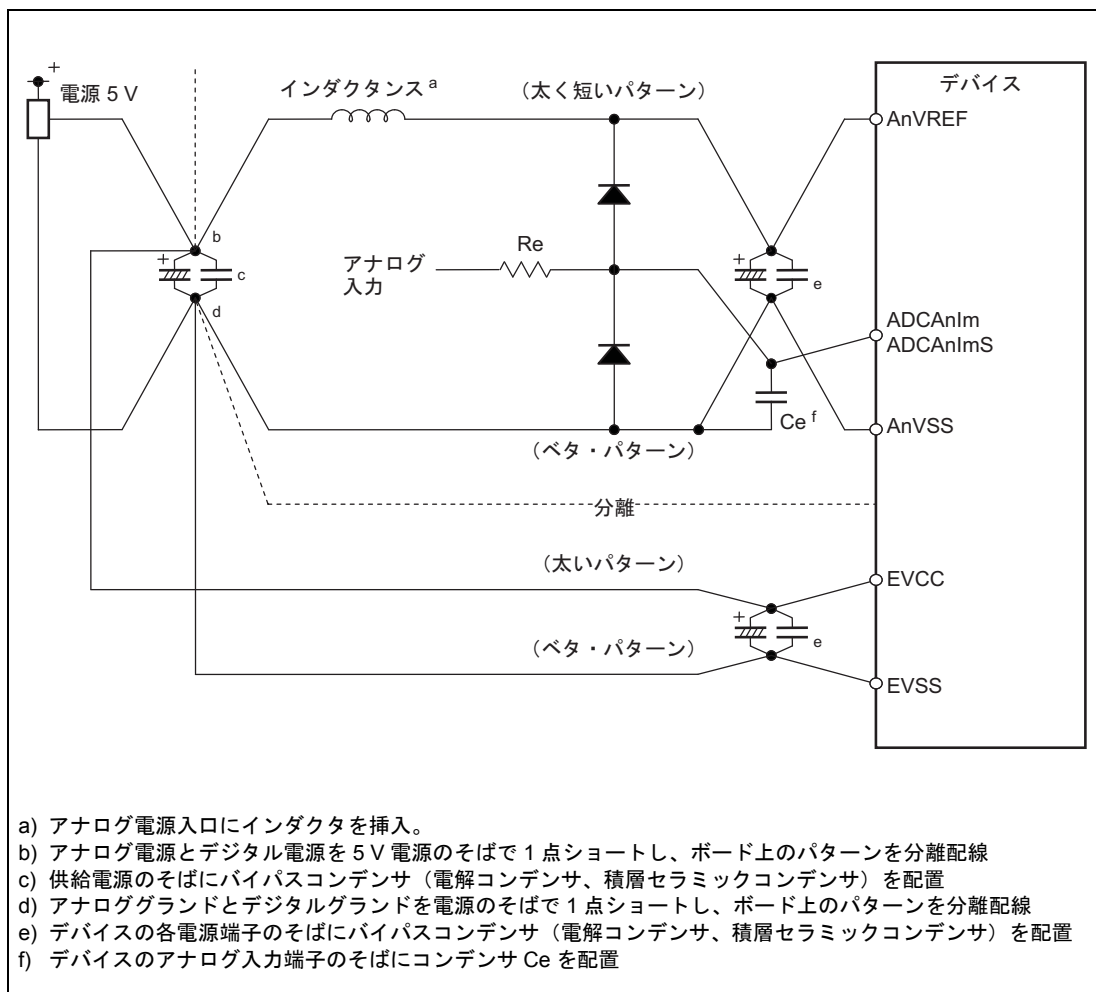


図 31.40 電源配線例

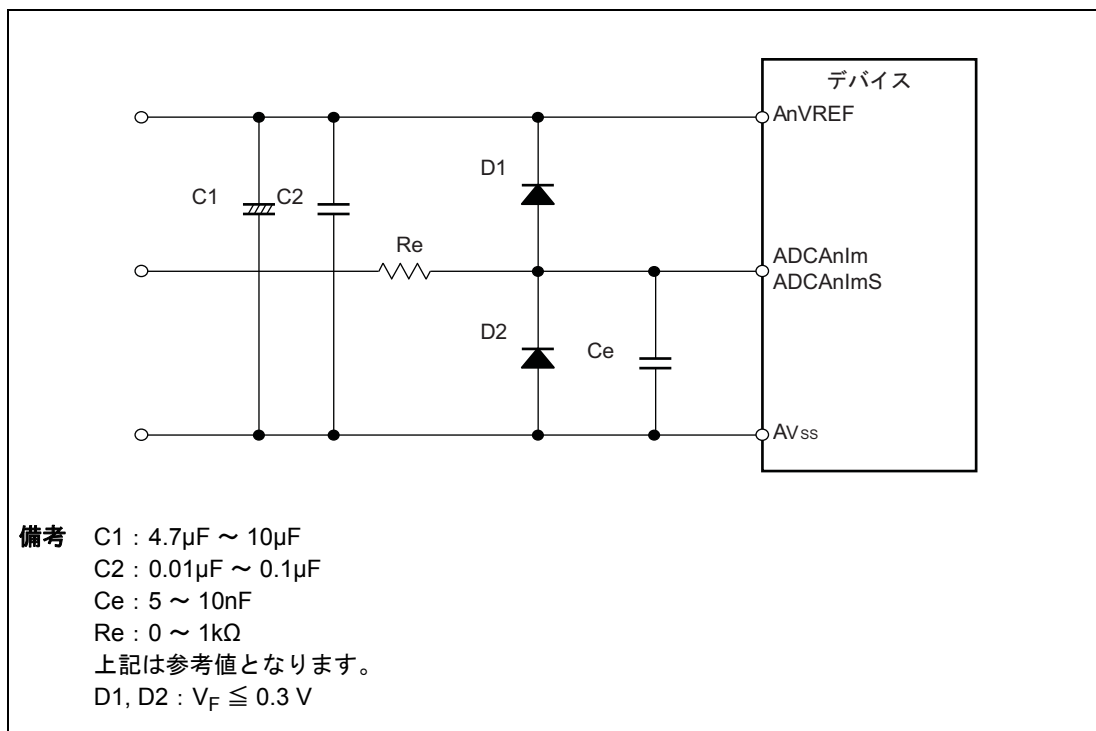


図 31.41 アナログ入力回路のノイズ対策例

コンデンサ C1 は低周波のノイズに、コンデンサ C2、Ce は高周波のノイズに効果があります。

なお、A/D 変換動作を停止した状態から動作開始した直後は AnVREF 端子にかかる電圧が不安定になり、A/D 変換精度の悪化が生じる場合があります。このような場合には AnVREF 端子にコンデンサ C1 と C2 を接続してください。

第 32 章 キーリターン (KR)

本章では、キーリターン (KR) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1K に固有の特長について説明します。それ以降の節では、KR の機能、レジスタについて説明します。

32.1 RH850/F1K KR の特長

32.1.1 ユニット数とチャンネル数

本製品は以下のユニット数のキーリターンを搭載しています。

表 32.1 ユニット数

製品名	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
ユニット数	1		
名称	KRn (n = 0)		

KR ユニットは、以下のチャンネル数のキーリターン機能を搭載しています。

表 32.2 KRn のユニット構成とチャンネルの対応

ユニット名 (チャンネル名) KRn	チャンネル数	RH850/F1K 100 pin (8ch)	RH850/F1K 144 pin (8ch)	RH850/F1K 176 pin (8ch)
KR0	8	○	○	○

表 32.3 添字

添字	説明
n	本章では、キーリターンの各ユニットを「n」(n = 0) で識別します。たとえば、キーリターンモードレジスタを KRnKRM のように記述しています。
m	本章では、キーリターンの各チャンネルを「m」(m = 0 ~ 7) で識別します。例えば、KRnKRM (キーリターンモードレジスタ) のキー入力許可ビットは KRnKRMm のように記述します。

32.1.2 レジスタベースアドレス

KRn のベースアドレスを以下の表に示します。

KRn のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 32.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<KR0_base>	FFF7 8000 _H

32.1.3 クロック供給

KRn のクロック供給を以下の表に示します。

表 32.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名	説明
KR0	PCLK	CPUCLK4	モジュールクロック
	レジスタアクセスクロック	CPUCLK2	バスクロック
		CPUCLK4	

32.1.4 割り込み要求

KRn の割り込み要求を以下の表に示します。

表 32.6 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
KR0			
INTKRn	キー割り込み	90	—

32.1.5 リセット要因

KRn のリセット要因を以下に示します。KRn は以下のリセット要因で初期化されます。

表 32.7 リセット要因

ユニット名	リセット要因
KR0	すべてのリセット要因 (ISORES)

32.1.6 外部入出力信号

KRn の外部入出力信号を以下の表に示します。

表 32.8 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
KR0		
KRnTPKR7 ~ KRnTPKR0	キー入力信号	KR0I7 ~ KR0I0

32.2 概要

32.2.1 機能概要

キーリターン機能は以下の特徴を持っています。

8つのキー入力端子 (KRnTPKR7 ~ KRnTPKR0) のいずれかにハイからロウの立ち下がり信号を入力することによってキー割り込み要求信号 (INTKRn) を生成することができます。

32.2.2 ブロック図

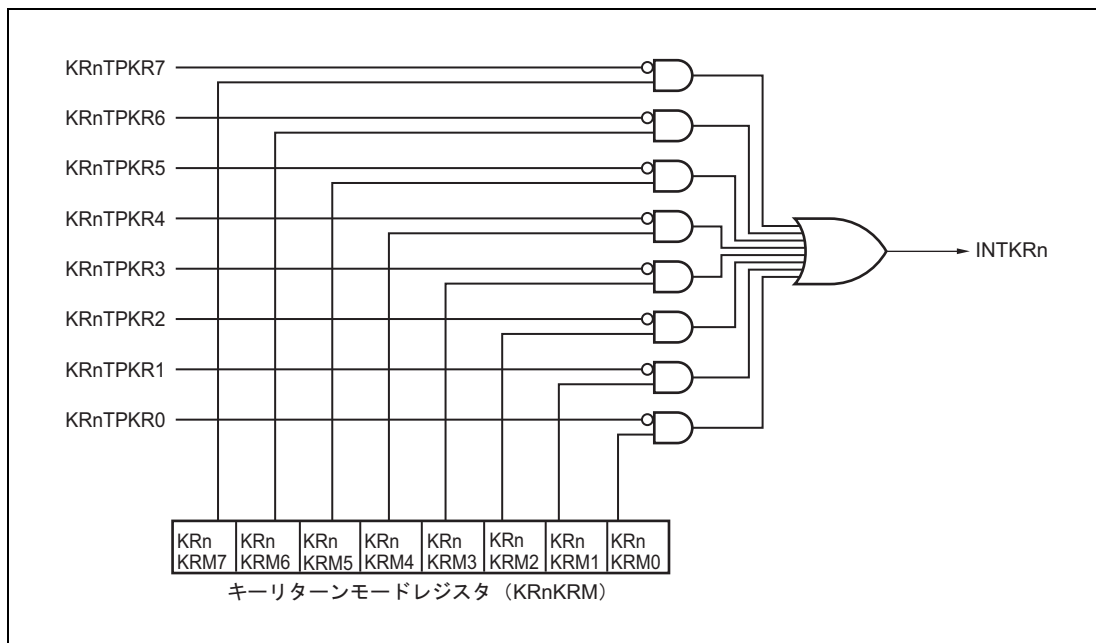


図 32.1 キーリターン機能のブロック図

32.3 レジスタ

32.3.1 レジスタ一覧

KR のレジスタ一覧を以下の表に示します。

<KRn_base> は「32.1.2 レジスタベースアドレス」を参照してください。

表 32.9 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
KRn	キーリターンモードレジスタ	KRnKRM	<KRn_base>

32.3.2 KRnKRM — キーリターンモードレジスタ

本レジスタでは、キー入力信号の検出を許可または禁止します。

アクセス 8ビット単位または1ビット単位でリード/ライト可能です。

アドレス <KRn_base>

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	KRnKRM7	KRnKRM6	KRnKRM5	KRnKRM4	KRnKRM3	KRnKRM2	KRnKRM1	KRnKRM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.10 KRnKRM - キーリターンモードレジスタの内容

ビット位置	ビット名	機能
7 ~ 0	KRnKRMm	キー入力信号の検出を許可または禁止します。 0: 禁止 1: 許可

32.4 動作

32.4.1 割り込み要求 INTKRn

キー入力端子 KRnTPKRm への入力が許可されているときに ($KRnKRM.KRnKRMm = 1$)、対応するキー入力端子 KRnTPKRm にハイレベルからロウレベルに変化すると、割り込み要求 INTKRn を生成します。

図 32.2 は割り込み要求が生成される仕組みを示しています。

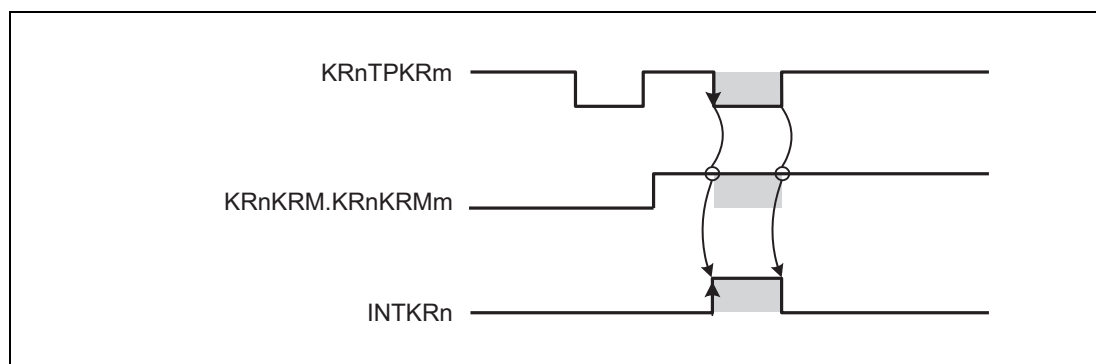


図 32.2 割り込み要求の生成

注 意

1. キー入力端子 KRnTPKRm のいずれかがロウレベルのとき、別のキー入力がハイレベルからロウレベルに変化しても INTKRn は生成されません。全てのキー入力端子がハイレベルになってからロウレベルに変化することで次の INTKRn が発生します。
2. KRnKRM.KRnKRMm の設定変更と同時にキー入力値が変化すると、意図しないキー割り込み要求 INTKRn が生成されることがあります。
したがって、KRnKRM.KRnKRMm を 0 から 1 へ、または 1 から 0 へ変更する前に、割り込みコントローラの INTKRn をマスク（禁止）してください。

第33章 ファンクショナルセーフティ

本章は RH850/F1K シリーズに搭載している安全機構の概要を記載しています。

本マイコンは ISO26262 における SEooC (Safety Element out of Context) として開発しております。

開発プロセスや安全機構の詳細に関しては、当社の営業窓口までお問い合わせください。

以下に本マイコンの備える故障検出機能を示します。

33.1 概要

ECC

メモリやデータ転送経路の故障検出や、一部の故障に対して訂正を行います。

メモリ保護

メモリや周辺回路への誤ったアクセスを検出し、これらのデータを誤ったアクセスから保護します。

クロックモニタ

クロックの動作を監視し、異常な動作を検出します。

詳細は、「**第13章 クロックモニタ (CLMA)**」を参照してください。

データ CRC

CRC を生成することにより、データの誤りを検出します。

詳細は、「**第34章 データ CRC (DCRA)**」を参照してください。

書き込み保護レジスタ

書き込み保護されたレジスタを、不正なプログラムの実行による不注意な書き込みアクセスから保護します。

詳細は、「**第5章 書き込み保護レジスタ**」を参照してください。

33.2 ECC

33.2.1 概要

本製品は、以下のメモリに対して ECC を搭載しています。これによって、メモリに保持しているデータに生じたエラーの検出や訂正が可能です。また、ECC エンコードとメモリの間や、メモリと ECC デコーダの間で生じたエラーに対しても同様の検出や訂正が可能です。

表 33.1 ECC 概要

対象	対象データ幅 [bit]	エラー検出時の動作					故障注入
		検出/訂正	SYSERR	割り込み通知	エラーステータス	アドレスキャプチャ	
Code Flash	128	SEC-DED	DED 注2	SEC-DED	○	○	○
Data Flash	32	SEC-DED	—	SEC-DED	○	○	○
Local RAM (CPU1/Self) Retention RAM (CPU1/Self)	32	SEC-DED	DED 注2	SEC-DED	○	○	○
周辺 RAM 注1	CSIH	32	SEC-DED	—	SEC-DED	○	○
	RSCAN, CAN FD	32	SEC-DED	—	SEC-DED	○	○

注 1. 各周辺 IP 用の ECC の詳細は、以下の各章を参照してください。

・RS-CAN RAM : 「21.12 RS-CAN0 RAM のエラー検出/訂正」および「21.23 RS-CAN RAM のエラー検出/訂正」

・CSIHnRAM : 「17.7 CSIHn RAM のエラー検出/訂正」

注 2. 詳細は「33.2.2.2 割り込み要求」および「33.2.4.2 割り込み要求」を参照してください。

対象データ幅

ECC エンコードの対象となるデータ幅を示します。

これより小さいビット幅のデータを書き込む場合は、以下の処理が必要となります。このとき、(1) の読み出し時にも ECC はチェックされます。

- (1) 書き換え対象データを含む ECC エンコード対象データの読み出し
- (2) 書き換え対象データの入れ替え
- (3) (2) で生成したデータの書き戻し

検出 / 訂正

SEC-DED : 1 ビットエラーの訂正および検出と、2 ビットエラーの検出が可能です。

SED-DED : 1 ビットエラーおよび 2 ビットエラーの検出が可能です。

SYSERR

エラー検出時に SYSERR を発生させることが可能です。

割り込み通知

エラー検出時に割り込みを発生させることが可能です。

エラーステータス

エラー検出時に、検出したエラー内容のステータスを保持します。

アドレスキャプチャ

エラー検出時に、エラーが発生したアドレスを保持します。

故障注入

意図的に ECC エラーが発生させることによって、ECC デコーダが正しくエラー通知できるかを自己診断することができます。

33.2.2 Code Flash の ECC

33.2.2.1 概要

RH850/F1K は 2 つの Code Flash 用 ECC デコーダ回路を持っており、1 つはプロセッサエレメント (PE1) の内部に、1 つは VCI (システム相互接続) 上に実装されています。

図 33.1 に 2 つの Code Flash 用 ECC デコーダの位置を示します。

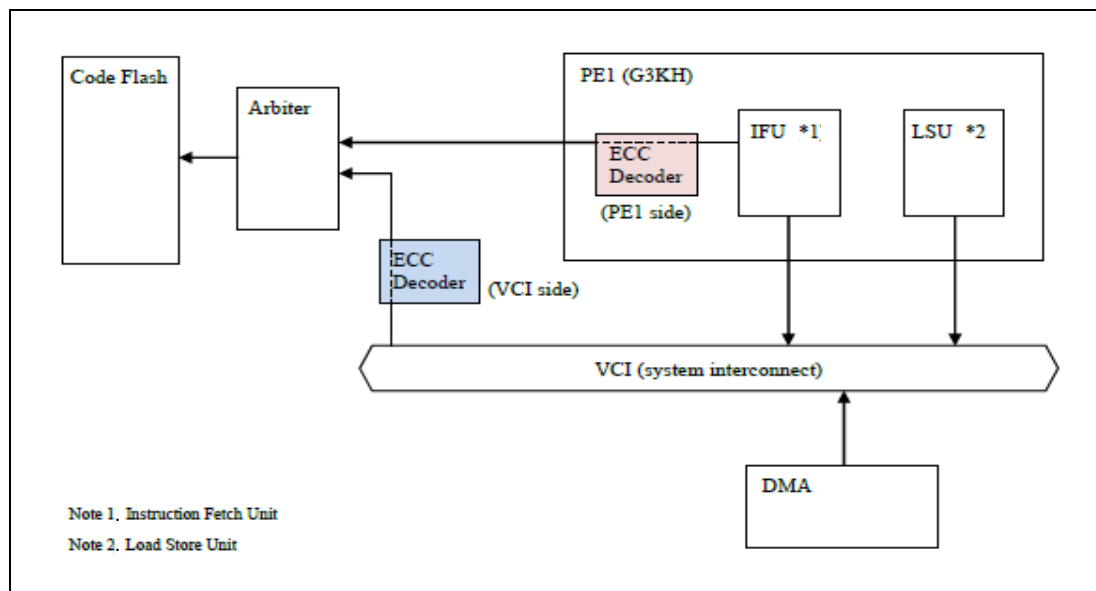


図 33.1 Code Flash の ECC ブロック図

Code Flash 用 ECC の概要を以下に示します。

項目	説明
ECC エラー検出・訂正	<p>ECC エラー検出・訂正の有効 / 無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> • 2 ビットエラー検出と 1 ビットエラー検出・訂正を行います。 • 2 ビットエラー検出と 1 ビットエラー検出を行います。無効時はエラー検出・訂正を行いません。 <p>初期状態は機能を有効で 1 ビットエラー検出・訂正、2 ビットエラー検出・通知を行います。</p>
エラー通知	<p>ECC エラー発生時は、エラー通知を行います。</p> <p>ECC エラー</p> <ul style="list-style-type: none"> • ECC2 ビットエラー検出時のエラー (SYSERR 例外) 通知を許可または禁止できません。SYSERR の詳細は、「第 3 章 CPU システム」を参照してください。 • ECC 1 ビットエラー検出時のエラー通知許可 / 禁止を選択可 <p>初期状態は、2 ビットエラー検出時のエラー通知許可、1 ビットエラー検出時のエラー通知許可。</p> <p>ただし、割り込みコントローラの FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。</p>
エラーステータス	<p>ECC2 ビットエラー検出、ECC1 ビットエラー検出をモニタできます。</p> <p>ECC1 ビットエラーステータスは、どのエラーステータスもセットされていない状態でのみセットされます。</p> <p>ECC2 ビットエラーステータスは、ECC1 ビットエラーステータスがセットされていてもセットされます。</p> <p>エラーステータスのクリアレジスタを搭載します。</p>
アドレスキャプチャ	<p>どの ECC エラーステータスもセットされていない状態で最初に発生した ECC エラー発生アドレスをキャプチャします。さらに、保持しているアドレス要因が ECC1 ビットエラーの場合、ECC2 ビットエラーを検出した場合もキャプチャされます。</p>
自己診断	<p>ROM データと ECC ビットをダイレクトに読み出すことができます。</p> <p>ROM データと ECC ビットに任意のデータを書き込むことができます。</p>
命令実行抑制	<p>命令フェッチ時の ECC2 ビットエラー検出で SYSERR 例外を発生させ、不正命令の実行を回避することができます。</p>

33.2.2.2 割り込み要求

コードフラッシュ ECC の割り込み要求を以下に示します。

表 33.2 コードフラッシュ ECC の割り込み要求 (CPU フェッチ時)

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	コードフラッシュ ECC1 ビットエラー割り込み	INTECCSCFLI0	—
—	コードフラッシュ ECC2 ビットエラー割り込み	SYSERR	—

表 33.3 コードフラッシュ ECC の割り込み要求 (CPU データアクセス時)

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	コードフラッシュ ECC 1 ビットエラー割り込み	INTECCSCFLI0	—
—	コードフラッシュ ECC 2 ビットエラー割り込み	INTECCSCFLI0 or SYSERR	—

表 33.4 コードフラッシュ ECC の割り込み要求 (CPU 以外のバスマスタアクセス時)

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	コードフラッシュ ECC 1 ビットエラー割り込み	INTECCSCFLI0	—
—	コードフラッシュ ECC 2 ビットエラー割り込み	INTECCSCFLI0	—

33.2.2.3 レジスタ一覧

表 33.5 レジスタ一覧

モジュール名	レジスタ名	略号 ^{注1}	アドレス
CFECC_VCI	Code Flash ECC コントロールレジスタ (VCI)	CFECCCTL_VCI	FFC6 2200 _H
	Code Flash エラー情報コントロールレジスタ (VCI)	CFERRINT_VCI	FFC6 2204 _H
	Code Flash ステータスクリアレジスタ (VCI)	CFSTCLR_VCI	FFC6 2208 _H
	Code Flash エラーカウントオーバーフローステータスレジスタ (VCI)	CFOVFSTR_VCI	FFC6 220C _H
	Code Flash 1st エラーステータスレジスタ (VCI)	CF1STERSTR_VCI	FFC6 2210 _H
	Code Flash 1st エラーアドレスレジスタ (VCI)	CF1STEADRO_VCI	FFC6 2250 _H
CFECC_CPU1	Code Flash ECC コントロールレジスタ (PE1)	CFECCCTL_PE1	FFC6 2400 _H
	Code Flash エラー情報コントロールレジスタ (PE1)	CFERRINT_PE1	FFC6 2404 _H
	Code Flash ステータスクリアレジスタ (PE1)	CFSTCLR_PE1	FFC6 2408 _H
	Code Flash エラーカウントオーバーフローステータスレジスタ (PE1)	CFOVFSTR_PE1	FFC6 240C _H
	Code Flash 1st エラーステータスレジスタ (PE1)	CF1STERSTR_PE1	FFC6 2410 _H
	Code Flash 1st エラーアドレスレジスタ (PE1)	CF1STEADRO_PE1	FFC6 2450 _H
CFECC_VCI	Code Flash サブテストコントロールレジスタ (VCI)	CFSTSTCTL_VCI	FFC6 2350 _H
CFECC_CPU1	Code Flash サブテストコントロールレジスタ (PE1)	CFSTSTCTL_PE1	FFC6 2550 _H

注 1. 略号において、“_VCI”、“_PE1”が付いているレジスタは、各アクセスポートに対応する ECC コントローラごとに用意されているレジスタとなります。
 “_VCI”はシステムインタコネクタ1から Code Flash へのアクセス用、“_PE1”は CPU1 からのアクセス用の ECC コントローラを示します。

33.2.2.4 レジスタ詳細

(1) CFEECCCTL_VCI/PE1 — Code Flash ECC コントロールレジスタ

CFEECCCTL レジスタは、ECC エラー検出・訂正の有効/無効、1 ビットエラー訂正の許可/禁止を設定するレジスタです。CFEECCCTL レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

アクセス CFEECCCTL_VCI、CFEECCCTL_PE1 レジスタは、32 ビット単位でリード/ライト可能です。
CFEECCCTL_VCIL、CFEECCCTL_PE1L レジスタは、16 ビット単位でリード/ライト可能です。

アドレス CFEECCCTL_VCI : FFC6 2200_H
CFEECCCTL_VCIL : FFC6 2200_H
CFEECCCTL_PE1 : FFC6 2400_H
CFEECCCTL_PE1L : FFC6 2400_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 33.6 CFEECCCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。本レジスタへの書き込みは、PROT1,PROT0 = 0,1 で行ってください。
14	PROT0	
13 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可/禁止を設定するためのビットです。このビットの書き込み時は PROT1, PROT0 = 0,1 を同時に書き込む必要があります。 0 : 1 ビットエラー検出時にエラー訂正する 1 : 1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。このビットの書き込み時は (PROT1,PROT0) = (0,1) を同時に書き込む必要があります。 0 : ECC エラー検出・訂正機能が有効 1 : ECC エラー検出・訂正機能が無効

(2) CFERRINT_VCI/PE1 — Code Flash エラー情報コントロールレジスタ

CFERRINT レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時に、割り込みコントローラへのエラー通知信号発生の有効/無効を設定するためのレジスタです。

アクセス CFERRINT_VCI、CFERRINT_PE1 レジスタは、32 ビット単位でリード/ライト可能です。
CFERRINT_VCIL、CFERRINT_PE1L レジスタは、16 ビット単位でリード/ライト可能です。
CFERRINT_VCILL、CFERRINT_PE1LL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス CFERRINT_VCI : FFC6 2204_H
CFERRINT_VCIL : FFC6 2204_H
CFERRINT_VCILL : FFC6 2204_H
CFERRINT_PE1 : FFC6 2404_H
CFERRINT_PE1L : FFC6 2404_H
CFERRINT_PE1LL : FFC6 2404_H

リセット後の値 0000 0003_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDIE ^{注1}	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 33.7 CFERRINT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DEDIE ^{注1}	ECC 2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 2 ビットエラー通知禁止 1 : ECC 2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知（FE レベルマスカブル割り込み要求）の発生を制御するビットです。 0 : ECC 1 ビットエラー通知禁止 1 : ECC 1 ビットエラー通知許可

注 1. このビットは CFERRINT_PE1 ではサポートされていません。CFERRINT_PE1 のこのビットにライトする場合は、常に 1 を書き込みます。

備考 割り込み要求については、「33.2.2.2 割り込み要求」を参照してください。

(3) CFSTCLR_VCI/PE1 — Code Flash ステータスクリアレジスタ

CFSTCLR レジスタは、エラーステータスレジスタ (CF1STERSTR) のエラーフラグ、エラーオーバフローステータスレジスタ (CFOVFSTR) のオーバフローフラグ、およびエラーアドレスレジスタ (CF1STEADR0) をクリアするためのレジスタです。

アクセス CFSTCLR_VCI、CFSTCLR_PE1 レジスタは、は、32 ビット単位でライトのみ可能です。CFSTCLR_VCIL、CFSTCLR_PE1L レジスタは、16 ビット単位でライトのみ可能です。CFSTCLR_VCILL、CFSTCLR_PE1LL レジスタは、8 ビット単位でライトのみ可能です。

アドレス CFSTCLR_VCI : FFC6 2208_H
CFSTCLR_VCIL : FFC6 2208_H
CFSTCLR_VCILL : FFC6 2208_H
CFSTCLR_PE1 : FFC6 2408_H
CFSTCLR_PE1L : FFC6 2408_H
CFSTCLR_PE1LL : FFC6 2408_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 33.8 CFSTCLR レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	STCLR0	エラーステータスクリアビット 0: 無効 (“0” を設定しても CF1STERSTR レジスタの DEDF0、SEDF0 フラグ、CFOVFSTR レジスタの ERROVF0 フラグ、および CF1STEADR0 レジスタに影響はありません) 1: CF1STERSTR レジスタの DEDF0、SEDF0 フラグ、CFOVFSTR レジスタの ERROVF0 フラグ、および CF1STEADR0 レジスタをクリアします。

(4) CFOVFSTR_VCI/PE1 — Code Flash エラーカウントオーバーフローステータスレジスタ

CFOVFSTR レジスタは、エラーオーバーフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスとも同じ場合）は、本フラグはセットされません。

アクセス CFOVFSTR_VCI、CFOVFSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。
CFOVFSTR_VCIL、CFOVFSTR_PE1L レジスタは、16 ビット単位でリードのみ可能です。
CFOVFSTR_VCILL、CFOVFSTR_PE1LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス CFOVFSTR_VCI : FFC6 220C_H
CFOVFSTR_VCIL : FFC6 220C_H
CFOVFSTR_VCILL : FFC6 220C_H
CFOVFSTR_PE1 : FFC6 240C_H
CFOVFSTR_PE1L : FFC6 240C_H
CFOVFSTR_PE1LL : FFC6 240C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.9 CFOVFSTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	ERROVF0	エラーオーバーフローフラグ エラーステータスレジスタのいずれかのエラーフラグ（DEDFO、SEDF0）が発生している状態で、同じエラーアドレスの同じ要因以外のエラー（エラーオーバーフローフラグ）が発生したかどうかを示します。 0 : 発生していない 1 : 発生した クリア条件 : CFSTCLR_VCI/PE1 レジスタの STCLR ビットへの 1 セット

(5) CF1STERSTR_VCI/PE1 — Code Flash 1st エラーステータスレジスタ

CF1STERSTR レジスタは、最初に発生したエラーをモニタするためのレジスタです。エラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。また、ECC 1 ビットのエラーモニタフラグがセットされている状態で、ECC 2 ビットエラーが発生すると、ECC 1 ビットのエラーフラグを保持したまま、ECC 2 ビットエラーのエラーフラグがセットされます。

アクセス CF1STERSTR_VCI、CF1STERSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。
CF1STERSTR_VCIL、CF1STERSTR_PE1L レジスタは、16 ビット単位でリードのみ可能です。
CF1STERSTR_VCILL、CF1STERSTR_PE1LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス CF1STERSTR_VCI : FFC6 2210_H
CF1STERSTR_VCIL : FFC6 2210_H
CF1STERSTR_VCILL : FFC6 2210_H
CF1STERSTR_PE1 : FFC6 2410_H
CF1STERSTR_PE1L : FFC6 2410_H
CF1STERSTR_PE1LL : FFC6 2410_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.10 CF1STERSTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	DEDF0	ECC 2 ビットエラーモニタフラグ 0 : ECC2 ビットエラーは発生していません。 1 : ECC2 ビットエラーは発生しました。 クリア条件 : CFSTCLR.STCLR0 ビットに 1 をセット セット条件 : DEDF0 が 0 の状態で、ECC2 ビットエラー発生
0	SEDF0	ECC1 ビットエラーモニタフラグ 0 : ECC1 ビットエラーは発生していません。 1 : ECC1 ビットエラーは発生しました。 クリア条件 : CFSTCLR.STCLR0 ビットに 1 をセット セット条件 : DEDF0、SEDF0 どちらも 0 の状態で、ECC1 ビットエラー発生

(6) CF1STEADR0_VCI/PE1 — Code Flash 1st エラーアドレスレジスタ

CF1STEADR0 レジスタは、エラー発生時のアドレスを保持するためのレジスタです。CF1STERSTR レジスタのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。

また、このレジスタの EADR[24 : 4] ビットは、実アドレスの [24 : 4] ビットに対応しています。実アドレスは、コードフラッシュがマッピングされている上位アドレス [31:25] ビットを追加することによってベースアドレスとして計算できます。

CF1STEADR0 レジスタは内部リセット、外部リセット、または CFSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス CF1STEADR0_VCI、CF1STEADR0_PE1 レジスタは、32 ビット単位でリードのみ可能です。CF1STEADR0_VCI_L、CF1STEADR0_VCI_H、CF1STEADR0_PE1_L、CF1STEADR0_PE1_H レジスタは、16 ビット単位でリードのみ可能です。CF1STEADR0_VCI_LL、CF1STEADR0_VCI_LH、CF1STEADR0_VCI_HL、CF1STEADR0_VCI_HH、CF1STEADR0_PE1_LL、CF1STEADR0_PE1_LH、CF1STEADR0_PE1_HL、CF1STEADR0_PE1_HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス CF1STEADR0_VCI : FFC6 2250_H
 CF1STEADR0_VCI_L : FFC6 2250_H
 CF1STEADR0_VCI_H : FFC6 2252_H
 CF1STEADR0_VCI_LL : FFC6 2250_H
 CF1STEADR0_VCI_LH : FFC6 2251_H
 CF1STEADR0_VCI_HL : FFC6 2252_H
 CF1STEADR0_VCI_HH : FFC6 2253_H
 CF1STEADR0_PE1 : FFC6 2450_H
 CF1STEADR0_PE1_L : FFC6 2450_H
 CF1STEADR0_PE1_H : FFC6 2452_H
 CF1STEADR0_PE1_LL : FFC6 2450_H
 CF1STEADR0_PE1_LH : FFC6 2451_H
 CF1STEADR0_PE1_HL : FFC6 2452_H
 CF1STEADR0_PE1_HH : FFC6 2453_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16			
	—	—	—	—	—	—	—	EADR[24:16]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
	EADR[15:4]												—	—	—	—			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R			

表 33.11 CF1STEADR0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 25	予約ビット	リードした場合はリセット後の値が読めます。
24 ~ 4	EADR[24:4]	<p>1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 CF1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。</p> <p>クリア条件： CFSTCLR レジスタの STCLR0 ビットを 1 にセット</p>
3 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。

(7) CFSTSTCTL_VCI/PE1 — Code Flash サブテストコントロールレジスタ

CFSTSTCTL レジスタは ECC テスト（自己診断）時に使用するレジスタです。Code Flash 専用のレジスタです。ECC テストモード（ECCTST = 1）に設定すると ECC ビットのデータをダイレクトにリードすることができます。

本レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

アクセス CFSTSTCTL_VCI、CFSTSTCTL_PE1 レジスタは、32 ビット単位でリード/ライト可能です。
CFSTSTCTL_VCIL、CFSTSTCTL_PE1L レジスタは、16 ビット単位でリード/ライト可能です。

アドレス CFSTSTCTL_VCI : FFC6 2350_H
CFSTSTCTL_VCIL : FFC6 2350_H
CFSTSTCTL_PE1 : FFC6 2550_H
CFSTSTCTL_PE1L : FFC6 2550_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 33.12 CFSTSTCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCTST ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読みだすと常に 0 が読みだされます。本レジスタへの書き込みは、PROT1,PROT0 = 0,1 で行ってください。
14	PROT0	
13 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ECCTST	ECC テストビット ECC テストモード（ECCTST = 1）に設定すると ECC ビットのデータをダイレクトにリードすることができます。このビットの書き込み時は、PROT1, PROT0 = 0, 1 を同時に書き込む必要があります。

ECC テストモード（ECCTST = 1）に設定した Code Flash アクセスポートからは正しい命令を読み出せません。CPU 用のアクセスポートをテストモードに設定中は（ECCTST ビットの操作中も含まれます）、CPU はローカル RAM やリテンション RAM 上のプログラムを実行するようにし、Code Flash から命令をフェッチしないようにしてください。

CPU には小容量のデータバッファを備えています。このバッファに古い値が残っていると、ECCTST ビットを切り替えても正しい値を読み出すことができません。ECCTST ビット切り替えの際は、必ずデータバッファをクリアしてください。クリア方法については、「**第 3 章 CPU システム**」を参照してください。

ECC テストモードに設定した Code Flash アクセスポートからは、16n 番地にアラインされた 4 バイトリードでアクセスしてください。この時、Code Flash の読み出し結果は以下のとおりです。

表 33.13 Code Flash の読み出し結果

ビット番号	内容
31 ~ 10	常に 0 です。
9	不定 (予約ビット)
8 ~ 0	ECC ビット

33.2.3 Data Flash の ECC

33.2.3.1 概要

Data Flash 用 ECC の概要を以下に示します。

項目	説明
ECC エラー検出・訂正	<p>ECC エラー検出・訂正の有効/無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> • 2ビットエラー検出と1ビットエラー検出・訂正を行います。 • 2ビットエラー検出と1ビットエラー検出を行います。 <p>無効時はエラー検出・訂正を行いません。 初期状態は機能を有効で1ビットエラー検出・訂正、2ビットエラー検出・通知を行います。</p>
エラー通知	<p>ECC エラー発生時は、エラー通知を行います。</p> <ul style="list-style-type: none"> • 割り込みコントローラに通知されます。ECC1 ビットエラー検出時のエラー通知を許可/禁止できます。 • ECC2 ビットエラー検出時のエラー通知許可/禁止を選択可 <p>初期状態は、ECC2 ビットエラー検出時のエラー通知許可、1ビットエラー検出時のエラー通知禁止。ただし、割り込みコントローラの FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。</p>
エラーステータス	<p>ECC2 ビットエラー検出、ECC1 ビットエラー検出をモニタできます。 どのエラーステータスもセットされていない状態でのみセットされます。 エラーステータスのクリアレジスタを搭載します。</p>
アドレスキャプチャ	<p>どの ECC エラーステータスもセットされていない状態で最初に発生した ECC エラー発生アドレスをキャプチャします。DFERSTR の SEDF ビットと DEDF ビットが共に0のとき、ECC エラーアドレスがキャプチャされます。</p>
自己診断	<p>ROM データと、ECC ビットをダイレクトに読み出すことができます。 ROM データと、ECC ビットに任意のデータを書き込むことができます。</p>

33.2.3.2 割り込み要求

データフラッシュ ECC の割り込み要求を以下に示します。

表 33.14 データフラッシュ ECC の割り込み要求（リードアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	データフラッシュ ECC 1 ビットエラー割り込み	INTECCDEEP0	—
—	データフラッシュ ECC 2 ビットエラー割り込み	INTECCDEEP0	—

33.2.3.3 レジスタ一覧

表 33.15 レジスタ一覧

モジュール名	レジスタ名	略語	アドレス
DFECC	Data Flash ECC コントロールレジスタ	DFECCCTL	FFC6 2A00 _H
	Data Flash エラーステータスレジスタ	DFERSTR	FFC6 2A04 _H
	Data Flash エラーステータスクリアレジスタ	DFERSTC	FFC6 2A08 _H
	Data Flash エラーオーバフローズステータスレジスタ	DFOVFSTR	FFC6 2A0C _H
	Data Flash エラーオーバフローズステータスクリアレジスタ	DFOVFSTC	FFC6 2A10 _H
	Data Flash エラー通知コントロールレジスタ	DFERRINT	FFC6 2A14 _H
	Data Flash 1st エラーアドレスレジスタ	DFEADR	FFC6 2A18 _H
	Data Flash テストコントロールレジスタ	DFTSTCTL	FFC6 2A1C _H

33.2.3.4 レジスタ詳細

(1) DFECCTL — Data Flash ECC コントロールレジスタ

DFECCTL レジスタは、ECC エラー検出・訂正の有効/無効、1ビットエラー訂正の許可/禁止を設定するレジスタです。DFECCTL レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

アクセス DFECCTL レジスタは、16ビット単位でリード/ライト可能です。

アドレス DFECCTL : FFC6 2A00_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	SEDDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 33.16 DFECCTL レジスタの内容

ビット位置	ビット名	機能
15	PROT1	ECCDIS ビット、SEDDIS ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。本レジスタへの書き込みは、PROT1,PROT0 = 0,1 で行ってください。
14	PROT0	
13 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SEDDIS	1ビットエラー訂正ディスエーブルビット ECCのエラー検出・訂正の有効時に、1ビットエラー訂正の許可/禁止を設定するためのビットです。このビットの書き込み時は PROT1, PROT0 = 0,1 を同時に書き込む必要があります。 0 : 1ビットエラー検出時にエラー訂正します 1 : 1ビットエラー検出時にエラー訂正しません
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。 このビットの書き込み時は PROT1, PROT0 = 0,1 を同時に書き込む必要があります。 初期状態は ECC エラー検出・訂正機能が有効です。 0 : ECC エラー検出・訂正機能が有効 1 : ECC エラー検出・訂正機能が無効

(2) DFERSTR — Data Flash エラーステータスレジスタ

DFERSTR レジスタは、発生したエラーをモニタするためのレジスタです。

ECC エラー訂正・検出有効時に、ECC 1 ビットエラーが検出されると SEDF ビットがセットされ、ECC 2 ビットエラーが検出されると DEDF ビットがセットされます。

アクセス DFERSTR レジスタは、8 ビット単位でリードのみ可能です。

アドレス DFERSTR : FFC6 2A04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DEDF	SEDF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 33.17 DFERSTR レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。
1	DEDF	ECC2 ビットエラーモニタフラグ 0 : ECC2 ビットエラーは発生していません。 1 : ECC2 ビットエラーは発生しました。 クリア条件 : DFERSTC.ERRCLR ビットに 1 をセット セット条件 : SEDF、DEDF がすべて 0 の状態で、ECC2 ビットエラー発生
0	SEDF	ECC1 ビットエラーモニタフラグ 0 : ECC1 ビットエラーは発生していません。 1 : ECC1 ビットエラーは発生しました。 クリア条件 : DFERSTC.ERRCLR ビットに 1 をセット セット条件 : SEDF、DEDF がすべて 0 の状態で、ECC1 ビットエラー発生

(3) DFERSTC — Data Flash エラーステータスクリアレジスタ

DFERSTC レジスタは、Data Flash エラーステータスレジスタのエラーフラグをクリアするためのレジスタです。

アクセス DFERSTC レジスタは、8 ビット単位でライトのみ可能です。

アドレス DFERSTC : FFC6 2A08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERRCLR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 33.18 DFERSTC レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ERRCLR	DFERSTR レジスタの SEDF, DEDF フラグクリアビット 0 : 無効 ("0" を設定しても DFERSTR レジスタの DEDF, SEDF フラグに影響はありません。) 1 : DFERSTR レジスタの DEDF, SEDF フラグをクリアします。

(4) DFOVFSTR — Data Flash エラーオーバフローステータスレジスタ

DFOVFSTR レジスタは、Data Flash エラーオーバフローの発生をモニタするためのレジスタです。

アクセス DFOVFSTR レジスタは、8 ビット単位でリードのみ可能です。

アドレス DFOVFSTR : FFC6 2A0C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERROVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 33.19 DFOVFSTR レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	ERROVF	エラーオーバフローフラグ エラーアドレスレジスタがフルの場合に、ECC エラーが発生したときセットされます。 0 : 発生していない 1 : 発生した クリア条件 : Data Flash エラーオーバフローステータスクリアレジスタの ERROVFCLR ビットのセット

(5) DFOVFSTC — Data Flash エラーオーバフローステータスクリアレジスタ

DFOVFSTC レジスタは、Data Flash エラーオーバフローフラグをクリアするためのレジスタです。

アクセス DFOVFSTC レジスタは、8 ビット単位でライトのみ可能です。

アドレス DFOVFSTC : FFC6 2A10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERROVFCLR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 33.20 DFOVFSTR レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ERROVFCLR	エラーオーバフローフラグクリアビット 0: 無効 (ERROVFCLR ビットに 0 を設定しても DFOVFSTR レジスタの ERROVF フラグに影響はありません。) 1: DFOVFSTR レジスタの ERROVF フラグをクリアします。

(6) DFERRINT — Data Flash エラー通知コントロールレジスタ

DFERRINT レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時にエラー通知信号発生の有効/無効を設定するためのレジスタです。

アクセス DFERRINT レジスタは、8 ビット単位でリード/ライト可能です。

アドレス DFERRINT : FFC6 2A14_H

リセット後の値 02_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R/W	R/W

表 33.21 DFERRINT レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DEDIE	ECC 2 ビットエラー通知制御ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時にエラーのエラー通知の発生を制御するビットです。 0: ECC 2 ビットエラー通知禁止 1: ECC 2 ビットエラー通知許可
0	SEDIE	ECC 1 ビットエラー通知制御ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0: ECC 1 ビットエラー通知禁止 1: ECC 1 ビットエラー通知許可

(7) DFEADR — Data Flash 1st エラーアドレスレジスタ

DFEADR は、Data Flash エラーステータスレジスタの SEDF と DEDF ビットの両方が 0 の状態で発生した ECC エラーのアドレスを保持するためのレジスタです。

アクセス DFEADR レジスタは、32 ビット単位でリードのみ可能です。

アドレス DFEADR : FFC6 2A18_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	DFEADR[20:16]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	DFEADR[15:2]															—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

表 33.22 DFEADR レジスタの内容

ビット位置	ビット名	機能
31 ~ 21	予約ビット	リードした場合はリセット後の値が読めます。
20 ~ 2	DFEADR[20:2]	ECC エラーアドレス ECC エラーの発生したアドレスをモニタするための読み出し専用フィールドです。 内部アドレスを保持します。 データフラッシュベースアドレス FF20 0000 _H を加算して実アドレスに変換します。
1、0	予約ビット	リードした場合はリセット後の値が読めます。

(8) DFTSTCTL — Data Flash テストコントロールレジスタ

ECC テスト時に使用するレジスタです。

ECC テストモード (ECCTST = 1) 設定後、ECC ビットのデータを読み出すことができます。DFTSTCTL レジスタへの書き込みは、PROT1, PROT0 を “01_B” にして実行してください。

アクセス DFTSTCTL レジスタは、16 ビット単位でリード/ライト可能です。

アドレス FFC6 2A1C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 33.23 DFTSTCTL レジスタの内容

ビット位置	ビット名	機能
15	PROT1	ECCTST ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。DFTSTCTL レジスタへの書き込みは、PROT1, PROT0 = 0, 1 で行ってください。
14	PROT0	
13 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ECCTST	ECC テストモードビット ECC テストモードに設定します。このビットの書き込み時は、PROT1, PROT0 = 0, 1 を同時に書き込む必要があります。 0 : 通常モード 1 : ECC テストモード

33.2.4 ローカル RAM（リテンション RAM を含む）の ECC

33.2.4.1 概要

注 意

リテンション RAM は、ローカル RAM の一部です。リテンション RAM に対する ECC はローカル RAM と共有されています。したがって、リテンション RAM の場合もローカル RAM と同じレジスタを使用します。

CPU1 のローカル RAM 用 ECC の仕様概要を以下に示します。

項目	説明
ECC エラー検出・訂正	<p>ECC エラー検出・訂正の有効/無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> • 2 ビットエラー検出と 1 ビットエラー検出・訂正を行います。 • 2 ビットエラー検出と 1 ビットエラー検出を行います。 <p>無効時はエラー検出・訂正を行いません。 初期状態では、ECC 機能は有効で 1 ビットエラー検出・訂正、2 ビットエラー検出・通知を行います。</p>
エラー通知	<p>ECC エラー発生時は、エラー通知を行います。</p> <p>ECC エラー</p> <ul style="list-style-type: none"> • ECC2 ビットエラー検出時のエラー（SYSERR 例外）通知を許可または禁止できません。SYSERR の詳細は、「第 3 章 CPU システム」を参照してください。 • ECC 1 ビットエラー検出時のエラー通知許可/禁止を選択可 <p>初期状態は、2 ビットエラー通知許可、1 ビットエラー通知許可。ただし、割り込みコントローラの FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。</p>
エラーステータス	<p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。 エラーステータスはクリアレジスタによってクリア可能です。</p>
アドレスキャプチャ	<p>どの ECC エラーステータスもセットされていない状態で最初に発生した ECC エラー発生アドレスをキャプチャします。 さらに、保持しているアドレス要因が ECC1 ビットエラーの場合、ECC2 ビットエラー検出した場合もキャプチャされます。</p>
自己診断	<p>RAM データと ECC ビットに任意のデータを書き込むことができます。 RAM データと ECC ビットをダイレクトに読み出すことができます。</p>
その他	<p>命令フェッチ時の ECC2 ビットエラー検出で SYSERR 例外を発生させ、不正命令の実行を回避することができます。</p>

注 意

ローカル RAM に対して、ECC によるエラー検出・訂正を有効にしてアクセスする場合、使用する RAM をアクセスサイズの 32 ビット長で初期化してから使用してください。

初期化前の RAM をリードした場合、FE レベルのマスク可能な割り込みまたは SYSERR 例外処理を発生する可能性があります。

また、32 ビット長で初期化しなかった場合（例えば 8 ビットや 16 ビットのアクセスで初期化した場合）、FE レベルのマスク可能な割り込みまたは SYSERR 例外処理を発生する可能性があります。

33.2.4.2 割り込み要求

ローカル RAM ECC の割り込み要求を以下に示します。

表 33.24 ローカル RAM ECC の割り込み要求 (CPU アクセス時)

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	ローカル RAM ECC 1 ビットエラー割り込み	INTECCRAM	—
—	ローカル RAM ECC 2 ビットエラー割り込み	INTECCRAM または SYSERR	—

表 33.25 ローカル RAM ECC の割り込み要求 (CPU アクセス以外のリードアクセス時)

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	ローカル RAM ECC 1 ビットエラー割り込み	INTECCRAM	—
—	ローカル RAM ECC 2 ビットエラー割り込み	INTECCRAM	—

33.2.4.3 レジスタ一覧

表 33.26 レジスタ一覧

モジュール名	レジスタ名	略語	アドレス
LRTST	Local RAM テストコントロールレジスタ (PE1)	LRTSTCTL_PE1	FFC6 5004 _H
	Local RAM テストデータリードバッファ 0 (PE1)	LRTDATBF0_PE1	FFC6 5008 _H
LRECC	Local RAM ECC コントロールレジスタ (PE1)	LRECCCTL_PE1	FFC6 5400 _H
	Local RAM エラー情報コントロールレジスタ (PE1)	LRERRINT_PE1	FFC6 5404 _H
	Local RAM ステータスクリアレジスタ (PE1)	LRSTCLR_PE1	FFC6 5408 _H
	Local RAM エラーカウントオーバフローズステータスレジスタ (PE1)	LROVFSTR_PE1	FFC6 540C _H
	Local RAM 1st エラーステータスレジスタ (PE1)	LR1STERSTR_PE1	FFC6 5410 _H
	Local RAM 1st エラーアドレスレジスタ 0 (PE1)	LR1STEADR0_PE1	FFC6 5450 _H

33.2.4.4 レジスタ詳細

(1) LRTSTCTL_PE1 — ローカル RAM テストコントロールレジスタ

ECC テスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST=1）設定後、ECC ビットへ任意のデータを書き込むことができます。RAM データ、ECC ビットの選択は DATSEL ビットで行います。LRTSTCTL レジスタへの書き込みは、PROT1, PROT0 を “01_B” にして実行してください。

アクセス LRTSTCTL_PE1 レジスタは 32 ビット単位でリード/ライト可能です。
LRTSTCTL_PE1L レジスタは 16 ビット単位でリード/ライト可能です。

アドレス LRTSTCTL_PE1 : FFC6 5004_H
LRTSTCTL_PE1L : FFC6 5004_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST	DATSEL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 33.27 LRTSTCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCTST, DATSEL ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読みだすと常に 0 が読みだされます。本レジスタへの書き込みは、PROT1, PROT0 = 0, 1 で行ってください。
14	PROT0	
13 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	ECCTST	ECC テストビット ECC テストモード（ECCTST = 1）に設定すると ECC ビットのデータをダイレクトにリードすることができます。このビットの書き込み時は、PROT1, PROT0 = 0, 1 を同時に書き込む必要があります。
0	DATSEL	データ選択ビット ECCTST = 1 のときに有効。書き込み時にアクセスできる RAM ビットを選択します。このビットの書き込み時は、PROT1, PROT0 = 0, 1 を同時に書き込む必要があります。 0 : RAM データ選択 1 : ECC ビット選択

注 意

ローカル RAM の ECC テストモードを有効（ECCTST = 1）にした場合、ローカル RAM へのアクセスは 4 バイトアクセスで実施してください。

(2) LRTDATBF0_PE1 — ローカル RAM テストデータリードバッファ 0

ECC テスト（自己診断）時、ECC ビットを読み出すことができます。ローカル RAM テストコントロールレジスタ LRTSTCTL の ECCTST=1 のときに、ローカル RAM を読み出すと ECC ビットが読み出され、本バッファに保持されます。

アクセス LRTDATBF0_PE1 レジスタは 32 ビット単位でリードのみ可能です。

アドレス FFC6 5008_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	LRDATABF[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.28 LRTDATBF0 レジスタの内容

ビット位置	ビット名	機能
31～7	予約ビット	リードした場合はリセット後の値が読めます。
6～0	LRDATABF [6:0]	LRAM テストコントロールレジスタの ECCTST = 1（テストモード）時に有効です。 ローカル RAM 読み出し時に、ローカル RAM の ECC ビットが LRTDATABF[6:0] に格納されます。

(3) LRECCCTL_PE1 — ローカル RAM ECC コントロールレジスタ

LRECCCTL レジスタは、ECC エラー検出・訂正の有効/無効、1ビットエラー訂正の許可/禁止を設定するレジスタです。LRECCCTL レジスタへの書き込みは、PROT1, PROT0 を“01_B”にして実行してください。

アクセス LRECCCTL_PE1 レジスタは 32 ビット単位でリード/ライト可能です。
LRECCCTL_PE1L レジスタは 16 ビット単位でリード/ライト可能です。

アドレス LRECCCTL_PE1 : FFC6 5400_H
LRECCCTL_PE1L : FFC6 5400_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 33.29 LRECCCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。本レジスタへの書き込みは、PROT1, PROT0 = 0,1 で行ってください。
14	PROT0	
13 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SECDIS	1ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1ビットエラー訂正の許可/禁止を設定するためのビットです。このビットの書き込み時は PROT1, PROT0 = 0,1 を同時に書き込む必要があります。 0 : 1ビットエラー検出時にエラー訂正する 1 : 1ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。このビットの書き込み時は PROT1, PROT0 = 0,1 を同時に書き込む必要があります。 0 : ECC エラー検出・訂正機能が有効 1 : ECC エラー検出・訂正機能が無効

(4) LRERRINT_PE1 — ローカル RAM エラー情報コントロールレジスタ

LRERRINT レジスタは、ECC1 ビットエラー検出時、ECC1 ビットエラー検出時に、割り込みコントローラへのエラー通知信号発生の有効 / 無効を設定するためのレジスタです。

アクセス LRERRINT_PE1 レジスタは、32 ビット単位でリード/ライト可能です。
LRERRINT_PE1L レジスタは、16 ビット単位でリード/ライト可能です。
LRERRINT_PE1LL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス LRERRINT_PE1 : FFC6 5404_H
LRERRINT_PE1L : FFC6 5404_H
LRERRINT_PE1LL : FFC6 5404_H

リセット後の値 0000 0003_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDIE	SEDIE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 33.30 LRERRINT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DEDIE	ECC 2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 2 ビットエラー通知禁止 1 : ECC 2 ビットエラー通知許可
0	SEDIE	ECC 1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 1 ビットエラー通知禁止 1 : ECC 1 ビットエラー通知許可

(5) LRSTCLR_PE1 — ローカル RAM ステータスクリアレジスタ

LRSTCLR レジスタは、エラーステータスレジスタ (LR1STERSTR) のエラーフラグ、エラーオーバフローステータスレジスタ (LROVFSTR) のオーバフローフラグ、およびエラーアドレスレジスタ (LR1STEADR0) をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

アクセス LRSTCLR_PE1 レジスタは、32 ビット単位でライトのみ可能です。
LRSTCLR_PE1L レジスタは、16 ビット単位でライトのみ可能です。
LRSTCLR_PE1LL レジスタは、8 ビット単位でライトのみ可能です。

アドレス LRSTCLR_PE1 : FFC6 5408_H
LRSTCLR_PE1L : FFC6 5408_H
LRSTCLR_PE1LL : FFC6 5408_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 33.31 LRSTCLR レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	STCLR0	エラーステータスフラグクリアビット 1 書き込みで LR1STERSTR レジスタの DEDF0, SEDF0 フラグ、LROVFSTR レジスタの ERROVF0 フラグおよび LR1STEADR0 レジスタをクリアします。

(6) LROVFSTR_PE1 — Local RAM エラーカウントオーバーフローステータスレジスタ

LROVFSTR レジスタは、エラーオーバーフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF0 フラグは内部リセット、外部リセット、または LRSTCLR レジスタの STCLR0 ビットへ 1 をセットすることでクリアされます。

アクセス LROVFSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。
LROVFSTR_PE1L レジスタは、16 ビット単位でリードのみ可能です。
LROVFSTR_PE1LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス LROVFSTR_PE1 : FFC6 540C_H
LROVFSTR_PE1L : FFC6 540C_H
LROVFSTR_PE1LL : FFC6 540C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERR OVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.32 LROVFSTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	ERROVF0	エラーオーバーフローフラグ エラーステータスレジスタのいずれかのエラーフラグ (DEDFO, SEDFO) が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。

(7) LR1STERSTR_PE1 — ローカル RAM 1st エラーステータスレジスタ

LR1STERSTR レジスタは、最初に発生したエラーをモニタするためのレジスタです。エラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。

なお、同時に複数のエラーが発生した場合は、該当するエラーフラグはすべてセットされません。

LR1STERSTR レジスタは内部リセット、外部リセット、または LRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス LR1STERSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。
LR1STERSTR_PE1L レジスタは、16 ビット単位でリードのみ可能です。
LR1STERSTR_PE1LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス LR1STERSTR_PE1 : FFC6 5410_H
LR1STERSTR_PE1L : FFC6 5410_H
LR1STERSTR_PE1LL : FFC6 5410_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.33 LR1STERSTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	DEDF0	ECC2 ビットエラーモニタフラグ 0 : ECC2 ビットエラーは発生していません。 1 : ECC2 ビットエラーは発生しました。 クリア条件 : LRSTCLR.STCLR0 ビットに 1 をセット セット条件 : DEDF0 が 0 の状態で、ECC2 ビットエラー発生
0	SEDF0	ECC1 ビットエラーモニタフラグ 0 : ECC1 ビットエラーは発生していません。 1 : ECC1 ビットエラーは発生しました。 クリア条件 : LRSTCLR.STCLR0 ビットに 1 をセット セット条件 : DEDF0, SEDF0 がどちらも 0 の状態で、ECC1 ビットエラー発生

(8) LR1STEADR0_PE1 — Local RAM 1st エラーアドレスレジスタ 0

LR1STEADR0 レジスタは、エラー発生時のアドレスを保持するためのレジスタです。LR1STERSTR レジスタのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。

また、本レジスタには内部アドレスが保持されますので、各メモリのベースアドレスを加算して実アドレスへ変換してください。LR1STEADR0 レジスタは内部リセット、外部リセット、または LRSTCLR レジスタの STCLR0 ビットへ 1 をセットすることでクリアされます。

アクセス LR1STEADR0_PE1 レジスタは、32 ビット単位でリードのみ可能です。
LR1STEADR0_PE1L、LR1STEADR0_PE1H レジスタは、16 ビット単位でリードのみ可能です。
LR1STEADR0_PE1LL、LR1STEADR0_PE1LH、LR1STEADR0_PE1HL レジスタは、8 ビット単位でリードのみ可能です。

アドレス LR1STEADR0_PE1 : FFC6 5450_H
LR1STEADR0_PE1L : FFC6 5450_H、
LR1STEADR0_PE1H : FFC6 5452_H
LR1STEADR0_PE1LL : FFC6 5450_H、
LR1STEADR0_PE1LH : FFC6 5451_H、
LR1STEADR0_PE1HL : FFC6 5452_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	EADR[18:16]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR[15:2]													—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.34 LR1STEADR0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 19	予約ビット	リードした場合はリセット後の値が読めます。
18 ~ 2	EADR[18:2]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 LR1STERSTR レジスタのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC2 ビットエラーが発生するとアドレス情報を更新します。 ECC 2 ビットエラー発生後はアドレス情報の更新はしません。
1, 0	予約ビット	リードした場合はリセット後の値が読めます。

33.2.5 周辺 RAM の ECC

CSIH および RS-CAN は、RAM 用の ECC 機能を備えています。ECC 機能の詳細は、「17.7 CSIHn RAM のエラー検出／訂正」、「21.12 RS-CAN0 RAM のエラー検出／訂正」および「21.23 RS-CAN RAM のエラー検出／訂正」を参照してください。

33.3 メモリ保護

33.3.1 概要

本製品は、メモリ上のデータや周辺回路の制御レジスタを、誤ったアクセスから保護するためのメモリ保護機能を搭載しています。

- MPU

CPU が、自分自身の不正なアクセスからメモリを保護します。MPU で禁止されたアドレスに対するアクセスは、CPU から発行されることはありません。詳細は、「**RH850 ファミリ ユーザーズマニュアル ソフトウェア編**」を参照してください。

- スレーブガード

あらゆるバスマスタの不正なアクセスから、特定のメモリを保護します。スレーブガードには以下のものがあります。詳細は次節以降に示します。

- PEG

ローカル RAM を不正なアクセスから保護します。ただし、ローカル RAM を備える CPU 自身からのアクセスは保護対象外です。例えば、CPU1 から CPU1 内のローカル RAM へのアクセスは、PEG によってプロテクトされることはありません。詳細は「**第3章 CPU システム**」を参照してください。

- PBG

周辺回路の制御レジスタやメモリを不正なアクセスから保護します。詳細は、「**33.3.2 PBG**」を参照してください。

- PBGC

CPU システムには、CPU システム用 PBG と呼ばれる専用の PBG 機能があります。詳細は、「**33.3.3 CPU システム用 PBG**」を参照してください。

33.3.1.1 スレーブガードの識別子

スレーブガードでは、以下の識別子によってプロテクトすべき不正アクセスを指定することができます。

表 33.35 スレーブガードの識別子

識別子	機能
UM	<p>CPU のアクセス時に、その CPU の動作モードを示します。</p> <p>0 : スーパーバイザモード 1 : ユーザモード</p> <p>DMAC のアクセス時には、本識別子の値はチャンネルマスタ設定レジスタの設定値となります。その他のマスタのアクセス時には、本識別子は必ず 0 となります。</p>
SPID	<p>CPU のアクセス時に、その CPU に設定されたシステム保護識別子 SPID の値を示します。</p> <p>DMAC のアクセス時には、本識別子の値はチャンネルマスタ設定レジスタの設定値となります。その他のマスタのアクセス時には、本識別子は必ず 00_B となります。</p>
PEID	<p>アクセス元のバスマスタを示します。</p> <p>000_B : 予約 001_B : CPU1 010_B : 予約 011_B : 予約 100_B : 予約 101_B : 予約 110_B : 予約 111_B : 予約</p> <p>DMAC のアクセス時には、本識別子の値はチャンネルマスタ設定レジスタの設定値となります。</p>

33.3.2 PBG

PBG モジュールは複数の PBG グループに分かれており、各グループは最大 16 個の保護チャンネルを備えています。1 つの PBG チャンネルで、1 つの周辺回路に対して保護すべきアクセスを指定できます。

PBG グループごとに、拒否したアクセスの情報を保持することができます。

保護対象の周辺回路と、対応する PBG グループ名および PBG チャンネル番号を以下の表に、示します。

表 33.36 PBG グループとチャンネルおよび対象モジュール (1/4)

PBG グループ	グループ番号	PBG チャンネル番号	保護対象モジュール	対象レジスタ
PBG10	00	0	FENMI	WDTNMIF WDTNMIFC
		1	FEINT	FEINTF FEINTFMSK FEINTFC
		2	INTC1/INTC2	SELB_INTC1 SELB_INTC2
		3	ADCA0	ADCA0 のすべてのレジスタ
		4	KR0	KR0KRM
		5	PORT_ISO (グループ A)	P9, P10, P11, P12, P18, P20, AP1 のレジスタ (Pn, PSRn, PPRn, PNOTn, PIBCn を除く)
		6	PORT_AWO (グループ A)	P0, P1, P2, P8, AP0, IP0 レジスタ (Pn, PSRn, PPRn, PNOTn, PIBCn を除く)
		7	PORT_JTAG (グループ A)	JP0 レジスタ (JP0, JP0SR0, JP0PR0, JP0NOT0, JP0IBC0 を除く)
		8	RLIN30	RLIN30 のすべてのレジスタ
		9	RLIN31	RLIN31 のすべてのレジスタ
		10	RLIN32	RLIN32 のすべてのレジスタ
		11	RLIN33	RLIN33 のすべてのレジスタ
		12	RLIN34	RLIN34 のすべてのレジスタ
13	RLIN35	RLIN35 のすべてのレジスタ		
PBG11	01	0	DNFA_TAUD0	DNFATAUD0ICTL DNFATAUD0IEN
		1	DNFA_ADCTL0	DNFAADCTL0CTL DNFAADCTL0EN
		2	FCLA_ADC0	FCLA0CTLn_ADC0 (n = 0 ~ 2)
		3	FCLA_NMI	FCLA0CTL0_NMI
		4	FCLA_INTPL	FCLA0CTLn_INTPL (n = 0 ~ 7)
		5	FCLA_INTPH	FCLA0CTLn_INTPH (n = 0 ~ 7)
		6	DNFA_ENCA0	DNFAENCA0ICTL DNFAENCA0IEN
		7	DNFA_ADCTL1	DNFAADCTL1CTL DNFAADCTL1EN
		8	FCLA_ADC1	FCLA0CTLn_ADC1 (n = 0 ~ 2)
9	DNFA_TAUB0I	DNFATAUB0ICTL DNFATAUB0IEN		

表 33.36 PBG グループとチャネルおよび対象モジュール (2/4)

PBG グループ	グループ 番号	PBG チャ ネル番号	保護対象モジュール	対象レジスタ
PBG11	01	10	DNFA_TAUB1I	DNFATAUB1ICTL DNFATAUB1IEN
		11	予約領域	—
		12	PORT_ISO (グループ B)	P9, P10, P11, P12, P18, P20, AP1 レジスタ (Pn, PSRn, PPRn, PNOTn, PIBCn)
		13	PORT_AWO (グループ B)	P0, P1, P2, P8, AP0, IP0 レジスタ (Pn, PSRn, PPRn, PNOTn, PIBCn)
		14	PORT_JTAG (グループ B)	JP0 レジスタ (JP0, JPSR0, JPPR0, JPNOT0, JPIBC0)
PBG12	07	0	RLIN2_Global0	RLN240 のすべてのグローバルレジスタ
		1	RLIN20	RLN2400 のすべてのグローバルレジスタ
		2	RLIN21	RLN2401 のすべてのグローバルレジスタ
		3	RLIN22	RLN2402 のすべてのグローバルレジスタ
		4	RLIN23	RLN2403 のすべてのグローバルレジスタ
		5	RLIN2_Global1	RLN241 のすべてのグローバルレジスタ
		6	RLIN24	RLN2414 のすべてのグローバルレジスタ
		7	RLIN25	RLN2415 のすべてのグローバルレジスタ
		8	RLIN26	RLN2416 のすべてのグローバルレジスタ
		9	RLIN27	RLN2417 のすべてのグローバルレジスタ
		10	RLIN2_Global2	RLN242 のすべてのグローバルレジスタ
		11	RLIN28	RLN2428 のすべてのグローバルレジスタ
		12	RLIN29	RLN2429 のすべてのグローバルレジスタ
PBG13	08	0	DCRA0	DCRA0 のすべてのレジスタ
		1	DCRA1	DCRA1 のすべてのレジスタ
		2	DCRA2	DCRA2 のすべてのレジスタ
		3	DCRA3	DCRA3 のすべてのレジスタ
		4	I ² C	I ² C のすべてのレジスタ
		5	ECC テスト	SELB_READTEST
PBG20	02	0	TAUD0 (グループ A)	TAUD0 のすべてのレジスタ (SELB_TAUD0I を除く)
		1	TAUD0 (グループ B)	SELB_TAUD0I
		2	TAUJ0 (グループ A)	TAUJ0 のすべてのレジスタ (SELB_TAUJ0I を除く)
		3	TAUJ0 (グループ B)	SELB_TAUJ0I
		4	RTCA0	RTCA0 のすべてのレジスタ
		5	WDTA0	WDTA0 のすべてのレジスタ
		6	WDTA1	WDTA1 のすべてのレジスタ
		7	予約領域	—
		8	PIC0	PIC0 のすべてのレジスタ
		9	TAPA0	TAPA0 のすべてのレジスタ
		10	ENCA0	ENCA0 のすべてのレジスタ
		11	TAUJ1	TAUJ1 のすべてのレジスタ
		12	TAUB0	TAUB0 のすべてのレジスタ
		13	TAUB1	TAUB1 のすべてのレジスタ
14	PWM-Diag	PWM-Diag のすべてのレジスタ		

表 33.36 PBG グループとチャネルおよび対象モジュール (3/4)

PBG グループ	グループ 番号	PBG チャ ネル番号	保護対象モジュール	対象レジスタ
PBG21	09	0	フラッシュメモリ (データフラッシュ)	EEPRDCYCL
		1	フラッシュメモリ (データフラッシュ ECC)	DFECCCTL, DFERSTR, DFERSTC, DFOVFSTR, DFOVFSTC, DFERRINT, DFEADR, DFTSTCTL
		2	予約領域	—
		3	予約領域	—
		4	予約領域	—
PBG30	03	0	RSCAN0_CAN0	RSCAN0 Ch0 グループのすべてのレジスタ
		1	RSCAN0_CAN1	RSCAN0 Ch1 グループのすべてのレジスタ
		2	RSCAN0_CAN2	RSCAN0 Ch2 グループのすべてのレジスタ
		3	RSCAN0_CAN3	RSCAN0 Ch3 グループのすべてのレジスタ
		4	RSCAN0_CAN4	RSCAN0 Ch4 グループのすべてのレジスタ
		5	RSCAN0_CAN5	RSCAN0 Ch5 グループのすべてのレジスタ
		6	RSCAN0_グローバル	RSCAN0 グループグループのすべてのレジスタ
		7	RSCAN1_CAN6	RSCAN1 Ch6 グループのすべてのレジスタ
		8	予約領域	—
		9	RSCAN1_グローバル	RSCAN1 グループグループのすべてのレジスタ
		10	予約領域	—
		11	予約領域	—
12	ADCA1	ADCA1 のすべてのレジスタ		
PBG31	04	0	OSTM0	OSTM0 のすべてのレジスタ
		1	OSTM1 ~ 4	OSTM1, OSTM2, OSTM3, OSTM4 すべてのレジスタ
		2	予約領域	—
		3	予約領域	—
		4	ECCCSIH0	ECC CSIH0 すべてのレジスタ
		5	ECCCSIH1	ECC CSIH1 すべてのレジスタ
		6	ECCCSIH2	ECC CSIH2 すべてのレジスタ
		7	ECCCSIH3	ECC CSIH3 すべてのレジスタ
		8	予約領域	—
		9	ECCCAN1	ECCCAN1 グループのすべてのレジスタ
		10	ECCCAN0 PHY1	ECCCAN0 PHY1 グループのすべてのレジスタ
11	ECCCAN0 PHY2	ECCCAN0 PHY2 グループのすべてのレジスタ		

表 33.36 PBG グループとチャネルおよび対象モジュール (4/4)

PBG グループ	グループ 番号	PBG チャ ネル番号	保護対象モジュール	対象レジスタ
PBG32	05	0	CSIH0 (グループ A)	CSIH0CTL0 ~ 2, CSIH0STR0, CSIH0STCR0, CSIH0EMU
		1	CSIH0 (グループ B)	上記以外の CSIH0 レジスタ
		2	CSIH1 (グループ A)	CSIH1CTL0 ~ 2, CSIH1STR0, CSIH1STCR0, CSIH1EMU
		3	CSIH1 (グループ B)	上記以外の CSIH1 レジスタ
		4	CSIH2 (グループ A)	CSIH2CTL0 ~ 2, CSIH2STR0, CSIH2STCR0, CSIH2EMU
		5	CSIH2 (グループ B)	上記以外の CSIH2 レジスタ
		6	CSIH3 (グループ A)	CSIH3CTL0 ~ 2, CSIH3STR0, CSIH3STCR0, CSIH3EMU
		7	CSIH3 (グループ B)	上記以外の CSIH3 レジスタ
		8	CSIG0 (グループ A)	CSIG0CTL0 ~ 2, CSIG0STR0, CSIG0STCR0, CSIG0EMU
		9	CSIG0 (グループ B)	上記以外の CSIG0 レジスタ
		10	CSIG1 (グループ A)	CSIG1CTL0 ~ 2, CSIG1STR0, CSIG1STCR0, CSIG1EMU
		11	CSIG1 (グループ B)	上記以外の CSIG1 レジスタ
PBG50	06	0	システムコントロール	書き込み保護機能、リセットコントローラ、電源回路、電源電圧モニタ、クロックコントローラ、クロックモニタ、スタンバイコントローラ、ロウパワーサンブラのすべてのレジスタ注1 (STBC0PSC, STBC0STPT, SWRESA, PROTCMD0, PROTS0 を除く)
		1	STBC	STBC0PSC, STBC0STPT
		2	予約領域	—
		3	予約領域	—
		4	ソフトウェアリセット	SWRESA
		5	フラッシュメモリ (セルフプログラミング)	—注2
		6	フラッシュメモリ (制御)	—注2
		7	フラッシュメモリ (オプションバイト)	OPBT0 PRDNAME1 ~ 3
		8	書き込み保護コマンドレジスタ	PROTCMD0 PROTS0

注 1. 詳細は、「第 5 章 書き込み保護レジスタ」、「第 9 章 リセット」、「第 10 章 電源とパワードメイン」、「第 11 章 電源電圧モニタ」、「第 12 章 クロックコントローラ」、「第 13 章 クロックモニタ (CLMA)」、「第 14 章 スタンバイコントローラ (STBC)」、「第 15 章 ロウパワーサンブラ (LPS)」を参照してください。

注 2. フラッシュメモリ用の PBG レジスタについては、「RH850/F1K フラッシュメモリ ユーザーズマニュアル ハードウェアインタフェース編」を参照してください。

注 3. PBG レジスタのアドレスについては、「表 33.37 PBG 保護レジスタ一覧」を参照してください。

注 4. RSCAN および ECCCAN ガードグループについては、「第 21 章 CAN インタフェース (RS-CAN)」を参照してください。

33.3.2.1 レジスタ一覧

PBG グループごとに実装されるレジスタを以下の表に示します。PBG グループは、そのままモジュール名となります。

表 33.37 PBG 保護レジスタ一覧 (1/3)

PBG グループ	グループ 番号	レジスタ略号	レジスタ名	R/W	リセット後の 値	アドレス	アクセス サイズ	パワード メイン
PBG10	00	FSGD00PROT0	PBG00 保護レジスタ 0	R/W	066F FFF7 _H	FFC4 0000 _H	8/16/32	ISO
		FSGD00PROT1	PBG00 保護レジスタ 1	R/W	066F FFF7 _H	FFC4 0004 _H	8/16/32	
		FSGD00PROT2	PBG00 保護レジスタ 2	R/W	066F FFF7 _H	FFC4 0008 _H	8/16/32	
		FSGD00PROT3	PBG00 保護レジスタ 3	R/W	066F FFF7 _H	FFC4 000C _H	8/16/32	
		FSGD00PROT4	PBG00 保護レジスタ 4	R/W	066F FFF7 _H	FFC4 0010 _H	8/16/32	
		FSGD00PROT5	PBG00 保護レジスタ 5	R/W	066F FFF7 _H	FFC4 0014 _H	8/16/32	
		FSGD00PROT6	PBG00 保護レジスタ 6	R/W	066F FFF7 _H	FFC4 0018 _H	8/16/32	
		FSGD00PROT7	PBG00 保護レジスタ 7	R/W	066F FFF7 _H	FFC4 001C _H	8/16/32	
		FSGD00PROT8	PBG00 保護レジスタ 8	R/W	066F FFF7 _H	FFC4 0020 _H	8/16/32	
		FSGD00PROT9	PBG00 保護レジスタ 9	R/W	066F FFF7 _H	FFC4 0024 _H	8/16/32	
		FSGD00PROT10	PBG00 保護レジスタ 10	R/W	066F FFF7 _H	FFC4 0028 _H	8/16/32	
		FSGD00PROT11	PBG00 保護レジスタ 11	R/W	066F FFF7 _H	FFC4 002C _H	8/16/32	
		FSGD00PROT12	PBG00 保護レジスタ 12	R/W	066F FFF7 _H	FFC4 0030 _H	8/16/32	
		FSGD00PROT13	PBG00 保護レジスタ 13	R/W	066F FFF7 _H	FFC4 0034 _H	8/16/32	
PBG11	01	FSGD01PROT0	PBG01 保護レジスタ 0	R/W	066F FFF7 _H	FFC4 0100 _H	8/16/32	ISO
		FSGD01PROT1	PBG01 保護レジスタ 1	R/W	066F FFF7 _H	FFC4 0104 _H	8/16/32	
		FSGD01PROT2	PBG01 保護レジスタ 2	R/W	066F FFF7 _H	FFC4 0108 _H	8/16/32	
		FSGD01PROT3	PBG01 保護レジスタ 3	R/W	066F FFF7 _H	FFC4 010C _H	8/16/32	
		FSGD01PROT4	PBG01 保護レジスタ 4	R/W	066F FFF7 _H	FFC4 0110 _H	8/16/32	
		FSGD01PROT5	PBG01 保護レジスタ 5	R/W	066F FFF7 _H	FFC4 0114 _H	8/16/32	
		FSGD01PROT6	PBG01 保護レジスタ 6	R/W	066F FFF7 _H	FFC4 0118 _H	8/16/32	
		FSGD01PROT7	PBG01 保護レジスタ 7	R/W	066F FFF7 _H	FFC4 011C _H	8/16/32	
		FSGD01PROT8	PBG01 保護レジスタ 8	R/W	066F FFF7 _H	FFC4 0120 _H	8/16/32	
		FSGD01PROT9	PBG01 保護レジスタ 9	R/W	066F FFF7 _H	FFC4 0124 _H	8/16/32	
		FSGD01PROT10	PBG01 保護レジスタ 10	R/W	066F FFF7 _H	FFC4 0128 _H	8/16/32	
		—	予約	—	—	FFC4 012C _H	—	
		FSGD01PROT12	PBG01 保護レジスタ 12	R/W	066F FFF7 _H	FFC4 0130 _H	8/16/32	
		FSGD01PROT13	PBG01 保護レジスタ 13	R/W	066F FFF7 _H	FFC4 0134 _H	8/16/32	
FSGD01PROT14	PBG01 保護レジスタ 14	R/W	066F FFF7 _H	FFC4 0138 _H	8/16/32			
PBG12	07	FSGD07PROT0	PBG07 保護レジスタ 0	R/W	066F FFF7 _H	FFC4 0400 _H	8/16/32	ISO
		FSGD07PROT1	PBG07 保護レジスタ 1	R/W	066F FFF7 _H	FFC4 0404 _H	8/16/32	
		FSGD07PROT2	PBG07 保護レジスタ 2	R/W	066F FFF7 _H	FFC4 0408 _H	8/16/32	
		FSGD07PROT3	PBG07 保護レジスタ 3	R/W	066F FFF7 _H	FFC4 040C _H	8/16/32	
		FSGD07PROT4	PBG07 保護レジスタ 4	R/W	066F FFF7 _H	FFC4 0410 _H	8/16/32	
		FSGD07PROT5	PBG07 保護レジスタ 5	R/W	066F FFF7 _H	FFC4 0414 _H	8/16/32	
		FSGD07PROT6	PBG07 保護レジスタ 6	R/W	066F FFF7 _H	FFC4 0418 _H	8/16/32	
		FSGD07PROT7	PBG07 保護レジスタ 7	R/W	066F FFF7 _H	FFC4 041C _H	8/16/32	
		FSGD07PROT8	PBG07 保護レジスタ 8	R/W	066F FFF7 _H	FFC4 0420 _H	8/16/32	
		FSGD07PROT9	PBG07 保護レジスタ 9	R/W	066F FFF7 _H	FFC4 0424 _H	8/16/32	

表 33.37 PBG 保護レジスタ一覧 (2/3)

PBG グループ	グループ 番号	レジスタ略号	レジスタ名	R/W	リセット後の 値	アドレス	アクセス サイズ	パスワード メイン
PBG12	07	FSGD07PROT10	PBG07 保護レジスタ 10	R/W	066F FFF7 _H	FFC4 0428 _H	8/16/32	ISO
		FSGD07PROT11	PBG07 保護レジスタ 11	R/W	066F FFF7 _H	FFC4 042C _H	8/16/32	
		FSGD07PROT12	PBG07 保護レジスタ 12	R/W	066F FFF7 _H	FFC4 0430 _H	8/16/32	
PBG13	08	FSGD08PROT0	PBG08 保護レジスタ 0	R/W	066F FFF7 _H	FFC4 0500 _H	8/16/32	ISO
		FSGD08PROT1	PBG08 保護レジスタ 1	R/W	066F FFF7 _H	FFC4 0504 _H	8/16/32	
		FSGD08PROT2	PBG08 保護レジスタ 2	R/W	066F FFF7 _H	FFC4 0508 _H	8/16/32	
		FSGD08PROT3	PBG08 保護レジスタ 3	R/W	066F FFF7 _H	FFC4 050C _H	8/16/32	
		FSGD08PROT4	PBG08 保護レジスタ 4	R/W	066F FFF7 _H	FFC4 0510 _H	8/16/32	
		FSGD08PROT5	PBG08 保護レジスタ 5	R/W	066F FFF7 _H	FFC4 0514 _H	8/16/32	
PBG20	02	FSGD02PROT0	PBG02 保護レジスタ 0	R/W	066F FFF7 _H	FFDD D000 _H	8/16/32	ISO
		FSGD02PROT1	PBG02 保護レジスタ 1	R/W	066F FFF7 _H	FFDD D004 _H	8/16/32	
		FSGD02PROT2	PBG02 保護レジスタ 2	R/W	066F FFF7 _H	FFDD D008 _H	8/16/32	
		FSGD02PROT3	PBG02 保護レジスタ 3	R/W	066F FFF7 _H	FFDD D00C _H	8/16/32	
		FSGD02PROT4	PBG02 保護レジスタ 4	R/W	066F FFF7 _H	FFDD D010 _H	8/16/32	
		FSGD02PROT5	PBG02 保護レジスタ 5	R/W	066F FFF7 _H	FFDD D014 _H	8/16/32	
		FSGD02PROT6	PBG02 保護レジスタ 6	R/W	0607 FE77 _H	FFDD D018 _H	8/16/32	
		—	予約	—	—	FFDD D01C _H	—	
		FSGD02PROT8	PBG02 保護レジスタ 8	R/W	066F FFF7 _H	FFDD D020 _H	8/16/32	
		FSGD02PROT9	PBG02 保護レジスタ 9	R/W	066F FFF7 _H	FFDD D024 _H	8/16/32	
		FSGD02PROT10	PBG02 保護レジスタ 10	R/W	066F FFF7 _H	FFDD D028 _H	8/16/32	
		FSGD02PROT11	PBG02 保護レジスタ 11	R/W	066F FFF7 _H	FFDD D02C _H	8/16/32	
		FSGD02PROT12	PBG02 保護レジスタ 12	R/W	066F FFF7 _H	FFDD D030 _H	8/16/32	
		FSGD02PROT13	PBG02 保護レジスタ 13	R/W	066F FFF7 _H	FFDD D034 _H	8/16/32	
		FSGD02PROT14	PBG02 保護レジスタ 14	R/W	066F FFF7 _H	FFDD D038 _H	8/16/32	
PBG21	09	FSGD09PROT0	PBG09 保護レジスタ 0	R/W	066F FFF7 _H	FFDD D100 _H	8/16/32	ISO
		FSGD09PROT1	PBG09 保護レジスタ 1	R/W	066F FFF7 _H	FFDD D104 _H	8/16/32	
		—	予約	—	—	FFDD D108 _H	8/16/32	
		—	予約	—	—	FFDD D10C _H	8/16/32	
		—	予約	—	—	FFDD D110 _H	8/16/32	
PBG30	03	FSGD03PROT0	PBG03 保護レジスタ 0	R/W	066F FFF7 _H	FFF9 4000 _H	8/16/32	ISO
		FSGD03PROT1	PBG03 保護レジスタ 1	R/W	066F FFF7 _H	FFF9 4004 _H	8/16/32	
		FSGD03PROT2	PBG03 保護レジスタ 2	R/W	066F FFF7 _H	FFF9 4008 _H	8/16/32	
		FSGD03PROT3	PBG03 保護レジスタ 3	R/W	066F FFF7 _H	FFF9 400C _H	8/16/32	
		FSGD03PROT4	PBG03 保護レジスタ 4	R/W	066F FFF7 _H	FFF9 4010 _H	8/16/32	
		FSGD03PROT5	PBG03 保護レジスタ 5	R/W	066F FFF7 _H	FFF9 4014 _H	8/16/32	
		FSGD03PROT6	PBG03 保護レジスタ 6	R/W	066F FFF7 _H	FFF9 4018 _H	8/16/32	
		FSGD03PROT7	PBG03 保護レジスタ 7	R/W	066F FFF7 _H	FFF9 401C _H	8/16/32	
		—	予約	—	—	FFF9 4020 _H	—	
		FSGD03PROT9	PBG03 保護レジスタ 9	R/W	066F FFF7 _H	FFF9 4024 _H	8/16/32	
		—	予約	—	—	FFF9 4028 _H	—	
		—	予約	—	—	FFF9 402C _H	—	
		FSGD03PROT12	PBG03 保護レジスタ 12	R/W	066F FFF7 _H	FFF9 4030 _H	8/16/32	

表 33.37 PBG 保護レジスタ一覧 (3/3)

PBG グループ	グループ 番号	レジスタ略号	レジスタ名	R/W	リセット後 の値	アドレス	アクセス サイズ	パワード メイン
PBG31	04	FSGD04PROT0	PBG04 保護レジスタ 0	R/W	066F FFF7 _H	FFF9 4100 _H	8/16/32	ISO
		FSGD04PROT1	PBG04 保護レジスタ 1	R/W	0607 FE77 _H	FFF9 4104 _H	8/16/32	
		—	予約	—	—	FFF9 4108 _H	—	
		—	予約	—	—	FFF9 410C _H	—	
		FSGD04PROT4	PBG04 保護レジスタ 4	R/W	066F FFF7 _H	FFF9 4110 _H	8/16/32	
		FSGD04PROT5	PBG04 保護レジスタ 5	R/W	066F FFF7 _H	FFF9 4114 _H	8/16/32	
		FSGD04PROT6	PBG04 保護レジスタ 6	R/W	066F FFF7 _H	FFF9 4118 _H	8/16/32	
		FSGD04PROT7	PBG04 保護レジスタ 7	R/W	066F FFF7 _H	FFF9 411C _H	8/16/32	
		—	予約	—	—	FFF9 4120 _H	—	
		FSGD04PROT9	PBG04 保護レジスタ 9	R/W	066F FFF7 _H	FFF9 4124 _H	8/16/32	
		FSGD04PROT10	PBG04 保護レジスタ 10	R/W	066F FFF7 _H	FFF9 4128 _H	8/16/32	
		FSGD04PROT11	PBG04 保護レジスタ 11	R/W	066F FFF7 _H	FFF9 412C _H	8/16/32	
PBG32	05	FSGD05PROT0	PBG05 保護レジスタ 0	R/W	066F FFF7 _H	FFF9 4200 _H	8/16/32	ISO
		FSGD05PROT1	PBG05 保護レジスタ 1	R/W	066F FFF7 _H	FFF9 4204 _H	8/16/32	
		FSGD05PROT2	PBG05 保護レジスタ 2	R/W	066F FFF7 _H	FFF9 4208 _H	8/16/32	
		FSGD05PROT3	PBG05 保護レジスタ 3	R/W	066F FFF7 _H	FFF9 420C _H	8/16/32	
		FSGD05PROT4	PBG05 保護レジスタ 4	R/W	066F FFF7 _H	FFF9 4210 _H	8/16/32	
		FSGD05PROT5	PBG05 保護レジスタ 5	R/W	066F FFF7 _H	FFF9 4214 _H	8/16/32	
		FSGD05PROT6	PBG05 保護レジスタ 6	R/W	066F FFF7 _H	FFF9 4218 _H	8/16/32	
		FSGD05PROT7	PBG05 保護レジスタ 7	R/W	066F FFF7 _H	FFF9 421C _H	8/16/32	
		FSGD05PROT8	PBG05 保護レジスタ 8	R/W	066F FFF7 _H	FFF9 4220 _H	8/16/32	
		FSGD05PROT9	PBG05 保護レジスタ 9	R/W	066F FFF7 _H	FFF9 4224 _H	8/16/32	
		FSGD05PROT10	PBG05 保護レジスタ 10	R/W	066F FFF7 _H	FFF9 4228 _H	8/16/32	
		FSGD05PROT11	PBG05 保護レジスタ 11	R/W	066F FFF7 _H	FFF9 422C _H	8/16/32	
PBG50	06	FSGD06PROT0	PBG06 保護レジスタ 0	R/W	066F FFF7 _H	FFF9 0000 _H	8/16/32	ISO
		FSGD06PROT1	PBG06 保護レジスタ 1	R/W	0647 FF77 _H	FFF9 0004 _H	8/16/32	
		—	予約	—	—	FFF9 0008 _H	—	
		—	予約	—	—	FFF9 000C _H	—	
		FSGD06PROT4	PBG06 保護レジスタ 4	R/W	066F FFF7 _H	FFF9 0010 _H	8/16/32	
		FSGD06PROT5	PBG06 保護レジスタ 5	R/W	066F FFF7 _H	FFF9 0014 _H	8/16/32	
		—	予約	—	—	FFF9 0018 _H	—	
		FSGD06PROT7	PBG06 保護レジスタ 7	R/W	066F FFF7 _H	FFF9 001C _H	8/16/32	
		FSGD06PROT8	PBG06 保護レジスタ 8	R/W	066F FFF7 _H	FFF9 0020 _H	8/16/32	

PBG グループごとに実装されるレジスタを以下の表に示します。

表 33.38 PBG エラーレジスタ一覧

モジュール名	レジスタ略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ
PBGxx	ERRSLVxxCTL	PBGxx エラー制御レジスタ	W	0000 0000 _H	<base_addr0> + 0 _H	8/16/32
	ERRSLVxxSTAT	PBGxx エラーステータスレジスタ	R	0000 0000 _H	<base_addr0> + 4 _H	8/16/32
	ERRSLVxxADDR	PBGxx エラーアドレスレジスタ	R	0000 0000 _H	<base_addr0> + 8 _H	32
	ERRSLVxxTYPE	PBGxx エラータイプレジスタ	R	0000 0000 _H	<base_addr0> + C _H	16/32

上記の表では、レジスタ名や略号の“xx”はPBGのグループ番号を示します。以下の表に各PBGグループ番号に対応するベースアドレス値 <base_addr0> を示します。

表 33.39 PBG グループ番号とエラーベースアドレス

PBG グループ	PBG グループ番号	<base_addr0>
PBG10	00	FFC4 0040 _H
PBG11	01	FFC4 0140 _H
PBG12	07	FFC4 0440 _H
PBG13	08	FFC4 0540 _H
PBG20	02	FFDD D040 _H
PBG21	09	FFDD D140 _H
PBG30	03	FFF9 4040 _H
PBG31	04	FFF9 4140 _H
PBG32	05	FFF9 4240 _H
PBG50	06	FFF9 0040 _H

33.3.2.2 レジスタ詳細

(1) FSGDxxPROTn — PBGxx 保護レジスタ n

保護対象である周辺回路制御レジスタに対して、保護するアクセスを指定します。いずれかの識別子で禁止されたアクセスは、不正アクセスとして拒否されます。レジスタ名および略号の "n" は、PBG チャンネル番号を表します。

アクセス FSGDxxPROTn レジスタは、32 ビット単位でリードのみ可能です。
FSGDxxPROTnL、FSGDxxPROTnH レジスタは、16 ビット単位でリードのみ可能です。
FSGDxxPROTnLL、FSGDxxPROTnLH、FSGDxxPROTnHL、FSGDxxPROTnHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス 各レジスタで異なります。「33.3.2.1 レジスタ一覧」を参照してください。

リセット後の値 各レジスタで異なります。「33.3.2.1 レジスタ一覧」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PROTLOCK	—	—	—	—	—	PROTUM	PROTPEID[7:0]							—	
リセット後の値	0	0	0	0	0	1	1	注1	注1	注1	注1	注1	注1	注1	注1	1
R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PROTSPID[3:0]				—	PROTRDPDEF	PROTRPDEF	PROTRD	PROTRR
リセット後の値	1	1	1	1	1	1	1	注1	注1	注1	注1	1	0	1	1	1
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

注1. 各レジスタで異なります。「33.3.2.1 レジスタ一覧」を参照してください。

表 33.40 FSGDxxPROTn レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	PROTLOCK	レジスタのロック 0: FSGDxxPROTn レジスタの書き換え許可 1: FSGDxxPROTn レジスタの書き換え禁止 PROTLOCK = 1 に設定すると、リセットが発生するまで値が保持されます。
30 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	PROTUM	ユーザモードでのアクセス 0: スーパーバイザモードでのアクセスを許可します。 1: ユーザモードとスーパーバイザモードのアクセスを許可します。
24 ~ 17	PROTPEID[7:0]	PEID のアクセス ^{注1} PROTPEID フィールドは、各ビットがそれぞれ 1 つの PEID 値に対応するビットリストです。複数のビットを設定することによって、同時に複数の ID 値を許可します。たとえば、PROTPEID フィールドを 0000 0110 _B と設定すると、PEID = 1 および PEID = 2 でのアクセスが許可されます。 0: PEIDn のアクセスを禁止します。 1: PEIDn のアクセスを許可します。
16 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8 ~ 5	PROTSPID[3:0]	SPID のアクセス ^{注2} PROTSPID フィールドは、各ビットがそれぞれ 1 つの SPID 値に対応するビットリストです。複数のビットを設定することによって、同時に複数の SPID 値を許可します。たとえば、PROTSPID フィールドを 0110 _B と設定すると、SPID = 1 および SPID = 2 でのアクセスが許可されます。 0: SPIDn でのアクセスを禁止します。 1: SPIDn でのアクセスを許可します。
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 33.40 FSGDxxPROTn レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	PROTRDPDEF	デフォルトリード保護 0: いずれのマスタもリードアクセスを実行することができます。 1: フィルタを通過したマスタによるリードアクセスだけを許可します。
2	PROTWRPDEF	デフォルトライト保護 0: いずれのマスタもライトアクセスを実行することができます。 1: フィルタを通過したマスタによるライトアクセスだけを許可します。
1	PROTRD	読み出し許可 0: フィルタリングされたバスマスタによるリードアクセスを禁止します。 1: フィルタリングされたバスマスタによるリードアクセスを許可します。
0	PROTWR	書き込み許可 0: フィルタリングされたバスマスタによるライトアクセスを禁止します。 1: フィルタリングされたバスマスタによるライトアクセスを許可します。

- 注 1. PEID によるアクセス
PROTnPEID は各ビットがそれぞれ 1 つの PEID 値に対応するビットリストです。
複数のビットを設定することによって同時に複数のバスマスタの ID 値を許可します。
- 注 2. SPID によるアクセス
PROTnSPID は各ビットがそれぞれ 1 つの SPID 値を表すビットの一覧です。
複数のビットを設定することによって同時に複数のマスタの ID 値を許可します。

(2) ERRSLVxxCTL — PBGxx エラーコントロールレジスタ

ERRSLVxxCTL は PBGxx のエラーステータスレジスタのステータスをクリアするためのレジスタです。

アクセス ERRSLVxxCTL レジスタは、32 ビット単位でライトのみ可能です。
ERRSLVxxCTL レジスタは、16 ビット単位でライトのみ可能です。
ERRSLVxxCTL レジスタは、8 ビット単位でライトのみ可能です。

アドレス ERRSLVxxCTL : <base_addr0>
ERRSLVxxCTL 16 : <base_addr0>
ERRSLVxxCTL 8 : <base_addr0>

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLRO	CLRE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 33.41 ERRSLVxxCTL の内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	CLRO	オーバフローフラグをクリアします。 0 : オーバフローフラグをクリアしません。 1 : オーバフローフラグをクリアします。
0	CLRE	エラーフラグをクリアします。 0 : エラーフラグをクリアしません。 1 : エラーフラグをクリアします。

CLRO	CLRE	機能
0	0	どちらのビットもクリアしません。
0	1	設定禁止
1	0	OVF ビットをクリアします。
1	1	OVF と ERR ビットをクリアします。

(3) ERRSLVxxSTAT — PBGxx エラーステータスレジスタ

ERRSLVxxSTAT は PBGxx で拒否した不正アクセスのステータスを保持するためのレジスタです。

アクセス ERRSLVxxSTAT レジスタは、32 ビット単位でリードのみ可能です。
ERRSLVxxSTATL レジスタは、16 ビット単位でリードのみ可能です。
ERRSLVxxSTATLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス ERRSLVxxSTAT : <base_addr0> + 4_H
ERRSLVxxSTATL : <base_addr0> + 4_H
ERRSLVxxSTATLL : <base_addr0> + 4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OVF	ERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.42 ERRSLVxxSTAT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	OVF	エラーエントリオーバーフローフラグ 0: オーバフローなし 1: オーバフロー発生 PBGのエラーエントリ段数は1のため、最初のガード違反が発生し、エラーステータスフラグがセットされた状態で再度ガード違反が発生した場合、エラーエントリがオーバーフローし、本フラグがセットされます。 なお、オーバーフローはINTGUARDには通知されません。 またオーバーフローした際のガード違反のエラー情報はキャプチャされません。
0	ERR	エラーステータスフラグ 0: PBG 保護違反なし 1: PBG 保護違反発生

(4) ERRSLVxxADDR — PBGxx エラーアドレスレジスタ

ERRSLVxxADDR は PBGxx で拒否した不正アクセスのアドレスを保持するためのレジスタです。対応する ERRSLVxSTAT.ERR が 1 の場合は、このレジスタは更新されません。

アクセス ERRSLVxxADDR レジスタは、32 ビット単位でリードのみ可能です。

アドレス ERRSLVxxADDR : <base_addr0> + 8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	ADDR[31:16]																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	ADDR[15:2]															—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

表 33.43 ERRSLVxxADDR レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	ADDR[31:2]	PBG 保護違反が生成されたアドレス
1, 0	予約ビット	リードした場合はリセット後の値が読めます。

(5) ERRSLVxxTYPE — PBGxx エラータイプレジスタ

ERRSLVxxTYPE は PBGxx で拒否した不正アクセスのタイプを保持するためのレジスタです。

アクセス ERRSLVxxTYPE レジスタは、32 ビット単位でリードのみ可能です。
ERRSLVxxTYPEEL レジスタは、16 ビット単位でリードのみ可能です。

アドレス ERRSLVxxTYPE : <base_addr0> + C_H
ERRSLVxxTYPEEL : <base_addr0> + C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PEID[2:0]			—	—	—	SPID[1:0]		—	UM	—	—	—	—	—	WRITE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.44 ERRSLVxxTYPE レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。
15 ~ 13	PEID[2:0]	PBG 保護違反を発生させたアクセス元の PEID。
12 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。
9、8	SPID[1:0]	PBG 保護違反を発生させたアクセス元の SPID。
7	予約ビット	リードした場合はリセット後の値が読めます。
6	UM	PBG 保護違反を発生させたアクセス元の UM。
5	予約ビット	リードした場合はリセット後の値が読めます。
4 ~ 1	予約ビット	リードした場合は不定値が読めます。
0	WRITE	PBG 保護違反を発生させたアクセスがライトの場合、1 が設定されます。

33.3.3 CPU システム用 PBG

PBGC モジュールは、PBGC0 と PBGC1 の 2 つの PBGC グループに分かれています。PBGC0 グループには、INTC2 および DMA 機能に対する保護レジスタが含まれています。PBGC1 グループには、ECC コントロール機能などに対する保護レジスタが含まれています。各 PBGC グループには、拒否されたアクセスに関する情報が格納されます。

保護対象のレジスタおよび対応する PBGC グループ名を以下の表に示します。

表 33.45 CPU サブシステム用 PBG に対する対象レジスタ

PBGC グループ	グループ番号	チャンネル番号	保護対象モジュール	対象レジスタ
PBGC0	C0 (CPU システムに対する PBC グループ 0)	0	INTC2	ICxxx (xxx = 32 ~ 357) IMRm (m = 1 ~ 11) (「第 7 章 例外/割り込み」を参照)
		1	DMA	DMA コントローラ内のすべてのレジスタ (「第 8 章 DMA コントローラ」を参照)
PBGC1	C1 (CPU システムに対する PBC グループ 1)	0	フラッシュメモリ (プログラミング機能)	BFASELR ^{注1}
		1	コードフラッシュ ECC コントロールレジスタ (VCI)	CFECCCTL_VCI CFERRINT_VCI CFSTCLR_VCI CFOVFSTR_VCI CF1STERSTR_VCI CF1STEADR0_VCI CFSTSTCTL_VCI
		2	コードフラッシュ ECC コントロールレジスタ (PE1)	CFECCCTL_PE1 CFERRINT_PE1 CFSTCLR_PE1 CFOVFSTR_PE1 CF1STERSTR_PE1 CF1STEADR0_PE1 CFSTSTCTL_PE1
		3	ローカル RAM ECC コントロールレジスタ (PE1)	LRTSTCTL_PE1 LRTDATBF0_PE1 LRECCCTL_PE1 LRERRINT_PE1 LRSTCLR_PE1 LROVFSTR_PE1 LR1STERSTR_PE1 LR1STEADR0_PE1
		4	オンチップデバッグ モジュール	EPC (「第 36 章 オンチップデバッグユニット (OCD)」を参照)
5	バッファコントローラ	FBUFCCTL (「第 3 章 CPU システム」を参照)		

注 1. フラッシュメモリ用の PBGC レジスタについては、「RH850/F1K フラッシュメモリ ユーザーズマニュアル ハードウェアインタフェース編」を参照してください。

33.3.3.1 レジスタ一覧

PBGC グループごとに実装されるレジスタを以下の表に示します。PBGC グループは、そのままモジュール名となります。

表 33.46 PBGC 保護レジスタ一覧

PBG グループ	グループ 番号	レジスタ略号	レジスタ名	R/W	リセット後 の値	アドレス	アクセス サイズ	パワー ドメイン
PBGC0	C0	FSGDC0PROT0	PBGC0 保護レジスタ 0	R/W	07FF FFFF _H	FFC4 C000 _H	8/16/32	ISO
		FSGDC0PROT1	PBGC0 保護レジスタ 1	R/W	07FF FFFF _H	FFC4 C004 _H	8/16/32	
PBGC1	C1	FSGDC1PROT0	PBGC1 保護レジスタ 0	R/W	07FF FFFF _H	FFC4 C120 _H	8/16/32	ISO
		FSGDC1PROT1	PBGC1 保護レジスタ 1	R/W	07FF FFFF _H	FFC4 C124 _H	8/16/32	
		FSGDC1PROT2	PBGC1 保護レジスタ 2	R/W	07FF FFFF _H	FFC4 C128 _H	8/16/32	
		FSGDC1PROT3	PBGC1 保護レジスタ 3	R/W	07FF FFFF _H	FFC4 C12C _H	8/16/32	
		FSGDC1PROT4	PBGC1 保護レジスタ 4	R/W	07FF FFFF _H	FFC4 C130 _H	8/16/32	
		FSGDC1PROT5	PBGC1 保護レジスタ 5	R/W	07FF FFFF _H	FFC4 C134 _H	8/16/32	

表 33.47 PBGC エラーレジスタ一覧

モジュール名	レジスタ略号	レジスタ名	アドレス
PBGC0	ERRSLVC0CTL	PBGC0 エラー制御レジスタ	FFC4 C800 _H
	ERRSLVC0STAT	PBGC0 エラーステータスレジスタ	FFC4 C804 _H
	ERRSLVC0ADDR	PBGC0 エラーアドレスレジスタ	FFC4 C808 _H
	ERRSLVC0TYPE	PBGC0 エラータイプレジスタ	FFC4 C80C _H
PBGC1	ERRSLVC1CTL	PBGC1 エラー制御レジスタ	FFC4 C900 _H
	ERRSLVC1STAT	PBGC1 エラーステータスレジスタ	FFC4 C904 _H
	ERRSLVC1ADDR	PBGC1 エラーアドレスレジスタ	FFC4 C908 _H
	ERRSLVC1TYPE	PBGC1 エラータイプレジスタ	FFC4 C90C _H

33.3.3.2 レジスタ詳細

(1) FSGDCxPROTn — PBGCx 保護レジスタ n

保護対象であるレジスタに対して、保護するアクセスを指定します。いずれかの識別子で禁止されたアクセスは、不正アクセスとして拒否されます。

レジスタ名および略号の "n" は、PBGC チャンネル番号を表します。

アクセス FSGDCxPROTn レジスタは、32 ビット単位でリード/ライト可能です。
FSGDCxxPROTnL、FSGDCxxPROTnH レジスタは、16 ビット単位でリード/ライト可能です。
FSGDCxxPROTnLL、FSGDCxxPROTnLH、FSGDCxxPROTnHL、FSGDCxxPROTnHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス 各レジスタで異なります。「33.3.3.1 レジスタ一覧」を参照してください。

リセット後の値 07FF FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	PROTUM	PROTPEID[7:0]							—	
リセット後の値	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PROTSPID[3:0]			—	PROTRDPDEF	PROTRPDEF	PROTRD	PROTRR	
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

表 33.48 FSGDCxPROTn レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	PROTUM	ユーザモードでのアクセス 0: スーパーバイザモードでのアクセスを許可します。 1: ユーザモードとスーパーバイザモードでのアクセスを許可します。
24 ~ 17	PROTPEID[7:0]	PEID のアクセス ^{注1} PROTPEID フィールドは、各ビットがそれぞれ1つの PEID 値に対応するビットリストです。複数のビットを設定することによって、同時に複数の ID 値を許可します。たとえば、PROTPEID フィールドを 0000 0110 _B と設定すると、PEID = 1 および PEID = 2 でのアクセスが許可されます。 0: PEIDn でのアクセスを禁止します。 1: PEIDn でのアクセスを許可します。
16 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8 ~ 5	PROTSPID[3:0]	SPID のアクセス ^{注2} PROTSPID フィールドは、各ビットがそれぞれ1つの SPID 値に対応するビットリストです。複数のビットを設定することによって、同時に複数の SPID 値を許可します。たとえば、PROTSPID フィールドを 0110 _B と設定すると、SPID = 1 および SPID = 2 でのアクセスが許可されます。 0: SPIDn でのアクセスを禁止します。 1: SPIDn でのアクセスを許可します。
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	PROTRDPDEF	デフォルトリード保護 0: いずれのマスタもリードアクセスを実行することができます。 1: フィルタを通過したマスタによるリードアクセスだけを許可します。

表 33.48 FSGDCxPROTn レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	PROTWRPDEF	デフォルトライト保護 0: いずれのマスタもライトアクセスを実行することができます。 1: フィルタを通過したマスタによるライトアクセスだけを許可します。
1	PROTRD	読み出し許可 0: フィルタリングされたバスマスタによるリードアクセスを禁止します。 1: フィルタリングされたバスマスタによるリードアクセスを許可します。
0	PROTWR	書き込み許可 0: フィルタリングされたバスマスタによるライトアクセスを禁止します。 1: フィルタリングされたバスマスタによるライトアクセスを許可します。

注 1. PEID によるアクセス

PROTnPEID は各ビットがそれぞれ 1 つの PEID 値に対応するビットリストです。
複数のビットを設定することによって同時に複数のバスマスタの ID 値を許可します。

注 2. SPID によるアクセス

PROTnSPID は各ビットがそれぞれ 1 つの SPID 値を表すビットの一覧です。
複数のビットを設定することによって同時に複数のマスタの ID 値を許可します。

(2) ERRSLVCxCTL — PBGCx エラー制御レジスタ

ERRSLVCxCTL は PBGCx のエラーステータスレジスタのステータスをクリアするためのレジスタです。

アクセス ERRSLVCxCTL レジスタは、32 ビット単位でライトのみ可能です。
ERRSLVCxCTLL レジスタは、16 ビット単位でライトのみ可能です。
ERRSLVCxCTLLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス ERRSLVC0CTL : FFC4 C800_H
ERRSLVC0CTLL : FFC4 C800_H
ERRSLVC0CTLLL : FFC4 C800_H
ERRSLVC1CTL : FFC4 C900_H
ERRSLVC1CTLL : FFC4 C900_H
ERRSLVC1CTLLL : FFC4 C900_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLRO	CLRE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 33.49 ERRSLVCxCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	CLRO	エラーオーバフローフラグ 0: オーバフローなし 1: オーバフロー発生
0	CLRE	エラーフラグをクリアします。 0: エラーフラグをクリアしません。 1: エラーフラグをクリアします。

CLRO	CLRE	機能
0	0	どちらのビットもクリアしません。
0	1	設定禁止
1	0	OVF ビットをクリアします。
1	1	OVF と ERR ビットをクリアします。

(3) ERRSLVCxSTAT — PBGCx エラーステータスレジスタ

ERRSLVCxSTAT は PBGCx で拒否した不正アクセスのステータスを保持するためのレジスタです。

アクセス ERRSLVCxSTAT レジスタは、32 ビット単位でリードのみ可能です。
ERRSLVCxSTATL レジスタは、16 ビット単位でリードのみ可能です。
ERRSLVCxSTATLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス ERRSLVC0STAT : FFC4 C804_H
ERRSLVC0STATL : FFC4 C804_H
ERRSLVC0STATLL : FFC4 C804_H
ERRSLVC1STAT : FFC4 C904_H
ERRSLVC1STATL : FFC4 C904_H
ERRSLVC1STATLL : FFC4 C904_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OVF	ERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.50 ERRSLVCxSTAT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	OVF	エラーエントリオーバーフローフラグ 0: オーバフローなし 1: オーバフロー発生 PBGC のエラーエントリ段数は 1 のため、最初のガード違反が発生し、エラーステータスフラグがセットされた状態で再度ガード違反が発生した場合、エラーエントリがオーバーフローし、本フラグがセットされます。 なお、オーバーフローは INTGUARD には通知されません。 またオーバーフローした際のガード違反のエラー情報はキャプチャされません。
0	ERR	エラーステータスフラグ 0: PBG 保護違反なし 1: PBG 保護違反発生

(4) ERRSLVCxADDR — PBGCx エラーアドレスレジスタ

ERRSLVCxADDR は PBGCx で拒否した不正アクセスのアドレスを保持するためのレジスタです。対応する ERRSLVCxSTAT.ERR が 1 の場合は、このレジスタは更新されません。

アクセス ERRSLVCxADDR レジスタは、32 ビット単位でリードのみ可能です。

アドレス ERRSLVC0ADDR : FFC4 C808_H
ERRSLVC1ADDR : FFC4 C908_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	ADDR[31:16]																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	ADDR[15:2]															—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

表 33.51 ERRSLVCxADDR レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	ADDR[31:2]	PBG 保護違反が生成されたアドレス
1, 0	予約ビット	リードした場合はリセット後の値が読めます。

(5) ERRSLVCxTYPE — PBGCx エラータイプレジスタ

ERRSLVCxTYPE は PBGCx で拒否した不正アクセスのタイプを保持するためのレジスタです。対応する ERRSLVCxSTAT.ERR が 1 の場合は、このレジスタは更新されません。

アクセス ERRSLVCxTYPE レジスタは、32 ビット単位でリードのみ可能です。
ERRSLVCxTYPEPEL レジスタは、16 ビット単位でリードのみ可能です。

アドレス ERRSLVC0TYPE : FFC4 C80C_H
ERRSLVC0TYPEPEL : FFC4 C80C_H
ERRSLVC1TYPE : FFC4 C90C_H
ERRSLVC1TYPEPEL : FFC4 C90C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PEID[2:0]			—	—	—	SPID[1:0]		—	UM	—	—	—	—	—	WRITE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.52 ERRSLVCxTYPE レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。
15 ~ 13	PEID[2:0]	PBG 保護違反を発生させたアクセス元の PEID。
12 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。
9、8	SPID[1:0]	PBG 保護違反を発生させたアクセス元の SPID。
7	予約ビット	リードした場合はリセット後の値が読めます。
6	UM	PBG 保護違反を発生させたアクセス元の UM。
5 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	WRITE	PBG 保護違反を発生させたアクセスがライトの場合、1 が設定されます。

第34章 データ CRC (DCRA)

本章では、データ CRC 機能 A (DCRA) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1K に固有の特長について説明します。それ以降の節では、DCRA の機能、レジスタについて説明します。

34.1 RH850/F1K DCRA の特長

34.1.1 ユニット数

本製品は以下のユニット数の DCRA を搭載しています。

表 34.1 ユニット数

製品名	RH850/F1K 100 pin	RH850/F1K 144 pin	RH850/F1K 176 pin
ユニット数	4		
名称	DCRAn(n = 0 ~ 3)		

表 34.2 添字

添字	説明
n	本章では、データ CRC 機能 A の各ユニットを「n」(n = 0 ~ 3) で識別します。たとえば、DCRAn 制御レジスタは DCRAnCTL と記述します。

34.1.2 レジスタベースアドレス

DCRAn のベースアドレスを以下の表に示します。

DCRAn のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 34.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<DCRA0_base>	FFF7 0000 _H
<DCRA1_base>	FFF7 1000 _H
<DCRA2_base>	FFF7 2000 _H
<DCRA3_base>	FFF7 3000 _H

34.1.3 クロック供給

DCRAn のクロック供給を以下の表に示します。

表 34.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名	説明
DCRAn	PCLK	CPUCLK4	モジュールクロック
	レジスタアクセスクロック	CPUCLK2	バスクロック
		CPUCLK4	

34.1.4 リセット要因

DCRAn のリセット要因を以下に示します。DCRAn は以下のリセット要因で初期化されます。

表 34.5 リセット要因

ユニット名	リセット要因
DCRAn	すべてのリセット要因 (ISORES)

34.2 概要

34.2.1 機能概要

データCRC機能Aを利用して、CRCで保護された任意の長さとはさまざまなビット幅を持つデータストリームを検証または生成することができます。

- 32ビットイーサネットCRC
($X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X^1+1$)
- 16ビットCCITT CRC
($X^{16}+X^{12}+X^5+1$)
- 任意のデータブロック長のCRCを生成できます。
- CRCデータレジスタが初期化されると、CRC入力レジスタへの書き込みアクセスを行うたびに、選択されている多項式に従って新しいCRCが生成され、その結果がCRCデータレジスタに格納されます。

34.2.2 ブロック図

以下の図は、データCRC機能Aのブロック図を示しています。

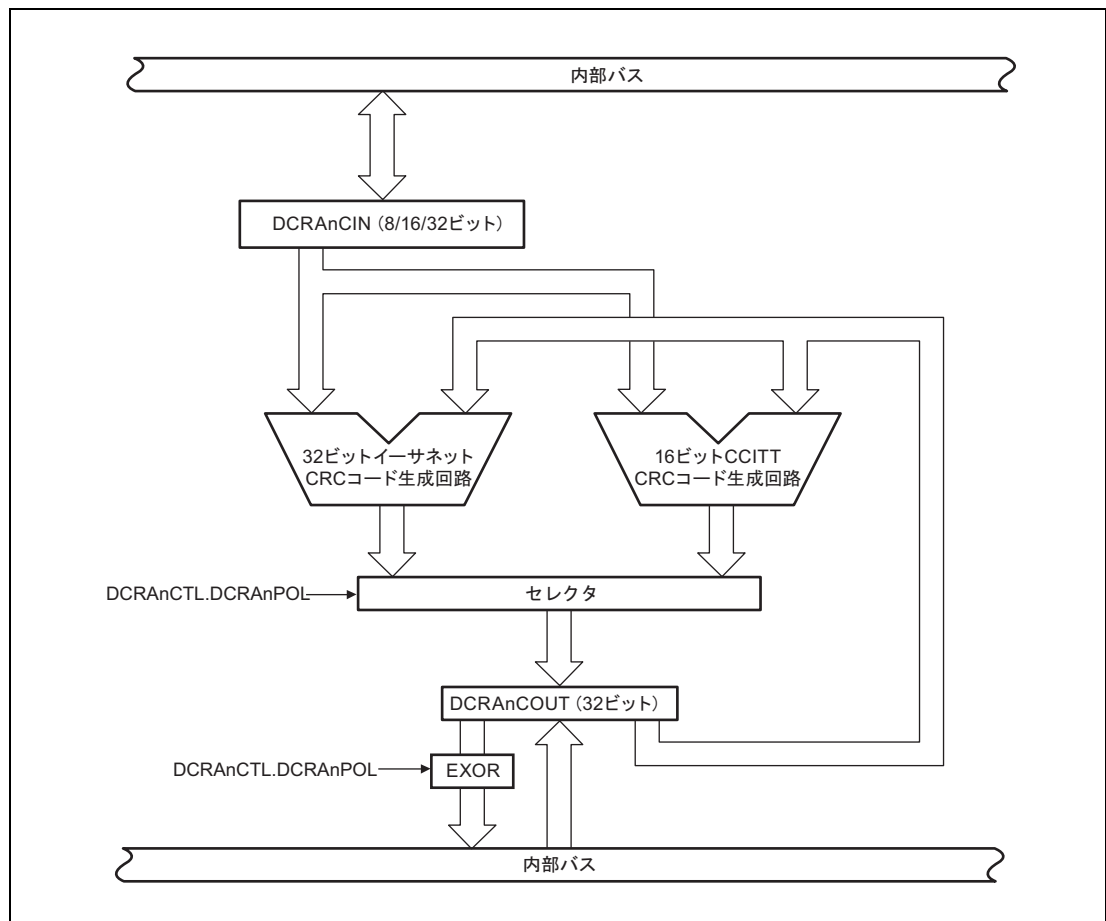
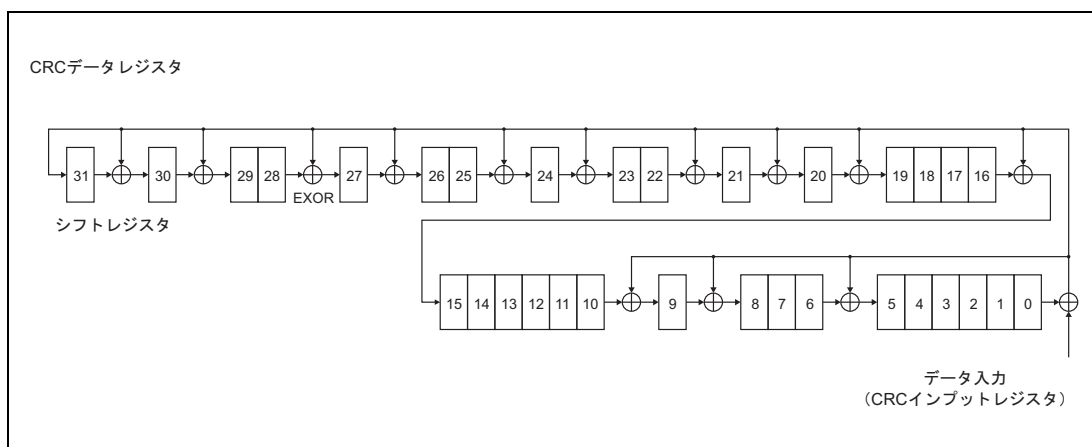


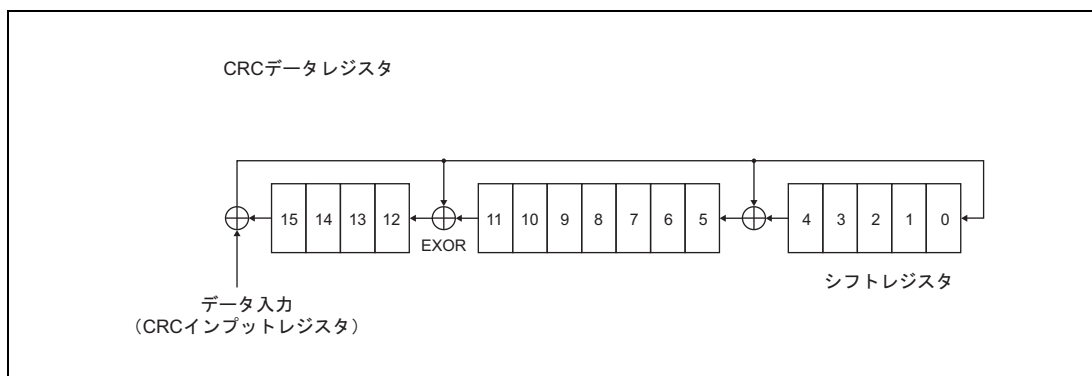
図 34.1 データCRC機能Aのブロック図

34.2.3 演算回路

- 32 ビットイーサネット



- 16 ビット CCITT



34.3 レジスタ

34.3.1 レジスタ一覧

DCRA のレジスタ一覧を以下の表に示します。

<DCRAn_base> は「**34.1.2 レジスタベースアドレス**」を参照してください。

表 34.6 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
DCRAn	CRC 入力レジスタ	DCRAnCIN	<DCRAn_base> + 00 _H
	CRC データレジスタ	DCRAnCOUT	<DCRAn_base> + 04 _H
	CRC 制御レジスタ	DCRAnCTL	<DCRAn_base> + 20 _H

34.3.2 DCRAAnCIN — CRC 入力レジスタ

本レジスタにはCRC計算用の入力データが格納されます。CRC計算に使われる有効ビット幅をDCRAAnCTL.DCRAAnISZ[1:0]で設定する必要があります。

本レジスタにデータを書き込むと、CRCコードが生成されます。

DCRAAnCINへの書き込みが行われると、ただちにCRCの計算が開始されます。データブロックの最初のデータをDCRAAnCINレジスタに書き込む前に、DCRAAnCOUTレジスタを初期開始値で初期化する必要があります。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <DCRAAn_base>

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DCRAAnCIN[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCRAAnCIN[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 34.7 DCRAAnCIN レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DCRAAnCIN [31:0]	CRC計算用入力データ 以下の有効ビット幅に対応しています。 <ul style="list-style-type: none"> 有効ビット幅 32ビット : DCRAAnCIN[31:0] 有効ビット幅 16ビット : DCRAAnCIN[15:0] 有効ビット幅 8ビット : DCRAAnCIN[7:0]

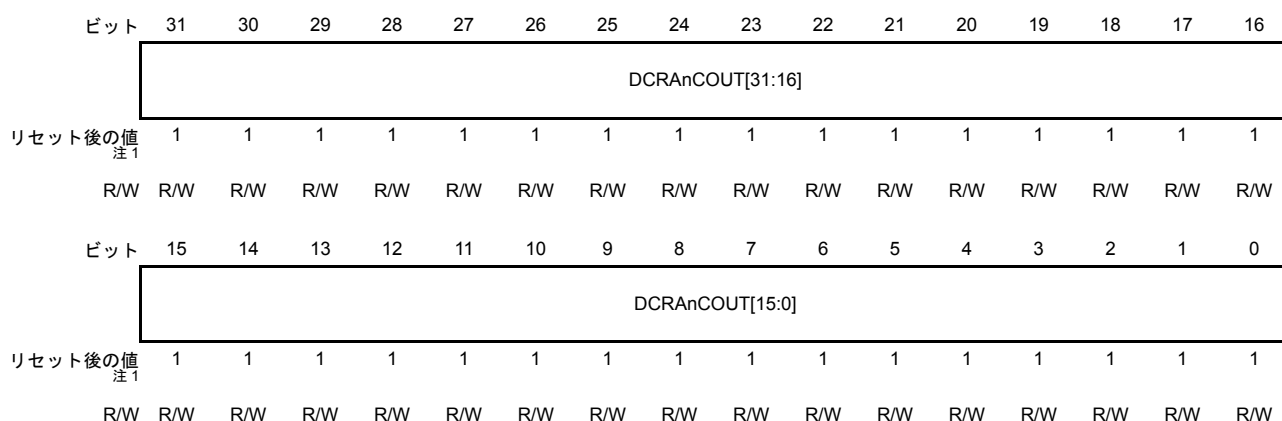
34.3.3 DCRAncCOUT — CRC データレジスタ

本レジスタには 32 ビットイーサネット多項式または 16 ビット CCITT 多項式によって生成された CRC コードの結果が格納されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <DCRAnc_base> + 4_H

リセット後の値 0000 0000_H



注 1. リセット後のリード値は、リセット後の CRC 生成方式の選択が 32 ビットイーサネット多項式になっているため、0000 0000_H になります。

表 34.8 DCRAncCOUT レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DCRAncCOUT [31:0]	<p>CRC コード生成の結果 16 ビット CCITT 多項式を有効にした場合は、ビット 15 ~ 0 が CRC の結果を示します。ビット 31 ~ 16 は不定になります。</p> <p>本レジスタのリード値は、以下の値と EXOR 演算された値となります。</p> <ul style="list-style-type: none"> 32 ビットイーサネット多項式の場合：FFFF FFFF_H 16 ビット CCITT 多項式の場合：0000_H <p>例えば、32 ビットイーサネット多項式で、DCRAncCOUT = 5555 5555_H のとき AAAA AAAA_H がリードされます。</p>

注 意

データブロックの最初のデータを DCRAncCIN レジスタに書き込む前に、本レジスタを初期化（初期開始値を設定）する必要があります。

34.3.4 DCRAnCTL — CRC 制御レジスタ

本レジスタはCRC生成プロセスを制御します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <DCRAn_base> + 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	DCRAnISZ[1:0]		DCRAnPOL
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 34.9 DCRAnCTL レジスタの内容

ビット位置	ビット名	機能
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2, 1	DCRAnISZ[1:0]	CRC 入力ビット幅を指定します。 00: 32 ビット (DCRAnCIN[31:0]) 01: 16 ビット (DCRAnCIN[15:0]) 10: 8 ビット (DCRAnCIN[7:0]) 11: 設定禁止
0	DCRAnPOL	CRC 生成方式を指定します。 0: 32 ビットイーサネット CRC 多項式による生成 DCRAnCIN レジスタ内のバイト順は LSB (最下位ビット) が先頭になります。つまり、CRC 入力ビット幅が 8 ビット (DCRAnISZ[1:0]=10 _B) の場合は、DCRAnCIN レジスタのビット位置 7～0 が入力データとなり、ビット位置 0 (LSB) が入力データの先頭ビットになります。 1: 16 ビット CCITT CRC 多項式による生成 DCRAnCIN レジスタ内のバイト順は MSB (最上位ビット) が先頭になります。つまり、CRC 入力ビット幅が 8 ビット (DCRAnISZ[1:0]=10 _B) の場合は、DCRAnCIN レジスタのビット位置 7～0 が入力データとなり、ビット位置 7 (MSB) が入力データの先頭ビットになります。

注 意

- CRC 生成方式 (DCRAnCTL.DCRAnPOL) を変更した場合は、DCRAnCOUT レジスタを初期化 (初期開始値を設定) する必要があります。
- データブロックのビット幅に合わせて CRC 入力ビット幅 (DCRAnCTL.DCRAnISZ[1:0]) を設定する必要があります。データブロックの処理中に CRC 入力ビット幅を変更することは禁止されています (データブロックの構成単位は N バイト、ハーフワードまたは 1 ワードです)。DCRAnCOUT レジスタから最終的な CRC の結果を読み出したあとは、CRC 入力ビット幅を変更することができます。その場合は、あとで DCRAnCOUT レジスタを初期化 (初期開始値を設定) する必要があります。

34.4 動作

データ CRC 機能 A は任意のデータブロック長の CRC (巡回冗長検査) を生成します。データは、8 ビット単位、16 ビット単位または 32 ビット単位でデータ CRC 機能に転送されます。32 ビットイーサネット用または 16 ビット CCITT 用の CRC 多項式を選択できます。CRC 入力レジスタ (DCRAnCIN) への最初の書き込みアクセスを行う前に、DCRAnCOUT レジスタに初期開始値を設定する必要があります。

以下のフローチャートは、CRC の生成の流れを示しています。

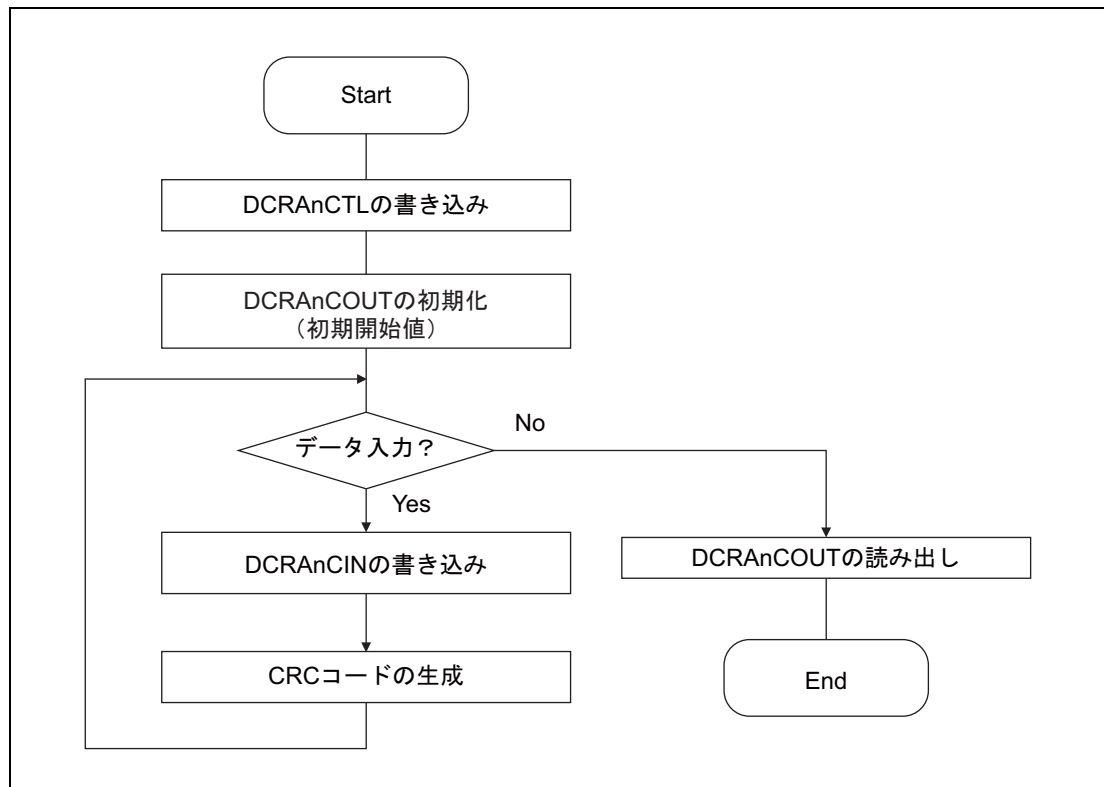


図 34.2 データ CRC 機能 A のフロー図

備考

1. 最初のデータを DCRAnCIN に書き込む前に、CRC 出力レジスタ DCRAnCOUT を初期化 (初期開始値を設定) する必要があります。
2. DCRAnCTL.DCRAnPOL を変更することによって多項式を変更した場合は、DCRAnCOUT を再初期化 (初期開始値を設定) する必要があります。
3. 各多項式の初期開始値の設定例
以下に設定例を示します。

表 34.10 初期開始値の設定例 (リセット時にリードした場合の例)

	初期開始値	EXOR 値	DCRAnCOUT リード値
16 ビット CCITT	XXXX FFFF _H	XXXX 0000 _H	XXXX FFFF _H
32 ビットイーサネット	FFFF FFFF _H	FFFF FFFF _H	0000 0000 _H

備考 X: 不定

第 35 章 セキュリティ機能

セキュリティ機能については別冊を参照してください。

以下に示すように、セキュリティ機能の別冊は3つの冊子に分かれています。

1. 基本セキュリティ
2. セキュアウォッチドッグタイマ
3. ICUSE

第 36 章 オンチップデバッグユニット (OCD)

このマイクロコントローラには、オンチップデバッグ機能があります。オンチップデバッグエミュレータの使用により、ターゲットシステムに搭載されたマイクロコントローラでプログラムをデバッグできます。

このマイクロコントローラに組み込まれたデバッグ機能は、IEEE-ISTO5001™-2003 クラス 3^{注1}、Nexus デバッグインタフェース標準に準拠しています。

注 1. EVTO 端子を搭載する製品のみ対応

注 意

本章で説明するデバッグ機能は、マイクロコントローラではサポートされますが、使用できるかどうかはデバッガによって決まります。デバッグの詳細はデバッガのユーザーズマニュアルを参照してください。

36.1 RH850/F1K の OCD の概要

36.1.1 機能概要

以下のオンチップデバッグ機能がサポートされます。

(1) デバッグインタフェース

デバッグインタフェースとして、“Nexus Interface”、“Low Pin Debug Interface (1 pin) (以下 LPD (1 pin) と略します)”、“Low Pin Debug Interface (4 pin) (以下 LPD (4 pin) と略します)”をサポートしています。

これらのデバッグインタフェースを使用して、オンチップデバッグが可能です。

備 考

LPD (1 pin) 使用時は、LPD は MainOSC クロックで動作します。

(2) デバッグモニタ機能

デバッグ専用のモニタプログラム領域が搭載され、デバッグ時に使用されます。

モニタプログラムを実行することで次の基本的なデバッグ機能を使用できます。

- ユーザプログラムのダウンロード
- メモリとレジスタのリードとライト
- 任意のアドレスで始まるユーザプログラムの実行

(3) オンチップブレーク

任意の実行アドレスに最大 12 本のブレークポイントを指定できます。また、12 本のブレークポイントのうち、任意のアクセス (アクセスアドレス、アクセスデータ) に最大 4 本のブレークポイントを指定できます。

(4) ソフトウェアブレーク

任意の実行アドレスにソフトウェアブレークポイントを指定できます。

(5) ペリフェラルブレーク

ペリフェラルブレーク機能は、ユーザ作成プログラムが停止した場合（ブレークポイントなどで）に、マイクロコントローラの周辺モジュールへ停止要求を生成します。

(6) 強制ブレーク

ユーザプログラムの実行を強制的に中断できます。

(7) 強制リセット

マイクロコントローラ（本デバイス）を強制的にリセットできます。

(8) リアルタイム RAM モニタ (RRM)

プログラム実行中にメモリをリードできます。このリードアクセスではデバッグ専用の DMA を使用するため、プログラム実行への影響は最小限に抑えられます。

(9) ダイナミックメモリ変更 (DMM)

プログラム実行中にメモリをライトできます。このライトアクセスではデバッグ専用の DMA を使用するため、プログラム実行への影響は最小限に抑えられます。

(10) タイマ機能

32 ビットカウンタを使用し、デバッグ用クロックに基づいてユーザプログラムの実行時間を測定できます。

測定精度についてはご使用のデバッガのユーザーズマニュアルを参照してください。

(11) マスク機能

以下の要因をマスクすることが可能です。

- POC リセットおよびウェイクアップリセットを除いた全リセット要因

(12) Hot plug-in 機能

通常動作モードから外部リセット入力なしで、デバッグを開始することができます。

備 考

Hot plug-in 機能を使用し、かつマイコンのパワーセーブモードを使用する際は、INTDCUTDI 割り込み処理にてパワーセーブモードからのウェイクアップ処理が必要となります。INTDCUTDI 割り込みについては、「表 7.4 EI レベルマスカブル割り込み要因」（チャンネル番号 21）を参照してください。

(13) セキュリティ機能

フラッシュメモリの内容が権限のないユーザにリードされないように、128 ビットの ID コードをマイクロコントローラにライトすることができます。デバッガ起動時にユーザが入力するコードがマイクロコントローラにライトされた ID コードに一致しない場合は、フラッシュメモリにアクセスできません。

ID コードの設定方法の詳細は、ご使用のデバッガのユーザーズマニュアルを参照してください。

(14) トレース機能

ユーザプログラムの実行履歴やデータ変化等を取得することができます。

備 考

トレース機能は 2MB 製品のみサポート

36.1.2 外部入出力端子

表 36.1 外部入出力端子

端子	専用機能	端子数		
		100 pin	144 pin	176 pin
JP0_0	DCUTDI/LPDI/LPDIO	○	○	○
JP0_1	DCUTDO/LPDO	○	○	○
JP0_2	DCUTCK/LPDCLK	○	○	○
JP0_3	DCUTMS	○	○	○
JP0_4	DCUTRST	○	○	○
JP0_5	DCURDY/LPDCLKOUT	○	○	○
JP0_6	EVTO		○	○

36.2 ペリフェラルブレークの制御

ペリフェラルブレーク機能は、ユーザ作成プログラムが停止した場合（ブレークポイントなどで）に、マイクロコントローラの周辺モジュールへ停止要求を生成します。

ペリフェラルブレーク時の周辺モジュールの動作は次のようになります。

a. EPC.SVSTOP の設定に関わらず無条件で停止するモジュール

表 36.2 EPC.SVSTOP の設定に関わらず無条件で停止するモジュール

モジュール
ウインドウウォッチドッグタイマ (WDTA)

b. EPC.SVSTOP = 1 のときでもエミュレーションレジスタの設定で動作を継続できるモジュール

表 36.3 EPC.SVSTOP = 1 のときでもエミュレーションレジスタの設定で動作を継続できるモジュール

モジュール	エミュレーションレジスタ	n
OS タイマ (OSTM)	OSTMnEMU.OSTMnSVSDIS 0 : STOP during break 1 : continue during break	0~4
タイマアレイユニット D (TAUD)	TAUDnEMU.TAUDnSVSDIS 0 : STOP during break 1 : continue during break	0
タイマアレイユニット B (TAUB)	TAUBnEMU.TAUBnSVSDIS 0 : STOP during break 1 : continue during break	0, 1
タイマアレイユニット J (TAUJ)	TAUJnEMU.TAUJnSVSDIS 0 : STOP during break 1 : continue during break	0, 1
リアルタイムクロック (RTCA)	RTCAnEMU.RTCAnSVSDIS 0 : STOP during break 1 : continue during break	0
クロック同期シリアルインタフェース G (CSIG)	CSIGnEMU.CSIGnSVSDIS 0 : STOP during break 1 : continue during break	0, 1
クロック同期シリアルインタフェース H (CSIH)	CSIHnEMU.CSIHnSVSDIS 0 : STOP during break 1 : continue during break	0~3
タイマモータ制御機能 (TAPA)	TAPAnEMU.TAPAnSVSDIS 0 : STOP during break 1 : continue during break	0
エンコーダタイマ (ENCA)	ENCAnEMU.ENCAnSVSDIS 0 : STOP during break 1 : continue during break	0
PWM 出力 / 診断 (PWM-Diag)	PWBAnEMU.PWBAnSVSDIS 0 : STOP during break 1 : continue during break	0
	PWSAnEMU.PWSAnSVSDIS 0 : STOP during break 1 : continue during break	0
A/D コンバータ (ADCA)	ADCAnEMU.ADCAnSVSDIS 0 : STOP during break 1 : continue during break	0, 1

注 意

レジスタの詳細については、各章のレジスタ説明を参照してください。

c. EPC.SVSTOP = 1 のとき停止するモジュール

表 36.4 EPC.SVSTOP = 1 のとき停止するモジュール

モジュール
LIN/UART インタフェース (RLIN3)
ロウパワーサンブラ (LPS)

36.3 各モードでの Hot Plug-in**36.3.1 RUN モード**

Hot plug-in が RUN モードで発生した場合は、現在の状態を維持する必要があります。

36.3.2 STOP/DeepSTOP モード

Hot plug-in が STOP モードまたは DeepSTOP モードで発生した場合は、RUN モードに遷移する必要があります。

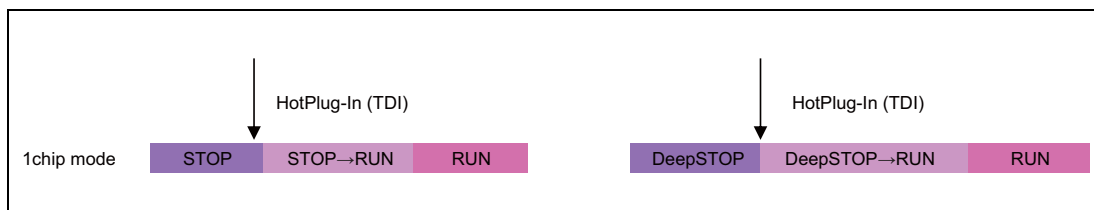


図 36.1 STOP モード / DeepSTOP モードでの Hot plug-in

36.3.3 Cyclic RUN モード

Hot plug-in が Cyclic RUN モードで発生した場合は、DeepSTOP モードに遷移し、ウェイクアップ要因により RUN モードに移行する必要があります。

ISO のすべてのレギュレータは、OCD モードで動作状態となります。

”DCUTDI ロウレベル検出割り込み (INTDCUTDI)” の割り込み発生時、オンチップデバッグを実行する場合はユーザー (ソフトウェア) により DeepSTOP モードへの移行を行う必要があります。

Cyclic RUN モードで OCD モードに遷移する場合の時系列を以下に示します。

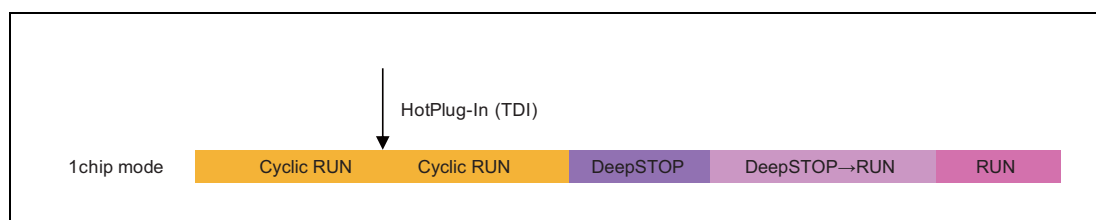


図 36.2 Cyclic RUN モードでの Hot plug-in

36.3.4 Cyclic STOP モード

Hot plug-in が Cyclic STOP モードで発生した場合は、Cyclic RUN モードに移行する必要があります。

次に ”DCUTDI のウェイクアップ要因の発生時には、Cyclic RUN モードの場合と同じように遷移を行う必要があります。

Cyclic STOP モードで OCD モードに遷移する場合の時系列を以下に示します。

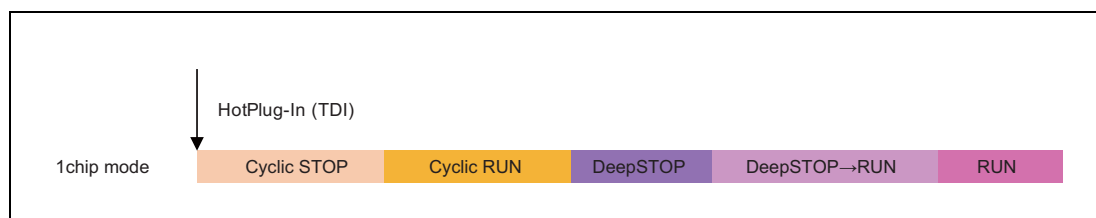


図 36.3 Cyclic STOP モードでの Hot plug-in

36.4 レジスタ

36.4.1 EPC — エミュレーション周辺制御 レジスタ

デバッグ時の各周辺機能（タイマ、シリアルインタフェース、A/D コンバータ）の動作停止（SVSTOP）機能を持ちます。

アクセス ユーザプログラムからのアクセスは禁止です。

アドレス —

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	SVSTOP	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	—	—	—	—	—	—	—	—

表 36.5 EPC レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	—
6	SVSTOP	デバッグ時の各周辺機能（タイマ、シリアルインタフェース、A/D コンバータ）の動作停止 0：動作を停止しない 1：動作を停止する
5～0	予約ビット	—

備 考

EPC はデバッガによって設定されます。ユーザプログラムによる設定は禁止です。デバッガの設定についてはデバッガのユーザーズマニュアルを参照してください。

36.5 オンチップデバッグ使用上の注意

36.5.1 デバッグに使用したデバイスの処理

デバッグに使用したデバイスを量産製品に搭載しないでください。デバッグ中にフラッシュメモリが書き換えられているため、フラッシュメモリの書き込み・消去の耐久性を保証できません。

36.5.2 デバッグ接続時のリセット発生について

デバッグを使用する際、プログラム開始直後にリセットが発生するプログラムを実行すると、OCD エミュレータとマイコンとの通信準備が成立する前にマイコンがリセットするため、同通信が不正動作となる可能性があります。

この通信準備期間は、OCD エミュレータのホスト PC 環境、およびマイコンの動作周波数に依存します。プログラム開始直後にリセットが発生するプログラムをデバッグする場合、デバッグを正常に動作させるために、プログラム開始とリセット解除の間にウェイトを挿入してください。

36.5.3 メインクロックソースとして、MainOSC ではなく HS IntOSC を使用する際の制限事項

E1 エミュレータをデバッグに使用する場合は、あらかじめデバッグインタフェース構成 (OPJTAG) を LPD (4 pin) に変更する必要があります。

LPD (1 pin) は使用できません。

36.5.4 OCD_MD への書き込みおよび RESET が同時に行われた場合、または MTR (DBG_CTRLP) への書き込みおよび RESET が同時に行われた場合の制限事項

OCD_MD への書き込みおよび RESET が同時に行われた場合、または MTR (DBG_CTRLP) への書き込みおよび RESET が同時に行われた場合、致命的な障害になる可能性があります。デバッグが接続されていない場合は、デバッグを再接続してください。

36.5.5 デバッグ接続時の DeepSTOP モードへの移行

デバッグの使用時に、実行直後に DeepSTOP モードへの移行が発生するプログラムが実行されると、OCD エミュレータとマイコン間の通信準備が完了する前に、マイコンは Isolated エリア (ISO エリア) への電源供給を停止します。そのため、同通信が不正動作となる可能性があります。

この通信準備時間は、OCD エミュレータのホスト PC 環境、およびマイコンの動作周波数に依存します。プログラム開始直後に DeepSTOP モードへ遷移するプログラムをデバッグする場合、デバッグを正常に動作させるために、リセット解除と DeepSTOP モードへ遷移するまでの間にウェイトを挿入してください。

第37章 フラッシュメモリ

本章では、RH850/F1K に搭載するフラッシュメモリについて説明します。

最初の節では、搭載するフラッシュメモリの特長、メモリマップ、フラッシュメモリプログラミング、ECC など、RH850/F1K に固有の特長について説明します。

37.1 特長

- コードフラッシュメモリとデータフラッシュメモリを内蔵
コードフラッシュは、プログラムコードとデータが格納可能なフラッシュメモリで、ユーザ領域と拡張ユーザ領域があります。
データフラッシュは、データ格納用のフラッシュメモリです。
- フラッシュメモリの書き換え方式
シリアルインタフェースを使用したフラッシュプログラミングと、ユーザープログラムによる書き換え（セルフプログラミング）をサポートします。
- BGO（Back Ground Operation）のサポート
BGO 機能によりデータフラッシュの書き込み / 消去中、コードフラッシュ上のプログラム実行が可能です。
- フラッシュメモリデータの保護
 - フラッシュメモリの不正改ざんや不正読み出しを防ぐセキュリティ機能をサポート
 - フラッシュメモリの誤書き換えを防止するプロテクション機能をサポート
- オプションバイト機能
ポート、WDTA、CVM、CAN FD CRC（PREMIUM のみ対応）、RESETOUT のリセット解除後の動作を設定します。
- コードフラッシュ、データフラッシュメモリの誤り検出 / 訂正機能（ECC）
ECC 機能を内蔵し、2 ビットエラー検出、1 ビットエラー検出 / 訂正が可能です。
- セルフプログラミング中の割り込み受け付け可能

各製品の搭載コードフラッシュ、データフラッシュのサイズは以下の節を参照してください。

- 「4.1 アドレス空間」

37.2 メモリ構成

37.2.1 コードフラッシュメモリマッピング

図 37.1 に、2MB/1.5MB/1MB/768 KB 製品のコードフラッシュメモリマッピングを示します。RH850/F1K のコードフラッシュメモリのユーザ領域は 8 K バイトまたは 32 K バイトのブロックに分割されており、各ブロック単位で消去可能です。また、32K バイトの拡張ユーザ領域を 1 ブロック搭載しています。ユーザ領域と拡張ユーザ領域は、ユーザプログラムの格納領域として利用可能です。

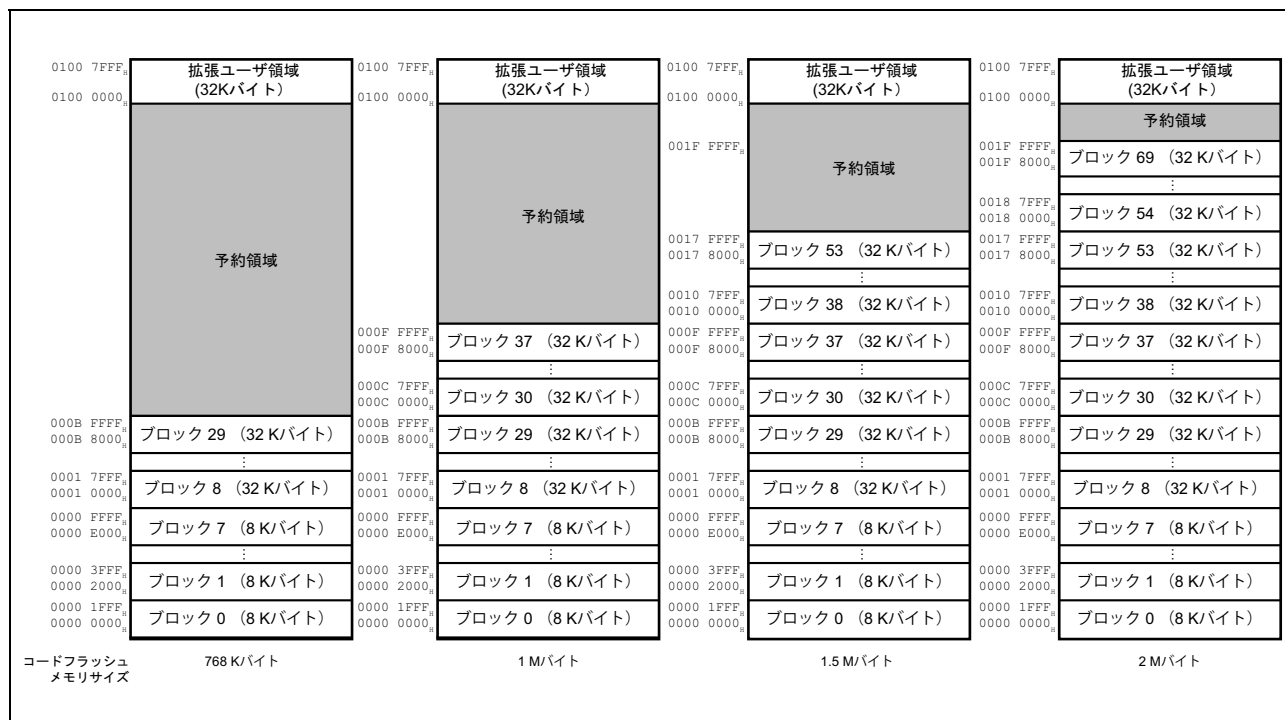


図 37.1 コードフラッシュメモリマッピング

37.2.2 データフラッシュメモリマッピング

RH850/F1K のデータフラッシュメモリのデータ領域は 64 バイトのブロックに分割されており、各ブロック単位で消去可能です。図 37.2 に、データフラッシュメモリマッピングを示します。

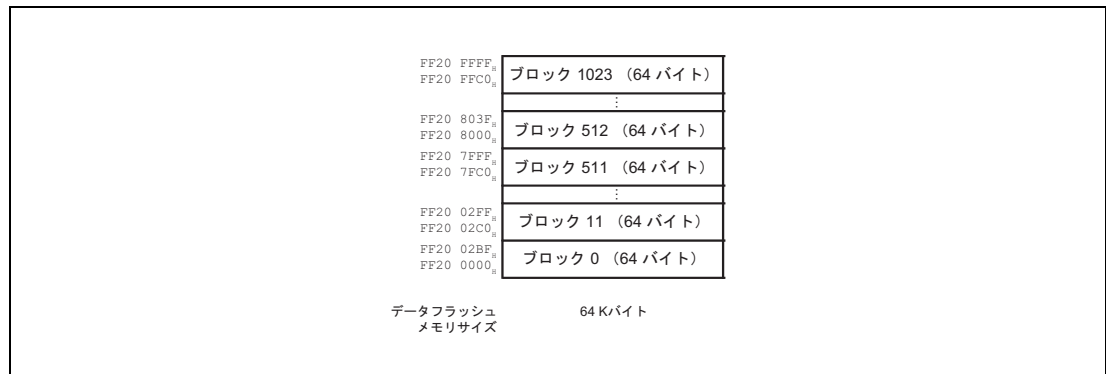


図 37.2 データフラッシュメモリマッピング

37.3 フラッシュメモリ関連の動作モード

図 37.3 に、フラッシュメモリに関するモードの遷移図を示します。モードの設定方法については、「第 6 章 動作モード」を参照してください。

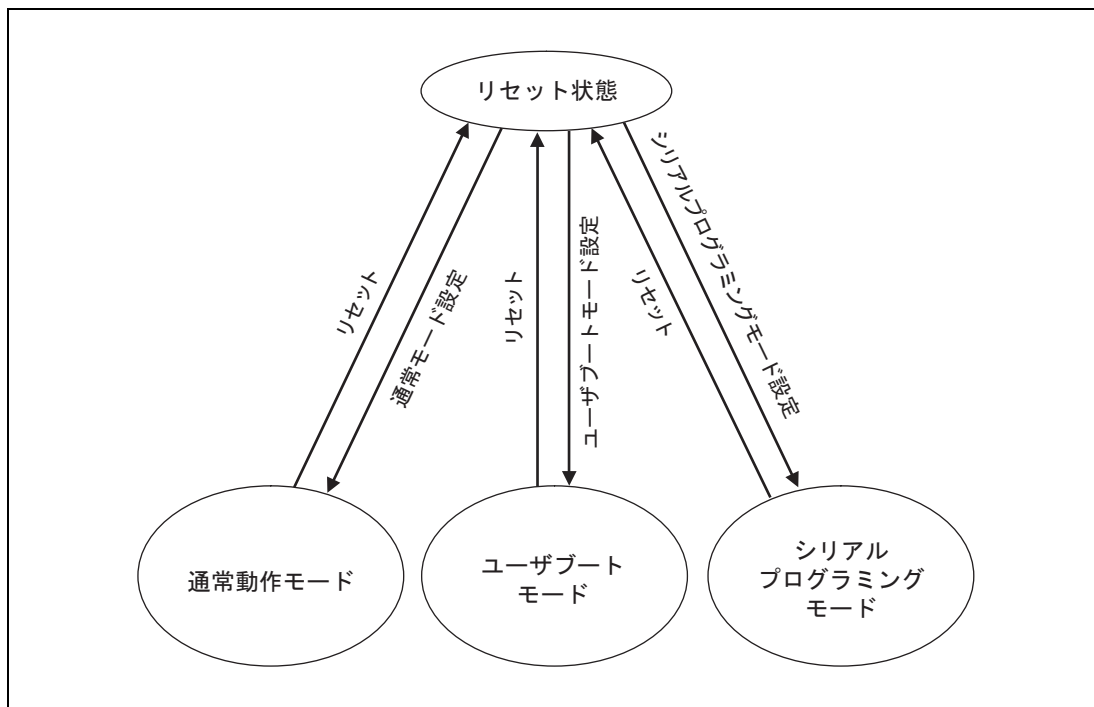


図 37.3 フラッシュメモリに関するモード遷移図

各モードでの書き込み/消去が可能なフラッシュメモリの領域、リセット解除後の起動プログラムを表 37.1 に示します。

表 37.1 各モードでの書き込み/消去領域、リセット解除後の起動プログラム

項目	通常動作モード	ユーザブートモード	シリアルプログラミングモード
書き込み/消去が可能な領域	<ul style="list-style-type: none"> ユーザ領域 拡張ユーザ領域 データ領域 	<ul style="list-style-type: none"> ユーザ領域 データ領域 	<ul style="list-style-type: none"> ユーザ領域 拡張ユーザ領域 データ領域
リセット解除後の起動プログラム	ユーザ領域または拡張ユーザ領域のプログラム（可変リセットベクタで変更可能）	拡張ユーザ領域のプログラム（リセットベクタは 0100 0000 _H ）	シリアルプログラミング用ファームウェアプログラム

37.4 機能

37.4.1 機能概要

RH850/F1K フラッシュメモリは、専用フラッシュメモリプログラマによるシリアルインタフェースを介した書き換え（シリアルプログラミング）により、ターゲットシステム、またはフラッシュアダプタシステム上で実装前の書き換えが可能です。

また、フラッシュメモリに書かれたユーザプログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざんを防止します。

ユーザプログラムによる書き換え（セルフプログラミング）は、エンドユーザでのターゲットシステムのプログラム変更を想定したアプリケーションに適した書き換え方式です。フラッシュメモリを安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理のサポートにより、外部との通信を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。各書き換え方式の概要と対応する動作モードを表 37.2 に示します。

表 37.2 書き換え方式

書き換え方式	説明	動作モード
シリアルプログラミング	専用フラッシュメモリプログラマを用いてターゲットシステム上に実装後にフラッシュメモリのオンボード書き換えが可能です。	シリアルプログラミングモード
	専用フラッシュメモリプログラマと専用プログラムアダプタボードを用いることにより、ターゲットシステムに実装する前に、フラッシュメモリのオフボード書き換えが可能です。	
セルフプログラミング	シリアルプログラミングによりコードフラッシュメモリへあらかじめ書き込まれたユーザプログラムの実行により、フラッシュメモリの書き換えが可能です。 セルフプログラミングによるデータフラッシュメモリの書き換え時には、BGO 機能によりコードフラッシュメモリからの命令フェッチおよびデータの読み出しが可能です。このため、コードフラッシュメモリ上の書き換え用のプログラムを実行して、データフラッシュメモリを書き換えることができます。セルフプログラミングによるコードフラッシュメモリの書き換え時には、コードフラッシュメモリからの命令フェッチおよびデータアクセスはできません。ローカル RAM へ書き換え用のプログラムをあらかじめ転送して実行する必要があります。	通常動作モード ユーザブートモード

セルフプログラミング用にライブラリを提供しています。セルフプログラミングライブラリの詳細については、本デバイスの対象となるコードフラッシュライブラリとデータフラッシュライブラリのユーザーズマニュアルを参照してください。

フラッシュメモリの機能一覧を表 37.3 に示します。シリアルプログラミングにおける各機能は、専用フラッシュメモリプログラマのコマンドで実現されます。セルフプログラミングにおける各機能は、ライブラリ関数またはユーザプログラムによるフラッシュメモリの読み出しで実現されます。

表 37.3 基本機能一覧

機能	説明	サポートの有無 (○: サポート、△: 条件付サポート ×: 未サポート)	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックが書き込まれていないことの確認を行います。消去後に書き込んでいない状態のコードフラッシュメモリとデータフラッシュメモリの読み出し結果は保証されません。消去後に書き込んでいない状態の確認には、ブランクチェックを使用してください。	○	△ (データフラッシュのみサポート)
ブロック消去	指定したブロックのメモリの内容の消去を行います。	○	○
プログラム	指定したアドレスの書き込みを行います。	○	○
ペリフェイ/チェックサム	フラッシュメモリから読み出したデータと、フラッシュメモリプログラマから転送されたデータの比較を行います。	○	× (ユーザプログラムにて読み出しは可能)
リード	フラッシュメモリに書き込まれたデータの読み出しを行います。	○	○
OTP (One Time Programming) 設定	指定したコードフラッシュメモリのブロックに対するOTPの設定を行います (OTPを設定のみ可能、解除は不可能)。	○	○
ID 設定	シリアルプログラミング時の専用フラッシュメモリプログラマ接続制御、オンチップデバッグ接続、セルフプログラミングによるコードフラッシュメモリ書き込みに使用するIDの設定を行います。	○	○
セキュリティ設定	シリアルプログラミング用のセキュリティ機能の設定を行います。	○	△ (設定を許可から禁止にする場合のみ可能)
プロテクション設定	コードフラッシュメモリの各ブロックのロックビット、可変リセットベクタ機能用のリセットベクタ値の設定を行います。	△ (可変リセットベクタ機能用のリセットベクタ値の設定はサポートしていません。)	○
オプションバイト設定	オプションバイトの設定を行い、RH850/F1Kの初期設定を変更します。	○	○
コンフィグレーションクリア	ID設定、セキュリティ設定、プロテクション設定、オプションバイト設定を初期化します。	○	×

シリアルプログラミングの詳細につきましては、各フラッシュライタのユーザーズマニュアルを参照してください。

セルフプログラミングの詳細については、本デバイスの対象となるコードフラッシュライブラリとデータフラッシュライブラリのユーザーズマニュアルを参照してください。

フラッシュメモリは、各種のセキュリティ機能をサポートしています。

OTP と ID 認証は、シリアルプログラミングおよびセルフプログラミングともに使用できるセキュリティ機能です。

シリアルプログラミング時は、ID 認証、専用フラッシュメモリプログラマ接続禁止、コマンド禁止 (ブロック消去コマンド禁止/プログラムコマンド禁止/リードコマンド禁止) のいずれかのセキュリティ機能を使用可能です。

フラッシュメモリでサポートされるセキュリティ機能を表 37.4 に示します。

セキュリティ機能の詳細は、RH850/F1K Basic Security ユーザーズマニュアルハードウェア編を参照してください。

表 37.4 セキュリティ機能一覧

機能	説明
OTP	コードフラッシュメモリのユーザ領域の各ブロックおよび拡張ユーザ領域に対して、個別に OTP を設定可能です。OTP 設定された領域は、シリアルプログラミングおよびセルフプログラミングで書き換え禁止となり、それ以降 OTP 設定は解除できません。また、いずれかの領域に対して OTP が設定された場合、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。
ID 認証	シリアルプログラミング時の専用フラッシュメモリプログラマ接続を ID 認証結果で制御可能です。また、セルフプログラミングの有効化を ID 認証結果で制御可能です。
専用フラッシュメモリプログラマ接続禁止	シリアルプログラミング時の専用フラッシュメモリプログラマ接続を禁止します。専用フラッシュメモリプログラマ接続を禁止すると、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。
ブロック消去コマンド禁止	シリアルプログラミング時のブロック消去コマンドの実行を禁止します。ブロック消去コマンドを禁止すると、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。
プログラムコマンド禁止	シリアルプログラミング時のプログラムコマンドとブロック消去コマンドの実行を禁止します。コンフィグレーションクリアコマンドの実行によるのみ、禁止設定の初期化が可能です。
リードコマンド禁止	シリアルプログラミング時のリードコマンドの実行を禁止します。コンフィグレーションクリアコマンドの実行によるのみ、禁止設定の初期化が可能です。

フラッシュメモリは、各種のプロテクション機能をサポートしています。フラッシュメモリでサポートされるプロテクション機能を表 37.5 に示します。

表 37.5 プロテクション機能一覧

機能	説明
ブロック保護	コードフラッシュメモリのユーザ領域の各ブロックおよび拡張ユーザ領域に対して、個別に書き込み/消去の有効/無効を設定可能です。ロックビットがセットされ、かつロックビット機能が有効に設定された領域は、セルフプログラミングで書き込み/消去禁止です。 ロックビット機能を有効から無効に変更することで、再度書き込み/消去を実施することも可能です。コードフラッシュメモリをブロック消去すると、当該ブロックのロックビットも消去されます。
ハードウェアプロテクション	FLMD0 端子のレベルで、コードフラッシュメモリの書き込み/消去を禁止することが可能です。 - FLMD0 = 0: 書き換え禁止 - FLMD0 = 1: 書き換え許可
可変リセットベクタ	プロテクション設定機能でリセットベクタを変更可能です。図 37.4 に示すように、既存のプログラムを残した状態で新しい起動プログラムを書き込んだ後、リセットベクタを新しい起動プログラム領域に変更することで、安全にプログラムの更新を実施することが可能です。 リセットベクタで指定できる領域は、ユーザ領域および拡張ユーザ領域です。

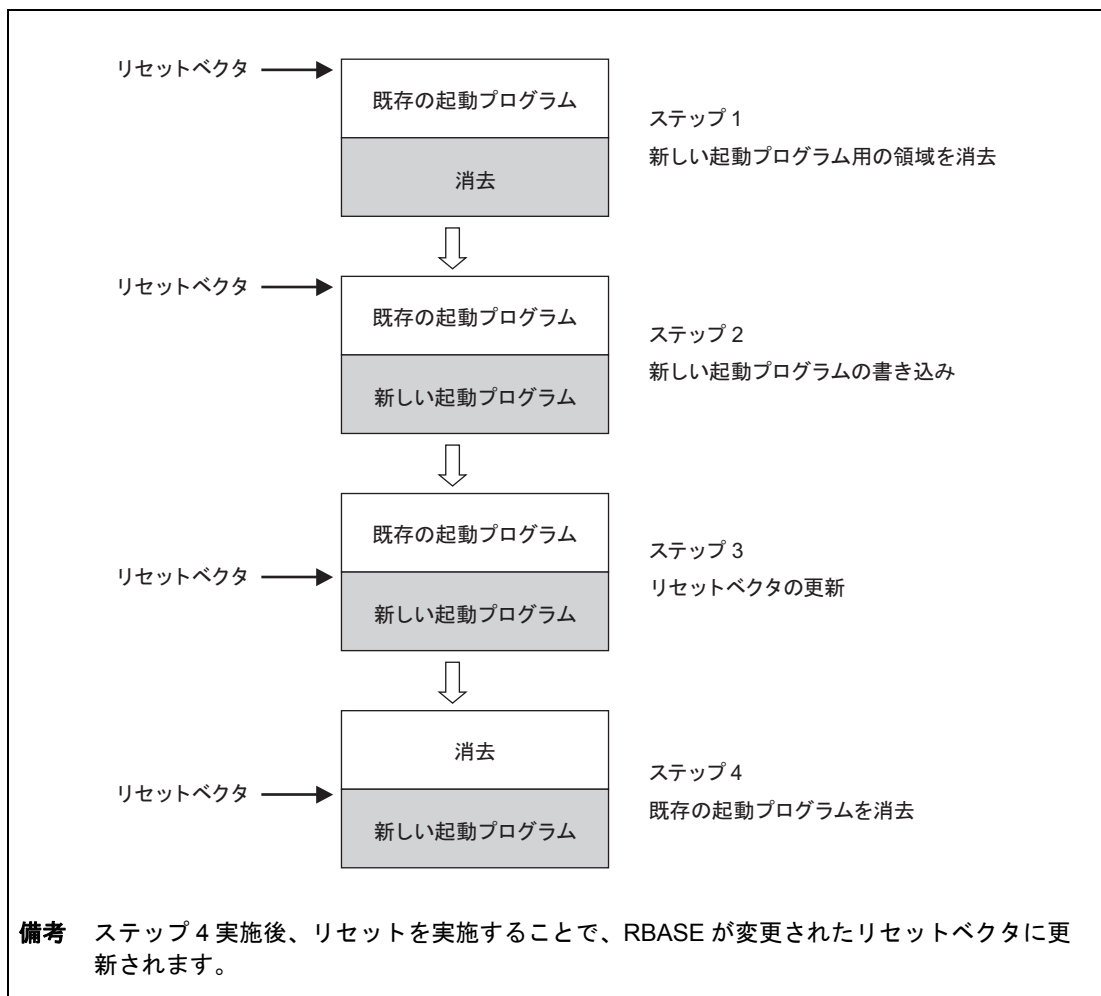


図 37.4 可変リセットベクタ機能を利用した起動プログラムの更新方法

37.5 シリアルプログラミング

専用フラッシュメモリプログラマを使用して、シリアルプログラミングモードでフラッシュメモリの操作を行うことができます。

シリアルプログラミング

シリアルプログラミング時に、マイクロコントローラはボードに装着されています。ボードにコネクタを備えることにより、フラッシュメモリプログラマはターゲットマイクロコントローラを操作することができます。

37.5.1 プログラミング環境

マイクロコントローラのフラッシュメモリにデータを操作するための推奨される環境を次に示します。

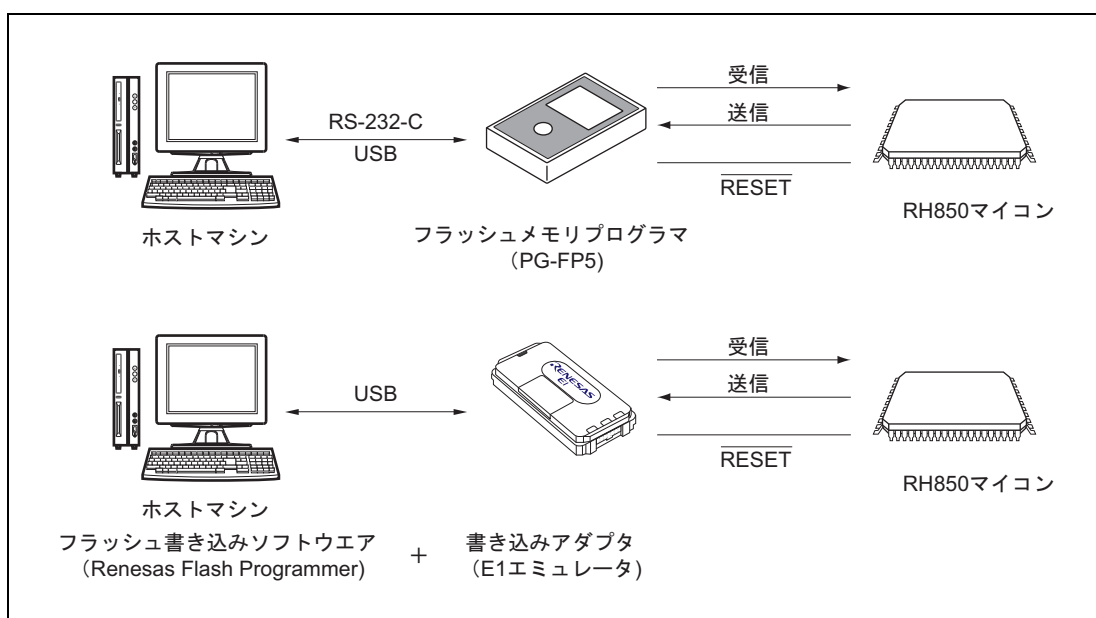


図 37.5 フラッシュメモリのプログラムを操作するための環境

フラッシュメモリプログラマ PG-FP5、またはフラッシュ書き込みソフトウェア Renesas Flash Programmer (ホストマシンで動作) と E1 エミュレータを書き込みアダプタとして使用することで、ルネサスエレクトロニクス製のフラッシュメモリ搭載マイコンをユーザが使用するボードに実装したまま、プログラムの消去、書き込み、ベリファイなどが簡単に操作できます。

フラッシュメモリプログラマ PG-FP5 は、ホストマシンからの書き込み操作、またはスタンドアロンモードでの書き込み操作が可能です。フラッシュ書き込みソフトウェア (Renesas Flash Programmer) は、ホストマシンから書き込み操作が可能です。

備考

PG-FP5 の詳細は「PG-FP5 フラッシュメモリプログラマユーザズマニュアル」を、フラッシュ書き込みソフトウェア Renesas Flash Programmer の詳細は「Renesas Flash Programmer フラッシュ書き込みソフトウェアユーザズマニュアル」をご参照ください。

37.6 通信モード

37.6.1 非同期フラッシュプログラミングインタフェース 1 wire UART

シングルワイヤ非同期シリアルプログラミングインタフェース 1 wire UART は、次のポートを使用してフラッシュメモリプログラマに接続します。

- FPDR (JP0_0) : 受信データ入力/送信データ出力

37.6.2 非同期フラッシュプログラミングインタフェース 2 wire UART

ダブルワイヤ非同期シリアルプログラミングインタフェース 2 wire UART は、次のポートを使用してフラッシュメモリプログラマに接続します。

- FPDR (JP0_0) : 受信データ入力
- FPDT (JP0_1) : 送信データ出力

37.6.3 同期フラッシュプログラミングインタフェース CSI

同期シリアルプログラミングインタフェース CSI は、次のポートを使用してフラッシュメモリプログラマに接続します。

- FPDR (JP0_0) : 受信データ入力
- FPDT (JP0_1) : 送信データ出力
- FPCK (JP0_2) : シリアルクロック入力

フラッシュメモリプログラマはシリアルデータクロック SCK を出力し、マイクロコントローラはスレーブとして動作します。

備 考

Renesas Flash Programmer の詳細は『Renesas Flash Programmer フラッシュ書き込みソフトウェアユーザズマニュアル』を参照してください。

37.6.4 通信方式の選択

RH850/F1K では、フラッシュメモリプログラミングモードに遷移後、FLMD0 端子にパルス（最大 7 パルス）を入力することで通信方式を選択します。この FLMD0 パルスは専用フラッシュメモリプログラマが生成します。

パルス数と通信方式の関係を **図 37.6** 次に示します。

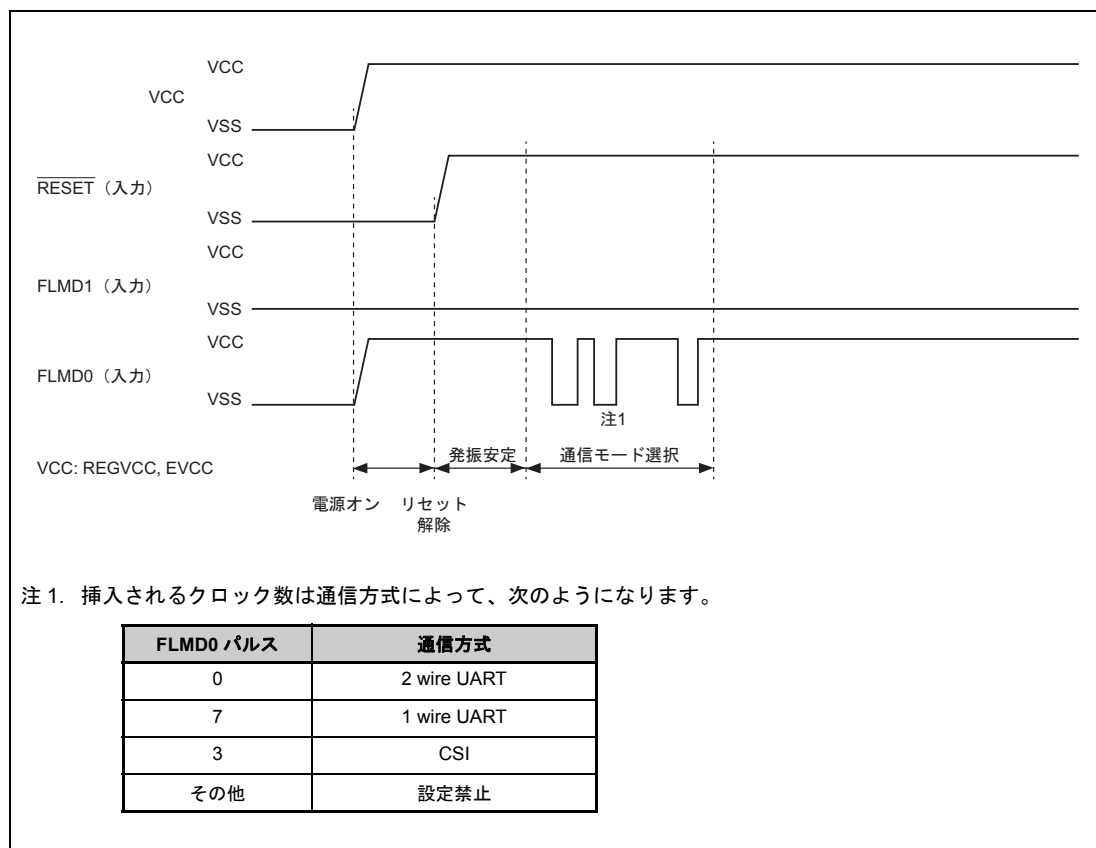


図 37.6 通信方式の選択

37.7 セルフプログラミング

37.7.1 概要

RH850/F1K は、ユーザプログラム自体によるフラッシュメモリの書き換えをサポートします。ルネサスエレクトロニクスが提供するコードフラッシュライブラリとデータフラッシュライブラリをユーザのプログラムで使用することにより、コードフラッシュメモリとデータフラッシュメモリを書き換えることができます。

データフラッシュメモリの書き換え時には、BGO 機能を利用してコードフラッシュメモリ上の書き換え用のプログラムを実行して、データフラッシュメモリを書き換えることができます。また、あらかじめローカル RAM に転送した書き換え用のプログラムを実行して、データフラッシュメモリを書き換えることもできます。

ローカル RAM にあらかじめ転送した書き換え用のプログラムを実行して、コードフラッシュメモリを書き換えることができます。

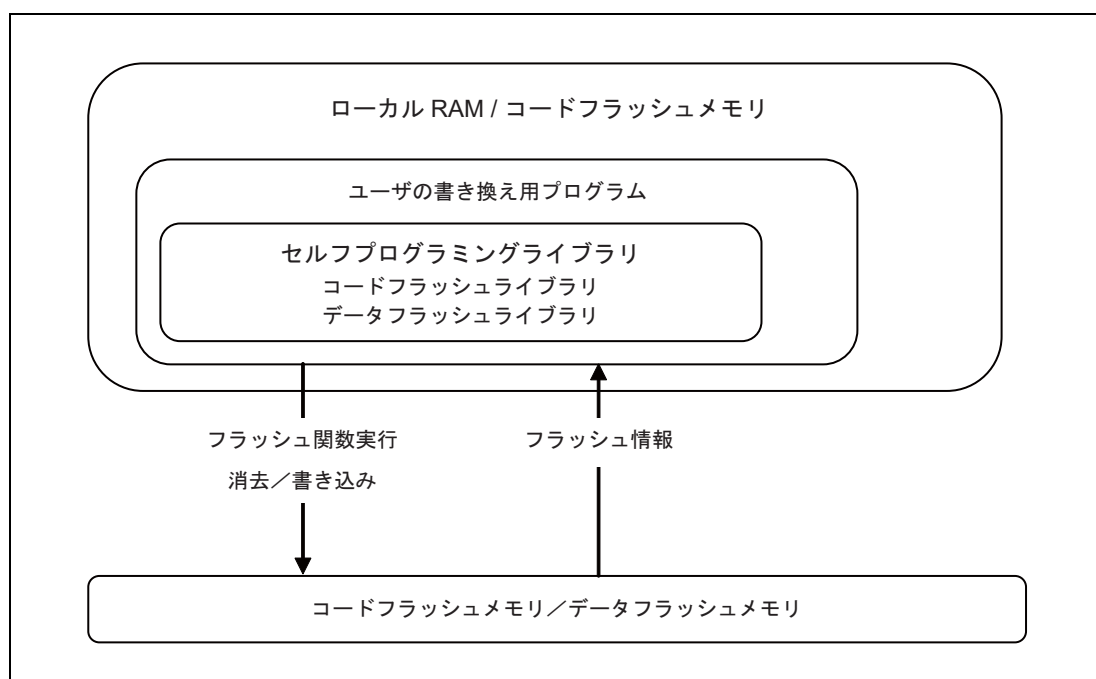


図 37.7 セルフプログラミングの概念

フラッシュセルフプログラミングに関する詳細は、本デバイスの対象となるコードフラッシュライブラリとデータフラッシュライブラリのユーザーズマニュアルを参照してください。

37.7.2 BGO 機能

書き換え対象のフラッシュメモリと読み出し対象のフラッシュメモリが表 37.6 の組み合わせである場合には、BGO 機能を利用することができます。

表 37.6 BGO 機能を利用可能な条件

書き換え対象領域	読み出し対象領域
データフラッシュメモリ	コードフラッシュメモリ

37.7.3 セルフプログラミングの有効化

セルフプログラミング機能は通常動作モードとユーザブートモードから起動できます。

セルフプログラミング機能によるコードフラッシュの消去および書き込みは、FLMD0 端子をハイレベルにすることにより有効になります。

これにより誤動作時に、プログラムが不要に書き換えられることを回避します。

FLMD 端子をハイレベルにするには次のいずれかを行ってください。

- FLMD0 端子を外部でプルアップする
- FLMDCNT レジスタにより FLMD0 端子のプルアップする。

FLMDCNT レジスタの概要を、「37.7.3.1 FLMDCNT レジスタ」に示します。

37.7.3.1 FLMDCNT レジスタ

FLMD0 端子の内蔵プルアップ/プルダウンを指定するレジスタです。

このレジスタを更新するためには、FLMDPCMD レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第5章 書き込み保護レジスタ**」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFA0 0000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FLMDP UP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 37.7 FLMDCNT レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	FLMDPUP	FLMD0 端子ソフト制御 0: プルダウン選択 1: プルアップ選択

37.8 フラッシュメモリの読み出し

37.8.1 コードフラッシュメモリの読み出し

通常モードのコードフラッシュメモリの読み出し時には、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。

消去後に書き込んでいない状態（未書き込み状態）のコードフラッシュメモリを読み出すと、ECCエラーが検出されて例外が発生しますので注意してください。

37.8.2 データフラッシュメモリの読み出し

通常モードのデータフラッシュメモリの読み出し時には、事前に EEPRDCYCL レジスタにデータフラッシュメモリの読み出しサイクル数を設定してください。読み出しサイクル数を設定後にデータフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。

消去後に書き込んでいない状態（未書き込み状態）のデータフラッシュメモリの値は不定です。未書き込み状態の確認には、ブランクチェック機能を使用してください。

37.8.2.1 EEPDCYCL — データフラッシュウェイトサイクル制御レジスタ

このレジスタは、データフラッシュヘリードアクセスする際の、ウェイトを設定するレジスタです。

データフラッシュヘリードアクセスする際のウェイト数は、CPUの動作周波数 (f_{CPUCLK}) に合わせて設定してください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFC5 9810_H

リセット後の値 0F_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	WAIT[3:0]			
リセット後の値	0	0	0	0	1	1	1	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 37.8 EEPDCYCL レジスタの内容

ビット位置	ビット名	機能																																																										
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																																										
3～0	WAIT[3:0]	ウェイトサイクル数 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th rowspan="2">WAIT [3:0]</th> <th rowspan="2">ウェイト サイクル 数</th> <th colspan="3">CPU 動作周波数</th> </tr> <tr> <th>$f_{\text{CPUCLK}} \leq 40 \text{ MHz}$</th> <th>$40 \text{ MHz} < f_{\text{CPUCLK}} \leq 80 \text{ MHz}$</th> <th>$80 \text{ MHz} < f_{\text{CPUCLK}} \leq 120 \text{ MHz}$</th> </tr> </thead> <tbody> <tr><td>0000</td><td>1</td><td>○</td><td>設定禁止</td><td>設定禁止</td></tr> <tr><td>0001</td><td>2</td><td>○</td><td>○</td><td>設定禁止</td></tr> <tr><td>0010</td><td>3</td><td>○</td><td>○</td><td>○</td></tr> <tr><td>0011</td><td>4</td><td>○</td><td>○</td><td>○</td></tr> <tr><td>0100</td><td>5</td><td>○</td><td>○</td><td>○</td></tr> <tr><td>0101</td><td>6</td><td>○</td><td>○</td><td>○</td></tr> <tr><td>0110</td><td>7</td><td>○</td><td>○</td><td>○</td></tr> <tr><td>0111</td><td>8</td><td>○</td><td>○</td><td>○</td></tr> <tr><td>1000</td><td>9</td><td>○</td><td>○</td><td>○</td></tr> <tr><td>上記以外</td><td>10</td><td>○</td><td>○</td><td>○</td></tr> </tbody> </table>	WAIT [3:0]	ウェイト サイクル 数	CPU 動作周波数			$f_{\text{CPUCLK}} \leq 40 \text{ MHz}$	$40 \text{ MHz} < f_{\text{CPUCLK}} \leq 80 \text{ MHz}$	$80 \text{ MHz} < f_{\text{CPUCLK}} \leq 120 \text{ MHz}$	0000	1	○	設定禁止	設定禁止	0001	2	○	○	設定禁止	0010	3	○	○	○	0011	4	○	○	○	0100	5	○	○	○	0101	6	○	○	○	0110	7	○	○	○	0111	8	○	○	○	1000	9	○	○	○	上記以外	10	○	○	○
WAIT [3:0]	ウェイト サイクル 数	CPU 動作周波数																																																										
		$f_{\text{CPUCLK}} \leq 40 \text{ MHz}$	$40 \text{ MHz} < f_{\text{CPUCLK}} \leq 80 \text{ MHz}$	$80 \text{ MHz} < f_{\text{CPUCLK}} \leq 120 \text{ MHz}$																																																								
0000	1	○	設定禁止	設定禁止																																																								
0001	2	○	○	設定禁止																																																								
0010	3	○	○	○																																																								
0011	4	○	○	○																																																								
0100	5	○	○	○																																																								
0101	6	○	○	○																																																								
0110	7	○	○	○																																																								
0111	8	○	○	○																																																								
1000	9	○	○	○																																																								
上記以外	10	○	○	○																																																								

備考

1. ウェイトサイクル数よりデータフラッシュへのリードアクセス時間は、次のように算出できます。

$$\text{データフラッシュのリードアクセス時間} = \{ 17 + (\text{ウェイトサイクル数} \times 4) \} \div \text{CPU 動作周波数}$$

ただし、前後の実行命令の組み合わせにより変化する場合があります。

2. “○”は設定可能なウェイトサイクル数を示します。

37.8.2.2 PRDNAME_n — 製品名格納レジスタ (n = 1 ~ 3)

製品名を格納するレジスタです。製品型名が 16 バイトの ASCII コードで格納され、PRDNAME1、PRDNAME2、PRDNAME3 は、それぞれ製品型名の 4 ~ 1 バイト目、8 ~ 5 バイト目、12 ~ 9 バイト目に該当します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス PRDNAME1 : FFCD 00D0_H
PRDNAME2 : FFCD 00D4_H
PRDNAME3 : FFCD 00D8_H

リセット後の値 表 37.10 から表 37.13 を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PRDNAME _n [31:24] ^{注1}								PRDNAME _n [23:16] ^{注1}							
リセット後の値	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PRDNAME _n [15:8] ^{注1}								PRDNAME _n [7:0] ^{注1}							
リセット後の値	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1. n は 1 ~ 3

表 37.9 PRDNAME_n レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	—	製品名 : 4 バイト目 (PRDNAME1)、8 バイト目 (PRDNAME2)、12 バイト目 (PRDNAME3)
23 ~ 16	—	製品名 : 3 バイト目 (PRDNAME1)、7 バイト目 (PRDNAME2)、11 バイト目 (PRDNAME3)
15 ~ 8	—	製品名 : 2 バイト目 (PRDNAME1)、6 バイト目 (PRDNAME2)、10 バイト目 (PRDNAME3)
7 ~ 0	—	製品名 : 1 バイト目 (PRDNAME1)、5 バイト目 (PRDNAME2)、9 バイト目 (PRDNAME3)

表 37.10 から表 37.12 に、製品情報関連のレジスター一覧を示します。

表 37.10 製品情報関連のレジスター一覧 (PREMIUM)

製品型名	PRDNAME1	PRDNAME2	PRDNAME3
R7F701620	3746 3752	3236 3130	2020 2030
R7F701621	3746 3752	3236 3130	2020 2031
R7F701622	3746 3752	3236 3130	2020 2032
R7F701623	3746 3752	3236 3130	2020 2033
R7F701580	3746 3752	3835 3130	2020 2030
R7F701581	3746 3752	3835 3130	2020 2031
R7F701582	3746 3752	3835 3130	2020 2032
R7F701583	3746 3752	3835 3130	2020 2033
R7F701586	3746 3752	3835 3130	2020 2036
R7F701587	3746 3752	3835 3130	2020 2037
R7F701597	3746 3752	3935 3130	2020 2037

表 37.11 製品情報関連のレジスター一覧 (ADVANCED)

製品型名	PRDNAME1	PRDNAME2	PRDNAME3
R7F701610	3746 3752	3136 3130	2020 2030
R7F701611	3746 3752	3136 3130	2020 2031
R7F701612	3746 3752	3136 3130	2020 2032
R7F701613	3746 3752	3136 3130	2020 2033
R7F701560	3746 3752	3635 3130	2020 2030
R7F701561	3746 3752	3635 3130	2020 2031
R7F701562	3746 3752	3635 3130	2020 2032
R7F701563	3746 3752	3635 3130	2020 2033
R7F701566	3746 3752	3635 3130	2020 2036
R7F701567	3746 3752	3635 3130	2020 2037
R7F701577	3746 3752	3735 3130	2020 2037

表 37.12 製品情報関連のレジスター一覧 (ECO)

製品型名	PRDNAME1	PRDNAME2	PRDNAME3
R7F701602	3746 3752	3036 3130	2020 2032
R7F701603	3746 3752	3036 3130	2020 2033
R7F701542	3746 3752	3435 3130	2020 2032
R7F701543	3746 3752	3435 3130	2020 2033
R7F701546	3746 3752	3435 3130	2020 2036
R7F701547	3746 3752	3435 3130	2020 2037
R7F701557	3746 3752	3535 3130	2020 2037

37.8.2.3 CHIPIDnXX — チップ ID レジスタ (n = 1, 2, XX = LL, LH, HL, HH)

RH850/F1K はデバイスの個別チップ ID のオプションを提供します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス CHIPID1LL: FFCD 00E0_H
 CHIPID1LH: FFCD 00E4_H
 CHIPID1HL: FFCD 00E8_H
 CHIPID1HH: FFCD 00EC_H
 CHIPID2LL: FFCD 00F0_H
 CHIPID2LH: FFCD 00F4_H
 CHIPID2HL: FFCD 00F8_H
 CHIPID2HH: FFCD 00FC_H

リセット後の値 個別の値

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CHIPIDnXX[31:24] 注1								CHIPIDnXX[23:16] 注1							
リセット後の値	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CHIPIDnXX[15:8] 注1								CHIPIDnXX[7:0] 注1							
リセット後の値	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1. n = 1, 2 XX = LL, LH, HL, HH

37.9 オプションバイト

フラッシュメモリにはさまざまな目的でユーザが指定したデータを保持する拡張領域（オプションバイト）があります。オプションバイト設定による周辺機能の初期設定等の変更はリセット解除後に有効になります。

37.9.1 オプションバイトの設定

フラッシュメモリにプログラムを書き込む場合は、下記のオプションに対応するオプションバイト領域を必ず設定してください。

オプションバイトで決定するオプション機能は次のとおりです。

- ポートグループ JP0 の機能
- WDTA1 の起動コード方式
- WDTA1 のスタートモード
- WDTA1 の有効/無効
- WDTA0 の起動コード方式
- WDTA0 のスタートモード
- WDTA0 の有効/無効
- WDTA0 および WDTA1 オーバフローインターバル時間の初期値
- CAN FD CRC のプロトコル
- RESETOUT の有効/無効
- 高電圧監視許可
- 低電圧監視許可

37.9.2 OPBT0 — オプションバイト 0

オプションバイトの設定値、及びビット位置を以下に示します。

設定方法の詳細につきましては、シリアルプログラミング時は各フラッシュライタのユーザーズマニュアルを、セルフプログラミング時はコードフラッシュライブラリを参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	OPJTAG[1:0]	—	—	WDT 1_3	—	WDT 1_1	WDT 1_0	WDT 0_3	—	WDT 0_1	WDT 0_0	WDT_2	WDT_1	WDT_0	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CANFD CRC	RESET OUTEN	—	—	—	CVM_H D_EN	CVM_L D_EN	—	—	—	—

表 37.13 オプションバイトの設定 (1/2)

ビット位置	ビット名	機能
31	予約ビット	ライトする場合は“1”を書いてください。
30、29	OPJTAG[1:0]	ポートグループ JP0 の機能を制御します。 00：JP0 は汎用／兼用機能ポートに使用されます。 01：JP0 は LPD (4-pin) として使用されます。 10：JP0 は LPD (1-pin) として使用されます。 11：JP0 は Nexus I/F として使用されます。
28、27	予約ビット	ライトする場合は“1”を書いてください。
26	WDT1_3	WDTA1 の起動コード方式を指定します。 0：固定起動コード 1：可変起動コード
25	予約ビット	ライトする場合は“1”を書いてください。
24	WDT1_1	WDTA1 のスタートモードを指定します。 0：ソフトウェアトリガスタートモード 1：デフォルトスタートモード
23	WDT1_0	WDTA1 の有効／無効を設定します。 0：WDTA1 無効 1：WDTA1 有効
22	WDT0_3	WDTA0 の起動コード方式を指定します。 0：固定起動コード 1：可変起動コード
21	予約ビット	ライトする場合は“1”を書いてください。
20	WDT0_1	WDTA0 のスタートモードを指定します。 0：ソフトウェアトリガスタートモード 1：デフォルトスタートモード
19	WDT0_0	WDTA0 の有効／無効を設定します。 0：WDTA0 無効 1：WDTA0 有効
18～16	WDT_[2:0]	WDTA0 および WDTA1 のオーバーフローインターバル時間制御ビット WDTAnMD.WDTAnOVF[2:0] のリセット値を指定します。
15～11	予約ビット	ライトする場合は“1”を書いてください。
10	CANFDCRC 注1	CAN FD CRC プロトコル 0：元のプロトコル 1：新しいプロトコル
9	RESETOUTEN	RESETOUT 制御 0：RESETOUT 無効 1：RESETOUT 有効
8～6	予約ビット	ライトする場合は“1”を書いてください。

表 37.13 オプションバイトの設定 (2/2)

ビット位置	ビット名	機能
5	CVM_HD_EN	高電圧監視許可 0: 高電圧検出を禁止 1: 高電圧検出を許可
4	CVM_LD_EN	低電圧監視許可 0: 低電圧検出を禁止 1: 低電圧検出を許可
3 ~ 0	予約ビット	ライトする場合は "1" を書いてください。

注 1. PREMIUM のみ対応

37.9.3 OPBT1 — オプションバイト 1

オプションバイトの設定値、及びビット位置を以下に示します。

設定方法の詳細につきましては、シリアルプログラミング時は各フラッシュライタのユーザマニュアルを、セルフプログラミング時はコードフラッシュライブラリを参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表 37.14 OPBT1 の内容

ビット位置	ビット名	機能
31 ~ 10	予約ビット	ライトする場合は "1" を書いてください。
9	予約ビット	ライトする場合は "0" を書いてください。
8 ~ 0	予約ビット	ライトする場合は "1" を書いてください。

37.10 使用上の注意事項

(1) 書き込み／消去を中断した領域の読み出し

書き込み／消去を中断したフラッシュメモリ領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、書き込み／消去を中断した領域の命令フェッチやデータ読み出しが発生しないように注意してください。

(2) 消去後に書き込んでいない状態のコードフラッシュメモリの読み出し

消去後に書き込んでいない状態（未書き込み状態）のコードフラッシュメモリ領域を読み出すと、ECC エラーを検出して例外が発生しますので注意してください。領域が未書き込み状態か確認したい場合は、ブランクチェックを使用してください。

(3) 追加書き込みの禁止

同一領域に2回以上の書き込みを行うことはできません。書き込み済みのフラッシュメモリ領域を書き換えたい場合には、必ず当該領域を消去してください。

(4) 書き込み／消去中のリセット

書き込み／消去中に外部リセットが発生させた場合には、電気的特性に定める動作電圧範囲内で、RESET 入力ロウレベルの最小値以上のリセット入力期間の後にリセット解除してください。

(5) 書き込み／消去中の割り込み／例外ベクタの配置

書き込み／消去中に割り込み／例外が発生すると、コードフラッシュメモリからのベクタフェッチが発生する場合があります。BGO 機能を使用できない条件下では、ベクタフェッチのアドレスをコードフラッシュメモリ以外に設定してください。

(6) 書き込み／消去中の異常終了

RESET 端子によるリセット発生などで書き込み／消去が異常終了したことにより、データが不定状態となったフラッシュメモリ領域の消去／書き込み状態を確認するベリファイ手段はありません。書き込み／消去が異常終了した領域に対しては、ブランクチェック機能では正しく消去状態の判定をできません。再度消去処理を行って、該当領域を完全な消去状態にした後にご使用ください。

コードフラッシュメモリの書き込み／消去が正常に終了しなかった場合、ロックビットが有効になることがあります。この場合には、ロックビットを無効化した状態で、当該ブロックの消去を実施して、ロックビットを消去してください。

(7) 書き込み／消去中の禁止事項

書き込み／消去中は、以下の動作は行わないでください。

- 電源を動作電圧範囲外にする。
- 周辺クロックの動作周波数を変更する。

(8) コンフィグレーションクリアする前の全フラッシュメモリ消去

コンフィグレーションをクリアする前に、コードフラッシュメモリの全ユーザ領域（拡張ユーザ領域含む）、およびデータフラッシュメモリの全データ領域を消去してください。

(9) 使用時の HS IntOSC に対するシリアルプログラミングの制限事項

- 1 wire または 2 wire UART モードを使用することはできません。
- E1 エミュレータを使用することはできません。

第38章 RAM

本章では、RH850/F1K に搭載するローカル RAM について説明します。

38.1 特長

- RH850/F1K では、以下の RAM を搭載しています。
 - ローカル RAM
高速アクセスが可能な RAM です。DeepSTOP モードではローカル RAM の値を保持しません。
 - リテンション RAM
ローカル RAM の一部であり、高速アクセスが可能な RAM です。
DeepSTOP モードでリテンション RAM の値を保持します。
また、ライト動作時を除いて、電源電圧 (REGVCC) が POC 電圧を下回っても、RAM 保持電圧 V_{VLI} を下回ってさえなければ RAM データは保持されます。

各 RAM のアクセス時間を以下の表に示します。

表 38.1 RAM アクセス時間

アクセス種別	RAM	1st アクセス (CPUCLK)	連続アクセス時 (CPUCLK)
命令フェッチ時	ローカル RAM	5	5
	リテンション RAM	5	5
リードアクセス時	ローカル RAM	1	1
	リテンション RAM	1	1
ライトアクセス時	ローカル RAM	1	1
	リテンション RAM	1	1

備考

上記の表のアクセスクロック数は前後の命令の組み合わせによって変化する可能性があります。
RAM アクセスがミスアラインの場合には、アクセスクロック数は増加します。

- ローカル RAM、リテンション RAM の誤り検出/訂正機能 (ECC)
ECC 機能を内蔵し、2 ビットエラー検出、および 1 ビットエラー検出/訂正が可能です。詳細は、「第33章 ファンクショナルセーフティ」を参照してください。

38.2 メモリ構成

図 38.1 にローカル RAM、リテンション RAM のメモリマップを示します。

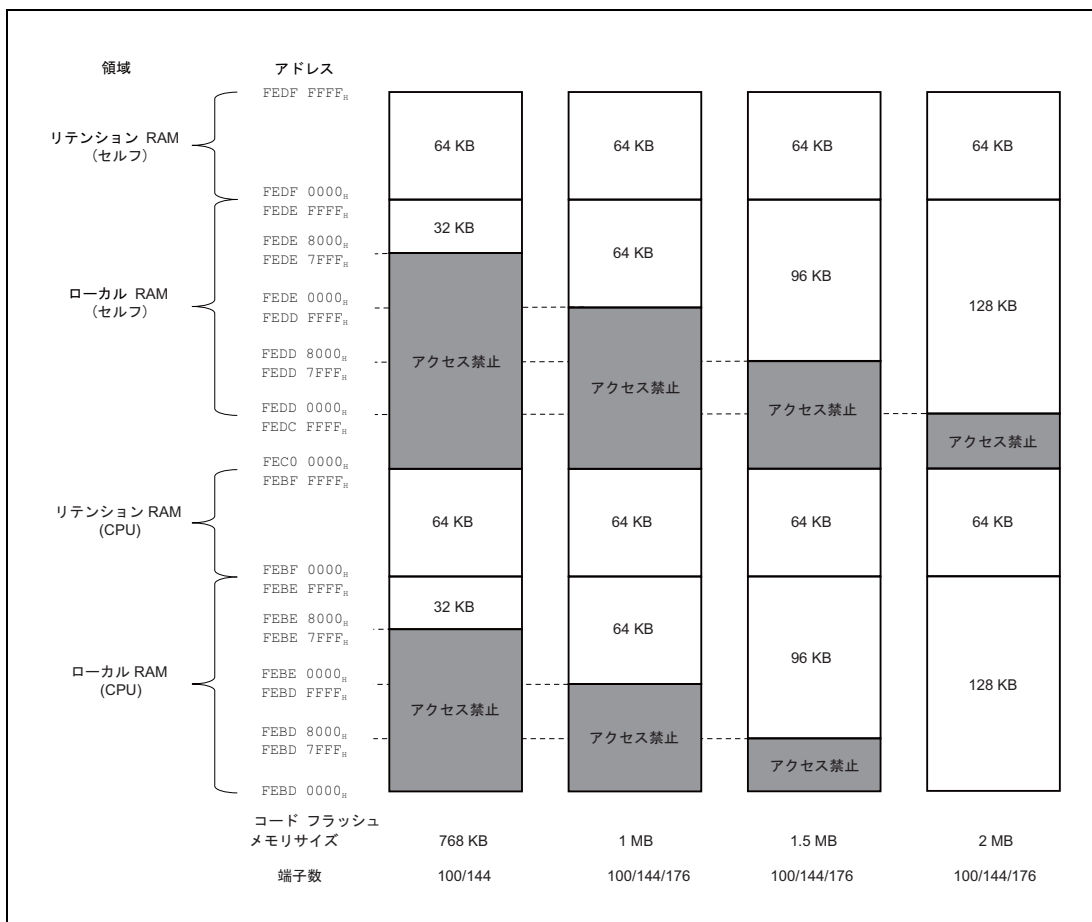


図 38.1 ローカル RAM、リテンション RAM のメモリマップ

38.3 使用上の注意事項

ECC によるエラー検出 / 訂正機能を有効にしてローカル RAM、リテンション RAM にアクセスする前に、RAM をアクセスサイズの最大ビット長で初期化してから使用してください。

初期化前の RAM をアクセスした場合、ECC エラーを検出する可能性があります。また最大ビット長で初期化しなかった場合、たとえば 32 ビット幅の RAM を 8 ビットや 16 ビットのアクセスで初期化した場合、ECC エラーを検出する可能性があります。

第39章 バウンダリスキャン

本章では、バウンダリスキャン全般について説明します。

RH850/F1K は JTAG インタフェースを内蔵し、バウンダリスキャン機能を提供します。

39.1 概要

バウンダリスキャンは IEEE 標準 1149.1 で定義されたテスト方式です。プリント基板に搭載されたデバイス間の接続テストに使用します。RH850/F1K のバウンダリスキャンは IEEE Std 1149.1-2001 に準拠します。

39.2 特長

- 5本の制御信号 (DCUTCK、DCUTDI、DCUTDO、DCUTMS、および DCUTRST)
- TAP コントローラ
- インストラクションレジスタ
- バイパスレジスタ
- バウンダリスキャンレジスタ

JTAG インタフェースは4つのインストラクションモードを備えています。

- BYPASS
IEEE 1149.1 に対応したテストモード
- EXTEST
IEEE 1149.1 に対応したテストモード
- SAMPLE/PRELOAD
IEEE 1149.1 に対応したテストモード
- IDCODE
IEEE 1149.1 に対応したテストモード

JTAG インタフェースのブロック図を図 39.1 に示します。

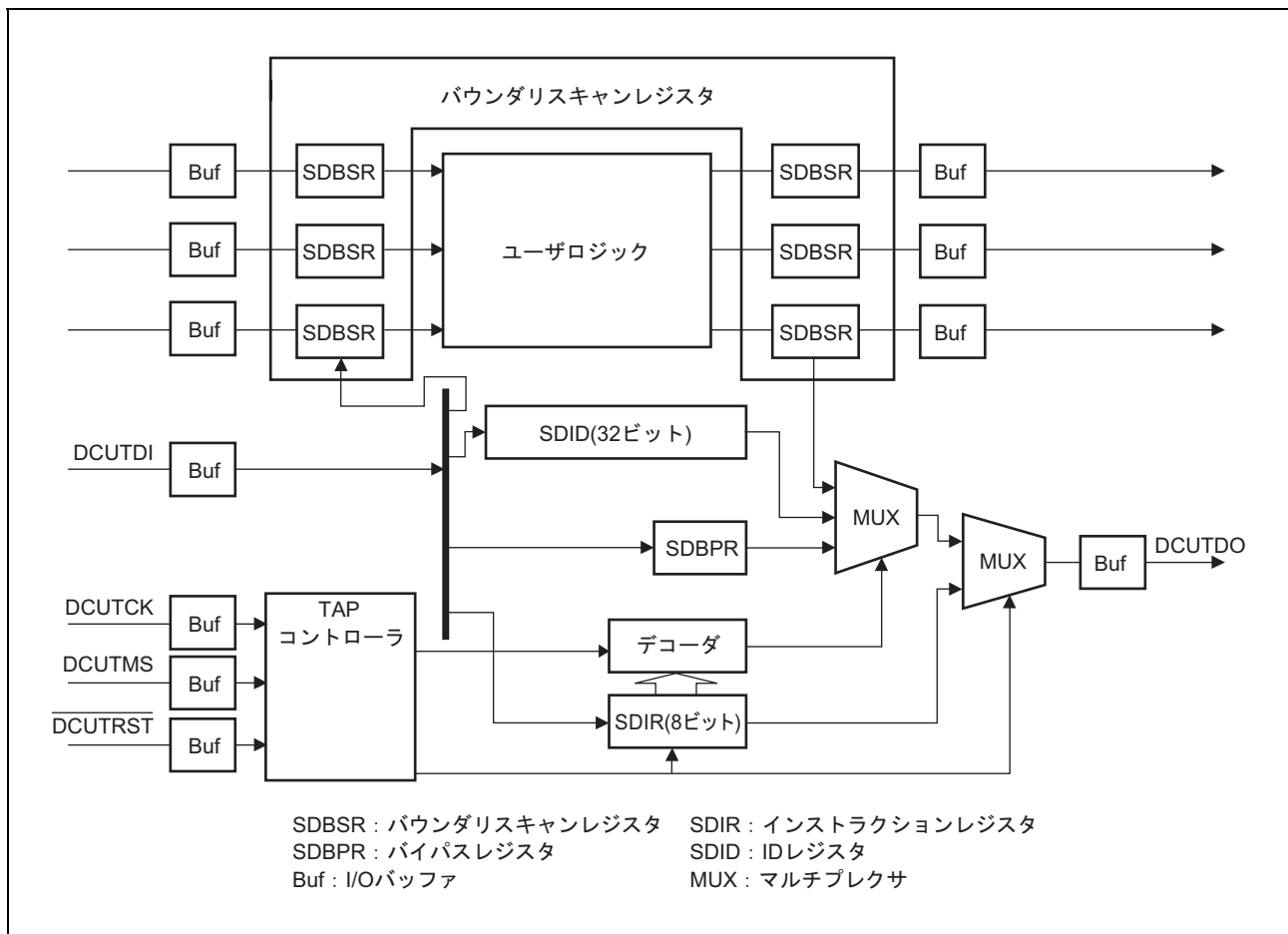


図 39.1 JTAG インタフェースブロック図

39.3 外部入出力端子

JTAG の制御信号には DCUTCK、DCUTDI、DCUTMS、DCUTDO、DCUTRST の 5 本があります。

表 39.1 に端子構成を示します。

表 39.1 端子構成

名称	説明
DCUTCK	シリアルデータ入出力用クロック端子 このクロックに同期して、DCUTDI にデータを入力、DCUTDO からデータを出力します。
DCUTMS	モードセレクト入力端子 DCUTCK に同期してこの信号を変化させることによって TAP 制御回路の状態が決まります。プロトコルは「 図 39.2 TAP コントローラ状態遷移図 」を参照してください。
DCUTRST	リセット入力端子 ロウレベル入力で JTAG インタフェースをリセットします。DCUTCK クロックとは非同期で受け付けます。
DCUTDI	シリアルデータ入力端子 DCUTCK に同期してデータを入力し、JTAG インタフェースにデータを送ります。
DCUTDO	シリアルデータ出力端子 DCUTCK に同期して JTAG インタフェースのデータを出力します。

39.4 レジスタの説明

JTAG インタフェースは次のレジスタを内蔵しています。すべてのレジスタは CPU からアクセスできません。

- SDIR : インストラクションレジスタ
- SDID : ID レジスタ
- SDBPR : バイパスレジスタ
- SDBSR : バウンダリスキャンレジスタ

表 39.2 レジスタ構成

レジスタ名	略称	アクセスサイズ	リセット後の値 ^{注1}
インストラクションレジスタ	SDIR	8	55 _H
ID レジスタ	SDID	32	「表 39.5 ID レジスタコード」を参照してください。
バイパスレジスタ	SDBPR	1	不定
バウンダリスキャンレジスタ	SDBSR	—	不定

注 1. (DCUTRST 端子が 0、または TAP が Test-Logic-Reset 状態) で初期化。

インストラクションは、シリアルデータ入力端子 (DCUTDI) からシリアル転送によりインストラクションレジスタ (SDIR) へ入力できます。バイパスレジスタ (SDBPR) は 1 ビットのレジスタで、BYPASS モード時、DCUTDI と DCUTDO はこのレジスタに接続されません。また、バウンダリスキャンレジスタ (SDBSR) は、SAMPLE/PRELOAD モード、および EXTEST モード時 DCUTDI と DCUTDO はこのレジスタに接続されます。ID レジスタ (SDID) は 32 ビットのレジスタで IDCODE モード時、DCUTDO を通じて固定コードが出力できます。

表 39.3 に JTAG インタフェースの各レジスタで可能なシリアル転送の種類を示します。

表 39.3 シリアル転送の種類

レジスタ	シリアル入力	シリアル出力
SDIR	可能	不可 ^{注1}
SDBPR	可能	可能
SDBSR	可能	可能
SDID	不可	可能

注 1. 固定値が読み出されません。

39.4.1 インストラクションレジスタ (SDIR)

インストラクションレジスタ (SDIR) はバウンダリスキャンのインストラクションを保持する 8 ビットのレジスタです。 $\overline{\text{DCUTRST}}$ のロウレベル入力または、TAP の Test-Logic-Reset 状態のときに初期化されます。このレジスタに予約となっているインストラクションをセットした場合の動作は保証しません。

表 39.4 バウンダリスキャンインストラクションモード

インストラクションコード								説明
0	0	0	0	0	0	0	0	JTAG EXTEST
0	1	0	0	0	0	0	0	JTAG SAMPLE/PRELOAD
0	1	0	1	0	1	0	1	JTAG IDCODE (初期値)
1	1	1	1	1	1	1	1	JTAG BYPASS
上記以外								予約

39.4.2 ID レジスタ (SDID)

ID レジスタ (SDID) は、32 ビットのレジスタで、製品固有の ID を持ちます。

JTAG インタフェースから IDCODE のインストラクションがセットされたときに読み出し可能です。CPU からアクセスできません。

読み出される値は、「表 39.2 レジスタ構成」、「表 39.5 ID レジスタ コード」を参照してください。

表 39.5 ID レジスタ コード

PKG	ID レジスタ コード			
	31 ~ 28	27 ~ 12	11 ~ 1	0
176 pin	0001	1000 0011 0000 1000	0100 0100 011	1
144 pin	0001	1000 0011 0001 0010	0100 0100 011	1
100 pin	0001	1000 0011 0001 0011	0100 0100 011	1

39.4.3 バイパスレジスタ (SDBPR)

バイパスレジスタ (SDBPR) は 1 ビットのレジスタです。SDIR を BYPASS モードにセットすると、SDBPR は端子 DCUTDI と DCUTDO の間に接続されます。リセット後の値は不定です。このレジスタはパワーオンリセットあるいは DCUTRST のロウレベル入力でも初期化されません。

39.4.4 バウンダリスキャンレジスタ (SDBSR)

バウンダリスキャンレジスタ (SDBSR) は、外部入出力端子を制御するシフトレジスタです。SDIR に“SAMPLE/PRELOAD”、“EXTEST”インストラクションがセットされると、端子 DCUTDI と DCUTDO の間に SDBSR が接続されます。リセット後の値は不定です。このレジスタはパワーオンリセットあるいは DCUTRST のロウレベル入力でも初期化されません。

39.5 動作説明

39.5.1 TAP コントローラ

図 39.2 に TAP コントローラの状態遷移図を示します。遷移条件は DCUTCK の立ち上がりエッジにおける DCUTMS 値です。

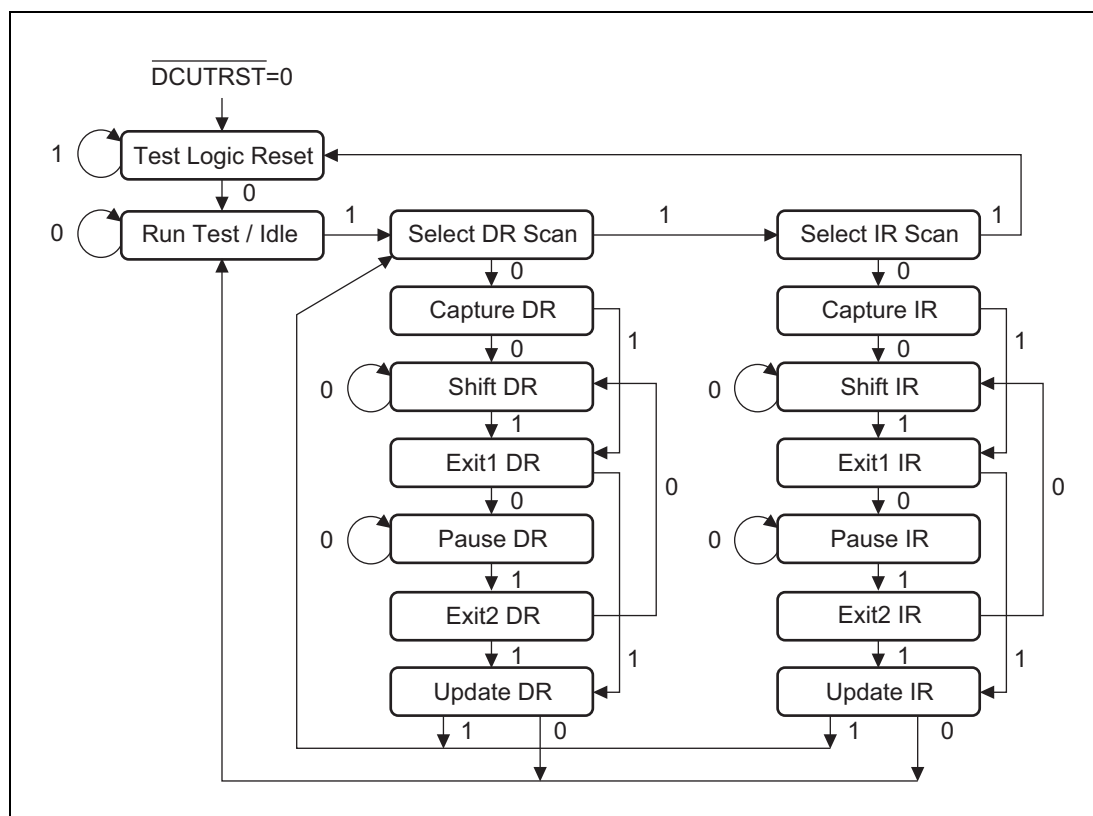


図 39.2 TAP コントローラ状態遷移図

備考

DCUTDI 値は DCUTCK の立ち上がりエッジでサンプリングし、DCUTCK の立ち下がりエッジでシフトします。DCUTDO は Shift-DR、Shift-IR 状態以外ではハイインピーダンス状態です。DCUTRST のロウレベル入力により DCUTCK とは非同期で Test-Logic-Reset 状態へ遷移します。

39.5.2 サポートするインストラクション

39.5.2.1 BYPASS

BYPASS インストラクションは、バイパスレジスタを動作させる必須の標準インストラクションです。このインストラクションはシフトパスを短縮してプリント基板上の他の製品のシリアルデータを転送高速化するためのものです。このインストラクションの実行中、テスト回路はシステム回路に何も影響を与えません。

39.5.2.2 SAMPLE/PRELOAD

SAMPLE/PRELOAD インストラクションは本製品の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードするインストラクションです。本インストラクション実行中、本製品の入力端子はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。本インストラクションの実行により本製品のシステム回路は何の影響も受けません。

SAMPLE 動作では、入力端子から内部回路へ転送される値や内部回路から出力端子へ転送される値のスナップショットをバウンダリスキャンレジスタに取り込み、スキャンパスから読み出します。スナップショットの取り込みは本製品の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST インストラクションに先立ちスキャンパスからバウンダリスキャンレジスタの平行出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST インストラクションを実行するとき、最初のスキャンシーケンスが完了する（出力ラッチへの転送）までの間出力端子から不定値が出力される（EXTEST インストラクションでは出力端子に常に平行出力ラッチを出力する）こととなります。

39.5.2.3 EXTEST

本インストラクションでは、本製品をプリント基板に実装したとき、外部回路をテストするためのものです。本インストラクションの実行時、出力端子はバウンダリスキャンレジスタからテストデータ（SAMPLE/PRELOAD インストラクションですでに設定されています）をプリント基板へ出力するために使用され、入力端子はプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST インストラクションを N 回用いてテストを行うとき、N 回目のテストデータは (N-1) 回目のスキャンアウトのときにスキャンインされます。

本インストラクションの Capture-DR 状態で出力端子のバウンダリスキャンレジスタにロードされたデータは外部回路のテストには使用されません。（シフト動作で入れ替えます）。

39.5.2.4 IDCODE

JTAG インタフェースの端子を JTAG で規定されている“IDCODE”モードに設定できます。JTAG インタフェースを初期化した場合（ $\overline{\text{DCUTRST}}$ のロウレベル入力、または TAP を Test-Logic-Reset 状態にする）、“IDCODE”モードになります。

39.5.3 バウンダリスキャン対象の端子

バウンダリスキャンは全端子の内、電源端子や外部クロック入力端子などを除いた端子が対象になります。

バウンダリスキャンの対象外の端子を表 39.6 に示します。

表 39.6 バウンダリスキャン対象外の端子

機能	端子名
JTAG インタフェース	DCUTCK, DCUTDI, DCUTDO, DCUTMS, DCUTRST
電源端子	REGVCC, AWOVCL, AWOVSS, ISOVCL, ISOVSS EVCC, EVSS
電源端子 (A/D コンバータ)	A0VREF, A1VREF 注1, A0VSS, A1VSS 注1
クロック	X1, X2, XT1 注1, IP0_0/XT2 注1
モード設定	P10_8/FLMD1, P10_1/MODE0, P10_2/MODE1

注 1. 144 pin、176 pin 製品のみ

次の信号は、バウンダリスキャン時にサンプリングのみを実行します。

表 39.7 バウンダリスキャン（サンプリングのみ）対象端子

機能	端子名
リセット	RESET
モード設定	FLMD0

次の端子はアナログバッファと共有しています。したがって、バウンダリスキャンは汎用入出力部のみに適用します。

表 39.8 バウンダリスキャン（汎用入出力部のみ）対象端子

機能	端子名
ADCA0 入力	P8_0-12, P9_0-6, AP0_0-15
ADCA1 入力	P18_0-7, AP1_0-15

備 考

バウンダリスキャンモード時、P10_1 = ロウ、P10_2 = ハイ、P10_8 = ハイに端子レベルを固定してください。

39.6 使用上の注意

1. インストラクションは、いったんセットされると他のインストラクションが発行されな
いかぎり変更されません。同じインストラクションを連続して与える場合は、チップ動
作に影響のないインストラクション (BYPASS モード等) をいったん設定してから再度
インストラクションを設定する必要があります。
2. バウンダリスキャンモードでの起動時は、 $\overline{\text{RESET}}=\text{High}$ の状態で $\overline{\text{DCUTRST}}$ を解除して
ください。
併せて、 $\overline{\text{DCUTRST}}$ を解除する前に、DCUTMS にハイレベルを入力して下さい。
 $\overline{\text{DCUTRST}}$ を解除した後は $600\text{ns} + \text{DCUTCK}$ 5 クロックサイクルの間、ハイレベルを保
持して下さい。
3. DCUTCK に入力可能な最大周波数は「第 40 章 電気的特性」を参照してください。
4. DCUTDI、DCUTDO 間に接続されるレジスタのビット数を超えてシリアル転送した場
合、レジスタのビット数を超えて DCUTDO から出力されるシリアルデータは、
DCUTDI から入力されたデータとなります。
5. シリアル転送シーケンスがくずれた場合、必ず $\overline{\text{DCUTRST}}$ のアサートを行ってくださ
い。このとき、転送動作にかかわらず、転送が最初から始まります。
6. DCUTDO の出力タイミングは DCUTCK の立ち下がりからになります。
7. デバッグ容易化のため、 $\overline{\text{DCUTRST}}$ の基板上の配線はパターンカットが容易なように配
慮してください。

第40章 電気的特性

40.1 概要

本デバイスの電気的仕様は、以下の動作条件で保証されています。しかし、この条件は個々の特性により異なるため、詳細は各章を参照してください。

40.1.1 端子グループ

40.1.1.1 176 ピン

略号	端子グループの電源	関連ポート / 関連端子
PgR	REGVCC, AWOVSS	X1, X2, XT1, XT2/IP0_0
PgE	EVCC, EVSS	関連ポート : JP0, P0, P1, P2, P8, P9, P10, P11, P12, P18, P20 関連端子 : RESET, FLMD0
PgA0	A0VREF, A0VSS	関連ポート : AP0
PgA1	A1VREF, A1VSS	関連ポート : AP1

40.1.1.2 144 ピン

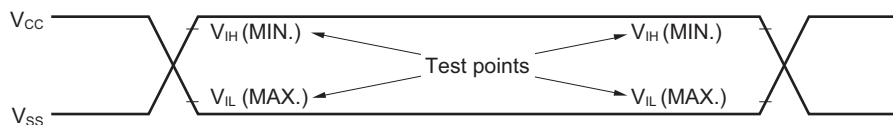
略号	端子グループの電源	関連ポート / 関連端子
PgR	REGVCC, AWOVSS	X1, X2, XT1, XT2/IP0_0
PgE	EVCC, EVSS	関連ポート : JP0, P0, P1, P8, P9, P10, P11, P12, P18, P20 関連端子 : RESET, FLMD0
PgA0	A0VREF, A0VSS	関連ポート : AP0
PgA1	A1VREF, A1VSS	関連ポート : AP1

40.1.1.3 100 ピン

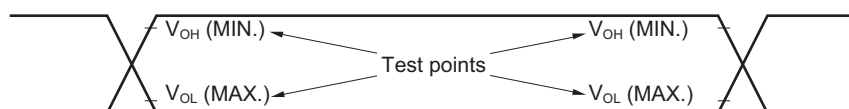
略号	端子グループの電源	関連ポート / 関連端子
PgR	REGVCC, AWOVSS	X1, X2
PgE	EVCC, EVSS	関連ポート : JP0, P0, P8, P9, P10, P11 関連端子 : RESET, FLMD0
PgA0	A0VREF, A0VSS	関連ポート : AP0

40.1.2.2 AC 特性の測定条件

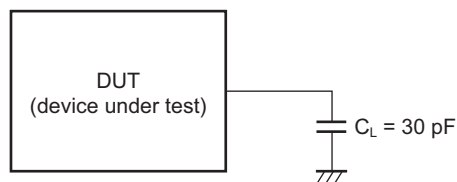
(1) AC テスト入力測定点



(2) AC テスト出力測定点



(3) 負荷条件



注 意

回路構成により負荷容量が 30pF を超える場合は、バッファを挿入し、デバイスの負荷容量を 30pF 以下にすることを推奨します。

40.2 絶対最大定格

注 意

1. IC 製品の出力（または入出力）端子同士を直結したり、VDD または VCC や GND に直結したりしないでください。
2. 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。DC 特性と AC 特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。
3. 外部回路の設計時は、デバイスのポート状態と回路の接続が衝突しないことを確認してください。

40.2.1 電源電圧

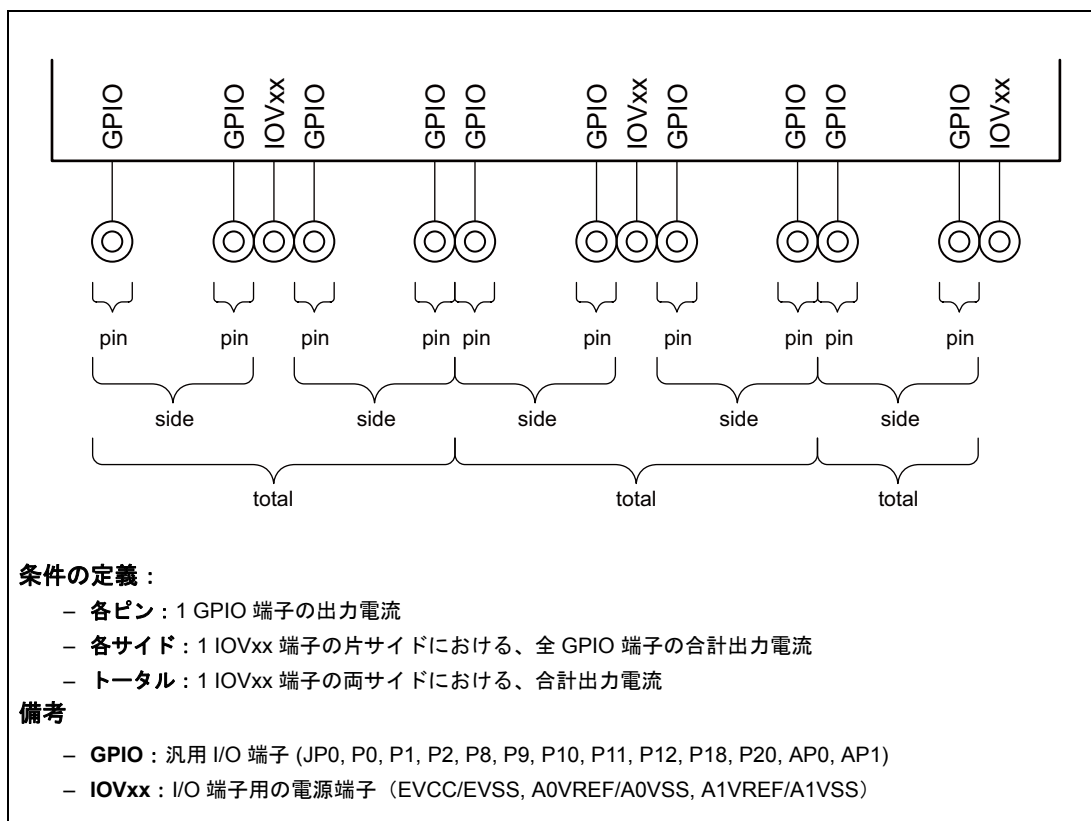
項目	略号	条件	MIN.	TYP.	MAX.	単位
システム用電源電圧	REGVCC		-0.5		6.5	V
	AWOVSS		-0.5		0.5	V
	ISOVSS		-0.5		0.5	V
ポート用電源電圧	EVCC		-0.5		6.5	V
	EVSS		-0.5		0.5	V
A/D コンバータ用電源電圧	A0VREF		-0.5		6.5	V
	A1VREF		-0.5		6.5	V
	A0VSS		-0.5		0.5	V
	A1VSS		-0.5		0.5	V

40.2.2 ポート電圧

項目	端子グループ ^{注1}	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	PgR	VI		-0.5		REGVCC + 0.5 (6.5 V を超過しないこと)	V
	PgE			-0.5		EVCC + 0.5 (6.5 V を超過しないこと)	V
	PgA0			-0.5		A0VREF + 0.5 (6.5 V を超過しないこと)	V
	PgA1			-0.5		A1VREF + 0.5 (6.5 V を超過しないこと)	V

注 1. 特に指定がない限り、兼用端子の特性はポート端子の特性と同じです。

40.2.3 ポート電流



40.2.3.1 176 ピン

項目	略号	端子グループ	条件	MIN.	TYP.	MAX.	単位	
ハイレベル 出力電流	IOH	PgE	1 端子当たり			-10	mA	
			サイド 1 (P9_0 ~ P9_6, P20_0 ~ P20_5 の総和)			-48	mA	
			サイド 2 (P10_6 ~ P10_9, P18_0 ~ P18_7 の総和)			-48	mA	
			サイド 3 (P10_10 ~ P10_14, P11_1 ~ P11_7, P11_15, P12_0 ~ P12_2 の総和)			-48	mA	
			サイド 4 (P10_0 ~ P10_5 の総和)			-48	mA	
			サイド 5 (P0_0 ~ P0_3, P10_15, P11_0, P11_8 ~ P11_14, P12_3 ~ P12_5 の総和)			-48	mA	
			サイド 6 (JP0_3 ~ JP0_5, P0_4 ~ P0_6, P0_11 ~ P0_14, P1_0 ~ P1_3, P1_12, P1_13, P2_6, P8_2, P8_10 ~ P8_12 の総和)			-48	mA	
			サイド 7 (JP0_0 ~ JP0_2, P1_8 ~ P1_11, P2_0, P2_1 の総和)			-48	mA	
			サイド 8 (JP0_6, P0_7 ~ P0_10, P1_4 ~ P1_7, P1_14, P1_15, P2_2 ~ P2_5, P8_0, P8_1, P8_3 ~ P8_9 の総和)			-48	mA	
			総和 (EVCC : サイド 1 ~ サイド 4)			-60	mA	
		総和 (EVCC : サイド 4 ~ サイド 8)			-60	mA		
		PgA0	1 端子当たり				-10	mA
			総和 (A0VREF)				-48	mA
		PgA1	1 端子当たり				-10	mA
総和 (A1VREF)					-48	mA		
ロウレベル 出力電流	IOL	PgE	1 端子当たり			10	mA	
			サイド 1 (P9_0 ~ P9_6, P20_0 ~ P20_5 の総和)			48	mA	
			サイド 2 (P18_0 ~ P18_7 の総和)			48	mA	
			サイド 3 (P10_6 ~ P10_14, P11_1, P11_2 の総和)			48	mA	
			サイド 4 (P11_3 ~ P11_7, P11_15, P12_0 ~ P12_2 の総和)			48	mA	
			サイド 5 (P10_0 ~ P10_5 の総和)			48	mA	
			サイド 6 (P10_15, P11_0, P11_8 ~ P11_14, P12_3 ~ P12_5 の総和)			48	mA	
			サイド 7 (P0_0 ~ P0_6, P0_11 ~ P0_14, P1_0 ~ P1_3, P1_12, P1_13, P2_6 の総和)			48	mA	
			サイド 8 (JP0_0 ~ JP0_5, P1_8 ~ P1_11, P2_0, P2_1, P8_2, P8_10 ~ P8_12 の総和)			48	mA	
			サイド 9 (JP0_6, P0_7 ~ P0_10, P2_2, P2_3 の総和)			48	mA	
		サイド 10 (P1_4 ~ P1_7, P1_14, P1_15, P2_4, P2_5, P8_0, P8_1, P8_3 ~ P8_9 の総和)			48	mA		
		総和 (EVCC : サイド 1 ~ サイド 5)			60	mA		
		総和 (EVCC : サイド 5 ~ サイド 10)			60	mA		
		PgA0	1 端子当たり				10	mA
			総和 (A0VSS)				48	mA
		PgA1	1 端子当たり				10	mA
			総和 (A1VSS)				48	mA

40.2.3.2 144 ピン

項目	略号	端子グループ	条件	MIN.	TYP.	MAX.	単位	
ハイレベル 出力電流	IOH	PgE	1 端子当たり			-10	mA	
			サイド 1 (P9_0 ~ P9_6, P20_4, P20_5 の総和)			-48	mA	
			サイド 2 (P10_6 ~ P10_9, P18_0 ~ P18_3 の総和)			-48	mA	
			サイド 3 (P10_10 ~ P10_14, P11_1 ~ P11_7, P11_15, P12_0 ~ P12_2 の総和)			-48	mA	
			サイド 4 (P0_0 ~ P0_3, P10_0 ~ P10_5, P10_15, P11_0, P11_8 ~ P11_14 の総和)			-48	mA	
			サイド 5 (JP0_3 ~ JP0_5, P0_4 ~ P0_6, P0_11 ~ P0_14, P1_0 ~ P1_3, P8_2, P8_10 ~ P8_12 の総和)			-48	mA	
			サイド 6 (JP0_0 ~ JP0_2, P1_8 ~ P1_11 の総和)			-48	mA	
			サイド 7 (JP0_6, P0_7 ~ P0_10, P1_4 ~ P1_7, P8_0, P8_1, P8_3 ~ P8_9 の総和)			-48	mA	
			総和 (EVCC : サイド 1 ~ サイド 4)			-60	mA	
			総和 (EVCC : サイド 4 ~ サイド 7)			-60	mA	
		PgA0	1 端子当たり				-10	mA
			総和 (A0VREF)				-48	mA
		PgA1	1 端子当たり				-10	mA
			総和 (A1VREF)				-48	mA
		ロウレベル 出力電流	IOL	PgE	1 端子当たり			10
サイド 1 (P9_0 ~ P9_6, P20_4, P20_5 の総和)						48	mA	
サイド 2 (P18_0 ~ P18_3 の総和)						48	mA	
サイド 3 (P10_6 ~ P10_14, P11_1, P11_2 の総和)						48	mA	
サイド 4 (P11_3 ~ P11_7, P11_15, P12_0 ~ P12_2 の総和)						48	mA	
サイド 5 (P0_0 ~ P0_6, P0_11 ~ P0_14, P1_0 ~ P1_3, P10_0 ~ P10_5, P10_15, P11_0, P11_8 ~ P11_14 の総和)						48	mA	
サイド 6 (JP0_0 ~ JP0_5, P1_8 ~ P1_11, P8_2, P8_10 ~ P8_12 の総和)						48	mA	
サイド 7 (JP0_6, P0_7 ~ P0_10 の総和)						48	mA	
サイド 8 (P1_4 ~ P1_7, P8_0, P8_1, P8_3 ~ P8_9 の総和)						48	mA	
総和 (EVCC : サイド 1 ~ サイド 5)						60	mA	
総和 (EVCC : サイド 5 ~ サイド 8)					60	mA		
PgA0	1 端子当たり						10	mA
	総和 (A0VSS)						48	mA
PgA1	1 端子当たり						10	mA
	総和 (A1VSS)						48	mA

40.2.3.3 100 ピン

項目	略号	端子グループ	条件	MIN.	TYP.	MAX.	単位		
ハイレベル 出力電流	IOH	PgE	1 端子当たり			-10	mA		
			サイド (P9_0 ~ P9_6 の総和)			-48	mA		
			サイド (P0_0 ~ P0_3, P10_3 ~ P10_5, P10_15, P11_0 の総和)			-48	mA		
			サイド (JP0_3 ~ JP0_5, P0_4 ~ P0_6, P0_11 ~ P0_14, P8_2, P8_10 ~ P8_12 の総和)			-48	mA		
			サイド (JP0_0 ~ JP0_2 の総和)			-30	mA		
			サイド (P0_7 ~ P0_10, P8_0, P8_1, P8_3 ~ P8_9 の総和)			-48	mA		
			サイド (P10_6 ~ P10_9 の総和)			-40	mA		
			サイド (P10_10 ~ P10_14, P11_1 ~ P11_7 の総和)			-48	mA		
			サイド (P10_0 ~ P10_2 の総和)			-30	mA		
			総和 (EVCC)			-60	mA		
			PgA0	1 端子当たり					-10
		総和 (A0VREF)						-48	mA
		ロウレベル 出力電流	IOL	PgE	1 端子当たり			10	mA
サイド (P9_0 ~ P9_6 の総和)						48	mA		
サイド (P0_0 ~ P0_6, P0_11 ~ P0_14, P10_3 ~ P10_5, P10_15, P11_0 の総和)						48	mA		
サイド (JP0_0 ~ JP0_5, P8_2, P8_10 ~ P8_12 の総和)						48	mA		
サイド (P0_7 ~ P0_10 の総和)						40	mA		
サイド (P8_0, P8_1, P8_3 ~ P8_9 の総和)						48	mA		
サイド (P10_6 ~ P10_14, P11_1, P11_2 の総和)						48	mA		
サイド (P11_3 ~ P11_7 の総和)						48	mA		
サイド (P10_0 ~ P10_2 の総和)						30	mA		
総和 (EVCC)						60	mA		
PgA0	1 端子当たり								10
	総和 (A0VSS)							48	mA

40.2.4 温度条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
保存温度	Tstg		-55		170	°C
ジャンクション温度	Tj	R7F7015xx3AFP* R7F7016yy3AFP*	-40		130	°C
		R7F7015xx4AFP* R7F7016yy4AFP*	-40		150	°C

xx = 42, 43, 46, 47, 57, 60, 61, 62, 63, 66, 67, 77, 80, 81, 82, 83, 86, 87, 97

yy = 02, 03, 10, 11, 12, 13, 20, 21, 22, 23

各製品の動作温度については「1.3 RH850/F1K 製品ラインナップ」を参照してください。

40.3 キャパシタンス

条件: REGVCC = EVCC = A0VREF = A1VREF = AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V, Ta = 25°C

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力キャパシタンス	CI 注1	f = 1 MHz			10	pF
入力 / 出力キャパシタンス	CIO 注2	測定しない端子は 0 V			10	pF

注 1. CI : 入力端子とグラウンド間のキャパシタンス

注 2. CIO : I/O 端子とグラウンド間のキャパシタンス

40.4 動作条件

ECO

項目	略号	条件	MIN.	TYP.	MAX.	単位
CPU クロック周波数	f _{CPUCLK}				80	MHz
	f _{CPUCLK2}	OSTMn 用			40	MHz
周辺クロック（クロックドメイン）周波数 ^{注1}	f _{CKSCLK_AWDTA}	WDTA0 用			240 ^{注2}	kHz
	f _{CKSCLK_ATAUJ}	TAUJ0 用			40	MHz
	f _{CKSCLK_ARTCA}	RTCA0 用			4	MHz
	f _{CKSCLK_AADCA}	ADCA0 用			40	MHz
	f _{CKSCLK_AFOUT}	FOUT 用			24	MHz
	f _{CKSCLK_IPERI1}	TAUD0 用			80	MHz
		TAUJ1 用				
		ENCA0 用				
		TAPA0 用				
		PIC0 用				
	f _{CKSCLK_IPERI2}	TAUBn 用			40	MHz
		RS-CANn (clk) 用				
		PWBA n 用				
		PWGA n 用				
		PWSA n 用				
	f _{CKSCLK_ILIN}	RLIN2m 用			40	MHz
		RLIN3n 用				
	f _{CKSCLK_IADCA}	ADCA1 用			40	MHz
	f _{CKSCLK_ICANOSC}	RS-CANn (clk_xincan) 用			24	MHz
	f _{CKSCLK_ICSI}	CSIGn 用			80	MHz
CSIHn 用						
f _{LS IntOSC}	WDTA1 用			240 ^{注2}	kHz	
f _{CKSCLK_IIRC}	RIRCn 用			40	MHz	
f _{EMCLK}	LPSn 用			8	MHz	
電力供給	REGVCC	REGVCC = EVCC	VPOC ^{注3}		5.5	V
	EVCC					
	A0VREF		3.0		5.5	V
	A1VREF					
通常動作電圧	AWOVCL		1.1	1.25	1.35	V
	ISOVCL					
制限付き動作電圧 ^{注4}	AWOVCL		1.35		1.43	V
	ISOVCL					

注 1. 周辺デバイスの最大周波数に関しては、「第12章 クロックコントローラ」を参照してください。

注 2. 周波数は内蔵発振回路（LS IntOSC）に依存します。

注 3. “VPOC” は、POC（パワーオン・クリア）検出電圧（パワーオン時：TYP. 2.85 V、パワーオン後（パワーオン時を除く）：TYP. 2.9 V）を表します。詳細に関しては、「40.8.2 電圧検出（POC, LVI, VLVI, CVM）特性」を参照してください。

なお、DC 特性での動作は保証されています。

AC 特性での動作は、3.0V 以上の場合、保証されています。

電源電圧が VPOC ~ 3.0V の場合、デバイスは正常に動作します。

注 4. 1.35V から 1.43V は信頼性に制限があります。

ADVANCED, PREMIUM

項目	略号	条件	MIN.	TYP.	MAX.	単位
CPU クロック周波数	f _{CPUCLK}				120	MHz
	f _{CPUCLK2}	OSTMn 用			60	MHz
周辺クロック (クロックドメイン) 周波数 ^{注1}	f _{CKSCLK_AWDTA}	WDTA0 用			240 ^{注2}	kHz
	f _{CKSCLK_ATAUJ}	TAUJ0 用			40	MHz
	f _{CKSCLK_ARTCA}	RTCA0 用			4	MHz
	f _{CKSCLK_AADCA}	ADCA0 用			40	MHz
	f _{CKSCLK_AFOUT}	FOUT 用			24	MHz
	f _{CKSCLK_IPERI1}	TAUD0 用			80	MHz
		TAUJ1 用				
		ENCA0 用				
		TAPA0 用				
		PIC0 用				
	f _{CKSCLK_IPERI2}	TAUBn 用			40	MHz
		RS-CANn (clk) 用				
		PWBAn 用				
		PWGAn 用				
		PWSAn 用				
	f _{CKSCLK_ILIN}	RLIN2m 用			40	MHz
		RLIN3n 用				
	f _{CKSCLK_IADCA}	ADCA1 用			40	MHz
	f _{CKSCLK_ICANOSC}	RS-CANn (clk_xincan) 用			24	MHz
	f _{CKSCLK_ICSI}	CSIGn 用			80	MHz
CSIHn 用						
f _{LS_intOSC}	WDTA1 用			240 ^{注2}	kHz	
f _{CKSCLK_IJIC}	RIICn 用			40	MHz	
f _{EMCLK}	LPSn 用			8	MHz	
電力供給	REGVCC	REGVCC = EVCC	VPOC ^{注3}		5.5	V
	EVCC					
	A0VREF		3.0		5.5	V
	A1VREF					
通常動作電圧	AWOVCL		1.1	1.25	1.35	V
	ISOVCL					
制限付き動作電圧 ^{注4}	AWOVCL		1.35		1.43	V
	ISOVCL					

注 1. 周辺デバイスの最大周波数に関しては、「第 12 章 クロックコントローラ」を参照してください。

注 2. 周波数は内蔵発振回路 (LS IntOSC) に依存します。

注 3. “VPOC” は、POC (パワーオン・クリア) 検出電圧 (パワーオン時: TYP. 2.85 V、パワーオン後 (パワーオン時を除く): TYP. 2.9 V) を表します。詳細に関しては、「40.8.2 電圧検出 (POC, LVI, VLVI, CVM) 特性」を参照してください。

なお、DC 特性での動作は保証されています。

AC 特性での動作は、3.0V 以上の場合、保証されています。

電源電圧が VPOC ~ 3.0V の場合、デバイスは正常に動作します。

注 4. 1.35V から 1.43V は信頼性に制限があります。

40.5 オシレータ特性

条件： REGVCC = EVCC = VPOC ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
 A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
 CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C

項目	略号	条件	MIN.	TYP.	MAX.	単位
メイン OSC 周波数 ^{注4}	f _{MOSC}	水晶 / セラミック	16	20	24	MHz
メイン OSC 消費電流	I _{MOSC}	水晶 / セラミック 安定後		1.9 ^{注3}	2.3 ^{注3}	mA
メイン OSC 発振開始電圧	V _{MOSCSP}	水晶 / セラミック	VPOC			V
メイン OSC 発振動作点	V _{MOSCOP}	水晶 / セラミック		0.5 × REGVCC ^{注3}		V
メイン OSC 発振振幅	V _{MOSCAMP}	水晶 / セラミック	0.4 × REGVCC -0.2 ^{注3}			V
メイン OSC 発振安定時間	t _{MSTB}	水晶 / セラミック		2 ^{注1、注3}		ms
X1 クロック入力周波数 ^{注4}	f _{EX}		16	20	24	MHz
X1 クロック入力周期	t _{EXCYC}		41.7	50	62.5	ns
X1 ハイレベル入力電圧	V _{IH}		0.7 × REGVCC		REGVCC + 0.5	V
		フラッシュプロ グラミングイン タフェース使用時 ^{注5}	0.8 × REGVCC		REGVCC + 0.5	V
X1 ローレベル入力電圧	V _{IL}		-0.5		0.3 × REGVCC	V
		フラッシュプロ グラミングイン タフェース使用時 ^{注5}	-0.5		0.2 × REGVCC	V
X1 入力リーク電流	I _{LIH}	VI = REGVCC			0.5	μ A
	I _{LIL}	VI = 0 V			-0.5	μ A
X1 クロック入力 ローレベル幅	t _{EXL}	f _{EX} = 16 MHz	26			ns
		f _{EX} = 20 MHz	20			ns
		f _{EX} = 24 MHz	16			ns
X1 クロック入力 ハイレベル幅	t _{EXH}	f _{EX} = 16 MHz	26			ns
		f _{EX} = 20 MHz	20			ns
		f _{EX} = 24 MHz	16			ns
X1 クロック入力周期 ジッター			-0.3		0.3	ns
サブ OSC 周波数	f _{SOSC}	水晶	30	32.768	38	kHz
サブ OSC 消費電流	I _{SOSC}	安定後		1.5 ^{注3}	4 ^{注3}	μ A
サブ OSC 発振 DC 動作点	V _{SOSCDCO P}			0.65 ^{注3}		V
サブ OSC 発振安定時間	t _{SSTB}			注2		s

注1. 発振安定時間は、MOSCE.MOSCENTRG ビットに“1”が書き込まれた後に、MOSCS.MOSCCLKACT ビットが設定される (“1”になる) までの時間で、MOSCST レジスタの設定値に依存します。発振子と発振回路のマッチングテストで、適切な発振安定時間を決定してください。

注2. 発振安定時間は、SOSCE.SOSCENTRG ビットに“1”が書き込まれた後に、SOSCS.SOSCCLKACT ビットが設定される (“1”になる) までの時間で、SOSCST レジスタの設定値に依存します。発振子と発振回路のマッチングテストで、適切な発振安定時間を決定してください。

注3. これは参考値です。

注4. f_{MOSC} がサポートする内部で使用可能なクロックは 16 MHz, 20 MHz, 24 MHz の3種類のみです。

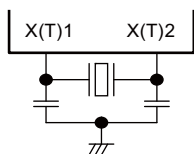
注5. X2 端子はオープンかつ寄生容量は 5 pF 以下にしてください。

注意

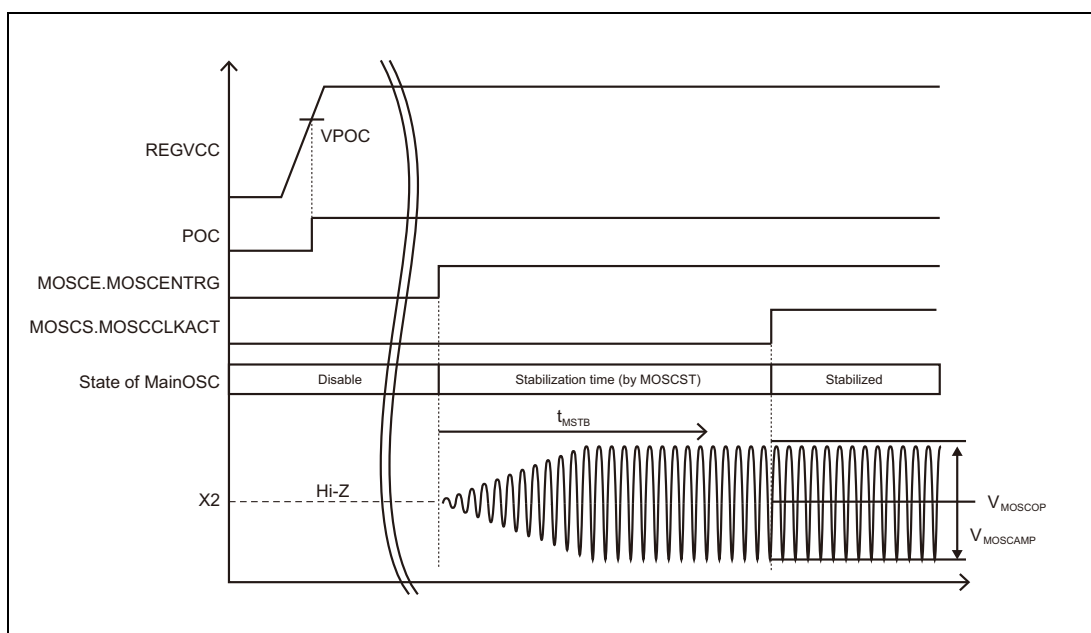
発振安定時間は、外部発振回路とのマッチングにより異なります。発振子のマッチングテストで発振安定時間を決定することを推奨します。

備考

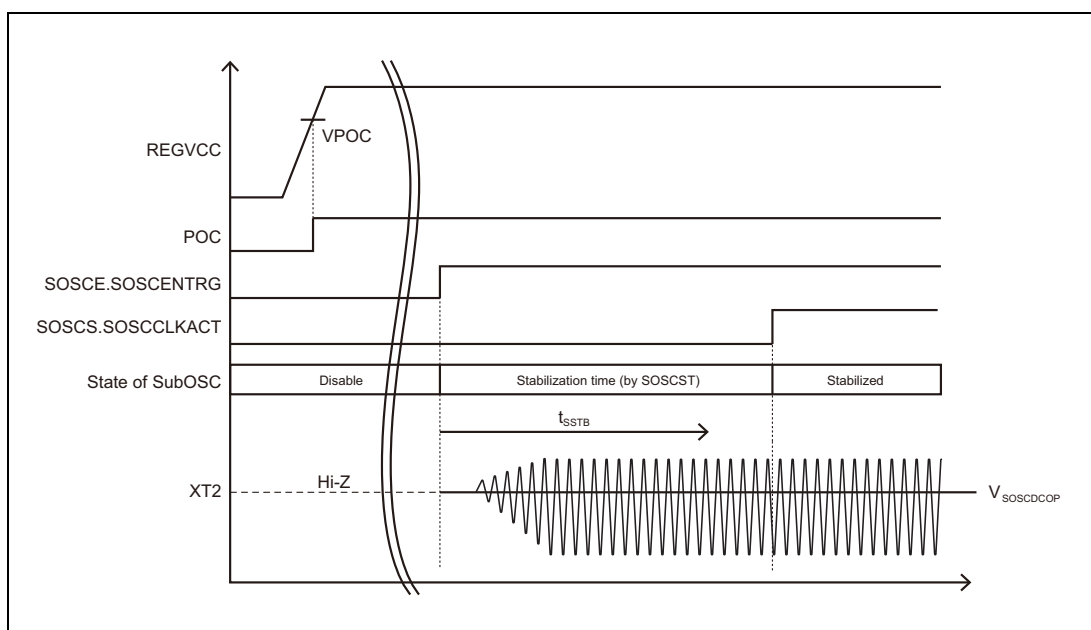
推奨発振回路を以下に示します。



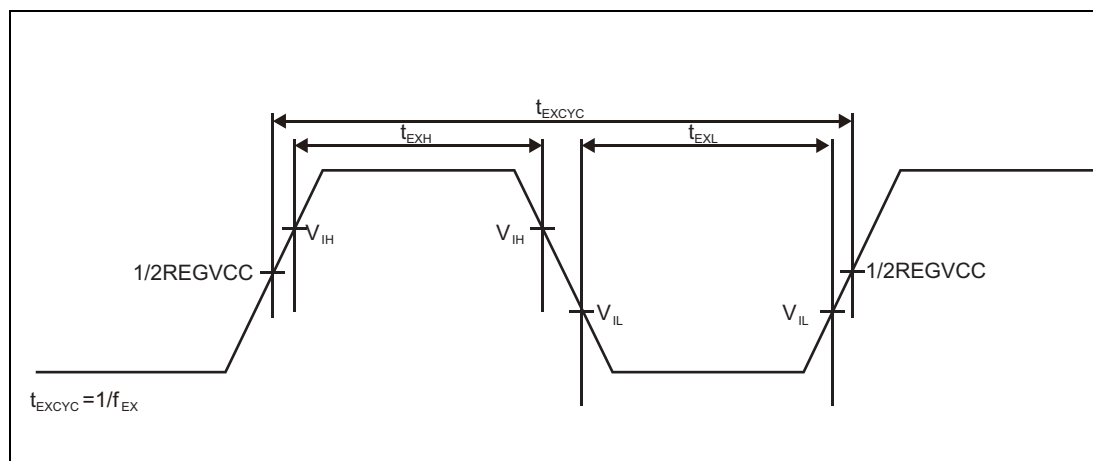
メイン OSC



サブ OSC



外部クロック



40.6 内蔵発振器特性

条件： REGVCC = EVCC = VPOC ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
 A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
 CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, T_j = -40 ~ (製品依存) °C,
 CL = 30 pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
低速内蔵 OSC 周波数	f _{RL}		220.8	240	259.2	kHz
高速内蔵 OSC 周波数	f _{RH}		7.6	8	8.4	MHz
		ユーザトリミング後 @ トリミング温度	7.92	8	8.08	MHz
高速内蔵 OSC 消費電流	I _{RH}	安定後			170 注1	μ A
高速内蔵 OSC 発振安定時間	t _{RHSTB}				54.4	μ s

注 1. これは参考値です。

40.7 PLL 特性

条件: REGVCC = EVCC = VPOC ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
CL = 30 pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	f _{PLLCLK}	MainOSC	16	20	24	MHz
		HS IntOSC ユーザトリミング後 @ トリミング温度 ^{注3}	7.92	8.0	8.08	MHz
出力周波数 (CPU用PLL)	f _{CPLL}	ECO	63.3		80	MHz
		ADVANCED, PREMIUM	63.3		120	MHz
出力周波数 (周辺用PLL)	f _{PPLL}		63.3		80	MHz
出力周期ジッタ ^{注1}	t _{CPJ}		-100		100	ps
長期ジッタ ^{注1}	t _{LTJ}	term = 1 μ s	-500		500	ps
		term = 10 μ s	-1		1	ns
		term = 20 μ s	-2		2	ns
ロック時間 ^{注2}	t _{LCKP}		104	112.3	122.1	μ s

注 1. これは参考値です。

注 2. ロック時間は、PLLE.PLLENTRG ビットに“1”が書き込まれた後に、PLLS.PLLCLKACT ビットが設定される (“1”になる) までの時間です。

注 3. HS IntOSC は f_{CPLL} = 80 MHz のみサポートします。十分な評価後に使用してください。

40.8 電源特性

40.8.1 レギュレータ特性

条件: REGVCC = EVCC = VPOC ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
Tj = -40 ~ (製品依存) °C, CL = 30 pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	REGVCC		VPOC 注1		5.5	V
出力電圧	AWOVCL	AWOVCL 端子	1.15	1.25	1.35	V
	ISOVCL	ISOVCL 端子	1.15	1.25	1.35	V
キャパシタンス	CAWOVCL	AWOVCL 端子	0.07	0.10	0.13	μF
	CISOVCL	ISOVCL 端子	0.07	0.10	0.13	μF
負荷容量のための等価直列抵抗	RVRAWO	for CAWOVCL			40 注2	mΩ
	RVRISO	for CISOVCL			40 注2	mΩ
パワーオン時の突入電流					120	mA

注1. “VPOC”はPOC（パワーオン・クリア）検出電圧のことです (typ. 2.85V)。詳細は「40.8.2 電圧検出 (POC, LVI, VLVI, CVM) 特性」を参照してください。

注2. これは参考値です。

40.8.2 電圧検出 (POC, LVI, VLVI, CVM) 特性

条件: REGVCC = EVCC = VPOC ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
 A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
 CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
 CL = 30 pF

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧 (REGVCC)	VPOC	POC	2.7	2.85	3.0	V	
	VLVI0	LVI	立ち上がり	3.87	4.0	4.13	V
			立ち下がり	3.9	4.0	4.1	V
	VLVI1	LVI	立ち上がり	3.57	3.7	3.83	V
			立ち下がり	3.6	3.7	3.8	V
	VLVI2	LVI	立ち上がり	3.37	3.5	3.63	V
立ち下がり			3.4	3.5	3.6	V	
VVLVI	VLVI		1.8	1.9	2.0	V	
検出電圧 (ISOVCL)	VCVMH	CVM	高電圧 ^注	1.35	1.39	1.43	V
	VCVML ^{注8}		低電圧 ^注	1.10	1.15	1.20	V
応答時間	t _{D_POC1} ^{注6}	POC	パワーオン時 (立ち上がり)	注1		2	ms
				注2		6.3	ms
		パワーオン後 (立ち上がり)	注3		2	ms	
			注4		5	ms	
	t _{D_POC2} ^{注7}		パワーオン後 (立ち下がり)	注5		5	μ s
	t _{D_LVI}	LVI				2	ms
	t _{D_VLVI}	VLVI		注3		2	ms
			注4		5	ms	
t _{D_CVM}	CVM		0.2		10	μ s	
セットアップ時間	t _{S_LVI}	LVI	LVICNT0,1 ビットを 1 に設定すると (00 _B を除く)、LVI は有効になります。			80	μ s
REGVCC 最小幅	t _{W_POC}	POC	0.2			ms	
	t _{W_LVI}	LVI	0.2			ms	
	t _{W_VLVI}	VLVI	0.2			ms	

注 1. 電圧勾配 (t_{VS}): 0.02 V/ms \leq t_{VS} \leq 0.5 V/ms

注 2. 電圧勾配 (t_{VS}): 0.5 V/ms < t_{VS} \leq 500 V/ms

注 3. 電圧勾配 (t_{VS}): 0.02 V/ms \leq t_{VS} \leq 20 V/ms

注 4. 電圧勾配 (t_{VS}): 20 V/ms < t_{VS} \leq 500 V/ms

注 5. 電圧勾配 (t_{VS}): 0.02 V/ms \leq t_{VS} \leq 500 V/ms

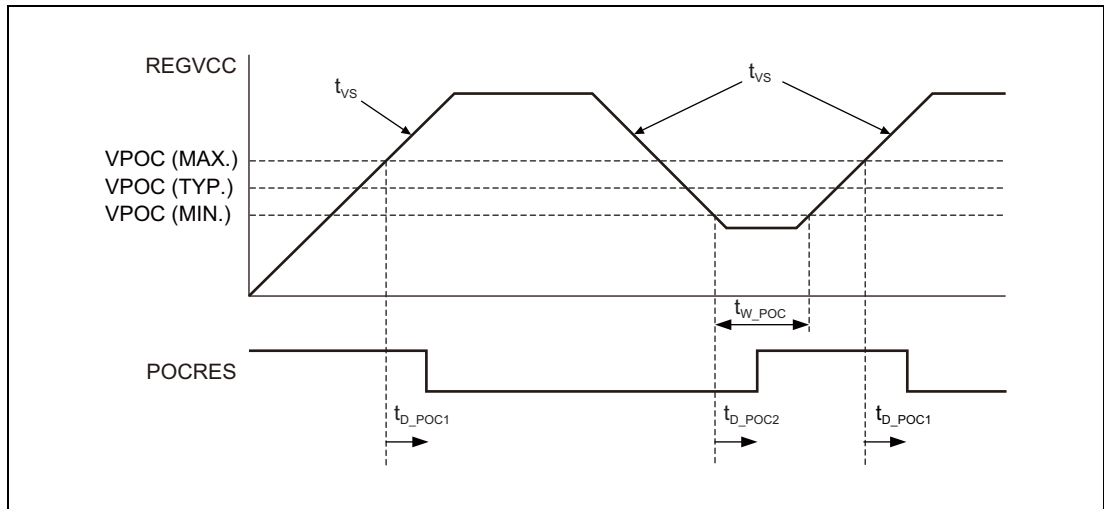
注 6. t_{D_POC1} は、検出電圧からリセット信号解除までの時間です。

注 7. t_{D_POC2} は、検出電圧からリセット信号発生までの時間です。

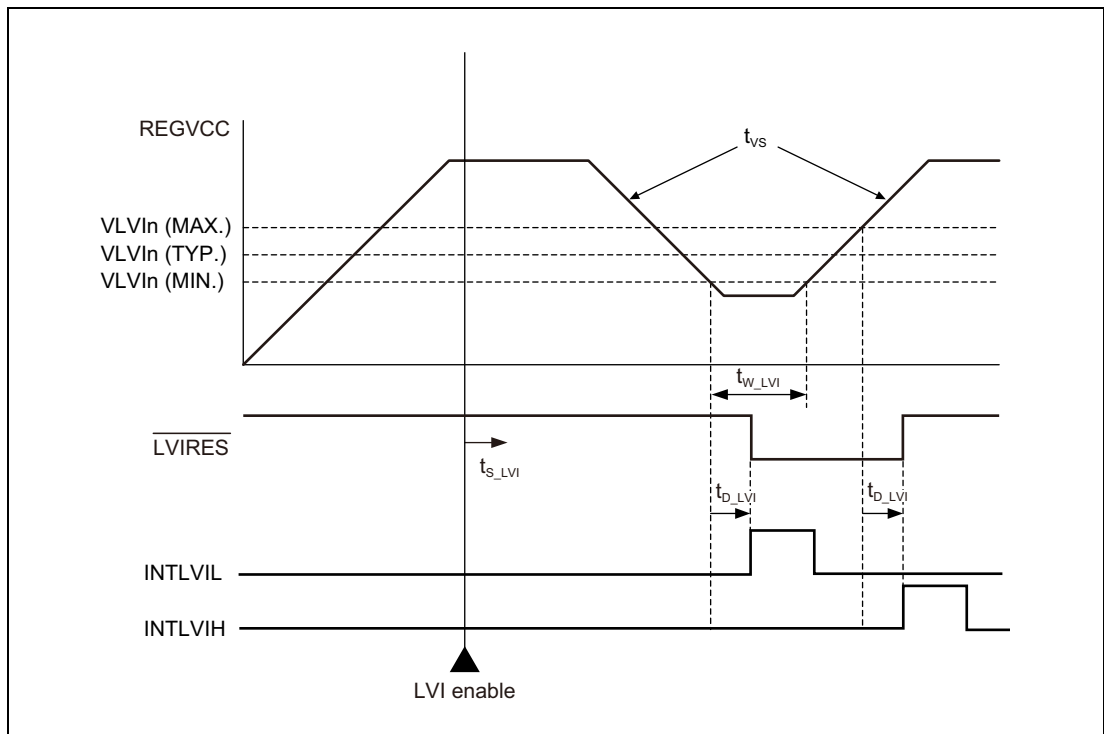
注 8. CVM は内蔵電圧レギュレータの出力をモニタしているため、ISOVCL の低電圧より高いことが保証されません。

注意: VCVMH,VCVML で指定されたレベル外の ISOVCL 電圧の検出は CVM では保証できません。

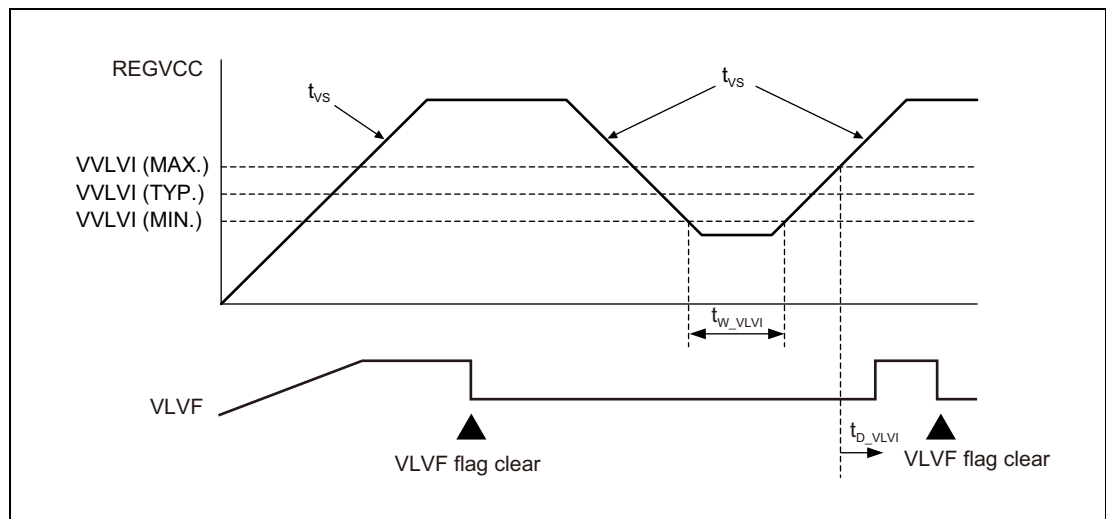
<POC>



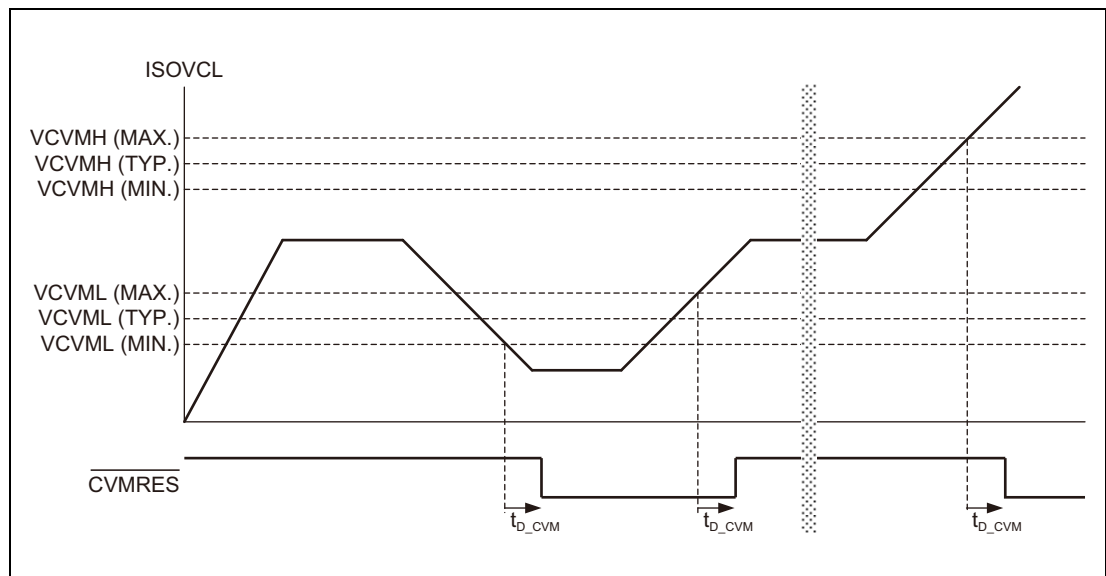
<LVI>



<VLVI>



<CVM>

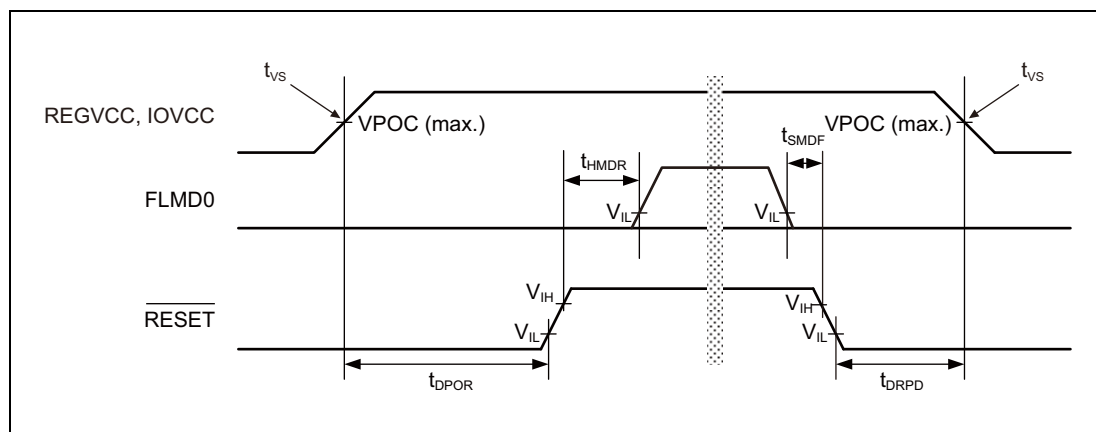


40.8.3 パワーアップ/ダウタイミング

条件： REGVCC = EVCC = VPOC ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
CL = 30 pF

表 40.1 RESET 端子を使用した場合 (通常動作モード)

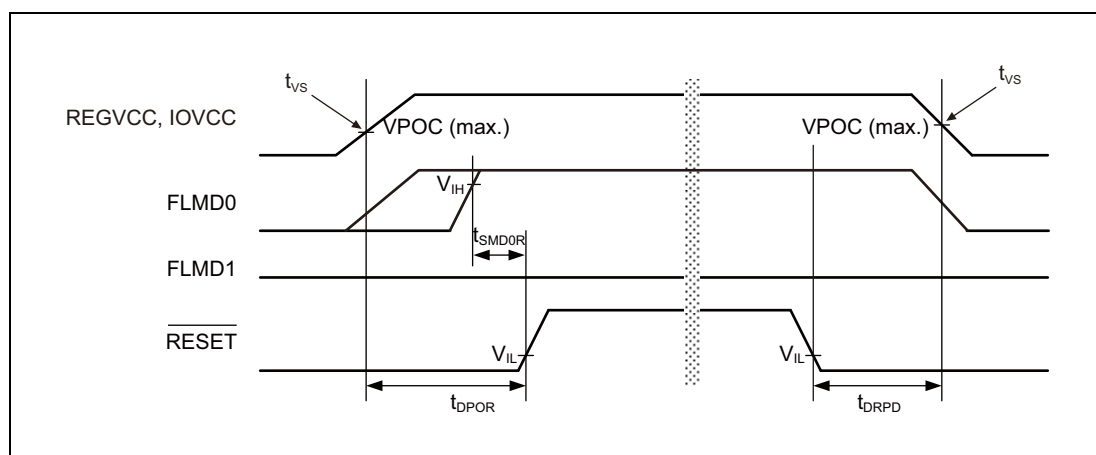
項目	略号	条件	MIN.	TYP.	MAX.	単位
電圧勾配 (REGVCC, IOVCC 注1)	t_{VS}		0.02 (= 50 ms/V)		500 (= 2 μ s/V)	V/ms
REGVCC \uparrow , IOVCC 注1 \uparrow ~ RESET \uparrow 遅延時間	t_{DPOR}	電圧勾配 (t_{VS}): 0.02 V/ms $\leq t_{VS} \leq$ 0.5 V/ms	2			ms
		電圧勾配 (t_{VS}): 0.5 V/ms $\leq t_{VS} \leq$ 500 V/ms	6.3			ms
FLMD0 ホールド時間 (対 RESET \uparrow)	t_{HMDR}		1			ms
FLMD0 セットアップ時間 (対 RESET \downarrow)	t_{SMDF}		0			μ s
RESET \downarrow ~ REGVCC \downarrow , IOVCC 注1 \downarrow 遅延時間	t_{DRPD}		0			ms



注1. IOVCC は EVCC、A0VREF と A1VREF を示します。

表 40.2 $\overline{\text{RESET}}$ 端子を使用した場合（シリアルプログラミングモード）

項目	略号	条件	MIN.	TYP.	MAX.	単位
電圧勾配 (REGVCC, IOVCC 注1)	t_{VS}		0.02 (= 50 ms/V)		500 (= 2 $\mu\text{s/V}$)	V/ms
REGVCC \uparrow , IOVCC 注1 \uparrow ~ RESET \uparrow 遅延時間	t_{DPOR}	電圧勾配 (t_{VS}): $0.02 \text{ V/ms} \leq t_{VS} \leq 0.5 \text{ V/ms}$	2			ms
		電圧勾配 (t_{VS}): $0.5 \text{ V/ms} < t_{VS} \leq 500 \text{ V/ms}$	6.3			ms
FLMD0 セットアップ時間 (対 RESET \uparrow)	t_{SMD0R}		1			ms
RESET \downarrow ~ REGVCC \downarrow , IOVCC 注1 \downarrow 遅延時間	t_{DRPD}		0			ms



注 1. IOVCC は EVCC、A0VREF と A1VREF を示します。

表 40.3 $\overline{\text{RESET}}$ 端子を使用した場合 (バウンダリスキャンモード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電圧勾配 (REGVCC, IOVCC ^{注1})	t_{VS}		0.02 (= 50 ms/V)		500 (= 2 $\mu\text{s/V}$)	V/ms
REGVCC \uparrow , IOVCC ^{注1} \uparrow ~ RESET \uparrow 遅延時間	t_{DPOR}	電圧勾配 (t_{VS}): $0.02 \text{ V/ms} \leq t_{VS} \leq 0.5 \text{ V/ms}$	2			ms
		電圧勾配 (t_{VS}): $0.5 \text{ V/ms} < t_{VS} \leq 500 \text{ V/ms}$	6.3			ms
FLMD0 セットアップ時間 (対 RESET \uparrow)	t_{SMD0R}		1			ms
FLMD1, FLMD0, MODE1 セットアップ時間 (対 FLMD0 \uparrow)	t_{SMD1R}		1			μs
FLMD0 ホールド時間 (対 RESET \downarrow)	t_{HMD0F}		1			μs
FLMD1, MODE0, MODE1 ホール ド時間 (対 FLMD0 \downarrow)	t_{HMD1F}		1			μs
RESET \downarrow ~ REGVCC \downarrow , IOVCC ^{注1} \downarrow 遅延時間	t_{DRPD}		0			ms
DCUTRST 入力遅延時間 (対 RESET \uparrow)	t_{DRTRST}		1			ms
RESET ホールド時間 (対 DCUTRST \downarrow)	t_{HRTRST}		0			ms

注 1. IOVCC は EVCC、A0VREF と A1VREF を示します。

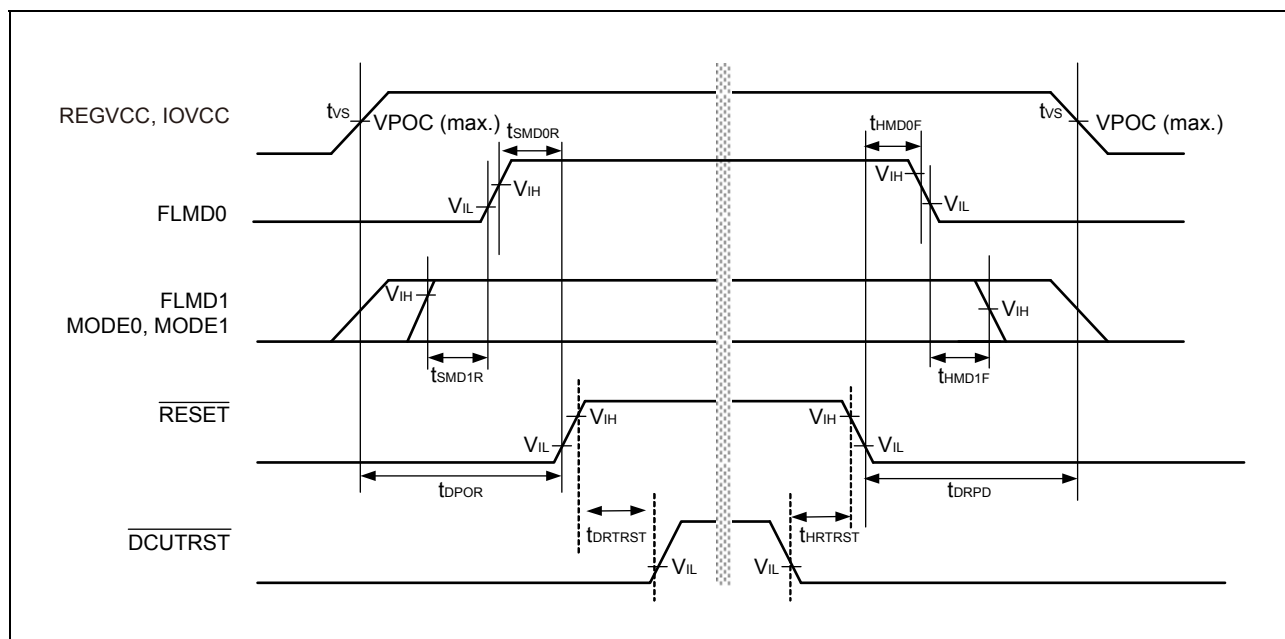


表 40.4 $\overline{\text{RESET}}$ 端子を使用した場合 (ユーザブートモード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源勾配 (REGVCC, IOVCC 注1)	t_{VS}		0.02 (= 50 ms/V)		500 (= 2 $\mu\text{s/V}$)	V/ms
$\overline{\text{REGVCC}} \uparrow$, IOVCC 注1 $\uparrow \sim$ $\overline{\text{RESET}} \uparrow$ 遅延時間	t_{DPOR}	電圧勾配 (t_{VS}): $0.02 \text{ V/ms} \leq t_{VS} \leq 0.5 \text{ V/ms}$	2			ms
		電圧勾配 (t_{VS}): $0.5 \text{ V/ms} < t_{VS} \leq 500 \text{ V/ms}$	6.3			ms
FLMD0 セットアップ時間 (対 $\overline{\text{RESET}} \uparrow$)	t_{SMD0R}		1			ms
FLMD1, MODE0, MODE1, MODE2 セットアップ時間 (対 FLMD0 \uparrow)	t_{SMD1R}		1			μs
FLMD0 ホールド時間 (対 $\overline{\text{RESET}} \downarrow$)	t_{HMD0F}		1			μs
FLMD1, MODE0, MODE1, MODE2 ホールド時間 (対 FLMD0 \downarrow)	t_{HMD1F}		1			μs
$\overline{\text{RESET}} \downarrow \sim \overline{\text{REGVCC}} \downarrow$, IOVCC 注1 \downarrow 遅延時間	t_{DRPD}		0			ms

注 1. IOVCC は EVCC、A0VREF と A1VREF を示します。

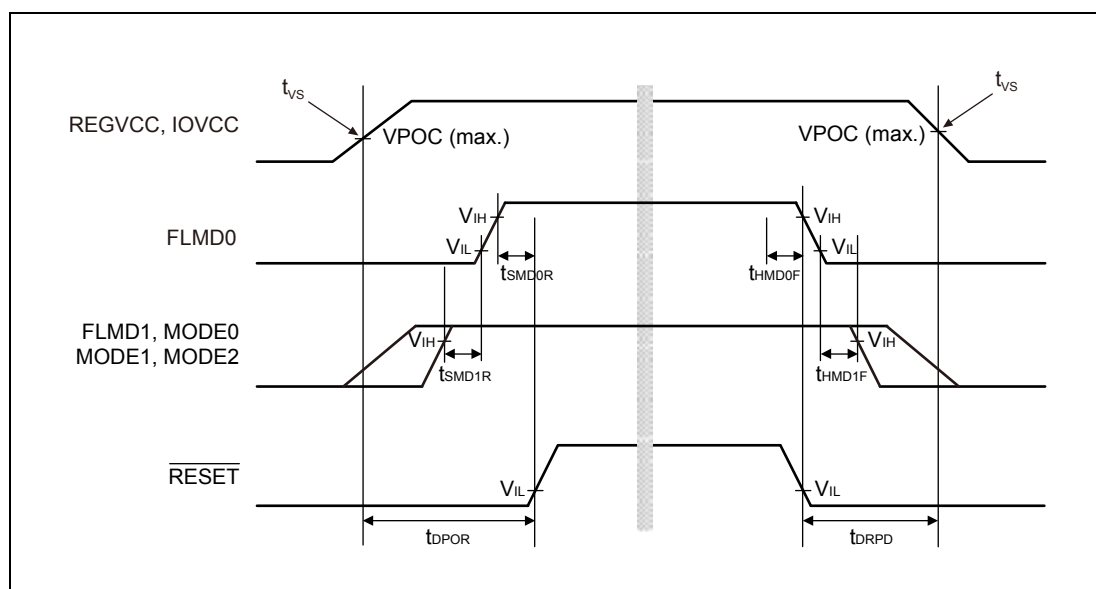
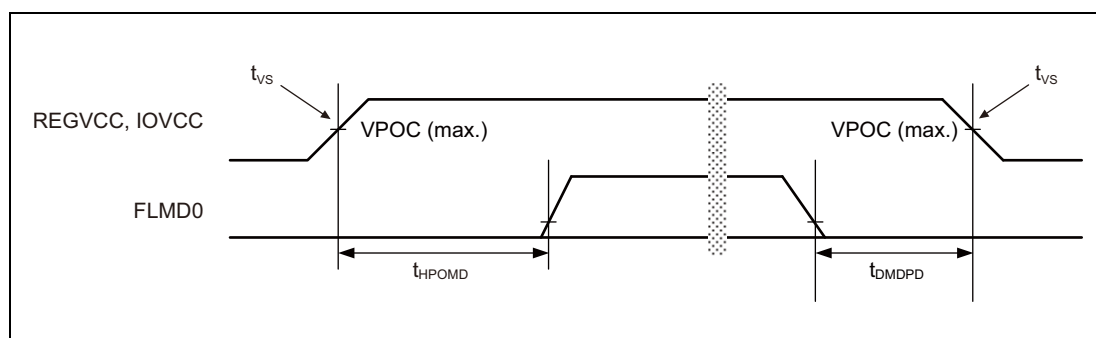


表 40.5 RESET 端子を使用せず、プルアップによってハイレベルに固定した場合^{注1}

項目	略号	条件	MIN.	TYP.	MAX.	単位
電圧勾配 (REGVCC, IOVCC ^{注2})	t_{VS}		0.02 (= 50 ms/V)		500 (= 2 μ s/V)	V/ms
REGVCC \uparrow , IOVCC ^{注2} \uparrow ~ FLMD0 ホールド時間	t_{HPOMD}	Voltage slope (t_{VS}): 0.02 V/ms $\leq t_{VS} \leq$ 0.5 V/ms	2			ms
		Voltage slope (t_{VS}): 0.5 V/ms $< t_{VS} <$ 500 V/ms	6.3			ms
FLMD0 \downarrow ~ REGVCC \downarrow , IOVCC ^{注2} \downarrow 遅延時間	t_{DMDPD}		1			μ s

- 注 1. この動作状態は、通常動作モードでのみ使用できます（セルフプログラミングモードを含む）。
デバイスを通常動作モード以外で使用する場合は、RESET 端子を使用してください。
- 注 2. IOVCC は EVCC、A0VREF と A1VREF を示します。



40.8.4 CPU リセット解除タイミング

条件： REGVCC = EVCC = VPOC ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
CL = 30 pF

表 40.6 RESET 端子を使用しない場合

項目	略号	条件	MIN.	TYP.	MAX.	単位
REGVCC \uparrow ~ CPU リセット解除 ^{注1}	t_{DPCRR}	電圧勾配 (t_{VS}) = 0.02 V/ms \leq t_{VS} \leq 0.5 V/ms			2.58	ms
		電圧勾配 (t_{VS}) = 0.5 V/ms $<$ t_{VS} \leq 500 V/ms			8.3	ms

注 1. これは参考値です。

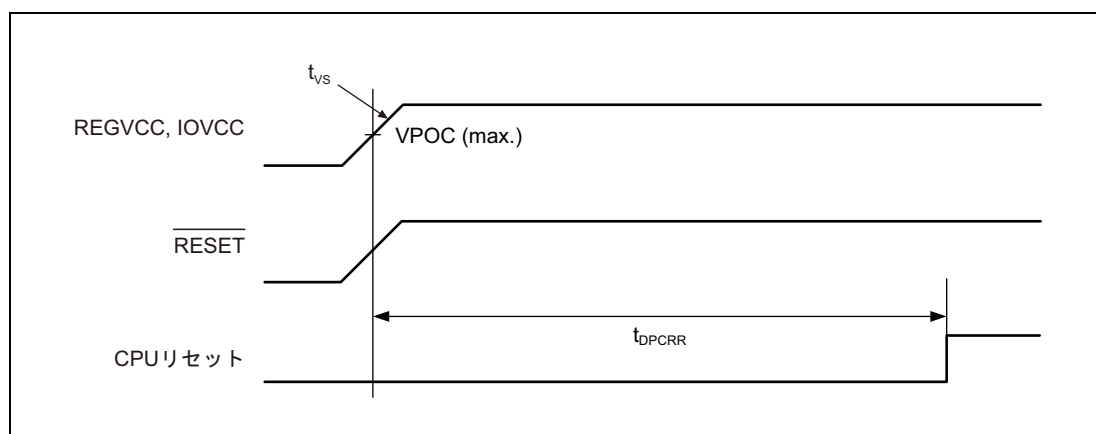
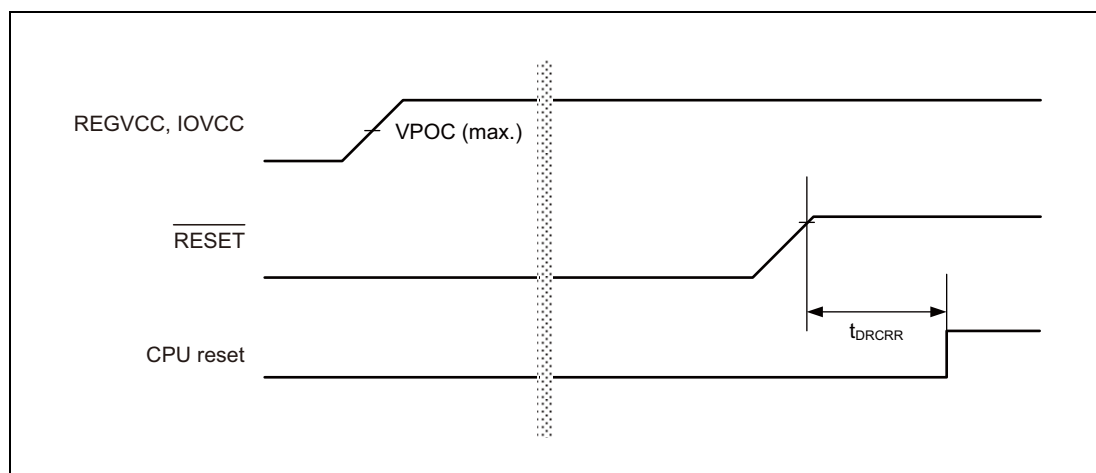


表 40.7 RESET 端子を使用した場合

項目	略号	条件	MIN.	TYP.	MAX.	単位
RESET \uparrow ~ CPU リセット解除 ^{注1}	t_{DRCRR}				16 ^{注2}	μ s

注 1. これは参考値です。

注 2. 電源投入シーケンスが「40.8.3 パワーアップ/ダウンタイミング」に記載されている値とは別に、 t_{DRCRR} 時間が VPOC (最大) から必要です。



40.9 端子特性

条件： 本章で述べた条件のいくつかは、ソフトウェアで選択することができ、ハードウェアユーザーズマニュアルにも記載されています。

(1/4)

端子名	ポート入力バッファ機能						ポート出力 ドライブ強度 モード	他ポート機能	
	CMOS	SHMT1	SHMT2	SHMT4	TTL	アナログ		ブルアップ	ブルダウン
RESET	—	—	○	—	—	—	—	—	—
FLMD0	—	○	—	—	—	—	—	○	○
AP0_0	○	—	—	—	—	○	低速	—	○注1
AP0_1	○	—	—	—	—	○	低速	—	○注1
AP0_2	○	—	—	—	—	○	低速	—	○注1
AP0_3	○	—	—	—	—	○	低速	—	○注1
AP0_4	○	—	—	—	—	○	低速	—	○注1
AP0_5	○	—	—	—	—	○	低速	—	○注1
AP0_6	○	—	—	—	—	○	低速	—	○注1
AP0_7	○	—	—	—	—	○	低速	—	○注1
AP0_8	○	—	—	—	—	○	低速	—	○注1
AP0_9	○	—	—	—	—	○	低速	—	○注1
AP0_10	○	—	—	—	—	○	低速	—	○注1
AP0_11	○	—	—	—	—	○	低速	—	○注1
AP0_12	○	—	—	—	—	○	低速	—	○注1
AP0_13	○	—	—	—	—	○	低速	—	○注1
AP0_14	○	—	—	—	—	○	低速	—	○注1
AP0_15	○	—	—	—	—	○	低速	—	○注1
AP1_0	○	—	—	—	—	○	低速	—	○注1
AP1_1	○	—	—	—	—	○	低速	—	○注1
AP1_2	○	—	—	—	—	○	低速	—	○注1
AP1_3	○	—	—	—	—	○	低速	—	○注1
AP1_4	○	—	—	—	—	○	低速	—	○注1
AP1_5	○	—	—	—	—	○	低速	—	○注1
AP1_6	○	—	—	—	—	○	低速	—	○注1
AP1_7	○	—	—	—	—	○	低速	—	○注1
AP1_8	○	—	—	—	—	○	低速	—	○注1
AP1_9	○	—	—	—	—	○	低速	—	○注1
AP1_10	○	—	—	—	—	○	低速	—	○注1
AP1_11	○	—	—	—	—	○	低速	—	○注1
AP1_12	○	—	—	—	—	○	低速	—	○注1
AP1_13	○	—	—	—	—	○	低速	—	○注1
AP1_14	○	—	—	—	—	○	低速	—	○注1
AP1_15	○	—	—	—	—	○	低速	—	○注1
IP0_0	—	—	—	—	—	—	—	—	—
JP0_0	—	○	—	○	○	—	低速	○	○
JP0_1	—	○	—	○	—	—	低速 / 高速注3	○	○
JP0_2	—	○	—	○	○	—	低速 / 高速	○	○
JP0_3	—	○	—	○	○	—	低速 / 高速	○	○
JP0_4	—	—	—	○	○注5	—	低速	○	○
JP0_5	—	○	—	○	—	—	低速 / 高速	○	○
JP0_6	—	○	—	○	—	—	低速 / 高速	○	○
P0_0	—	○	—	○	—	—	低速 / 高速	○	○

(2/4)

端子名	ポート入力バッファ機能						ポート出力 ドライブ強度 モード	他ポート機能	
	CMOS	SHMT1	SHMT2	SHMT4	TTL	アナログ		プルアップ	プルダウン
P0_1	—	○	—	○	—	—	低速 / 高速	○	○
P0_2	—	○	—	○	—	—	低速 / 高速 ^{注2}	○	○
P0_3	—	○	—	○	—	—	低速 / 高速 ^{注2}	○	○
P0_4	—	○	—	○	—	—	低速 / 高速	○	○
P0_5	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P0_6	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P0_7	—	○	—	○	—	—	低速 / 高速	○	○
P0_8	—	○	—	○	—	—	低速 / 高速	○	○
P0_9	—	○	—	○	—	—	低速 / 高速	○	○
P0_10	—	○	—	○	—	—	低速 / 高速	○	○
P0_11	—	○	—	○	—	—	低速 / 高速	○	○
P0_12	—	○	—	○	—	—	低速 / 高速	○	○
P0_13	—	○	—	○	—	—	低速 / 高速	○	○
P0_14	—	○	—	○	—	—	低速 / 高速	○	○
P1_0	—	○	—	○	—	—	低速 / 高速	○	○
P1_1	—	○	—	○	—	—	低速 / 高速	○	○
P1_2	—	○	—	○	—	—	低速 / 高速	○	○
P1_3	—	○	—	○	—	—	低速 / 高速	○	○
P1_4	—	○	—	○	—	—	低速 / 高速	○	○
P1_5	—	○	—	○	—	—	低速 / 高速	○	○
P1_6	—	○	—	○	—	—	低速 / 高速	○	○
P1_7	—	○	—	○	—	—	低速 / 高速	○	○
P1_8	—	○	—	○	—	—	低速 / 高速	○	○
P1_9	—	○	—	○	—	—	低速 / 高速	○	○
P1_10	—	○	—	○	—	—	低速 / 高速	○	○
P1_11	—	○	—	○	—	—	低速 / 高速	○	○
P1_12	—	○	—	○	—	—	低速 / 高速	○	○
P1_13	—	○	—	○	—	—	低速 / 高速	○	○
P1_14	—	○	—	○	—	—	低速 / 高速	○	○
P1_15	—	○	—	○	—	—	低速 / 高速	○	○
P10_0	—	○	—	○	—	—	低速 / 高速	○	○
P10_1	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P10_2	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P10_3	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P10_4	—	○	—	○	—	—	低速 / 高速	○	○
P10_5	—	○	—	○	—	—	低速 / 高速	○	○
P10_6	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P10_7	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P10_8	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P10_9	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P10_10	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P10_11	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P10_12	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P10_13	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P10_14	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P10_15	—	○	—	○	—	—	低速 / 高速	○	○

(3/4)

端子名	ポート入力バッファ機能						ポート出力 ドライブ強度 モード	他ポート機能	
	CMOS	SHMT1	SHMT2	SHMT4	TTL	アナログ		プルアップ	プルダウン
P11_0	—	○	—	○	—	—	低速 / 高速	○	○
P11_1	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P11_2	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P11_3	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P11_4	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P11_5	—	○	—	○	—	—	低速 / 高速	○	○
P11_6	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P11_7	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P11_8	—	○	—	○	—	—	低速 / 高速	○	○
P11_9	—	○	—	○	—	—	低速 / 高速	○	○
P11_10	—	○	—	○	—	—	低速 / 高速	○	○
P11_11	—	○	—	○	—	—	低速 / 高速	○	○
P11_12	—	○	—	○	—	—	低速 / 高速	○	○
P11_13	—	○	—	○	—	—	低速 / 高速	○	○
P11_14	—	○	—	○	—	—	低速 / 高速	○	○
P11_15	—	○	—	○	—	—	低速 / 高速	○	○
P12_0	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P12_1	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P12_2	—	○	—	○	—	—	低速 / 高速 ^{注3}	○	○
P12_3	—	○	—	○	—	—	低速 / 高速	○	○
P12_4	—	○	—	○	—	—	低速 / 高速	○	○
P12_5	—	○	—	○	—	—	低速 / 高速	○	○
P18_0	—	○	—	○	—	○	低速 / 高速 ^{注3}	○	○ ^{注4}
P18_1	—	○	—	○	—	○	低速 / 高速 ^{注3}	○	○ ^{注4}
P18_2	—	○	—	○	—	○	低速 / 高速 ^{注3}	○	○ ^{注4}
P18_3	—	○	—	○	—	○	低速 / 高速 ^{注3}	○	○ ^{注4}
P18_4	—	○	—	○	—	○	低速 / 高速 ^{注3}	○	○ ^{注4}
P18_5	—	○	—	○	—	○	低速 / 高速 ^{注3}	○	○ ^{注4}
P18_6	—	○	—	○	—	○	低速 / 高速 ^{注3}	○	○ ^{注4}
P18_7	—	○	—	○	—	○	低速 / 高速 ^{注3}	○	○ ^{注4}
P2_0	—	○	—	○	—	—	低速 / 高速	○	○
P2_1	—	○	—	○	—	—	低速 / 高速	○	○
P2_2	—	○	—	○	—	—	低速 / 高速	○	○
P2_3	—	○	—	○	—	—	低速 / 高速	○	○
P2_4	—	○	—	○	—	—	低速 / 高速	○	○
P2_5	—	○	—	○	—	—	低速 / 高速	○	○
P2_6	—	○	—	○	—	—	低速 / 高速	○	○
P20_0	—	○	—	○	—	—	低速 / 高速	○	○
P20_1	—	○	—	○	—	—	低速 / 高速	○	○
P20_2	—	○	—	○	—	—	低速 / 高速	○	○
P20_3	—	○	—	○	—	—	低速 / 高速	○	○
P20_4	—	○	—	○	—	—	低速 / 高速	○	○
P20_5	—	○	—	○	—	—	低速 / 高速	○	○
P8_0	—	○	—	○	—	○	低速	○	○ ^{注4}
P8_1	—	○	—	○	—	○	低速	○	○ ^{注4}
P8_2	—	○	—	○	—	○	低速	○	○ ^{注4}

(4/4)

端子名	ポート入力バッファ機能						ポート出力 ドライブ強度 モード	他ポート機能	
	CMOS	SHMT1	SHMT2	SHMT4	TTL	アナログ		プルアップ	プルダウン
P8_3	—	○	—	○	—	○	低速	○	○注4
P8_4	—	○	—	○	—	○	低速	○	○注4
P8_5	—	○	—	○	—	○	低速	○	○注4
P8_6	—	○	—	○	—	○	低速	○	○注4
P8_7	—	○	—	○	—	○	低速	○	○注4
P8_8	—	○	—	○	—	○	低速	○	○注4
P8_9	—	○	—	○	—	○	低速	○	○注4
P8_10	—	○	—	○	—	○	低速	○	○注4
P8_11	—	○	—	○	—	○	低速	○	○注4
P8_12	—	○	—	○	—	○	低速	○	○注4
P9_0	—	○	—	○	—	○	低速	○	○注4
P9_1	—	○	—	○	—	○	低速	○	○注4
P9_2	—	○	—	○	—	○	低速	○	○注4
P9_3	—	○	—	○	—	○	低速	○	○注4
P9_4	—	○	—	○	—	○	低速	○	○注4
P9_5	—	○	—	○	—	○	低速	○	○注4
P9_6	—	○	—	○	—	○	低速	○	○注4

- 注 1. ADC 診断用のプルダウン抵抗です。ADC 自己診断レジスタ経由で制御してください。
- 注 2. 100pF の容量負荷をサポート
- 注 3. 50pF の容量負荷をサポート
- 注 4. ADC 診断および内蔵プルダウン用のプルダウン抵抗です。ADC 診断用には、ADC 自己診断レジスタ経由で制御してください。内蔵プルダウン用には、PD レジスタ経由で制御してください。
- 注 5. TTL は、バウンダリスキャンモードまたは Nexus 通常動作モード時に選択されます。

条件： REGVCC = EVCC = VPOC ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
 A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
 CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
 CL = 30 pF

(1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイレベル入力電圧	VIH	CMOS	0.65 × IOVCC		IOVCC + 0.3	V		
		SHMT1 注3	0.65 × IOVCC		IOVCC + 0.3	V		
		SHMT2	0.75 × IOVCC		IOVCC + 0.3	V		
		SHMT4	0.8 × IOVCC		IOVCC + 0.3	V		
		TTL	EVCC = VPOC ~ 3.6 V	2.0		IOVCC + 0.3	V	
			EVCC = 3.6 V ~ 5.5 V	2.2		IOVCC + 0.3	V	
IP0_0 端子		0.7 × REGVCC		REGVCC	V			
ロウレベル入力電圧	VIL	CMOS	-0.3		0.35 × IOVCC	V		
		SHMT1	-0.3		0.35 × IOVCC	V		
		SHMT2	-0.3		0.25 × IOVCC	V		
		SHMT4	-0.3		0.5 × IOVCC	V		
		TTL	-0.3		0.8	V		
		IP0_0 端子		0		0.3 × REGVCC	V	
入力ヒステリシス幅	VH	SHMT1	0.3			V		
		SHMT2	0.2 × IOVCC			V		
		SHMT4	0.1			V		
入力リーク電流	ILIH	IP0_0 ピン, VI = REGVCC			0.5	μ A		
		RESET, FLMD0, JP0, P0, P1, P2, P8, P9, P10, P11, P12, P18, P20 端子, VI = EVCC 注2			0.5	μ A		
		AP0 ピン, VI = A0VREF 注2, Tj \leq 130°C			0.3	μ A		
		AP0 ピン, VI = A0VREF 注2			0.5	μ A		
		AP1 ピン, VI = A1VREF 注2, Tj \leq 130°C			0.3	μ A		
		AP1 ピン, VI = A1VREF 注2			0.5	μ A		
	ILIL	IP0_0 ピン, VI = 0 V				-0.5	μ A	
		RESET, FLMD0, JP0, P0, P1, P2, P8, P9, P10, P11, P12, P18, P20 ピン, VI = 0 V 注2				-0.5	μ A	
		AP0 ピン, VI = 0 V 注2, Tj \leq 130°C				-0.3	μ A	
		AP0 ピン, VI = 0 V 注2				-0.5	μ A	
		AP1 ピン, VI = 0 V 注2, Tj \leq 130°C				-0.3	μ A	
		AP1 ピン, VI = 0 V 注2				-0.5	μ A	
		内部ブルアップ抵抗	RU	FLMD0 端子以外, VI = 0V	20 (275 μ A)	40	100	k Ω
				FLMD0 端子, VI = 0V 注3	4 (1375 μ A)		36	k Ω
内部ブルダウン抵抗	RD	FLMD0 端子以外, VI = EVCC	20 (275 μ A)	40	100	k Ω		
		FLMD0 端子, VI = EVCC	4 (1375 μ A)		36	k Ω		
ハイレベル出力電圧	VOH	高速モード	IOH = -5 mA (6 ピン) 注4	IOVCC - 1.0		V		
			IOH = -3 mA (10 ピン) 注4	IOVCC - 1.0		V		
			IOH = -1 mA (16 ピン) 注4	IOVCC - 0.5		V		
			IOH = -0.1 mA (16 ピン) 注4	IOVCC - 0.5		V		
		低速モード	IOH = -1 mA (16 ピン) 注4	IOVCC - 0.5		V		
			IOH = -0.1 mA (16 ピン) 注4	IOVCC - 0.5		V		

(2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウレベル出力電圧	VOL	高速モード	IOL = 5 mA (6 ピン) 注4		0.4	V
			IOL = 3 mA (10 ピン) 注4		0.4	V
			IOL = 1 mA (16 ピン) 注4		0.4	V
		低速モード	IOL = 1 mA (16 ピン) 注4		0.4	V
立ち上がり/立ち下がり時間	t _{KRP} /t _{KFP}	高速モード (以下のピンを除く) 注5	CL = 30 pF		7	ns
			CL = 50 pF		12	ns
			CL = 100 pF		24	ns
		高速モード (P0_5, P0_6, P10_1, P10_2, P11_2, P11_3, P11_6, P11_7) 注6	CL = 50 pF		6	ns
		高速モード (P0_2, P0_3) 注6	CL = 100 pF		6.15	ns
		低速モード 注5	CL = 30 pF		37	ns
			CL = 50 pF		62	ns
			CL = 100 pF		124	ns
		出力周波数	f _o	高速モード	CL = 30 pF	
低速モード	CL = 30 pF				10	MHz
	CL = 50 pF				6	MHz
	CL = 100 pF				3	MHz

注 1. “IOVCC” は、電源に配置された端子 (EVCC, A0VREF, または A1VREF) を表します。

注 2. ADCn のアナログ入力機能を選択していません。

注 3. FLMDCNT レジスタにより FLMD0 端子の内蔵プルアップ抵抗を有効にする場合、FLMD0 端子には 86kΩ 以上の外付けプルダウン抵抗を接続してください。

注 4. 同時オンになるピン数を示しています。

注 5. 測定点 : 0.1 × IOVCC ~ 0.9 × IOVCC

注 6. 測定点 : 0.2 × IOVCC ~ 0.8 × IOVCC

40.9.1 出力電流

40.9.1.1 176 ピン

項目	略号	端子グループ	条件	MIN.	TYP.	MAX.	単位	
ハイレベル出力電流	IOH	PgE	サイド 1 (P9_0 ~ P9_6, P20_0 ~ P20_5 の総和)			-30	mA	
			サイド 2 (P10_6 ~ P10_9, P18_0 ~ P18_7 の総和)			-30	mA	
			サイド 3 (P10_10 ~ P10_14, P11_1 ~ P11_7, P11_15, P12_0 ~ P12_2 の総和)			-30	mA	
			サイド 4 (P10_0 ~ P10_5 の総和)			-30	mA	
			サイド 5 (P0_0 ~ P0_3, P10_15, P11_0, P11_8 ~ P11_14, P12_3 ~ P12_5 の総和)			-30	mA	
			サイド 6 (JP0_3 ~ JP0_5, P0_4 ~ P0_6, P0_11 ~ P0_14, P1_0 ~ P1_3, P1_12, P1_13, P2_6, P8_2, P8_10 ~ P8_12 の総和)			-30	mA	
			サイド 7 (JP0_0 ~ JP0_2, P1_8 ~ P1_11, P2_0, P2_1 の総和)			-30	mA	
			サイド 8 (JP0_6, P0_7 ~ P0_10, P1_4 ~ P1_7, P1_14, P1_15, P2_2 ~ P2_5, P8_0, P8_1, P8_3 ~ P8_9 の総和)			-30	mA	
			総和 (EVCC : サイド 1 ~ サイド 4)			-60	mA	
			総和 (EVCC : サイド 4 ~ サイド 8)			-60	mA	
		PgA0	総和 (A0VREF)				-16	mA
		PgA1	総和 (A1VREF)				-16	mA
ロウレベル出力電流	IOL	PgE	サイド 1 (P9_0 ~ P9_6, P20_0 ~ P20_5 の総和)			30	mA	
			サイド 2 (P18_0 ~ P18_7 の総和)			30	mA	
			サイド 3 (P10_6 ~ P10_14, P11_1, P11_2 の総和)			30	mA	
			サイド 4 (P11_3 ~ P11_7, P11_15, P12_0 ~ P12_2 の総和)			30	mA	
			サイド 5 (P10_0 ~ P10_5 の総和)			30	mA	
			サイド 6 (P10_15, P11_0, P11_8 ~ P11_14, P12_3 ~ P12_5 の総和)			30	mA	
			サイド 7 (P0_0 ~ P0_6, P0_11 ~ P0_14, P1_0 ~ P1_3, P1_12, P1_13, P2_6 の総和)			30	mA	
			サイド 8 (JP0_0 ~ JP0_5, P1_8 ~ P1_11, P2_0, P2_1, P8_2, P8_10 ~ P8_12 の総和)			30	mA	
			サイド 9 (JP0_6, P0_7 ~ P0_10, P2_2, P2_3 の総和)			30	mA	
			サイド 10 (P1_4 ~ P1_7, P1_14, P1_15, P2_4, P2_5, P8_0, P8_1, P8_3 ~ P8_9 の総和)			30	mA	
		総和 (EVCC : サイド 1 ~ サイド 5)			60	mA		
		総和 (EVCC : サイド 5 ~ サイド 10)			60	mA		
		PgA0	総和 (A0VSS)				16	mA
		PgA1	総和 (A1VSS)				16	mA

備考 “サイド”と“総和”の詳細な定義については、「40.2.3 ポート電流」を参照してください。

40.9.1.2 144 ピン

項目	略号	端子グループ	条件	MIN.	TYP.	MAX.	単位		
ハイレベル 出力電流	IOH	PgE	サイド 1 (P9_0 ~ P9_6, P20_4, P20_5 の総和)			-17	mA		
			サイド 2 (P10_6 ~ P10_9, P18_0 ~ P18_3 の総和)			-30	mA		
			サイド 3 (P10_10 ~ P10_14, P11_1 ~ P11_7, P11_15, P12_0 ~ P12_2 の総和)			-30	mA		
			サイド 4 (P0_0 ~ P0_3, P10_0 ~ P10_5, P10_15, P11_0, P11_8 ~ P11_14 の総和)			-30	mA		
			サイド 5 (JP0_3 ~ JP0_5, P0_4 ~ P0_6, P0_11 ~ P0_14, P1_0 ~ P1_3, P8_2, P8_10 ~ P8_12 の総和)			-30	mA		
			サイド 6 (JP0_0 ~ JP0_2, P1_8 ~ P1_11 の総和)			-30	mA		
			サイド 7 (JP0_6, P0_7 ~ P0_10, P1_4 ~ P1_7, P8_0, P8_1, P8_3 ~ P8_9 の総和)			-30	mA		
			総和 (EVCC : サイド 1 ~ サイド 4)			-60	mA		
			総和 (EVCC : サイド 4 ~ サイド 7)			-60	mA		
			PgA0	総和 (A0VREF)				-16	mA
	PgA1	総和 (A1VREF)				-16	mA		
ロウレベル 出力電流	IOL	PgE	サイド 1 (P9_0 ~ P9_6, P20_4, P20_5 の総和)			17	mA		
			サイド 2 (P18_0 ~ P18_3 の総和)			20	mA		
			サイド 3 (P10_6 ~ P10_14, P11_1, P11_2 の総和)			30	mA		
			サイド 4 (P11_3 ~ P11_7, P11_15, P12_0 ~ P12_2 の総和)			30	mA		
			サイド 5 (P0_0 ~ P0_6, P0_11 ~ P0_14, P1_0 ~ P1_3, P10_0 ~ P10_5, P10_15, P11_0, P11_8 ~ P11_14 の総和)			30	mA		
			サイド 6 (JP0_0 ~ JP0_5, P1_8 ~ P1_11, P8_2, P8_10 ~ P8_12 の総和)			30	mA		
			サイド 7 (JP0_6, P0_7 ~ P0_10 の総和)			25	mA		
			サイド 8 (P1_4 ~ P1_7, P8_0, P8_1, P8_3 ~ P8_9 の総和)			29	mA		
			総和 (EVCC : サイド 1 ~ サイド 5)			60	mA		
			総和 (EVCC : サイド 5 ~ サイド 8)			60	mA		
				PgA0	総和 (A0VSS)				16
			PgA1	総和 (A1VSS)				16	mA

備考 “サイド”と“総和”の詳細な定義については、「40.2.3 ポート電流」を参照してください。

40.9.1.3 100ピン

項目	略号	端子グループ	条件	MIN.	TYP.	MAX.	単位
ハイレベル 出力電流	IOH	PgE	サイド (P9_0 ~ P9_6 の総和)			-7	mA
			サイド (P0_0 ~ P0_3, P10_3 ~ P10_5, P10_15, P11_0 の総和)			-30	mA
			サイド (JP0_3 ~ JP0_5, P0_4 ~ P0_6, P0_11 ~ P0_14, P8_2, P8_10 ~ P8_12 の総和)			-30	mA
			サイド (JP0_0 ~ JP0_2 の総和)			-11	mA
			サイド (P0_7 ~ P0_10, P8_0, P8_1, P8_3 ~ P8_9 の総和)			-29	mA
			サイド (P10_6 ~ P10_9 の総和)			-20	mA
			サイド (P10_10 ~ P10_14, P11_1 ~ P11_7 の総和)			-30	mA
			サイド (P10_0 ~ P10_2 の総和)			-15	mA
			総和 (EVCC)			-60	mA
				PgA0	総和 (A0VREF)		
ロウレベル 出力電流	IOL	PgE	サイド (P9_0 ~ P9_6 の総和)			7	mA
			サイド (P0_0 ~ P0_6, P0_11 ~ P0_14, P10_3 ~ P10_5, P10_15, P11_0 の総和)			30	mA
			サイド (JP0_0 ~ JP0_5, P8_2, P8_10 ~ P8_12 の総和)			26	mA
			サイド (P0_7 ~ P0_10 の総和)			20	mA
			サイド (P8_0, P8_1, P8_3 ~ P8_9 の総和)			9	mA
			サイド (P10_6 ~ P10_14, P11_1, P11_2 の総和)			30	mA
			サイド (P11_3 ~ P11_7 の総和)			25	mA
			サイド (P10_0 ~ P10_2 の総和)			15	mA
			総和 (EVCC)			60	mA
				PgA0	総和 (A0VSS)		

備考 “サイド”と“総和”の詳細な定義については、「40.2.3 ポート電流」を参照してください。

40.10 電源電流

条件： REGVCC、EVCC、A0VREF と A1VREF の合計電流。ただし、I/O バッファは停止。

ECO

項目	略号	条件				MIN.	TYP. 注1	MAX.	単位
		CPU	PLL	Tj	周辺注2				
RUN モード電流	IDDR	動作 (80 MHz)	動作	-40 ~ 150°C	動作 (#1)		26	74	mA
				25°C	停止 (#1)		20		mA
RUN モード電流 (データ/コードフラッシュ書き込み時)	IDDR3	動作 (80 MHz)	動作	-40 ~ 150°C	動作 (#2)		37	89	mA
HALT モード電流	IDDH	動作 (80 MHz)	動作	-40 ~ 150°C	動作 (#3)		23	72	mA

ADVANCED, PREMIUM

項目	略号	条件				MIN.	TYP. 注1	MAX.	単位
		CPU	PLL	Tj	周辺注2				
RUN モード電流	IDDR	動作 (120 MHz)	動作	-40 ~ 150°C	動作 (#1)		32	81	mA
				25°C	停止 (#1)		26		mA
RUN モード電流 (データ/コードフラッシュ書き込み時)	IDDR3	動作 (120 MHz)	動作	-40 ~ 150°C	動作 (#2)		43	96	mA
HALT モード電流	IDDH	動作 (120 MHz)	動作	-40 ~ 150°C	動作 (#3)		29	77	mA

項目	略号	条件				MIN.	TYP. 注1	MAX.	単位
		CPU	PLL	Tj	周辺注2				
STOP モード電流	IDDS	停止	停止	-40 ~ 90°C	停止 (#2)		0.7	12	mA
				110°C	停止 (#2)			17	mA
				135°C	停止 (#2)			31	mA
DeepSTOP モード電流	IDDDS	電源オフ	電源オフ	-40 ~ 85°C	停止 (#3)		50	470	μA
				105°C	停止 (#3)			830	μA
				125°C	停止 (#3)			1370	μA
Cyclic RUN モード電流	IDDCR	動作 (HS IntOSC)	停止	-40 ~ 90°C	動作 (#4)		3.6	21	mA
				115°C	動作 (#4)			28	mA
				135°C	動作 (#4)			40	mA
Cyclic STOP モード電流	IDDCS	停止	停止	-40 ~ 90°C	動作 (#5)		1.1	13	mA
				110°C	動作 (#5)			18	mA
				135°C	動作 (#5)			32	mA

注 1. "TYP." の条件は、以下の条件を備えた仕様を示します。また、値は参考値です。

- Tj = 25°C
- REGVCC = EVCC = A0VREF = A1VREF = 5.0 V
- AWOVSS = EVSS = A0VSS = A1VSS = 0 V

注 2. 各周辺機能の動作条件は、次ページの表に示します。

注 意

Ta の範囲以内、接合温度が 150 °C 以下、適用条件（熱抵抗、電源電流、周辺電流（電源電流に含まれていない場合）、ポート出力電流、注入電流）の限界を超えていないことすべてを満たす必要があります。

機能	動作					停止			
	(#1)	(#2)	(#3)	(#4)	(#5)	(#1)	(#2)	(#3)	
AWO	MainOSC	動作	動作	動作	停止	停止	動作	停止	停止
	SubOSC	停止	停止	停止	停止	停止	停止	停止	停止
	HS IntOSC	動作	動作	動作	動作	停止	動作	停止	停止
	FOUT	停止	停止	停止	停止	停止	停止	停止	停止
	LPS	停止	停止	停止	停止	停止	停止	停止	停止
	RRAM	読み出し/ 書き込み	読み出し/ 書き込み	アクセスなし	フェッチ	アクセスなし	読み出し/ 書き込み	アクセスなし	アクセスなし
	WDTA0	停止	停止	停止	停止	停止	停止	停止	停止
	TAUJ0	動作	動作	動作	動作 (LS IntOSC)	動作 (LS IntOSC)	停止	停止	停止
	RTCA0	動作	動作	動作	動作 (LS IntOSC)	動作 (LS IntOSC)	停止	停止	停止
	CLMA0	動作	動作	動作	動作	停止	停止	停止	停止
	CLMA1	動作	動作	動作	停止	停止	停止	停止	停止
	ADCA0	動作 ^{注1}	動作 ^{注1}	動作 ^{注1}	停止	停止	停止	停止	停止
ISO	CPU	動作 (PLL)	動作 (PLL)	停止 (PLL)	動作 (HS IntOSC)	停止	動作 (PLL)	停止	電源オフ
	DMA	動作	動作	動作	停止	停止	停止	停止	
	PLL	動作	動作	動作	停止	停止	動作	停止	
	Code flash	フェッチ	フェッチ	アクセスなし	アクセスなし	アクセスなし	フェッチ	アクセスなし	
	Data flash	読み出し	書き込み/ 消去	アクセスなし	アクセスなし	アクセスなし	読み出し	アクセスなし	
	LRAM	読み出し/ 書き込み	読み出し/ 書き込み	アクセスなし	アクセスなし	アクセスなし	読み出し/ 書き込み	アクセスなし	
	OSTM0	動作	動作	動作	停止	停止	停止	停止	
	WDTA1	停止	停止	停止	停止	停止	停止	停止	
	TAUD0	動作	動作	動作	停止	停止	停止	停止	
	TAUBn	動作	動作	動作	停止	停止	停止	停止	
	TAUJ1	動作	動作	動作	停止	停止	停止	停止	
	TAPA, PIC	停止	停止	停止	停止	停止	停止	停止	
	ENCA0	動作	動作	動作	停止	停止	停止	停止	
	PWM-diag	動作	動作	動作	停止	停止	停止	停止	
	RLIN3n	動作	動作	動作	停止	停止	停止	停止	
	RLIN2n	待機	待機	待機	停止	停止	停止	停止	
	RS-CANn	待機	待機	待機	停止	停止	停止	停止	
	CSIGn	動作	動作	動作	停止	停止	停止	停止	
	CSIHn	動作	動作	動作	停止	停止	停止	停止	
	RIIC0	待機	待機	待機	停止	停止	停止	停止	
CLMA2	動作	動作	動作	停止	停止	停止	停止		
ADCA1	動作	動作	動作	停止	停止	停止	停止		

注 1. T&H 使用時

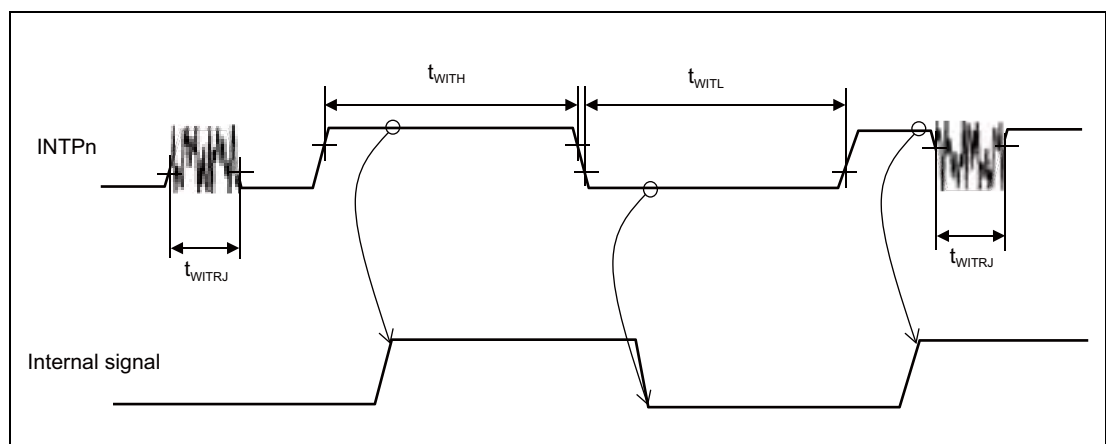
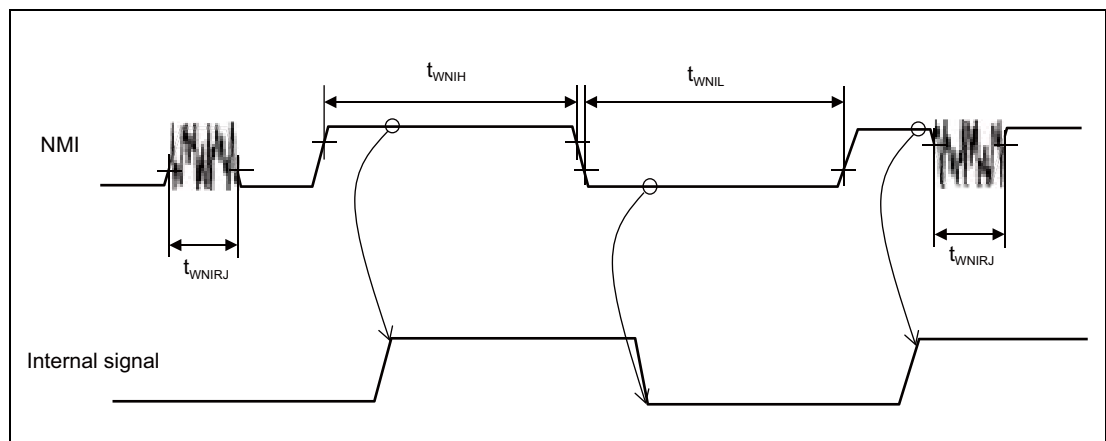
40.11 割り込みタイミング

条件： REGVCC = EVCC = 3.0 V ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
 A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
 CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
 CL = 30 pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
NMI 入力ハイ/ロウ レベル幅 ^{注1}	$t_{WNIH}/$ t_{WNIL}	エッジ検出モード	600			ns
		レベル検出モード (EMCLK は高速内蔵発振器で作動)	756			ns
		レベル検出モード (EMCLK は低速内蔵発振器で作動)	5.13			μ s
NMI パルス除去 ^{注2}	t_{WNIRJ}		100			ns
INTPn 入力ハイ/ロウ レベル幅 ^{注1}	$t_{WITh}/$ t_{WITL}	エッジ検出モード	600			ns
		レベル検出モード (EMCLK は高速内蔵発振器で作動)	756			ns
		レベル検出モード (EMCLK は低速内蔵発振器で作動)	5.13			μ s
INTPn パルス除去 ^{注2}	t_{WITRJ}		100			ns

注1. NMI と INTPn の入力幅は、内部割り込み信号がアクティブであることを保証するために必要です。

注2. 小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。



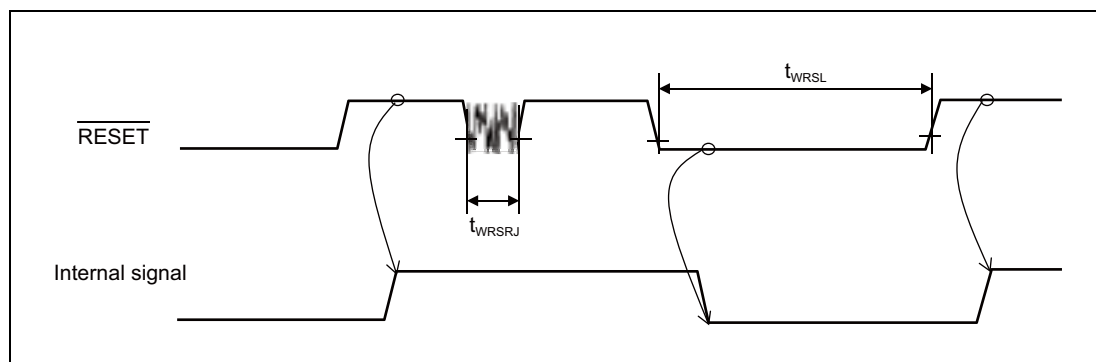
40.12 $\overline{\text{RESET}}$ タイミング

条件: REGVCC = EVCC = 3.0 V ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
 A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
 CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
 CL = 30 pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{RESET}}$ 入力ロウレベル幅注1	t_{WRSL}	パワーオン時を除く	600			ns
$\overline{\text{RESET}}$ パルス除去注2	t_{WRSRJ}		100			ns

注1. $\overline{\text{RESET}}$ 入力幅は、内部リセット信号がアクティブであることを保証するために必要です。

注2. 最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。

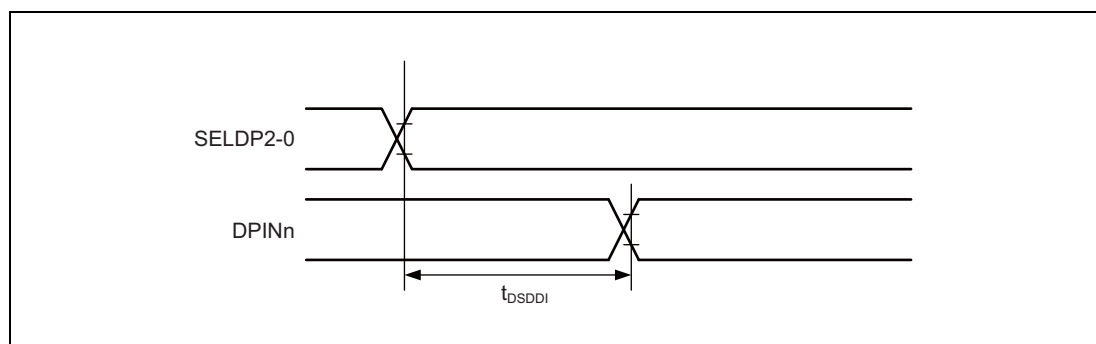


40.13 ロウパワーサンプリング (DPIN 入力) タイミング

条件: REGVCC = EVCC = 3.0 V ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
 A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
 CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
 CL = 30 pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
DPINn 入力遅延時間 (対 SELDP2-0)	t_{DSDDI}				150	ns

n = 7 ~ 0



40.14 CSCXFOUT タイミング

条件: REGVCC = EVCC = 3.0 V ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
CL = 30 pF

< 出力ドライバ強度 >

CSCXFOUT : 低速または高速モード (以下の表の条件を参照してください。)

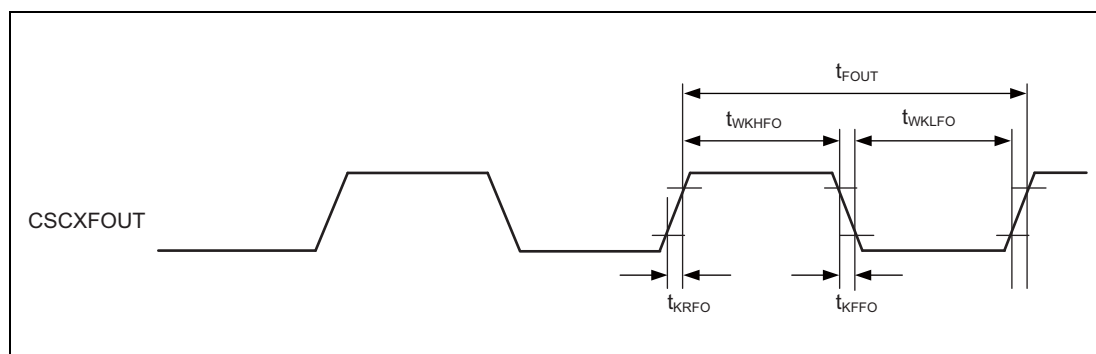
項目	略号	条件	MIN.	TYP.	MAX.	単位
CSCXFOUT 出力サイクル	t_{FOUT}	低速モード	100 (max. 10 MHz)			ns
		高速モード (JP0_3 端子を除く) 注1	41.6 (max. 24 MHz)			ns
CSCXFOUT ハイレベル幅	t_{WKHFO}	低速モード	N:1 注2 または 偶数値 注3	$t_{FOUT}/2 - 37$		ns
			N: 奇数値 (N \geq 5) 注3, 注4	$t_{FOUT} \times$ (N + 1)/2N - 37		ns
		高速モード (JP0_3 端子を除く) 注1	N:1 注2 または 偶数値 注3	$t_{FOUT}/2 - 10$		ns
			N: 奇数値 (N \geq 3) 注3	$t_{FOUT} \times$ (N + 1)/2N - 10		ns
CSCXFOUT ローレベル幅	t_{WKLFO}	低速モード	N:1 注2 または 偶数値 注3	$t_{FOUT}/2 - 37$		ns
			N: 奇数値 (N \geq 5) 注3, 注4	$t_{FOUT} \times$ (N - 1)/2N - 37		ns
		高速モード (JP0_3 端子を除く) 注1	N:1 注2 または 偶数値 注3	$t_{FOUT}/2 - 10$		ns
			N: 奇数値 (N \geq 3) 注3	$t_{FOUT} \times$ (N - 1)/2N - 10		ns
CSCXFOUT 立ち上がり/立ち下がり時間	$t_{KRFO}/$ t_{KFFO}	低速モード			37	ns
		高速モード (JP0_3 端子を除く) 注1			10	ns

注 1. JP0_3 は高速モードをサポートしていません。

注 2. N = 1 のときのソースクロックとして、メイン発振回路、高速内蔵発振回路、低速内蔵発振回路またはサブ発振回路が選択されている場合、出力信号特性はソースクロックによって決まります。実際の環境で評価後、出力信号を使用することを推奨します。

注 3. “N” は FOUTDIV レジスタで設定された“クロック分周 N”の値です。

注 4. 低速モード使用時には、N = 3 を選択することは禁止です。



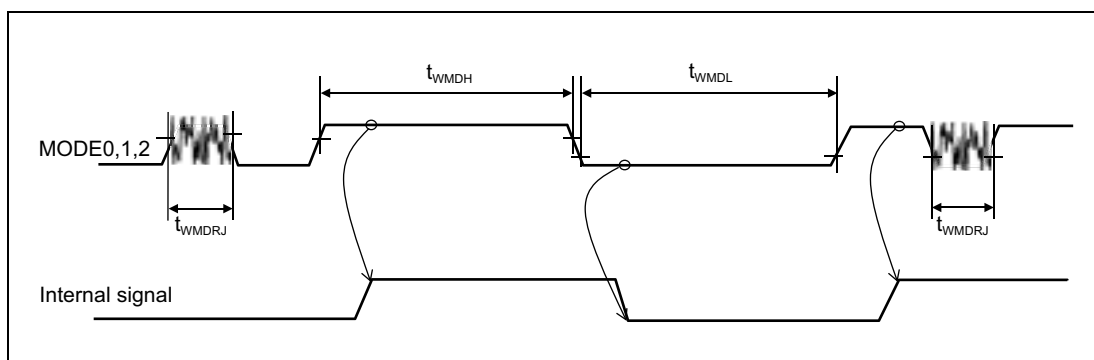
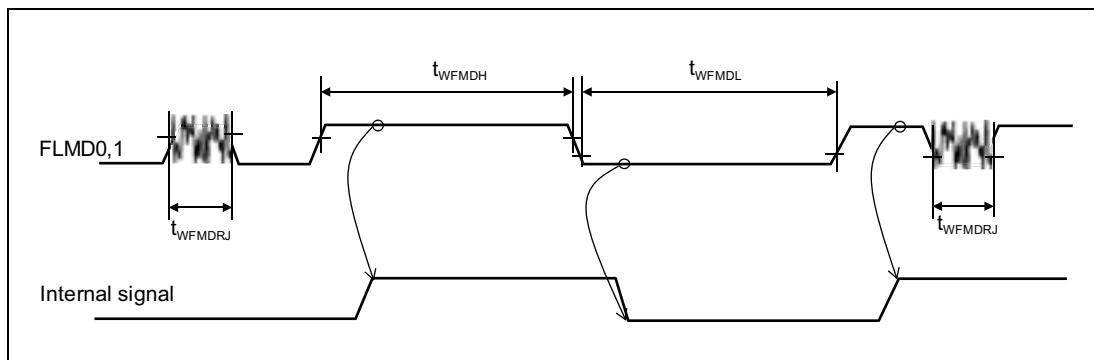
40.15 モードタイミング

条件： REGVCC = EVCC = 3.0 V ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
 A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
 CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
 CL = 30 pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0, 1 入力ハイ/ロウレベル幅 ^{注1}	$t_{WFMDH}/$ t_{WFMDL}		600			ns
FLMD0, 1 パルス除去 ^{注2}	t_{WFMDRJ}		100			ns
MODE0, 1, 2 入力ハイ/ロウレベル幅 ^{注1}	$t_{WMDH}/$ t_{WMDL}		600			ns
MODE0, 1, 2 パルス除去 ^{注2}	t_{WMDRJ}		100			ns

注1. FLMD0,1 と MODE0,1,2 の入力幅は、内部モード信号がアクティブであることを保証するために必要です。

注2. 最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。

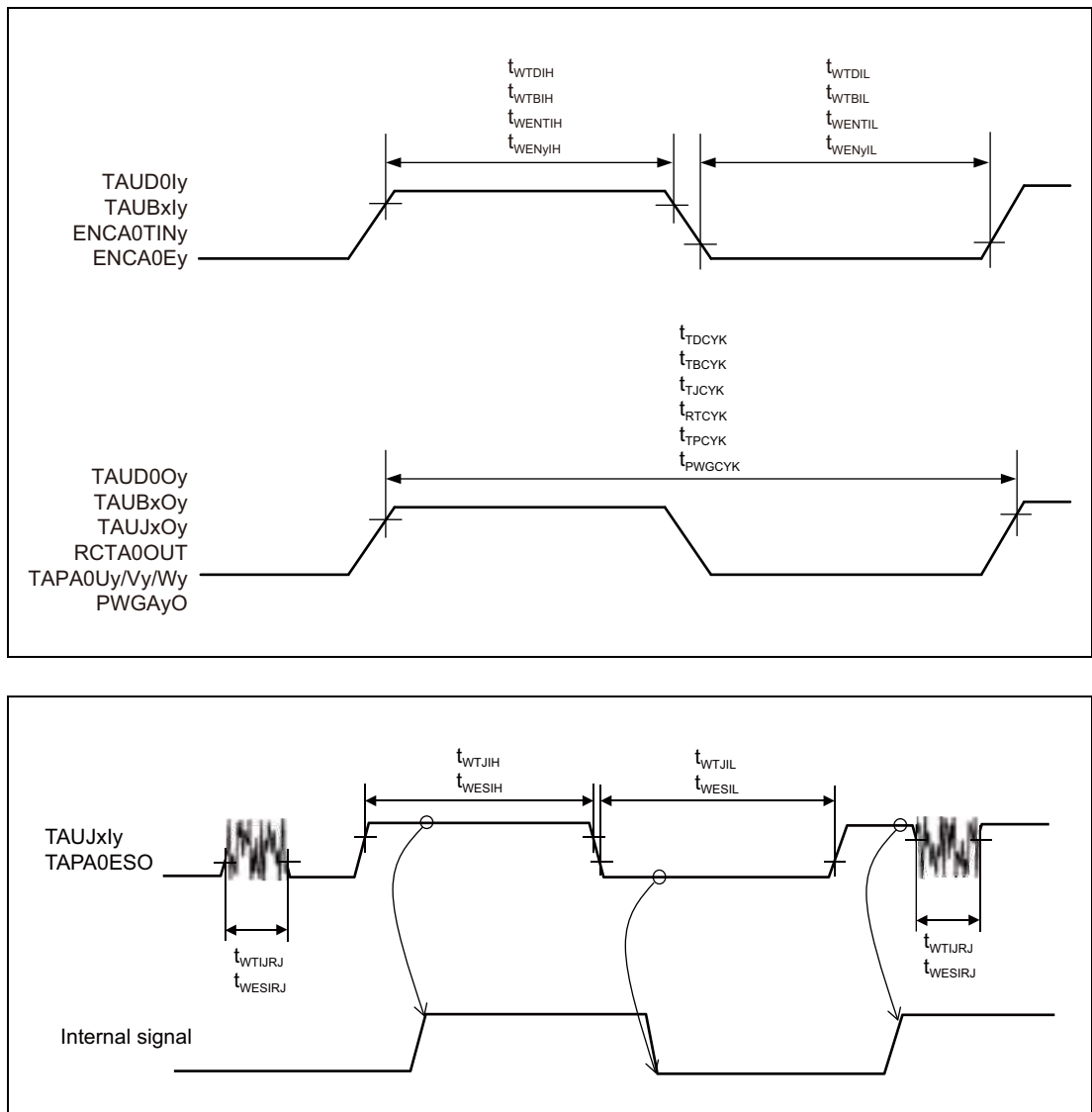


40.16 タイマタイミング

条件： REGVCC = EVCC = 3.0 V ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
 A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
 CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
 CL = 30 pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
TAUD0ly 入力ハイ/ロウレベル幅 (y = 0 ~ 15)	$t_{WTDIH}/$ t_{WTDIL}		$n \times Tsamp + 20$ 注1, 注2			ns
TAUD0Oy 出力サイクル (y = 0 ~ 15)	t_{TDCYK}	低速モード			10	MHz
TAUB0ly 入力ハイ/ロウレベル幅 (y = 0 ~ 15)	$t_{WTBIH}/$ t_{WTBIL}		$n \times Tsamp + 20$ 注1, 注2			ns
TAUB0Oy 出力サイクル (y = 0 ~ 15)	t_{TBCYK}	低速モード			10	MHz
TAUJxly 入力ハイ/ロウレベル幅注3 (x = 0, 1, y = 0 ~ 3)	$t_{WTJIH}/$ t_{WTJIL}		600			ns
TAUJxly パルス除去注4	t_{WTIJRJ}		100			ns
TAUJxOy 出力サイクル (x = 0, 1, y = 0 ~ 3)	t_{TJCYK}	低速モード			10	MHz
RTCA0OUT 出力サイクル	t_{RTCYK}			1		Hz
TAPA0ESO 入力ハイ/ロウレベル幅注3	$t_{WESIH}/$ t_{WESIL}		600			ns
TAPA0ESO パルス除去注4	t_{WESIRJ}		100			ns
TAPA0Uy/Vy/Wy 出力サイクル (y = P, N)	t_{TPCYK}	低速モード			10	MHz
ENCA0TINy 入力ハイ/ロウレベル幅 (y = 0, 1)	$t_{WENTIH}/$ t_{WENTIL}		$n \times Tsamp + 20$ 注1			ns
ENCA0Ey 入力ハイ/ロウレベル幅 (y = 0, 1, C)	$t_{WENyIH}/$ t_{WENyIL}		$n \times Tsamp + 20$ 注1			ns
PWGAyO 出力サイクル (y = 0 ~ 71)	t_{PWGcyK}	低速モード			10	MHz

- 注 1. n : 各入力用のデジタルノイズフィルタのサンプリング数。
 Tsamp : 各入力用のデジタルノイズフィルタのサンプリング時間。
- 注 2. 各タイマカウンタチャンネルの 1 カウントクロック幅より長い時間を入力してください。
- 注 3. TAUJxly と TAPA0ESO の入力幅は、内部タイマ入力信号がアクティブであることを保証するために必要です。
- 注 4. 最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。



40.17 RLIN2/RLIN3 タイミング

条件: REGVCC = EVCC = 3.0 V ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
CL = 30 pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
RLIN3 転送速度		LIN仕様	1		20	kbps
		LIN 拡張ポーレート	1		115.2 注1	kbps
		UART 機能			1.5	Mbps
RLIN2 転送速度		LIN仕様	1		20	kbps

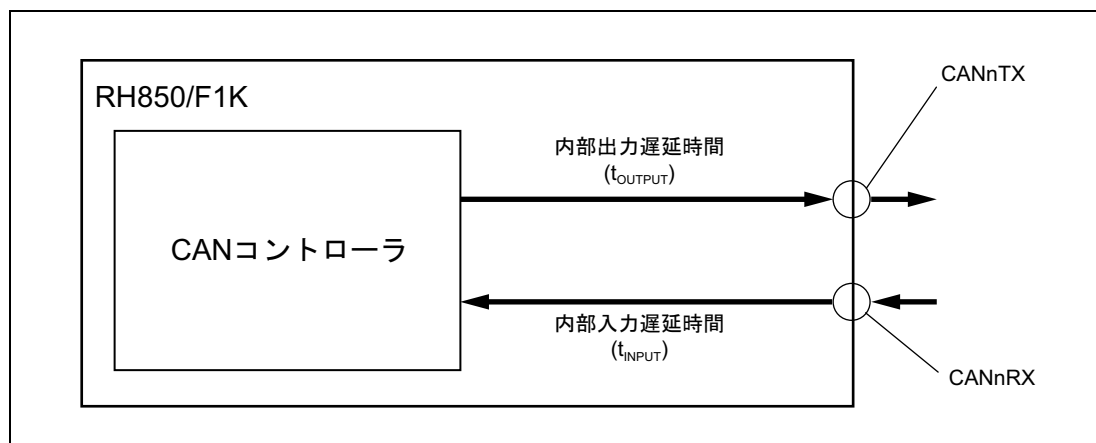
注1. LIN 拡張ポーレートは、LIN 標準仕様の一部ではありません。

40.18 RS-CAN タイミング

条件: REGVCC = EVCC = 3.0 V ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
CL = 30 pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送速度		ECO, ADVANCED			1	Mbps
		PREMIUM データレート			5 (@ TQ = 8)	Mbps
内部遅延時間注1	t _{NODE}				100	ns

注1. t_{NODE} = 内部入力遅延時間 (t_{INPUT}) + 内部出力遅延時間 (t_{OUTPUT})



40.19 CSI タイミング

40.19.1 CSIG タイミング

条件： REGVCC = EVCC = 3.0 V ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
CL = 30 pF

表 40.8 CSIG タイミング (マスタモード)

< 出力ドライバ強度 >

CSIGnSO, CSIGnSC (出力) : 高速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t _{KCYGn}		12.5 (max. 80 MHz)			ns
CSIGnSC サイクル時間	t _{KCYMGn}		100			ns
CSIGnSC ハイレベル幅	t _{KWHMGn}		0.5 × t _{KCYMGn} - 10			ns
CSIGnSC ローレベル幅	t _{KWLMGn}		0.5 × t _{KCYMGn} - 10			ns
CSIGnSI セットアップ時間 (対 CSIGnSC)	t _{SSIMGn}		30			ns
CSIGnSI ホールド時間 (対 CSIGnSC)	t _{HSIMGn}		0			ns
CSIGnSO 出力遅延 (対 CSIGnSC)	t _{DSOMGn}				7	ns
CSIGnRYI セットアップ時間 (対 CSIGnSC)	t _{SRYIGn}	CSIGnCTL1.CSIGnSIT = x CSIGnCTL1.CSIGnHSE = 1	2 × t _{KCYGn} + 25			ns
CSIGnRYI ハイレベル幅	t _{WRYIGn}	CSIGnCTL1.CSIGnHSE = 1	t _{KCYGn} + 5			ns

n = 0, 1

表 40.9 CSIG タイミング (スレーブモード)

< 出力ドライバ強度 >

CSIGnSO : 高速モード
CSIGnRYO : 低速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t _{KCYGn}		12.5 (max. 80 MHz)			ns
CSIGnSC サイクル時間	t _{KCYSGn}		200			ns
CSIGnSC ハイレベル幅	t _{KWHSgn}		0.5 × t _{KCYSGn} - 10			ns
CSIGnSC ローレベル幅	t _{KWLSgn}		0.5 × t _{KCYSGn} - 10			ns
CSIGnSI セットアップ時間 (対 CSIGnSC)	t _{SSISgn}		20			ns
CSIGnSI ホールド時間 (対 CSIGnSC)	t _{HSISgn}		t _{KCYGn} + 5			ns
CSIGnSO 出力遅延 (対 CSIGnSC)	t _{DSOSgn}				30	ns
CSIGnRYO 出力遅延	t _{SRYOGn}				38	ns
CSIGnSSI セットアップ時間 (対 CSIGnSC)	t _{SSISISgn}		0.5 × t _{KCYSGn} - 5			ns
CSIGnSSI ホールド時間 (対 CSIGnSC)	t _{HSISISgn}		t _{KCYGn} + 5			ns

n = 0, 1

40.19.2 CSIH タイミング

条件: REGVCC = EVCC = 3.0 V ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
 A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
 CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
 CL = 30 pF

表 40.10 CSIH タイミング (マスタモード)

< 出力ドライバー強度 >

CSIHnSO, CSIHnSC (出力) : 高速モード (CL = 100pF@n=0 / 50pF@n=1-3)

CSIHnCSSm : 低速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t _{KCYHn}		12.5 (max. 80 MHz)			ns
CSIHnSC サイクル時間	t _{KCYMHn}		100			ns
CSIHnSC ハイレベル幅	t _{KWHMHn}		0.5 × t _{KCYMHn} - 10			ns
CSIHnSC ローレベル幅	t _{KWLMHn}		0.5 × t _{KCYMHn} - 10			ns
CSIHnSI セットアップ時間 (対 CSIHnSC)	t _{SSIMHn}	SI ポジティブエッジモード (CSIHnCTL1.CSIHnSLRS = 0)	19			ns
		SI ネガティブエッジモード (CSIHnCTL1.CSIHnSLRS = 1)	14			ns
CSIHnSI ホールド時間 (対 CSIHnSC)	t _{HSIMHn}	SI ポジティブエッジモード (CSIHnCTL1.CSIHnSLRS = 0)	0			ns
		SI ネガティブエッジモード (CSIHnCTL1.CSIHnSLRS = 1)	t _{KCYHn} /2			ns
CSIHnSO 出力遅延 (対 CSIHnSC)	t _{DSOMHn}				7	ns
CSIHnRYI セットアップ時間 (対 CSIHnSC)	t _{SRYIHn}	CSIHnCTL1.CSIHnSIT = x CSIHnCTL1.CSIHnHSE = 1	2 × t _{KCYHn} + 25			ns
CSIHnRYI ハイレベル幅	t _{WRYIHn}	CSIHnCTL1.CSIHnHSE = 1	t _{KCYHn} + 5			ns
CSIHnCSS0-7 非アクティブ幅	t _{WCSBHn}		CSIDLE × t _{KCYMHn} - 15			ns
CSIHnCSS0-7 セットアップ時間 (対 CSIHnSC)	t _{SSCSBHn0}	CSIHnCFGx.CSIHnDAP = 0	CSSETUP × t _{KCYMHn} - 23			ns
	t _{SSCSBHn1}	CSIHnCFGx.CSIHnDAP = 1	(CSSETUP + 0.5) × t _{KCYMHn} - 23			ns
CSIHnCSS0-7 ホールド時間 (対 CSIHnSC)	t _{HSCSBHn0}	CSIHnCTL1.CSIHnSIT = 0	CSSHOLD × t _{KCYMHn} - 5			ns
	t _{HSCSBHn1}	CSIHnCTL1.CSIHnSIT = 1	(CSSHOLD + 0.5) × t _{KCYMHn} - 5			ns

n = 0 ~ 3

備考

CSIDLE : CSIHnCFGx.CSIHnIDx[2:0] の設定値

CSSETUP : CSIHnCFGx.CSIHnSPx[3:0] の設定値

CSSHOLD : CSIHnCFGx.CSIHnHDx[3:0] の設定値

x : チップセレクト信号によって決まる値

注意

通信中 (CSIHnCFGx.CSIHnCKPx) に、シリアルクロックレベルが変更され、IDLE の設定が 0.5 送信クロック期間である場合、“0.5 × t_{KCYMHn}” の非アクティブ幅時間に t_{WCSBHn} が追加されます。

表 40.11 CSIH タイミング (スレーブモード)

< 出力ドライバー強度 >

CSIHnSO, CSIHnSC (出力) : 高速モード

CSIHnRYO : 低速モード

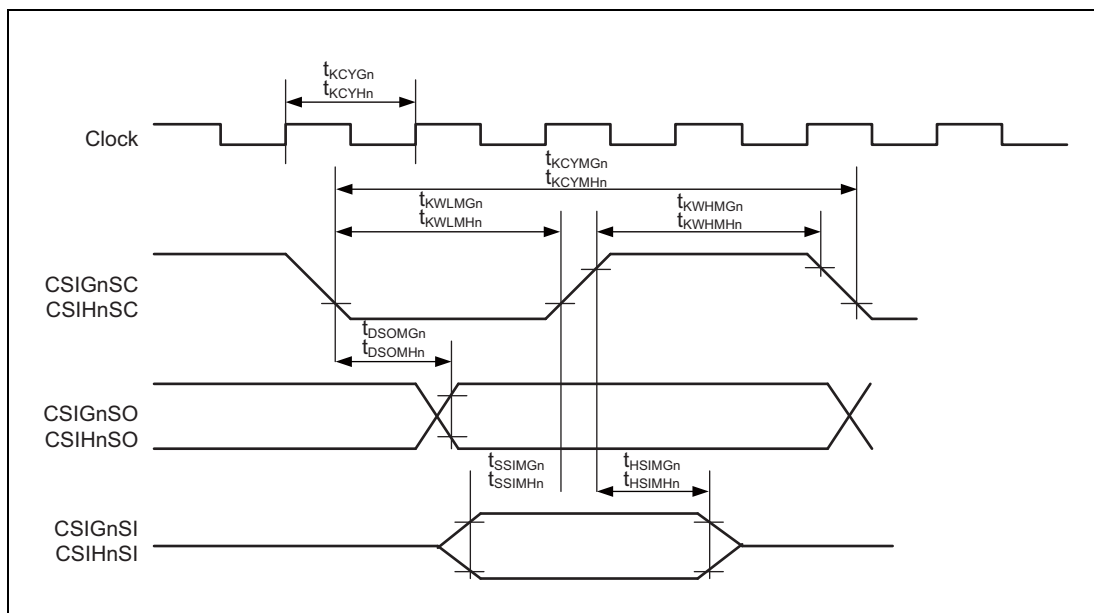
項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t_{KCYHn}		12.5 (max. 80 MHz)			ns
CSIHnSC サイクル時間	t_{KCYSHn}		200			ns
CSIHnSC ハイレベル幅	$t_{KW HSHn}$		$0.5 \times t_{KCYSHn} - 10$			ns
CSIHnSC ローレベル幅	$t_{KW LSHn}$		$0.5 \times t_{KCYSHn} - 10$			ns
CSIHnSI セットアップ時間 (対 CSIHnSC)	t_{SSISHn}		20			ns
CSIHnSI ホールド時間 (対 CSIHnSC)	t_{HSISHn}		$t_{KCYHn} + 5$			ns
CSIHnSO 出力遅延 (対 CSIHnSC)	t_{DSOSHn}				30	ns
CSIHnRYO 出力遅延	$t_{SRYO Hn}$				38	ns
CSIHnSSI セットアップ時間 (対 CSIHnSC)	$t_{SSSISHn}$		$0.5 \times t_{KCYSHn} - 5$			ns
CSIHnSSI ホールド時間 (対 CSIHnSC)	$t_{HSSISHn}$		$t_{KCYHn} + 5$			ns

n = 0 ~ 3

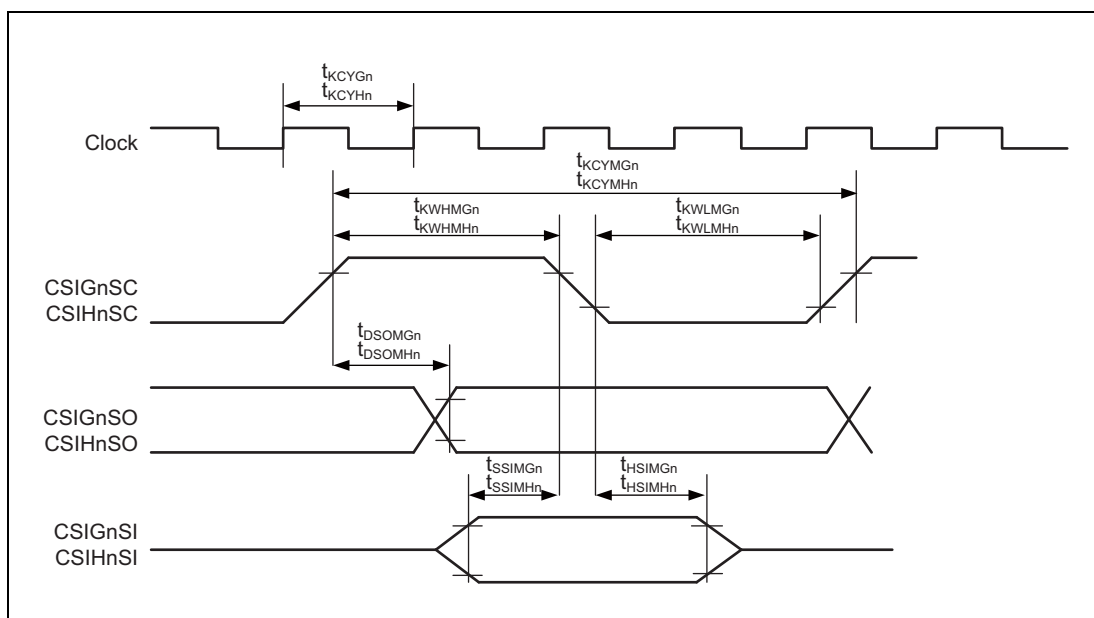
(1) SCKO/SI/SO

マスタモード:

1. CSIG (CSIGnCTL1: CSIGnCKR/CSIGnCFG0: CSIGnDAP0 = 0/0 または 1/1)
2. CSIH (CSIHnCFGm: CSIHnCKPm/CSIHnCFGm: CSIHnDAPm = 0/0 または 1/1)

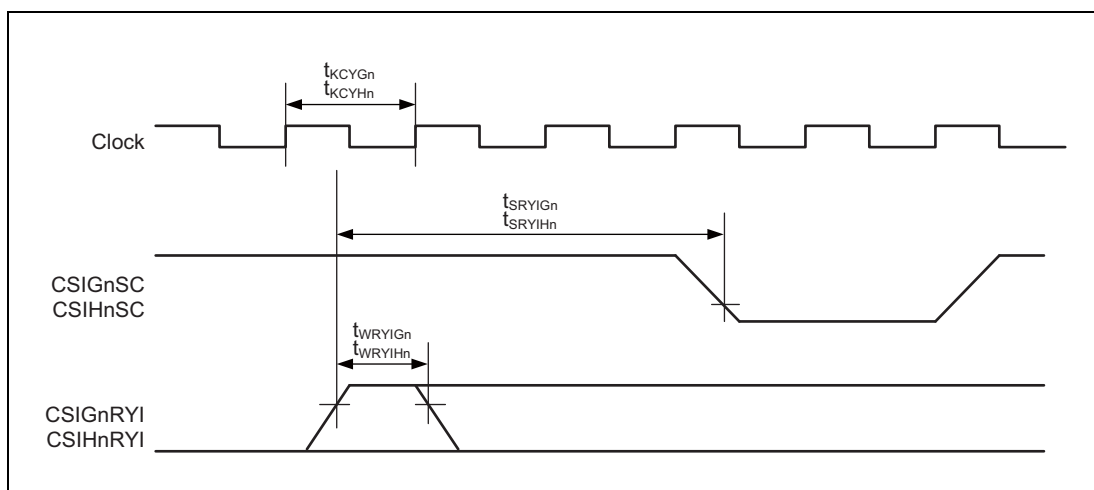


- CSIG (CSIGnCTL1: CSIGnCKR/CSIGnCFG0: CSIGnDAP0 = 1/0 または 0/1)
- CSIH (CSIHnCFGm: CSIHnCKPm/CSIHnCFGm: CSIHnDAPm = 1/0 または 0/1)

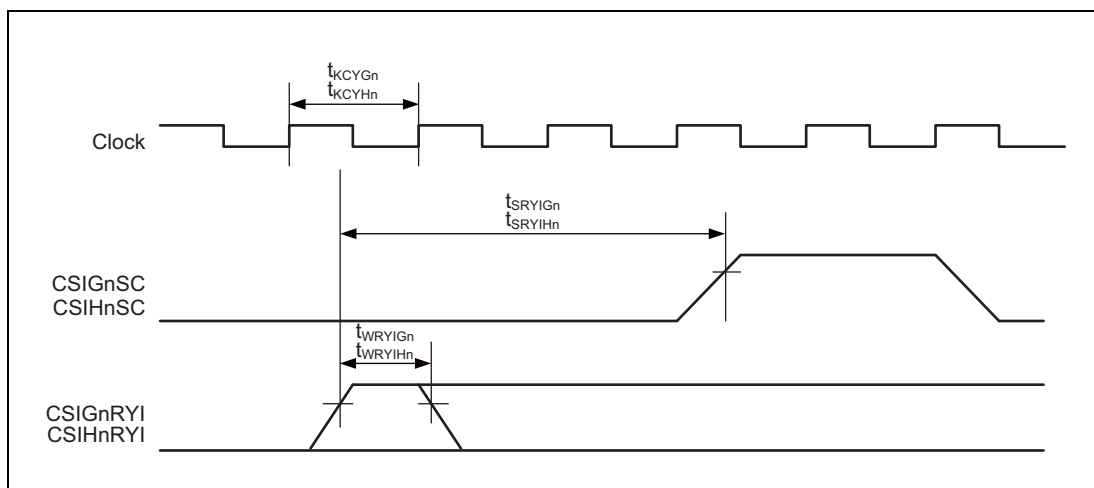


(2) RYI

- CSIG : マスタモードのみ (CSIGnCTL1: CSIGnHSE = 1, CSIGnCTL1: CSIGnSIT = 0)
 - CSIH : マスタモードのみ (CSIHnCTL1: CSIHnHSE = 1, CSIHnCTL1: CSIHnSIT = 0)
- CSIG (CSIGnCTL1: CSIGnCKR = 0)
- CSIH (CSIHnCFGm: CSIHnCKPm = 0)



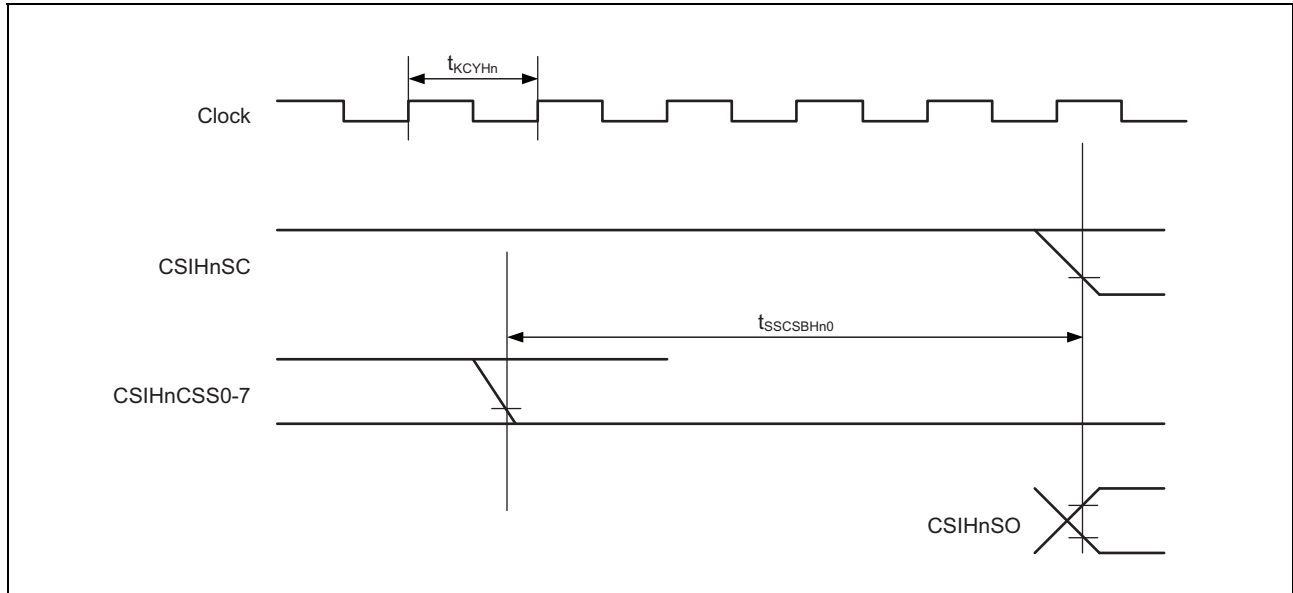
- CSIG (CSIGnCTL1: CSIGnCKR = 1)
- CSIH (CSIHnCFGm: CSIHnCKPm = 1)



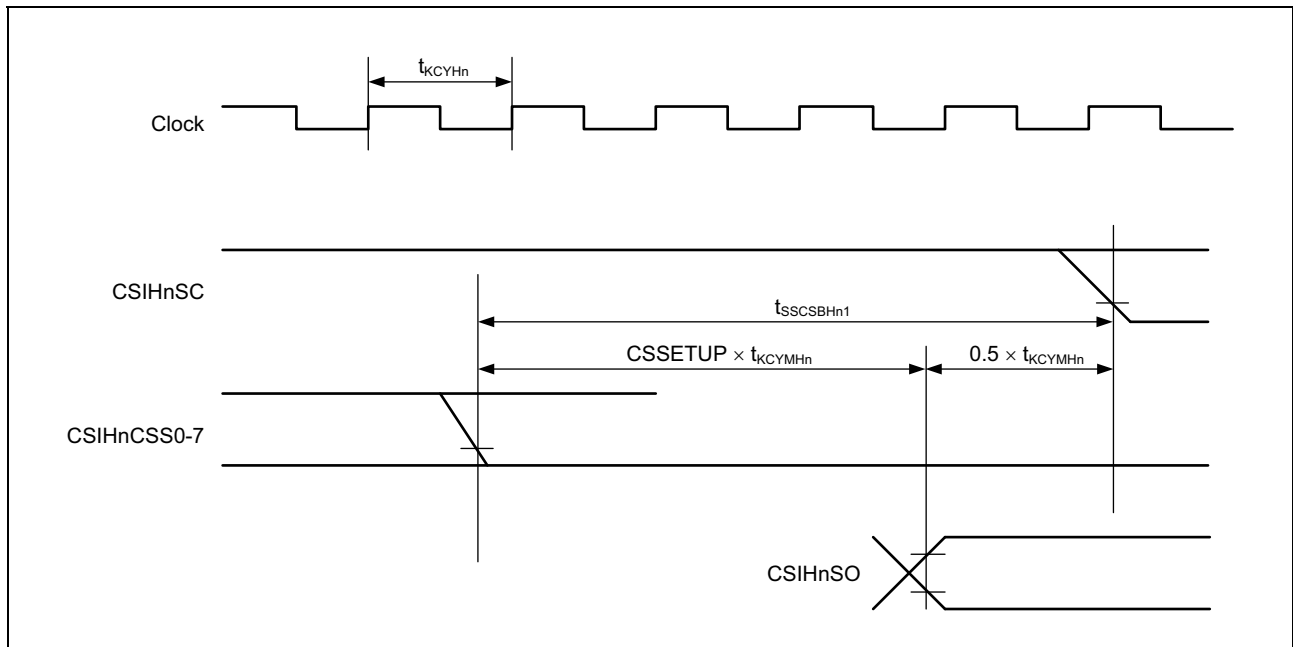
(3) CSSn

マスタモードのみ（セットアップ時間）：

- CSIHnCFGm: CSIHnCKPm = 0, CSIHnCFGm: CSIHnDAPm = 0

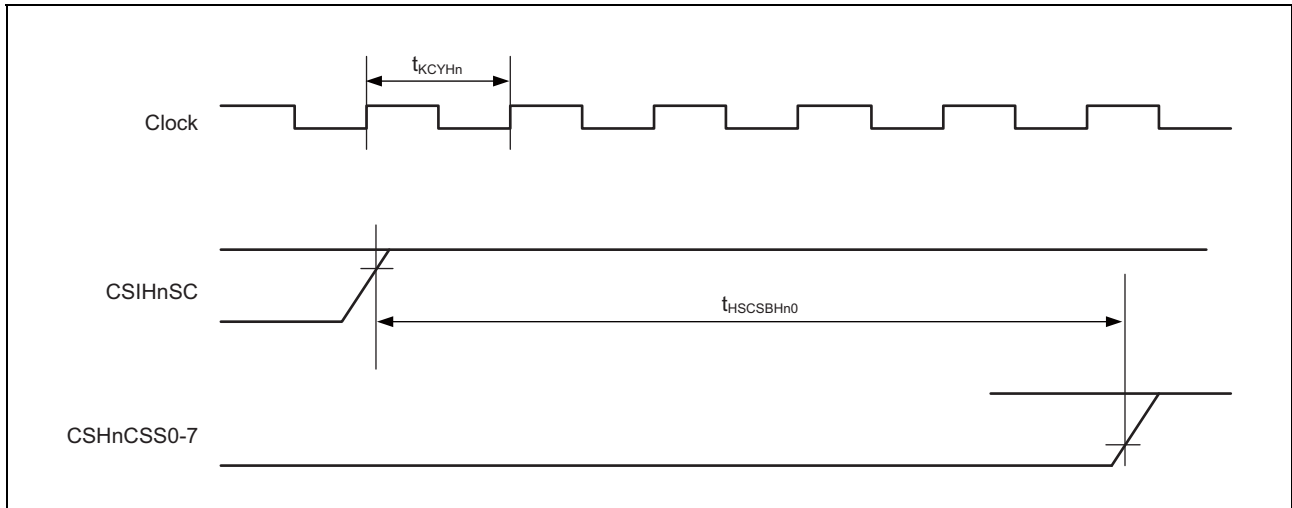


- CSIHnCFGm: CSIHnCKPm = 0, CSIHnCFGm: CSIHnDAPm = 1

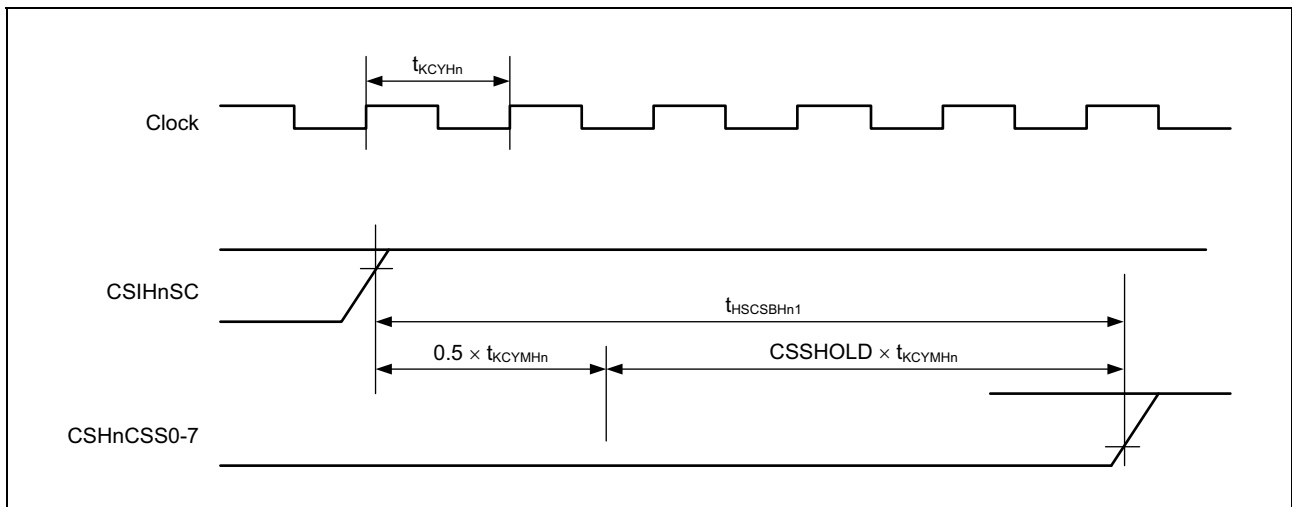


マスタモードのみ（ホールド時間）：

- CSIHnCTL1: CSIHnSIT = 0, CSIHnCFGm: CSIHnCKPm = 0, CSIHnCFGm: CSIHnDAPm = 0



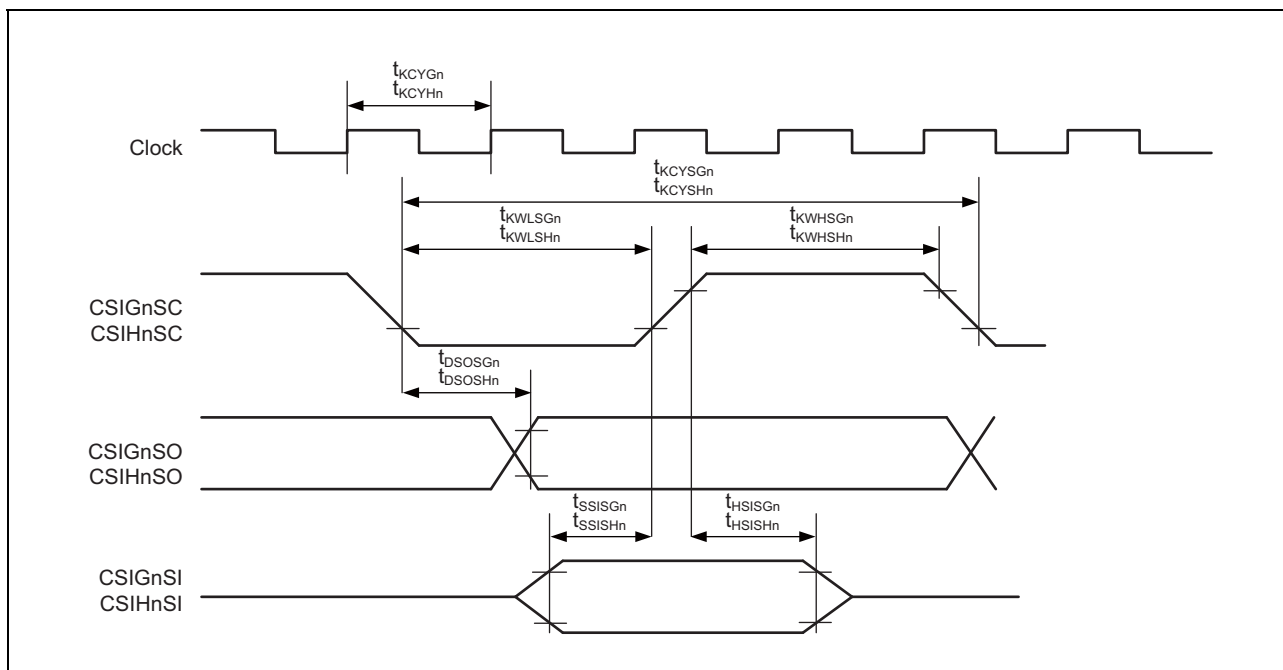
- CSIHnCTL1: CSIHnSIT = 1, CSIHnCFGm: CSIHnCKPm = 0, CSIHnCFGm: CSIHnDAPm = 0



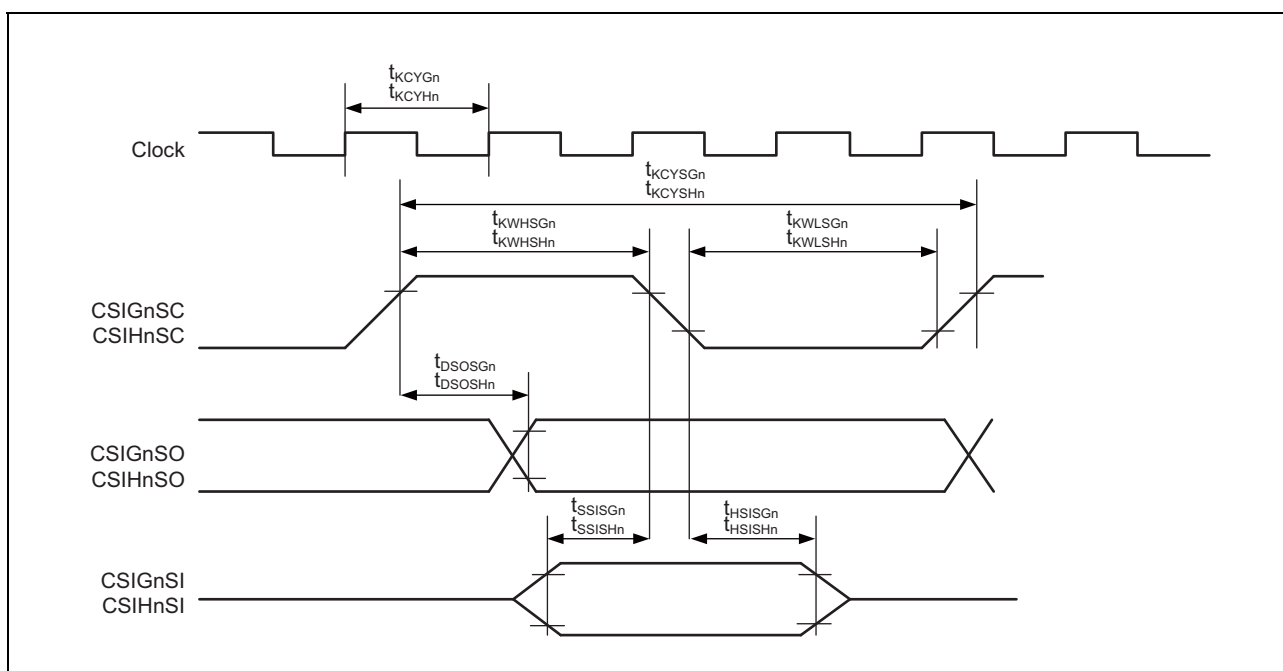
(4) SCKO/SI/SO

スレーブモード :

- CSIG (CSIGnCTL1: CSIGnCKR/CSIGnCFG0: CSIGnDAP0 = 0/0 または 1/1)
- CSIH (CSIHnCFGm: CSIHnCKPm/CSIHnCFGm: CSIHnDAPm = 0/0 または 1/1)

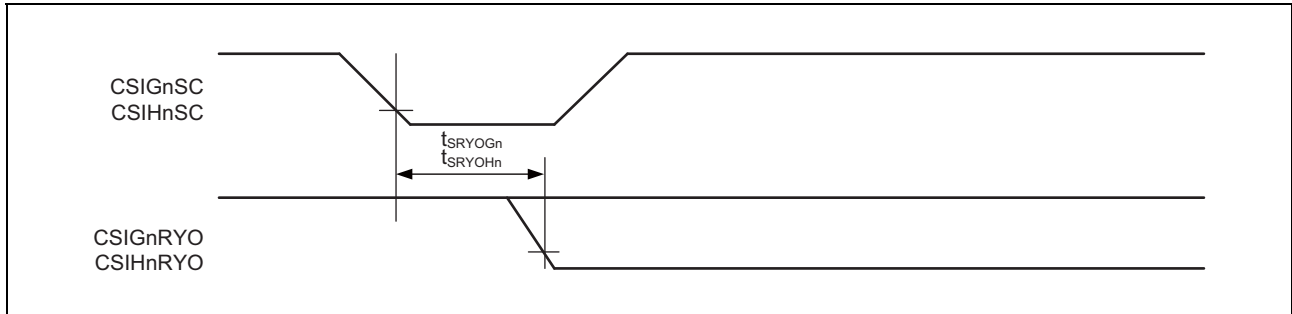


- CSIG (CSIGnCTL1: CSIGnCKR/CSIGnCFG0: CSIGnDAP0 = 1/0 or 0/1)
- CSIH (CSIHnCFGm: CSIHnCKPm/CSIHnCFGm: CSIHnDAPm = 1/0 or 0/1)

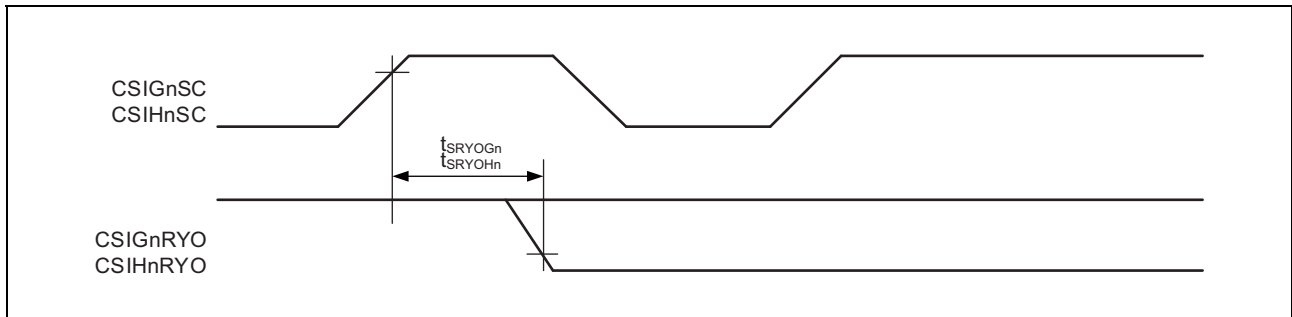


(5) RYO

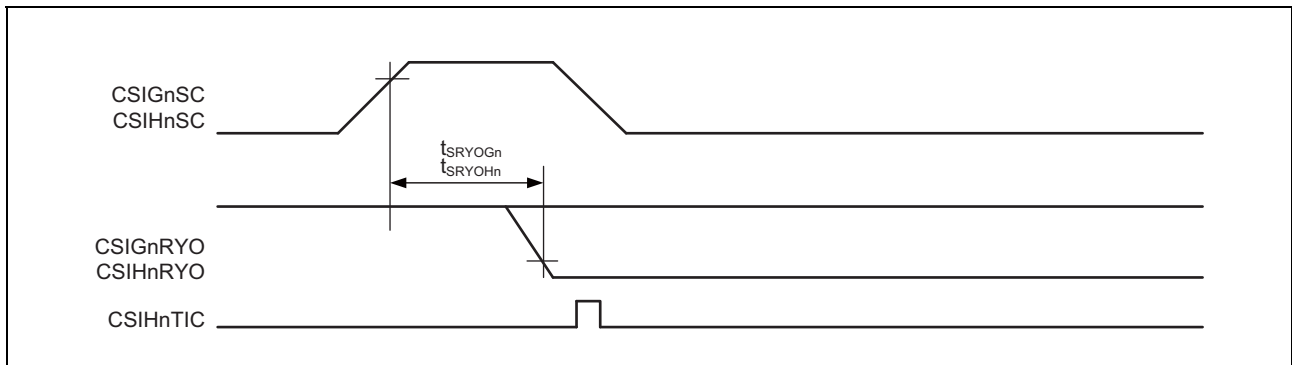
- CSIG (CSIGnCTL1: CSIGnCKR/CSIGnCFG0: CSIGnDAP0 = 0/0)
- CSIH (CSIHnCFGm: CSIHnCKPm/CSIHnCFGm: CSIHnDAPm = 0/0)



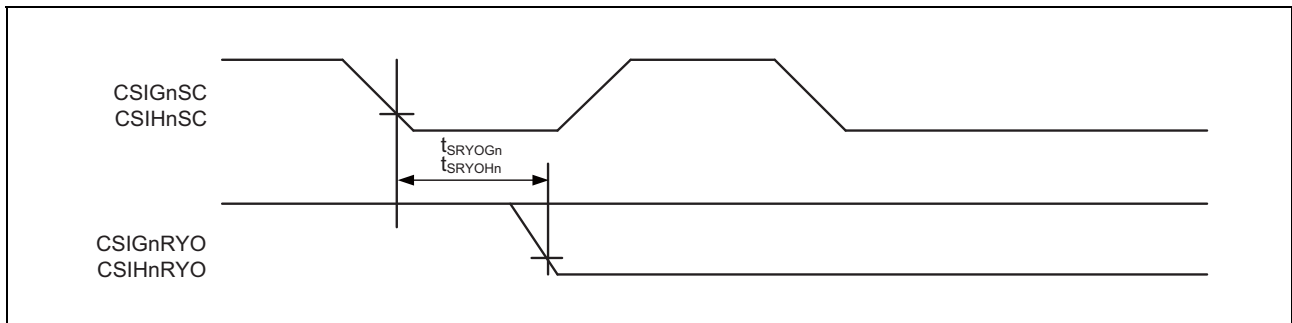
- CSIG (CSIGnCTL1: CSIGnCKR/CSIGnCFG0: CSIGnDAP0 = 0/1)
- CSIH (CSIHnCFGm: CSIHnCKPm/CSIHnCFGm: CSIHnDAPm = 0/1)



- CSIG (CSIGnCTL1: CSIGnCKR/CSIGnCFG0: CSIGnDAP0 = 1/0)
- CSIH (CSIHnCFGm: CSIHnCKPm/CSIHnCFGm: CSIHnDAPm = 1/0)



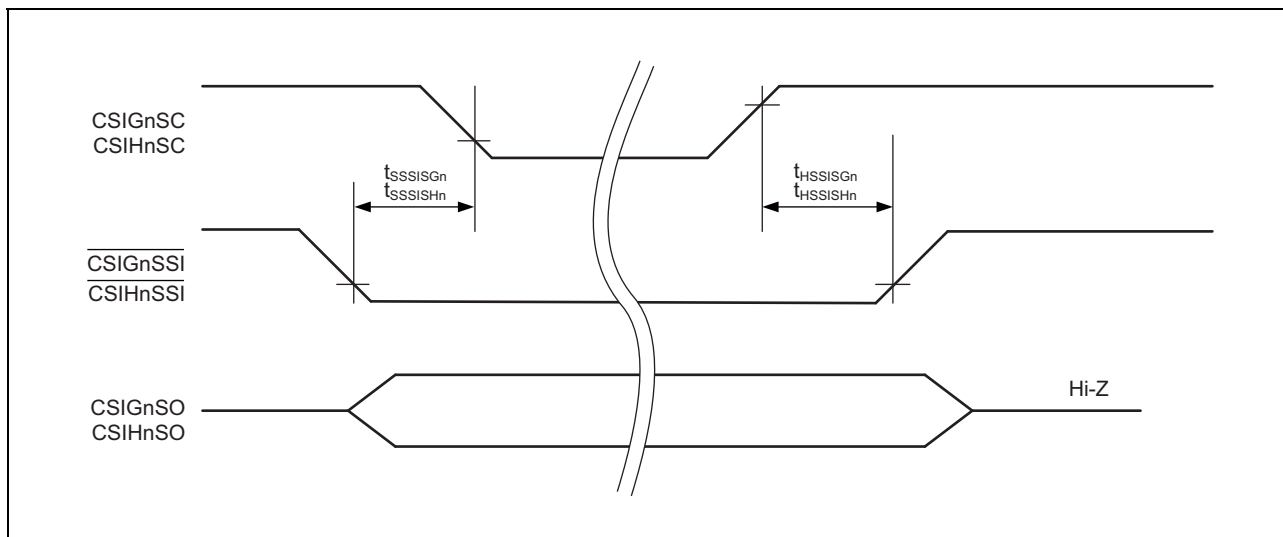
- CSIG (CSIGnCTL1: CSIGnCKR/CSIGnCFG0: CSIGnDAP0 = 1/1)
- CSIH (CSIHnCFGm: CSIHnCKPm/CSIHnCFGm: CSIHnDAPm = 1/1)



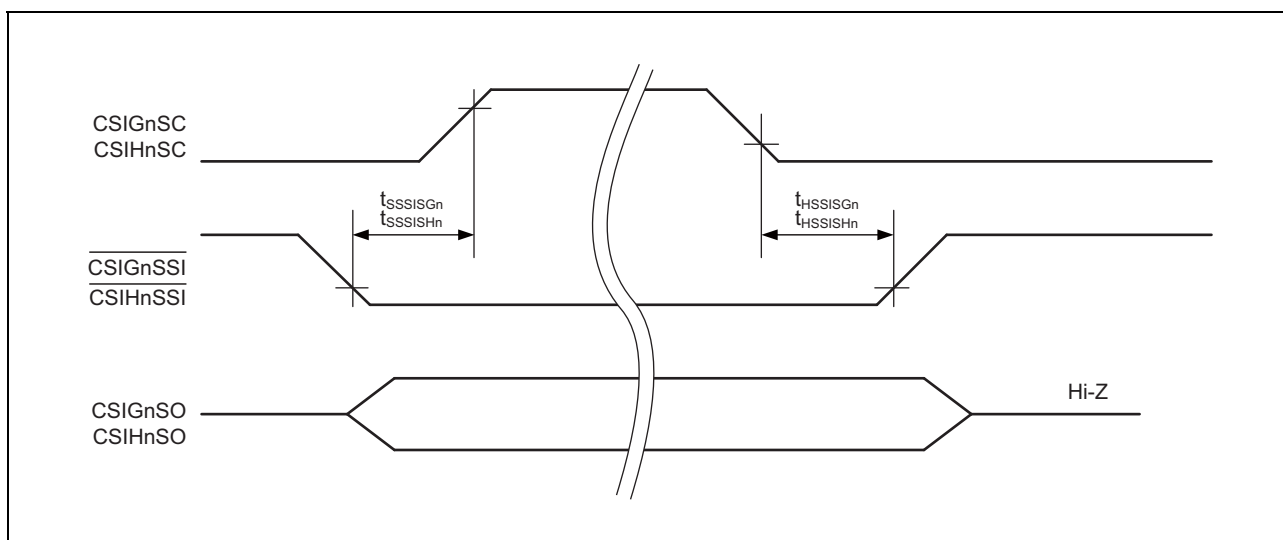
(6) SSI

スレーブモード:

- CSIG (CSIGnCTL1: CSIGnSSE=1, CSIGnCTL1: CSIGnCKR/CSIGnCFG0: CSIGnDAP0 = 0/0 または 1/1)
- CSIH (CSIHnCTL1: CSIHnSSE=1, CSIHnCFGm: CSIHnCKPm/CSIHnCFGm: CSIHnDAPm = 0/0 または 1/1)



- CSIG (CSIGnCTL1: CSIGnSSE=1, CSIGnCTL1: CSIGnCKR/CSIGnCFG0: CSIGnDAP0 = 1/0 または 0/1)
- CSIH (CSIHnCTL1: CSIHnSSE=1, CSIHnCFGm: CSIHnCKPm/CSIHnCFGm: CSIHnDAPm = 1/0 または 0/1)



40.20 RIIC タイミング

条件: REGVCC = EVCC = 3.0 V ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C

表 40.12 RIIC タイミング (ノーマルモード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
RIICnSCL クロック期間	f _{CLK}				100	kHz
バスフリー時間 (ストップ/スタート条件間)	t _{BUF}		4.7			μ s
ホールド時間 ^{注1}	t _{HD} : STA		4.0			μ s
RIICnSCL クロックロウレベル幅	t _{LOW}		4.7			μ s
RIICnSCL クロックハイレベル幅	t _{HIGH}		4.0			μ s
スタート/再スタート条件のためのセットアップ時間	t _{SU} : STA		4.7			μ s
データホールド時間	t _{HD} : DAT	CBUS 互換マスタ	5.0			μ s
		I ² C モード	0 ^{注2}			μ s
データセットアップ時間	t _{SU} : DAT		250			ns
ストップ条件セットアップ時間	t _{SU} : STO		4.0			μ s
各バスラインのキャパシタンス負荷	Cb				400	pF

注 1. スタート条件では、最初のクロックパルスはホールド時間の後に生成されます。

注 2. RIICnSDA 信号用に (RIICnSCL 信号の最小 VIH の場合)、システム内部で、最小 300ns ホールド時間が必要となります。RIICnSCL の立ち下がりエッジ時に、不確定な状態を回避するためです。

備考 本システムが、RIIC0SCL の ロウ幅時間 (t_{LOW}) を満たせない場合でも、データホールド時間 (t_{HD}: DAT) のスペックを満たす必要があります。

表 40.13 RIIC タイミング (高速モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
RIICnSCL クロック期間	f _{CLK}				400	kHz
バスフリー時間 (ストップ/スタート条件間)	t _{BUF}		1.3			μs
ホールド時間 ^{注1}	t _{HD} : STA		0.6			μs
RIICnSCL クロックロウレベル幅	t _{LOW}		1.3			μs
RIICnSCL クロックハイレベル幅	t _{HIGH}		0.6			μs
スタート/再スタート条件のためのセットアップ時間	t _{SU} : STA		0.6			μs
データホールド時間	t _{HD} : DAT	I ² C モード	0 ^{注2}			μs
データセットアップ時間	t _{SU} : DAT		100 ^{注3}			ns
ストップ条件セットアップ時間	t _{SU} : STO		0.6			μs
入力フィルタによって抑えられたスパイク付きパルス幅	t _{SP}		0		50	ns
各バスラインのキャパシタンス負荷	C _b				400	pF

注 1. スタート条件では、最初のクロックパルスはホールド時間の後に生成されます。

注 2. RIICnSDA 信号用に (RIICnSCL 信号の最小 VIH の場合)、システム内部で、最小 300ns ホールド時間が必要となります。RIICnSCL の立ち下がりエッジ時に、不確定な状態を回避するためです。

注 3. 高速モード I²C バスは、通常モード I²C バスシステムで使用することができます。この場合、高速モード I²C バスを、以下の条件を満たすように設定してください。

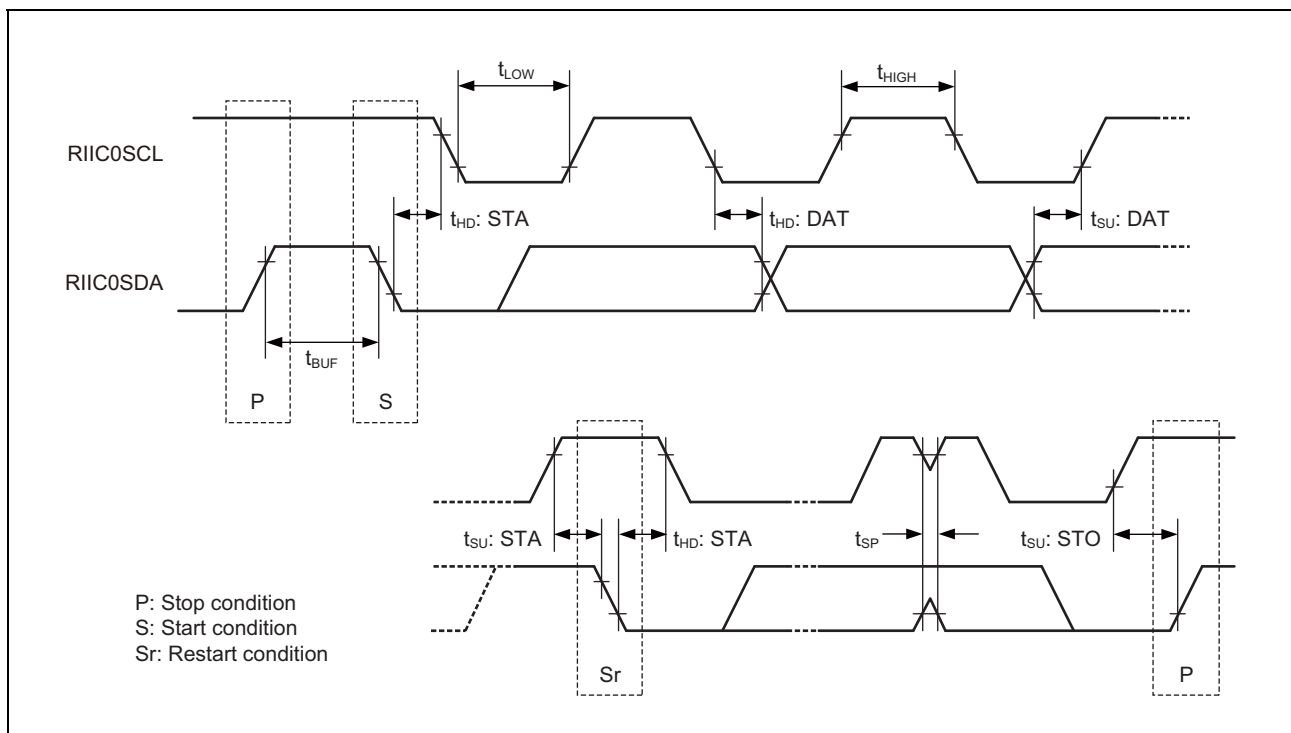
- システムが、RIICnSCL 信号のロウホールド時間を拡張しない場合 : t_{SU}: DAT ≥ 250 ns

- システムが、RIICnSCL 信号のロウホールド時間を拡張する場合 :

RIICnSCL ラインを解除する前に、RIICnSDA ラインに以下のデータビットを送信してください

(1250 ns : 通常モード I²C バス仕様)。

備考 本システムが、RIIC0SCL のロウ幅時間 (t_{LOW}) を満たせない場合でも、データホールド時間 (t_{HD}: DAT) のスペックを満たす必要があります。

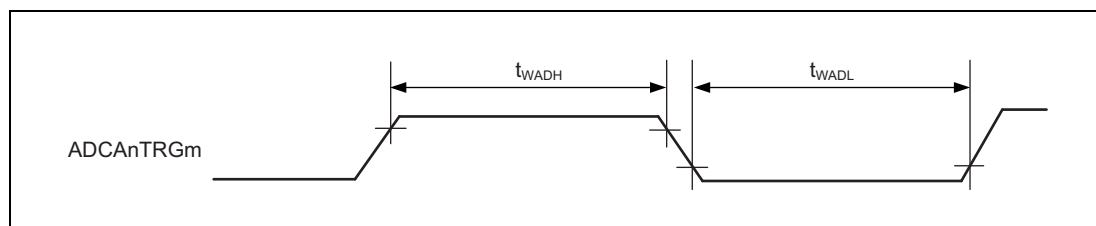


40.21 ADTRG タイミング

条件: REGVCC = EVCC = 3.0 V ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
CL = 30 pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
ADCA _n TRG _m 入力ハイ/ロウレベル幅	t_{WADH} / t_{WADL}		$k \times T_{samp} + 20$ 注1			ns

注1. k: 各入力用のデジタルノイズフィルタのサンプリング数。
T_{samp}: 各入力用のデジタルノイズフィルタのサンプリング時間。



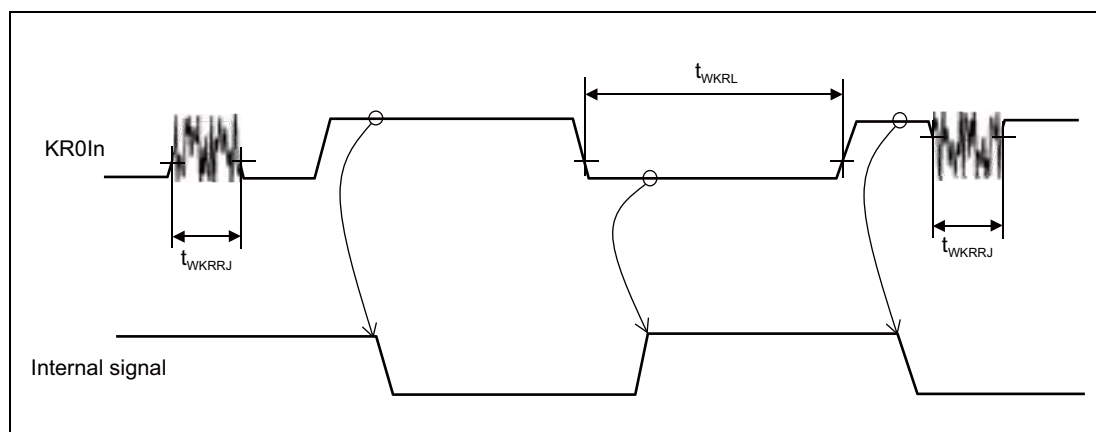
40.22 キーリターンタイミング

条件: REGVCC = EVCC = 3.0 V ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
CL = 30 pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
KR0In 入力ロウレベル幅注1	t_{WKRL}		600			ns
KR0In パルス除去注2	t_{WKRRJ}		100			ns

注1. KR0In 入力幅は、内部キー入力信号がアクティブであることを保証するために必要です。

注2. 最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。



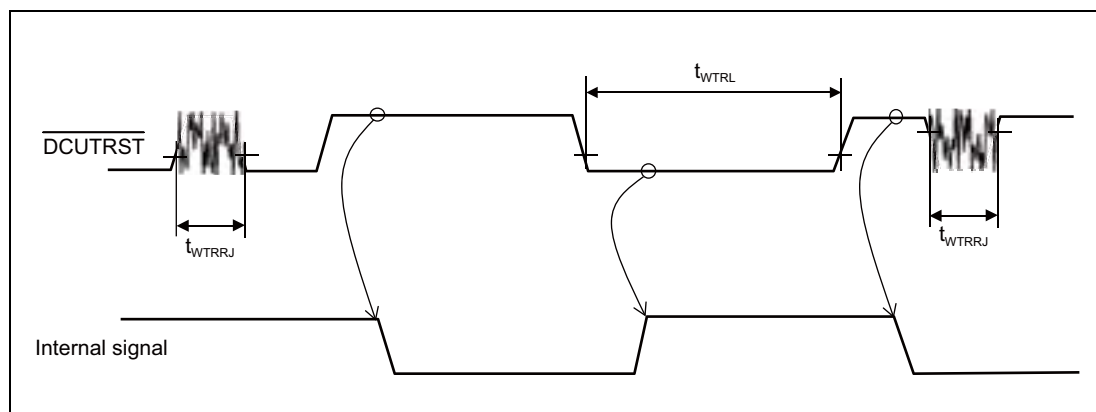
40.23 DCUTRST タイミング

条件: REGVCC = EVCC = 3.0 V ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
 A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
 CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
 CL = 30 pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
DCUTRST 入力カウレベル幅 ^{注1}	t_{WTRL}		600			ns
DCUTRST パルス除去 ^{注2}	t_{WTRRJ}		100			ns

注1. DCUTRST 入力幅は、内部 DCU リセット入力信号がアクティブであることを保証するために必要です。

注2. 最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。



40.24 デバッグインタフェース特性

40.24.1 Nexus インタフェースタイミング

条件： REGVCC = EVCC = 3.0 V ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
CL = 30 pF

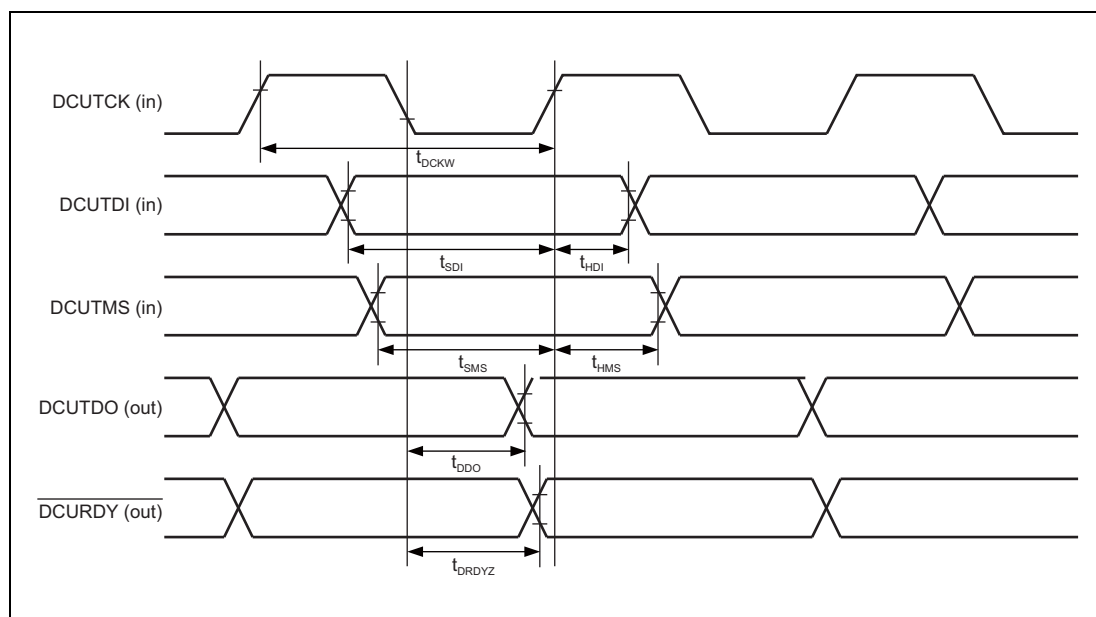
< 入力バッファ >

DCUTDI, DCUTCK, DCUTMS, DCUTRST : TTL

< 出力ドライバ強度 >

DCUTDO, DCURDY : 高速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
DCUTCK サイクル幅	t_{DCKW}		50			ns
DCUTDI セットアップ時間 (対 DCUTCK \uparrow)	t_{SDI}		12			ns
DCUTDI ホールド時間 (対 DCUTCK \uparrow)	t_{HDI}		3			ns
DCUTMS セットアップ時間 (対 DCUTCK \uparrow)	t_{SMS}		12			ns
DCUTMS ホールド時間 (対 DCUTCK \uparrow)	t_{HMS}		3			ns
DCUTDO 遅延時間 (\downarrow DCUTCK)	t_{DDO}		0		20	ns
DCURDY 遅延時間 (\downarrow DCUTCK)	t_{RDYZ}		0		20	ns



40.24.2 LPD (4 pin) インタフェースタイミング

条件: REGVCC = EVCC = 3.0 V ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,

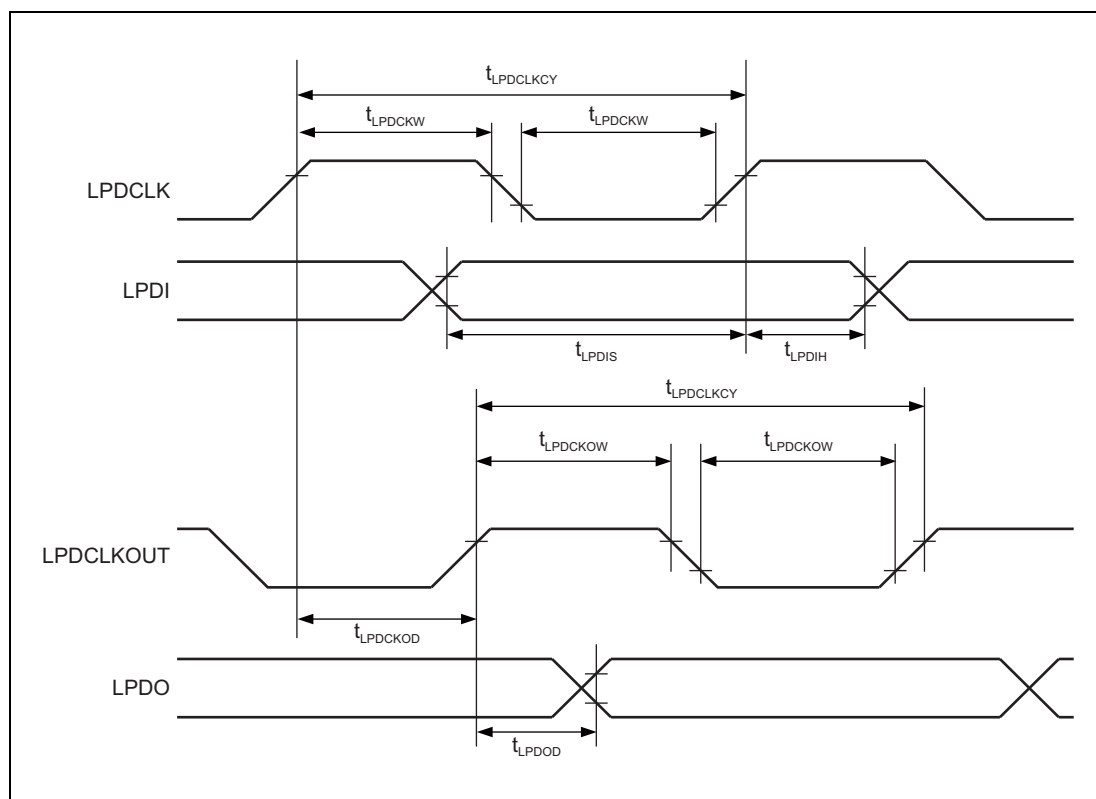
< 入力バッファ >

LPDCLK, LPDI : TTL

< 出力ドライバ強度 >

LPDCLKOUT, LPDO : 高速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
LPDCLK サイクル時間/ LPDCLKOUT サイクル時間	$t_{LPDCLKCY}$		83.3 (max.12MHz)			ns
LPDCLK ハイレベル幅/ LPDCLK ロウレベル幅	t_{LPDCKW}		$0.5 \times t_{LPDCLKCY} - 10$			ns
LPDCLKOUT ハイレベル幅/ LPDCLKOUT ロウレベル幅	$t_{LPDCKOW}$		$t_{LPDCKW} - 10$			ns
LPDI セットアップ時間 (LPDCLK \uparrow)	t_{LPDIS}		41			ns
LPDI ホールド時間 (LPDCLK \uparrow)	t_{LPDIH}		3			ns
LPDCLK ~ LPDCLKOUT 遅延時間	$t_{LPDCKOD}$				44	ns
LPDO 遅延時間 (LPDCLKOUT \uparrow)	t_{LPDOD}		0		15	ns



40.24.3 LPD (1 pin) インタフェースタイミング

条件: REGVCC = EVCC = 3.0 V ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
 A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
 CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
 CL = 50 pF

< 入力バッファ >

LPDIO : TTL

< 出カドライバ強度 >

LPDIO : 高速モード

< 外部プルアップ抵抗 >

LPDIO : 4.7 k Ω ~ 10 k Ω

項目	略号	条件	MIN.	TYP.	MAX.	単位
LPD (1ピン) ポーレート					2.0	Mbps

40.25 フラッシュプログラミング特性

40.25.1 コードフラッシュ

コードフラッシュメモリは消去状態で出荷されます。消去の後、何も書き込んでいない状態（書き込みなし状態）で、コードフラッシュメモリが読み出されると、ECCエラーが発生し、例外を引き起こします。

条件： REGVCC = EVCC = VPOC ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
CL = 30 pF

表 40.14 基本特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f _{PCLK} 注3	ECO	4 注4		20	MHz
		ADVANCED, PREMIUM	4 注4		30	MHz
書き換え回数注1	CWRT	データ保持 20 年注2	1000			times

注 1. 書き換え回数は、各ブロックの消去回数になります。書き換え回数が“n” (n = 1000) の場合、デバイスは、各ブロックを“n”回、消去することができます。例えば、256 バイトの書き込みを異なるアドレスに対して 128 回行った後に、32K バイトのブロックが消去された場合、書き換え回数は“1”になります。しかし、同じアドレスに対して複数回の書き込みは、1 回の消去では対応出来ません（上書き禁止）。

注 2. 平均 Ta = 85°C での保持期間。コードフラッシュメモリの消去が正常に完了した時点からの保持期間です。

注 3. f_{PCLK} = 1/4 f_{CPCLK} : 内蔵フラッシュのシステム動作周波数

注 4. 書き込み/消去動作のみ

表 40.15 プログラミング特性 (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	項目
書き込み時間		f _{PCLK} \geq 20 MHz CWRT < 100 回	256 B		0.4 注1	6 注1	ms
			8 KB		20	90	ms
			32 KB		80	360	ms
			256 KB		0.6	2.7	s
			384 KB		0.9	4.1	s
			512 KB		1.2	5.4	s
			768 KB		1.7	8.1	s
			1 MB		2.3	10.8	s
			1.5 MB		3.4	16.2	s
		2 MB		4.5	21.5	s	
		f _{PCLK} \geq 20 MHz CWRT \geq 100 回	256 B		0.5 注1	7.2 注1	ms
			8 KB		24	108	ms
			32 KB		96	432	ms
			256 KB		0.7	3.3	s
			384 KB		1.1	4.9	s
			512 KB		1.4	6.5	s
			768 KB		2.1	9.8	s
			1 MB		2.7	13	s
1.5 MB			4.1	19.5	s		
2 MB		5.4	26	s			

表 40.15 プログラミング特性 (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	項目
消去時間		$f_{PCLK} \geq 20 \text{ MHz}$ CWRT < 100 回	8 KB		39	120	ms
			32 KB		141	480	ms
			256 KB		1.2	3.5	s
			384 KB		1.7	5.3	s
			512 KB		2.3	7	s
			768 KB		3.4	10.5	s
			1 MB		4.5	14	s
			1.5 MB		6.8	21	s
			2 MB		9	28	s
		$f_{PCLK} \geq 20 \text{ MHz}$ CWRT ≥ 100 回	8 KB		47	144	ms
			32 KB		169	576	ms
			256 KB		1.4	4.2	s
			384 KB		2.1	6.3	s
			512 KB		2.7	8.4	s
			768 KB		4.1	12.6	s
			1 MB		5.4	16.8	s
			1.5 MB		8.1	25.2	s
			2 MB		10.8	33.6	s

注 1. ハードウェアの処理時間のみ。ソフトウェアのオーバヘッドは考慮されていません。

40.25.2 データフラッシュ

データフラッシュメモリは消去状態で出荷されます。消去の後、何も書き込んでいない状態（書き込みなし状態）で、データフラッシュメモリが読み出されると、ECCエラーが発生し、例外を引き起こします。

条件： REGVCC = EVCC = VPOC ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
CL = 30 pF

表 40.16 基本特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f _{PCLK} 注3	ECO	4 注4		20	MHz
		ADVANCED, PREMIUM	4 注4		30	MHz
書き換え回数注1	CWRT	データ保持 20年注2	125 k			times
		データ保持 3年注2	250 k			times

注 1. 書き換え回数は、各ブロックの消去回数になります。書き換え回数が“n”（n = 125000）の場合、デバイスは、各ブロックを“n”回、消去することができます。例えば、4 バイトの書き込みを異なるアドレスに対して 168 回行った後に、64 バイトのブロックが消去された場合、書き換え回数は“1”になります。しかし、同じアドレスに対して複数回の書き込みは、1 回の消去では対応出来ません（上書き禁止）。

注 2. 平均 Ta = 85 °Cでの保持期間。データフラッシュメモリの消去が正常に完了した時点からの保持期間です。

注 3. f_{PCLK} = 1/4 f_{CPCLK} : 内蔵フラッシュのシステム動作周波数

注 4. 書き込み/消去動作のみ

表 40.17 プログラミング特性

項目	略号	条件	MIN.	TYP.	MAX.	単位	項目
書き込み時間		f _{PCLK} ≥ 20 MHz	4 B		0.16 注1	1.7 注1	ms
		f _{PCLK} ≥ 20 MHz	32 KB		1.4	6.8	s
		f _{PCLK} ≥ 20 MHz	64 KB		2.79	13.44	s
消去時間		f _{PCLK} ≥ 20 MHz	64 B		1.7 注1	10 注1	ms
		f _{PCLK} ≥ 20 MHz	32 KB		0.9	5.2	s
		f _{PCLK} ≥ 20 MHz	64 KB		1.74	10.24	s
ブランクチェック時間		f _{PCLK} ≥ 20 MHz	4 B			30 注1	μ s
			64 B			100 注1	μ s
			32 KB			35.2	ms
			64 KB			70.4	ms

注 1. ハードウェアの処理時間のみ。ソフトウェアのオーバーヘッドは考慮されていません。

40.25.3 シリアルプログラミングインタフェース

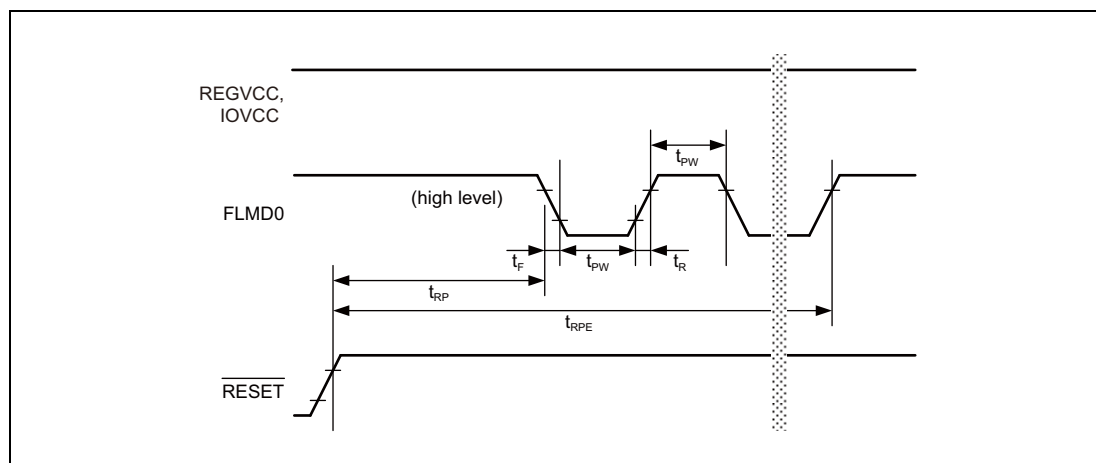
40.25.3.1 シリアルプログラミングセットアップタイミング

条件: REGVCC = EVCC = 3.0 V ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
 A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
 CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
 CL = 30 pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0 パルス入力開始時間	t_{RP}		1.5			ms
FLMD0 パルス入力終了時間	t_{RPE}				101.5	ms
FLMD0 ロウ/ハイレベル幅	t_{PW}		1.6			μ s
FLMD0 立ち上がり時間	t_R				20	ns
FLMD0 立ち下がり時間	t_F				20	ns

備考

IOVCC : EVCC = A0VREF = A1VREF



40.25.3.2 フラッシュプログラミングインタフェース

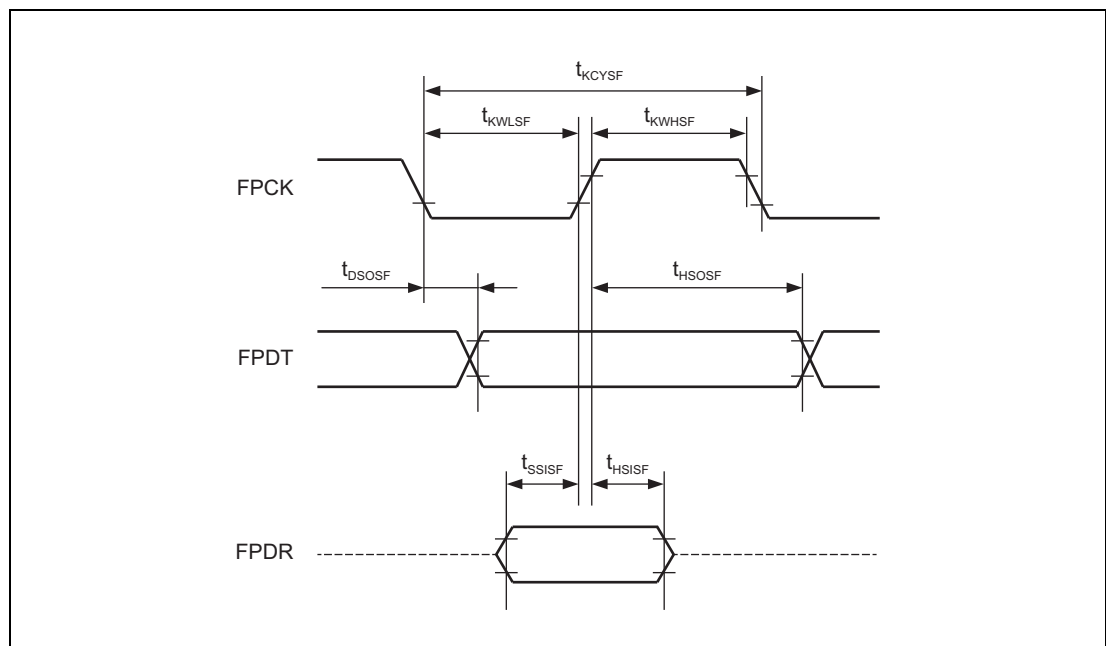
条件： REGVCC = EVCC = 3.0 V ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
 A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
 CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
 CL = 30 pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
フラッシュプログラミング 転送レート		1-wired UART モード			1	Mbps
		2-wired UART モード (ECO)			1	Mbps
		2-wired UART モード (ADVANCED, PREMIUM)			1.5	Mbps
FPCK サイクル時間	t _{KCYSF}	3-wired クロック同期モード	200 注1			ns
FPCK ハイレベル幅	t _{KWHSF}	3-wired クロック同期モード	t _{KCYSF} / 2 - 15			ns
FPCK ローレベル幅	t _{KWLSF}	3-wired クロック同期モード	t _{KCYSF} / 2 - 15			ns
FPDR セットアップ時間 (対 FPCK)	t _{SSISF}	3-wired クロック同期モード	t _{Pcyc} × 2			ns
FPDR ホールド時間 (対 FPCK)	t _{HSISF}	3-wired クロック同期モード	t _{Pcyc} × 2			ns
FPDT 出力遅延 (対 FPCK)	t _{DSOSF}	3-wired クロック同期モード 非連続転送 (データ : 1 ビット)			0	ns
		3-wired クロック同期モード 非連続転送 (データ : 1 ビット以外)			-t _{KWHSF} + 3 × t _{Pcyc} + 36	ns
FPDT ホールド時間 (対 FPCK)	t _{HSOSF}	3-wired クロック同期モード	t _{Pcyc} × 2			ns

注1. PCLK クロックの6倍以上の周期の外部クロックを入力してください。

備考

t_{Pcyc} は PCLK 期間です。



40.26 A/D 変換特性

条件： REGVCC = EVCC = 3.0 V ~ 5.5 V, A0VREF = 3.0 V ~ 5.5 V,
 A1VREF = 3.0 V ~ 5.5 V, AWOVSS = ISOVSS = EVSS = A0VSS = A1VSS = 0 V,
 CAWOVCL : 0.1 μ F \pm 30%, CISOVCL : 0.1 μ F \pm 30%, Tj = -40 ~ (製品依存) °C,
 CL = 30 pF

(1/3)

項目	略号	条件		MIN.	TYP.	MAX.	単位
変換クロック	ADCLKn			g 注3		40	MHz
分解能	RESn	12ビットモード		12	12	12	bit
		10ビットモード		10	10	10	bit
変換時間	t _{CONn}	ADCA _n SMPCR.SMPT[7:0] = 12 H (40 cycle) (8 MHz 注3 ≤ ADCLKn ≤ 32 MHz), 外部 MPX は使用しません。		1.25		5	μ s
		ADCA _n SMPCR.SMPT[7:0] = 18 H (46 cycle) (8 MHz 注3 ≤ ADCLKn ≤ 40 MHz), 外部 MPX は使用しません。		1.15		5.75	μ s
		ADCA _n SMPCR.SMPT[7:0] = 12 H (80 cycle) (8 MHz 注3 ≤ ADCLKn ≤ 32 MHz), 外部 MPX を使用します。		2.5 注4		10	μ s
		ADCA _n SMPCR.SMPT[7:0] = 18 H (92 cycle) (8 MHz 注3 ≤ ADCLKn ≤ 40 MHz), 外部 MPX を使用します。		2.3 注4		11.5	μ s
サンプリング時間	t _{SMP}	ADCA _n SMPCR.SMPT[7:0] = 12 H (18 cycle) (8 MHz 注3 ≤ ADCLKn ≤ 32 MHz)		0.56		2.25	μ s
		ADCA _n SMPCR.SMPT[7:0] = 18 H (24 cycle) (8 MHz 注3 ≤ ADCLKn ≤ 40 MHz)		0.6		3	μ s
絶対精度注1	TOEn	12ビットモード	AnVREF = 4.5 V ~ 5.5 V	ADCA _n Im, T&H なし		±4.0	LSB
				ADCA0I0-5, T&H あり		±6.0	LSB
			AnVREF = 3.0 V ~ 4.5 V	ADCA _n Im, なし T&H		±6.0	LSB
				ADCA0I0-5, T&H あり		±8.0	LSB
		10ビットモード	AnVREF = 4.5 V ~ 5.5 V	ADCA _n Im		±1.0	LSB
				ADCA _n ImS		±2.0	LSB
			AnVREF = 3.0 V ~ 4.5 V	ADCA _n Im		±1.5	LSB
				ADCA _n ImS		±2.5	LSB
アナログ入力電圧	VAIN0SN	ADCA _n Im	T&H not used	AnVSS		AnVREF	V
		ADCA0I0-5	T&H used	0.2		A0VREF - 0.2	V
		ADCA0ImS	A0VREF ≥ EVCC	A0VSS		EVCC	V
			A0VREF < EVCC	A0VSS		A0VREF	V
		ADCA1ImS	A1VREF ≥ EVCC	A1VSS		EVCC	V
			A1VREF < EVCC	A1VSS		A1VREF	V
動作電流	IA0VREF IA1VREF	T&H 未使用時			1.1	3.0	mA
		T&H 使用時 (最大 6 ピン)				注2	mA
STOP, DeepSTOP, Cyclic STOP 電流 (@LPS では停止)	IA0VREFS IA1VREFS				1	10	μ A
T&H 電流	ITH				0.5	1.3	mA/ch
チャンネル T&H サンプリング時間	t _{THSMP}			450			ns
T&H ホールド時間	t _{THHOLD}					10	μ s
自己診断電圧回路のセットアップ時間	t _{BOOT}			500			ns
自己診断電圧レベルのセットアップ時間	t _{OUT}			500			ns

(2/3)

項目	略号	条件		MIN.	TYP.	MAX.	単位
放電モード用のプルダウン抵抗		ADCnIm 端子		350	500	650	kΩ
		ADCnImS 端子		100	215	800	kΩ
自己診断機能の精度	TESH0SN	12 ビットモード	自己診断電圧レベル = AnVREF	4015- TOEn		4095	—
			自己診断電圧レベル = 2/3AnVREF	2651- TOEn	2731	2811+ TOEn	—
			自己診断電圧レベル = 1/2AnVREF	1968- TOEn	2048	2128+ TOEn	—
			自己診断電圧レベル = 1/3AnVREF	1285- TOEn	1365	1445+ TOEn	—
			自己診断電圧レベル = AnVSS	0		80+ TOEn	—
		10 ビットモード	自己診断電圧レベル = AnVREF	1003- TOEn		1023	—
			自己診断電圧レベル = 2/3AnVREF	663- TOEn	683	703+ TOEn	—
			自己診断電圧レベル = 1/2AnVREF	492- TOEn	512	532+ TOEn	—
			自己診断電圧レベル = 1/3AnVREF	321- TOEn	341	361+ TOEn	—
			自己診断電圧レベル = AnVSS	0		20+ TOEn	—
積分非直線性誤差 ^{注1}	ILEn	12 ビットモード	AnVREF = 4.5 V ~ 5.5 V	ADCAnIm, T&H なし		±2.0	LSB
				ADCA0I0-5 T&H あり		±3.0	LSB
			AnVREF = 3.0 V ~ 4.5 V	ADCAnIm T&H なし		±3.0	LSB
				ADCA0I0-5 T&H あり		±4.0	LSB
		10 ビットモード	AnVREF = 4.5 V ~ 5.5 V	ADCAnIm		±1.0	LSB
				ADCAnImS		±2.0	LSB
			AnVREF = 3.0 V ~ 4.5 V	ADCAnIm		±1.5	LSB
				ADCAnImS		±2.5	LSB
微分非直線性誤差 ^{注1}	DLEn	12 ビットモード	AnVREF = 4.5 V ~ 5.5 V	ADCAnIm, T&H なし		±1.0	LSB
				ADCA0I0-5 T&H あり		±2.0	LSB
			AnVREF = 3.0 V ~ 4.5 V	ADCAnIm, T&H なし		±3.0	LSB
				ADCA0I0-5 T&H あり		±4.0	LSB
		10 ビットモード	AnVREF = 4.5 V ~ 5.5 V	ADCAnIm		±1.0	LSB
				ADCAnImS		±1.5	LSB
			AnVREF = 3.0V ~ 4.5V	ADCAnIm		±1.0	LSB
				ADCAnImS		±2.0	LSB
ゼロスケール誤差 (オフセット誤差) ^{注1}	ZSEn	12 ビットモード	AnVREF = 4.5 V ~ 5.5 V	ADCAnIm, T&H なし		±3.5	LSB
				ADCA0I0-5 T&H あり		±5.5	LSB
			AnVREF = 3.0 V ~ 4.5 V	ADCAnIm, T&H なし		±5.5	LSB
				ADCA0I0-5 T&H あり		±7.5	LSB
		10 ビットモード	AnVREF = 4.5 V ~ 5.5 V	ADCAnIm		±0.5	LSB
				ADCAnImS		±1.5	LSB
			AnVREF = 3.0 V ~ 4.5 V	ADCAnIm		±1.0	LSB
				ADCAnImS		±2.0	LSB

(3/3)

項目	略号	条件		MIN.	TYP.	MAX.	単位
フルスケール誤差 ^{注1}	FSEn	12ビットモード	AnVREF = 4.5 V ~ 5.5 V	ADCA0Im, T&H なし		±3.5	LSB
				ADCA0I0-5 T&H あり		±5.5	LSB
			AnVREF = 3.0 V ~ 4.5 V	ADCA0Im, T&H なし		±5.5	LSB
				ADCA0I0-5 T&H あり		±7.5	LSB
		10ビットモード	AnVREF = 4.5 V ~ 5.5 V	ADCA0Im		±0.5	LSB
				ADCA0ImS		±1.5	LSB
			AnVREF = 3.0 V ~ 4.5 V	ADCA0Im		±1.0	LSB
				ADCA0ImS		±2.0	LSB

注 1. 量子化誤差は含みません。

注 2. $3.0 + 1.3 \times$ (使用した T&H の数)

注 3. HS IntOSC の発振精度を含みます。

注 4. 外部マルチプレクサを使用する場合、A/D 変換の詳細時間は、MPX セットアップ時間、サンプリング時間、逐次比較時間になります。MPX セットアップ時間は、「サンプリング時間 + 逐次比較時間」と同じになります。
変換精度には注入電流の影響も含みます。

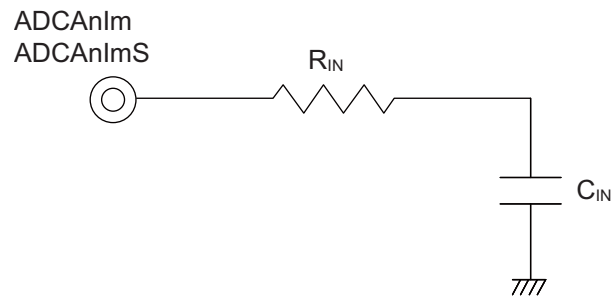
備考 ADCA0ImS 端子を 12 ビットモード変換するときの変換精度：下位 2 ビットを変換結果から無視することにより、変換精度を確保できます。

注 意

A/D 変換中に AP0, AP1, P8, P9, P18 にデジタルパルスを印可するとカップリングノイズによって A/D 変換値が期待通りに得られない場合があります。

デジタルバッファの出力端子としての動作も同様です。出力電圧の総和が増加すると精度劣化のポテンシャルが増加します。また、隣接端子の出力電流が変動した場合、アナログ入力端子の外部回路とのカップリングにより変換精度が劣化する場合があります。

40.26.1 アナログ入力部の等価回路



端子	条件	R_{IN} (k Ω)	C_{IN} (pF)
ADCA0I0-5	T&H 使用時	14.0	1.8
	T&H 未使用時	3.9	2.1
ADCA0I0S-3S, 5S-16S		5.0	8.6
ADCA0I4S, 17S-19S	—	5.4	8.6
ADCA1I0-15	—	3.6	1.8
ADCA1I0S-7S	—	4.7	4.5

注 意

本仕様は、出荷検査時にはテストされません。そのため、 R_{IN} と C_{IN} は参考値であり、保証されていません。また、これらの値は最大値を示しています。

40.27 注入電流

表 40.18 端子グループの定義 (176 ピン)

略称	端子グループ用電源	端子
PgR	REGVCC, AWOVSS	IP0_0
PgE	EVCC, EVSS	JP0, P0, P1, P2, P10, P11, P12, P20
PgE'	EVCC, EVSS	P8, P9, P18
PgA0	A0VREF, A0VSS	AP0
PgA1	A1VREF, A1VSS	AP1

表 40.19 端子グループの定義 (144 ピン)

略称	端子グループ用電源	端子
PgR	REGVCC, AWOVSS	IP0_0
PgE	EVCC, EVSS	JP0, P0, P1, P10, P11, P12, P20
PgE'	EVCC, EVSS	P8, P9, P18
PgA0	A0VREF, A0VSS	AP0
PgA1	A1VREF, A1VSS	AP1

表 40.20 端子グループの定義 (100 ピン)

略称	端子グループ用電源	端子
PgE	EVCC, EVSS	JP0, P0, P10, P11
PgE'	EVCC, EVSS	P8, P9
PgA0	A0VREF, A0VSS	AP0

40.27.1 絶対最大定格

40.27.1.1 176ピン、144ピン

項目	略号	条件		MIN.	TYP.	MAX.	単位
正のオーバーロード電流 VIN > VCC	I _{INJPM}	PgE	1 端子			10	mA
			総和			120	mA
		PgE'	1 端子			10	mA
			総和			120	mA
		PgA0	1 端子			10	mA
			総和			60	mA
		PgA1	1 端子			10	mA
			総和			60	mA
		PgR	1 端子			10	mA
		負のオーバーロード電流 VIN < VSS	I _{INJNM}	PgE	1 端子		
総和						-120	mA
PgE'	1 端子					-10	mA
	総和					-120	mA
PgA0	1 端子					-10	mA
	総和					-60	mA
PgA1	1 端子					-10	mA
	総和					-60	mA
PgR	1 端子					-10	mA

注 意

1. DC 注入電流（総和）は、1 端子当たりの注入電流のスペックを満足していることが条件です。
2. PgA0 と PgA1 用の注入電流の場合は、TESH0SN を保持することができません。注入電流の絶対値が増加するにつれ、その偏差値は、急激に増加します。

40.27.1.2 100 ピン

項目	略号	条件	MIN.	TYP.	MAX.	単位	
正のオーバーロード電流 $V_{IN} > V_{CC}$	I_{INJPM}	PgE	1 端子			10	mA
			総和			60	mA
		PgE'	1 端子			10	mA
			総和			60	mA
		PgA0	1 端子			10	mA
			総和			60	mA
負のオーバーロード電流 $V_{IN} < V_{SS}$	I_{INJNM}	PgE	1 端子			-10	mA
			総和			-60	mA
		PgE'	1 端子			-10	mA
			総和			-60	mA
		PgA0	1 端子			-10	mA
			総和			-60	mA

注 意

- DC 注入電流（総和）は、1 端子当たりの注入電流のスペックを満足していることが条件です。
- PgA0 と PgA1 用の注入電流の場合は、TESH0SN を保持することができません。注入電流の絶対値が増加するにつれ、その偏差値は、急激に増加します。

40.27.2 オーバロード電流の DC 特性

40.27.2.1 176 ピン、144 ピン

項目	略号	条件	MIN.	TYP.	MAX.	単位			
正のオーバロード電流 VIN > VCC	I _{INJP}	PgE	1 端子			2	mA		
			総和				100	mA	
		PgE'	1 端子				3	mA	
			総和				40	mA	
		PgA0	1 端子				3	mA	
			総和				20	mA	
		PgA1	1 端子				3	mA	
			総和				20	mA	
		PgR	1 端子				2	mA	
		負のオーバロード電流 VIN < VSS	I _{INJN}	PgE	1 端子			-2	mA
					総和				-100
				PgE'	1 端子				-3
総和							-40	mA	
PgA0	1 端子						-3	mA	
	総和						-20	mA	
PgA1	1 端子						-3	mA	
	総和						-20	mA	
PgR	1 端子						-2	mA	

備考

これらの仕様は、分類別にテストされておらず、デバイスの特性に基づいて指定されています。

40.27.2.2 100 ピン

項目	略号	条件	MIN.	TYP.	MAX.	単位			
正のオーバロード電流 VIN > VCC	I _{INJP}	PgE	1 端子			2	mA		
			総和				50	mA	
		PgE'	1 端子				3	mA	
			総和				20	mA	
		PgA0	1 端子				3	mA	
			総和				20	mA	
		負のオーバロード電流 VIN < VSS	I _{INJN}	PgE	1 端子			-2	mA
					総和				-50
PgE'	1 端子						-3	mA	
	総和						-20	mA	
PgA0	1 端子						-3	mA	
	総和						-20	mA	

備考

これらの仕様は、分類別にテストされておらず、デバイスの特性に基づいて指定されています。

40.28 熱特性

40.28.1 パラメータ

パッケージ	項目	略号	見積	単位	備考
176 ピン LQFP	熱抵抗	Θ_{ja}	35.5	°C/W	JESD51-7 対応 (4 レイヤー)
	熱特性パラメータ	ψ_{jb}	27.6		
144 ピン LQFP	熱抵抗	Θ_{ja}	35.5	°C/W	JESD51-7 対応 (4 レイヤー)
	熱特性パラメータ	ψ_{jb}	26.9		
100 ピン LQFP	熱抵抗	Θ_{ja}	38.3	°C/W	JESD51-7 対応 (4 レイヤー)
	熱特性パラメータ	ψ_{jb}	28.1		

備考 熱抵抗および熱特性パラメータは使用環境に依存します。

40.28.2 基板

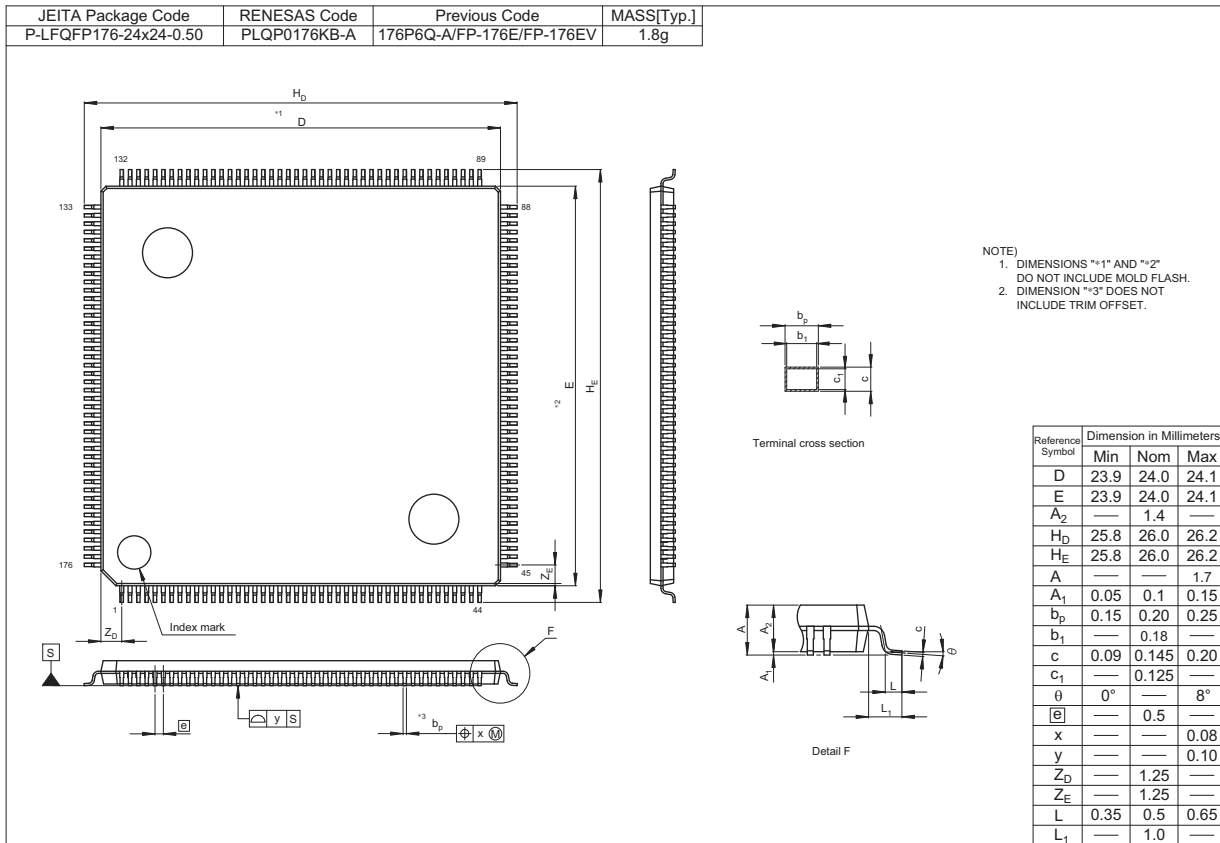
JESD51-7 対応 (4 レイヤー)

	基板サイズ (mm)		面積 (mm ²)
	X	Y	
基板	76.2	114.3	8709.66
残銅率	導体の厚さ		
50-95-95-50%	70-35-35-70 μ m		

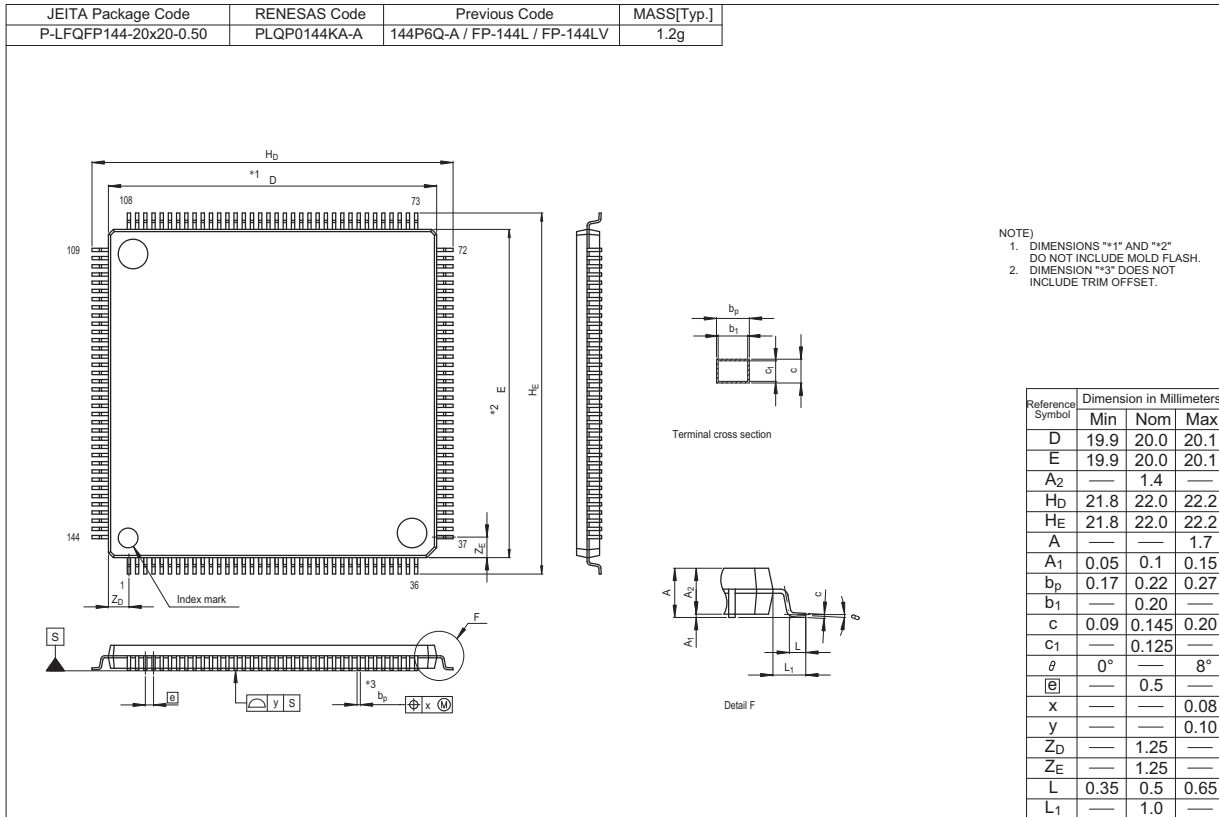
付録 A. パッケージ

A.1 パッケージ寸法

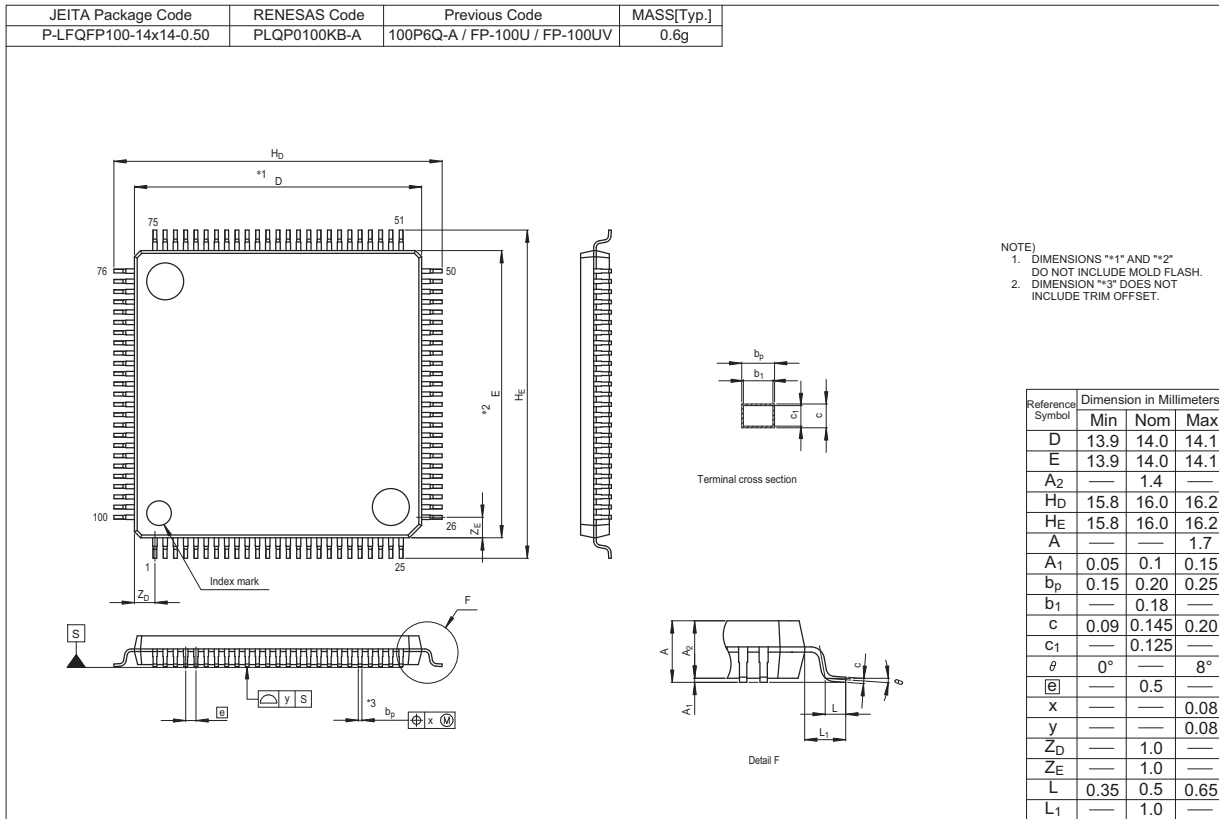
A.1.1 176 Pin



A.1.2 144 Pin



A.1.3 100 Pin



RH850/F1K ユーザーズマニュアル
ハードウェア編

発行年月日 2015年04月01日 Rev.0.50
2016年12月21日 Rev.1.10

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/contact/>

RH850/F1K



ルネサスエレクトロニクス株式会社

R01UH0562JJ0110