

SH72A2 グループ、SH72A0 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ
SuperHTMRISC engine ファミリ / SH72Ax シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

SH72A2グループ、SH72A0グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性		
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様 (ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 ※周辺機能の使用方法はアプリケーションノートを参照してください。	SH72A2グループ、 SH72A0グループ ユーザーズマニュアル ハードウェア編	本ユーザーズマ ニュアル
ユーザーズマニュアル ソフトウェア編	CPU命令セットの説明	SH2A、SH2A-FPU ユーザーズマニュアル ソフトウェア編	R01US0031JJ
アプリケーションノート	周辺機能の使用法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサス エレクトロニクスホームページに 掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する 速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

- (1) レジスタ名、ビット名、端子名
本文中では、シンボルで表記します。シンボルの後ろにレジスタ、ビット、端子を付けて区別します。
(例) ABCレジスタのCDFビット
PA01端子、VCC端子
- (2) 数字の表記
2進数はB'nnnn (明らかに2進数と判断できる場合はB'を省略)、16進数はH'nnnn、10進数はnnnnで表します。
(例) 2進数 : B'11または11
16進数 : H'EFA0
10進数 : 1234
- (3) Lowアクティブの表記
Lowアクティブの信号および端子には「#」を付けて表記しています。
(例) ABC#

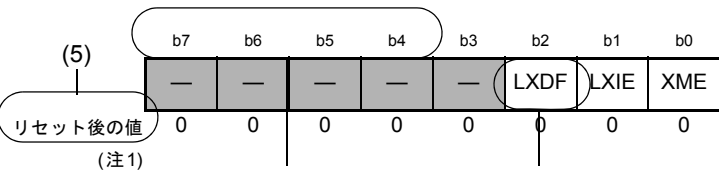
4. レジスタの表記

各レジスタの説明には、ビットの並びを示すビット図とビットに設定する内容を説明するビット表があります。使用する記号や用語を以下に説明します。

X.X.X メインクロック監視機能制御レジスタ (MCMCR) (1)

[ビット図]

アドレス H'FF46 E838 (2)



[ビット表]

ビット	シンボル	ビット名	機能	R/W
b7-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	LXDF	メインクロック発振停止検出フラグ	0: 未検出 1: 検出	R/W
b1	LXIE	メインクロック発振停止検出割り込み許可	0: メインクロック発振停止検出割り込みを禁止 1: メインクロック発振停止検出割り込みを許可	R/W

注. . 上記、図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

(1) レジスタ名

各レジスタの名称と略称を示します。

(2) レジスタアドレス

各レジスタの番地を示します。

(3) ビット

ビット番号を示します。

32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に示します。

(4) シンボル

ビット名またはフィールド名を示します。

また、予約ビットの場合は「—」と表記し、網掛けをしています。

ただし、タイムカウンタなどをはじめとして、ビット名の記載をせずに空白のままとしているものもあります。

(5) リセット後の値

特に注記がない場合、ハードウェアリセット、パワーオンリセット、電圧監視リセット、ソフトウェアリセット、ウォッチドッグタイマリセットおよびパワーダウンモード復帰リセット後の値です。

0 : 0

1 : 1

x : 不定

— : 読み出しできません。

(6) 機能

ビットの機能について説明しています。

(7) R/W

各ビットが読み出し可能か、書き込み可能か、または書き込みも読み出しも不可であることを示します。

使用する表記を以下に説明します。

R/W: 読み出しおよび書き込みが可能なビットまたはフィールドです。

R : 読み出しが可能なビットまたはフィールドです。

予約ビットはすべて「R」と表記します。書き込み必要がある場合は、ビット表で指定された値を書き込んでください。

W : 書き込みが可能なビットまたはフィールドです。

5. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺機能を制御するためのレジスタ
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

目次

1.	概要	1
1.1	特長	1
1.1.1	用途	1
1.1.2	仕様概要	2
1.2	製品一覧	6
1.3	ブロック図	9
1.4	端子説明	10
1.4.1	SH72A2グループのピン配置図	10
1.4.2	SH72A2グループの端子機能説明	14
1.4.3	SH72A0グループのピン配置図	17
1.4.4	SH72A0グループの端子機能説明	21
1.4.5	未使用端子の処理	23
2.	CPU	24
2.1	データフォーマット	24
2.2	レジスタ構成	25
2.2.1	汎用レジスタ	25
2.2.2	制御レジスタ	26
2.2.3	システムレジスタ	28
2.2.4	浮動小数点レジスタ	29
2.2.5	浮動小数点システムレジスタ	30
2.2.6	レジスタバンク	31
2.2.7	レジスタの初期値	31
2.3	データ形式	32
2.3.1	レジスタのデータ形式	32
2.3.2	メモリのデータ形式	32
2.3.3	イミディエイトデータのデータ形式	33
2.4	命令の特長	34
2.4.1	RISC方式	34
2.4.2	アドレッシングモード	37
2.4.3	命令形式	41
2.5	命令セット	44
2.5.1	分類順命令セット	44
2.5.2	データ転送命令	48
2.5.3	算術演算命令	51
2.5.4	論理演算命令	54
2.5.5	シフト命令	55
2.5.6	分岐命令	56
2.5.7	システム制御命令	57
2.5.8	浮動小数点命令	59
2.5.9	FPUに関するCPU命令	61
2.5.10	ビット操作命令	61
2.6	処理状態	62
3.	アドレス空間	63
4.	動作モード	69
4.1	動作モードの種類と選択	69

5.	クロック	70
5.1	概要	70
5.2	レジスタの説明	76
5.2.1	システムプロテクトレジスタ0 (SPR0)	78
5.2.2	システムプロテクトレジスタ2 (SPR2)	78
5.2.3	低速オンチップオシレータ制御レジスタ (LOCR)	79
5.2.4	メインクロック監視機能制御レジスタ (MCMCR)	80
5.2.5	クロックプロテクトレジスタ (CPR)	81
5.2.6	CPUクロック分周レジスタ (CCDR)	82
5.2.7	周辺バスクロック分周レジスタ (PBCDR)	83
5.2.8	周辺バスクロック制御レジスタ (PBCCR)	85
5.2.9	LINクロック制御レジスタ (LINCRR)	86
5.2.10	CMTクロック制御レジスタ (CMTCCR)	87
5.2.11	INT入力デジタルフィルタ制御レジスタ0 (INTDFCR0)	88
5.2.12	INT入力デジタルフィルタ制御レジスタ1 (INTDFCR1)	89
5.2.13	スリープモード制御レジスタ0 (SLCR0)	90
5.2.14	クロック出力機能制御レジスタ (COCR)	91
5.2.15	スリープモード制御レジスタ1 (SLCR1)	92
5.2.16	パワーダウンモード復帰要因選択レジスタ i (PDWSSLi) (i = 0、2 ~ 5)	94
5.2.17	パワーダウンモード復帰要因ステータスレジスタ i (PDWSSRi) (i = 0、2 ~ 5)	97
5.2.18	パワーダウンモード復帰要因エッジ選択レジスタ j (PDWSESLj) (j = 0 ~ 2)	100
5.2.19	リセットステータスレジスタ0 (RSTSR0)	102
5.2.20	バックアップレジスタ m (BURm) (m = 0 ~ 31)	103
5.3	クロック発生回路	104
5.3.1	メインクロック発振回路	104
5.3.2	低速オンチップオシレータ	104
5.3.3	PLL周波数シンセサイザ	104
5.4	システムクロック (f(SYS))	105
5.4.1	CPUクロック (f(CPU))	105
5.4.2	バスクロック (f(BUS))	105
5.4.3	周辺バスクロック	105
5.4.4	周辺機能クロック	105
5.4.5	クロック分周レジスタ設定手順	106
5.5	パワーコントロール	107
5.5.1	各モードの説明	108
5.6	メインクロック監視機能	112
5.7	クロック出力機能	112
5.8	使用上の注意事項	113
5.8.1	ボード設計上の注意	113
6.	例外処理	115
6.1	概要	115
6.1.1	例外処理の種類と優先順位	115
6.1.2	例外処理の動作	116
6.1.3	例外処理ベクタテーブル	118
6.2	リセット	120
6.2.1	リセットの種類	120
6.2.2	ハードウェアリセット	120
6.2.3	ウォッチドッグタイマリセット、ソフトウェアリセット	120

6.2.4	パワーダウンモード復帰リセット	120
6.3	アドレスエラー	121
6.3.1	アドレスエラー発生要因	121
6.3.2	アドレスエラー例外処理	121
6.4	CPUオペランドアクセスMPUエラー	122
6.4.1	CPUオペランドアクセスMPUエラー発生要因	122
6.4.2	CPUオペランドアクセスMPUエラー例外処理	122
6.5	レジスタバンクエラー	123
6.5.1	レジスタバンクエラー発生要因	123
6.5.2	レジスタバンクエラー例外処理	123
6.6	割り込み	124
6.6.1	割り込み要因	124
6.6.2	割り込み優先順位	125
6.6.3	割り込み例外処理	126
6.7	命令	127
6.7.1	命令による例外の種類	127
6.7.2	トラップ命令	127
6.7.3	スロット不当命令	128
6.7.4	一般不当命令	128
6.7.5	整数除算例外	128
6.7.6	FPU例外	129
6.8	例外処理が受け付けられない場合	130
6.9	例外処理後のスタックの状態	131
6.10	例外処理の注意事項	132
6.10.1	スタックポインタ (SP) の値	132
6.10.2	ベクタベースレジスタ (VBR) の値	132
6.10.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー	132
6.10.4	割り込みマスクビット変更による割り込み制御	132
7.	リセット	133
7.1	概要	133
7.2	レジスタの説明	135
7.2.1	システムプロテクトレジスタ 2 (SPR2)	135
7.2.2	ソフトウェアリセットレジスタ (SWRR)	136
7.2.3	リセット要因判別レジスタ (RSDR)	137
7.3	リセット要因	138
7.3.1	ハードウェアリセット	138
7.3.2	ソフトウェアリセット	138
7.3.3	ウォッチドッグタイマリセット	138
7.3.4	パワーダウンモード復帰リセット	138
7.4	リセットシーケンス	139
7.5	リセット判別機能	140
7.6	コールドスタート/ウォームスタート判定機能	140
8.	割り込みコントローラ (INTC)	141
8.1	概要	141
8.1.1	仕様	141
8.2	入出力端子	143
8.3	レジスタの説明	144

8.3.1	割り込み優先レベル設定レジスタ i (IPR i) ($i = 1 \sim 4$).....	152
8.3.2	割り込み制御レジスタ 0 (ICR0).....	153
8.3.3	割り込み制御レジスタ 1 (ICR1).....	153
8.3.4	割り込み制御レジスタ 2 (ICR2).....	154
8.3.5	INT 割り込み要求レジスタ (INTR).....	155
8.3.6	バンク制御レジスタ (BCR).....	156
8.3.7	バンク番号レジスタ (BNR).....	157
8.3.8	ソフトウェア割り込みレジスタ i (SINT i) ($i = 1 \sim 8$).....	157
8.3.9	割り込み要求レジスタ i (IR i) ($i = 102 \sim 109$ 、 $134 \sim 136$ 、 $142 \sim 156$ 、 $165 \sim 166$ 、 $173 \sim 180$ 、 $191 \sim 196$ 、 $214 \sim 215$ 、 $221 \sim 240$ 、 $297 \sim 300$ 、 $312 \sim 339$ 、 $366 \sim 367$ 、 $378 \sim 379$ 、 $403 \sim 418$ 、 $427 \sim 464$ 、 477).....	158
8.3.10	割り込み制御レジスタ i (ICR i) ($i = 102 \sim 109$ 、 $134 \sim 136$ 、 $142 \sim 156$ 、 $165 \sim 166$ 、 $173 \sim 180$ 、 $191 \sim 196$ 、 $214 \sim 215$ 、 $221 \sim 240$ 、 $297 \sim 300$ 、 $312 \sim 339$ 、 $366 \sim 367$ 、 $378 \sim 379$ 、 $403 \sim 418$ 、 $427 \sim 464$ 、 477).....	159
8.4	割り込み要因.....	160
8.4.1	電圧監視割り込み.....	160
8.4.2	NMI 割り込み.....	160
8.4.3	ユーザブレーク割り込み.....	160
8.4.4	DMAC アクセス MPU エラー割り込み.....	160
8.4.5	RAM エラー割り込み.....	161
8.4.6	FIFE 割り込み.....	161
8.4.7	ソフトウェア割り込み.....	161
8.4.8	INT 割り込み.....	161
8.4.9	周辺機能割り込み.....	162
8.4.10	割り込み例外処理ベクタと優先順位.....	163
8.4.11	割り込み動作の流れ.....	169
8.4.12	割り込み例外処理終了後のスタックの状態.....	170
8.4.13	割り込み要因の検出制御.....	171
8.5	割り込み応答時間.....	172
8.6	レジスタバンク.....	176
8.6.1	レジスタバンクとバンク制御レジスタ.....	177
8.6.2	バンク退避、復帰の動作.....	177
8.6.3	すべてのバンクに退避が行われた状態での退避、復帰.....	179
8.6.4	レジスタバンクの例外.....	179
8.6.5	レジスタバンクエラー例外処理.....	180
8.7	INTC の注意事項.....	181
8.7.1	割り込み要因クリアのタイミング.....	181
8.7.2	INT 割り込み要求レジスタの注意事項.....	181
8.7.3	割り込み制御レジスタ 1、2 (ICR1、2)、INT 入力デジタルフィルタ制御レジスタ 0、1 (INTDFCR0、1) の注意事項.....	181
9.	電圧監視機能.....	182
9.1	概要.....	182
9.2	レジスタの説明.....	184
9.2.1	システムプロテクトレジスタ 0 (SPR0).....	184
9.2.2	Vdet1 レベル選択レジスタ (VD1LSL).....	185
9.2.3	電圧監視ステータスレジスタ (VMSR).....	186
9.2.4	電圧監視制御レジスタ (VMCR).....	187
9.2.5	電圧監視回路 1 制御レジスタ (VM1CR).....	188
9.2.6	電圧監視回路用デジタルフィルタクロック選択レジスタ (VMDFCSL).....	189

9.3	動作説明.....	190
9.3.1	電圧監視機能1.....	190
9.4	割り込み.....	191
9.4.1	電圧監視割り込み1.....	191
9.4.2	デジタルフィルタ機能.....	192
9.5	電圧監視機能の注意事項.....	193
10.	ウォッチドッグタイマ.....	194
10.1	概要.....	194
10.2	レジスタの説明.....	196
10.2.1	WDTリフレッシュレジスタ (WDTRR).....	196
10.2.2	WDT制御レジスタ0 (WDTCR0).....	197
10.2.3	WDTレジスタ (WDTR).....	198
10.2.4	WDT制御レジスタ1 (WDTCR1).....	198
10.3	動作説明.....	199
10.4	使用上の注意事項.....	200
11.	タスク監視タイマ.....	201
11.1	概要.....	201
11.2	レジスタの説明.....	202
11.2.1	タスク監視タイマプロテクトレジスタ (TMTPR).....	202
11.2.2	タスク監視タイマロード許可レジスタ (TMTLEN).....	203
11.2.3	タスク監視タイマカウントソース選択レジスタ (TMTCSSL).....	203
11.2.4	タスク監視タイマレジスタ (TMTR).....	204
11.2.5	タスク監視タイマ許可レジスタ (TMTEN).....	204
11.3	動作説明.....	205
11.4	タスク監視タイマの注意事項.....	206
12.	DMAC.....	207
12.1	概要.....	207
12.2	レジスタの説明.....	209
12.2.1	DMAiモードレジスタ (DMiMD) (i = 0 ~ 7).....	211
12.2.2	DMAi制御レジスタ0 (DMiCR0) (i = 0 ~ 7).....	213
12.2.3	DMAi制御レジスタ1 (DMiCR1) (i = 0 ~ 7).....	217
12.2.4	DMAi転送元アドレスレジスタ (DMiSA) (i = 0 ~ 7).....	219
12.2.5	DMAi転送先アドレスレジスタ (DMiDA) (i = 0 ~ 7).....	220
12.2.6	DMAi転送バイトカウンタ (DMiCNT) (i = 0 ~ 7).....	221
12.2.7	DMAi転送元アドレスリロードレジスタ (DMiSAR) (i = 0 ~ 7).....	222
12.2.8	DMAi転送先アドレスリロードレジスタ (DMiDAR) (i = 0 ~ 7).....	222
12.2.9	DMAi転送バイトカウンタリロードレジスタ (DMiCNTR) (i = 0 ~ 7).....	223
12.2.10	DMA割り込み制御レジスタ (DMICR).....	224
12.2.11	DMA起動レジスタ (DMSTR).....	225
12.2.12	DMA転送ステータスレジスタ (DMSR).....	226
12.2.13	DMA転送完了ステータスレジスタ (DMCSR).....	227
12.3	動作説明.....	228
12.3.1	転送モード.....	228
12.3.2	転送方式.....	229
12.3.3	DMACの起動.....	231
12.3.4	DMA転送の開始.....	232

12.3.5	DMA 転送の完了.....	232
12.3.6	DMA 転送の一時停止、再開、中止	232
12.3.7	DMA 要求要因.....	232
12.3.8	チャンネル調停	233
12.3.9	リロード機能	234
12.3.10	データの再配置	235
12.3.11	ローテート	235
12.4	割り込み.....	236
12.5	DMACの注意事項	237
12.5.1	レジスタの設定	237
13.	I/Oポート	238
13.1	概要.....	238
13.2	レジスタの説明.....	248
13.2.1	ポートプロテクトレジスタ (PPR).....	251
13.2.2	ポートiレジスタ (PiR) (i = A ~ G、J ~ L、N).....	252
13.2.3	ポートi方向レジスタ (PiDR) (i = A ~ G、J ~ L).....	255
13.2.4	プルアップ制御レジスタ0 (PUR0).....	258
13.2.5	プルアップ制御レジスタ1 (PUR1).....	259
13.2.6	入力しきい値選択レジスタ0 (PVSR0).....	260
13.2.7	入力しきい値選択レジスタ1 (PVSR1).....	261
13.2.8	入力しきい値選択レジスタ2 (PVSR2).....	262
13.2.9	入力しきい値選択レジスタ3 (PVSR3).....	263
13.2.10	ポート機能選択レジスタ0 (PFS0).....	263
13.2.11	ポート機能選択レジスタ1 (PFS1).....	264
13.2.12	ポート機能選択レジスタ2 (PFS2).....	265
13.2.13	ポート機能選択レジスタ3 (PFS3).....	265
13.2.14	ポートAi機能選択レジスタ (PAiS) (i = 00 ~ 05).....	266
13.2.15	ポートBi機能選択レジスタ (PBiS) (i = 12 ~ 15).....	267
13.2.16	ポートCi機能選択レジスタ (PCiS) (i = 08 ~ 12).....	268
13.2.17	ポートDi機能選択レジスタ (PDiS) (i = 00 ~ 10).....	269
13.2.18	ポートEi機能選択レジスタ (PEiS) (i = 00 ~ 07).....	270
13.2.19	ポートFi機能選択レジスタ (PFiS) (i = 00 ~ 02、07).....	271
13.2.20	ポートGi機能選択レジスタ (PGiS) (i = 00 ~ 03、10 ~ 13).....	272
13.2.21	ポートJi機能選択レジスタ (PJS) (i = 00 ~ 11).....	273
13.2.22	ポートKi機能選択レジスタ (PKiS) (i = 00 ~ 01、08 ~ 15).....	274
13.2.23	ポートLi機能選択レジスタ (PLiS) (i = 10 ~ 15).....	275
13.2.24	ポートNi機能選択レジスタ (PNiS) (i = 00 ~ 05).....	276
13.2.25	ポート機能許可レジスタ0 (PFEN0).....	277
13.2.26	POE0制御レジスタ (POE0CR).....	278
13.2.27	POE1制御レジスタ (POE1CR).....	279
13.2.28	POE2制御レジスタ (POE2CR).....	280
13.2.29	POEモニタレジスタ (POEM).....	281
13.3	POEi割り込み.....	282
13.4	入出力ポートの機能の選択.....	282
13.4.1	入力ポート	282
13.4.2	出力ポート	282
13.5	周辺機能の選択.....	283
13.5.1	複数個所ある入力端子の選択について	283
13.5.2	複数個所ある出力端子の選択について	283

13.5.3	割り込み、A/Dコンバータ入力機能選択について	283
13.5.4	CLKOUTの機能選択について	283
13.6	その他機能	283
13.7	注意事項	284
13.7.1	ポートPni機能選択レジスタ (PniS) の設定 (n=A,B,C,D,E,F,G,J,K,L,N) (i=IOポート有効端子)	284
14.	コンペアマッチタイマ(CMT)	285
14.1	概要	285
14.2	レジスタの説明	286
14.2.1	CMT01開始レジスタ (CM01STR)	287
14.2.2	CMT23開始レジスタ (CM23STR)	287
14.2.3	CMT45開始レジスタ (CM45STR)	287
14.2.4	CMTi制御レジスタ (CMiCR) (i = 0 ~ 5)	288
14.2.5	CMTiカウンタ (CMiCNT) (i = 0 ~ 5)	289
14.2.6	CMTiコンペアマッチ設定レジスタ (CMiCMSE) (i = 0 ~ 5)	289
14.3	動作説明	290
14.3.1	周期カウント動作	290
14.3.2	CMiCNTカウンタのカウントタイミング	290
14.4	割り込み	291
14.4.1	割り込み要因	291
14.4.2	CMTi割り込みの発生タイミング	292
14.5	コンペアマッチタイマ(CMT)の注意事項	293
14.5.1	CMiCNTカウンタの書き込みとコンペアマッチの競合	293
14.5.2	CMiCNTカウンタの書き込みとカウントアップの競合	293
14.5.3	CMiCRレジスタ書き込みに関する注意事項	294
14.5.4	カウント停止中のカウントクリアと割り込み発生に関する注意事項	294
15.	タイマパルスユニット(TPU)	295
15.1	概要	295
15.2	レジスタの説明	299
15.2.1	TPUi制御レジスタ (TPiCR) (i = 0 ~ 15)	308
15.2.2	TPUiモードレジスタ (TPiMD) (i = 0 ~ 15)	309
15.2.3	TPUiステータスレジスタ (TPiSR) (i = 0 ~ 15)	310
15.2.4	TPUiカウンタ (TPiCNT) (i = 0 ~ 15)	310
15.2.5	TPUiジェネラルレジスタ k (TPiGRk) (i = 0 ~ 15) (k = 0 ~ 3)	311
15.2.6	TPUiカウント開始レジスタ (TPiCSTR) (i = 0 ~ 15)	312
15.2.7	TPUi I/O制御レジスタ (TPiIOCR) (i = 0 ~ 15)	313
15.2.8	TPUiデジタルフィルタレジスタ (TPiDF) (i = 0 ~ 15)	314
15.2.9	TPUi AD変換/ワンショット出力制御レジスタ (TPiADCR) (i = 0 ~ 15)	315
15.2.10	TPUi AD変換/ワンショット出力タイミング設定レジスタ k (TPiADOTSEk) (i = 0 ~ 15) (k = 0 ~ 3)	316
15.2.11	TPUiカウンタリセットレジスタ (TPiCNRSE)	317
15.2.12	TPUi位相シフト制御レジスタ 0 (TPiPSCR0) (i = 0 ~ 15)	317
15.2.13	TPUi位相シフト制御レジスタ 1 (TPiPSCR1) (i = 0 ~ 15)	318
15.2.14	TPUi位相シフトクロック分周レジスタ (TPiPSCDV) (i = 0 ~ 15)	318
15.2.15	TPUi位相シフトカウンタ (TPiPSCNT) (i = 0 ~ 15)	319
15.2.16	TPUi位相シフト周期設定レジスタ (TPiPSPSE) (i = 0 ~ 15)	319
15.2.17	TPUi位相シフトカウンタ制御レジスタ (TPiPSCNTR) (i = 0 ~ 15)	320
15.3	TPiCNTカウンタ	321

15.3.1	フリーラン動作と周期カウント動作	322
15.3.2	TPiCNTカウンタのカウントタイミング	324
15.4	カスケード接続動作	325
15.5	インプットキャプチャ機能	326
15.5.1	バッファ機能	329
15.5.2	デジタルフィルタ機能	331
15.6	アウトプットコンペア機能	332
15.6.1	単相波形出力モード	332
15.6.2	バッファ機能	335
15.6.3	PWMモード	337
15.6.4	位相シフトモード(チャンネルシフトモード)	342
15.7	A/D変換タイミング生成機能	346
15.8	ワンショット出力機能	347
15.9	割り込み要因	349
15.10	TPUの注意事項	350
15.10.1	TPiCNTカウンタへの書き込み信号と各種信号との競合	350
15.10.2	TPiGrkレジスタへの書き込み信号と各種信号との競合	351
15.10.3	TPiGrkレジスタの読み出し信号とインプットキャプチャ信号との競合	352
15.10.4	バッファレジスタへの書き込み信号と各種信号との競合	353
15.10.5	オーバフロー信号とTPiCNTカウンタリセット信号との競合	354
16.	マルチファンクションタイマパルスユニット(MTU-III)	355
16.1	特長	355
16.1.1	入出力端子	360
16.2	レジスタの説明	361
16.2.1	MTi制御レジスタ(MTiCR) (i = 0 ~ 4、6、7)、 MT5制御レジスタU (MT5CRU)、MT5制御レジスタV (MT5CRV)、 MT5制御レジスタW (MT5CRW)	367
16.2.2	MTiモードレジスタ0 (MTiMD0) (i = 0 ~ 4、6、7)	371
16.2.3	MT3モードレジスタ1 (MT3MD1)、MT6モードレジスタ1 (MT6MD1)	372
16.2.4	MTi I/O 制御レジスタ0 (MTiIOCR0) (i = 0 ~ 4、6、7)、 MTj I/O 制御レジスタ1 (MTjIOCR1) (j = 0、3、4、6、7)、 MT5 I/O 制御レジスタU (MT5IOCRU)、MT5 I/O 制御レジスタV (MT5IOCRV)、 MT5 I/O 制御レジスタW (MT5IOCRW)	373
16.2.5	MT5 コンペアマッチクリアレジスタ (MT5CMC)	389
16.2.6	MTi割り込み許可レジスタ0 (MTiIEN0) (i = 0 ~ 4、6、7)、 MT0割り込み許可レジスタ1 (MT0IEN1)、 MT5割り込み許可レジスタ0 (MT5IEN0)	390
16.2.7	MTiステータスレジスタ0 (MTiSR0) (i = 0 ~ 4、6、7)、 MT0ステータスレジスタ1 (MT0SR1)、MT5ステータスレジスタ0 (MT5SR0)	393
16.2.8	MTjバッファ動作転送モードレジスタ (MTjBTM) (j = 0、3、4、6、7)	397
16.2.9	MT1インプットキャプチャ制御レジスタ (MT1ICCR)	398
16.2.10	MT6同期クリアレジスタ (MT6SYC)	399
16.2.11	MTiカウンタ (MTiCNT) (i = 0 ~ 4、6、7)、 MT5カウンタU、V、W (MT5CNTU、MT5CNTV、MT5CNTW)	400
16.2.12	MTiジェネラルレジスタA、B (MTiGRA、MTiGRB) (i = 0 ~ 4、6、7)、 MTjジェネラルレジスタC、D、E (MTjGRC、MTjGRD、MTjGRE) (j = 0、3、4、6、7)、 MTkジェネラルレジスタF (MTkGRF) (k = 0、4、7)、 MT5ジェネラルレジスタU、V、W (MT5GRU、MT5GRV、MT5GRW)	401
16.2.13	MT01234開始レジスタ (MT01234STR)、MT67開始レジスタ (MT67STR)、 MT5開始レジスタ (MT5STR)	402

16.2.14	MT01234同期レジスタ(MT01234SY)、MT67同期レジスタ(MT67SY).....	404
16.2.15	MTカウンタ同期開始レジスタ(MTCSYSTR).....	405
16.2.16	MT34リードライト許可レジスタ(MT34RWEN)、 MT67リードライト許可レジスタ(MT67RWEN).....	406
16.2.17	MT34出力許可レジスタ(MT34OEN)、MT67出力許可レジスタ(MT67OEN).....	407
16.2.18	MT34出力制御レジスタ0(MT34OCR0)、MT67出力制御レジスタ0(MT67OCR0).....	409
16.2.19	MT34出力制御レジスタ1(MT34OCR1)、MT67出力制御レジスタ1(MT67OCR1).....	411
16.2.20	MT34出力レベルバッファレジスタ(MT34OLB)、 MT67出力レベルバッファレジスタ(MT67OLB).....	413
16.2.21	MT34ゲート制御レジスタ(MT34GCR).....	414
16.2.22	MT34サブカウンタ(MT34SCNT)、MT67サブカウンタ(MT67SCNT).....	415
16.2.23	MT34周期データレジスタ(MT34CD)、MT67周期データレジスタ(MT67CD).....	415
16.2.24	MT34周期バッファレジスタ(MT34CB)、 MT67周期バッファレジスタ(MT67CB).....	415
16.2.25	MT34デッドタイムデータレジスタ(MT34DTD)、 MT67デッドタイムデータレジスタ(MT67DTD).....	416
16.2.26	MT3デッドタイム許可レジスタ(MT3DTEN)、 MT6デッドタイム許可レジスタ(MT6DTEN).....	416
16.2.27	MT34バッファ転送設定レジスタ(MT34BTSE)、 MT67バッファ転送設定レジスタ(MT67BTSE).....	417
16.2.28	MT34波形制御レジスタ(MT34WCR)、MT67波形制御レジスタ(MT67WCR).....	418
16.2.29	MT4 A/D変換開始要求制御レジスタ(MT4ADSRCCR)、 MT7 A/D変換開始要求制御レジスタ(MT7ADSRCCR).....	420
16.2.30	MT4 A/D変換開始要求周期設定レジスタA(MT4ADSRCSEA)、 MT7 A/D変換開始要求周期設定レジスタA(MT7ADSRCSEA)、 MT4 A/D変換開始要求周期設定レジスタB(MT4ADSRCSEB)、 MT7 A/D変換開始要求周期設定レジスタB(MT7ADSRCSEB).....	423
16.2.31	MT4 A/D変換開始要求周期設定バッファレジスタA(MT4ADSRCSEBA)、 MT7 A/D変換開始要求周期設定バッファレジスタA(MT7ADSRCSEBA)、 MT4 A/D変換開始要求周期設定バッファレジスタB(MT4ADSRCSEBB)、 MT7 A/D変換開始要求周期設定バッファレジスタB(MT7ADSRCSEBB).....	424
16.2.32	MT34割り込み間引きモードレジスタ(MT34ISMD)、 MT67割り込み間引きモードレジスタ(MT67ISMD).....	424
16.2.33	MT34割り込み間引き設定レジスタ0(MT34ISSE0)、 MT67割り込み間引き設定レジスタ0(MT67ISSE0).....	425
16.2.34	MT34割り込み間引き回数カウンタ0(MT34ISCNT0)、 MT67割り込み間引き回数カウンタ0(MT67ISCNT0).....	428
16.2.35	MT4割り込み間引き設定レジスタ1(MT4ISSE1)、 MT7割り込み間引き設定レジスタ1(MT7ISSE1).....	430
16.2.36	MT4割り込み間引き回数カウンタ1(MT4ISCNT1)、 MT7割り込み間引き回数カウンタ1(MT7ISCNT1).....	432
16.2.37	MT3467波形切り替えレジスタ(MT3467WSW).....	433
16.2.38	MT1波形インプットキャプチャ/ アウトプットコンペア切り替え許可レジスタA(MT1WIOSWENA).....	434
16.2.39	MT1波形インプットキャプチャ/ アウトプットコンペア切り替え許可レジスタB(MT1WIOSWENB).....	436
16.2.40	MT2波形インプットキャプチャ/ アウトプットコンペア切り替え許可レジスタA(MT2WIOSWENA).....	438
16.2.41	MT2波形インプットキャプチャ/ アウトプットコンペア切り替え許可レジスタB(MT2WIOSWENB).....	440
16.3	動作説明.....	442
16.3.1	基本動作.....	442
16.3.2	同期動作.....	447

16.3.3	バッファ動作	449
16.3.4	カスケード接続動作	454
16.3.5	PWMモード	459
16.3.6	位相計数モード	464
16.3.7	リセット同期PWMモード	470
16.3.8	相補PWMモード	473
16.3.9	A/D変換開始要求ディレイド機能	516
16.3.10	チャンネル0~4-チャンネル6、7の同期動作	523
16.3.11	外部パルス幅測定機能	527
16.3.12	デッドタイム補償用機能	528
16.3.13	相補PWMの「山/谷」でのMTCNTカウンタキャプチャ動作	530
16.3.14	PWM出力↔方形波出力切り替え機能	531
16.4	割り込み要因	534
16.4.1	割り込み要因と優先順位	534
16.4.2	DMACの起動	536
16.4.3	A/Dコンバータの起動	536
16.5	動作タイミング	538
16.5.1	入出力タイミング	538
16.5.2	割り込み信号タイミング	544
16.6	MTU-IIIの注意事項	551
16.6.1	入力クロックの制限事項	551
16.6.2	周期設定上の注意事項	552
16.6.3	MTCNTカウンタの書き込みとクリアの競合	552
16.6.4	MTCNTカウンタの書き込みとカウントアップの競合	553
16.6.5	MTGRレジスタの書き込みとコンペアマッチの競合	553
16.6.6	バッファレジスタの書き込みとコンペアマッチの競合	554
16.6.7	バッファレジスタの書き込みとMTCNTカウンタクリアの競合	555
16.6.8	MTGRレジスタの読み出しとインプットキャプチャの競合	556
16.6.9	MTGRレジスタの書き込みとインプットキャプチャの競合	557
16.6.10	バッファレジスタの書き込みとインプットキャプチャの競合	558
16.6.11	カスケード接続におけるMT2CNTカウンタの書き込みとオーバフロー/ アンダフローの競合	559
16.6.12	相補PWMモード停止時のカウンタ値	560
16.6.13	相補PWMモードでのバッファ動作の設定	560
16.6.14	リセット同期PWMモードのバッファ動作とコンペアマッチフラグ	561
16.6.15	リセット同期PWMモードのオーバフローフラグ	562
16.6.16	オーバフロー/アンダフローとカウンタクリアの競合	563
16.6.17	MTCNTカウンタの書き込みとオーバフロー/アンダフローの競合	563
16.6.18	通常動作またはPWMモード1からリセット同期PWMモードへ遷移する場合の 注意事項	564
16.6.19	相補PWMモード、リセット同期PWMモードの出力レベル	564
16.6.20	カスケード接続におけるMT1CNT、MT2CNTカウンタ同時インプットキャプチャ	564
16.6.21	相補PWMモードでの同期カウンタクリア時出力波形制御	565
16.6.22	方形波出力切り替え機能	566
16.6.23	割り込み間引き機能2	566
16.7	MTU-III出力端子の初期化方法	567
16.7.1	動作モード	567
16.7.2	リセットスタート時の動作	567
16.7.3	動作中の異常などによる再設定時の動作	567
16.7.4	動作中の異常などによる端子の初期化手順、モード遷移の概要	568

17.	シリアルコミュニケーションインタフェース (SCI)	598
17.1	概要	598
17.2	レジスタの説明	600
17.2.1	SCI _i 送信バッファレジスタ (SCiTB) (i = 0 ~ 3)	601
17.2.2	SCI _i 制御レジスタ (SCiCR) (i = 0 ~ 3)	602
17.2.3	SCI _i モードレジスタ (SCiMD) (i = 0 ~ 3)	604
17.2.4	SCI _i ビットレートレジスタ (SCiBR) (i = 0 ~ 3)	605
17.2.5	SCI _i 受信バッファレジスタ (SCiRB) (i = 0 ~ 3)	606
17.2.6	SCI _i ステータスレジスタ (SCiSR) (i = 0 ~ 3)	607
17.2.7	SCI _i 拡張モードレジスタ (SCiEMD) (i = 0 ~ 3)	610
17.3	動作説明	611
17.3.1	調歩同期式モード	611
17.3.2	クロック同期式モード	618
17.4	割り込み	626
17.4.1	割り込み要因	626
17.5	SCIの注意事項	627
17.5.1	受信エラーフラグと送信動作について(クロック同期式モードのみ)	627
17.5.2	SCiTBレジスタへの書き込みとTBEPフラグの関係について	627
17.5.3	クロック同期送信時の制約事項	627
17.5.4	クロック同期式モード外部クロック入力	627
18.	シリアルバスインタフェース (SBI)	628
18.1	概要	628
18.1.1	内部ブロック図	629
18.1.2	端子構成	630
18.2	レジスタの説明	631
18.2.1	SBi _i 制御レジスタ 0 (SBiCR0) (i = 0 ~ 3)	633
18.2.2	SBi _i スレーブセレクト極性レジスタ (SBiSSLP) (i = 0 ~ 3)	635
18.2.3	SBi _i 端子制御レジスタ (SBiPCR) (i = 0 ~ 3)	636
18.2.4	SBi _i ステータスレジスタ (SBiSR) (i = 0 ~ 3)	637
18.2.5	SBi _i データレジスタ (SBiDR) (i = 0 ~ 3)	640
18.2.6	SBi _i シーケンス制御レジスタ (SBiSCR) (i = 0 ~ 3)	641
18.2.7	SBi _i シーケンスステータスレジスタ (SBiSSR) (i = 0 ~ 3)	642
18.2.8	SBi _i ビットレートレジスタ (SBiBR) (i = 0 ~ 3)	643
18.2.9	SBi _i データ制御レジスタ (SBiDCR) (i = 0 ~ 3)	644
18.2.10	SBi _i クロック遅延レジスタ (SBiCKD) (i = 0 ~ 3)	648
18.2.11	SBi _i スレーブセレクトネゲート遅延レジスタ (SBiSSLND) (i = 0 ~ 3)	649
18.2.12	SBi _i 次アクセス遅延レジスタ (SBiIND) (i = 0 ~ 3)	650
18.2.13	SBi _i 制御レジスタ 1 (SBiCR1) (i = 0 ~ 3)	651
18.2.14	SBi _i コマンドレジスタ k (SBiCMDk) (i = 0 ~ 3、k = 0 ~ 7)	652
18.3	動作説明	655
18.3.1	SBI動作の概要	655
18.3.2	SBI端子の制御	656
18.3.3	SBIシステム構成例	657
18.3.4	転送フォーマット	663
18.3.5	データフォーマット	665
18.3.6	通信動作モード	673
18.3.7	送信バッファエンプティ / 受信バッファフルフラグ	675
18.3.8	エラー検出	676

18.3.9	SBIの初期化.....	680
18.3.10	SBI動作.....	681
18.3.11	クロック同期式動作.....	691
18.3.12	エラー処理.....	698
18.3.13	ループバックモード.....	700
18.3.14	パリティ機能の自己診断.....	702
18.3.15	割り込み要因.....	703
19.	LINモジュール.....	704
19.1	LINモジュール関連レジスタ.....	706
19.1.1	LIN ウェイクアップボーレート選択レジスタ (LWBR).....	713
19.1.2	LIN ボーレートプリスケラ0レジスタ (LBRP0).....	713
19.1.3	LIN ボーレートプリスケラ1レジスタ (LBRP1).....	713
19.1.4	LINセルフテスト制御レジスタ (LSTC).....	714
19.1.5	LINiモードレジスタ (LiMD).....	715
19.1.6	LINiブレークフィールド設定レジスタ (LiBRK).....	716
19.1.7	LINiスペース設定レジスタ (LiSPC).....	717
19.1.8	LINiウェイクアップ設定レジスタ (LiWUP).....	718
19.1.9	LINi割り込み許可レジスタ (LiIE).....	719
19.1.10	LINiエラー検出許可レジスタ (LiEDE).....	720
19.1.11	LINi制御レジスタ (LiC).....	721
19.1.12	LINi送信制御レジスタ (LiTC).....	722
19.1.13	LINiモードステータスレジスタ (LiMST).....	723
19.1.14	LINiステータスレジスタ (LiST).....	723
19.1.15	LINiエラーステータスレジスタ (LiEST).....	725
19.1.16	LINiレスポンスフィールド設定レジスタ (LiRFC).....	726
19.1.17	LINi IDバッファレジスタ (LiIDB).....	727
19.1.18	LINiチェックサムバッファレジスタ (LiCBR).....	728
19.1.19	LINiデータnバッファレジスタ (LiDBn) (n = 1 ~ 8).....	729
19.2	動作モード.....	730
19.2.1	LINリセットモード.....	731
19.2.2	LIN動作モード.....	731
19.2.3	LINウェイクアップモード.....	731
19.2.4	LINセルフテストモード.....	731
19.3	動作概要.....	732
19.3.1	ヘッダ送信.....	732
19.3.2	レスポンス送信.....	733
19.3.3	レスポンス受信.....	734
19.4	ボーレートジェネレータ.....	735
19.5	データ送信/受信.....	736
19.5.1	データ送信.....	736
19.5.2	データ受信.....	737
19.6	送信/受信データのバッファ処理.....	738
19.6.1	LINフレームの送信.....	738
19.6.2	LINフレームの受信.....	739
19.7	ウェイクアップ送信/受信.....	740
19.7.1	ウェイクアップ送信動作.....	740
19.7.2	ウェイクアップ受信動作.....	740
19.7.3	ウェイクアップ受信を用いた低消費電力モード制御.....	742
19.7.4	ウェイクアップ衝突.....	742

19.8	ステータス	743
19.9	エラーステータス	744
19.9.1	エラーステータスの種類	744
19.9.2	LINエラー検出の対象時間領域	745
19.10	割り込み	746
19.11	LINセルフテストモード	747
19.11.1	LINセルフテストモードへの遷移	748
19.11.2	LINセルフテストモードにおける送信	748
19.11.3	LINセルフテストモードにおける受信	749
19.11.4	LINセルフテストモード終了	749
20.	CANモジュール	750
20.1	概要	750
20.2	入出力端子	752
20.3	レジスタの説明	753
20.3.1	CANi制御レジスタ (CiCTLR) (i = 0 ~ 5)	759
20.3.2	CANiビットコンフィグレーションレジスタ (CiBCR) (i = 0 ~ 5)	763
20.3.3	CANiマスクレジスタ k (CiMKRk) (i = 0 ~ 5, k = 0 ~ 9)	765
20.3.4	CANi FIFO受信ID比較レジスタ n (CiFIDCR0、CiFIDCR1) (i = 0 ~ 5, n = 0, 1)	766
20.3.5	CANiマスク無効レジスタ n (CiMKIVLR0、CiMKIVLR1) (i = 0 ~ 5, n = 0, 1)	768
20.3.6	CANiメールボックスレジスタ j (CiMBj) (i = 0 ~ 5, j = 0 ~ 63)	769
20.3.7	CANiメールボックス割り込み許可レジスタ n (CiMIER0、CiMIER1) (i = 0 ~ 5, n = 0, 1)	773
20.3.8	CANiメッセージ制御レジスタ j (CiMCTLj) (i = 0 ~ 5, j = 0 ~ 63)	775
20.3.9	CANi受信FIFO制御レジスタ (CiRFCR) (i = 0 ~ 5)	778
20.3.10	CANi受信FIFOポインタ制御レジスタ (CiRFPCR) (i = 0 ~ 5)	780
20.3.11	CANi送信FIFO制御レジスタ (CiTFCR) (i = 0 ~ 5)	781
20.3.12	CANi送信FIFOポインタ制御レジスタ (CiTFPCR) (i = 0 ~ 5)	783
20.3.13	CANiステータスレジスタ (CiSTR) (i = 0 ~ 5)	784
20.3.14	CANiメールボックスサーチモードレジスタ (CiMSMR) (i = 0 ~ 5)	786
20.3.15	CANiメールボックスサーチステータスレジスタ (CiMSSR) (i = 0 ~ 5)	787
20.3.16	CANiチャネルサーチサポートレジスタ (CiCSSR) (i = 0 ~ 5)	788
20.3.17	CANiアクセプタンスフィルタサポートレジスタ (CiAFSR) (i = 0 ~ 5)	789
20.3.18	CANiエラー割り込み許可レジスタ (CiEIER) (i = 0 ~ 5)	790
20.3.19	CANiエラー割り込み要因判定レジスタ (CiEIFR) (i = 0 ~ 5)	792
20.3.20	CANi受信エラーカウントレジスタ (CiRECR) (i = 0 ~ 5)	794
20.3.21	CANi送信エラーカウントレジスタ (CiTECR) (i = 0 ~ 5)	794
20.3.22	CANiエラーコード格納レジスタ (CiECSR) (i = 0 ~ 5)	795
20.3.23	CANiタイムスタンプレジスタ (CiTSR) (i = 0 ~ 5)	796
20.3.24	CANiテスト制御レジスタ (CiTCR) (i = 0 ~ 5)	797
20.4	動作モード	799
20.4.1	CANリセットモード	800
20.4.2	CAN Haltモード	801
20.4.3	CANスリープモード	802
20.4.4	CANオペレーションモード(バスオフ状態以外)	802
20.4.5	CANオペレーションモード(バスオフ状態)	803
20.5	CAN通信速度の設定	804
20.5.1	CANクロックの設定	804
20.5.2	ビットタイミングの設定	804
20.5.3	ビットレート	805

20.6	メールボックスとマスクレジスタの構成.....	806
20.7	アクセプタンスフィルタ機能とマスク機能.....	808
20.8	受信、送信.....	811
20.8.1	受信.....	812
20.8.2	送信.....	814
20.9	CAN割り込み.....	815
21.	12ビットA/Dコンバータ (AD0)	816
21.1	概要.....	816
21.2	レジスタの説明.....	822
21.2.1	AD0データレジスタ n (AD0DRn) (n = 0 ~ 5)、 AD0データレジスタ DIAG (AD0DRD).....	823
21.2.2	AD0制御レジスタ (AD0CR).....	826
21.2.3	AD0制御拡張レジスタ (AD0CEX).....	828
21.2.4	AD0チャンネル選択レジスタ (AD0CSL).....	830
21.2.5	AD0変換ステータスレジスタ (AD0CSR).....	831
21.2.6	AD0開始トリガ選択レジスタ (AD0STRSL).....	832
21.2.7	AD0バスインタフェースチェックレジスタ (AD0BIFCK).....	833
21.2.8	AD0パリティレジスタ (AD0PR).....	833
21.2.9	AD0アナログポートプルダウンレジスタ (AD0APPD).....	834
21.2.10	AD0パリティエラーステータスレジスタ (AD0PESR).....	835
21.2.11	CPUとのインタフェース.....	835
21.3	動作説明.....	836
21.3.1	スキャン変換動作説明.....	836
21.3.2	1サイクルスキャンモード.....	836
21.3.3	連続スキャンモード.....	838
21.3.4	アナログ入力のサンプリングとスキャン変換時間.....	839
21.3.5	データレジスタ (AD0DRn、AD0DRD)へのアクセス.....	841
21.3.6	AD0データレジスタのオートクリア機能の使用例.....	841
21.3.7	識別子追加機能.....	841
21.3.8	外部トリガによるスキャン変換の起動.....	842
21.3.9	周辺モジュールからのトリガによるスキャン変換の起動.....	842
21.4	割り込み要因とDMA転送要求.....	842
21.5	A/D変換精度の定義.....	843
21.6	アナログポートプルダウン機能.....	844
21.7	12ビットA/Dコンバータ (AD0)の注意事項.....	845
21.7.1	アナログ入力電圧の範囲.....	845
21.7.2	AVCC0、AVSS0とVCC、VSSの関係.....	845
21.7.3	VREFH0、VREFL0端子の設定範囲.....	845
21.7.4	ボード設計上の注意.....	845
21.7.5	ノイズ対策上の注意.....	845
21.7.6	低消費電力状態への遷移時の注意.....	847
21.7.7	ポート端子使用上の注意.....	847
22.	10ビットA/Dコンバータ (AD1)	848
22.1	概要.....	848
22.2	レジスタの説明.....	855
22.2.1	AD1データレジスタ n (AD1DRn) (n = 0 ~ 47).....	857
22.2.2	AD1制御レジスタ (AD1CR).....	859
22.2.3	AD1制御拡張レジスタ (AD1CEX).....	861

22.2.4	AD1チャンネル選択レジスタj (AD1CSLj) (j = 0 ~ 2)	862
22.2.5	AD1変換ステータスレジスタ (AD1CSR)	865
22.2.6	AD1変換値加算モード選択レジスタ (AD1ADSL)	866
22.2.7	AD1変換値加算回数選択レジスタ (AD1ADCSL)	867
22.2.8	AD1スキャン変換許可レジスタk (AD1SCENk) (k = 0, 1)	868
22.2.9	AD1割り込み変換許可レジスタj (AD1ICENj) (j = 0 ~ 2)	870
22.2.10	AD1割り込み変換要因選択レジスタj (AD1ICSSLj) (j = 0 ~ 2)	873
22.2.11	AD1割り込み変換ソフト開始レジスタj (AD1ICSSTj) (j = 0 ~ 2)	876
22.2.12	AD1割り込み変換終了ステータスレジスタj (AD1ICESRj) (j = 0 ~ 2)	879
22.2.13	AD1割り込み変換終了割り込み許可レジスタj (AD1ICIENj) (j = 0 ~ 2)	882
22.2.14	AD1アナログポートプルダウンレジスタj (AD1APPDj) (j=0 ~ 2)	885
22.2.15	AD1自己診断レジスタ (AD1DIAG)	887
22.2.16	CPUとのインタフェース	888
22.3	動作説明	889
22.3.1	スキャン変換動作	889
22.3.2	1サイクルスキャンモード	889
22.3.3	連続スキャンモード	891
22.3.4	割り込み変換	893
22.3.5	割り込み変換の動作例	894
22.3.6	スキャン変換中の割り込み変換	895
22.3.7	アナログ入力のサンプリングとスキャン変換時間	897
22.3.8	外部トリガによるスキャン変換の起動	899
22.3.9	TPU (PWM)のタイマトリガ/TPCNTリセット/MTU-IIIのタイマトリガによるスキャン変換の起動	900
22.4	割り込み要因とDMA転送要求	901
22.4.1	スキャン変換終了時の割り込み要求	901
22.4.2	割り込み変換終了時の割り込み要求	901
22.5	A/D変換精度の定義	902
22.6	アナログポートプルダウン機能	903
22.7	A/D変換器の自己診断	904
22.8	10ビットA/Dコンバータ(AD1)の注意事項	905
22.8.1	アナログ入力電圧の範囲	905
22.8.2	AVCC1、AVSS1とVCC、VSSの関係	905
22.8.3	ボード設計上の注意事項	905
22.8.4	ノイズ対策上の注意事項	906
22.8.5	アナログ入力端子をデジタル入出力として使用する場合の注意事項	906
22.8.6	低消費電力状態への遷移時の注意	906
23.	CRC演算回路	907
23.1	概要	907
23.2	レジスタの説明	908
23.2.1	CRC制御レジスタ (CRCCR)	908
23.2.2	CRCデータ入力レジスタ (CRCIN)	909
23.2.3	CRC-CCITTデータレジスタ (CRCD0)	909
23.2.4	CRC-32データレジスタ (CRCD1)	910
23.3	動作説明	911
23.3.1	CRC-CCITTモードでの演算例	911
23.3.2	CRC-32モードでの演算例	912

24.	ROM.....	913
24.1	概要.....	913
24.2	端子構成.....	917
24.3	レジスタの説明.....	918
24.3.1	フラッシュモードレジスタ (FMODR).....	918
24.3.2	フラッシュアクセスステータスレジスタ (FASTAT).....	919
24.3.3	フラッシュアクセスエラー割り込み許可レジスタ (FAEINT).....	920
24.3.4	ROMマット選択レジスタ (ROMMAT).....	921
24.3.5	FCU RAMイネーブルレジスタ (FCURAME).....	921
24.3.6	フラッシュステータスレジスタ 0 (FSTATR0).....	922
24.3.7	フラッシュステータスレジスタ 1 (FSTATR1).....	924
24.3.8	フラッシュ P/Eモードエントリレジスタ (FENTRYR).....	925
24.3.9	フラッシュプロテクトレジスタ (FPROTR).....	926
24.3.10	フラッシュリセットレジスタ (FRESETR).....	927
24.3.11	FCUコマンドレジスタ (FCMDR).....	928
24.3.12	FCU RAM ECCエラーコントロールレジスタ (FRAMECCR).....	929
24.3.13	FCU処理切り替えレジスタ (FCPSR).....	929
24.3.14	フラッシュ P/Eステータスレジスタ (FPESTAT).....	930
24.3.15	周辺クロック A 通知レジスタ (PBAN).....	930
24.4	ROM 関連モード概要.....	931
24.5	ブートモード.....	933
24.5.1	システム構成.....	933
24.5.2	ブートモードの状態遷移.....	934
24.5.3	ビットレートの自動調整.....	936
24.5.4	問い合わせ設定ホストコマンド待ち状態.....	937
24.5.5	書き込み/消去ホストコマンド待ち状態.....	947
24.6	ユーザプログラムモード.....	953
24.6.1	FCU コマンド一覧.....	953
24.6.2	FCU コマンド受け付け条件.....	955
24.6.3	FCU コマンド使用方法.....	958
24.6.4	サスペンド動作.....	973
24.7	ユーザブートモード.....	975
24.7.1	ユーザブートモードの起動シーケンス.....	975
24.7.2	ユーザマットのプログラミング方法.....	976
24.8	プロテクト.....	977
24.8.1	ソフトウェアプロテクト.....	977
24.8.2	エラープロテクト.....	978
24.9	ROMの注意事項.....	980
24.9.1	ユーザマットとユーザブートマットの切り替え.....	980
24.9.2	その他のご注意.....	981
25.	EEPROM.....	983
25.1	概要.....	983
25.2	端子構成.....	987
25.3	レジスタの説明.....	988
25.3.1	フラッシュモードレジスタ (FMODR).....	989
25.3.2	フラッシュアクセスステータスレジスタ (FASTAT).....	990
25.3.3	フラッシュアクセスエラー割り込み許可レジスタ (FAEINT).....	992
25.3.4	EEPROM読み出し許可レジスタ 0 (EEPRES0).....	993

25.3.5	EEPROM読み出し許可レジスタ1 (EEPWE1)	993
25.3.6	EEPROM書き込み/消去許可レジスタ0 (EEPWE0)	994
25.3.7	EEPROM書き込み/消去許可レジスタ1 (EEPWE1)	994
25.3.8	FCU RAMイネーブルレジスタ (FCURAME).....	995
25.3.9	フラッシュステータスレジスタ0 (FSTATR0).....	996
25.3.10	フラッシュステータスレジスタ1 (FSTATR1).....	998
25.3.11	フラッシュ P/Eモードエントリレジスタ (FENTRYR).....	999
25.3.12	フラッシュリセットレジスタ (FRESETR).....	1000
25.3.13	FCUコマンドレジスタ (FCMDR).....	1001
25.3.14	FCU処理切り替えレジスタ (FCPSR).....	1002
25.3.15	EEPROMブランクチェック制御レジスタ (EEPBCCNT)	1002
25.3.16	EEPROMブランクチェックステータスレジスタ (EEPBCSTAT).....	1003
25.3.17	周辺クロックA通知レジスタ (PBAN).....	1003
25.3.18	EEPROMマット選択レジスタ (EEPMAT).....	1004
25.4	EEPROM関連モード概要	1005
25.5	ブートモード.....	1007
25.5.1	問い合わせ設定ホストコマンド	1007
25.5.2	書き込み/消去ホストコマンド	1009
25.6	ユーザモード/ユーザプログラムモード/ユーザブートモード	1010
25.6.1	FCUコマンド一覧	1010
25.6.2	FCUコマンド受け付け条件	1012
25.6.3	FCUコマンド使用方法	1015
25.7	プロテクト	1019
25.7.1	ソフトウェアプロテクト	1019
25.7.2	エラープロテクト	1020
25.8	製品情報マット	1021
25.9	EEPROMの注意事項	1022
25.9.1	リセット起動直後のデータマットプロテクト状態	1022
25.9.2	AUD動作不可状態、割り込み無視状態	1022
25.9.3	書き込み/消去サスペンド対象領域	1022
25.9.4	従来のF-ZTAT SHマイコンとの書き込み/消去プログラムの互換性	1022
25.9.5	書き込み/消去中のリセット	1022
25.9.6	追加書き込み禁止	1022
25.9.7	オンボードプログラミングモードにおけるSLEEP命令について.....	1023
25.9.8	製品情報マットへの書き込み/消去	1023
25.9.9	書き込み/消去サスペンドによる中断	1023
26.	ROMキャッシュ (ROMC).....	1024
26.1	概要	1024
26.1.1	仕様	1024
26.2	キャッシュの構成	1025
26.3	レジスタの説明	1026
26.3.1	ROMキャッシュ制御レジスタ (RCCR).....	1027
26.3.2	ROMキャッシュ制御レジスタ2 (RCCR2).....	1028
26.4	動作説明	1030
26.4.1	データキャッシュの検索	1030
26.4.2	命令キャッシュの検索	1031
26.4.3	ハードウェアプリフェッチ	1032

27.	RAM制御	1033
27.1	概要	1033
27.1.1	仕様	1034
27.2	レジスタの説明	1035
27.2.1	システムプロテクトレジスタ0 (SPR0)	1035
27.2.2	RAMイネーブルコントロールレジスタ0 (RAMEN0)	1036
27.2.3	RAM書き込みイネーブルコントロールレジスタ0 (RAMWEN0)	1037
27.2.4	RAM ECCイネーブルコントロールレジスタ (RAMECC)	1038
27.2.5	RAMエラーステータスレジスタ (RAMERR)	1039
27.2.6	RAMエラー割り込みコントロールレジスタ (RAMINT)	1040
27.2.7	RAMアクセスサイクル設定レジスタ (RAMACYC)	1041
27.2.8	レジスタアクセス時の注意	1042
27.3	動作説明	1043
27.4	RAMのデータ保持	1043
27.4.1	リセット時のデータ保持	1043
27.5	RAM制御の注意事項	1044
27.5.1	ページ競合	1044
27.5.2	電源立ち上げ後の状態	1044
28.	アドバンストユーザデバッグ-II (AUD-II)	1045
28.1	概要	1045
28.2	レジスタの説明	1046
28.2.1	システムプロテクトレジスタ0 (SPR0)	1046
28.2.2	AUD端子有効レジスタ (AUDEN)	1047
28.3	RAMモニタ機能	1048
28.3.1	通信プロトコル	1048
28.3.2	動作説明	1048
28.3.3	RAMモニタ機能に関する注意事項	1050
29.	メモリプロテクションユニット (MPU)	1051
29.1	概要	1051
29.2	仕様	1051
29.3	レジスタの説明	1052
29.3.1	MPUC有効レジスタ (MPCMPEN)	1055
29.3.2	MPUC読み出しアクセス制御レジスタ (MPCRACR)	1056
29.3.3	MPUC書き込みアクセス制御レジスタ (MPCWACR)	1057
29.3.4	MPUC命令アクセス制御レジスタ (MPCIACR)	1058
29.3.5	MPUC領域設定有効レジスタ (MPCVLD)	1059
29.3.6	MPUCバックグラウンド領域アクセス制御レジスタ (MPCACBCR)	1060
29.3.7	MPUCエラーステータスクリアレジスタ (MPCECLR)	1060
29.3.8	MPUCエラーステータスレジスタ (MPCESR)	1061
29.3.9	MPUC命令アクセスエラーアドレスレジスタ (MPCERADRI)	1062
29.3.10	MPUCオペランドアクセスエラーアドレスレジスタ (MPCERADRO)	1062
29.3.11	MPUC命令アクセスヒット領域レジスタ (MPCHITI)	1063
29.3.12	MPUCオペランドアクセスヒット領域レジスタ (MPCHITO)	1065
29.3.13	MPUC領域サーチアドレスレジスタ (MPCRSADR)	1067
29.3.14	MPUC領域サーチオペレーションレジスタ (MPCRSOP)	1067
29.3.15	MPUC領域n開始アドレスレジスタ (MPCSADRn) (n = 0 ~ 15)	1068
29.3.16	MPUC領域n終了アドレスレジスタ (MPCEADRn) (n = 0 ~ 15)	1068

29.3.17	MPUC領域nアクセス制御レジスタ(MPCACRn) (n = 0 ~ 15).....	1069
29.3.18	MPUD有効レジスタ(MPDMPEN).....	1070
29.3.19	MPUD読み出しアクセス制御レジスタ(MPDRACR).....	1071
29.3.20	MPUD書き込みアクセス制御レジスタ(MPDWACR).....	1072
29.3.21	MPUD領域設定有効レジスタ(MPDVLD).....	1073
29.3.22	MPUDバックグラウンドアクセス制御レジスタ(MPDACBCR).....	1074
29.3.23	MPUDエラーステータスクリアレジスタ(MPDECLR).....	1074
29.3.24	MPUDエラーステータスレジスタ(MPDESR).....	1075
29.3.25	MPUDエラーアドレスレジスタ(MPDERADR).....	1075
29.3.26	MPUDアクセスヒット領域レジスタ(MPDHIT).....	1076
29.3.27	MPUD領域n開始アドレスレジスタ(MPDSADRn) (n = 0 ~ 15).....	1078
29.3.28	MPUD領域n終了アドレスレジスタ(MPDEADRn) (n = 0 ~ 15).....	1078
29.3.29	MPUD領域nアクセス制御レジスタ(MPDACRn) (n = 0 ~ 15).....	1079
29.4	動作説明.....	1080
29.4.1	MPUの有効設定.....	1080
29.4.2	MPUのレジスタの設定.....	1080
29.4.3	各領域情報の設定.....	1080
29.4.4	領域のオーバーラップ.....	1081
29.4.5	バックグラウンド領域.....	1081
29.4.6	MPUエラー.....	1081
29.4.7	領域サーチ.....	1082
29.5	MPUの注意事項.....	1083
29.5.1	MPUの設定変更.....	1083
29.5.2	DMAC用MPUの設定変更.....	1083
29.5.3	使用上の注意事項.....	1083
30.	電気的特性.....	1085
30.1	絶対最大定格.....	1085
30.2	DC特性.....	1086
30.3	AC特性.....	1089
30.3.1	電源投入、リセットタイミング.....	1089
30.3.2	電源立ち下げ、リセットタイミング.....	1090
30.3.3	クロックタイミング.....	1091
30.3.4	動作モードと発振タイミング.....	1092
30.3.5	リセット信号タイミング.....	1094
30.3.6	NMI、外部INTタイミング.....	1095
30.3.7	TPUタイミング.....	1096
30.3.8	MTU-IIIタイミング.....	1097
30.3.9	ポートアウトプットイネーブル(POE)タイミング.....	1098
30.3.10	A/Dコンバータタイミング.....	1099
30.3.11	SCIタイミング.....	1100
30.3.12	SBIタイミング.....	1101
30.3.13	CANタイミング.....	1105
30.3.14	AUD-II(モニタモード)タイミング.....	1106
30.3.15	AC特性測定条件.....	1107
30.4	ROM特性.....	1108
30.5	EEPROM特性.....	1110
30.6	12ビットA/Dコンバータ特性.....	1111
30.7	10ビットA/Dコンバータ特性.....	1112
30.8	その他の特性.....	1113

30.8.1	電圧監視回路特性	1113
30.8.2	外部発振停止検出条件	1114
30.8.3	外部発振停止検出タイミング	1115
30.8.4	低速オンチップオシレータクロック周波数	1115
付録1.	外形寸法図	1116

1. 概要

1.1 特長

SH72Ax シリーズは、スーパースカラアーキテクチャ、およびハーバードアーキテクチャを採用した RISC 方式の SH2A-FPU コアを搭載しており、乗算器、浮動小数点ユニット (FPU) を内蔵することで、高い命令効率と処理能力を達成しています。大容量 ROM と RAM を内蔵し、メモリプロテクションユニット (MPU)、割り込みコントローラ (INTC)、DMAC、各種タイマ、シリアルコミュニケーションインタフェース (SCI)、シリアルバスインタフェース (SBI)、CAN、LIN、12 ビット A/D コンバータ、10 ビット A/D コンバータ、CRC 演算回路、I/O ポートなどの豊富な周辺機能を内蔵しています。

SH72A2 グループは、最大 100MHz の周波数で動作し、パッケージは、100 ピン LQFP を用意しています。

SH72A0 グループは、最大 80MHz の周波数で動作し、パッケージは、64 ピン LQFP を用意しています。

1.1.1 用途

自動車

1.1.2 仕様概要

表 1.1 ~ 表 1.3 に仕様概要を示します。

表 1.1 仕様概要(1)

分類	モジュール/機能	説明
CPU		SH2A-FPUコア
	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：100MHz 最小命令実行時間：10ns (1サイクル命令) 命令数：197 レジスタ：汎用レジスタ 32ビット×16本 コントロールレジスタ 32ビット×4本 システムレジスタ 32ビット×4本 レジスタバンク：15 動作モード：シングルチップモード スーパスカラ：2命令同時実行
	FPU (オプション)	<ul style="list-style-type: none"> IEEE-754 準拠 単精度、倍精度サポート 命令数：56 レジスタ：32ビット×16本または64ビット×8本 データフォーマット：単精度浮動小数点(32ビット) 倍精度浮動小数点(64ビット)
メモリ	ROM	最大512Kバイト
	RAM	最大64Kバイト
	データフラッシュ	最大32Kバイト
メモリプロテクションユニット (MPU) (オプション)		<ul style="list-style-type: none"> バスマスタ (CPU、DMAC) ごとに、全アドレス空間 (H'0000 0000 ~ H'FFFF FFFF) に16の領域を設定し、領域ごとに保護属性を設定可能 各領域の保護属性は、読み出し許可/禁止、書き込み許可/禁止、命令実行許可/禁止 (CPUのみ) をサポート
クロック	クロック発生回路	<ul style="list-style-type: none"> 3回路：メインクロック、PLL周波数シンセサイザ、低速オンチップオシレータ 発振停止検出：あり (メインクロック監視機能) 低消費電力モード：CPUスリープモード、スタンバイモード、パワーダウンモード
リセット		ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセット、パワーダウンモード復帰リセット
電圧監視機能 (LVD) (オプション)		<ul style="list-style-type: none"> コールドスタート/ウォームスタート判定機能 電圧監視回路1 VCCの下降または上昇 (監視電圧：Vdet1) で割り込み発生可能 監視電圧Vdet1は、3段階設定可能
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数：最大512 外部割り込み入力：NMI、 INT × 14 (SH72A2グループ)、 INT × 10 (SH72A0グループ) 割り込み優先順位：15レベル (1 ~ 15レベル)
ウォッチドッグタイマ (WDT)		14ビット×1
タスク監視タイマ		1チャンネル
データ転送	DMAC	<ul style="list-style-type: none"> 8チャンネル DMA起動要因：ソフトウェアトリガ、周辺機能 (CMT、MTU-III、TPU、SCI、SBI、A/Dコンバータ) の割り込み要求

表 1.2 仕様概要(2)

分類	モジュール/機能	説明
I/Oポート	プログラマブル 入出力ポート	<ul style="list-style-type: none"> ポート数: 80 (SH72A2グループ) : 46 (SH72A0グループ) CMOS入出力: プルアップ抵抗選択可能 ポートアウトプットイネーブル (POE)
タイマ	コンペアマッチタイマ (CMT)	16ビットタイマ × 6チャンネル (2チャンネル × 3ユニット)
	16ビットタイマパルス ユニット (TPU)	16ビットタイマ × 16チャンネル (4チャンネル × 4ユニット) <ul style="list-style-type: none"> コンペアマッチ PWM波形出力 インプットキャプチャ 上記機能を最大16本の端子に割り当て可能 (SH72A2グループ) 上記機能を最大11本の端子に割り当て可能 (SH72A0グループ)
	マルチファンクション タイマパルスユニット (MTU-III)	16ビットタイマ × 8チャンネル アウトプットコンペア 24チャンネル (SH72A2グループ)、 18チャンネル (SH72A0グループ) インプットキャプチャ 27チャンネル (SH72A2グループ)、 18チャンネル (SH72A0グループ) <ul style="list-style-type: none"> 3相モータ制御機能 × 2
通信機能	シリアルコミュニケーション インタフェース (SCI)	クロック同期/非同期兼用 × 4チャンネル (SH72A2グループ) クロック同期/非同期兼用 × 3チャンネル、非同期専用 × 1チャンネル (SH72A0グループ)
	シリアルバスインタ フェース (SBI)	4線式クロック同期 × 4チャンネル (SH72A2グループ)、 3チャンネル (SH72A0グループ) <ul style="list-style-type: none"> 転送ビット長: 最長32ビット 送信/受信バッファ: 最大128ビット SH72A0グループではチャンネルにより使用できるCS本数に制限があります。
	LIN	2チャンネル (SH72A2グループ) 1チャンネル (SH72A0グループ) (注1) <ul style="list-style-type: none"> LINプロトコルのリビジョン1.3、2.0、2.1に対応 LINマスタ専用
	CAN	2チャンネル (注1) <ul style="list-style-type: none"> ISO 11898-1仕様準拠 64メールボックス
A/Dコンバータ	12ビット A/Dコンバータ	6チャンネル <ul style="list-style-type: none"> 各チャンネル専用サンプル&ホールド+チャンネル共通サンプル&ホールドあり
	10ビット A/Dコンバータ	24チャンネル (SH72A2グループ) 8チャンネル (SH72A0グループ) <ul style="list-style-type: none"> チャンネル共通サンプル&ホールドあり
CRC演算回路		<ul style="list-style-type: none"> CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$) CRC-32 ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$)
デバッグ機能	アドバンストユーザ デバッグ (AUD-II)	<ul style="list-style-type: none"> RAMモニターモード AUDCK入力クロック: 10MHz以下 内部バスに接続されているモジュールのリード/ライトが可能
	ユーザブレーク コントローラ (UBC)	<ul style="list-style-type: none"> アドレス、データ値、アクセスタイプ、データサイズはすべてブレーク条件として設定可能 シーケンシャルブレーク機能をサポート 4本のブレークチャンネル
	ユーザデバック インタフェース (UDI)	<ul style="list-style-type: none"> オンチップエミュレータ I/F のサポート
動作周波数		80MHz ~ 100MHz (SH72A2グループ) 64MHz ~ 80MHz (SH72A0グループ)
電源電圧		VCC= AVCC0=VREFH0= AVCC1= 3.3V ~ 5.5V 注: VCC= AVCC0=VREFH0= AVCC1= 3.3V ~ 4.5Vは、一部特性に制限があります。

注1. 製品ごとに機能、端子数が異なります。詳細は、各ピンの機能別端子一覧を参照してください。

表 1.3 仕様概要(3)

分類	モジュール/機能	説明
動作周囲温度(°C)		-40 ~ 85°C (Jバージョン) -40 ~ 125°C (Kバージョン)
パッケージ		SH72A2グループ : 100ピンLQFP (PLQP0100KB-A (14 × 14-0.5mmピッチ)) SH72A0グループ : 64ピンLQFP (PLQP0064KB-A (10 × 10-0.5mmピッチ))

表 1.4 SH72Axシリーズ機能比較表

グループ名		SH72A2グループ	SH72A0グループ
ピン数		100ピン	64ピン
電圧監視機能		○	○(注1)
割り込み	NMI端子入力	○(1端子)	
	INT端子入力	○(14端子)	○(10端子)
ウォッチドッグタイマ(WDT)		○(14ビット×1チャンネル)	
タスク監視タイマ		○(1チャンネル)	
データ転送	DMAC	○(8チャンネル)	
タイマ	コンパマッチタイマ(CMT)	○(6チャンネル)	
	16ビットタイマパルスユニット(TPU)	○ (16ビット×16チャンネル、16端子)	○ (16ビット×16チャンネル、11端子)
	マルチファンクションタイマパルスユニット(MTU-III)	○ (16ビット×8チャンネル) コンペアマッチ/PWM 24チャンネル インプットキャプチャ 27チャンネル	○ (16ビット×8チャンネル) コンペアマッチ/PWM 18チャンネル インプットキャプチャ 18チャンネル
通信機能	シリアルコミュニケーションインタフェース(SCI)	○(4チャンネル)(注1)	
	シリアルバスインタフェース(SBI)	○(4チャンネル)	○(3チャンネル)
	LINモジュール(LIN)	○(2チャンネル)	○(1チャンネル)(注1)
	CANモジュール(CAN)	○(2チャンネル)	○(2チャンネル)(注1)
12ビットA/D変換器(AD0)		6チャンネル	
10ビットA/D変換器(AD1)		○ (24チャンネル)	○ (8チャンネル)
CRC演算器(CRC)		○	
I/Oポート	入出力	74本	40本
	入力	6本	6本
アドバンスユーザデバッグ(AUD-II)		○	
最大動作周波数		100MHz	80MHz
パッケージ		LQFP1414-100 (0.5mmピッチ)	LQFP1010-64 (0.5mmピッチ)

【記号説明】○：あり、－：なし

注1. 製品ごとに機能、端子数が異なります。詳細は、各ピンの機能別端子一覧を参照してください。

1.2 製品一覧

表 1.5 に SH72A2 グループの製品一覧表、表 1.6 に SH72A0 グループの製品一覧表、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.5 SH72A2グループ製品一覧表

グループ	型名	ROM 容量	RAM 容量	データ フラッシュ	動作 周波数 (max)	動作周囲温度	動作電圧	MPU/ FPU	LVD 割り込み	CAN/LIN チャネル数
							VCC/ AVCC0/ AVCC1			
SH72A2	R5F72A28JADFP	512K バイト	64K バイト	32K バイト	100MHz	-40～+85℃	3.3V～5.5V (注1)	なし	あり	2ch/2ch
	R5F72A28KADFP					-40～+125℃				
	R5F72A28JACFP				80MHz	-40～+85℃				
	R5F72A28KACFP					-40～+125℃				
	R5F72A28JADFFP				100MHz	-40～+85℃				
	R5F72A28KADFFP					-40～+125℃				
	R5F72A28JACFFP				80MHz	-40～+85℃				
	R5F72A28KACFFP					-40～+125℃				
	R5F72A26J3DFP	256K バイト	32K バイト	16K バイト	100MHz	-40～+85℃	なし	あり	2ch/2ch	
	R5F72A26K3DFP					-40～+125℃				
	R5F72A26J3CFP				80MHz	-40～+85℃				
	R5F72A26K3CFP					-40～+125℃				
	R5F72A26J3DFFP				100MHz	-40～+85℃				
	R5F72A26K3DFFP					-40～+125℃				
	R5F72A26J3CFFP				80MHz	-40～+85℃				
	R5F72A26K3CFFP					-40～+125℃				
	R5F72A26J2DFP	—	—	—	100MHz	-40～+85℃	なし	あり	2ch/2ch	
	R5F72A26K2DFP					-40～+125℃				
	R5F72A26J2CFP				80MHz	-40～+85℃				
	R5F72A26K2CFP					-40～+125℃				
R5F72A26J2DFFP	100MHz				-40～+85℃					
R5F72A26K2DFFP					-40～+125℃					
R5F72A26J2CFFP	80MHz				-40～+85℃					
R5F72A26K2CFFP					-40～+125℃					

注1. VCC=AVCC0=VREFH0=AVCC1=3.3V～4.5Vは一部特性に制限があります。

表 1.6 SH72A0グループ製品一覧表

グループ	型名	ROM 容量	RAM 容量	データ フラッシュ	動作 周波数 (max)	動作周囲温度	動作電圧		MPU/ FPU	LVD 割り込み	CAN/LIN チャンネル 数		
							VCC/ AVCC0/ AVCC1						
SH72A0	R5F72A08JACFM	512K バイト	64K バイト	32K バイト	80MHz	-40 ~ +85℃	3.3V ~ 5.5V (注1)		なし	あり	2ch/1ch		
	R5F72A08KACFM					-40 ~ +125℃							
	R5F72A08JABFM					-40 ~ +85℃							
	R5F72A08KABFM					-40 ~ +125℃							
	R5F72A08JACFFM					-40 ~ +85℃							
	R5F72A08KACFFM					-40 ~ +125℃							
	R5F72A08JABFFM					-40 ~ +85℃							
	R5F72A08KABFFM					-40 ~ +125℃							
	R5F72A06J3CFM	256K バイト	32K バイト	16K バイト	80MHz	-40 ~ +85℃					なし	あり	2ch/1ch
	R5F72A06K3CFM					-40 ~ +125℃							
	R5F72A06J3BFM					-40 ~ +85℃							
	R5F72A06K3BFM					-40 ~ +125℃							
	R5F72A06J3CFFM					-40 ~ +85℃							
	R5F72A06K3CFFM					-40 ~ +125℃							
	R5F72A06J3BFFM					-40 ~ +85℃							
	R5F72A06K3BFFM					-40 ~ +125℃							
	R5F72A06J2CFM	256K バイト	16K バイト	—	80MHz	-40 ~ +85℃					なし	あり	2ch/1ch
	R5F72A06K2CFM					-40 ~ +125℃							
	R5F72A06J2BFM					-40 ~ +85℃							
	R5F72A06K2BFM					-40 ~ +125℃							
	R5F72A06J2CFFM					-40 ~ +85℃							
	R5F72A06K2CFFM					-40 ~ +125℃							
	R5F72A06J2BFFM					-40 ~ +85℃							
	R5F72A06K2BFFM					-40 ~ +125℃							
R5F72A06K0BAFM	256K バイト	16K バイト	—	64MHz	-40 ~ +125℃	4.5V ~ 5.5V				なし	なし	1ch/なし	

注1. VCC=AVCC0=VREFH0=AVCC1=3.3V ~ 4.5Vは一部特性に制限があります。

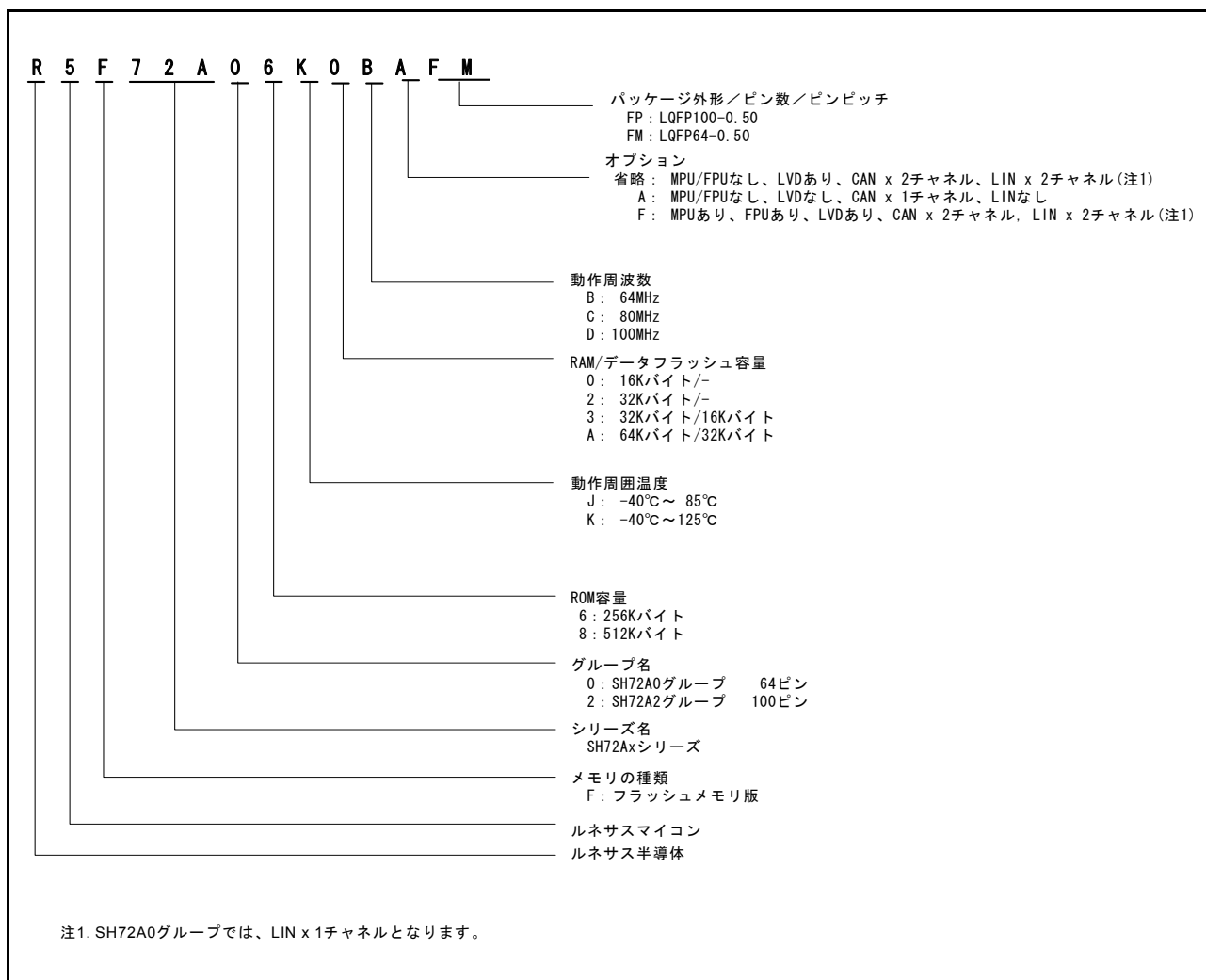


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

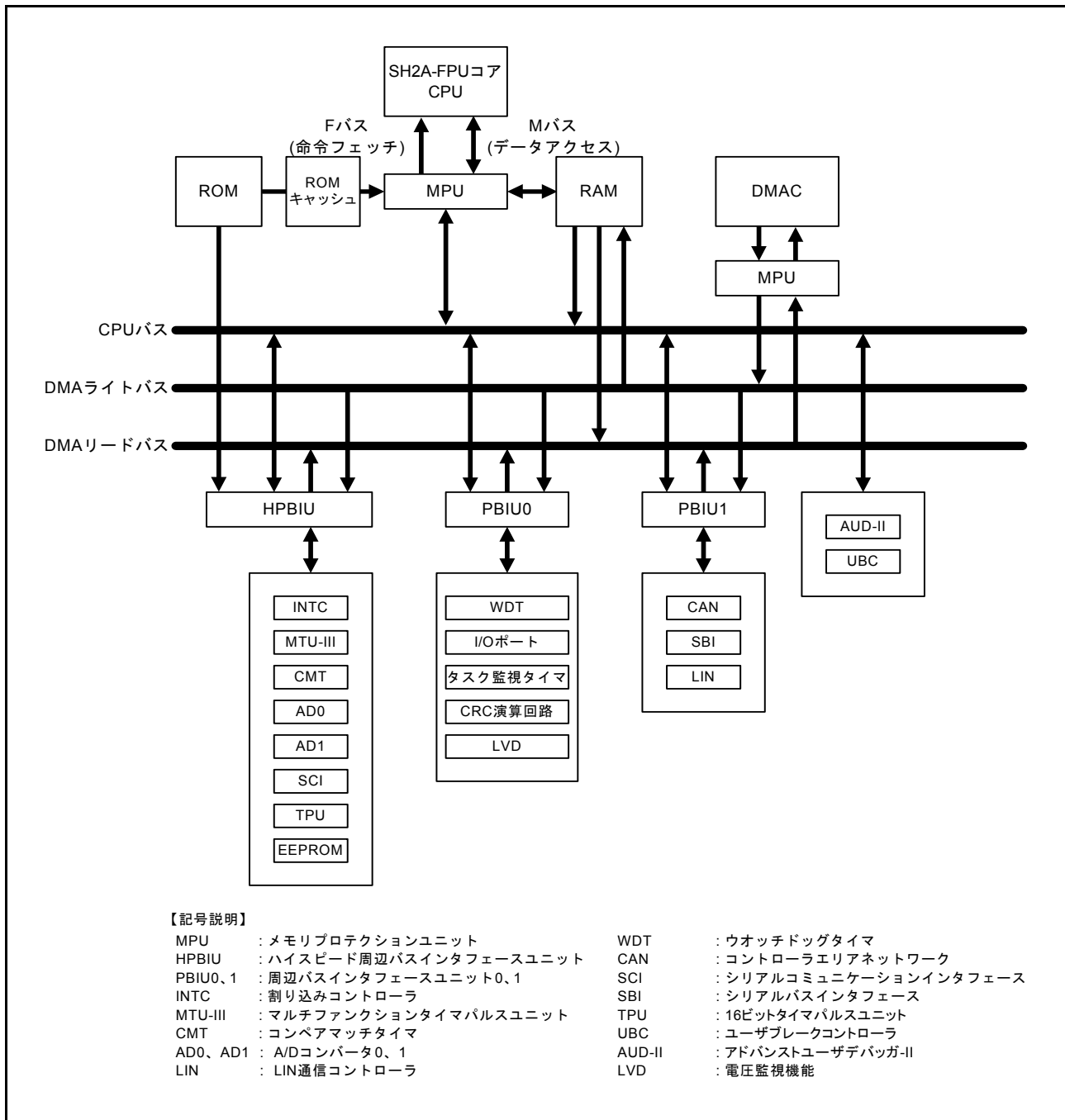


図 1.2 ブロック図

1.4 端子説明

1.4.1 SH72A2 グループのピン配置図

図 1.3 に SH72A2 グループのピン配置図 (上面図)(CAN 2 チャネル、LIN 2 チャネル)、表 1.7~表 1.9 に SH72A2 グループのピン配置一覧表を示します。

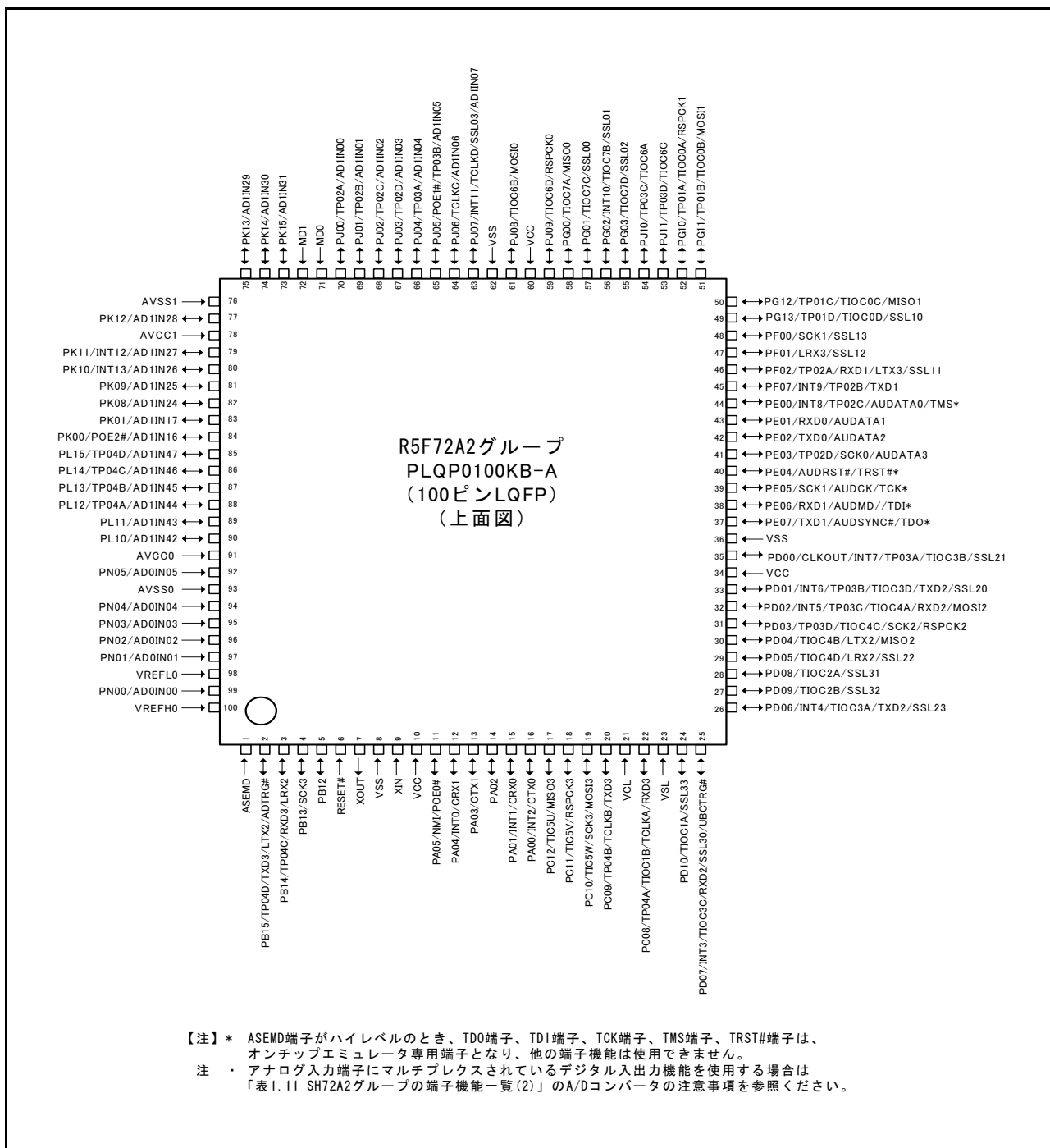


図 1.3 SH72A2 グループのピン配置図 (上面図)(CAN 2 チャネル、LIN 2 チャネル)

表 1.7 SH72A2グループのピン配置一覧(1)

端子番号	電源、クロック、システム制御	I/Oポート	割り込み	タイマ		通信機能				A/Dコンバータ	デバッグ
				TPU	MTU-III	SCI	CAN	LIN	SBI		
1	ASEMD										
2		PB15		TP04D		TXD3		LTX2		ADTRG#	
3		PB14		TP04C		RXD3		LRX2			
4		PB13				SCK3					
5		PB12									
6	RESET#										
7	XOUT										
8	VSS										
9	XIN										
10	VCC										
11		PA05	NMI/POE0#								
12		PA04	INT0				CRX1				
13		PA03					CTX1				
14		PA02									
15		PA01	INT1				CRX0				
16		PA00	INT2				CTX0				
17		PC12			TIC5U				MISO3		
18		PC11			TIC5V				RSPCK3		
19		PC10			TIC5W	SCK3			MOSI3		
20		PC09		TP04B	TCLKB	TXD3					
21	VCL										
22		PC08		TP04A	TIOC1B/TCLKA	RXD3					
23	VSL										
24		PD10			TIOC1A				SSL33		
25		PD07	INT3		TIOC3C	RXD2			SSL30		UBCTRG#
26		PD06	INT4		TIOC3A	TXD2			SSL23		
27		PD09			TIOC2B				SSL32		
28		PD08			TIOC2A				SSL31		
29		PD05			TIOC4D			LRX2	SSL22		
30		PD04			TIOC4B			LTX2	MISO2		
31		PD03		TP03D	TIOC4C	SCK2			RSPCK2		
32		PD02	INT5	TP03C	TIOC4A	RXD2			MOSI2		
33		PD01	INT6	TP03B	TIOC3D	TXD2			SSL20		
34	VCC										
35	CLKOUT	PD00	INT7	TP03A	TIOC3B				SSL21		
36	VSS										
37		PE07				TXD1					TDO/ AUDSYNC#
38		PE06				RXD1					TDI/ AUDMD
39		PE05				SCK1					TCK/ AUDCK
40		PE04									TRST#/ AUDRST#
41		PE03		TP02D		SCK0					AUDATA3
42		PE02				TXD0					AUDATA2
43		PE01				RXD0					AUDATA1

表 1.8 SH72A2グループのピン配置一覧(2)

端子番号	電源、クロック、システム制御	I/Oポート	割り込み	タイマ		通信機能				A/Dコンバータ	デバッグ
				TPU	MTU-III	SCI	CAN	LIN	SBI		
44		PE00	INT8	TP02C							TMS/AUDATA0
45		PF07	INT9	TP02B		TXD1					
46		PF02		TP02A		RXD1		LTX3	SSL11		
47		PF01						LRX3	SSL12		
48		PF00				SCK1			SSL13		
49		PG13		TP01D	TIOC0D				SSL10		
50		PG12		TP01C	TIOC0C				MISO1		
51		PG11		TP01B	TIOC0B				MOSI1		
52		PG10		TP01A	TIOC0A				RSPCK1		
53		PJ11		TP03D	TIOC6C						
54		PJ10		TP03C	TIOC6A						
55		PG03			TIOC7D				SSL02		
56		PG02	INT10		TIOC7B				SSL01		
57		PG01			TIOC7C				SSL00		
58		PG00			TIOC7A				MISO0		
59		PJ09			TIOC6D				RSPCK0		
60	VCC										
61		PJ08			TIOC6B				MOSI0		
62	VSS										
63		PJ07	INT11		TCLKD				SSL03	AD1IN07	
64		PJ06			TCLKC					AD1IN06	
65		PJ05	POE1#	TP03B						AD1IN05	
66		PJ04		TP03A						AD1IN04	
67		PJ03		TP02D						AD1IN03	
68		PJ02		TP02C						AD1IN02	
69		PJ01		TP02B						AD1IN01	
70		PJ00		TP02A						AD1IN00	
71	MD0										
72	MD1										
73		PK15								AD1IN31	
74		PK14								AD1IN30	
75		PK13								AD1IN29	
76	AVSS1										
77		PK12								AD1IN28	
78	AVCC1										
79		PK11	INT12							AD1IN27	
80		PK10	INT13							AD1IN26	
81		PK09								AD1IN25	
82		PK08								AD1IN24	
83		PK01								AD1IN17	
84		PK00	POE2#							AD1IN16	
85		PL15		TP04D						AD1IN47	
86		PL14		TP04C						AD1IN46	
87		PL13		TP04B						AD1IN45	
88		PL12		TP04A						AD1IN44	
89		PL11								AD1IN43	
90		PL10								AD1IN42	

表 1.9 SH72A2グループのピン配置一覧(3)

端子 番号	電源、 クロック、 システム 制御	I/O ポート	割り込み	タイマ		通信機能				A/Dコン バータ	デバッグ
				TPU	MTU-III	SCI	CAN	LIN	SBI		
91	AVCC0										
92		PN05								AD0IN05	
93	AVSS0										
94		PN04								AD0IN04	
95		PN03								AD0IN03	
96		PN02								AD0IN02	
97		PN01								AD0IN01	
98	VREFL0										
99		PN00								AD0IN00	
100	VREFH0										

1.4.2 SH72A2 グループの端子機能説明

表 1.10～表 1.12 に SH72A2 グループの端子機能一覧を示します。

表 1.10 SH72A2グループの端子機能一覧(1)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子です。システムの電源に接続してください。
	VSS	入力	グランド端子です。システムの電源(0V)に接続してください。
	VCL	入力	内部降圧電源用の外付け容量端子です。内部降圧電源安定化のため外付けコンデンサ(0.1uF)を介してVSLに接続してください(端子近くに配置してください)。
	VSL	入力	VCL専用のグランド端子です。内部降圧電源安定化のため外付けコンデンサ(0.1uF)を介してVCLに接続してください(端子近くに配置してください)。
クロック	XIN	入力	メインクロック発振回路の入出力です。XINとXOUTの間には水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
	XOUT	出力	
	CLKOUT	出力	クロックを出力します。
システム制御	ASEMD	入力	オンチップエミュレータ機能を有効にします。デバッグモード以外の通常動作時はLowレベルを入力してください(抵抗を介してVSSに接続)。デバッグモード時はユーザシステムボード上でHighレベルを入力してください。
	MD0、MD1	入力	MCU動作モードを設定します。これらの端子には、Lowを入力してください(抵抗を介してVSSに接続)。
	RESET#	入力	リセット端子です。この端子がLowレベルになると、リセット状態となります。
割り込み	NMI	入力	ノンマスクابل割り込み要求端子です。
	INT13～INT0	入力	マスク可能な割り込みを要求します。
16ビットタイマパルスユニット(TPU)	TP01A～TP04A	入出力	TP01A～TP04Aのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TP01B～TP04B	入出力	TP01B～TP04Bのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TP01C～TP04C	入出力	TP01C～TP04Cのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TP01D～TP04D	入出力	TP01D～TP04Dのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
マルチファンクションタイマパルスユニット(MTU-III)	TCLKA、TCLKB、TCLKC、TCLKD	入力	タイマの外部クロック入力端子です。
	TIOC0A、TIOC0B、TIOC0C、TIOC0D	入出力	TIOC0A～TIOC0Dのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOC1A、TIOC1B	入出力	TIOC1A、TIOC1Bのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOC2A、TIOC2B	入出力	TIOC2A、TIOC2Bのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOC3A、TIOC3B、TIOC3C、TIOC3D	入出力	TIOC3A～TIOC3Dのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOC4A、TIOC4B、TIOC4C、TIOC4D	入出力	TIOC4A～TIOC4Dのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIC5U、TIC5V、TIC5W	入力	TIC5U、TIC5V、TIC5Wのインプットキャプチャ入力端子です。

表 1.11 SH72A2グループの端子機能一覧(2)

分類	端子名	入出力	機能
マルチファンクション タイムパルスユニット (MTU-III)	TIOC6A、TIOC6B、 TIOC6C、TIOC6D	入出力	TIOC6A~TIOC6Dのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOC7A、TIOC7B、 TIOC7C、TIOC7D	入出力	TIOC7A~TIOC7Dのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
シリアルコミュニケーション インタフェース (SCI)	RXD0~RXD3	入力	SCIの受信データ入力端子です。
	SCK0~SCK3	入出力	SCIのクロック入出力端子です。
	TXD0~TXD3	出力	SCIの送信データ出力端子です。
シリアルバスインタ フェース(SBI)	MISO0~MISO3	入出力	SBIのスレーブ送出データ入出力端子です。
	MOSI0~MOSI3	入出力	SBIのマスタ送出データ入出力端子です。
	RSPCK0~RSPCK3	入出力	SBIのクロック入出力端子です。
	SSL00、SSL10、 SSL20、SSL30	入出力	SBIのスレーブセレクト入出力端子です。
	SSL01~SSL03、 SSL11~SSL13、 SSL21~SSL23、 SSL31~SSL33	出力	SBIのスレーブセレクト出力端子です。
LIN	LRX2、LRX3	入力	LIN通信機能の入力です。
	LTX2、LTX3	出力	LIN通信機能の出力です。
CAN	CRX0~CRX1	入力	CAN通信機能の受信データ入力端子です。
	CTX0~CTX1	出力	CAN通信機能の送信データ出力端子です。
A/Dコンバータ	AD0IN00~AD0IN05	入力	12ビットA/Dコンバータのアナログ入力端子です。(注1)
	AD1IN00~AD1IN07	入力	10ビットA/Dコンバータのアナログ入力端子です。(アナログ端子グループA)(注2)
	AD1IN16~AD1IN17、 AD1IN24~AD1IN31、 AD1IN42~AD1IN47	入力	10ビットA/Dコンバータのアナログ入力端子です。(アナログ端子グループB)(注3)
	ADTRG#	入力	A/D変換を開始する外部トリガを入力する端子です。
アナログ電源	AVCC0	入力	12ビットA/D変換器のアナログ電源端子です。A/D変換器を使用しない場合は、システムの電源に接続してください。
	AVSS0	入力	12ビットA/D変換器のグランド端子です。システムの電源(0V)に接続してください。
	VREFH0	入力	12ビットA/D変換器の基準電源端子です。12ビットA/D変換器を使用しない場合は、システムの電源に接続してください。
	VREFL0	入力	12ビットA/D変換器の基準電源端子のグランド端子です。12ビットA/D変換器を使用しない場合は、システムの電源(0V)に接続してください。
	AVCC1	入力	10ビットA/D変換器のアナログ電源端子です。A/D変換器を使用しない場合は、システムの電源に接続してください。
	AVSS1	入力	10ビットA/D変換器のグランド端子です。システムの電源(0V)に接続してください。
ポートアウトプ ットイネーブル(POE)	POE0#~POE2#	入力	MTU-IIIの波形出力端子をハイインピーダンス状態にする要求信号の入力端子です。

注1. AD0IN00~AD0IN05アナログ入力端子をデジタル入力として使用する場合は、固定値の入力としてください。

注2. アナログ端子グループA(AD1IN00~AD1IN07)の内部でアナログ入力とデジタル入出力を混在して使用しないでください。

また、アナログ端子グループAをアナログ入力端子として使用するのには、アナログ端子グループBをアナログ入力として使用した上で、さらにアナログ入力が必要な場合に限ってください。アナログ端子グループBをデジタル入出力として使用した場合は、アナログ端子グループAをアナログ入力端子として使用しないでください。

注3. アナログ端子グループB(AD1IN16~AD1IN17、AD1IN24~AD1IN31、AD1IN42~AD1IN47)の内部でアナログ入力とデジタル入出力を混在して使用しないでください。

表 1.12 SH72A2グループの端子機能一覧(3)

分類	端子名	入出力	機能
I/Oポート	PA05 ~ PA00	入出力	6ビットの汎用入出力端子です。
	PB15 ~ PB12	入出力	4ビットの汎用入出力端子です。
	PC12 ~ PC08	入出力	5ビットの汎用入出力端子です。
	PD10 ~ PD00	入出力	11ビットの汎用入出力端子です。
	PE07 ~ PE00	入出力	8ビットの汎用入出力端子です。
	PF07, PF02 ~ PF00	入出力	4ビットの汎用入出力端子です。
	PG13 ~ PG10, PG03 ~ PG00	入出力	8ビットの汎用入出力端子です。
	PJ11 ~ PJ00	入出力	12ビットの汎用入出力端子です。
	PK15 ~ PK08, PK01 ~ PK00	入出力	10ビットの汎用入出力端子です。
	PL15 ~ PL10	入出力	6ビットの汎用入出力端子です。
	PN05 ~ PN00	入力	6ビットの汎用入力端子です。(固定値のみ入力可能)
アドバンスドユーザ デバッグ (AUD-II)	AUDATA3 ~ AUDATA0	入出力	RAM モニタモード : モニタアドレス入力/データ出力端子です。
	AUDRST#	入力	AUDのリセット入力端子です。
	AUDMD	入力	AUDモード選択信号です。 RAM モニタモード(H)
	AUDCK	入出力	RAM モニタモード : 同期クロック入力端子です。
	AUDSYNC#	入出力	RAM モニタモード : データ先頭位置認識信号入力端子です。
ユーザブレーク コントローラ (UBC)	UBCTRIG#	出力	UBC 条件一致のトリガ出力端子です。
デバッグ機能	TCK	入力	オンチップエミュレータ用の端子です。ASEMD端子をHighレベルにするとオンチップエミュレータ専用端子になります。
	TMS	入力	
	TDI	入力	
	TDO	出力	
	TRST	入力	

1.4.3 SH72A0 グループのピン配置図

図 1.4、図 1.5 に SH72A0 グループのピン配置図 (上面図)、表 1.13~表 1.14 に SH72A0 グループのピン配置一覧表を示します。

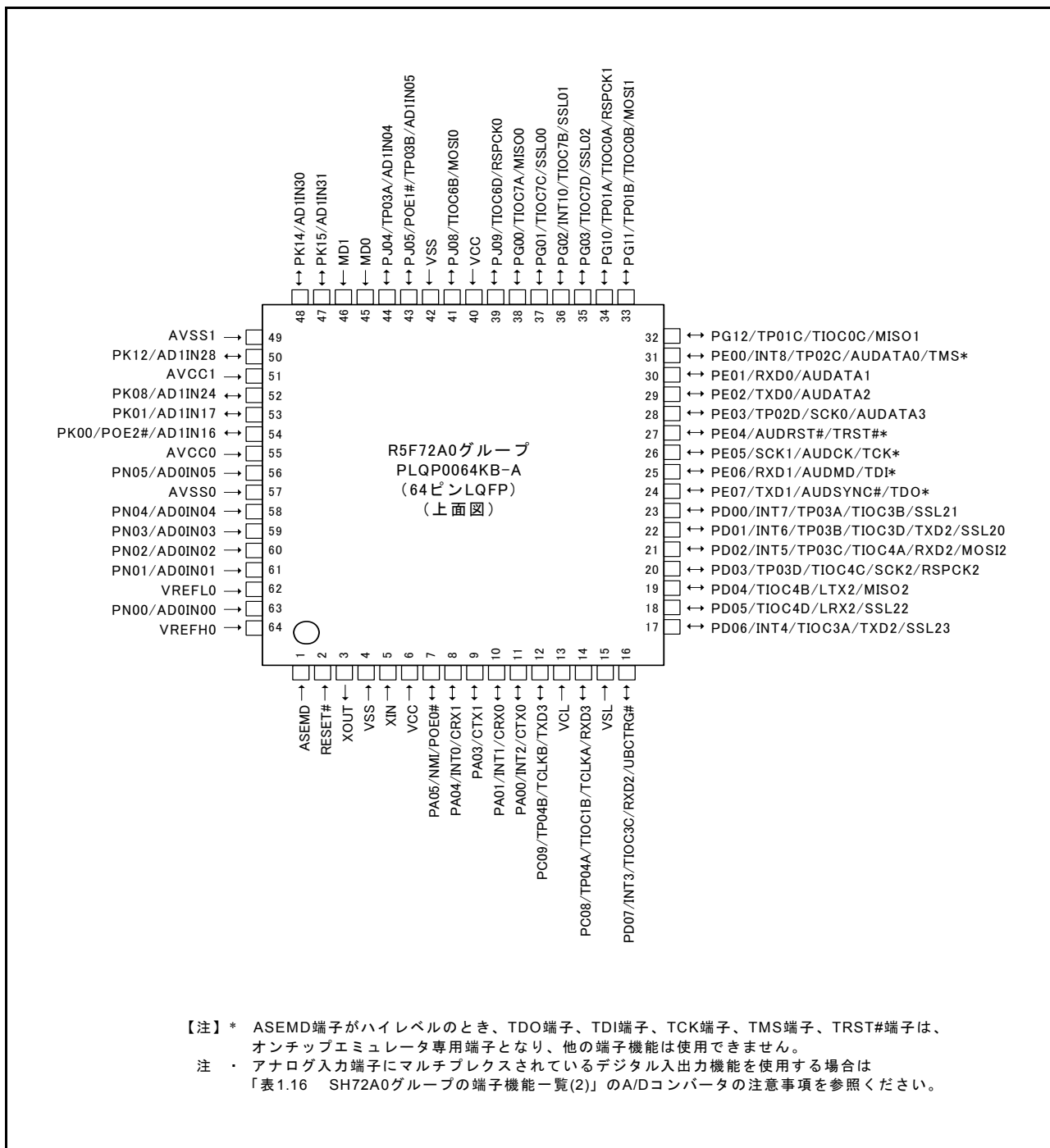


図 1.4 SH72A0 グループのピン配置図 (上面図)(CAN 2 チャンネル、LIN 1 チャンネル)

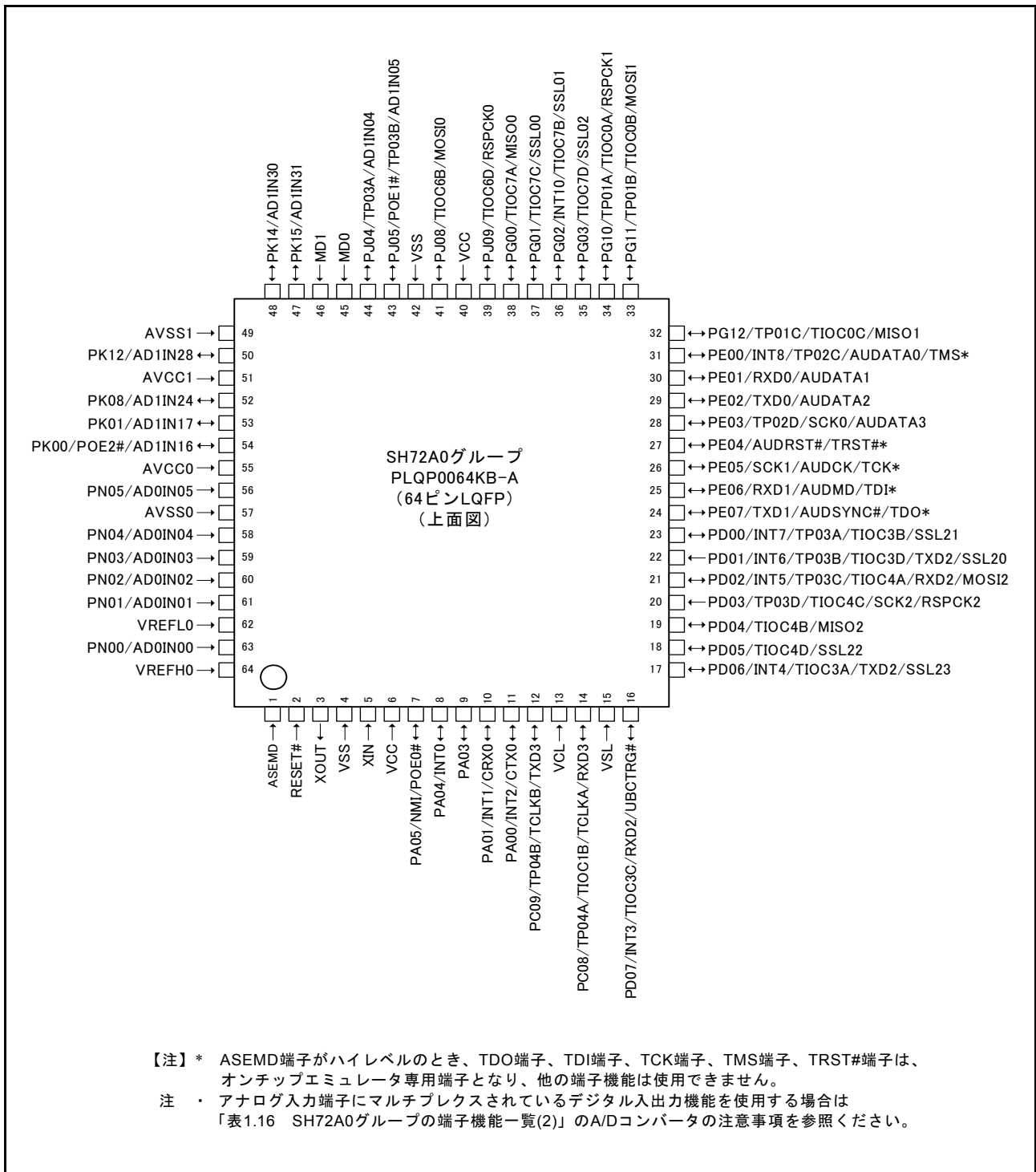


図 1.5 SH72A0グループのピン配置図 (上面図)(CAN 1 チャネル、LIN なし)

表 1.13 SH72A0グループのピン配置一覧(1)

端子番号	電源、クロック、システム制御	I/Oポート	割り込み	タイマ		通信機能				A/Dコンバータ	デバッグ
				TPU	MTU-III	SCI	CAN	LIN	SBI		
1	ASEMD										
2	RESET#										
3	XOUT										
4	VSS										
5	XIN										
6	VCC										
7		PA05	NMI/POE0#								
8		PA04	INT0				CRX1 (注1)				
9		PA03					CTX1 (注1)				
10		PA01	INT1				CRX0				
11		PA00	INT2				CTX0				
12		PC09		TP04B	TCLKB	TXD3					
13	VCL										
14		PC08		TP04A	TIOC1B /TCLKA	RXD3					
15	VSL										
16		PD07	INT3		TIOC3C	RXD2					UBCTRG#
17		PD06	INT4		TIOC3A	TXD2			SSL23		
18		PD05			TIOC4D			LRX2 (注1)	SSL22		
19		PD04			TIOC4B			LTX2 (注1)	MISO2		
20		PD03		TP03D	TIOC4C	SCK2			RSPCK2		
21		PD02	INT5	TP03C	TIOC4A	RXD2			MOSI2		
22		PD01	INT6	TP03B	TIOC3D	TXD2			SSL20		
23		PD00	INT7	TP03A	TIOC3B				SSL21		
24		PE07				TXD1					TDO/ AUDSYNC#
25		PE06				RXD1					TDI/ AUDMD
26		PE05				SCK1					TCK/ AUDCK
27		PE04									TRST#/ AUDRST#
28		PE03		TP02D		SCK0					AUDATA3
29		PE02				TXD0					AUDATA2
30		PE01				RXD0					AUDATA1
31		PE00	INT8	TP02C							TMS/ AUDATA0
32		PG12		TP01C	TIOC0C				MISO1		
33		PG11		TP01B	TIOC0B				MOSI1		
34		PG10		TP01A	TIOC0A				RSPCK1		
35		PG03			TIOC7D				SSL02		
36		PG02	INT10		TIOC7B				SSL01		
37		PG01			TIOC7C				SSL00		
38		PG00			TIOC7A				MISO0		
39		PJ09			TIOC6D				RSPCK0		
40	VCC										

注1. オプション

表 1.14 SH72A0グループのピン配置一覧(2)

端子番号	電源、クロック、システム制御	I/Oポート	割り込み	タイマ		通信機能				A/Dコンバータ	デバッグ
				TPU	MTU-III	SCI	CAN	LIN	SBI		
41		PJ08			TIOC6B				MOSI0		
42	VSS										
43		PJ05	POE1#	TP03B						AD1IN05	
44		PJ04		TP03A						AD1IN04	
45	MD0										
46	MD1										
47		PK15								AD1IN31	
48		PK14								AD1IN30	
49	AVSS1										
50		PK12								AD1IN28	
51	AVCC1										
52		PK08								AD1IN24	
53		PK01								AD1IN17	
54		PK00	POE2#							AD1IN16	
55	AVCC0										
56		PN05								AD0IN05	
57	AVSS0										
58		PN04								AD0IN04	
59		PN03								AD0IN03	
60		PN02								AD0IN02	
61		PN01								AD0IN01	
62	VREFLO										
63		PN00								AD0IN00	
64	VREFH0										

1.4.4 SH72A0 グループの端子機能説明

表 1.15～表 1.17 に SH72A0 グループの端子機能一覧を示します。

表 1.15 SH72A0グループの端子機能一覧(1)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子です。システムの電源に接続してください。
	VSS	入力	グランド端子です。システムの電源(0V)に接続してください。
	VCL	入力	内部降圧電源用の外付け容量端子です。内部降圧電源安定化のため外付けコンデンサ(0.1uF)を介してVSLに接続してください(端子近くに配置してください)。
	VSL	入力	VCL専用のグランド端子です。内部降圧電源安定化のため外付けコンデンサ(0.1uF)を介してVCLに接続してください(端子近くに配置してください)。
クロック	XIN	入力	メインクロック発振回路の入出力です。XINとXOUTの間には水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
	XOUT	出力	
システム制御	ASEMD	入力	オンチップエミュレータ機能を有効にします。デバッグモード以外の通常動作時はLowレベルを入力してください(抵抗を介してVSSに接続)。デバッグモード時はユーザシステムボード上でHighレベルを入力してください。
	MD0、MD1	入力	MCU動作モードを設定します。これらの端子には、Lowを入力してください(抵抗を介してVSSに接続)。
	RESET#	入力	リセット端子です。この端子がLowレベルになると、リセット状態となります。
割り込み	NMI	入力	ノンマスクابل割り込み要求端子です。
	INT10、INT8～INT0	入力	マスク可能な割り込みを要求します。
16ビットタイマパルスユニット(TPU)	TP01A、TP03A、TP04A	入出力	TP01A、TP03A、TP04Aのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TP01B、TP03B、TP04B	入出力	TP01B、TP03B、TP04Bのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TP01C、TP02C、TP03C	入出力	TP01C、TP02C、TP03Cのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TP02D、TP03D	入出力	TP02D、TP03Dのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
マルチファンクションタイマパルスユニット(MTU-III)	TCLKA、TCLKB	入力	タイマの外部クロック入力端子です。
	TIOC0A、TIOC0B、TIOC0C	入出力	TIOC0A～TIOC0Cのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOC1B	入出力	TIOC1Bのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOC3A、TIOC3B、TIOC3C、TIOC3D	入出力	TIOC3A～TIOC3Dのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOC4A、TIOC4B、TIOC4C、TIOC4D	入出力	TIOC4A～TIOC4Dのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。

表 1.16 SH72A0グループの端子機能一覧(2)

分類	端子名	入出力	機能
マルチファンクション タイマパルスユニット (MTU-III)	TIOC6B、 TIOC6D	入出力	TIOC6B、TIOC6Dのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOC7A、TIOC7B、 TIOC7C、TIOC7D	入出力	TIOC7A～TIOC7Dのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
シリアルコミュニケーション インタフェース (SCI)	RXD0～RXD3	入力	SCIの受信データ入力端子です。
	SCK0～SCK2	入出力	SCIのクロック入出力端子です。
	TXD0～TXD3	出力	SCIの送信データ出力端子です。
シリアルバスインタ フェース(SBI)	MISO0～MISO2	入出力	SBIのスレーブ送出データ入出力端子です。
	MOSI0～MOSI2	入出力	SBIのマスタ送出データ入出力端子です。
	RSPCK0～RSPCK2	入出力	SBIのクロック入出力端子です。
	SSL00、SSL20	入出力	SBIのスレーブセレクト入出力端子です。
	SSL01～SSL02、 SSL21～SSL23	出力	SBIのスレーブセレクト出力端子です。
LIN(注1)	LRX2	入力	LIN通信機能の入力です。
	LTX2	出力	LIN通信機能の出力です。
CAN	CRX0、CRX1(注1)	入力	CAN通信機能の受信データ入力端子です。
	CTX0、CTX1(注1)	出力	CAN通信機能の送信データ出力端子です。
A/Dコンバータ	AD0IN00～AD0IN05	入力	12ビットA/Dコンバータのアナログ入力端子です。(注2)
	AD1IN04、AD1IN05	入力	10ビットA/Dコンバータのアナログ入力端子です。(アナログ端子グループA)(注3)
	AD1IN16、AD1IN17、 AD1IN24、AD1IN28、 AD1IN30、AD1IN31	入力	10ビットA/Dコンバータのアナログ入力端子です。(アナログ端子グループB)(注4)
アナログ電源	AVCC0	入力	12ビットA/D変換器のアナログ電源端子です。A/D変換器を使用しない場合は、システムの電源に接続してください。
	AVSS0	入力	12ビットA/D変換器のグランド端子です。システムの電源(0V)に接続してください。
	VREFH0	入力	12ビットA/D変換器の基準電源端子です。12ビットA/D変換器を使用しない場合は、システムの電源に接続してください。
	VREFL0	入力	12ビットA/D変換器の基準電源端子のグランド端子です。12ビットA/D変換器を使用しない場合は、システムの電源(0V)に接続してください。
	AVCC1	入力	10ビットA/D変換器のアナログ電源端子です。A/D変換器を使用しない場合は、システムの電源に接続してください。
	AVSS1	入力	10ビットA/D変換器のグランド端子です。システムの電源(0V)に接続してください。
ポートアウトプット イネーブル(POE)	POE0#～POE2#	入力	MTU-IIIの波形出力端子をハイインピーダンス状態にする要求信号の入力端子です。

注1. オプション

注2. AD0IN00～AD0IN05アナログ入力端子をデジタル入力として使用する場合は、固定値の入力としてください。

注3. アナログ端子グループA(AD1IN04、AD1IN05)の内部でアナログ入力とデジタル入出力を混在して使用しないでください。また、アナログ端子グループAをアナログ入力端子として使用するのには、アナログ端子グループBをアナログ入力として使用した上で、さらにアナログ入力が必要な場合に限ってください。アナログ端子グループBをデジタル入出力として使用した場合は、アナログ端子グループAをアナログ入力端子として使用しないでください。

注4. アナログ端子グループB(AD1IN16、AD1IN17、AD1IN24、AD1IN28、AD1IN30、AD1IN31)の内部でアナログ入力とデジタル入出力を混在して使用しないでください。

表 1.17 SH72A0グループの端子機能一覧(3)

分類	端子名	入出力	機能
I/Oポート	PA05 ~ PA03、 PA01 ~ PA00	入出力	5ビットの汎用入出力端子です。
	PC09 ~ PC08	入出力	2ビットの汎用入出力端子です。
	PD07 ~ PD00	入出力	8ビットの汎用入出力端子です。
	PE07 ~ PE00	入出力	8ビットの汎用入出力端子です。
	PG12 ~ PG10、 PG03 ~ PG00	入出力	7ビットの汎用入出力端子です。
	PJ09 ~ PJ08、 PJ05 ~ PJ04	入出力	4ビットの汎用入出力端子です。
	PK15 ~ PK14、 PK12、PK08、 PK01 ~ PK00	入出力	6ビットの汎用入出力端子です。
	PN05 ~ PN00	入力	6ビットの汎用入力端子です。(固定値のみ入力可能)
アドバンスユーザデ バッグ (AUD-II)	AUDATA3 ~ AUDATA0	入出力	RAM モニタモード：モニタアドレス入力/データ出力端子です。
	AUDRST#	入力	AUDのリセット入力端子です。
	AUDMD	入力	AUDモード選択信号です。 RAM モニタモード(H)
	AUDCK	入出力	RAM モニタモード：同期クロック入力端子です。
	AUDSYNC#	入出力	RAM モニタモード：データ先頭位置認識信号入力端子です。
ユーザブレイク コントローラ (UBC)	UBCTR#	出力	UBC 条件一致のトリガ出力端子です。
デバッグ機能	TCK	入力	オンチップエミュレータ用の端子です。ASEMD 端子を High レベルにする とオンチップエミュレータ専用端子になります。
	TMS	入力	
	TDI	入力	
	TDO	出力	
	TRST	入力	

1.4.5 未使用端子の処理

未使用の入力端子はハイまたはローレベルに固定してください。

2. CPU

2.1 データフォーマット

図 2.1 に SH2A-FPU でサポートしているデータフォーマットを示します。

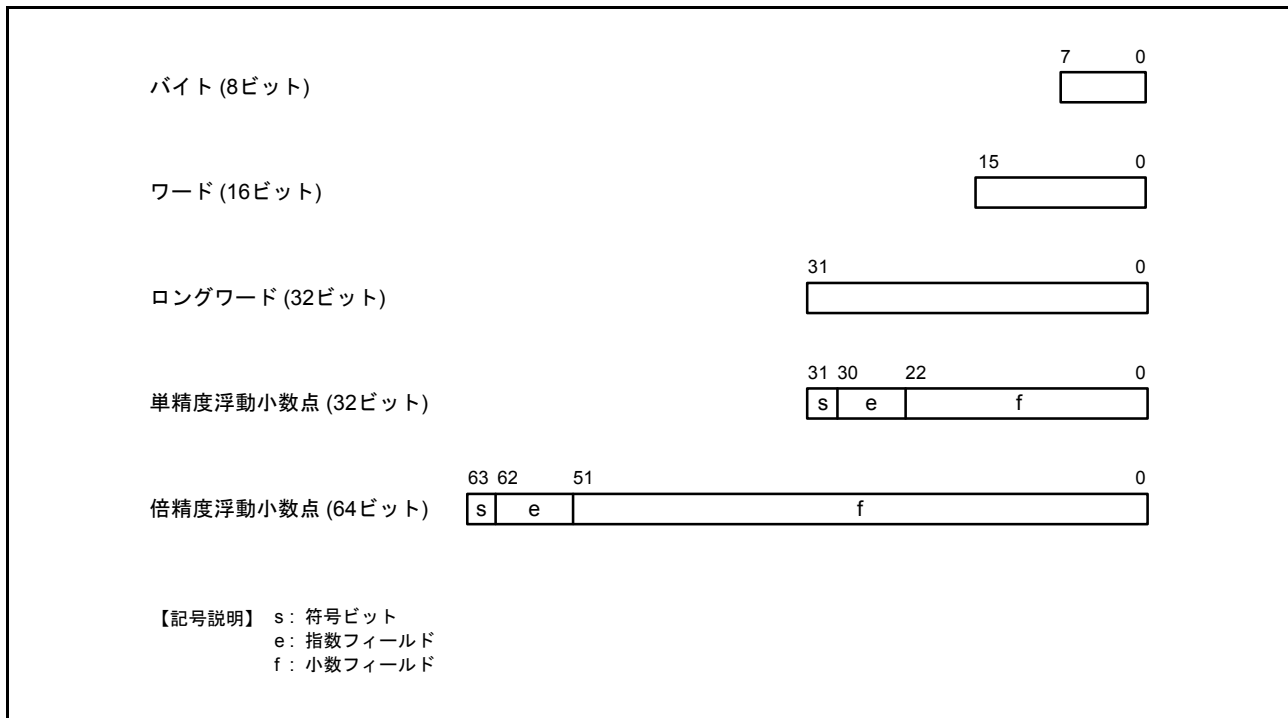


図 2.1 データフォーマット

2.2 レジスタ構成

2.2.1 汎用レジスタ

汎用レジスタは32ビットの長さで、R0からR15までの16本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタがR0に固定されています。R15は、ハードウェアスタックポインタ(SP)として使われます。例外処理でのステータスレジスタ(SR)とプログラムカウンタ(PC)の退避、回復は、R15を用いてスタックを参照し行います。図2.2に汎用レジスタを示します。

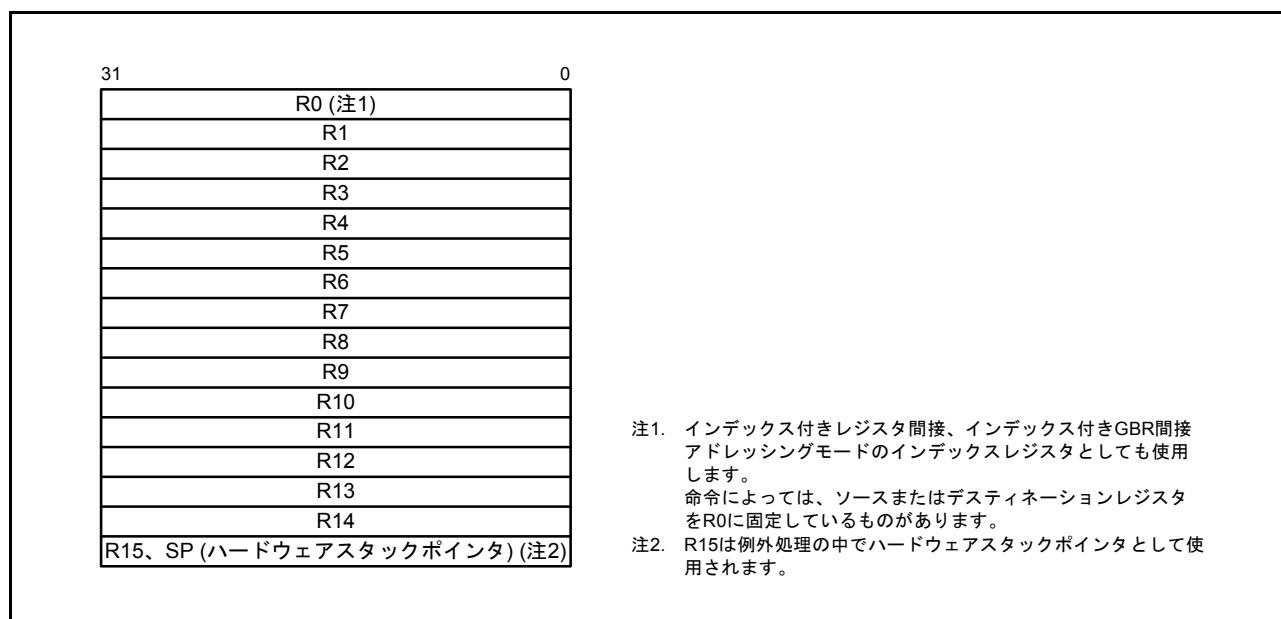


図 2.2 汎用レジスタ

2.2.2 制御レジスタ

制御レジスタは32ビットの長さで、ステータスレジスタ (SR : Status register)、グローバルベースレジスタ (GBR : Global base register)、ベクタベースレジスタ (VBR : Vector base register)、ジャンプテーブルベースレジスタ (TBR : Jump table base register) の4本があります。

SR レジスタは各種命令の処理の状態を表します。

GBR レジスタは GBR 間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。

VBR レジスタは割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。

TBR レジスタは関数テーブル領域のベースアドレスとして使用します。

図 2.3 に制御レジスタを示します。

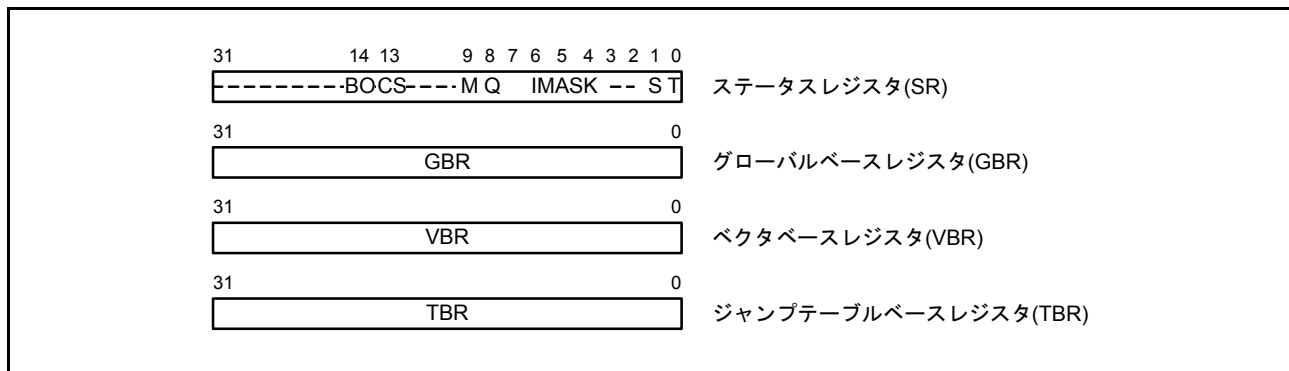


図 2.3 制御レジスタ

(1) ステータスレジスタ (SR)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	BO	CS	—	—	—	M	Q	IMASK[3:0]				—	—	S	T
	0	0	0	0	0	0	x	x	1	1	1	1	0	0	x	x

ビット	シンボル	ビット名	機能	R/W
b31-b15	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b14	BO	BOビット	レジスタバンクがオーバフローしていることを示します。	R/W
b13	CS	CSビット	CLIP命令の実行で、飽和上限値を上回った、または飽和下限値を下回ったことを示します。	R/W
b12-b10	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b9	M	Mビット	DIV0S、DIV0U、DIV1命令で使用します。	R/W
b8	Q	Qビット	DIV0S、DIV0U、DIV1命令で使用します。	R/W
b7-b4	IMASK[3:0]	IMASKビット	割り込みマスクレベルを表す4ビットデータです。	R/W
b3-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1	S	Sビット	MAC命令の飽和動作を指定します。	R/W
b0	T	Tビット	真/偽条件、またはキャリ/ボロービット	R/W

(2) グローバルベースレジスタ (GBR)

GBRはGBR参照MOV命令のベースアドレスとして参照されます。

リセット後の値は不定です。

(3) ベクタベースレジスタ (VBR)

VBRは例外および割り込み発生時、分岐先のベースアドレスとして参照されます。

リセット後の値はH'0000 0000です。

(4) ジャンプテーブルベースレジスタ (TBR)

テーブル参照サブルーチンコール命令JSR/N@@(disp8, TBR)で、メモリに配置された関数テーブルの先頭アドレスとして参照します。リセット後の値は不定です。

2.2.3 システムレジスタ

システムレジスタは32ビットの長さで、積和レジスタ (MACH、MACL)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) の4本があります。MACH、MACL は、乗算または積和演算の結果を格納します。PR はサブルーチンプロシージャからの戻り先アドレスを格納します。PC は実行中のプログラムのアドレスを示し、処理の流れを制御します。図 2.4 にシステムレジスタを示します。

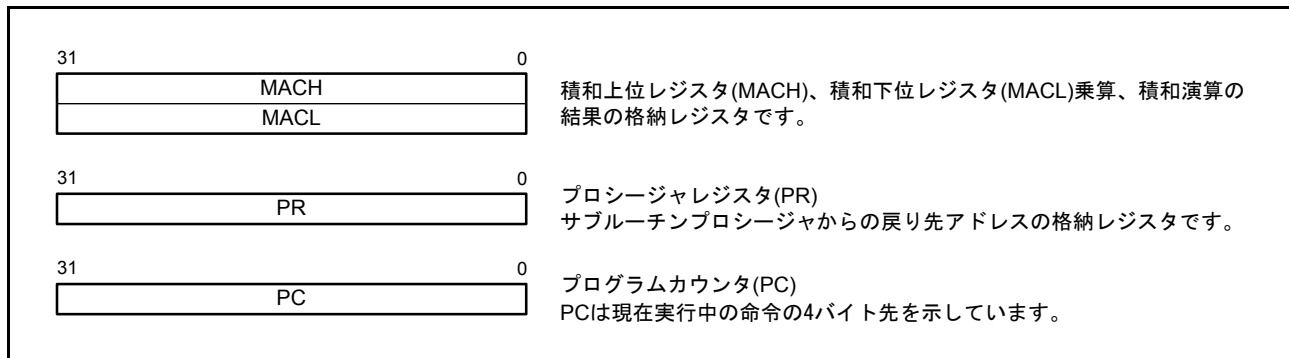


図 2.4 システムレジスタ

(1) 積和上位レジスタ (MACH)、積和下位レジスタ (MACL)

MACH および MACL は、MAC 命令の加算値として用いられます。また、MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。リセット後の値は不定です。

(2) プロシージャレジスタ (PR)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。リセット後の値は不定です。

(3) プログラムカウンタ (PC)

PC は現在実行中の命令アドレスを示します。リセット後の値はベクタテーブル中の PC の値です。

2.2.4 浮動小数点レジスタ

浮動小数点レジスタは32ビットの長さで、FPR0～FPR15までの16本があります。この16本のレジスタはFR0～FR15、DR0/2/4/6/8/10/12/14として参照されます。FPRnと参照名の対応はFPSCRのPRビットとSZビットによって決まります。図2.5に浮動小数点レジスタを示します。

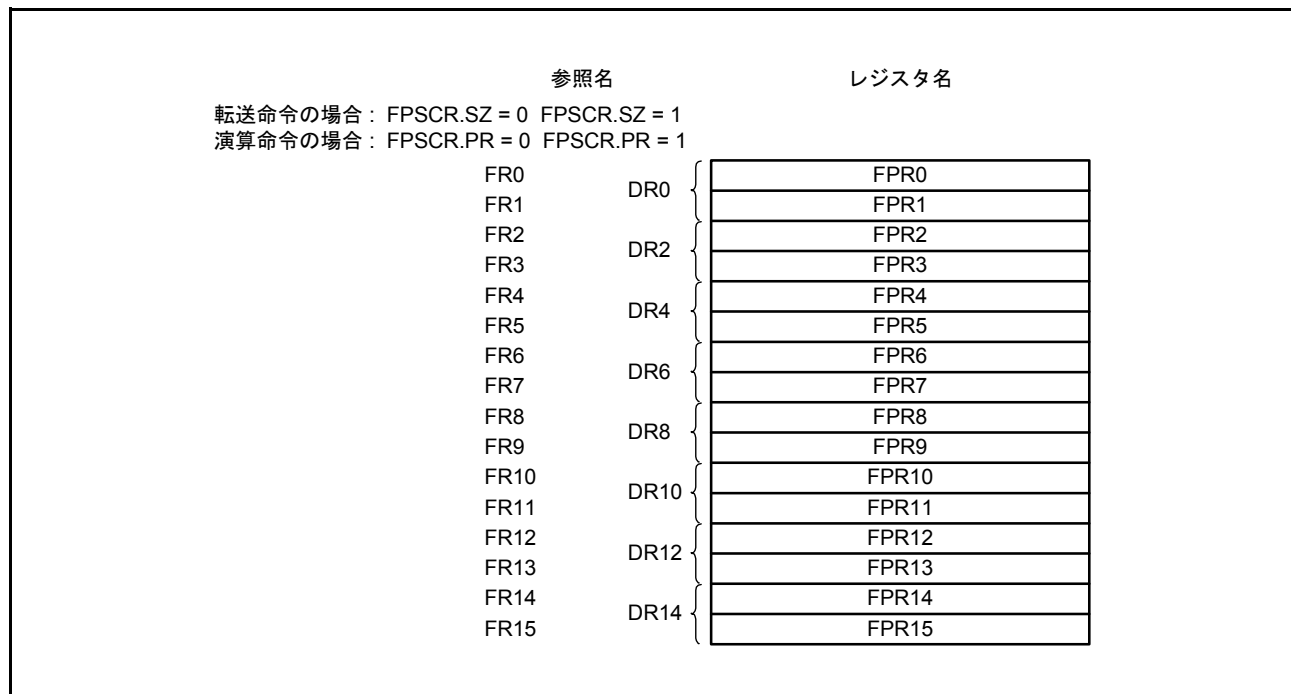


図 2.5 浮動小数点レジスタ

(1) 浮動小数点レジスタ : FPRn (16 レジスタ)

FPR0、FPR1、FPR2、FPR3、FPR4、FPR5、FPR6、FPR7、
FPR8、FPR9、FPR10、FPR11、FPR12、FPR13、FPR14、FPR15

(2) 単精度浮動小数点レジスタ : FRi (16 レジスタ)

FR0～FR15 は FPR0～FPR15 に割り当てられます。

(3) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア : DRi (8 レジスタ)

DR レジスタは、2つのFRレジスタから構成されます。

DR0 = {FPR0、FPR1}、DR2 = {FPR2、FPR3}、
DR4 = {FPR4、FPR5}、DR6 = {FPR6、FPR7}、
DR8 = {FPR8、FPR9}、DR10 = {FPR10、FPR11}、
DR12 = {FPR12、FPR13}、DR14 = {FPR14、FPR15}

注・ プログラミング上の注意

リセット後のFPR0～FPR15の値は不定です。

2.2.5 浮動小数点システムレジスタ

(1) 浮動小数点通信レジスタ (FPUL)

FPU レジスタと CPU レジスタ間のデータ転送は、FPUL を介して行われます。
リセット後の値は不定です。

(2) 浮動小数点ステータス / 制御レジスタ (FPSCR)

リセット後の値は H'0004 0001 です。

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	QIS	—	SZ	PR	DN	Cause[5:4]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Cause[3:0]				Enable[4:0]				Flag[4:0]				RM[1:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b31-b23	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b22	QIS	QISビット	qNaNあるいは±∞をsNaNとして扱います。 本ビットの設定は、FPU例外イネーブルフィールド(Enable)のVビットが“1”のときのみ有効です。 0: qNaNあるいは±∞として処理 1: 例外発生(sNaNと同様に処理)	R/W
b21	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b20	SZ	SZビット	転送サイズモード 0: FMOV命令のデータサイズは32ビットです。 1: FMOV命令のデータサイズは32ビットペア(64ビット)	R/W
b19	PR	PRビット	精度モード 0: 浮動小数点命令を単精度で実行します。 1: 浮動小数点命令を倍精度で実行します(倍精度がサポートされていない命令の結果は未定義です)。	R/W
b18	DN	DNビット	非正規化モード 本ビットは常に“1”です。 1: 非正規化数を“0”として扱います。	R/W
b17-b12	Cause[5:0]	FPU例外要因フィールド	FPU演算命令を実行すると、FPU例外要因フィールドは最初に“0”に設定されます。次にFPU例外が発生すると、FPU例外要因フィールドとFPU例外フラグフィールドの該当ビットが“1”にセットされます。 FPU例外フラグフィールドは、FPU例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。 各フィールドのビットの割り付けについては表2.1を参照してください。	R/W
b11-b7	Enable[4:0]	FPU例外イネーブルフィールド		R/W
b6-b2	Flag[4:0]	FPU例外フラグフィールド		R/W
b1-b0	RM[1:0]	RMビット	丸めモード b1 b0 0 0: 近傍への丸め 0 1: 0方向への丸め 1 0: 予約 1 1: 予約	R/W

表2.1 FPU例外処理に関連するビットの割り付け

		FPUエラー (E)	無効演算 (V)	0除算 (Z)	オーバ フロー (O)	アンダ フロー (U)	不正確 (I)
Cause	FPU例外 要因フィールド	ビット17	ビット16	ビット15	ビット14	ビット13	ビット12
Enable	FPU例外イネーブル フィールド	なし	ビット11	ビット10	ビット9	ビット8	ビット7
Flag	FPU例外フラグ フィールド	なし	ビット6	ビット5	ビット4	ビット3	ビット2

2.2.6 レジスタバンク

汎用レジスタ R0～R14、制御レジスタ GBR、およびシステムレジスタ MACH、MACL、PR の 19 本の 32 ビットレジスタは、レジスタバンクを使って、高速なレジスタ退避、復帰を行うことが可能です。バンクへの退避は、CPU がレジスタバンクを使用する割り込みを受け付けた後、自動的に行われます。バンクからの復帰は、割り込み処理ルーチンで RESBANK 命令を発行することで実行されます。

詳細については「SH-2A、SH2A-FPU ソフトウェアマニュアル」を参照してください。

2.2.7 レジスタの初期値

表 2.2 にレジスタの初期値 (リセット後の値) を示します。

表2.2 レジスタの初期値 (リセット後の値)

区分	レジスタ	リセット後の値
汎用レジスタ	R0～R14	不定
	R15 (SP)	ベクタテーブル中の SP の値
制御レジスタ	SR	IMASKは“1111” (H'F)、BO、CSは“0”、予約ビットは“0”、その他は不定
	GBR、TBR	不定
	VBR	H'0000 0000
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタテーブル中の PC の値
浮動小数点レジスタ	FPR0～FPR15	不定
浮動小数点システムレジスタ	FPUL	不定
	FPSCR	H'0004 0001

2.3 データ形式

2.3.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード(32ビット)です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト(8ビット)、もしくはワード(16ビット)の場合は、ロングワードに符号拡張またはゼロ拡張し、レジスタに格納します。図 2.6 にレジスタのデータ形式を示します。

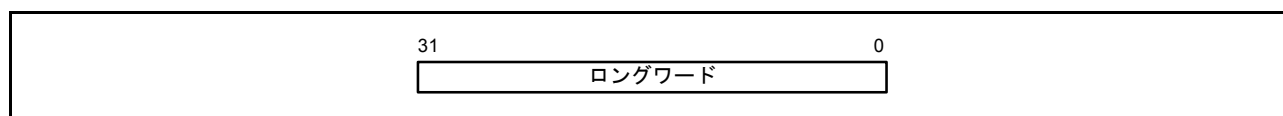


図 2.6 レジスタのデータ形式

2.3.2 メモリのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは8ビットのバイト、16ビットのワード、および32ビットのロングワードいずれの形でもアクセスすることができます。32ビットに満たないメモリオペランドは、符号拡張またはゼロ拡張されてレジスタに格納されます。

ワードオペランドはワード境界(2バイト刻みの偶数番地: $2n$ 番地)から、ロングワードオペランドはロングワード境界(4バイト刻みの偶数番地: $4n$ 番地)からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドは、どの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンのバイト順のみ選択できます。

図 2.7 にメモリのデータ形式を示します。

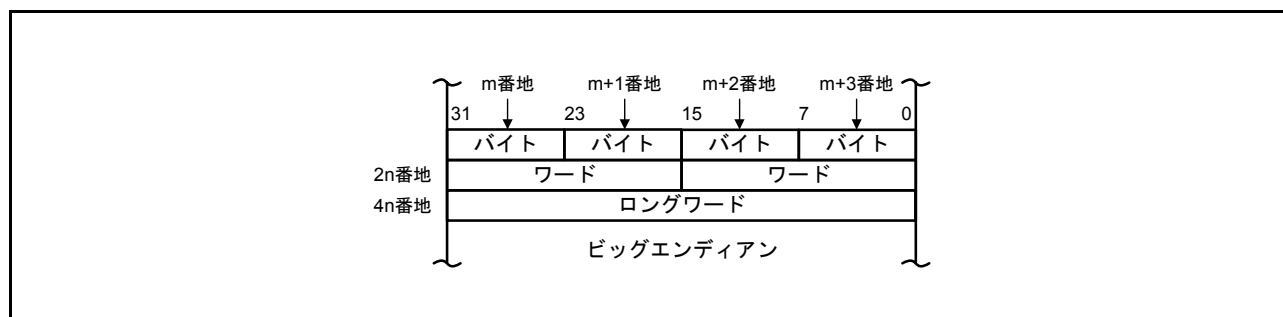


図 2.7 メモリのデータ形式

2.3.3 イミディエイトデータのデータ形式

バイト (8 ビット) のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、レジスタとロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位 24 ビットは常にクリアされます。

20 ビットのイミディエイトデータは 32 ビット長の転送命令 MOVI20 および MOVI20S のコードの中に配置します。MOVI20 命令は、イミディエイトを符号拡張してデスティネーションレジスタに格納します。MOVI20S 命令は、イミディエイトを上位に 8 ビットシフトし、符号拡張してデスティネーションレジスタに格納します。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイースメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令 (MOV) で、参照します。

具体例については、「2.4.1 RISC 方式 (10) イミディエイトデータ」を参照してください。

2.4 命令の特長

2.4.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16 ビット固定長命令

基本命令は 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 32 ビット固定長命令

SH2A-FPUでは、32ビット固定長の命令が追加されています。これにより性能および使い勝手が向上します。

(3) 1 命令 / 1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。

(4) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト / ワード / ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.3 にワードデータの符号拡張を示します。

表 2.3 ワードデータの符号拡張

SH2A-FPU CPU	説明	他のCPUの例
MOV.W @(disp, PC), R1 ADD R1, R0DATA.W H'1234	32ビットに符号拡張され、R1はH'0000 1234になります。次にADD命令で演算されます	ADD.W #H'1234,R0

注. • @(disp, PC)でイミディエイトデータを参照します。

(5) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します (ロードストアアーキテクチャ)。ただし、ANDなどのビットを操作する命令は直接メモリに対して実行します。

(6) 遅延分岐

無条件分岐命令などは、一部の命令を除き遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。

遅延分岐においては、分岐という動作そのものはスロット命令の実行後に発生しますが、命令の実行 (レジスタの更新など) は、あくまでも遅延分岐命令 → 遅延スロット命令の順に行われます。たとえば、遅延スロットで分岐先アドレスが格納されたレジスタを変更しても、変更前のレジスタ内容が分岐先アドレスとなります。

表 2.4 に遅延分岐命令を示します。

表 2.4 遅延分岐命令

SH2A-FPU CPU	説明	他のCPUの例
BRA TRGET ADD R1, R0	TRGETに分岐する前にADDを実行します。	ADD.W R1,R0 BRA TRGET

(7) 遅延スロットなし無条件分岐命令の追加

SH2A-FPU では、遅延スロット命令を実行しない無条件分岐命令を追加しました。これにより、不要な NOP 命令の削減が可能となり、コードサイズを削減できます。

(8) 乗算 / 積和演算

16 × 16 → 32 の乗算を 1~2 ステート、16 × 16 + 64 → 64 の積和演算を 2~3 ステートで実行します。
32 × 32 → 64 の乗算や、32 × 32 + 64 → 64 の積和演算を 2~4 ステートで実行します。

(9) T ビット

比較結果はステータスレジスタ (SR) の T ビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみ T ビットを変化させ、処理速度を向上させています。

表 2.5 に T ビットの説明を示します。

表 2.5 T ビット

SH2A-FPU CPU		説明	他の CPU の例	
CMP/GE	R1, R0	R0 ≥ R1 のとき T ビットがセットされます。 R0 ≥ R1 のとき TRGET0 へ R0 < R1 のとき TRGET1 へ分岐します。	CMP.W	R1,R0
BT	TRGET0		BGE	TRGET0
BF	TRGET1		BLT	TRGET1
ADD	#-1, R0	ADD では T ビットが変化しません。 R0 = 0 のとき T ビットがセットされます。 R0 = 0 のとき分岐します。	SUB.W	#1,R0
CMP/EQ	#0, R0		BEQ	TRGET
BT	TRGET			

(10) イミディエイトデータ

バイトのイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレースメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令 (MOV) で参照します。

また SH2A-FPU では、17~28 ビットのイミディエイトデータを命令コードの中に配置することも可能です。ただし、21~28 ビットのイミディエイトデータについては、レジスタ転送後、OR 命令を実行する必要があります。

表 2.6 にイミディエイトデータによる参照を示します。

表 2.6 イミディエイトデータによる参照

区分	SH2A-FPU CPU		他の CPU の例	
8ビットイミディエイト	MOV	#H'12,R0	MOV.B	#H'12,R0
16ビットイミディエイト	MOVI20	#H'1234,R0	MOV.W	#H'1234, R0
20ビットイミディエイト	MOVI20	#H'12345,R0	MOV.L	#H'12345, R0
28ビットイミディエイト	MOVI20S OR	#H'12345,R0 #H'67,R0	MOV.L	#H'1234567,R0
32ビットイミディエイト	MOV.LDATA.L	@(disp,PC),R0 H'1234 5678	MOV.L	#H'12345678,R0

注. • @(disp, PC) でイミディエイトデータを参照します。

(11) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

またSH2A-FPUでは、28ビット以下の絶対アドレスでデータを参照するとき、命令コード中に配置したイミディエイトデータをレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照することも可能です。ただし、21～28ビットの絶対アドレスでデータを参照するときは、レジスタ転送後、OR命令を使用する必要があります。

表 2.7 に絶対アドレスによる参照を示します。

表 2.7 絶対アドレスによる参照

区分	SH2A-FPU CPU		他のCPUの例
20ビット以下	MOVI20 MOV.B	#H'12345,R1 @R1,R0	MOV.B @H'12345,R0
21～28ビット	MOVI20S OR MOV.B	#H'12345,R1 #H'67,R1 @R1,R0	MOV.B @H'1234567,R0
29ビット以上	MOV.L MOV.BDATA.L	@(disp,PC), R1 @R1,R0 H'1234 5678	MOV.B @H'12345678,R0

(12) 16ビット/32ビットディスプレースメント

16ビットまたは32ビットディスプレースメントでデータを参照するときは、あらかじめディスプレースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

表 2.8 にディスプレースメントによる参照を示します。

表 2.8 ディスプレースメントによる参照

区分	SH2A-FPU CPU		他のCPUの例
16ビットディスプレースメント	MOV.W MOV.WDATA.W	@(disp,PC),R0 @(R0,R1),R2 H'1234	MOV.W @(H'1234,R1),R2

2.4.2 アドレッシングモード

表 2.9～表 2.12 にアドレッシングモードと実効アドレスの計算方法を示します。

表 2.9 アドレッシングモードと実効アドレス(1)

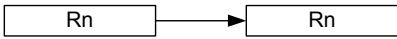
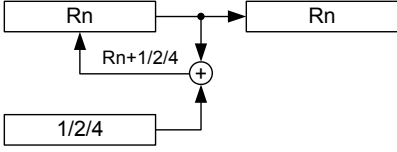
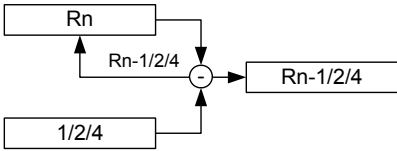
アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	—
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメント レジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき1、ワードのとき2、ロングワードのとき4です。 	Rn 命令実行後 バイト : Rn + 1 → Rn ワード : Rn + 2 → Rn ロングワード : Rn + 4 → Rn
プリデクリメント レジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき1、ワードのとき2、ロングワードのとき4です。 	バイト : Rn - 1 → Rn ワード : Rn - 2 → Rn ロングワード : Rn - 4 → Rn (計算後の Rn で命令実行)

表2.10 アドレッシングモードと実効アドレス(2)

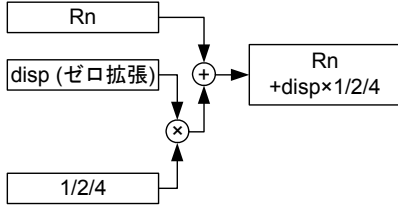
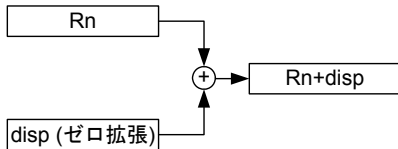
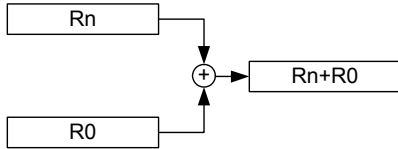
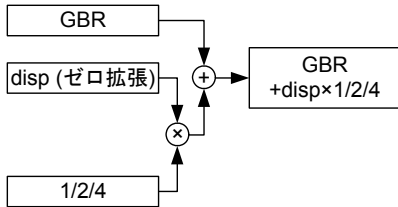
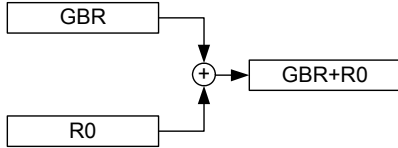
アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレイメント付きレジスタ間接	@(disp:4,Rn)	<p>実効アドレスはレジスタ Rn に 4 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $Rn + disp$ ワード : $Rn + disp \times 2$ ロングワード : $Rn + disp \times 4$
	@(disp:12,Rn)	<p>実効アドレスはレジスタ Rn に 12 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張します。</p> 	バイト : $Rn + disp$ ワード : $Rn + disp$ ロングワード : $Rn + disp$
インデックス付きレジスタ間接	@(R0,Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$
ディスプレイメント付き GBR 間接	@(disp:8,GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$
インデックス付き GBR 間接	@(R0,GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$

表2.11 アドレッシングモードと実効アドレス(3)

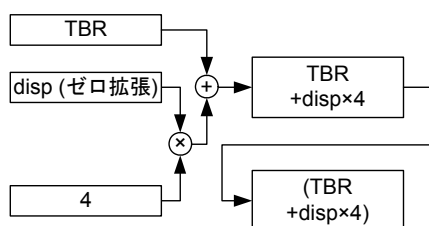
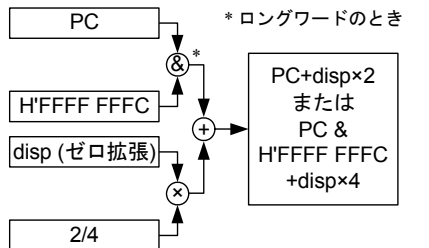
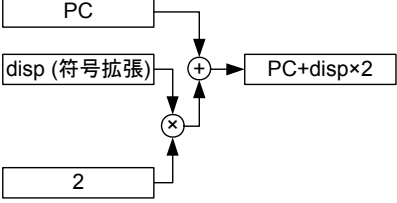
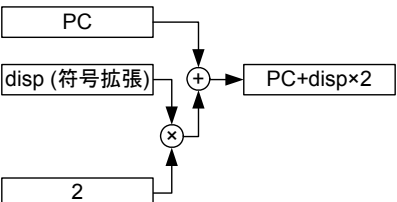
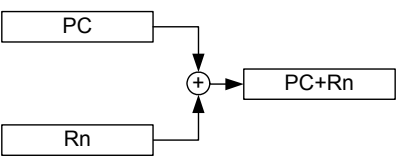
アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレイースメント付きTBR二重間接	@@(disp:8,TBR)	<p>実効アドレスはレジスタTBRに8ビットディスプレイースメントdispを加算したアドレスの内容です。dispはゼロ拡張後4倍します。</p> 	(TBR + disp × 4) アドレスの内容
ディスプレイースメント付きPC相対	@(disp:8,PC)	<p>実効アドレスはレジスタPCに8ビットディスプレイースメントdispを加算した内容です。dispはゼロ拡張後、オペランドサイズによってワードで2倍、ロングワードで4倍します。さらにロングワードのときはPCの下位2ビットをマスクします。</p> 	<p>ワード : PC + disp × 2 ロングワード : PC & H'FFFF FFFC + disp × 4</p>

表2.12 アドレッシングモードと実効アドレス(4)

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式								
PC相対	disp:8	<p>実効アドレスはレジスタPCに8ビットディスプレイメントdispを符号拡張後2倍し、加算した内容です。</p> 	$PC + disp \times 2$								
	disp:12	<p>実効アドレスはレジスタPCに12ビットディスプレイメントdispを符号拡張後2倍し、加算した内容です。</p> 	$PC + disp \times 2$								
	Rn	<p>実効アドレスはレジスタPCにRnを加算した内容です。</p> 	$PC + Rn$								
イミディエイト	#imm:20	<p>MOVI20命令の20ビットイミディエイトimmは符号拡張します。</p> <table border="1" data-bbox="619 1366 1093 1429"> <tr> <td style="text-align: center;">31</td> <td style="text-align: center;">19</td> <td style="text-align: center;">0</td> </tr> <tr> <td colspan="2" style="text-align: center;">符号拡張</td> <td style="text-align: center;">imm20ビット</td> </tr> </table>	31	19	0	符号拡張		imm20ビット	—		
	31	19	0								
	符号拡張		imm20ビット								
	#imm:20	<p>MOVI20S命令の20ビットイミディエイトimmは8ビット左にシフトし、上位側は符号拡張、下位側はゼロ詰めを行います。</p> <table border="1" data-bbox="619 1556 1093 1624"> <tr> <td style="text-align: center;">31</td> <td style="text-align: center;">27</td> <td style="text-align: center;">8</td> <td style="text-align: center;">0</td> </tr> <tr> <td colspan="2" style="text-align: center;">imm20ビット</td> <td colspan="2" style="text-align: center;">0000 0000</td> </tr> </table> <p>↑ 符号拡張</p>	31	27	8	0	imm20ビット		0000 0000		—
	31	27	8	0							
imm20ビット		0000 0000									
#imm:8	TST、AND、OR、XOR命令の8ビットイミディエイトimmはゼロ拡張します。	—									
#imm:8	MOV、ADD、CMP/EQ命令の8ビットイミディエイトimmは符号拡張します。	—									
#imm:8	TRAPA命令の8ビットイミディエイトimmはゼロ拡張後、4倍します。	—									
#imm:3	BAND、BOR、BXOR、BST、BLD、BSET、BCLR命令の3ビットイミディエイトimmはビット位置を表します。	—									

2.4.3 命令形式

以下に命令形式、ソースオペランド、およびデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。

記号は次のとおりです。

xxxx : 命令コード

m m m m : ソースレジスタ

n n n n : デスティネーションレジスタ

i i i i : イミディエイトデータ

d d d d : ディスプレースメント

表 2.13 ~ 表 2.15 に命令形式を示します。

表 2.13 命令形式 (1)

命令形式	ソースオペランド	デスティネーション オペランド	命令の例
0形式	—	—	NOP
15 0 xxxx xxxx xxxx xxxx	—	—	—
n形式	—	n n n n : レジスタ直接	MOV T Rn
	15 0 xxxx n n n n xxxx xxxx	制御レジスタ またはシステムレジスタ	n n n n : レジスタ直接 STS MACH,Rn
	R0 (レジスタ直接)	n n n n : レジスタ直接	DIVU R0, Rn
	制御レジスタ またはシステムレジスタ	n n n n : プリデクリメントレジスタ 間接	STC.L SR,@-Rn
	m m m m : レジスタ直接	R15 (プリデクリメント レジスタ間接)	MOV MU.L Rm,@-R15
	R15 (ポストインクリメン トレジスタ間接)	n n n n : レジスタ直接	MOV MU.L @R15+,Rn
	R0 (レジスタ直接)	n n n n : ポストインクリメント レジスタ間接	MOV.L R0,@Rn+
m形式	15 0 xxxx m m m m xxxx xxxx	m m m m : レジスタ直接	制御レジスタ またはシステムレジスタ LDC Rm,SR
	m m m m : ポストインクリメントレジ スタ間接	制御レジスタ またはシステムレジスタ	LDC.L @Rm+,SR
	m m m m : レジスタ間接	—	JMP @Rm
	m m m m : プリデクリメントレジスタ 間接	R0 (レジスタ直接)	MOV.L @-Rm,R0
	m m m m : Rmを用いたPC相対	—	BRAF Rm

表2.14 命令形式(2)

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nm形式	<div style="text-align: center;">150</div> <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: auto;">xxxx nnnn mmmm xxxx</div>	m m m m : レジスタ直接	n n n n : レジスタ直接	ADD Rm,Rn
		m m m m : レジスタ直接	n n n n : レジスタ間接	MOV.L Rm,@Rn
		m m m m : ポストインクリメント レジスタ間接(積和演算) n n n n : (注1) ポストインクリメント レジスタ間接(積和演算)	MACH , MACL	MAC.W @Rm+,@Rn+
		m m m m : ポストインクリメント レジスタ間接	n n n n : レジスタ直接	MOV.L @Rm+,Rn
		m m m m : レジスタ直接	n n n n : プリデクリメントレジスタ 間接	MOV.L Rm,@-Rn
		m m m m : レジスタ直接	n n n n : インデックス付きレジスタ 間接	MOV.L Rm,@(R0,Rn)
md形式	<div style="text-align: center;">150</div> <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: auto;">xxxx xxxx nmmm dddd</div>	m m m m d d d d : ディスプレースメント付き レジスタ間接	R0 (レジスタ直接)	MOV.B @(disp, Rm),R0
nd4形式	<div style="text-align: center;">150</div> <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: auto;">xxxx xxxx nnnn dddd</div>	R0 (レジスタ直接)	n n n n d d d d : ディスプレースメント付き レジスタ間接	MOV.B R0,@(disp,Rn)
nmd形式	<div style="text-align: center;">150</div> <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: auto;">xxxx nnnn mmmm dddd</div>	m m m m : レジスタ直接	n n n n d d d d : ディスプレースメント付き レジスタ間接	MOV.L Rm,@(disp,Rn)
		m m m m d d d d : ディスプレースメント付き レジスタ間接	n n n n : レジスタ直接	MOV.L @(disp,Rm),Rn
nmd12形式	<div style="text-align: center;">3116</div> <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: auto;">xxxx nnnn mmmm xxxx</div> <div style="text-align: center;">150</div> <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: auto;">xxxx dddd dddd dddd</div>	m m m m : レジスタ直接	n n n n d d d d : ディスプレースメント付き レジスタ間接	MOV.L Rm,@(disp12,Rn)
		m m m m d d d d : ディスプレースメント付き レジスタ間接	n n n n : レジスタ直接	MOV.L @(disp12,Rm),Rn
d形式	<div style="text-align: center;">150</div> <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: auto;">xxxx xxxx dddd dddd</div>	d d d d d d d d : ディスプレースメント付き GBR間接	R0 (レジスタ直接)	MOV.L @(disp,GBR)R0
		R0(レジスタ直接)	d d d d d d d d : ディスプレースメント付き GBR間接	MOV.L R0,@(disp,GBR)
		d d d d d d d d : ディスプレースメント付き PC相対	R0 (レジスタ直接)	MOVA @(disp,PC),R0
		d d d d d d d d : ディスプレースメント付き TBR二重間接	—	JSR/N @@(disp8,TBR)
		d d d d d d d d : PC相対	—	BF label

注1. 積和命令ではnnnnはソースレジスタです。

表 2.15 命令形式 (3)

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
d12形式	<div style="text-align: center;">150</div> <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 0 auto;">xxxx dddd dddd dddd</div>	dddddddddddd : PC 相対	—	BRA label (label = disp + PC)
nd8形式	<div style="text-align: center;">150</div> <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 0 auto;">xxxx nnnn dddd dddd</div>	ddddddd : ディスペースメント付き PC 相対	nnnn : レジスタ直接	MOV.L @(disp,PC),Rn
i形式	<div style="text-align: center;">150</div> <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 0 auto;">xxxx xxxx iiii iiii</div>	iiiiiii : イミディエイト	インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)
		iiiiiii : イミディエイト	R0 (レジスタ直接)	AND #imm,R0
		iiiiiii : イミディエイト	—	TRAPA #imm
ni形式	<div style="text-align: center;">150</div> <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 0 auto;">xxxx nnnn iiii iiii</div>	iiiiiii : イミディエイト	nnnn : レジスタ直接	ADD #imm,Rn
ni3形式	<div style="text-align: center;">150</div> <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 0 auto;">xxxx xxxx nnnn x iiii</div>	nnnn : レジスタ直接 iii : イミディエイト	—	BLD #imm3,Rn
		—	nnnn : レジスタ直接 iii : イミディエイト	BST #imm3,Rn
ni20形式	<div style="text-align: center;">3116</div> <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 0 auto;">xxxx nnnn iii xxxx</div> <div style="text-align: center;">150</div> <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 0 auto;">iiii iiii iiii iiii</div>	iiiiiiiiiiiiiii : イミディエイト	nnnn : レジスタ直接	MOVI20 #imm20,Rn
nid形式	<div style="text-align: center;">3116</div> <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 0 auto;">xxxx xxxx nnnn xxxx</div> <div style="text-align: center;">150</div> <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 0 auto;">xiii dddd dddd dddd</div>	nnnnddddddddddd : ディスペースメント 付きレジスタ間接 iii : イミディエイト	—	BLD.B #imm3,@(disp12,Rn)
		—	nnnnddddddddddd : ディスペースメント付き レジスタ間接 iii : イミディエイト	BST.B #imm3,@(disp12,Rn)

2.5 命令セット

2.5.1 分類順命令セット

表 2.16～表 2.19 に命令の分類を示します。

表 2.16 命令の分類(1)

分類	命令の種類	オペコード	機能	命令数
データ転送命令	13	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送 逆スタック転送	62
		MOVA	実効アドレスの転送	
		MOVI20	20ビットイミディエイトデータの転送	
		MOVI20S	20ビットイミディエイトデータの転送 左8ビットシフト	
		MOVML	R0 - Rnのレジスタ退避・回復	
		MOVMU	Rn - R14、PRのレジスタ退避・回復	
		MOVRT	Tビット反転Rnへの転送	
		MOV T	Tビットの転送	
		MOVU	無符号データの転送	
		NOTT	Tビット反転	
		PREF	オペランドキャッシュへのプリフェッチ	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	26	ADD	2進加算	40
		ADDC	キャリ付き2進加算	
		ADDV	オーバフロー付き2進加算	
		CMP/cond	比較	
		CLIPS	符号付き飽和値比較	
		CLIPU	符号なし飽和値比較	
		DIVS	符号付き除算(32 ÷ 32)	
		DIVU	符号なし除算(32 ÷ 32)	
		DIV1	1ステップ除算	
		DIV0S	符号付き1ステップ除算の初期化	
		DIV0U	符号なし1ステップ除算の初期化	
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULR	Rn結果格納符号付き乗算	
		MULS	符号付き乗算	
MULU	符号なし乗算			

表2.17 命令の分類(2)

分類	命令の種類	オペコード	機能	命令数
算術演算命令	26	NEG	符号反転	40
		NEGC	ポロー付き符号反転	
		SUB	2進減算	
		SUBC	ポロー付き2進減算	
		SUBV	アンドフロー付き2進減算	
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算のTビットセット	
		XOR	排他的論理和演算	
シフト命令	12	ROTL	1ビット左回転	16
		ROTR	1ビット右回転	
		ROTCL	Tビット付き1ビット左回転	
		ROTCR	Tビット付き1ビット右回転	
		SHAD	ダイナミック算術的シフト	
		SHAL	算術的1ビット左シフト	
		SHAR	算術的1ビット右シフト	
		SHLD	ダイナミック論理的シフト	
		SHLL	論理的1ビット左シフト	
		SHLLn	論理的nビット左シフト	
		SHLR	論理的1ビット右シフト	
		SHLRn	論理的nビット右シフト	
分岐命令	10	BF	条件分岐、遅延付き条件分岐(T="0"で分岐)	15
		BT	条件分岐、遅延付き条件分岐(T="1"で分岐)	
		BRA	遅延付き無条件分岐	
		BRAF	遅延付き無条件分岐	
		BSR	遅延付きサブルーチンプロシージャへの分岐	
		BSRF	遅延付きサブルーチンプロシージャへの分岐	
		JMP	遅延付き無条件分岐	
		JSR	サブルーチンプロシージャへの分岐 遅延付きサブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰 遅延付きサブルーチンプロシージャからの復帰	
		RTV/N	Rm → R0 転送付きサブルーチンプロシージャからの復帰	

表2.18 命令の分類(3)

分類	命令の種類	オペコード	機能	命令数
システム制御命令	14	CLRT	Tビットのクリア	36
		CLRMAC	MACレジスタのクリア	
		LDBANK	指定レジスタバンクエントリからのレジスタ復帰	
		LDC	制御レジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無操作	
		RESBANK	レジスタバンクからのレジスタ復帰	
		RTE	例外処理からの復帰	
		SETT	Tビットのセット	
		SLEEP	低消費電力状態への遷移	
		STBANK	指定レジスタバンクエントリへのレジスタ退避	
		STC	制御レジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
浮動小数点演算命令	19	FABS	浮動小数点数絶対値	48
		FADD	浮動小数点数加算	
		FCMP	浮動小数点数比較	
		FCNVDS	倍精度から単精度への変換	
		FCNVSD	単精度から倍精度への変換	
		FDIV	浮動小数点数除算	
		FLDI0	浮動小数点数ロードイミディエイト0	
		FLDI1	浮動小数点数ロードイミディエイト1	
		FLDS	システムレジスタFPULへの浮動小数点数ロード	
		FLOAT	整数から浮動小数点数への変換	
		FMAC	浮動小数点数積和演算	
		FMOV	浮動小数点数転送	
		FMUL	浮動小数点数乗算	
		FNEG	浮動小数点数符号反転	
		FSCHG	SZビット反転	
		FSQRT	浮動小数点平方根	
		FSTS	システムレジスタFPULからの浮動小数点数ストア	
		FSUB	浮動小数点数減算	
		FTRC	浮動小数点数の整数への切り捨て変換	
FPUに関するCPU命令	2	LDS	浮動小数点システムレジスタへのロード	8
		STS	浮動小数点システムレジスタからのストア	

表2.19 命令の分類(4)

分類	命令の種類	オペコード	機能	命令数
ビット操作命令	10	BAND	ビット論理積	14
		BCLR	ビットクリア	
		BLD	ビットロード	
		BOR	ビット論理和	
		BSET	ビットセット	
		BST	ビットストア	
		BXOR	ビット排他的論理和	
		BANDNOT	ビットノット論理積	
		BORNOT	ビットノット論理和	
		BLDNOT	ビットノットロード	
	計 112			253

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

命令	命令コード	動作の概略	実行ステート	Tビット
ニーモニックで表示しています。 【記号の説明】 OP.Sz SRC, DEST OP : オペコード Sz : サイズ SRC : ソース DEST: デスティネーション Rm : ソースレジスタ Rn : デスティネーションレジスタ imm : イミディエイトデータ disp : ディスプレースメント (注2)	MSB ← → LSBの順で表示しています。 【記号の説明】 mmmm : ソースレジスタ nnnn : デスティネーションレジスタ 0000 : R0 0001 : R1 ... 1111 : R15 iiii : イミディエイトデータ dddd : ディスプレースメント	動作の概略を表示しています。 【記号の説明】 →, ← : 転送方向 (xx) : メモリオペラント M/Q/T : SR内のフラグビット & : ビットごとの論理積 : ビットごとの論理和 ^ : ビットごとの排他的論理和 ~ : ビットごとの論理否定 <<n : 左nビットシフト >>n : 右nビットシフト	ノーウェイトのときの値です。 (注1)	命令実行後の、Tビットの値を表示しています。 【記号の説明】 — : 変化しない

注1. 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令(メモリ→レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一の場合などの条件により、命令実行ステート数は増加します。

注2. 命令のオペラントサイズなどに応じてスケールリング(×1, ×2, ×4)されます。

詳しくは、「SH-2A、SH2A-FPUソフトウェアマニュアル」を参照してください。

2.5.2 データ転送命令

表 2.20～表 2.22 にデータ転送命令を示します。

表 2.20 データ転送命令 (1)

命令	命令コード	動作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
MOV #imm, Rn	1110nnnniiiiiii	imm → 符号拡張 → Rn	1	—	○	○	
MOV.W @(disp, PC), Rn	1001nnnnddddddd	(disp × 2 + PC) → 符号拡張 → Rn	1	—	○	○	
MOV.L @(disp, PC), Rn	1101nnnnddddddd	(disp × 4 + PC) → Rn	1	—	○	○	
MOV Rm, Rn	0110nnnnmmmm0011	Rm → Rn	1	—	○	○	
MOV.B Rm, @Rn	0010nnnnmmmm0000	Rm → (Rn)	1	—	○	○	
MOV.W Rm, @Rn	0010nnnnmmmm0001	Rm → (Rn)	1	—	○	○	
MOV.L Rm, @Rn	0010nnnnmmmm0010	Rm → (Rn)	1	—	○	○	
MOV.B @Rm, Rn	0110nnnnmmmm0000	(Rm) → 符号拡張 → Rn	1	—	○	○	
MOV.W @Rm, Rn	0110nnnnmmmm0001	(Rm) → 符号拡張 → Rn	1	—	○	○	
MOV.L @Rm, Rn	0110nnnnmmmm0010	(Rm) → Rn	1	—	○	○	
MOV.B Rm, @-Rn	0010nnnnmmmm0100	Rn - 1 → Rn, Rm → (Rn)	1	—	○	○	
MOV.W Rm, @-Rn	0010nnnnmmmm0101	Rn - 2 → Rn, Rm → (Rn)	1	—	○	○	
MOV.L Rm, @-Rn	0010nnnnmmmm0110	Rn - 4 → Rn, Rm → (Rn)	1	—	○	○	
MOV.B @Rm+, Rn	0110nnnnmmmm0100	(Rm) → 符号拡張 → Rn, Rm + 1 → Rm	1	—	○	○	
MOV.W @Rm+, Rn	0110nnnnmmmm0101	(Rm) → 符号拡張 → Rn, Rm + 2 → Rm	1	—	○	○	
MOV.L @Rm+, Rn	0110nnnnmmmm0110	(Rm) → Rn, Rm + 4 → Rm	1	—	○	○	
MOV.B R0, @(disp, Rn)	10000000nnnndddd	R0 → (disp + Rn)	1	—	○	○	
MOV.W R0, @(disp, Rn)	10000001nnnndddd	R0 → (disp × 2 + Rn)	1	—	○	○	
MOV.L Rm, @(disp, Rn)	0001nnnnmmmmdddd	Rm → (disp × 4 + Rn)	1	—	○	○	
MOV.B @(disp, Rm), R0	10000100mmmmdddd	(disp + Rm) → 符号拡張 → R0	1	—	○	○	
MOV.W @(disp, Rm), R0	10000101mmmmdddd	(disp × 2 + Rm) → 符号拡張 → R0	1	—	○	○	
MOV.L @(disp, Rm), Rn	0101nnnnmmmmdddd	(disp × 4 + Rm) → Rn	1	—	○	○	
MOV.B Rm, @(R0, Rn)	0000nnnnmmmm0100	Rm → (R0 + Rn)	1	—	○	○	
MOV.W Rm, @(R0, Rn)	0000nnnnmmmm0101	Rm → (R0 + Rn)	1	—	○	○	
MOV.L Rm, @(R0, Rn)	0000nnnnmmmm0110	Rm → (R0 + Rn)	1	—	○	○	
MOV.B @(R0, Rm), Rn	0000nnnnmmmm1100	(R0 + Rm) → 符号拡張 → Rn	1	—	○	○	
MOV.W @(R0, Rm), Rn	0000nnnnmmmm1101	(R0 + Rm) → 符号拡張 → Rn	1	—	○	○	
MOV.L @(R0, Rm), Rn	0000nnnnmmmm1110	(R0 + Rm) → Rn	1	—	○	○	
MOV.B R0, @(disp, GBR)	11000000dddddddd	R0 → (disp + GBR)	1	—	○	○	
MOV.W R0, @(disp, GBR)	11000001dddddddd	R0 → (disp × 2 + GBR)	1	—	○	○	
MOV.L R0, @(disp, GBR)	11000010dddddddd	R0 → (disp × 4 + GBR)	1	—	○	○	
MOV.B @(disp, GBR), R0	11000100dddddddd	(disp + GBR) → 符号拡張 → R0	1	—	○	○	
MOV.W @(disp, GBR), R0	11000101dddddddd	(disp × 2 + GBR) → 符号拡張 → R0	1	—	○	○	

表2.21 データ転送命令 (2)

命令	命令コード	動作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
MOV.L @ (disp, GBR), R0	11000110dddddddd	(disp × 4 + GBR) → R0	1	—	○	○	
MOV.B R0, @Rn+	0100nnnn10001011	R0 → (Rn), Rn + 1 → Rn	1	—			○
MOV.W R0, @Rn+	0100nnnn10011011	R0 → (Rn), Rn + 2 → Rn	1	—			○
MOV.L R0, @Rn+	0100nnnn10101011	R0 → (Rn), Rn + 4 → Rn	1	—			○
MOV.B @-Rm, R0	0100mmmm11001011	Rm - 1 → Rm, (Rm) → 符号拡張 → R0	1	—			○
MOV.W @-Rm, R0	0100mmmm11011011	Rm - 2 → Rm, (Rm) → 符号拡張 → R0	1	—			○
MOV.L @-Rm, R0	0100mmmm11101011	Rm - 4 → Rm, (Rm) → R0	1	—			○
MOV.B Rm, disp12, Rn)	0011nnnnmmmm0001 0000dddddddddddd	Rm → (disp + Rn)	1	—			○
MOV.W Rm, @ (disp12, Rn)	0011nnnnmmmm0001 0001dddddddddddd	Rm → (disp × 2 + Rn)	1	—			○
MOV.L Rm, @ (disp12, Rn)	0011nnnnmmmm0001 0010dddddddddddd	Rm → (disp × 4 + Rn)	1	—			○
MOV.B @ (disp12, Rm), Rn	0011nnnnmmmm0001 0100dddddddddddd	(disp + Rm) → 符号拡張 → Rn	1	—			○
MOV.W @ (disp12, Rm), Rn	0011nnnnmmmm0001 0101dddddddddddd	(disp × 2 + Rm) → 符号拡張 → Rn	1	—			○
MOV.L @ (disp12, Rm), Rn	0011nnnnmmmm0001 0110dddddddddddd	(disp × 4 + Rm) → Rn	1	—			○
MOVA @ (disp, PC), R0	11000111dddddddd	disp × 4 + PC → R0	1	—	○	○	
MOVI20 #imm20, Rn	0000nnnniiii0000 iiiiiiiiiiiiiiii	imm → 符号拡張 → Rn	1	—			○
MOVI20S #imm20, Rn	0000nnnniiii0001 iiiiiiiiiiiiiiii	imm << 8 → 符号拡張 → Rn	1	—			○
MOVML.L Rm, @-R15	0100mmmm11110001	R15 - 4 → R15, Rm → (R15) R15 - 4 → R15, Rm - 1 → (R15) : R15 - 4 → R15, R0 → (R15) ※Rm = R15のとき、RmをPRに 読み替え	1-16	—			○
MOVML.L @R15+, Rn	0100nnnn11110101	(R15) → R0, R15 + 4 → R15 (R15) → R1, R15 + 4 → R15 : (R15) → Rn ※Rn = R15のとき、RmをPRに 読み替え	1-16	—			○
MOVML.L Rm, @-R15	0100mmmm11110000	R15 - 4 → R15, PR → (R15) R15 - 4 → R15, R14 → (R15) : R15 - 4 → R15, Rm → (R15) ※Rm = R15のとき、RmをPRに 読み替え	1-16	—			○

表 2.22 データ転送命令 (3)

命令	命令コード	動作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
MOVML @R15+, Rn	0100nnnn11110100	(R15) → Rn, R15 + 4 → R15 (R15) → Rn + 1, R15 + 4 → R15 : (R15) → R14, R15 + 4 → R15 (R15) → PR ※Rn = R15のとき、RmをPRに読み替え	1-16	—			○
MOVRT Rn	0000nnnn00111001	~T → Rn	1	—			○
MOVT Rn	0000nnnn00101001	T → Rn	1	—	○	○	
MOVU.B @(disp12, Rm), Rn	0011nnnnmmmm0001 1000dddddddddddd	(disp + Rm) → ゼロ拡張 → Rn	1	—			○
MOVU.W @(disp12, Rm), Rn	0011nnnnmmmm0001 1001dddddddddddd	(disp × 2 + Rm) → ゼロ拡張 → Rn	1	—			○
NOTT	000000001101000	~T → T	1	演算 結果			○
PREF @Rn	0000nnnn10000011	(Rn) → オペランドキャッシュ	1	—		○	
SWAP.B Rm, Rn	0110nnnnmmmm1000	Rm → 下位2バイトの上下バイト 交換 → Rn	1	—	○	○	
SWAP.W Rm, Rn	0110nnnnmmmm1001	Rm → 上下ワード交換 → Rn	1	—	○	○	
XTRCT Rm, Rn	0010nnnnmmmm1101	Rm : Rnの中央32ビット → Rn	1	—	○	○	

2.5.3 算術演算命令

表 2.23 ~ 表 2.25 に算術演算命令を示します。

表 2.23 算術演算命令 (1)

命令	命令コード	動作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
ADD Rm, Rn	0011nnnnmmmm1100	$Rn + Rm \rightarrow Rn$	1	—	○	○	
ADD #imm, Rn	0111nnnniiiiiii	$Rn + imm \rightarrow Rn$	1	—	○	○	
ADDC Rm, Rn	0011nnnnmmmm1110	$Rn + Rm + T \rightarrow Rn$, キャリ $\rightarrow T$	1	キャリ	○	○	
ADDV Rm, Rn	0011nnnnmmmm1111	$Rn + Rm \rightarrow Rn$, オーバフロー $\rightarrow T$	1	オーバ フロー	○	○	
CMP/EQ #imm, R0	10001000iiiiiii	$R0 = imm$ のとき “1” $\rightarrow T$ それ以外のとき “0” $\rightarrow T$	1	比較 結果	○	○	
CMP/EQ Rm, Rn	0011nnnnmmmm0000	$Rn = Rm$ のとき “1” $\rightarrow T$ それ以外のとき “0” $\rightarrow T$	1	比較 結果	○	○	
CMP/HS Rm, Rn	0011nnnnmmmm0010	無符号で $Rn \geq Rm$ のとき “1” $\rightarrow T$ それ以外のとき “0” $\rightarrow T$	1	比較 結果	○	○	
CMP/GE Rm, Rn	0011nnnnmmmm0011	有符号で $Rn \geq Rm$ のとき “1” $\rightarrow T$ それ以外のとき “0” $\rightarrow T$	1	比較 結果	○	○	
CMP/HI Rm, Rn	0011nnnnmmmm0110	無符号で $Rn > Rm$ のとき “1” $\rightarrow T$ それ以外のとき “0” $\rightarrow T$	1	比較 結果	○	○	
CMP/GT Rm, Rn	0011nnnnmmmm0111	有符号で $Rn > Rm$ のとき “1” $\rightarrow T$ それ以外のとき “0” $\rightarrow T$	1	比較 結果	○	○	
CMP/PL Rn	0100nnnn00010101	$Rn > "0"$ のとき “1” $\rightarrow T$ それ以外のとき “0” $\rightarrow T$	1	比較 結果	○	○	
CMP/PZ Rn	0100nnnn00010001	$Rn \geq "0"$ のとき “1” $\rightarrow T$ それ以外のとき “0” $\rightarrow T$	1	比較 結果	○	○	
CMP/STR Rm, Rn	0010nnnnmmmm1100	いずれかのバイトが 等しいとき “1” $\rightarrow T$ それ以外のとき “0” $\rightarrow T$	1	比較 結果	○	○	
CLIPS.B Rn	0100nnnn10010001	$Rn > (H'0000\ 007F)$ のとき、 (H'0000 007F) $\rightarrow Rn$, “1” $\rightarrow CS$ $Rn < (H'FFFF\ FF80)$ のとき、 (H'FFFF FF80) $\rightarrow Rn$, “1” $\rightarrow CS$	1	—			○

表 2.24 算術演算命令 (2)

命令	命令コード	動作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
CLIPS.W Rn	0100nnnn10010101	Rn > (H'0000 7FFF) のとき、 (H'0000 7FFF) → Rn, "1" → CS Rn < (H'FFFF 8000) のとき、 (H'FFFF 8000) → Rn, "1" → CS	1	—			○
CLIPU.B Rn	0100nnnn10000001	Rn > (H'0000 00FF) のとき、 (H'0000 00FF) → Rn, "1" → CS	1	—			○
CLIPU.W Rn	0100nnnn10000101	Rn > (H'0000 FFFF) のとき、 (H'0000 FFFF) → Rn, "1" → CS	1	—			○
DIV1 Rm, Rn	0011nnnnmmmm0100	1ステップ除算 (Rn ÷ Rm)	1	計算 結果	○	○	
DIV0S Rm, Rn	0010nnnnmmmm0111	RnのMSB → Q, RmのMSB → M, M ^ Q → T	1	計算 結果	○	○	
DIV0U	0000000000011001	"0" → M/Q/T	1	0	○	○	
DIVS R0, Rn	0100nnnn10010100	符号付きで Rn ÷ R0 → Rn 32 ÷ 32 → 32ビット	36	—			○
DIVU R0, Rn	0100nnnn10000100	符号なしで Rn ÷ R0 → Rn 32 ÷ 32 → 32ビット	34	—			○
DMULS.L Rm, Rn	0011nnnnmmmm1101	符号付きで Rn × Rm → MACH, MACL 32 × 32 → 64ビット	2	—	○	○	
DMULU.L Rm, Rn	0011nnnnmmmm0101	符号なしで Rn × Rm → MACH, MACL 32 × 32 → 64ビット	2	—	○	○	
DT Rn	0100nnnn00010000	Rn - 1 → Rn, Rnが"0"のとき "1" → T Rnが"0"以外のとき "0" → T	1	比較 結果	○	○	
EXTS.B Rm, Rn	0110nnnnmmmm1110	Rmをバイトから符号拡張 → Rn	1	—	○	○	
EXTS.W Rm, Rn	0110nnnnmmmm1111	Rmをワードから符号拡張 → Rn	1	—	○	○	
EXTU.B Rm, Rn	0110nnnnmmmm1100	Rmをバイトからゼロ拡張 → Rn	1	—	○	○	
EXTU.W Rm, Rn	0110nnnnmmmm1101	Rmをワードからゼロ拡張 → Rn	1	—	○	○	
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC → MAC 32 × 32 + 64 → 64ビット	4	—	○	○	

表 2.25 算術演算命令 (3)

命令	命令コード	動作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
MAC.W @Rm+, @Rn+	0100nnnnmmmm1111	符号付きで(Rn) × (Rm) + MAC → MAC 16 × 16 + 64 → 64ビット	3	—	○	○	
MUL.L Rm, Rn	0000nnnnmmmm0111	Rn × Rm → MACL 32 × 32 → 32ビット	2	—	○	○	
MULR R0, Rn	0100nnnn10000000	R0 × Rn → Rn 32 × 32 → 32ビット	2	—			○
MULS.W Rm, Rn	0010nnnnmmmm1111	符号付きでRn × Rm → MACL 16 × 16 → 32ビット	1	—	○	○	
MULU.W Rm, Rn	0010nnnnmmmm1110	符号なしでRn × Rm → MACL 16 × 16 → 32ビット	1	—	○	○	
NEG Rm, Rn	0110nnnnmmmm1011	0 - Rm → Rn	1	—	○	○	
NEGC Rm, Rn	0110nnnnmmmm1010	0 - Rm - T → Rn, ポロー → T	1	ポロー	○	○	
SUB Rm, Rn	0011nnnnmmmm1000	Rn - Rm → Rn	1	—	○	○	
SUBC Rm, Rn	0011nnnnmmmm1010	Rn - Rm - T → Rn, ポロー → T	1	ポロー	○	○	
SUBV Rm, Rn	0011nnnnmmmm1011	Rn - Rm → Rn, アンダフロー → T	1	アンダ フロー	○	○	

2.5.4 論理演算命令

表 2.26 に論理演算命令を示します。

表 2.26 論理演算命令

命令	命令コード	動作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
AND Rm, Rn	0010nnnnmmmm1001	$Rn \& Rm \rightarrow Rn$	1	—	○	○	
AND #imm, R0	11001001iiiiiii	$R0 \& imm \rightarrow R0$	1	—	○	○	
AND.B #imm, @(R0, GBR)	11001101iiiiiii	$(R0 + GBR) \& imm \rightarrow (R0 + GBR)$	3	—	○	○	
NOT Rm, Rn	0110nnnnmmmm0111	$\sim Rm \rightarrow Rn$	1	—	○	○	
OR Rm, Rn	0010nnnnmmmm1011	$Rn Rm \rightarrow Rn$	1	—	○	○	
OR #imm, R0	11001011iiiiiii	$R0 imm \rightarrow R0$	1	—	○	○	
OR.B #imm, @(R0, GBR)	11001111iiiiiii	$(R0 + GBR) imm \rightarrow (R0 + GBR)$	3	—	○	○	
TAS.B @Rn	0100nnnn00011011	(Rn)が“0”のとき“1”→T それ以外のとき“0”→T, “1”→MSB of (Rn)	3	テスト 結果	○	○	
TST Rm, Rn	0010nnnnmmmm1000	$Rn \& Rm$, 結果が“0”のとき “1”→T, その他“0”→T	1	テスト 結果	○	○	
TST #imm, R0	11001000iiiiiii	$R0 \& imm$, 結果が“0”のとき “1”→T, その他“0”→T	1	テスト 結果	○	○	
TST.B #imm, @(R0, GBR)	11001100iiiiiii	$(R0 + GBR) \& imm$, 結果が“0”のとき“1”→T その他“0”→T	3	テスト 結果	○	○	
XOR Rm, Rn	0010nnnnmmmm1010	$Rn \wedge Rm \rightarrow Rn$	1	—	○	○	
XOR #imm, R0	11001010iiiiiii	$R0 \wedge imm \rightarrow R0$	1	—	○	○	
XOR.B #imm, @(R0, GBR)	11001110iiiiiii	$(R0 + GBR) \wedge imm \rightarrow (R0 + GBR)$	3	—	○	○	

2.5.5 シフト命令

表 2.27 にシフト命令を示します。

表2.27 シフト命令

命令	命令コード	動作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
ROTL Rn	0100nnnn00000100	$T \leftarrow Rn \leftarrow \text{MSB}$	1	MSB	○	○	
ROTR Rn	0100nnnn00000101	$\text{LSB} \rightarrow Rn \rightarrow T$	1	LSB	○	○	
ROTCL Rn	0100nnnn00100100	$T \leftarrow Rn \leftarrow T$	1	MSB	○	○	
ROTCR Rn	0100nnnn00100101	$T \rightarrow Rn \rightarrow T$	1	LSB	○	○	
SHAD Rm, Rn	0100nnnnmmmm1100	$Rm \geq "0"$ のとき $Rn \ll Rm \rightarrow Rn$ $Rm < "0"$ のとき $Rn \gg Rm \rightarrow [\text{MSB} \rightarrow Rn]$	1	—		○	
SHAL Rn	0100nnnn00100000	$T \leftarrow Rn \leftarrow "0"$	1	MSB	○	○	
SHAR Rn	0100nnnn00100001	$\text{MSB} \rightarrow Rn \rightarrow T$	1	LSB	○	○	
SHLD Rm, Rn	0100nnnnmmmm1101	$Rm \geq "0"$ のとき $Rn \ll Rm \rightarrow Rn$ $Rm < "0"$ のとき $Rn \gg Rm \rightarrow ["0" \rightarrow Rn]$	1	—		○	
SHLL Rn	0100nnnn00000000	$T \leftarrow Rn \leftarrow "0"$	1	MSB	○	○	
SHLR Rn	0100nnnn00000001	$"0" \rightarrow Rn \rightarrow T$	1	LSB	○	○	
SHLL2 Rn	0100nnnn00001000	$Rn \ll 2 \rightarrow Rn$	1	—	○	○	
SHLR2 Rn	0100nnnn00001001	$Rn \gg 2 \rightarrow Rn$	1	—	○	○	
SHLL8 Rn	0100nnnn00011000	$Rn \ll 8 \rightarrow Rn$	1	—	○	○	
SHLR8 Rn	0100nnnn00011001	$Rn \gg 8 \rightarrow Rn$	1	—	○	○	
SHLL16 Rn	0100nnnn00101000	$Rn \ll 16 \rightarrow Rn$	1	—	○	○	
SHLR16 Rn	0100nnnn00101001	$Rn \gg 16 \rightarrow Rn$	1	—	○	○	

2.5.6 分岐命令

表 2.28 に分岐命令を示します。

表 2.28 分岐命令

命令	命令コード	動作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
BF label	10001011 d d d d d d d d	T = "0" のとき disp × 2 + PC → PC T = "1" のとき nop	3/1 (注 1)	—	○	○	
BF/S label	10001111 d d d d d d d d	遅延分岐、T = "0" のとき disp × 2 + PC → PC T = "1" のとき nop	2/1 (注 1)	—	○	○	
BT label	10001001 d d d d d d d d	T = "1" のとき disp × 2 + PC → PC T = "0" のとき nop	3/1 (注 1)	—	○	○	
BT/S label	10001101 d d d d d d d d	遅延分岐、T = "1" のとき disp × 2 + PC → PC T = "0" のとき nop	2/1 (注 1)	—	○	○	
BRA label	1010 d d d d d d d d d d	遅延分岐、disp × 2 + PC → PC	2	—	○	○	
BRAF Rm	0000 m m m m 00100011	遅延分岐、Rm + PC → PC	2	—	○	○	
BSR label	1011 d d d d d d d d d d	遅延分岐、PC → PR, disp × 2 + PC → PC	2	—	○	○	
BSRF Rm	0000 m m m m 00000011	遅延分岐、PC → PR, Rm + PC → PC	2	—	○	○	
JMP @Rm	0100 m m m m 00101011	遅延分岐、Rm → PC	2	—	○	○	
JSR @Rm	0100 m m m m 00001011	遅延分岐、PC → PR, Rm → PC	2	—	○	○	
JSR/N @Rm	0100 m m m m 01001011	PC - 2 → PR, Rm → PC	3	—			○
JSR/N @@(disp8, TBR)	10000011 d d d d d d d d	PC - 2 → PR, (disp × 4 + TBR) → PC	5	—			○
RTS	0000000000001011	遅延分岐、PR → PC	2	—	○	○	
RTS/N	0000000001101011	PR → PC	3	—			○
RTV/N Rm	0000 m m m m 01111011	Rm → R0, PR → PC	3	—			○

注1. 分岐しないときは1ステートになります。

2.5.7 システム制御命令

表 2.29～表 2.30 にシステム制御命令を示します。

表 2.29 システム制御命令(1)

命令	命令コード	動作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
CLRT	0000000000001000	"0" → T	1	0	○	○	
CLRMACH	0000000000101000	"0" → MACH, MACL	1	—	○	○	
LDBANK @Rm, R0	0100mmmm11100101	(指定レジスタバンクエントリ) → R0	6	—			○
LDC Rm, SR	0100mmmm00001110	Rm → SR	3	LSB	○	○	
LDC Rm, TBR	0100mmmm01001010	Rm → TBR	1	—			○
LDC Rm, GBR	0100mmmm00011110	Rm → GBR	1	—	○	○	
LDC Rm, VBR	0100mmmm00101110	Rm → VBR	1	—	○	○	
LDC.L @Rm+, SR	0100mmmm00000111	(Rm) → SR, Rm + 4 → Rm	5	LSB	○	○	
LDC.L @Rm+, GBR	0100mmmm00010111	(Rm) → GBR, Rm + 4 → Rm	1	—	○	○	
LDC.L @Rm+, VBR	0100mmmm00100111	(Rm) → VBR, Rm + 4 → Rm	1	—	○	○	
LDS Rm, MACH	0100mmmm00001010	Rm → MACH	1	—	○	○	
LDS Rm, MACL	0100mmmm00011010	Rm → MACL	1	—	○	○	
LDS Rm, PR	0100mmmm00101010	Rm → PR	1	—	○	○	
LDS.L @Rm+, MACH	0100mmmm00000110	(Rm) → MACH, Rm + 4 → Rm	1	—	○	○	
LDS.L @Rm+, MACL	0100mmmm00010110	(Rm) → MACL, Rm + 4 → Rm	1	—	○	○	
LDS.L @Rm+, PR	0100mmmm00100110	(Rm) → PR, Rm + 4 → Rm	1	—	○	○	
NOP	0000000000001001	無操作	1	—	○	○	
RESBANK	0000000001011011	バンク → R0 ~ R14, GBR, MACH, MACL, PR	9 (注 1)	—			○
RTE	0000000000101011	遅延分岐、スタック領域 → PC/SR	6	—	○	○	
SETT	0000000000011000	"1" → T	1	1	○	○	
SLEEP	0000000000011011	スリープ	5	—	○	○	
STBANK R0, @Rn	0100nnnn11100001	R0 → (指定レジスタバンクエントリ)	7	—			○
STC SR, Rn	0000nnnn00000010	SR → Rn	2	—	○	○	
STC TBR, Rn	0000nnnn01001010	TBR → Rn	1	—			○
STC GBR, Rn	0000nnnn00010010	GBR → Rn	1	—	○	○	
STC VBR, Rn	0000nnnn00100010	VBR → Rn	1	—	○	○	
STC.L SR, @-Rn	0100nnnn00000011	Rn - 4 → Rn, SR → (Rn)	2	—	○	○	
STC.L GBR, @-Rn	0100nnnn00010011	Rn - 4 → Rn, GBR → (Rn)	1	—	○	○	
STC.L VBR, @-Rn	0100nnnn00100011	Rn - 4 → Rn, VBR → (Rn)	1	—	○	○	
STS MACH, Rn	0000nnnn00001010	MACH → Rn	1	—	○	○	
STS MACL, Rn	0000nnnn00011010	MACL → Rn	1	—	○	○	
STS PR, Rn	0000nnnn00101010	PR → Rn	1	—	○	○	

注 1. 命令の実行ステートについて、

表に示した実行ステートは最小値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令(メモリ → レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合
などの条件により、命令実行ステート数は増加します。

*バンクのオーバフロー時は、ステート数が19です。

表 2.30 システム制御命令 (2)

命令	命令コード	動作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
STS.L MACH, @-Rn	0100nnnn00000010	Rn - 4 → Rn, MACH → (Rn)	1	—	○	○	
STS.L MACL, @-Rn	0100nnnn00010010	Rn - 4 → Rn, MACL → (Rn)	1	—	○	○	
STS.L PR, @-Rn	0100nnnn00100010	Rn - 4 → Rn, PR → (Rn)	1	—	○	○	
TRAPA #imm	11000011iiiiiiii	PC/SR → スタック領域、 (imm × 4 + VBR) → PC	5	—	○	○	

2.5.8 浮動小数点命令

表 2.31 ~ 表 2.32 に浮動小数点命令を示します。

表 2.31 浮動小数点命令 (1)

命令	命令コード	動作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
FABS FRn	1111nnnn01011101	FRn → FRn	1	—	○	○	
FABS DRn	1111nnn001011101	DRn → DRn	1	—		○	
FADD FRm, FRn	1111nnnnmmmm0000	FRn + FRm → FRn	1	—	○	○	
FADD DRm, DRn	1111nnn0mmmm00000	DRn + DRm → DRn	6	—		○	
FCMP/EQ FRm, FRn	1111nnnnmmmm0100	(FRn = FRm) ? "1" : "0" → T	1	比較 結果	○	○	
FCMP/EQ DRm, DRn	1111nnn0mmmm00100	(DRn = DRm) ? "1" : "0" → T	2	比較 結果		○	
FCMP/GT FRm, FRn	1111nnnnmmmm0101	(FRn > FRm) ? "1" : "0" → T	1	比較 結果	○	○	
FCMP/GT DRm, DRn	1111nnn0mmmm00101	(DRn > DRm) ? "1" : "0" → T	2	比較 結果		○	
FCNVDS DRm, FPUL	1111mmm010111101	(float) DRm → FPUL	2	—		○	
FCNVSD FPUL, DRn	1111nnn010101101	(double) FPUL → DRn	2	—		○	
FDIV FRm, FRn	1111nnnnmmmm0011	FRn/FRm → FRn	10	—	○	○	
FDIV DRm, DRn	1111nnn0mmmm00011	DRn/DRm → DRn	23	—		○	
FLDI0 FRn	1111nnnn10001101	0 × 00000000 → FRn	1	—	○	○	
FLDI1 FRn	1111nnnn10011101	0 × 3F800000 → FRn	1	—	○	○	
FLDS FRm, FPUL	1111mmmm00011101	FRm → FPUL	1	—	○	○	
FLOAT FPUL, FRn	1111nnnn00101101	(float) FPUL → FRn	1	—	○	○	
FLOAT FPUL, DRn	1111nnn000101101	(double) FPUL → DRn	2	—		○	
FMAC FR0, FRm, FRn	1111nnnnmmmm1110	FR0 × FRm + FRn → FRn	1	—	○	○	
FMOV FRm, FRn	1111nnnnmmmm1100	FRm → FRn	1	—	○	○	
FMOV DRm, DRn	1111nnn0mmmm01100	DRm → DRn	2	—		○	
FMOV.S @(R0, Rm), FRn	1111nnnnmmmm0110	(R0 + Rm) → FRn	1	—	○	○	
FMOV.D @(R0, Rm), DRn	1111nnn0mmmm0110	(R0 + Rm) → DRn	2	—		○	
FMOV.S @Rm+, FRn	1111nnnnmmmm1001	(Rm) → FRn, Rm+ = 4	1	—	○	○	
FMOV.D @Rm+, DRn	1111nnn0mmmm1001	(Rm) → DRn, Rm+ = 8	2	—		○	
FMOV.S @Rm, FRn	1111nnnnmmmm1000	(Rm) → FRn	1	—	○	○	
FMOV.D @Rm, DRn	1111nnn0mmmm1000	(Rm) → DRn	2	—		○	
FMOV.S @(disp12, Rm), FRn	0011nnnnmmmm0001 0111dddddddddddd	(disp × 4 + Rm) → FRn	1	—			○
FMOV.D @(disp12, Rm), DRn	0011nnn0mmmm0001 0111dddddddddddd	(disp × 8 + Rm) → DRn	2	—			○

表 2.32 浮動小数点命令 (2)

命令	命令コード	動作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
FMOV.S FRm, @(R0, Rn)	1111nnnnmmmm0111	FRm → (R0 + Rn)	1	—	○	○	
FMOV.D DRm, @(R0, Rn)	1111nnnnmmmm00111	DRm → (R0 + Rn)	2	—		○	
FMOV.S FRm, @-Rn	1111nnnnmmmm1011	Rn = 4, FRm → (Rn)	1	—	○	○	
FMOV.D DRm, @-Rn	1111nnnnmmmm01011	Rn = 8, DRm → (Rn)	2	—		○	
FMOV.S FRm, @Rn	1111nnnnmmmm1010	FRm → (Rn)	1	—	○	○	
FMOV.D DRm, @Rn	1111nnnnmmmm01010	DRm → (Rn)	2	—		○	
FMOV.S FRm, @(disp12, Rn)	0011nnnnmmmm0001 0011ddddddddddd	FRm → (disp × 4 + Rn)	1	—			○
FMOV.D DRm, @(disp12, Rn)	0011nnnnmmmm00001 0011ddddddddddd	DRm → (disp × 8 + Rn)	2	—			○
FMUL FRm, FRn	1111nnnnmmmm0010	FRn × FRm → FRn	1	—	○	○	
FMUL DRm, DRn	1111nnn0mmmm00010	DRn × DRm → DRn	6	—		○	
FNEG FRn	1111nnnn01001101	-FRn → FRn	1	—	○	○	
FNEG DRn	1111nnn001001101	-DRn → DRn	1	—		○	
FSCHG	1111001111111101	FPSCR.SZ = ~ FPSCR.SZ	1	—		○	
FSQRT FRn	1111nnnn01101101	$\sqrt{\text{FRn}} \rightarrow \text{FRn}$	9	—		○	
FSQRT DRn	1111nnn001101101	$\sqrt{\text{DRn}} \rightarrow \text{DRn}$	22	—		○	
FSTS FPUL, FRn	1111nnnn00001101	FPUL → FRn	1	—	○	○	
FSUB FRm, FRn	1111nnnnmmmm0001	FRn - FRm → FRn	1	—	○	○	
FSUB DRm, DRn	1111nnn0mmmm00001	DRn - DRm → DRn	6	—		○	
FTRC FRm, FPUL	1111mmmm00111101	(long) FRm → FPUL	1	—	○	○	
FTRC DRm, FPUL	1111mmm000111101	(long) DRm → FPUL	2	—		○	

2.5.9 FPUに関するCPU命令

表 2.33 に FPU に関する CPU 命令を示します。

表 2.33 FPUに関するCPU命令

命令	命令コード	動作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
LDS Rm,FPSCR	0100mmmm01101010	Rm → FPSCR	1	—	○	○	
LDS Rm,FPUL	0100mmmm01011010	Rm → FPUL	1	—	○	○	
LDS.L @Rm+,FPSCR	0100mmmm01100110	(Rm) → FPSCR, Rm+ = 4	1	—	○	○	
LDS.L @Rm+,FPUL	0100mmmm01010110	(Rm) → FPUL, Rm+ = 4	1	—	○	○	
STS FPSCR,Rn	0000nnnn01101010	FPSCR → Rn	1	—	○	○	
STS FPUL,Rn	0000nnnn01011010	FPUL → Rn	1	—	○	○	
STS.L FPSCR,@-Rn	0100nnnn01100010	Rn- = 4, FPSCR → (Rn)	1	—	○	○	
STS.L FPUL,@-Rn	0100nnnn01010010	Rn- = 4, FPUL → (Rn)	1	—	○	○	

2.5.10 ビット操作命令

表 2.34 にビット操作命令を示します。

表 2.34 ビット操作命令

命令	命令コード	動作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
BAND.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0100ddddddddddd	(imm of (disp + Rn)) & T → T	3	演算 結果			○
BANDNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1100ddddddddddd	~(imm of (disp + Rn)) & T → T	3	演算 結果			○
BCLR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0000ddddddddddd	"0" → (imm of (disp + Rn))	3	—			○
BCLR #imm3,Rn	10000110nnnn0iii	"0" → imm of Rn	1	—			○
BLD.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0011ddddddddddd	(imm of (disp + Rn)) → T	3	演算 結果			○
BLD #imm3,Rn	10000111nnnn1iii	imm of Rn → T	1	演算 結果			○
BLDNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1011ddddddddddd	~(imm of (disp + Rn)) → T	3	演算 結果			○
BOR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0101ddddddddddd	(imm of (disp + Rn)) T → T	3	演算 結果			○
BORNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1101ddddddddddd	~(imm of (disp + Rn)) T → T	3	演算 結果			○
BSET.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0001ddddddddddd	"1" → (imm of (disp + Rn))	3	—			○
BSET #imm3,Rn	10000110nnnn1iii	"1" → imm of Rn	1	—			○
BST.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0010ddddddddddd	T → (imm of (disp + Rn))	3	—			○
BST #imm3,Rn	10000111nnnn0iii	T → imm of Rn	1	—			○
BXOR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0110ddddddddddd	(imm of (disp + Rn)) ^ T → T	3	演算 結果			○

2.6 処理状態

CPUの処理状態には、リセット状態、例外処理状態、プログラム実行状態、および低消費電力状態の4種類があります。状態間の遷移を図2.8に示します。

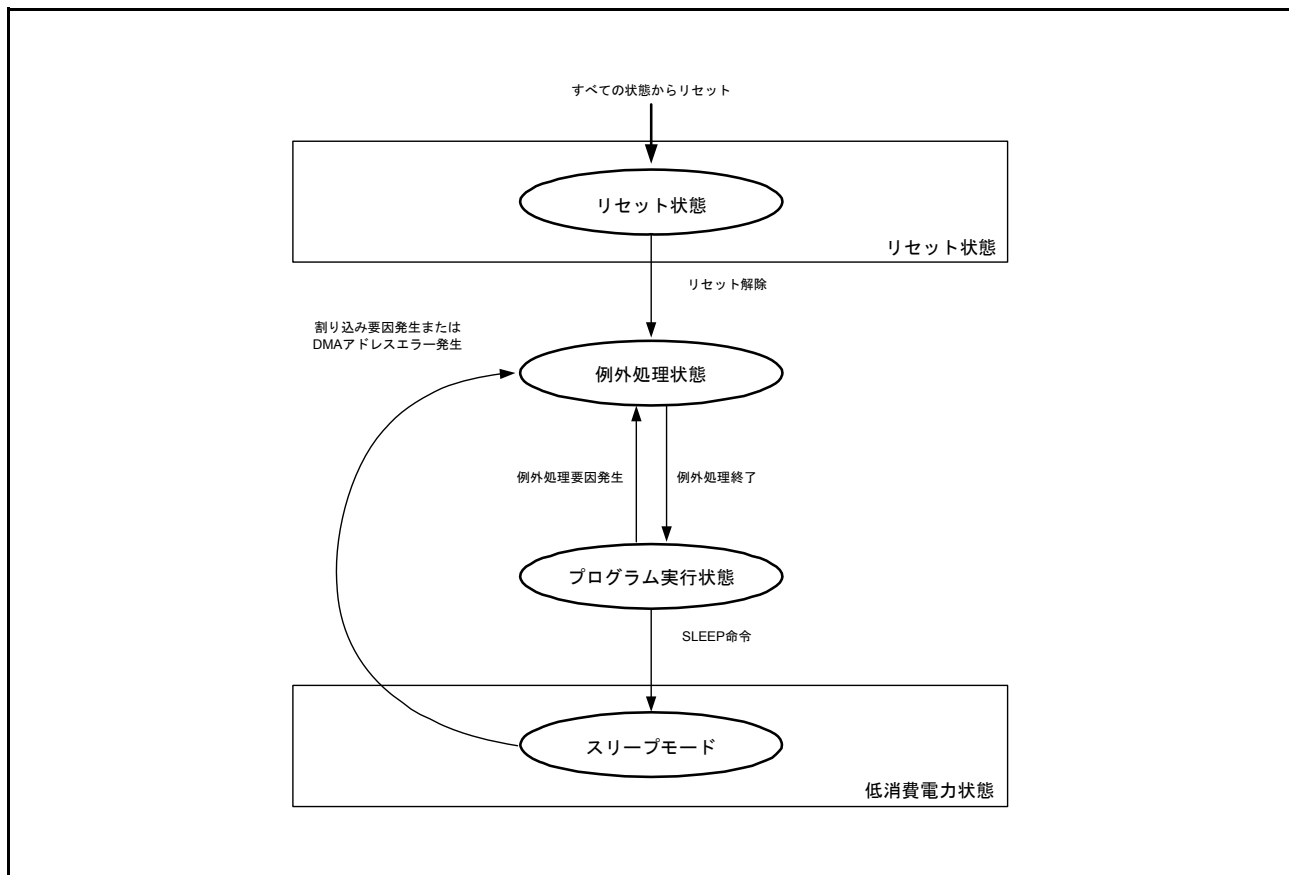


図 2.8 処理状態の状態遷移図

(1) リセット状態

CPUがリセットされている状態です。CPUは、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセット、およびパワーダウンモード復帰リセットによりリセット状態になります。

(2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPUが処理状態の流れを変えるとききの過渡的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ(PC)の初期値としての実行開始アドレスとスタックポインタ(SP)の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SPを参照して、PCとステータスレジスタ(SR)をスタック領域に退避します。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。その後、処理状態はプログラム実行状態となります。

(3) プログラム実行状態

CPUが順次プログラムを実行している状態です。

(4) 低消費電力状態

CPUの動作が停止し消費電力が低い状態です。スリープ命令でスリープモードになります。

3. アドレス空間

図 3.1 ~ 図 3.5 に本 LSI のアドレス空間を示します。各領域には次のように配置されます。

- H'0000 0000 ~ H'0007 FFFF : 内蔵 ROM (ユーザマットリード) [512K バイト]
(H'0000 0000 ~ H'0000 7FFF) (注 1)
- H'0040 2000 ~ H'0040 3FFF : FCU ファーム領域
- H'8010 0000 ~ H'8010 7FFF : EEPROM [32K バイト]
- H'8080 0000 ~ H'8087 FFFF : 内蔵 ROM (ユーザマットライト) [512K バイト]
(H'8080 0000 ~ H'8080 7FFF) (注 1)
- H'80FF 8000 ~ H'80FF 9FFF : FCU RAM 領域
- H'FF40 0000 ~ H'FF7F FFFF : 周辺機能レジスタ
- H'FFF8 0000 ~ H'FFF8 FFFF : 内蔵 RAM [64K バイト]
- H'FFFC 0000 ~ H'FFFF FFFF : 周辺機能レジスタ

注 1. 内蔵 ROM のユーザブートマットを選択した場合です。詳細については、「24. ROM」を参照してください。

予約領域にはアクセスしないでください。アクセスした場合は、動作の保証はできません。

内蔵 ROM には、同一アドレス空間に配置される読み出し用と書き込み/消去用の 2 種類のメモリ空間 (以下メモリマットと呼びます) があります。詳細については、「24. ROM」を参照してください。

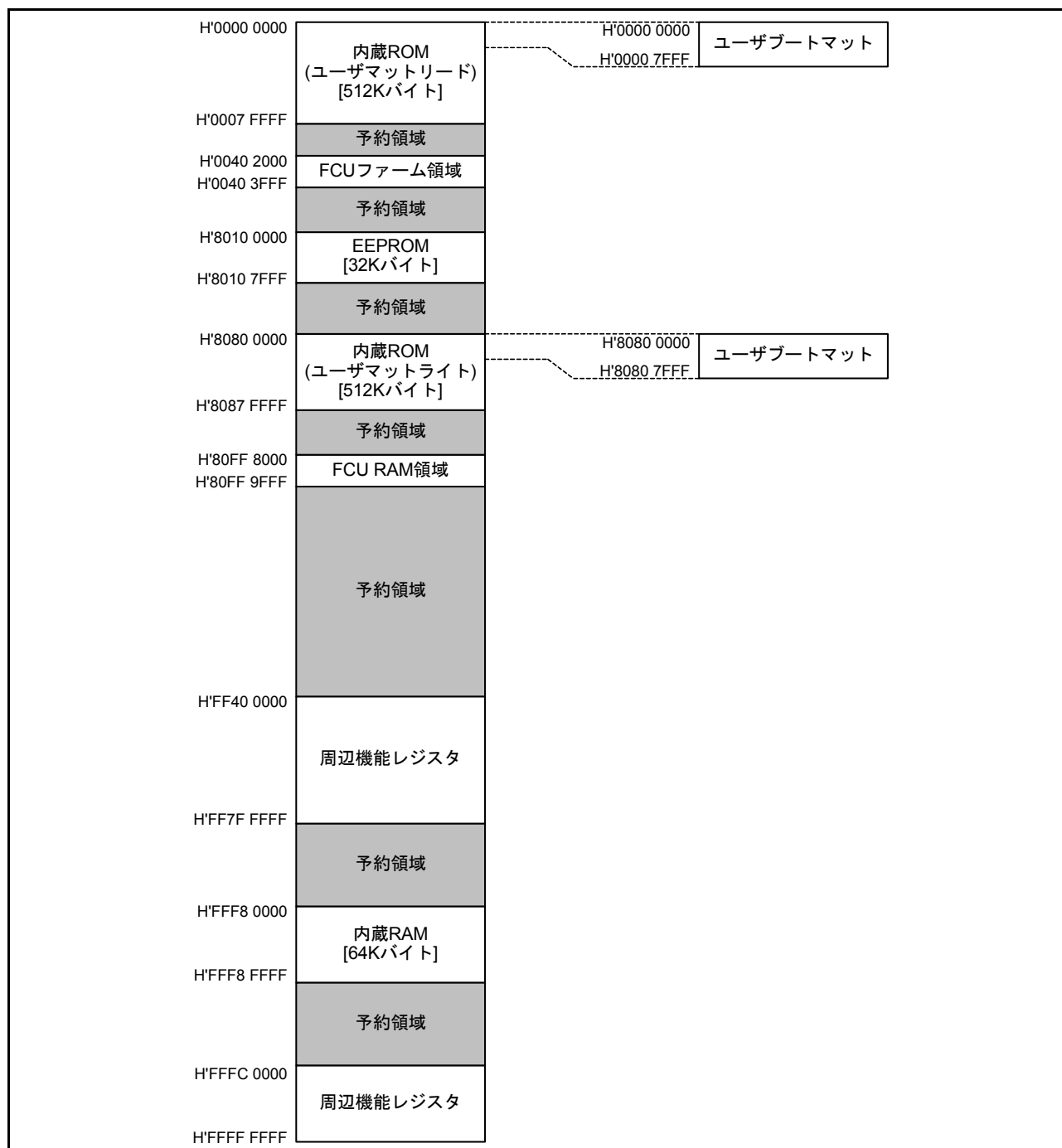


図 3.1 アドレス空間 (1) ROM : 512KB/EEPROM : 32KB/RAM : 64KB

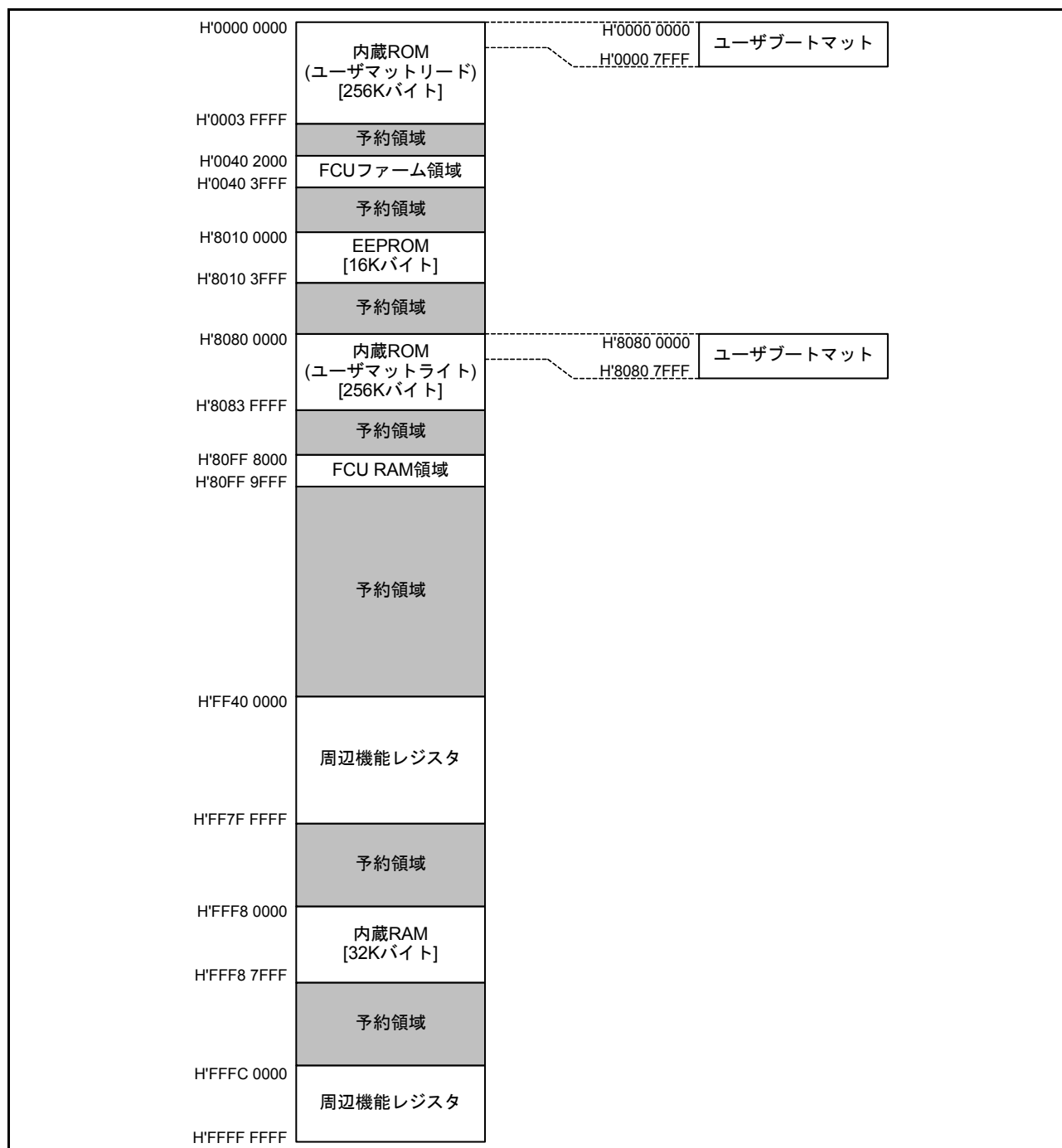


図 3.2 アドレス空間 (2) ROM : 256KB/EEPROM : 16KB/RAM : 32KB

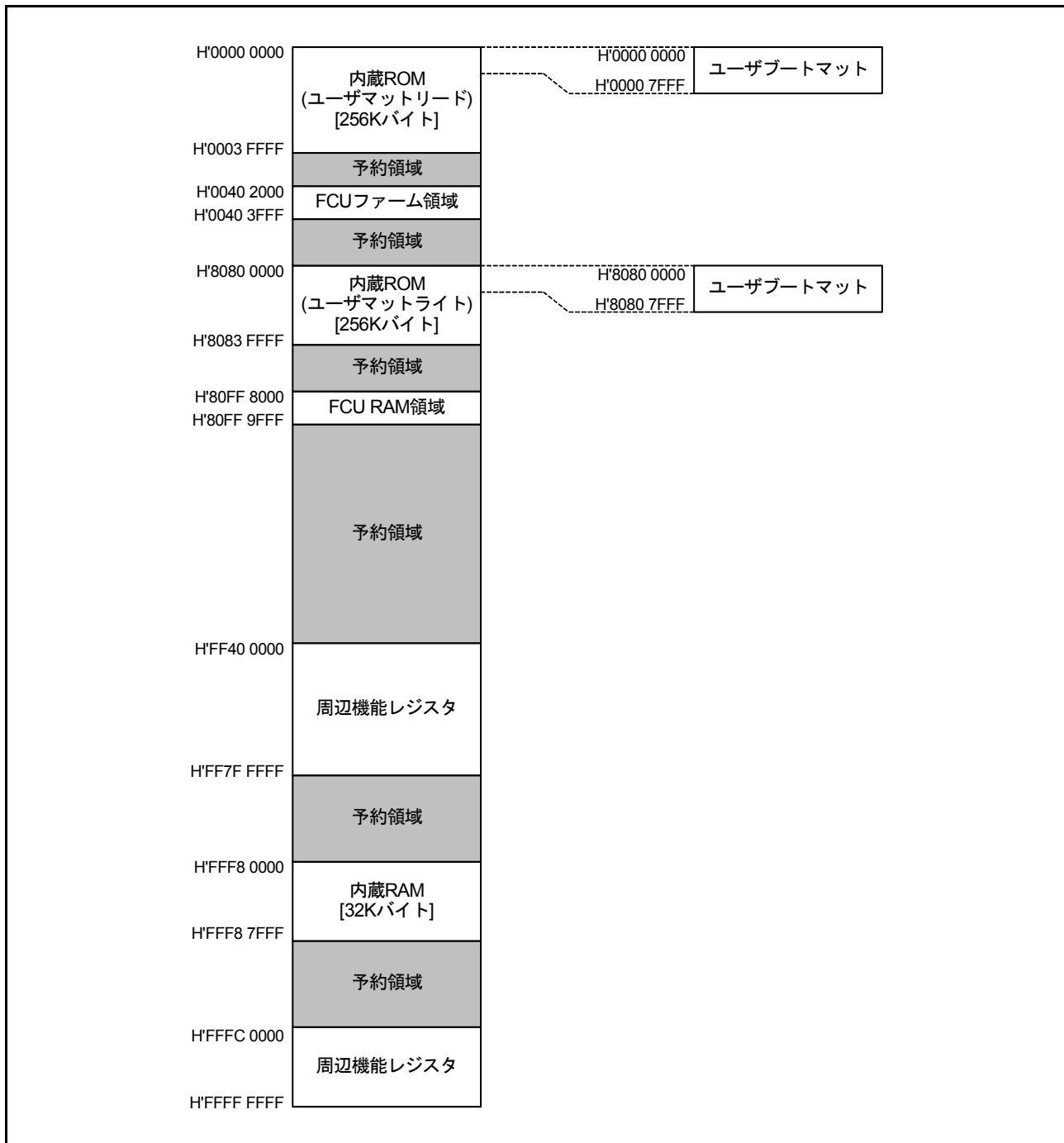


図 3.3 アドレス空間 (3) ROM : 256KB/RAM : 32KB

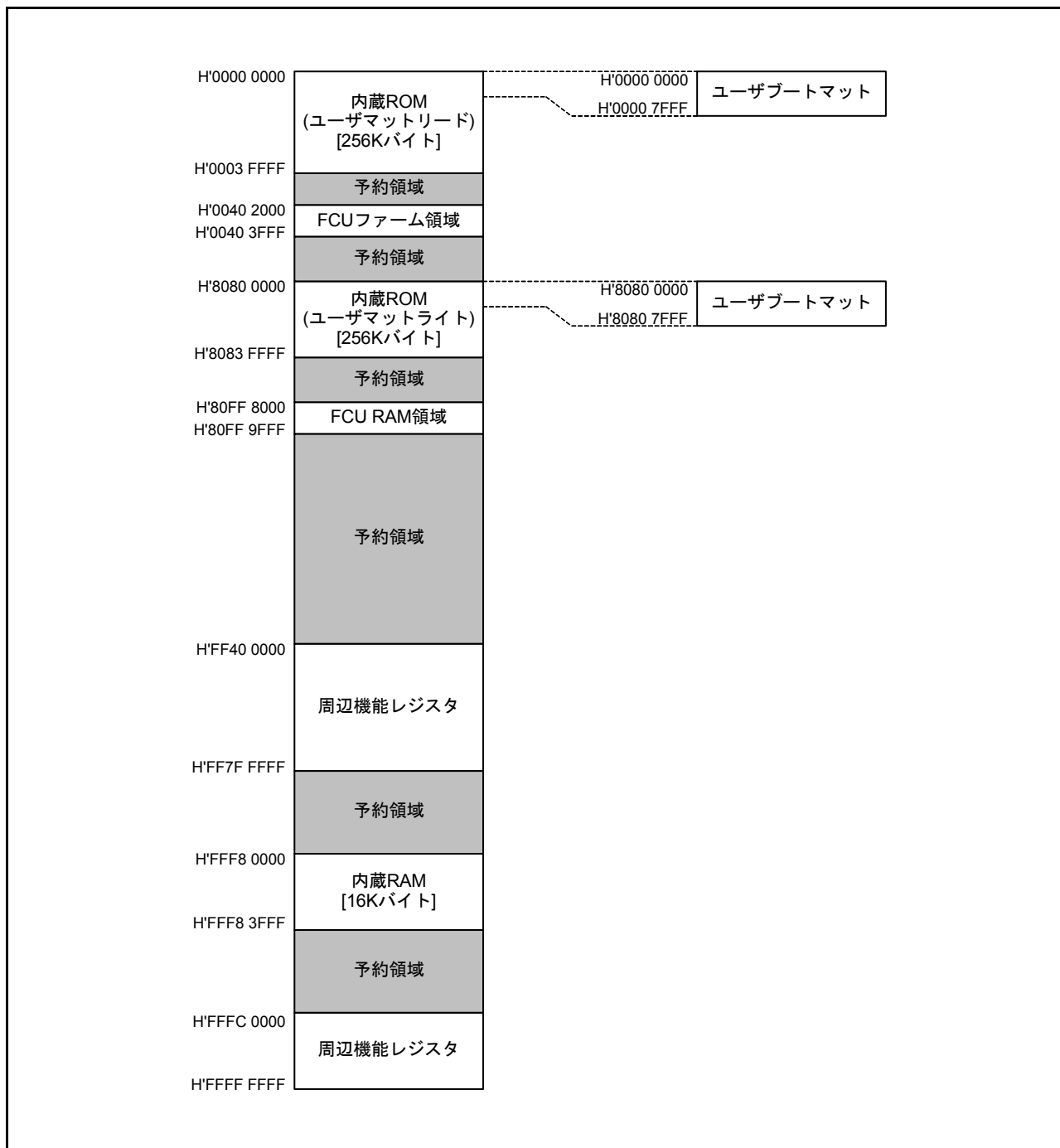


図 3.4 アドレス空間 (4) ROM : 256KB/RAM : 16KB

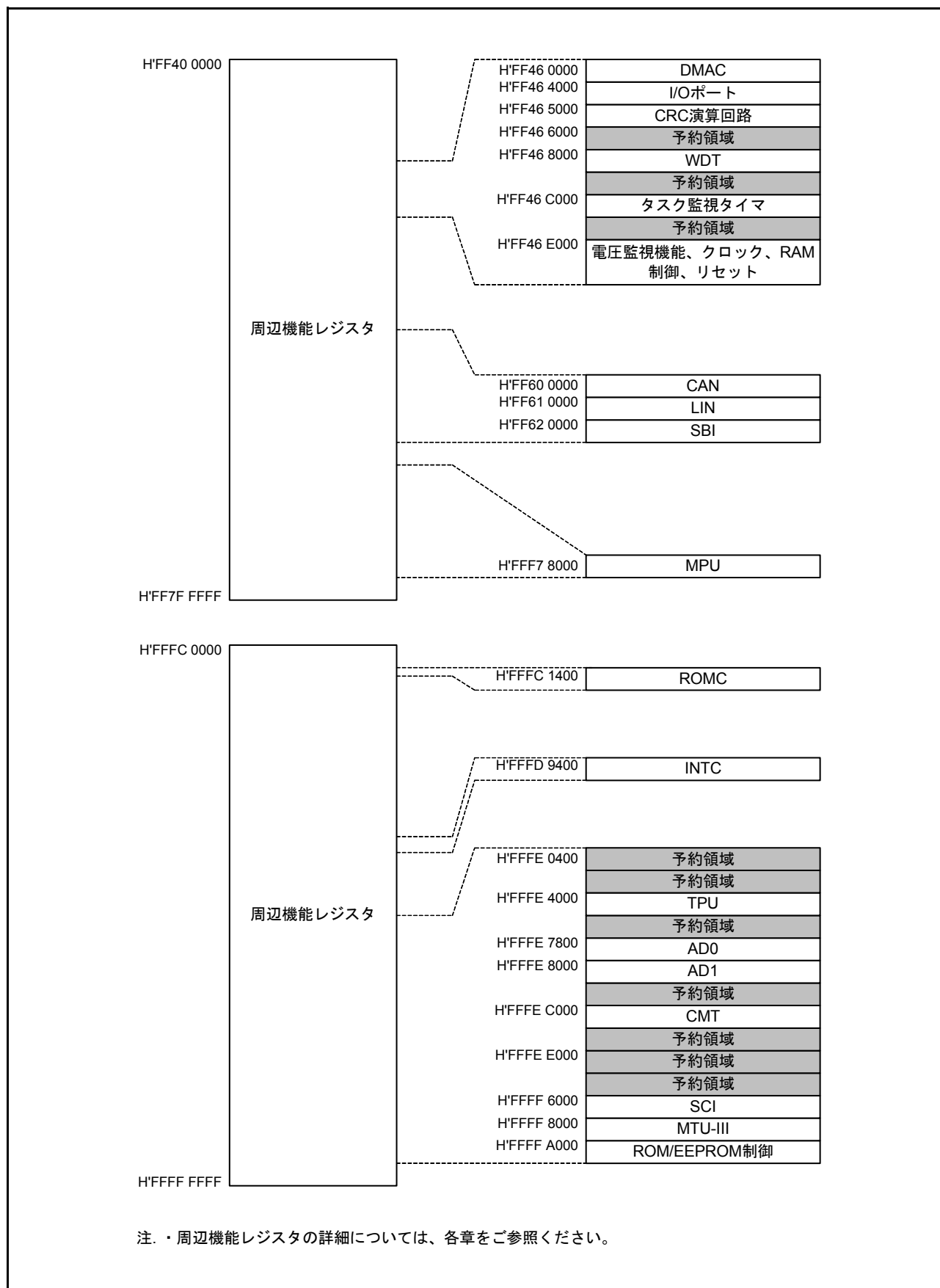


図 3.5 アドレス空間 (5)

4. 動作モード

4.1 動作モードの種類と選択

MCU 動作モードとしてシングルチップモード、ユーザブートモード、およびブートモードがあります。

(1) シングルチップモード

リセット後、ユーザプログラム領域上のリセットベクタで示される番地からプログラムが実行されます。プログラムは、通常このモードで動作させます。

(2) ユーザブートモード

リセット後、ユーザブート領域上のリセットベクタで示される番地からプログラムが実行され、ユーザのフラッシュ書き換えプログラムが動作します。詳細については、「24. ROM」を参照してください。

(3) ブートモード

リセット後、ブート領域上のリセットベクタで示される番地からプログラムが実行され、ルネサス製のフラッシュ書き換えプログラムが動作します。汎用フラッシュプログラムを用いて、ユーザ領域またはユーザブート領域の書き込みや消去ができます。汎用フラッシュプログラムと本 MCU 間のシリアル通信には、SCI のチャンネル 1 を使用します。詳細については、「24. ROM」を参照してください。

表 4.1 に動作モードの端子設定を示します。

表 4.1 動作モードの端子設定

モード名	端子設定(注1)		
	MD0	MD1	ASEMD(注2)
シングルチップモード	Low	Low	Low
ユーザブートモード	Low	High	Low
ブートモード	High	Low	Low

- 注1. 各端子は、基板上でプルアップ(抵抗を介してVCCに接続)、プルダウン(抵抗を介してVSSに接続)してください。組み合わせにない入力レベルの組み合わせは、設定しないでください。また、基板上でプルダウンが外れたときの安全対策として、これらのモード端子は、チップ内部でプルダウンしています。抵抗値については、「30. 電気的特性」を参照してください。
- 注2. ASEMD端子は、デバッグ機能用の専用端子です。シングルチップモードとユーザブートモードでは、ASEMD端子をHighレベルに設定することでエミュレータを接続できます。エミュレータを接続しないでASEMD端子をHighレベルに設定した場合の動作は保証されません。

5. クロック

5.1 概要

本 LSI には、メインクロック発振回路、PLL 周波数シンセサイザ、低速オンチップオシレータの 3 つのクロック発生回路を内蔵しています。3 つのクロック発生回路から表 5.2 に示すクロックが生成されます。その他の機能として、メインクロックの発振停止を検出するメインクロック監視機能、CLKOUT 端子からのクロック出力機能があります。

表 5.1 にクロック発生回路、表 5.2 にクロックの仕様を示します。図 5.1 にクロックのブロック図 (1)、図 5.2 にクロックのブロック図 (2) を示します。

表 5.1 クロック発生回路

クロック発生回路	説明
メインクロック発振回路	<ul style="list-style-type: none"> • f (XIN) : 8、10MHz • 付加回路 : XIN と XOUT 端子の間に水晶発振子を接続、 または XIN 端子から外部クロックを入力 • 発振制御 : 発振「開始/停止」切り替え • リセット後 : 発振
PLL 周波数シンセサイザ	<ul style="list-style-type: none"> • f (PLL) : 最大 100MHz • 発振制御 : 発振 • リセット後 : 発振
低速オンチップオシレータ	<ul style="list-style-type: none"> • f (LOCO) : 125kHz • 発振制御 : 発振 • リセット後 : 発振

表5.2 クロックの仕様

クロック名 [周波数を示す記号]		説明
システムクロック [f (SYS)]		<ul style="list-style-type: none"> ・ クロック源 : f (PLL) ・ リセット後 : f (PLL)の分周なし
CPUクロック [f (CPU)]		<ul style="list-style-type: none"> ・ 分周比 : システムクロックの分周なし、2、4、8分周から選択 ・ リセット後 : システムクロックの4分周
バスクロック [f (BUS)]		<ul style="list-style-type: none"> ・ 分周比 : システムクロックの分周なし、2、4、8分周から選択 ・ リセット後 : システムクロックの4分周
周辺バスクロック	周辺バスクロック A [f (PBA)]	<ul style="list-style-type: none"> ・ 分周比 : システムクロックの 2、4、8分周から選択 ・ リセット後 : システムクロックの 8分周
	周辺バスクロック B [f (PBB)]	<ul style="list-style-type: none"> ・ 分周比 : システムクロックの 2、4、8分周から選択 ・ リセット後 : システムクロックの 8分周
	周辺バスクロック C [f (PBC)]	<ul style="list-style-type: none"> ・ 分周比 : システムクロックの 2、4、8分周から選択 ・ リセット後 : システムクロックの 8分周
	SCI動作クロック [f (SCI)]	<ul style="list-style-type: none"> ・ 分周比 : システムクロックの 2、4、8分周から選択 ・ リセット後 : システムクロックの 8分周
	MTU動作クロック [f (MTU)]	<ul style="list-style-type: none"> ・ 分周比 : システムクロックの分周なし、2、4、8分周から選択 ・ リセット後 : システムクロックの4分周
周辺機能クロック	CMTカウントソース [f (CMT)]	<ul style="list-style-type: none"> ・ 分周比 : f (LOCO)の2n分周または16n分周から選択 (n = 0 ~ 15) ・ 発振制御 : 発振「開始/停止」切り替え ・ リセット後 : 停止
	LIN通信クロック源 [f (LIN)]	<ul style="list-style-type: none"> ・ クロック源 : システムクロック ・ 分周比 : クロック源の2n分周または16n分周 (n = 1 ~ 15) ・ 発振制御 : 発振「開始/停止」切り替え ・ リセット後 : 停止
	WDTカウントソース [f (WDT)]	<ul style="list-style-type: none"> ・ クロック源 : f (LOCO) ・ 発振制御 : 発振開始 ・ リセット後 : 発振
クロック出力(注1) [f (CLKOUT)]		<ul style="list-style-type: none"> ・ CLKOUT端子からクロックを出力 ・ 分周比 : バスクロックの分周なし、2、4、8分周から選択 ・ 出力制御 : クロック「出力する/しない」切り替え
電圧監視のデジタルフィルタ用クロック [f (LDVF)]		<ul style="list-style-type: none"> ・ 分周比 : 周辺バスクロック Aの8、16、32、64分周から選択 ・ 機能制御 : 有効/無効を制御
INT端子のデジタルフィルタ用クロック [f (INTF)]		<ul style="list-style-type: none"> ・ 分周比 : 周辺バスクロック Aの8、16、32、64分周から選択 ・ 機能制御 : 有効/無効を制御

注1. SH72A0グループでは本機能はありません。

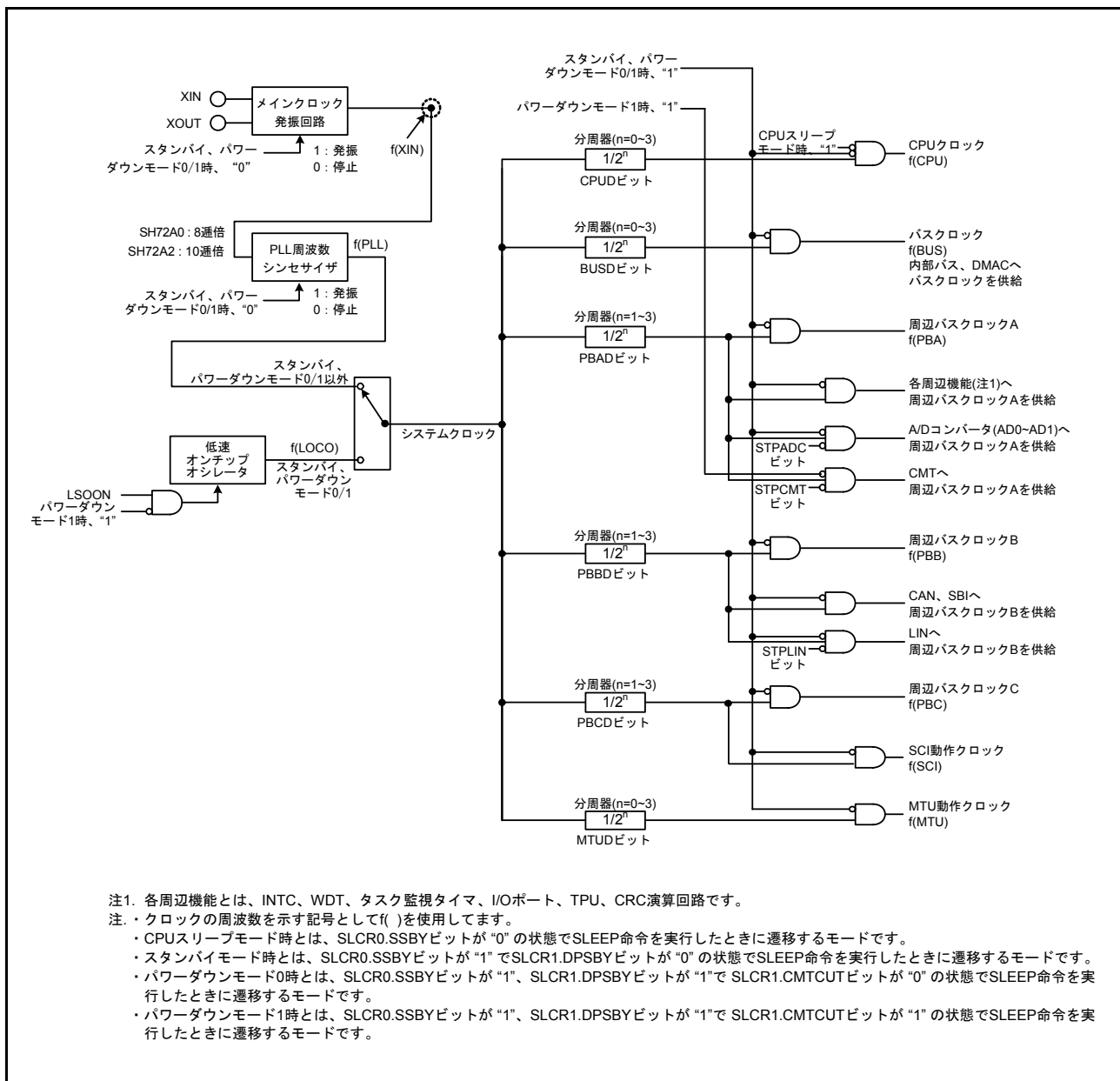


図 5.1 クロックのブロック図 (1)

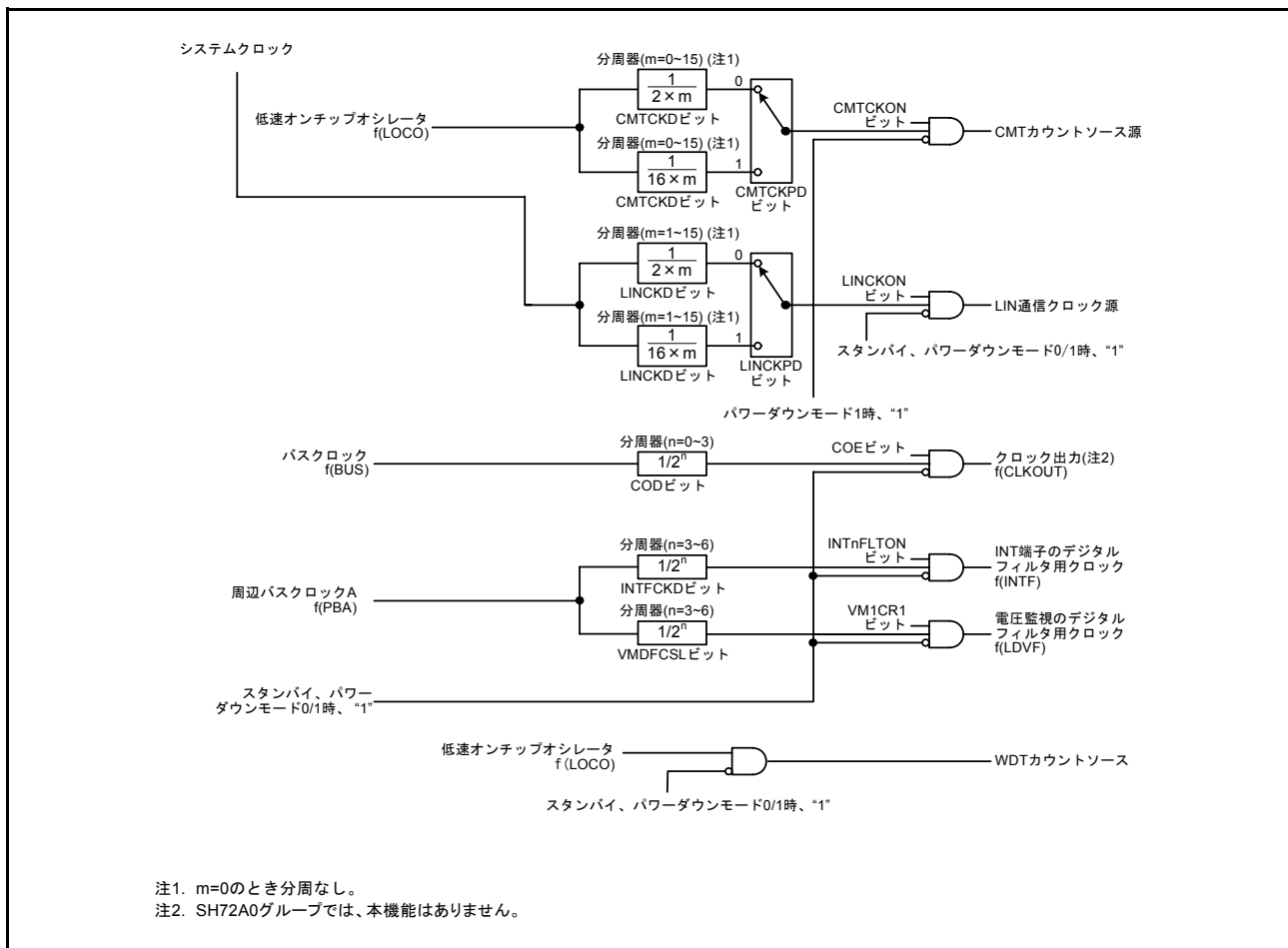


図 5.2 クロックのブロック図 (2)

図 5.3 に CPU の状態におけるモード遷移図を示します。表 5.3 にパワーコントロールの仕様、表 5.4 に CPU の状態別クロック発振状態を示します。

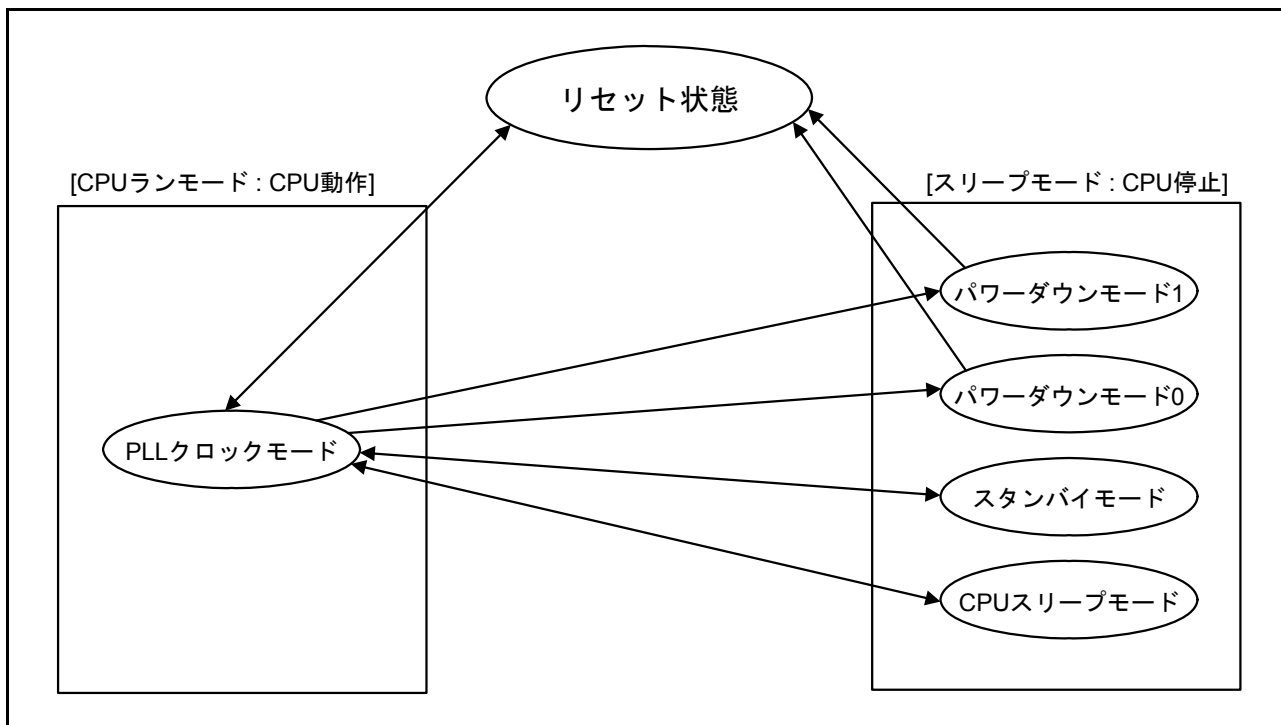


図 5.3 CPU の状態におけるモード遷移図

表 5.3 パワーコントロールの仕様

項目		説明
CPUランモード		<ul style="list-style-type: none"> • CPUクロック、バスクロック、周辺バスクロック、周辺機能クロックが供給され、CPU、バス、周辺機能が動作する • 周波数はシステムクロックを分周することにより決定する
スリープモード	CPUスリープモード	<ul style="list-style-type: none"> • SLCR0.SSBYビットが“0”の状態ではSLEEP命令を実行すると、CPUクロックが停止する • ソフトウェア割り込みを除くすべての割り込みで、CPUランモードへ復帰する
	スタンバイモード	<ul style="list-style-type: none"> • SLCR0.SSBYビットが“1”かつSLCR1.DPSBYビットが“0”の状態では、SLEEP命令を実行すると、CPUクロック、バスクロック、周辺バスクロックが停止し、PLLの電源を遮断する • 復帰用割り込み要因(注1)で、CPUランモードへ復帰する
	パワーダウンモード0	<ul style="list-style-type: none"> • SLCR0.SSBYビットが“1”、SLCR1.DPSBYビットが“1”でSLCR1.CMTCUTビットが“0”の状態では、SLEEP命令を実行すると、メインクロック、PLLクロックが停止し、CMTおよびWDT以外の電源を遮断する • 復帰用割り込み要因(注1)でパワーダウンモード復帰リセットが発生し、PLLクロックの4分周クロックで復帰する
	パワーダウンモード1	<ul style="list-style-type: none"> • SLCR0.SSBYビットが“1”、SLCR1.DPSBYビットが“1”でSLCR1.CMTCUTビットが“1”の状態では、SLEEP命令を実行すると、すべてのクロックが停止し、CMTおよびWDT以外の電源を遮断する • 復帰用割り込み要因(注1)でパワーダウンモード復帰リセットが発生し、PLLクロックの4分周クロックで復帰する
メインクロック監視機能		<ul style="list-style-type: none"> • メインクロック発振停止を検出すると、システムクロックをf(PLL自走)に切り替える • 機能制御: 「機能を使用する/しない」を制御する • 割り込み: メインクロック発振停止検出割り込み(リセット後は禁止) • リセット後: 監視機能を使用しない

注1. 復帰用割り込み要因については、「5.5 パワーコントロール」を参照してください。

表5.4 CPUの状態別クロック発振状態

	リセット状態		スリープモード				CPU ランモード
	リセット アサート(注1) VDD = On RESET# = Low	リセット シーケンス (VDD = On RESET# = High)	CPU スリープ モード	スタンバイ モード	パワー ダウン モード0 (注2)	パワー ダウン モード1 (注2)	PLLクロック モード $f(\text{CPU}) =$ $f(\text{PLL})/n$
メインクロック発振回路	発振	発振	発振	停止	停止	停止	発振
低速オンチップオシレータ	発振	発振	停止 / 発振	停止 / 発振	発振	停止	停止 / 発振
PLL周波数シンセサイザ	発振	発振	発振	電源遮断	電源遮断	電源遮断	発振
システムクロック	f(PLL)	f(PLL)	f(PLL)	f(LOCO)	f(LOCO)	停止	f(PLL)

注1. RESET# = Low時、ポートはHi-Z状態になります。

注2. パワーダウンモードはスタンバイモードを経由してから遷移します。

表 5.5 にクロックの入出力端子を示します。

表5.5 クロックの入出力端子

端子名	入出力	機能
CLKOUT	出力	クロックを出力します。

注. • SH72A0グループでは、本機能はありません。

5.2 レジスタの説明

表 5.6、表 5.7 にクロックのレジスタ一覧を示します。

表 5.6 クロックのレジスタ一覧(1)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
システムプロテクトレジスタ0	SPR0	H'00	H'FF46 E063	8
システムプロテクトレジスタ2	SPR2	H'00	H'FF46 E263	8
低速オンチップオシレータ制御レジスタ	LOCR	H'01	H'FF46 E826	8
メインクロック監視機能制御レジスタ	MCMCR	H'00	H'FF46 E838	8
クロックプロテクトレジスタ	CPR	H'00	H'FF46 E860	8
CPUクロック分周レジスタ	CCDR	H'22	H'FF46 E804	8
周辺バスクロック分周レジスタ	PBCDR	H'3333 0002	H'FF46 E808	8、16、32
周辺バスクロック制御レジスタ	PBCCR	H'0000	H'FF46 E81C	8、16
LINクロック制御レジスタ	LINCCR	H'02	H'FF46 E811	8
CMTクロック制御レジスタ	CMTCCR	H'00	H'FF46 E812	8
INT入力デジタルフィルタ制御レジスタ0	INTDFCR0	H'0000	H'FF46 E890	8、16
INT入力デジタルフィルタ制御レジスタ1	INTDFCR1	H'0300	H'FF46 E892	8、16
スリープモード制御レジスタ0	SLCR0	H'0F00	H'FF46 E840	8、16
クロック出力機能制御レジスタ(注1)	COCR	H'00	H'FF46 E800	8
スリープモード制御レジスタ1	SLCR1	H'00	H'FF46 EC03	8
パワーダウンモード復帰要因選択レジスタ0	PDWSSL0	H'00	H'FF46 EC0B	8
パワーダウンモード復帰要因選択レジスタ2	PDWSSL2	H'00	H'FF46 EC13	8
パワーダウンモード復帰要因選択レジスタ3	PDWSSL3	H'00	H'FF46 EC17	8
パワーダウンモード復帰要因選択レジスタ4	PDWSSL4	H'00	H'FF46 EC1B	8
パワーダウンモード復帰要因選択レジスタ5	PDWSSL5	H'00	H'FF46 EC1F	8
パワーダウンモード復帰要因ステータスレジスタ0	PDWSSR0	H'00	H'FF46 EC23	8
パワーダウンモード復帰要因ステータスレジスタ2	PDWSSR2	H'00	H'FF46 EC2B	8
パワーダウンモード復帰要因ステータスレジスタ3	PDWSSR3	H'00	H'FF46 EC2F	8
パワーダウンモード復帰要因ステータスレジスタ4	PDWSSR4	H'00	H'FF46 EC33	8
パワーダウンモード復帰要因ステータスレジスタ5	PDWSSR5	H'00	H'FF46 EC37	8
パワーダウンモード復帰要因エッジ選択レジスタ0	PDWSESL0	H'0A	H'FF46 EC3B	8
パワーダウンモード復帰要因エッジ選択レジスタ1	PDWSESL1	H'00	H'FF46 EC3F	8

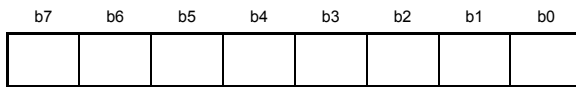
注1. SH72A0グループでは、本機能はありません。

表5.7 クロックのレジスタ一覧(2)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
パワーダウンモード復帰要因エッジ選択レジスタ2	PDWSESL2	H'00	H'FF46 EC43	8
リセットステータスレジスタ0	RSTSR0	H'00	H'FF46 EC47	8
バックアップレジスタ0	BUR0	不定	H'FF46 ED03	8
バックアップレジスタ1	BUR1	不定	H'FF46 ED07	8
バックアップレジスタ2	BUR2	不定	H'FF46 ED0B	8
バックアップレジスタ3	BUR3	不定	H'FF46 ED0F	8
バックアップレジスタ4	BUR4	不定	H'FF46 ED13	8
バックアップレジスタ5	BUR5	不定	H'FF46 ED17	8
バックアップレジスタ6	BUR6	不定	H'FF46 ED1B	8
バックアップレジスタ7	BUR7	不定	H'FF46 ED1F	8
バックアップレジスタ8	BUR8	不定	H'FF46 ED23	8
バックアップレジスタ9	BUR9	不定	H'FF46 ED27	8
バックアップレジスタ10	BUR10	不定	H'FF46 ED2B	8
バックアップレジスタ11	BUR11	不定	H'FF46 ED2F	8
バックアップレジスタ12	BUR12	不定	H'FF46 ED33	8
バックアップレジスタ13	BUR13	不定	H'FF46 ED37	8
バックアップレジスタ14	BUR14	不定	H'FF46 ED3B	8
バックアップレジスタ15	BUR15	不定	H'FF46 ED3F	8
バックアップレジスタ16	BUR16	不定	H'FF46 ED43	8
バックアップレジスタ17	BUR17	不定	H'FF46 ED47	8
バックアップレジスタ18	BUR18	不定	H'FF46 ED4B	8
バックアップレジスタ19	BUR19	不定	H'FF46 ED4F	8
バックアップレジスタ20	BUR20	不定	H'FF46 ED53	8
バックアップレジスタ21	BUR21	不定	H'FF46 ED57	8
バックアップレジスタ22	BUR22	不定	H'FF46 ED5B	8
バックアップレジスタ23	BUR23	不定	H'FF46 ED5F	8
バックアップレジスタ24	BUR24	不定	H'FF46 ED63	8
バックアップレジスタ25	BUR25	不定	H'FF46 ED67	8
バックアップレジスタ26	BUR26	不定	H'FF46 ED6B	8
バックアップレジスタ27	BUR27	不定	H'FF46 ED6F	8
バックアップレジスタ28	BUR28	不定	H'FF46 ED73	8
バックアップレジスタ29	BUR29	不定	H'FF46 ED77	8
バックアップレジスタ30	BUR30	不定	H'FF46 ED7B	8
バックアップレジスタ31	BUR31	不定	H'FF46 ED7F	8

5.2.1 システムプロテクトレジスタ 0 (SPR0)

アドレス H'FF46 E063



リセット後の値 0 0 0 0 0 0 0 0

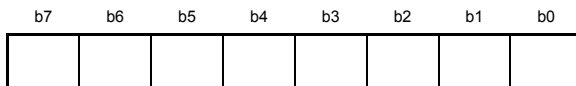
ビット	機能	R/W
b7-b0	書き込み時 B'1111 0001 : プロテクト 解除 B'1111 0001 以外 : プロテクト	R/W
	読み出し時 b0 ビット 0 : プロテクト 1 : プロテクト 解除 b7 ~ b1 ビットは常に“0”が読める	

SPR0 レジスタでは、LOCR、SLCR0、VMCR、VD1LSL、RAMECC、RAMACYC、AUDEN レジスタを簡単に書き換えられないよう保護するプロテクト機能の設定を行います。これらのレジスタの値を変更する場合は、以下の手順で変更を行ってください。

- (1) SPR0 レジスタに“H'F1”を書く (各レジスタへの書き込みを許可)
- (2) LOCR、SLCR0、VMCR、VD1LSL、RAMECC、RAMACYC、AUDEN レジスタの値を変更する
- (3) SPR0 レジスタに“H'F1”以外を書く (各レジスタへの書き込みを禁止)

5.2.2 システムプロテクトレジスタ 2 (SPR2)

アドレス H'FF46 E263



リセット後の値 0 0 0 0 0 0 0 0

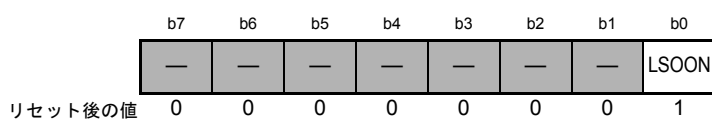
ビット	機能	R/W
b7-b0	書き込み時 B'1111 0001 : プロテクト 解除 B'1111 0001 以外 : プロテクト	R/W
	読み出し時 b0 ビット 0 : プロテクト 1 : プロテクト 解除 b7 ~ b1 ビットは常に“0”が読める	

SPR2 レジスタでは、SWRR、RSDR、SLCR1、PDWSSLi (i = 0, 2 ~ 5)、PDWSSRi、PDWSESLj (j = 0 ~ 2)、RSTSR0、BURm (m = 0 ~ 31) レジスタを簡単に書き換えられないよう保護するプロテクト機能の設定を行います。これらのレジスタの値を変更する場合は、以下の手順で変更を行ってください。

- (1) SPR2 レジスタに“H'F1”を書く (各レジスタへの書き込みを許可)
- (2) SWRR、RSDR、SLCR1、PDWSSLi、PDWSSRi、PDWSESLj、RSTSR0、BURm レジスタの値を変更する
- (3) SPR2 レジスタに“H'F1”以外を書く (各レジスタへの書き込みを禁止)

5.2.3 低速オンチップオシレータ制御レジスタ (LOCR)

アドレス H'FF46 E826



ビット	シンボル	ビット名	機能	R/W
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	LSOON	低速オンチップオシレータ発振開始ビット	0: 停止 1: 発振開始	R/W

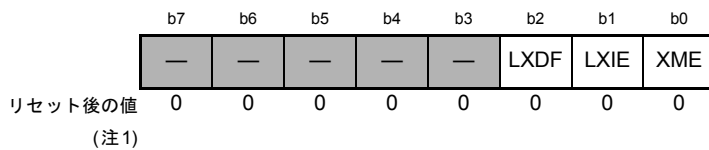
低速オンチップオシレータを制御するレジスタです。LOCR レジスタの値を変更する場合は、SPR0 レジスタでプロテクトを解除してから変更してください。

LSOON ビット

LSOON ビットを“1”にすると低速オンチップオシレータが発振します。リセット後、LSOON ビットは“1” (低速オンチップオシレータ発振開始) です。

5.2.4 メインクロック監視機能制御レジスタ (MCMCR)

アドレス H'FF46 E838



ビット	シンボル	ビット名	機能	R/W
b7-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	LXDF	メインクロック発振停止検出フラグ	0: 未検出 1: 検出	R/W
b1	LXIE	メインクロック発振停止検出割り込み許可ビット	0: メインクロック発振停止検出割り込みを禁止 1: メインクロック発振停止検出割り込みを許可	R/W
b0	XME	メインクロック監視機能許可ビット	0: メインクロック監視機能を使用しない 1: メインクロック監視機能を使用する	R/W

注1. パワーダウンモード0からパワーダウンモード復帰リセットでリセットした場合、このレジスタはパワーダウンモード0時の値を保持しています。

メインクロック監視機能を制御するレジスタです。

LXDF ビット

LXDF フラグは、メインクロックの発振停止を検出すると“1”になります。プログラムで“0”にできますが、“1”にはできません。メインクロックの発振が安定していない状態で RESET# 信号を High にすると、リセット後の値が“1”になることがあります。

LXIE ビット

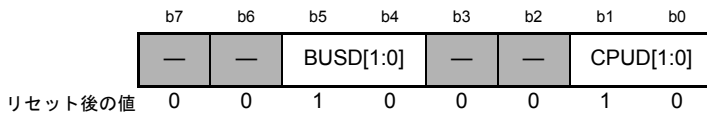
XME ビットが“1”で、かつ LXIE ビットが“1”の場合、メインクロックの発振停止を検出すると、メインクロック発振停止検出割り込みが発生します。このとき、システムクロックは自動的に PLL 自走クロックに切り替わります。

XME ビット

XME ビットはメインクロック監視機能を制御するビットです。リセット後は“0” (監視機能を使用しない) になります。

5.2.6 CPU クロック分周レジスタ (CCDR)

アドレス H'FF46 E804



ビット	シンボル	ビット名	機能	R/W
b7-b6	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b5-b4	BUSD[1:0]	バスクロック分周比選択ビット	b5 b4 0 0 : 分周なし 0 1 : 2分周 1 0 : 4分周 1 1 : 8分周 上記以外、設定しないでください。	R/W
b3-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1-b0	CPUD[1:0]	CPUクロック分周比選択ビット	b1 b0 0 0 : 分周なし 0 1 : 2分周 1 0 : 4分周 1 1 : 8分周 上記以外、設定しないでください。	R/W

CPU クロック、バスクロックを設定するレジスタです。CCDR レジスタの値を変更する場合は、CPR レジスタでプロテクトを解除してから変更してください。

CCDR レジスタを設定する場合は、CCDR レジスタのライト命令の直後に CCDR レジスタのリード命令を実行してください。

BUSD ビット

バスクロックの分周比を設定します。システムクロックを BUSD ビットで分周したクロックがバスクロックになります。リセット後、BUSD ビットは“B'10” (4分周) になります。バスクロックは、CPU クロックと同速または、2分周になるように BUSD を設定してください。また、バスクロックの周波数を 100MHz 以下にしてください。

CPUD ビット

CPU クロックの分周比を設定します。システムクロックを CPUD ビットで分周したクロックが CPU クロックになります。リセット後、CPUD ビットは“B'10” (4分周) になります。

5.2.7 周辺バスクロック分周レジスタ (PBCDR)

アドレス H'FF46 E808

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
—	—	PBBD[1:0]		—	—	PBAD[1:0]		—	—	PBCD[1:0]		—	—	—	—	
リセット後の値	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MTUD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b31-b30	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b29-b28	PBBD[1:0]	周辺バスクロックB分周比選択ビット	b29b28 0 1 : 2分周 1 0 : 4分周 1 1 : 8分周 上記以外、設定しないでください。	R/W
b27-b26	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b25-b24	PBAD[1:0]	周辺バスクロックA分周比選択ビット	b25b24 0 1 : 2分周 1 0 : 4分周 1 1 : 8分周 上記以外、設定しないでください。	R/W
b23-b22	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b21-b20	PBCD[1:0]	周辺バスクロックC分周比選択ビット (SCI動作クロック分周比選択ビット)	b21b20 0 1 : 2分周 1 0 : 4分周 1 1 : 8分周 上記以外、設定しないでください。	R/W
b19-b18	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b17-b16	—	(予約ビット)	読むと“1”が読み出されます。書き込みは“1”としてください。	R
b15-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1-b0	MTUD[1:0]	MTU動作クロック分周比選択ビット	b1 b0 0 0 : 分周なし 0 1 : 2分周 1 0 : 4分周 1 1 : 8分周 上記以外、設定しないでください。	R/W

周辺機能バスクロックの分周比を設定するレジスタです。ロングワード/ワード/バイトでアクセス可能です。PBCDR レジスタの値を変更する場合は、CPR レジスタでプロテクトを解除してから変更してください。

PBCDR レジスタを設定する場合は、PBCDR レジスタのライト命令の直後に PBCDR レジスタのリード命令を実行してください。

PBBD ビット

周辺バスクロック B ($f(\text{PBB})$) の分周比を設定します。システムクロックを PBBD ビットで分周したクロックが周辺バスクロック B になります。周辺バスクロック B がバスクロックの 2 分周クロックになるように、PBBD ビットを設定してください。また、周辺バスクロック B の周波数を 50MHz 以下にしてください。

PBAD ビット

周辺バスクロック A ($f(\text{PBA})$) の分周比を設定します。システムクロックを PBAD ビットで分周したクロックが周辺バスクロック A になります。周辺バスクロック A がバスクロックの 2 分周クロックになるように、かつ、周辺バスクロック A が MTU 動作クロック ($f(\text{MTU})$) と同速または 2 分周クロックになるように、PBAD ビットを設定してください。また、周辺バスクロック A の周波数を 50MHz 以下にしてください。

PBCD ビット

周辺バスクロック C ($f(\text{PBC})$) の分周比を設定します。システムクロックを PBCD ビットで分周したクロックが周辺バスクロック C になります。周辺バスクロック C がバスクロックの 2 分周クロックになるように、PBCD ビットを設定してください。また、周辺バスクロック C の周波数を 50MHz 以下にしてください。

SCI の周辺機能レジスタをアクセスする場合は、周辺クロック A と周辺バスクロック C は同速になるようにしてください。

MTUD ビット

MTU 動作クロック ($f(\text{MTU})$) の分周比を設定します。システムクロックを MTUD ビットで分周したクロックが MTU 動作クロックになります。MTU 動作クロックの周波数を 100MHz 以下にしてください。

5.2.8 周辺バスクロック制御レジスタ (PBCCR)

アドレス H'FF46 E81C

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	STPADC	STPCMT	—	STPLIN	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

(注1)

ビット	シンボル	ビット名	機能	R/W
b15	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b14	STPADC	ADCバスクロック停止ビット	ADCのバスクロック供給/停止を制御する 0:クロック供給 1:クロック停止	R/W
b13	STPCMT	CMTバスクロック停止ビット	CMTのバスクロック供給/停止を制御する 0:クロック供給 1:クロック停止	R/W
b12	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b11	STPLIN	LINバスクロック停止ビット	LINのバスクロック供給/停止を制御する 0:クロック供給 1:クロック停止	R/W
b10-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注1. パワーダウンモード0、1からパワーダウンモード復帰リセットでリセットした場合、このレジスタはパワーダウンモード0、1時の値を保持しています。

周辺バスクロックの供給/停止を制御するレジスタです。PBCCR レジスタの値を変更する場合は、CPR レジスタでプロテクトを解除してから変更してください。

PBCCR レジスタを設定する場合は、PBCCR レジスタのライト命令の直後に PBCCR レジスタのリード命令を実行してください。

STPADC ビット

A/D コンバータの周辺バスクロック供給 / 停止を制御します。A/D コンバータの機能を使用しない場合は“1”を設定することによりクロックの供給が停止し、消費電力が減少します。STPADC ビットを“1”に設定したときは、A/D コンバータの周辺機能レジスタをアクセスしないでください。

STPCMT ビット

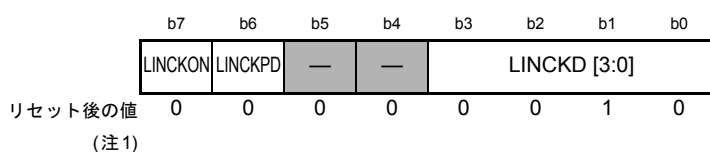
CMT の周辺バスクロック供給 / 停止を制御します。CMT の機能を使用しない場合は“1”を設定することによりクロックの供給が停止し、消費電力が減少します。STPCMT ビットを“1”に設定したときは、CMT の周辺機能レジスタをアクセスしないでください。

STPLIN ビット

LIN の周辺バスクロック供給 / 停止を制御します。LIN の機能を使用しない場合は“1”を設定することによりクロックの供給が停止し、消費電力が減少します。STPLIN ビットを“1”に設定したときは、LIN の周辺機能レジスタをアクセスしないでください。

5.2.9 LIN クロック制御レジスタ (LINCCR)

アドレス H'FF46 E811



ビット	シンボル	ビット名	機能	R/W																		
b7	LINCKON	LIN通信クロック源発振開始ビット	0: 停止 1: 発振開始	R/W																		
b6	LINCKPD	LIN通信クロック源分周比制御ビット	LINクロックを2n分周か16n分周かを選択します。	R/W																		
b5-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R																		
b3-b0	LINCKD [3:0]	LIN通信クロック源分周比選択ビット	<table border="0"> <tr> <td>[LINCKPDビットが“0”のとき]</td> <td>[LINCKPDビットが“1”のとき]</td> </tr> <tr> <td>b3 b2 b1 b0</td> <td>b3 b2 b1 b0</td> </tr> <tr> <td>0 0 0 0 : 設定しないでください</td> <td>0 0 0 0 : 設定しないでください</td> </tr> <tr> <td>0 0 0 1 : 2分周</td> <td>0 0 0 1 : 16分周</td> </tr> <tr> <td>0 0 1 0 : 4分周</td> <td>0 0 1 0 : 32分周</td> </tr> <tr> <td>0 0 1 1 : 6分周</td> <td>0 0 1 1 : 48分周</td> </tr> <tr> <td>:</td> <td>:</td> </tr> <tr> <td>1 1 1 0 : 28分周</td> <td>1 1 1 0 : 224分周</td> </tr> <tr> <td>1 1 1 1 : 30分周</td> <td>1 1 1 1 : 240分周</td> </tr> </table>	[LINCKPDビットが“0”のとき]	[LINCKPDビットが“1”のとき]	b3 b2 b1 b0	b3 b2 b1 b0	0 0 0 0 : 設定しないでください	0 0 0 0 : 設定しないでください	0 0 0 1 : 2分周	0 0 0 1 : 16分周	0 0 1 0 : 4分周	0 0 1 0 : 32分周	0 0 1 1 : 6分周	0 0 1 1 : 48分周	:	:	1 1 1 0 : 28分周	1 1 1 0 : 224分周	1 1 1 1 : 30分周	1 1 1 1 : 240分周	R/W
[LINCKPDビットが“0”のとき]	[LINCKPDビットが“1”のとき]																					
b3 b2 b1 b0	b3 b2 b1 b0																					
0 0 0 0 : 設定しないでください	0 0 0 0 : 設定しないでください																					
0 0 0 1 : 2分周	0 0 0 1 : 16分周																					
0 0 1 0 : 4分周	0 0 1 0 : 32分周																					
0 0 1 1 : 6分周	0 0 1 1 : 48分周																					
:	:																					
1 1 1 0 : 28分周	1 1 1 0 : 224分周																					
1 1 1 1 : 30分周	1 1 1 1 : 240分周																					

注1. パワーダウンモード0からパワーダウンモード復帰リセットでリセットした場合、このレジスタはパワーダウンモード0時の値を保持しています。

LIN クロックを制御するレジスタです。LIN 通信クロック源 ($f(\text{LIN})$) は LIN の動作クロックになります。LINCCR レジスタの値を変更する場合は、CPR レジスタでプロテクトを解除してから変更してください。

LINCCR レジスタを設定する場合は、LINCCR レジスタのライト命令の直後に LINCCR レジスタのリード命令を実行してください。

LINCKON ビット

LINCKON ビットを“1”にすると、LIN 通信クロック源が発振します。LIN 通信クロック源を発振させる場合、LINCKD ビット、LINCKPD ビットを設定してから LINCKON ビットを“1”にしてください。リセット後、LIN 通信クロック源は停止しています。

LINCKPD ビット

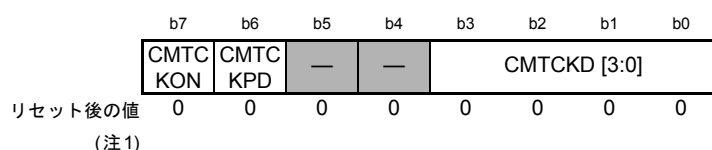
LINCKD ビットの設定値を 2n 分周か 16n 分周の選択をします。LINCKPD ビットが“0”のときは、2n 分周になり、LINCKPD ビットが“1”のときは、16n 分周になります。

LINCKD ビット

LIN 通信クロック源 ($f(\text{LIN})$) の分周比を設定します。システムクロックを LINCKD ビットで分周したクロックが LIN 通信クロック源になります。LIN 通信クロック源の周波数を 50MHz 以下にしてください。

5.2.10 CMT クロック制御レジスタ (CMTCCR)

アドレス H'FF46 E812



ビット	シンボル	ビット名	機能	R/W		
b7	CMTCKON	CMTカウントソース源発振開始ビット	0: 停止 1: 発振開始	R/W		
b6	CMTCKPD	CMTカウントソース源分周比制御ビット	CMTカウントソース源を2n分周か16n分周かを選択します。	R/W		
b5-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R		
b3-b0	CMTCKD [3:0]	CMTカウントソース源分周比選択ビット	<table style="width: 100%; border: none;"> <tr> <td style="width: 50%; vertical-align: top;"> [CMTCKPDビットが“0”のとき] b3 b2 b1 b0 0 0 0 0 : 分周なし 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 6分周 : 1 1 1 0 : 28分周 1 1 1 1 : 30分周 </td> <td style="width: 50%; vertical-align: top;"> [CMTCKPDビットが“1”のとき] b3 b2 b1 b0 0 0 0 0 : 分周なし 0 0 0 1 : 16分周 0 0 1 0 : 32分周 0 0 1 1 : 48分周 : 1 1 1 0 : 224分周 1 1 1 1 : 240分周 </td> </tr> </table>	[CMTCKPDビットが“0”のとき] b3 b2 b1 b0 0 0 0 0 : 分周なし 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 6分周 : 1 1 1 0 : 28分周 1 1 1 1 : 30分周	[CMTCKPDビットが“1”のとき] b3 b2 b1 b0 0 0 0 0 : 分周なし 0 0 0 1 : 16分周 0 0 1 0 : 32分周 0 0 1 1 : 48分周 : 1 1 1 0 : 224分周 1 1 1 1 : 240分周	R/W
[CMTCKPDビットが“0”のとき] b3 b2 b1 b0 0 0 0 0 : 分周なし 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 6分周 : 1 1 1 0 : 28分周 1 1 1 1 : 30分周	[CMTCKPDビットが“1”のとき] b3 b2 b1 b0 0 0 0 0 : 分周なし 0 0 0 1 : 16分周 0 0 1 0 : 32分周 0 0 1 1 : 48分周 : 1 1 1 0 : 224分周 1 1 1 1 : 240分周					

注1. パワーダウンモード0からパワーダウンモード復帰リセットでリセットした場合、このレジスタはパワーダウンモード0時の値を保持しています。

CMT カウントソース源を制御するレジスタです。CMT カウントソース源は、コンペアマッチタイマのCMT0のカウントソースになります。CMTCCR レジスタの値を変更する場合は、CPR レジスタでプロテクトを解除してから変更してください。

CMTCCR レジスタを設定する場合は、CMTCCR レジスタのライト命令の直後に CMTCCR レジスタのリード命令を実行してください。

CMTCKON ビット

CMTCKON ビットを“1”にすると、f(CMT)が発振します。f(CMT)を発振させる場合、CMTCKD ビット、CMTCKPD および CMTCKS ビットを設定してから CMTCKON ビットを“1”にしてください。リセット後、f(CMT)は停止しています。

CMTCKPD ビット

CMTCKD ビットの設定値を2n分周か16n分周の選択をします。CMTCKPD ビットが“0”のときは、2n分周になり、CMTCKPD ビットが“1”のときは、16n分周になります。

CMTCKD ビット

CMT クロックの分周比を設定します。低速オンチップオンレータクロックを CMTCKD ビットで分周したクロックが CMT カウントソース源になります。CMT カウントソース源の周波数は、周辺機能バスクロック A の周波数の3分周より遅くなるように設定してください。また、f(CMT)の周波数を50MHz以下にしてください。

5.2.11 INT 入力デジタルフィルタ制御レジスタ 0 (INTDFCR0)

アドレス H'FF46 E890

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	INT13 FLT0N	INT12 FLT0N	INT11 FLT0N	INT10 FLT0N	INT9 FLT0N	INT8 FLT0N	INT7 FLT0N	INT6 FLT0N	INT5 FLT0N	INT4 FLT0N	INT3 FLT0N	INT2 FLT0N	INT1 FLT0N	INT0 FLT0N
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b14	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b13	INT13 FLT0N	INT13端子デジタルフィルタ有効 ビット(注1)	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b12	INT12 FLT0N	INT12端子デジタルフィルタ有効 ビット(注1)	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b11	INT11 FLT0N	INT11端子デジタルフィルタ有効 ビット(注1)	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b10	INT10 FLT0N	INT10端子デジタルフィルタ有効 ビット	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b9	INT9 FLT0N	INT9端子デジタルフィルタ有効 ビット(注1)	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b8	INT8 FLT0N	INT8端子デジタルフィルタ有効 ビット	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b7	INT7 FLT0N	INT7端子デジタルフィルタ有効 ビット	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b6	INT6 FLT0N	INT6端子デジタルフィルタ有効 ビット	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b5	INT5 FLT0N	INT5端子デジタルフィルタ有効 ビット	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b4	INT4 FLT0N	INT4端子デジタルフィルタ有効 ビット	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b3	INT3 FLT0N	INT3端子デジタルフィルタ有効 ビット	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b2	INT2 FLT0N	INT2端子デジタルフィルタ有効 ビット	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b1	INT1 FLT0N	INT1端子デジタルフィルタ有効 ビット	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b0	INT0 FLT0N	INT0端子デジタルフィルタ有効 ビット	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W

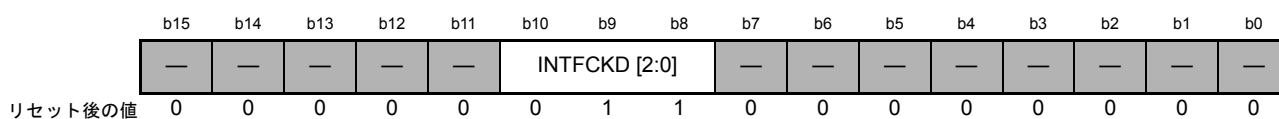
注1. INT13,12,11,9 はSH72A0では使用できません。

INTn 端子のデジタルフィルタの有効 / 無効を切り替えるレジスタです。INT0 ~ INT13 端子それぞれで有効 / 無効を設定することができます。

INTn 端子いずれかでデジタルフィルタを有効 (INTDFCR0 レジスタを “H'0000” 以外の値) にすると、INTDFCR1 レジスタで分周設定したクロックの供給を開始します。

5.2.12 INT 入力デジタルフィルタ制御レジスタ 1 (INTDFCR1)

アドレス H'FF46 E892



ビット	シンボル	ビット名	機能	R/W
b15-b11	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b10-b8	INTFCKD [2:0]	INTn端子デジタルフィルタクロック分周比選択ビット	b10 b9 b8 0 1 1 : 8分周 1 0 0 : 16分周 1 0 1 : 32分周 1 1 0 : 64分周 上記以外設定禁止	R/W
b7-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

INTn 端子のデジタルフィルタ用クロック (f(INTF)) を制御するレジスタです。

INTFCKD ビット

INTn 端子のデジタルフィルタクロックの分周比を設定します。周辺バスクロック A を INTFCKD ビットで分周したクロックが、INTn 端子のデジタルフィルタクロックになります。

5.2.13 スリープモード制御レジスタ 0 (SLCR0)

アドレス H'FF46 E840

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	—	—	STS[4:0]				—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0
(注1)																

ビット	シンボル	ビット名	機能	R/W
b15	SSBY	スタンバイモードビット	0: SLEEP 命令実行時、CPUスリープモードに遷移 1: SLEEP 命令実行時、スタンバイモードまたはパワーダウンモードに遷移	R/W
b14-b13	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b12-b8	STS[4:0]	スタンバイタイマセレクトビット	b12b11b10b9b8 0 0 1 0 1: 待機時間 = 64 ステート 0 0 1 1 0: 待機時間 = 512 ステート 0 0 1 1 1: 待機時間 = 1024 ステート 0 1 0 0 0: 待機時間 = 2048 ステート 0 1 0 0 1: 待機時間 = 4096 ステート 0 1 0 1 0: 待機時間 = 16384 ステート 0 1 0 1 1: 待機時間 = 32768 ステート 0 1 1 0 0: 待機時間 = 65536 ステート 0 1 1 0 1: 待機時間 = 131072 ステート 0 1 1 1 0: 待機時間 = 262144 ステート 0 1 1 1 1: 待機時間 = 524288 ステート 上記以外は設定しないでください。	R/W
b7-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注1. パワーダウンモード0からパワーダウンモード復帰リセットでリセットした場合、このレジスタはパワーダウンモード0時の値を保持しています。

SLCR0 レジスタの値を変更する場合は、SPR0 レジスタでプロテクトを解除してから変更してください。

SSBY ビット

SLEEP 命令実行後の遷移先を設定します。SSBY ビットを“0”に設定して SLEEP 命令を実行すると、CPU スリープモードに遷移します。SSBY ビットを“1”に設定して SLEEP 命令を実行すると、スタンバイモードまたは、パワーダウンモードに遷移します。

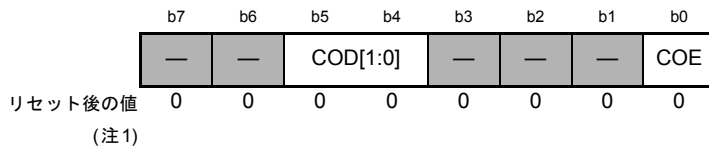
SSBY ビットと SLCR1 レジスタの DPSBY ビット、CMTCUT ビットの組み合わせでスリープモードの各モードが設定されます。詳細については、「表 5.3 パワーコントロールの仕様」を参照してください。

STS[4:0] ビット (スタンバイタイマセレクトビット)

外部割り込みによってスタンバイモードを解除する場合に、クロックが安定するまで待機する時間を選択します。水晶発振の場合、表 5.10 を参照し、動作周波数に応じて待機時間が発振安定時間以上となるように選択してください。外部クロックにおいても、PLL 回路の安定時間が必要になります。表 5.10 を参照し、待機時間を設定してください。発振安定期間中は、周辺バスクロック A [f (PBA)] の周波数でカウントされます。

5.2.14 クロック出力機能制御レジスタ (COCR)

アドレス H'FF46 E800



ビット	シンボル	ビット名	機能	R/W
b7-b6	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b5-b4	COD[1:0]	出力クロック分周比選択ビット	b5 b4 0 0 : 分周なし 0 1 : 2分周 1 0 : 4分周 1 1 : 8分周	R/W
b3-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	COE	クロック出力許可ビット	0 : クロック出力しない 1 : クロック出力する	R/W

注1. パワーダウンモード0からパワーダウンモード復帰リセットでリセットした場合、このレジスタはパワーダウンモード0時の値を保持しています。

注. • SH72A0グループでは、本機能はありません。

COCR レジスタの値を変更する場合は、CPR レジスタでプロテクトを解除してから変更してください。

COCR レジスタを設定する場合は、COCR レジスタのライト命令の直後に COCR レジスタのリード命令を実行してください。

COD ビット

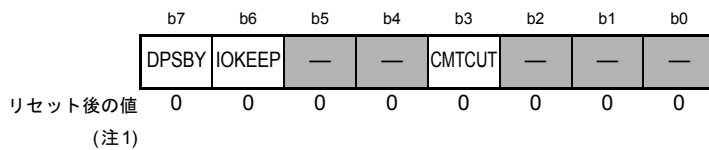
COD ビットで選択したクロック源を、分周して CLKOUT 端子から出力します。CLKOUT の出力は、25MHz 以下としてください。

COE ビット

COE ビットを“1”にすると、バスクロック (f(BUS)) を COD ビットで分周したクロックが、CLKOUT 端子から出力されます。

5.2.15 スリープモード制御レジスタ 1 (SLCR1)

アドレス H'FF46 EC03



ビット	シンボル	ビット名	機能	R/W
b7	DPSBY	パワーダウンビット	SLEEP命令を実行したときスタンバイモードかパワーダウンモードを選択します。 0:スタンバイモード 1:パワーダウンモード (注2)	R/W
b6	IOKEEP	I/Oポート保持ビット	0:パワーダウンモードの解除と同時にI/Oポートの保持状態を解除 1:パワーダウンモード解除後、このビットへの“0”書き込み時にI/Oポートの保持状態を解除	R/W
b5-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	CMTCUT	CMTカットビット	0:パワーダウンモード0に遷移でCMTへのクロックを供給 1:パワーダウンモード1に遷移でCMTへのクロックを停止 モード遷移については、DPSBYビットを参照してください。	R/W
b2-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注1. パワーダウンモード0、1からパワーダウンモード復帰リセットでリセットした場合、このレジスタはパワーダウンモード0、1時の値を保持しています。

注2. パワーダウンモード0か1かはCMTCUTビットを参照してください。

SLCR1 レジスタの値を変更する場合、SPR2 レジスタでプロテクトを解除してから変更してください。

DPSBY ビット

SLCR0 レジスタのSSBY ビットを“1”にセットした状態で、SLEEP命令を実行するとスタンバイモードへ遷移します。このとき、DPSBY ビットが“1”で、かつスタンバイモード解除要因がない場合パワーダウンモードに遷移します。割り込み要求によるパワーダウンモード復帰リセット時は、このビットは“1”にセットされたままです。クリアするときは“0”を書き込んでください。

IOKEEP ビット

パワーダウンモード時、I/Oポートは、スタンバイモードと同じ状態を保持します。このビットは、パワーダウンモード時に保持したポートの状態をパワーダウンモード解除後も保持し続けるか、解除するかを設定します。

表5.8 CPUスリープモード、スタンバイモード、パワーダウンモード0、パワーダウンモード1の設定一覧

SSBY	DPSBY	CMT CUT	モード
0	0	0	CPUスリープモード
		1	CPUスリープモード
	1	0	CPUスリープモード
		1	CPUスリープモード
1	0	0	スタンバイモード
		1	スタンバイモード
	1	0	パワーダウンモード0
		1	パワーダウンモード1

5.2.16 パワーダウンモード復帰要因選択レジスタ i (PDWSSLi) (i = 0、2 ~ 5)

PDWSSLi レジスタは、パワーダウンモード復帰リセットでリセットする場合の割り込み要求による許可 / 禁止を設定します。このレジスタの設定は、通常の割り込み要求による許可 / 禁止の影響は受けません。

PDWSSLi レジスタの値を変更する場合、SPR2 レジスタでプロテクトを解除してから変更してください。

PDWSSLi レジスタでパワーダウンモード復帰リセットの要因として許可を行う場合は、以下の手順で設定してください。

異なる手順で設定した場合、割り込み信号に意図しないエッジが発生する可能性があります。

1. パワーダウンモード復帰リセットの要因がマルチプレクスされている端子に該当する PVSRO ~ 3 レジスタのビットに B'00 以外を設定し、端子の入力を有効にする。
2. パワーダウンモード復帰リセットの要因に該当する PDWSSLi レジスタのビットに“1”を設定し、パワーダウンモード復帰リセットの要因として許可する。

PVSRO ~ 3 レジスタに関しては 13. I/O ポート「13.2.6 入力しきい値選択レジスタ 0 (PVSRO)」~「13.2.9 入力しきい値選択レジスタ 3 (PVS3)」を参照してください。

アドレス PDWSSL0 : H'FF46 EC0B

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DCAN 1IE	DCAN 0IE
リセット後の値	0	0	0	0	0	0	0	0

(注1)

ビット	シンボル	ビット名	機能	R/W
b7-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1	DCAN1IE	CAN1 ウェイクアップ割り込み許可ビット	0: パワーダウンモード復帰リセットの要因として禁止 1: パワーダウンモード復帰リセットの要因として許可	R/W
b0	DCAN0IE	CAN0 ウェイクアップ割り込み許可ビット		R/W

注1. パワーダウンモード0、1からパワーダウンモード復帰リセットでリセットした場合、このレジスタはパワーダウンモード0、1時の値を保持しています。

アドレス PDWSSL2 : H'FF46 EC13

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	DLIN3IE (注2)	DLIN2IE	—	—
リセット後の値	0	0	0	0	0	0	0	0

(注1)

ビット	シンボル	ビット名	機能	R/W
b7-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	DLIN3IE (注2)	LIN3 Low 検出割り込み許可 ビット	0: パワーダウンモード復帰リセットの要因として禁止 1: パワーダウンモード復帰リセットの要因として許可	R/W
b2	DLIN2IE	LIN2 Low 検出割り込み許可 ビット		R/W
b1-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注1. パワーダウンモード0、1からパワーダウンモード復帰リセットでリセットした場合、このレジスタはパワーダウンモード0、1時の値を保持しています。

注2. LIN3はSH72A0では使用できません。

アドレス PDWSSL3 : H'FF46 EC17

	b7	b6	b5	b4	b3	b2	b1	b0
	DNMIIE	—	DCMTIE	DLVD 1IE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

(注1)

ビット	シンボル	ビット名	機能	R/W
b7	DNMIIE	NMI 割り込み許可ビット	0: パワーダウンモード復帰リセットの要因として禁止 1: パワーダウンモード復帰リセットの要因として許可	R/W (注2)
b6	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b5	DCMTIE	CMT0 割り込み許可ビット	0: パワーダウンモード復帰リセットの要因として禁止 1: パワーダウンモード復帰リセットの要因として許可	R/W
b4	DLVD1IE	電圧監視割り込み1許可ビット		R/W
b3-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注1. パワーダウンモード0、1からパワーダウンモード復帰リセットでリセットした場合、このレジスタはパワーダウンモード0、1時の値を保持しています。

注2. 一度だけ“1”を書き込むことができます。以後のライトアクセスは無効です。

アドレス PDWSSL4 : H'FF46 EC1B

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	DINT13IE (注2)	DINT12IE (注2)	DINT11IE (注2)	DINT10IE	DINT9IE (注2)	DINT8IE
リセット後の値	0	0	0	0	0	0	0	0

(注1)

ビット	シンボル	ビット名	機能	R/W
b7-b6	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b5	DINT13IE (注2)	INT13端子割り込み許可ビット	0: パワーダウンモード復帰リセットの要因として禁止 1: パワーダウンモード復帰リセットの要因として許可	R/W
b4	DINT12IE (注2)	INT12端子割り込み許可ビット		R/W
b3	DINT11IE (注2)	INT11端子割り込み許可ビット		R/W
b2	DINT10IE	INT10端子割り込み許可ビット		R/W
b1	DINT9IE (注2)	INT9端子割り込み許可ビット		R/W
b0	DINT8IE	INT8端子割り込み許可ビット		R/W

注1. パワーダウンモード0、1からパワーダウンモード復帰リセットでリセットした場合、このレジスタはパワーダウンモード0、1時の値を保持しています。

注2. INT13,12,11,9はSH72A0では使用できません。

アドレス PDWSSL5 : H'FF46 EC1F

	b7	b6	b5	b4	b3	b2	b1	b0
	DINT7IE	DINT6IE	DINT5IE	DINT4IE	DINT3IE	DINT2IE	DINT1IE	DINT0IE
リセット後の値	0	0	0	0	0	0	0	0

(注1)

ビット	シンボル	ビット名	機能	R/W
b7	DINT7IE	INT7端子割り込み許可ビット	0: パワーダウンモード復帰リセットの要因として禁止 1: パワーダウンモード復帰リセットの要因として許可	R/W
b6	DINT6IE	INT6端子割り込み許可ビット		R/W
b5	DINT5IE	INT5端子割り込み許可ビット		R/W
b4	DINT4IE	INT4端子割り込み許可ビット		R/W
b3	DINT3IE	INT3端子割り込み許可ビット		R/W
b2	DINT2IE	INT2端子割り込み許可ビット		R/W
b1	DINT1IE	INT1端子割り込み許可ビット		R/W
b0	DINT0IE	INT0端子割り込み許可ビット		R/W

注1. パワーダウンモード0、1からパワーダウンモード復帰リセットでリセットした場合、このレジスタはパワーダウンモード0、1時の値を保持しています。

PDWSSLi レジスタは、パワーダウンモードを解除する割り込みの許可 / 禁止を設定します。

PDWSSLi レジスタは、パワーダウンモードを解除する際の内部リセット信号では初期化されません。

5.2.17 パワーダウンモード復帰要因ステータスレジスタ i (PDWSSRi) (i = 0、2 ~ 5)

PDWSSRi レジスタは、パワーダウンモード復帰リセットで復帰したとき、その要因を判別するためのレジスタです。PDWSSRi レジスタは、PDWSSLi レジスタで許可した要因が発生したときに該当するビットが“1”になります。このレジスタは、パワーダウンモードでない状態でも有効になっているため、パワーダウンモードに遷移する場合、本レジスタの各ビットをクリアした後、遷移してください。

PDWSSRi レジスタの値を変更する場合、SPR2 レジスタでプロテクトを解除してから変更してください。

アドレス PDWSSR0 : H'FF46 EC23

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DCAN1IF	DCAN0IF
リセット後の値	0	0	0	0	0	0	0	0

(注1)

ビット	シンボル	ビット名	機能	R/W
b7-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1	DCAN1IF	CAN1 ウェイクアップ割り込みフラグ	["1"になる条件] PDWSSLi レジスタの該当する許可ビットを“1”にしている状態で	R/W (注2)
b0	DCAN0IF	CAN0 ウェイクアップ割り込みフラグ	割り込み要求があったとき ["0"になる条件] “1”の状態を読み出した後、“0”を書き込んだとき	R/W (注2)

注1. パワーダウンモード0、1からパワーダウンモード復帰リセットでリセットした場合、このレジスタはパワーダウンモード0、1時の値を保持しています。

注2. フラグをクリアするため、“1”を読み出した後に“0”を書き込むことのみ可能です。

アドレス PDWSSR2 : H'FF46 EC2B

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	DLIN3IF	DLIN2IF	—	—
リセット後の値	0	0	0	0	0	0	0	0

(注1)

ビット	シンボル	ビット名	機能	R/W
b7-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	DLIN3IF (注3)	LIN3 Low 検出割り込みフラグ	["1"になる条件] PDWSSLi レジスタの該当する許可ビットを“1”にしている状態で	R/W (注2)
b2	DLIN2IF	LIN2 Low 検出割り込みフラグ	割り込み要求があったとき ["0"になる条件] “1”の状態を読み出した後、“0”を書き込んだとき	R/W (注2)
b1-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注1. パワーダウンモード0、1からパワーダウンモード復帰リセットでリセットした場合、このレジスタはパワーダウンモード0、1時の値を保持しています。

注2. フラグをクリアするため、“1”を読み出した後に“0”を書き込むことのみ可能です。

注3. LIN3 はSH72A0では使用できません。

アドレス PDWSSR3 : H'FF46 EC2F

	b7	b6	b5	b4	b3	b2	b1	b0
	DNMIIF	—	DCMTIF	DLVD 1IF	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
(注1)								

ビット	シンボル	ビット名	機能	R/W
b7	DNMIIF	NMI割り込みフラグ	["1"になる条件] PDWSSLiレジスタの該当する許可ビットを"1"にしている状態で 割り込み要求があったとき ["0"になる条件] "1"の状態を読み出した後、"0"を書き込んだとき	R/W (注2)
b6	—	(予約ビット)	読むと"0"が読み出されます。書き込みは"0"としてください。	R
b5	DCMTIF	CMT0割り込みフラグ	["1"になる条件] PDWSSLiレジスタの該当する許可ビットを"1"にしている状態で 割り込み要求があったとき ["0"になる条件] "1"の状態を読み出した後、"0"を書き込んだとき	R/W (注2)
b4	DLVD1IF	電圧監視割り込み1フラグ	["1"になる条件] PDWSSLiレジスタの該当する許可ビットを"1"にしている状態で 割り込み要求があったとき ["0"になる条件] "1"の状態を読み出した後、"0"を書き込んだとき	R/W (注2)
b3-b0	—	(予約ビット)	読むと"0"が読み出されます。書き込みは"0"としてください。	R

注1. パワーダウンモード0、1からパワーダウンモード復帰リセットでリセットした場合、このレジスタはパワーダウンモード0、1時の値を保持しています。

注2. フラグをクリアするため、"1"を読み出した後に"0"を書き込むことのみ可能です。

アドレス PDWSSR4 : H'FF46 EC33

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	DINT13IF (注3)	DINT12IF (注3)	DINT11IF (注3)	DINT10IF	DINT9IF (注3)	DINT8IF
リセット後の値	0	0	0	0	0	0	0	0

(注1)

ビット	シンボル	ビット名	機能	R/W
b7-b6	—	(予約ビット)	読むと“0”が読み出されず。書き込みは“0”としてください。	R
b5	DINT13IF (注3)	INT13端子割り込みフラグ	["1"になる条件] PDWSSLiレジスタの該当する許可ビットを“1”にしている状態で 割り込み要求があったとき ["0"になる条件] “1”の状態を読み出した後、“0”を書き込んだとき	R/W (注2)
b4	DINT12IF (注3)	INT12端子割り込みフラグ		R/W (注2)
b3	DINT11IF (注3)	INT11端子割り込みフラグ		R/W (注2)
b2	DINT10IF	INT10端子割り込みフラグ		R/W (注2)
b1	DINT9IF (注3)	INT9端子割り込みフラグ		R/W (注2)
b0	DINT8IF	INT8端子割り込みフラグ		R/W (注2)

注1. パワーダウンモード0、1からパワーダウンモード復帰リセットでリセットした場合、このレジスタはパワーダウンモード0、1時の値を保持しています。

注2. フラグをクリアするため、“1”を読み出した後に“0”を書き込むことのみ可能です。

注3. INT13,12,11,9はSH72A0では使用できません。

アドレス PDWSSR5 : H'FF46 EC37

	b7	b6	b5	b4	b3	b2	b1	b0
	DINT7IF	DINT6IF	DINT5IF	DINT4IF	DINT3IF	DINT2IF	DINT1IF	DINT0IF
リセット後の値	0	0	0	0	0	0	0	0

(注1)

ビット	シンボル	ビット名	機能	R/W
b7	DINT7IF	INT7端子割り込みフラグ	["1"になる条件] PDWSSLiレジスタの該当する許可ビットを“1”にしている状態で 割り込み要求があったとき ["0"になる条件] “1”の状態を読み出した後、“0”を書き込んだとき	R/W (注2)
b6	DINT6IF	INT6端子割り込みフラグ		R/W (注2)
b5	DINT5IF	INT5端子割り込みフラグ		R/W (注2)
b4	DINT4IF	INT4端子割り込みフラグ		R/W (注2)
b3	DINT3IF	INT3端子割り込みフラグ		R/W (注2)
b2	DINT2IF	INT2端子割り込みフラグ		R/W (注2)
b1	DINT1IF	INT1端子割り込みフラグ		R/W (注2)
b0	DINT0IF	INT0端子割り込みフラグ		R/W (注2)

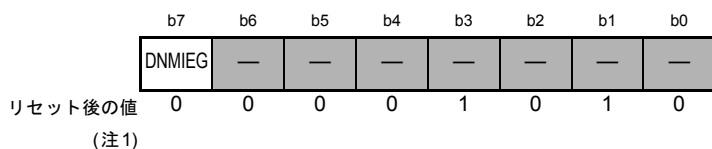
注1. パワーダウンモード0、1からパワーダウンモード復帰リセットでリセットした場合、このレジスタはパワーダウンモード0、1時の値を保持しています。

注2. フラグをクリアするため、“1”を読み出した後に“0”を書き込むことのみ可能です。

5.2.18 パワーダウンモード復帰要因エッジ選択レジスタ j (PDWSESLj) (j = 0 ~ 2)

PDWSESLj レジスタは、パワーダウンモード復帰リセットに使用する割り込みのエッジ選択を行います。
PDWSESLj レジスタの値を変更する場合、SPR2 レジスタでプロテクトを解除してから変更してください。

アドレス PDWSESL0 : H'FF46 EC3B



ビット	シンボル	ビット名	機能	R/W
b7	DNMIEG	NMI割り込みエッジ選択ビット	0:NMI端子立ち下がりエッジで割り込み要求を発生 1:NMI端子立ち上がりエッジで割り込み要求を発生	R/W
b6-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	—	(予約ビット)	読むと“1”が読み出されます。書き込みは“1”としてください。	R
b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1	—	(予約ビット)	読むと“1”が読み出されます。書き込みは“1”としてください。	R
b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注1. パワーダウンモード0、1からパワーダウンモード復帰リセットでリセットした場合、このレジスタはパワーダウンモード0、1時の値を保持しています。

アドレス PDWSESL1 : H'FF46 EC3F

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	DINT13EG	DINT12EG	DINT11EG	DINT10EG	DINT9EG	DINT8EG
リセット後の値	0	0	G(注2)	G(注2)	G(注2)	EG	(注2)	EG
(注1)								

ビット	シンボル	ビット名	機能	R/W
b7-b6	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b5	DINT13EG (注2)	INT13端子エッジ選択ビット	0: INTi端子の立ち下がりエッジで割り込み要求を発生 1: INTi端子の立ち上がりエッジで割り込み要求を発生	R/W
b4	DINT12EG (注2)	INT12端子エッジ選択ビット		R/W
b3	DINT11EG (注2)	INT11端子エッジ選択ビット		R/W
b2	DINT10EG	INT10端子エッジ選択ビット		R/W
b1	DINT9EG (注2)	INT9端子エッジ選択ビット		R/W
b0	DINT8EG	INT8端子エッジ選択ビット		R/W

注1. パワーダウンモード0、1からパワーダウンモード復帰リセットでリセットした場合、このレジスタはパワーダウンモード0、1時の値を保持しています。

注2. INT13,12,11,9はSH72A0では使用できません。

アドレス PDWSESL2 : H'FF46 EC43

	b7	b6	b5	b4	b3	b2	b1	b0
	DINT7EG	DINT6EG	DINT5EG	DINT4EG	DINT3EG	DINT2EG	DINT1EG	DINT0EG
リセット後の値	0	0	0	0	0	0	0	0
(注1)								

ビット	シンボル	ビット名	機能	R/W
b7	DINT7EG	INT7端子エッジ選択ビット	0: INTi端子の立ち下がりエッジで割り込み要求を発生 1: INTi端子の立ち上がりエッジで割り込み要求を発生	R/W
b6	DINT6EG	INT6端子エッジ選択ビット		R/W
b5	DINT5EG	INT5端子エッジ選択ビット		R/W
b4	DINT4EG	INT4端子エッジ選択ビット		R/W
b3	DINT3EG	INT3端子エッジ選択ビット		R/W
b2	DINT2EG	INT2端子エッジ選択ビット		R/W
b1	DINT1EG	INT1端子エッジ選択ビット		R/W
b0	DINT0EG	INT0端子エッジ選択ビット		R/W

注1. パワーダウンモード0、1からパワーダウンモード復帰リセットでリセットした場合、このレジスタはパワーダウンモード0、1時の値を保持しています。

5.2.19 リセットステータスレジスタ 0 (RSTSR0)

RSTSR0 レジスタは、パワーダウンモード復帰リセットのリセット要因と電圧監視 (VCC の下降 : 監視電圧は Vdet1) を示すレジスタです。パワーダウンモードに遷移する場合、本レジスタの各ビットをクリアした後、遷移してください。

RSTSR0 レジスタの値を変更する場合、SPR2 レジスタでプロテクトを解除してから変更してください。

アドレス RSTSR0 : H'FF46 EC47

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSBYF	—	—	—	—	—	LVD1F	—
リセット後の値	0	0	0	0	0	0	0	0

(注1)

ビット	シンボル	ビット名	機能	R/W
b7	DPSBYF	パワーダウンリセットフラグ	["1"になる条件] 割り込み要求によるパワーダウンモード復帰リセットが発生したとき ["0"になる条件] "1"の状態を読み出した後、“0”を書き込んだとき	R/W (注2)
b6-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1	LVD1F	LVD1フラグ	["1"になる条件] Vdet1 レベル以下のVCC 電圧を検知したとき ["0"になる条件] "1"の状態を読み出した後、“0”を書き込んだとき	R/W (注2)
b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注1. パワーダウンモード0、1からパワーダウンモード復帰リセットでリセットした場合、このレジスタはパワーダウンモード0、1時の値を保持しています。

注2. フラグをクリアするため、“1”を読み出した後に“0”を書き込むことのみ可能です。

DPSBYF ビット

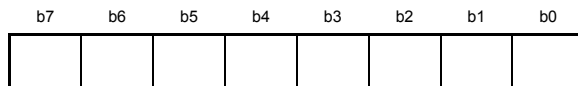
パワーダウンモード復帰リセットが発生したことを示します。

LVD1F ビット

電圧監視回路で低電圧 (VCC が Vdet1 以下) が検出されたことを示します。

5.2.20 バックアップレジスタ m (BURm) (m = 0 ~ 31)

BUR0 : H'FF46 ED03、BUR1 : H'FF46 ED07、BUR2 : H'FF46 ED0B、BUR3 : H'FF46 ED0F、
 BUR4 : H'FF46 ED13、BUR5 : H'FF46 ED17、BUR6 : H'FF46 ED1B、BUR7 : H'FF46 ED1F、
 BUR8 : H'FF46 ED23、BUR9 : H'FF46 ED27、BUR10 : H'FF46 ED2B、BUR11 : H'FF46 ED2F、
 アドレス BUR12 : H'FF46 ED33、BUR13 : H'FF46 ED37、BUR14 : H'FF46 ED3B、BUR15 : H'FF46 ED3F、
 BUR16 : H'FF46 ED43、BUR17 : H'FF46 ED47、BUR18 : H'FF46 ED4B、BUR19 : H'FF46 ED4F、
 BUR20 : H'FF46 ED53、BUR21 : H'FF46 ED57、BUR22 : H'FF46 ED5B、BUR23 : H'FF46 ED5F、
 BUR24 : H'FF46 ED63、BUR25 : H'FF46 ED67、BUR26 : H'FF46 ED6B、BUR27 : H'FF46 ED6F、
 BUR28 : H'FF46 ED73、BUR29 : H'FF46 ED77、BUR30 : H'FF46 ED7B、BUR31 : H'FF46 ED7F



リセット後の値 X X X X X X X X
(注1)

ビット	機能	R/W
b7-b0	パワーダウンモード中、データを待避するためのレジスタです。	R/W

注1. パワーダウンモード0、1からパワーダウンモード復帰リセットでリセットした場合、このレジスタはパワーダウンモード0、1時の値を保持しています。

BURm レジスタは、パワーダウンモード中、データを待避するためのレジスタです。

内蔵 RAM のデータが保持されないパワーダウンモードにおいても、このレジスタは保持されます。

BURm レジスタの値を変更する場合、SPR2 レジスタでプロテクトを解除してから変更してください。

5.3 クロック発生回路

5.3.1 メインクロック発振回路

メインクロックを供給する方法には、発振子を接続する方法と XIN 端子にクロックを入力する方法があります。図 5.4 にメインクロックの接続回路例を示します。

メインクロック発振回路には帰還抵抗が内蔵されており、スタンバイモードおよびパワーダウンモード 0、パワーダウンモード 1 のときには消費電力を低減するため、発振回路から切り離されます。回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

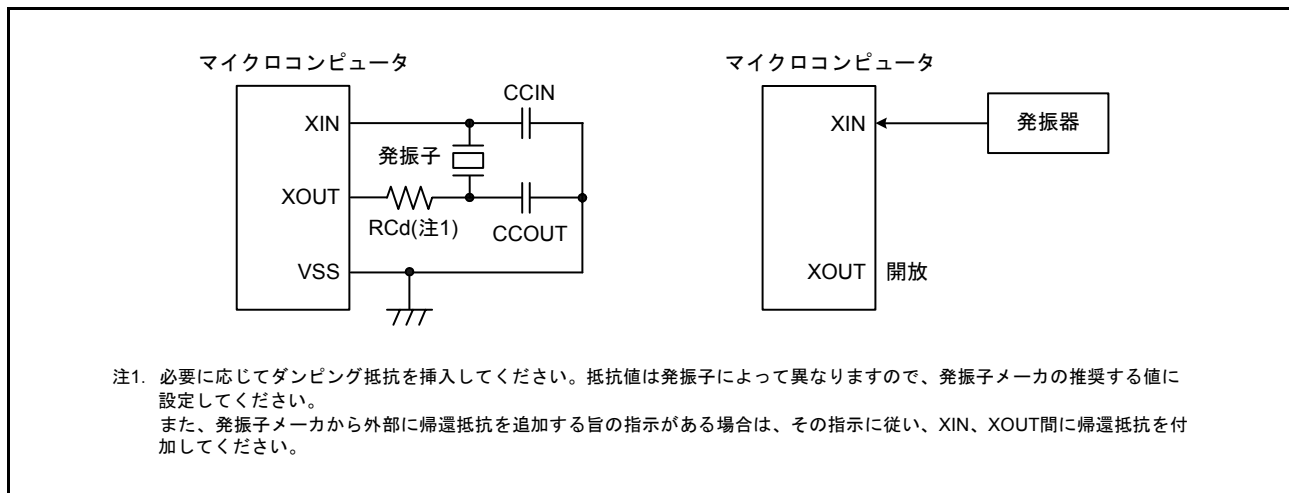


図 5.4 メインクロックの接続回路例

5.3.2 低速オンチップオシレータ

125kHz の低速オンチップオシレータクロック (f(LOCO)) を供給します。リセット後、低速オンチップオシレータクロックは発振しています。

5.3.3 PLL 周波数シンセサイザ

メインクロックを元に PLL クロック (f(PLL)) を生成します。

リセット後、PLL クロックは発振しています。

PLL クロックの周波数は次の式で算出されます。

$$\text{PLL クロックの周波数 (f(PLL))} = (\text{PLL 通倍率}) \times \text{f(XIN)}$$

SH72A0 グループの PLL 通倍率は 8 倍、SH72A2 グループの PLL 通倍率は 10 倍となります。

5.4 システムクロック (f(SYS))

システムクロックは、CPUクロックやバスクロック、周辺バスクロック、周辺機能クロックのクロック源になります。システムクロックは、クロック (f(PLL)) になります。

5.4.1 CPUクロック (f(CPU))

CPUクロックはCPUの動作クロックです。システムクロックを分周なし、2、4、8分周したクロックがCPUクロックになります。リセット後、システムクロックの4分周になります。

5.4.2 バスクロック (f(BUS))

バスクロックは、システムクロックを分周なし、2、4、8分周したクロックがバスクロックになります。バスクロックの周波数は、CPUクロックと同速または2分周クロックかつ、SH72A0グループであれば80MHz以下、SH72A2グループであれば100MHz以下にしてください。リセット後、システムクロックの4分周になります。

5.4.3 周辺バスクロック

周辺バスクロックは、周辺クロックA (f(PBA))、周辺クロックB (f(PBB))、周辺クロックC (f(PBC))、およびMTU動作クロック (f(MTU)) です。周辺機能で使われます。システムクロックを分周なし、2、4、8分周したクロックが周辺バスクロックになります。

f(PBA)、f(PBB)、およびf(PBC)の周波数は、バスクロックの2分周クロックに設定し、かつSH72A0グループであれば40MHz以下、SH72A2グループであれば50MHz以下にしてください。リセット後、バスクロックの2分周クロックです。

f(MTU)の周波数は、周辺クロックAと同速または周辺クロックAの2倍のクロックに設定し、かつSH72A0グループであれば80MHz以下、SH72A2グループであれば100MHz以下にしてください。リセット後、バスクロックと同速です。

周辺バスクロックは、PBCCRレジスタの設定で各周辺機能への供給/停止ができます。詳細については、「5.2.8 周辺バスクロック制御レジスタ (PBCCR)」を参照してください。

5.4.4 周辺機能クロック

周辺機能クロックには、CMTカウントソース (f(CMT))、LIN通信クロック源 (f(LIN))、WDTカウントソース (f(LOCO)) があります。

CMTカウントソースは、CMT0のカウントソースに使用します。f(LOCO)の2n分周または16n分周したクロックがCMTカウントソースになります (n=0~15: n=0の場合は分周なし)。CMTカウントソースの周波数はSH72A0グループであれば40MHz以下、SH72A2グループであれば50MHz以下にしてください。リセット後、f(LOCO)と同速になります。

LIN通信クロック源 (f(LIN)) は、LINの動作クロックに使用します。システムクロックを、2n分周または16n分周したクロックがLIN通信クロック源になります (n=1~15)。LIN通信クロック源の周波数はSH72A0グループであれば40MHz以下、SH72A2グループであれば50MHz以下にしてください。リセット後、システムクロックの4分周になります。

WDTカウントソース (f(LOCO)) は、WDTの動作クロックに使用します。

5.4.5 クロック分周レジスタ設定手順

分周レジスタの設定手順は下記の手順で設定してください。

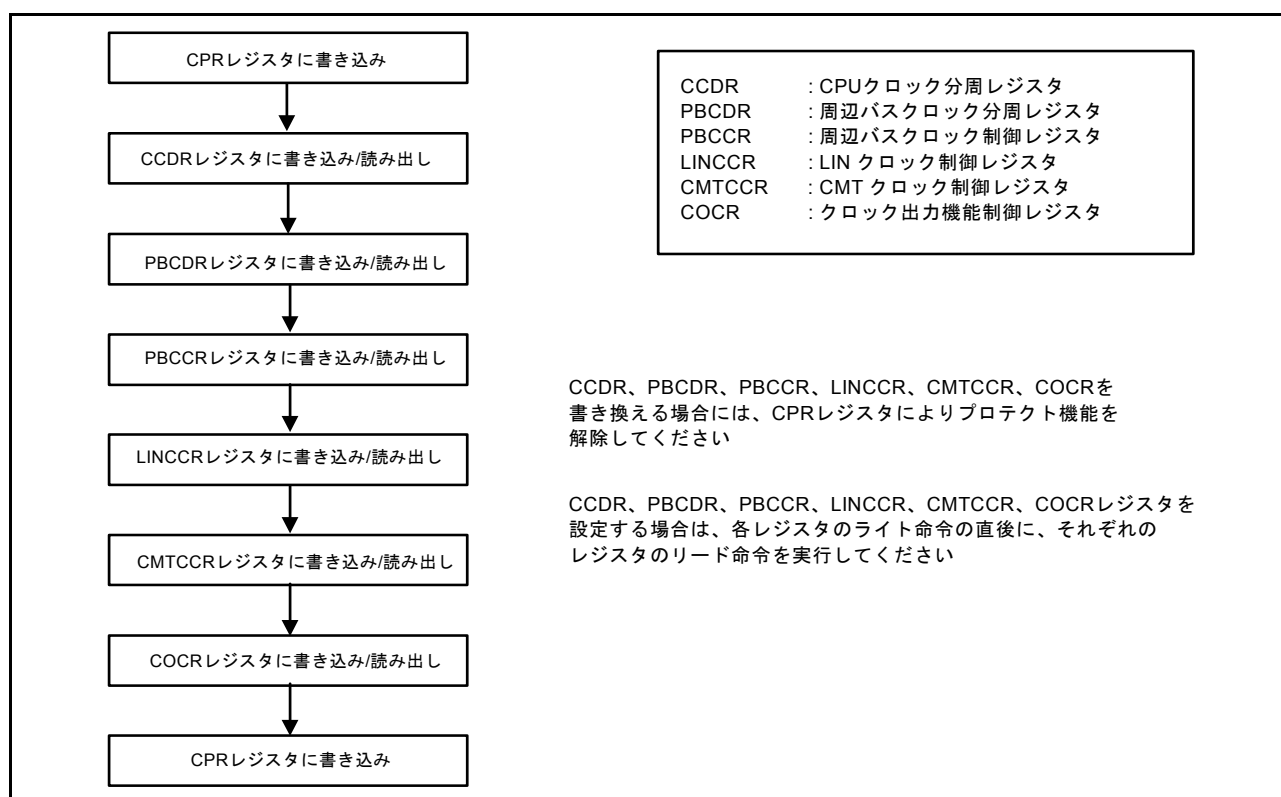


図 5.5 分周レジスタの設定手順

5.5 パワーコントロール

CPU クロックの周波数を制御することで、パワーコントロールを行います。CPU クロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。パワーコントロールには、CPU の動作に応じて CPU ランモード、スリープモード (CPU スリープモード、スタンバイモード、パワーダウンモード 0、パワーダウンモード 1) があります。

CPU ランモードでは、CPU クロック、バスクロック、周辺バスクロック、周辺機能クロックが供給されています。

スリープモードで CPU クロックの供給が停止します。

パワーコントロールの仕様は表 5.3 を参照してください。表 5.9 に各モードの動作状態を示します。CPU の状態におけるモードの遷移については図 5.3 を参照してください。

表 5.9 各モードの動作状態

動作状態	CPUスリープモード	スタンバイモード	パワーダウンモード0 (CMT動作)	パワーダウンモード1 (CMT非動作)
メインクロック発振回路	発振	停止	停止	停止
低速オンチップオシレータ	停止/発振	停止/発振	発振	停止
PLL周波数シンセサイザ	発振	電源遮断	電源遮断	電源遮断
システムクロック	f(PLL)/n	f(LOCO)	f(LOCO)	停止
ROM	動作	停止	電源遮断	電源遮断
RAM	動作	停止	電源遮断	電源遮断
EEPROM	動作	停止	電源遮断 (データ保持)	電源遮断 (データ保持)
CPU	停止	停止	電源遮断	電源遮断
DMAC、 タスク監視タイマ、 CRC演算回路、SBI、SCI、 A/Dコンバータ、 TPU、MTU-III、 デバッグ関連	動作	停止	電源遮断	電源遮断
CMT	動作	動作	停止 (CMT0のみ動作)	停止
WDT	動作	停止	停止	停止
割り込みコントローラ	動作	動作	電源遮断 (NMI、INT 割り込みのみ 受付可能)	電源遮断 (NMI、INT 割り込みのみ 受付可能)
CAN、LIN	動作	停止	電源遮断 (ウェイクアップ割り込みのみ 受付可能)	電源遮断 (ウェイクアップ割り込みのみ 受付可能)
I/Oポート	動作	保持	保持	保持
モードからの復帰要因 (リセット要因)	・ハードウェアリセット ・ウォッチドックタイマ リセット	・ハードウェアリセット	・ハードウェアリセット	・ハードウェアリセット
モードからの復帰要因 (割り込み要因) (注1)	・ソフトウェア割り込み除 くすべての割り込み	・CANiウェイクアップ割 り込み ・LINi Low検出割り込み ・NMI割り込み ・INTi割り込み ・電圧監視割り込み1 ・CMTi割り込み	・CANiウェイクアップ割 り 込み要求 ・LINi Low検出割り込み要求 ・NMI割り込み要求 ・INTi割り込み要求 ・電圧監視割り込み1要求 ・CMT0割り込み要求	・CANiウェイクアップ割 り 込み要求 ・LINi Low検出割り込み要求 ・NMI割り込み要求 ・INTi割り込み要求 ・電圧監視割り込み1要求

注1. パワーダウンモード0およびパワーダウンモード1からの復帰の場合、自動リセット(パワーダウン復帰リセット)で復帰します。

5.5.1 各モードの説明

5.5.1.1 CPU スリープモード

(1) CPU スリープモードへの遷移

SLCR0 レジスタの SSBY ビットが“0”の状態では SLEEP 命令を実行すると、CPU スリープモードになります。CPU スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

(2) CPU スリープモード状態と CPU スリープモードからの復帰

CPU スリープモードの動作状態および復帰要因については、表 5.9 を参照してください。

[割り込み要因で復帰する場合]

割り込みが発生すると、CPU スリープモードは解除され、割り込み例外処理を開始します。このとき、遷移する前の CPU ランモードで復帰します。割り込みが禁止されている場合、また NMI 以外の割り込みが CPU 側でマスクされている場合は、CPU スリープモードから復帰しません。

[リセット要因で復帰する場合]

リセット状態になり、CPU はリセット例外処理を開始します。

5.5.1.2 スタンバイモード

(1) スタンバイモードへの遷移

スタンバイモードへ遷移する場合は、事前に CPU/バス/MTU 動作クロックが 4 分周、MTU 以外の周辺バスクロックが 8 分周となるよう設定してください。

SLCR0 レジスタの SSBY ビットが“1”、SLCR1 の DPSBY ビットが“0”の状態では、SLEEP 命令を実行すると、スタンバイモードに遷移します。スタンバイモードへ遷移する前に、ウォッチドッグタイマに対し下記の設定を行ってください。

1. WDTCR0 レジスタの CSS ビットに B'11 を設定。
2. WDTCR0 レジスタの TOPS ビットに B'11 を設定。
3. ウォッチドッグタイマをリフレッシュ。

スタンバイモードから復帰した後に、ウォッチドッグタイマを本来の設定値へ戻してください。

(2) スタンバイモード状態とスタンバイモードからの復帰

スタンバイモード状態および復帰要因については、表 5.9 を参照してください。

[割り込み要因で復帰する場合]

割り込みが発生すると、スタンバイモードは解除され、割り込み例外処理を開始します。このとき、遷移する前の CPU ランモードで復帰します。割り込みが禁止されている場合、また NMI 以外の割り込みが CPU 側でマスクされている場合は、スタンバイモードから復帰しません。

[リセット要因で復帰する場合]

リセット状態になり、CPU はリセット例外処理を開始します。

(3) スタンバイモード解除後の発振安定時間の設定

SLCR0 レジスタの STS[4:0] ビットの設定は、以下のようにしてください。

1. 水晶発振の場合

待機時間が発振安定時間以上となるように STS[4:0] ビットを設定してください。

表 5.10 に、動作周波数と STS[4:0] ビットの設定に対する待機時間を示します。

2. 外部クロックの場合

PLL 回路の安定時間が必要となります。表 5.10 を参照し待機時間を設定してください。

表 5.10 発振安定時間の設定

STS4	STS3	STS2	STS1	STS0	待機時間 (ステート)	f (PBA) (注1) [MHz]							単位
						50	32	25	16	13	10	8	
0	0	0	0	0	(予約)	—	—	—	—	—	—	—	μs
				1	(予約)	—	—	—	—	—	—	—	
			1	0	(予約)	—	—	—	—	—	—	—	
				1	(予約)	—	—	—	—	—	—	—	
		1	0	0	(予約)	—	—	—	—	—	—	—	
				1	64	1.30	2.00	2.60	4.00	4.90	6.40	8.00	
				1	0	512	10.25	16.00	20.50	32.00	39.40	51.20	
			1	0	0	1024	20.50	32.00	41.00	64.00	78.80	102.40	
	0			0	2048	40.95	64.00	81.90	128.00	157.50	204.80	256.00	
				1	4096	0.08	0.13	0.16	0.26	0.32	0.41	0.51	
	1	0	0	0	16384	0.33	0.51	0.66	1.02	1.26 (注2)	1.64 (注2)	2.05 (注2)	ms
				1	32768	0.66	1.02	1.31 (注2)	2.05 (注2)	2.52	3.28	4.10	
			1	0	0	65536	1.31 (注2)	2.05 (注2)	2.62	4.10	5.04	6.55	
		1			131072	2.62	4.10	5.24	8.19	10.08 (注3)	13.11 (注3)	16.38 (注3)	
0		0		262144	5.25	8.19	10.49 (注3)	16.38 (注3)	20.16	26.21	32.77		
		1	524288	10.49 (注3)	16.38 (注3)	20.97	40.33	40.33	52.43	65.54			
1	x	x	x	x	(予約)	—	—	—	—	—	—	—	

注1. f (PBA)は周辺モジュール分周器の出力です。

発振安定待ち時間は、発振器が発振安定していない期間も含まれますので、発振子の特性に影響されます。

上記数値は参考値です。

注2. 外部クロック使用時の推奨設定時間

注3. 水晶発振使用時の推奨設定時間

5.5.1.3 パワーダウンモード0

(1) パワーダウンモード0への遷移

パワーダウンモード0へ遷移する場合は、事前にCPU/バス/MTU動作クロックが4分周、MTU以外の周辺バスクロックが8分周となるよう設定してください。

SLCR0レジスタのSSBYビットが“1”、SLCR1レジスタのDPSBYビットが“1”、SLCR1レジスタのCMT CUTビットが“0”の状態、SLEEP命令を実行するとパワーダウンモード0へ遷移します。

パワーダウンモード0に入る前にPDWSSRiレジスタをクリアしてください。PDWSSRiレジスタはパワーダウンモード0からパワーダウン復帰リセットでリセットした場合、値を保持しています。

パワーダウンモード0へ遷移する場合は、内部的にスタンバイモードを経由するため、遷移途中で、スタンバイモード復帰のための割り込み要因があれば、途中でスタンバイモードが解除され、割り込み処理が開始されます。

(2) パワーダウンモード0状態とパワーダウンモード0からの復帰

パワーダウンモード0状態および復帰要因については、表5.9を参照してください。

[割り込み要因で復帰する場合 (パワーダウンモード復帰リセットで復帰)]

PDWSSLiレジスタで設定した復帰用の割り込み要因を受け付けると、対応するPDWSSRiレジスタのビットが“1”になり、内部電源の供給が開始されて自動的にリセット状態になります。CPUはリセット処理を開始します。このとき、RSTSR0レジスタのDPSBYFフラグが“1”になります。I/Oポートの状態については、SLCR1レジスタのIOKEEPビットの設定に依存します。IOKEEPビットが“0”のときは、パワーダウンモード解除と同時にI/Oポートの保持状態を解除します。“1”のときは、IOKEEPビットへの“0”書き込みまでI/Oポートの状態が保持されます。動作/停止していた機能については初期化しません。それ以外の機能は他のリセット処理と同じです。

[リセット要因で復帰する場合]

リセット状態になり、CPUはリセット例外処理を開始します。

5.5.1.4 パワーダウンモード1

(1) パワーダウンモード1への遷移

パワーダウンモード1へ遷移する場合は、事前にCPU/バス/MTU動作クロックが4分周、MTU以外の周辺バスクロックが8分周となるよう設定してください。

SLCR0レジスタのSSBYビットが“1”、SLCR1レジスタのDPSBYビットが“1”、SLCR1レジスタのCMT CUTビットが“1”の状態、SLEEP命令を実行するとパワーダウンモード1へ遷移します。

パワーダウンモード1に入る前にPDWSSRiレジスタをクリアしてください。PDWSSRiレジスタはパワーダウンモード1からパワーダウン復帰リセットでリセットした場合、値を保持しています。

パワーダウンモード1へ遷移する場合は、内部的にスタンバイモードを経由するため、遷移途中で、スタンバイモード復帰のための割り込み要因があれば、途中でスタンバイモードが解除され、割り込み処理が開始されます。

(2) パワーダウンモード 1 状態とパワーダウンモード 1 からの復帰

パワーダウンモード 1 状態および復帰要因については、表 5.9 を参照してください。

[割り込み要因で復帰する場合 (パワーダウンモード復帰リセットで復帰)]

PDWSSLi レジスタで設定した復帰用の割り込み要因を受け付けると、対応する PDWSSRi レジスタのビットが“1”になり、内部電源の供給が開始されて自動的にリセット状態になります。CPU はリセット処理を開始します。このとき、RSTSR0 レジスタの DPSBYF フラグが“1”になります。I/O ポートの状態については、SLCR1 レジスタの IOKEEP ビットの設定に依存します。IOKEEP ビットが“0”のときは、パワーダウンモード解除と同時に I/O ポートの保持状態を解除します。“1”のときは、IOKEEP ビットへの“0”書き込みまで I/O ポートの状態が保持されます。動作 / 停止していた機能については初期化しません。それ以外の機能は他のリセット処理と同じです。

[リセット要因で復帰する場合]

リセット状態になり、CPU はリセット例外処理を開始します。

5.6 メインクロック監視機能

MCMCR レジスタの XME ビットが“1”のとき、外部の要因などでメインクロックが停止すると、システムクロックが自動的に PLL 自走クロックに切り替わります。

メインクロックが停止すると、各レジスタのビットが次のようになります。

- MCMCR レジスタの LXDF フラグ=“1”(メインクロック発振停止を検出)

LXDF フラグは、いったん“1”になると自動的に“0”になりません。LXDF フラグを“0”にする場合、LXDF フラグをプログラムで“0”にしてください。

また、LXIE ビットが“1”(メインクロック発振停止検出割り込みを許可)の状態、メインクロックが停止すると、メインクロック発振停止検出割り込み要求が発生します。メインクロック発振停止検出割り込みは、電圧監視割り込み 1 とベクタを共用しています。これらの割り込みと同時に使用する場合、割り込みルーチンで LXDF ビットを読み出し、メインクロック発振停止検出割り込み要求が発生したことを確認してください。

この機能は外部要因によるメインクロック発振停止に備えた機能です。

5.7 クロック出力機能

COCR レジスタの COE ビットを“1”にすると、CLKOUT 端子からクロックを出力できます。出力するクロックは、バスクロック (f(BUS)) 分周なし、または 2、4、8 分周したクロックになります。

SH72A0 グループでは、本機能はありません。

5.8 使用上の注意事項

5.8.1 ボード設計上の注意

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ XIN、XOUT 端子の近くに配置してください。図 5.6 に示すように発振回路の近くには信号線を通させないでください。誘導により正しい発振ができなくなることがあります。

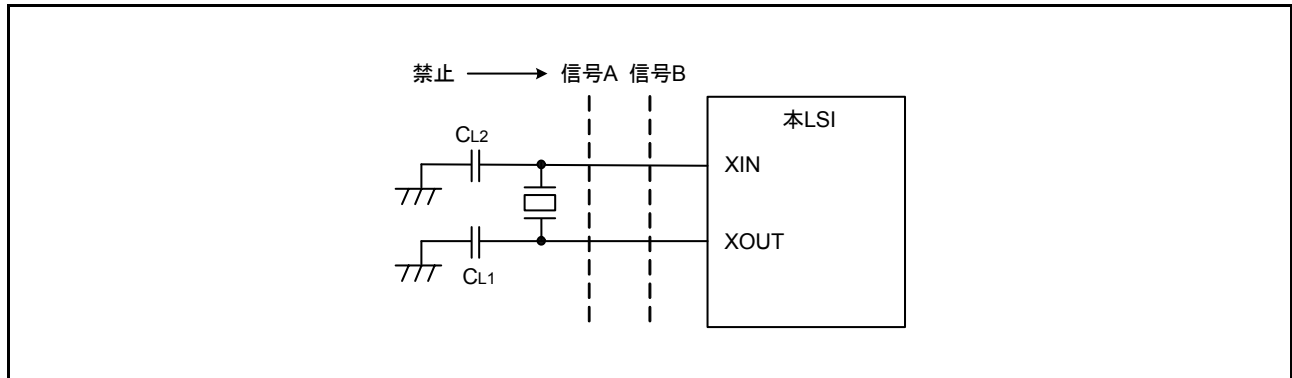


図 5.6 発振回路部のボード設計に関する注意事項

バイパスコンデンサの接続例を図 5.7 に示します。VCC、VSS はボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CB を必ず挿入してください。バイパスコンデンサの容量値はユーザのシステムボード設計において十分検討してください。

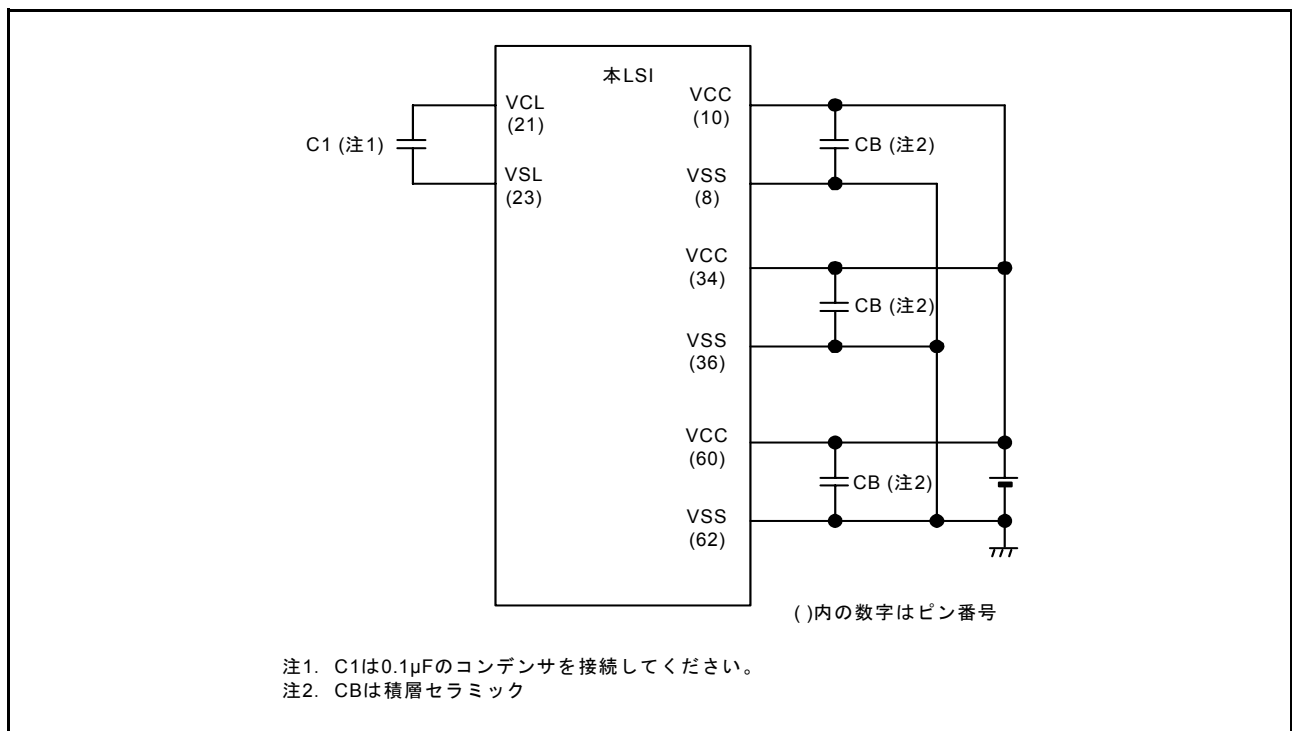


図 5.7 バイパスコンデンサの接続例 (SH72A2 グループ)

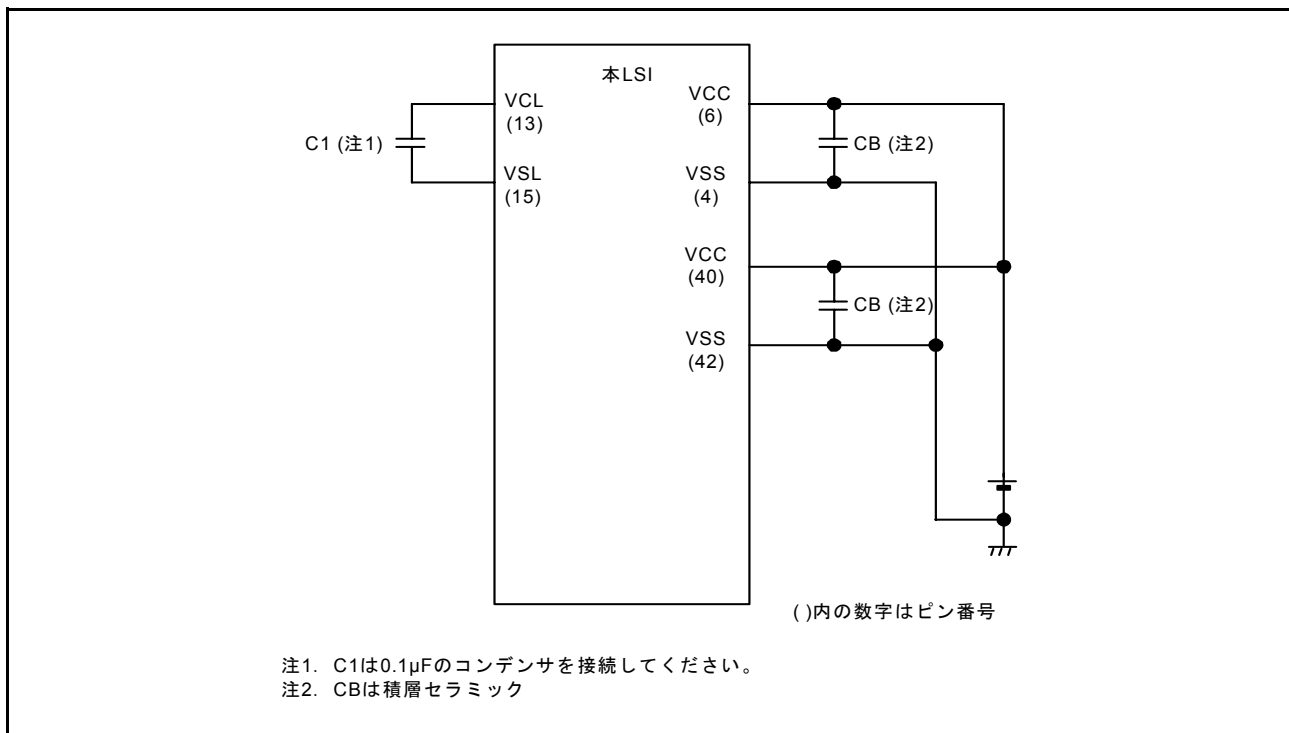


図 5.8 バイパスコンデンサの接続例 (SH72A0 グループ)

6. 例外処理


6.1 概要

6.1.1 例外処理の種類と優先順位

例外処理は、リセット、アドレスエラー、CPU オペランドアクセス MPU エラー、レジスタバンクエラー、割り込み、および命令の各要因によって起動されます。例外要因には、例外要因の種類と優先順位に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位に従って受け付けられ、処理されます。

表 6.1 に例外要因の種類と優先順位を示します。

表 6.1 例外要因の種類と優先順位

例外要因		優先順位
リセット	ハードウェアリセット、ウォッチドッグタイマリセット、ソフトウェアリセット、パワーダウンモード復帰リセット	高  低
アドレスエラー	CPU アドレスエラー	
CPU オペランドアクセス MPU エラー	CPU オペランドアクセス MPU エラー	
命令	FPU 例外	
	整数除算例外 (0 除算)	
	整数除算例外 (オーバフロー)	
レジスタバンクエラー	バンクアンダフロー	
	バンクオーバフロー	
割り込み	電圧監視1、メインクロック発振停止	
	NMI	
	ユーザブレイク	
	INT	
	メモリエラー (RAM エラー /ROM エラー)	
	ソフトウェア割り込み (SINT)	
	周辺機能	
命令	トラップ命令 (TRAPA 命令)	
	一般不当命令 (未定義コード、CPU 命令アクセス MPU エラーの当該命令)	
	スロット不当命令 (遅延分岐命令 (注1) 直後に配置された未定義コード (FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む)、PC を書き換える命令 (注2)、32 ビット命令 (注3)、RESBANK 命令、DIVS 命令または DIVU 命令、または CPU 命令アクセス MPU エラーの当該命令)	

注1. 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA

注2. PC を書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA、JSR/N、RTV/N

注3. 32 ビット命令 : BAND.B、BANDNOT.B、BCLR.B、BLD.B、BLDNOT.B、BOR.B、BORNOT.B、BSET.B、BST.B、BXOR.B、FMOV.S@disp12、FMOV.D@disp12、MOV.B@disp12、MOV.W@disp12、MOV.L@disp12、MOVI20、MOVI20S、MOVU.B、MOVU.W

6.1.2 例外処理の動作

各例外要因は表 6.2 に示すタイミングで検出され、処理が開始されます。

表 6.2 に例外要因検出と例外処理開始タイミングを示します。

表6.2 例外要因検出と例外処理開始タイミング

例外要因		要因検出および処理開始タイミング
リセット	ハードウェアリセット	RESET#端子のLowレベルからHighレベルへの変化で開始される
	ウォッチドッグタイマリセット	<ul style="list-style-type: none"> ウォッチドッグタイマがアンダフローしたときに開始される リフレッシュ禁止期間に、WDTRRレジスタに書き込みを行ったときに開始される
	ソフトウェアリセット	SWRRレジスタに“FF”を書き込むことで開始される
	パワーダウンモード復帰リセット	パワーダウンモード時に割り込み要求要因で開始される
アドレスエラー	CPUアドレスエラー	命令のデコード時に検出され、この前までに実行中の命令が完了後開始される。
CPUオペランドアクセスMPUエラー		
割り込み		
レジスタバンクエラー	バンクアンダフロー	レジスタバンクに退避が行われていないときに、RESBANK命令を実行しようとするとき開始される。
	バンクオーバフロー	割り込みコントローラでバンクオーバフロー例外を受け付けるように設定(BNRレジスタのBOVEビット=“1”)されており、レジスタバンクを使用する割り込みが発生し、CPUに受け付けられたとき、レジスタバンクのすべての領域に退避が既に行われていたときに開始される。
命令	トラップ命令	TRAPA命令の実行により開始される。
	一般不当命令	遅延分岐命令直後(遅延スロット)以外にある未定義コードがデコードされると開始される。
	スロット不当命令	遅延分岐命令直後(遅延スロット)に配置された未定義コード(FPUモジュールスタンバイ時におけるFPU命令およびFPUに関するCPU命令を含む)、PCを書き換える命令、32ビット命令、RESBANK命令、DIVS命令、DIVU命令、またはCPU命令アクセスMPUエラーの当該命令がデコードされると開始される。
	整数除算例外	ゼロによる除算例外、または負の最大値(H'8000 0000)を-1で除算することによるオーバフロー例外が検出されると開始される。
	FPU例外	浮動小数点命令の無効演算例外(IEEE754規定)、ゼロによる除算例外、オーバフロー、アンダフローまたは不正確例外により開始される。また、FPSCRレジスタのQISビットがセットされているとき、qNaNもしくは±∞を浮動小数点命令のソースに入力すると開始される。

例外処理が起動されると、CPU は次のように動作します。

(1) リセットによる例外処理

プログラムカウンタ (PC) とスタックポインタ (SP) の初期値を例外処理ベクタテーブル (PC、SP をそれぞれ、リセット時に H'0000 0000 番地、H'0000 0004 番地)、から取り出します。例外処理ベクタテーブルについては、「6.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ (VBR) を H'0000 0000 に、ステータスレジスタ (SR) の IMASK ビットを HF(B'1111) に、BO ビットおよび CS ビットを“0”に初期化します。また割り込みコントローラ (INTC) の BNR レジスタの BN ビットを“0”に初期化します。FPSCR レジスタを H'0004 0001 に初期化します。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

(2) アドレスエラー、CPU オペランドアクセス MPU エラー、レジスタバンクエラー、割り込み、命令による例外処理

ステータスレジスタ (SR) とプログラムカウンタ (PC) を汎用レジスタ (R15) で示すスタック上に退避します。電圧監視 1、メインクロック発振停止、NMI、およびユーザブレイク以外の割り込み例外処理で、レジスタバンクを使用する設定が行われている場合、汎用レジスタ R0~R14、コントロールレジスタ GBR、システムレジスタ MACH、MACL、PR、および実行される割り込み例外処理のベクタ番号を、レジスタバンクに退避します。アドレスエラー、CPU オペランドアクセス MPU エラー、レジスタバンクエラー、電圧監視割り込み 1、メインクロック発振停止検出割り込み、NMI 割り込み、ユーザブレイク割り込み、および命令による例外処理の場合、レジスタバンクへの退避は行われません。また、レジスタバンクのすべてのバンクに退避が行われていた場合には、レジスタバンクの代わりにスタックへの自動退避が行われます。この場合、割り込みコントローラにおいて、バンクオーバーフロー例外を受け付けないように設定 (BNR レジスタの BOVE ビット = “0”) されている必要があります。バンクオーバーフロー例外を受け付けるように設定 (BNR レジスタの BOVE ビット = “1”) されている場合には、バンクオーバーフロー例外が発生します。割り込み例外処理の場合、割り込み優先レベルを SR レジスタの IMASK ビットに書き込みます。アドレスエラー、CPU オペランドアクセス MPU エラー、レジスタバンクエラー、および命令による例外処理の場合、IMASK ビットは影響受けません。次に例外処理ベクタテーブルの対応する例外サービスルーチンから開始アドレスを取り出し、そのアドレスからプログラムの実行を開始します。

6.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルが、メモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます（リセット例外処理のテーブルには、プログラムカウンタ (PC) とスタックポインタ (SP) の初期値を格納しておきます）。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンの開始アドレスが取り出されます。

表 6.3 にベクタ番号とベクタテーブルアドレスオフセットを、表 6.4 に例外処理ベクタテーブルアドレスの算出法をそれぞれ示します。

表 6.3 ベクタ番号とベクタテーブルアドレスオフセット

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット	
リセット	ハードウェアリセット、ウォッチドッグタイマリセット、ソフトウェアリセット、パワーダウンモード復帰リセット	PC	0	H'0000 0000 ~ H'0000 0003
		SP	1	H'0000 0004 ~ H'0000 0007
(システム予約)		2	H'0000 0008 ~ H'0000 000B	
		3	H'0000 000C ~ H'0000 000F	
命令	一般不当命令(注1)	4	H'0000 0010 ~ H'0000 0013	
(システム予約)		5	H'0000 0014 ~ H'0000 0017	
命令	スロット不当命令	6	H'0000 0018 ~ H'0000 001B	
割り込み	電圧監視1、メインロック発振停止(注2)	7	H'0000 001C ~ H'0000 001F	
(システム予約)		8	H'0000 0020 ~ H'0000 0023	
アドレスエラー	CPUアドレスエラー	9	H'0000 0024 ~ H'0000 0027	
(システム予約)		10	H'0000 0028 ~ H'0000 002B	
割り込み	NMI	11	H'0000 002C ~ H'0000 002F	
	ユーザブレイク	12	H'0000 0030 ~ H'0000 0033	
命令	FPU例外	13	H'0000 0034 ~ H'0000 0037	
(システム予約)		14	H'0000 0038 ~ H'0000 003B	
レジスタバンクエラー	バンクオーバフロー	15	H'0000 003C ~ H'0000 003F	
	バンクアンダフロー	16	H'0000 0040 ~ H'0000 0043	
命令	整数除算例外 (0除算)	17	H'0000 0044 ~ H'0000 0047	
	整数除算例外 (オーバフロー)	18	H'0000 0048 ~ H'0000 004B	
CPUオペランドアクセスMPUエラー		19	H'0000 004C ~ H'0000 004F	
(システム予約)		20 : 31	H'0000 0050 ~ H'0000 0053 : H'0000 007C ~ H'0000 007F	
命令	トラップ命令(ユーザベクタ)	32	H'0000 0080 ~ H'0000 0083	
		63	H'0000 00FC ~ H'0000 00FF	
割り込み	INT、周辺機能(注3)	64	H'0000 0100 ~ H'0000 0103	
		511	H'0000 07FC ~ H'0000 07FF	

注1. 一般不当命令およびスロット不当命令には、CPU命令アクセスMPUエラーの当該命令が含まれます。要因を判定する場合は、例外サービスルーチン内でどの要因による例外かを判定してください。

注2. 電圧監視割り込み1、メインロック発振停止検出割り込みはベクタを共有しています。これらの割り込みを使用する場合は、割り込みルーチン内でどの割り込み要因による割り込み要求かを判定してください。

注3. 周辺機能割り込みのベクタ番号とベクタテーブルオフセットは「8. 割り込みコントローラ(INTC)」の「表8.11～表8.16 割り込み要因と割り込みベクタ」を参照してください。

表6.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット) = (ベクタ番号) × 4
アドレスエラー、CPUオペランドアクセスMPUエラー、レジスタバンクエラー、割り込み、命令	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4

- 注.
- VBR: ベクタベースレジスタ
 - ベクタテーブルアドレスオフセット: 表6.3を参照
 - ベクタ番号: 表6.3を参照

6.2 リセット

6.2.1 リセットの種類

リセットは最も優先順位の高い例外処理要因です。
表 6.5 にリセット後の内部状態を示します。

表6.5 リセット後の内部状態

種類	内部状態	
	CPU、FPU	周辺機能
ハードウェアリセット	初期化	初期化
ウォッチドッグタイマリセット	初期化	初期化
ソフトウェアリセット	初期化	初期化
パワーダウンモード復帰リセット	初期化	電源遮断していた周辺機能の初期化

6.2.2 ハードウェアリセット

RESET# 端子を Low レベルにすると、本 LSI はハードウェアリセット状態になります。本 LSI を確実にリセットするために最低、電源投入時は発振安定時間の間、RESET# 端子を Low レベルに保持してください。ハードウェアリセット状態では、CPU の内部状態と周辺機能のレジスタがすべて初期化されます。

ハードウェアリセット状態で、RESET# 端子を一定期間 Low レベルに保持した後 High レベルにすると、ハードウェアリセット例外処理が開始されます。このとき、CPU は次のように動作します。

1. プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ (VBR) を H'0000 0000 にクリアし、ステータスレジスタ (SR) の IMASK ビットを H'F (B'1111) に、BO ビットおよび CS ビットを “0” に初期化します。また割り込みコントローラ (INTC) の BNR レジスタの BN ビットを “0” に初期化します。
4. 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

なお、ハードウェアリセット処理は、システムの電源投入時、必ず行うようにしてください。

6.2.3 ウォッチドッグタイマリセット、ソフトウェアリセット

リセット処理に関しては、ハードウェアリセットと同じです。詳細については、「7. リセット」を参照してください。

6.2.4 パワーダウンモード復帰リセット

リセット処理に関しては、ハードウェアリセットと同じです。詳細については、「7. リセット」を参照してください。周辺機能の初期化については、電源遮断されていた周辺機能のみ初期化されます。詳細については、「5. クロック」を参照してください。

6.3 アドレスエラー

6.3.1 アドレスエラー発生要因

アドレスエラーは、命令フェッチ、およびデータ読み出し / 書き込み時に発生します。
表 6.6 にバスサイクルとアドレスエラーを示します。

表 6.6 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ(注2)	CPU	偶数アドレスから命令をフェッチ	なし(正常)
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		周辺機能レジスタ空間(注1)および予約領域(注1) (H'0200 0000 ~ H'1FFF FFFF、H'2200 0000 ~ H'7FFF FFFF、 H'F000 0000 ~ H'F5FF FFFF)を除くアドレスから命令をフェッチ	なし(正常)
		周辺機能レジスタ空間(注1)および予約領域(注1) (H'0200 0000 ~ H'1FFF FFFF、H'2200 0000 ~ H'7FFF FFFF、 H'F000 0000 ~ H'F5FF FFFF)から命令をフェッチ	アドレスエラー発生
		シングルチップモード時に外部メモリ空間から命令をフェッチ	アドレスエラー発生
データ読み出し/ 書き込み	CPU または DMAC	ワードデータを偶数アドレスからアクセス	なし(正常)
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし(正常)
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを周辺機能レジスタ空間(注1)でアクセス	なし(正常)
		ロングワードデータを16ビットの周辺機能レジスタ空間(注1)でアクセス	なし(正常)
		ロングワードデータを8ビットの周辺機能レジスタ空間(注1)でアクセス	なし(正常)
		シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生

注1. 周辺機能レジスタ空間および内蔵RAM空間については、「3. アドレス空間」を参照してください。

注2. 内蔵RAMの最終アドレスから10バイト以内に命令を置いた場合、CPUが周辺機能レジスタ空間にオーバランフェッチし、アドレスエラーが発生することがあります。

6.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPUは次のように動作します。

- 発生したアドレスエラーに対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
- ステータスレジスタ (SR) をスタックに退避します。
- プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、最後に実行した命令の次命令の先頭アドレスです。
- 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.4 CPUオペランドアクセス MPU エラー

6.4.1 CPUオペランドアクセス MPU エラー発生要因

CPU オペランドアクセス MPU エラーは、CPU のオペランドアクセスが、アクセス対象の領域に設定されている保護属性に違反した場合に発生します。詳細については、「29. メモリプロテクションユニット(MPU)」を参照してください。

6.4.2 CPUオペランドアクセス MPU エラー例外処理

CPU オペランドアクセス MPU エラーが発生すると、CPU オペランドアクセス MPU エラーを起こしたアクセスのバスサイクルが終了し、実行中の命令が完了してから CPU オペランドアクセス MPU エラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. 発生した CPU オペランドアクセス MPU エラーに対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、最後に実行した命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.5 レジスタバンクエラー

6.5.1 レジスタバンクエラー発生要因

(1) バンクオーバフロー

割り込みコントローラにおいて、バンクオーバフロー例外を受け付けるように設定 (BNR レジスタの BOVE ビット = “1”) されており、レジスタバンクを使用する割り込みが発生し、CPU に受け付けられたとき、レジスタバンクのすべての領域に退避が既に行われていた場合

(2) バンクアンダフロー

レジスタバンクに退避が行われていないときに、RESBANK 命令を実行した場合

6.5.2 レジスタバンクエラー例外処理

レジスタバンクエラーが発生すると、レジスタバンクエラー例外処理が発生します。
このとき、CPU は次のように動作します。

1. 発生したレジスタバンクエラーに対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、バンクオーバフロー時は最後に実行した命令の次命令の先頭アドレス、アンダフロー時は実行した RESBANK 命令の先頭アドレスです。バンクオーバフロー時は多重割り込みを防止するために、バンクオーバフローの要因となった割り込みのレベルをステータスレジスタ (SR) の IMASK ビットに書き込みます。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。
このときのジャンプは遅延分岐ではありません。

6.6 割り込み

6.6.1 割り込み要因

表 6.7 に割り込み例外処理を起動させる割り込み要因を示します。

表6.7 割り込み要因

種類	要求元	要因数
電圧監視1	電圧監視回路1	1
メインロック発振停止	メインロック発振回路	1
NMI	NMI端子(外部からの入力)	1
ユーザブレイク	ユーザブレイクコントローラ	1
INT	SH72A2グループ: INT0 ~ INT13端子(外部から入力) SH72A0グループ: INT0 ~ INT08, INT10端子(外部から入力)	SH72A2グループ: 14 SH72A0グループ: 10
メモリエラー	RAM/ROM	4
DMACアクセスMPUエラー	MPU	1
SINT	ソフトウェア割り込み	8
周辺機能	「8. 割り込みコントローラ(INTC)」を参照ください。	SH72A2グループ: 155 SH72A0グループ: 134

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「8. 割り込みコントローラ (INTC)」の「表 8.11 ~ 表 8.16 割り込み要因と割り込みベクタ」を参照してください。

6.6.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合（多重割り込み）、割り込みコントローラ（INTC）によって優先順位が判定され、その判定結果に従って例外処理が起動されます。

表 6.8 に割り込み優先順位を示します。

表 6.8 割り込み優先順位

種類	優先レベル	備考
電圧監視1	16	優先レベル固定、マスク不可能
メインクロック発振停止	16	優先レベル固定、マスク不可能
NMI	16	優先レベル固定、マスク不可能
ユーザブ레이크	15	優先レベル固定
INT	0 ~ 15	INTCのIPR1 ~ IPR4レジスタにより設定
メモリエラー	15	優先レベル固定
DMACアクセスMPUエラー	15	優先レベル固定
SINT8 ~ 1	8 ~ 1	優先レベル固定
周辺機能	0 ~ 15	INTCのICR102 ~ ICR511レジスタのIPRビットにより設定

割り込み要因の優先順位は、優先レベル 0 ~ 16 の値で表され、優先レベル 0 が最低で、優先レベル 16 が最高です。電圧監視 1、メインクロック発振停止、および NMI 割り込みは、優先レベル 16 のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブ레이크割り込み、メモリエラー割り込みおよび DMAC アクセス MPU エラー割り込みの優先レベルは 15 です。また、ソフトウェア割り込み (SINT) は、SINT8 ~ 1 要因ごとに優先レベル 8 ~ 1 に固定されています。INT 割り込み、INTC の IPR1 ~ IPR4 レジスタ、周辺機能割り込みの優先レベルは、INTC の ICR102 ~ ICR511 レジスタ の IPR ビットで自由に設定することができます (表 6.8)。設定できる優先レベルは 0 ~ 15 で、優先レベル 16 は設定できません。IPR1 ~ IPR4 レジスタについては「8.3.1 割り込み優先レベル設定レジスタ i (IPR i) ($i = 1 \sim 4$)」、ICR102 ~ ICR511 レジスタについては「8.3.10 割り込み制御レジスタ i (ICR i) ($i = 102 \sim 109, 134 \sim 136, 142 \sim 156, 165 \sim 166, 173 \sim 180, 191 \sim 196, 214 \sim 215, 221 \sim 240, 297 \sim 300, 312 \sim 339, 366 \sim 367, 378 \sim 379, 403 \sim 418, 427 \sim 464, 477$)」を参照してください。

6.6.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ (INTC) によって優先順位が判定されます。電圧監視、メインクロック発振停止およびNMI割り込みは常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ (SR) の IMASK ビットに設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPU は受け付けた割り込みに対応する例外サービスルーチン開始アドレスを例外処理ベクタテーブルから取り出し、SR レジスタとプログラムカウンタ (PC) をスタックに退避します。電圧監視 1、メインクロック発振停止、NMI、およびユーザブレイク以外の割り込み例外処理で、レジスタバンクを使用する設定が行われている場合には、汎用レジスタ R0~R14、コントロールレジスタ GBR、システムレジスタ MACH、MACL、PR、および実行される例外処理のベクタ番号をレジスタバンクに退避します。アドレスエラー、CPU オペランドアクセス MPU エラー、電圧監視 1 割り込み、メインクロック発振停止検出割り込み、NMI 割り込み、ユーザブレイク割り込み、命令による例外処理の場合、レジスタバンクへの退避は行われません。また、レジスタバンクのすべてのバンク (0~14) に退避が行われていた場合には、レジスタバンクの代わりにスタックへの自動退避が行われます。この場合、INTC において、バンクオーバーフロー例外を受け付けないように設定 (BNR レジスタの BOVE ビット = "0") されている必要があります。バンクオーバーフロー例外を受け付けるように設定 (BNR レジスタの BOVE ビット = "1") されている場合には、バンクオーバーフロー例外が発生します。次に、受け付けた割り込みの優先レベル値を SR レジスタの IMASK ビットに書き込みます。ただし、電圧監視、メインクロック発振停止およびNMI割り込み例外処理の場合、優先レベルは 16 ですが、IMASK ビットに設定される値は HF (レベル 15) です。その後、例外処理ベクタテーブルから取り出した開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。割り込み例外処理の詳細については「8.4.11 割り込み動作の流れ」を参照してください。

6.7 命令

6.7.1 命令による例外の種類

例外処理を起動する命令には、トラップ命令、スロット不当命令、一般不当命令、整数除算例外、およびFPU例外があります。

表 6.9 に命令による例外の種類を示します。

表6.9 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後(遅延スロット)に配置された未定義コード(FPUモジュールスタンバイ時におけるFPU命令およびFPUに関するCPU命令を含む)、PCを書き換える命令、32ビット命令、RESBANK命令、DIVS命令、DIVU命令、またはCPU命令アクセスMPUエラーの当該命令	遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA PCを書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA、JSR/N、RTV/N 32ビット命令 : BAND.B、BANDNOT.B、BCLR.B、BLD.B、BLDNOT.B、BOR.B、BORNOT.B、BSET.B、BST.B、BXOR.B、FMOV.S@disp12、FMOV.D@disp12、MOV.B@disp12、MOV.W@disp12、MOV.L@disp12、MOVI20、MOVI20S、MOVU.B、MOVU.W
一般不当命令	遅延スロット以外にある未定義コード(FPUモジュールスタンバイ時におけるFPU命令およびFPUに関するCPU命令を含む)、またはCPU命令アクセスMPUエラーの当該命令	
整数除算例外	ゼロ除算	DIVU、DIVS
	負の最大値 ÷ (-1)	DIVS
FPU例外	IEEE754規格で定義された無効演算例外またはゼロによる除算例外を引き起こす命令、オーバフロー、アンダフローおよび不正確例外を引き起こす可能性のある命令	FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FNEG、FABS、FLOAT、FTRC、FCNVDS、FCNVSD、FSQRT

6.7.2 トラップ命令

TRAPA命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPUは次のように動作します。

1. TRAPA命令で指定したベクタ番号に対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ(SR)をスタックに退避します。
3. プログラムカウンタ(PC)をスタックに退避します。退避するPCの値は、TRAPA命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.7.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コード (FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む)、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令、DIVU 命令、または CPU 命令アクセス MPU エラーの当該命令のとき、これらの命令がデコードされるとスロット不当命令例外処理が開始されます。スロット不当命令例外処理のとき、CPU は次のように動作します。

1. 発生したスロット不当命令に対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、未定義コードまたは PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令、DIVU 命令、または CPU 命令アクセス MPU エラーの当該命令の直前にある遅延分岐命令の飛び先アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.7.4 一般不当命令

遅延分岐命令の直後 (遅延スロット) 以外に配置された未定義コード (FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む)、または CPU 命令アクセス MPU エラーの当該命令をデコードすると、一般不当命令例外処理が開始されます。このとき、CPU はスロット不当命令例外処理と同じ手順で動作します。ただし、退避するプログラムカウンタ (PC) の値は、スロット不当命令例外処理と異なり、この未定義コードまたは CPU 命令アクセス MPU エラーの当該命令の先頭アドレスになります。

6.7.5 整数除算例外

整数除算命令がゼロによる除算を実行した場合、または整数除算の結果がオーバフローしたとき、整数除算例外が発生します。ゼロによる除算例外の要因となる命令は DIVU と DIVS です。オーバフロー例外の要因となる命令は DIVS のみで、負の最大値を -1 で除算する場合にのみ発生します。整数除算例外が発生すると CPU は次のように動作します。

1. 発生した整数除算命令例外に対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、例外が発生した整数除算命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.7.6 FPU 例外

浮動小数点ステータス / 制御レジスタ (FPSCR) の FPU 例外イネーブルフィールド (Enable) 中の V、Z、O、U、または I ビットが“1”のとき、FPU 例外処理が発生します。これは、浮動小数点命令が IEEE754 規格で定義された無効演算例外、ゼロによる除算例外、オーバフロー (可能性のある命令)、アンダフロー (可能性のある命令)、および不正確例外 (可能性のある命令) を引き起こしたことを示します。

FPU 例外処理の発生要因となる浮動小数点命令には以下があります。

FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FLOAT、FTRC、FCNVDS、FCNVSD、FSQRT

該当する FPU 例外イネーブルビット (Enable) がセットされているときのみ FPU 例外処理が発生します。FPU が浮動小数点演算による例外要因を検出すると FPU の動作は中断されて CPU に FPU 例外処理の発生を通知します。CPU は例外処理を開始すると次のように動作します。

1. 発生した FPU 例外処理に対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、最後に実行した命令の次の命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

FPSCR レジスタの FPU 例外フラグフィールド (Flag) は、FPU 例外処理が受け付けられたか否かにかかわらず常に更新され、ユーザが明示的に命令でクリアするまでセットされたままです。FPSCR レジスタの FPU 例外要因フィールド (Cause) は浮動小数点命令が実行されるごとに変化します。

また、FPSCR レジスタの FPU 例外イネーブルフィールド (Enable) 中の V ビットがセットされ、かつ FPSCR レジスタの QIS ビットが“1”のとき、qNaN または $\pm\infty$ を浮動小数点命令のソースに入力すると FPU 例外処理が発生します。

6.8 例外処理が受け付けられない場合

アドレスエラー、FPU 例外、CPU オペランドアクセス MPU エラー、レジスタバンクエラー(オーバフロー)、および割り込みは、遅延分岐命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 6.10 に遅延分岐命令の直後の例外要因発生を示します。

表 6.10 遅延分岐命令の直後の例外要因発生

発生した時点	例 外 要 因			
	アドレスエラー	FPU 例外、 CPU オペランド アクセス MPU エラー	レジスタバンクエラー (オーバーフロー)	割り込み
遅延分岐命令(注1)の直後	×	×	×	×

注1. 遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA_F

注. ・×：受け付けられない

6.9 例外処理後のスタックの状態

表 6.11 に例外処理終了後のスタックの状態を示します。

表 6.11 例外処理終了後のスタックの状態

種類	スタックの状態	種類	スタックの状態
アドレスエラー		割り込み	
レジスタバンクエラー (オーバフロー)		レジスタバンクエラー (アンダフロー)	
FPU例外		CPUオペランド アクセスMPU エラー	
トラップ命令		スロット不当命令	
一般不当命令		整数除算例外	

6.10 例外処理の注意事項

6.10.1 スタックポインタ (SP) の値

SP の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

6.10.2 ベクタベースレジスタ (VBR) の値

VBR の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

6.10.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

スタックポインタ (SP) の値が 4 の倍数になっていないと、例外処理 (割り込みなど) のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けなくなっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル (ライト) は実行されます。ステータスレジスタ (SR) とプログラムカウンタ (PC) のスタッキングでは、SP がそれぞれ -4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされたライトデータは不定です。

6.10.4 割り込みマスクビット変更による割り込み制御

LDC、LDC.L 命令でステータスレジスタ (SR) の割り込みマスクビット (IMASK3 ~ IMASK0) の値を操作して、割り込みの許可 / 禁止を制御する場合は、割り込みを許可する命令と割り込みを禁止する命令の間に 5 命令以上配置してください。

7. リセット

7.1 概要

マイクロコンピュータのリセットには、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセット、パワーダウンモード復帰リセットの4種類があります。

表 7.1 にリセットの仕様を示します。

図 7.1 にリセット回路のブロック図を示します。

表 7.1 リセットの仕様

項目	仕様	
リセット要因	ハードウェアリセット	<ul style="list-style-type: none"> RESET#端子のLowレベルからHighレベルの変化でリセットを行う アナログノイズフィルタによるノイズ除去
	ソフトウェアリセット	SWRRレジスタに“H'FF”を書き込むことでリセットを行う
	ウォッチドッグタイマリセット	次のいずれかの場合にリセットを行う <ul style="list-style-type: none"> ウォッチドッグタイマがアンダフローしたとき リフレッシュ禁止期間にWDTRRレジスタに書き込みを行ったとき
	パワーダウンモード復帰リセット	パワーダウンモード時に割り込み要求要因で自動リセットを行う
リセット要因判別機能	発生したリセットの種別をRSDRレジスタで確認する	
コールドスタート/ウォームスタート判定機能	RSDRレジスタのCWSFビットにより、電源が投入されたときのリセット処理(コールドスタート)か、動作中にリセット信号が入力されたときのリセット処理(ウォームスタート)かを判定する	

パワーダウンモード復帰リセットは、電源遮断していた機能のみ初期化します。動作 / 停止していた機能については初期化しません。

各機能の動作 / 停止 / 電源遮断については、「5.5 パワーコントロール」を参照してください。

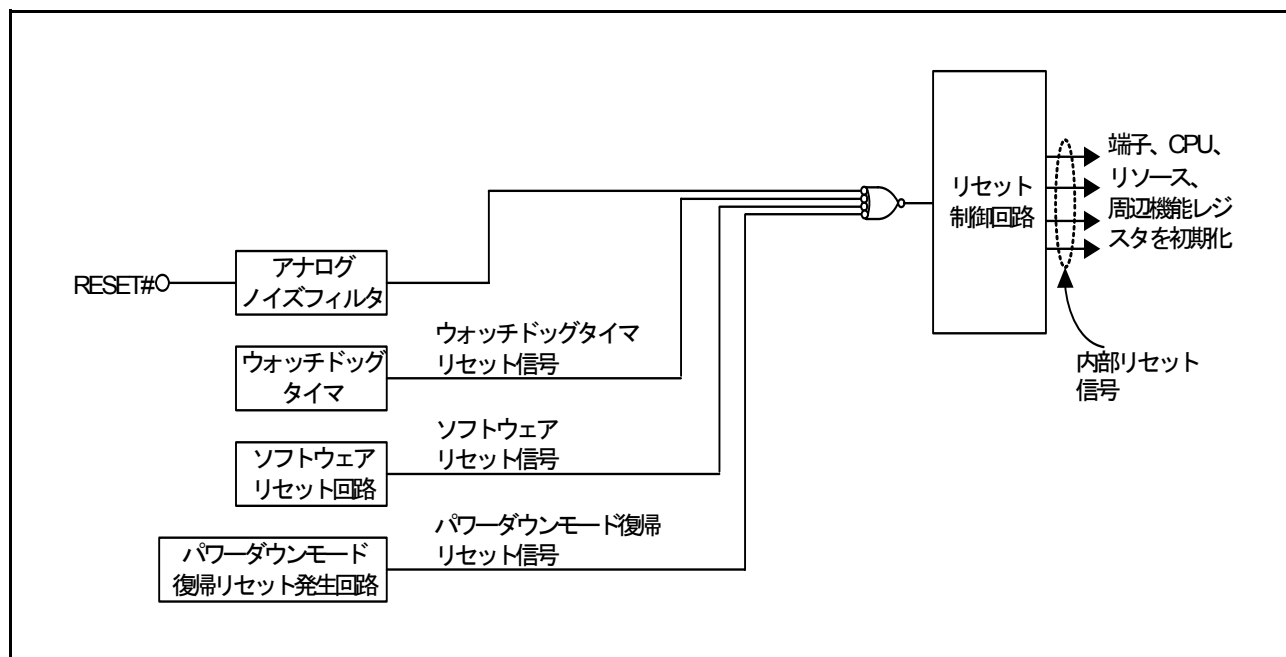


図 7.1 リセット回路のブロック図

表 7.2 にリセットの入出力端子を示します。

表7.2 リセットの入出力端子

端子名	入出力	機能
RESET#	入力	リセット端子です。この端子がLowレベルになると、リセット状態となります。

7.2 レジスタの説明

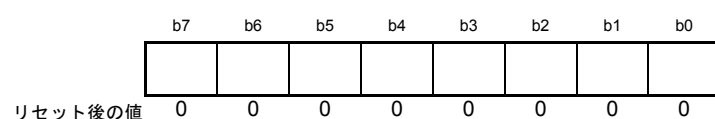
表 7.3 にリセット回路のレジスタ一覧を示します。

表 7.3 リセット回路のレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
システムプロテクトレジスタ 2	SPR2	H'00	H'FF46 E263	8
ソフトウェアリセットレジスタ	SWRR	H'00	H'FF46 E203	8
リセット要因判別レジスタ	RSDR	H'00	H'FF46 E20B	8

7.2.1 システムプロテクトレジスタ 2 (SPR2)

アドレス H'FF46 E263



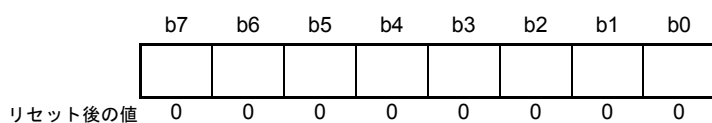
ビット	機能	R/W
b7-b0	書き込み時 B'1111 0001 : プロテクト 解除 B'1111 0001 以外 : プロテクト	R/W
	読み出し時 b0 ビット 0 : プロテクト 1 : プロテクト 解除 b7 ~ b1 ビットは常に“0”が読める	

SPR2 レジスタでは、SWRR、RSDR、SLCR1、PDWSSLi (i = 0, 2 ~ 5)、PDWSSRi、PDWSESLj (j = 0 ~ 2)、RSTSR0、BURm (m = 0 ~ 31) レジスタを簡単に書き換えられないよう保護するプロテクト機能の設定を行います。これらのレジスタの値を変更する場合は、以下の手順で変更を行ってください。

- (1) SPR2 レジスタに“H'F1”を書く (各レジスタへの書き込みを許可)
- (2) SWRR、RSDR、SLCR1、PDWSSLi、PDWSSRi、PDWSESLj、RSTSR0、BURm レジスタの値を変更する
- (3) SPR2 レジスタに“H'F1”以外を書く (各レジスタへの書き込みを禁止)

7.2.2 ソフトウェアリセットレジスタ (SWRR)

アドレス H'FF46 E203



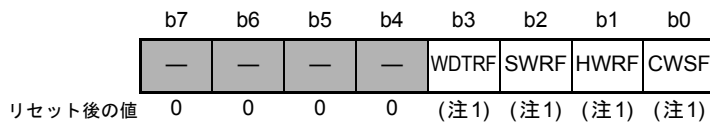
ビット	機能	R/W
b7-b0	“H'FF”を書くと、マイクロコンピュータがリセットされます。 読んだ場合、その値は“H'00”。	R/W

ソフトウェアリセットを制御するレジスタです。SWRR レジスタを設定する場合は、SPR2 レジスタでプロテクトを解除にしてから、書き込みを行ってください。

SWRR レジスタに“H'FF”をライトした後、直後に SWRR レジスタのリード命令と NOP 命令を 5 個以上実行してください。

7.2.3 リセット要因判別レジスタ (RSDR)

アドレス H'FF46 E20B



ビット	シンボル	ビット名	機能	R/W
b7-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	WDTRF	WDTリセット検出フラグ	0: 未検出 1: 検出	R/W
b2	SWRF	ソフトウェアリセット 検出フラグ	0: 未検出 1: 検出	R/W
b1	HWRF	ハードウェアリセット 検出フラグ	0: 未検出 1: 検出	R/W
b0	CWSF	コールドスタート/ウォーム スタート判定フラグ	0: コールドスタート 1: ウォームスタート	R/W

注1. リセット後の値は、リセット要因で異なります。

マイクロコンピュータがリセットを行ったとき、そのリセット要因を判別するためのレジスタです。また、コールドスタート/ウォームスタートの判定にも使用します。RSDR レジスタを設定する場合は、SPR2 レジスタでプロテクトを解除にしてから書き込みを行ってください。

WDTRF ビット

ウォッチドッグタイマリセットを行うと“1”(検出)になります。その他のリセットを行うと“0”(未検出)になります。またプログラムで“0”にできます。“1”を書いても変化しません。

SWRF ビット

ソフトウェアリセットを行うと“1”(検出)になります。その他のリセットを行うと“0”(未検出)になります。またプログラムで“0”にできます。“1”を書いても変化しません。

HWRF ビット

ハードウェアリセットを行うと“1”(検出)になります。その他のリセットを行うと“0”(未検出)になります。またプログラムで“0”にできます。“1”を書いても変化しません。

CWSF ビット

CWSF フラグは、電源投入を行った場合に“0”(コールドスタート)になります。その他のリセットでは変化しません。プログラムで“1”を書くと、“1”になります。“0”を書いても変化しません。電源投入の判別を行いたい場合は、このビットを“1”にしてください。

7.3 リセット要因

7.3.1 ハードウェアリセット

RESET# 端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET# 端子に Low レベルを入力するとマイクロコンピュータがリセットされます。

7.3.1.1 電源安定時

- (1) RESET# 端子に Low レベルを入力する
- (2) RESET# ローレベル幅として 100 μ s 以上待つ
- (3) RESET# 端子に High レベルを入力する

7.3.1.2 電源投入時

- (1) RESET# 端子に Low レベルを入力する
- (2) VCCmin からリセット解除までのホールド時間として 10ms 以上待つ
- (3) RESET# 端子に High レベルを入力する

7.3.2 ソフトウェアリセット

ソフトウェアリセット回路によるリセットです。SWRR レジスタに“H'FF”を書くと、マイクロコンピュータはリセットされます。

7.3.3 ウォッチドッグタイマリセット

ウォッチドッグタイマによるリセットです。ウォッチドッグタイマのアンダフロー、またはウォッチドッグタイマのリフレッシュ禁止期間に WDTRR レジスタに書き込みを行ったとき、マイクロコンピュータはリセットされます。

7.3.4 パワーダウンモード復帰リセット

パワーダウンモード 0 とパワーダウンモード 1 から割り込み要求要因で復帰する自動リセットです。電源遮断していた機能の初期化、停止していたクロックの発振を開始します。動作 / 停止していた機能については、初期化は行いません。パワーダウンモード復帰リセットについては、「5.5 パワーコントロール」を参照してください。

7.4 リセットシーケンス

内部リセット信号が High レベルになると、マイクロコンピュータがリセットされ、端子、周辺機能レジスタ、CPU が初期化されます。次に、内部リセット信号が High レベルから Low レベルになると、CPU はリセットベクタで示される番地からプログラムを実行します。内部 RAM へ書き込み中にリセットが行われると、書いた値は不定となります。図 7.2 にリセットシーケンスのタイミング図、表 7.4 にリセット後の CPU レジスタの状態を示します。

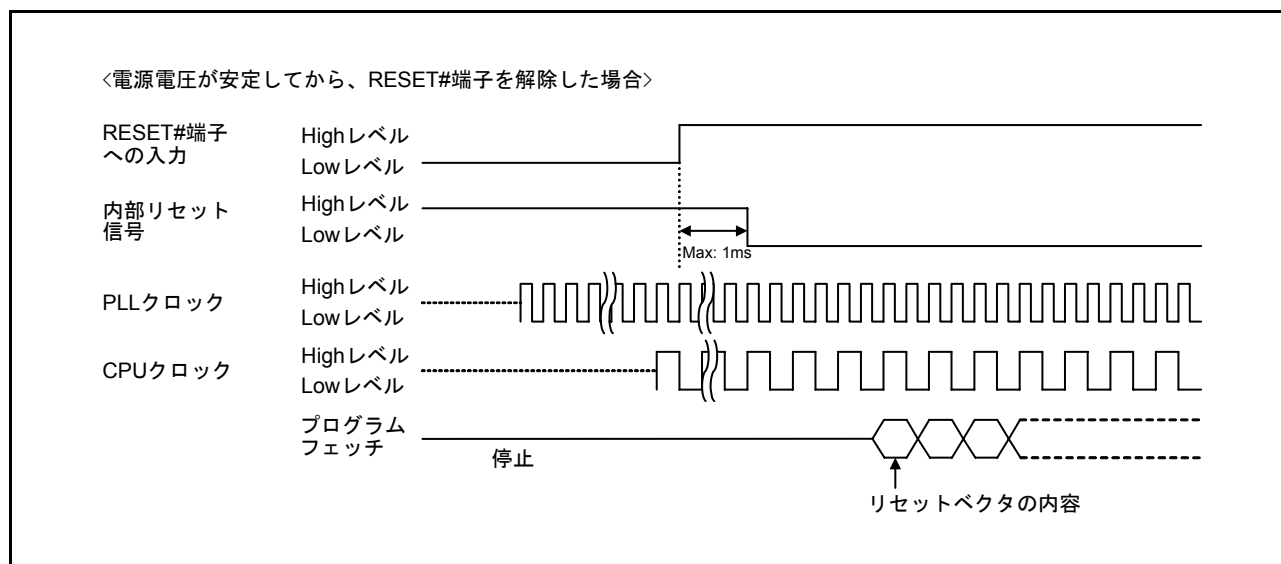


図 7.2 リセットシーケンス

表 7.4 リセット後のCPUレジスタの状態

区分		レジスタ	初期値
CPU	汎用レジスタ	R0 ~ R14	不定
		R15 (SP)	ベクタアドレステーブル中のSPの値
	コントロールレジスタ	SR	IMASKビットは1111 (H'F)、BO、CSは"0"、予約ビットは"0"、その他は不定
		GBR、TBR	不定
		VBR	H'0000 0000
	システムレジスタ	MACH、MACL、PR	不定
		PC	ベクタアドレステーブル中のPCの値
RAM	—	電源投入後、不定	

7.5 リセット判別機能

マイクロコンピュータが、どのリセット要因によりリセットされたのかを判別する機能です。RSDR レジスタを読むことにより、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットが行われたことを確認することができます。

ハードウェアリセットを行うと、HWRF ビットが“1” (検出) になります。ソフトウェアリセットを行うと、SWRF ビットが“1” (検出) になります。ウォッチドッグタイマリセットが発生すると、WDTRF ビットが“1” (検出) になります。それぞれのビットは対象リセット以外のリセットが発生すると、“0” (未検出) になります。プログラムで“0” にすることもできます。

7.6 コールドスタート / ウォームスタート判定機能

RSDR レジスタの CWSF ビットにより、電源が投入されたときのリセット処理 (コールドスタート) か、動作中にリセット信号が入力されたときのリセット処理 (ウォームスタート) かを判定することができます。

CWSF ビットは電源投入が発生すると“0” (コールドスタート) になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセット、パワーダウンモード復帰リセットを行っても“0” になりません。また、プログラムで“1” を書くと、“1” になります。“0” を書いても変化しません。

図 7.3 にコールドスタート / ウォームスタート判定機能の動作例を示します。

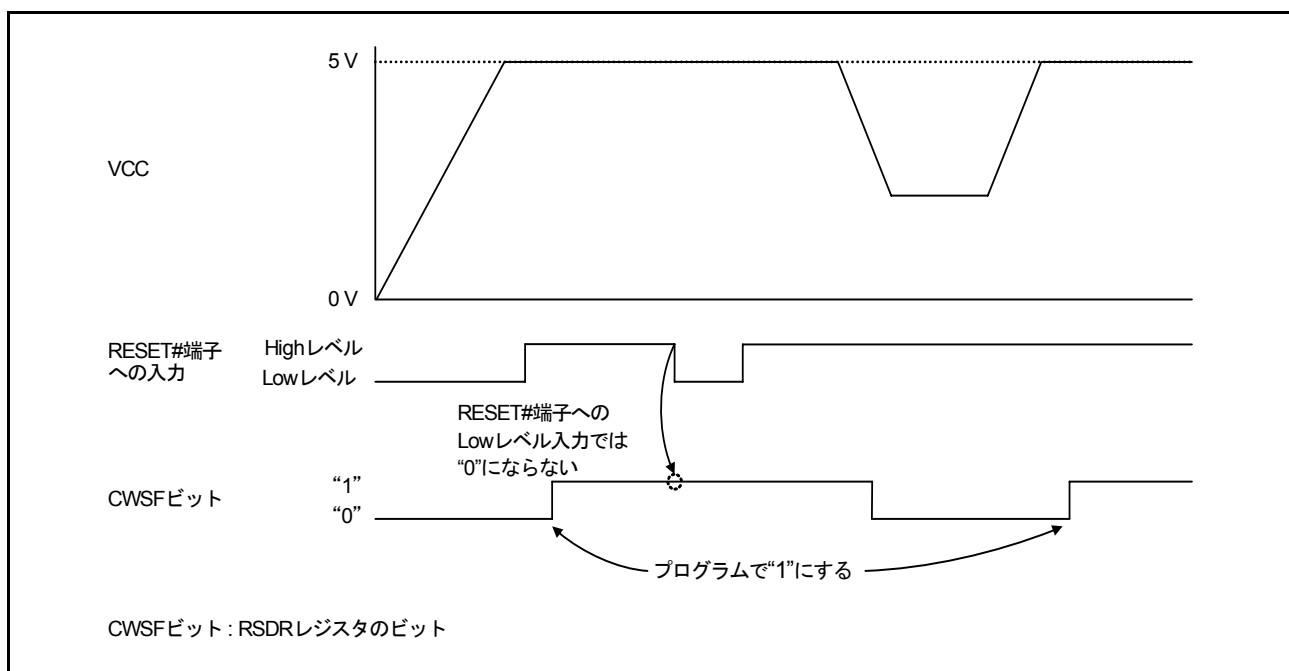


図 7.3 コールドスタート / ウォームスタート判定機能の動作例

8. 割り込みコントローラ (INTC)

8.1 概要

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、優先順位に従って、割り込み要求を処理することができます。

8.1.1 仕様

以下に、INTC の仕様を示します。

表8.1 INTCの仕様

項目	内容
割り込み優先順位	4本の割り込み優先レベル設定レジスタと各周辺機能用の割り込み制御レジスタにより、INT割り込み、各周辺機能割り込みの優先順位を要求元別に16レベルまで設定することができます。
NMI検出	立ち下がりエッジ、立ち上がりエッジから選択可能です。
INT検出	Lowレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジから選択可能です。
レジスタバンク	本LSIでは、レジスタバンクを内蔵しており、割り込み処理に伴うレジスタの回避、復帰を高速に行うことができます。
ソフトウェア割り込み (SINT)	ソフトウェア割り込みレジスタにより、任意の優先順位(8~1)の割り込みをプログラムから発生させることができます。

図 8.1 に INTC のブロック図を示します。

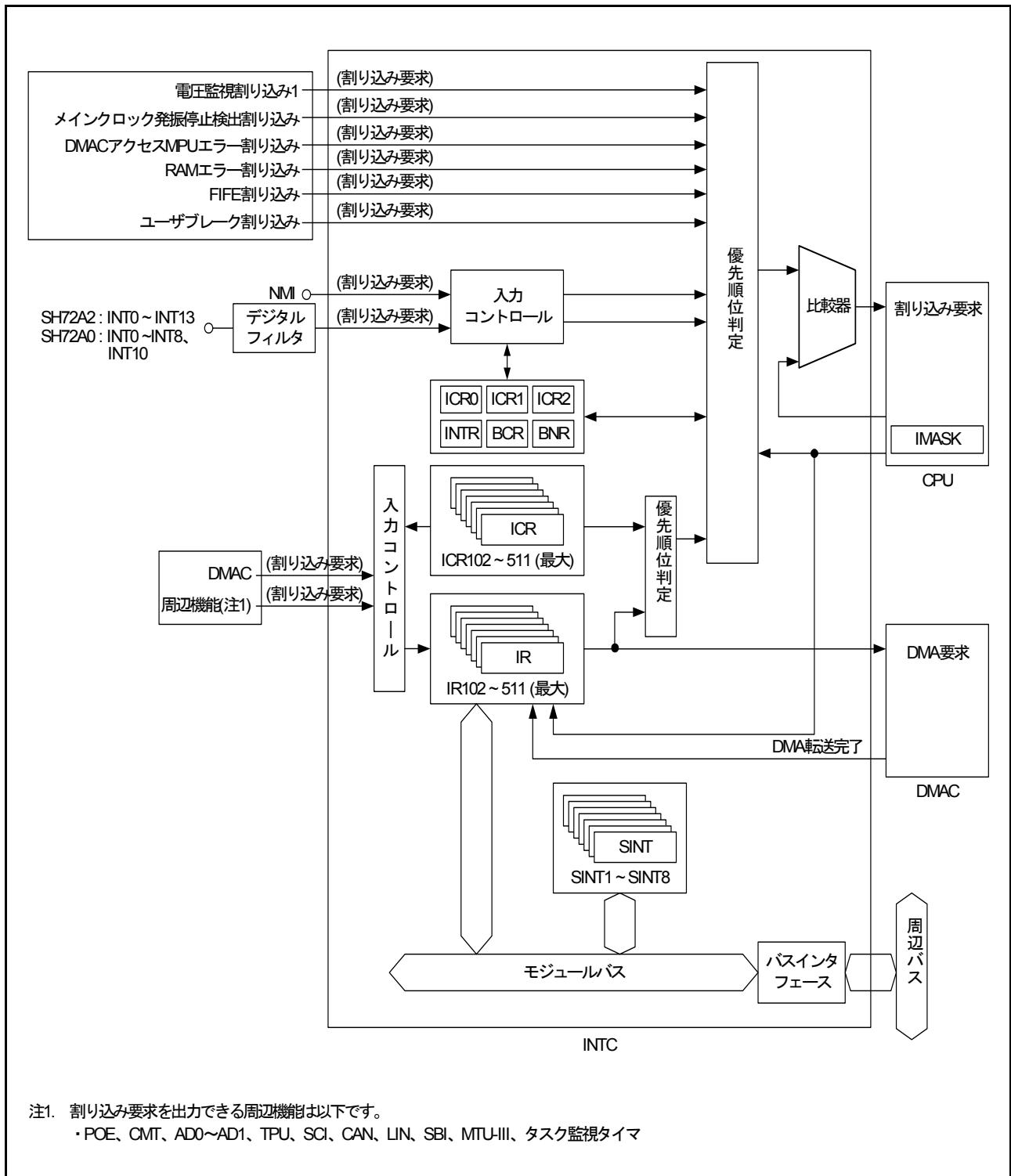


図 8.1 INTC のブロック図

8.2 入出力端子

表 8.2 に INTC の入出力端子を示します。

表 8.2 INTCの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスクابل割り込み要求端子です。
SH72A2グループ : INT0 ~ INT13 SH72A0グループ : INT0 ~ INT8、 INT10	入力	マスク可能な割り込みを要求します。

8.3 レジスタの説明

表 8.3～表 8.5 にレジスタ一覧を示します。

表 8.3 INTCのレジスタ一覧(1)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み制御レジスタ0	ICR0	(注 1)	H'FFFD 9400	16、32
割り込み制御レジスタ1	ICR1	H'0000	H'FFFD 9402	16、32
割り込み制御レジスタ2	ICR2	H'0000	H'FFFD 9404	16
INT割り込み要求レジスタ	INTR	H'0000	H'FFFD 9408	16
バンク制御レジスタ	BCR	H'0000	H'FFFD 940E	16
バンク番号レジスタ	BNR	H'0000	H'FFFD 9410	16
ソフトウェア割り込みレジスタ1	SINT1	H'00	H'FFFD 9412	8
ソフトウェア割り込みレジスタ2	SINT2	H'00	H'FFFD 9413	8
ソフトウェア割り込みレジスタ3	SINT3	H'00	H'FFFD 9414	8
ソフトウェア割り込みレジスタ4	SINT4	H'00	H'FFFD 9415	8
ソフトウェア割り込みレジスタ5	SINT5	H'00	H'FFFD 9416	8
ソフトウェア割り込みレジスタ6	SINT6	H'00	H'FFFD 9417	8
ソフトウェア割り込みレジスタ7	SINT7	H'00	H'FFFD 9418	8
ソフトウェア割り込みレジスタ8	SINT8	H'00	H'FFFD 9419	8
割り込み優先レベル設定レジスタ1	IPR1	H'0000	H'FFFD 941A	16
割り込み優先レベル設定レジスタ2	IPR2	H'0000	H'FFFD 941C	16、32
割り込み優先レベル設定レジスタ3	IPR3	H'0000	H'FFFD 941E	16、32
割り込み優先レベル設定レジスタ4	IPR4	H'0000	H'FFFD 9420	16
割り込み要求レジスタ102	IR102	H'00	H'FFFD 9800	8
割り込み要求レジスタ103	IR103	H'00	H'FFFD 9801	8
割り込み要求レジスタ104	IR104	H'00	H'FFFD 9802	8
割り込み要求レジスタ105	IR105	H'00	H'FFFD 9803	8
割り込み要求レジスタ106	IR106	H'00	H'FFFD 9804	8
割り込み要求レジスタ107	IR107	H'00	H'FFFD 9805	8
割り込み要求レジスタ108	IR108	H'00	H'FFFD 9806	8
割り込み要求レジスタ109	IR109	H'00	H'FFFD 9807	8
割り込み要求レジスタ134	IR134	H'00	H'FFFD 9820	8
割り込み要求レジスタ135	IR135	H'00	H'FFFD 9821	8
割り込み要求レジスタ136	IR136	H'00	H'FFFD 9822	8
割り込み要求レジスタ142	IR142	H'00	H'FFFD 9828	8
割り込み要求レジスタ143	IR143	H'00	H'FFFD 9829	8
割り込み要求レジスタ144	IR144	H'00	H'FFFD 982A	8
割り込み要求レジスタ145	IR145	H'00	H'FFFD 982B	8
割り込み要求レジスタ146	IR146	H'00	H'FFFD 982C	8
割り込み要求レジスタ147	IR147	H'00	H'FFFD 982D	8
割り込み要求レジスタ148	IR148	H'00	H'FFFD 982E	8
割り込み要求レジスタ149(注2)	IR149	H'00	H'FFFD 982F	8
割り込み要求レジスタ150(注2)	IR150	H'00	H'FFFD 9830	8

注1. NMI端子がHighレベルのときはH'8000、LowレベルのときH'0000です。

注2. SH72A0グループでは、未使用となります。

注. ・アクセスサイクルはワードアクセス時には2サイクル、ロングワードアクセス時には4サイクルになります。

表8.4 INTCのレジスタ一覧(2)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要求レジスタ 151(注1)	IR151	H'00	H'FFFD 9831	8
割り込み要求レジスタ 152(注1)	IR152	H'00	H'FFFD 9832	8
割り込み要求レジスタ 153	IR153	H'00	H'FFFD 9833	8
割り込み要求レジスタ 154	IR154	H'00	H'FFFD 9834	8
割り込み要求レジスタ 155(注1)	IR155	H'00	H'FFFD 9835	8
割り込み要求レジスタ 156(注1)	IR156	H'00	H'FFFD 9836	8
割り込み要求レジスタ 165	IR165	H'00	H'FFFD 983F	8
割り込み要求レジスタ 166	IR166	H'00	H'FFFD 9840	8
割り込み要求レジスタ 173	IR173	H'00	H'FFFD 9847	8
割り込み要求レジスタ 174(注1)	IR174	H'00	H'FFFD 9848	8
割り込み要求レジスタ 175(注1)	IR175	H'00	H'FFFD 9849	8
割り込み要求レジスタ 176(注1)	IR176	H'00	H'FFFD 984A	8
割り込み要求レジスタ 177	IR177	H'00	H'FFFD 984B	8
割り込み要求レジスタ 178(注1)	IR178	H'00	H'FFFD 984C	8
割り込み要求レジスタ 179	IR179	H'00	H'FFFD 984D	8
割り込み要求レジスタ 180	IR180	H'00	H'FFFD 984E	8
割り込み要求レジスタ 191(注1)	IR191	H'00	H'FFFD 9859	8
割り込み要求レジスタ 192(注1)	IR192	H'00	H'FFFD 985A	8
割り込み要求レジスタ 193(注1)	IR193	H'00	H'FFFD 985B	8
割り込み要求レジスタ 194(注1)	IR194	H'00	H'FFFD 985C	8
割り込み要求レジスタ 195(注1)	IR195	H'00	H'FFFD 985D	8
割り込み要求レジスタ 196(注1)	IR196	H'00	H'FFFD 985E	8
割り込み要求レジスタ 214	IR214	H'00	H'FFFD 9870	8
割り込み要求レジスタ 215	IR215	H'00	H'FFFD 9871	8
割り込み要求レジスタ 221	IR221	H'00	H'FFFD 9877	8
割り込み要求レジスタ 222	IR222	H'00	H'FFFD 9878	8
割り込み要求レジスタ 223	IR223	H'00	H'FFFD 9879	8
割り込み要求レジスタ 224	IR224	H'00	H'FFFD 987A	8
割り込み要求レジスタ 225	IR225	H'00	H'FFFD 987B	8
割り込み要求レジスタ 226	IR226	H'00	H'FFFD 987C	8
割り込み要求レジスタ 227	IR227	H'00	H'FFFD 987D	8
割り込み要求レジスタ 228	IR228	H'00	H'FFFD 987E	8
割り込み要求レジスタ 229	IR229	H'00	H'FFFD 987F	8
割り込み要求レジスタ 230	IR230	H'00	H'FFFD 9880	8
割り込み要求レジスタ 231	IR231	H'00	H'FFFD 9881	8
割り込み要求レジスタ 232	IR232	H'00	H'FFFD 9882	8
割り込み要求レジスタ 233	IR233	H'00	H'FFFD 9883	8
割り込み要求レジスタ 234	IR234	H'00	H'FFFD 9884	8
割り込み要求レジスタ 235	IR235	H'00	H'FFFD 9885	8
割り込み要求レジスタ 236	IR236	H'00	H'FFFD 9886	8
割り込み要求レジスタ 237	IR237	H'00	H'FFFD 9887	8
割り込み要求レジスタ 238	IR238	H'00	H'FFFD 9888	8

注1. SH72A0グループでは、未使用となります。

注. ・アクセスサイクルはワードアクセス時には2サイクル、ロングワードアクセス時には4サイクルになります。

表 8.5 INTCのレジスタ一覧(3)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要求レジスタ 239	IR239	H'00	H'FFFD 9889	8
割り込み要求レジスタ 240	IR240	H'00	H'FFFD 988A	8
割り込み要求レジスタ 297	IR297	H'00	H'FFFD 98C3	8
割り込み要求レジスタ 298	IR298	H'00	H'FFFD 98C4	8
割り込み要求レジスタ 299	IR299	H'00	H'FFFD 98C5	8
割り込み要求レジスタ 300	IR300	H'00	H'FFFD 98C6	8
割り込み要求レジスタ 312	IR312	H'00	H'FFFD 98D2	8
割り込み要求レジスタ 313	IR313	H'00	H'FFFD 98D3	8
割り込み要求レジスタ 314	IR314	H'00	H'FFFD 98D4	8
割り込み要求レジスタ 315	IR315	H'00	H'FFFD 98D5	8
割り込み要求レジスタ 316	IR316	H'00	H'FFFD 98D6	8
割り込み要求レジスタ 317	IR317	H'00	H'FFFD 98D7	8
割り込み要求レジスタ 318	IR318	H'00	H'FFFD 98D8	8
割り込み要求レジスタ 319	IR319	H'00	H'FFFD 98D9	8
割り込み要求レジスタ 320	IR320	H'00	H'FFFD 98DA	8
割り込み要求レジスタ 321	IR321	H'00	H'FFFD 98DB	8
割り込み要求レジスタ 322	IR322	H'00	H'FFFD 98DC	8
割り込み要求レジスタ 323	IR323	H'00	H'FFFD 98DD	8
割り込み要求レジスタ 324	IR324	H'00	H'FFFD 98DE	8
割り込み要求レジスタ 325	IR325	H'00	H'FFFD 98DF	8
割り込み要求レジスタ 326	IR326	H'00	H'FFFD 98E0	8
割り込み要求レジスタ 327	IR327	H'00	H'FFFD 98E1	8
割り込み要求レジスタ 328	IR328	H'00	H'FFFD 98E2	8
割り込み要求レジスタ 329	IR329	H'00	H'FFFD 98E3	8
割り込み要求レジスタ 330	IR330	H'00	H'FFFD 98E4	8
割り込み要求レジスタ 331	IR331	H'00	H'FFFD 98E5	8
割り込み要求レジスタ 332	IR332	H'00	H'FFFD 98E6	8
割り込み要求レジスタ 333	IR333	H'00	H'FFFD 98E7	8
割り込み要求レジスタ 334	IR334	H'00	H'FFFD 98E8	8
割り込み要求レジスタ 335	IR335	H'00	H'FFFD 98E9	8
割り込み要求レジスタ 336	IR336	H'00	H'FFFD 98EA	8
割り込み要求レジスタ 337	IR337	H'00	H'FFFD 98EB	8
割り込み要求レジスタ 338	IR338	H'00	H'FFFD 98EC	8
割り込み要求レジスタ 339	IR339	H'00	H'FFFD 98ED	8
割り込み要求レジスタ 366	IR366	H'00	H'FFFD 9908	8
割り込み要求レジスタ 367(注1)	IR367	H'00	H'FFFD 9909	8
割り込み要求レジスタ 378	IR378	H'00	H'FFFD 9914	8
割り込み要求レジスタ 379(注1)	IR379	H'00	H'FFFD 9915	8
割り込み要求レジスタ 403	IR403	H'00	H'FFFD 992D	8
割り込み要求レジスタ 404	IR404	H'00	H'FFFD 992E	8
割り込み要求レジスタ 405	IR405	H'00	H'FFFD 992F	8
割り込み要求レジスタ 406	IR406	H'00	H'FFFD 9930	8

注1. SH72A0グループでは、未使用となります。

注. ・アクセスサイクルはワードアクセス時には2サイクル、ロングワードアクセス時には4サイクルになります。

表 8.6 INTCのレジスタ一覧(4)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要求レジスタ 407	IR407	H'00	H'FFFD 9931	8
割り込み要求レジスタ 408	IR408	H'00	H'FFFD 9932	8
割り込み要求レジスタ 409	IR409	H'00	H'FFFD 9933	8
割り込み要求レジスタ 410	IR410	H'00	H'FFFD 9934	8
割り込み要求レジスタ 411	IR411	H'00	H'FFFD 9935	8
割り込み要求レジスタ 412	IR412	H'00	H'FFFD 9936	8
割り込み要求レジスタ 413	IR413	H'00	H'FFFD 9937	8
割り込み要求レジスタ 414	IR414	H'00	H'FFFD 9938	8
割り込み要求レジスタ 415	IR415	H'00	H'FFFD 9939	8
割り込み要求レジスタ 416	IR416	H'00	H'FFFD 993A	8
割り込み要求レジスタ 417	IR417	H'00	H'FFFD 993B	8
割り込み要求レジスタ 418	IR418	H'00	H'FFFD 993C	8
割り込み要求レジスタ 427	IR427	H'00	H'FFFD 9945	8
割り込み要求レジスタ 428	IR428	H'00	H'FFFD 9946	8
割り込み要求レジスタ 429	IR429	H'00	H'FFFD 9947	8
割り込み要求レジスタ 430	IR430	H'00	H'FFFD 9948	8
割り込み要求レジスタ 431	IR431	H'00	H'FFFD 9949	8
割り込み要求レジスタ 432	IR432	H'00	H'FFFD 994A	8
割り込み要求レジスタ 433	IR433	H'00	H'FFFD 994B	8
割り込み要求レジスタ 434	IR434	H'00	H'FFFD 994C	8
割り込み要求レジスタ 435	IR435	H'00	H'FFFD 994D	8
割り込み要求レジスタ 436	IR436	H'00	H'FFFD 994E	8
割り込み要求レジスタ 437	IR437	H'00	H'FFFD 994F	8
割り込み要求レジスタ 438	IR438	H'00	H'FFFD 9950	8
割り込み要求レジスタ 439	IR439	H'00	H'FFFD 9951	8
割り込み要求レジスタ 440	IR440	H'00	H'FFFD 9952	8
割り込み要求レジスタ 441	IR441	H'00	H'FFFD 9953	8
割り込み要求レジスタ 442	IR442	H'00	H'FFFD 9954	8
割り込み要求レジスタ 443	IR443	H'00	H'FFFD 9955	8
割り込み要求レジスタ 444	IR444	H'00	H'FFFD 9956	8
割り込み要求レジスタ 445	IR445	H'00	H'FFFD 9957	8
割り込み要求レジスタ 446	IR446	H'00	H'FFFD 9958	8
割り込み要求レジスタ 447	IR447	H'00	H'FFFD 9959	8
割り込み要求レジスタ 448	IR448	H'00	H'FFFD 995A	8
割り込み要求レジスタ 449	IR449	H'00	H'FFFD 995B	8
割り込み要求レジスタ 450	IR450	H'00	H'FFFD 995C	8
割り込み要求レジスタ 451	IR451	H'00	H'FFFD 995D	8
割り込み要求レジスタ 452	IR452	H'00	H'FFFD 995E	8
割り込み要求レジスタ 453	IR453	H'00	H'FFFD 995F	8
割り込み要求レジスタ 454	IR454	H'00	H'FFFD 9960	8
割り込み要求レジスタ 455	IR455	H'00	H'FFFD 9961	8
割り込み要求レジスタ 456	IR456	H'00	H'FFFD 9962	8
割り込み要求レジスタ 457	IR457	H'00	H'FFFD 9963	8

注. ・アクセスサイクルはワードアクセス時には2サイクル、ロングワードアクセス時には4サイクルになります。

表 8.7 INTCのレジスタ一覧(5)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要求レジスタ 458	IR458	H'00	H'FFFD 9964	8
割り込み要求レジスタ 459	IR459	H'00	H'FFFD 9965	8
割り込み要求レジスタ 460	IR460	H'00	H'FFFD 9966	8
割り込み要求レジスタ 461	IR461	H'00	H'FFFD 9967	8
割り込み要求レジスタ 462	IR462	H'00	H'FFFD 9968	8
割り込み要求レジスタ 463	IR463	H'00	H'FFFD 9969	8
割り込み要求レジスタ 464	IR464	H'00	H'FFFD 996A	8
割り込み要求レジスタ 477	IR477	H'00	H'FFFD 9977	8
割り込み制御レジスタ 102	ICR102	不定	H'FFFD 999A	16
割り込み制御レジスタ 103	ICR103	不定	H'FFFD 999C	16
割り込み制御レジスタ 104	ICR104	不定	H'FFFD 999E	16
割り込み制御レジスタ 105	ICR105	不定	H'FFFD 99A0	16
割り込み制御レジスタ 106	ICR106	不定	H'FFFD 99A2	16
割り込み制御レジスタ 107	ICR107	不定	H'FFFD 99A4	16
割り込み制御レジスタ 108	ICR108	不定	H'FFFD 99A6	16
割り込み制御レジスタ 109	ICR109	不定	H'FFFD 99A8	16
割り込み制御レジスタ 134	ICR134	不定	H'FFFD 99DA	16
割り込み制御レジスタ 135	ICR135	不定	H'FFFD 99DC	16
割り込み制御レジスタ 136	ICR136	不定	H'FFFD 99DE	16
割り込み制御レジスタ 142	ICR142	不定	H'FFFD 99EA	16
割り込み制御レジスタ 143	ICR143	不定	H'FFFD 99EC	16
割り込み制御レジスタ 144	ICR144	不定	H'FFFD 99EE	16
割り込み制御レジスタ 145	ICR145	不定	H'FFFD 99F0	16
割り込み制御レジスタ 146	ICR146	不定	H'FFFD 99F2	16
割り込み制御レジスタ 147	ICR147	不定	H'FFFD 99F4	16
割り込み制御レジスタ 148	ICR148	不定	H'FFFD 99F6	16
割り込み制御レジスタ 149(注1)	ICR149	不定	H'FFFD 99F8	16
割り込み制御レジスタ 150(注1)	ICR150	不定	H'FFFD 99FA	16
割り込み制御レジスタ 151(注1)	ICR151	不定	H'FFFD 99FC	16
割り込み制御レジスタ 152(注1)	ICR152	不定	H'FFFD 99FE	16
割り込み制御レジスタ 153	ICR153	不定	H'FFFD 9A00	16
割り込み制御レジスタ 154	ICR154	不定	H'FFFD 9A02	16
割り込み制御レジスタ 155(注1)	ICR155	不定	H'FFFD 9A04	16
割り込み制御レジスタ 156(注1)	ICR156	不定	H'FFFD 9A06	16
割り込み制御レジスタ 165	ICR165	不定	H'FFFD 9A18	16
割り込み制御レジスタ 166	ICR166	不定	H'FFFD 9A1A	16
割り込み制御レジスタ 173	ICR173	不定	H'FFFD 9A28	16
割り込み制御レジスタ 174(注1)	ICR174	不定	H'FFFD 9A2A	16
割り込み制御レジスタ 175(注1)	ICR175	不定	H'FFFD 9A2C	16
割り込み制御レジスタ 176(注1)	ICR176	不定	H'FFFD 9A2E	16
割り込み制御レジスタ 177	ICR177	不定	H'FFFD 9A30	16
割り込み制御レジスタ 178(注1)	ICR178	不定	H'FFFD 9A32	16

注1. SH72A0グループでは、未使用となります。

注. ・ アクセスサイクルはワードアクセス時には2サイクル、ロングワードアクセス時には4サイクルになります。

表 8.8 INTCのレジスタ一覧(6)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み制御レジスタ 179	ICR179	不定	H'FFFD 9A34	16
割り込み制御レジスタ 180	ICR180	不定	H'FFFD 9A36	16
割り込み制御レジスタ 191(注1)	ICR191	不定	H'FFFD 9A4C	16
割り込み制御レジスタ 192(注1)	ICR192	不定	H'FFFD 9A4E	16
割り込み制御レジスタ 193(注1)	ICR193	不定	H'FFFD 9A50	16
割り込み制御レジスタ 194(注1)	ICR194	不定	H'FFFD 9A52	16
割り込み制御レジスタ 195(注1)	ICR195	不定	H'FFFD 9A54	16
割り込み制御レジスタ 196(注1)	ICR196	不定	H'FFFD 9A56	16
割り込み制御レジスタ 214	ICR214	不定	H'FFFD 9A7A	16
割り込み制御レジスタ 215	ICR215	不定	H'FFFD 9A7C	16
割り込み制御レジスタ 221	ICR221	不定	H'FFFD 9A88	16
割り込み制御レジスタ 222	ICR222	不定	H'FFFD 9A8A	16
割り込み制御レジスタ 223	ICR223	不定	H'FFFD 9A8C	16
割り込み制御レジスタ 224	ICR224	不定	H'FFFD 9A8E	16
割り込み制御レジスタ 225	ICR225	不定	H'FFFD 9A90	16
割り込み制御レジスタ 226	ICR226	不定	H'FFFD 9A92	16
割り込み制御レジスタ 227	ICR227	不定	H'FFFD 9A94	16
割り込み制御レジスタ 228	ICR228	不定	H'FFFD 9A96	16
割り込み制御レジスタ 229	ICR229	不定	H'FFFD 9A98	16
割り込み制御レジスタ 230	ICR230	不定	H'FFFD 9A9A	16
割り込み制御レジスタ 231	ICR231	不定	H'FFFD 9A9C	16
割り込み制御レジスタ 232	ICR232	不定	H'FFFD 9A9E	16
割り込み制御レジスタ 233	ICR233	不定	H'FFFD 9AA0	16
割り込み制御レジスタ 234	ICR234	不定	H'FFFD 9AA2	16
割り込み制御レジスタ 235	ICR235	不定	H'FFFD 9AA4	16
割り込み制御レジスタ 236	ICR236	不定	H'FFFD 9AA6	16
割り込み制御レジスタ 237	ICR237	不定	H'FFFD 9AA8	16
割り込み制御レジスタ 238	ICR238	不定	H'FFFD 9AAA	16
割り込み制御レジスタ 239	ICR239	不定	H'FFFD 9AAC	16
割り込み制御レジスタ 240	ICR240	不定	H'FFFD 9AAE	16
割り込み制御レジスタ 297	ICR297	不定	H'FFFD 9B20	16
割り込み制御レジスタ 298	ICR298	不定	H'FFFD 9B22	16
割り込み制御レジスタ 299	ICR299	不定	H'FFFD 9B24	16
割り込み制御レジスタ 300	ICR300	不定	H'FFFD 9B26	16
割り込み制御レジスタ 312	ICR312	不定	H'FFFD 9B3E	16
割り込み制御レジスタ 313	ICR313	不定	H'FFFD 9B40	16
割り込み制御レジスタ 314	ICR314	不定	H'FFFD 9B42	16
割り込み制御レジスタ 315	ICR315	不定	H'FFFD 9B44	16
割り込み制御レジスタ 316	ICR316	不定	H'FFFD 9B46	16
割り込み制御レジスタ 317	ICR317	不定	H'FFFD 9B48	16
割り込み制御レジスタ 318	ICR318	不定	H'FFFD 9B4A	16
割り込み制御レジスタ 319	ICR319	不定	H'FFFD 9B4C	16

注1. SH72A0グループでは、未使用となります。

注. ・ アクセスサイクルはワードアクセス時には2サイクル、ロングワードアクセス時には4サイクルになります。

表 8.9 INTCのレジスタ一覧(7)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み制御レジスタ 320	ICR320	不定	H'FFFD 9B4E	16
割り込み制御レジスタ 321	ICR321	不定	H'FFFD 9B50	16
割り込み制御レジスタ 322	ICR322	不定	H'FFFD 9B52	16
割り込み制御レジスタ 323	ICR323	不定	H'FFFD 9B54	16
割り込み制御レジスタ 324	ICR324	不定	H'FFFD 9B56	16
割り込み制御レジスタ 325	ICR325	不定	H'FFFD 9B58	16
割り込み制御レジスタ 326	ICR326	不定	H'FFFD 9B5A	16
割り込み制御レジスタ 327	ICR327	不定	H'FFFD 9B5C	16
割り込み制御レジスタ 328	ICR328	不定	H'FFFD 9B5E	16
割り込み制御レジスタ 329	ICR329	不定	H'FFFD 9B60	16
割り込み制御レジスタ 330	ICR330	不定	H'FFFD 9B62	16
割り込み制御レジスタ 331	ICR331	不定	H'FFFD 9B64	16
割り込み制御レジスタ 332	ICR332	不定	H'FFFD 9B66	16
割り込み制御レジスタ 333	ICR333	不定	H'FFFD 9B68	16
割り込み制御レジスタ 334	ICR334	不定	H'FFFD 9B6A	16
割り込み制御レジスタ 335	ICR335	不定	H'FFFD 9B6C	16
割り込み制御レジスタ 336	ICR336	不定	H'FFFD 9B6E	16
割り込み制御レジスタ 337	ICR337	不定	H'FFFD 9B70	16
割り込み制御レジスタ 338	ICR338	不定	H'FFFD 9B72	16
割り込み制御レジスタ 339	ICR339	不定	H'FFFD 9B74	16
割り込み制御レジスタ 366	ICR366	不定	H'FFFD 9BAA	16
割り込み制御レジスタ 367(注1)	ICR367	不定	H'FFFD 9BAC	16
割り込み制御レジスタ 378	ICR378	不定	H'FFFD 9BC2	16
割り込み制御レジスタ 379(注1)	ICR379	不定	H'FFFD 9BC4	16
割り込み制御レジスタ 403	ICR403	不定	H'FFFD 9BF4	16
割り込み制御レジスタ 404	ICR404	不定	H'FFFD 9BF6	16
割り込み制御レジスタ 405	ICR405	不定	H'FFFD 9BF8	16
割り込み制御レジスタ 406	ICR406	不定	H'FFFD 9BFA	16
割り込み制御レジスタ 407	ICR407	不定	H'FFFD 9BFC	16
割り込み制御レジスタ 408	ICR408	不定	H'FFFD 9BFE	16
割り込み制御レジスタ 409	ICR409	不定	H'FFFD 9C00	16
割り込み制御レジスタ 410	ICR410	不定	H'FFFD 9C02	16
割り込み制御レジスタ 411	ICR411	不定	H'FFFD 9C04	16
割り込み制御レジスタ 412	ICR412	不定	H'FFFD 9C06	16
割り込み制御レジスタ 413	ICR413	不定	H'FFFD 9C08	16
割り込み制御レジスタ 414	ICR414	不定	H'FFFD 9C0A	16
割り込み制御レジスタ 415	ICR415	不定	H'FFFD 9C0C	16
割り込み制御レジスタ 416	ICR416	不定	H'FFFD 9C0E	16
割り込み制御レジスタ 417	ICR417	不定	H'FFFD 9C10	16
割り込み制御レジスタ 418	ICR418	不定	H'FFFD 9C12	16
割り込み制御レジスタ 427	ICR427	不定	H'FFFD 9C24	16
割り込み制御レジスタ 428	ICR428	不定	H'FFFD 9C26	16

注1. SH72A0グループでは、未使用となります。

注. ・ アクセスサイクルはワードアクセス時には2サイクル、ロングワードアクセス時には4サイクルになります。

表 8.10 INTCのレジスタ一覧(8)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み制御レジスタ 429	ICR429	不定	H'FFFD 9C28	16
割り込み制御レジスタ 430	ICR430	不定	H'FFFD 9C2A	16
割り込み制御レジスタ 431	ICR431	不定	H'FFFD 9C2C	16
割り込み制御レジスタ 432	ICR432	不定	H'FFFD 9C2E	16
割り込み制御レジスタ 433	ICR433	不定	H'FFFD 9C30	16
割り込み制御レジスタ 434	ICR434	不定	H'FFFD 9C32	16
割り込み制御レジスタ 435	ICR435	不定	H'FFFD 9C34	16
割り込み制御レジスタ 436	ICR436	不定	H'FFFD 9C36	16
割り込み制御レジスタ 437	ICR437	不定	H'FFFD 9C38	16
割り込み制御レジスタ 438	ICR438	不定	H'FFFD 9C3A	16
割り込み制御レジスタ 439	ICR439	不定	H'FFFD 9C3C	16
割り込み制御レジスタ 440	ICR440	不定	H'FFFD 9C3E	16
割り込み制御レジスタ 441	ICR441	不定	H'FFFD 9C40	16
割り込み制御レジスタ 442	ICR442	不定	H'FFFD 9C42	16
割り込み制御レジスタ 443	ICR443	不定	H'FFFD 9C44	16
割り込み制御レジスタ 444	ICR444	不定	H'FFFD 9C46	16
割り込み制御レジスタ 445	ICR445	不定	H'FFFD 9C48	16
割り込み制御レジスタ 446	ICR446	不定	H'FFFD 9C4A	16
割り込み制御レジスタ 447	ICR447	不定	H'FFFD 9C4C	16
割り込み制御レジスタ 448	ICR448	不定	H'FFFD 9C4E	16
割り込み制御レジスタ 449	ICR449	不定	H'FFFD 9C50	16
割り込み制御レジスタ 450	ICR450	不定	H'FFFD 9C52	16
割り込み制御レジスタ 451	ICR451	不定	H'FFFD 9C54	16
割り込み制御レジスタ 452	ICR452	不定	H'FFFD 9C56	16
割り込み制御レジスタ 453	ICR453	不定	H'FFFD 9C58	16
割り込み制御レジスタ 454	ICR454	不定	H'FFFD 9C5A	16
割り込み制御レジスタ 455	ICR455	不定	H'FFFD 9C5C	16
割り込み制御レジスタ 456	ICR456	不定	H'FFFD 9C5E	16
割り込み制御レジスタ 457	ICR457	不定	H'FFFD 9C60	16
割り込み制御レジスタ 458	ICR458	不定	H'FFFD 9C62	16
割り込み制御レジスタ 459	ICR459	不定	H'FFFD 9C64	16
割り込み制御レジスタ 460	ICR460	不定	H'FFFD 9C66	16
割り込み制御レジスタ 461	ICR461	不定	H'FFFD 9C68	16
割り込み制御レジスタ 462	ICR462	不定	H'FFFD 9C6A	16
割り込み制御レジスタ 463	ICR463	不定	H'FFFD 9C6C	16
割り込み制御レジスタ 464	ICR464	不定	H'FFFD 9C6E	16
割り込み制御レジスタ 477	ICR477	不定	H'FFFD 9C88	16

注. ・アクセスサイクルはワードアクセス時には2サイクル、ロングワードアクセス時には4サイクルになります。

8.3.1 割り込み優先レベル設定レジスタ i (IPRi) (i = 1 ~ 4)

アドレス IPR1 : H'FFFD 941A

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	INT0[3:0]				INT1[3:0]				INT2[3:0]				INT3[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

アドレス IPR2 : H'FFFD 941C

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	INT4[3:0]				INT5[3:0]				INT6[3:0]				INT7[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

アドレス IPR3 : H'FFFD 941E

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	INT8[3:0]				INT9[3:0](注1)				INT10[3:0]				INT11[3:0](注1)			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

アドレス IPR4 : H'FFFD 9420

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	INT12[3:0](注1)				INT13[3:0](注1)				(予約ビット)							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注1. SH72A0グループでは、予約ビットになります。

IPR1 ~ IPR4 レジスタは、INT 割り込みの優先順位 (レベル 0 ~ 15) を設定します。

ビット 15 ~ 12、ビット 11 ~ 8、ビット 7 ~ 4、ビット 3 ~ 0 の各 4 ビットに H'0 (0000) から H'F (1111) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、H'F をセットすると優先レベル 15 (最高) になります。優先レベル 0 は、割り込みを禁止していることと同じ状態です。

予約ビットは、読むと“0”が読み出されます。書き込みは、“0”としてください。

8.3.2 割り込み制御レジスタ 0 (ICR0)

アドレス H'FFFD 9400

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
NMIL	—	—	—	—	—	—	NMIE	—	—	—	—	—	—	—	—
リセット後の値 (注1)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15	NMIL	NMI入力レベルビット	NMI端子に入力されている信号のレベルが設定されます。このビットを読み出すことによって、NMI端子のレベルを知ることができます。なお、本ビットへの書き込みは無効です。 0: NMI端子にLowが入力されている 1: NMI端子にHighが入力されている	R
b14-b9	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b8	NMIE	NMIEエッジセレクトビット	NMI入力の立ち下がりまたは立ち上がりのどちらで割り込み要求信号を検出するかを選択します。 0: NMI入力の立ち下がりエッジで割り込み要求を検出 1: NMI入力の立ち上がりエッジで割り込み要求を検出	R/W
b7-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注1. NMI端子がHighレベルのとき“1”、Lowレベルのとき“0”

ICR0 レジスタは、NMI端子の入力信号検出モードを設定し、NMI端子に入力されているレベルを示します。

8.3.3 割り込み制御レジスタ 1 (ICR1)

アドレス H'FFFD 9402

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
INT7S[1:0]	INT6S[1:0]	INT5S[1:0]	INT4S[1:0]	INT3S[1:0]	INT2S[1:0]	INT1S[1:0]	INT0S[1:0]	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b14	INT7S[1:0]	INT7センスセレクトビット	INT7～INT0端子に対する割り込み信号をLowレベル、立ち下りエッジ、立ち上りエッジ、両エッジのどれで検出するかを選択します。 b15b14 b13b12 b11b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0 0 0: 割り込み要求をINTn入力のLowレベルで検出する 0 1: 割り込み要求をINTnの立ち下りエッジで検出する 1 0: 割り込み要求をINTnの立ち上りエッジで検出する 1 1: 割り込み要求をINTnの両エッジで検出する	R/W
b13-b12	INT6S[1:0]	INT6センスセレクトビット		R/W
b11-b10	INT5S[1:0]	INT5センスセレクトビット		R/W
b9-b8	INT4S[1:0]	INT4センスセレクトビット		R/W
b7-b6	INT3S[1:0]	INT3センスセレクトビット		R/W
b5-b4	INT2S[1:0]	INT2センスセレクトビット		R/W
b3-b2	INT1S[1:0]	INT1センスセレクトビット		R/W
b1-b0	INT0S[1:0]	INT0センスセレクトビット		R/W

注. • n = 7 ~ 0

ICR1 レジスタは、INT7～INT0端子に対して立ち下りエッジ、立ち上りエッジ、両エッジ、Lowレベルの検出モードを個別に設定します。

8.3.4 割り込み制御レジスタ 2 (ICR2)

アドレス H'FFFD 9404

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	INT13S[1:0] (注1)	INT12S[1:0] (注1)	INT11S[1:0] (注1)	INT10S[1:0]	INT9S[1:0] (注1)	INT8S[1:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b12	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b11-b10	INT13S[1:0] (注1)	INT13センスセレクトビット	INT13～INT8端子に対する割り込み信号をLowレベル、立ち下りエッジ、立ち上りエッジ、両エッジのどれで検出するかを選択します。 b11b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0 0 0 : 割り込み要求をINTn入力のLowレベルで検出する 0 1 : 割り込み要求をINTnの立ち下りエッジで検出する 1 0 : 割り込み要求をINTnの立ち上りエッジで検出する 1 1 : 割り込み要求をINTnの両エッジで検出する	R/W
b9-b8	INT12S[1:0] (注1)	INT12センスセレクトビット		R/W
b7-b6	INT11S[1:0] (注1)	INT11センスセレクトビット		R/W
b5-b4	INT10S[1:0]	INT10センスセレクトビット		R/W
b3-b2	INT9S[1:0](注1)	INT9センスセレクトビット		R/W
b1-b0	INT8S[1:0]	INT8センスセレクトビット		R/W

注1. SH72A0グループでは、予約ビットとなります。

注. • n = 13～8

ICR2 レジスタは、INT13～INT8 端子に対して立ち下りエッジ、立ち上りエッジ、両エッジ、Low レベルの検出モードを個別に設定します。

8.3.5 INT 割り込み要求レジスタ (INTR)

アドレス H'FFFD 9408

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	INT13F (注1)	INT12F (注1)	INT11F (注1)	INT10F	INT9F (注1)	INT8F	INT7F	INT6F	INT5F	INT4F	INT3F	INT2F	INT1F	INT0F
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b14	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b13	INT13F (注1)	INT13割り込み要求ビット	エッジ検出時(ICR1、ICR2レジスタのINTnSビット=“01”, “10”, “11”)	R/W
b12	INT12F (注1)	INT12割り込み要求ビット	0: INTn割り込み要求を検出していません 1: INTn割り込み要求を検出しました	R/W
b11	INT11F (注1)	INT11割り込み要求ビット	["0"になる条件] ・ “1”読み出した後に“0”を書き込んだとき ・ INTn割り込みが受け付けられたとき	R/W
b10	INT10F	INT10割り込み要求ビット	["1"になる条件]	R/W
b9	INT9F(注1)	INT9割り込み要求ビット	・ INTn端子に対応するエッジが入力されたとき	R/W
b8	INT8F	INT8割り込み要求ビット	レベル検出時(ICR1、ICR2レジスタのINTnSビット=“00”)	R/W
b7	INT7F	INT7割り込み要求ビット	0: INTn割り込み要求を検出していません	R/W
b6	INT6F	INT6割り込み要求ビット	1: INTn割り込み要求を検出しました	R/W
b5	INT5F	INT5割り込み要求ビット	["0"になる条件] ・ INTn端子がHighレベルのとき	R/W
b4	INT4F	INT4割り込み要求ビット	["1"になる条件]	R/W
b3	INT3F	INT3割り込み要求ビット	・ INTn端子がLowレベルのとき	R/W
b2	INT2F	INT2割り込み要求ビット	書き込みは無効です	R/W
b1	INT1F	INT1割り込み要求ビット		R/W
b0	INT0F	INT0割り込み要求ビット		R/W

注1. SH72A0グループでは、予約ビットとなります。

- 注. ・ INTnに対応する端子をINTn割り込み機能以外に割り付けている場合、対応するビットが“1”になる場合があります。
読み出し時は、INTn割り込みで使用していないビットについては、見ないように、プログラムにてマスク処理等をしてください。
・ n = 13 ~ 0

INTR レジスタは、INT 端子の割り込み要求を示します。INT13 ~ INT0 割り込みをエッジ検出に設定している場合、“1”読み出したビットを“0”を書き込むことにより、保持されている割り込み要求を取り下げることができます。

8.3.6 バンク制御レジスタ (BCR)

アドレス H'FFFD 940E

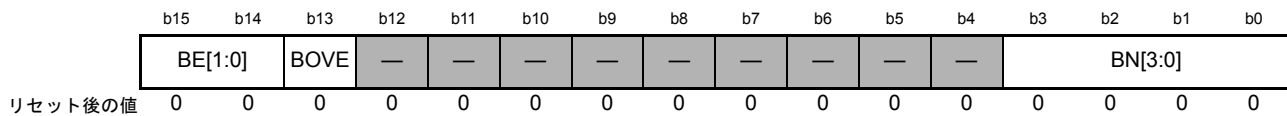
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15	E15	割り込み優先レベル15レジスタ バンク使用許可ビット	0: レジスタバンクの使用を禁止します 1: レジスタバンクの使用を許可します	R/W
b14	E14	割り込み優先レベル14レジスタ バンク使用許可ビット		R/W
b13	E13	割り込み優先レベル13レジスタ バンク使用許可ビット		R/W
b12	E12	割り込み優先レベル12レジスタ バンク使用許可ビット		R/W
b11	E11	割り込み優先レベル11レジスタ バンク使用許可ビット		R/W
b10	E10	割り込み優先レベル10レジスタ バンク使用許可ビット		R/W
b9	E9	割り込み優先レベル9レジスタ バンク使用許可ビット		R/W
b8	E8	割り込み優先レベル8レジスタ バンク使用許可ビット		R/W
b7	E7	割り込み優先レベル7レジスタ バンク使用許可ビット		R/W
b6	E6	割り込み優先レベル6レジスタ バンク使用許可ビット		R/W
b5	E5	割り込み優先レベル5レジスタ バンク使用許可ビット		R/W
b4	E4	割り込み優先レベル4レジスタ バンク使用許可ビット		R/W
b3	E3	割り込み優先レベル3レジスタ バンク使用許可ビット		R/W
b2	E2	割り込み優先レベル2レジスタ バンク使用許可ビット		R/W
b1	E1	割り込み優先レベル1レジスタ バンク使用許可ビット		R/W
b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

BCR レジスタは、割り込み優先レベルに対して、レジスタバンク使用の許可 / 禁止を設定することができます。BCR レジスタは、BNR レジスタの BE ビットが“11”のときに有効になります。

8.3.7 バンク番号レジスタ (BNR)

アドレス H'FFFF 9410

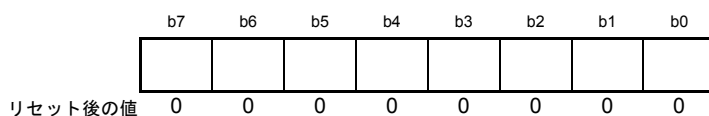


ビット	シンボル	ビット名	機能	R/W
b15-b14	BE[1:0]	レジスタバンク使用許可ビット	b15 b14 0 0 : すべての割り込みでバンクの使用を禁止します。 BCRレジスタの設定は無視します。 0 1 : NMI割り込み、ユーザブレイク割り込み以外のすべての割り込みでバンクの使用を許可します。BCRレジスタの設定は無視されます。 1 0 : 設定しないでください。 1 1 : レジスタバンクの使用は、BCRレジスタの設定に従います。	R/W
b13	BOVE	レジスタバンクオーバーフロー例外発生許可ビット	0 : レジスタバンクオーバーフロー例外の発生を禁止します。 1 : レジスタバンクオーバーフロー例外の発生を許可します。	R/W
b12-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3-b0	BN[3:0]	退避レジスタバンク番号ビット	次に退避されるバンク番号を示します。レジスタバンクを使用した割り込みが受け付けられたとき、BNビットが示すレジスタバンクに退避を行い、BNを+1します。レジスタバンク復帰命令の実行により、BNを-1した後、レジスタバンクから復帰を行います。	R

BNR レジスタは、レジスタバンク使用の許可 / 禁止、およびレジスタバンクオーバーフロー例外の許可 / 禁止を設定します。また、BN ビットにより次に退避されるバンク番号を示します。

8.3.8 ソフトウェア割り込みレジスタ i (SINTi) (i = 1 ~ 8)

アドレス SINT1 : H'FFFF 9412、SINT2 : H'FFFF 9413、SINT3 : H'FFFF 9414、SINT4 : H'FFFF 9415、
SINT5 : H'FFFF 9416、SINT6 : H'FFFF 9417、SINT7 : H'FFFF 9418、SINT8 : H'FFFF 9419



ビット	機能	R/W
b7-b0	(リード動作) SINTiのカウンタ値が読み出されます。 (ライト動作) H'01の書き込み : カウンタを1インクリメントします。(注1) H'00の書き込み : カウンタを1デクリメントします。(注2)	R/W

注1. カウンタがH'FFのときに、1インクリメントした場合、インクリメントされずH'FFのままとなります。

注2. カウンタがH'00のときに、1デクリメントした場合、デクリメントされずH'00のままとなります。

SINTi レジスタは、ソフトウェア割り込み 8 ~ 1 (SINT8 ~ SINT1) の制御および要求回数をカウントします。このレジスタは、H'01 を書き込むことでカウンタ値を1インクリメントします。また H'00 を書き込むことでカウンタ値を1デクリメントします。このレジスタのカウンタ値が1以上のとき、ソフトウェア割り込み 8 ~ 1 (SINT8 ~ SINT1) が発生します。読み出した場合、現在のカウンタ値が読み出されます。このレジスタには、“H'00”と“H'01”以外は書き込まないでください。

8.3.9 割り込み要求レジスタ i (IRi)

(i = 102~109、134~136、142~156、165~166、173~180、191~196、214~215、221~240、297~300、312~339、366~367、378~379、403~418、427~464、477)

アドレス	IR102~IR109 : H'FFFF 9800~H'FFFF 9807	IR134~IR136 : H'FFFF 9820~H'FFFF 9822
	IR142~IR156 : H'FFFF 9828~H'FFFF 9836	IR165~IR166 : H'FFFF 983F~H'FFFF 9840
	IR173~IR180 : H'FFFF 9847~H'FFFF 984E	IR191~IR196 : H'FFFF 9859~H'FFFF 985E
	IR214~IR215 : H'FFFF 9870~H'FFFF 9871	IR221~IR240 : H'FFFF 9877~H'FFFF 988A
	IR297~IR300 : H'FFFF 98C3~H'FFFF 98C6	IR312~IR339 : H'FFFF 98D2~H'FFFF 98ED
	IR366~IR367 : H'FFFF 9908~H'FFFF 9909	IR378~IR379 : H'FFFF 9914~H'FFFF 9915
	IR403~IR418 : H'FFFF 992D~H'FFFF 993C	IR427~IR464 : H'FFFF 9945~H'FFFF 996A
	IR477 : H'FFFF 9977	



リセット後の値 0 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	IR	割り込み要求ビット	<p><エッジタイプの場合>(注1) 0: 割り込み要求を検出していません 1: 割り込み要求を検出しました [“0”になる条件] ・ “0”を書き込んだとき ・ 割り込みが受け付けられたとき</p> <p>[“1”になる条件] ・ 割り込み要求が発生したとき</p> <p><レベルタイプの場合>(注1) 0: 割り込み要求を検出していません 1: 割り込み要求を検出しました [“0”になる条件] ・ 割り込み要求元の周辺機能からの割り込み要求をクリアされると自動的に“0”にクリアされる</p> <p>[“1”になる条件] ・ 割り込み要求が発生したとき 書き込みは無効です</p>	R/W

注1. ICU入力要因タイプとして、エッジタイプとレベルタイプがあります。レベルタイプの場合、ソフトウェアによるIRビットの“0”クリアができません。各割り込み要因のICU入力要因タイプについては、「表8.11～表8.16 割り込み要因と割り込みベクタ」のICU入力要因タイプを参照してください。

IRi レジスタは、周辺機能の割り込み要求のステータスを示します。

8.3.10 割り込み制御レジスタ i (ICRi)

(i = 102~109、134~136、142~156、165~166、173~180、191~196、214~215、221~240、297~300、312~339、366~367、378~379、403~418、427~464、477)

アドレス	ICR102~ICR109 : H'FFFD 999A~H'FFFD 99A8	ICR134~ICR136 : H'FFFD 99DA~H'FFFD 99DE
	ICR142~ICR156 : H'FFFD 99EA~H'FFFD 9A06	ICR165~ICR166 : H'FFFD 9A18~H'FFFD 9A1A
	ICR173~ICR180 : H'FFFD 9A28~H'FFFD 9A36	ICR191~ICR196 : H'FFFD 9A4C~H'FFFD 9A56
	ICR214~ICR215 : H'FFFD 9A7A~H'FFFD 9A7C	ICR221~ICR240 : H'FFFD 9A88~H'FFFD 9AAE
	ICR297~ICR300 : H'FFFD 9B20~H'FFFD 9B26	ICR312~ICR339 : H'FFFD 9B3E~H'FFFD 9B74
	ICR366~ICR367 : H'FFFD 9BAA~H'FFFD 9BAC	ICR378~ICR379 : H'FFFD 9BC2~H'FFFD 9BC4
	ICR403~ICR418 : H'FFFD 9BF4~H'FFFD 9C12	ICR427~ICR464 : H'FFFD 9C24~H'FFFD 9C6E
	ICR477 : H'FFFD 9C88	

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	INTEN	—	—	—	—	—	—	—	—	—	—	—	IPR[3:0]			
リセット後の値	1	0	0	0	x	x	x	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15	INTEN	割り込み許可ビット	割り込み要求入力を許可するかどうかを設定するビットです。 0: 割り込み禁止 1: 割り込み許可	R/W
b14-b12	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b11-b9	—	(予約ビット)	読むと不定が読み出されます。書き込みは“0”としてください。	R
b8-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3-b0	IPR[3:0]	割り込み優先レベル設定ビット	周辺機能の割り込みの優先順位 (レベル0~15) を設定します。 H'0 (0000) から H'F (1111) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。 割り込み優先順位は、H'0 をセットすると優先レベル0 (最低) に、H'F をセットすると優先レベル15 (最高) になります。	R/W

ICRi レジスタは、割り込み要求入力の許可および割り込みの優先順位を設定します。

8.4 割り込み要因

割り込み要因は、電圧監視、NMI、ユーザブレイク、DMAC アクセス MPU エラー、RAM エラー、FIF エラー、ソフトウェア、INT、周辺機能割り込みの9つに分類されます。各割り込みの優先順位は優先レベル値 (0~16) で表され、レベル 0 が最低でレベル 16 が最高です。レベル 0 に設定すると、その割り込みはマスクされます。

8.4.1 電圧監視割り込み

電圧監視割り込みは、電圧監視割り込み 1、メインクロック発振停止検出割り込みの2つの要因によるレベル 16 の割り込みで、常に受け付けられます。電圧監視割り込み例外処理によって、電圧監視割り込みの優先レベルは 16 ですがステータスレジスタ (SR) の割り込みマスクビット (IMASK) は 15 に設定されます。

(1) 電圧監視割り込み 1

電圧監視機能により、VCC 端子の入力電圧の変化を検出すると発生します。

電圧監視機能の詳細は「9. 電圧監視機能」を参照してください。

(2) メインクロック発振停止検出割り込み

メインクロック発振停止検出機能により、メインクロックの発振停止を検出すると発生します。

メインクロック発振停止検出機能の詳細は「5. クロック」を参照してください。

8.4.2 NMI 割り込み

NMI 割り込みは、レベル 16 の割り込みで、常に受け付けられます。NMI 端子からの入力はエッジで検出され、検出エッジは、割り込み制御レジスタ (ICR0) の NMI エッジセレクトビット (NMIE) の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、NMI 割り込みの優先レベルは 16 ですがステータスレジスタ (SR) の割り込みマスクビット (IMASK) は 15 に設定されます。

8.4.3 ユーザブレイク割り込み

ユーザブレイク割り込みは、ユーザブレイクコントローラ (UBC) で設定したブレイク条件が成立したときに発生する割り込みで、優先レベルは 15 です。ユーザブレイク割り込み要求はエッジで検出され、受け付けられるまで保持されます。ユーザブレイク例外処理によって、ステータスレジスタ (SR) の割り込みマスクビット (IMASK) は 15 に設定されます。

8.4.4 DMAC アクセス MPU エラー割り込み

DMAC アクセスが、MPU で設定した保護領域に対して違反した場合、割り込み要求が発生します。

詳細については、「29. メモリプロテクションユニット (MPU)」を参照してください。

8.4.5 RAM エラー割り込み

RAM エラー割り込みの発生要因の詳細については、「27. RAM 制御」を参照してください。

8.4.6 FIFE 割り込み

FIFE 割り込みの発生要因の詳細については、「24. ROM」を参照してください。

8.4.7 ソフトウェア割り込み

ソフトウェア割り込みレジスタ (SINT8 ~ SINT1) への書き込みにより、割り込み要求を発生することができます。

8.4.8 INT 割り込み

INT 割り込みは INT13 ~ INT0 端子からの入力による割り込みです。INT7 ~ INT0 は、割り込み制御レジスタ 1 (ICR1) の INT センスセレクトビット (INTn0S、INTn1S) ($n=7\sim 0$) の設定によって、端子ごとに Low レベル、立ち下りエッジ、立ち上りエッジ、両エッジ検出を選択できます。INT13 ~ INT8 は、割り込み制御レジスタ 2 (ICR2) の INT センスセレクトビット (INTn0S、INTn1S) ($n=13\sim 8$) の設定によって、端子ごとに Low レベル、立ち下りエッジ、立ち上りエッジ、両エッジ検出を選択できます。

INT13 ~ INT0 入力はデジタルフィルタを持ちます。サンプリングクロックは、INTDFCR1 レジスタの INTFCKD ビットで選択できます。サンプリングクロックごとに INT13 ~ INT0 の入力レベルをサンプリングし、レベルが 3 度一致した時点で内部にレベルが伝達されます。

図 8.2 に INT13 ~ INT0 のデジタルフィルタ構成を示します。

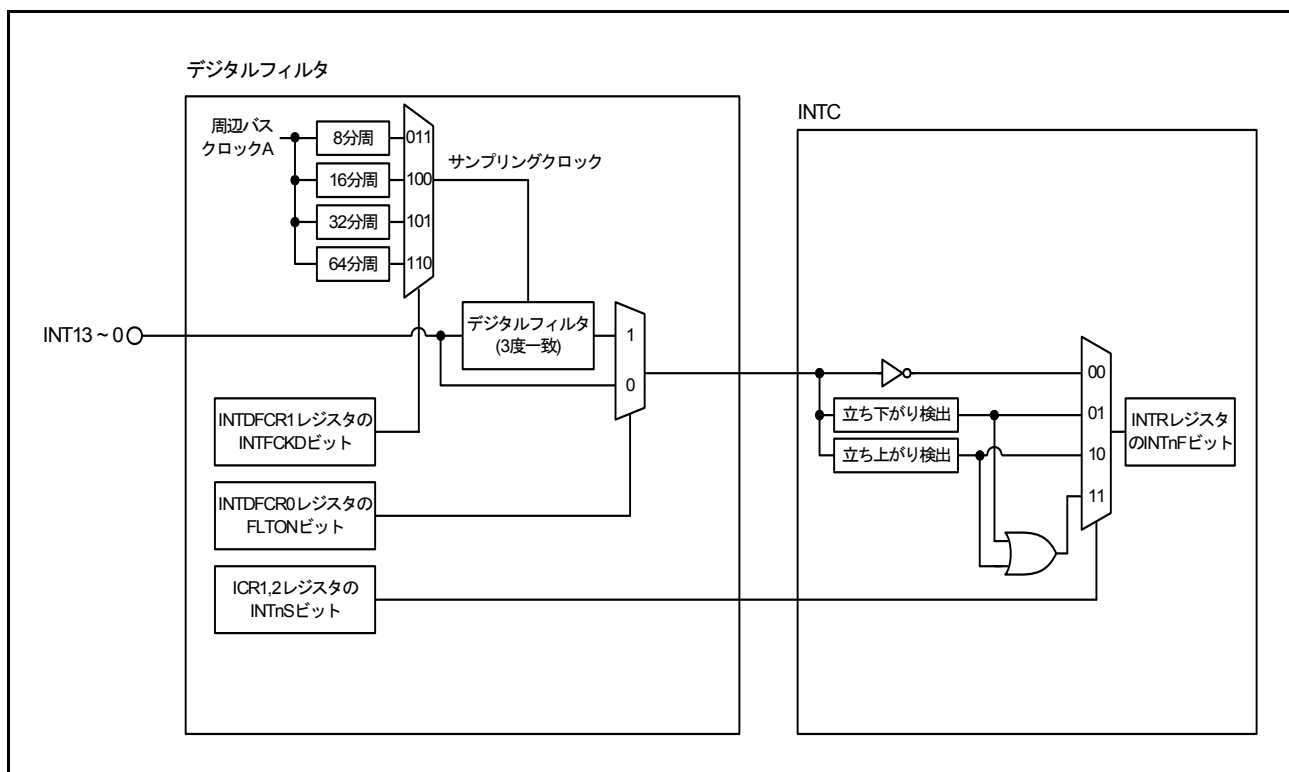


図 8.2 INT13 ~ INT0 のデジタルフィルタ構成

また、割り込み優先レベル設定レジスタ 1~4 (IPR1~IPR4) によって、端子ごとに優先レベルを 0~15 の範囲で設定できます。

INT13~INT0 を Low レベル検出に設定している場合、INT 端子が Low レベルの期間 INTC に割り込み要求信号が送られます。INT 端子が High レベルになると、割り込み要求信号は INTC に送られません。INT 割り込み要求レジスタ (INTR) の INT 割り込み要求ビット (INT13F~INT0F) をリードすることにより割り込み要求を確認できます。

INT13~INT0 の INT 割り込みをエッジ検出に設定している場合、INT13~INT0 端子の変化により割り込み要求が検出され、INTC に割り込み要求信号が送られます。INT 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、INTR レジスタの INT13F~INT0F ビットをリードすることにより INT 割り込み要求が検出されているかどうかを確認でき、“1”読み出し後に“0”を書き込むことにより INT 割り込み要求の検出結果を取り下げることができます。

INT 割り込み例外処理では、SR レジスタの IMASK ビットは、受け付けた INT 割り込みの優先レベル値に設定されます。

8.4.9 周辺機能割り込み

以下に割り込み要因を示します。

- DMAC 割り込み
- 周辺機能割り込み

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み制御レジスタ 102~511 (ICR102~ICR511) の IPR ビットによって、モジュールごとに優先レベル 0~15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、SR レジスタの IMASK ビットは、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

割り込み要因については、「8.4.10 割り込み例外処理ベクタと優先順位」を参照してください。

8.4.10 割り込み例外処理ベクタと優先順位

表 8.11 ~ 表 8.16 に割り込み要因とベクタ番号、ベクタテーブルアドレスオフセットと割り込み優先順位を示します。各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、「6. 例外処理」の「表 6.4 例外処理ベクタテーブルアドレスの算出法」を参照してください。

INT 割り込みと周辺機能割り込みの優先順位は、割り込み優先レベル設定レジスタ 1~4 (IPR1~IPR4)、割り込み制御レジスタ 102~511 (ICR102~ICR511) の IPR ビットによって、端子または周辺機能ごとに、優先レベル 0~15 の範囲で任意に設定できます。INT 割り込みと周辺機能割り込みの優先順位は、リセットによって、優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 8.11~表 8.16 に示す「デフォルト優先順位」に従って処理されます。

表 8.11 割り込み要因と割り込みベクタ (1)

割り込み要因	割り込みベクタ		割り込み優先順位 (初期値)	対応する IPR (ビット)	対応する IR	ICU入力要因タイプ	デフォルト優先順位
	ベクタ番号	ベクタテーブルアドレスオフセット					
各種例外 & 予約	電圧監視割り込み1、またはメインロック発振停止検出割り込み(ベクタ7を共有)	7	H'0000 001C ~ H'0000 001F	16	—	—	エッジ
	NMI割り込み	11	H'0000 002C ~ H'0000 002F	16	—	—	
	ユーザブレイク割り込み	12	H'0000 0030 ~ H'0000 0033	15	—	—	
INT	INT0端子割り込み	64	H'0000 0100 ~ H'0000 0103	0~15(0)	IPR1	(15~12)	エッジ/レベル
	INT1端子割り込み	65	H'0000 0104 ~ H'0000 0107	0~15(0)		(11~8)	
	INT2端子割り込み	66	H'0000 0108 ~ H'0000 010B	0~15(0)		(7~4)	
	INT3端子割り込み	67	H'0000 010C ~ H'0000 010F	0~15(0)		(3~0)	
	INT4端子割り込み	68	H'0000 0110 ~ H'0000 0113	0~15(0)	IPR2	(15~12)	
	INT5端子割り込み	69	H'0000 0114 ~ H'0000 0117	0~15(0)		(11~8)	
	INT6端子割り込み	70	H'0000 0118 ~ H'0000 011B	0~15(0)		(7~4)	
	INT7端子割り込み	71	H'0000 011C ~ H'0000 011F	0~15(0)		(3~0)	
	INT8端子割り込み	72	H'0000 0120 ~ H'0000 0123	0~15(0)	IPR3	(15~12)	
	INT9端子割り込み (注1)	73	H'0000 0124 ~ H'0000 0127	0~15(0)		(11~8)	
	INT10端子割り込み	74	H'0000 0128 ~ H'0000 012B	0~15(0)		(7~4)	
	INT11端子割り込み (注1)	75	H'0000 012C ~ H'0000 012F	0~15(0)		(3~0)	
	INT12端子割り込み (注1)	76	H'0000 0130 ~ H'0000 0133	0~15(0)	IPR4	(15~12)	
	INT13端子割り込み (注1)	77	H'0000 0134 ~ H'0000 0137	0~15(0)		(11~8)	
RAM	RAMエラー割り込み	88	H'0000 0160 ~ H'0000 0163	15	—	—	レベル
(予約)		89 ~ 90		—			—
ROM	FIFエラー割り込み	91	H'0000 016C ~ H'0000 016F	15	—	—	レベル
MPU	DMACアクセスMPUエラー割り込み	92	H'0000 0170 ~ H'0000 0173	15	—	—	レベル
(予約)		93		—			—
SINT	SINT8割り込み	94	H'0000 0178 ~ H'0000 017B	8	—	—	—
	SINT7割り込み	95	H'0000 017C ~ H'0000 017F	7	—	—	
	SINT6割り込み	96	H'0000 0180 ~ H'0000 0183	6	—	—	
	SINT5割り込み	97	H'0000 0184 ~ H'0000 0187	5	—	—	
	SINT4割り込み	98	H'0000 0188 ~ H'0000 018B	4	—	—	
	SINT3割り込み	99	H'0000 018C ~ H'0000 018F	3	—	—	

注1. SH72A0グループでは、未使用となります。

表8.12 割り込み要因と割り込みベクタ (2)

割り込み要因		割り込みベクタ		割り込み優先順位 (初期値)	対応する IPR (ビット)		対応する IR	ICU入力要因タイプ	デフォルト優先順位
		ベクタ番号	ベクタテーブルアドレス オフセット						
SINT	SINT2割り込み	100	H'0000 0190 ~ H'0000 0193	2	—	—	—	—	高
	SINT1割り込み	101	H'0000 0194 ~ H'0000 0197	1	—	—	—		
DMAC	DMA0転送完了割り込み	102	H'0000 0198 ~ H'0000 019B	0 ~ 15 (0)	ICR102	(3 ~ 0)	IR102	エッジ	↑
	DMA1転送完了割り込み	103	H'0000 019C ~ H'0000 019F	0 ~ 15 (0)	ICR103	(3 ~ 0)	IR103		
	DMA2転送完了割り込み	104	H'0000 01A0 ~ H'0000 01A3	0 ~ 15 (0)	ICR104	(3 ~ 0)	IR104		
	DMA3転送完了割り込み	105	H'0000 01A4 ~ H'0000 01A7	0 ~ 15 (0)	ICR105	(3 ~ 0)	IR105		
	DMA4転送完了割り込み	106	H'0000 01A8 ~ H'0000 01AB	0 ~ 15 (0)	ICR106	(3 ~ 0)	IR106		
	DMA5転送完了割り込み	107	H'0000 01AC ~ H'0000 01AF	0 ~ 15 (0)	ICR107	(3 ~ 0)	IR107		
	DMA6転送完了割り込み	108	H'0000 01B0 ~ H'0000 01B3	0 ~ 15 (0)	ICR108	(3 ~ 0)	IR108		
	DMA7転送完了割り込み	109	H'0000 01B4 ~ H'0000 01B7	0 ~ 15 (0)	ICR109	(3 ~ 0)	IR109		
(予約)		110 ~ 133	—		—		—	—	
POE	POE0割り込み	134	H'0000 0218 ~ H'0000 021B	0 ~ 15 (0)	ICR134	(3 ~ 0)	IR134	エッジ	
	POE1割り込み	135	H'0000 021C ~ H'0000 021F	0 ~ 15 (0)	ICR135	(3 ~ 0)	IR135		
	POE2割り込み	136	H'0000 0220 ~ H'0000 0223	0 ~ 15 (0)	ICR136	(3 ~ 0)	IR136		
(予約)		137 ~ 141	—		—		—	—	
CMT	CMT0割り込み (CMI0)	142	H'0000 0238 ~ H'0000 023B	0 ~ 15 (0)	ICR142	(3 ~ 0)	IR142	エッジ	
	CMT1割り込み (CMI1)	143	H'0000 023C ~ H'0000 023F	0 ~ 15 (0)	ICR143	(3 ~ 0)	IR143		
	CMT2割り込み (CMI2)	144	H'0000 0240 ~ H'0000 0243	0 ~ 15 (0)	ICR144	(3 ~ 0)	IR144		
	CMT3割り込み (CMI3)	145	H'0000 0244 ~ H'0000 0247	0 ~ 15 (0)	ICR145	(3 ~ 0)	IR145		
	CMT4割り込み (CMI4)	146	H'0000 0248 ~ H'0000 024B	0 ~ 15 (0)	ICR146	(3 ~ 0)	IR146		
	CMT5割り込み (CMI5)	147	H'0000 024C ~ H'0000 024F	0 ~ 15 (0)	ICR147	(3 ~ 0)	IR147		
AD1	AD1スキャン変換終了割り込み	148	H'0000 0250 ~ H'0000 0253	0 ~ 15 (0)	ICR148	(3 ~ 0)	IR148	エッジ	
	AD1IN0割り込み変換終了割り込み (注1)	149	H'0000 0254 ~ H'0000 0257	0 ~ 15 (0)	ICR149	(3 ~ 0)	IR149		
	AD1IN1割り込み変換終了割り込み (注1)	150	H'0000 0258 ~ H'0000 025B	0 ~ 15 (0)	ICR150	(3 ~ 0)	IR150		
	AD1IN2割り込み変換終了割り込み (注1)	151	H'0000 025C ~ H'0000 025F	0 ~ 15 (0)	ICR151	(3 ~ 0)	IR151		
	AD1IN3割り込み変換終了割り込み (注1)	152	H'0000 0260 ~ H'0000 0263	0 ~ 15 (0)	ICR152	(3 ~ 0)	IR152		
	AD1IN4割り込み変換終了割り込み	153	H'0000 0264 ~ H'0000 0267	0 ~ 15 (0)	ICR153	(3 ~ 0)	IR153		
	AD1IN5割り込み変換終了割り込み	154	H'0000 0268 ~ H'0000 026B	0 ~ 15 (0)	ICR154	(3 ~ 0)	IR154		
	AD1IN6割り込み変換終了割り込み (注1)	155	H'0000 026C ~ H'0000 026F	0 ~ 15 (0)	ICR155	(3 ~ 0)	IR155		
	AD1IN7割り込み変換終了割り込み (注1)	156	H'0000 0270 ~ H'0000 0273	0 ~ 15 (0)	ICR156	(3 ~ 0)	IR156		
(予約)		157 ~ 164	—		—		—	—	
AD1	AD1IN16割り込み変換終了割り込み	165	H'0000 0294 ~ H'0000 0297	0 ~ 15 (0)	ICR165	(3 ~ 0)	IR165	エッジ	
	AD1IN17割り込み変換終了割り込み	166	H'0000 0298 ~ H'0000 029B	0 ~ 15 (0)	ICR166	(3 ~ 0)	IR166		
(予約)		167 ~ 172	—		—		—	—	
AD1	AD1IN24割り込み変換終了割り込み	173	H'0000 02B4 ~ H'0000 02B7	0 ~ 15 (0)	ICR173	(3 ~ 0)	IR173	エッジ	↓
	AD1IN25割り込み変換終了割り込み (注1)	174	H'0000 02B8 ~ H'0000 02BB	0 ~ 15 (0)	ICR174	(3 ~ 0)	IR174		
	AD1IN26割り込み変換終了割り込み (注1)	175	H'0000 02BC ~ H'0000 02BF	0 ~ 15 (0)	ICR175	(3 ~ 0)	IR175		

注1. SH72A0グループでは、未使用となります。

表 8.13 割り込み要因と割り込みベクタ (3)

割り込み要因		割り込みベクタ		割り込み優先順位 (初期値)	対応する IPR (ビット)		対応する IR	ICU入力要因タイプ	デフォルト優先順位
		ベクタ番号	ベクタテーブルアドレス オフセット						
AD1	AD1IN27割り込み変換終了割り込み (注1)	176	H'0000 02C0 ~ H'0000 02C3	0 ~ 15 (0)	ICR176	(3 ~ 0)	IR176	エッジ	↑ 高
	AD1IN28割り込み変換終了割り込み	177	H'0000 02C4 ~ H'0000 02C7	0 ~ 15 (0)	ICR177	(3 ~ 0)	IR177		
	AD1IN29割り込み変換終了割り込み (注1)	178	H'0000 02C8 ~ H'0000 02CB	0 ~ 15 (0)	ICR178	(3 ~ 0)	IR178		
	AD1IN30割り込み変換終了割り込み	179	H'0000 02CC ~ H'0000 02CF	0 ~ 15 (0)	ICR179	(3 ~ 0)	IR179		
	AD1IN31割り込み変換終了割り込み	180	H'0000 02D0 ~ H'0000 02D3	0 ~ 15 (0)	ICR180	(3 ~ 0)	IR180		
(予約)		181~ 190	—					—	
AD1	AD1IN42割り込み変換終了割り込み (注1)	191	H'0000 02FC ~ H'0000 02FF	0 ~ 15 (0)	ICR191	(3 ~ 0)	IR191	エッジ	
	AD1IN43割り込み変換終了割り込み (注1)	192	H'0000 0300 ~ H'0000 0303	0 ~ 15 (0)	ICR192	(3 ~ 0)	IR192		
	AD1IN44割り込み変換終了割り込み (注1)	193	H'0000 0304 ~ H'0000 0307	0 ~ 15 (0)	ICR193	(3 ~ 0)	IR193		
	AD1IN45割り込み変換終了割り込み (注1)	194	H'0000 0308 ~ H'0000 030B	0 ~ 15 (0)	ICR194	(3 ~ 0)	IR194		
	AD1IN46割り込み変換終了割り込み (注1)	195	H'0000 030C ~ H'0000 030F	0 ~ 15 (0)	ICR195	(3 ~ 0)	IR195		
	AD1IN47割り込み変換終了割り込み (注1)	196	H'0000 0310 ~ H'0000 0313	0 ~ 15 (0)	ICR196	(3 ~ 0)	IR196		
(予約)		197~ 213	—					—	
AD0	AD0スキャン変換終了割り込み	214	H'0000 0358 ~ H'0000 035B	0 ~ 15 (0)	ICR214	(3 ~ 0)	IR214	エッジ	
	AD0パリティエラー割り込み	215	H'0000 035C ~ H'0000 035F	0 ~ 15 (0)	ICR215	(3 ~ 0)	IR215		
(予約)		216~ 220	—					—	
TPU	TP1GR0割り込み	221	H'0000 0374 ~ H'0000 0377	0 ~ 15 (0)	ICR221	(3 ~ 0)	IR221	エッジ	↓ 低
	TP1GR1割り込み	222	H'0000 0378 ~ H'0000 037B	0 ~ 15 (0)	ICR222	(3 ~ 0)	IR222		
	TP1GR2割り込み	223	H'0000 037C ~ H'0000 037F	0 ~ 15 (0)	ICR223	(3 ~ 0)	IR223		
	TP1GR3割り込み	224	H'0000 0380 ~ H'0000 0383	0 ~ 15 (0)	ICR224	(3 ~ 0)	IR224		
	TPU1カウンタオーバーフロー割り込み	225	H'0000 0384 ~ H'0000 0387	0 ~ 15 (0)	ICR225	(3 ~ 0)	IR225		
	TP2GR0割り込み	226	H'0000 0388 ~ H'0000 038B	0 ~ 15 (0)	ICR226	(3 ~ 0)	IR226		
	TP2GR1割り込み	227	H'0000 038C ~ H'0000 038F	0 ~ 15 (0)	ICR227	(3 ~ 0)	IR227		
	TP2GR2割り込み	228	H'0000 0390 ~ H'0000 0393	0 ~ 15 (0)	ICR228	(3 ~ 0)	IR228		
	TP2GR3割り込み	229	H'0000 0394 ~ H'0000 0397	0 ~ 15 (0)	ICR229	(3 ~ 0)	IR229		
	TPU2カウンタオーバーフロー割り込み	230	H'0000 0398 ~ H'0000 039B	0 ~ 15 (0)	ICR230	(3 ~ 0)	IR230		
	TP3GR0割り込み	231	H'0000 039C ~ H'0000 039F	0 ~ 15 (0)	ICR231	(3 ~ 0)	IR231		
	TP3GR1割り込み	232	H'0000 03A0 ~ H'0000 03A3	0 ~ 15 (0)	ICR232	(3 ~ 0)	IR232		
	TP3GR2割り込み	233	H'0000 03A4 ~ H'0000 03A7	0 ~ 15 (0)	ICR233	(3 ~ 0)	IR233		
	TP3GR3割り込み	234	H'0000 03A8 ~ H'0000 03AB	0 ~ 15 (0)	ICR234	(3 ~ 0)	IR234		
	TPU3カウンタオーバーフロー割り込み	235	H'0000 03AC ~ H'0000 03AF	0 ~ 15 (0)	ICR235	(3 ~ 0)	IR235		
	TP4GR0割り込み	236	H'0000 03B0 ~ H'0000 03B3	0 ~ 15 (0)	ICR236	(3 ~ 0)	IR236		
	TP4GR1割り込み	237	H'0000 03B4 ~ H'0000 03B7	0 ~ 15 (0)	ICR237	(3 ~ 0)	IR237		
	TP4GR2割り込み	238	H'0000 03B8 ~ H'0000 03BB	0 ~ 15 (0)	ICR238	(3 ~ 0)	IR238		
	TP4GR3割り込み	239	H'0000 03BC ~ H'0000 03BF	0 ~ 15 (0)	ICR239	(3 ~ 0)	IR239		
	TPU4カウンタオーバーフロー割り込み	240	H'0000 03C0 ~ H'0000 03C3	0 ~ 15 (0)	ICR240	(3 ~ 0)	IR240		
(予約)		241~ 296	—					—	
TPU	TPU1カウンタリセット割り込み	297	H'0000 04A4 ~ H'0000 04A7	0 ~ 15 (0)	ICR297	(3 ~ 0)	IR297	エッジ	

注1. SH72A0グループでは、未使用となります。

表 8.14 割り込み要因と割り込みベクタ (4)

割り込み要因		割り込みベクタ		割り込み優先順位 (初期値)	対応する IPR (ビット)		対応する IR	ICU 入力要因タイプ	デフォルト優先順位
		ベクタ番号	ベクタテーブルアドレス オフセット						
TPU	TPU2カウンタリセット割り込み	298	H'0000 04A8 ~ H'0000 04AB	0 ~ 15 (0)	ICR298	(3 ~ 0)	IR298	エッジ	高 ↑
	TPU3カウンタリセット割り込み	299	H'0000 04AC ~ H'0000 04AF	0 ~ 15 (0)	ICR299	(3 ~ 0)	IR299		
	TPU4カウンタリセット割り込み	300	H'0000 04B0 ~ H'0000 04B3	0 ~ 15 (0)	ICR300	(3 ~ 0)	IR300		
(予約)		301~311	—		—		—		
SCI	SCI0受信エラー割り込み	312	H'0000 04E0 ~ H'0000 04E3	0 ~ 15 (0)	ICR312	(3 ~ 0)	IR312	レベル	↑ ↓
	SCI0受信バッファフル割り込み	313	H'0000 04E4 ~ H'0000 04E7	0 ~ 15 (0)	ICR313	(3 ~ 0)	IR313	エッジ	
	SCI0送信バッファエンプティ割り込み	314	H'0000 04E8 ~ H'0000 04EB	0 ~ 15 (0)	ICR314	(3 ~ 0)	IR314	レベル	
	SCI0送信完了割り込み	315	H'0000 04EC ~ H'0000 04EF	0 ~ 15 (0)	ICR315	(3 ~ 0)	IR315		
	SCI1受信エラー割り込み	316	H'0000 04F0 ~ H'0000 04F3	0 ~ 15 (0)	ICR316	(3 ~ 0)	IR316	エッジ	
	SCI1受信バッファフル割り込み	317	H'0000 04F4 ~ H'0000 04F7	0 ~ 15 (0)	ICR317	(3 ~ 0)	IR317		
	SCI1送信バッファエンプティ割り込み	318	H'0000 04F8 ~ H'0000 04FB	0 ~ 15 (0)	ICR318	(3 ~ 0)	IR318	レベル	
	SCI1送信完了割り込み	319	H'0000 04FC ~ H'0000 04FF	0 ~ 15 (0)	ICR319	(3 ~ 0)	IR319		
	SCI2受信エラー割り込み	320	H'0000 0500 ~ H'0000 0503	0 ~ 15 (0)	ICR320	(3 ~ 0)	IR320	エッジ	
	SCI2受信バッファフル割り込み	321	H'0000 0504 ~ H'0000 0507	0 ~ 15 (0)	ICR321	(3 ~ 0)	IR321		
	SCI2送信バッファエンプティ割り込み	322	H'0000 0508 ~ H'0000 050B	0 ~ 15 (0)	ICR322	(3 ~ 0)	IR322	レベル	
	SCI2送信完了割り込み	323	H'0000 050C ~ H'0000 050F	0 ~ 15 (0)	ICR323	(3 ~ 0)	IR323		
	SCI3受信エラー割り込み	324	H'0000 0510 ~ H'0000 0513	0 ~ 15 (0)	ICR324	(3 ~ 0)	IR324	エッジ	
	SCI3受信バッファフル割り込み	325	H'0000 0514 ~ H'0000 0517	0 ~ 15 (0)	ICR325	(3 ~ 0)	IR325		
	SCI3送信バッファエンプティ割り込み	326	H'0000 0518 ~ H'0000 051B	0 ~ 15 (0)	ICR326	(3 ~ 0)	IR326	レベル	
	SCI3送信完了割り込み	327	H'0000 051C ~ H'0000 051F	0 ~ 15 (0)	ICR327	(3 ~ 0)	IR327		
CAN	CAN0受信割り込み	328	H'0000 0520 ~ H'0000 0523	0 ~ 15 (0)	ICR328	(3 ~ 0)	IR328	エッジ	↑ ↓
	CAN0送信割り込み	329	H'0000 0524 ~ H'0000 0527	0 ~ 15 (0)	ICR329	(3 ~ 0)	IR329		
	CAN0受信FIFO割り込み	330	H'0000 0528 ~ H'0000 052B	0 ~ 15 (0)	ICR330	(3 ~ 0)	IR330		
	CAN0送信FIFO割り込み	331	H'0000 052C ~ H'0000 052F	0 ~ 15 (0)	ICR331	(3 ~ 0)	IR331		
	CAN0エラー割り込み	332	H'0000 0530 ~ H'0000 0533	0 ~ 15 (0)	ICR332	(3 ~ 0)	IR332		
	CAN0ウェイクアップ割り込み	333	H'0000 0534 ~ H'0000 0537	0 ~ 15 (0)	ICR333	(3 ~ 0)	IR333		
	CAN1受信割り込み	334	H'0000 0538 ~ H'0000 053B	0 ~ 15 (0)	ICR334	(3 ~ 0)	IR334		
	CAN1送信割り込み	335	H'0000 053C ~ H'0000 053F	0 ~ 15 (0)	ICR335	(3 ~ 0)	IR335		
	CAN1受信FIFO割り込み	336	H'0000 0540 ~ H'0000 0543	0 ~ 15 (0)	ICR336	(3 ~ 0)	IR336		
	CAN1送信FIFO割り込み	337	H'0000 0544 ~ H'0000 0547	0 ~ 15 (0)	ICR337	(3 ~ 0)	IR337		
	CAN1エラー割り込み	338	H'0000 0548 ~ H'0000 054B	0 ~ 15 (0)	ICR338	(3 ~ 0)	IR338		
	CAN1ウェイクアップ割り込み	339	H'0000 054C ~ H'0000 054F	0 ~ 15 (0)	ICR339	(3 ~ 0)	IR339		
(予約)		340~365	—		—		—		
LIN	LIN2割り込み	366	H'0000 05B8 ~ H'0000 05BB	0 ~ 15 (0)	ICR366	(3 ~ 0)	IR366	レベル	↑ ↓
	LIN3割り込み (注1)	367	H'0000 05BC ~ H'0000 05BF	0 ~ 15 (0)	ICR367	(3 ~ 0)	IR367		
(予約)		368~377	—		—		—		
LIN	LIN2 Low検出割り込み	378	H'0000 05E8 ~ H'0000 05EB	0 ~ 15 (0)	ICR378	(3 ~ 0)	IR378	エッジ	↑ ↓
	LIN3 Low検出割り込み (注1)	379	H'0000 05EC ~ H'0000 05EF	0 ~ 15 (0)	ICR379	(3 ~ 0)	IR379		
(予約)		380~402	—		—		—		低

注1. SH72A0グループでは、未使用となります。

表 8.16 割り込み要因と割り込みベクタ (6)

割り込み要因		割り込みベクタ		割り込み優先順位 (初期値)	対応する IPR (ビット)		対応する IR	ICU入力要因タイプ	デフォルト優先順位
		ベクタ番号	ベクタテーブルアドレス オフセット						
MTU-III	MT5GRW割り込み	454	H'0000 0718 ~ H'0000 071B	0 ~ 15 (0)	ICR454	(3 ~ 0)	IR454	レベル	高 ↑ ↓ 低
	MT6GRA割り込み	455	H'0000 071C ~ H'0000 071F	0 ~ 15 (0)	ICR455	(3 ~ 0)	IR455		
	MT6GRB割り込み	456	H'0000 0720 ~ H'0000 0723	0 ~ 15 (0)	ICR456	(3 ~ 0)	IR456		
	MT6GRC割り込み	457	H'0000 0724 ~ H'0000 0727	0 ~ 15 (0)	ICR457	(3 ~ 0)	IR457		
	MT6GRD割り込み	458	H'0000 0728 ~ H'0000 072B	0 ~ 15 (0)	ICR458	(3 ~ 0)	IR458		
	MT6カウンタオーバーフロー割り込み	459	H'0000 072C ~ H'0000 072F	0 ~ 15 (0)	ICR459	(3 ~ 0)	IR459		
	MT7GRA割り込み	460	H'0000 0730 ~ H'0000 0733	0 ~ 15 (0)	ICR460	(3 ~ 0)	IR460		
	MT7GRB割り込み	461	H'0000 0734 ~ H'0000 0737	0 ~ 15 (0)	ICR461	(3 ~ 0)	IR461		
	MT7GRC割り込み	462	H'0000 0738 ~ H'0000 073B	0 ~ 15 (0)	ICR462	(3 ~ 0)	IR462		
	MT7GRD割り込み	463	H'0000 073C ~ H'0000 073F	0 ~ 15 (0)	ICR463	(3 ~ 0)	IR463		
	MT7カウンタオーバーフロー/ アンダフロー割り込み	464	H'0000 0740 ~ H'0000 0743	0 ~ 15 (0)	ICR464	(3 ~ 0)	IR464		
	(予約)		465 ~ 476		—				
タスク監視 タイマ	タスク監視タイマ割り込み	477	H'0000 0774 ~ H'0000 0777	0 ~ 15 (0)	ICR477	(3 ~ 0)	IR477	エッジ	
(予約)		478 ~ 511		—			—		

8.4.11 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 8.3 に割り込み動作フローを示します。

- (1) 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
- (2) 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタ 1~4 (IPR1~IPR4)、割り込み制御レジスタ 102~511 (ICR102~ICR511) の IPR ビットに従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視 (注 1) されます。このとき、同一優先順位に設定された割り込みが複数発生した場合は、表 8.11~表 8.16 に示す「デフォルト優先順位」に従って、最も優先順位の高い割り込みが選択されます。
- (3) 割り込みコントローラで選択された割り込みの優先レベルと CPU のステータスレジスタ (SR) の割り込みマスクビット (IMASK) とが比較されます。IMASK ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。IMASK ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPU へ割り込み要求信号が送られます。
- (4) 割り込みコントローラから送られた割り込み要求は、CPU が実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます (図 8.5 を参照)。
- (5) 受け付けられた割り込みに対応する例外処理ベクタテーブルから、例外サービスルーチン開始アドレスを取り出します。
- (6) ステータスレジスタ (SR) がスタックに退避され、SR レジスタの IMASK ビットに受け付けられた割り込みの優先レベルが書き込まれます。
- (7) プログラムカウンタ (PC) がスタックに退避されます。
- (8) 取り出した例外サービスルーチン開始アドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。

注 1. エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただし INT 割り込みの場合は、INT 割り込み要求レジスタ (INTR) のアクセスにより取り下げることができます。詳しくは「8.4.8 INT 割り込み」を参照してください。
また、エッジ検出により保留されている割り込みはリセットでクリアされます。

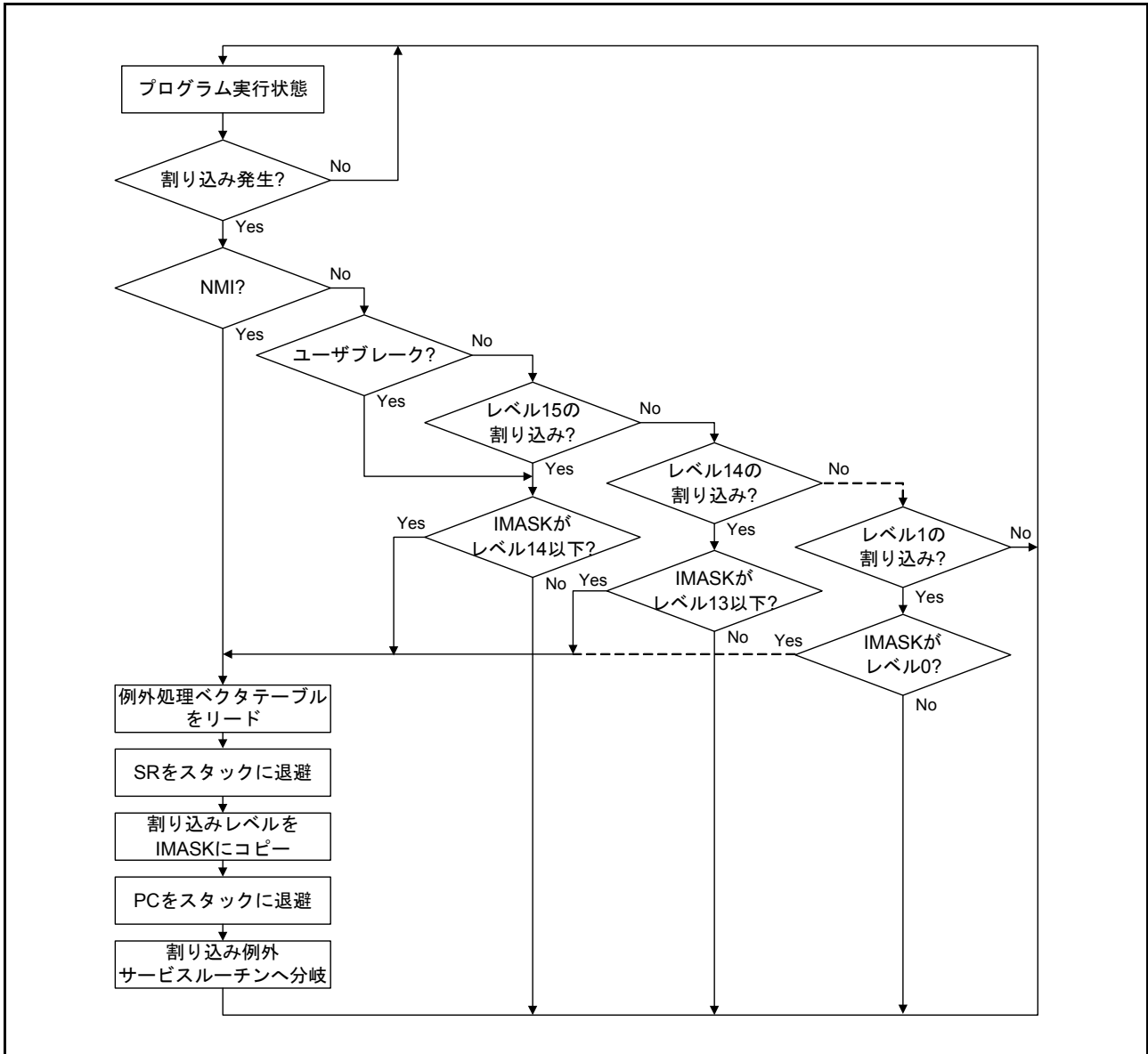


図 8.3 割り込み動作フロー

8.4.12 割り込み例外処理終了後のスタックの状態

図 8.4 に割り込み例外処理終了後のスタック状態を示します。

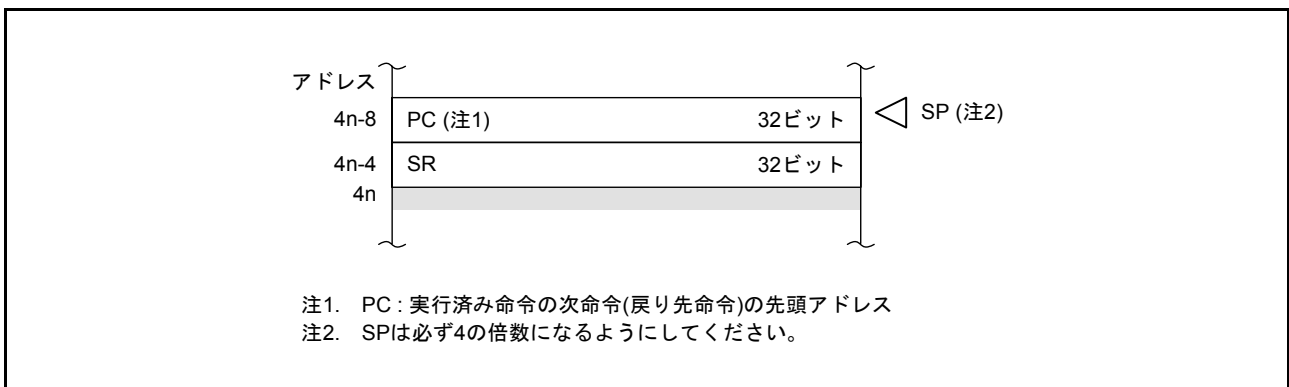


図 8.4 割り込み例外処理終了後のスタック状態

8.4.13 割り込み要因の検出制御

INTCには、周辺機能の割り込み検出制御として、割り込み制御レジスタ 102～511 (ICR102～ICR511) があります。以下に設定手順を示します。

- (1) 割り込み要因に対応する割り込み制御レジスタ (ICR) の IPR ビットのクリア。
- (2) 割り込み要因に対応する割り込み制御レジスタ (ICR) の INTEN ビットのクリア。
- (3) 割り込み要因に対応する割り込み要求レジスタ (IR) のクリア (確認)。
- (4) 割り込み要因に対応する割り込み制御レジスタ (ICR) の IPR ビットの設定。
- (5) 割り込み要因に対応する割り込み制御レジスタ (ICR) の INTEN ビットの設定。
- (6) リードアクセス : CPU はパイプライン的に動作していますので、上記の一連の設定を確実に終わらせるため、割り込み制御レジスタ (ICR) をリードしてください。

8.5 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間 (割り込み応答時間) を表 8.17 に示します。割り込み処理は、バンキングなし、バンキングありかつオーバフローなし、バンキングありかつオーバフローありのときで動作が異なります。バンキングなしのときの、パイプライン動作例を図 8.5、図 8.6 に示します。バンキングありかつオーバフローなしのときの、パイプライン動作例を図 8.7、図 8.8 に示します。バンキングありかつオーバフローありのときの、パイプライン動作例を図 8.9、図 8.10 に示します。

表8.17 割り込み応答時間

項目	ステート数				備考		
	NMI	ユーザブレイク	INT	周辺機能			
割り込み要求発生から、割り込みコントローラで優先順位判定およびSRのマスクビットとの比較後、CPUへ割り込み要求信号が送られるまでの時間	2lcyc+3Pcyc	3lcyc	2lcyc+1Bcyc+2Pcyc	2lcyc+3Bcyc	INT割り込みはデジタルフィルタの設定による遅延時間は含まれません		
CPUに割り込み要求信号が入力されてから、実行中のシーケンスを終了後、割り込み例外処理を開始し、例外サービスルーチンの先頭命令をフェッチするまでの時間	レジスタバンキングなし	最小値	3lcyc+m1+m2		最小値は、割り込み待ち時間0のとき 最大値は、割り込み例外処理中に、さらに上位の割り込み要求が発生したとき		
		最大値	4lcyc+2(m1+m2)+m3				
	レジスタバンキングあり。オーバフローなし	最小値	—	3lcyc+m1+m2			
		最大値	—	12lcyc+m1+m2			
	レジスタバンキングあり。オーバフローあり	最小値	—	3lcyc+m1+m2			
		最大値	—	3lcyc+m1+m2+19(m4)			
応答時間	レジスタバンキングなし	最小値	5lcyc+3Pcyc+m1+m2	6lcyc+m1+m2	5lcyc+1Bcyc+2Pcyc+m1+m2	5lcyc+3Bcyc+m1+m2	
		最大値	6lcyc+3Pcyc+2(m1+m2)+m3	7lcyc+2(m1+m2)+m3	6lcyc+1Bcyc+2Pcyc+2(m1+m2)+m3	6lcyc+3Bcyc+2(m1+m2)+m3	
	レジスタバンキングあり。オーバフローなし	最小値	—	—	5lcyc+1Bcyc+2Pcyc+m1+m2	5lcyc+3Bcyc+m1+m2	
		最大値	—	—	14lcyc+1Bcyc+2Pcyc+m1+m2	14lcyc+3Bcyc+m1+m2	
	レジスタバンキングあり。オーバフローあり	最小値	—	—	5lcyc+1Bcyc+2Pcyc+m1+m2	5lcyc+3Bcyc+m1+m2	
		最大値	—	—	5lcyc+1Bcyc+2Pcyc+m1+m2+19(m4)	5lcyc+3Bcyc+m1+m2+19(m4)	

注・ m1 ~ m4は下記のメモリアクセスに要するステート数です。

m1 : ベクタアドレスリード (ロングワードリード)

m2 : SRの退避 (ロングワードライト)

m3 : PCの退避 (ロングワードライト)

m4 : バンク対象レジスタ (R0 ~ R14, GBR, MACH, MACL, PR)のスタックからの復帰

・ lcyc, Bcyc, Pcycは下記クロックの1周期です。

lcyc : CPUクロック f(CPU)

Bcyc : バスクロック f(BUS)

Pcyc : 周辺バスクロック A f(PBA)

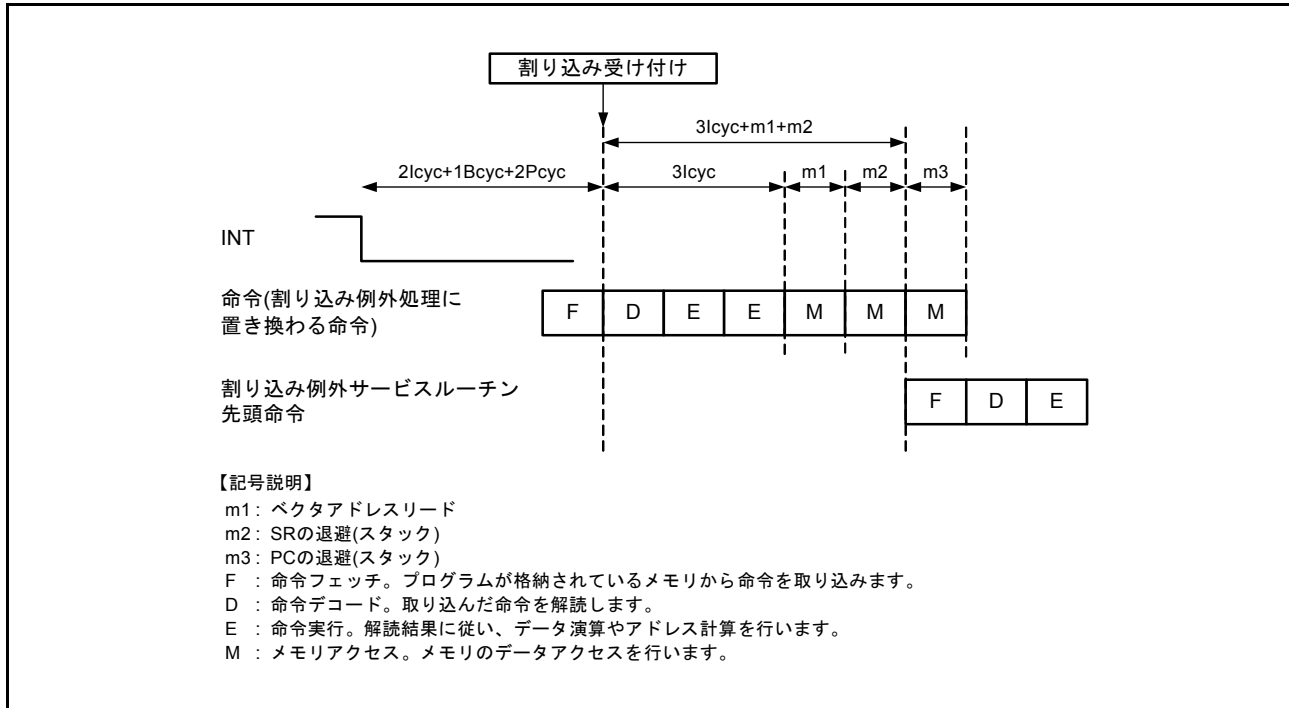


図 8.5 INT 割り込みを受けるときのパイプライン動作例 (レジスタバンクなし)

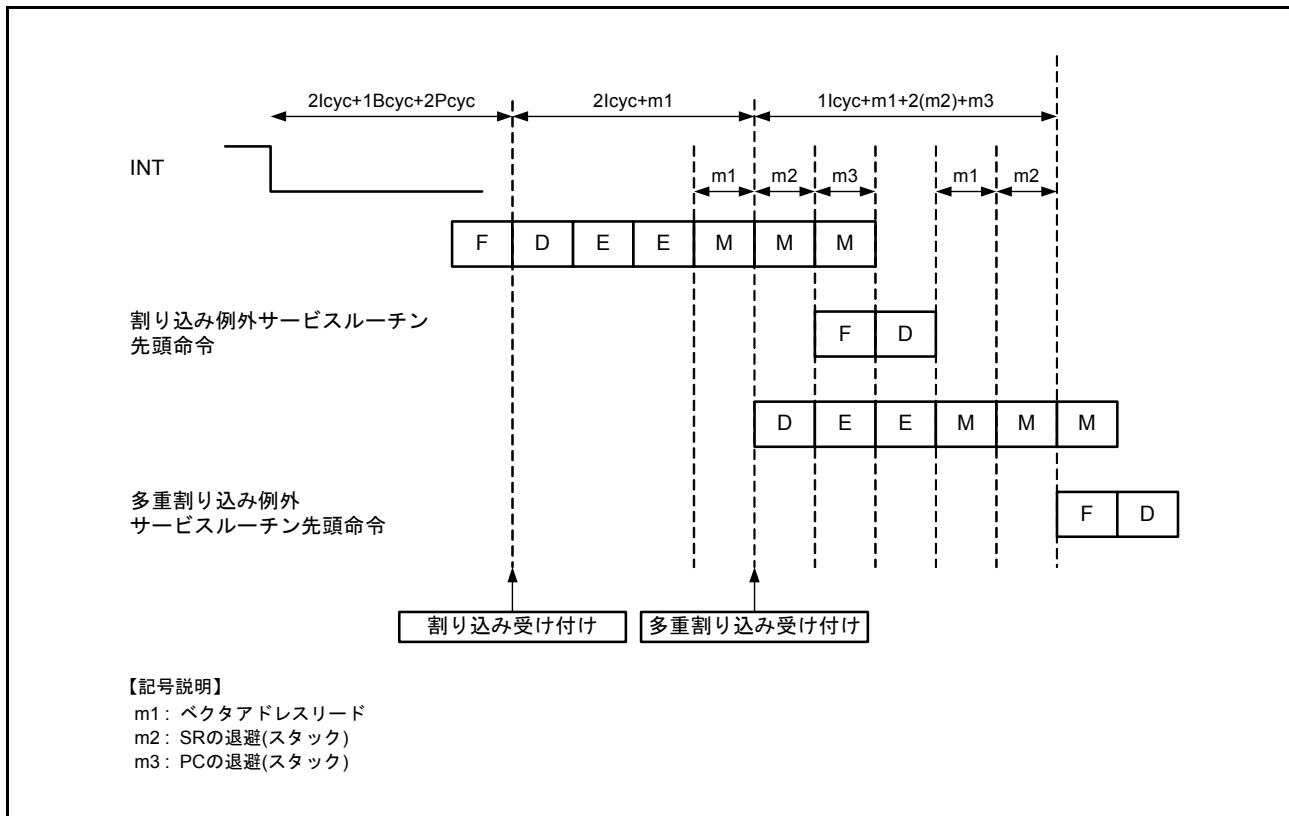


図 8.6 多重割り込み時のパイプライン動作例 (レジスタバンクなし)

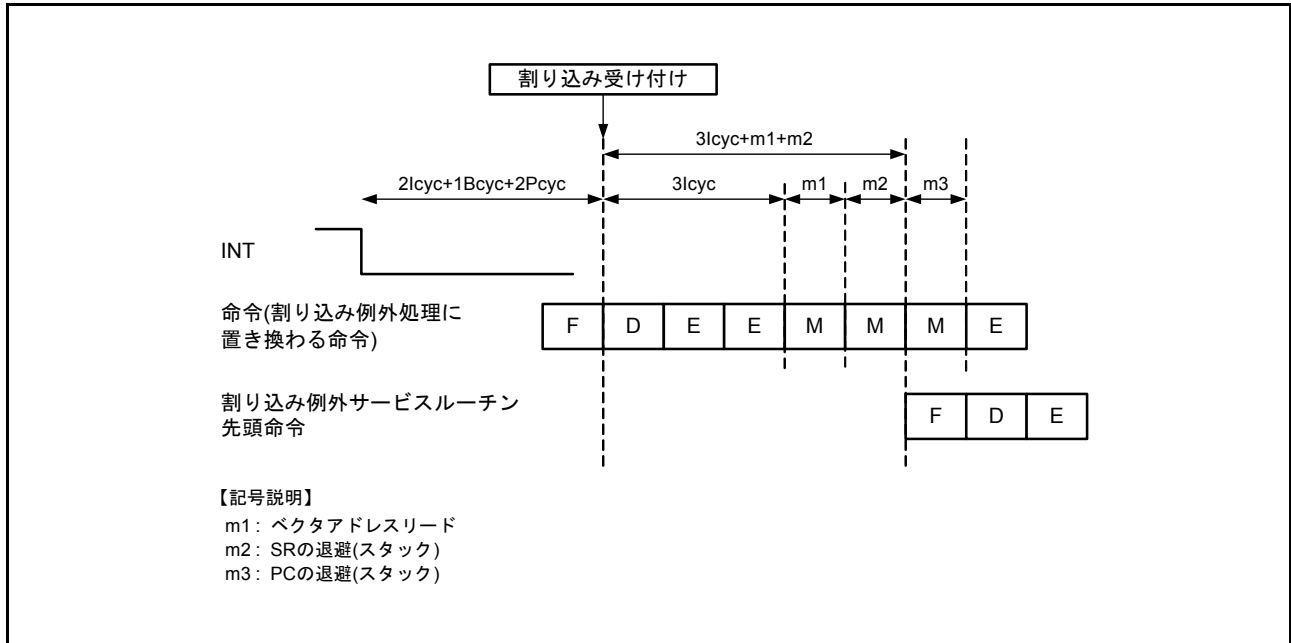


図 8.7 INT 割り込みを受け付けるときのパイプライン動作例 (レジスタバンクあり。オーバーフローなし)

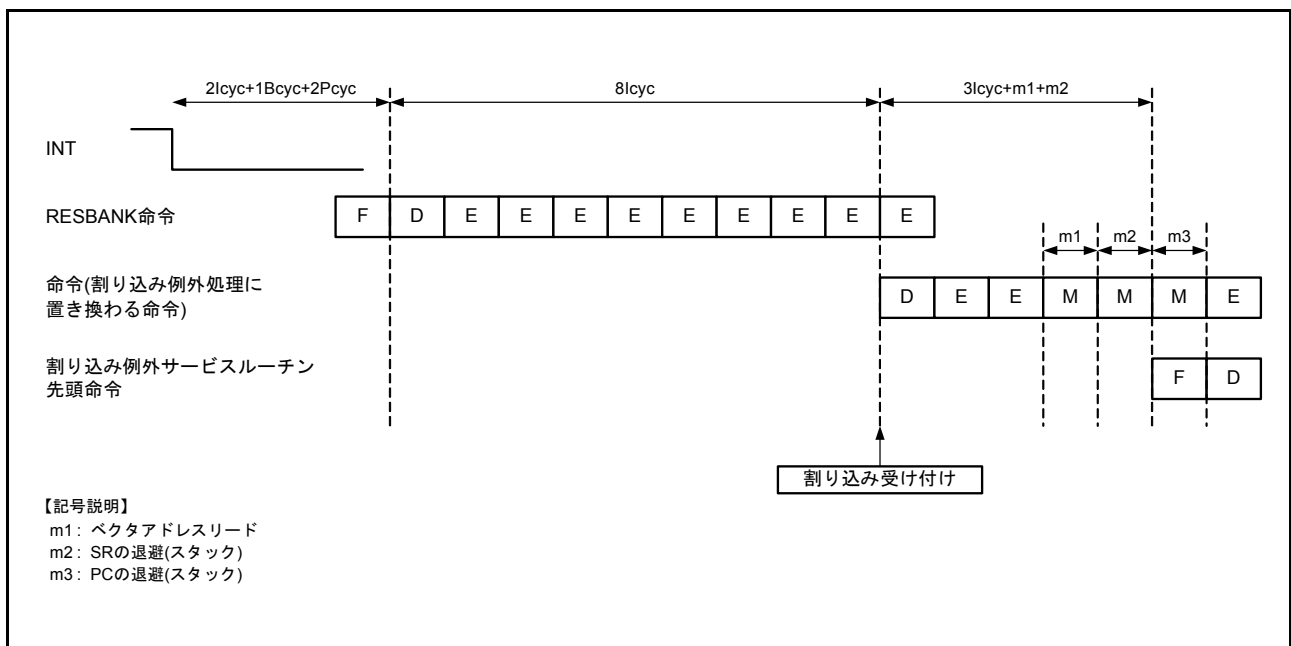


図 8.8 RESBANK 命令時に割り込みを受け付けるときのパイプライン動作例 (レジスタバンクあり。オーバーフローなし)

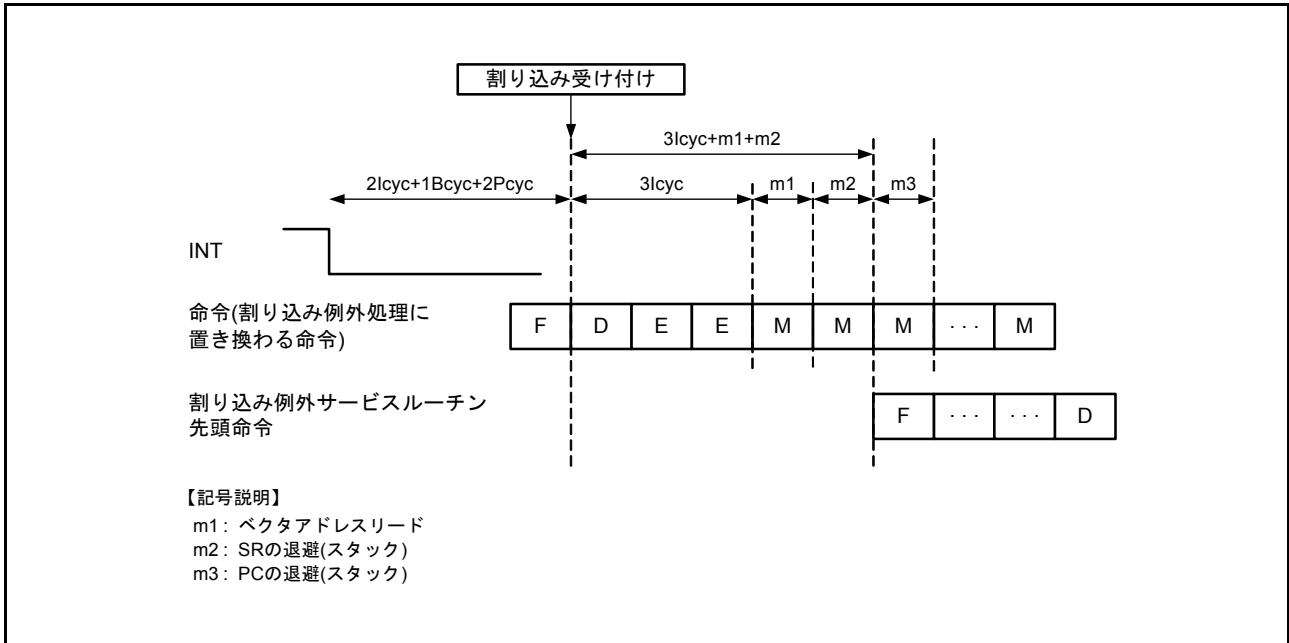


図 8.9 INT 割り込みを受け付けるときのパイプライン動作例 (レジスタバンクあり。オーバーフローあり)

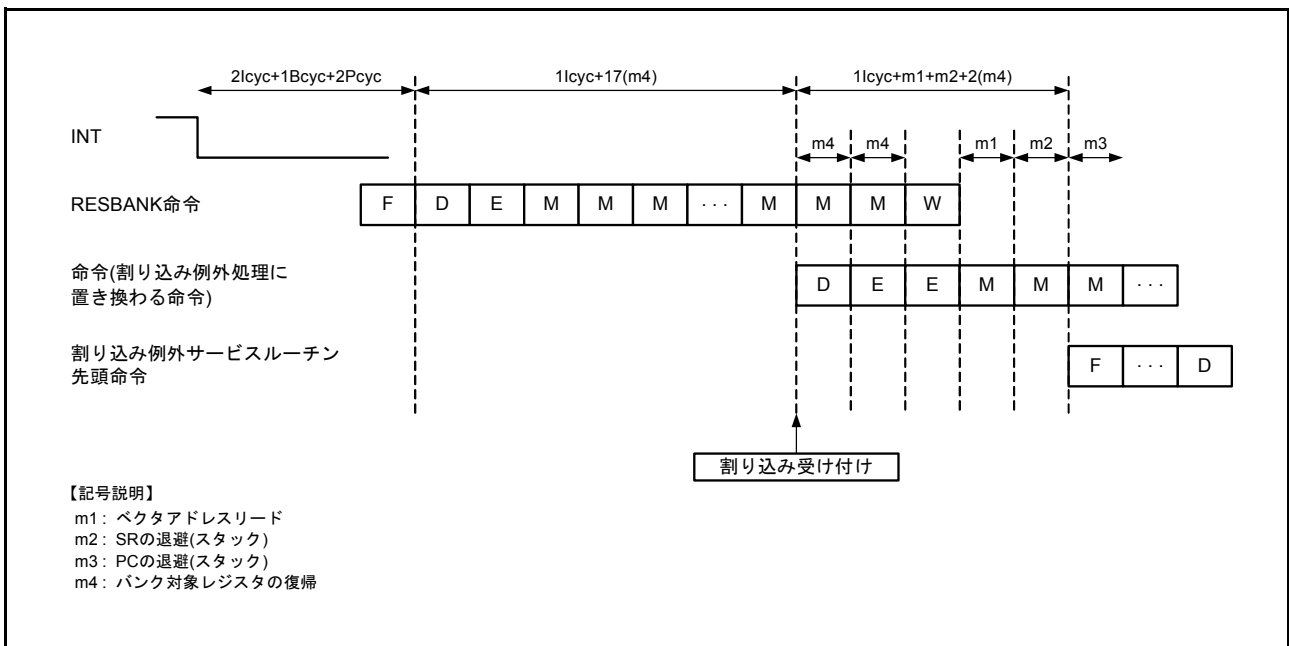


図 8.10 RESBANK 命令時に割り込みを受け付けるときのパイプライン動作例 (レジスタバンクあり。オーバーフローあり)

8.6 レジスタバンク

本 LSI は、割り込み処理に伴うレジスタの退避、復帰を高速に行うために 15 本のレジスタバンクを内蔵しています。図 8.11 にレジスタバンクの構成を示します。

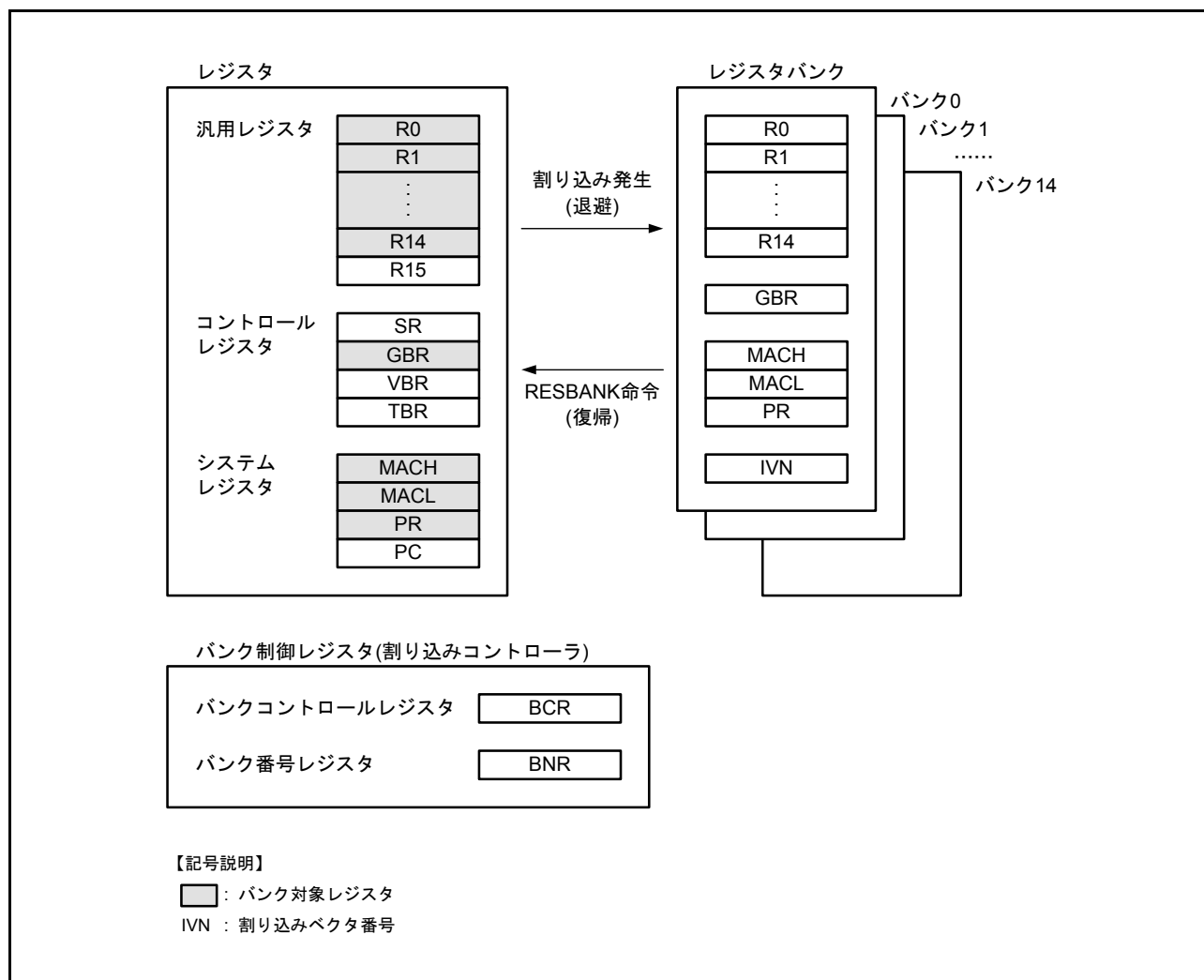


図 8.11 レジスタバンクの構成

8.6.1 レジスタバンクとバンク制御レジスタ

- (1) バンクの対象
汎用レジスタ R0~R14、グローバルベースレジスタ (GBR)、積和レジスタ (MACH、MACL)、プロシージャレジスタ (PR) と、割り込みベクタ番号をバンクの対象とします。
- (2) レジスタバンク
レジスタバンクは、バンク 0 からバンク 14 までの 15 個のバンクを持ちます。レジスタバンクは先入れ後出し (FILO) 式のキューになっており、退避はバンク 0 から順番に行い、復帰は最後に退避したバンクから行います。

8.6.2 バンク退避、復帰の動作

- (1) バンクへの退避
図 8.12 にバンク退避の動作を示します。割り込みが発生し、CPU で受け付けられた割り込みのレジスタバンク使用が BCR レジスタで許可されている場合、次のように動作します。
 - (a) 割り込み発生前のバンク番号レジスタ (BNR) のバンク番号 BN の値を i とします。
 - (b) BN の示すバンク i に、レジスタ R0~R14、GBR、MACH、MACL、PR と、受け付けられた割り込みのベクタ番号 (IVN) を退避します。
 - (c) BN の値を $+1$ します。

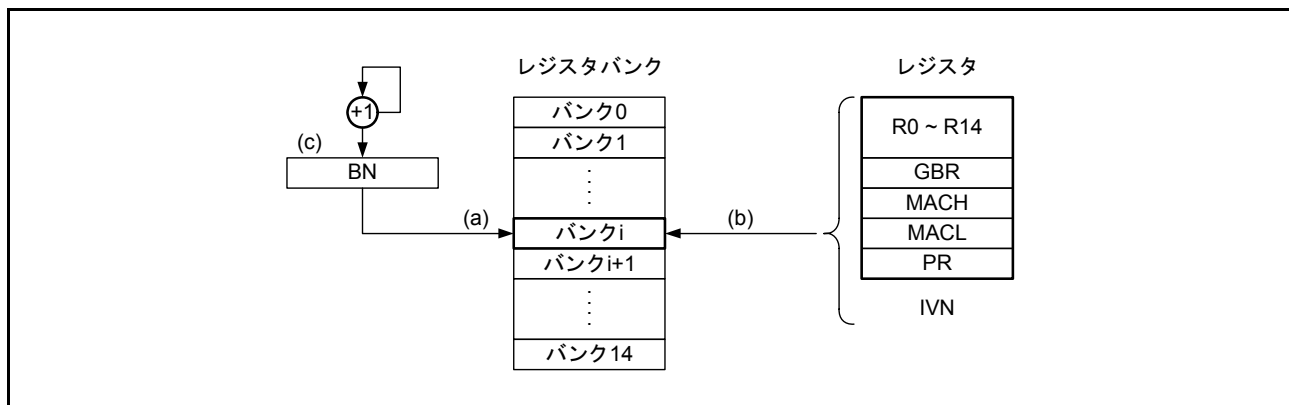


図 8.12 バンク退避の動作

図 8.13 にバンク退避のタイミングを示します。レジスタバンクへの退避は、割り込み例外処理開始から例外サービスルーチンの先頭命令フェッチを開始するまでの間に実行されます。

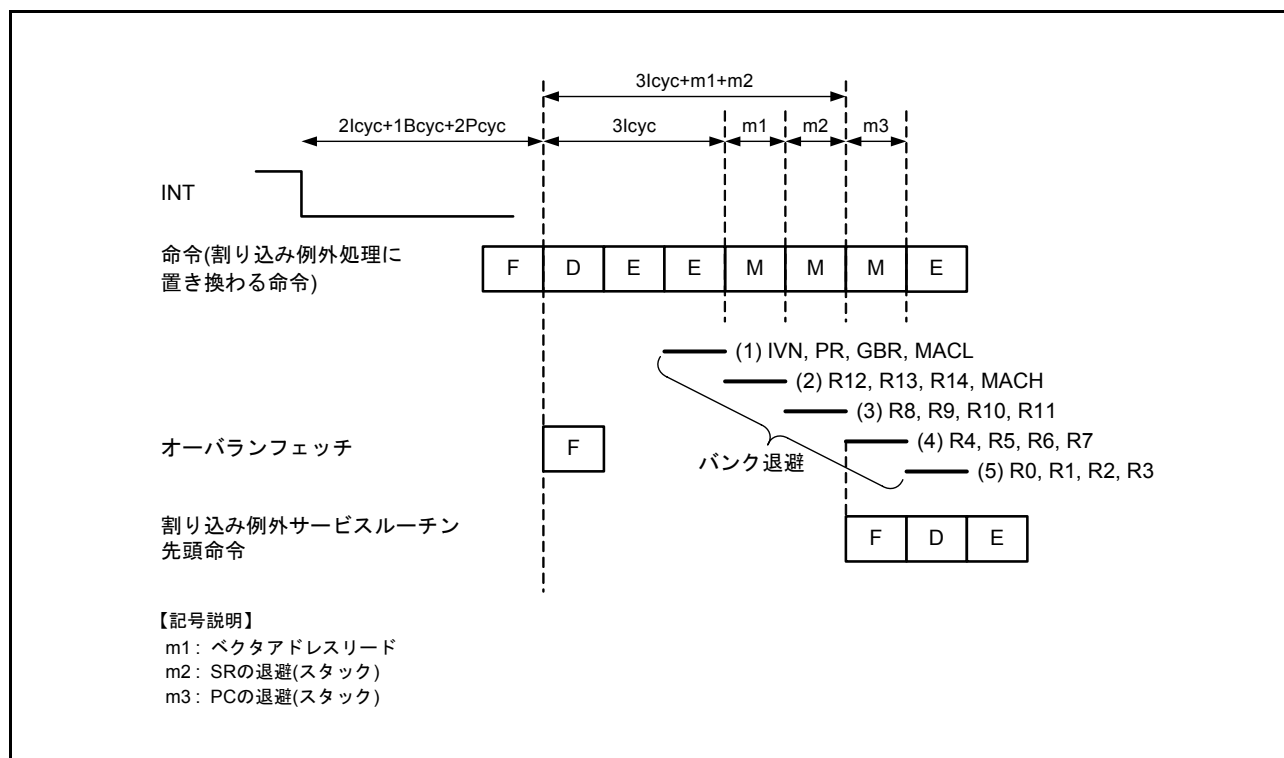


図 8.13 バンク退避のタイミング

(2) バンクからの復帰

バンクに退避したデータを復帰するには、バンク復帰命令 RESBANK を使います。割り込みサービスルーチンの最後に、RESBANK 命令でバンク復帰を行った後、RTE 命令で例外処理からの復帰を行ってください。

8.6.3 すべてのバンクに退避が行われた状態での退避、復帰

レジスタバンクのすべてのバンクに退避が行われている状態で、割り込みが発生し、CPU で受け付けられた割り込みがレジスタバンクの使用を許可されている場合、バンク番号レジスタ (BNR) の BOVE ビットが“0”のとき、レジスタバンクの代わりに自動的にスタックに退避を行います。また、BNR レジスタの BOVE ビットを“1”にセットしているときは、レジスタオーバフロー例外が発生し、スタックへの退避は行われません。

スタックへの自動退避、復帰の動作は次のようになります。

(1) スタックへの退避

- (a) 割り込み例外処理時に、ステータスレジスタ (SR)、プログラムカウンタ (PC) をスタックします。
- (b) バンク対象レジスタ (R0~R14、GBR、MACH、MACL、PR) をスタックに退避します。スタックに退避するレジスタの順番は、MACL、MACH、GBR、PR、R14、R13、・・・、R1、R0 の順となります。
- (c) SR の BO (レジスタバンクオーバフロー) ビットを“1”にセットします。
- (d) バンク番号レジスタ BNR のバンク番号 BN は最大値 15 のまま変化しません。

(2) スタックからの復帰

SR レジスタの BO (レジスタバンクオーバフロー) ビットが“1”にセットされている状態で、バンク復帰命令 RESBANK を実行すると、次のように動作します。

- (a) バンク対象レジスタ (R0~R14、GBR、MACH、MACL、PR) をスタックから復帰します。スタックから復帰するレジスタの順番は、R0、R1、・・・、R13、R14、PR、GBR、MACH、MACL の順となります。
- (b) バンク番号レジスタ (BNR) のバンク番号 BN は最大値 15 のまま変化しません。

8.6.4 レジスタバンクの例外

レジスタバンクの例外 (レジスタバンクエラー) には、レジスタバンクオーバフローとレジスタバンクアンダフローの 2 種類があります。

(1) レジスタバンクオーバフロー

レジスタバンクのすべてのバンクに退避が行われている状態で、割り込みが発生し、CPU で受け付けられた割り込みがレジスタバンクの使用を許可されている場合、バンク番号レジスタ (BNR) の BOVE ビットが“1”にセットされているときに発生します。このとき、バンク番号レジスタ (BNR) のバンク番号 BN はバンク数 15 のまま変化せず、レジスタバンクへの退避は行われません。

(2) レジスタバンクアンダフロー

レジスタバンクに退避がまったく行われていない状態で、レジスタバンク復帰命令を実行した場合に発生します。このとき、R0~R14、GBR、MACH、MACL、PR の値は変化しません。また、バンク番号レジスタ (BNR) のバンク番号 BN は“0”のまま変化しません。

8.6.5 レジスタバンクエラー例外処理

レジスタバンクエラーが発生すると、レジスタバンクエラー例外処理が開始されます。このとき、CPUは次のように動作します。

- (1) 発生したレジスタバンクエラーに対応する例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出します。
- (2) ステータスレジスタ (SR) をスタックに退避します。
- (3) プログラムカウンタ (PC) をスタックに退避します。レジスタバンクオーバフロー時の退避する PC の値は、最後に実行した命令の次命令の先頭アドレスです。レジスタバンクアンダフロー時の退避する PC の値は、当該の RESBANK 命令の先頭アドレスです。
- (4) 例外サービスルーチン開始アドレスからプログラムを実行します。

8.7 INTC の注意事項

8.7.1 割り込み要因クリアのタイミング

割り込み要因フラグは、割り込みハンドラ中でクリアしてください。割り込み要因フラグをクリアしてから実際に CPU への割り込み要因が取り下げられるまでに、表 8.17 に記載している「割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間」必要とします。そのためクリアしたはずの割り込み要因を誤って再度受け付けないようにするため、クリア後割り込み要因フラグをリードし、その後 RTE 命令を実行してください。

8.7.2 INT 割り込み要求レジスタの注意事項

INT_n に対応する端子を INT_n 割り込み機能以外で使用する場合は、対応する割り込み優先レベルを“0” (割り込みを禁止) にしてください。

また、INT 割り込み要求レジスタにて、割り込み以外の機能に対応するビットが“1”になる場合がありますので、読み出し時は、INT_n 割り込みで使用していないビットについては、見ないように、プログラムにてマスク処理等をしてください。

8.7.3 割り込み制御レジスタ 1、2 (ICR1、2)、INT 入力デジタルフィルタ制御レジスタ 0、1 (INTDFCR0、1) の注意事項

ICR1、2 または INTDFCR0、1 を書き換える場合は、該当する INT_n の割り込みを無効 (割り込み優先レベル“0”を設定) にしてから実施してください。

ICR1、2 または INTDFCR0、1 を書き換えた後、該当する INT_n の割り込みを有効にする前に、以下を順番に実施してください。

1. ICR1、2 または INTDFCR0、1 のうち最後に書き換えたレジスタをリードしてください。
2. INTDFCR0 の INT_nFLTON ビットを“1”または INTDFCR1 の INTFCKD ビットを書き換えた場合は、設定したデジタルフィルタクロックで3サイクル待ってください。
3. ICR1、2 の該当ビットがエッジセンスの設定になっている場合、INT 割り込み要求レジスタ (INTR) をレジスタリード後、該当ビットに“0”を書き込んでフラグをクリアしてください。

- n = 13 ~ 0

9. 電圧監視機能

9.1 概要

電圧監視機能には、電源電圧 (VCC) の変化を検出してイベントを発生させる電圧監視機能 1 があります。発生するイベントは電圧監視割り込み 1 です。

表 9.1 に電圧監視機能の仕様を示します。

図 9.1 に電圧監視機能ブロック図を、図 9.2 に電圧監視割り込み 1 のブロック図を示します。

表 9.1 電圧監視機能の仕様

機能		電圧監視回路 1
電源監視	監視電圧	Vdet1 : 3段階 (3.9V/4.15V/4.3V)
	電圧モニタ	あり
リセット	リセット機能	なし
	リセット条件	—
	電源投入時の動作	—
割り込み	割り込み機能	あり
	割り込み要求発生条件	VCCの電圧がVdet1電圧を通過した場合
	電源投入時の動作	停止 (ソフトウェアで動作可能)
その他	デジタルフィルタ	あり

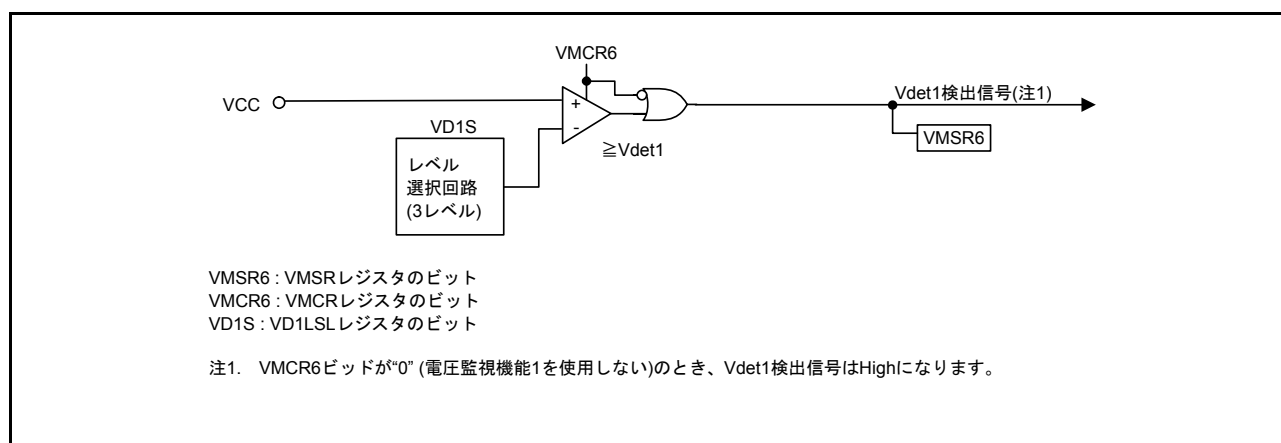


図 9.1 電圧監視機能ブロック図

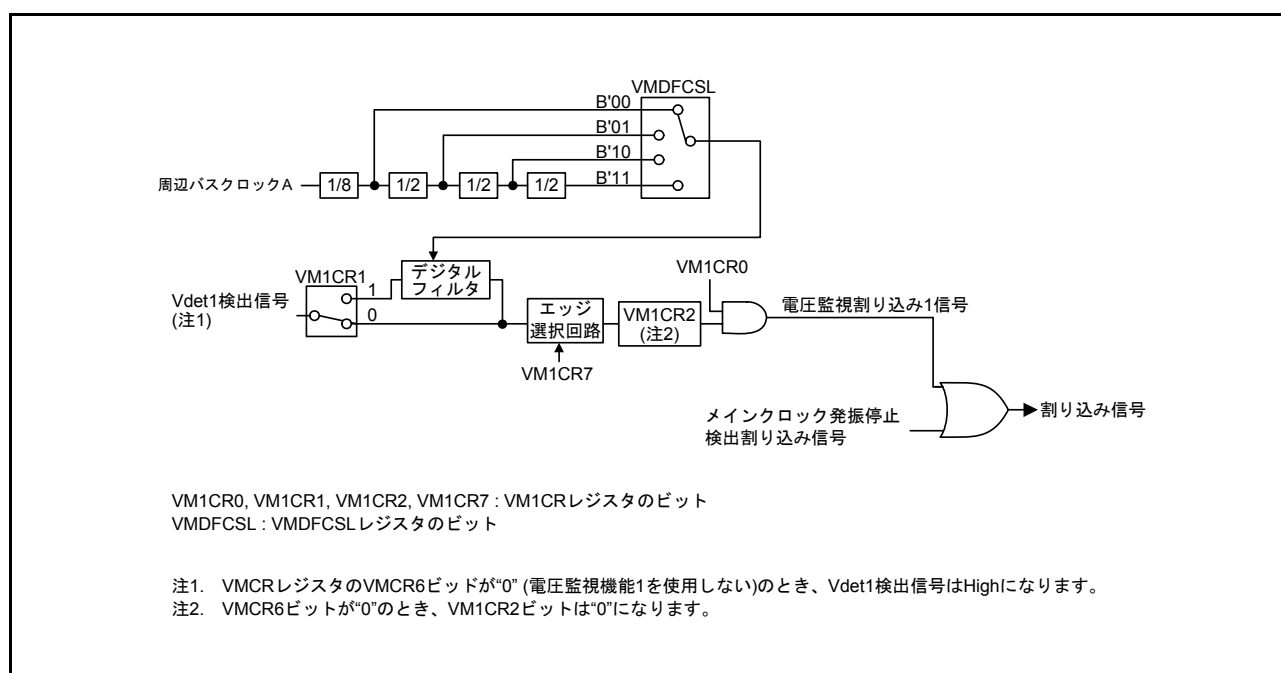


図 9.2 電圧監視割り込み 1 のブロック図

9.2 レジスタの説明

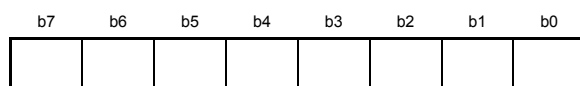
表 9.2 に電圧監視機能のレジスタ一覧を示します。

表 9.2 電圧監視機能のレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
システムプロテクトレジスタ 0	SPR0	H'00	H'FF46 E063	8
Vdet1 レベル選択レジスタ	VD1LSL	H'07	H'FF46 E017	8
電圧監視ステータスレジスタ	VMSR	H'C0	H'FF46 E403	8
電圧監視制御レジスタ	VMCR	H'20	H'FF46 E00F	8
電圧監視回路 1 制御レジスタ	VM1CR	H'00	H'FF46 E407	8
電圧監視回路用デジタルフィルタクロック選択レジスタ	VMDFCSL	H'00	H'FF46 E40F	8

9.2.1 システムプロテクトレジスタ 0 (SPR0)

アドレス H'FF46 E063



リセット後の値 0 0 0 0 0 0 0 0

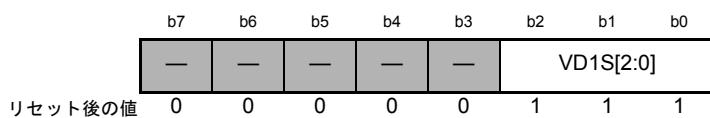
ビット	機能	R/W
b7-b0	書き込み時 B'1111 0001 : プロテクト 解除 B'1111 0001 以外 : プロテクト	R/W
	読み出し時 b0 ビット 0 : プロテクト 1 : プロテクト 解除 b7 ~ b1 ビットは常に“0”が読める	

SPR0 レジスタでは、LOCR、SLCR0、VMCR、VD1LSL、RAMECC、RAMACYC、AUDEN レジスタを簡単に書き換えられないよう保護するプロテクト機能の設定を行います。これらのレジスタの値を変更する場合は、以下の手順で変更を行ってください。

- (1) SPR0 レジスタに“H'F1”を書く (各レジスタへの書き込みを許可)
- (2) LOCR、SLCR0、VMCR、VD1LSL、RAMECC、RAMACYC、AUDEN レジスタの値を変更する
- (3) SPR0 レジスタに“H'F1”以外を書く (各レジスタへの書き込みを禁止)

9.2.2 Vdet1 レベル選択レジスタ (VD1LSL)

アドレス H'FF46 E017



ビット	シンボル	ビット名	機能	R/W
b7-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2-b0	VD1S[2:0]	Vdet1 電圧レベル選択ビット (電圧下降時の標準電圧)	b2 b1 b0 1 0 1 : 4.15V (Vdet1_5) 1 1 0 : 3.90V (Vdet1_6) 1 1 1 : 4.30V (Vdet1_7) 上記以外設定禁止	R/W

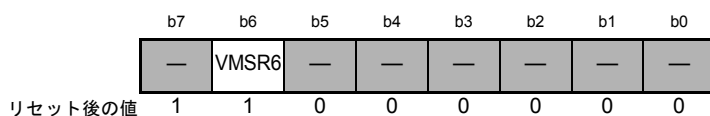
VD1LSL レジスタを設定する場合は、システムプロテクトレジスタ 0 (SPR0) で、プロテクト機能を解除してから、VD1LSL レジスタに書いてください。

VD1S ビット

Vdet1 の電圧レベルを設定するビットです。

9.2.3 電圧監視ステータスレジスタ (VMSR)

アドレス H'FF46 E403



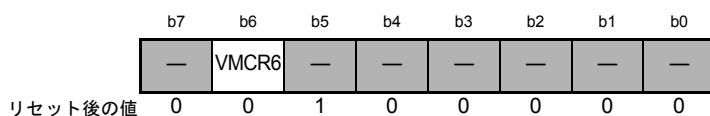
ビット	シンボル	ビット名	機能	R/W
b7	—	(予約ビット)	読むと“1”が読み出されます。書き込みは“1”としてください。	R
b6	VMSR6	電圧変化モニタフラグ1	0 : $VCC < V_{det1}$ 1 : $VCC \geq V_{det1}$	R
b5-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

VMSR6 ビット

電圧監視機能1の監視電圧のモニタ結果を示すフラグです。VMCRレジスタのVMCR6ビットが“1”(電圧監視機能1を使用する)のとき、監視電圧レベルが V_{det1} より低くなると、VMSR6ビットは“0”になります。監視電圧レベルが V_{det1} 以上、またはVMCR6ビットが“0”(電圧監視機能1を使用しない)のとき、VMSR6ビットは“1”になります。

9.2.4 電圧監視制御レジスタ (VMCR)

アドレス H'FF46 E00F



ビット	シンボル	ビット名	機能	R/W
b7	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b6	VMCR6	電圧監視機能1許可ビット	0: 電圧監視機能1を使用しない 1: 電圧監視機能1を使用する	R/W
b5	—	(予約ビット)	読むと“1”が読み出されます。書き込みは“1”としてください。	R
b4-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

VMCR レジスタを設定する場合は、システムプロテクトレジスタ 0 (SPR0) でプロテクト機能を解除にしているから、VMCR レジスタに書いてください。

VMCR6 ビット

VMCR6 ビットは電圧監視機能1を制御するビットです。VMCR6 ビットを“0”から“1”にした後、td (E-A) 経過してから電圧監視回路1が動作します。

9.2.5 電圧監視回路 1 制御レジスタ (VM1CR)

アドレス H'FF46 E407

b7	b6	b5	b4	b3	b2	b1	b0
VM1CR7	—	—	—	—	VM1CR2	VM1CR1	VM1CR0
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7	VM1CR7	電圧監視割り込み1発生条件選択ビット	0: 電圧下降 (VCC < Vdet1) 1: 電圧上昇 (VCC > Vdet1)	R/W
b6-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	VM1CR2	電圧変化検出フラグ	0: 未検出 1: 検出	R/W
b1	VM1CR1	デジタルフィルタ使用ビット	0: デジタルフィルタを使用しない 1: デジタルフィルタを使用する	R/W
b0	VM1CR0	電圧監視割り込み1許可ビット	0: 電圧監視割り込み1を使用しない 1: 電圧監視割り込み1を使用する	R/W

VM1CR レジスタを書き換えると、VM1CR2 ビットが“1”になる場合があります。VM1CR レジスタを書き換えた後は、VM1CR2 ビットを“0”にしてください。

VM1CR7 ビット

電圧監視割り込み1の発生条件を選択するビットです。

VM1CR2 ビット

監視電圧のVdet1通過検出を示すフラグです。VM1CR2 ビットはVMCR レジスタのVMCR6 ビットが“1”かつVM1CR レジスタのVM1CR0 ビットが“1”のとき有効です。VM1CR2 ビットは、VM1CR7 ビットの条件でVdet1を通過したときに“1”になります。VM1CR2 フラグはプログラムで“0”を書くと“0”になります。“1”を書いても変化しません。

VM1CR1 ビット

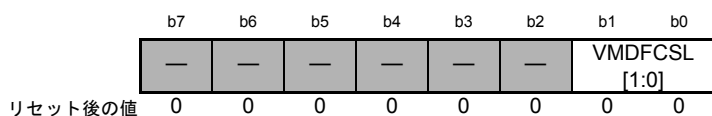
電圧監視回路1のデジタルフィルタを制御するビットです。電圧監視割り込み1要求を、スタンバイモードからの復帰に使用する場合は、デジタルフィルタを使用しないでください。

VM1CR0 ビット

電圧監視割り込み1を許可するビットです。VMCR レジスタのVMCR6 ビットが“0”(電圧監視機能1を使用しない)の場合、VM1CR0 ビットは“0”にしてください。

9.2.6 電圧監視回路用デジタルフィルタクロック選択レジスタ (VMDFCSL)

アドレス H'FF46 E40F



ビット	シンボル	ビット名	機能	R/W
b7-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1-b0	VMDFCSL [1:0]	サンプリングクロック選択ビット	b1 b0 0 0 : 周辺バスクロックAの8分周 0 1 : 周辺バスクロックAの16分周 1 0 : 周辺バスクロックAの32分周 1 1 : 周辺バスクロックAの64分周	R/W

VMDFCSL レジスタを書き換えると、VM1CR レジスタの VM1CR2 ビットが“1”になる場合があります。VMDFCSL レジスタを書き換えた後は、VM1CR2 ビットを“0”にしてください。

VMDFCSL ビット

電圧監視回路 1 用デジタルフィルタのサンプリングクロックを選択するビットです。

9.3 動作説明

9.3.1 電圧監視機能 1

VCC 端子の入力電圧が下降または上昇して V_{det1} (V) を通過したとき、電圧監視割り込み 1 要求を発生させることができます。電圧監視機能 1 を使用する場合は、VMCR レジスタの VMCR6 ビットを“1”にしてください。 V_{det1} の電圧レベルは、VD1LSL レジスタで 3 レベルから選択できます。

図 9.3 に電圧監視機能 1 の動作例を示します。

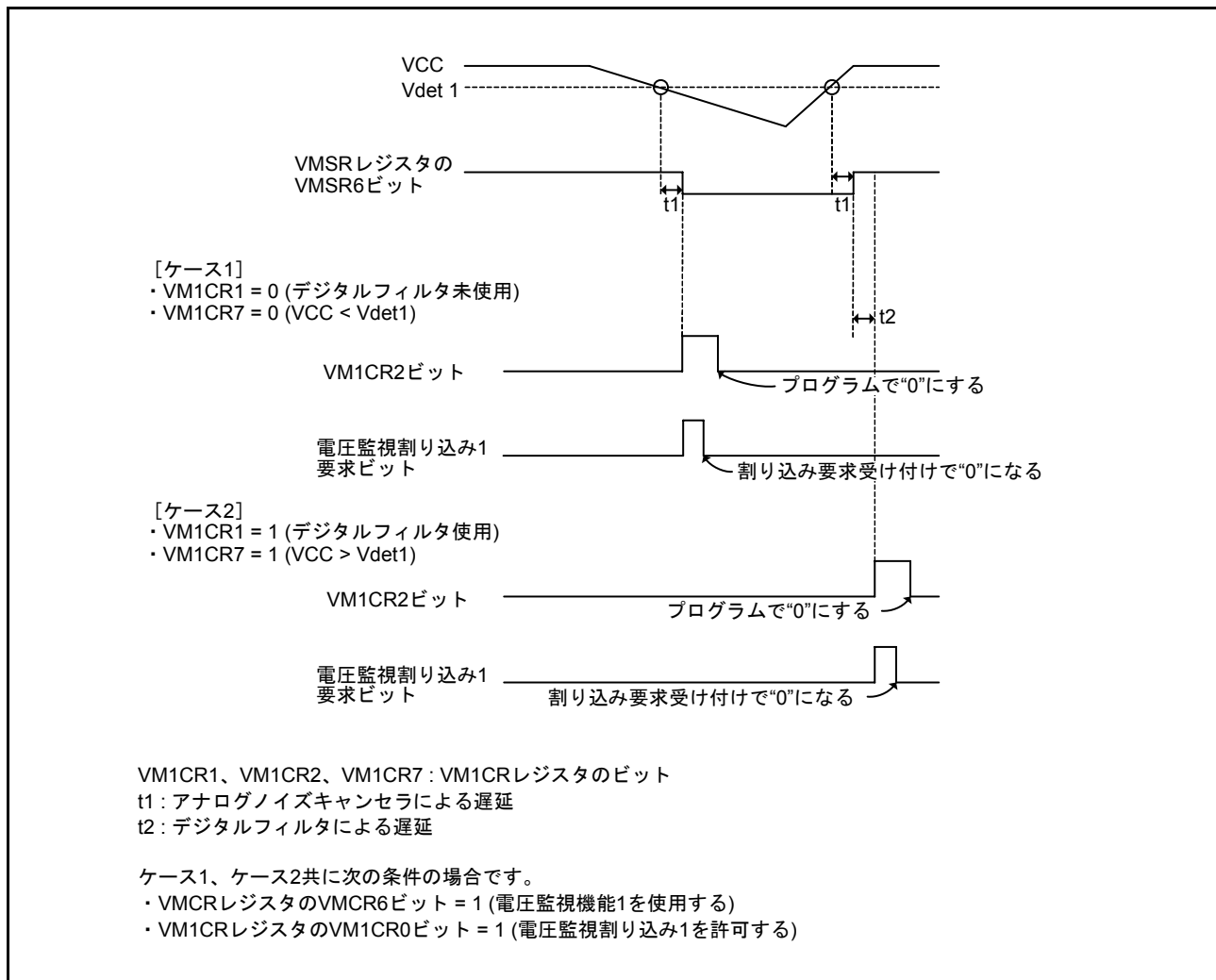


図 9.3 電圧監視機能 1 の動作例

9.4 割り込み

9.4.1 電圧監視割り込み 1

VM1CR レジスタの VM1CR0 ビットを“1”にすると、電圧監視割り込み 1 を使用できます。電圧監視割り込み 1 の発生条件は、VM1CR レジスタの VM1CR7 ビットで選択できます。

VM1CR2 ビットが“0”から“1”になったとき、電圧監視割り込み 1 要求が発生します。VM1CR2 ビットは割り込みが受け付けられても自動的に“0”になりません。プログラムで“0”にしてください。

VMSR レジスタの VMSR6 ビットを読むと、入力電圧が降下して Vdet1 を通過したのか、上昇して通過したのかを判断することができます。

電圧監視割り込み 1 要求は CPU スリープモード、スタンバイモードからの割り込みによる復帰とパワーダウンモードからのパワーダウンモード復帰リセットとして使用できます。パワーダウンモード復帰リセットについては、VMSR レジスタ、VM1CR レジスタ、VM2CR レジスタ、および VMDFCSL レジスタは用いず、専用レジスタを使用し、復帰後はリセット状態となります。詳細については、「5.5 パワーコントロール」を参照してください。電圧監視割り込み 1 は、メインクロック発振停止検出割り込みとベクタを共用しています。電圧監視割り込み 1 とこれらの割り込みを同時に使用する場合、割り込みルーチンで VM1CR2 ビットを読み、電圧監視割り込み 1 が発生したことを確認してください。

9.4.2 デジタルフィルタ機能

電圧監視割り込み 1 には、ノイズを除去するためのデジタルフィルタがあります。デジタルフィルタは、Vdet1 検出信号をサンプリングし、サンプリングクロックの 3 クロックに満たないパルスを除去します。デジタルフィルタを使用する場合、VM1CR レジスタの VM1CR ビットを“1”（デジタルフィルタを使用する）にしてください。VM1CR ビットを変更する場合、割り込み禁止の状態で行ってください。サンプリングクロックは VMDFCSL レジスタの VMDFCSL ビットを選択できます。サンプリングクロックが停止すると、デジタルフィルタは無効になります。

図 9.4 にデジタルフィルタの動作例を示します。

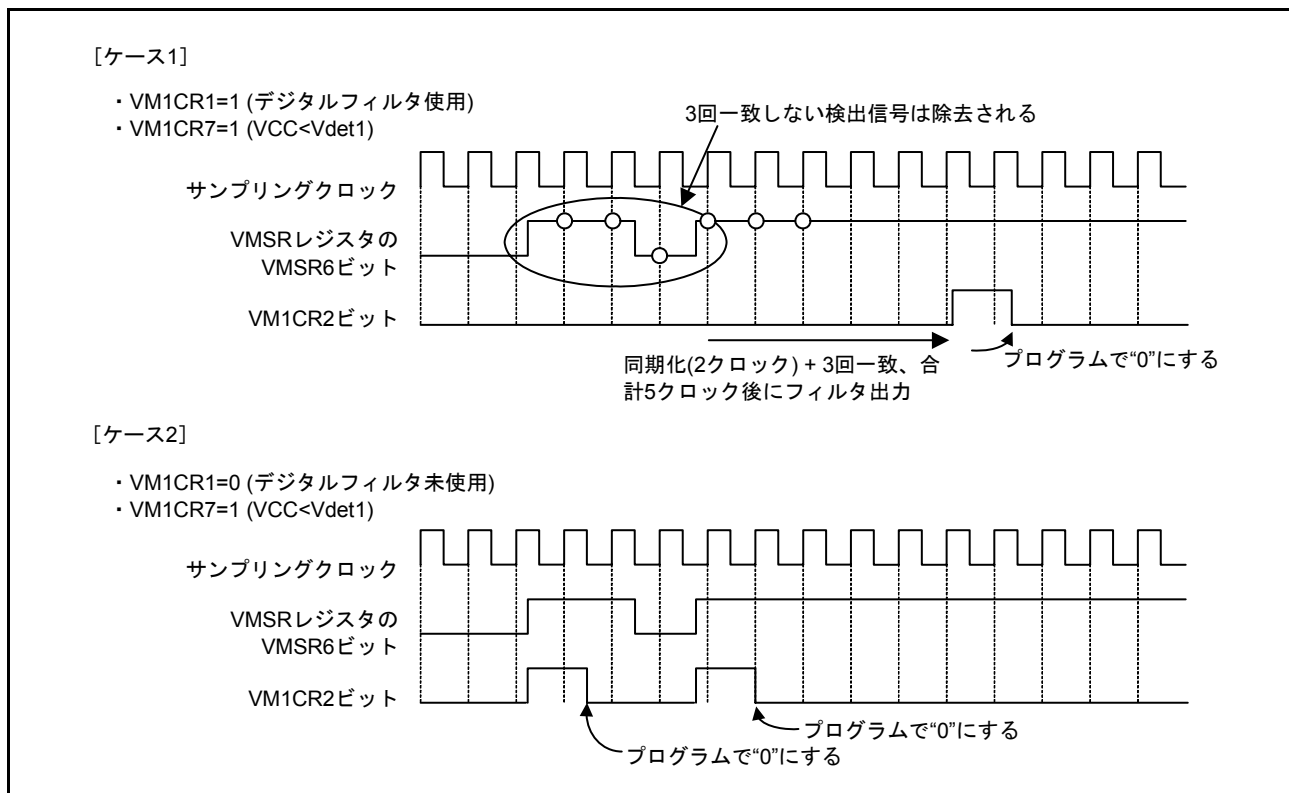


図 9.4 デジタルフィルタの動作例

9.5 電圧監視機能の注意事項

電圧変化検出フラグ (VM1CR2 ビット) は、割り込みハンドラ中でクリアしてください。クリア直後にフラグを読み出すと、フラグがクリアされていない場合があります。フラグをクリアするために、読み出す必要はありませんが、クリア確認を実施する場合には、ループ処理などで電圧変化検出フラグ (VM1CR2) が“0”になるまで待った後に、RTE 命令を実行してください。

10. ウォッチドッグタイマ

10.1 概要

ウォッチドッグタイマはプログラムの暴走したときに、処理を正常に戻すために使用します。ウォッチドッグタイマは 14 ビットのフリーランカウンタを持ち、このカウンタがアンダフローすると、MCU をリセットします。アンダフローさせないためには、リフレッシュ許可期間内にリフレッシュ (WDTRR レジスタへの書き込み) を行ってください。リフレッシュ禁止期間で WDTRR レジスタに書き込みを行った場合も、MCU をリセットします。

表 10.1、表 10.2 にウォッチドッグタイマの仕様を示します。

図 10.1 にウォッチドッグタイマのブロック図を示します。

表 10.1 ウォッチドッグタイマの仕様(1)

項目	仕様
カウントソース	<ul style="list-style-type: none"> ・ 周辺バスクロック A の 16 分周 ・ 周辺バスクロック A の 128 分周 ・ WDT カウントソース (約 125kHz)
カウント動作	14 ビットフリーランカウンタによるダウンカウント
カウント開始条件	リフレッシュによりカウントを開始
カウント停止	カウント開始後、カウント停止はできない(リセット停止を除く)
リセット発生条件	<ul style="list-style-type: none"> ・ ウォッチドッグタイマがアンダフローしたとき ・ リフレッシュ禁止期間に、WDTRR レジスタに書き込みを行ったとき
タイマ値の読み出し	WDTR レジスタを読むと、14 ビットフリーランカウンタのカウント値が読める

表 10.2 ウォッチドッグタイマの仕様(2)

項目	WDTCR0 レジスタの CSS ビットの設定値					
	B'00		B'01		B'11	
カウントソース	周辺バスクロック A の 16 分周		周辺バスクロック A の 128 分周		WDT カウントソース 低速オンチップオシレータの出力)	
アンダフロー周期(注1)						
	サイクル数	時間(注2)	サイクル数	時間(注2)	サイクル数	時間(注3)
TOPS ビット = B'00 のとき	16384	約 0.4ms	131072	約 3.3ms	1024	約 8.2ms
TOPS ビット = B'01 のとき	65536	約 1.6ms	524288	約 13.1ms	4096	約 32.8ms
TOPS ビット = B'10 のとき	131072	約 3.3ms	1048576	約 26.2ms	8192	約 65.5ms
TOPS ビット = B'11 のとき	262144	約 6.6ms	2097152	約 52.4ms	16384	約 131.1ms
アンダフロー時の動作	MCU をリセット					

注1. フリーランカウンタのカウントソース1周期分の誤差が生じます。

注2. $f(\text{PBA}) = 40\text{MHz}$ 動作時

注3. $f(\text{WDT}) = 125\text{kHz}$ 動作時

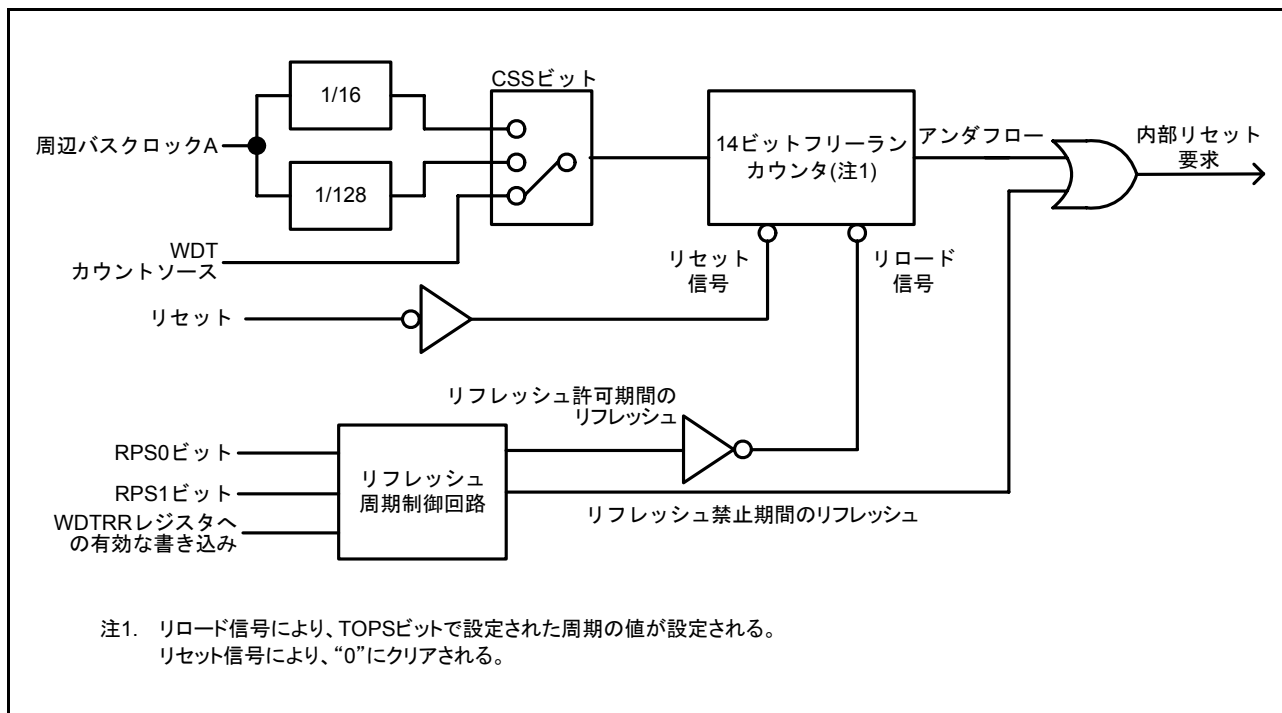


図 10.1 ウォッチドッグタイマのブロック図

10.2 レジスタの説明

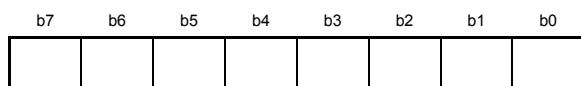
表 10.3 にウォッチドッグタイマのレジスタ一覧を示します。

表 10.3 ウォッチドッグタイマのレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
WDTリフレッシュレジスタ	WDTRR	—	H'FF46 8003	8
WDT制御レジスタ0	WDTCR0	H'DE	H'FF46 8002	8
WDTレジスタ	WDTR	H'0000	H'FF46 8000	16
WDT制御レジスタ1	WDTCR1	H'03	H'FF46 8013	8

10.2.1 WDT リフレッシュレジスタ (WDTRR)

アドレス H'FF46 8003



リセット後の値 — — — — — — — —

ビット	機能	R/W
b7-b0	“H'00”を書いた後に“H'FF”を書くと、ウォッチドッグタイマがリフレッシュされます。 上記以外の値を書いても、無効となります。	W

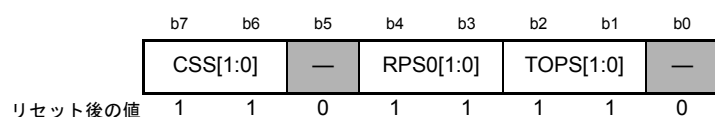
WDTRR レジスタは書き込み専用レジスタです。

リフレッシュ許可期間中にこのレジスタに“H'00”を書いた後に“H'FF”を書くとWDTCR0レジスタのTOPSビットで設定した値が14ビットフリーランカウンタにリロードされます。

フリーランカウンタがアンダフローするか、リフレッシュ禁止期間にリフレッシュを行うと、MCU がリセットされます。

10.2.2 WDT 制御レジスタ 0 (WDTCR0)

アドレス H'FF46 8002



ビット	シンボル	ビット名	機能	R/W
b7-b6	CSS[1:0]	カウントソース選択ビット	b7 b6 0 0 : 周辺バスクロック A の 16 分周 0 1 : 周辺バスクロック A の 128 分周 1 0 : 設定禁止 1 1 : ウォッチドッグカウントソース (低速オンチップオシレータの出力)	R/W
b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4-b3	RPS0[1:0]	リフレッシュ許可期間選択ビット	b4 b3 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100%	R/W
b2-b1	TOPS[1:0]	アンダフロー周期選択ビット	b2 b1 0 0 : 1024 サイクル (初期値 : H'03FF) 0 1 : 4096 サイクル (初期値 : H'0FFF) 1 0 : 8192 サイクル (初期値 : H'1FFF) 1 1 : 16384 サイクル (初期値 : H'3FFF)	R/W
b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

リセット後 WDTCR0 レジスタへ 1 回のみ書き込みができます。

CSS ビット

ウォッチドッグタイマのカウントソースを選択します。

RPS0 ビット

ウォッチドッグタイマのリフレッシュを許可する期間を設定します。

表 10.4 ウォッチドッグタイマリフレッシュ許可期間

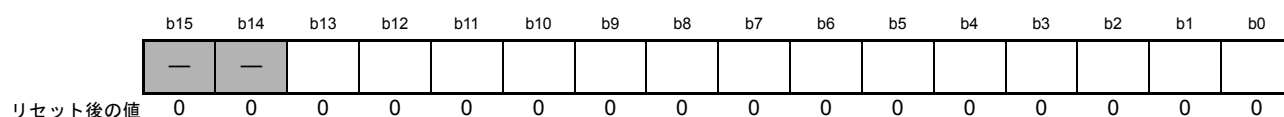
タイムアウト期間	100%	75%	50%	25%
H'3FFF (初期値)	H'3FFF 以下	H'2FFF 以下	H'1FFF 以下	H'0FFF 以下
H'1FFF (初期値)	H'1FFF 以下	H'17FF 以下	H'0FFF 以下	H'07FF 以下
H'0FFF (初期値)	H'0FFF 以下	H'0BFF 以下	H'07FF 以下	H'03FF 以下
H'03FF (初期値)	H'03FF 以下	H'02FF 以下	H'01FF 以下	H'00FF 以下

TOPS ビット

ウォッチドッグタイマがアンダフローする周期を設定します。

10.2.3 WDT レジスタ (WDTR)

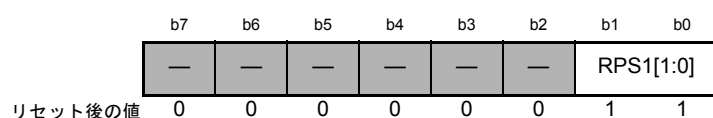
アドレス H'FF46 8000



ビット	シンボル	ビット名	機能	R/W
b15-b14	—	(予約ビット)	読むと不定が読み出されます。	R
b13-b0		ウォッチドッグタイマの値が読める		R

10.2.4 WDT 制御レジスタ 1 (WDTCR1)

アドレス H'FF46 8013



ビット	シンボル	ビット名	機能	R/W
b7-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1-b0	RPS1[1:0]	リフレッシュ禁止期間選択ビット	b1 b0 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 禁止期間なし	R/W

リセット後 WDTCR1 レジスタへの書き込み後、WDTCR0 レジスタへ書き込みを行ってください。

RPS1 ビット

RPS1 ビットはリフレッシュ禁止期間を選択します。RPS0 ビットで設定されたリフレッシュ許可期間のうち、リフレッシュ禁止期間を設定します。

10.4 使用上の注意事項

スタンバイモードへ遷移する前に、ウォッチドッグタイマに対し下記の設定を行ってください。

1. WDTCR0 レジスタの CSS ビットに B'11 を設定。
2. WDTCR0 レジスタの TOPS ビットに B'11 を設定。
3. ウォッチドッグタイマをリフレッシュ。

スタンバイモードから復帰した後に、ウォッチドッグタイマを本来の設定値へ戻してください。

11. タスク監視タイマ

11.1 概要

タスク監視タイマはタイマに設定した値をダウンカウントし、アンダフロー時、割り込み要求を発生させる16ビットタイマです。アンダフロー時、タイマは自動停止します。

表 11.1 にタスク監視タイマの仕様を示します。

図 11.1 にタスク監視タイマのブロック図を示します。

表 11.1 タスク監視タイマの仕様

項目	仕様
チャンネル数	1チャンネル
カウントソース	<ul style="list-style-type: none"> 周辺バスクロックAの2分周 周辺バスクロックAの16分周 周辺バスクロックAの64分周 周辺バスクロックAの256分周
カウント動作	<ul style="list-style-type: none"> ダウンカウント アンダフロー時、カウント停止(TMTLENレジスタへの書き込み動作により、リロードレジスタの内容をカウンタにリロードしてカウント再開)
カウンタ周期	$(n + 1)/f_j$ n : TMTRレジスタの設定値(H'0000~H'FFFF) f _j : カウントソースの周波数
カウント開始条件	以下の2つの条件が満たされたとき(順不同) <ul style="list-style-type: none"> TMTENレジスタのTENビットが“1”(カウント許可) カウンタ値がH'0000以外
カウント停止条件	<ul style="list-style-type: none"> TMTENレジスタのTENビットを“0”(カウント停止)にする アンダフロー時(カウンタはH'0000)
割り込み要求発生タイミング	アンダフロー時
タイマの読み出し	TMTRレジスタを読むと、カウンタの値が読める
タイマの書き込み	TMTRレジスタに値を書き込むと、同時に値がリロードレジスタに書き込まれる。その後、TMTLENレジスタへの書き込み動作でリロードレジスタの値がカウンタに書き込まれる

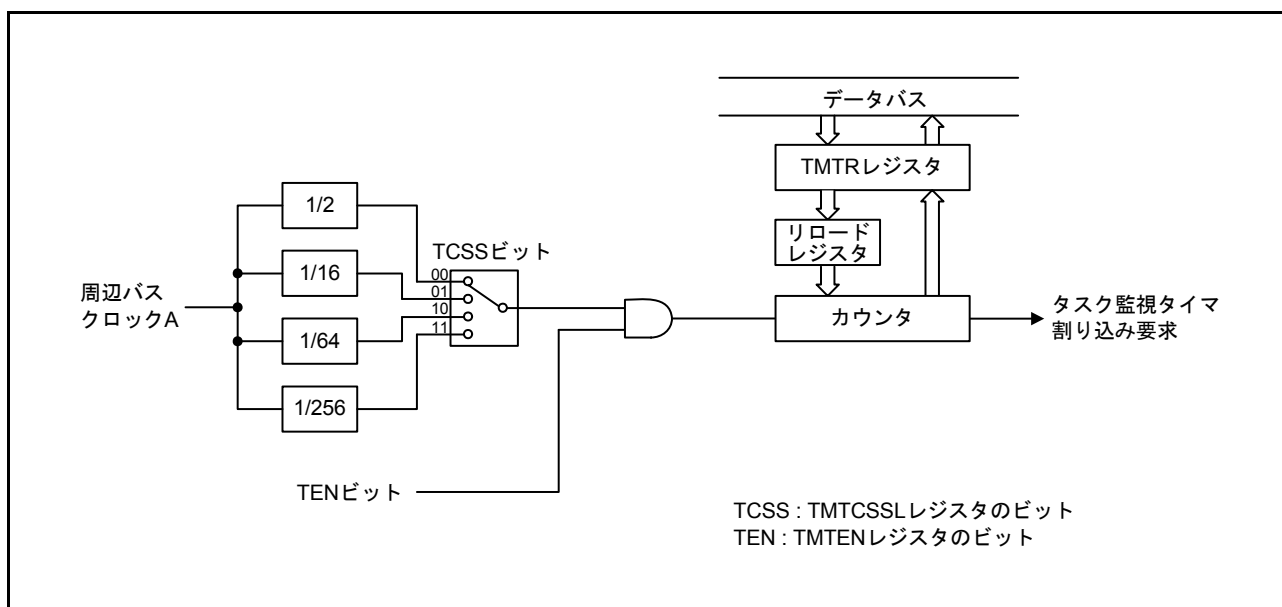


図 11.1 タスク監視タイマのブロック図

11.2 レジスタの説明

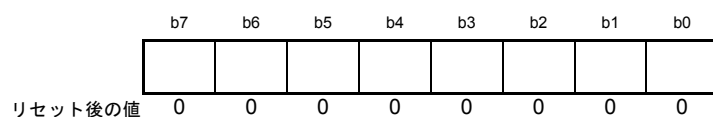
表 11.2 にタスク監視タイマのレジスタ一覧を示します。

表 11.2 タスク監視タイマのレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タスク監視タイマプロテクトレジスタ	TMTPR	H'00	H'FF46 C00F	8
タスク監視タイマロード許可レジスタ	TMTLEN	—	H'FF46 C007	8
タスク監視タイマカウントソース選択レジスタ	TMTCSSL	H'00	H'FF46 C006	8
タスク監視タイマレジスタ	TMTR	H'0000	H'FF46 C004	16
タスク監視タイマ許可レジスタ	TMTEN	H'00	H'FF46 C00B	8

11.2.1 タスク監視タイマプロテクトレジスタ (TMTPR)

アドレス H'FF46 C00F



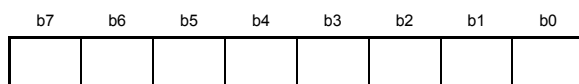
ビット	機能	R/W
b7-b0	書き込み時 B'1111 0001 : プロテクト 解除 B'1111 0001 以外 : プロテクト	R/W
	読み出し時 b0ビット 0 : プロテクト 1 : プロテクト 解除 b7~b1 ビットは常に“0”が読める	

TMTPR レジスタでは、TMTLEN、TMTCSSL、TMTR、TMTEN レジスタを簡単に書き換えられないよう保護するプロテクト機能の設定を行います。TMTLEN、TMTCSSL、TMTR、TMTEN レジスタの値を変更する場合は、以下の手順で変更を行ってください。

- (1) TMTPR レジスタに“H'F1”を書く (各レジスタへの書き込みを許可)
- (2) TMTLEN、TMTCSSL、TMTR、TMTEN レジスタの値を変更する
- (3) TMTPR レジスタに“H'F1”以外を書く (各レジスタへの書き込みを禁止)

11.2.2 タスク監視タイマロード許可レジスタ (TMTLEN)

アドレス H'FF46 C007



リセット後の値 — — — — — — —

ビット	機能	R/W
b7-b0	TMTRレジスタに書かれた値(リロードレジスタの値)が、カウンタへ書かれる。	W

TMTLENレジスタは書き込み専用レジスタです。

TMTLENレジスタに任意の値(H'00~H'FF)を書き込むと、TMTRレジスタに書かれた値(リロードレジスタの値)がカウンタへ書かれます。TMTLENレジスタへ書き込む場合は、TMTPRレジスタでプロテクトを解除してから書き込みを行ってください。

11.2.3 タスク監視タイマカウントソース選択レジスタ (TMTCSSL)

アドレス H'FF46 C006



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1-b0	TCSS[1:0]	タスク監視タイマカウントソース選択ビット	b1 b0 0 0 : 周辺バスクロックAの2分周 0 1 : 周辺バスクロックAの16分周 1 0 : 周辺バスクロックAの64分周 1 1 : 周辺バスクロックAの256分周	R/W

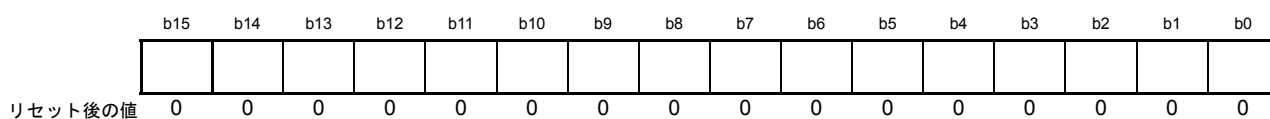
TMTCSSLレジスタの値を変更する場合は、TMTPRレジスタでプロテクトを解除してから変更してください。

TCSSビット

タスク監視タイマのカウントソースを選択します。

11.2.4 タスク監視タイマレジスタ (TMTR)

アドレス H'FF46 C004



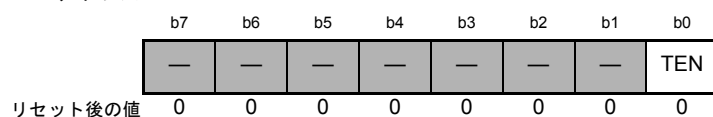
ビット	機能	R/W
b15-b0	<p>書き込み時</p> <p>値がそのままリロードレジスタへ書き込まれる (その後、TMTLENレジスタへの書き込み動作でリロードレジスタの値がカウンタに書き込まれる)</p> <p>設定値を n とすると、カウンタ周期は、$(n + 1)/f_j$ です。 f_j: カウントソースの周波数 設定値 (n) の範囲: H'0000 ~ H'FFFF</p> <hr/> <p>読み出し時</p> <p>カウンタの値が読み出せる</p>	R/W

TMTR レジスタは 16 ビット単位で設定してください。

TMTR レジスタの値を変更する場合は、TMTPR レジスタでプロテクトを解除してから変更してください。

11.2.5 タスク監視タイマ許可レジスタ (TMTEN)

アドレス H'FF46 C00B



ビット	シンボル	ビット名	機能	R/W
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	TEN	タスク監視タイマ許可ビット	0: カウント停止 1: カウント許可	R/W

TMTEN レジスタの値を変更する場合は、TMTPR レジスタでプロテクトを解除してから変更してください。

TEN ビット

タスク監視タイマを、カウント許可/停止させるビットです。

11.3 動作説明

図 11.2 にタスク監視タイマの動作例を示します。

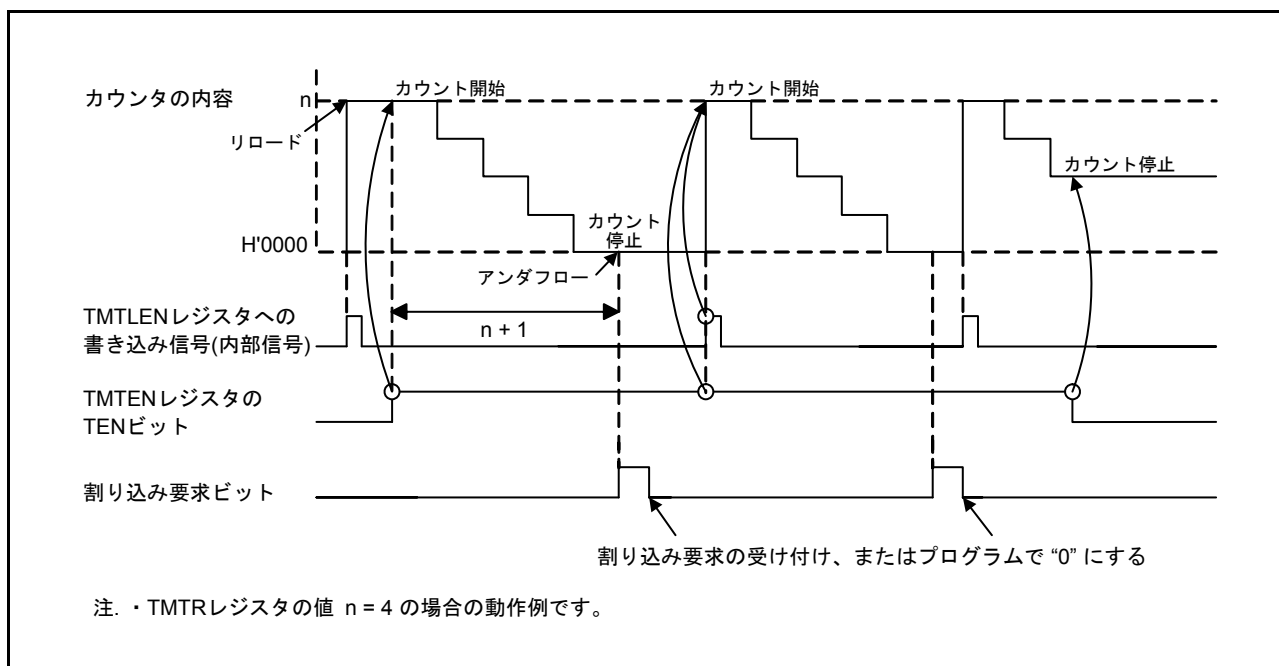


図 11.2 タスク監視タイマの動作例

11.4 タスク監視タイマの注意事項

リセット後、タイマは停止しています。TMTCSSL レジスタでカウントソースを設定した後、TMTEN レジスタの TEN ビットを“1”(カウント許可)にしてください。

なお、リセット後にかかわらず、カウントソースを変更する場合は、TEN ビットを“0”(カウント停止)にしてから変更してください。

12. DMAC

12.1 概要

DMAC (Direct Memory Access Controller) は、CPU を使わずにデータを転送するモジュールで、8 チャンネルあります。DMAC は転送要求が発生すると、転送元アドレスのデータを転送先アドレスへ転送します。1 回の DMA 転送で、DMiCNT カウンタ ($i = 0 \sim 7$) に設定したバイト数のデータを転送します。表 12.1 に DMAC の仕様、図 12.1 に DMAC ブロック図を示します。

表 12.1 DMAC の仕様

項目		説明	
チャンネル数		8チャンネル	
転送空間		4Gバイト (H'0000 0000 ~ H'FFFF FFFF のうち予約領域を除く領域)	
最大転送バイト数		64Mバイト	
DMA 要求要因		<ul style="list-style-type: none"> ソフトウェアトリガ 各周辺機能の割り込み要求 	
チャンネル優先順位		DMA0 > DMA1 > ... > DMA6 > DMA7 (DMA0 が最優先)	
転送データ	1データ	8ビット、16ビット、32ビット	
	1オペランド	1データ、2データ、4データ、8データ、16データ、32データ、64データ、128データ	
転送モード	サイクルスチール転送モード	1データを転送するリードアクセスとライトアクセスの間に、バス権を戻す	
	パイプライン転送モード	1オペランド転送完了まで連続して転送する	
転送方式	オペランド転送方式	単一	<ul style="list-style-type: none"> 1回のDMA要求で、1オペランドを転送する 1オペランド転送完了後にチャンネル調停を行う DMA転送完了まで、1オペランド転送完了ごとにDMA要求が必要
		連続	<ul style="list-style-type: none"> 1回のDMA要求で、DMA転送完了まで1オペランドずつ転送する 1オペランド転送完了ごとにチャンネル調停を行う DMA要求は最初のみ
	ノンストップ転送方式	<ul style="list-style-type: none"> 1回のDMA要求で、DMA転送完了まで連続して転送する DMA転送完了までチャンネル調停を行わない DMA要求は最初のみ 	
DMA 転送開始条件		次のすべての条件がそろると DMA 転送を開始する <ul style="list-style-type: none"> DMiCR1 レジスタ ($i = 0 \sim 7$) の DEN ビットが "1" (DMA 転送許可) DMSTR レジスタの DMST ビットが "1" (DMAC 動作) DMAi の DMA 要求が発生し、チャンネル調停で実行権を得たとき 	
DMA 転送完了条件		DMiCNT カウンタが "H'0000 000" になったとき (DMA 転送完了)	
割り込み要求発生タイミング		DMiCNT カウンタが "H'0000 000" になったとき (DMA 転送完了)	
1データ転送時間		<ul style="list-style-type: none"> サイクルスチール転送モード: 最短3バスクロック パイプライン転送モード: 最短1バスクロック 	
その他機能		<ul style="list-style-type: none"> リロード機能 DMA 転送が完了したときに、転送元アドレス、転送先アドレス、転送バイトカウントのリロードレジスタの値をカレントレジスタにリロードする 	

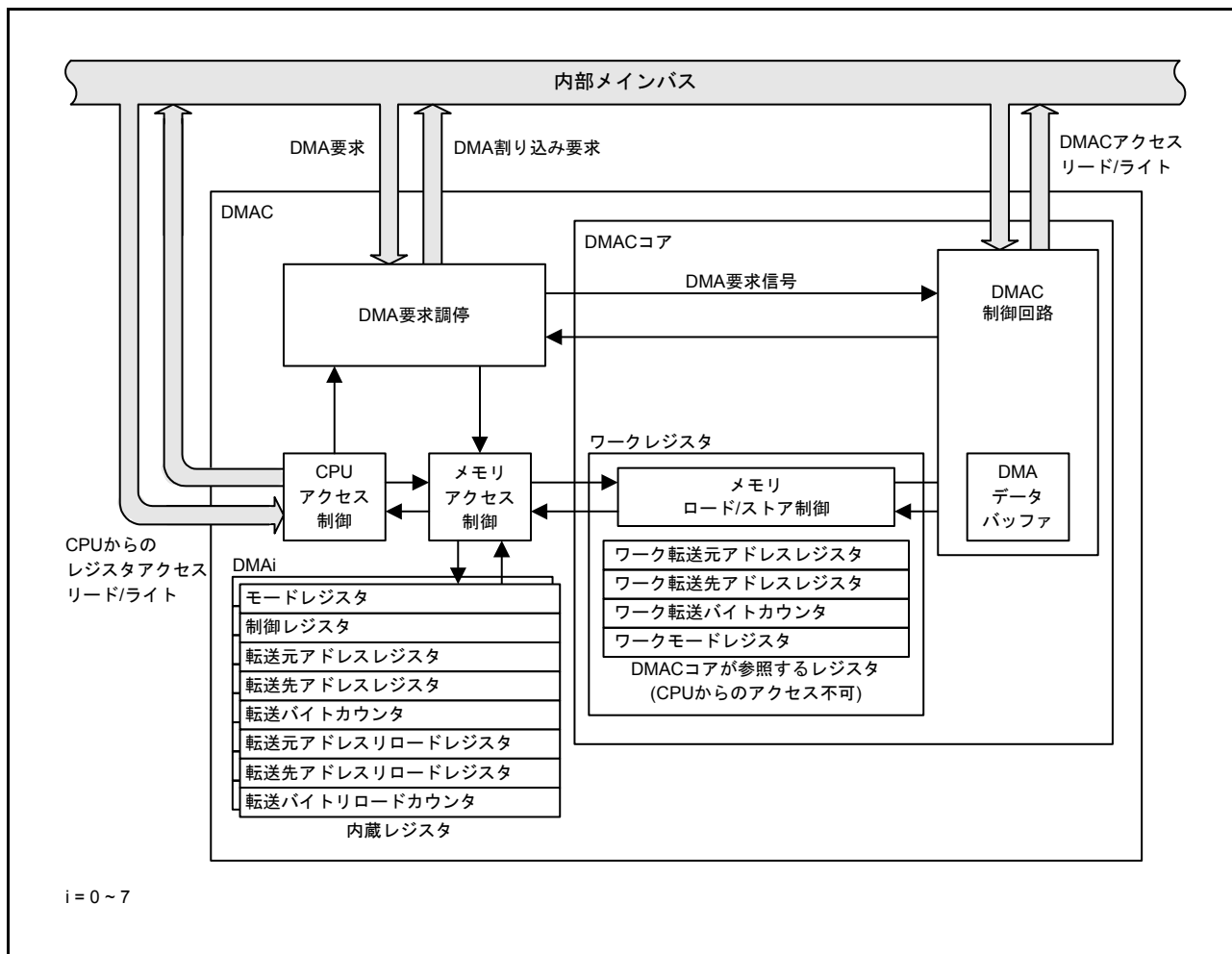


図 12.1 DMAC ブロック図

12.2 レジスタの説明

表 12.2～表 12.3 に DMAC のレジスタ一覧を示します。

表 12.2 DMACのレジスタ一覧(1)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DMA0モードレジスタ	DM0MD	不定	H'FF46 000C	32
DMA1モードレジスタ	DM1MD	不定	H'FF46 001C	32
DMA2モードレジスタ	DM2MD	不定	H'FF46 002C	32
DMA3モードレジスタ	DM3MD	不定	H'FF46 003C	32
DMA4モードレジスタ	DM4MD	不定	H'FF46 004C	32
DMA5モードレジスタ	DM5MD	不定	H'FF46 005C	32
DMA6モードレジスタ	DM6MD	不定	H'FF46 006C	32
DMA7モードレジスタ	DM7MD	不定	H'FF46 007C	32
DMA0制御レジスタ0	DM0CR0	H'0000 0000	H'FF46 0400	32
DMA1制御レジスタ0	DM1CR0	H'0000 0000	H'FF46 0408	32
DMA2制御レジスタ0	DM2CR0	H'0000 0000	H'FF46 0410	32
DMA3制御レジスタ0	DM3CR0	H'0000 0000	H'FF46 0418	32
DMA4制御レジスタ0	DM4CR0	H'0000 0000	H'FF46 0420	32
DMA5制御レジスタ0	DM5CR0	H'0000 0000	H'FF46 0428	32
DMA6制御レジスタ0	DM6CR0	H'0000 0000	H'FF46 0430	32
DMA7制御レジスタ0	DM7CR0	H'0000 0000	H'FF46 0438	32
DMA0制御レジスタ1	DM0CR1	H'0000 0000	H'FF46 0404	32
DMA1制御レジスタ1	DM1CR1	H'0000 0000	H'FF46 040C	32
DMA2制御レジスタ1	DM2CR1	H'0000 0000	H'FF46 0414	32
DMA3制御レジスタ1	DM3CR1	H'0000 0000	H'FF46 041C	32
DMA4制御レジスタ1	DM4CR1	H'0000 0000	H'FF46 0424	32
DMA5制御レジスタ1	DM5CR1	H'0000 0000	H'FF46 042C	32
DMA6制御レジスタ1	DM6CR1	H'0000 0000	H'FF46 0434	32
DMA7制御レジスタ1	DM7CR1	H'0000 0000	H'FF46 043C	32
DMA0転送元アドレスレジスタ	DM0SA	不定	H'FF46 0000	32
DMA1転送元アドレスレジスタ	DM1SA	不定	H'FF46 0010	32
DMA2転送元アドレスレジスタ	DM2SA	不定	H'FF46 0020	32
DMA3転送元アドレスレジスタ	DM3SA	不定	H'FF46 0030	32
DMA4転送元アドレスレジスタ	DM4SA	不定	H'FF46 0040	32
DMA5転送元アドレスレジスタ	DM5SA	不定	H'FF46 0050	32
DMA6転送元アドレスレジスタ	DM6SA	不定	H'FF46 0060	32
DMA7転送元アドレスレジスタ	DM7SA	不定	H'FF46 0070	32
DMA0転送先アドレスレジスタ	DM0DA	不定	H'FF46 0004	32
DMA1転送先アドレスレジスタ	DM1DA	不定	H'FF46 0014	32
DMA2転送先アドレスレジスタ	DM2DA	不定	H'FF46 0024	32
DMA3転送先アドレスレジスタ	DM3DA	不定	H'FF46 0034	32
DMA4転送先アドレスレジスタ	DM4DA	不定	H'FF46 0044	32
DMA5転送先アドレスレジスタ	DM5DA	不定	H'FF46 0054	32
DMA6転送先アドレスレジスタ	DM6DA	不定	H'FF46 0064	32
DMA7転送先アドレスレジスタ	DM7DA	不定	H'FF46 0074	32

表 12.3 DMACのレジスタ一覧(2)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DMA0 転送バイトカウンタ	DM0CNT	不定	H'FF46 0008	32
DMA1 転送バイトカウンタ	DM1CNT	不定	H'FF46 0018	32
DMA2 転送バイトカウンタ	DM2CNT	不定	H'FF46 0028	32
DMA3 転送バイトカウンタ	DM3CNT	不定	H'FF46 0038	32
DMA4 転送バイトカウンタ	DM4CNT	不定	H'FF46 0048	32
DMA5 転送バイトカウンタ	DM5CNT	不定	H'FF46 0058	32
DMA6 転送バイトカウンタ	DM6CNT	不定	H'FF46 0068	32
DMA7 転送バイトカウンタ	DM7CNT	不定	H'FF46 0078	32
DMA0 転送元アドレスリロードレジスタ	DM0SAR	不定	H'FF46 0200	32
DMA1 転送元アドレスリロードレジスタ	DM1SAR	不定	H'FF46 0210	32
DMA2 転送元アドレスリロードレジスタ	DM2SAR	不定	H'FF46 0220	32
DMA3 転送元アドレスリロードレジスタ	DM3SAR	不定	H'FF46 0230	32
DMA4 転送元アドレスリロードレジスタ	DM4SAR	不定	H'FF46 0240	32
DMA5 転送元アドレスリロードレジスタ	DM5SAR	不定	H'FF46 0250	32
DMA6 転送元アドレスリロードレジスタ	DM6SAR	不定	H'FF46 0260	32
DMA7 転送元アドレスリロードレジスタ	DM7SAR	不定	H'FF46 0270	32
DMA0 転送先アドレスリロードレジスタ	DM0DAR	不定	H'FF46 0204	32
DMA1 転送先アドレスリロードレジスタ	DM1DAR	不定	H'FF46 0214	32
DMA2 転送先アドレスリロードレジスタ	DM2DAR	不定	H'FF46 0224	32
DMA3 転送先アドレスリロードレジスタ	DM3DAR	不定	H'FF46 0234	32
DMA4 転送先アドレスリロードレジスタ	DM4DAR	不定	H'FF46 0244	32
DMA5 転送先アドレスリロードレジスタ	DM5DAR	不定	H'FF46 0254	32
DMA6 転送先アドレスリロードレジスタ	DM6DAR	不定	H'FF46 0264	32
DMA7 転送先アドレスリロードレジスタ	DM7DAR	不定	H'FF46 0274	32
DMA0 転送バイトカウンタリロードレジスタ	DM0CNTR	不定	H'FF46 0208	32
DMA1 転送バイトカウンタリロードレジスタ	DM1CNTR	不定	H'FF46 0218	32
DMA2 転送バイトカウンタリロードレジスタ	DM2CNTR	不定	H'FF46 0228	32
DMA3 転送バイトカウンタリロードレジスタ	DM3CNTR	不定	H'FF46 0238	32
DMA4 転送バイトカウンタリロードレジスタ	DM4CNTR	不定	H'FF46 0248	32
DMA5 転送バイトカウンタリロードレジスタ	DM5CNTR	不定	H'FF46 0258	32
DMA6 転送バイトカウンタリロードレジスタ	DM6CNTR	不定	H'FF46 0268	32
DMA7 転送バイトカウンタリロードレジスタ	DM7CNTR	不定	H'FF46 0278	32
DMA 割り込み制御レジスタ	DMICR	H'0000	H'FF46 0508	16
DMA 起動レジスタ	DMSTR	H'00	H'FF46 0501	8
DMA 転送ステータスレジスタ	DMSR	H'0000	H'FF46 0518	16
DMA 転送完了ステータスレジスタ	DMCSR	H'0000	H'FF46 0514	16

12.2.1 DMAi モードレジスタ (DMiMD) (i = 0 ~ 7)

アドレス DM0MD : H'FF46 000C、DM1MD : H'FF46 001C、DM2MD : H'FF46 002C、DM3MD : H'FF46 003C、
DM4MD : H'FF46 004C、DM5MD : H'FF46 005C、DM6MD : H'FF46 006C、DM7MD : H'FF46 007C

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	OPSEL[3:0]				—	—	—	—	—	SZSEL[2:0]		
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	SAD[2:0]			—	DAD[2:0]		—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b31-b28	—	(予約ビット)	読むと“不定”が読み出されます。書き込みは“0”としてください。	R
b27-b24	OPSEL[3:0]	オペランド転送データ数選択ビット	b27b26b25b24 0 0 0 0 : 1データ 0 0 0 1 : 2データ 0 0 1 0 : 4データ 0 0 1 1 : 8データ 0 1 0 0 : 16データ 0 1 0 1 : 32データ 0 1 1 0 : 64データ 0 1 1 1 : 128データ 上記以外、設定しないでください	R/W
b23-b19	—	(予約ビット)	読むと“不定”が読み出されます。書き込みは“0”としてください。	R
b18-b16	SZSEL[2:0]	転送データサイズ選択ビット	b18b17b16 0 0 0 : 8ビット 0 0 1 : 16ビット 0 1 0 : 32ビット 上記以外、設定しないでください	R/W
b15	—	(予約ビット)	読むと“不定”が読み出されます。書き込みは“0”としてください。	R
b14-b12	SAD[2:0]	転送元アドレス方向制御ビット	b14b13b12 0 0 0 : 固定 0 0 1 : インクリメント 0 1 0 : デクリメント 0 1 1 : ローテート 上記以外、設定しないでください	R/W
b11	—	(予約ビット)	読むと“不定”が読み出されます。書き込みは“0”としてください。	R
b10-b8	DAD[2:0]	転送先アドレス方向制御ビット	b10b9 b8 0 0 0 : 固定 0 0 1 : インクリメント 0 1 0 : デクリメント 0 1 1 : ローテート 上記以外、設定しないでください	R/W
b7-b0	—	(予約ビット)	読むと“不定”が読み出されます。書き込みは“0”としてください。	R

転送元または転送先アドレスの演算内容と転送データサイズを設定するレジスタです。DMiMD レジスタは、DMAC 停止または、対応するチャンネルの DMA 転送禁止でデータ転送中でないときに書いてください。DMiMD レジスタは 32 ビットでアクセスしてください。

OPSEL ビット

1 オペランドで転送するデータ数を設定します。オペランド転送方式を使用する場合、OPSEL ビットで設定した数のデータを1オペランドとして続けて転送します。ノンストップ転送方式の場合は、OPSEL ビットの設定は無効になり、DMiCNT カウンタに設定したバイト数のデータを連続して転送します。

SZSEL ビット

転送データのサイズを設定します。

SAD ビット、DAD ビット

DMA 転送中のアドレスの演算内容を設定します。

ローテートを選択した場合、アドレスはインクリメントされ、1オペランドの転送が完了するとDMA転送開始時に設定した値になります。

アドレスの演算内容は、転送サイズに応じて以下になります。

表12.4 転送サイズによるアドレス演算内容

SZSEL ビット	SAD ビット、DAD ビット			
	B'000 (固定)	B'001 (インクリメント)	B'010 (デクリメント)	B'011 (ローテート)
B'000 (8ビット)	±0	+1	-1	+1
B'001 (16ビット)	±0	+2	-2	+2
B'010 (32ビット)	±0	+4	-4	+4

12.2.2 DMAi 制御レジスタ 0 (DMiCR0) (i = 0 ~ 7)

アドレス DM0CR0 : H'FF46 0400、DM1CR0 : H'FF46 0408、DM2CR0 : H'FF46 0410、DM3CR0 : H'FF46 0418、
DM4CR0 : H'FF46 0420、DM5CR0 : H'FF46 0428、DM6CR0 : H'FF46 0430、DM7CR0 : H'FF46 0438

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	MDSEL [1:0]		—	—	DSEL[1:0]		—	—	—	—	—	—	STRG[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	BRLOD	SRL0D	DRLOD	DCTG[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b30	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b29-b28	MDSEL [1:0]	転送モード選択ビット	b29b28 0 0 : サイクルスチール転送モード 0 1 : パイプライン転送モード 上記以外、設定しないでください	R/W
b27-b26	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b25-b24	DSEL[1:0]	転送方式選択ビット	b25b24 0 0 : 単一オペランド転送 0 1 : 連続オペランド転送 1 0 : 設定しないでください 1 1 : ノンストップ転送	R/W
b23-b18	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b17-b16	STRG[1:0]	入力センスモード選択ビット	b17b16 0 0 : ソフトウェアトリガ 0 1 : 設定しないでください 1 0 : エッジセンス 1 1 : レベルセンス	R/W
b15-b11	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b10	BRLOD	転送バイトカウンタリロード機能選択ビット	0 : 転送バイトカウンタリロード機能を使用しない 1 : 転送バイトカウンタリロード機能を使用する	R/W
b9	SRL0D	転送元アドレスリロード機能選択ビット	0 : 転送元アドレスリロード機能を使用しない 1 : 転送元アドレスリロード機能を使用する	R/W
b8	DRLOD	転送先アドレスリロード機能選択ビット	0 : 転送先アドレスリロード機能を使用しない 1 : 転送先アドレスリロード機能を使用する	R/W
b7-b0	DCTG[7:0]	DMA 要求要因選択ビット	DMA 要求要因を設定(表 12.6 参照)	R/W

MDSEL ビット

転送モードを設定します。MDSEL ビットを設定する場合は、DMAC 停止または、対応するチャンネルの DMA 転送禁止でデータ転送中でないときに書いてください。

DSEL ビット

転送方式を設定します。DSEL ビットを設定する場合は、DMAC 停止または、対応するチャンネルの DMA 転送禁止でデータ転送中でないときに書いてください。

STRG ビット

DCTG ビットにより設定された要求要因から DMAC に対して入力される DMA 要求信号 (内部信号) の入力センスモードを設定します。表 12.5 に STRG ビットと DCTG ビットの組み合わせを示します。設定した DCTG ビットに合わせた STRG ビットを設定してください。

表 12.5 STRG ビットと DCTG ビットの組み合わせ

DMA 要求 要因番号	DCTG ビット	DMA 要求要因	STRG ビット	入力センスモード
0	0000 0000	ソフトウェアトリガ	00	ソフトウェアトリガ
1 } 169	0000 0001 } 1010 1001	CMT0 割り込み要求 (CMIO) } SBI3 送信割り込み要求	10 10 10	エッジセンス エッジセンス エッジセンス
172 } 198	1010 1100 } 1100 0110	MT0GRA 割り込み要求 } MT7GRD 割り込み要求	11 11 11	レベルセンス レベルセンス レベルセンス

DRLOD ビット、SRLOD ビット、BRLOD ビット

転送先アドレス、転送元アドレス、転送バイトカウンタリロード機能を制御します。“1”にすると DMA 転送完了時にそれぞれのリロードレジスタの内容がカレントレジスタにリロードされます。リロード機能を使用しない場合は、DMiCR1 レジスタの ECLR ビットを“1”にして、DEN ビットが“0”になるようにしてください。

DCTG ビット

DMA 要求要因を設定します。DCTG ビットを設定する場合は、DMAC 停止または、対応するチャネルの DMA 転送禁止でデータ転送中でないときに書いてください。また、DCTG ビットを設定した場合は、必ず DMiCR1 レジスタの DREQ ビットを“0”にした後、DMAC 動作および DMA 転送許可にしてください。表 12.6 に DCTG ビットの設定を示します。

表 12.6 DCTGビットの設定

DMA 要求 要因番号	DCTG ビット	DMA 要求要因
0	0000 0000	ソフトウェアトリガ
1	0000 0001	CMT0 割り込み要求 (CMI0)
2	0000 0010	CMT1 割り込み要求 (CMI1)
3	0000 0011	CMT2 割り込み要求 (CMI2)
4	0000 0100	CMT3 割り込み要求 (CMI3)
5	0000 0101	CMT4 割り込み要求 (CMI4)
6	0000 0110	CMT5 割り込み要求 (CMI5)
7	0000 0111	AD1 スキャン変換終了割り込み要求
8	0000 1000	AD1IN0 割り込み変換終了割り込み要求 (注1)
9	0000 1001	AD1IN1 割り込み変換終了割り込み要求 (注1)
10	0000 1010	AD1IN2 割り込み変換終了割り込み要求 (注1)
11	0000 1011	AD1IN3 割り込み変換終了割り込み要求 (注1)
12	0000 1100	AD1IN4 割り込み変換終了割り込み要求
13	0000 1101	AD1IN5 割り込み変換終了割り込み要求
14	0000 1110	AD1IN6 割り込み変換終了割り込み要求 (注1)
15	0000 1111	AD1IN7 割り込み変換終了割り込み要求 (注1)
16 ~ 23	0001 0000 ~ 0001 0111	(予約) 設定しないでください。
24	0001 1000	AD1IN16 割り込み変換終了割り込み要求
25	0001 1001	AD1IN17 割り込み変換終了割り込み要求
26 ~ 31	0001 1010 ~ 0001 1111	(予約) 設定しないでください。
32	0010 0000	AD1IN24 割り込み変換終了割り込み要求
33	0010 0001	AD1IN25 割り込み変換終了割り込み要求 (注1)
34	0010 0010	AD1IN26 割り込み変換終了割り込み要求 (注1)
35	0010 0011	AD1IN27 割り込み変換終了割り込み要求 (注1)
36	0010 0100	AD1IN28 割り込み変換終了割り込み要求
37	0010 0101	AD1IN29 割り込み変換終了割り込み要求 (注1)
38	0010 0110	AD1IN30 割り込み変換終了割り込み要求
39	0010 0111	AD1IN31 割り込み変換終了割り込み要求
40 ~ 49	00010 1000 ~ 0011 0001	(予約) 設定しないでください。
50	0011 0010	AD1IN42 割り込み変換終了割り込み要求 (注1)
51	0011 0011	AD1IN43 割り込み変換終了割り込み要求 (注1)
52	0011 0100	AD1IN44 割り込み変換終了割り込み要求 (注1)
53	0011 0101	AD1IN45 割り込み変換終了割り込み要求 (注1)
54	0011 0110	AD1IN46 割り込み変換終了割り込み要求 (注1)
55	0011 0111	AD1IN47 割り込み変換終了割り込み要求 (注1)
56 ~ 72	0011 1000 ~ 0100 1000	(予約) 設定しないでください。
73	0100 1001	AD0 スキャン変換終了割り込み
74 ~ 77	0100 1010 ~ 0100 1101	(予約) 設定しないでください。
78	0100 1110	TP1GR0 割り込み要求
79	0100 1111	TP1GR1 割り込み要求
80	0101 0000	TP1GR2 割り込み要求
81	0101 0001	TP1GR3 割り込み要求
82	0101 0010	TP2GR0 割り込み要求
83	0101 0011	TP2GR1 割り込み要求
84	0101 0100	TP2GR2 割り込み要求

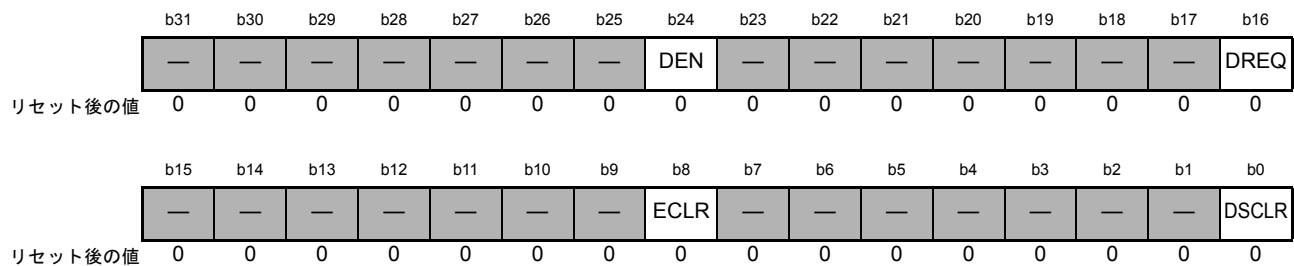
DMA 要求 要因番号	DCTG ビット	DMA 要求要因
85	0101 0101	TP2GR3 割り込み要求
86	0101 0110	TP3GR0 割り込み要求
87	0101 0111	TP3GR1 割り込み要求
88	0101 1000	TP3GR2 割り込み要求
89	0101 1001	TP3GR3 割り込み要求
90	0101 1010	TP4GR0 割り込み要求
91	0101 1011	TP4GR1 割り込み要求
92	0101 1100	TP4GR2 割り込み要求
93	0101 1101	TP4GR3 割り込み要求
94 ~ 138	0101 1110 ~ 1000 1010	(予約) 設定しないでください。
139	1000 1011	TPU1 カウンタリセット割り込み要求
140	1000 1100	TPU2 カウンタリセット割り込み要求
141	1000 1101	TPU3 カウンタリセット割り込み要求
142	1000 1110	TPU4 カウンタリセット割り込み要求
143 ~ 153	1000 1111 ~ 1001 1001	(予約) 設定しないでください。
154	1001 1010	SCI0 受信バッファフル割り込み要求
155	1001 1011	SCI0 送信バッファエンブティ割り込み要求
156	1001 1100	SCI1 受信バッファフル割り込み要求
157	1001 1101	SCI1 送信バッファエンブティ割り込み要求
158	1001 1110	SCI2 受信バッファフル割り込み要求
159	1001 1111	SCI2 送信バッファエンブティ割り込み要求
160	1010 0000	SCI3 受信バッファフル割り込み要求
161	1010 0001	SCI3 送信バッファエンブティ割り込み要求
162	1010 0010	SBI0 受信割り込み要求
163	1010 0011	SBI1 受信割り込み要求
164	1010 0100	SBI2 受信割り込み要求
165	1010 0101	SBI3 受信割り込み要求 (注1)
166	1010 0110	SBI0 送信割り込み要求
167	1010 0111	SBI1 送信割り込み要求
168	1010 1000	SBI2 送信割り込み要求
169	1010 1001	SBI3 送信割り込み要求 (注1)
170、 171	1010 1010、 1010 1011	(予約) 設定しないでください。
172	1010 1100	MT0GRA 割り込み要求
173	1010 1101	MT0GRB 割り込み要求
174	1010 1110	MT0GRC 割り込み要求
175	1010 1111	MT0GRD 割り込み要求
176	1011 0000	MT1GRA 割り込み要求
177	1011 0001	MT1GRB 割り込み要求
178	1011 0010	MT2GRA 割り込み要求
179	1011 0011	MT2GRB 割り込み要求
180	1011 0100	MT3GRA 割り込み要求
181	1011 0101	MT3GRB 割り込み要求
182	1011 0110	MT3GRC 割り込み要求
183	1011 0111	MT3GRD 割り込み要求
184	1011 1000	MT4GRA 割り込み要求

DMA要求 要因番号	DCTG ビット	DMA要求要因
185	1011 1001	MT4GRB 割り込み要求
186	1011 1010	MT4GRC 割り込み要求
187	1011 1011	MT4GRD 割り込み要求
188	1011 1100	MT5GRU 割り込み要求
189	1011 1101	MT5GRV 割り込み要求
190	1011 1110	MT5GRW 割り込み要求
191	1011 1111	MT6GRA 割り込み要求
192	1100 0000	MT6GRB 割り込み要求
193	1100 0001	MT6GRC 割り込み要求
194	1100 0010	MT6GRD 割り込み要求
195	1100 0011	MT7GRA 割り込み要求
196	1100 0100	MT7GRB 割り込み要求
197	1100 0101	MT7GRC 割り込み要求
198	1100 0110	MT7GRD 割り込み要求
199 ~ 255	1100 0111 ~ 1111 1111	(予約) 設定しないでください。

注1. SH72A0グループでは、未使用となります。

12.2.3 DMAi 制御レジスタ 1 (DMiCR1) (i = 0 ~ 7)

アドレス DM0CR1 : H'FF46 0404、DM1CR1 : H'FF46 040C、DM2CR1 : H'FF46 0414、DM3CR1 : H'FF46 041C、
DM4CR1 : H'FF46 0424、DM5CR1 : H'FF46 042C、DM6CR1 : H'FF46 0434、DM7CR1 : H'FF46 043C



ビット	シンボル	ビット名	機能	R/W
b31-b25	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b24	DEN	DMA 転送許可ビット	0 : DMA 転送禁止 1 : DMA 転送許可	R/W
b23-b17	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b16	DREQ	DMA 要求ビット	0 : DMA 要求なし 1 : DMA 要求あり	R/W
b15-b9	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b8	ECLR	DMA 転送許可クリアビット	0 : DMA 転送完了時、DEN ビットを“0”にしない 1 : DMA 転送完了時、DEN ビットを“0”にする	R/W
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	DSCLR	DMAC 内部状態初期化ビット	“1”を書くと DMAC 内部状態を初期化する。“0”を書いた場合は無効。読んだ場合、その値は“0”。	R/W

DEN ビット

DMA 転送を許可するビットです。ECLR ビットが“1”のとき、DMA 転送が完了すると DEN ビットは自動的に“0”になります。

オペランド転送方式で転送中に DEN ビットを“0”にすると、転送中の 1 オペランド転送が完了してから、そのチャンネルは DMA 転送を一時停止します。その後“1”にすると、DMA 転送を再開します。ノンストップ転送中は DEN ビットが“0”になっても一時停止せず、DMA 転送完了まで転送します。

DREQ ビット

DMA 要求の有無を示すビットです。DREQ ビットは DMAC 停止または DMA 転送禁止状態でも DMA 要求の有無によって変化します。DMA 要求要因にソフトウェアトリガを設定した場合は、DREQ ビットにプログラムで“1”を書くと DMA 要求が発生します。DMA 要求要因がソフトウェアトリガ以外の場合は、DREQ ビットにプログラムで“1”を書かないでください。DREQ ビットに“0”を書く場合は、DMAC 停止または、対応するチャンネルの DMA 転送禁止でデータ転送中でないときに書いてください。“1”を書く場合は、DMA 転送状態にかかわらず書けます。

DREQ ビットは DMA 要求要因によって次のようにセット (DREQ = 1) またはクリア (DREQ = 0) されます。

- (1) DMA 要求要因がソフトウェアトリガの場合
(DCTG ビット = “0000 0000”、STRG ビット = “00”)
[“1” になる条件]
 - ・プログラムで “1” を書いたとき[“0” になる条件]
 - ・プログラムで “0” を書いたとき
 - ・DMA 要求が受け付けられてデータ転送が開始されたとき

- (2) DMA 要求要因が周辺機能でエッジセンスの場合
(DCTG ビット = “0000 0001” ~ “1010 1001”、STRG ビット = “10”)
[“1” になる条件]
 - ・周辺機能側で DMA 要求が発生したとき[“0” になる条件]
 - ・プログラムで “0” を書いたとき
 - ・DMA 要求が受け付けられてデータ転送が開始されたとき

- (3) DMA 要求要因が周辺機能でレベルセンスの場合
(DCTG ビット = “1010 1100” ~ “1100 0110”、STRG ビット = “11”)
[“1” になる条件]
 - ・周辺機能側で DMA 要求が発生したとき[“0” になる条件]
 - ・周辺機能側で DMA 要求がなくなったとき

ECLR ビット

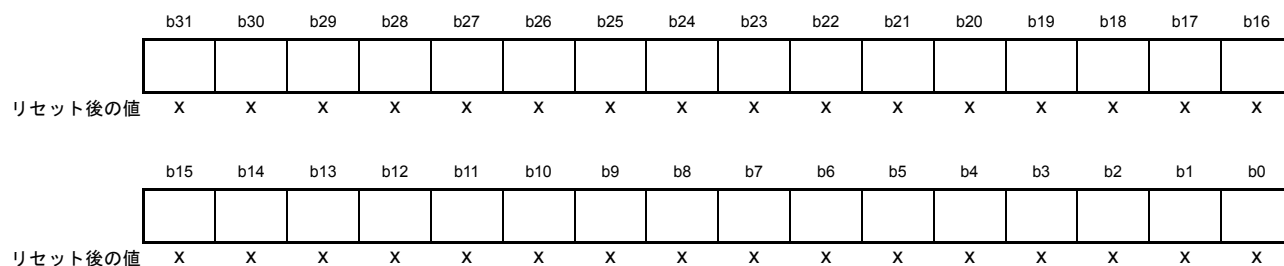
DMA 転送完了時の DEN ビットを制御します。ECLR ビットを “1” にすると、DMA 転送完了時に DEN ビットが “0” になり、以降そのチャンネルの DMA 転送は行われません。リロード機能を使用しない場合は、ECLR ビットを “1” にして DEN ビットが “0” になるようにしてください。ECLR ビットを設定する場合は、DMAC 停止または、対応するチャンネルの DMA 転送禁止でデータ転送中でないときに書いてください。

DSCLR ビット

DMAC 内部状態を初期化するビットです。DMA 転送を一時停止させて DSCLR ビットを “1” にすると、残りの DMA 転送を中止し、DMAC 内部の転送ステータスを初期化します。ただし、このとき各レジスタは初期化されません。また、書いた “1” は保持されませんので、読むと常に “0” が読めます。“0” を書いた場合は無効です。DSCLR ビットを設定する場合は、DMAC 停止または、対応するチャンネルの DMA 転送禁止でデータ転送中でないときに書いてください。

12.2.4 DMAi 転送元アドレスレジスタ (DMiSA) (i = 0 ~ 7)

アドレス DM0SA : H'FF46 0000、DM1SA : H'FF46 0010、DM2SA : H'FF46 0020、DM3SA : H'FF46 0030、
DM4SA : H'FF46 0040、DM5SA : H'FF46 0050、DM6SA : H'FF46 0060、DM7SA : H'FF46 0070



ビット	機能	R/W
b31-b0	転送元の開始アドレスを設定 H'0000 0000 ~ H'FFFF FFFF (4Gバイト)	R/W

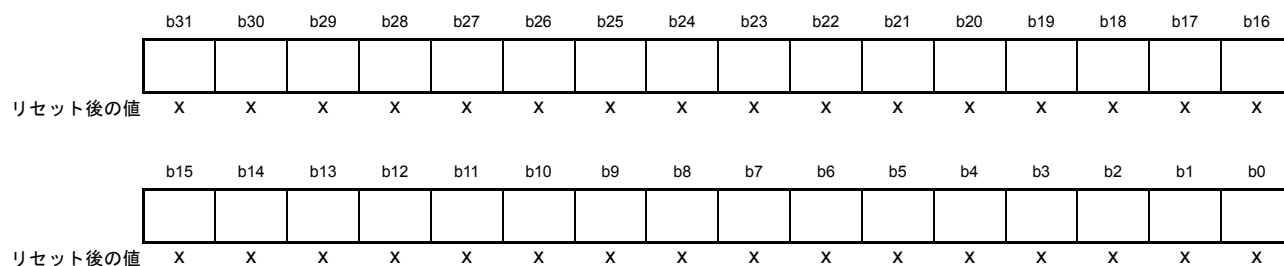
転送元の開始アドレスを設定するレジスタです。DMiSA レジスタを設定する場合は、DMAC 停止または、対応するチャンネルの DMA 転送禁止でデータ転送中でないときに書いてください。DMiSA レジスタは 32 ビットでアクセスしてください。

DMiSA レジスタにはビット長が 16 ビットのときは 2 の倍数、32 ビットのときは 4 の倍数のアドレスを b31 ~ b0 が A31 ~ A0 になるように設定してください。

DMiSA レジスタに設定した値は、DMA 転送開始時に DMAC コア内のワークレジスタに移され、1 オペランド転送完了時または DMA 転送完了時にワークレジスタの値が戻されます。ただし、DMiMD レジスタの SAD ビットが “B'011” (ローテート) の場合は、ワークレジスタの値にはならず、DMA 転送開始時に設定した値のままです。また、DMiCR0 レジスタの SRL0D ビットが “1” (転送元アドレスリロード機能を使用する) の場合は、DMA 転送が完了すると DMiSAR レジスタの値がリロードされます。

12.2.5 DMAi 転送先アドレスレジスタ (DMiDA) (i = 0 ~ 7)

アドレス DM0DA : H'FF46 0004、DM1DA : H'FF46 0014、DM2DA : H'FF46 0024、DM3DA : H'FF46 0034、
DM4DA : H'FF46 0044、DM5DA : H'FF46 0054、DM6DA : H'FF46 0064、DM7DA : H'FF46 0074



ビット	機能	R/W
b31-b0	転送元の開始アドレスを設定 H'0000 0000 ~ H'FFFF FFFF (4Gバイト)	R/W

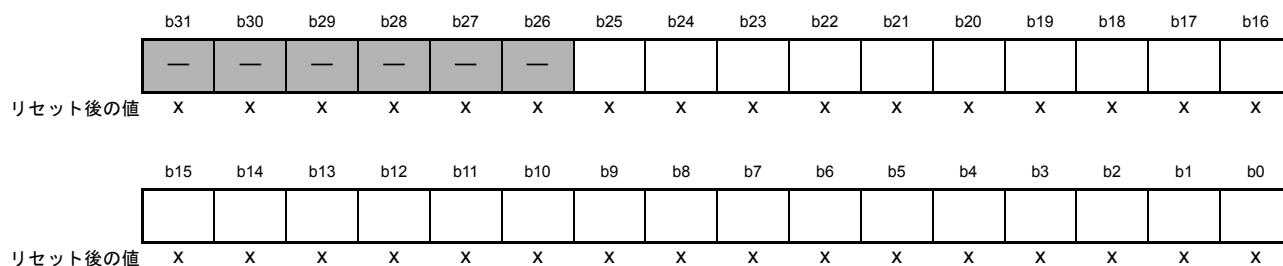
転送先の開始アドレスを設定するレジスタです。DMiDA レジスタを設定する場合は、DMAC 停止または、対応するチャンネルのDMA 転送禁止でデータ転送中でないときに書いてください。DMiDA レジスタは32ビットでアクセスしてください。

DMiDA レジスタにはビット長が16ビットのときは2の倍数、32ビットのときは4の倍数のアドレスをb31~b0がA31~A0になるように設定してください。

DMiDA レジスタに設定した値は、DMA 転送開始時にDMAC コア内のワークレジスタに移され、1オペランド転送完了時またはDMA 転送完了時にワークレジスタの値が戻されます。ただし、DMiMD レジスタのDADビットが“B'011”(ローテート)の場合は、ワークレジスタの値にはならず、DMA 転送開始時に設定した値のままです。また、DMiCR0 レジスタのDRLODビットが“1”(転送先アドレスリロード機能を使用する)の場合は、DMA 転送が完了するとDMiDAR レジスタの値がリロードされます。

12.2.6 DMAi 転送バイトカウンタ (DMiCNT) (i = 0 ~ 7)

アドレス DM0CNT : H'FF46 0008、DM1CNT : H'FF46 0018、DM2CNT : H'FF46 0028、DM3CNT : H'FF46 0038、
DM4CNT : H'FF46 0048、DM5CNT : H'FF46 0058、DM6CNT : H'FF46 0068、DM7CNT : H'FF46 0078



ビット	シンボル	ビット名	機能	R/W
b31-b26	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b25-b0		DMA転送バイト数を設定 H'0000 000 ~ H'3FFF FFF		R/W

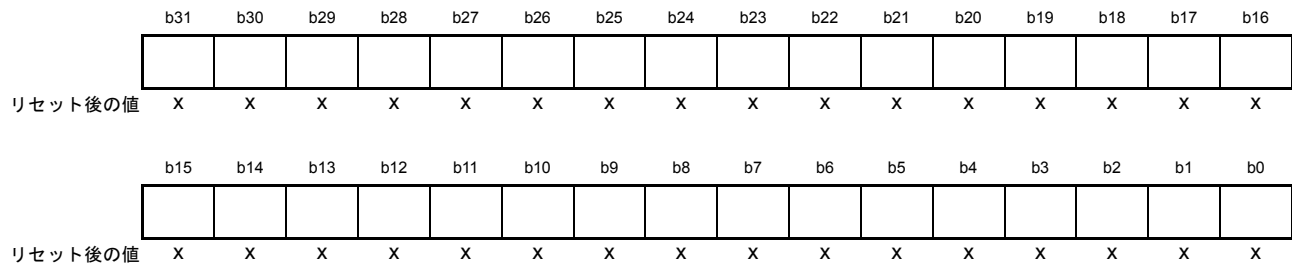
DMA 転送するバイト数を設定するレジスタです。DMiCNT カウンタを設定する場合は、DMAC 停止または、対応するチャンネルの DMA 転送禁止でデータ転送中でないときに書いてください。DMiCNT カウンタは 32 ビットでアクセスしてください。

DMiCNT カウンタにはビット長が 16 ビットのときは 2 の倍数、32 ビットのときは 4 の倍数を設定してください。なお、“H'0000 000”を設定すると転送バイト数は 64M バイトになります。

DMiCNT カウンタに設定した値は、DMA 転送開始時に DMAC コア内のワークレジスタに移されます。ワークレジスタの値は、1 データを転送するごとに、転送したバイト数 (データのビット長が 8 ビットのときは 1、16 ビットのときは 2、32 ビットのときは 4) 減少して“H'0000 000”になると DMA 転送が完了します。ワークレジスタの値は、転送チャンネルが切り替わる時、または DMA 転送完了時に DMiCNT カウンタに戻されます。ただし、DMiCR0 レジスタの BRLOD ビットが“1”(転送バイトカウントリロード機能を使用する)の場合、DMA 転送完了時は DMiCNTR レジスタの値がリロードされます。

12.2.7 DMA_i 転送元アドレスリロードレジスタ (DMiSAR) (i = 0 ~ 7)

アドレス DM0SAR : H'FF46 0200、DM1SAR : H'FF46 0210、DM2SAR : H'FF46 0220、DM3SAR : H'FF46 0230、
DM4SAR : H'FF46 0240、DM5SAR : H'FF46 0250、DM6SAR : H'FF46 0260、DM7SAR : H'FF46 0270



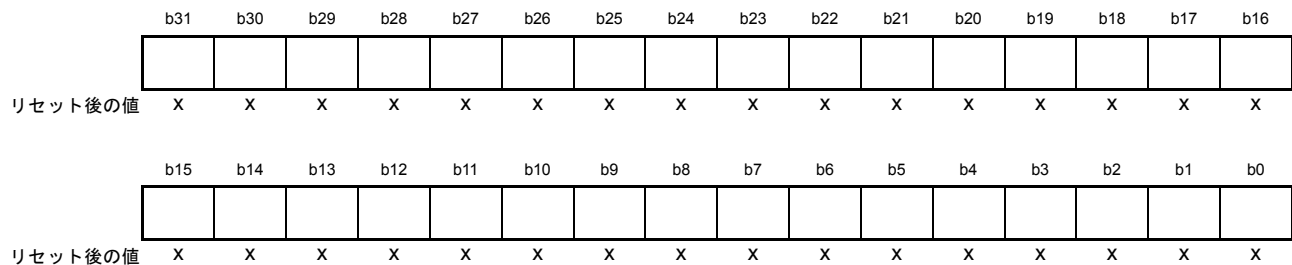
ビット	機能	R/W
b31-b0	DMISAレジスタにリロードするアドレスを設定 H'0000 0000 ~ H'FFFF FFFF (4Gバイト)	R/W

DMiSA レジスタにリロードするアドレスを設定するレジスタです。DMiSAR レジスタは 32 ビットでアクセスしてください。

DMiCR0 レジスタの SRL0D ビットが“1”のとき、DMA 転送完了時に DMiSAR レジスタの値が DMiSA レジスタにリロードされます。DMiSAR レジスタにはビット長が 16 ビットのときは 2 の倍数、32 ビットのときは 4 の倍数のアドレスを b31 ~ b0 が A31 ~ A0 になるように設定してください。

12.2.8 DMA_i 転送先アドレスリロードレジスタ (DMiDAR) (i = 0 ~ 7)

アドレス DM0DAR : H'FF46 0204、DM1DAR : H'FF46 0214、DM2DAR : H'FF46 0224、DM3DAR : H'FF46 0234、
DM4DAR : H'FF46 0244、DM5DAR : H'FF46 0254、DM6DAR : H'FF46 0264、DM7DAR : H'FF46 0274



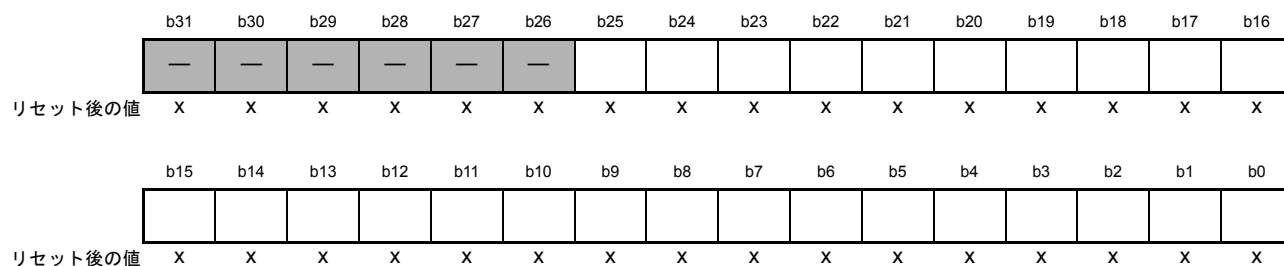
ビット	機能	R/W
b31-b0	DMiDAレジスタにリロードするアドレスを設定 H'0000 0000 ~ H'FFFF FFFF (4Gバイト)	R/W

DMiDA レジスタにリロードするアドレスを設定するレジスタです。DMiDAR レジスタは 32 ビットでアクセスしてください。

DMiCR0 レジスタの DRLOD ビットが“1”のとき、DMA 転送完了時に DMiDAR レジスタの値が DMiDA レジスタにリロードされます。DMiDAR レジスタにはビット長が 16 ビットのときは 2 の倍数、32 ビットのときは 4 の倍数のアドレスを b31 ~ b0 が A31 ~ A0 になるように設定してください。

12.2.9 DMA_i 転送バイトカウンタリロードレジスタ (DMiCNTR) (i = 0 ~ 7)

アドレス DM0CNTR : H'FF46 0208、DM1CNTR : H'FF46 0218、DM2CNTR : H'FF46 0228、DM3CNTR : H'FF46 0238、
DM4CNTR : H'FF46 0248、DM5CNTR : H'FF46 0258、DM6CNTR : H'FF46 0268、DM7CNTR : H'FF46 0278



ビット	シンボル	ビット名	機能	R/W
b31-b26	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b25-b0		DMiCNTカウンタにリロードするDMA転送バイト数を設定 H'0000 000h ~ H'3FFF FFF		R/W

DMiCNTカウンタにリロードするDMA転送バイト数を設定するレジスタです。DMiCNTRレジスタは32ビットでアクセスしてください。

DMiCR0レジスタのBRL0Dビットが“1”のとき、DMA転送完了時にDMiCNTRレジスタの値がDMiCNTカウンタにリロードされます。DMiCNTRレジスタにはビット長が16ビットのときは2の倍数、32ビットのときは4の倍数を設定してください。なお、“H'0000 000”を設定すると転送バイト数は64Mバイトになります。

12.2.10 DMA 割り込み制御レジスタ (DMICR)

アドレス H'FF46 0508

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
DINTM0	DINTM1	DINTM2	DINTM3	DINTM4	DINTM5	DINTM6	DINTM7	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15	DINTM0	DMA0割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b14	DINTM1	DMA1割り込み許可ビット		R/W
b13	DINTM2	DMA2割り込み許可ビット		R/W
b12	DINTM3	DMA3割り込み許可ビット		R/W
b11	DINTM4	DMA4割り込み許可ビット		R/W
b10	DINTM5	DMA5割り込み許可ビット		R/W
b9	DINTM6	DMA6割り込み許可ビット		R/W
b8	DINTM7	DMA7割り込み許可ビット		R/W
b7-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

DINTMi ビット

DINTMi ビットを“1”にすると、DMAi の DMA 転送完了時に DMAi 割り込み要求が発生します。“0”にすると、割り込み要求は発生しません。

12.2.11 DMA 起動レジスタ (DMSTR)

アドレス H'FF46 0501



ビット	シンボル	ビット名	機能	R/W
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	DMST	DMACモジュール起動ビット	0 : DMAC停止 1 : DMAC動作	R/W

DMST ビット

DMST ビットを“1”にすると DMAC モジュールが起動します。

オペランド転送方式で転送中に DMST ビットを“0”にすると、転送中の 1 オペランド転送が完了してから、全チャネルが DMA 転送を一時停止します。その後“1”にすると、DMA 転送を再開します。ノンストップ転送中は DMST ビットが“0”になっても一時停止せず、DMA 転送完了まで転送します。

12.2.12 DMA 転送ステータスレジスタ (DMSR)

アドレス H'FF46 0518

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
DASTS0	DASTS1	DASTS2	DASTS3	DASTS4	DASTS5	DASTS6	DASTS7	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15	DASTS0	DMA0 アービトレーションステータスフラグ	読み出し時 0: データ転送中でない 1: データ転送中 (1オペランド転送中またはノンストップ転送中) 書き込み時 0: 無効 1: DASTSi フラグ (i = 0 ~ 7) を“0”にする	R/W
b14	DASTS1	DMA1 アービトレーションステータスフラグ		R/W
b13	DASTS2	DMA2 アービトレーションステータスフラグ		R/W
b12	DASTS3	DMA3 アービトレーションステータスフラグ		R/W
b11	DASTS4	DMA4 アービトレーションステータスフラグ		R/W
b10	DASTS5	DMA5 アービトレーションステータスフラグ		R/W
b9	DASTS6	DMA6 アービトレーションステータスフラグ		R/W
b8	DASTS7	DMA7 アービトレーションステータスフラグ		R/W
b7-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

DASTSi ビット

DMA_i のデータ転送 (1 オペランド転送またはノンストップ転送) が開始されると DASTSi フラグが“1”になり、データ転送が完了すると“0”になります。DASTSi フラグはプログラムで“1”を書くと“0”になります。このとき書いた“1”は保持されません。“0”を書いた場合は無効です。

12.2.13 DMA 転送完了ステータスレジスタ (DMCSR)

アドレス H'FF46 0514

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
DEDET0	DEDET1	DEDET2	DEDET3	DEDET4	DEDET5	DEDET6	DEDET7	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15	DEDET0	DMA0 DMA転送完了検出フラグ	読み出し時 0: 未検出 1: 検出 書き込み時 0: 無効 1: DEDETi フラグ(i = 0 ~ 7)を“0”にする	R/W
b14	DEDET1	DMA1 DMA転送完了検出フラグ		R/W
b13	DEDET2	DMA2 DMA転送完了検出フラグ		R/W
b12	DEDET3	DMA3 DMA転送完了検出フラグ		R/W
b11	DEDET4	DMA4 DMA転送完了検出フラグ		R/W
b10	DEDET5	DMA5 DMA転送完了検出フラグ		R/W
b9	DEDET6	DMA6 DMA転送完了検出フラグ		R/W
b8	DEDET7	DMA7 DMA転送完了検出フラグ		R/W
b7-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

DEDETi ビット

DMA_i の DMA 転送が完了すると DEDETi フラグが“1”になります。DEDETi フラグは、一度“1”になると自動的に“0”になりません。DEDETi フラグを“0”にするにはプログラムで“1”を書いてください。このとき書いた“1”は保持されません。“0”を書いた場合は無効です。

DMA 割り込みを使用する場合、割り込みルーチン内で割り込み要求が発生しているチャンネルの DEDETi フラグに“1”を書いてください。

12.3 動作説明

12.3.1 転送モード

転送モードには、バスアクセス方式の異なる 2 つのモードがあります。内部メインバスの構成は次のとおりです。ターゲットが異なれば、マスタからのバスアクセスは同時並行動作が可能です。

- 内部メインバスマスタ : CPU、DMAC のソース、DMAC のデスティネーション
- 内部メインバスターゲット : 内蔵 SRAM、内蔵 FlashROM、周辺機能

12.3.1.1 サイクルスチール転送モード

1 データのリードアクセスとライトアクセスの間に少なくとも 1 サイクル空けて転送します。この間に、DMAC がアクセスしているターゲットへの CPU からのアクセスが可能となります。

12.3.1.2 パイプライン転送モード

バスアクセスを連続して行います。1 オペランド転送完了まで DMAC がアクセスしているターゲットへの CPU からのアクセスは受け付けられません。なお、同一ターゲット間のパイプライン転送はできません。

図 12.2 に転送モードによる DMAC と CPU のバス権例を示します。

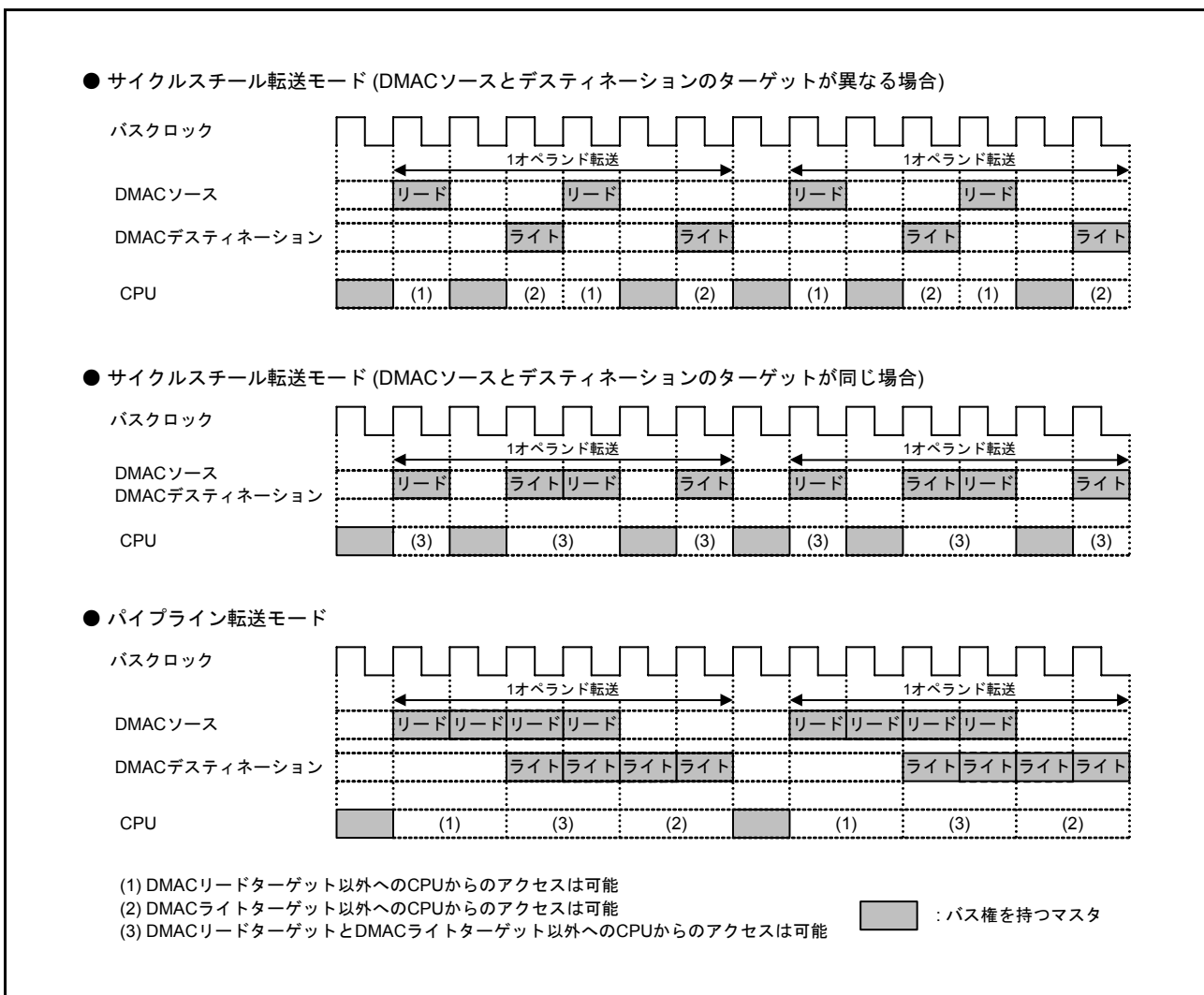


図 12.2 転送モードによる DMAC と CPU のバス権例

12.3.2 転送方式

転送方式には、オペランド転送とノンストップ転送があり、オペランド転送方式には単一オペランド転送と連続オペランド転送があります。単一オペランド転送は1回のDMA要求で1オペランドのみ転送し、連続オペランド転送は1回のDMA要求で1オペランドずつDMA転送完了まで転送します。ノンストップ転送は1回のDMA要求でDMA転送完了までデータを連続して転送します。

なお、転送方式にかかわらず1回のDMA転送はDMiCNTカウンタに設定したバイト数分のデータを転送してDMiCNTカウンタが“H'0000 000”になったときにDMA転送完了となります。表12.7に転送方式を示します。

表 12.7 転送方式

DMiCR0レジスタ (i = 0 ~ 7)のDSELビット	転送方式	1回のDMA要求で 転送するバイト数
B'00 (単一オペランド転送)	<ul style="list-style-type: none"> • DMA転送開始で1オペランドのデータを転送する • DMA転送完了までDMA要求のたびに1オペランドを転送する • 1オペランド転送完了後にチャンネル調停を行う • 1オペランド転送完了ごとにDMA要求が必要 	1オペランドのデータ数× ビット長に応じたバイト数
B'01 (連続オペランド転送)	<ul style="list-style-type: none"> • DMA転送開始で1オペランドのデータを転送する • DMA転送完了まで1オペランドずつ転送する • 1オペランド転送完了ごとにチャンネル調停を行う • DMA要求は最初のみ 	DMiCNTカウンタに設定した バイト数
B'11 (ノンストップ転送)	<ul style="list-style-type: none"> • DMA転送開始でデータを連続して転送する • DMA転送完了まで続けて転送する • DMA転送完了までチャンネル調停を行わない • DMA要求は最初のみ 	DMiCNTカウンタに設定した バイト数

オペランド転送方式の場合は、1オペランド転送完了時のチャンネル調停で優先順位の高いチャンネルのDMA要求があればそちらが実行され、なければ続けて次の1オペランドを転送します。ただし、単一オペランド転送の場合は、DMA要求がなければ次の1オペランドは転送しません。

ノンストップ転送方式の場合は、DMA転送開始からDMA転送完了まで連続してデータ転送を行いますので、DMA転送中に優先順位の高いチャンネルのDMA要求があっても受け付けません。

図12.3に転送方式による転送例を示します。

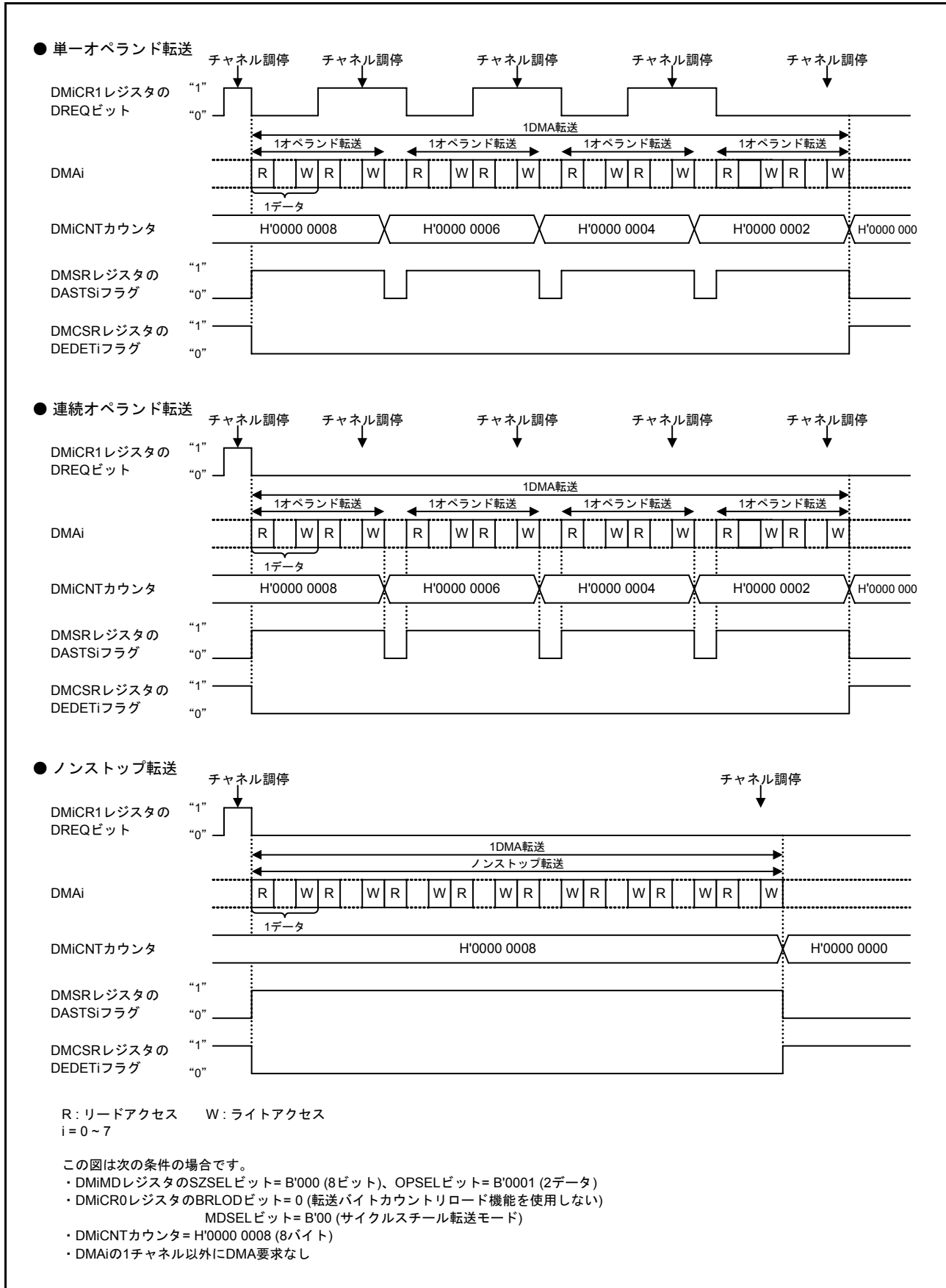


図 12.3 転送方式による転送例

12.3.3 DMAC の起動

図 12.4 にレジスタの設定手順を示します。

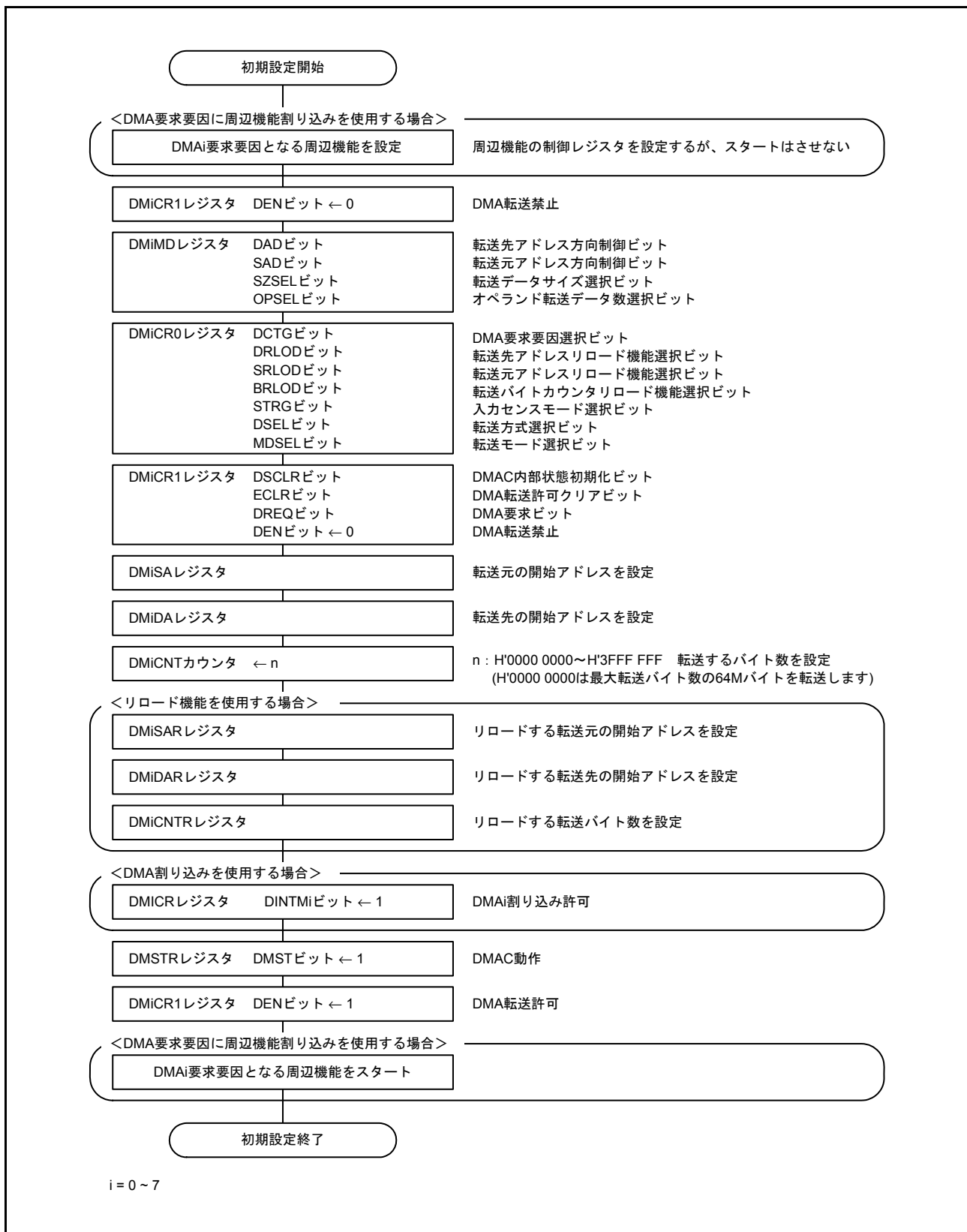


図 12.4 レジスタの設定手順

12.3.4 DMA 転送の開始

DMiCR1 レジスタ ($i=0\sim 7$) の DEN ビットを“1”(DMA 転送許可)にして、DMSTR レジスタの DMST ビットを“1”(DMAC 動作)にすると、DMA i の DMA 転送が可能になります。DMA 要求が発生するとチャンネル調停を行い、優先順位の高いチャンネルの DMA 要求が受け付けられ、DMA 転送を開始します。DMA 要求が受け付けられ DMA 転送が開始すると DMSR レジスタの DASTSi フラグが“1”(データ転送中)になります。

12.3.5 DMA 転送の完了

DMiCNT カウンタが“H'0000 0000”になると DMA i の DMA 転送が完了し、以下の処理を行います。

- DMCSR レジスタの DEDETi フラグが“1”(DMA 転送完了を検出)になる。
- DMiCR レジスタの DINTMi ビットが“1”(割り込み許可)の場合は、DMA i 割り込み要求が発生する。
- DMiCR1 レジスタの ECLR ビットが“1”の場合は、DEN ビットが“0”(DMA 転送禁止)になり、以降 DMA i の DMA 転送は行わない。
- リロード機能を使用する場合は、リロードレジスタの値がカレントレジスタにリロードされる。

12.3.6 DMA 転送の一時停止、再開、中止

オペランド転送方式で DMA 転送中に、DMST ビットを“0”(DMAC 停止)にすると全チャンネルの DMA 転送が一時停止し、DEN ビットを“0”(DMA 転送禁止)にすると対応するチャンネルの DMA 転送が一時停止します。このときデータ転送中だった場合は、転送中の 1 オペランド転送が完了してから一時停止します。

ノンストップ転送中は、DMST ビットまたは DEN ビットが“0”になっても一時停止せず、DMA 転送完了まで転送します。

なお、一時停止したチャンネルは、DMST ビットまたは DEN ビットを“1”にすることで、DMA 転送を再開します。

また、各チャンネルを一時停止させた状態で DMiCR1 レジスタの DSCLR ビットに“1”を書くと、DMA 転送を中止し、DMAC の内部状態を初期化します。ただし、このとき初期化されるのは DMAC 内部回路の転送ステータスのみで、各レジスタは初期化されません。

12.3.7 DMA 要求要因

DMA 要求要因には、ソフトウェアトリガ、周辺機能割り込みが選択できます。

12.3.7.1 ソフトウェアトリガ

DMA 要求要因にソフトウェアトリガを選択した場合、DMiCR1 レジスタ ($i=0\sim 7$) の DREQ ビットにプログラムで“1”(DMA 要求あり)を書くと DMA 要求が発生します。DREQ ビットは DMA 転送状態にかかわらず“1”にすることができますが、DREQ ビットを“0”(DMA 要求なし)にする場合は、DMAC 停止または、対応するチャンネルの DMA 転送禁止でデータ転送中でないときに書いてください。

12.3.7.2 周辺機能割り込み

DMA 要求要因に各周辺機能の割り込み要求を選択した場合、選択した周辺機能の割り込み要求が発生すると DMA 要求が発生します。ただし、DMAC は IMASK や IPR、割り込み制御レジスタの影響を受けないので、割り込み要求の受け付けが禁止されている場合でも DMA 転送は行われます。また、各周辺機能の割り込み要求による DMA 要求が発生すると、割り込み要求レジスタの IR ビットは“1”になりますが、DMA 転送が行われても IR ビットは“0”になりません。

12.3.8 チャンネル調停

DMACは複数のDMA要求があるとき、DMA要求のあるチャンネルの優先順位を判断します。チャンネルの優先順位は、DMA0 > DMA1 > … > DMA6 > DMA7の順で固定です。データ転送中にDMA要求が発生した場合は、最終データのライトアクセス開始時にチャンネル調停を開始します。したがって、データ転送中に優先順位の高いチャンネルのDMA要求が発生した場合は、データ転送が完了した後に、優先順位の高いチャンネルの転送が開始されます。図12.5に多重DMA要求のチャンネル調停例を示します。

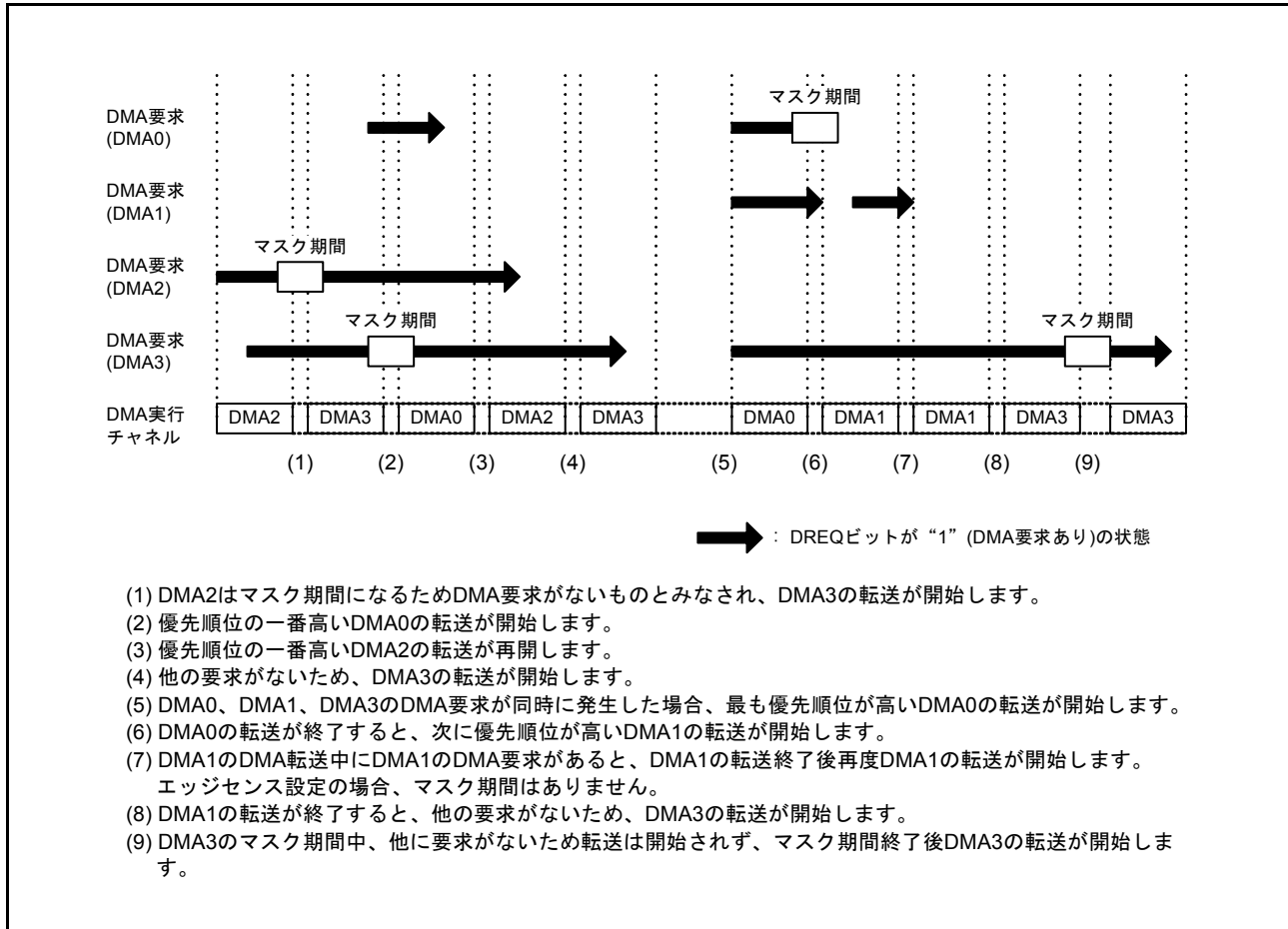


図 12.5 多重 DMA 要求のチャンネル調停例

12.3.9 リロード機能

リロード機能は、DMA 転送完了時にリロードレジスタ (DMiSAR、DMiDAR、DMiCNTR レジスタ) ($i=0\sim 7$) の値をカレントレジスタ (DMiSA、DMiDA、DMiCNT レジスタ) にリロードする機能で、転送元アドレス、転送先アドレス、転送バイトカウントで使用できます。リロード機能を使用すると、離れて配置された領域の連続転送が可能ですので、転送領域やバイト数の異なる複数の転送ブロックを、同じチャンネルで連続して転送することができます。また、転送が完了する前にリロードレジスタに値を書くことで、DMA 転送中のカレントレジスタに影響を与えることなく次の転送準備ができます。

リロード機能を使用する場合は、リロードレジスタとカレントレジスタの両方にデータを設定してください。リロードレジスタは DMA 転送完了となる最終データ転送の開始までに設定してください。最終データ転送開始後に設定すると、DMA 転送完了後のリロード時に間に合わない場合があります。リロード機能を使用しない場合は、DMiCR1 レジスタの ECLR ビットを“1”にして、DEN ビットがクリアされるようにしてください。

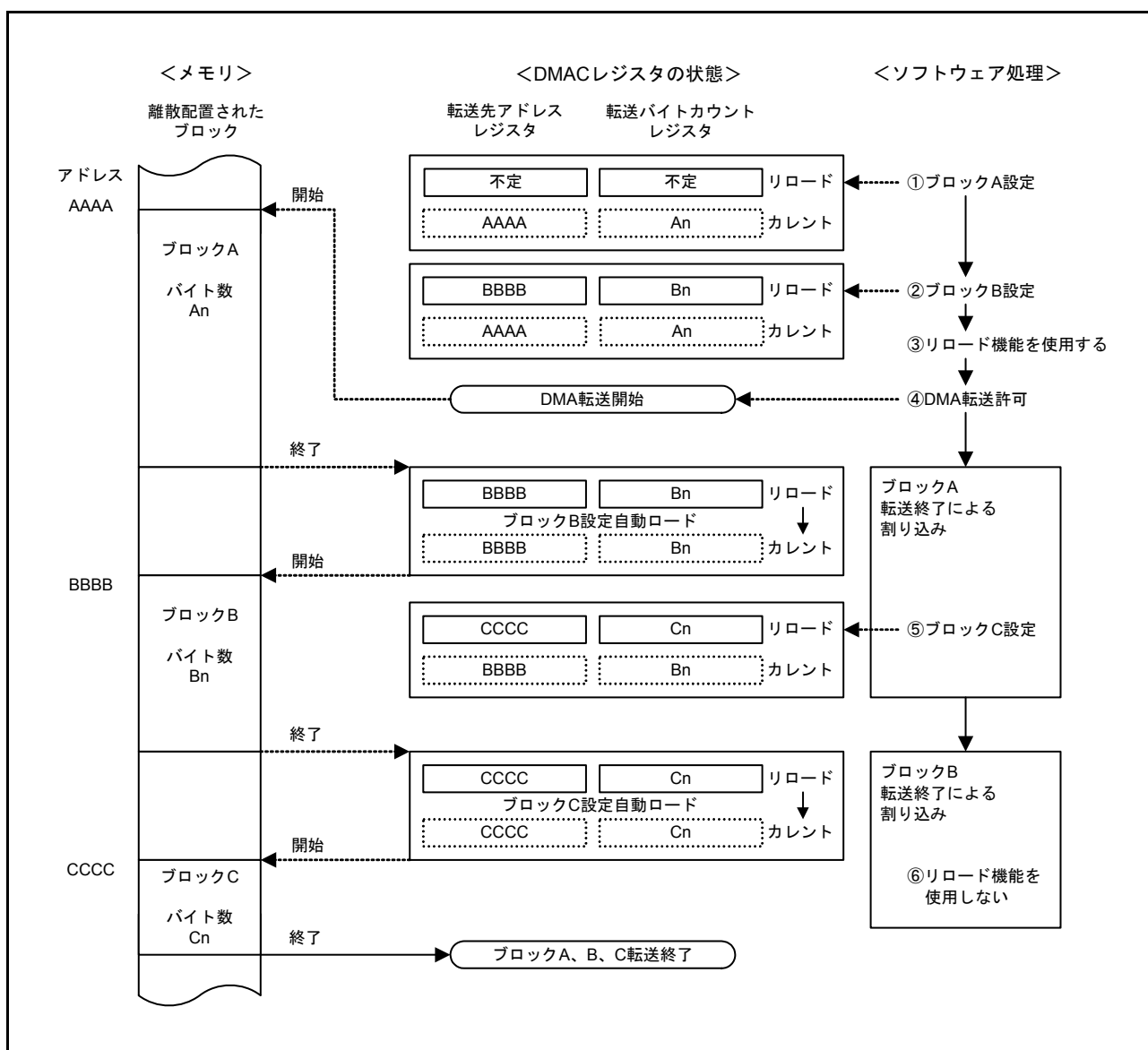


図 12.6 リロード機能を使用した転送例

12.4 割り込み

DMICR レジスタの DINTMi ビット ($i=0\sim 7$) が “1” (割り込み許可) のとき、DMAi の DMA 転送が完了すると、DMAi 割り込み要求が発生します。DMA 割り込みを使用する場合は、割り込みルーチン内で、割り込み要求が発生しているチャンネルの DMCSR レジスタの DEDETi フラグに “1” を書いてください。DEDETi フラグが “0” になります。

12.5 DMAC の注意事項

12.5.1 レジスタの設定

- 次のビットまたはレジスタを設定する場合は、DMAC 停止 (DMSTR レジスタの DMST ビットが“0”) または、対応するチャンネルの DMA 転送禁止 (DMiCR1 レジスタの DEN ビットが“0”) でデータ転送中でない (DMSR レジスタの DASTSi フラグが“0”) ときに設定してください。
 DMiMD、DMiCR1、DMiSA、DMiDA、DMiCNT レジスタ
 DMiCR0 レジスタの DCTG、STRG、DSEL、MDSEL ビット
 DMiCR1 レジスタの DSCLR ビット
 DMiCR1 レジスタの DREQ ビットに“0”を書く (ただし DREQ ビットに“1”を書くときは DMA 転送状態にかかわらず書けます。)
- 次のレジスタへは 32 ビットでアクセスしてください。
 DMiMD、DMiSA、DMiDA、DMiCNT、DMiSAR、DMiDAR、DMiCNTR レジスタ
- DMiCR1 レジスタの ECLR ビットは DASTSi フラグが“0”のとき書いてください。リロード機能を使用しない場合は、ECLR ビットを“1”にして DEN ビットがクリアされるようにしてください。
- DCTG ビットまたは STRG ビットを設定した場合は、必ず設定したチャンネルの DREQ ビットを“0”にした後に、DMST ビットを“1”および DEN ビットを“1”してください。
- DREQ ビットは、DMST ビットおよび DEN ビットの設定にかかわらず、DMA 要求の有無により変化します。DMA 要求要因がソフトウェアトリガ以外の場合、DREQ ビットにプログラムで“1”を書かないでください。
- アドレスと転送バイト数は、ビット長に応じてアライメントのとれた値を各レジスタに設定してください。表 12.8 にビット長によるアライメントとレジスタ下位 2 ビットの設定値を示します。

表 12.8 ビット長によるアライメントとレジスタ下位 2 ビットの設定値

DMiMD レジスタの SZSEL ビット	アライメント	アドレスレジスタ		バイトカウンタ	
		b1	b0	b1	b0
B'000 (8 ビット)	整数倍	—	—	—	—
B'001 (16 ビット)	2 の倍数	—	0	—	0
B'010 (32 ビット)	4 の倍数	0	0	0	0

【記号説明】 — : 0 でも 1 でもよい

13. I/Oポート

13.1 概要

I/Oポートは、ポートA~G、J~L、Nの80本(SH72A2グループ)/46本(SH72A0グループ)から構成されています。各ポートは、ポート方向レジスタにより、入力ポートまたは出力ポートとして使用できます(PN00~PN05は入力専用ポート)。また、各ポートは、内蔵周辺モジュールの信号とマルチプレクスになっています。マルチプレクスの端子機能の選択は各ポートの対応する機能選択レジスタで設定します。さらに入力しきい値切り替えなどの機能を内蔵しています。

表13.1にI/Oポートの仕様を示します。図13.1、図13.2にI/Oポートの回路図を示します。

表13.1 I/Oポートの仕様

項目	内容	
ポート数	SH72A2グループ(合計80本) ポートA : PA00 ~ PA05(6本) ポートB : PB12 ~ PB15(4本) ポートC : PC08 ~ PC12(5本) ポートD : PD00 ~ PD10(11本) ポートE : PE00 ~ PE07(8本) ポートF : PF00 ~ PF02, PF07(4本) ポートG : PG00 ~ PG03, PG10 ~ PG13(8本) ポートJ : PJ00 ~ PJ11(12本) ポートK : PK00, PK01, PK08 ~ PK15(10本) ポートL : PL10 ~ PL15(6本) ポートN : PN00 ~ PN05(6本)(入力専用)	SH72A0グループ(合計46本) ポートA : PA00, PA01, PA03 ~ PA05(5本) ポートC : PC08, PC09(2本) ポートD : PD00 ~ PD07(8本) ポートE : PE00 ~ PE07(8本) ポートG : PG00 ~ PG03, PG10 ~ PG12(7本) ポートJ : PJ04 ~ PJ05, PJ08 ~ PJ09(4本) ポートK : PK00, PK01, PK08, PK12, PK14, PK15(6本) ポートN : PN00 ~ PN05(6本)(入力専用)
ポート機能	ポート方向レジスタにより、ポート単位で入力または出力を設定可能(ポートNを除く)	
内部プルアップ抵抗	ポート単位の端子(注1)ごとに設定可能(注2)	
入力しきい値切り替え機能	入力しきい値をポート単位の端子(注1)ごとに3種類の電圧レベル(0.5VCC/0.7VCC/TTLレベル)から選択可能 周辺機能の入力端子として使用する場合にも本機能の設定が必要です ポートK、ポートLは、電圧レベルがAVCC1 ポートNは、電圧レベルがAVCC0	

注1. Pn00~07または、Pn08~15のうち有効な端子(n:A、B、C、D、E、F、G、J、K、L、N)

注2. 内部プルアップ抵抗設定は、アナログ入力端子使用時は無効となります。

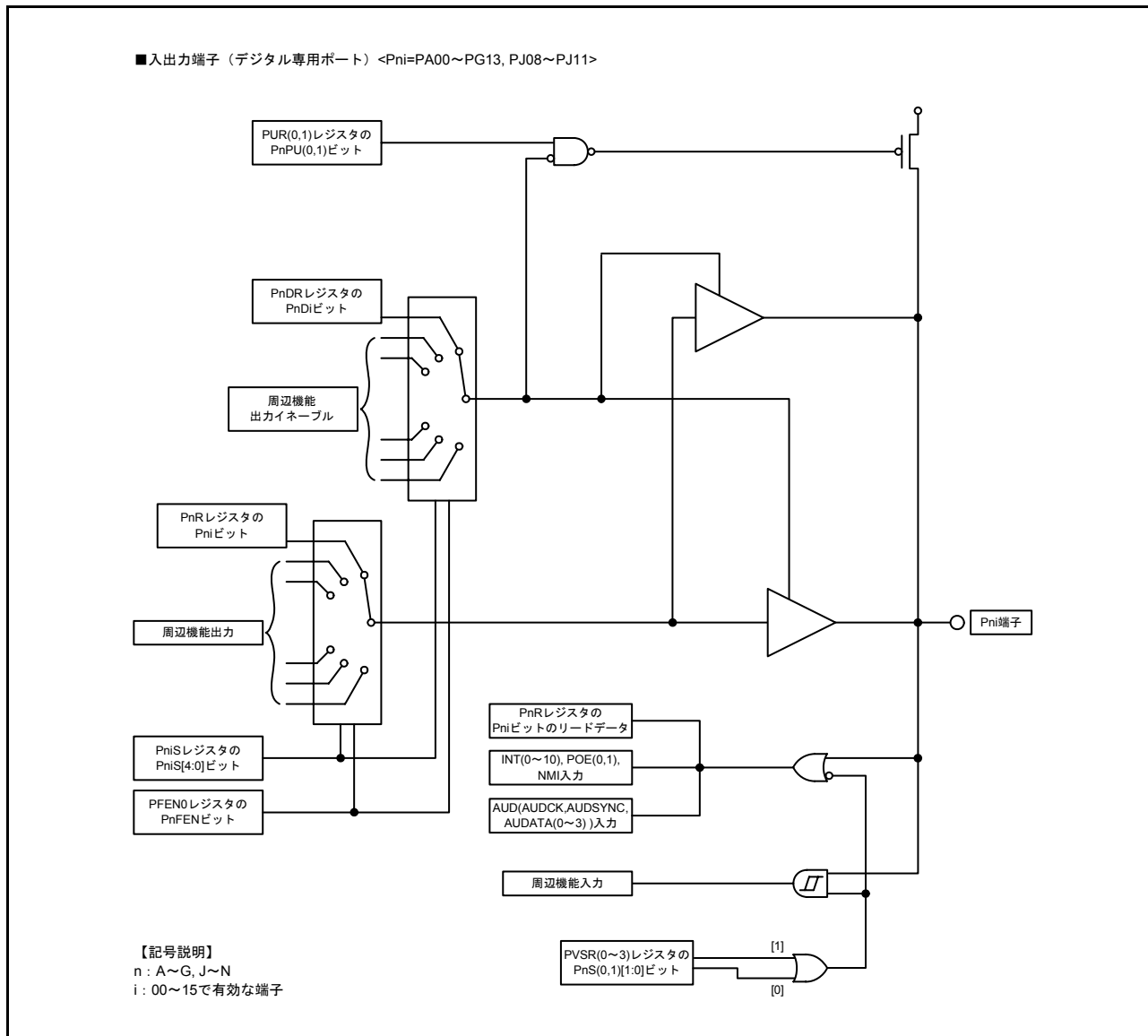


図 13.1 I/O ポートの回路図 (1)

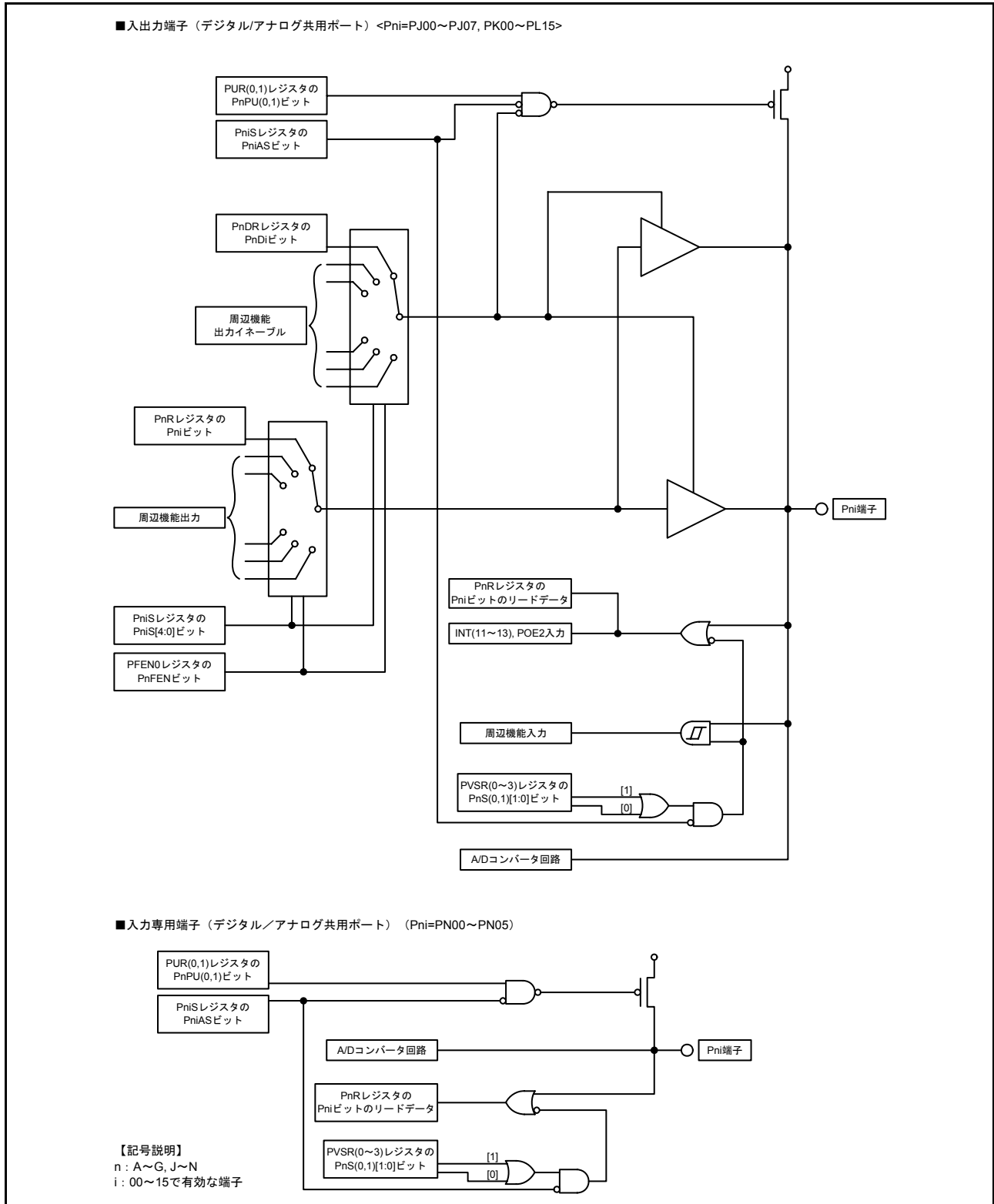


図 13.2 I/Oポートの回路図 (2)

表 13.2～表 13.12 に各ポートのマルチプレクス端子機能一覧を示します。

表 13.2 ポートAのマルチプレクス端子機能の一覧

機能1 (関連 モジュール)	機能2 (関連 モジュール)	機能3 (関連 モジュール)	機能4 (関連 モジュール)	機能5 (関連 モジュール)	機能6 (関連 モジュール)	機能7 (関連 モジュール)	機能8 (関連 モジュール)	機能9 (関連 モジュール)	機能10 (関連 モジュール)	機能11 (関連 モジュール)	機能12 (関連 モジュール)	機能13 (関連 モジュール)
PA00 (ポート)	INT2 (INTC)	—	—	—	CTX0 (CAN)	—	—	—	—	—	—	—
PA01 (ポート)	INT1 (INTC)	—	—	—	CRX0 (CAN)	—	—	—	—	—	—	—
PA02 (注1) (ポート)	—	—	—	—	—	—	—	—	—	—	—	—
PA03 (ポート)	—	—	—	—	CTX1 (CAN)	—	—	—	—	—	—	—
PA04 (ポート)	INT0 (INTC)	—	—	—	CRX1 (CAN)	—	—	—	—	—	—	—
PA05 (ポート)	NMI/ POE0# (INTC)	—	—	—	—	—	—	—	—	—	—	—

注1. SH72A0グループでは、PA02端子はありません。

表 13.3 ポートBのマルチプレクス端子機能の一覧

機能1 (関連 モジュール)	機能2 (関連 モジュール)	機能3 (関連 モジュール)	機能4 (関連 モジュール)	機能5 (関連 モジュール)	機能6 (関連 モジュール)	機能7 (関連 モジュール)	機能8 (関連 モジュール)	機能9 (関連 モジュール)	機能10 (関連 モジュール)	機能11 (関連 モジュール)	機能12 (関連 モジュール)	機能13 (関連 モジュール)
PB12 (注1) (ポート)	—	—	—	—	—	—	—	—	—	—	—	—
PB13 (注1) (ポート)	—	—	—	SCK3 (SCI)	—	—	—	—	—	—	—	—
PB14 (注1) (ポート)	—	TP04C (TPU)	—	RXD3 (SCI)	—	LRX2 (LIN)	—	—	—	—	—	—
PB15 (注1) (ポート)	—	TP04D (TPU)	—	TXD3 (SCI)	—	LTX2 (LIN)	—	—	—	—	ADTRG#	—

注1. SH72A0グループでは、ポートB端子はありません。

表 13.4 ポートCのマルチプレクス端子機能の一覧

機能1 (関連 モジュール)	機能2 (関連 モジュール)	機能3 (関連 モジュール)	機能4 (関連 モジュール)	機能5 (関連 モジュール)	機能6 (関連 モジュール)	機能7 (関連 モジュール)	機能8 (関連 モジュール)	機能9 (関連 モジュール)	機能10 (関連 モジュール)	機能11 (関連 モジュール)	機能12 (関連 モジュール)	機能13 (関連 モジュール)
PC08 (ポート)	—	TP04A (TPU)	TIOC1B/ TCLKA (MTU-III)	RXD3 (SCI)	—	—	—	—	—	—	—	—
PC09 (ポート)	—	TP04B (TPU)	TCLKB (MTU-III)	TXD3 (SCI)	—	—	—	—	—	—	—	—
PC10 (注1) (ポート)	—	—	TIC5W (MTU-III)	SCK3 (SCI)	—	—	—	MOSI3 (SBI)	—	—	—	—
PC11 (注1) (ポート)	—	—	TIC5V (MTU-III)	—	—	—	—	RSPCK3 (SBI)	—	—	—	—
PC12 (注1) (ポート)	—	—	TIC5U (MTU-III)	—	—	—	—	MISO3 (SBI)	—	—	—	—

注1. SH72A0グループでは、PC10、PC11、PC12端子はありません。

表 13.5 ポートDのマルチプレクス端子機能の一覧

機能1 (関連 モジュール)	機能2 (関連 モジュール)	機能3 (関連 モジュール)	機能4 (関連 モジュール)	機能5 (関連 モジュール)	機能6 (関連 モジュール)	機能7 (関連 モジュール)	機能8 (関連 モジュール)	機能9 (関連 モジュール)	機能10 (関連 モジュール)	機能11 (関連 モジュール)	機能12 (関連 モジュール)	機能13 (関連 モジュール)
PD00 (注1) (ポート)	INT7 (INTC)	TP03A (TPU)	TIOC3B (MTU-III)	—	—	—	—	SSL21 (SBI)	—	—	—	—
PD01 (ポート)	INT6 (INTC)	TP03B (TPU)	TIOC3D (MTU-III)	TXD2 (SCI)	—	—	—	SSL20 (SBI)	—	—	—	—
PD02 (ポート)	INT5 (INTC)	TP03C (TPU)	TIOC4A (MTU-III)	RXD2 (SCI)	—	—	—	MOSI2 (SBI)	—	—	—	—
PD03 (ポート)	—	TP03D (TPU)	TIOC4C (MTU-III)	SCK2 (SCI)	—	—	—	RSPCK2 (SBI)	—	—	—	—
PD04 (ポート)	—	—	TIOC4B (MTU-III)	—	—	LTX2 (LIN)	—	MISO2 (SBI)	—	—	—	—
PD05 (ポート)	—	—	TIOC4D (MTU-III)	—	—	LRX2 (LIN)	—	SSL22 (SBI)	—	—	—	—
PD06 (ポート)	INT4 (INTC)	—	TIOC3A (MTU-III)	TXD2 (SCI)	—	—	—	SSL23 (SBI)	—	—	—	—
PD07 (ポート)	INT3 (INTC)	—	TIOC3C (MTU-III)	RXD2 (SCI)	—	—	—	SSL30 (SBI) (注3)	—	—	—	UBCTR# (デバッグ)
PD08 (注2) (ポート)	—	—	TIOC2A (MTU-III)	—	—	—	—	SSL31 (SBI)	—	—	—	—
PD09 (注2) (ポート)	—	—	TIOC2B (MTU-III)	—	—	—	—	SSL32 (SBI)	—	—	—	—
PD10 (注2) (ポート)	—	—	TIOC1A (MTU-III)	—	—	—	—	SSL33 (SBI)	—	—	—	—

注1. PD00はCLKOUTと兼用です。COCRレジスタのCOEビットを“1”に設定することでCLKOUT機能で使用できます。

注2. SH72A0グループでは、PD08、PD09、PD10端子はありません。

注3. SH72A0グループでは、SSL30 (SBI)はありません。

表 13.6 ポートEのマルチプレクス端子機能の一覧

機能1 (関連 モジュール)	機能2 (関連 モジュール)	機能3 (関連 モジュール)	機能4 (関連 モジュール)	機能5 (関連 モジュール)	機能6 (関連 モジュール)	機能7 (関連 モジュール)	機能8 (関連 モジュール)	機能9 (関連 モジュール)	機能10 (関連 モジュール)	機能11 (関連 モジュール)	機能12 (関連 モジュール)	機能13 (関連 モジュール)
PE00 (ポート)	INT8 (INTC)	TP02C (TPU)	—	—	—	—	—	—	—	—	—	—
PE01 (ポート)	—	—	—	RXD0 (SCI)	—	—	—	—	—	—	—	—
PE02 (ポート)	—	—	—	TXD0 (SCI)	—	—	—	—	—	—	—	—
PE03 (ポート)	—	TP02D (TPU)	—	SCK0 (SCI)	—	—	—	—	—	—	—	—
PE04 (ポート)	—	—	—	—	—	—	—	—	—	—	—	—
PE05 (ポート)	—	—	—	SCK1 (SCI)	—	—	—	—	—	—	—	—
PE06 (ポート)	—	—	—	RXD1 (SCI)	—	—	—	—	—	—	—	—
PE07 (ポート)	—	—	—	TXD1 (SCI)	—	—	—	—	—	—	—	—

表 13.7 ポートFのマルチプレクス端子機能の一覧

機能1 (関連 モジュール)	機能2 (関連 モジュール)	機能3 (関連 モジュール)	機能4 (関連 モジュール)	機能5 (関連 モジュール)	機能6 (関連 モジュール)	機能7 (関連 モジュール)	機能8 (関連 モジュール)	機能9 (関連 モジュール)	機能10 (関連 モジュール)	機能11 (関連 モジュール)	機能12 (関連 モジュール)	機能13 (関連 モジュール)
PF00 (注1) (ポート)	—	—	—	SCK1 (SCI)	—	—	—	SSL13 (SBI)	—	—	—	—
PF01 (注1) (ポート)	—	—	—	—	—	LRX3 (LIN)	—	SSL12 (SBI)	—	—	—	—
PF02 (注1) (ポート)	—	TP02A (TPU)	—	RXD1 (SCI)	—	LTX3 (LIN)	—	SSL11 (SBI)	—	—	—	—
PF07 (注1) (ポート)	INT9 (INTC)	TP02B (TPU)	—	TXD1 (SCI)	—	—	—	—	—	—	—	—

注1. SH72A0グループでは、ポートF端子はありません。

表 13.8 ポートGのマルチプレクス端子機能の一覧

機能1 (関連 モジュール)	機能2 (関連 モジュール)	機能3 (関連 モジュール)	機能4 (関連 モジュール)	機能5 (関連 モジュール)	機能6 (関連 モジュール)	機能7 (関連 モジュール)	機能8 (関連 モジュール)	機能9 (関連 モジュール)	機能10 (関連 モジュール)	機能11 (関連 モジュール)	機能12 (関連 モジュール)	機能13 (関連 モジュール)
PG00 (ポート)	—	—	TIOC7A (MTU-III)	—	—	—	—	MISO0 (SBI)	—	—	—	—
PG01 (ポート)	—	—	TIOC7C (MTU-III)	—	—	—	—	SSL00 (SBI)	—	—	—	—
PG02 (ポート)	INT10 (INTC)	—	TIOC7B (MTU-III)	—	—	—	—	SSL01 (SBI)	—	—	—	—
PG03 (ポート)	—	—	TIOC7D (MTU-III)	—	—	—	—	SSL02 (SBI)	—	—	—	—
PG10 (ポート)	—	TP01A (TPU)	TIOC0A (MTU-III)	—	—	—	—	RSPCK1 (SBI)	—	—	—	—
PG11 (ポート)	—	TP01B (TPU)	TIOC0B (MTU-III)	—	—	—	—	MOSI1 (SBI)	—	—	—	—
PG12 (ポート)	—	TP01C (TPU)	TIOC0C (MTU-III)	—	—	—	—	MISO1 (SBI)	—	—	—	—
PG13 (注1) (ポート)	—	TP01D (TPU)	TIOC0D (MTU-III)	—	—	—	—	SSL10 (SBI)	—	—	—	—

注1. SH72A0グループでは、PG13端子はありません。

表 13.9 ポートJのマルチプレクス端子機能の一覧

機能1 (関連 モジュール)	機能2 (関連 モジュール)	機能3 (関連 モジュール)	機能4 (関連 モジュール)	機能5 (関連 モジュール)	機能6 (関連 モジュール)	機能7 (関連 モジュール)	機能8 (関連 モジュール)	機能9 (関連 モジュール)	機能10 (関連 モジュール)	機能11 (関連 モジュール)	機能12 (関連 モジュール)	機能13 (関連 モジュール)
PJ00 (注1) (ポート)	—	TP02A (TPU)	—	—	—	—	—	—	—	—	AN1IN00 (A/D)	—
PJ01 (注1) (ポート)	—	TP02B (TPU)	—	—	—	—	—	—	—	—	AN1IN01 (A/D)	—
PJ02 (注1) (ポート)	—	TP02C (TPU)	—	—	—	—	—	—	—	—	AN1IN02 (A/D)	—
PJ03 (注1) (ポート)	—	TP02D (TPU)	—	—	—	—	—	—	—	—	AN1IN03 (A/D)	—
PJ04 (ポート)	—	TP03A (TPU)	—	—	—	—	—	—	—	—	AN1IN04 (A/D)	—
PJ05 (ポート)	POE1# (INTC)	TP03B (TPU)	—	—	—	—	—	—	—	—	AN1IN05 (A/D)	—
PJ06 (注1) (ポート)	—	—	TCLKC (MTU-III)	—	—	—	—	—	—	—	AN1IN06 (A/D)	—
PJ07 (注1) (ポート)	INT11 (INTC)	—	TCLKD (MTU-III)	—	—	—	—	SSL03 (SBI)	—	—	AN1IN07 (A/D)	—
PJ08 (ポート)	—	—	TIOC6B (MTU-III)	—	—	—	—	MOSI0 (SBI)	—	—	—	—
PJ09 (ポート)	—	—	TIOC6D (MTU-III)	—	—	—	—	RSPCK0 (SBI)	—	—	—	—
PJ10 (注1) (ポート)	—	TP03C (TPU)	TIOC6A (MTU-III)	—	—	—	—	—	—	—	—	—
PJ11 (注1) (ポート)	—	TP03D (TPU)	TIOC6C (MTU-III)	—	—	—	—	—	—	—	—	—

注1. SH72A0グループでは、PJ00、PJ01、PJ02、PJ03、PJ06、PJ07、PJ10、PJ11端子はありません。

表 13.10 ポートKのマルチプレクス端子機能の一覧

機能1 (関連 モジュール)	機能2 (関連 モジュール)	機能3 (関連 モジュール)	機能4 (関連 モジュール)	機能5 (関連 モジュール)	機能6 (関連 モジュール)	機能7 (関連 モジュール)	機能8 (関連 モジュール)	機能9 (関連 モジュール)	機能10 (関連 モジュール)	機能11 (関連 モジュール)	機能12 (関連 モジュール)	機能13 (関連 モジュール)
PK00 (ポート)	POE2# (INTC)	—	—	—	—	—	—	—	—	—	AN1IN16 (A/D)	—
PK01 (ポート)	—	—	—	—	—	—	—	—	—	—	AN1IN17 (A/D)	—
PK08 (ポート)	—	—	—	—	—	—	—	—	—	—	AN1IN24 (A/D)	—
PK09 (注1) (ポート)	—	—	—	—	—	—	—	—	—	—	AN1IN25 (A/D)	—
PK10 (注1) (ポート)	INT13 (INTC)	—	—	—	—	—	—	—	—	—	AN1IN26 (A/D)	—
PK11 (注1) (ポート)	INT12 (INTC)	—	—	—	—	—	—	—	—	—	AN1IN27 (A/D)	—
PK12 (ポート)	—	—	—	—	—	—	—	—	—	—	AN1IN28 (A/D)	—
PK13 (注1) (ポート)	—	—	—	—	—	—	—	—	—	—	AN1IN29 (A/D)	—
PK14 (ポート)	—	—	—	—	—	—	—	—	—	—	AN1IN30 (A/D)	—
PK15 (ポート)	—	—	—	—	—	—	—	—	—	—	AN1IN31 (A/D)	—

注1. SH72A0グループでは、PK09、PK10、PK11、PK13端子はありません。

表 13.11 ポートLのマルチプレクス端子機能の一覧

機能1 (関連 モジュール)	機能2 (関連 モジュール)	機能3 (関連 モジュール)	機能4 (関連 モジュール)	機能5 (関連 モジュール)	機能6 (関連 モジュール)	機能7 (関連 モジュール)	機能8 (関連 モジュール)	機能9 (関連 モジュール)	機能10 (関連 モジュール)	機能11 (関連 モジュール)	機能12 (関連 モジュール)	機能13 (関連 モジュール)
PL10 (注1) (ポート)	—	—	—	—	—	—	—	—	—	—	AN1IN42 (A/D)	—
PL11 (注1) (ポート)	—	—	—	—	—	—	—	—	—	—	AN1IN43 (A/D)	—
PL12 (注1) (ポート)	—	TP04A (TPU)	—	—	—	—	—	—	—	—	AN1IN44 (A/D)	—
PL13 (注1) (ポート)	—	TP04B (TPU)	—	—	—	—	—	—	—	—	AN1IN45 (A/D)	—
PL14 (注1) (ポート)	—	TP04C (TPU)	—	—	—	—	—	—	—	—	AN1IN46 (A/D)	—
PL15 (注1) (ポート)	—	TP04D (TPU)	—	—	—	—	—	—	—	—	AN1IN47 (A/D)	—

注1. SH72A0グループでは、ポートL端子はありません。

表 13.12 ポートNのマルチプレクス端子機能の一覧

機能1 (関連 モジュール)	機能2 (関連 モジュール)	機能3 (関連 モジュール)	機能4 (関連 モジュール)	機能5 (関連 モジュール)	機能6 (関連 モジュール)	機能7 (関連 モジュール)	機能8 (関連 モジュール)	機能9 (関連 モジュール)	機能10 (関連 モジュール)	機能11 (関連 モジュール)	機能12 (関連 モジュール)	機能13 (関連 モジュール)
PN00 (ポート)	—	—	—	—	—	—	—	—	—	—	AN0IN00 (A/D)	—
PN01 (ポート)	—	—	—	—	—	—	—	—	—	—	AN0IN01 (A/D)	—
PN02 (ポート)	—	—	—	—	—	—	—	—	—	—	AN0IN02 (A/D)	—
PN03 (ポート)	—	—	—	—	—	—	—	—	—	—	AN0IN03 (A/D)	—
PN04 (ポート)	—	—	—	—	—	—	—	—	—	—	AN0IN04 (A/D)	—
PN05 (ポート)	—	—	—	—	—	—	—	—	—	—	AN0IN05 (A/D)	—

13.2 レジスタの説明

表 13.13～表 13.15 に I/O ポートのレジスタ一覧を示します。

表 13.13 I/Oポートのレジスタ一覧(1)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
ポートプロテクトレジスタ	PPR	H'00	H'FF46 4180	8
ポートAレジスタ	PAR	不定	H'FF46 4000	8、16、32
ポートBレジスタ(注1)	PBR	不定	H'FF46 4002	8、16、32
ポートCレジスタ	PCR	不定	H'FF46 4004	8、16、32
ポートDレジスタ	PDR	不定	H'FF46 4006	8、16、32
ポートEレジスタ	PER	不定	H'FF46 4008	8、16、32
ポートFレジスタ(注1)	PFR	不定	H'FF46 400A	8、16、32
ポートGレジスタ	PGR	不定	H'FF46 400C	8、16、32
ポートJレジスタ	PJR	不定	H'FF46 4012	8、16、32
ポートKレジスタ	PKR	不定	H'FF46 4014	8、16、32
ポートLレジスタ(注1)	PLR	不定	H'FF46 4016	8、16、32
ポートNレジスタ	PNR	不定	H'FF46 401A	8、16、32
ポートA方向レジスタ	PADR	H'0000	H'FF46 4020	8、16、32
ポートB方向レジスタ(注1)	PBDR	H'0000	H'FF46 4022	8、16、32
ポートC方向レジスタ	PCDR	H'0000	H'FF46 4024	8、16、32
ポートD方向レジスタ	PDDR	H'0000	H'FF46 4026	8、16、32
ポートE方向レジスタ	PEDR	H'0000	H'FF46 4028	8、16、32
ポートF方向レジスタ(注1)	PFDR	H'0000	H'FF46 402A	8、16、32
ポートG方向レジスタ	PGDR	H'0000	H'FF46 402C	8、16、32
ポートJ方向レジスタ	PJDR	H'0000	H'FF46 4032	8、16、32
ポートK方向レジスタ	PKDR	H'0000	H'FF46 4034	8、16、32
ポートL方向レジスタ(注1)	PLDR	H'0000	H'FF46 4036	8、16、32
プルアップ制御レジスタ0	PUR0	H'0000	H'FF46 4040	8、16、32
プルアップ制御レジスタ1	PUR1	H'0000	H'FF46 4042	8、16、32
入力しきい値選択レジスタ0	PVSR0	H'0000	H'FF46 4160	8、16、32
入力しきい値選択レジスタ1	PVSR1	H'0000	H'FF46 4162	8、16、32
入力しきい値選択レジスタ2	PVSR2	H'0000	H'FF46 4164	8、16、32
入力しきい値選択レジスタ3	PVSR3	H'0000	H'FF46 4166	8、16、32
ポート機能選択レジスタ0	PFS0	H'0000	H'FF46 4140	8、16、32
ポート機能選択レジスタ1	PFS1	H'0000	H'FF46 4142	8、16、32
ポート機能選択レジスタ2	PFS2	H'0000	H'FF46 4144	8、16、32
ポート機能選択レジスタ3	PFS3	H'0000	H'FF46 4146	8、16、32
ポートA00機能選択レジスタ	PA00S	H'00	H'FF46 4060	8、16、32
ポートA01機能選択レジスタ	PA01S	H'00	H'FF46 4061	8、16、32
ポートA02機能選択レジスタ(注1)	PA02S	H'00	H'FF46 4062	8、16、32
ポートA03機能選択レジスタ	PA03S	H'00	H'FF46 4063	8、16、32
ポートA04機能選択レジスタ	PA04S	H'00	H'FF46 4064	8、16、32
ポートA05機能選択レジスタ	PA05S	H'00	H'FF46 4065	8、16、32
ポートB12機能選択レジスタ(注1)	PB12S	H'00	H'FF46 4074	8、16、32
ポートB13機能選択レジスタ(注1)	PB13S	H'00	H'FF46 4075	8、16、32

表 13.14 I/Oポートのレジスタ一覧(2)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
ポートB14機能選択レジスタ(注1)	PB14S	H'00	H'FF46 4076	8、16、32
ポートB15機能選択レジスタ(注1)	PB15S	H'00	H'FF46 4077	8、16、32
ポートC08機能選択レジスタ	PC08S	H'00	H'FF46 4080	8、16、32
ポートC09機能選択レジスタ	PC09S	H'00	H'FF46 4081	8、16、32
ポートC10機能選択レジスタ(注1)	PC10S	H'00	H'FF46 4082	8、16、32
ポートC11機能選択レジスタ(注1)	PC11S	H'00	H'FF46 4083	8、16、32
ポートC12機能選択レジスタ(注1)	PC12S	H'00	H'FF46 4084	8、16、32
ポートD00機能選択レジスタ	PD00S	H'00	H'FF46 4088	8、16、32
ポートD01機能選択レジスタ	PD01S	H'00	H'FF46 4089	8、16、32
ポートD02機能選択レジスタ	PD02S	H'00	H'FF46 408A	8、16、32
ポートD03機能選択レジスタ	PD03S	H'00	H'FF46 408B	8、16、32
ポートD04機能選択レジスタ	PD04S	H'00	H'FF46 408C	8、16、32
ポートD05機能選択レジスタ	PD05S	H'00	H'FF46 408D	8、16、32
ポートD06機能選択レジスタ	PD06S	H'00	H'FF46 408E	8、16、32
ポートD07機能選択レジスタ	PD07S	H'00	H'FF46 408F	8、16、32
ポートD08機能選択レジスタ(注1)	PD08S	H'00	H'FF46 4090	8、16、32
ポートD09機能選択レジスタ(注1)	PD09S	H'00	H'FF46 4091	8、16、32
ポートD10機能選択レジスタ(注1)	PD10S	H'00	H'FF46 4092	8、16、32
ポートE00機能選択レジスタ	PE00S	H'00	H'FF46 4098	8、16、32
ポートE01機能選択レジスタ	PE01S	H'00	H'FF46 4099	8、16、32
ポートE02機能選択レジスタ	PE02S	H'00	H'FF46 409A	8、16、32
ポートE03機能選択レジスタ	PE03S	H'00	H'FF46 409B	8、16、32
ポートE04機能選択レジスタ	PE04S	H'00	H'FF46 409C	8、16、32
ポートE05機能選択レジスタ	PE05S	H'00	H'FF46 409D	8、16、32
ポートE06機能選択レジスタ	PE06S	H'00	H'FF46 409E	8、16、32
ポートE07機能選択レジスタ	PE07S	H'00	H'FF46 409F	8、16、32
ポートF00機能選択レジスタ(注1)	PF00S	H'00	H'FF46 40A8	8、16、32
ポートF01機能選択レジスタ(注1)	PF01S	H'00	H'FF46 40A9	8、16、32
ポートF02機能選択レジスタ(注1)	PF02S	H'00	H'FF46 40AA	8、16、32
ポートF07機能選択レジスタ(注1)	PF07S	H'00	H'FF46 40AF	8、16、32
ポートG00機能選択レジスタ	PG00S	H'00	H'FF46 40B0	8、16、32
ポートG01機能選択レジスタ	PG01S	H'00	H'FF46 40B1	8、16、32
ポートG02機能選択レジスタ	PG02S	H'00	H'FF46 40B2	8、16、32
ポートG03機能選択レジスタ	PG03S	H'00	H'FF46 40B3	8、16、32
ポートG10機能選択レジスタ	PG10S	H'00	H'FF46 40BA	8、16、32
ポートG11機能選択レジスタ	PG11S	H'00	H'FF46 40BB	8、16、32
ポートG12機能選択レジスタ	PG12S	H'00	H'FF46 40BC	8、16、32
ポートG13機能選択レジスタ(注1)	PG13S	H'00	H'FF46 40BD	8、16、32
ポートJ00機能選択レジスタ(注1)	PJ00S	H'00	H'FF46 40C8	8、16、32
ポートJ01機能選択レジスタ(注1)	PJ01S	H'00	H'FF46 40C9	8、16、32
ポートJ02機能選択レジスタ(注1)	PJ02S	H'00	H'FF46 40CA	8、16、32
ポートJ03機能選択レジスタ(注1)	PJ03S	H'00	H'FF46 40CB	8、16、32
ポートJ04機能選択レジスタ	PJ04S	H'00	H'FF46 40CC	8、16、32

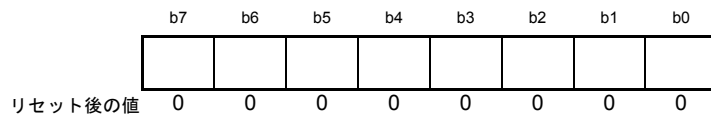
表 13.15 I/Oポートのレジスタ一覧(3)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
ポートJ05機能選択レジスタ	PJ05S	H'00	H'FF46 40CD	8、16、32
ポートJ06機能選択レジスタ(注1)	PJ06S	H'00	H'FF46 40CE	8、16、32
ポートJ07機能選択レジスタ(注1)	PJ07S	H'00	H'FF46 40CF	8、16、32
ポートJ08機能選択レジスタ	PJ08S	H'00	H'FF46 40D0	8、16、32
ポートJ09機能選択レジスタ	PJ09S	H'00	H'FF46 40D1	8、16、32
ポートJ10機能選択レジスタ(注1)	PJ10S	H'00	H'FF46 40D2	8、16、32
ポートJ11機能選択レジスタ(注1)	PJ11S	H'00	H'FF46 40D3	8、16、32
ポートK00機能選択レジスタ	PK00S	H'00	H'FF46 40D8	8、16、32
ポートK01機能選択レジスタ	PK01S	H'00	H'FF46 40D9	8、16、32
ポートK08機能選択レジスタ	PK08S	H'00	H'FF46 40E0	8、16、32
ポートK09機能選択レジスタ(注1)	PK09S	H'00	H'FF46 40E1	8、16、32
ポートK10機能選択レジスタ(注1)	PK10S	H'00	H'FF46 40E2	8、16、32
ポートK11機能選択レジスタ(注1)	PK11S	H'00	H'FF46 40E3	8、16、32
ポートK12機能選択レジスタ	PK12S	H'00	H'FF46 40E4	8、16、32
ポートK13機能選択レジスタ(注1)	PK13S	H'00	H'FF46 40E5	8、16、32
ポートK14機能選択レジスタ	PK14S	H'00	H'FF46 40E6	8、16、32
ポートK15機能選択レジスタ	PK15S	H'00	H'FF46 40E7	8、16、32
ポートL10機能選択レジスタ(注1)	PL10S	H'00	H'FF46 40F2	8、16、32
ポートL11機能選択レジスタ(注1)	PL11S	H'00	H'FF46 40F3	8、16、32
ポートL12機能選択レジスタ(注1)	PL12S	H'00	H'FF46 40F4	8、16、32
ポートL13機能選択レジスタ(注1)	PL13S	H'00	H'FF46 40F5	8、16、32
ポートL14機能選択レジスタ(注1)	PL14S	H'00	H'FF46 40F6	8、16、32
ポートL15機能選択レジスタ(注1)	PL15S	H'00	H'FF46 40F7	8、16、32
ポートN00機能選択レジスタ	PN00S	H'00	H'FF46 4108	8、16、32
ポートN01機能選択レジスタ	PN01S	H'00	H'FF46 4109	8、16、32
ポートN02機能選択レジスタ	PN02S	H'00	H'FF46 410A	8、16、32
ポートN03機能選択レジスタ	PN03S	H'00	H'FF46 410B	8、16、32
ポートN04機能選択レジスタ	PN04S	H'00	H'FF46 410C	8、16、32
ポートN05機能選択レジスタ	PN05S	H'00	H'FF46 410D	8、16、32
ポート機能許可レジスタ0	PFEN0	H'0000	H'FF46 4120	8、16
POE0制御レジスタ	POE0CR	H'0000	H'FF46 41A0	8、16、32
POE1制御レジスタ	POE1CR	H'0000	H'FF46 41A2	8、16、32
POE2制御レジスタ	POE2CR	H'0000	H'FF46 41A4	8、16、32
POEモニタレジスタ	POEM	H'00	H'FF46 41A6	8、16、32

注1. SH72A0グループでは、使用できません。

13.2.1 ポートプロテクトレジスタ (PPR)

アドレス H'FF46 4180



ビット	機能	R/W
b7-b0	PADR ~ PGDR、PJDR ~ PLDR、PVSR0 ~ PVSR3、PFS0 ~ PFS3、PFEN0、POE0CR ~ POE2CR、POEMレジスタに対するプロテクトを制御します。 H'AA : 書き込み許可 H'AA以外 : 書き込み禁止	R/W

ポートプロテクトレジスタ (PPR) は、ポート関連レジスタの書き込み許可 / 禁止を制御するレジスタです。PPR レジスタが保護するレジスタは、以下のレジスタです。

- ポート i 方向レジスタ (i = A ~ G、J ~ L)
- 入力しきい値選択レジスタ 0 ~ 3
- ポート機能選択レジスタ 0 ~ 3
- ポート機能許可レジスタ 0
- POEi 制御レジスタ (i = 0 ~ 2)
- POE モニタレジスタ

これらのレジスタの値を変更する場合は、以下の手順で変更を行ってください。

- (1) PPR レジスタに “H'AA” を書く (各レジスタへの書き込みを許可)
- (2) PADR ~ PGDR、PJDR ~ PLDR、PVSR0 ~ PVSR3、PFS0 ~ PFS3、PFEN0、POE0CR ~ POE2CR、POEM レジスタの値を変更する
- (3) PPR レジスタに “H'AA” 以外を書く (各レジスタへの書き込みを禁止)

13.2.2 ポートiレジスタ (PiR) (i = A ~ G、J ~ L、N)

アドレス PAR : H'FF46 4000

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	PA05	PA04	PA03	PA02 (注1)	PA01	PA00
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

アドレス PBR : H'FF46 4002

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PB15 (注1)	PB14 (注1)	PB13 (注1)	PB12 (注1)	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

アドレス PCR : H'FF46 4004

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PC12 (注1)	PC11 (注1)	PC10 (注1)	PC09	PC08	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

アドレス PDR : H'FF46 4006

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	PD10 (注1)	PD09 (注1)	PD08 (注1)	PD07	PD06	PD05	PD04	PD03	PD02	PD01	PD00
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

アドレス PER : H'FF46 4008

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PE07	PE06	PE05	PE04	PE03	PE02	PE01	PE00
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

アドレス PFR : H'FF46 400A

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PF07 (注1)	—	—	—	—	PF02 (注1)	PF01 (注1)	PF00 (注1)
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

アドレス PGR : H'FF46 400C

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PG13 (注1)	PG12	PG11	PG10	—	—	—	—	—	—	PG03	PG02	PG01	PG00
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

アドレス PJR : H'FF46 4012

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PJ11 (注1)	PJ10 (注1)	PJ09	PJ08	PJ07 (注1)	PJ06 (注1)	PJ05	PJ04	PJ03 (注1)	PJ02 (注1)	PJ01 (注1)	PJ00 (注1)
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

アドレス PKR : H'FF46 4014

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PK15	PK14	PK13 (注1)	PK12	PK11 (注1)	PK10 (注1)	PK09 (注1)	PK08	—	—	—	—	—	—	PK01	PK00
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

アドレス PLR : H'FF46 4016

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PL15 (注1)	PL14 (注1)	PL13 (注1)	PL12 (注1)	PL11 (注1)	PL10 (注1)	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

アドレス PNR : H'FF46 401A

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	PN05	PN04	PN03	PN02	PN01	PN00
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b15	Pi15	ポートi15ビット	対応する方向ビットが“0” (入力)の場合： 書いた場合レジスタに書かれるが、端子には出力されない。読んだ場合対応する端子の状態が読める。 0: 端子の状態はLow 1: 端子の状態はHigh 対応する方向ビットが“1” (出力)の場合： 書いた場合、端子にレベルが出力される。 0: Lowが出力される 1: Highが出力される PFS0レジスタのPRFSビットが“0”で読んだ場合、ポートレジスタの設定値が読み出される。 PFS0レジスタのPRFSビットが“1”で読んだ場合、端子の入力レベルが直接読み出される。	R/W
b14	Pi14	ポートi14ビット		R/W
b13	Pi13	ポートi13ビット		R/W
b12	Pi12	ポートi12ビット		R/W
b11	Pi11	ポートi11ビット		R/W
b10	Pi10	ポートi10ビット		R/W
b9	Pi09	ポートi09ビット		R/W
b8	Pi08	ポートi08ビット		R/W
b7	Pi07	ポートi07ビット		R/W
b6	Pi06	ポートi06ビット		R/W
b5	Pi05	ポートi05ビット		R/W
b4	Pi04	ポートi04ビット		R/W
b3	Pi03	ポートi03ビット		R/W
b2	Pi02	ポートi02ビット		R/W
b1	Pi01	ポートi01ビット		R/W
b0	Pi00	ポートi00ビット		R/W

注1. SH72A0グループでは、以下のポートは何も配置されていない予約ビットです。

- 読むと不定が読み出され、書き込みは“0”としてください。
 - ポートA: b2
 - ポートB: b15 ~ b12
 - ポートC: b12 ~ b10
 - ポートD: b10 ~ b8
 - ポートF: b7、b2 ~ b0

ポートG : b13

ポートJ : b11 ~ b10、b7 ~ b6、b3 ~ b0

ポートK : b13、b11 ~ b9

ポートL : b15 ~ b10

- 注. • 以下のポートのビットは、何も配置されていない予約ビットです。読むと不定が読み出され、書き込みは“0”としてください。

ポートA : b15 ~ b6

ポートB : b11 ~ b0

ポートC : b15 ~ b13、b7 ~ b0

ポートD : b15 ~ b11

ポートE : b15 ~ b8

ポートF : b15 ~ b8、b6 ~ b3

ポートG : b15 ~ b14、b9 ~ b4

ポートJ : b15 ~ b12

ポートK : b7 ~ b2

ポートL : b9 ~ b0

ポートN : b15 ~ b6

- PN00 ~ PN05は入力専用ポートであるため、ポートPN00 ~ PN05ビットは、端子の状態のみ読み出せません。書き込みは“0”としてください。

- 注. • 本レジスタは固定状態の端子をリードするためのレジスタです。変化する信号が端子に加わっている場合、必要に応じて複数回リードする等の処理を実施してください。

13.2.3 ポート i 方向レジスタ (PiDR) (i = A ~ G、J ~ L)

アドレス PADR : H'FF46 4020

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	PAD05	PAD04	PAD03	PAD02 (注1)	PAD01	PAD00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

アドレス PBDR : H'FF46 4022

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PBD15 (注1)	PBD14 (注1)	PBD13 (注1)	PBD12 (注1)	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

アドレス PCDR : H'FF46 4024

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PCD12 (注1)	PCD11 (注1)	PCD10 (注1)	PCD09	PCD08	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

アドレス PDDR : H'FF46 4026

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	PDD10 (注1)	PDD09 (注1)	PDD08 (注1)	PDD07	PDD06	PDD05	PDD04	PDD03	PDD02	PDD01	PDD00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

アドレス PEDR : H'FF46 4028

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PED07	PED06	PED05	PED04	PED03	PED02	PED01	PED00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

アドレス PFDR : H'FF46 402A

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PFD07 (注1)	—	—	—	—	PFD02 (注1)	PFD01 (注1)	PFD00 (注1)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

アドレス PGDR : H'FF46 402C

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PGD13 (注1)	PGD12	PGD11	PGD10	—	—	—	—	—	—	PGD03	PGD02	PGD01	PGD00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

アドレス PJDR : H'FF46 4032

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PJD11 (注1)	PJD10 (注1)	PJD09	PJD08	PJD07 (注1)	PJD06 (注1)	PJD05	PJD04	PJD03 (注1)	PJD02 (注1)	PJD01 (注1)	PJD00 (注1)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

アドレス PKDR : H'FF46 4034

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PKD15	PKD14	PKD13 (注1)	PKD12	PKD11 (注1)	PKD10 (注1)	PKD09 (注1)	PKD08	—	—	—	—	—	—	PKD01	PKD00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

アドレス PLDR : H'FF46 4036

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLD15 (注1)	PLD14 (注1)	PLD13 (注1)	PLD12 (注1)	PLD11 (注1)	PLD10 (注1)	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15	PiD15	ポートi15方向ビット	対応するポートの入出力方向を選択します。 0 : 入力 1 : 出力	R/W
b14	PiD14	ポートi14方向ビット		R/W
b13	PiD13	ポートi13方向ビット		R/W
b12	PiD12	ポートi12方向ビット		R/W
b11	PiD11	ポートi11方向ビット		R/W
b10	PiD10	ポートi10方向ビット		R/W
b9	PiD09	ポートi09方向ビット		R/W
b8	PiD08	ポートi08方向ビット		R/W
b7	PiD07	ポートi07方向ビット		R/W
b6	PiD06	ポートi06方向ビット		R/W
b5	PiD05	ポートi05方向ビット		R/W
b4	PiD04	ポートi04方向ビット		R/W
b3	PiD03	ポートi03方向ビット		R/W
b2	PiD02	ポートi02方向ビット		R/W
b1	PiD01	ポートi01方向ビット		R/W
b0	PiD00	ポートi00方向ビット		R/W

注1. SH72A0グループでは、以下のポートは何も配置されない予約ビットです。

- 読むと不定が読み出され、書き込みは“0”としてください。

ポートA : b2

ポートB : b15 ~ b12

ポートC : b12 ~ b10

ポートD : b10 ~ b8

ポートF : b7, b2 ~ b0

ポートG : b13

ポートJ : b11 ~ b10, b7 ~ b6, b3 ~ b0

ポートK : b13, b11 ~ b9

ポートL : b15 ~ b10

注. 書き換える場合、PPRレジスタを“H'AA” (書き込み許可)にしてから、書き換えてください。

- 以下のポートのビットは、何も配置されていない予約ビットです。読むと“0”が読み出され、書き込みは“0”としてください。

ポートA : b15 ~ b6

ポートB : b11 ~ b0
ポートC : b15 ~ b13、b7 ~ b0
ポートD : b15 ~ b11
ポートE : b15 ~ b8
ポートF : b15 ~ b8、b6 ~ b3
ポートG : b15 ~ b14、b9 ~ b4
ポートJ : b15 ~ b12
ポートK : b7 ~ b2
ポートL : b9 ~ b0

- PN00 ~ PN05は入力専用ポートであるため、方向レジスタはありません。

ポート *i* 方向レジスタ (PiDR) は、対応するポートの入出力方向を選択するためのレジスタです。PiDR レジスタはポートプロテクトレジスタ (PPR) により、意図しない書き込みから保護されています。

13.2.4 プルアップ制御レジスタ 0 (PUR0)

アドレス H'FF46 4040

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	PGPU1	PGPU0	—	PFPU0	—	PEPU0	PDPU1	PDPU0	PCPU1	—	PBPU1	—	—	PAPU0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b14	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b13	PGPU1	PG10 ~ PG13 プルアップ制御ビット	0: PG10 ~ PG13 プルアップしない 1: PG10 ~ PG13 プルアップする (注1)	R/W
b12	PGPU0	PG00 ~ PG03 プルアップ制御ビット	0: PG00 ~ PG03 プルアップしない 1: PG00 ~ PG03 プルアップする	R/W
b11	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b10	PFPU0	PF00 ~ PF2、PF07 プルアップ制御ビット	0: PF00 ~ PF02、PF07 プルアップしない 1: PF00 ~ PF02、PF07 プルアップする (注2)	R/W
b9	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b8	PEPU0	PE00 ~ PE07 プルアップ制御ビット	0: PE00 ~ PE07 プルアップしない 1: PE00 ~ PE07 プルアップする	R/W
b7	PDPU1	PD08 ~ PD10 プルアップ制御ビット	0: PD08 ~ PD10 プルアップしない 1: PD08 ~ PD10 プルアップする (注3)	R/W
b6	PDPU0	PD00 ~ PD07 プルアップ制御ビット	0: PD00 ~ PD07 プルアップしない 1: PD00 ~ PD07 プルアップする	R/W
b5	PCPU1	PC08 ~ PC12 プルアップ制御ビット	0: PC08 ~ PC12 プルアップしない 1: PC08 ~ PC12 プルアップする (注4)	R/W
b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	PBPU1	PB12 ~ PB15 プルアップ制御ビット	0: PB12 ~ PB15 プルアップしない 1: PB12 ~ PB15 プルアップする (注5)	R/W
b2-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	PAPU0	PA00 ~ PA05 プルアップ制御ビット	0: PA00 ~ PA05 プルアップしない 1: PA00 ~ PA05 プルアップする (注6)	R/W

- 注1. PG13は、SH72A0グループでは無効です。
 注2. PF00 ~ PF02、PF07は、SH72A0グループでは無効です。
 注3. PD08 ~ PD10は、SH72A0グループでは無効です。
 注4. PC10 ~ PC12は、SH72A0グループでは無効です。
 注5. PB12 ~ PB15は、SH72A0グループでは無効です。
 注6. PA02は、SH72A0グループでは無効です。

プルアップ制御レジスタ 0 (PUR0) は、ポート A ~ G をポート単位の有効端子ごとにプルアップする / しないを選択するためのレジスタです。

13.2.5 プルアップ制御レジスタ 1 (PUR1)

アドレス H'FF46 4042

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	PNPU0	—	—	PLPU1	—	PKPU1	PKPU0	PJPU1	PJPU0	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b11	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b10	PNPU0	PN00 ~ PN05 プルアップ制御ビット	0: PN00 ~ PN05 プルアップしない 1: PN00 ~ PN05 プルアップする	R/W
b9-b8	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b7	PLPU1	PL10 ~ PL15 プルアップ制御ビット	0: PL10 ~ PL15 プルアップしない 1: PL10 ~ PL15 プルアップする (注1)	R/W
b6	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b5	PKPU1	PK08 ~ PK15 プルアップ制御ビット	0: PK08 ~ PK15 プルアップしない 1: PK08 ~ PK15 プルアップする (注2)	R/W
b4	PKPU0	PK00 ~ PK01 プルアップ制御ビット	0: PK00 ~ PK01 プルアップしない 1: PK00 ~ PK01 プルアップする	R/W
b3	PJPU1	PJ08 ~ PJ11 プルアップ制御ビット	0: PJ08 ~ PJ11 プルアップしない 1: PJ08 ~ PJ11 プルアップする (注3)	R/W
b2	PJPU0	PJ00 ~ PJ07 プルアップ制御ビット	0: PJ00 ~ PJ07 プルアップしない 1: PJ00 ~ PJ07 プルアップする (注4)	R/W
b1-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注1. PL10 ~ PL15は、SH72A0グループでは無効です。

注2. PK09 ~ PK11、PK13は、SH72A0グループでは無効です。

注3. PJ10 ~ PJ11は、SH72A0グループでは無効です。

注4. PJ00 ~ PJ03、PJ06 ~ PJ07は、SH72A0グループでは無効です。

- 注. • A/D機能がマルチプレクスされている端子において、対応するポート機能選択レジスタでアナログ入力端子として使用する場合、該当する端子のプルアップ設定は無効となります。
ただし、プルアップ制御レジスタには反映されません。
- A/D機能がマルチプレクスされている端子において、対応するプルアップ設定とプルダウン設定を同時に有効とした場合、該当する端子のプルアップ設定は無効となります。
また、該当する端子のプルダウン設定はアナログ入力端子として使用する場合は有効となり、アナログ入力端子として使用しない場合は無効となります。
ただし、プルアップ制御レジスタ、アナログポートプルダウンレジスタには反映されません。

プルアップ制御レジスタ 1 (PUR1) は、ポート J~L、N のポート単位の有効端子ごとにプルアップする / しないを選択するためのレジスタです。

13.2.6 入力しきい値選択レジスタ 0 (PVSR0)

アドレス H'FF46 4160

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
PDS1[1:0]		PDS0[1:0]		PCS1[1:0]		—	—	PBS1[1:0]		—	—	—	—	PAS0[1:0]	
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b15-b14	PDS1[1:0]	PD08 ~ PD10 入力レベル設定ビット	PD08 ~ PD10 端子入力しきい値 b15b14 0 0 : 入力禁止状態 0 1 : 0.5VCC 1 0 : 0.70VCC 1 1 : TTLレベル (注1)	R/W
b13-b12	PDS0[1:0]	PD00 ~ PD07 入力レベル設定ビット	PD00 ~ PD07 端子入力しきい値 b13b12 0 0 : 入力禁止状態 0 1 : 0.5VCC 1 0 : 0.70VCC 1 1 : TTLレベル	R/W
b11-b10	PCS1[1:0]	PC08 ~ PC12 入力レベル設定ビット	PC08 ~ PC12 端子入力しきい値 b11b10 0 0 : 入力禁止状態 0 1 : 0.5VCC 1 0 : 0.70VCC 1 1 : TTLレベル (注2)	R/W
b9-b8	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b7-b6	PBS1[1:0]	PB12 ~ PB15 入力レベル設定ビット	PB12 ~ PB15 端子入力しきい値 b7 b6 0 0 : 入力禁止状態 0 1 : 0.5VCC 1 0 : 0.70VCC 1 1 : TTLレベル (注3)	R/W
b5-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1-b0	PAS0[1:0]	PA00 ~ PA05 入力レベル設定ビット	PA00 ~ PA05 端子入力しきい値 b1 b0 0 0 : 入力禁止状態 0 1 : 0.5VCC 1 0 : 0.70VCC 1 1 : TTLレベル (注4)	R/W

注1. PD08 ~ PD10は、SH72A0グループでは無効です。

注2. PC10 ~ PC12は、SH72A0グループでは無効です。

注3. PB12 ~ PB15は、SH72A0グループでは無効です。

注4. PA02は、SH72A0グループでは無効です。

注. 周辺機能の入力端子として使用する場合にも本機能の設定が必要です。

- 書き換える場合、PPRレジスタを“H'AA” (書き込み許可)にしてから、書き換えてください。

入力しきい値選択レジスタ 0 (PVSR0) は、ポート A ~ D をしきい値制御するためのレジスタです。

対応するポート単位の有効端子ごとに入力しきい値を 0.5VCC/0.70VCC/TTL レベルを選択することができます。

リセット後は入力禁止状態 (B'00) になっているため、入力端子として使用する場合、B'00 以外を設定してください。

PVSR0 レジスタはポートプロテクトレジスタ (PPR) により、意図しない書き込みから保護されています。

13.2.7 入力しきい値選択レジスタ 1 (PVSR1)

アドレス H'FF46 4162

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	PGS1 [1:0]	PGS0 [1:0]	—	—	PFS0[1:0]	—	—	PES0[1:0]	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b12	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b11-b10	PGS1 [1:0]	PG10 ~ PG13入力レベル設定ビット	PG10 ~ PG13端子入力しきい値 b11b10 0 0 : 入力禁止状態 0 1 : 0.5VCC 1 0 : 0.70VCC 1 1 : TTLレベル (注1)	R/W
b9-b8	PGS0 [1:0]	PG00 ~ PG03入力レベル設定ビット	PG00 ~ PG03端子入力しきい値 b9 b8 0 0 : 入力禁止状態 0 1 : 0.5VCC 1 0 : 0.70VCC 1 1 : TTLレベル	R/W
b7-b6	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b5-b4	PFS0[1:0]	PF00 ~ PF02、PF07入力レベル設定ビット	PF00 ~ PF02、PF07端子入力しきい値 b5 b4 0 0 : 入力禁止状態 0 1 : 0.5VCC 1 0 : 0.70VCC 1 1 : TTLレベル (注2)	R/W
b3-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1-b0	PES0[1:0]	PE00 ~ PE07入力レベル設定ビット	PE00 ~ PE07端子入力しきい値 b1 b0 0 0 : 入力禁止状態 0 1 : 0.5VCC 1 0 : 0.70VCC 1 1 : TTLレベル	R/W

注1. PG13は、SH72A0グループでは無効です。

注2. PF00 ~ PF02、PF07は、SH72A0グループでは無効です。

注. ・周辺機能の入力端子として使用する場合にも本機能の設定が必要です。

- ・書き換える場合、PPRレジスタを“H'AA” (書き込み許可) にしてから、書き換えてください。

入力しきい値選択レジスタ 1 (PVSR1) は、ポート E ~ G をしきい値制御するためのレジスタです。

対応するポート単位の有効端子ごとに入力しきい値を 0.5VCC/0.70VCC/TTL レベルを選択することができます。

リセット後は入力禁止状態 (B'00) になっているため、入力端子として使用する場合、B'00 以外を設定してください。

PVSR1 レジスタはポートプロテクトレジスタ (PPR) により、意図しない書き込みから保護されています。

13.2.8 入力しきい値選択レジスタ 2 (PVSR2)

アドレス H'FF46 4164

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	PLS1[1:0]	—	—	PKS1[1:0]	PKS0[1:0]	PKS0[1:0]	PJS1[1:0]	PJS0[1:0]	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b12	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b11-b10	PLS1[1:0]	PL10 ~ PL15入力レベル設定ビット	PL10 ~ PL15端子入力しきい値 b11b10 0 0 : 入力禁止状態 0 1 : 0.5AVCC1 1 0 : 0.70AVCC1 1 1 : TTLレベル (注1)	R/W
b9-b8	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b7-b6	PKS1[1:0]	PK08 ~ PK15入力レベル設定ビット	PK08 ~ PK15端子入力しきい値 b7 b6 0 0 : 入力禁止状態 0 1 : 0.5AVCC1 1 0 : 0.70AVCC1 1 1 : TTLレベル (注2)	R/W
b5-b4	PKS0[1:0]	PK00 ~ PK01入力レベル設定ビット	PK00 ~ PK01端子入力しきい値 b5 b4 0 0 : 入力禁止状態 0 1 : 0.5AVCC1 1 0 : 0.70AVCC1 1 1 : TTLレベル	R/W
b3-b2	PJS1[1:0]	PJ08 ~ PJ11入力レベル設定ビット	PJ08 ~ PJ11端子入力しきい値 b3 b2 0 0 : 入力禁止状態 0 1 : 0.5VCC 1 0 : 0.70VCC 1 1 : TTLレベル (注3)	R/W
b1-b0	PJS0[1:0]	PJ00 ~ PJ07入力レベル設定ビット	PJ00 ~ PJ07端子入力しきい値 b1 b0 0 0 : 入力禁止状態 0 1 : 0.5VCC 1 0 : 0.70VCC 1 1 : TTLレベル (注4)	R/W

- 注1. PL10 ~ PL15は、SH72A0グループでは無効です。
 注2. PK09 ~ PK11、PK13は、SH72A0グループでは無効です。
 注3. PJ10 ~ PJ11は、SH72A0グループでは無効です。
 注4. PJ00 ~ PJ03、PJ06 ~ PJ07は、SH72A0グループでは無効です。
 注. 周辺機能の入力端子として使用する場合にも本機能の設定が必要です。
 アナログ端子として使用する場合には本機能の設定は不要です。
 ・書き換える場合、PPRレジスタを“H'AA” (書き込み許可) にしてから、書き換えてください。

入力しきい値選択レジスタ 2 (PVSR2) は、ポート J ~ L をしきい値制御するためのレジスタです。

対応するポート単位の有効端子ごとに入力しきい値を 0.5VCC/0.70VCC/TTL (ポート K、ポート L は 0.5AVCC1/0.70AVCC1/TTL) レベルを選択することができます。

リセット後は入力禁止状態 (B'00) になっているため、入力端子として使用する場合、B'00 以外を設定してください。

PVSR2 レジスタはポートプロテクトレジスタ (PPR) により、意図しない書き込みから保護されています。

13.2.9 入力しきい値選択レジスタ 3 (PVSR3)

アドレス H'FF46 4166

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PNS0[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1-b0	PNS0[1:0]	PN00 ~ PN05入力レベル設定ビット	PN00 ~ PN05端子入力しきい値 b1 b0 0 0 : 入力禁止状態 0 1 : 0.5AVCC0 1 0 : 0.70AVCC0 1 1 : TTLレベル	R/W

- 注. ・アナログ端子として使用する場合には本機能の設定は不要です。
 ・書き換える場合、PPRレジスタを“H'AA” (書き込み許可)にしてから、書き換えてください。

入力しきい値選択レジスタ 3 (PVSR3) は、ポート N をしきい値制御するためのレジスタです。

対応するポート単位の有効端子ごとに入力しきい値を 0.5AVCC0/0.70AVCC0/TTL レベルを選択することができます。

リセット後は入力禁止状態 (B'00) になっているため、入力端子として使用する場合、B'00 以外を設定してください。

PVSR3 レジスタはポートプロテクトレジスタ (PPR) により、意図しない書き込みから保護されています。

13.2.10 ポート機能選択レジスタ 0 (PFS0)

アドレス H'FF46 4140

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
PRFS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NMIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15	PRFS	ポートレジスタ読み出し機能選択ビット	0 : 対応するポート方向レジスタが“1” (出力) のとき、ポートレジスタを読み出すと、レジスタの値が読み出されます 1 : 対応するポート方向レジスタが“1” (出力) のとき、ポートレジスタを読み出すと、端子の状態が直接読み出されます。(注1)	R/W
b14-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	NMIS	NMI有効ビット	0 : PA05入出力端子 (NMI無効) 1 : PA05入力専用端子 (NMI有効)	R/W

- 注1. 端子状態を直接読み出す場合は、対応する端子の入力しきい値レジスタの設定を入力禁止以外に設定してください。
 注. ・書き換える場合、PPRレジスタを“H'AA” (書き込み許可)にしてから、書き換えてください。

ポート機能選択レジスタ 0 (PFS0) は、PA05/NMI/POE0# 端子の機能と、出力設定されたポートレジスタの読み出し機能を選択するためのレジスタです。

NMIを使用する場合、NMISビットを“1”にする前に、PVSR0レジスタのPAS0ビットを“B'00” (入力禁止状態) 以外に設定してください。

PFS0 レジスタはポートプロテクトレジスタ (PPR) により、意図しない書き込みから保護されています。

13.2.11 ポート機能選択レジスタ 1 (PFS1)

アドレス H'FF46 4142

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	TP04S	TP03S	TP02S	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4	TP04S	TP04入力端子選択ビット	0: TP04A ~ TP04D入力をPC08、PC09、PB14、PB15端子に設定 1: TP04A ~ TP04D入力をPL12 ~ PL15端子に設定 (注1)	R/W
b3	TP03S	TP03入力端子選択ビット	0: TP03A ~ TP03D入力をPD00 ~ PD03端子に設定 1: TP03A ~ TP03D入力をPJ04、PJ05、PJ10、PJ11端子に設定 (注2)	R/W
b2	TP02S	TP02入力端子選択ビット	0: TP02A ~ TP02D入力をPF02、PF07、PE00、PE03端子に設定 1: TP02A ~ TP02D入力をPJ00~PJ03端子に設定 (注3)	R/W
b1-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注1. PB14、PB15、PL12、PL13、PL14、PL15は、SH72A0グループでは無効です。

注2. PJ10、PJ11は、SH72A0グループでは無効です。

注3. PF02、PF07、PJ00、PJ01、PJ02、PJ03は、SH72A0グループでは無効です。

注. • 書き換える場合、PPRレジスタを“H'AA” (書き込み許可)にしてから、書き換えてください。

ポート機能選択レジスタ 1 (PFS1) は、複数箇所に割り当てられている周辺機能 (TPU) の入力端子を選択するためのレジスタです。

PFS1 レジスタはポートプロテクトレジスタ (PPR) により、意図しない書き込みから保護されています。

13.2.12 ポート機能選択レジスタ 2 (PFS2)

アドレス H'FF46 4144

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	SC3S	SC2S[1:0]	—	SC1S	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b7	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b6	SC3S	SCI3入力端子選択ビット	0 : RXD3、SCK3入力をPC08、PC10端子に設定 1 : RXD3、SCK3入力をPB14、PB13端子に設定 (注1)	R/W
b5-b4	SC2S[1:0]	SCI2入力端子選択ビット	b5 b4 0 0 : RXD2、SCK2入力をPD02、PD03端子に設定 0 1 : RXD2、SCK2入力をPD07、PD03端子に設定 1 0 : 設定しないでください。 1 1 : 設定しないでください。	R/W
b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	SC1S	SCI1入力端子選択ビット	0 : RXD1、SCK1入力をPE06、PE05端子に設定 1 : RXD1、SCK1入力をPF02、PF00端子に設定(注2)	R/W
b1-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注1. PC10、PB13、PB14は、SH72A0グループでは無効です。

注2. PF00、PF02は、SH72A0グループでは無効です。

注. ・書き換える場合、PPRレジスタを“H'AA” (書き込み許可)にしてから、書き換えてください。

ポート機能選択レジスタ 2 (PFS2) は、複数箇所に割り当てられている周辺機能 (SCI) の入力端子を選択するためのレジスタです。

PFS2 レジスタはポートプロテクトレジスタ (PPR) により、意図しない書き込みから保護されています。

13.2.13 ポート機能選択レジスタ 3 (PFS3)

アドレス H'FF46 4146

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	LN2S	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	LN2S	LRX2入力端子選択ビット	0 : LRX2入力をPD05端子に設定 1 : LRX2入力をPB14端子に設定(注1)	R/W
b1-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注1. PB14は、SH72A0グループでは無効です。

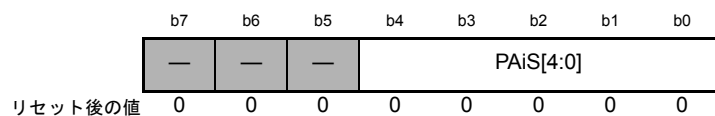
注. ・書き換える場合、PPRレジスタを“H'AA” (書き込み許可)にしてから、書き換えてください。

ポート機能選択レジスタ 3 (PFS3) は、複数箇所に割り当てられている周辺機能 (LIN) の入力端子を選択するためのレジスタです。

PFS3 レジスタはポートプロテクトレジスタ (PPR) により、意図しない書き込みから保護されています。

13.2.14 ポート Ai 機能選択レジスタ (PAiS) (i = 00 ~ 05)

アドレス PA00S : H'FF46 4060、PA01S : H'FF46 4061、PA02S : H'FF46 4062、PA03S : H'FF46 4063、PA04S : H'FF46 4064、PA05S : H'FF46 4065



ビット	シンボル	ビット名	機能	R/W
b7-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4-b0	PAiS[4:0]	PA機能選択ビット	b4 b3 b2 b1 b0 0 0 0 0 0: 入出力ポート、割り込み機能(注1) 0 0 1 0 0: CAN機能 上記以外は設定しないでください。	R/W

注1. 割り込み機能として使用する場合は、PADRレジスタで対応するビットを入力に設定してください。

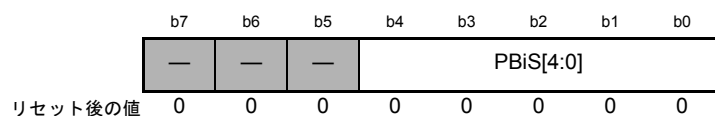
- 注. これらのレジスタは、ポート機能許可レジスタ0 (PFEN0)のPAFENビットが“1”のとき、有効になります。PAFENビットが“0”のときは、ポートAは入出力ポートになります。
- SH72A0グループでは、PA02Sレジスタはありません。

ポート Ai機能選択レジスタは、ポート Aにあるマルチプレクス端子の機能を選択するためのレジスタです。

レジスタ	PA機能選択ビット (PAiS)	
	“00000”	“00100”
PA00S	PA00、INT2	CTX0
PA01S	PA01、INT1	CRX0
PA02S	PA02	—
PA03S	PA03	CTX1
PA04S	PA04、INT0	CRX1
PA05S	PA05、NMI/POE0#	—

13.2.15 ポート Bi 機能選択レジスタ (PBiS) (i = 12 ~ 15)

アドレス PB12S : H'FF46 4074、PB13S : H'FF46 4075、PB14S : H'FF46 4076、PB15S : H'FF46 4077



ビット	シンボル	ビット名	機能	R/W
b7-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4-b0	PBiS[4:0]	PB機能選択ビット	b4 b3 b2 b1 b0 0 0 0 0 0: 入出力ポート、ADTRG機能 0 0 0 0 1: TPU機能 0 0 0 1 1: SCI機能 0 0 1 0 1: LIN機能 上記以外は設定しないでください。	R/W

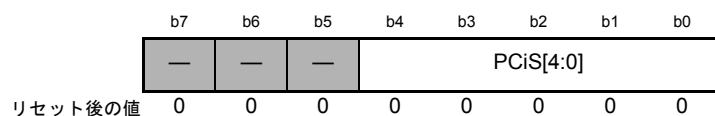
- 注. ・これらのレジスタは、ポート機能許可レジスタ0 (PFEN0)のPBFENビットが“1”のとき有効になります。PBFENビットが“0”のときは、ポートBは入出力ポートになります。
- ・SH72A0グループでは、PB12S ~ PB15S レジスタはありません。

ポート Bi 機能選択レジスタは、ポート Bにあるマルチプレクス端子の機能を選択するためのレジスタです。

レジスタ	PB機能選択ビット (PBiS)			
	“00000”	“00001”	“00011”	“00101”
PB12S	PB12	—	—	—
PB13S	PB13	—	SCK3	—
PB14S	PB14	TP04C	RXD3	LRX2
PB15S	PB15、ADTRG#	TP04D	TXD3	LTX2

13.2.16 ポート Ci 機能選択レジスタ (PCiS) (i = 08 ~ 12)

アドレス PC08S : H'FF46 4080、PC09S : H'FF46 4081、PC10S : H'FF46 4082、PC11S : H'FF46 4083、PC12S : H'FF46 4084



ビット	シンボル	ビット名	機能	R/W
b7-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4-b0	PCiS[4:0]	PC機能選択ビット	b4 b3 b2 b1 b0 0 0 0 0 0: 入出力ポート 0 0 0 0 1: TPU機能 0 0 0 1 0: MTU-III機能(入力) 1 0 0 1 0: MTU-III機能(出力) 0 0 0 1 1: SCI機能 0 0 1 1 0: SBI機能 上記以外は設定しないでください。	R/W

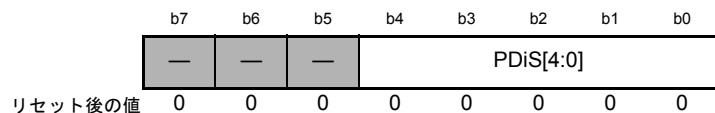
- 注. • これらのレジスタは、ポート機能許可レジスタ0 (PFEN0)のPCFENビットが“1”のとき有効になります。PCFENビットが“0”のときは、ポートCは入出力ポートになります。
- SH72A0グループでは、PC10S ~ PC12Sレジスタはありません。
 - SH72A0グループでは、SBI機能は無効です。

ポート Ci機能選択レジスタは、ポートCにあるマルチプレクス端子の機能を選択するためのレジスタです。

レジスタ	PC機能選択ビット (PCiS)					
	“00000”	“00001”	“00010”	“10010”	“00011”	“00110”
PC08S	PC08	TP04A	TIOC1B/ TCLKA	TIOC1B	RXD3	—
PC09S	PC09	TP04B	TCLKB	—	TXD3	—
PC10S	PC10	—	TIC5W	—	SCK3	MOSI3
PC11S	PC11	—	TIC5V	—	—	RSPCK3
PC12S	PC12	—	TIC5U	—	—	MISO3

13.2.17 ポート Di 機能選択レジスタ (PDiS) (i = 00 ~ 10)

PD00S : H'FF46 4088、PD01S : H'FF46 4089、PD02S : H'FF46 408A、PD03S : H'FF46 408B、PD04S : H'FF46 408C、
 アドレス PD05S : H'FF46 408D、PD06S : H'FF46 408E、PD07S : H'FF46 408F、PD08S : H'FF46 4090、PD09S : H'FF46 4091、
 PD10S : H'FF46 4092



ビット	シンボル	ビット名	機能	R/W
b7-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4-b0	PDiS[4:0]	PD機能選択ビット	b4 b3 b2 b1 b0 0 0 0 0 0: 入出力ポート、CLKOUT機能(注2)、割り込み機能(注1) 0 0 0 0 1: TPU機能 0 0 0 1 0: MTU-III機能(入力) 1 0 0 1 0: MTU-III機能(出力) 0 0 0 1 1: SCI機能 0 0 1 0 1: LIN機能 0 0 1 1 0: SBI機能 0 1 0 1 0: デバッグ機能 上記以外は設定しないでください。	R/W

注1. 割り込み機能として使用する場合は、PDDRレジスタで対応するビットを入力に設定してください。

注2. SH72A0グループでは、本機能はありません。

注. これらのレジスタは、ポート機能許可レジスタ0 (PFEN0)のPDFENビットが“1”のとき有効になります。PDFENビットが“0”のときは、ポートDは入出力ポートになります。

- PD00はCLKOUTと兼用です。COCRレジスタのCOEビットを“1”に設定することでCLKOUT機能で使用できます。(COCRレジスタの設定が優先)
- SH72A0グループでは、PD08S ~ PD10Sレジスタはありません。

ポートDi機能選択レジスタは、ポートDにあるマルチプレクス端子の機能を選択するためのレジスタです。

レジスタ	PD機能選択ビット (PDiS)							
	“00000”	“00001”	“00010”	“10010”	“00011”	“00101”	“00110”	“01010”
PD00S	PD00、INT7、CLKOUT	TP03A	TIOC3B	TIOC3B	—	—	SSL21	—
PD01S	PD01、INT6	TP03B	TIOC3D	TIOC3D	TXD2	—	SSL20	—
PD02S	PD02、INT5	TP03C	TIOC4A	TIOC4A	RXD2	—	MOSI2	—
PD03S	PD03	TP03D	TIOC4C	TIOC4C	SCK2	—	RSPCK2	—
PD04S	PD04	—	TIOC4B	TIOC4B	—	LTX2	MISO2	—
PD05S	PD05	—	TIOC4D	TIOC4D	—	LRX2	SSL22	—
PD06S	PD06、INT4	—	TIOC3A	TIOC3A	TXD2	—	SSL23	—
PD07S	PD07、INT3	—	TIOC3C	TIOC3C	RXD2	—	SSL30	UBCTRG#
PD08S	PD08	—	TIOC2A	TIOC2A	—	—	SSL31	—
PD09S	PD09	—	TIOC2B	TIOC2B	—	—	SSL32	—
PD10S	PD10	—	TIOC1A	TIOC1A	—	—	SSL33	—

13.2.18 ポート Ei 機能選択レジスタ (PEiS) (i = 00 ~ 07)

アドレス PE00S : H'FF46 4098、PE01S : H'FF46 4099、PE02S : H'FF46 409A、PE03S : H'FF46 409B、PE04S : H'FF46 409C、
PE05S : H'FF46 409D、PE06S : H'FF46 409E、PE07S : H'FF46 409F



ビット	シンボル	ビット名	機能	R/W
b7-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4-b0	PEiS[4:0]	PE機能選択ビット	b4 b3 b2 b1 b0 0 0 0 0 0: 入出力ポート、割り込み機能(注1) 0 0 0 0 1: TPU機能 0 0 0 1 1: SCI機能 上記以外は設定しないでください。	R/W

注1. 割り込み機能として使用する場合は、PEDRレジスタで対応するビットを入力に設定してください。

注. • これらのレジスタは、ポート機能許可レジスタ0 (PFEN0)のPEFENビットが“1”のとき有効になります。PEFENビットが“0”のときは、ポートEは入出力ポートになります。

ポート Ei 機能選択レジスタは、ポート Eにあるマルチプレクス端子の機能を選択するためのレジスタです。

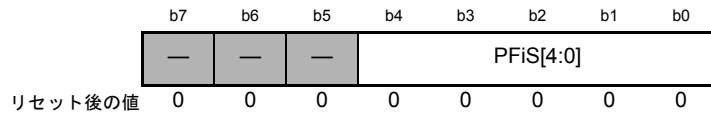
レジスタ	PE機能選択ビット(PEiS)		
	“00000”	“00001”	“00011”
PE00S	PE00、INT8	TP02C	—
PE01S	PE01	—	RXD0
PE02S	PE02	—	TXD0
PE03S	PE03	TP02D	SCK0
PE04S	PE04	—	—
PE05S	PE05	—	SCK1
PE06S	PE06	—	RXD1
PE07S	PE07	—	TXD1

ポートEは、アドバンスユーザーデバッガ(AUD-II)の端子とダブルファンクションになっています。AUDENレジスタのAUDEN0ビットが“0”のとき、入出力ポートが有効になり、“1”のとき強制的にAUD-IIの端子が有効になります。AUDEN0ビットが“1”のとき、このレジスタの設定は無効になります。

AUD-IIの詳細については、「28. アドバンスユーザーデバッガ -II (AUD-II)」を参照してください。

13.2.19 ポート Fi 機能選択レジスタ (PFiS) (i = 00 ~ 02、07)

アドレス PF00S : H'FF46 40A8、PF01S : H'FF46 40A9、PF02S : H'FF46 40AA、PF07S : H'FF46 40AF



ビット	シンボル	ビット名	機能	R/W
b7-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4-b0	PFiS[4:0]	PF機能選択ビット	b4 b3 b2 b1 b0 0 0 0 0 0: 入出力ポート、割り込み機能(注1) 0 0 0 0 1: TPU機能 0 0 0 1 1: SCI機能 0 0 1 0 1: LIN機能 0 0 1 1 0: SBI機能 上記以外は設定しないでください。	R/W

注1. 割り込み機能として使用する場合は、PFDRレジスタで対応するビットを入力に設定してください。

注. • これらのレジスタは、ポート機能許可レジスタ0 (PFEN0)のPFFENビットが“1”のとき有効になります。PFFENビットが“0”のときは、ポートFは入出力ポートになります。

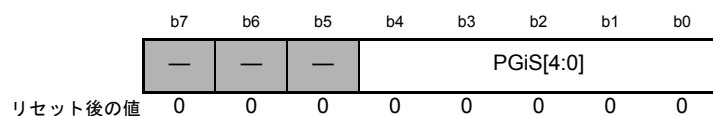
• SH72A0グループでは、PF00S ~ PF02S、PF07Sレジスタはありません。

ポート Fi 機能選択レジスタは、ポート Fにあるマルチプレクス端子の機能を選択するためのレジスタです。

レジスタ	PF機能選択ビット (PFiS)				
	“00000”	“00001”	“00011”	“00101”	“00110”
PF00S	PF00	—	SCK1	—	SSL13
PF01S	PF01	—	—	LRX3	SSL12
PF02S	PF02	TP02A	RXD1	LTX3	SSL11
PF07S	PF07、INT9	TP02B	TXD1	—	—

13.2.20 ポート Gi 機能選択レジスタ (PGiS) (i = 00 ~ 03、10 ~ 13)

アドレス PG00S : H'FF46 40B0、PG01S : H'FF46 40B1、PG02S : H'FF46 40B2、PG03S : H'FF46 40B3、
PG10S : H'FF46 40BA、PG11S : H'FF46 40BB、PG12S : H'FF46 40BC、PG13S : H'FF46 40BD



ビット	シンボル	ビット名	機能	R/W
b7-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4-b0	PGiS[4:0]	PG機能選択ビット	b4 b3 b2 b1 b0 0 0 0 0 0: 入出力ポート、割り込み機能(注1) 0 0 0 0 1: TPU機能 0 0 0 1 0: MTU-III機能(入力) 1 0 0 1 0: MTU-III機能(出力) 0 0 1 1 0: SBI機能 上記以外は設定しないでください。	R/W

注1. 割り込み機能として使用する場合は、PGDRレジスタで対応するビットを入力に設定してください。

- 注. • これらのレジスタは、ポート機能許可レジスタ0 (PFEN0)のPGFENビットが“1”のとき有効になります。PGFENビットが“0”のときは、ポートGは入出力ポートになります。
• SH72A0グループでは、PG13Sレジスタはありません。

ポートGi機能選択レジスタは、ポートGにあるマルチプレクス端子の機能を選択するためのレジスタです。

レジスタ	PG機能選択ビット (PGiS)				
	“00000”	“00001”	“00010”	“10010”	“00110”
PG00S	PG00	—	TIOC7A	TIOC7A	MISO0
PG01S	PG01	—	TIOC7C	TIOC7C	SSL00
PG02S	PG02、INT10	—	TIOC7B	TIOC7B	SSL01
PG03S	PG03	—	TIOC7D	TIOC7D	SSL02
PG10S	PG10	TP01A	TIOC0A	TIOC0A	RSPCK1
PG11S	PG11	TP01B	TIOC0B	TIOC0B	MOSI1
PG12S	PG12	TP01C	TIOC0C	TIOC0C	MISO1
PG13S	PG13	TP01D	TIOC0D	TIOC0D	SSL10

13.2.21 ポート Ji 機能選択レジスタ (PJiS) (i = 00 ~ 11)

PJ00S : H'FF46 40C8、PJ01S : H'FF46 40C9、PJ02S : H'FF46 40CA、PJ03S : H'FF46 40CB、PJ04S : H'FF46 40CC、
 アドレス PJ05S : H'FF46 40CD、PJ06S : H'FF46 40CE、PJ07S : H'FF46 40CF、PJ08S : H'FF46 40D0、PJ09S : H'FF46 40D1、
 PJ10S : H'FF46 40D2、PJ11S : H'FF46 40D3



ビット	シンボル	ビット名	機能	R/W
b7	PJiAS	PJアナログ入力端子選択ビット (注1)	0 : アナログ入力端子として使用しない 1 : アナログ入力端子として使用する(注2)	R/W
b6-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4-b0	PJiS[4:0]	PJ機能選択ビット	b4 b3 b2 b1 b0 0 0 0 0 0: 入出力ポート、割り込み機能、A/D機能(注3) 0 0 0 0 1: TPU機能 0 0 0 1 0: MTU-III機能(入力) 1 0 0 1 0: MTU-III機能(出力) 0 0 1 1 0: SBI機能 上記以外は設定しないでください。	R/W

注1. A/D機能を使用する場合は、“1”を設定してください。それ以外は“0”を設定してください。

注2. アナログ入力端子として使用する設定のときにプルアップ制御レジスタ1 (PUR1)のPJPU0ビットが有効となっていると、アナログ入力設定した端子のプルアップ設定は無効となります。

注3. 割り込み機能、A/D機能として使用する場合は、PJDRレジスタで対応するビットを入力に設定してください。

注. これらのレジスタは、ポート機能許可レジスタ0 (PFEN0)のPJFENビットが“1”のとき有効になります。PJFENビットが“0”のときは、ポートJは入出力ポートになります。

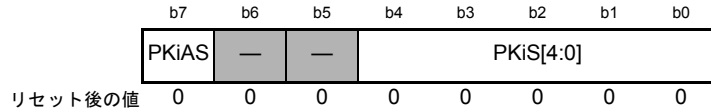
- SH72A0グループでは、PJ00S ~ PJ03S、PJ06S ~ PJ07S、PJ10S ~ PJ11Sレジスタはありません。

ポート Ji 機能選択レジスタは、ポート Jにあるマルチプレクス端子の機能を選択するためのレジスタです。

レジスタ	PJ機能選択ビット (PJiS)				
	“00000”	“00001”	“00010”	“10010”	“00110”
PJ00S	PJ00、AN1IN00	TP02A	—	—	—
PJ01S	PJ01、AN1IN01	TP02B	—	—	—
PJ02S	PJ02、AN1IN02	TP02C	—	—	—
PJ03S	PJ03、AN1IN03	TP02D	—	—	—
PJ04S	PJ04、AN1IN04	TP03A	—	—	—
PJ05S	PJ05、POE1#, AN1IN05	TP03B	—	—	—
PJ06S	PJ06、AN1IN06	—	TCLKC	—	—
PJ07S	PJ07、INT11、AN1IN07	—	TCLKD	—	SSL03
PJ08S	PJ08	—	TIOC6B	TIOC6B	MOSI0
PJ09S	PJ09	—	TIOC6D	TIOC6D	RSPCK0
PJ10S	PJ10	TP03C	TIOC6A	TIOC6A	—
PJ11S	PJ11	TP03D	TIOC6C	TIOC6C	—

13.2.22 ポート Ki 機能選択レジスタ (PKiS) (i = 00 ~ 01、08 ~ 15)

PK00S : H'FF46 40D8、PK01S : H'FF46 40D9、PK08S : H'FF46 40E0、PK09S : H'FF46 40E1、
 アドレス PK10S : H'FF46 40E2、PK11S : H'FF46 40E3、PK12S : H'FF46 40E4、PK13S : H'FF46 40E5、
 PK14S : H'FF46 40E6、PK15S : H'FF46 40E7



ビット	シンボル	ビット名	機能	R/W
b7	PKiAS	PKアナログ入力端子選択ビット (注1)	0 : アナログ入力端子として使用しない 1 : アナログ入力端子として使用する(注2)	R/W
b6-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4-b0	PKiS[4:0]	PK機能選択ビット	b4 b3 b2 b1 b0 0 0 0 0 0 : 入出力ポート、割り込み機能、A/D機能(注3) 上記以外は設定しないでください。	R/W

注1. A/D機能を使用する場合は、“1”を設定してください。それ以外は“0”を設定してください。

注2. アナログ入力端子として使用する設定のときにプルアップ制御レジスタ1(PUR1)のPKPU0ビット、またはPKPU1ビットが有効となっていると、アナログ入力設定した端子のプルアップ設定は無効となります。

注3. 割り込み機能、A/D機能として使用する場合は、PKDRレジスタで対応するビットを入力に設定してください。

注. これらのレジスタは、ポート機能許可レジスタ0(PFEN0)のPKFENビットが“1”のとき有効になります。PKFENビットが“0”のときは、ポートKは入出力ポートになります。

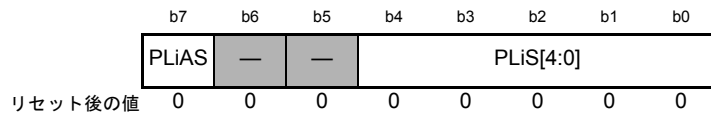
- SH72A0グループでは、PK09S ~ PK11S、PK13Sレジスタはありません。

ポートKi機能選択レジスタは、ポートKにあるマルチプレクス端子の機能を選択するためのレジスタです。

レジスタ	PK機能選択ビット(PKiS)
	“00000”
PK00S	PK00、POE2#、AN1IN16
PK01S	PK01、AN1IN17
PK08S	PK08、AN1IN24
PK09S	PK09、AN1IN25
PK10S	PK10、INT13、AN1IN26
PK11S	PK11、INT12、AN1IN27
PK12S	PK12、AN1IN28
PK13S	PK13、AN1IN29
PK14S	PK14、AN1IN30
PK15S	PK15、AN1IN31

13.2.23 ポート Li 機能選択レジスタ (PLiS) (i = 10 ~ 15)

アドレス PL10S : H'FF46 40F2、PL11S : H'FF46 40F3、PL12S : H'FF46 40F4、PL13S : H'FF46 40F5、PL14S : H'FF46 40F6、PL15S : H'FF46 40F7



ビット	シンボル	ビット名	機能	R/W
b7	PLiAS	PLアナログ入力端子選択ビット (注1)	0 : アナログ入力端子として使用しない 1 : アナログ入力端子として使用する(注2)	R/W
b6-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4-b0	PLiS[4:0]	PL機能選択ビット	b4 b3 b2 b1 b0 0 0 0 0 0: 入出力ポート、A/D機能(注3) 0 0 0 0 1: TPU機能 上記以外は設定しないでください。	R/W

注1. A/D機能を使用する場合は、“1”を設定してください。それ以外は“0”を設定してください。

注2. アナログ入力端子として使用する設定のときにプルアップ制御レジスタ1(PUR1)のPLPU1ビットが有効となっていると、アナログ入力設定した端子のプルアップ設定は無効となります。

注3. A/D機能として使用する場合は、PLDRレジスタで対応するビットを入力に設定してください。

注. これらのレジスタは、ポート機能許可レジスタ0(PFEN0)のPLFENビットが“1”のとき有効になります。PLFENビットが“0”のときは、ポートLは入出力ポートになります。

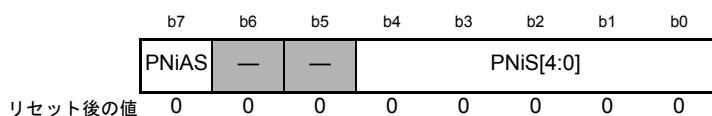
- SH72A0グループでは、PL10S ~ PL15Sレジスタはありません。

ポートLi機能選択レジスタは、ポートLにあるマルチプレクス端子の機能を選択するためのレジスタです。

レジスタ	PL機能選択ビット(PLiS)	
	“00000”	“00001”
PL10S	PL10、AN1IN42	—
PL11S	PL11、AN1IN43	—
PL12S	PL12、AN1IN44	TP04A
PL13S	PL13、AN1IN45	TP04B
PL14S	PL14、AN1IN46	TP04C
PL15S	PL15、AN1IN47	TP04D

13.2.24 ポート Ni 機能選択レジスタ (PNiS) (i = 00 ~ 05)

アドレス PN00S : H'FF46 4108、PN01S : H'FF46 4109、PN02S : H'FF46 410A、
PN03S : H'FF46 410B、PN04S : H'FF46 410C、PN05S : H'FF46 410D



ビット	シンボル	ビット名	機能	R/W
b7	PNiAS	PNアナログ入力端子選択ビット (注1)	0 : アナログ入力端子として使用しない 1 : アナログ入力端子として使用する(注2)	R/W
b6-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4-b0	PNiS[4:0]	PN機能選択ビット	b4 b3 b2 b1 b0 0 0 0 0 0: 入力ポート、A/D機能 上記以外は設定しないでください。	R/W

注1. A/D機能を使用する場合は、“1”を設定してください。それ以外は“0”を設定してください。

注2. アナログ入力端子として使用する設定のときにプルアップ制御レジスタ1(PUR1)のPNPU0ビットが有効となっていると、アナログ入力設定した端子のプルアップ設定は無効となります。

注. これらのレジスタは、ポート機能許可レジスタ0(PFEN0)のPNFENビットが“1”のとき有効になります。PNFENビットが“0”のときは、ポートNは入力ポートになります。

ポートNi機能選択レジスタは、ポートNにあるマルチプレクス端子の機能を選択するためのレジスタです。

レジスタ	PN機能選択ビット (PNiS)
	“00000”
PN00S	PN00、AN0IN00
PN01S	PN01、AN0IN01
PN02S	PN02、AN0IN02
PN03S	PN03、AN0IN03
PN04S	PN04、AN0IN04
PN05S	PN05、AN0IN05

13.2.25 ポート機能許可レジスタ 0 (PFEN0)

アドレス H'FF46 4120

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	PNFEN	—	PLFEN	PKFEN	PJFEN	—	—	PGFEN	PFFEN	PEFEN	PDFEN	PCFEN	PBFEN	PAFEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b14	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b13	PNFEN	PN機能有効ビット	0: PN00 ~ PN05 入力ポート 1: PN00 ~ PN05、PN00S ~ PN05S ビットで選択された機能有効	R/W
b12	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b11	PLFEN	PL機能有効ビット	0: PL10 ~ PL15 入出力ポート 1: PL10 ~ PL15、PL10S ~ PL15S ビットで選択された機能有効 (注1)	R/W
b10	PKFEN	PK機能有効ビット	0: PK00 ~ PK01、PK08 ~ PK15 入出力ポート 1: PK00 ~ PK01、PK08 ~ PK15、PK00S ~ PK01S、PK08S ~ PK15S ビットで選択された機能有効 (注2)	R/W
b9	PJFEN	PJ機能有効ビット	0: PJ00 ~ PJ11 入出力ポート 1: PJ00 ~ PJ11、PJ00S ~ PJ11S ビットで選択された機能有効 (注3)	R/W
b8-b7	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b6	PGFEN	PG機能有効ビット	0: PG00 ~ PG03、PG10 ~ PG13 入出力ポート 1: PG00 ~ PG03、PG10 ~ PG13、PG00S ~ PG03S、PG10S ~ PG13S ビットで選択された機能有効 (注4)	R/W
b5	PFFEN	PF機能有効ビット	0: PF00 ~ PF02、PF07 入出力ポート 1: PF00 ~ PF02、PF07、PF00S ~ PF02S、PF07S ビットで選択された機能有効 (注5)	R/W
b4	PEFEN	PE機能有効ビット	0: PE00 ~ PE07 入出力ポート 1: PE00 ~ PE07、PE00S ~ PE07S ビットで選択された機能有効	R/W
b3	PDFEN	PD機能有効ビット	0: PD00 ~ PD10 入出力ポート 1: PD00 ~ PD10、PD00S ~ PD10S ビットで選択された機能有効 (注6)	R/W
b2	PCFEN	PC機能有効ビット	0: PC08 ~ PC12 入出力ポート 1: PC08 ~ PC12、PC08S ~ PC12S ビットで選択された機能有効 (注7)	R/W
b1	PBFEN	PB機能有効ビット	0: PB12 ~ PB15 入出力ポート 1: PB12 ~ PB15、PB12S ~ PB15S ビットで選択された機能有効 (注8)	R/W
b0	PAFEN	PA機能有効ビット	0: PA00 ~ PA05 入出力ポート 1: PA00 ~ PA05、PA00S ~ PA05S ビットで選択された機能有効 (注9)	R/W

- 注1. PL10~PL15は、SH72A0グループでは無効です。
 注2. PK09 ~ PK11、PK13は、SH72A0グループでは無効です。
 注3. PJ00 ~ PJ03、PJ06 ~ PJ07、PJ10 ~ PJ11はSH72A0グループでは無効です。
 注4. PG13は、SH72A0グループでは無効です。
 注5. PF00 ~ PF02、PF07は、SH72A0グループでは無効です。
 注6. PD08 ~ PD10は、SH72A0グループでは無効です。
 注7. PC10 ~ PC12は、SH72A0グループでは無効です。
 注8. PB12 ~ PB15は、SH72A0グループでは無効です。
 注9. PA02は、SH72A0グループでは無効です。
 注. 書き換える場合、PPRレジスタを“H'AA” (書き込み許可) にしてから、書き換えてください。

ポート機能許可レジスタ 0 (PFEN0) は、ポート機能選択レジスタ (PAiS ~ PGiS, PjIS ~ PLiS, PNiS) (i = 00 ~ 15 のうち有効レジスタ) で選択された機能を有効にするためのレジスタです。

PFEN0 レジスタはポートプロテクトレジスタ (PPR) により、意図しない書き込みから保護されています。

13.2.26 POE0 制御レジスタ (POE0CR)

アドレス H'FF46 41A0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	TIOC4 DE	TIOC4 CE	TIOC4 BE	TIOC4 AE	TIOC3 DE	TIOC3 BE	—	—	—	—	SMP[1:0]	—	—	POE0E
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b14	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b13	TIOC4DE	TIOC4D端子制御ビット	0 : POE0入力でTIOC4D端子は変化なし 1 : POE0入力でTIOC4D端子はハイインピーダンス状態	R/W
b12	TIOC4CE	TIOC4C端子制御ビット	0 : POE0入力でTIOC4C端子は変化なし 1 : POE0入力でTIOC4C端子はハイインピーダンス状態	R/W
b11	TIOC4BE	TIOC4B端子制御ビット	0 : POE0入力でTIOC4B端子は変化なし 1 : POE0入力でTIOC4B端子はハイインピーダンス状態	R/W
b10	TIOC4AE	TIOC4A端子制御ビット	0 : POE0入力でTIOC4A端子は変化なし 1 : POE0入力でTIOC4A端子はハイインピーダンス状態	R/W
b9	TIOC3DE	TIOC3D端子制御ビット	0 : POE0入力でTIOC3D端子は変化なし 1 : POE0入力でTIOC3D端子はハイインピーダンス状態	R/W
b8	TIOC3BE	TIOC3B端子制御ビット	0 : POE0入力でTIOC3B端子は変化なし 1 : POE0入力でTIOC3B端子はハイインピーダンス状態	R/W
b7-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3-b2	SMP[1:0]	POE0端子サンプリング期間 設定ビット	b3 b2 0 0 : サンプリング期間なし(立ち下がりエッジ) 0 1 : 周辺クロックAの128サイクルの期間、Lowレベルを検出 1 0 : 周辺クロックAの256サイクルの期間、Lowレベルを検出 1 1 : 周辺クロックAの2048サイクルの期間、Lowレベルを検出	R/W
b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	POE0E	POE0機能有効ビット	0 : POE0機能無効 1 : POE0機能有効	R/W

注・書き換える場合、PPRレジスタを“H'AA” (書き込み許可) にしてから、書き換えてください。

POE0 制御レジスタ (POE0CR) は、MTU-III の該当端子 (TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D) をハイインピーダンス状態にするためのレジスタです。

POE0CR レジスタはポートプロテクトレジスタ (PPR) により、意図しない書き込みから保護されています。

13.2.27 POE1 制御レジスタ (POE1CR)

アドレス H'FF46 41A2

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	TIOC7DE	TIOC7CE	TIOC7BE	TIOC7AE	TIOC6DE	TIOC6BE	—	—	—	—	SMP[1:0]	—	—	POE1E
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b14	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b13	TIOC7DE	TIOC7D端子制御ビット	0: POE1入力でTIOC7D端子は変化なし 1: POE1入力でTIOC7D端子はハイインピーダンス状態	R/W
b12	TIOC7CE	TIOC7C端子制御ビット	0: POE1入力でTIOC7C端子は変化なし 1: POE1入力でTIOC7C端子はハイインピーダンス状態	R/W
b11	TIOC7BE	TIOC7B端子制御ビット	0: POE1入力でTIOC7B端子は変化なし 1: POE1入力でTIOC7B端子はハイインピーダンス状態	R/W
b10	TIOC7AE	TIOC7A端子制御ビット	0: POE1入力でTIOC7A端子は変化なし 1: POE1入力でTIOC7A端子はハイインピーダンス状態	R/W
b9	TIOC6DE	TIOC6D端子制御ビット	0: POE1入力でTIOC6D端子は変化なし 1: POE1入力でTIOC6D端子はハイインピーダンス状態	R/W
b8	TIOC6BE	TIOC6B端子制御ビット	0: POE1入力でTIOC6B端子は変化なし 1: POE1入力でTIOC6B端子はハイインピーダンス状態	R/W
b7-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3-b2	SMP[1:0]	POE1端子サンプリング期間設定ビット	b3 b2 0 0 : サンプリング期間なし(立ち下がリエッジ) 0 1 : 周辺クロックAの128サイクルの期間、Lowレベルを検出 1 0 : 周辺クロックAの256サイクルの期間、Lowレベルを検出 1 1 : 周辺クロックAの2048サイクルの期間、Lowレベルを検出	R/W
b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	POE1E	POE1機能有効ビット	0: POE1機能無効 1: POE1機能有効	R/W

注. ・書き換える場合、PPRレジスタを“H'AA”(書き込み許可)にしてから、書き換えてください。

POE1 制御レジスタ (POE1CR) は、MTU-III の該当端子 (TIOC6B、TIOC6D、TIOC7A、TIOC7B、TIOC7C、TIOC7D) をハイインピーダンス状態にするためのレジスタです。

POE1CR レジスタはポートプロテクトレジスタ (PPR) により、意図しない書き込みから保護されています。

13.2.28 POE2 制御レジスタ (POE2CR)

アドレス H'FF46 41A4

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	TIOC0 DE	TIOC0 CE	TIOC0 BE	TIOC0 AE	—	—	—	—	SMP[1:0]	—	—	POE2E
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b12	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b11	TIOC0DE	TIOC0D端子機能ビット	0 : POE2入力でTIOC0D端子は変化なし 1 : POE2入力でTIOC0D端子はハイインピーダンス状態 (注1)	R/W
b10	TIOC0CE	TIOC0C端子機能ビット	0 : POE2入力でTIOC0C端子は変化なし 1 : POE2入力でTIOC0C端子はハイインピーダンス状態	R/W
b9	TIOC0BE	TIOC0B端子機能ビット	0 : POE2入力でTIOC0B端子は変化なし 1 : POE2入力でTIOC0B端子はハイインピーダンス状態	R/W
b8	TIOC0AE	TIOC0A端子機能ビット	0 : POE2入力でTIOC0A端子は変化なし 1 : POE2入力でTIOC0A端子はハイインピーダンス状態	R/W
b7-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3-b2	SMP[1:0]	POE2端子サンプリング期間 設定ビット	b3 b2 0 0 : サンプリング期間なし(立ち下がりエッジ) 0 1 : 周辺クロックAの128サイクルの期間、Lowレベルを検出 1 0 : 周辺クロックAの256サイクルの期間、Lowレベルを検出 1 1 : 周辺クロックAの2048サイクルの期間、Lowレベルを検出	R/W
b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	POE2E	POE2機能有効ビット	0 : POE2機能無効 1 : POE2機能有効	R/W

注1. TIOC0DEは、SH72A0グループでは無効です。

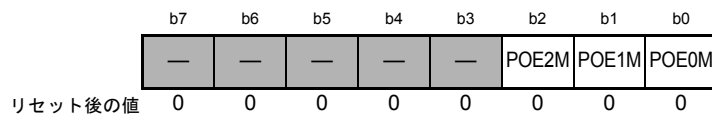
注. • 書き換える場合、PPRレジスタを“H'AA”(書き込み許可)にしてから、書き換えてください。

POE2 制御レジスタ (POE2CR) は、MTU-III の該当端子 (TIOC0A、TIOC0B、TIOC0C、TIOC0D) をハイインピーダンス状態にするためのレジスタです。

POE2CR レジスタはポートプロテクトレジスタ (PPR) により、意図しない書き込みから保護されています。

13.2.29 POE モニタレジスタ (POEM)

アドレス H'FF46 41A6



ビット	シンボル	ビット名	機能	R/W
b7-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	POE2M	POE2モニタビット	0: POE2入力なし 1: POE2入力あり	R/W
b1	POE1M	POE1モニタビット	0: POE1入力なし 1: POE1入力あり	R/W
b0	POE0M	POE0モニタビット	0: POE0入力なし 1: POE0入力あり	R/W

注・書き換える場合、PPRレジスタを“H'AA” (書き込み許可) にしてから、書き換えてください。

POE モニタレジスタ (POEM) は、POEiCR レジスタの SMP ビットで設定した条件を満たした POEi 入力をモニタするためのレジスタです。

POEM レジスタはポートプロテクトレジスタ (PPR) により、意図しない書き込みから保護されています。

POEiM ビット

このビットは、対応する POEiCR レジスタの POEiE ビットが“1” (POEi 機能有効) のときに有効になるビットです。

POEiCR レジスタの SMP ビットで設定した条件を満たした POEi 入力があったとき、“1”になります。このとき POEiCR レジスタでハイインピーダンス状態を選択していた端子は、ハイインピーダンス状態になります。

このビットを“1”から“0”にクリアするには、このビットへの“0”書き込みまたは対応する POEiE ビットへの“0”書き込みを行ってください。“0”書き込みの後に POEiM ビットをリードし“0”にクリアされていることを確認してください。“1”がリードされた場合は再度“0”ライトを行ってください。

このビットを“0”の状態のときに“1”に書き込んだ場合、該当する端子はハイインピーダンス状態になります。

ただし、このビットは変化しません (POEi 入力結果を保持)。また、割り込み要求も発生しません。

13.3 POEi 割り込み

POEi 割り込みは、POEi# 端子に有効な入力信号を検出したときに発生します。POEi 割り込みは、POEi 入力によるハイインピーダンス状態になった端子をハイインピーダンス状態を解除するために使用します。

[割り込み要求発生条件]

- POEiCR レジスタの SMP ビットを“00”(立ち下がりエッジ設定)、POEiE ビットを“1”に設定(POEi 機能有効)時、POE モニタレジスタの POEiM ビットが“0”の状態、POEi# 端子に立ち下がりエッジが入力されると、割り込み要求が発生し、対応する INTC 側の割り込み要求レジスタの IR ビットが“1”にセットされます。このとき POEiM ビットが“1”にされます。
- POEiCR レジスタの SMP ビットを“00”以外、POEiE ビットを“1”に設定(POEi 機能有効)時、POE モニタレジスタの POEiM ビットが“0”の状態、POEi# 端子に SMP ビットで設定された期間、Low レベル入力が検出されると、割り込み要求が発生し、対応する INTC 側の割り込み要求レジスタの IR ビットが“1”にセットされます。このとき POEiM ビットも“1”にされます。

[割り込み要求“0”になる条件]

INTC 側の割り込み要求レジスタの IR ビットは、割り込みが受け付けられると自動クリアされます。

ただし、POEiM ビットが“1”の状態では、次回割り込み要求が発生されませんので、POEiM ビットを“0”にクリアしてください。

POEiM ビットを“1”から“0”にクリアするには、POEiM ビットへの“0”書き込みまたは POEiE ビットへの“0”書き込みがあります。“0”書き込みの後に POEiM ビットをリードし“0”にクリアされていることを確認してください。“1”がリードされた場合は再度“0”ライトを行ってください。POEiM ビットを“0”にクリアしたときに該当する端子のハイインピーダンス状態が解除されます。

13.4 入出力ポートの機能の選択

PFEN0 レジスタの Pi 機能有効ビットが“0”のとき、該当するポートが入出力ポートとして機能します。

また、PFEN0 レジスタの Pi 機能有効ビットが“1”のときに、該当するポートの機能選択レジスタの機能選択ビット(b4~b0)が“00000”の場合、該当するポートが入出力ポートとして機能します。

13.4.1 入力ポート

PFEN0 レジスタおよび該当するポート機能選択レジスタで入出力ポートを選択し、PiDR レジスタにて入力を選択すると該当するポートが入力ポートとして機能します。

ポート i レジスタを読み出すことで端子のレベルを読み出すことができます。また、周辺機能として使用している場合でも、ポート i レジスタを読み出すことで端子のレベルを読み出すことができます。

13.4.2 出力ポート

PFEN0 レジスタおよび該当するポートの機能選択レジスタで入出力ポートを選択し、PiDR レジスタにて出力を選択すると該当するポートが出力ポートとして機能します。

ポート i レジスタに書き込んだ値が端子から出力されます。PFS0 レジスタの PRFS ビットが“0”でポート i レジスタを読んだ場合、ポート i レジスタの設定値が読めます。PFS0 レジスタの PRFS ビットが“1”でポート i レジスタを読んだ場合、端子の入力レベルを読み出せます。

13.5 周辺機能の選択

PFEN0レジスタのPi機能有効ビットが“1”で該当するポートの機能選択レジスタで周辺機能を選択します。

13.5.1 複数個所ある入力端子の選択について

複数個所に割り当てられている周辺機能の入力端子は、PFS1～PFS3レジスタで選択できます。

13.5.2 複数個所ある出力端子の選択について

複数個所に割り当てられている周辺機能の出力端子は、周辺機能の出力に設定するので、複数個所から出力することができます。

13.5.3 割り込み、A/Dコンバータ入力機能選択について

NMI、INT0～INT13、POE0#～POE2#、ADTRG#、AN0IN00～AN0IN05、AN1IN00～AN1IN07、AN1IN16～AN1IN17、AN1IN24～AN1IN31、AN1IN42～AN1IN47(注1)入力の機能を選択する場合は、対応するPiDRレジスタのビットを“0”(入力)にしてください。AN0IN00～AN0IN05、AN1IN00～AN1IN07、AN1IN16～AN1IN17、AN1IN24～AN1IN31、AN1IN42～AN1IN47(注1)については、該当するポートの機能選択レジスタのアナログ入力端子選択ビットを“1”に設定してください。

アナログ入力端子選択ビットは、アナログ入力時に発生する中間電位によって入力バッファの消費電力が増大するのを防ぐためのビットです。

注1. INT9、INT11～INT13、ADTRG#、AN1IN00～AN1IN03、AN1IN06～AN1IN07、AN1IN25～AN1IN27、AN1IN29、AN1IN42～AN1IN47は、SH72A0グループでは無効です。

13.5.4 CLKOUTの機能選択について

CLKOUT機能を選択する場合、ポートD00機能選択レジスタ(PD00S)のPD00Sビットを“00000”に設定しCOCRレジスタのCOEビットを“1”に設定してください。

13.6 その他機能

ポート、周辺機能の設定に関わらず、内部プルアップ抵抗の設定(ポート単位の有効端子ごと)、入力しきい値の切り替え(ポート単位の有効端子ごと)を選択できます。

注. ・内部プルアップ抵抗設定は、アナログ入力端子使用時は無効となります。

13.7 注意事項

13.7.1 ポート Pni 機能選択レジスタ (PniS) の設定 (n=A,B,C,D,E,F,G,J,K,L,N) (i=IO ポート有効端子)

Pni 機能選択レジスタは、各端子の入出力機能制御を行います。

入力機能端子として設定する場合は、変更前の端子レベルと変更後の端子レベルが異なると内部にエッジが発生し意図しない動作をすることがあります。入力端子を変更する場合は、以下の手順で行ってください。

1. 変更しようとする端子機能に該当する周辺モジュールの設定で、入力機能 (または、動作) を無効にする。
2. 対応する端子の入力しきい値レジスタを入力禁止以外に設定する。
3. Pni 機能選択レジスタの設定により、入力機能端子を選択する。
4. 変更しようとする端子機能に該当する周辺モジュールの設定で、入力機能 (または、動作) を有効にする。

出力機能端子として設定する場合は、変更前の端子設定と変更後の端子設定が異なると端子から内部エッジが出力されて、意図しない動作をすることがあります。出力端子を変更する場合は、以下の手順で行ってください。

1. 変更しようとする端子機能に該当する周辺モジュールの設定で、出力機能 (または、動作) を無効にする。
2. Pni 機能選択レジスタの設定により、出力機能端子を選択する。
3. 変更しようとする端子機能に該当する周辺モジュールの設定で、出力機能 (または、動作) を有効にする。

14. コンペアマッチタイマ (CMT)

14.1 概要

本LSIは、2チャンネルの16ビットタイマにより構成されるコンペアマッチタイマ(CMT)を3ユニット(ユニット0、ユニット1、ユニット2)、合計6チャンネル内蔵しています。CMTは16ビットのカウンタを持ち、設定した周期ごとに割り込み要求を発生させることができます。

表14.1にコンペアマッチタイマ(CMT)の仕様を示します。図14.1にコンペアマッチタイマ(CMT)のユニット0のブロック図を示します。

表 14.1 コンペアマッチタイマ(CMT)の仕様

項目	機能
カウントソース	チャンネル単位で選択可能 <ul style="list-style-type: none"> ・ 周辺バスクロックAの8分周 ・ 周辺バスクロックAの32分周 ・ 周辺バスクロックAの128分周 ・ 周辺バスクロックAの512分周 ・ CMTカウントソース源(CMT0のみ選択可能)
割り込み要求の発生タイミング	コンペアマッチ(CMiCNTカウンタとCMiCMSEレジスタの値が一致)

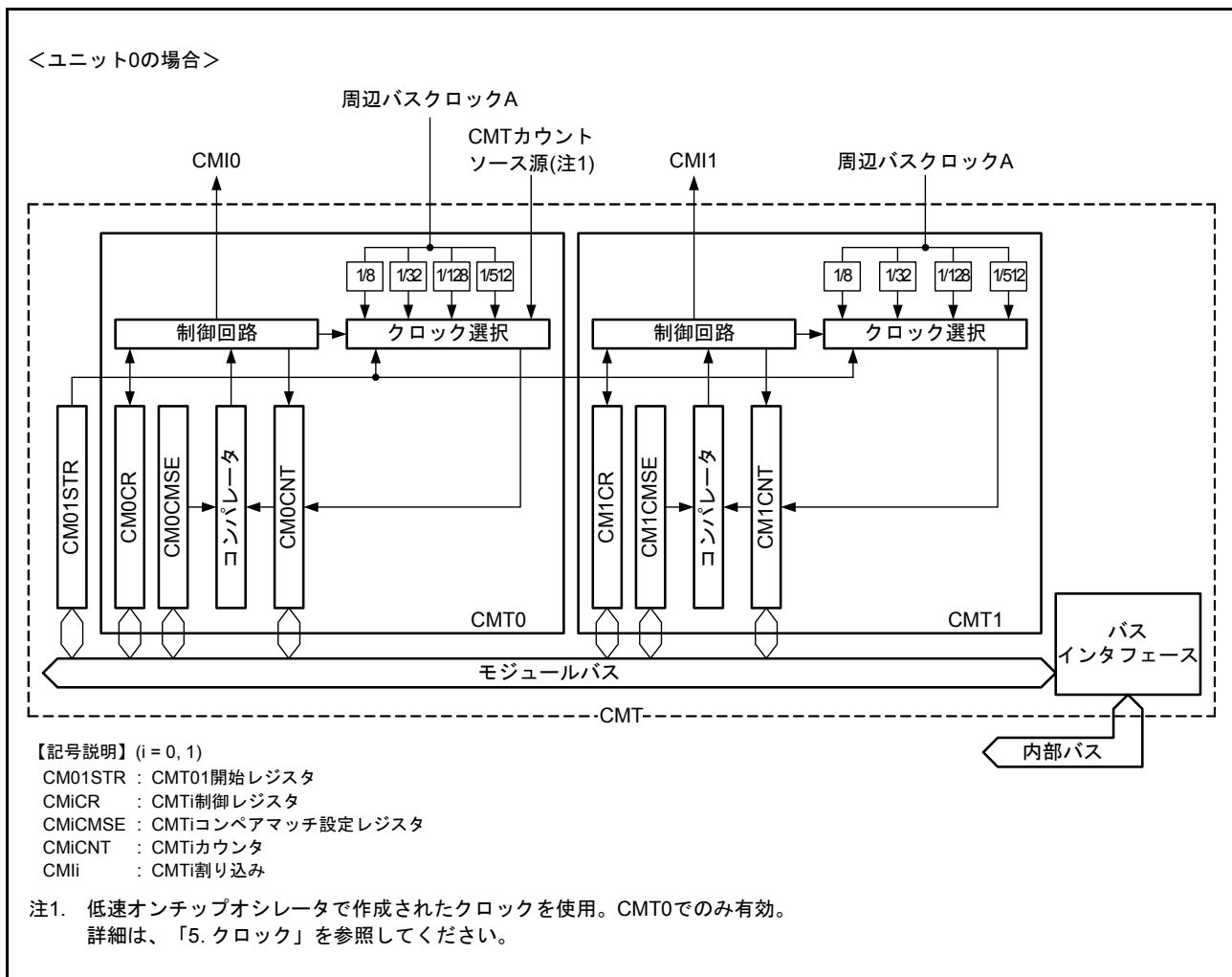


図 14.1 コンペアマッチタイマ (CMT) のユニット 0 のブロック図

14.2 レジスタの説明

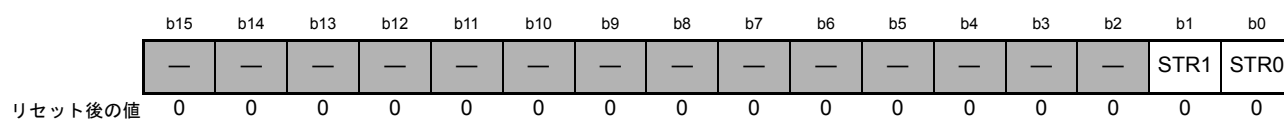
表 14.2 に CMT のレジスタ一覧を示します。

表 14.2 CMT のレジスタ一覧

ユニット	モジュール	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
ユニット0	共通	CMT01開始レジスタ	CM01STR	H'0000	H'FFFE C000	16
	CMT0	CMT0制御レジスタ	CM0CR	H'0000	H'FFFE C002	16
		CMT0カウンタ	CM0CNT	H'0000	H'FFFE C004	16
		CMT0コンペアマッチ設定レジスタ	CM0CMSE	H'FFFF	H'FFFE C006	16
	CMT1	CMT1制御レジスタ	CM1CR	H'0000	H'FFFE C008	16
		CMT1カウンタ	CM1CNT	H'0000	H'FFFE C00A	16
CMT1コンペアマッチ設定レジスタ		CM1CMSE	H'FFFF	H'FFFE C00C	16	
ユニット1	共通	CMT23開始レジスタ	CM23STR	H'0000	H'FFFE C010	16
	CMT2	CMT2制御レジスタ	CM2CR	H'0000	H'FFFE C012	16
		CMT2カウンタ	CM2CNT	H'0000	H'FFFE C014	16
		CMT2コンペアマッチ設定レジスタ	CM2CMSE	H'FFFF	H'FFFE C016	16
	CMT3	CMT3制御レジスタ	CM3CR	H'0000	H'FFFE C018	16
		CMT3カウンタ	CM3CNT	H'0000	H'FFFE C01A	16
CMT3コンペアマッチ設定レジスタ		CM3CMSE	H'FFFF	H'FFFE C01C	16	
ユニット2	共通	CMT45開始レジスタ	CM45STR	H'0000	H'FFFE C020	16
	CMT4	CMT4制御レジスタ	CM4CR	H'0000	H'FFFE C022	16
		CMT4カウンタ	CM4CNT	H'0000	H'FFFE C024	16
		CMT4コンペアマッチ設定レジスタ	CM4CMSE	H'FFFF	H'FFFE C026	16
	CMT5	CMT5制御レジスタ	CM5CR	H'0000	H'FFFE C028	16
		CMT5カウンタ	CM5CNT	H'0000	H'FFFE C02A	16
CMT5コンペアマッチ設定レジスタ		CM5CMSE	H'FFFF	H'FFFE C02C	16	

14.2.1 CMT01 開始レジスタ (CM01STR)

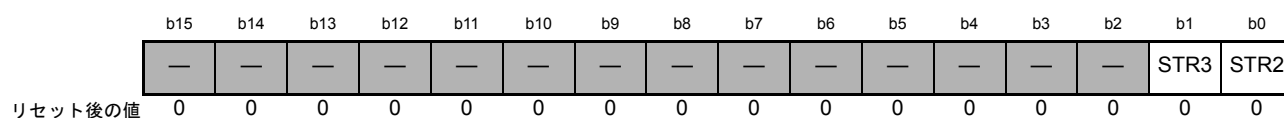
アドレス H'FFFE C000



ビット	シンボル	ビット名	機能	R/W
b15-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1	STR1	カウントスタート1	0 : CM1CNTカウンタのカウンタ動作停止 1 : CM1CNTカウンタのカウンタ動作開始	R/W
b0	STR0	カウントスタート0	0 : CM0CNTカウンタのカウンタ動作停止 1 : CM0CNTカウンタのカウンタ動作開始	R/W

14.2.2 CMT23 開始レジスタ (CM23STR)

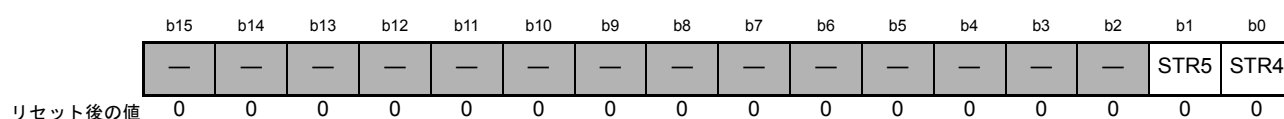
アドレス H'FFFE C010



ビット	シンボル	ビット名	機能	R/W
b15-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1	STR3	カウントスタート3	0 : CM3CNTカウンタのカウンタ動作停止 1 : CM3CNTカウンタのカウンタ動作開始	R/W
b0	STR2	カウントスタート2	0 : CM2CNTカウンタのカウンタ動作停止 1 : CM2CNTカウンタのカウンタ動作開始	R/W

14.2.3 CMT45 開始レジスタ (CM45STR)

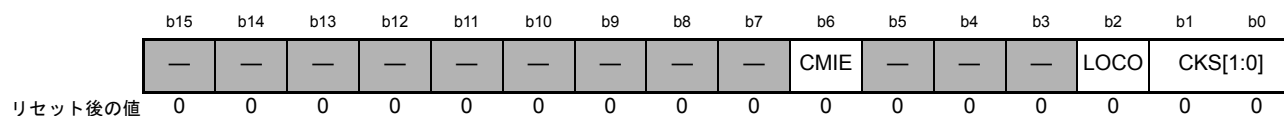
アドレス H'FFFE C020



ビット	シンボル	ビット名	機能	R/W
b15-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1	STR5	カウントスタート5	0 : CM5CNTカウンタのカウンタ動作停止 1 : CM5CNTカウンタのカウンタ動作開始	R/W
b0	STR4	カウントスタート4	0 : CM4CNTカウンタのカウンタ動作停止 1 : CM4CNTカウンタのカウンタ動作開始	R/W

14.2.4 CMTi 制御レジスタ (CMiCR) (i = 0 ~ 5)

アドレス CM0CR : H'FFFE C002、CM1CR : H'FFFE C008、CM2CR : H'FFFE C012、CM3CR : H'FFFE C018、
CM4CR : H'FFFE C022、CM5CR : H'FFFE C028



ビット	シンボル	ビット名	機能	R/W
b15-b8	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b7	—	(予約ビット)	読むと不定値が読み出されます。書き込みは“1”としてください。	R
b6	CMIE	CMTi 割り込みイネーブル	0 : CMTi 割り込み (CMii) の禁止 1 : CMTi 割り込み (CMii) の許可	R/W
b5-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	LOCO	LOCO セレクトビット (注1)	0 : 無効 1 : CMT カウントソース源の選択	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : 周辺バスクロック A の 8 分周 0 1 : 周辺バスクロック A の 32 分周 1 0 : 周辺バスクロック A の 128 分周 1 1 : 周辺バスクロック A の 512 分周	R/W

注1. CMT0 のみ有効となるビットです。CMT1 ~ CMT5 では、予約ビットです。(読むと“0”が読み出されます。書き込みは“0”としてください。)

CMIE ビット

CMiCNT と CMiCMSE の値が一致したとき、CMTi 割り込み (CMii) を発生を許可するか禁止するかを選択します。

LOCO ビット

CMT0 のみ有効となるビットです。

このビットが“1”のときは、カウントソースは低速オンチップオシレータで作成された CMT カウントソースクロック源が選択されます。CMT カウントソースクロック源の設定については、「5. クロック」を参照してください。

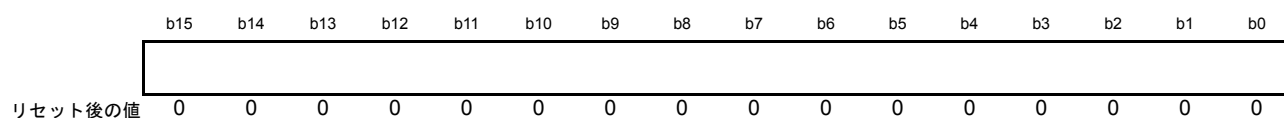
このビットが“0”のときは、カウントソースは CKS ビットで設定したカウントソースが選択されます。

CKS ビット

カウントソースを選択します。

14.2.5 CMT_i カウンタ (CM_iCNT) (i = 0 ~ 5)

アドレス CM0CNT : H'FFFE C004、CM1CNT : H'FFFE C00A、CM2CNT : H'FFFE C014、CM3CNT : H'FFFE C01A、
CM4CNT : H'FFFE C024、CM5CNT : H'FFFE C02A



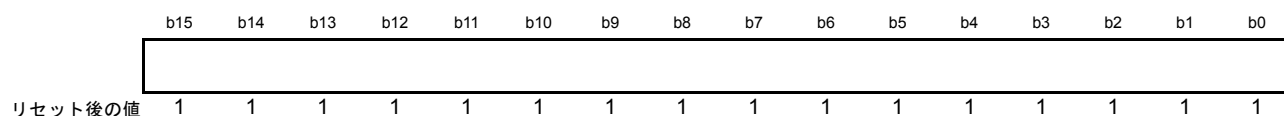
ビット	機能	R/W
b15-b0	割り込み要求を発生させるためのアップカウンタ	R/W

CM01STR、CM23STR、CM45STR レジスタの STR_i ビットを“1”に設定すると、CM_iCNT カウンタはカウントアップ動作を開始します。

CM_iCNT カウンタの値が CM_iCMSE レジスタの値と一致すると、CM_iCNT カウンタは H'0000 にクリアされます。このとき、CMT_i 割り込み (CM_iI) 要求が発生します。(i = 0 ~ 5)

14.2.6 CMT_i コンペアマッチ設定レジスタ (CM_iCMSE) (i = 0 ~ 5)

アドレス CM0CMSE : H'FFFE C006、CM1CMSE : H'FFFE C00C、CM2CMSE : H'FFFE C016、CM3CMSE : H'FFFE C01C、
CM4CMSE : H'FFFE C026、CM5CMSE : H'FFFE C02C



ビット	機能	R/W
b15-b0	CM _i CNT カウンタとのコンペアマッチ周期を設定します。(i = 0 ~ 5)	R/W

14.3 動作説明

14.3.1 周期カウント動作

CMiCR レジスタの CKS ビットでカウントソースを選択し、CM01STR、CM23STR、CM45STR レジスタの STRi ビットを“1”にセットすると、CMiCNT カウンタはカウントアップ動作を開始します (CMT0 のみ LOCO ビットで CMT カウントソース源も選択可能)。

CMiCNT カウンタの値が CMiCMSE レジスタの値と一致すると、CMiCNT カウンタは H'0000 にクリアされます。このとき、CMTi 割り込み要求 (CMIi) が発生します。CMiCNT カウンタは H'0000 から再びカウントアップ動作を再開します。

図 14.2 に CMiCNT カウンタの動作を示します。(i = 0 ~ 5)

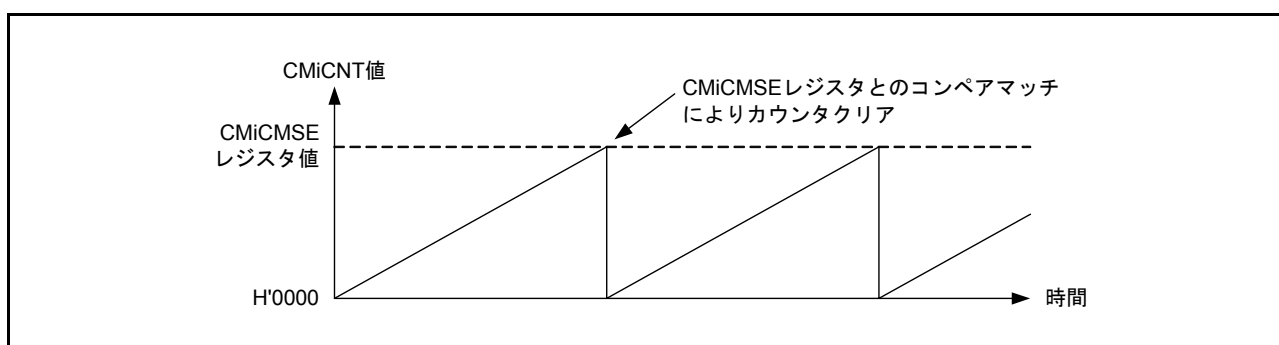


図 14.2 カウンタの動作

14.3.2 CMiCNT カウンタのカウントタイミング

CMiCR レジスタの CKS ビットにより、周辺バスクロック A を分周した 4 種類のカウントソースが選択できます (CMT0 のみ LOCO ビットで CMT カウントソース源も選択可能)。

図 14.3 に CMiCNT カウンタのカウントタイミングを示します。(i = 0 ~ 5)

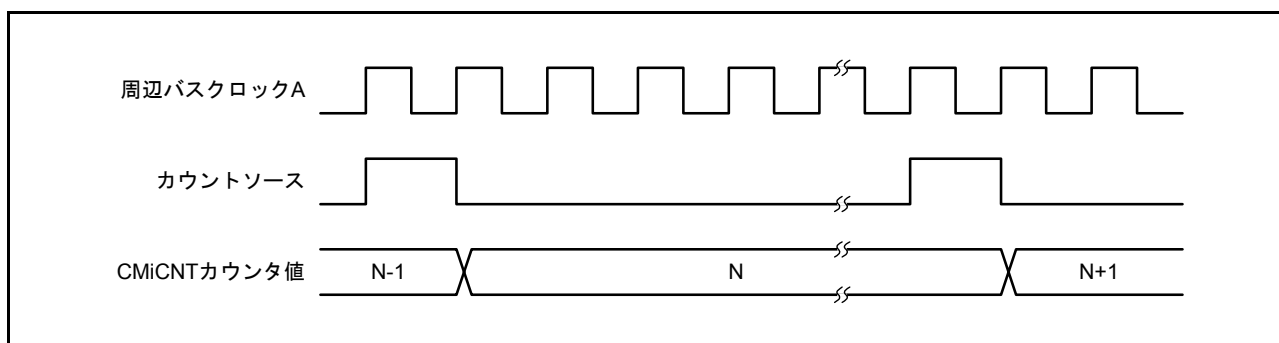


図 14.3 カウントタイミング

14.4 割り込み

14.4.1 割り込み要因

コンペアマッチタイマ (CMT) はチャンネルごとに CMT_i 割り込み (CMT_i) を持ち、それぞれ独立なベクタアドレスが割り当てられています。CMT_i 割り込みが発生すると、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「8. 割り込みコントローラ (INTC)」を参照してください。

表 14.3 CMTの割り込み要因

名称	割り込み要因	割り込みフラグ	DMACの起動
CMT0 割り込み (CMT0)	CM0CNTとCM0CMSEのコンペアマッチ	IR142	可能
CMT1 割り込み (CMT1)	CM1CNTとCM1CMSEのコンペアマッチ	IR143	可能
CMT2 割り込み (CMT2)	CM2CNTとCM2CMSEのコンペアマッチ	IR144	可能
CMT3 割り込み (CMT3)	CM3CNTとCM3CMSEのコンペアマッチ	IR145	可能
CMT4 割り込み (CMT4)	CM4CNTとCM4CMSEのコンペアマッチ	IR146	可能
CMT5 割り込み (CMT5)	CM5CNTとCM5CMSEのコンペアマッチ	IR147	可能

14.4.2 CMTi 割り込みの発生タイミング

CMiCNT カウンタの値と CMiCMSE レジスタの値が一致したときに、CMTi 割り込み (CMTi) が発生します。コンペアマッチ信号は、一致した最後のステート (CMiCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMiCNT カウンタの値と CMiCMSE レジスタの値とが一致した後、CMiCNT カウンタのカウントソースが入力されるまでコンペアマッチ信号 (内部信号) は発生しません。

図 14.4 に CMTi 割り込み要求の出力タイミングを示します。($i = 0 \sim 5$)

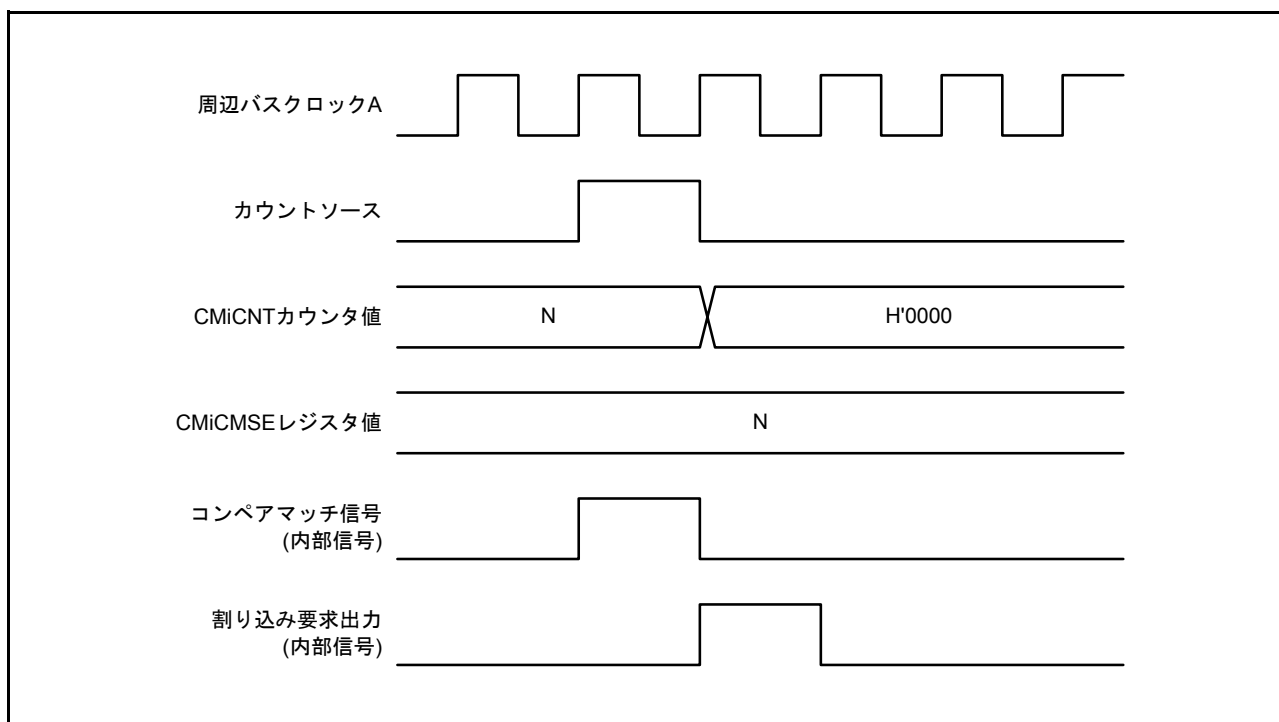


図 14.4 CMTi 割り込み要求の出力タイミング

14.5 コンペアマッチタイマ (CMT) の注意事項

コンペアマッチタイマ (CMT) の動作中、次のような競合や動作が発生するので注意してください。

14.5.1 CMiCNT カウンタの書き込みとコンペアマッチの競合

CMiCNT カウンタへのライト中にコンペアマッチ信号が発生すると、CMiCNT カウンタへの書き込みは行われず CMiCNT カウンタのクリアが優先されます。(i=0~5)

図 14.5 に CMiCNT カウンタの書き込みとコンペアマッチの競合を示します。

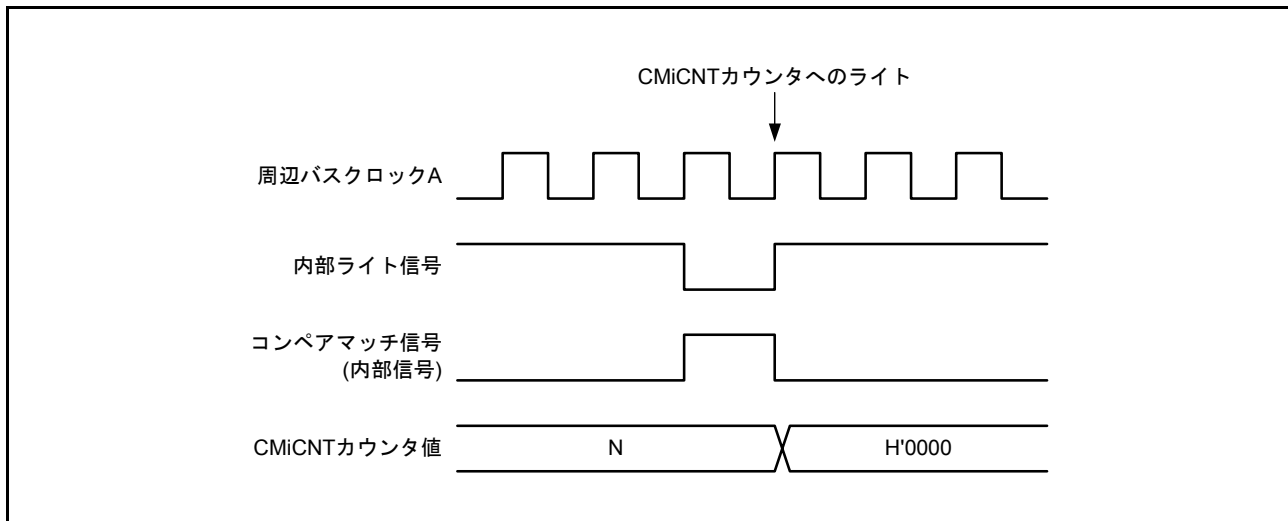


図 14.5 CMiCNT カウンタの書き込みとコンペアマッチの競合

14.5.2 CMiCNT カウンタの書き込みとカウントアップの競合

CMiCNT カウンタへのライト中にカウントアップが発生しても、CMiCNT カウンタはカウントアップされずに CMiCNT カウンタへの書き込みが優先されます。(i=0~5)

図 14.6 に CMiCNT カウンタの書き込みとカウントアップの競合を示します。

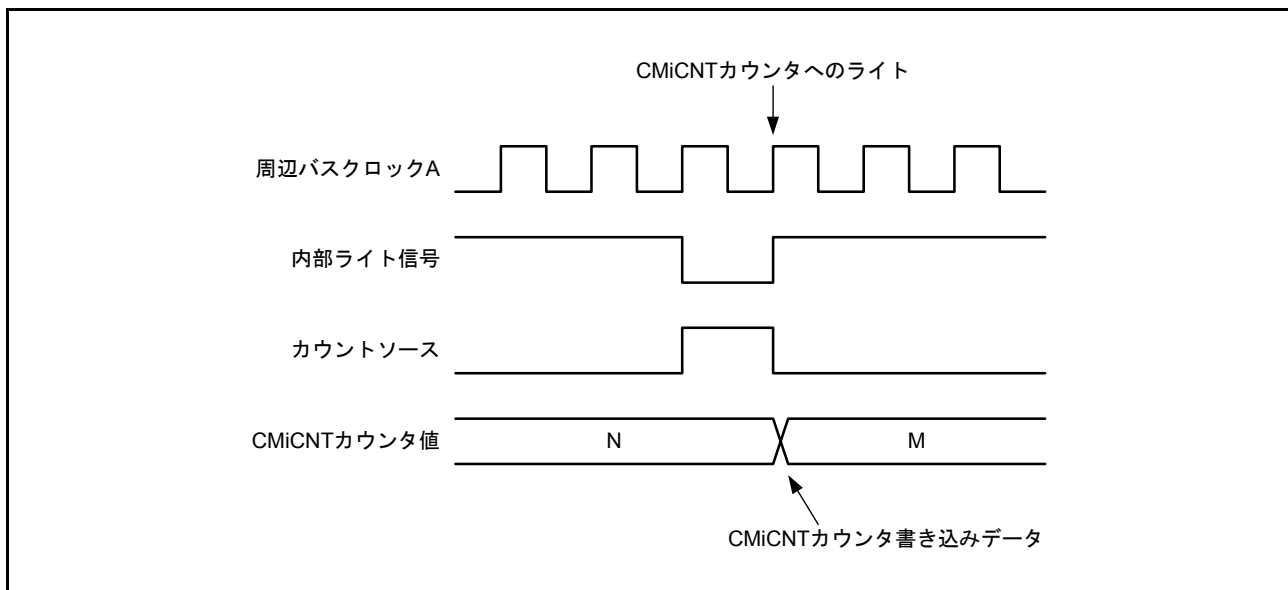


図 14.6 CMiCNT カウンタの書き込みとカウントアップの競合

14.5.3 CMiCR レジスタ書き込みに関する注意事項

- CMiCR レジスタの書き込みは、CMT を動作させる前 (CMT 停止中) に行ってください。
- CMT 動作中に CMiCR レジスタの CKS[1:0]、LOCO ビットを変更させたい場合には、図 14.7 の CMiCR レジスタ書き込み手順例をご参照ください。
- 同様に CMT 動作中に CMiCR レジスタの CMIE ビットを変更させたい場合には、ICRi レジスタの INTEN ビットをご使用ください。INTEN ビットの詳細は、「8. 割り込みコントローラ (INTC)」をご参照ください。

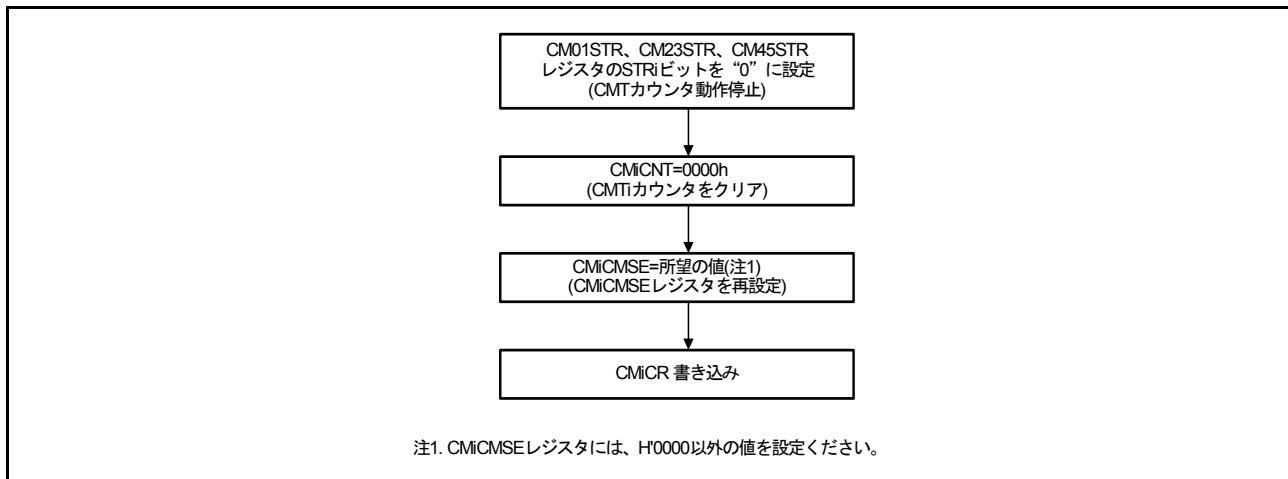


図 14.7 CMiCR レジスタ書き込み手順例

14.5.4 カウント停止中のカウントクリアと割り込み発生に関する注意事項

CM01STR、CM23STR、CM45STR レジスタの STR ビットを 0 にしてカウントを停止した際に、停止させたカウンタの CMiCNT カウンタと CMiCMSE レジスタの値が一致していた場合、その後のカウントソースのタイミングでカウントクリアと割り込みが発生します。

カウント停止後に割り込みを発生させたくない場合は、CM01STR、CM23STR、CM45STR レジスタを設定する前に ICRi レジスタの INTEN ビットを 0 にして CMT の割り込みを禁止してください。

また、カウントが停止している際に CMiCNT カウンタと CMiCMSE レジスタを同じ値に設定しないで下さい。このような設定をした場合、同様にしてその後のカウントソースのタイミングでカウントクリアと割り込みが発生します。

15. タイマパルスユニット (TPU)

本 LSI は、16 ビットタイマパルスユニット (TPU) を 4 ユニット (TPU1 ~ TPU4) 内蔵しています。カスケード接続動作は、ユニット 2, 3 (TPU2, TPU3) が対応します。本章では 16 ユニット内蔵版について説明します。

15.1 概要

表 15.1 に TPU の機能とチャネル、表 15.2 に TPU の機能一覧を示します。

表 15.1 TPU の機能とチャネル

機能		チャネル数
インプットキャプチャ		4 チャネル / ユニット
	デジタルフィルタ機能	4 チャネル / ユニット
アウトプットコンペア		4 チャネル / ユニット
	単相波形出力モード	4 チャネル / ユニット
PWM モード	PWM モード 1	2 チャネル / ユニット
	PWM モード 2	4 チャネル / ユニット

表 15.2 TPU の機能一覧

項目	機能	
	ユニット i (i = 0, 2, 4, 6, 8, 10, 12, 14)	ユニット i (i = 1, 3, 5, 7, 9, 11, 13, 15)
カウントソース	TPiCR レジスタの CSS ビットで選択 b2 b1 b0 0 0 0 : 周辺バスクロック A の分周なし 0 0 1 : 周辺バスクロック A の 4 分周 0 1 0 : 周辺バスクロック A の 16 分周 0 1 1 : 周辺バスクロック A の 64 分周 1 0 0 : 周辺バスクロック A の 256 分周 1 0 1 : 周辺バスクロック A の 1024 分周 1 1 0 : 周辺バスクロック A の 4096 分周 1 1 1 : ユニット i + 1 のオーバフロー	TPiCR レジスタの CSS ビットで選択 b2 b1 b0 0 0 0 : 周辺バスクロック A の分周なし 0 0 1 : 周辺バスクロック A の 4 分周 0 1 0 : 周辺バスクロック A の 16 分周 0 1 1 : 周辺バスクロック A の 64 分周 1 0 0 : 周辺バスクロック A の 256 分周 1 0 1 : 周辺バスクロック A の 1024 分周 1 1 0 : 周辺バスクロック A の 4096 分周 1 1 1 : 設定禁止
ジェネラルレジスタ	TPiGR0, TPiGR1, TPiGR2, TPiGR3	
入出力端子	TPjA, TPjB, TPjC, TPjD (注 1)	
出力レベル	Low レベル、High レベル、トグル Duty 0% 100% 出力が可能	
TPiCNT カウンタリセット要因	コンペアマッチ、インプットキャプチャ	
コンペアマッチ	Low レベル出力、High レベル出力、トグル出力	
PWM モード	可能	
位相シフトモード	可能	
インプットキャプチャ機能	可能	
バッファ機能	可能	
ワンショット出力モード	4 チャネル	
A/D 変換タイミング生成	4 チャネル : 各ユニットの TPiCNT カウンタリセット	
割り込み要因	6 要因 / ユニット <ul style="list-style-type: none"> 各チャネルのコンペアマッチ / インプットキャプチャ TPiGR0, TPiGR1, TPiGR2, TPiGR3 TPiCNT カウンタのオーバフロー 各ユニットの TPiCNT カウンタリセット 	
DMA 要因	5 要因 / ユニット <ul style="list-style-type: none"> 各チャネルのコンペアマッチ / インプットキャプチャ TPiGR0, TPiGR1, TPiGR2, TPiGR3 各ユニットの TPiCNT カウンタリセット 	

注 1. j = 00 ~ 15

図 15.1、図 15.2 に TPU のブロック図を示します。ユニット内部の詳細は、図 15.2 をご参照ください。

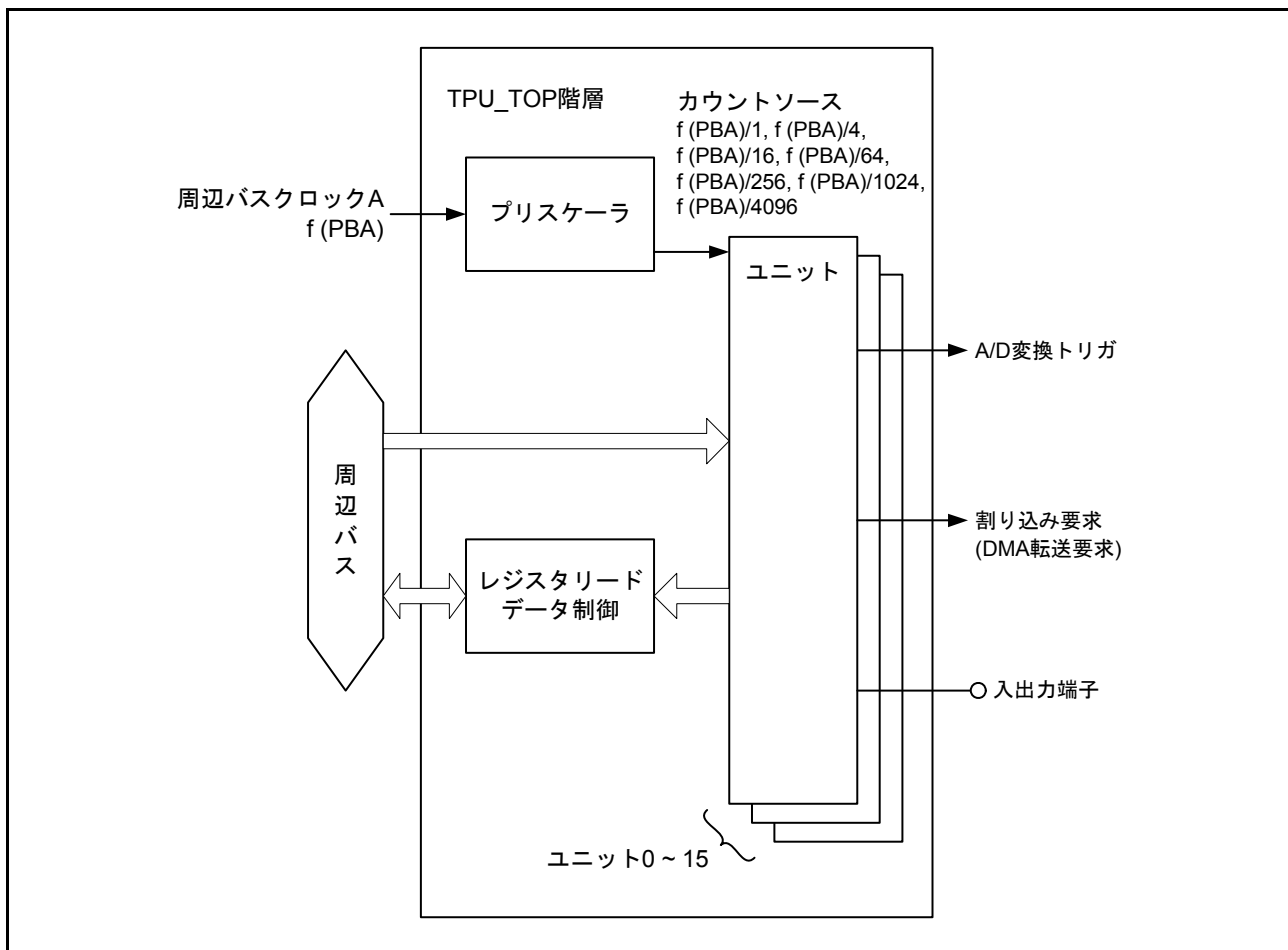


図 15.1 TPU ブロック図 (1)

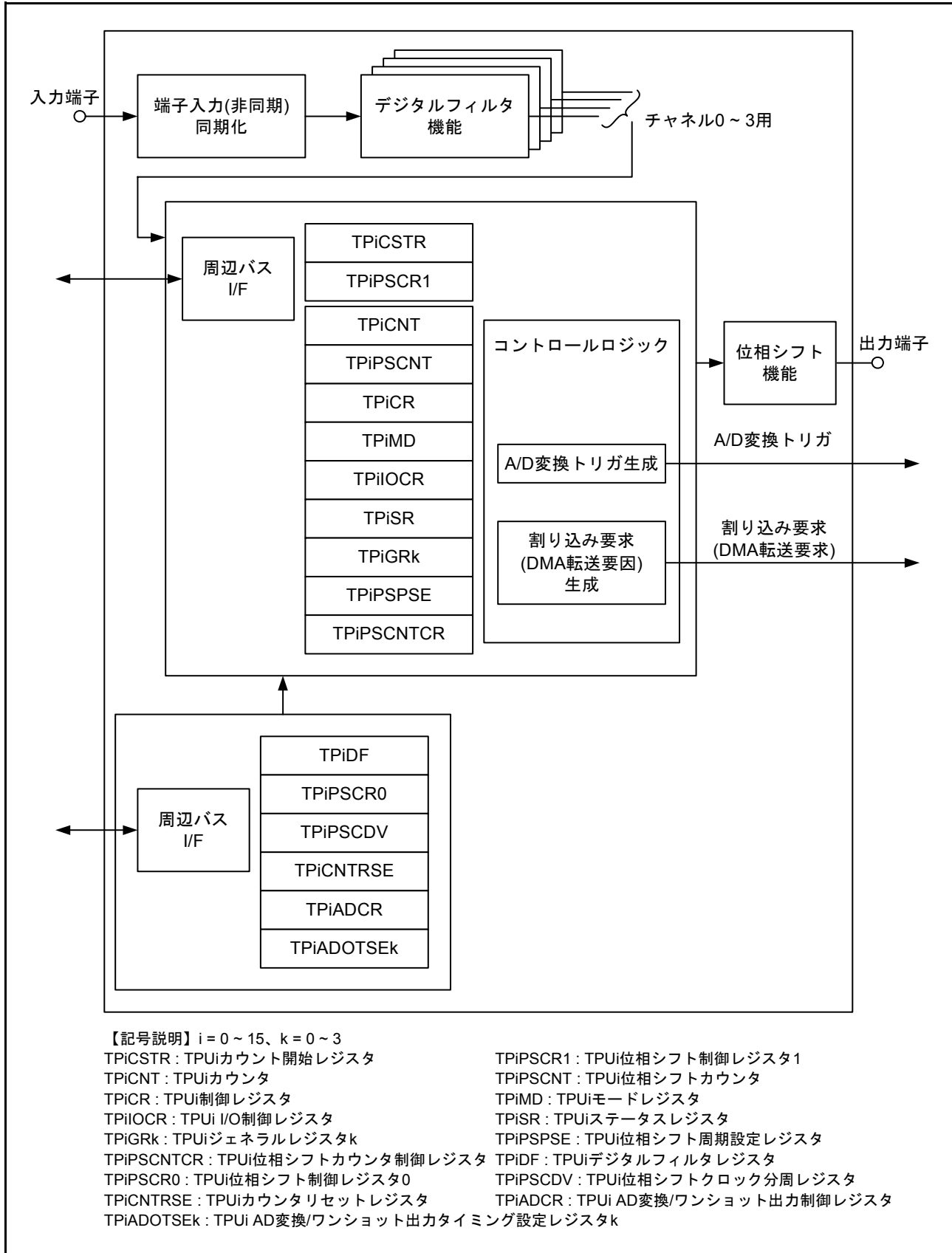


図 15.2 TPU ブロック図 (2)

表 15.3 に TPU の入出力端子を示します。

表 15.3 TPUの入出力端子

端子名	入出力	機能
TP00A ~ TP00D	入出力	ユニット0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TP01A ~ TP01D(注1)	入出力	ユニット1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TP02A ~ TP02D(注2)	入出力	ユニット2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TP03A ~ TP03D	入出力	ユニット3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TP04A ~ TP04D(注3)	入出力	ユニット4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TP05A ~ TP05D	入出力	ユニット5のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TP06A ~ TP06D	入出力	ユニット6のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TP07A ~ TP07D	入出力	ユニット7のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TP08A ~ TP08D	入出力	ユニット8のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TP09A ~ TP09D	入出力	ユニット9のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TP10A ~ TP10D	入出力	ユニット10のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TP11A ~ TP11D	入出力	ユニット11のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TP12A ~ TP12D	入出力	ユニット12のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TP13A ~ TP13D	入出力	ユニット13のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TP14A ~ TP14D	入出力	ユニット14のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TP15A ~ TP15D	入出力	ユニット15のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

注1. SH72A0グループでは、TP01D端子は使用できません。

注2. SH72A0グループでは、TP02A、TP02B端子は使用できません。

注3. SH72A0グループでは、TP04C、TP04D端子は使用できません。

注. 本章では、ユニット*i*、チャンネル*k*のTPU入出力端子を以下のようにTPj*x*と記載します。

		端子名 TPj <i>x</i>			
ユニット <i>i</i> (<i>i</i> = 0 ~ 15)	<i>k</i> = 0 ~ 3 <i>x</i> = A, B, C, D <i>j</i> = 00 ~ 15	チャンネル0 <i>k</i> = 0 <i>x</i> = A	チャンネル1 <i>k</i> = 1 <i>x</i> = B	チャンネル2 <i>k</i> = 2 <i>x</i> = C	チャンネル3 <i>k</i> = 3 <i>x</i> = D
<i>i</i> = 0	<i>j</i> = 00	TP00A	TP00B	TP00C	TP00D
<i>i</i> = 1	<i>j</i> = 01	TP01A	TP01B	TP01C	TP01D
<i>i</i> = 2	<i>j</i> = 02	TP02A	TP02B	TP02C	TP02D
<i>i</i> = 3	<i>j</i> = 03	TP03A	TP03B	TP03C	TP03D
<i>i</i> = 4	<i>j</i> = 04	TP04A	TP04B	TP04C	TP04D
<i>i</i> = 5	<i>j</i> = 05	TP05A	TP05B	TP05C	TP05D
<i>i</i> = 6	<i>j</i> = 06	TP06A	TP06B	TP06C	TP06D
<i>i</i> = 7	<i>j</i> = 07	TP07A	TP07B	TP07C	TP07D
<i>i</i> = 8	<i>j</i> = 08	TP08A	TP08B	TP08C	TP08D
<i>i</i> = 9	<i>j</i> = 09	TP09A	TP09B	TP09C	TP09D
<i>i</i> = 10	<i>j</i> = 10	TP10A	TP10B	TP10C	TP10D
<i>i</i> = 11	<i>j</i> = 11	TP11A	TP11B	TP11C	TP11D
<i>i</i> = 12	<i>j</i> = 12	TP12A	TP12B	TP12C	TP12D
<i>i</i> = 13	<i>j</i> = 13	TP13A	TP13B	TP13C	TP13D
<i>i</i> = 14	<i>j</i> = 14	TP14A	TP14B	TP14C	TP14D
<i>i</i> = 15	<i>j</i> = 15	TP15A	TP15B	TP15C	TP15D

15.2 レジスタの説明

表 15.4～表 15.12 に TPU のレジスタ一覧を示します。

表 15.4 TPUのレジスタ一覧(1)

ユニット	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
ユニット0	TPU0制御レジスタ	TP0CR	H'00	H'FFFE 4000	8
	TPU0モードレジスタ	TP0MD	H'C0	H'FFFE 4001	8
	TPU0ステータスレジスタ	TP0SR	H'C0	H'FFFE 4003	8
	TPU0カウンタ	TP0CNT	H'0000	H'FFFE 4004	16
	TPU0ジェネラルレジスタ0	TP0GR0	H'FFFF	H'FFFE 4006	16
	TPU0ジェネラルレジスタ1	TP0GR1	H'FFFF	H'FFFE 4008	16
	TPU0ジェネラルレジスタ2	TP0GR2	H'FFFF	H'FFFE 400A	16
	TPU0ジェネラルレジスタ3	TP0GR3	H'FFFF	H'FFFE 400C	16
	TPU0カウント開始レジスタ	TP0CSTR	H'00	H'FFFE 4050	8
	TPU0 I/O制御レジスタ	TP0IOCR	H'0000	H'FFFE 400E	8、16
	TPU0デジタルフィルタレジスタ	TP0DF	H'00	H'FFFE 4032	8
	TPU0 AD変換/ワンショット出力制御レジスタ	TP0ADCR	H'00	H'FFFE 4034	8
	TPU0 AD変換/ワンショット出力タイミグ設定レジスタ0	TP0ADOTSE0	H'0000	H'FFFE 4036	8、16
	TPU0 AD変換/ワンショット出力タイミグ設定レジスタ1	TP0ADOTSE1	H'0000	H'FFFE 4038	8、16
	TPU0 AD変換/ワンショット出力タイミグ設定レジスタ2	TP0ADOTSE2	H'0000	H'FFFE 403A	8、16
	TPU0 AD変換/ワンショット出力タイミグ設定レジスタ3	TP0ADOTSE3	H'0000	H'FFFE 403C	8、16
	TPU0カウンタリセットレジスタ	TP0CNRSE	H'0000	H'FFFE 403E	8、16
	TPU0位相シフト制御レジスタ0	TP0PSCR0	H'00	H'FFFE 4030	8
	TPU0位相シフト制御レジスタ1	TP0PSCR1	H'00	H'FFFE 4051	8
	TPU0位相シフトクロック分周レジスタ	TP0PSCDV	H'00	H'FFFE 4031	8
	TPU0位相シフトカウンタ	TP0PSCNT	H'0000	H'FFFE 4024	16
	TPU0位相シフト周期設定レジスタ	TP0PSPSE	H'FFFF	H'FFFE 4028	16
TPU0位相シフトカウンタ制御レジスタ	TP0PSCNTR	H'00	H'FFFE 4020	8	
ユニット1	TPU1制御レジスタ	TP1CR	H'00	H'FFFE 4100	8
	TPU1モードレジスタ	TP1MD	H'C0	H'FFFE 4101	8
	TPU1ステータスレジスタ	TP1SR	H'C0	H'FFFE 4103	8
	TPU1カウンタ	TP1CNT	H'0000	H'FFFE 4104	16
	TPU1ジェネラルレジスタ0	TP1GR0	H'FFFF	H'FFFE 4106	16
	TPU1ジェネラルレジスタ1	TP1GR1	H'FFFF	H'FFFE 4108	16
	TPU1ジェネラルレジスタ2	TP1GR2	H'FFFF	H'FFFE 410A	16
	TPU1ジェネラルレジスタ3	TP1GR3	H'FFFF	H'FFFE 410C	16
	TPU1カウント開始レジスタ	TP1CSTR	H'00	H'FFFE 4150	8
	TPU1 I/O制御レジスタ	TP1IOCR	H'0000	H'FFFE 410E	8、16
	TPU1デジタルフィルタレジスタ	TP1DF	H'00	H'FFFE 4132	8
	TPU1 AD変換/ワンショット出力制御レジスタ	TP1ADCR	H'00	H'FFFE 4134	8
	TPU1 AD変換/ワンショット出力タイミグ設定レジスタ0	TP1ADOTSE0	H'0000	H'FFFE 4136	8、16
	TPU1 AD変換/ワンショット出力タイミグ設定レジスタ1	TP1ADOTSE1	H'0000	H'FFFE 4138	8、16
	TPU1 AD変換/ワンショット出力タイミグ設定レジスタ2	TP1ADOTSE2	H'0000	H'FFFE 413A	8、16
	TPU1 AD変換/ワンショット出力タイミグ設定レジスタ3	TP1ADOTSE3	H'0000	H'FFFE 413C	8、16

表 15.5 TPUのレジスタ一覧(2)

ユニット	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
ユニット1	TPU1カウンタリセットレジスタ	TP1CNTRSE	H'0000	H'FFFE 413E	8、16
	TPU1位相シフト制御レジスタ0	TP1PSCR0	H'00	H'FFFE 4130	8
	TPU1位相シフト制御レジスタ1	TP1PSCR1	H'00	H'FFFE 4151	8
	TPU1位相シフトクロック分周レジスタ	TP1PSCDV	H'00	H'FFFE 4131	8
	TPU1位相シフトカウンタ	TP1PSCNT	H'0000	H'FFFE 4124	16
	TPU1位相シフト周期設定レジスタ	TP1PSPSE	H'FFFF	H'FFFE 4128	16
	TPU1位相シフトカウンタ制御レジスタ	TP1PSCNTR	H'00	H'FFFE 4120	8
ユニット2	TPU2制御レジスタ	TP2CR	H'00	H'FFFE 4200	8
	TPU2モードレジスタ	TP2MD	H'C0	H'FFFE 4201	8
	TPU2ステータスレジスタ	TP2SR	H'C0	H'FFFE 4203	8
	TPU2カウンタ	TP2CNT	H'0000	H'FFFE 4204	16
	TPU2ジェネラルレジスタ0	TP2GR0	H'FFFF	H'FFFE 4206	16
	TPU2ジェネラルレジスタ1	TP2GR1	H'FFFF	H'FFFE 4208	16
	TPU2ジェネラルレジスタ2	TP2GR2	H'FFFF	H'FFFE 420A	16
	TPU2ジェネラルレジスタ3	TP2GR3	H'FFFF	H'FFFE 420C	16
	TPU2カウント開始レジスタ	TP2CSTR	H'00	H'FFFE 4250	8
	TPU2 I/O制御レジスタ	TP2IOCR	H'0000	H'FFFE 420E	8、16
	TPU2デジタルフィルタレジスタ	TP2DF	H'00	H'FFFE 4232	8
	TPU2 AD変換/ワンショット出力制御レジスタ	TP2ADCR	H'00	H'FFFE 4234	8
	TPU2 AD変換/ワンショット出力タイミグ設定レジスタ0	TP2ADOTSE0	H'0000	H'FFFE 4236	8、16
	TPU2 AD変換/ワンショット出力タイミグ設定レジスタ1	TP2ADOTSE1	H'0000	H'FFFE 4238	8、16
	TPU2 AD変換/ワンショット出力タイミグ設定レジスタ2	TP2ADOTSE2	H'0000	H'FFFE 423A	8、16
	TPU2 AD変換/ワンショット出力タイミグ設定レジスタ3	TP2ADOTSE3	H'0000	H'FFFE 423C	8、16
	TPU2カウンタリセットレジスタ	TP2CNTRSE	H'0000	H'FFFE 423E	8、16
	TPU2位相シフト制御レジスタ0	TP2PSCR0	H'00	H'FFFE 4230	8
	TPU2位相シフト制御レジスタ1	TP2PSCR1	H'00	H'FFFE 4251	8
	TPU2位相シフトクロック分周レジスタ	TP2PSCDV	H'00	H'FFFE 4231	8
	TPU2位相シフトカウンタ	TP2PSCNT	H'0000	H'FFFE 4224	16
	TPU2位相シフト周期設定レジスタ	TP2PSPSE	H'FFFF	H'FFFE 4228	16
	TPU2位相シフトカウンタ制御レジスタ	TP2PSCNTR	H'00	H'FFFE 4220	8
ユニット3	TPU3制御レジスタ	TP3CR	H'00	H'FFFE 4300	8
	TPU3モードレジスタ	TP3MD	H'C0	H'FFFE 4301	8
	TPU3ステータスレジスタ	TP3SR	H'C0	H'FFFE 4303	8
	TPU3カウンタ	TP3CNT	H'0000	H'FFFE 4304	16
	TPU3ジェネラルレジスタ0	TP3GR0	H'FFFF	H'FFFE 4306	16
	TPU3ジェネラルレジスタ1	TP3GR1	H'FFFF	H'FFFE 4308	16
	TPU3ジェネラルレジスタ2	TP3GR2	H'FFFF	H'FFFE 430A	16
	TPU3ジェネラルレジスタ3	TP3GR3	H'FFFF	H'FFFE 430C	16
	TPU3カウント開始レジスタ	TP3CSTR	H'00	H'FFFE 4350	8
	TPU3 I/O制御レジスタ	TP3IOCR	H'0000	H'FFFE 430E	8、16
	TPU3デジタルフィルタレジスタ	TP3DF	H'00	H'FFFE 4332	8
	TPU3 AD変換/ワンショット出力制御レジスタ	TP3ADCR	H'00	H'FFFE 4334	8

表 15.6 TPUのレジスタ一覧(3)

ユニット	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
ユニット3	TPU3 AD変換/ワンショット出力タイミング設定レジスタ0	TP3ADOTSE0	H'0000	H'FFFE 4336	8、16
	TPU3 AD変換/ワンショット出力タイミング設定レジスタ1	TP3ADOTSE1	H'0000	H'FFFE 4338	8、16
	TPU3 AD変換/ワンショット出力タイミング設定レジスタ2	TP3ADOTSE2	H'0000	H'FFFE 433A	8、16
	TPU3 AD変換/ワンショット出力タイミング設定レジスタ3	TP3ADOTSE3	H'0000	H'FFFE 433C	8、16
	TPU3カウンタリセットレジスタ	TP3CNTRSE	H'0000	H'FFFE 433E	8、16
	TPU3位相シフト制御レジスタ0	TP3PSCR0	H'00	H'FFFE 4330	8
	TPU3位相シフト制御レジスタ1	TP3PSCR1	H'00	H'FFFE 4351	8
	TPU3位相シフトクロック分周レジスタ	TP3PSCDV	H'00	H'FFFE 4331	8
	TPU3位相シフトカウンタ	TP3PSCNT	H'0000	H'FFFE 4324	16
	TPU3位相シフト周期設定レジスタ	TP3PSPSE	H'FFFF	H'FFFE 4328	16
	TPU3位相シフトカウンタ制御レジスタ	TP3PSCNTRCR	H'00	H'FFFE 4320	8
ユニット4	TPU4制御レジスタ	TP4CR	H'00	H'FFFE 4400	8
	TPU4モードレジスタ	TP4MD	H'C0	H'FFFE 4401	8
	TPU4ステータスレジスタ	TP4SR	H'C0	H'FFFE 4403	8
	TPU4カウンタ	TP4CNT	H'0000	H'FFFE 4404	16
	TPU4ジェネラルレジスタ0	TP4GR0	H'FFFF	H'FFFE 4406	16
	TPU4ジェネラルレジスタ1	TP4GR1	H'FFFF	H'FFFE 4408	16
	TPU4ジェネラルレジスタ2	TP4GR2	H'FFFF	H'FFFE 440A	16
	TPU4ジェネラルレジスタ3	TP4GR3	H'FFFF	H'FFFE 440C	16
	TPU4カウント開始レジスタ	TP4CSTR	H'00	H'FFFE 4450	8
	TPU4 I/O制御レジスタ	TP4IOCR	H'0000	H'FFFE 440E	8、16
	TPU4デジタルフィルタレジスタ	TP4DF	H'00	H'FFFE 4432	8
	TPU4 AD変換/ワンショット出力制御レジスタ	TP4ADCR	H'00	H'FFFE 4434	8
	TPU4 AD変換/ワンショット出力タイミング設定レジスタ0	TP4ADOTSE0	H'0000	H'FFFE 4436	8、16
	TPU4 AD変換/ワンショット出力タイミング設定レジスタ1	TP4ADOTSE1	H'0000	H'FFFE 4438	8、16
	TPU4 AD変換/ワンショット出力タイミング設定レジスタ2	TP4ADOTSE2	H'0000	H'FFFE 443A	8、16
	TPU4 AD変換/ワンショット出力タイミング設定レジスタ3	TP4ADOTSE3	H'0000	H'FFFE 443C	8、16
	TPU4カウンタリセットレジスタ	TP4CNTRSE	H'0000	H'FFFE 443E	8、16
	TPU4位相シフト制御レジスタ0	TP4PSCR0	H'00	H'FFFE 4430	8
	TPU4位相シフト制御レジスタ1	TP4PSCR1	H'00	H'FFFE 4451	8
	TPU4位相シフトクロック分周レジスタ	TP4PSCDV	H'00	H'FFFE 4431	8
TPU4位相シフトカウンタ	TP4PSCNT	H'0000	H'FFFE 4424	16	
TPU4位相シフト周期設定レジスタ	TP4PSPSE	H'FFFF	H'FFFE 4428	16	
TPU4位相シフトカウンタ制御レジスタ	TP4PSCNTRCR	H'00	H'FFFE 4420	8	
ユニット5	TPU5制御レジスタ	TP5CR	H'00	H'FFFE 4500	8
	TPU5モードレジスタ	TP5MD	H'C0	H'FFFE 4501	8
	TPU5ステータスレジスタ	TP5SR	H'C0	H'FFFE 4503	8
	TPU5カウンタ	TP5CNT	H'0000	H'FFFE 4504	16
	TPU5ジェネラルレジスタ0	TP5GR0	H'FFFF	H'FFFE 4506	16
	TPU5ジェネラルレジスタ1	TP5GR1	H'FFFF	H'FFFE 4508	16
	TPU5ジェネラルレジスタ2	TP5GR2	H'FFFF	H'FFFE 450A	16
	TPU5ジェネラルレジスタ3	TP5GR3	H'FFFF	H'FFFE 450C	16

表 15.7 TPUのレジスタ一覧(4)

ユニット	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
ユニット5	TPU5カウント開始レジスタ	TP5CSTR	H'00	H'FFFE 4550	8
	TPU5 I/O制御レジスタ	TP5IOCR	H'0000	H'FFFE 450E	8、16
	TPU5デジタルフィルタレジスタ	TP5DF	H'00	H'FFFE 4532	8
	TPU5 AD変換/ワンショット出力制御レジスタ	TP5ADCR	H'00	H'FFFE 4534	8
	TPU5 AD変換/ワンショット出力タイミグ設定レジスタ0	TP5ADOTSE0	H'0000	H'FFFE 4536	8、16
	TPU5 AD変換/ワンショット出力タイミグ設定レジスタ1	TP5ADOTSE1	H'0000	H'FFFE 4538	8、16
	TPU5 AD変換/ワンショット出力タイミグ設定レジスタ2	TP5ADOTSE2	H'0000	H'FFFE 453A	8、16
	TPU5 AD変換/ワンショット出力タイミグ設定レジスタ3	TP5ADOTSE3	H'0000	H'FFFE 453C	8、16
	TPU5カウンタリセットレジスタ	TP5CNTRSE	H'0000	H'FFFE 453E	8、16
	TPU5位相シフト制御レジスタ0	TP5PSCR0	H'00	H'FFFE 4530	8
	TPU5位相シフト制御レジスタ1	TP5PSCR1	H'00	H'FFFE 4551	8
	TPU5位相シフトクロック分周レジスタ	TP5PSCDV	H'00	H'FFFE 4531	8
	TPU5位相シフトカウンタ	TP5PSCNT	H'0000	H'FFFE 4524	16
	TPU5位相シフト周期設定レジスタ	TP5PSPSE	H'FFFF	H'FFFE 4528	16
	TPU5位相シフトカウンタ制御レジスタ	TP5PSCNTR	H'00	H'FFFE 4520	8
ユニット6	TPU6制御レジスタ	TP6CR	H'00	H'FFFE 4600	8
	TPU6モードレジスタ	TP6MD	H'C0	H'FFFE 4601	8
	TPU6ステータスレジスタ	TP6SR	H'C0	H'FFFE 4603	8
	TPU6カウンタ	TP6CNT	H'0000	H'FFFE 4604	16
	TPU6ジェネラルレジスタ0	TP6GR0	H'FFFF	H'FFFE 4606	16
	TPU6ジェネラルレジスタ1	TP6GR1	H'FFFF	H'FFFE 4608	16
	TPU6ジェネラルレジスタ2	TP6GR2	H'FFFF	H'FFFE 460A	16
	TPU6ジェネラルレジスタ3	TP6GR3	H'FFFF	H'FFFE 460C	16
	TPU6カウント開始レジスタ	TP6CSTR	H'00	H'FFFE 4650	8
	TPU6 I/O制御レジスタ	TP6IOCR	H'0000	H'FFFE 460E	8、16
	TPU6デジタルフィルタレジスタ	TP6DF	H'00	H'FFFE 4632	8
	TPU6 AD変換/ワンショット出力制御レジスタ	TP6ADCR	H'00	H'FFFE 4634	8
	TPU6 AD変換/ワンショット出力タイミグ設定レジスタ0	TP6ADOTSE0	H'0000	H'FFFE 4636	8、16
	TPU6 AD変換/ワンショット出力タイミグ設定レジスタ1	TP6ADOTSE1	H'0000	H'FFFE 4638	8、16
	TPU6 AD変換/ワンショット出力タイミグ設定レジスタ2	TP6ADOTSE2	H'0000	H'FFFE 463A	8、16
	TPU6 AD変換/ワンショット出力タイミグ設定レジスタ3	TP6ADOTSE3	H'0000	H'FFFE 463C	8、16
	TPU6カウンタリセットレジスタ	TP6CNTRSE	H'0000	H'FFFE 463E	8、16
	TPU6位相シフト制御レジスタ0	TP6PSCR0	H'00	H'FFFE 4630	8
	TPU6位相シフト制御レジスタ1	TP6PSCR1	H'00	H'FFFE 4651	8
	TPU6位相シフトクロック分周レジスタ	TP6PSCDV	H'00	H'FFFE 4631	8
	TPU6位相シフトカウンタ	TP6PSCNT	H'0000	H'FFFE 4624	16
TPU6位相シフト周期設定レジスタ	TP6PSPSE	H'FFFF	H'FFFE 4628	16	
TPU6位相シフトカウンタ制御レジスタ	TP6PSCNTR	H'00	H'FFFE 4620	8	
ユニット7	TPU7制御レジスタ	TP7CR	H'00	H'FFFE 4700	8
	TPU7モードレジスタ	TP7MD	H'C0	H'FFFE 4701	8
	TPU7ステータスレジスタ	TP7SR	H'C0	H'FFFE 4703	8
	TPU7カウンタ	TP7CNT	H'0000	H'FFFE 4704	16

表 15.8 TPUのレジスタ一覧(5)

ユニット	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
ユニット7	TPU7 ジェネラルレジスタ 0	TP7GR0	H'FFFF	H'FFFE 4706	16
	TPU7 ジェネラルレジスタ 1	TP7GR1	H'FFFF	H'FFFE 4708	16
	TPU7 ジェネラルレジスタ 2	TP7GR2	H'FFFF	H'FFFE 470A	16
	TPU7 ジェネラルレジスタ 3	TP7GR3	H'FFFF	H'FFFE 470C	16
	TPU7 カウント開始レジスタ	TP7CSTR	H'00	H'FFFE 4750	8
	TPU7 I/O 制御レジスタ	TP7IOCR	H'0000	H'FFFE 470E	8、16
	TPU7 デジタルフィルタレジスタ	TP7DF	H'00	H'FFFE 4732	8
	TPU7 AD 変換/ワンショット出力制御レジスタ	TP7ADCR	H'00	H'FFFE 4734	8
	TPU7 AD 変換/ワンショット出力タイミグ設定レジスタ 0	TP7ADOTSE0	H'0000	H'FFFE 4736	8、16
	TPU7 AD 変換/ワンショット出力タイミグ設定レジスタ 1	TP7ADOTSE1	H'0000	H'FFFE 4738	8、16
	TPU7 AD 変換/ワンショット出力タイミグ設定レジスタ 2	TP7ADOTSE2	H'0000	H'FFFE 473A	8、16
	TPU7 AD 変換/ワンショット出力タイミグ設定レジスタ 3	TP7ADOTSE3	H'0000	H'FFFE 473C	8、16
	TPU7 カウンタリセットレジスタ	TP7CNTRSE	H'0000	H'FFFE 473E	8、16
	TPU7 位相シフト制御レジスタ 0	TP7PSCR0	H'00	H'FFFE 4730	8
	TPU7 位相シフト制御レジスタ 1	TP7PSCR1	H'00	H'FFFE 4751	8
	TPU7 位相シフトクロック分周レジスタ	TP7PSCDV	H'00	H'FFFE 4731	8
	TPU7 位相シフトカウンタ	TP7PSCNT	H'0000	H'FFFE 4724	16
	TPU7 位相シフト周期設定レジスタ	TP7PSPSE	H'FFFF	H'FFFE 4728	16
	TPU7 位相シフトカウンタ制御レジスタ	TP7PSCNTR	H'00	H'FFFE 4720	8
ユニット8	TPU8 制御レジスタ	TP8CR	H'00	H'FFFE 4800	8
	TPU8 モードレジスタ	TP8MD	H'C0	H'FFFE 4801	8
	TPU8 ステータスレジスタ	TP8SR	H'C0	H'FFFE 4803	8
	TPU8 カウンタ	TP8CNT	H'0000	H'FFFE 4804	16
	TPU8 ジェネラルレジスタ 0	TP8GR0	H'FFFF	H'FFFE 4806	16
	TPU8 ジェネラルレジスタ 1	TP8GR1	H'FFFF	H'FFFE 4808	16
	TPU8 ジェネラルレジスタ 2	TP8GR2	H'FFFF	H'FFFE 480A	16
	TPU8 ジェネラルレジスタ 3	TP8GR3	H'FFFF	H'FFFE 480C	16
	TPU8 カウント開始レジスタ	TP8CSTR	H'00	H'FFFE 4850	8
	TPU8 I/O 制御レジスタ	TP8IOCR	H'0000	H'FFFE 480E	8、16
	TPU8 デジタルフィルタレジスタ	TP8DF	H'00	H'FFFE 4832	8
	TPU8 AD 変換/ワンショット出力制御レジスタ	TP8ADCR	H'00	H'FFFE 4834	8
	TPU8 AD 変換/ワンショット出力タイミグ設定レジスタ 0	TP8ADOTSE0	H'0000	H'FFFE 4836	8、16
	TPU8 AD 変換/ワンショット出力タイミグ設定レジスタ 1	TP8ADOTSE1	H'0000	H'FFFE 4838	8、16
	TPU8 AD 変換/ワンショット出力タイミグ設定レジスタ 2	TP8ADOTSE2	H'0000	H'FFFE 483A	8、16
	TPU8 AD 変換/ワンショット出力タイミグ設定レジスタ 3	TP8ADOTSE3	H'0000	H'FFFE 483C	8、16
	TPU8 カウンタリセットレジスタ	TP8CNTRSE	H'0000	H'FFFE 483E	8、16
	TPU8 位相シフト制御レジスタ 0	TP8PSCR0	H'00	H'FFFE 4830	8
	TPU8 位相シフト制御レジスタ 1	TP8PSCR1	H'00	H'FFFE 4851	8
	TPU8 位相シフトクロック分周レジスタ	TP8PSCDV	H'00	H'FFFE 4831	8
	TPU8 位相シフトカウンタ	TP8PSCNT	H'0000	H'FFFE 4824	16
	TPU8 位相シフト周期設定レジスタ	TP8PSPSE	H'FFFF	H'FFFE 4828	16
	TPU8 位相シフトカウンタ制御レジスタ	TP8PSCNTR	H'00	H'FFFE 4820	8

表 15.9 TPUのレジスタ一覧(6)

ユニット	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
ユニット9	TPU9制御レジスタ	TP9CR	H'00	H'FFFE 4900	8
	TPU9モードレジスタ	TP9MD	H'C0	H'FFFE 4901	8
	TPU9ステータスレジスタ	TP9SR	H'C0	H'FFFE 4903	8
	TPU9カウンタ	TP9CNT	H'0000	H'FFFE 4904	16
	TPU9ジェネラルレジスタ0	TP9GR0	H'FFFF	H'FFFE 4906	16
	TPU9ジェネラルレジスタ1	TP9GR1	H'FFFF	H'FFFE 4908	16
	TPU9ジェネラルレジスタ2	TP9GR2	H'FFFF	H'FFFE 490A	16
	TPU9ジェネラルレジスタ3	TP9GR3	H'FFFF	H'FFFE 490C	16
	TPU9カウント開始レジスタ	TP9CSTR	H'00	H'FFFE 4950	8
	TPU9 I/O制御レジスタ	TP9IOCR	H'0000	H'FFFE 490E	8、16
	TPU9デジタルフィルタレジスタ	TP9DF	H'00	H'FFFE 4932	8
	TPU9 AD変換/ワンショット出力制御レジスタ	TP9ADCR	H'00	H'FFFE 4934	8
	TPU9 AD変換/ワンショット出力タイミグ設定レジスタ0	TP9ADOTSE0	H'0000	H'FFFE 4936	8、16
	TPU9 AD変換/ワンショット出力タイミグ設定レジスタ1	TP9ADOTSE1	H'0000	H'FFFE 4938	8、16
	TPU9 AD変換/ワンショット出力タイミグ設定レジスタ2	TP9ADOTSE2	H'0000	H'FFFE 493A	8、16
	TPU9 AD変換/ワンショット出力タイミグ設定レジスタ3	TP9ADOTSE3	H'0000	H'FFFE 493C	8、16
	TPU9カウンタリセットレジスタ	TP9CNTRSE	H'0000	H'FFFE 493E	8、16
	TPU9位相シフト制御レジスタ0	TP9PSCR0	H'00	H'FFFE 4930	8
	TPU9位相シフト制御レジスタ1	TP9PSCR1	H'00	H'FFFE 4951	8
	TPU9位相シフトクロック分周レジスタ	TP9PSCDV	H'00	H'FFFE 4931	8
	TPU9位相シフトカウンタ	TP9PSCNT	H'0000	H'FFFE 4924	16
	TPU9位相シフト周期設定レジスタ	TP9PSPSE	H'FFFF	H'FFFE 4928	16
	TPU9位相シフトカウンタ制御レジスタ	TP9PSCNTRC	H'00	H'FFFE 4920	8
	ユニット10	TPU10制御レジスタ	TP10CR	H'00	H'FFFE 4A00
TPU10モードレジスタ		TP10MD	H'C0	H'FFFE 4A01	8
TPU10ステータスレジスタ		TP10SR	H'C0	H'FFFE 4A03	8
TPU10カウンタ		TP10CNT	H'0000	H'FFFE 4A04	16
TPU10ジェネラルレジスタ0		TP10GR0	H'FFFF	H'FFFE 4A06	16
TPU10ジェネラルレジスタ1		TP10GR1	H'FFFF	H'FFFE 4A08	16
TPU10ジェネラルレジスタ2		TP10GR2	H'FFFF	H'FFFE 4A0A	16
TPU10ジェネラルレジスタ3		TP10GR3	H'FFFF	H'FFFE 4A0C	16
TPU10カウント開始レジスタ		TP10CSTR	H'00	H'FFFE 4A50	8
TPU10 I/O制御レジスタ		TP10IOCR	H'0000	H'FFFE 4A0E	8、16
TPU10デジタルフィルタレジスタ		TP10DF	H'00	H'FFFE 4A32	8
TPU10 AD変換/ワンショット出力制御レジスタ		TP10ADCR	H'00	H'FFFE 4A34	8
TPU10 AD変換/ワンショット出力タイミグ設定レジスタ0		TP10ADOTSE0	H'0000	H'FFFE 4A36	8、16
TPU10 AD変換/ワンショット出力タイミグ設定レジスタ1		TP10ADOTSE1	H'0000	H'FFFE 4A38	8、16
TPU10 AD変換/ワンショット出力タイミグ設定レジスタ2		TP10ADOTSE2	H'0000	H'FFFE 4A3A	8、16
TPU10 AD変換/ワンショット出力タイミグ設定レジスタ3		TP10ADOTSE3	H'0000	H'FFFE 4A3C	8、16
TPU10カウンタリセットレジスタ		TP10CNTRSE	H'0000	H'FFFE 4A3E	8、16
TPU10位相シフト制御レジスタ0		TP10PSCR0	H'00	H'FFFE 4A30	8
TPU10位相シフト制御レジスタ1		TP10PSCR1	H'00	H'FFFE 4A51	8

表 15.10 TPUのレジスタ一覧(7)

ユニット	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
ユニット10	TPU10位相シフトクロック分周レジスタ	TP10PSCDV	H'00	H'FFFE 4A31	8
	TPU10位相シフトカウンタ	TP10PSCNT	H'0000	H'FFFE 4A24	16
	TPU10位相シフト周期設定レジスタ	TP10PSPSE	H'FFFF	H'FFFE 4A28	16
	TPU10位相シフトカウンタ制御レジスタ	TP10PSCNTPCR	H'00	H'FFFE 4A20	8
ユニット11	TPU11制御レジスタ	TP11CR	H'00	H'FFFE 4B00	8
	TPU11モードレジスタ	TP11MD	H'C0	H'FFFE 4B01	8
	TPU11ステータスレジスタ	TP11SR	H'C0	H'FFFE 4B03	8
	TPU11カウンタ	TP11CNT	H'0000	H'FFFE 4B04	16
	TPU11ジェネラルレジスタ0	TP11GR0	H'FFFF	H'FFFE 4B06	16
	TPU11ジェネラルレジスタ1	TP11GR1	H'FFFF	H'FFFE 4B08	16
	TPU11ジェネラルレジスタ2	TP11GR2	H'FFFF	H'FFFE 4B0A	16
	TPU11ジェネラルレジスタ3	TP11GR3	H'FFFF	H'FFFE 4B0C	16
	TPU11カウント開始レジスタ	TP11CSTR	H'00	H'FFFE 4B50	8
	TPU11 I/O制御レジスタ	TP11IOCR	H'0000	H'FFFE 4B0E	8、16
	TPU11デジタルフィルタレジスタ	TP11DF	H'00	H'FFFE 4B32	8
	TPU11 AD変換/ワンショット出力制御レジスタ	TP11ADCR	H'00	H'FFFE 4B34	8
	TPU11 AD変換/ワンショット出力タイミグ設定レジスタ0	TP11ADOTSE0	H'0000	H'FFFE 4B36	8、16
	TPU11 AD変換/ワンショット出力タイミグ設定レジスタ1	TP11ADOTSE1	H'0000	H'FFFE 4B38	8、16
	TPU11 AD変換/ワンショット出力タイミグ設定レジスタ2	TP11ADOTSE2	H'0000	H'FFFE 4B3A	8、16
	TPU11 AD変換/ワンショット出力タイミグ設定レジスタ3	TP11ADOTSE3	H'0000	H'FFFE 4B3C	8、16
	TPU11カウンタリセットレジスタ	TP11CNTRSE	H'0000	H'FFFE 4B3E	8、16
	TPU11位相シフト制御レジスタ0	TP11PSCR0	H'00	H'FFFE 4B30	8
	TPU11位相シフト制御レジスタ1	TP11PSCR1	H'00	H'FFFE 4B51	8
	TPU11位相シフトクロック分周レジスタ	TP11PSCDV	H'00	H'FFFE 4B31	8
	TPU11位相シフトカウンタ	TP11PSCNT	H'0000	H'FFFE 4B24	16
	TPU11位相シフト周期設定レジスタ	TP11PSPSE	H'FFFF	H'FFFE 4B28	16
	TPU11位相シフトカウンタ制御レジスタ	TP11PSCNTPCR	H'00	H'FFFE 4B20	8
	ユニット12	TPU12制御レジスタ	TP12CR	H'00	H'FFFE 4C00
TPU12モードレジスタ		TP12MD	H'C0	H'FFFE 4C01	8
TPU12ステータスレジスタ		TP12SR	H'C0	H'FFFE 4C03	8
TPU12カウンタ		TP12CNT	H'0000	H'FFFE 4C04	16
TPU12ジェネラルレジスタ0		TP12GR0	H'FFFF	H'FFFE 4C06	16
TPU12ジェネラルレジスタ1		TP12GR1	H'FFFF	H'FFFE 4C08	16
TPU12ジェネラルレジスタ2		TP12GR2	H'FFFF	H'FFFE 4C0A	16
TPU12ジェネラルレジスタ3		TP12GR3	H'FFFF	H'FFFE 4C0C	16
TPU12カウント開始レジスタ		TP12CSTR	H'00	H'FFFE 4C50	8
TPU12 I/O制御レジスタ		TP12IOCR	H'0000	H'FFFE 4C0E	8、16
TPU12デジタルフィルタレジスタ		TP12DF	H'00	H'FFFE 4C32	8
TPU12 AD変換/ワンショット出力制御レジスタ		TP12ADCR	H'00	H'FFFE 4C34	8
TPU12 AD変換/ワンショット出力タイミグ設定レジスタ0		TP12ADOTSE0	H'0000	H'FFFE 4C36	8、16
TPU12 AD変換/ワンショット出力タイミグ設定レジスタ1		TP12ADOTSE1	H'0000	H'FFFE 4C38	8、16
TPU12 AD変換/ワンショット出力タイミグ設定レジスタ2		TP12ADOTSE2	H'0000	H'FFFE 4C3A	8、16

表 15.11 TPUのレジスタ一覧(8)

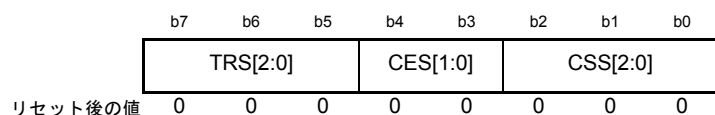
ユニット	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
ユニット12	TPU12 AD変換/ワンショット出力タイミング設定レジスタ3	TP12ADOTSE3	H'0000	H'FFFE 4C3C	8、16
	TPU12カウンタリセットレジスタ	TP12CNTRSE	H'0000	H'FFFE 4C3E	8、16
	TPU12位相シフト制御レジスタ0	TP12PSCR0	H'00	H'FFFE 4C30	8
	TPU12位相シフト制御レジスタ1	TP12PSCR1	H'00	H'FFFE 4C51	8
	TPU12位相シフトクロック分周レジスタ	TP12PSCDV	H'00	H'FFFE 4C31	8
	TPU12位相シフトカウンタ	TP12PSCNT	H'0000	H'FFFE 4C24	16
	TPU12位相シフト周期設定レジスタ	TP12PSPSE	H'FFFF	H'FFFE 4C28	16
	TPU12位相シフトカウンタ制御レジスタ	TP12PSCNTR	H'00	H'FFFE 4C20	8
ユニット13	TPU13制御レジスタ	TP13CR	H'00	H'FFFE 4D00	8
	TPU13モードレジスタ	TP13MD	H'C0	H'FFFE 4D01	8
	TPU13ステータスレジスタ	TP13SR	H'C0	H'FFFE 4D03	8
	TPU13カウンタ	TP13CNT	H'0000	H'FFFE 4D04	16
	TPU13ジェネラルレジスタ0	TP13GR0	H'FFFF	H'FFFE 4D06	16
	TPU13ジェネラルレジスタ1	TP13GR1	H'FFFF	H'FFFE 4D08	16
	TPU13ジェネラルレジスタ2	TP13GR2	H'FFFF	H'FFFE 4D0A	16
	TPU13ジェネラルレジスタ3	TP13GR3	H'FFFF	H'FFFE 4D0C	16
	TPU13カウント開始レジスタ	TP13CSTR	H'00	H'FFFE 4D50	8
	TPU13 I/O制御レジスタ	TP13IOCR	H'0000	H'FFFE 4D0E	8、16
	TPU13デジタルフィルタレジスタ	TP13DF	H'00	H'FFFE 4D32	8
	TPU13 AD変換/ワンショット出力制御レジスタ	TP13ADCR	H'00	H'FFFE 4D34	8
	TPU13 AD変換/ワンショット出力タイミング設定レジスタ0	TP13ADOTSE0	H'0000	H'FFFE 4D36	8、16
	TPU13 AD変換/ワンショット出力タイミング設定レジスタ1	TP13ADOTSE1	H'0000	H'FFFE 4D38	8、16
	TPU13 AD変換/ワンショット出力タイミング設定レジスタ2	TP13ADOTSE2	H'0000	H'FFFE 4D3A	8、16
	TPU13 AD変換/ワンショット出力タイミング設定レジスタ3	TP13ADOTSE3	H'0000	H'FFFE 4D3C	8、16
	TPU13カウンタリセットレジスタ	TP13CNTRSE	H'0000	H'FFFE 4D3E	8、16
	TPU13位相シフト制御レジスタ0	TP13PSCR0	H'00	H'FFFE 4D30	8
	TPU13位相シフト制御レジスタ1	TP13PSCR1	H'00	H'FFFE 4D51	8
	TPU13位相シフトクロック分周レジスタ	TP13PSCDV	H'00	H'FFFE 4D31	8
TPU13位相シフトカウンタ	TP13PSCNT	H'0000	H'FFFE 4D24	16	
TPU13位相シフト周期設定レジスタ	TP13PSPSE	H'FFFF	H'FFFE 4D28	16	
TPU13位相シフトカウンタ制御レジスタ	TP13PSCNTR	H'00	H'FFFE 4D20	8	
ユニット14	TPU14制御レジスタ	TP14CR	H'00	H'FFFE 4E00	8
	TPU14モードレジスタ	TP14MD	H'C0	H'FFFE 4E01	8
	TPU14ステータスレジスタ	TP14SR	H'C0	H'FFFE 4E03	8
	TPU14カウンタ	TP14CNT	H'0000	H'FFFE 4E04	16
	TPU14ジェネラルレジスタ0	TP14GR0	H'FFFF	H'FFFE 4E06	16
	TPU14ジェネラルレジスタ1	TP14GR1	H'FFFF	H'FFFE 4E08	16
	TPU14ジェネラルレジスタ2	TP14GR2	H'FFFF	H'FFFE 4E0A	16
	TPU14ジェネラルレジスタ3	TP14GR3	H'FFFF	H'FFFE 4E0C	16
	TPU14カウント開始レジスタ	TP14CSTR	H'00	H'FFFE 4E50	8
	TPU14 I/O制御レジスタ	TP14IOCR	H'0000	H'FFFE 4E0E	8、16
	TPU14デジタルフィルタレジスタ	TP14DF	H'00	H'FFFE 4E32	8

表 15.12 TPUのレジスタ一覧(9)

ユニット	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
ユニット 14	TPU14 AD変換/ワンショット出力制御レジスタ	TP14ADCR	H'00	H'FFFE 4E34	8
	TPU14 AD変換/ワンショット出力タイミング設定レジスタ0	TP14ADOTSE0	H'0000	H'FFFE 4E36	8、16
	TPU14 AD変換/ワンショット出力タイミング設定レジスタ1	TP14ADOTSE1	H'0000	H'FFFE 4E38	8、16
	TPU14 AD変換/ワンショット出力タイミング設定レジスタ2	TP14ADOTSE2	H'0000	H'FFFE 4E3A	8、16
	TPU14 AD変換/ワンショット出力タイミング設定レジスタ3	TP14ADOTSE3	H'0000	H'FFFE 4E3C	8、16
	TPU14 カウンタリセットレジスタ	TP14CNTRSE	H'0000	H'FFFE 4E3E	8、16
	TPU14 位相シフト制御レジスタ0	TP14PSCR0	H'00	H'FFFE 4E30	8
	TPU14 位相シフト制御レジスタ1	TP14PSCR1	H'00	H'FFFE 4E51	8
	TPU14 位相シフトクロック分周レジスタ	TP14PSCDV	H'00	H'FFFE 4E31	8
	TPU14 位相シフトカウンタ	TP14PSCNT	H'0000	H'FFFE 4E24	16
	TPU14 位相シフト周期設定レジスタ	TP14PSPSE	H'FFFF	H'FFFE 4E28	16
	TPU14 位相シフトカウンタ制御レジスタ	TP14PSCNTR	H'00	H'FFFE 4E20	8
ユニット 15	TPU15 制御レジスタ	TP15CR	H'00	H'FFFE 4F00	8
	TPU15 モードレジスタ	TP15MD	H'C0	H'FFFE 4F01	8
	TPU15 ステータスレジスタ	TP15SR	H'C0	H'FFFE 4F03	8
	TPU15 カウンタ	TP15CNT	H'0000	H'FFFE 4F04	16
	TPU15 ジェネラルレジスタ0	TP15GR0	H'FFFF	H'FFFE 4F06	16
	TPU15 ジェネラルレジスタ1	TP15GR1	H'FFFF	H'FFFE 4F08	16
	TPU15 ジェネラルレジスタ2	TP15GR2	H'FFFF	H'FFFE 4F0A	16
	TPU15 ジェネラルレジスタ3	TP15GR3	H'FFFF	H'FFFE 4F0C	16
	TPU15 カウント開始レジスタ	TP15CSTR	H'00	H'FFFE 4F50	8
	TPU15 I/O制御レジスタ	TP15IOCR	H'0000	H'FFFE 4F0E	8、16
	TPU15 デジタルフィルタレジスタ	TP15DF	H'00	H'FFFE 4F32	8
	TPU15 AD変換/ワンショット出力制御レジスタ	TP15ADCR	H'00	H'FFFE 4F34	8
	TPU15 AD変換/ワンショット出力タイミング設定レジスタ0	TP15ADOTSE0	H'0000	H'FFFE 4F36	8、16
	TPU15 AD変換/ワンショット出力タイミング設定レジスタ1	TP15ADOTSE1	H'0000	H'FFFE 4F38	8、16
	TPU15 AD変換/ワンショット出力タイミング設定レジスタ2	TP15ADOTSE2	H'0000	H'FFFE 4F3A	8、16
	TPU15 AD変換/ワンショット出力タイミング設定レジスタ3	TP15ADOTSE3	H'0000	H'FFFE 4F3C	8、16
	TPU15 カウンタリセットレジスタ	TP15CNTRSE	H'0000	H'FFFE 4F3E	8、16
	TPU15 位相シフト制御レジスタ0	TP15PSCR0	H'00	H'FFFE 4F30	8
	TPU15 位相シフト制御レジスタ1	TP15PSCR1	H'00	H'FFFE 4F51	8
	TPU15 位相シフトクロック分周レジスタ	TP15PSCDV	H'00	H'FFFE 4F31	8
	TPU15 位相シフトカウンタ	TP15PSCNT	H'0000	H'FFFE 4F24	16
	TPU15 位相シフト周期設定レジスタ	TP15PSPSE	H'FFFF	H'FFFE 4F28	16
	TPU15 位相シフトカウンタ制御レジスタ	TP15PSCNTR	H'00	H'FFFE 4F20	8

15.2.1 TPUi 制御レジスタ (TPiCR) (i = 0 ~ 15)

アドレス TP0CR : H'FFFE 4000、TP1CR : H'FFFE 4100、TP2CR : H'FFFE 4200、TP3CR : H'FFFE 4300、
TP4CR : H'FFFE 4400、TP5CR : H'FFFE 4500、TP6CR : H'FFFE 4600、TP7CR : H'FFFE 4700、
TP8CR : H'FFFE 4800、TP9CR : H'FFFE 4900、TP10CR : H'FFFE 4A00、TP11CR : H'FFFE 4B00、
TP12CR : H'FFFE 4C00、TP13CR : H'FFFE 4D00、TP14CR : H'FFFE 4E00、TP15CR : H'FFFE 4F00



ビット	シンボル	ビット名	機能	R/W
b7-b5	TRS[2:0]	TPiCNTカウンタリセット要因 選択ビット	b7 b6 b5 0 0 0 : リセットしない 0 0 1 : チャネル0のコンペアマッチ/インプットキャプチャ 0 1 0 : チャネル1のコンペアマッチ/インプットキャプチャ 0 1 1 : TPiPSCNTカウンタとTPiPSPSEレジスタのコンペアマッチ 1 0 0 : TPiCNTRSEレジスタ設定によるリセット 1 0 1 : チャネル2のコンペアマッチ/インプットキャプチャ 1 1 0 : チャネル3のコンペアマッチ/インプットキャプチャ 1 1 1 : TPiPSCNTカウンタとTPiPSPSEレジスタのコンペアマッチ	R/W
b4-b3	CES[1:0]	カウントエッジ選択ビット	b4 b3 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 両エッジ 1 1 : 両エッジ	R/W
b2-b0	CSS[2:0]	カウントソース選択ビット	b2 b1 b0 0 0 0 : 周辺バスクロックAの分周なし 0 0 1 : 周辺バスクロックAの4分周 0 1 0 : 周辺バスクロックAの16分周 0 1 1 : 周辺バスクロックAの64分周 1 0 0 : 周辺バスクロックAの256分周 1 0 1 : 周辺バスクロックAの1024分周 1 1 0 : 周辺バスクロックAの4096分周 1 1 1 : (i = 0、2、4、6、8、10、12、14のとき)ユニットi + 1 のオーバーフロー (i = 1、3、5、7、9、11、13、15のとき)設定禁止	R/W

注. ・ i = 0 ~ 15

TRS ビット

TPiCNTカウンタのリセット要因を選択します。TRSビットが“B'101”の場合、TPiMDレジスタのGR2FSビットを“0”(TPiGR2レジスタをインプットキャプチャ/アウトプットコンペアで使用)にしてください。

TRSビットが“B'110”の場合、TPiMDレジスタのGR3FSビットを“0”(TPiGR3レジスタをインプットキャプチャ/アウトプットコンペアで使用)にしてください。

位相シフトモード時は、TRSビットを“B'011”または“B'111”に設定してください。

PWMモード2では、“B'100”に設定し、TPiCNTカウンタ周期をTPiCNTRSEレジスタに設定してください。

“B'001”、“B'010”、“B'101”、“B'110”に設定すると、対応する出力端子からは、コンペアマッチによる波形が出力されません。

CES ビット

カウントするエッジを選択します。カウントソースに周辺バスクロックAの分周なしを選択した場合、設定値は無効になり、立ち上がりエッジが選択されます。エッジ選択は、入力クロックが周辺バスクロックAの4分周もしくはそれより遅い場合に有効です。

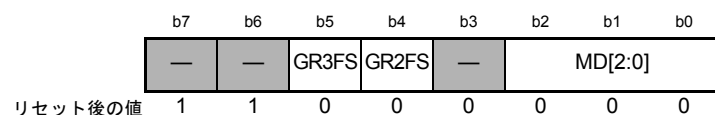
またカウントソースに他ユニットのオーバーフローを選択した場合、“01”または“00”を設定してください。

CSS ビット

TPiCNT カウンタのカウンタソースを選択します。

15.2.2 TPUi モードレジスタ (TPiMD) (i = 0 ~ 15)

アドレス TP0MD : H'FFFE 4001、TP1MD : H'FFFE 4101、TP2MD : H'FFFE 4201、TP3MD : H'FFFE 4301、
TP4MD : H'FFFE 4401、TP5MD : H'FFFE 4501、TP6MD : H'FFFE 4601、TP7MD : H'FFFE 4701、
TP8MD : H'FFFE 4801、TP9MD : H'FFFE 4901、TP10MD : H'FFFE 4A01、TP11MD : H'FFFE 4B01、
TP12MD : H'FFFE 4C01、TP13MD : H'FFFE 4D01、TP14MD : H'FFFE 4E01、TP15MD : H'FFFE 4F01



ビット	シンボル	ビット名	機能	R/W
b7-b6	—	(予約ビット)	読むと“1”が読み出されます。書き込みは“1”としてください。	R
b5	GR3FS	TPiGR3機能選択ビット	0 : TPiGR3レジスタをインプットキャプチャ/アウトプットコンペアで使用する 1 : TPiGR3レジスタをバッファとして使用する	R/W
b4	GR2FS	TPiGR2機能選択ビット	0 : TPiGR2レジスタをインプットキャプチャ/アウトプットコンペアで使用する 1 : TPiGR2レジスタをバッファとして使用する	R/W
b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2-b0	MD[2:0]	モード選択ビット	b2 b1 b0 0 0 0 : タイマモード 0 0 1 : 設定禁止 0 1 0 : PWMモード1 0 1 1 : PWMモード2 1 0 0 : 設定禁止 1 0 1 : 設定禁止 1 1 0 : 設定禁止 1 1 1 : 設定禁止	R/W

注. • i = 0 ~ 15

GR3FS ビット

TPiGR3 レジスタをインプットキャプチャ/アウトプットコンペアで使用するか、TPiGR1 レジスタのバッファとして使用するかを選択します。

TPiGR3 レジスタをバッファレジスタとして使用した場合は、TPiGR3 レジスタをインプットキャプチャ/アウトプットコンペアでは使用できません。

GR2FS ビット

TPiGR2 レジスタをインプットキャプチャ/アウトプットコンペアで使用するか、TPiGR0 レジスタのバッファとして使用するかを選択します。

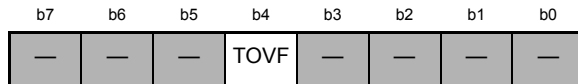
TPiGR2 レジスタをバッファレジスタとして使用した場合は、TPiGR2 レジスタをインプットキャプチャ/アウトプットコンペアでは使用できません。

MD ビット

動作モードを設定します。

15.2.3 TPUi ステータスレジスタ (TPiSR) (i = 0 ~ 15)

アドレス TP0SR : H'FFFE 4003、TP1SR : H'FFFE 4103、TP2SR : H'FFFE 4203、TP3SR : H'FFFE 4303、
TP4SR : H'FFFE 4403、TP5SR : H'FFFE 4503、TP6SR : H'FFFE 4603、TP7SR : H'FFFE 4703、
TP8SR : H'FFFE 4803、TP9SR : H'FFFE 4903、TP10SR : H'FFFE 4A03、TP11SR : H'FFFE 4B03、
TP12SR : H'FFFE 4C03、TP13SR : H'FFFE 4D03、TP14SR : H'FFFE 4E03、TP15SR : H'FFFE 4F03



リセット後の値 1 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7-b6	—	(予約ビット)	読むと“1”が読み出されます。書き込みは“1”としてください。	R
b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4	TOVF	オーバフローフラグ	0: オーバフローなし 1: オーバフローあり	R/W
b3-b0	—	(予約ビット)	読むと不定値が読み出されます。書き込みは“0”としてください。	R

注. ・ i = 0 ~ 15

TOVF フラグ

TPiCNT カウンタのオーバフローの発生を示すステータスフラグです。

["0" になる条件]

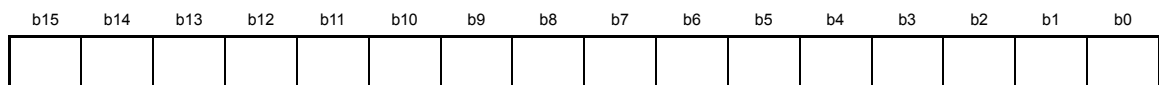
- TOVF = 1 の状態で TOVF フラグを読み出した後、TOVF フラグに “0” を書いたとき。

["1" になる条件]

- TPiCNT カウンタの値がオーバフローしたとき (H'FFFF → H'0000)

15.2.4 TPUi カウンタ (TPiCNT) (i = 0 ~ 15)

アドレス TP0CNT : H'FFFE 4004、TP1CNT : H'FFFE 4104、TP2CNT : H'FFFE 4204、TP3CNT : H'FFFE 4304、
TP4CNT : H'FFFE 4404、TP5CNT : H'FFFE 4504、TP6CNT : H'FFFE 4604、TP7CNT : H'FFFE 4704、
TP8CNT : H'FFFE 4804、TP9CNT : H'FFFE 4904、TP10CNT : H'FFFE 4A04、TP11CNT : H'FFFE 4B04、
TP12CNT : H'FFFE 4C04、TP13CNT : H'FFFE 4D04、TP14CNT : H'FFFE 4E04、TP15CNT : H'FFFE 4F04



リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	機能	設定範囲	R/W
b15-b0	<p>TPiCSTR レジスタの CST3 ビットが“1” (カウント開始) のとき:</p> <ul style="list-style-type: none"> 読んだ場合、カウンタ値が読めます 書いた場合、書いた値からカウントします <p>TPiCSTR レジスタの CST3 ビットが“0” (カウント停止) で、TPiCSTR レジスタの MTUST ビットが“0” のとき:</p> <ul style="list-style-type: none"> 書き込んだ後読んだ場合、書き込んだ値が読めます <p>TPiCSTR レジスタの CST3 ビットが“0” (カウント停止) で、TPiCSTR レジスタの MTUST ビットが“1” のとき:</p> <ul style="list-style-type: none"> 読んだ場合、カウンタ値が読めます 書いた場合、書いた値からカウントします 	H'0000 ~ H'FFFF	R/W

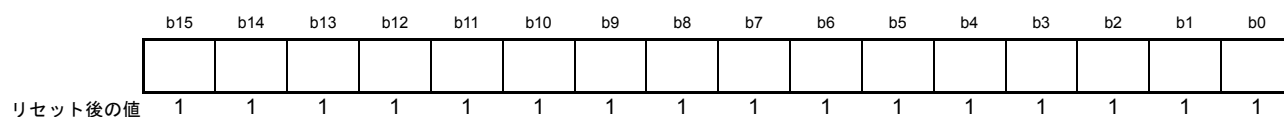
注. ・ i = 0 ~ 15

15.2.5 TPUi ジェネラルレジスタ k (TPiGRk) (i = 0 ~ 15) (k = 0 ~ 3)

TP0GR0 : H'FFFE 4006、TP0GR1 : H'FFFE 4008、TP0GR2 : H'FFFE 400A、TP0GR3 : H'FFFE 400C、
 TP1GR0 : H'FFFE 4106、TP1GR1 : H'FFFE 4108、TP1GR2 : H'FFFE 410A、TP1GR3 : H'FFFE 410C、
 TP2GR0 : H'FFFE 4206、TP2GR1 : H'FFFE 4208、TP2GR2 : H'FFFE 420A、TP2GR3 : H'FFFE 420C、
 TP3GR0 : H'FFFE 4306、TP3GR1 : H'FFFE 4308、TP3GR2 : H'FFFE 430A、TP3GR3 : H'FFFE 430C、
 TP4GR0 : H'FFFE 4406、TP4GR1 : H'FFFE 4408、TP4GR2 : H'FFFE 440A、TP4GR3 : H'FFFE 440C、

アドレス TP5GR0 : H'FFFE 4506、TP5GR1 : H'FFFE 4508、TP5GR2 : H'FFFE 450A、TP5GR3 : H'FFFE 450C、
 TP6GR0 : H'FFFE 4606、TP6GR1 : H'FFFE 4608、TP6GR2 : H'FFFE 460A、TP6GR3 : H'FFFE 460C、
 TP7GR0 : H'FFFE 4706、TP7GR1 : H'FFFE 4708、TP7GR2 : H'FFFE 470A、TP7GR3 : H'FFFE 470C、
 TP8GR0 : H'FFFE 4806、TP8GR1 : H'FFFE 4808、TP8GR2 : H'FFFE 480A、TP8GR3 : H'FFFE 480C、
 TP9GR0 : H'FFFE 4906、TP9GR1 : H'FFFE 4908、TP9GR2 : H'FFFE 490A、TP9GR3 : H'FFFE 490C、

TP10GR0 : H'FFFE 4A06、TP10GR1 : H'FFFE 4A08、TP10GR2 : H'FFFE 4A0A、TP10GR3 : H'FFFE 4A0C、
 TP11GR0 : H'FFFE 4B06、TP11GR1 : H'FFFE 4B08、TP11GR2 : H'FFFE 4B0A、TP11GR3 : H'FFFE 4B0C、
 TP12GR0 : H'FFFE 4C06、TP12GR1 : H'FFFE 4C08、TP12GR2 : H'FFFE 4C0A、TP12GR3 : H'FFFE 4C0C、
 TP13GR0 : H'FFFE 4D06、TP13GR1 : H'FFFE 4D08、TP13GR2 : H'FFFE 4D0A、TP13GR3 : H'FFFE 4D0C、
 TP14GR0 : H'FFFE 4E06、TP14GR1 : H'FFFE 4E08、TP14GR2 : H'FFFE 4E0A、TP14GR3 : H'FFFE 4E0C、
 TP15GR0 : H'FFFE 4F06、TP15GR1 : H'FFFE 4F08、TP15GR2 : H'FFFE 4F0A、TP15GR3 : H'FFFE 4F0C

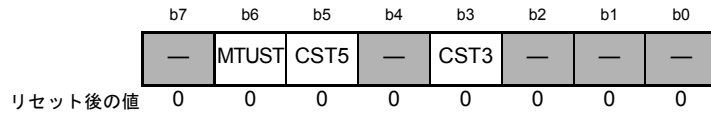


ビット	機能	設定範囲	R/W
b15-b0	インพุットキャプチャで使用する場合： <ul style="list-style-type: none"> ・ インพุットキャプチャ発生時、TPiCNTカウンタの値が格納されます アウトプットコンペアで使用する場合： <ul style="list-style-type: none"> ・ TPiCNTカウンタ値と一致すると、TPjx端子から波形を出力します。 	H'0000 ~ H'FFFF	R/W

注. ・ i = 0 ~ 15、j = 00 ~ 15、x = A、B、C、D

15.2.6 TPU_i カウント開始レジスタ (TPiCSTR) (i = 0 ~ 15)

アドレス TP0CSTR : H'FFFE 4050、TP1CSTR : H'FFFE 4150、TP2CSTR : H'FFFE 4250、TP3CSTR : H'FFFE 4350、
TP4CSTR : H'FFFE 4450、TP5CSTR : H'FFFE 4550、TP6CSTR : H'FFFE 4650、TP7CSTR : H'FFFE 4750、
TP8CSTR : H'FFFE 4850、TP9CSTR : H'FFFE 4950、TP10CSTR : H'FFFE 4A50、TP11CSTR : H'FFFE 4B50、
TP12CSTR : H'FFFE 4C50、TP13CSTR : H'FFFE 4D50、TP14CSTR : H'FFFE 4E50、TP15CSTR : H'FFFE 4F50



ビット	シンボル	ビット名	機能	R/W
b7	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b6	MTUST	MTU-III_TPU同期スタート選択ビット	0 : MTU-III_TPU同期スタート機能を使用しない 1 : MTU-III_TPU同期スタート機能を使用する	R/W
b5	CST5	TPiPSCNTカウント開始ビット	0 : カウント停止 1 : カウント開始	R/W
b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	CST3	TPiCNTカウント開始ビット	0 : カウント停止 1 : カウント開始	R/W
b2-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注. • i = 0 ~ 15

MTUST ビット

MTU-III_TPU同期スタート機能の使用を選択します。MTUST ビットが“1”のとき、MT01234STR レジスタのCST0ビットの“1”書き込みでTPUはカウントを開始し、“0”書き込みでカウントを停止します。

CST5 ビット

TPU_i位相シフトカウンタ (TPiPSCNT) のカウントの開始または停止を選択します。

CST3 ビット

TPU_iカウンタ (TPiCNT) のカウント開始または停止を選択します。TP_jx 端子出力状態で動作中に、CST3 ビットに“0”を書き込むとカウンタは停止しますが、TP_jx 端子の出力レベルは保持されます。CST3 ビットが“0”の状態では TPiOCR レジスタへの書き込みを行うと、端子の出力レベルは設定された初期値になります。

MTUST ビットが“1”の場合、CST3 ビットに“1”を書き込むことではカウントを開始しません。また、MTUST ビットが“1”で、MTU-III の MT01234 開始レジスタ (MT01234STR) の CST0 ビットの“1”書き込みにより TPU がカウントを開始しても、CST3 ビットは“1”にセットされません。

15.2.7 TPUi I/O 制御レジスタ (TPiIOCR) (i = 0 ~ 15)

アドレス TP0IOCR : H'FFFE 400E、TP1IOCR : H'FFFE 410E、TP2IOCR : H'FFFE 420E、TP3IOCR : H'FFFE 430E、
TP4IOCR : H'FFFE 440E、TP5IOCR : H'FFFE 450E、TP6IOCR : H'FFFE 460E、TP7IOCR : H'FFFE 470E、
TP8IOCR : H'FFFE 480E、TP9IOCR : H'FFFE 490E、TP10IOCR : H'FFFE 4A0E、TP11IOCR : H'FFFE 4B0E、
TP12IOCR : H'FFFE 4C0E、TP13IOCR : H'FFFE 4D0E、TP14IOCR : H'FFFE 4E0E、TP15IOCR : H'FFFE 4F0E

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IO1[3:0]				IO0[3:0]				IO3[3:0]				IO2[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b12	IO1[3:0]	チャンネル1機能選択ビット	アウトプットコンペアの出力値/インプットキャプチャのトリガを設定します。(表 15.13 ~ 表 15.15参照)	R/W
b11-b8	IO0[3:0]	チャンネル0機能選択ビット	アウトプットコンペアの出力値/インプットキャプチャのトリガを設定します。(表 15.13 ~ 表 15.15参照)	R/W
b7-b4	IO3[3:0]	チャンネル3機能選択ビット	アウトプットコンペアの出力値/インプットキャプチャのトリガを設定します。(表 15.13 ~ 表 15.15参照)	R/W
b3-b0	IO2[3:0]	チャンネル2機能選択ビット	アウトプットコンペアの出力値/インプットキャプチャのトリガを設定します。(表 15.13 ~ 表 15.15参照)	R/W

表 15.13 に TPiGRk レジスタをアウトプットコンペアで使用する場合は設定を、表 15.14 に TPiGRk レジスタをインプットキャプチャで使用する場合は設定を、表 15.15 に TPiIOCR レジスタの IOk ビットと TPU 入出力端子との対応表を示します。

表 15.13 TPiGRk レジスタをアウトプットコンペアで使用する場合は設定

TPiIOCR レジスタの IOk ビット	TPj x 端子からのアウトプットコンペア出力
"0000"	出力禁止
"0001"	出力初期値 Low レベル、コンペアマッチで Low レベル出力
"0010"	出力初期値 Low レベル、コンペアマッチで High レベル出力
"0011"	出力初期値 Low レベル、コンペアマッチでトグル出力
"0100"	出力禁止
"0101"	出力初期値 High レベル、コンペアマッチで Low レベル出力
"0110"	出力初期値 High レベル、コンペアマッチで High レベル出力
"0111"	出力初期値 High レベル、コンペアマッチでトグル出力

注. • i = 0 ~ 15、k = 0 ~ 3、j = 00 ~ 15、x = A、B、C、D

表 15.14 TPiGRk レジスタをインプットキャプチャで使用する場合は設定

TPiIOCR レジスタの IOk ビット	インプットキャプチャのトリガ
"1000"	TPj x 端子入力からの立ち上がりエッジ
"1001"	TPj x 端子入力からの立ち下がりエッジ
"1010"	TPj x 端子入力からの両エッジ
"1011"	TPj x 端子入力からの両エッジ
"1100" ~ "1111"	設定禁止

注. • i = 0 ~ 15、k = 0 ~ 3、j = 00 ~ 15、x = A、B、C、D

表 15.15 TPiIOCR レジスタのIOkビットとTPU入出力端子との対応表

TPiIOCR レジスタのIOkビット	TPU入出力端子
IO0 ビット	TPjA 端子
IO1 ビット	TPjB 端子
IO2 ビット	TPjC 端子
IO3 ビット	TPjD 端子

注. ・ i = 0 ~ 15、k = 0 ~ 3、j = 00 ~ 15

15.2.8 TPUi デジタルフィルタレジスタ (TPiDF) (i = 0 ~ 15)

アドレス TP0DF : H'FFFE 4032、TP1DF : H'FFFE 4132、TP2DF : H'FFFE 4232、TP3DF : H'FFFE 4332、
TP4DF : H'FFFE 4432、TP5DF : H'FFFE 4532、TP6DF : H'FFFE 4632、TP7DF : H'FFFE 4732、
TP8DF : H'FFFE 4832、TP9DF : H'FFFE 4932、TP10DF : H'FFFE 4A32、TP11DF : H'FFFE 4B32、
TP12DF : H'FFFE 4C32、TP13DF : H'FFFE 4D32、TP14DF : H'FFFE 4E32、TP15DF : H'FFFE 4F32



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	DFE3	チャンネル3 デジタルフィルタ機能許可ビット	0: デジタルフィルタ機能を使用しない 1: デジタルフィルタ機能を使用する	R/W
b2	DFE2	チャンネル2 デジタルフィルタ機能許可ビット	0: デジタルフィルタ機能を使用しない 1: デジタルフィルタ機能を使用する	R/W
b1	DFE1	チャンネル1 デジタルフィルタ機能許可ビット	0: デジタルフィルタ機能を使用しない 1: デジタルフィルタ機能を使用する	R/W
b0	DFE0	チャンネル0 デジタルフィルタ機能許可ビット	0: デジタルフィルタ機能を使用しない 1: デジタルフィルタ機能を使用する	R/W

15.2.9 TPUi AD 変換 / ワンショット出力制御レジスタ (TPiADCR) (i = 0 ~ 15)

アドレス TP0ADCR : H'FFFE 4034、TP1ADCR : H'FFFE 4134、TP2ADCR : H'FFFE 4234、TP3ADCR : H'FFFE 4334、
TP4ADCR : H'FFFE 4434、TP5ADCR : H'FFFE 4534、TP6ADCR : H'FFFE 4634、TP7ADCR : H'FFFE 4734、
TP8ADCR : H'FFFE 4834、TP9ADCR : H'FFFE 4934、TP10ADCR : H'FFFE 4A34、TP11ADCR : H'FFFE 4B34、
TP12ADCR : H'FFFE 4C34、TP13ADCR : H'FFFE 4D34、TP14ADCR : H'FFFE 4E34、TP15ADCR : H'FFFE 4F34

b7	b6	b5	b4	b3	b2	b1	b0
ADTE3[1:0]		ADTE2[1:0]		ADTE1[1:0]		ADTE0[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7-b6	ADTE3[1:0]	チャンネル3 AD変換トリガ/ワンショット出力 選択ビット	b7 b6 0 0 : A/D変換トリガ機能、ワンショット出力機能を使用しない 0 1 : A/D変換トリガ機能を使用する 1 0 : ワンショット出力機能を使用する 1 1 : 設定禁止	R/W
b5-b4	ADTE2[1:0]	チャンネル2 AD変換トリガ/ワンショット出力 選択ビット	b5 b4 0 0 : A/D変換トリガ機能、ワンショット出力機能を使用しない 0 1 : A/D変換トリガ機能を使用する 1 0 : ワンショット出力機能を使用する 1 1 : 設定禁止	R/W
b3-b2	ADTE1[1:0]	チャンネル1 AD変換トリガ/ワンショット出力 選択ビット	b3 b2 0 0 : A/D変換トリガ機能、ワンショット出力機能を使用しない 0 1 : A/D変換トリガ機能を使用する 1 0 : ワンショット出力機能を使用する 1 1 : 設定禁止	R/W
b1-b0	ADTE0[1:0]	チャンネル0 AD変換トリガ/ワンショット出力 選択ビット	b1 b0 0 0 : A/D変換トリガ機能、ワンショット出力機能を使用しない 0 1 : A/D変換トリガ機能を使用する 1 0 : ワンショット出力機能を使用する 1 1 : 設定禁止	R/W

15.2.10 TPUi AD 変換 / ワンショット出力タイミグ設定レジスタ k (TPiADOTSEk) (i = 0 ~ 15) (k = 0 ~ 3)

アドレス	TP0ADOTSE0 : H'FFFF 4036、TP0ADOTSE1 : H'FFFF 4038、TP0ADOTSE2 : H'FFFF 403A、TP0ADOTSE3 : H'FFFF 403C、 TP1ADOTSE0 : H'FFFF 4136、TP1ADOTSE1 : H'FFFF 4138、TP1ADOTSE2 : H'FFFF 413A、TP1ADOTSE3 : H'FFFF 413C、 TP2ADOTSE0 : H'FFFF 4236、TP2ADOTSE1 : H'FFFF 4238、TP2ADOTSE2 : H'FFFF 423A、TP2ADOTSE3 : H'FFFF 423C、 TP3ADOTSE0 : H'FFFF 4336、TP3ADOTSE1 : H'FFFF 4338、TP3ADOTSE2 : H'FFFF 433A、TP3ADOTSE3 : H'FFFF 433C、 TP4ADOTSE0 : H'FFFF 4436、TP4ADOTSE1 : H'FFFF 4438、TP4ADOTSE2 : H'FFFF 443A、TP4ADOTSE3 : H'FFFF 443C、 TP5ADOTSE0 : H'FFFF 4536、TP5ADOTSE1 : H'FFFF 4538、TP5ADOTSE2 : H'FFFF 453A、TP5ADOTSE3 : H'FFFF 453C、 TP6ADOTSE0 : H'FFFF 4636、TP6ADOTSE1 : H'FFFF 4638、TP6ADOTSE2 : H'FFFF 463A、TP6ADOTSE3 : H'FFFF 463C、 TP7ADOTSE0 : H'FFFF 4736、TP7ADOTSE1 : H'FFFF 4738、TP7ADOTSE2 : H'FFFF 473A、TP7ADOTSE3 : H'FFFF 473C、 TP8ADOTSE0 : H'FFFF 4836、TP8ADOTSE1 : H'FFFF 4838、TP8ADOTSE2 : H'FFFF 483A、TP8ADOTSE3 : H'FFFF 483C、 TP9ADOTSE0 : H'FFFF 4936、TP9ADOTSE1 : H'FFFF 4938、TP9ADOTSE2 : H'FFFF 493A、TP9ADOTSE3 : H'FFFF 493C、 TP10ADOTSE0 : H'FFFF 4A36、TP10ADOTSE1 : H'FFFF 4A38、TP10ADOTSE2 : H'FFFF 4A3A、TP10ADOTSE3 : H'FFFF 4A3C、 TP11ADOTSE0 : H'FFFF 4B36、TP11ADOTSE1 : H'FFFF 4B38、TP11ADOTSE2 : H'FFFF 4B3A、TP11ADOTSE3 : H'FFFF 4B3C、 TP12ADOTSE0 : H'FFFF 4C36、TP12ADOTSE1 : H'FFFF 4C38、TP12ADOTSE2 : H'FFFF 4C3A、TP12ADOTSE3 : H'FFFF 4C3C、 TP13ADOTSE0 : H'FFFF 4D36、TP13ADOTSE1 : H'FFFF 4D38、TP13ADOTSE2 : H'FFFF 4D3A、TP13ADOTSE3 : H'FFFF 4D3C、 TP14ADOTSE0 : H'FFFF 4E36、TP14ADOTSE1 : H'FFFF 4E38、TP14ADOTSE2 : H'FFFF 4E3A、TP14ADOTSE3 : H'FFFF 4E3C、 TP15ADOTSE0 : H'FFFF 4F36、TP15ADOTSE1 : H'FFFF 4F38、TP15ADOTSE2 : H'FFFF 4F3A、TP15ADOTSE3 : H'FFFF 4F3C
------	---

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15-b0	A/D変換タイミグ/ワンショット出力タイミグを設定します。	H'0001 ~ H'FFFF	R/W

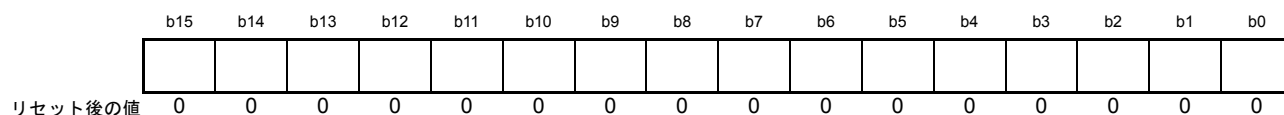
注. ・ワンショット出力タイミグ機能を選択した場合、“H'0001”以上の値を設定してください。

TPUi AD 変換 / ワンショット出力制御レジスタ (TPiADCR) で A/D 変換トリガ機能を選択した場合、本レジスタの設定値は、A/D 変換タイミグを示します。設定値と TPiCNT カウンタ値が一致したとき、A/D 変換開始トリガが発生します。

TPUi AD 変換 / ワンショット出力制御レジスタ (TPiADCR) でワンショット出力機能を選択した場合、本レジスタの設定値は、ワンショット出力タイミグを示します。設定値とその時点の TPiCNT カウンタ値を足したものを TPiGRk に格納します。

15.2.11 TPUi カウンタリセットレジスタ (TPiCNRSE)

アドレス TP0CNRSE : H'FFFE 403E、TP1CNRSE : H'FFFE 413E、TP2CNRSE : H'FFFE 423E、
TP3CNRSE : H'FFFE 433E、TP4CNRSE : H'FFFE 443E、TP5CNRSE : H'FFFE 453E、
TP6CNRSE : H'FFFE 463E、TP7CNRSE : H'FFFE 473E、TP8CNRSE : H'FFFE 483E、
TP9CNRSE : H'FFFE 493E、TP10CNRSE : H'FFFE 4A3E、TP11CNRSE : H'FFFE 4B3E、
TP12CNRSE : H'FFFE 4C3E、TP13CNRSE : H'FFFE 4D3E、TP14CNRSE : H'FFFE 4E3E、
TP15CNRSE : H'FFFE 4F3E



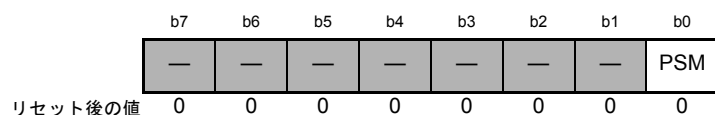
ビット	機能	設定範囲	R/W
b15-b0	TPiCNTカウンタリセット	H'0000 ~ H'FFFF	R/W

注. ・ i = 0 ~ 15

TPiCR レジスタの TRS ビットが“B'100”の場合、本レジスタの設定値と TPiCNT カウンタ値が一致すると、TPiCNT カウンタはリセットされます。このとき、TPiADCR レジスタの設定に関わらず、A/D コンバータへ A/D 変換トリガを出力します。TPU の TPiCNT カウンタリセットによる A/D 変換を使用するかしないかの選択は、A/D コンバータのレジスタで行ってください。またこのとき、割り込みコントローラへ割り込み要求を出力します。

15.2.12 TPUi 位相シフト制御レジスタ 0 (TPiPSCR0) (i = 0 ~ 15)

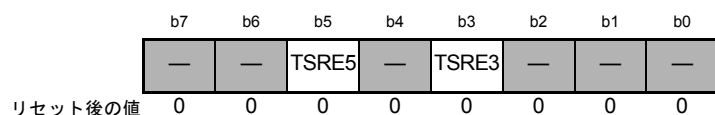
アドレス TP0PSCR0 : H'FFFE 4030、TP1PSCR0 : H'FFFE 4130、TP2PSCR0 : H'FFFE 4230、TP3PSCR0 : H'FFFE 4330、
TP4PSCR0 : H'FFFE 4430、TP5PSCR0 : H'FFFE 4530、TP6PSCR0 : H'FFFE 4630、TP7PSCR0 : H'FFFE 4730、
TP8PSCR0 : H'FFFE 4830、TP9PSCR0 : H'FFFE 4930、TP10PSCR0 : H'FFFE 4A30、TP11PSCR0 : H'FFFE 4B30、
TP12PSCR0 : H'FFFE 4C30、TP13PSCR0 : H'FFFE 4D30、TP14PSCR0 : H'FFFE 4E30、TP15PSCR0 : H'FFFE 4F30



ビット	シンボル	ビット名	機能	R/W
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	PSM	位相シフトモード選択ビット1	0: 位相シフトモード(チャンネルシフトモード)を使用しない 1: 位相シフトモード(チャンネルシフトモード)を使用する	R/W

15.2.13 TPU_i 位相シフト制御レジスタ 1 (TPiPSCR1) (i = 0 ~ 15)

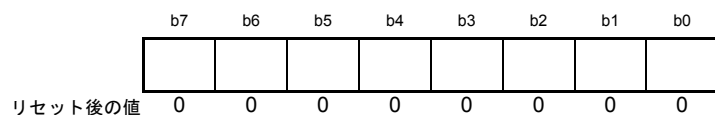
アドレス TP0PSCR1 : H'FFFE 4051、TP1PSCR1 : H'FFFE 4151、TP2PSCR1 : H'FFFE 4251、TP3PSCR1 : H'FFFE 4351、
TP4PSCR1 : H'FFFE 4451、TP5PSCR1 : H'FFFE 4551、TP6PSCR1 : H'FFFE 4651、TP7PSCR1 : H'FFFE 4751、
TP8PSCR1 : H'FFFE 4851、TP9PSCR1 : H'FFFE 4951、TP10PSCR1 : H'FFFE 4A51、TP11PSCR1 : H'FFFE 4B51、
TP12PSCR1 : H'FFFE 4C51、TP13PSCR1 : H'FFFE 4D51、TP14PSCR1 : H'FFFE 4E51、TP15PSCR1 : H'FFFE 4F51



ビット	シンボル	ビット名	機能	R/W
b7-b6	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b5	TSRE5	位相シフトモード選択ビット5	0: 位相シフトモード(チャンネルシフトモード)を使用しない 1: 位相シフトモード(チャンネルシフトモード)を使用する	R/W
b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	TSRE3	位相シフトモード選択ビット3	0: 位相シフトモード(チャンネルシフトモード)を使用しない 1: 位相シフトモード(チャンネルシフトモード)を使用する	R/W
b2-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

15.2.14 TPU_i 位相シフトクロック分周レジスタ (TPiPSCDV) (i = 0 ~ 15)

アドレス TP0PSCDV : H'FFFE 4031、TP1PSCDV : H'FFFE 4131、TP2PSCDV : H'FFFE 4231、
TP3PSCDV : H'FFFE 4331、TP4PSCDV : H'FFFE 4431、TP5PSCDV : H'FFFE 4531、
TP6PSCDV : H'FFFE 4631、TP7PSCDV : H'FFFE 4731、TP8PSCDV : H'FFFE 4831、
TP9PSCDV : H'FFFE 4931、TP10PSCDV : H'FFFE 4A31、TP11PSCDV : H'FFFE 4B31、
TP12PSCDV : H'FFFE 4C31、TP13PSCDV : H'FFFE 4D31、TP14PSCDV : H'FFFE 4E31、
TP15PSCDV : H'FFFE 4F31

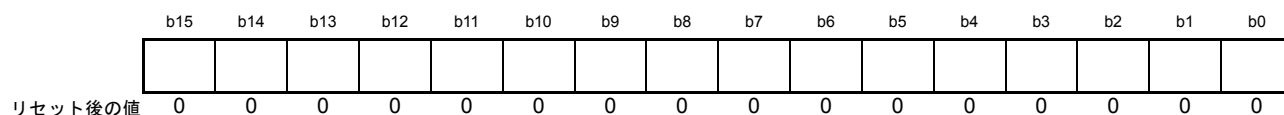


ビット	機能	設定範囲	R/W
b7-b0	設定値をnとすると、TPiCNTカウンタのカウントソースをn分周します。この分周した周期が、位相シフトの時間になります。	H'00 ~ H'FF	R/W

注. • i = 0 ~ 15

15.2.15 TPU_i 位相シフトカウンタ (TPiPSCNT) (i = 0 ~ 15)

アドレス TP0PSCNT : H'FFFE 4024、TP1PSCNT : H'FFFE 4124、TP2PSCNT : H'FFFE 4224、TP3PSCNT : H'FFFE 4324、
TP4PSCNT : H'FFFE 4424、TP5PSCNT : H'FFFE 4524、TP6PSCNT : H'FFFE 4624、TP7PSCNT : H'FFFE 4724、
TP8PSCNT : H'FFFE 4824、TP9PSCNT : H'FFFE 4924、TP10PSCNT : H'FFFE 4A24、TP11PSCNT : H'FFFE 4B24、
TP12PSCNT : H'FFFE 4C24、TP13PSCNT : H'FFFE 4D24、TP14PSCNT : H'FFFE 4E24、TP15PSCNT : H'FFFE 4F24

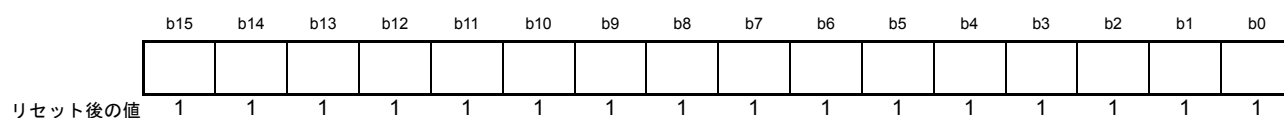


ビット	機能	設定範囲	R/W
b15-b0	TPiCSTRレジスタのCST5ビットが“1”(カウント開始)のとき: <ul style="list-style-type: none"> 読んだ場合、カウンタ値が読めます 書いた場合、書いた値からカウントします CST5ビットが“0”(カウント停止)のとき: <ul style="list-style-type: none"> 書き込んだ後読んだ場合、書き込んだ値が読めます 	H'0000 ~ H'FFFF	R/W

注. ・ i = 0 ~ 15

15.2.16 TPU_i 位相シフト周期設定レジスタ (TPiPSPSE) (i = 0 ~ 15)

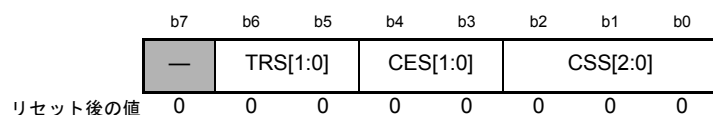
アドレス TP0PSPSE : H'FFFE 4028、TP1PSPSE : H'FFFE 4128、TP2PSPSE : H'FFFE 4228、TP3PSPSE : H'FFFE 4328、
TP4PSPSE : H'FFFE 4428、TP5PSPSE : H'FFFE 4528、TP6PSPSE : H'FFFE 4628、TP7PSPSE : H'FFFE 4728、
TP8PSPSE : H'FFFE 4828、TP9PSPSE : H'FFFE 4928、TP10PSPSE : H'FFFE 4A28、TP11PSPSE : H'FFFE 4B28、
TP12PSPSE : H'FFFE 4C28、TP13PSPSE : H'FFFE 4D28、TP14PSPSE : H'FFFE 4E28、TP15PSPSE : H'FFFE 4F28



ビット	機能	設定範囲	R/W
b15-b0	設定値が、PWMモード2の周期となります。	H'0000 ~ H'FFFF	R/W

15.2.17 TPUi 位相シフトカウンタ制御レジスタ (TPiPSCNTCR) (i = 0 ~ 15)

アドレス TP0PSCNTCR : H'FFFE 4020、TP1PSCNTCR : H'FFFE 4120、TP2PSCNTCR : H'FFFE 4220、
TP3PSCNTCR : H'FFFE 4320、TP4PSCNTCR : H'FFFE 4420、TP5PSCNTCR : H'FFFE 4520、
TP6PSCNTCR : H'FFFE 4620、TP7PSCNTCR : H'FFFE 4720、TP8PSCNTCR : H'FFFE 4820、
TP9PSCNTCR : H'FFFE 4920、TP10PSCNTCR : H'FFFE 4A20、TP11PSCNTCR : H'FFFE 4B20、
TP12PSCNTCR : H'FFFE 4C20、TP13PSCNTCR : H'FFFE 4D20、TP14PSCNTCR : H'FFFE 4E20、
TP15PSCNTCR : H'FFFE 4F20



ビット	シンボル	ビット名	機能	R/W
b7	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b6-b5	TRS[1:0]	TPiCNT リセット要因選択ビット	b6 b5 0 0 : リセットしない 0 1 : 設定禁止 1 0 : TPiPSPSE レジスタと TPiPSCNT カウンタのコンペア マッチ 1 1 : リセットしない	R/W
b4-b3	CES[1:0]	カウントエッジ選択ビット	b4 b3 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 両エッジ 1 1 : 両エッジ	R/W
b2-b0	CSS[2:0]	カウントソース選択ビット	b2 b1 b0 0 0 0 : 周辺バスクロック A の分周なし 0 0 1 : 周辺バスクロック A の4分周 0 1 0 : 周辺バスクロック A の16分周 0 1 1 : 周辺バスクロック A の64分周 1 0 0 : 周辺バスクロック A の256分周 1 0 1 : 周辺バスクロック A の1024分周 1 1 0 : 周辺バスクロック A の4096分周 1 1 1 : 設定禁止	R/W

注. ・ i = 0 ~ 15

TRS ビット

TPiCNT カウンタのリセット要因を選択します。位相シフトモードの場合、“B'10”に設定してください。

CES ビット

カウントするエッジを選択します。カウントソースに周辺バスクロック A の分周なしを選択した場合、設定値は無効になり、立ち上がりエッジが選択されます。エッジ選択は、入力クロックが周辺バスクロック A の4分周もしくはそれより遅い場合に有効です。

CSS ビット

TPiCNT カウンタのカウントソースを選択します。

15.3 TPiCNT カウンタ

TPiCNT カウンタは、アップカウント動作を行い、フリーランカウント動作、周期カウント動作が可能です。表 15.16 に TPiCNT カウンタの仕様、図 15.3 に TPiCNT カウンタのブロック図を示します。

表 15.16 TPiCNT カウンタの仕様

項目	機能	
	ユニット <i>i</i> (<i>i</i> = 0、2、4、6、8、10、12、14)	ユニット <i>i</i> (<i>i</i> = 1、3、5、7、9、11、13、15)
カウントソース	TPiCR レジスタの CSS ビットで選択 b2 b1 b0 0 0 0 : 周辺バスクロック A の分周なし 0 0 1 : 周辺バスクロック A の 4 分周 0 1 0 : 周辺バスクロック A の 16 分周 0 1 1 : 周辺バスクロック A の 64 分周 1 0 0 : 周辺バスクロック A の 256 分周 1 0 1 : 周辺バスクロック A の 1024 分周 1 1 0 : 周辺バスクロック A の 4096 分周 1 1 1 : ユニット <i>i</i> + 1 のオーバフロー	TPiCR レジスタの CSS ビットで選択 b2 b1 b0 0 0 0 : 周辺バスクロック A の分周なし 0 0 1 : 周辺バスクロック A の 4 分周 0 1 0 : 周辺バスクロック A の 16 分周 0 1 1 : 周辺バスクロック A の 64 分周 1 0 0 : 周辺バスクロック A の 256 分周 1 0 1 : 周辺バスクロック A の 1024 分周 1 1 0 : 周辺バスクロック A の 4096 分周 1 1 1 : 設定禁止
カウント動作	アップカウント	
カウント開始条件	TPiCSTR レジスタの CST3 ビットを“1” (カウント開始) にする	
カウント停止条件	TPiCSTR レジスタの CST3 ビットを“0” (カウント停止) にする	
TPiCNT カウンタリセット条件	TPiCR レジスタの TRS ビットで設定された条件でリセット TPiCNTRSE レジスタ設定によるリセット	
TPiCNT カウンタリセット時の値	H'0000	
割り込み要求発生タイミング	TPiCNT カウンタオーバフロー	
TPiCNT カウンタの読み出し	TPiCNT カウンタのカウント中、読むとカウンタ値をリード TPiCNT カウンタの停止中、読むとカウンタ値をリード	
TPiCNT カウンタへの書き込み	「15.10.1 TPiCNT カウンタへの書き込み信号と各種信号との競合」を参照	

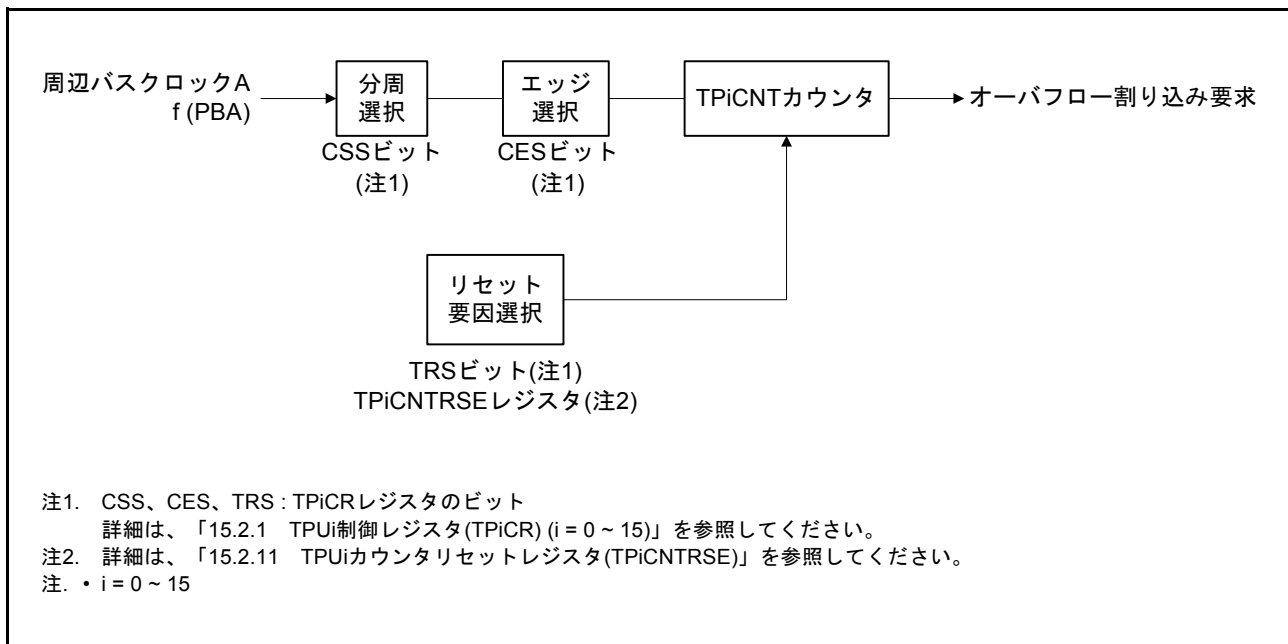


図 15.3 TPiCNT カウンタのブロック図

カウント動作に関連するレジスタの設定に関して表 15.17 に示します。

表 15.17 カウント動作設定

TPiCNTカウンタ動作	レジスタ	ビット	設定
フリーラン動作	TPiCR	CSS	カウントソースを選択してください。
	TPiCSTR	CST3	カウント開始を設定してください。
周期カウント動作	TPiCR	CSS	カウントソースを選択してください。
	TPiCR	TRS	リセット要因を選択してください。
	TPiCSTR	CST3	カウント開始を設定してください。

注. ・i = 0 ~ 15

15.3.1 フリーラン動作と周期カウント動作

TPU の TPiCNT カウンタは、リセット直後はすべてフリーランカウンタの設定となっており、TPiCSTR レジスタの対応するビットを“1”(カウント開始)にセットするとフリーランカウンタとしてアップカウント動作を開始します。TPiCNT カウンタがオーバーフロー(H'FFFF → H'0000) とすると、TPiSR レジスタの TOVF ビットが“1”(オーバーフローあり)にセットされます。このとき、TPiCNT カウンタのオーバーフロー割り込み要求が発生します。

TPiCNT カウンタはオーバーフロー後、“H'0000” からアップカウント動作を継続します。図 15.4 にフリーランカウンタとして使用した場合の動作例を示します。

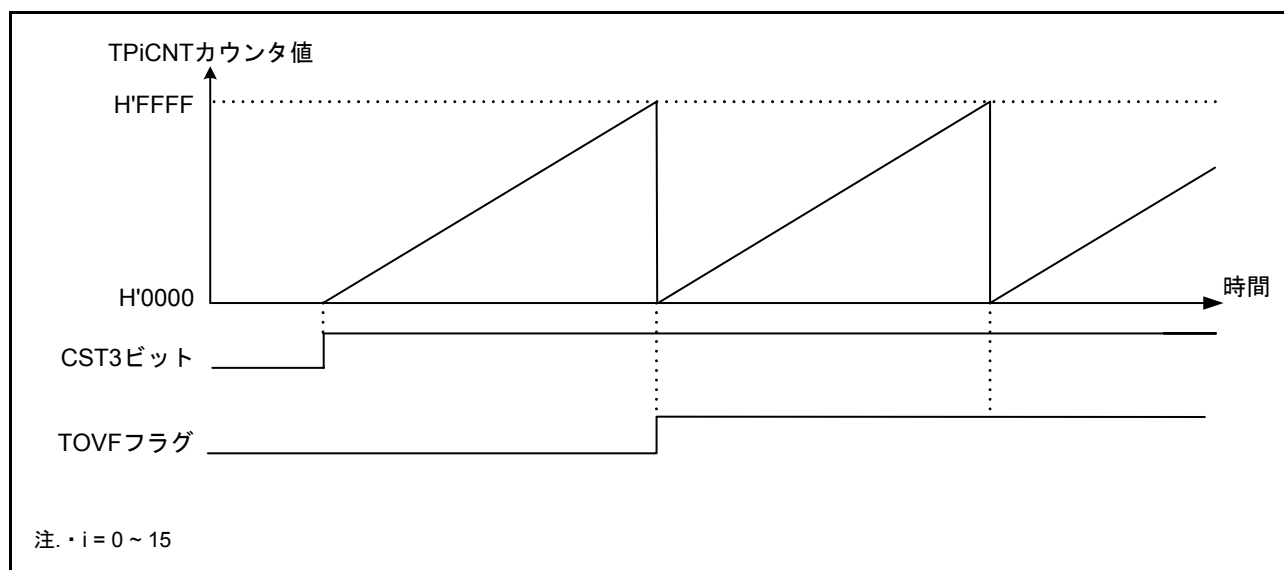


図 15.4 フリーランカウンタとして使用した場合の動作例

TPiCNTカウンタのリセット要因にコンペアマッチを選択したときは、対応するユニットのTPiCNTカウンタは周期カウント動作を行います。TPiCRレジスタのTRSビットによりコンペアマッチによるTPiCNTカウンタリセットを選択し、TPiCSTRレジスタのCST3ビットを“1”にセットすると、対応するTPiCNTカウンタが周期カウンタとしてアップカウント動作を開始します。

カウント値がTPiGRkレジスタの値と一致すると、TPiCNTカウンタは“H'0000”にリセットされ、TPiGRkレジスタのコンペアマッチ割り込み要求が発生します。TPiCNTカウンタはコンペアマッチ後、“H'0000”からアップカウント動作を継続します。図15.5に周期カウンタとして使用した場合の動作例を示します。

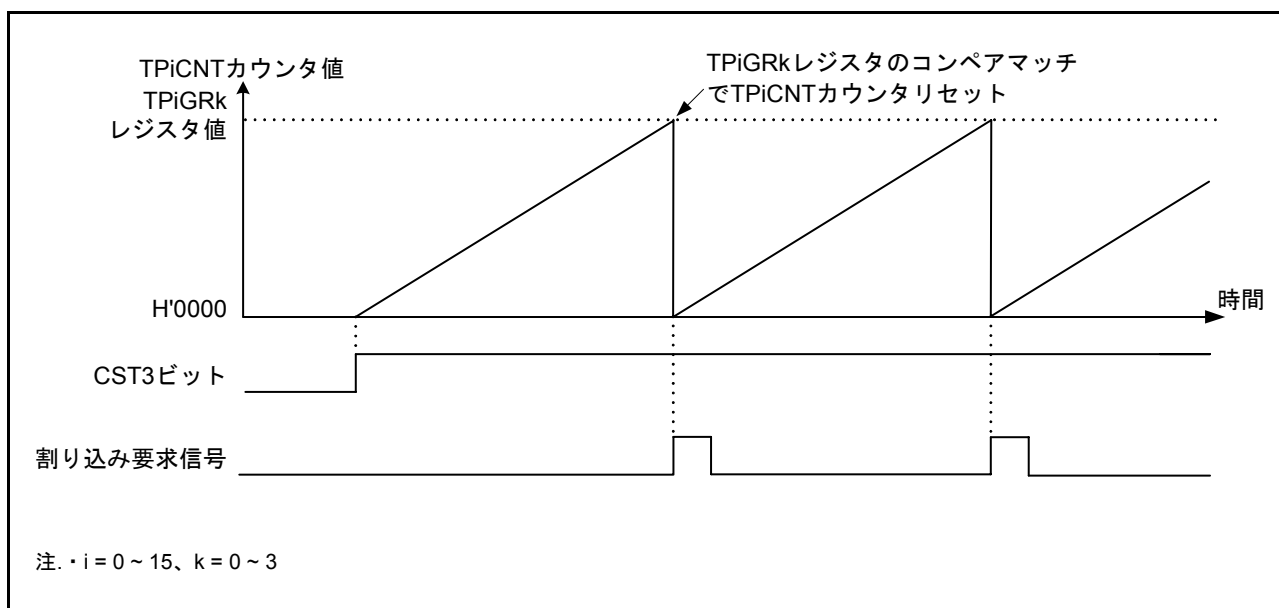


図 15.5 周期カウンタとして使用した場合の動作例

15.3.2 TPiCNT カウンタのカウントタイミング

図 15.6 に内部カウントソースのカウントタイミングを示します。

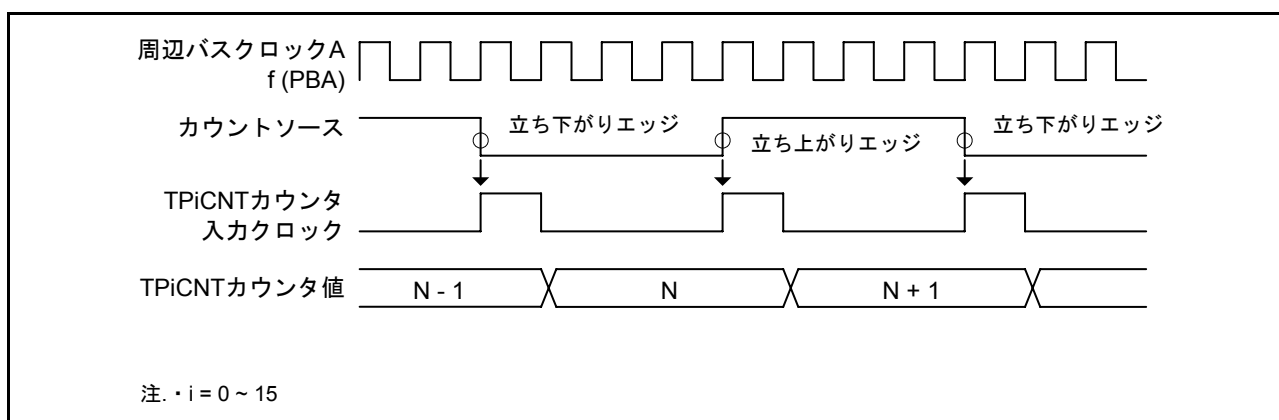


図 15.6 内部カウントソースのカウントタイミング

図 15.7 に TPiCNT カウンタのオーバーフロータイミングについて示します。

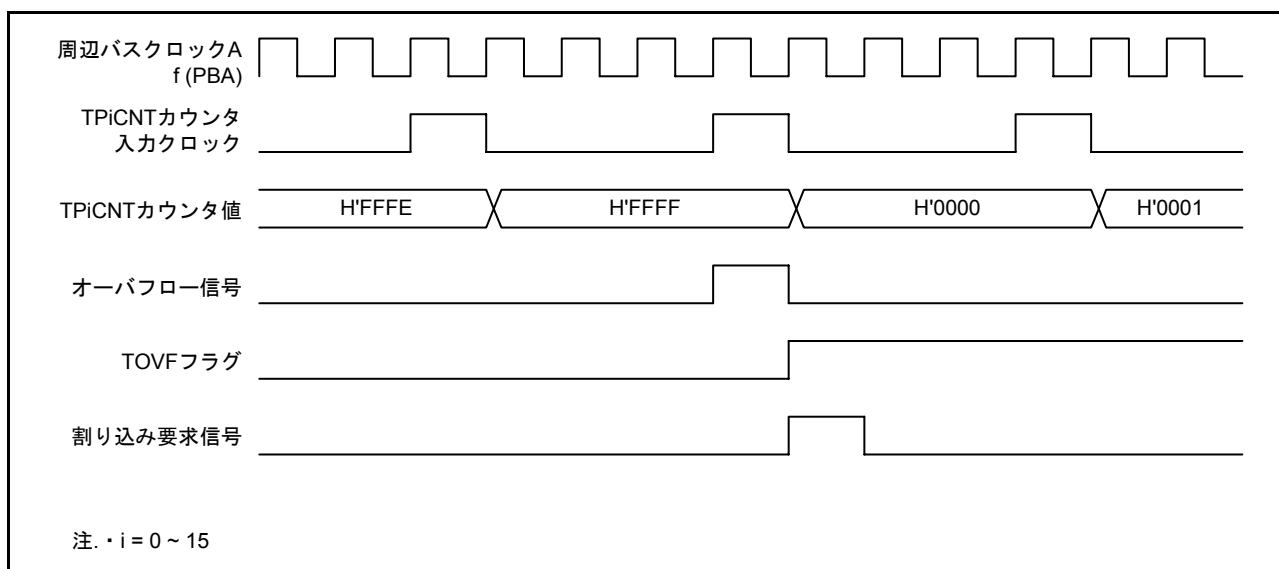


図 15.7 TPiCNT カウンタのオーバーフロータイミング

15.4 カスケード接続動作

カスケード接続動作は、2 ユニットの TPiCNT カウンタを接続して、32 ビットカウンタとして動作させる機能です。この機能は、TPiCR ($i = 0, 2, 4, 6, 8, 10, 12, 14$) レジスタの CSS ビットを“B'111” (ユニット ($i + 1$) のオーバフロー) にすることで、TPiCNT ($i + 1$) カウンタのオーバフローを TPiCNT カウンタのカウントソースとしてカウントさせることができます。表 15.18 にカスケード接続設定を示します。

表 15.18 カスケード接続設定

組み合わせ	下位 16 ビット	上位 16 ビット	設定
TP0CNT と TP1CNT	TP1CNT	TP0CNT	TP0CR レジスタの CSS ビットを“B'111”に設定 TP0MD レジスタの MD ビットを“B'000” (タイマモード) に設定
TP2CNT と TP3CNT	TP3CNT	TP2CNT	TP2CR レジスタの CSS ビットを“B'111”に設定 TP2MD レジスタの MD ビットを“B'000” (タイマモード) に設定
TP4CNT と TP5CNT	TP5CNT	TP4CNT	TP4CR レジスタの CSS ビットを“B'111”に設定 TP4MD レジスタの MD ビットを“B'000” (タイマモード) に設定
TP6CNT と TP7CNT	TP7CNT	TP6CNT	TP6CR レジスタの CSS ビットを“B'111”に設定 TP6MD レジスタの MD ビットを“B'000” (タイマモード) に設定
TP8CNT と TP9CNT	TP9CNT	TP8CNT	TP8CR レジスタの CSS ビットを“B'111”に設定 TP8MD レジスタの MD ビットを“B'000” (タイマモード) に設定
TP10CNT と TP11CNT	TP11CNT	TP10CNT	TP10CR レジスタの CSS ビットを“B'111”に設定 TP10MD レジスタの MD ビットを“B'000” (タイマモード) に設定
TP12CNT と TP13CNT	TP13CNT	TP12CNT	TP12CR レジスタの CSS ビットを“B'111”に設定 TP12MD レジスタの MD ビットを“B'000” (タイマモード) に設定
TP14CNT と TP15CNT	TP15CNT	TP14CNT	TP14CR レジスタの CSS ビットを“B'111”に設定 TP14MD レジスタの MD ビットを“B'000” (タイマモード) に設定

TP0CNT カウンタは TP1CNT カウンタのオーバフローでカウントし、TP0GR0、TP1GR0 レジスタをインプットキャプチャレジスタに設定し、TP00A、TP01A 端子に入力される信号の立ち上がりエッジをインプットキャプチャのトリガに設定した場合の例を図 15.8 に示します。

TP00A、TP01A 端子に立ち上がりエッジを同時に入力することにより、TP0GR0 レジスタに上位 16 ビット (TP0CNT カウンタの値)、TP1GR0 レジスタに下位 16 ビット (TP1CNT カウンタの値) が格納されます。

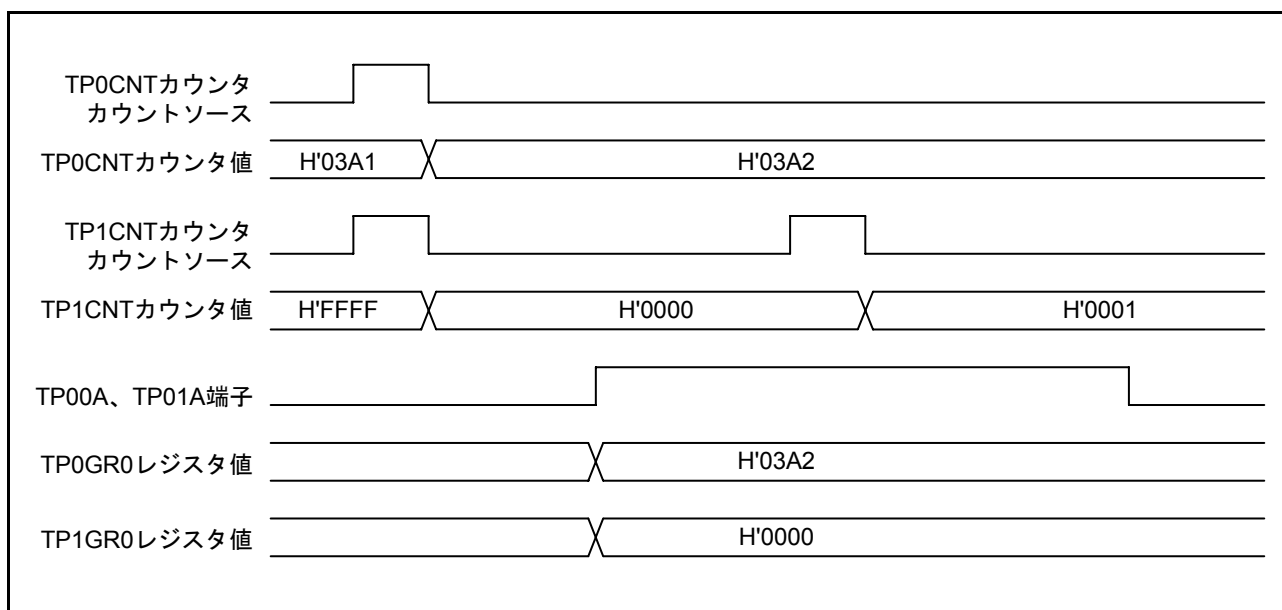


図 15.8 カスケード接続例

15.5 インพุットキャプチャ機能

TPU 端子の入力エッジを検出して TPiCNT カウンタの値を TPiGRk レジスタに転送することができます。検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。表 15.19 にインพุットキャプチャの仕様を、表 15.20 にインพุットキャプチャ機能関連レジスタの設定について示します。

表 15.19 インพุットキャプチャの仕様

項目	機能
計測チャンネル	チャンネル0、1、2、3
トリガ入力選択	TPj x端子の立ち上がりエッジ/立ち下がりエッジ/両エッジ
計測開始条件	インพุットキャプチャのトリガ要因として、TPiIOCR レジスタの IOk ビットを設定する
計測停止条件	TPiIOCR レジスタの IOk ビットをインพุットキャプチャのトリガ要因以外に、設定する
時間計測タイミング	トリガ入力ごと
割り込み要求発生タイミング	トリガ入力タイミング
TPj x端子機能	トリガ入力
選択機能	<ul style="list-style-type: none"> • デジタルフィルタ機能 TPj x端子に入力されたレベルを TPiCNT カウンタのカウントソースごとに判定し、3回一致したレベルをトリガ入力レベルとして通過させる • バッファ機能 TPiGR0 レジスタのバッファレジスタとして TPiGR2 レジスタ、また TPiGR1 レジスタのバッファレジスタとして TPiGR3 レジスタが使用でき、トリガ入力が発生すると、TPiCNT カウンタの値を TPiGR0 もしくは TPiGR1 レジスタへ転送すると同時に、それまで TPiGR0 レジスタに格納されていた値を TPiGR2 レジスタへ、TPiGR1 レジスタに格納されていた値を TPiGR3 レジスタへ転送する

注. • i = 0 ~ 15, k = 0 ~ 3, j = 00 ~ 15, x = A, B, C, D

表 15.20 インพุットキャプチャ機能関連レジスタの設定

レジスタ	ビット	設定
TPiIOCR	IOk	トリガ選択
TPiDF	—	デジタル機能フィルタ選択
TPiMD	GR2FS, GR3FS	バッファ選択機能

注. • i = 0 ~ 15, k = 0 ~ 3

図 15.9 は、次のように設定した場合のインプットキャプチャ動作例です。

- TPjA 端子の入力エッジは立ち上がり / 立ち下がり両エッジを選択
- TPjB 端子の入力エッジは立ち下がりエッジを選択
- TPjB 端子の立ち下がりエッジでカウンタリセットされるように設定

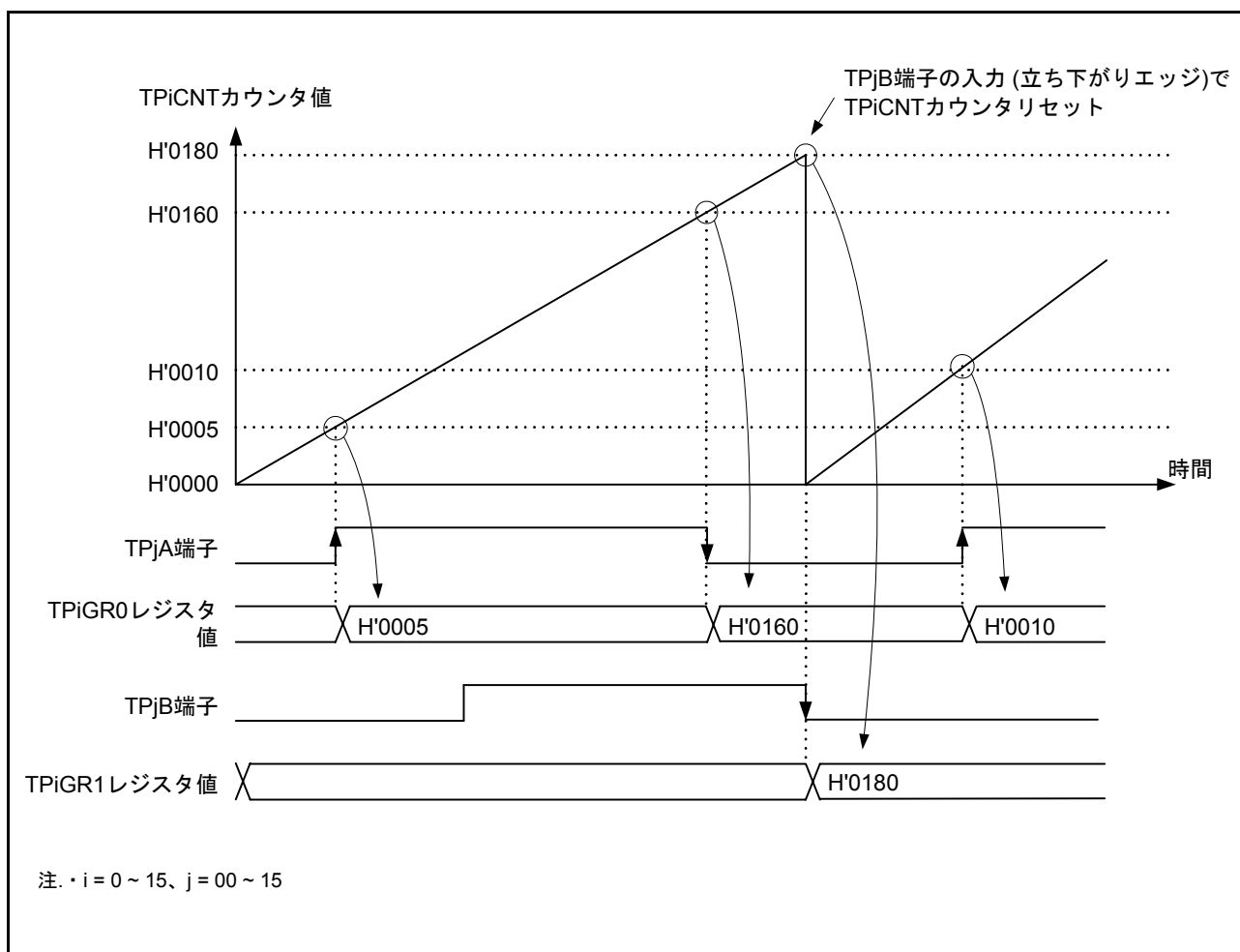


図 15.9 インプットキャプチャ動作例

図 15.10 にインプットキャプチャのタイミングについて示します。

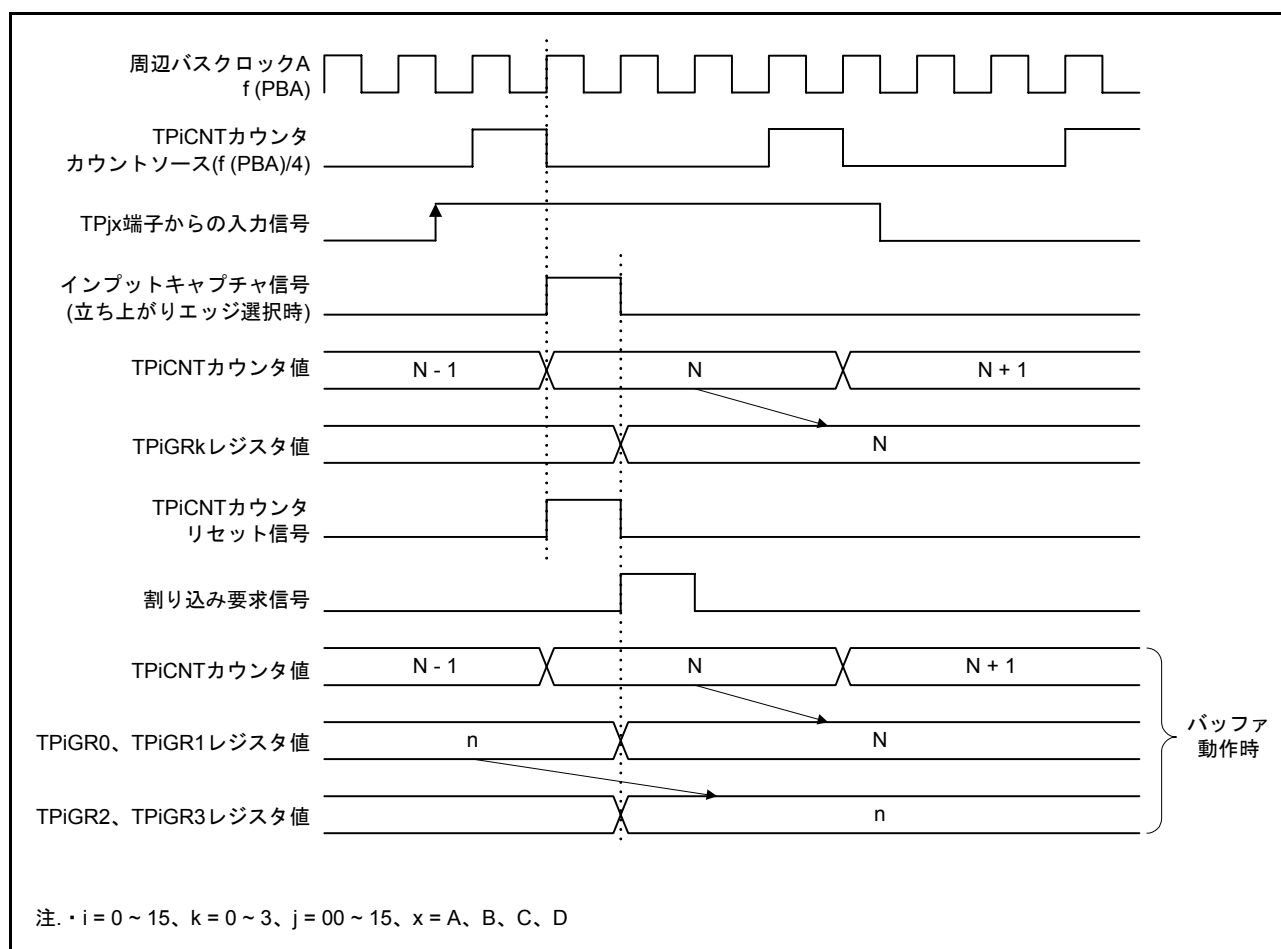


図 15.10 インプットキャプチャのタイミング

15.5.1 バッファ機能

インプットキャプチャおよびアウトプットコンペア共に使用できる機能です。本項では、インプットキャプチャのバッファ機能で使用する場合について説明します。表 15.21 にレジスタの組み合わせ、表 15.22 にバッファ関連レジスタの設定について示します。

表 15.21 レジスタの組み合わせ

TPUジェネラルレジスタ	バッファレジスタ
TPiGR0	TPiGR2
TPiGR1	TPiCR3

注. ・ $i = 0 \sim 15$

表 15.22 バッファ関連レジスタの設定

レジスタ	ビット	機能
TPiOCR	IOk	インプットキャプチャのトリガ選択
TPiMD	GR2FS、GR3FS	バッファレジスタ選択

注. ・ $i = 0 \sim 15$ 、 $k = 0 \sim 3$

図 15.11 は TPjA 端子からトリガが入力された場合、TPiCNT カウンタの値を TPiGR0 レジスタへ転送すると同時に、それまで TPiGR0 レジスタに格納されていた値を TPiGR2 レジスタへ転送される動作を示したものです。

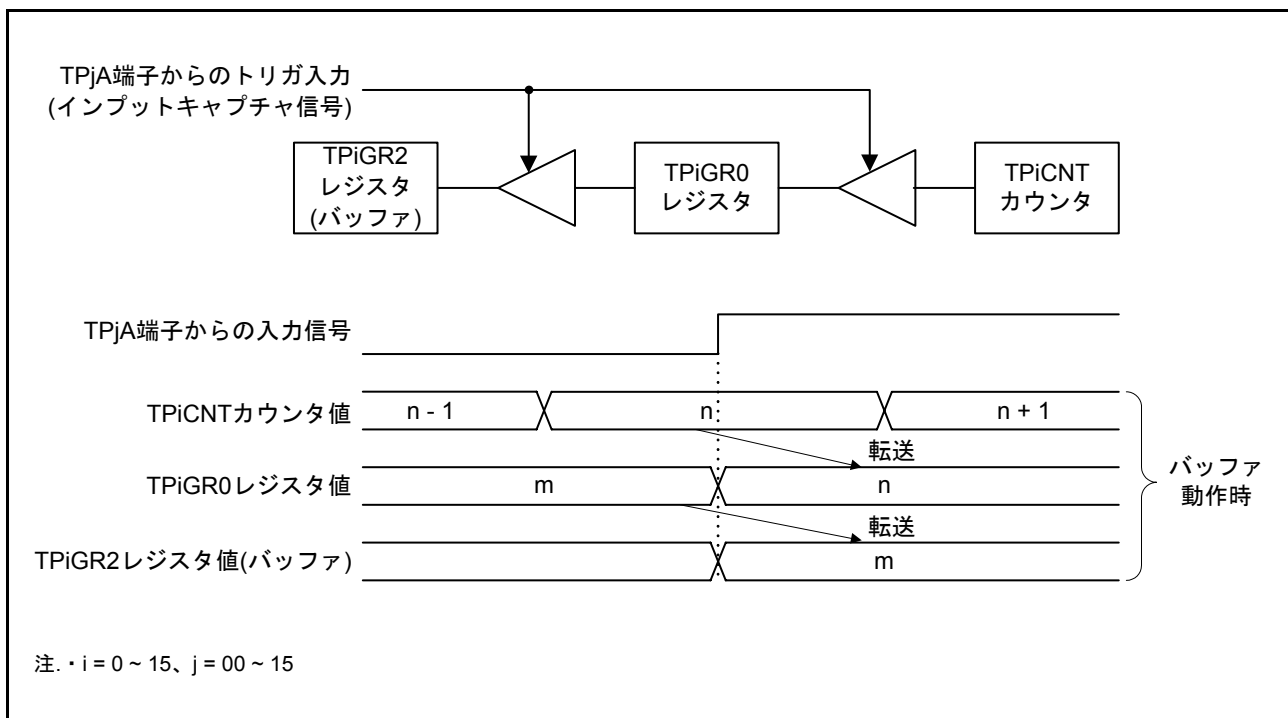


図 15.11 バッファ動作の動作例

図 15.12 に以下のように設定した場合の応用例を示します。

- インพุットキャプチャのトリガを TPjA 端子入力の両エッジに設定
- TPiCNT カウンタは、インพุットキャプチャでリセット
- バッファ機能の組み合わせを TPiGR0、TPiGR2 レジスタに設定

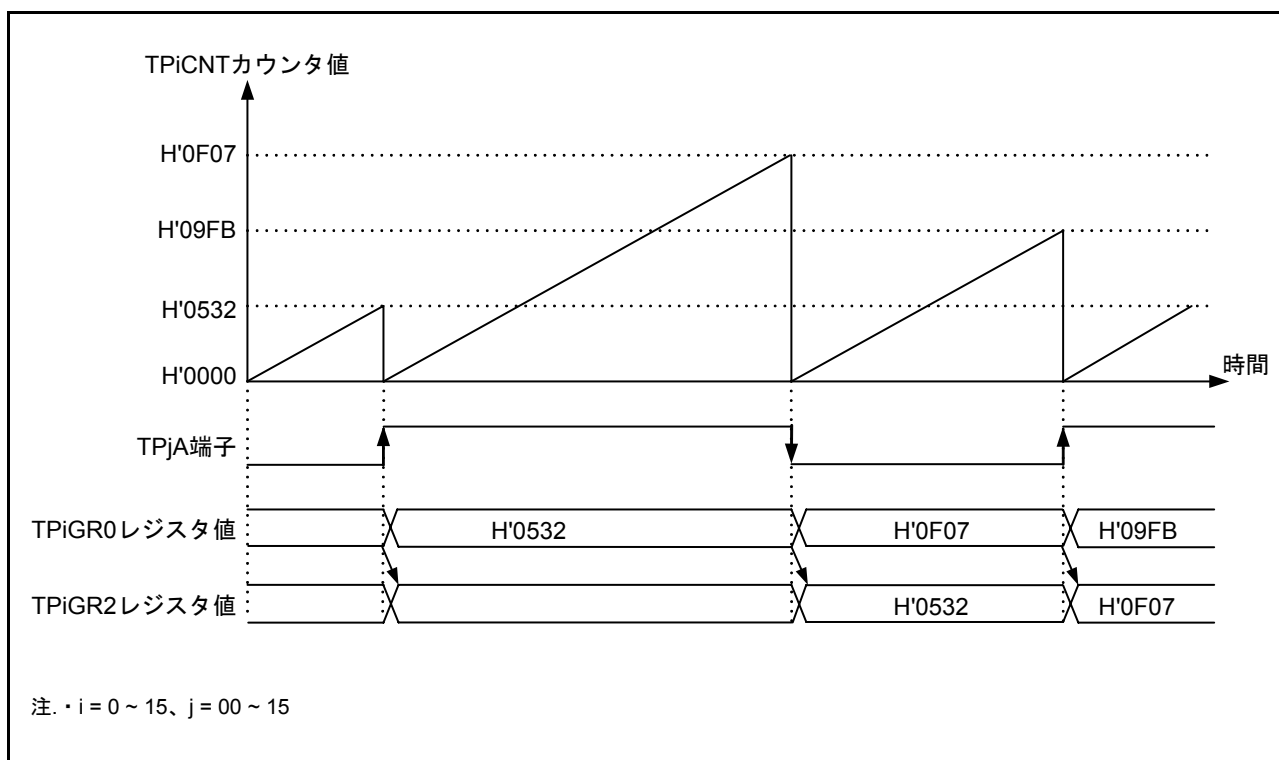


図 15.12 バッファ機能の応用例

15.5.2 デジタルフィルタ機能

本機能は、TPj x 端子に入力されたレベルを TPiCNT カウンタのカウントソースごとに判定し、3回一致したレベルをトリガ入力レベルとして通過させる機能です。表 15.23 にデジタルフィルタ機能関連レジスタの設定、図 15.13 にデジタルフィルタを使用した場合のトリガ信号について示します。

表 15.23 デジタルフィルタ機能関連レジスタの設定

レジスタ	ビット	機能
TPiDF	DFEk	デジタルフィルタ機能選択

注. ・ i = 0 ~ 15、k = 0 ~ 3

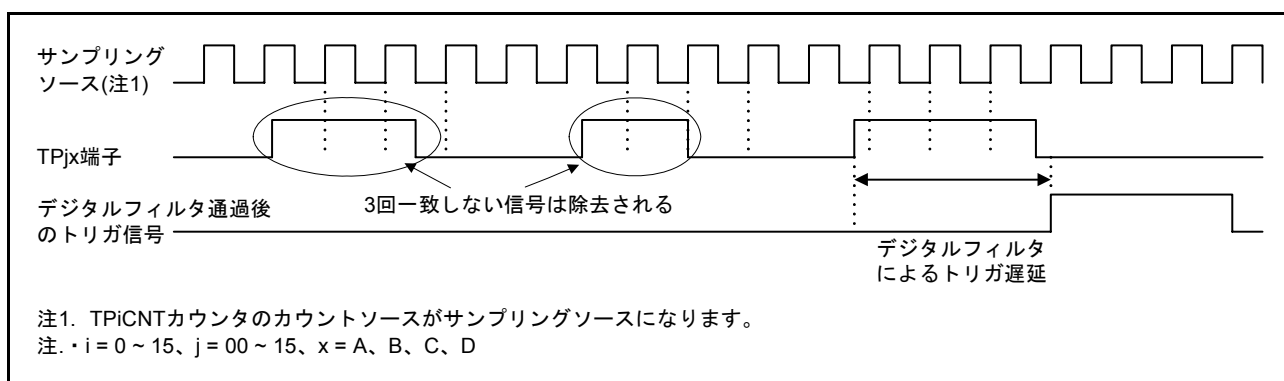


図 15.13 デジタルフィルタを使用した場合のトリガ信号

15.6 アウトプットコンペア機能

TPiCNT カウンタと TPiGRk レジスタのコンペアマッチにより、TPj x 端子から波形出力を行います。アウトプットコンペア機能には、次の2つのモードがあります。

- 単相波形出力モード
- PWM モード

15.6.1 単相波形出力モード

TPiCNT カウンタと TPiGRk レジスタの値が一致すると、TPj x 端子から TPiOCR レジスタの IOk ビットで設定された値が出力されます。出力レベルは Low レベル出力 / High レベル出力 / トグル出力の3種類から選択できます。表 15.24 に単相波形出力モードの仕様、表 15.25 にアウトプットコンペア機能関連レジスタの設定について示します。

表 15.24 単相波形出力モードの仕様

項目	機能
出力波形	<ul style="list-style-type: none"> • フリーラン動作 TPiPSCR1 レジスタの TSRE ビットを“0”に設定してください。 TPiCR レジスタの TRS ビットが“B'000” “B'100” (リセットしない)の場合 <p>周期：$\frac{65536}{T}$</p> <p>初期値レベル：$\frac{n}{T}$</p> <p>T: TPiCNT カウンタのカウントソース n: TPiGRk レジスタの設定値 (H'0000 ~ H'FFFF)</p> <ul style="list-style-type: none"> • TPiCNT カウンタと TPiGRk レジスタの値が一致したとき、TPiCNT カウンタをリセットする場合 <p>周期：$\frac{n+1}{T}$</p> <p>T: TPiCNT カウンタのカウントソース n: TPiGRk レジスタの設定値 (H'0000 ~ H'FFFF)</p>
波形出力開始条件	TPiOCR レジスタの IOk ビットをアウトプットコンペアの出力値に設定する
波形出力停止条件	TPiOCR レジスタの IOk ビットをアウトプットコンペア以外の値に設定する
割り込み要求発生タイミング	TPiCNT カウンタと TPiGRk レジスタのコンペアマッチが発生したとき
TPj x 端子	パルス出力
選択機能	<ul style="list-style-type: none"> • バッファ機能 TPiGR0 レジスタのバッファレジスタとして TPiGR2 レジスタ、また TPiGR1 レジスタのバッファレジスタとして TPiGR3 レジスタが使用でき、コンペアマッチが発生すると、TPiGR2 レジスタに格納されていた値を TPiGR0 レジスタへ、TPiGR3 レジスタに格納されていた値を TPiGR1 レジスタへ転送する

注. • i = 0 ~ 15、k = 0 ~ 3

表 15.25 アウトプットコンペア機能関連レジスタの設定

レジスタ	ビット	設定
TPiOCR	IOk	出力初期値およびコンペアマッチしたときの出力レベル選択
TPiMD	GR2FS、GR3FS	バッファ選択機能

注. • i = 0 ~ 15、k = 0 ~ 3

図 15.14 に Low レベル出力 /High レベル出力の動作例を示します。

TPiCNT カウンタをフリーランカウント動作させ、TPiCNT カウンタと TPiGR0 レジスタとのコンペアマッチにより TPjA 端子から“1”を出力、また TPiCNT カウンタと TPiGR1 レジスタとのコンペアマッチにより TPjB 端子から“0”を出力するように設定した例です。TPiOCR レジスタの IOk ビットで設定した出力レベルと端子の出力レベルが一致している場合には端子のレベルは変化しません。

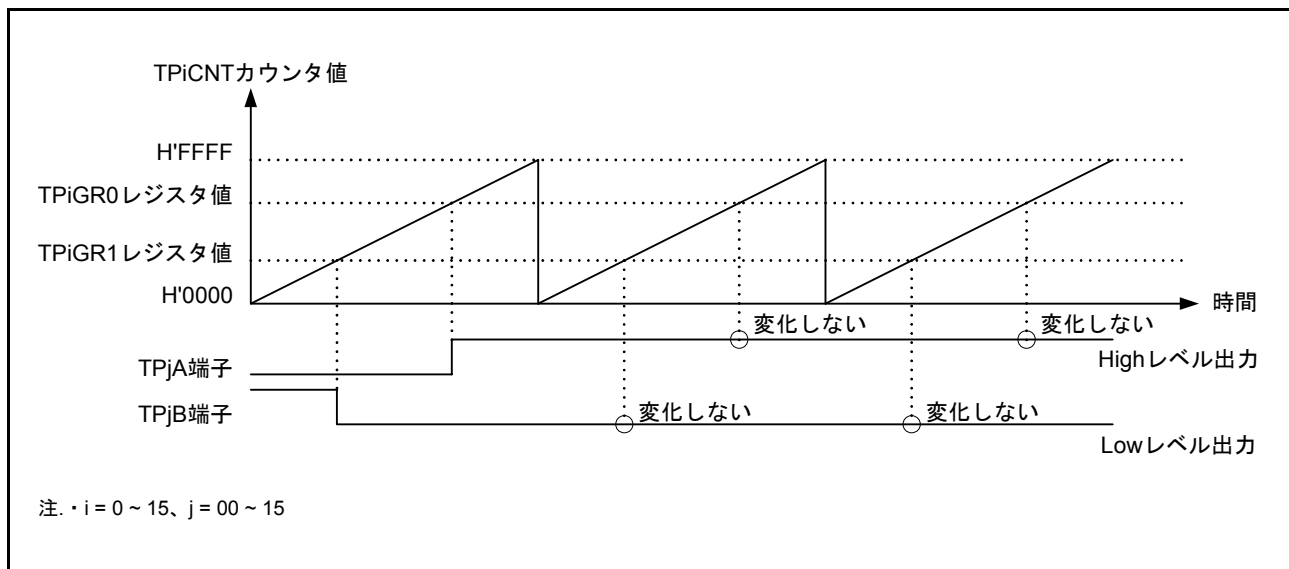


図 15.14 Low レベル出力 /High レベル出力の動作例

図 15.15 にトグル出力の動作例を示します。

TPiCNT カウンタを周期カウント動作 (TPiGR0 レジスタとのコンペアマッチによりカウンタリセット) に、TPiGR0、TPiGR1 レジスタとのコンペアマッチによりトグル出力となるように設定した場合の例です。

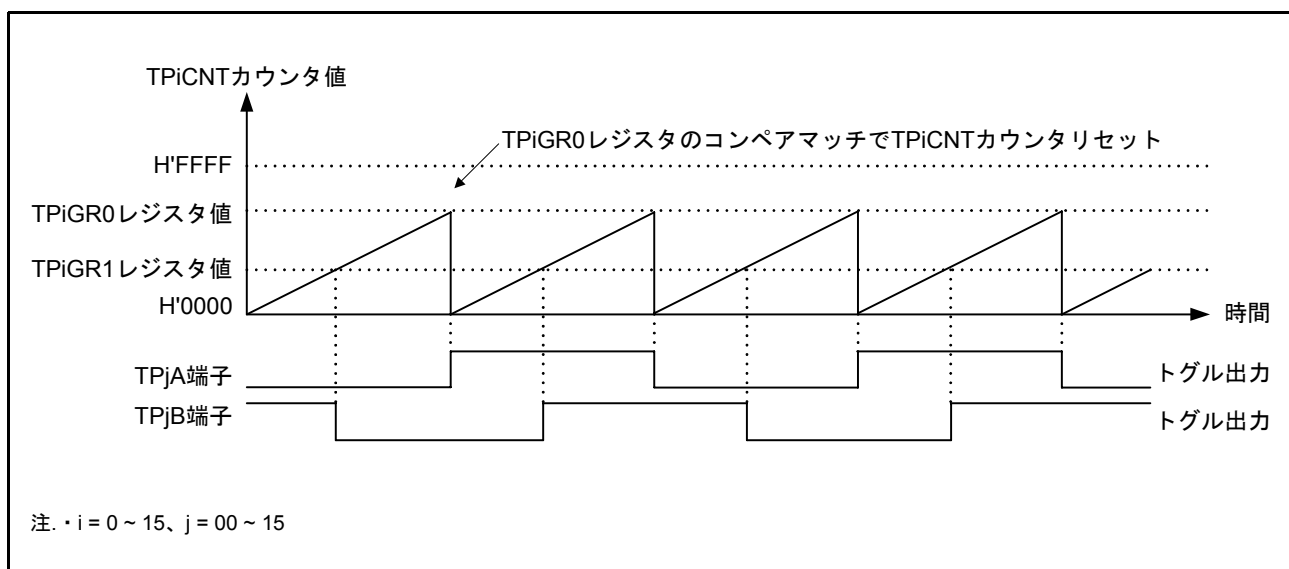


図 15.15 トグル出力の動作例

図 15.16 にアウトプットコンペアのタイミングを示します。

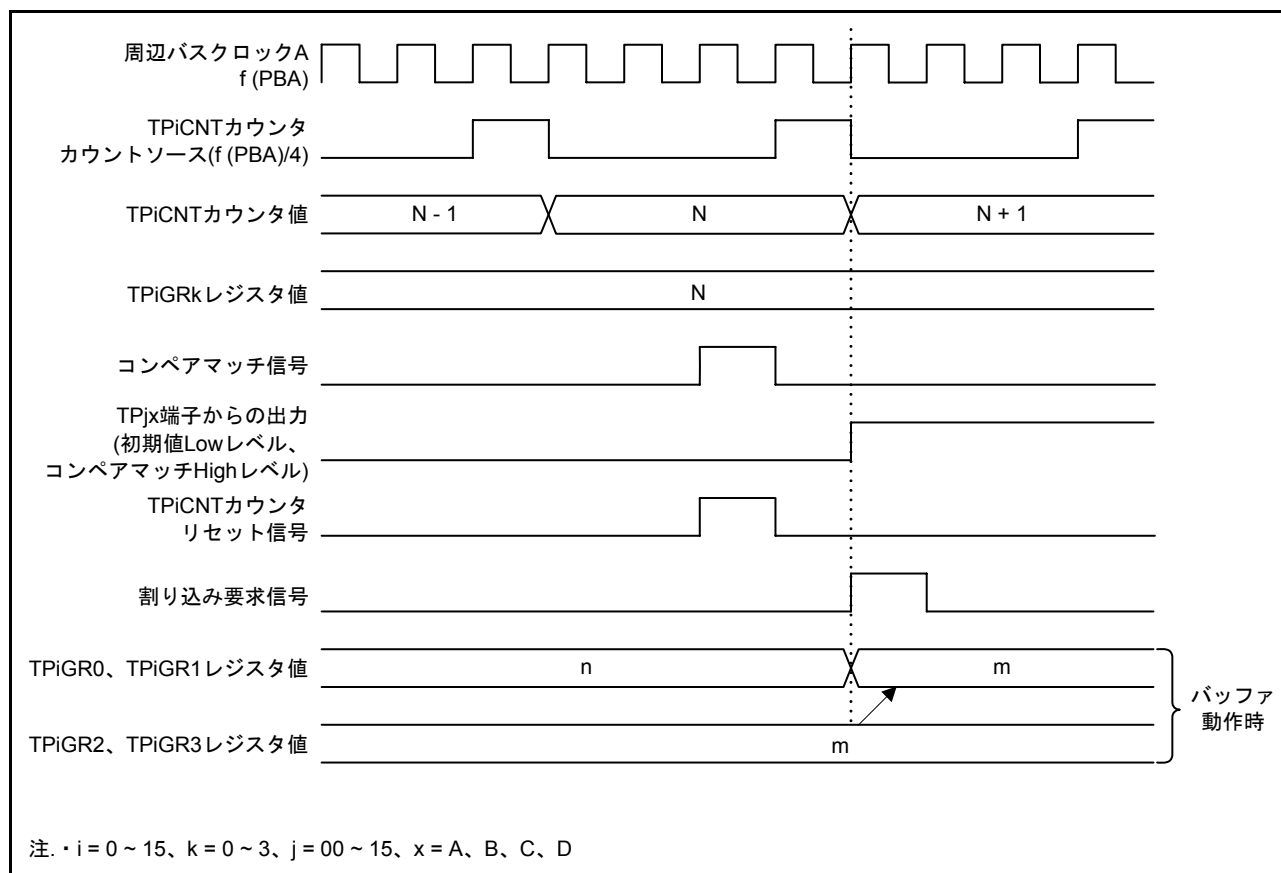


図 15.16 アウトプットコンペアのタイミング

15.6.2 バッファ機能

インプットキャプチャおよびアウトプットコンペア共に使用できる機能です。本項では、アウトプットコンペアのバッファ機能で使用する場合について説明します。

表 15.26 にレジスタの組み合わせ、表 15.27 にバッファ関連レジスタの設定を示します。

表 15.26 レジスタの組み合わせ

TPUジェネラルレジスタ	バッファレジスタ
TPiGR0	TPiGR2
TPiGR1	TPiCR3

注. ・ $i = 0 \sim 15$

表 15.27 バッファ関連レジスタの設定

レジスタ	ビット	機能
TPiIOCR	IOk	出力初期値およびコンペアマッチしたときの出力レベル選択
TPiMD	GR2FS、GR3FS	バッファ機能選択

注. ・ $i = 0 \sim 15$ 、 $k = 0 \sim 3$

図 15.17 にバッファ動作の動作例を示します。

図 15.17 は TP0CNT カウンタと TPiGR0 レジスタとのコンペアマッチが発生したとき、TPiGR2 レジスタの値を TPiGR0 レジスタへ転送する動作を示したものです。

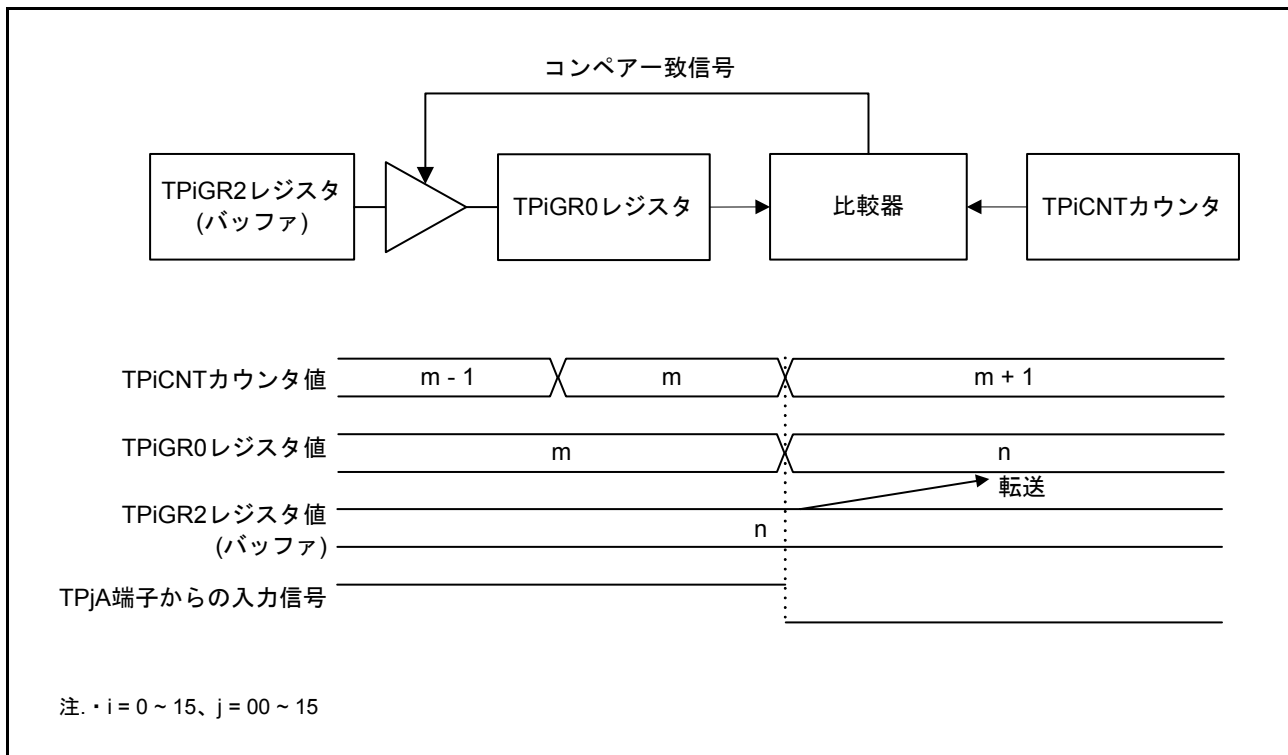


図 15.17 バッファ動作の動作例

図 15.18 に以下のように設定した場合の応用例を示します。

- PWM モード 1 に設定
- TPiCNT カウンタは、TPiGR1 レジスタとのコンペアマッチでリセット
- TPjA 端子からの出力は、TPiCNT カウンタと TPiGR0 レジスタとのコンペアマッチで High レベル出力
- バッファ機能の組み合わせを TPiGR0、TPiGR2 レジスタに設定

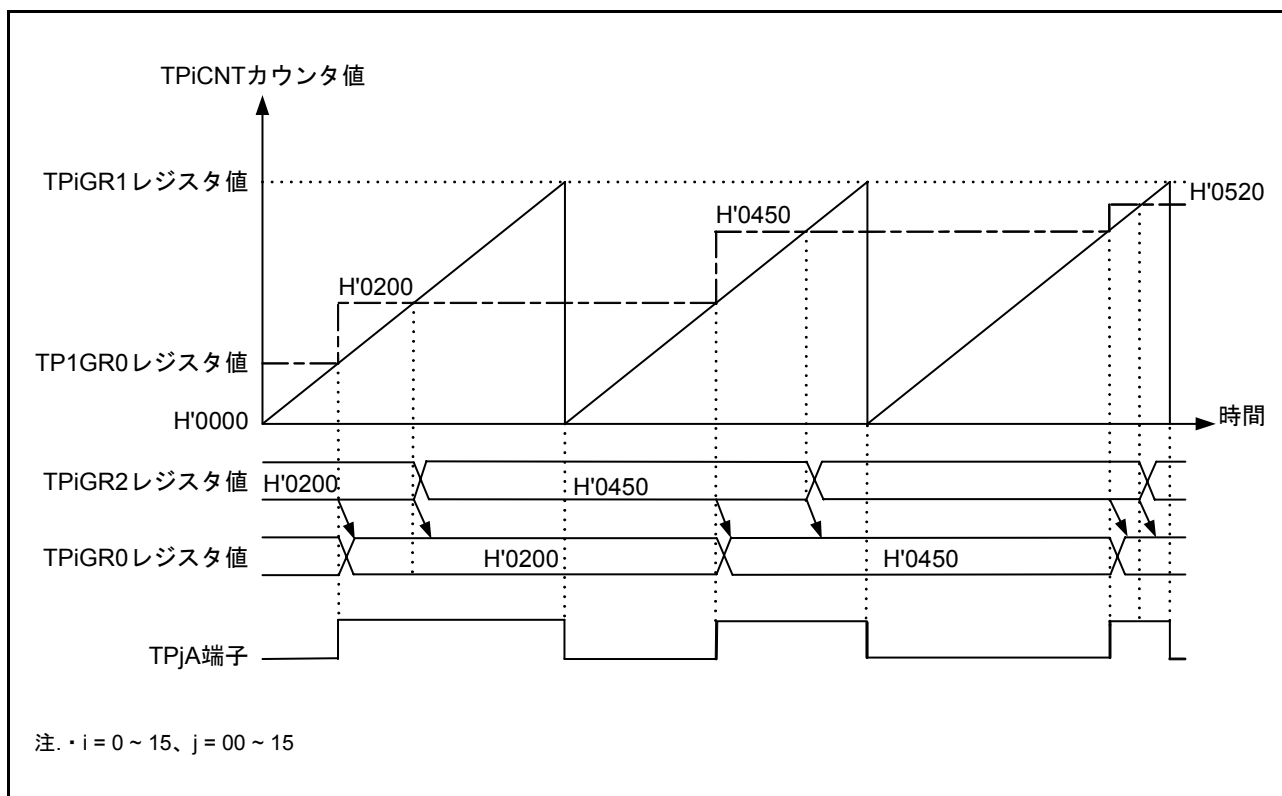


図 15.18 バッファ機能の応用例

15.6.3 PWM モード

PWM モードは TPj x 端子から PWM 波形を出力するモードで、PWM モード 1 と PWM モード 2 の 2 種類のモードがあります。出力レベルは Low レベル出力 / High レベル出力 / トグル出力の中から選択が可能で、デューティ 0 ~ 100% の PWM 波形が出力できます。

また、カウンタリセット要因を TPiCNT カウンタと TPiGRk レジスタのコンペアマッチに設定することにより、周期設定をすることができます。

(1) PWM モード 1

PWM モード 1 は、TPiGRk レジスタを 2 本使用し、PWM 波形を生成するモードです。PWM モード 1 では最大 32 チャンネルの PWM 波形を生成することができます。

表 15.28 に TPiGRk レジスタの組み合わせと出力端子について示します。

表 15.28 TPiGRk レジスタの組み合わせと出力端子

TPiCNT カウンタ	TPiGRk レジスタ	出力端子
TPiCNT	TPiGR0	TPjA
	TPiGR1	
	TPiGR2	TPjC
	TPiGR3	

注. ・ i = 0 ~ 15、k = 0 ~ 3、j = 00 ~ 15

表 15.29 に PWM モード 1 の仕様を示します。

表 15.29 PWMモード1の仕様

項目	機能
出力波形(注1)	<ul style="list-style-type: none"> フリーラン動作(注2) TPIPCR1レジスタのTSREビットを“0”に設定してください。 TPICR レジスタのTRSビットが“B'000” “B'100” (リセットしない)の場合 <p>Highレベル幅：$\frac{n-m}{T}$</p> <p>Lowレベル値：$\frac{m}{T}$ (注3) + $\frac{65536-n}{T}$ (注4)</p> <p>T: TPICNTカウンタのカウントソース m: 初期値Lowレベル、コンペアマッチでHighレベル出力、TPIGRkレジスタの設定値 (H'0000 ~ H'FFFF) n: 初期値Lowレベル、コンペアマッチでHighレベル出力、TPIGRkレジスタの設定値 (H'0000 ~ H'FFFF)</p> <ul style="list-style-type: none"> TPICNTカウンタとTPIGRkレジスタの値が一致したとき、TPICNTカウンタをリセットする場合 <p>周期：$\frac{n+1}{T}$</p> <p>T: TPICNTカウンタのカウントソース n: TPIGRkレジスタの設定値 (H'0000 ~ H'FFFF)</p>
波形出力開始条件	<ul style="list-style-type: none"> TPIIOCRレジスタのIOkビットをアウトプットコンペアの出力値に設定する TPIMDレジスタのMDビットを“B'010” (PWMモード1)に設定する
波形出力停止条件	TPIIOCRレジスタのIOkビットをアウトプットコンペア出力以外の値に設定する
割り込み要求発生タイミング	TPICNTカウンタとTPIGRkレジスタのコンペアマッチが発生したとき
TPj x端子	パルス出力
選択機能	<ul style="list-style-type: none"> バッファ機能 TPIGR0レジスタのバッファレジスタとしてTPIGR2レジスタ、またTPIGR1レジスタのバッファレジスタとしてTPIGR3レジスタが使用でき、コンペアマッチが発生すると、TPIGR2レジスタに格納されていた値をTPIGR0レジスタへ、TPIGR3レジスタに格納されていた値をTPIGR1レジスタへ転送する

注1. ペアで使用するTPIGRkレジスタの値が同一の場合は、TPICNTカウンタとのコンペアマッチが発生しても出力中のレベルは変化しません

注2. 図15.4に動作例を示します

注3. TPICNTカウンタをリセットしてから出力レベルがHighレベルになるまでの期間

注4. 出力レベルがLowレベルになってから、TPICNTカウンタをリセットするまでの期間

注. • i = 0 ~ 15, k = 0 ~ 3, j = 00 ~ 15, x = A, B, C, D

表 15.30 に PWM モード 1 関連レジスタの設定を示します。

表 15.30 PWMモード1関連レジスタの設定

レジスタ	ビット	設定
TPIIOCR	IOk	出力初期値およびコンペアマッチしたときの出力レベル選択
TPIMD	MD	PWMモード1選択
	GR2FS、GR3FS	バッファ選択機能

注. • i = 0 ~ 15, k = 0 ~ 3

図 15.19 に PWM モード 1 の動作例を示します。

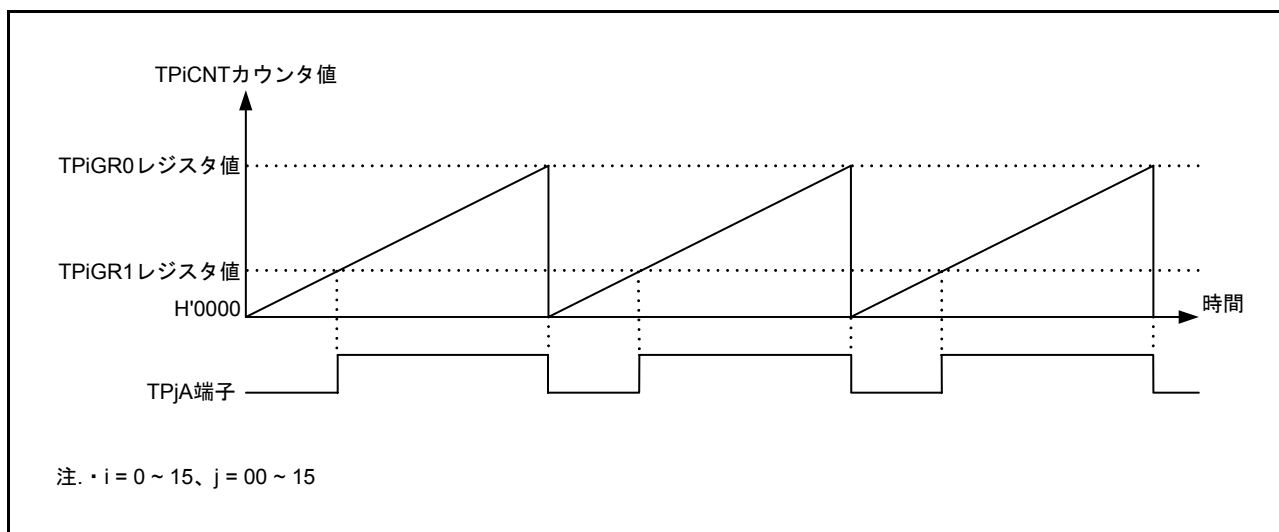


図 15.19 PWM モード 1 の動作例

(2) PWM モード 2

PWM モード 2 は、TPiCNTRSE レジスタを周期設定用レジスタ、TPiGRk レジスタを各々波形生成用レジスタとして使用し、PWM 波形を生成するモードです。PWM モード 2 では最大 64 チャンネルの PWM 出力が可能です。

表 15.31 に TPiGRk レジスタと出力端子の対応を示します。

表 15.31 TPiGRk レジスタの組み合わせと出力端子

TPiCNT カウンタ	TPiGRk	出力端子
TPiCNT	TPiGR0	TPjA
	TPiGR1	TPjB
	TPiGR2	TPjC
	TPiGR3	TPjD

注・i = 0 ~ 15、k = 0 ~ 3、j = 00 ~ 15

表 15.32 に PWM モード 2 の仕様を示します。

表 15.32 PWMモード2の仕様

項目	機能
出力波形	<p>TPiCNTカウンタとTPiCNTRSEレジスタの値が一致したとき、TPiCNTカウンタをリセット</p> <p>周期：$\frac{n+1}{T}$</p> <p>初期値出力レベル幅：$\frac{m}{T}$</p> <p>反転レベル幅：$\frac{n-m}{T}$</p> <p>T：TPiCNTカウンタのカウントソース m：TPiGRkレジスタの設定値(H'0000～H'FFFF) n：周期設定用レジスタとして使用するTPiCNTRSEレジスタの設定値(H'0000～H'FFFF)</p>
波形出力開始条件	<ul style="list-style-type: none"> • TPiIOCRレジスタのIOkビットをアウトプットコンペアの出力値に設定する • TPiMDレジスタのMDビットを“B'011” (PWMモード2)に設定する
波形出力停止条件	TPiIOCRレジスタのIOkビットをアウトプットコンペア出力以外の値に設定する
割り込み要求発生タイミング	TPiCNTカウンタとTPiGRkレジスタのコンペアマッチが発生したとき
TPj x端子	パルス出力
選択機能	<ul style="list-style-type: none"> • バッファ機能 TPiGR0レジスタのバッファレジスタとしてTPiGR2レジスタ、またTPiGR1レジスタのバッファレジスタとしてTPiGR3レジスタが使用でき、コンペアマッチが発生すると、TPiGR2レジスタに格納されていた値をTPiGR0レジスタへ、TPiGR3レジスタに格納されていた値をTPiGR1レジスタへ転送する • 位相シフトモード(チャンネルシフトモード) 1チャンネルずつ位相シフトクロックに同期させてPWM出力する

注. • i = 0 ~ 15、k = 0 ~ 3、j = 00 ~ 15、x = A、B、C、D

表 15.33 に PWM モード 2 関連レジスタの設定について示します。

表 15.33 PWMモード2関連レジスタの設定

レジスタ	ビット	設定
TPiIOCR	IOk	出力初期値およびコンペアマッチしたときの出力レベル選択
TPiMD	MD	PWMモード2選択
	GR2FS、GR3FS	バッファ選択機能
TPiPSCDV	—	位相シフト時間の設定
TPiPSCR0	PSM	位相シフトモードの設定
TPiCNTRSE	—	周期設定

注. • i = 0 ~ 15、k = 0 ~ 3

図 15.20 に PWM モード 2 の動作例を示します。

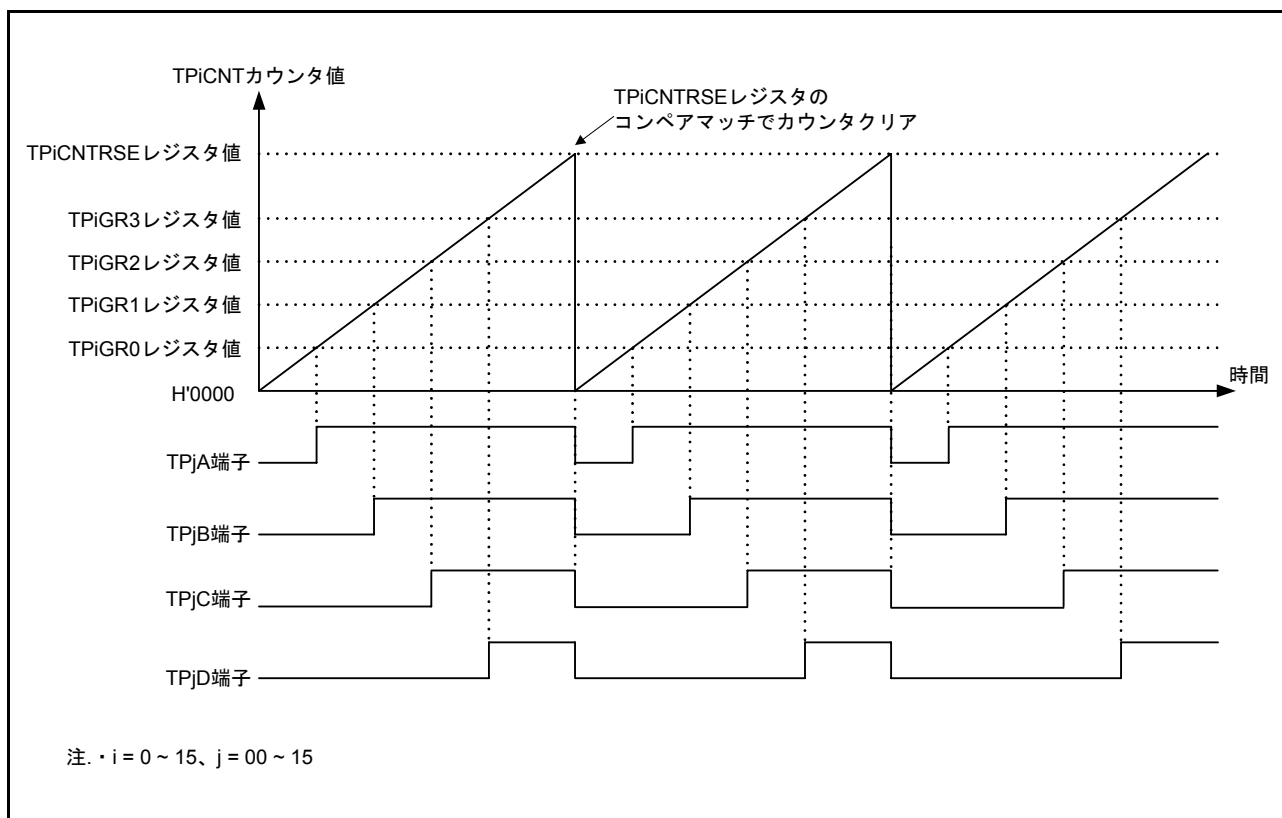


図 15.20 PWM モード 2 の動作例

15.6.4 位相シフトモード(チャンネルシフトモード)

本機能は、PWM 波形をシフトさせて出力させる機能です。本機能を使用することによって、スイッチングノイズおよび瞬間消費電流の低減に効果があります。本機能は、TPU を以下の条件で動作させることを前提としています。

- 全チャンネルを PWM モード 2 に設定する。位相シフト機能を使用する場合、TPiPSPSE レジスタが周期設定用レジスタになる。
- TPiPSCR1 レジスタの TSRE3、TSRE5 ビットを“1”に設定する。
- TPiCR レジスタと TPiPSCNTPCR レジスタのカウントソースを同じ周波数に設定する。
- TPiPSCNT カウンタのリセット要因を、TPiPSCNTPCR レジスタの TRS ビット = B'10 に設定する。

初期出力を Low レベルで、PWM 波形を 1 チャンネルずつ、位相シフトクロックの 1 サイクルずつずらしながら High レベルを、アウトプットコンペアで Low レベルを出力します。出力する順序は TPjA、TPjB、TPjC、TPjD 端子の順番です。位相シフトクロックとは、TPiPSCNT カウンタのカウントソースを TPiPSCDV レジスタに設定された値で分周したクロックのことです。

図 15.21 に位相シフトモードブロック図を示します。

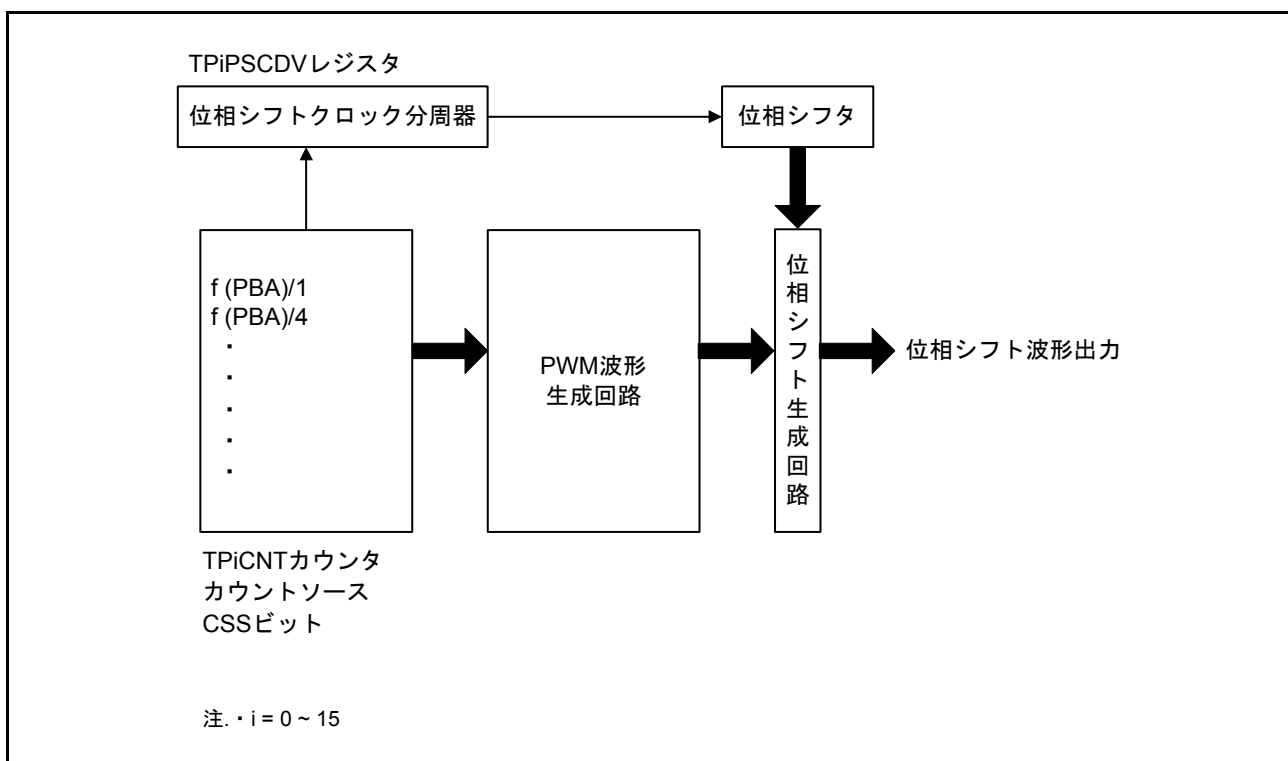


図 15.21 位相シフトモードブロック図

表 15.34 にチャンネルシフトモード関連レジスタの設定について示します。

表 15.34 チャンネルシフトモード関連レジスタの設定

レジスタ	ビット	設定
TPiCSTR	CST3、CST5	TPiCNTカウンタ、TPiPSCNTカウンタのカウンタ開始or停止の選択
TPiMD	MD	PWMモード2選択
TPiPSCR0	PSM	チャンネルシフトモードの選択
TPiCR、TPiPSCNTPCR	CSS、CES、TRS	TPiCNTカウンタ、TPiPSCNTカウンタのカウンタソース、カウンタエッジ、リセット要因の選択
TPiGRk	—	出力波形の幅を設定
TPiIOCR	IOk	“B'0101” (出力初期値Highレベル、コンペアマッチでLowレベル出力)にする
TPiPSCR1	TSRE	位相シフトモードの選択
TPiPSCDV	—	位相シフトクロックの分周を設定

注. ・ i = 0 ~ 15、k = 0 ~ 3

図 15.22 に TPiPSCNT カウンタの動作例を示します。

TPiPSCNTPCR レジスタの TRS ビットにより、TPiPSPSE レジスタと TPiPSCNT カウンタのコンペアマッチを選択し、TPiCSTR レジスタの CST5 ビットを“1”にセットすると、対応する TPiPSCNT カウンタがカウンタアップ動作を開始します。

カウンタ値が TPiPSPSE レジスタと一致すると、TPiPSCNT カウンタは“H'0000”にリセットされます。

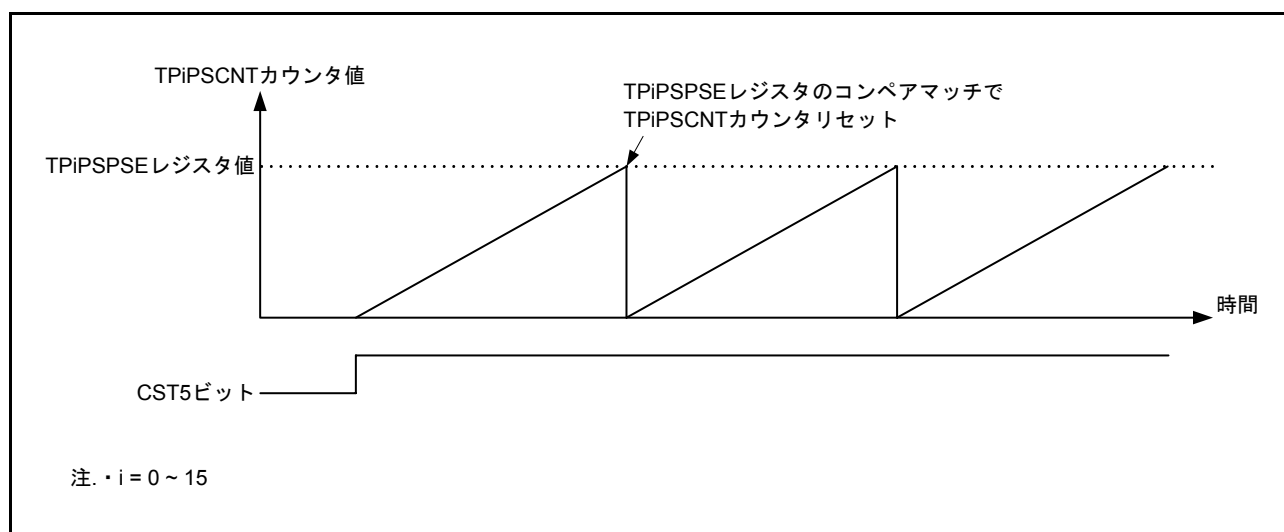


図 15.22 TPiPSCNT カウンタの動作例

また位相シフトモードでは図 15.22 に示すように、TPiPSCNT カウンタと TPiPSPSE レジスタのコンペアマッチで、TPiCNT カウンタもリセットされます。

図 15.23 にチャンネルシフトモードの動作手順を示します。

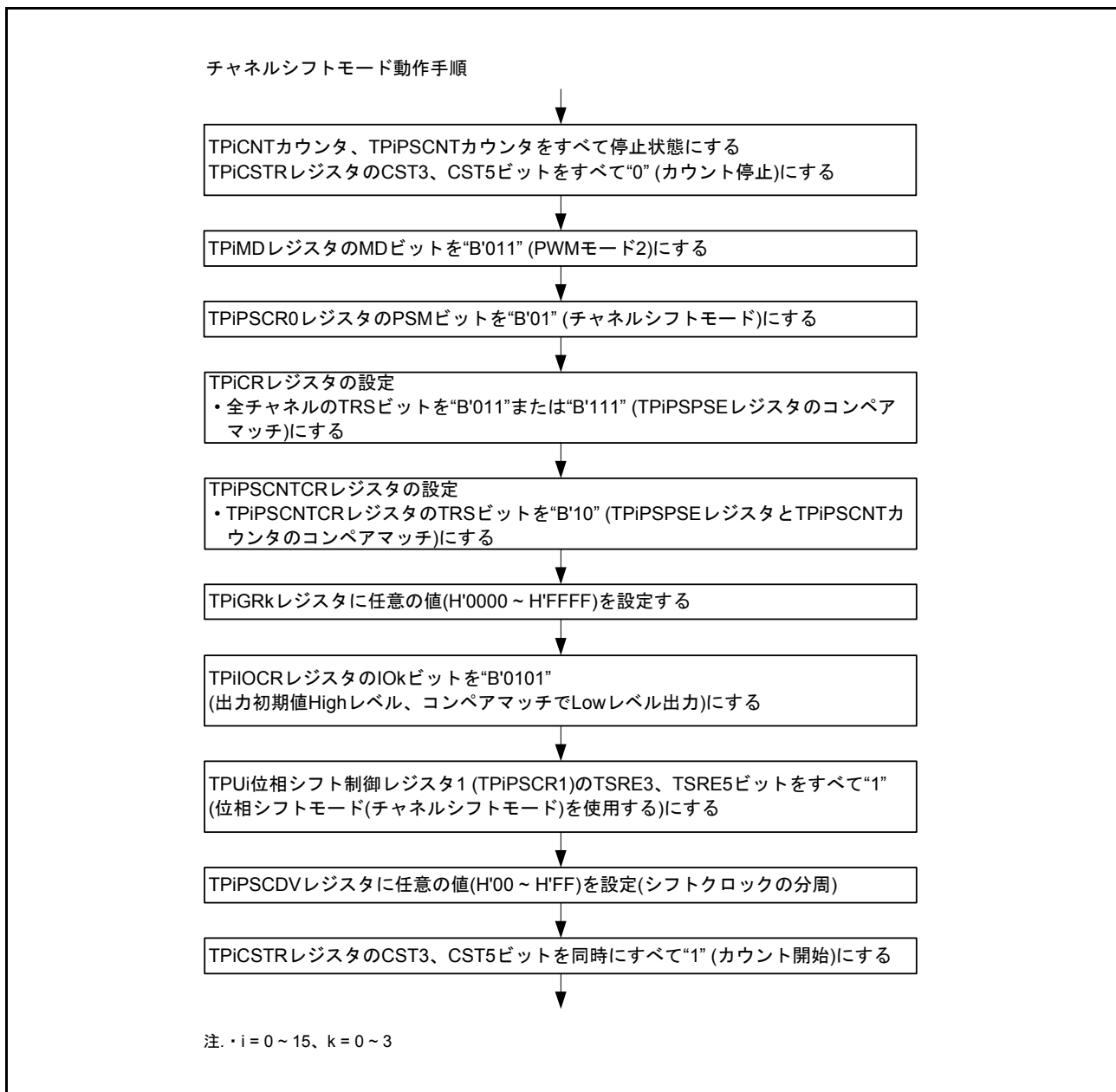


図 15.23 チャンネルシフトモードの動作手順

図 15.24 にチャンネルシフトモードの動作例を示します。

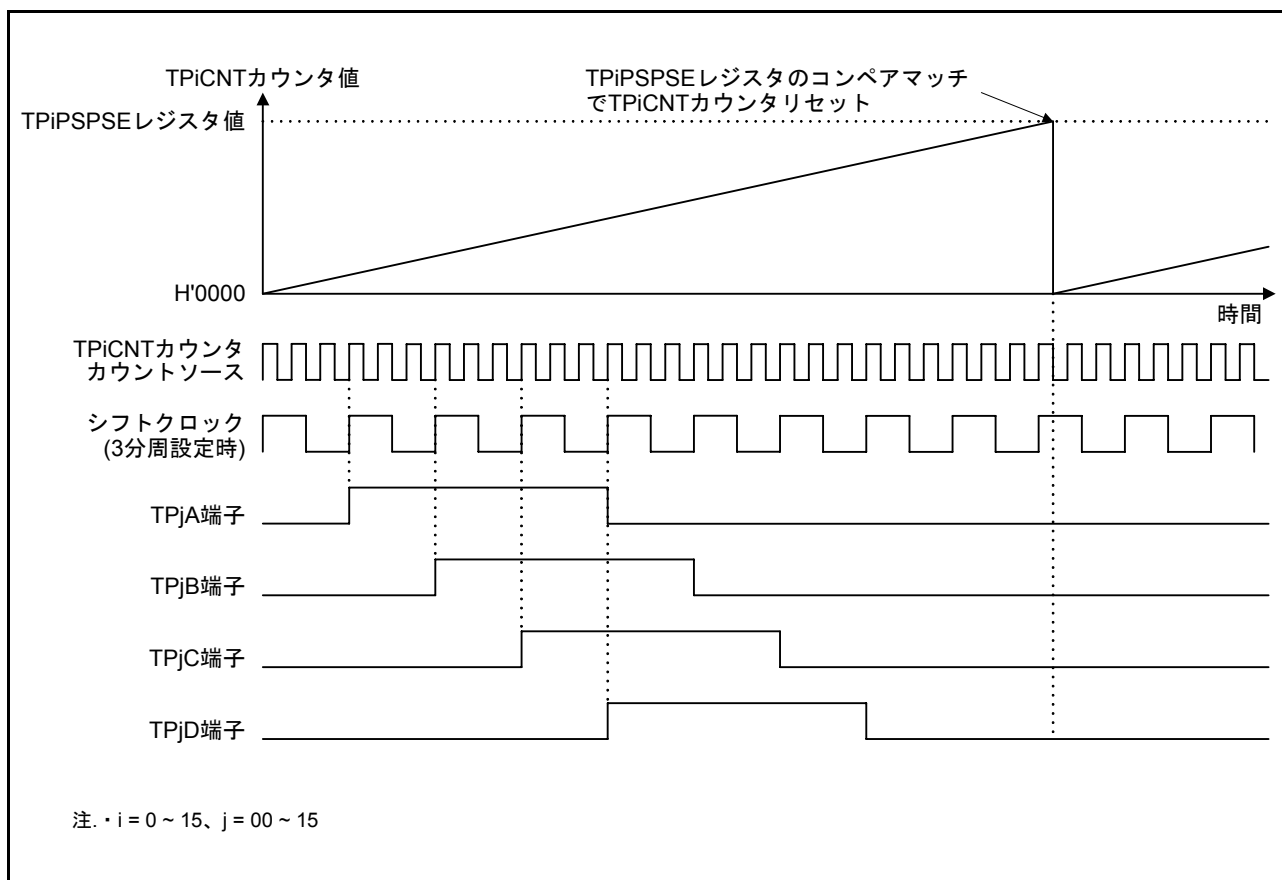


図 15.24 チャンネルシフトモードの動作例

15.7 A/D 変換タイミング生成機能

本機能は、位相シフトモードを利用した A/D 変換トリガ信号を生成する機能です。TPUi AD 変換 / ワンショット出力タイミング設定レジスタ k (TPiADOTSEk) と TPiCNT カウンタとのコンペアマッチで A/D 変換開始トリガ信号を生成します。表 15.35 に AD 変換タイミング生成機能関連レジスタの設定を示します。

表 15.35 AD 変換タイミング生成機能関連レジスタの設定

レジスタ	ビット	機能
TPiADCR	ADTE	対応するチャンネルのA/D変換トリガ機能使用を選択
TPiADOTSEk	—	対応するチャンネルのA/D変換タイミングを設定

注. ・ i = 0 ~ 15、k = 0 ~ 3

図 15.25 に A/D 変換タイミング生成機能の動作例を示します。

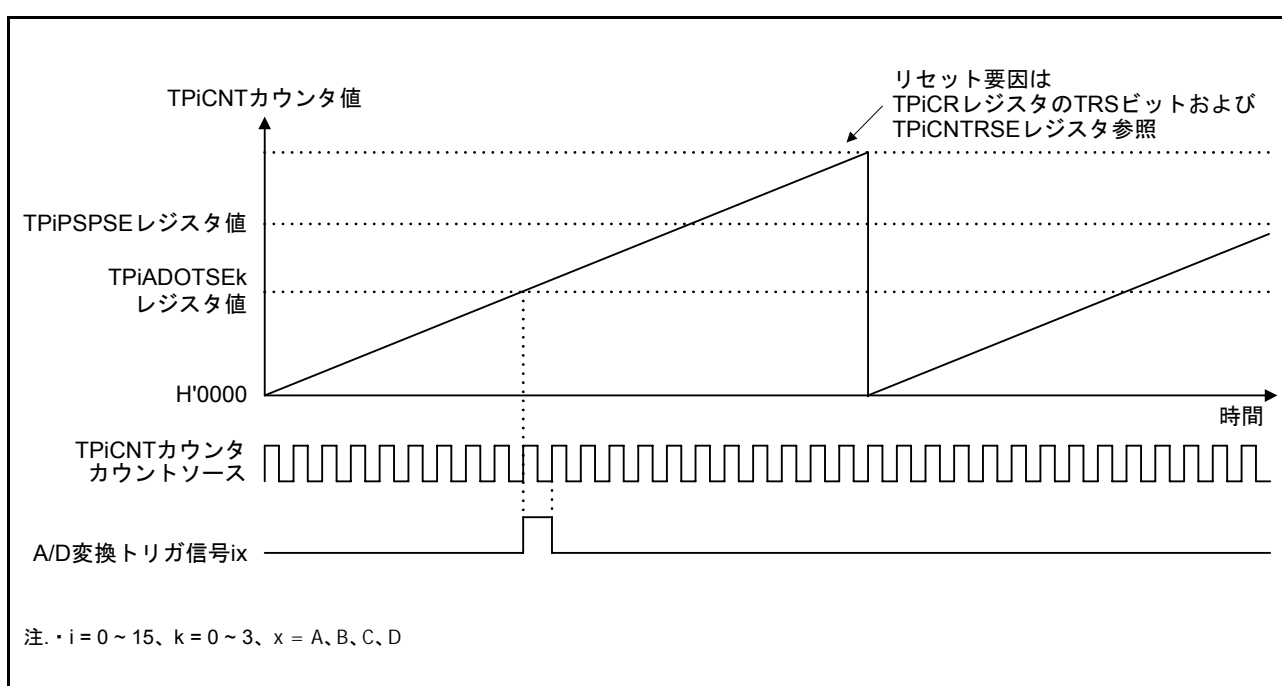


図 15.25 A/D 変換タイミング生成機能の動作例

15.8 ワンショット出力機能

本機能は、TPiADOTSEk レジスタに書き込んだ値を、そのときのTPiCNTカウンタとの値と加算してTPiGRk レジスタに格納する機能です。応用例として、コンペアマッチ機能により TPiGR レジスタとのコンペアマッチイベント発生から TPiADOTSEk レジスタに設定した時間後にアウトプットコンペア出力を行うことができます。

表 15.36 にワンショット出力機能関連レジスタの設定について示します。

表 15.36 ワンショット出力機能関連レジスタの設定

レジスタ	機能
TPiADOTSEk	対応するチャンネルのワンショットタイミングを設定
TPiADCR	ワンショット出力機能使用を選択

注. ・ 別途、イベント出力機能の設定が必要です。

・ i = 0 ~ 15、k = 0 ~ 3

図 15.26 にワンショット出力機能の動作手順を示します。

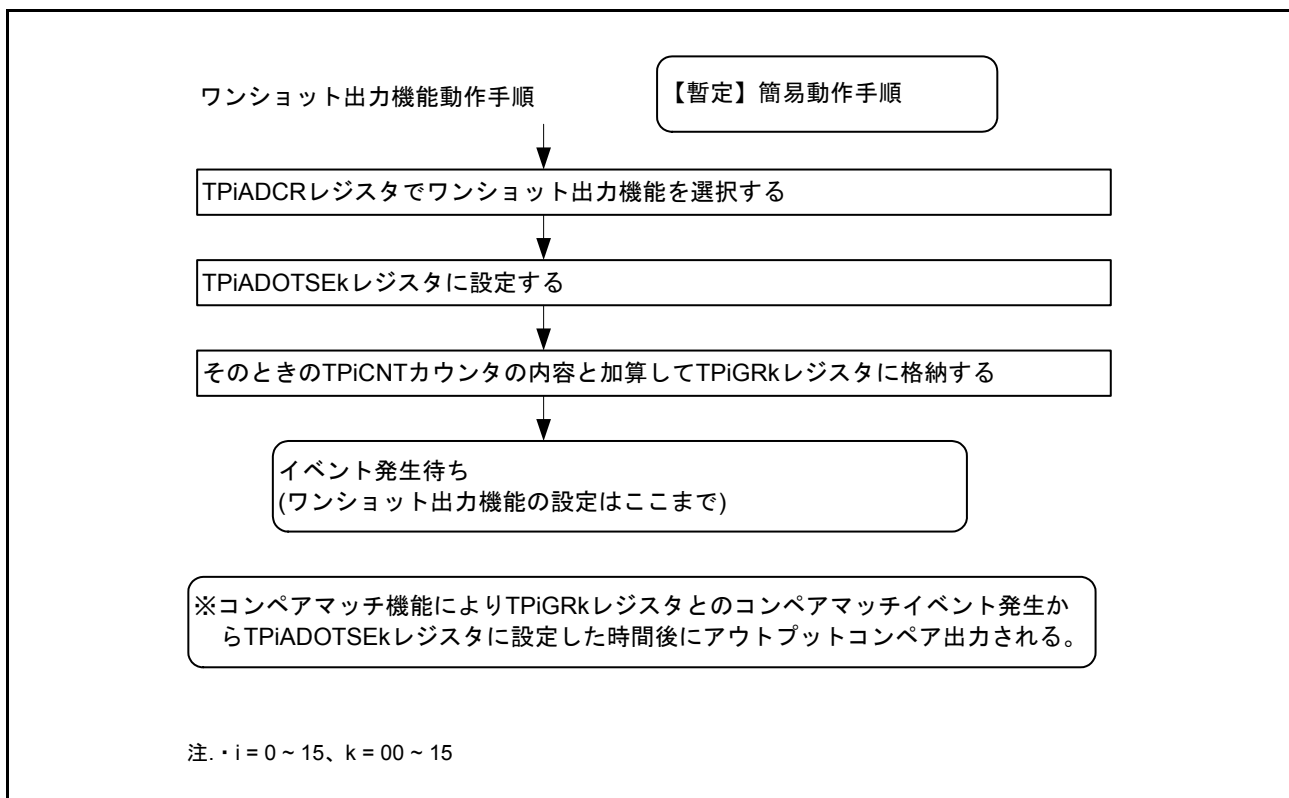


図 15.26 ワンショット出力機能の動作手順

図 15.27 にワンショット出力機能の動作例を示します。

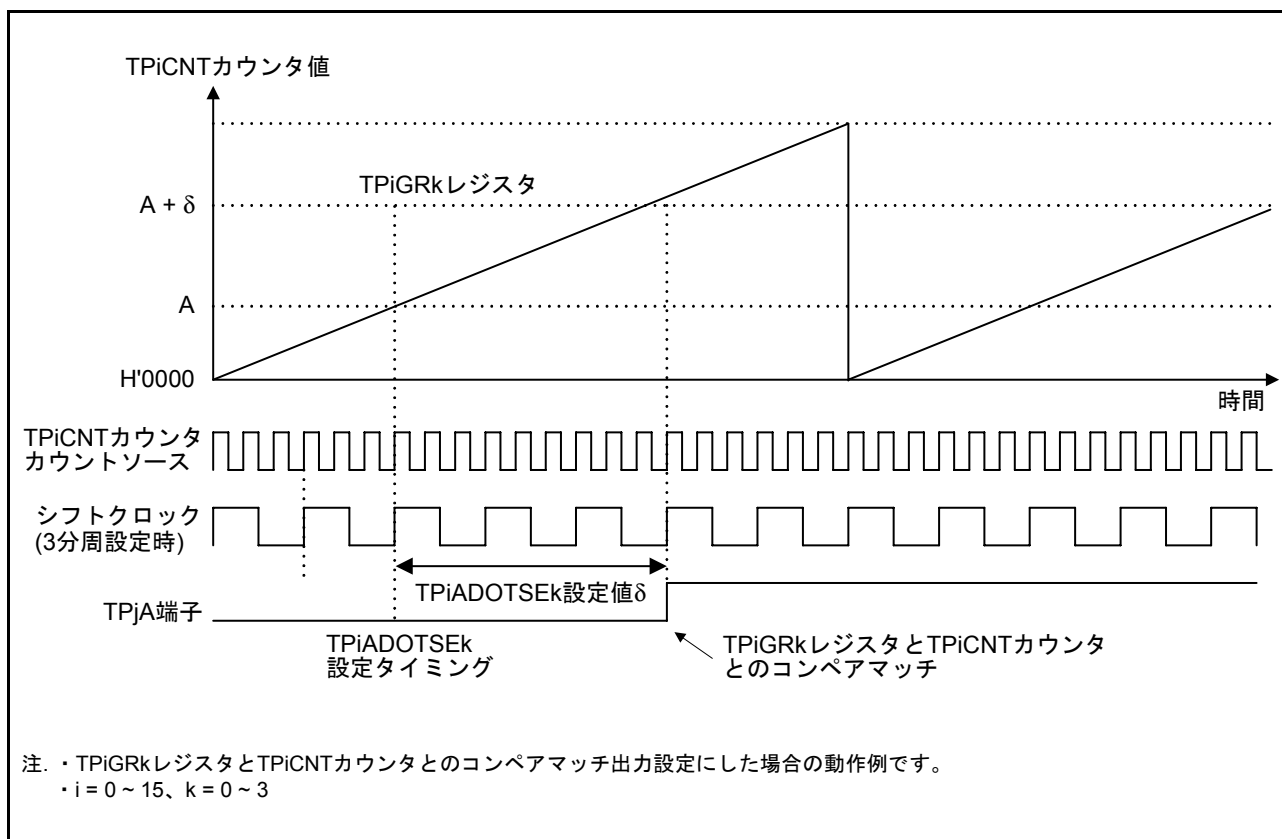


図 15.27 ワンショット出力機能の動作例

15.9 割り込み要因

TPUの割り込み要因には、各ユニット*i*にチャンネル*k*のTPiGR*k*割り込み(インプットキャプチャ/コンペアマッチ)、TPUiカウンタオーバーフロー割り込み、およびTPUiカウンタリセット割り込みの3種類があります。各割り込み要因は、それぞれ専用の割り込み制御レジスタを持ち、割り込み優先順位を独立に設定することができます。TPU全体で6要因/ユニット合計90要因の割り込み要因があります。

表15.37にTPU割り込み要因一覧を示します。

表15.37 TPU割り込み要因一覧

割り込み要因	DMAC起動(O: 可、—: 不可)															
	ユニット															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
TPiGR0割り込み	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
TPiGR1割り込み	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
TPiGR2割り込み	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
TPiGR3割り込み	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
TPUiカウンタオーバーフロー割り込み	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
TPiCNTRSEレジスタ設定による TPUiカウンタリセット割り込み	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

注. • *i* = 0 ~ 15

15.10 TPU の注意事項

15.10.1 TPiCNT カウンタへの書き込み信号と各種信号との競合

- TPiCNT カウンタリセット信号と競合した場合は、TPiCNT カウンタはリセットされ、書き込みは行われません。
- アップカウントのタイミングと競合した場合は、TPiCNT カウンタに書き込まれ、アップカウントは行われません。
- オーバフローのタイミングと競合した場合は、TPiCNT カウンタに書き込まれ、オーバフローフラグはセットされません。

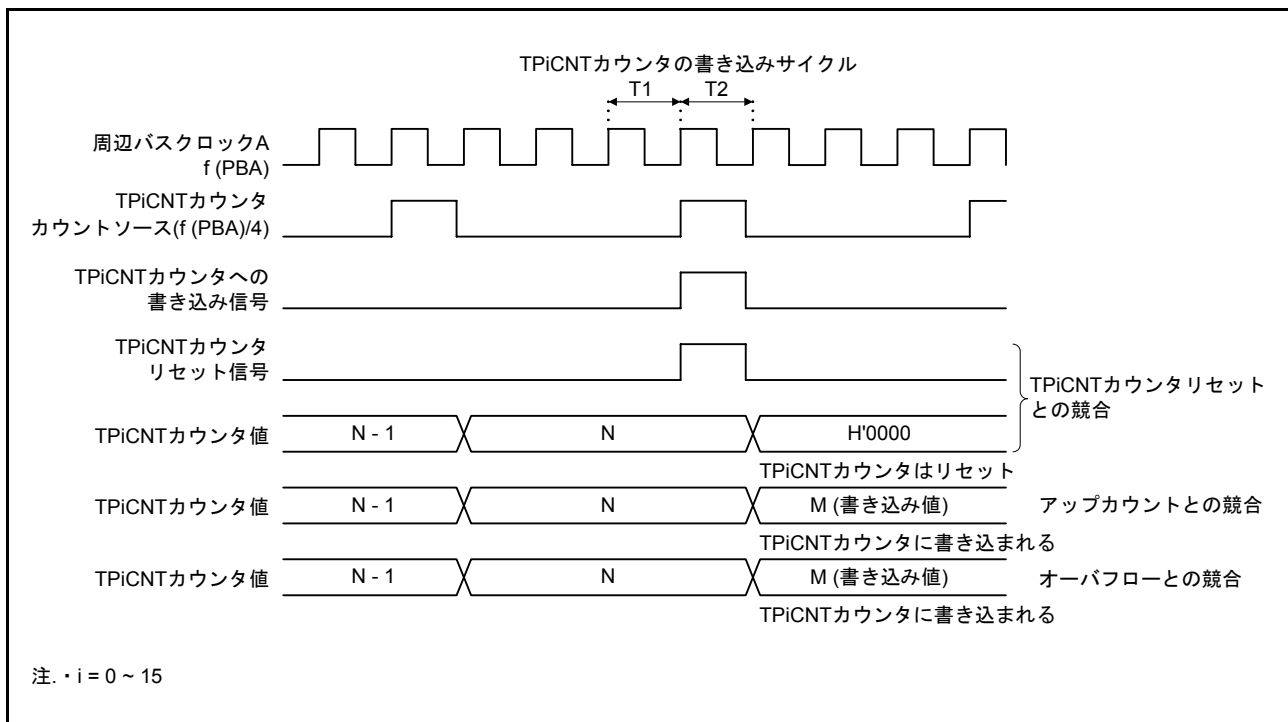


図 15.28 TPiCNT カウンタへの書き込み信号と各種信号との競合

15.10.2 TPiGRk レジスタへの書き込み信号と各種信号との競合

- TPiCNT カウンタとのコンペアマッチ信号と競合した場合は、TPiGRk レジスタに書き込まれ、コンペアマッチ信号は発生しません。
- インพุットキャプチャ信号と競合した場合は、インพุットキャプチャが発生し、TPiGRk レジスタには書き込まれません。

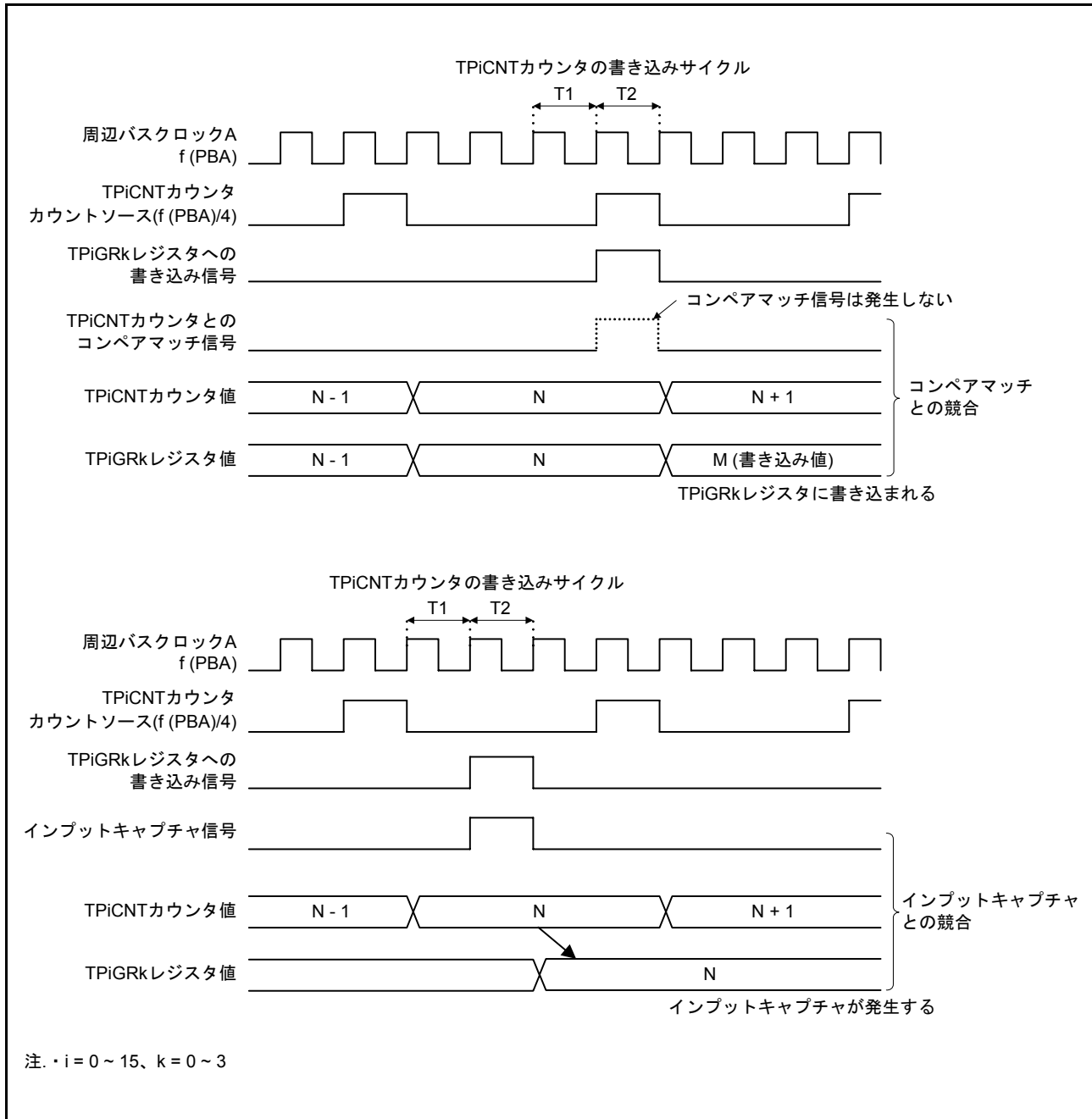


図 15.29 TPiGRk レジスタへの書き込み信号と各種信号との競合

15.10.3 TPiGRk レジスタの読み出し信号とインプットキャプチャ信号との競合

TPiGRk レジスタの読み出し信号とインプットキャプチャ信号が競合した場合は、インプットキャプチャ信号が発生する前の値が読み出されます。

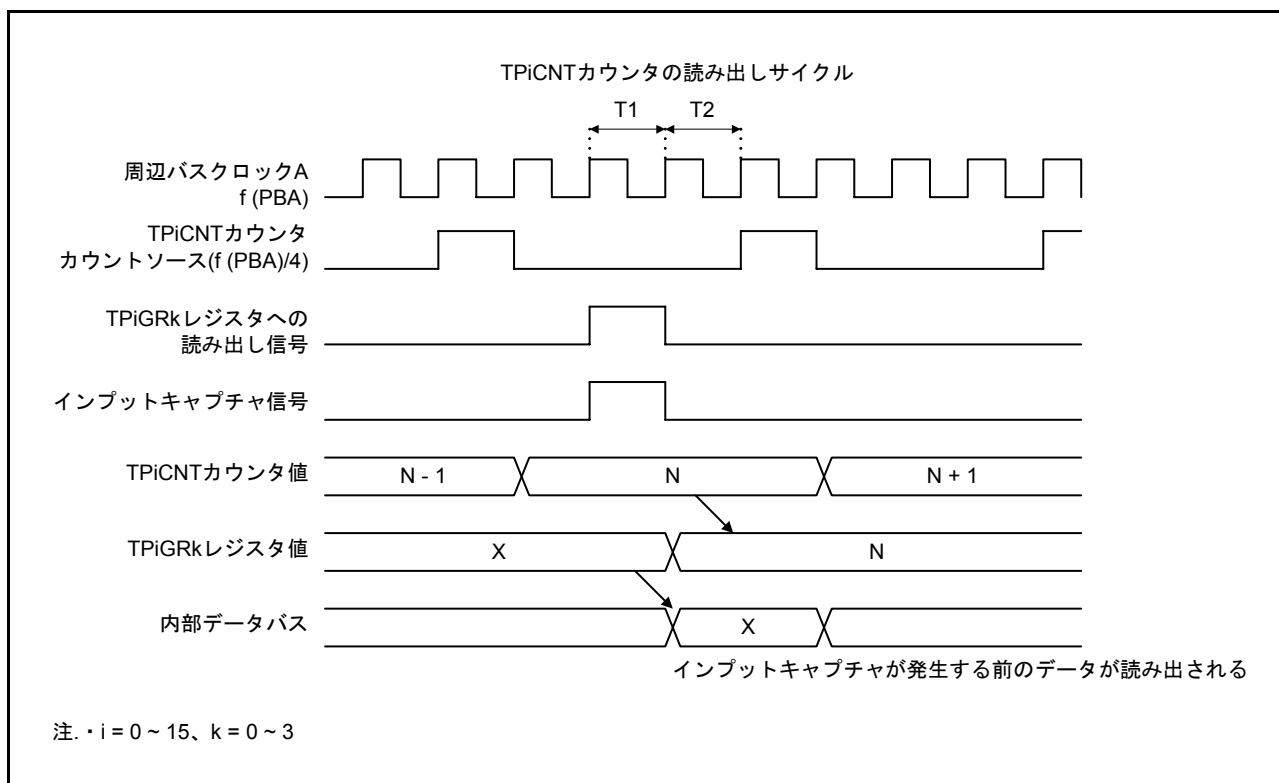


図 15.30 TPiGRk レジスタの読み出し信号とインプットキャプチャ信号との競合

15.10.4 バッファレジスタへの書き込み信号と各種信号との競合

- コンペアマッチ信号と競合した場合は、バッファ動作によって TPiGRk レジスタに転送されるデータは書き込み前のデータとなります。
- インพุットキャプチャ信号と競合した場合は、バッファ動作が行われ、バッファレジスタには書き込みは行われません。

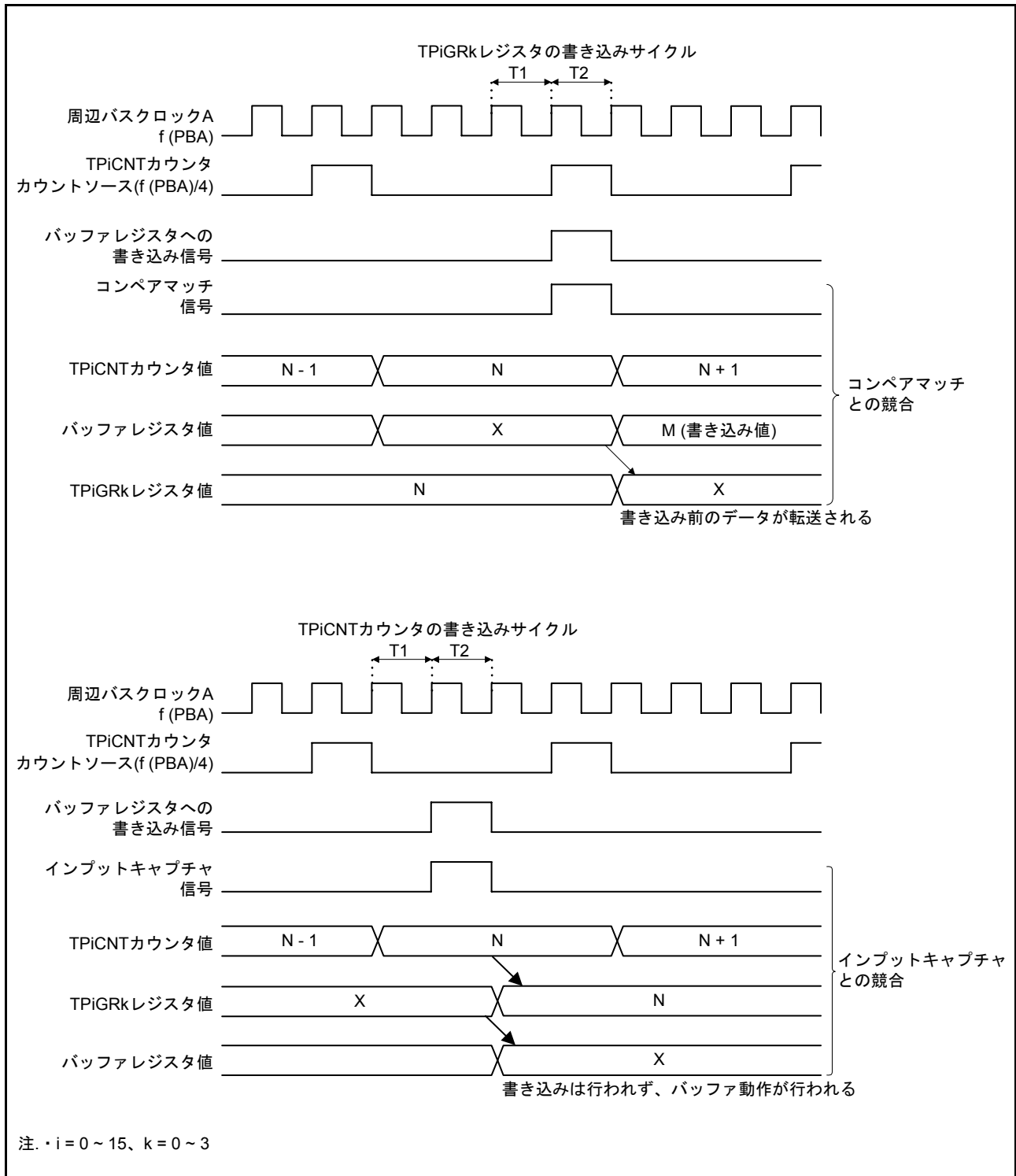


図 15.31 バッファレジスタへの書き込み信号と各種信号との競合

15.10.5 オーバフロー信号と TPiCNT カウンタリセット信号との競合

オーバフロー信号と TPiCNT カウンタリセット信号が競合した場合、TOVF フラグはセットされ、TPiCNT カウンタのリセットも行われます。図 15.32 は、TPiGRk レジスタに H'FFFF を設定し、コンペアマッチで TPiCNT カウンタをリセットする場合を示しています。

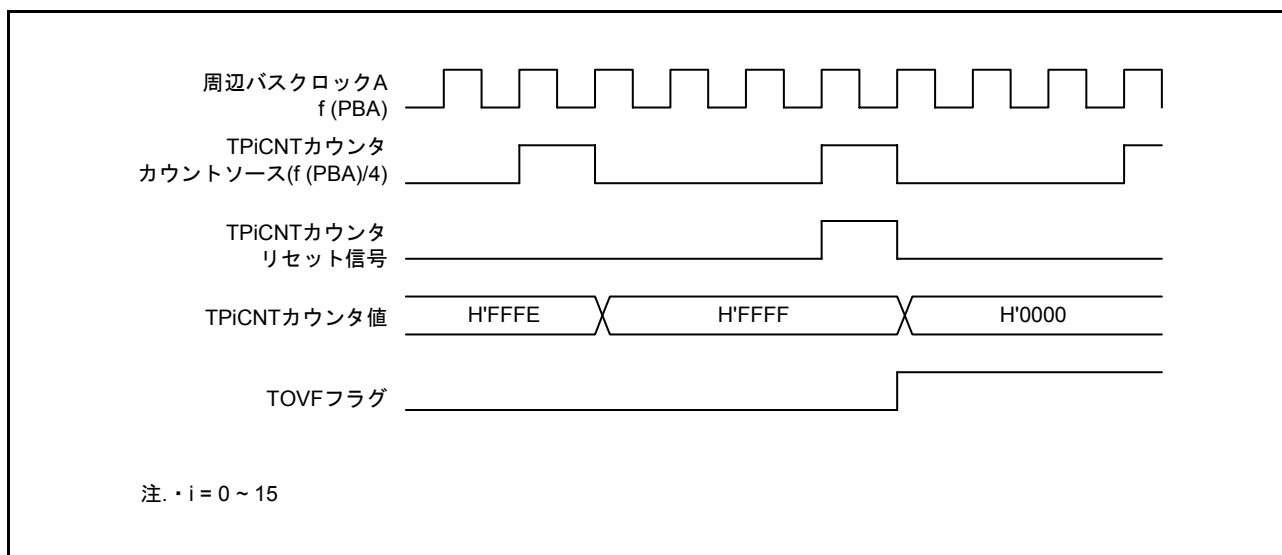


図 15.32 オーバフロー信号と TPiCNT カウンタリセット信号との競合

16. マルチファンクションタイマパルスユニット (MTU-III)

本 LSI は、8 チャンネル (チャンネル 0~7) の 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット (MTU-III) を内蔵しています。

16.1 特長

- MTU-III は最大 24 本のパルス入出力と 3 本のパルス入力が可能
- チャンネルごとに 6~8 種類のカウンタ入力クロックを選択可能 (チャンネル 5 は 4 種類)
- MTU-III のチャンネル 0~4、6、7 は次の動作を設定可能: コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (MTCNT カウンタ) への同時書き込み、コンペアマッチ / インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大 12 相の PWM 出力
- チャンネル 0、3、4、6、7 はバッファ動作を設定可能、また相補 PWM モード時では、MTCNT カウンタの山 / 谷もしくはバッファレジスタ (MT4GRD、MT7GRD) に書き込み時にテンポラリレジスタへデータ転送可能
- チャンネル 1、2 はそれぞれ独立に位相計数モードを設定可能
- カスケード接続動作
- 内部 16 ビットバスによる高速アクセス
- MTU-III は 38 種類の割り込み要因
- レジスタデータの自動転送が可能 (バッファ動作時のバッファレジスタからタイマレジスタへの自動転送)
- A/D コンバータの変換スタートトリガを生成可能
- A/D 変換開始要求のディレイド機能により任意のタイミングで A/D 変換開始が可能、また PWM 出力との同期動作が可能
- チャンネル 3、4 およびチャンネル 6、7 連動動作により相補 PWM、リセット PWM6 相のポジ、ネガ計 12 相波形出力設定可能
- チャンネル 0、3、4 を連動して、相補 PWM、リセット PWM を用いた AC 同期モータ (ブラシレス DC モータ) 駆動モードが設定可能で、2 種 (チョッピング、レベル) の波形出力が選択可能
- チャンネル 3、4 およびチャンネル 6、7 相補 PWM モードで、ダブルバッファ機能の選択が可能
- チャンネル 5 のカウント動作を外部入力信号の Low パルス幅測定に設定することにより、チャンネル 5 をデッドタイム補償用カウンタとして使用することが可能
- 相補 PWM モード時、カウンタの山 / 谷での割り込み、および A/D コンバータの変換スタートトリガを間引くことが可能 (山 / 谷区間、または MT4ADSRCSEA レジスタと MT4ADSRCSEB レジスタ (MT7ADSRCSEA レジスタと MT7ADSRCSEB レジスタ) のコンペアマッチ回数により、間引き箇所の選択が可能)

表 16.1 MTU-IIIの機能一覧(1)

項目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5	チャンネル6	チャンネル7	
カウントクロック	f(MTU)/1 f(MTU)/4 f(MTU)/16 f(MTU)/64 TCLKA TCLKB TCLKC TCLKD	f(MTU)/1 f(MTU)/4 f(MTU)/16 f(MTU)/64 f(MTU)/256 TCLKA TCLKB	f(MTU)/1 f(MTU)/4 f(MTU)/16 f(MTU)/64 f(MTU)/1024 TCLKA TCLKB TCLKC	f(MTU)/1 f(MTU)/4 f(MTU)/16 f(MTU)/64 f(MTU)/256 f(MTU)/1024 TCLKA TCLKB	f(MTU)/1 f(MTU)/4 f(MTU)/16 f(MTU)/64 f(MTU)/256 f(MTU)/1024 TCLKA TCLKB	f(MTU)/1 f(MTU)/4 f(MTU)/16 f(MTU)/64 f(MTU)/256 f(MTU)/1024 TCLKA TCLKB	f(MTU)/1 f(MTU)/4 f(MTU)/16 f(MTU)/64 f(MTU)/256 f(MTU)/1024	f(MTU)/1 f(MTU)/4 f(MTU)/16 f(MTU)/64 f(MTU)/256 f(MTU)/1024	
MTジェネラルレジスタ(MTGR)	MT0GRA MT0GRB MT0GRE	MT1GRA MT1GRB	MT2GRA MT2GRB	MT3GRA MT3GRB	MT4GRA MT4GRB	MT5GRU MT5GRV MT5GRW	MT6GRA MT6GRB	MT7GRA MT7GRB	
MTジェネラルレジスタ/バッファレジスタ	MT0GRC MT0GRD MT0GRF	—	—	MT3GRC MT3GRD MT3GRE	MT4GRC MT4GRD MT4GRE MT4GRF	—	MT6GRC MT6GRD MT6GRE	MT7GRC MT7GRD MT7GRE MT7GRF	
入出力端子	TIOC0A TIOC0B TIOC0C TIOC0D (注1)	TIOC1A (注1) TIOC1B	TIOC2A TIOC2B (注1)	TIOC3A TIOC3B TIOC3C TIOC3D	TIOC4A TIOC4B TIOC4C TIOC4D	入力端子 TIC5U TIC5V TIC5W (注1)	TIOC6A(注1) TIOC6B TIOC6C(注1) TIOC6D	TIOC7A TIOC7B TIOC7C TIOC7D	
カウンタクリア機能	MTGRのコンペアマッチまたはインプットキャプチャ								
コンペアマッチ出力	0出力	○	○	○	○	○	—	○	○
	1出力	○	○	○	○	○	—	○	○
	トグル出力	○	○	○	○	○	—	○	○
インプットキャプチャ機能	○	○	○	○	○	○	○	○	
同期動作	○	○	○	○	○	—	○	○	
PWMモード1	○	○	○	○	○	—	○	○	
PWMモード2	○	○	○	—	—	—	—	—	
相補PWMモード	—	—	—	○	○	—	○	○	
リセットPWMモード	—	—	—	○	○	—	○	○	
AC同期モータ駆動モード	○	—	—	○	○	—	—	—	
位相計数モード	—	○	○	—	—	—	—	—	
バッファ動作	○	—	—	○	○	—	○	○	
デッドタイム補償用カウンタ機能	—	—	—	—	—	○	—	—	

【記号説明】○：可能、—：不可

注1. SH72A0グループでは、未使用となります。

表 16.2 MTU-IIIの機能一覧(2)

項目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5	チャンネル6	チャンネル7
割り込み要因	7要因 <ul style="list-style-type: none"> コンペアマッチ/インプットキャプチャ 0A コンペアマッチ/インプットキャプチャ 0B コンペアマッチ/インプットキャプチャ 0C コンペアマッチ/インプットキャプチャ 0D コンペアマッチ 0E コンペアマッチ 0F オーバフロー 	4要因 <ul style="list-style-type: none"> コンペアマッチ/インプットキャプチャ 1A コンペアマッチ/インプットキャプチャ 1B 	4要因 <ul style="list-style-type: none"> コンペアマッチ/インプットキャプチャ 2A コンペアマッチ/インプットキャプチャ 2B 	5要因 <ul style="list-style-type: none"> コンペアマッチ/インプットキャプチャ 3A コンペアマッチ/インプットキャプチャ 3B コンペアマッチ/インプットキャプチャ 3C コンペアマッチ/インプットキャプチャ 3D 	5要因 <ul style="list-style-type: none"> コンペアマッチ/インプットキャプチャ 4A コンペアマッチ/インプットキャプチャ 4B コンペアマッチ/インプットキャプチャ 4C コンペアマッチ/インプットキャプチャ 4D オーバフロー/アンダフロー (相補PWMモード時のみ) 	3要因 <ul style="list-style-type: none"> コンペアマッチ/インプットキャプチャ 5U コンペアマッチ/インプットキャプチャ 5V コンペアマッチ/インプットキャプチャ 5W 	5要因 <ul style="list-style-type: none"> コンペアマッチ/インプットキャプチャ 6A コンペアマッチ/インプットキャプチャ 6B コンペアマッチ/インプットキャプチャ 6C コンペアマッチ/インプットキャプチャ 6D オーバフロー 	5要因 <ul style="list-style-type: none"> コンペアマッチ/インプットキャプチャ 7A コンペアマッチ/インプットキャプチャ 7B コンペアマッチ/インプットキャプチャ 7C コンペアマッチ/インプットキャプチャ 7D オーバフロー/アンダフロー (相補PWMモード時のみ)
DMACの起動	MTGRのコンペアマッチまたはインプットキャプチャ							
A/D変換開始トリガ	MT0GRAのコンペアマッチまたはインプットキャプチャ MT0GREのコンペアマッチ	MT1GRAのコンペアマッチまたはインプットキャプチャ	MT2GRAのコンペアマッチまたはインプットキャプチャ	MT3GRAのコンペアマッチまたはインプットキャプチャ	MT4GRAのコンペアマッチまたはインプットキャプチャ 相補PWMモード時 MT4CNTのアンダフロー (谷)	—	MT6GRAのコンペアマッチまたはインプットキャプチャ	MT7GRAのコンペアマッチまたはインプットキャプチャ 相補PWMモード時 MT7CNTのアンダフロー (谷)
A/D変換開始要求ディレイド機能	—	—	—	—	<ul style="list-style-type: none"> MT4ADSRC SEAとMT4CNTの一致で、A/D変換開始要求 MT4ADSRC SEBとMT4CNTの一致で、A/D変換開始要求 	—	—	<ul style="list-style-type: none"> MT7ADSRC SEAとMT7CNTの一致で、A/D変換開始要求 MT7ADSRC SEBとMT7CNTの一致で、A/D変換開始要求
割り込み間引き機能1	—	—	—	MT3GRAのコンペアマッチ割り込みを間引き	TCIV_4割り込みを間引き	—	MT6GRAのコンペアマッチ割り込みを間引き	TCIV_7割り込みを間引き
割り込み間引き機能2	—	—	—	—	MT4ADSRCS EAとMT4CNTおよびMT4ADSRCS EBとMT4CNTのコンペア回数で間引き	—	—	MT7ADSRCS EAとMT7CNTおよびMT7ADSRCS EBとMT7CNTのコンペア回数で間引き

【記号説明】○:可能、—:不可

図 16.1、図 16.2 に MTU-III のブロック図を示します。

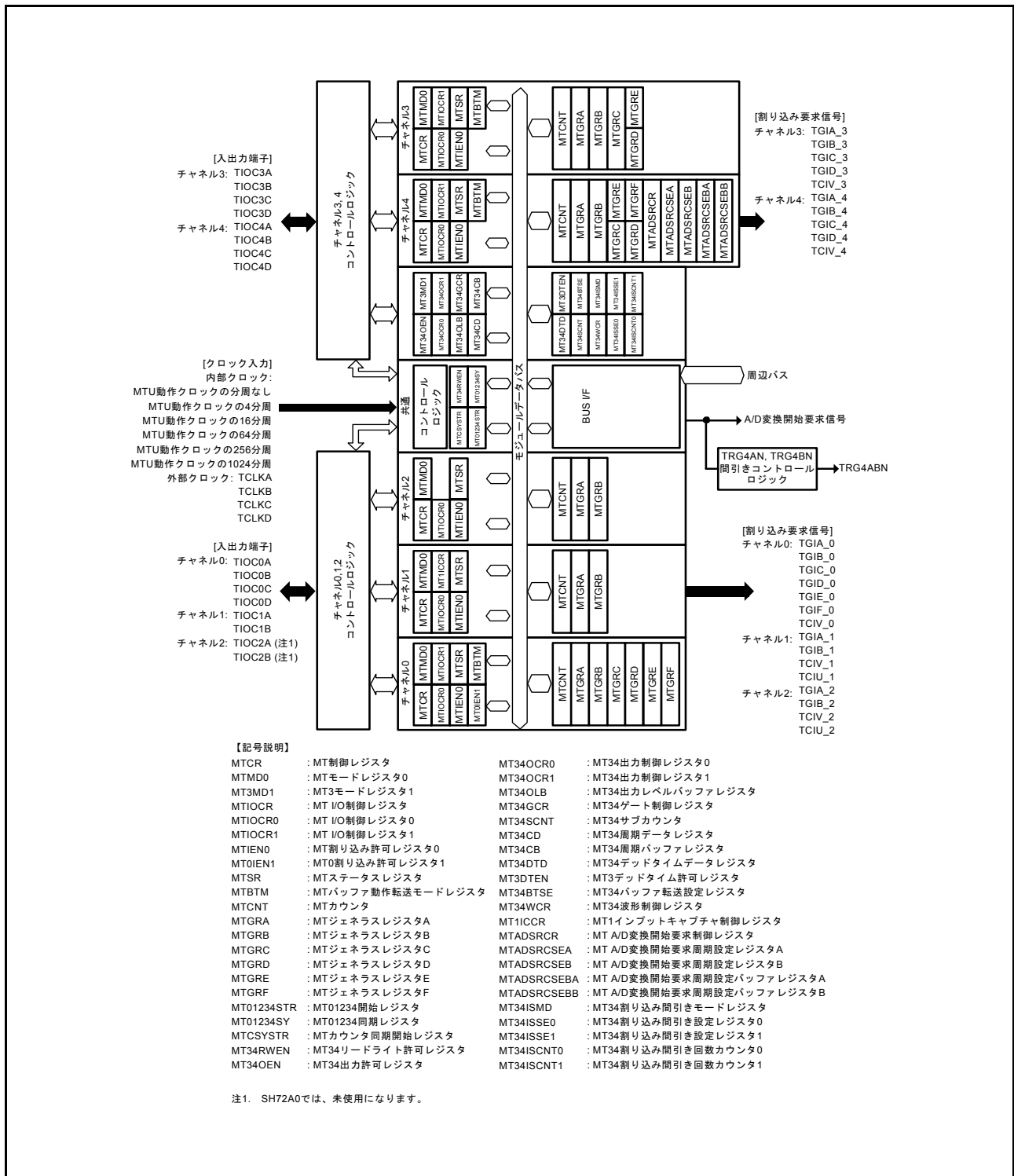


図 16.1 MTU-III のブロック図 A (チャンネル 0 ~ 4)

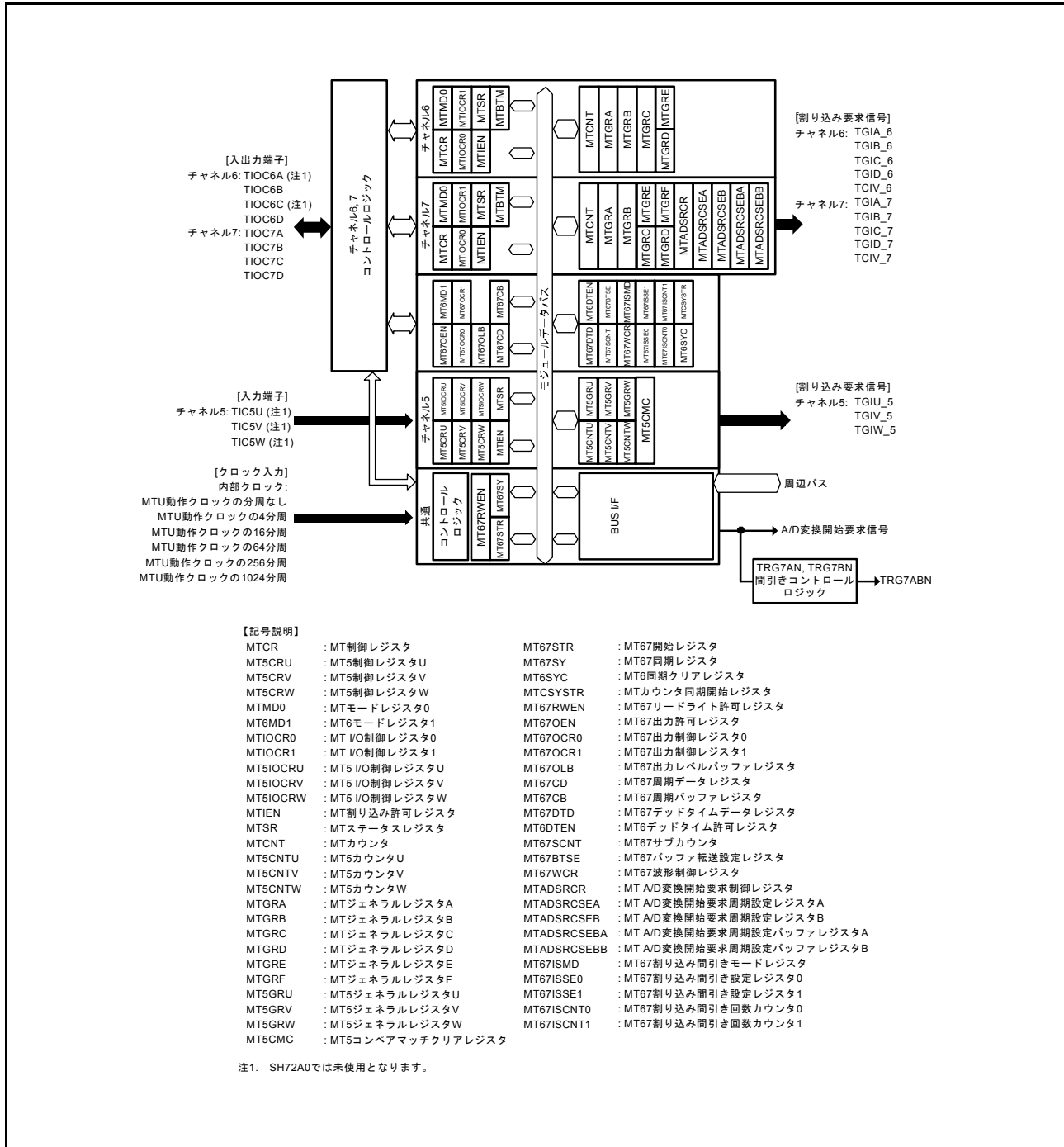


図 16.2 MTU-III のブロック図 B (チャンネル5～7)

16.1.1 入出力端子

表 16.3 に MTU-III の端子構成を示します。

表 16.3 MTU-IIIの端子構成

チャンネル	端子名	入出力	機能
共通	TCLKA	入力	外部クロックA入力端子(チャンネル1の位相計数モードA相入力)
	TCLKB	入力	外部クロックB入力端子(チャンネル1の位相計数モードB相入力)
	TCLKC(注1)	入力	外部クロックC入力端子(チャンネル2の位相計数モードA相入力)
	TCLKD(注1)	入力	外部クロックD入力端子(チャンネル2の位相計数モードB相入力)
0	TIOC0A	入出力	MT0GRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOC0B	入出力	MT0GRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOC0C	入出力	MT0GRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOC0D(注1)	入出力	MT0GRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
1	TIOC1A(注1)	入出力	MT1GRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOC1B	入出力	MT1GRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
2	TIOC2A(注1)	入出力	MT2GRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOC2B(注1)	入出力	MT2GRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
3	TIOC3A	入出力	MT3GRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOC3B	入出力	MT3GRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOC3C	入出力	MT3GRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOC3D	入出力	MT3GRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
4	TIOC4A	入出力	MT4GRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOC4B	入出力	MT4GRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOC4C	入出力	MT4GRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOC4D	入出力	MT4GRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
5	TIC5U(注1)	入力	MT5GRUのインプットキャプチャ入力/外部パルス入力端子
	TIC5V(注1)	入力	MT5GRVのインプットキャプチャ入力/外部パルス入力端子
	TIC5W(注1)	入力	MT5GRWのインプットキャプチャ入力/外部パルス入力端子
6	TIOC6A(注1)	入出力	MT6GRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOC6B	入出力	MT6GRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOC6C(注1)	入出力	MT6GRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOC6D	入出力	MT6GRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
7	TIOC7A	入出力	MT7GRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOC7B	入出力	MT7GRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOC7C	入出力	MT7GRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOC7D	入出力	MT7GRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

注1. SH72A0グループでは、未使用となります。

16.2 レジスタの説明

MTU-IIIには各チャンネルに以下のレジスタがあります。

表 16.4 MTU-IIIのレジスタ構成(1)

レジスタ名	シンボル	R/W	リセット後の値	アドレス	アクセスサイズ
MT3制御レジスタ	MT3CR	R/W	H'00	H'FFFF 8200	8、16、32
MT4制御レジスタ	MT4CR	R/W	H'00	H'FFFF 8201	8
MT3モードレジスタ0	MT3MD0	R/W	H'00	H'FFFF 8202	8、16
MT4モードレジスタ0	MT4MD0	R/W	H'00	H'FFFF 8203	8
MT3 I/O 制御レジスタ0	MT3IOCR0	R/W	H'00	H'FFFF 8204	8、16、32
MT3 I/O 制御レジスタ1	MT3IOCR1	R/W	H'00	H'FFFF 8205	8
MT4 I/O 制御レジスタ0	MT4IOCR0	R/W	H'00	H'FFFF 8206	8、16
MT4 I/O 制御レジスタ1	MT4IOCR1	R/W	H'00	H'FFFF 8207	8
MT3割り込み許可レジスタ0	MT3IEN0	R/W	H'00	H'FFFF 8208	8、16
MT4割り込み許可レジスタ0	MT4IEN0	R/W	H'00	H'FFFF 8209	8
MT34出力許可レジスタ	MT34OEN	R/W	H'C0	H'FFFF 820A	8
MT34ゲート制御レジスタ	MT34GCR	R/W	H'80	H'FFFF 820D	8
MT34出力制御レジスタ0	MT34OCR0	R/W	H'00	H'FFFF 820E	8、16
MT34出力制御レジスタ1	MT34OCR1	R/W	H'00	H'FFFF 820F	8
MT3カウンタ	MT3CNT	R/W	H'0000	H'FFFF 8210	16、32
MT4カウンタ	MT4CNT	R/W	H'0000	H'FFFF 8212	16
MT34周期データレジスタ	MT34CD	R/W	H'FFFF	H'FFFF 8214	16、32
MT34デッドタイムデータレジスタ	MT34DTD	R/W	H'FFFF	H'FFFF 8216	16
MT3ジェネラルレジスタA	MT3GRA	R/W	H'FFFF	H'FFFF 8218	16、32
MT3ジェネラルレジスタB	MT3GRB	R/W	H'FFFF	H'FFFF 821A	16
MT4ジェネラルレジスタA	MT4GRA	R/W	H'FFFF	H'FFFF 821C	16、32
MT4ジェネラルレジスタB	MT4GRB	R/W	H'FFFF	H'FFFF 821E	16
MT34サブカウンタ	MT34SCNT	R	H'0000	H'FFFF 8220	16、32
MT34周期バッファレジスタ	MT34CB	R/W	H'FFFF	H'FFFF 8222	16
MT3ジェネラルレジスタC	MT3GRC	R/W	H'FFFF	H'FFFF 8224	16、32
MT3ジェネラルレジスタD	MT3GRD	R/W	H'FFFF	H'FFFF 8226	16
MT4ジェネラルレジスタC	MT4GRC	R/W	H'FFFF	H'FFFF 8228	16、32
MT4ジェネラルレジスタD	MT4GRD	R/W	H'FFFF	H'FFFF 822A	16
MT3ステータスレジスタ0	MT3SR0	R/W	H'C0	H'FFFF 822C	8、16
MT4ステータスレジスタ0	MT4SR0	R/W	H'C0	H'FFFF 822D	8
MT34割り込み間引き設定レジスタ0	MT34ISSE0	R/W	H'00	H'FFFF 8230	8、16
MT34割り込み間引き回数カウンタ0	MT34ISCNT0	R	H'00	H'FFFF 8231	8
MT34バッファ転送設定レジスタ	MT34BTSE	R/W	H'00	H'FFFF 8232	8
MT3デッドタイム許可レジスタ	MT3DTEN	R/W	H'01	H'FFFF 8234	8
MT34出力レベルバッファレジスタ	MT34OLB	R/W	H'00	H'FFFF 8236	8
MT3バッファ動作転送モードレジスタ	MT3BTM	R/W	H'00	H'FFFF 8238	8、16
MT4バッファ動作転送モードレジスタ	MT4BTM	R/W	H'00	H'FFFF 8239	8
MT34割り込み間引きモードレジスタ	MT34ISMD	R/W	H'00	H'FFFF 823A	8
MT4割り込み間引き設定レジスタ1	MT4ISSE1	R/W	H'00	H'FFFF 823B	8
MT4割り込み間引き回数カウンタ1	MT4ISCNT1	R	H'00	H'FFFF 823C	8

表 16.5 MTU-IIIのレジスタ構成(2)

レジスタ名	シンボル	R/W	リセット 後の値	アドレス	アクセスサイズ
MT4 A/D変換開始要求制御レジスタ	MT4ADSRCR	R/W	H'0000	H'FFFF 8240	16
MT4 A/D変換開始要求周期設定レジスタ A	MT4ADSRCSEA	R/W	H'FFFF	H'FFFF 8244	16、32
MT4 A/D変換開始要求周期設定レジスタ B	MT4ADSRCSEB	R/W	H'FFFF	H'FFFF 8246	16
MT4 A/D変換開始要求周期設定バッファレジスタ A	MT4ADSRCSEBA	R/W	H'FFFF	H'FFFF 8248	16、32
MT4 A/D変換開始要求周期設定バッファレジスタ B	MT4ADSRCSEBB	R/W	H'FFFF	H'FFFF 824A	16
MT34 波形制御レジスタ	MT34WCR	R/W	H'00	H'FFFF 8260	8
MT3 モードレジスタ 1	MT3MD1	R/W	H'00	H'FFFF 8270	8
MT3 ジェネラルレジスタ E	MT3GRE	R/W	H'FFFF	H'FFFF 8272	16
MT4 ジェネラルレジスタ E	MT4GRE	R/W	H'FFFF	H'FFFF 8274	16
MT4 ジェネラルレジスタ F	MT4GRF	R/W	H'FFFF	H'FFFF 8276	16
MT01234 開始レジスタ	MT01234STR	R/W	H'00	H'FFFF 8280	8、16
MT01234 同期レジスタ	MT01234SY	R/W	H'00	H'FFFF 8281	8
MT カウンタ同期開始レジスタ	MTCSYSTR	R/W	H'00	H'FFFF 8282	8
MT34 リードライト許可レジスタ	MT34RWEN	R/W	H'01	H'FFFF 8284	8
MT0 制御レジスタ	MT0CR	R/W	H'00	H'FFFF 8300	8、16、32
MT0 モードレジスタ 0	MT0MD0	R/W	H'00	H'FFFF 8301	8
MT0 I/O 制御レジスタ 0	MT0IOCR0	R/W	H'00	H'FFFF 8302	8、16
MT0 I/O 制御レジスタ 1	MT0IOCR1	R/W	H'00	H'FFFF 8303	8
MT0 割り込み許可レジスタ 0	MT0IEN0	R/W	H'00	H'FFFF 8304	8、16、32
MT0 ステータスレジスタ 0	MT0SR0	R/W	H'C0	H'FFFF 8305	8
MT0 カウンタ	MT0CNT	R/W	H'0000	H'FFFF 8306	16
MT0 ジェネラルレジスタ A	MT0GRA	R/W	H'FFFF	H'FFFF 8308	16、32
MT0 ジェネラルレジスタ B	MT0GRB	R/W	H'FFFF	H'FFFF 830A	16
MT0 ジェネラルレジスタ C	MT0GRC	R/W	H'FFFF	H'FFFF 830C	16、32
MT0 ジェネラルレジスタ D	MT0GRD	R/W	H'FFFF	H'FFFF 830E	16
MT0 ジェネラルレジスタ E	MT0GRE	R/W	H'FFFF	H'FFFF 8320	16、32
MT0 ジェネラルレジスタ F	MT0GRF	R/W	H'FFFF	H'FFFF 8322	16
MT0 割り込み許可レジスタ 1	MT0IEN1	R/W	H'00	H'FFFF 8324	8、16
MT0 ステータスレジスタ 1	MT0SR1	R/W	H'C0	H'FFFF 8325	8
MT0 バッファ動作転送モードレジスタ	MT0BTM	R/W	H'00	H'FFFF 8326	8
MT1 制御レジスタ	MT1CR	R/W	H'00	H'FFFF 8380	8、16
MT1 モードレジスタ 0	MT1MD0	R/W	H'00	H'FFFF 8381	8
MT1 I/O 制御レジスタ 0	MT1IOCR0	R/W	H'00	H'FFFF 8382	8
MT1 割り込み許可レジスタ 0	MT1IEN0	R/W	H'00	H'FFFF 8384	8、16、32
MT1 ステータスレジスタ 0	MT1SR0	R/W	H'C0	H'FFFF 8385	8
MT1 カウンタ	MT1CNT	R/W	H'0000	H'FFFF 8386	16
MT1 ジェネラルレジスタ A	MT1GRA	R/W	H'FFFF	H'FFFF 8388	16、32
MT1 ジェネラルレジスタ B	MT1GRB	R/W	H'FFFF	H'FFFF 838A	16
MT1 インพุットキャプチャ制御レジスタ	MT1ICCR	R/W	H'00	H'FFFF 8390	8
MT2 制御レジスタ	MT2CR	R/W	H'00	H'FFFF 8400	8、16
MT2 モードレジスタ 0	MT2MD0	R/W	H'00	H'FFFF 8401	8
MT2 I/O 制御レジスタ 0	MT2IOCR0	R/W	H'00	H'FFFF 8402	8
MT2 割り込み許可レジスタ 0	MT2IEN0	R/W	H'00	H'FFFF 8404	8、16、32

表 16.6 MTU-IIIのレジスタ構成(3)

レジスタ名	シンボル	R/W	リセット 後の値	アドレス	アクセスサイズ
MT2ステータスレジスタ0	MT2SR0	R/W	H'00	H'FFFF 8405	8
MT2カウンタ	MT2CNT	R/W	H'0000	H'FFFF 8406	16
MT2ジェネラルレジスタA	MT2GRA	R/W	H'FFFF	H'FFFF 8408	16、32
MT2ジェネラルレジスタB	MT2GRB	R/W	H'FFFF	H'FFFF 840A	16
MT6制御レジスタ	MT6CR	R/W	H'00	H'FFFF 9200	8、16、32
MT7制御レジスタ	MT7CR	R/W	H'00	H'FFFF 9201	8
MT6モードレジスタ0	MT6MD0	R/W	H'00	H'FFFF 9202	8、16
MT7モードレジスタ0	MT7MD0	R/W	H'00	H'FFFF 9203	8
MT6 I/O 制御レジスタ0	MT6IOCR0	R/W	H'00	H'FFFF 9204	8、16、32
MT6 I/O 制御レジスタ1	MT6IOCR1	R/W	H'00	H'FFFF 9205	8
MT7 I/O 制御レジスタ0	MT7IOCR0	R/W	H'00	H'FFFF 9206	8、16
MT7 I/O 制御レジスタ1	MT7IOCR1	R/W	H'00	H'FFFF 9207	8
MT6割り込み許可レジスタ0	MT6IEN0	R/W	H'00	H'FFFF 9208	8、16
MT7割り込み許可レジスタ0	MT7IEN0	R/W	H'00	H'FFFF 9209	8
MT6出力許可レジスタ	MT67OEN	R/W	H'00	H'FFFF 920A	8
MT6出力制御レジスタ0	MT67OCR0	R/W	H'00	H'FFFF 920E	8、16
MT6出力制御レジスタ1	MT67OCR1	R/W	H'00	H'FFFF 920F	8
MT6カウンタ	MT6CNT	R/W	H'0000	H'FFFF 9210	16、32
MT7カウンタ	MT7CNT	R/W	H'0000	H'FFFF 9212	16
MT67周期データレジスタ	MT67CD	R/W	H'FFFF	H'FFFF 9214	16、32
MT67デッドタイムデータレジスタ	MT67DTD	R/W	H'FFFF	H'FFFF 9216	16
MT6ジェネラルレジスタA	MT6GRA	R/W	H'FFFF	H'FFFF 9218	16、32
MT6ジェネラルレジスタB	MT6GRB	R/W	H'FFFF	H'FFFF 921A	16
MT7ジェネラルレジスタA	MT7GRA	R/W	H'FFFF	H'FFFF 921C	16、32
MT7ジェネラルレジスタB	MT7GRB	R/W	H'FFFF	H'FFFF 921E	16
MT67サブカウンタ	MT67SCNT	R	H'0000	H'FFFF 9220	16、32
MT67周期バッファレジスタ	MT67CB	R/W	H'FFFF	H'FFFF 9222	16
MT6ジェネラルレジスタC	MT6GRC	R/W	H'FFFF	H'FFFF 9224	16、32
MT6ジェネラルレジスタD	MT6GRD	R/W	H'FFFF	H'FFFF 9226	16
MT7ジェネラルレジスタC	MT7GRC	R/W	H'FFFF	H'FFFF 9228	16、32
MT7ジェネラルレジスタD	MT7GRD	R/W	H'FFFF	H'FFFF 922A	16
MT6ステータスレジスタ0	MT6SR0	R/W	H'00	H'FFFF 922C	8、16
MT7ステータスレジスタ0	MT7SR0	R/W	H'00	H'FFFF 922D	8
MT67割り込み間引き設定レジスタ0	MT67ISSE0	R/W	H'00	H'FFFF 9230	8、16
MT67割り込み間引き回数カウンタ0	MT67ISCNT0	R	H'00	H'FFFF 9231	8
MT67バッファ転送設定レジスタ	MT67BTSE	R/W	H'00	H'FFFF 9232	8
MT6デッドタイム許可レジスタ	MT6DTEN	R/W	H'01	H'FFFF 9234	8
MT67出力レベルバッファレジスタ	MT67OLB	R/W	H'00	H'FFFF 9236	8
MT6バッファ動作転送モードレジスタ	MT6BTM	R/W	H'00	H'FFFF 9238	8、16
MT7バッファ動作転送モードレジスタ	MT7BTM	R/W	H'00	H'FFFF 9239	8
MT67割り込み間引きモードレジスタ	MT67ISMD	R/W	H'00	H'FFFF 923A	8
MT7割り込み間引き設定レジスタ1	MT7ISSE1	R/W	H'00	H'FFFF 923B	8
MT7割り込み間引き回数カウンタ1	MT7ISCNT1	R/W	H'00	H'FFFF 923C	8

表 16.7 MTU-IIIのレジスタ構成(4)

レジスタ名	シンボル	R/W	リセット 後の値	アドレス	アクセスサイズ
MT7 A/D変換開始要求制御レジスタ	MT7ADSRCR	R/W	H'0000	H'FFFF 9240	16
MT7 A/D変換開始要求周期設定レジスタ A	MT7ADSRCSEA	R/W	H'FFFF	H'FFFF 9244	16、32
MT7 A/D変換開始要求周期設定レジスタ B	MT7ADSRCSEB	R/W	H'FFFF	H'FFFF 9246	16
MT7 A/D変換開始要求周期設定バッファレジスタ A	MT7ADSRCSEBA	R/W	H'FFFF	H'FFFF 9248	16、32
MT7 A/D変換開始要求周期設定バッファレジスタ B	MT7ADSRCSEBB	R/W	H'FFFF	H'FFFF 924A	16
MT6同期クリアレジスタ	MT6SYC	R/W	H'00	H'FFFF 9250	8
MT67波形制御レジスタ	MT67WCR	R/W	H'00	H'FFFF 9260	8
MT6モードレジスタ 1	MT6MD1	R/W	H'00	H'FFFF 9270	8
MT6ジェネラルレジスタ E	MT6GRE	R/W	H'FFFF	H'FFFF 9272	16
MT7ジェネラルレジスタ E	MT7GRE	R/W	H'FFFF	H'FFFF 9274	16
MT7ジェネラルレジスタ F	MT7GRF	R/W	H'FFFF	H'FFFF 9276	16
MT67開始レジスタ	MT67STR	R/W	H'00	H'FFFF 9280	8、16
MT67同期レジスタ	MT67SY	R/W	H'00	H'FFFF 9281	8
MT67リードライト許可レジスタ	MT67RWEN	R/W	H'01	H'FFFF 9284	8
MT5カウンタ U	MT5CNTU	R/W	H'0000	H'FFFF 9480	16、32
MT5ジェネラルレジスタ U	MT5GRU	R/W	H'FFFF	H'FFFF 9482	16
MT5制御レジスタ U	MT5CRU	R/W	H'00	H'FFFF 9484	8
MT5 I/O 制御レジスタ U	MT5IOCRU	R/W	H'00	H'FFFF 9486	8
MT5カウンタ V	MT5CNTV	R/W	H'0000	H'FFFF 9490	16、32
MT5ジェネラルレジスタ V	MT5GRV	R/W	H'FFFF	H'FFFF 9492	16
MT5制御レジスタ V	MT5CRV	R/W	H'00	H'FFFF 9494	8
MT5 I/O 制御レジスタ V	MT5IOCRV	R/W	H'00	H'FFFF 9496	8
MT5カウンタ W	MT5CNTW	R/W	H'0000	H'FFFF 94A0	16、32
MT5ジェネラルレジスタ W	MT5GRW	R/W	H'FFFF	H'FFFF 94A2	16
MT5制御レジスタ W	MT5CRW	R/W	H'00	H'FFFF 94A4	8
MT5 I/O 制御レジスタ W	MT5IOCRW	R/W	H'00	H'FFFF 94A6	8
MT5ステータスレジスタ 0	MT5SR0	R/W	H'00	H'FFFF 94B0	8
MT5割り込み許可レジスタ 0	MT5IEN0	R/W	H'00	H'FFFF 94B2	8
MT5開始レジスタ	MT5STR	R/W	H'00	H'FFFF 94B4	8
MT5コンペアマッチクリアレジスタ	MT5CMC	R/W	H'00	H'FFFF 94B6	8
MT3467波形切り替えレジスタ	MT3467WSW	R/W	H'00	H'FFFF 9500	8
MT1波形インプットキャプチャ/アウトプットコンペア 切り替え許可レジスタ A	MT1WIOSWENA	R/W	H'00	H'FFFF 9510	8
MT1波形インプットキャプチャ/アウトプットコンペア 切り替え許可レジスタ B	MT1WIOSWENB	R/W	H'00	H'FFFF 9512	8
MT2波形インプットキャプチャ/アウトプットコンペア 切り替え許可レジスタ A	MT2WIOSWENA	R/W	H'00	H'FFFF 9520	8
MT2波形インプットキャプチャ/アウトプットコンペア 切り替え許可レジスタ B	MT2WIOSWENB	R/W	H'00	H'FFFF 9522	8

バスマスタとのインタフェース

タイマカウンタ (MTCNT)、ジェネラルレジスタ (MTGR)、タイマサブカウンタ (MTSCNT)、タイマ周期バッファレジスタ (MTCB)、タイマデッドタイムデータレジスタ (MTDTD)、タイマ周期データレジスタ (MTCB)、タイマ A/D 変換開始要求制御レジスタ (MTADSRCR)、タイマ A/D 変換開始要求周期設定レジスタ (MTADSRCSE)、およびタイマ A/D 変換開始要求周期設定バッファレジスタ (MTADSRCSEB) は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。8 ビット単位での読み出し / 書き込みはできません。常に 16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。また、8 ビット単位での読み出し / 書き込みもできます。

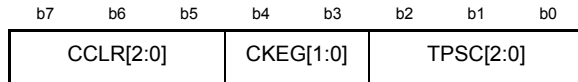
本章の説明では各チャンネルのレジスタ名を下記のとおり記載します。

- (1) MTi 制御レジスタ (MTiCR) (i = 0 ~ 4, 6, 7)、MT5 制御レジスタ U (MT5CRU)、MT5 制御レジスタ V (MT5CRV)、MT5 制御レジスタ W (MT5CRW) → MTCR レジスタ
- (2) MTi モードレジスタ 0 (MTiMD0) (i = 0 ~ 4, 6, 7) → MTMD0 レジスタ
- (3) MT3 モードレジスタ 1 (MT3MD1)、MT6 モードレジスタ 1 (MT6MD1) → MTMD1 レジスタ
- (4) MTi I/O 制御レジスタ 0 (MTiOCR0) (i = 0 ~ 4, 6, 7)、MTj I/O 制御レジスタ 1 (MTjOCR1) (j = 0, 3, 4, 6, 7)、MT5 I/O 制御レジスタ U (MT5OCRU)、MT5 I/O 制御レジスタ V (MT5OCRV)、MT5 I/O 制御レジスタ W (MT5OCRW) → MTIOCR レジスタ
- (5) MT5 コンペアマッチクリアレジスタ (MT5CMC) → MT5CMC レジスタ
- (6) MTi 割り込み許可レジスタ 0 (MTiIEN0) (i = 0 ~ 4, 6, 7)、MT0 割り込み許可レジスタ 1 (MT0IEN1)、MT5 割り込み許可レジスタ 0 (MT5IEN0) → MTIEN レジスタ
- (7) MTi ステータスレジスタ 0 (MTiSR0) (i = 0 ~ 4, 6, 7)、MT0 ステータスレジスタ 1 (MT0SR1)、MT5 ステータスレジスタ 0 (MT5SR0) → MTSR レジスタ
- (8) MTj バッファ動作転送モードレジスタ (MTjBTM) (j = 0, 3, 4, 6, 7) → MTBTM レジスタ
- (9) MT1 インพุットキャプチャ制御レジスタ (MT1ICCR) → MT1ICCR レジスタ
- (10) MT6 同期クリアレジスタ (MT6SYC) → MT6SYC レジスタ
- (11) MTi カウンタ (MTiCNT) (i = 0 ~ 4, 6, 7)、MT5 カウンタ U (MT5CNTU)、MT5 カウンタ V (MT5CNTV)、MT5 カウンタ W (MT5CNTW) → MTCNT カウンタ
- (12) MTi ジェネラルレジスタ A、B (MTiGRA、MTiGRB) (i = 0 ~ 4, 6, 7)、MTj ジェネラルレジスタ C、D、E (MTjGRC、MTjGRD、MTjGRE) (j = 0, 3, 4, 6, 7)、MTk ジェネラルレジスタ F (MTkGRF) (k = 0, 4, 7)、MT5 ジェネラルレジスタ U、V、W (MT5GRU、MT5GRV、MT5GRW) → MTGR レジスタ
- (13) MT01234 開始レジスタ (MT01234STR)、MT67 開始レジスタ (MT67STR)、MT5 開始レジスタ (MT5STR) → MTSTR レジスタ
- (14) MT01234 同期レジスタ (MT01234SY)、MT67 同期レジスタ (MT67SY) → MTSY レジスタ
- (15) MT カウンタ同期開始レジスタ (MTCSTR) → MTCSTR レジスタ
- (16) MT34 リードライト許可レジスタ (MT34RWEN)、MT67 リードライト許可レジスタ (MT67RWEN) → MTRWEN レジスタ
- (17) MT34 出力許可レジスタ (MT34OEN)、MT67 出力許可レジスタ (MT67OEN) → MTOEN レジスタ
- (18) MT34 出力制御レジスタ 0 (MT34OCR0)、MT67 出力制御レジスタ 0 (MT67OCR0) → MTOCR0 レジスタ
- (19) MT34 出力制御レジスタ 1 (MT34OCR1)、MT67 出力制御レジスタ 1 (MT67OCR1) → MTOCR1 レジスタ
- (20) MT34 出力レベルバッファレジスタ (MT34OLB)、MT67 出力レベルバッファレジスタ (MT67OLB) → MTOLB レジスタ
- (21) MT34 ゲート制御レジスタ (MT34GCR) → MT34GCR レジスタ
- (22) MT34 サブカウンタ (MT34SCNT)、MT67 サブカウンタ (MT67SCNT) → MTSCNT カウンタ

- (23) MT34 周期データレジスタ (MT34CD)、MT67 周期データレジスタ (MT67CD) → MTCD レジスタ
- (24) MT34 周期バッファレジスタ (MT34CB)、MT67 周期バッファレジスタ (MT67CB) → MTCB レジスタ
- (25) MT34 デッドタイムデータレジスタ (MT34DTD)、MT67 デッドタイムデータレジスタ (MT67DTD) → MTDTD レジスタ
- (26) MT3 デッドタイム許可レジスタ (MT3DTEN)、MT6 デッドタイム許可レジスタ (MT6DTEN) → MTDTEN レジスタ
- (27) MT34 バッファ転送設定レジスタ (MT34BTSE)、MT67 バッファ転送設定レジスタ (MT67BTSE) → MTBTSE レジスタ
- (28) MT34 波形制御レジスタ (MT34WCR)、MT67 波形制御レジスタ (MT67WCR) → MTWCR レジスタ
- (29) MT4 A/D変換開始要求制御レジスタ (MT4ADSRRCR)、MT7 A/D変換開始要求制御レジスタ (MT7ADSRRCR) → MTADSRRCR レジスタ
- (30) MT4 A/D 変換開始要求周期設定レジスタ A (MT4ADSRCSEA)、MT7 A/D 変換開始要求周期設定レジスタ A (MT7ADSRCSEA)、MT4 A/D 変換開始要求周期設定レジスタ B (MT4ADSRCSEB)、MT7 A/D 変換開始要求周期設定レジスタ B (MT7ADSRCSEB) → MTADSRCSE レジスタ
- (31) MT4 A/D 変換開始要求周期設定バッファレジスタ A (MT4ADSRCSEBA)、MT7 A/D 変換開始要求周期設定バッファレジスタ A (MT7ADSRCSEBA)、MT4 A/D 変換開始要求周期設定バッファレジスタ B (MT4ADSRCSEBB)、MT7 A/D 変換開始要求周期設定バッファレジスタ B (MT7ADSRCSEBB) → MTADSRCSEB レジスタ
- (32) MT34 割り込み間引きモードレジスタ (MT34ISMD)、MT67 割り込み間引きモードレジスタ (MT67ISMD) → MTISMD レジスタ
- (33) MT34 割り込み間引き設定レジスタ 0 (MT34ISSE0)、MT67 割り込み間引き設定レジスタ 0 (MT67ISSE0) → MTISSE0 レジスタ
- (34) MT34 割り込み間引き回数カウンタ0 (MT34ISCNT0)、MT67 割り込み間引き回数カウンタ0 (MT67ISCNT0) → MTISCNT0 カウンタ
- (35) MT4 割り込み間引き設定レジスタ 1 (MT4ISSE1)、MT7 割り込み間引き設定レジスタ 1 (MT7ISSE1) → MTISSE1 レジスタ
- (36) MT4 割り込み間引き回数カウンタ 1 (MT4ISCNT1)、MT7 割り込み間引き回数カウンタ 1 (MT7ISCNT1) → MTISCNT1 カウンタ
- (37) MT3467 波形切り替えレジスタ (MT3467WSW) → MT3467WSW レジスタ
- (38) MT1 波形インプットキャプチャ/アウトプットコンペア切り替え許可レジスタ A (MT1WIOSWENA) → MT1WIOSWENA レジスタ
- (39) MT1 波形インプットキャプチャ/アウトプットコンペア切り替え許可レジスタ B (MT1WIOSWENB) → MT1WIOSWENB レジスタ
- (40) MT2 波形インプットキャプチャ/アウトプットコンペア切り替え許可レジスタ A (MT2WIOSWENA) → MT2WIOSWENA レジスタ
- (41) MT2 波形インプットキャプチャ/アウトプットコンペア切り替え許可レジスタ B (MT2WIOSWENB) → MT2WIOSWENB レジスタ

16.2.1 MTi 制御レジスタ (MTiCR) (i = 0 ~ 4、6、7)、 MT5 制御レジスタ U (MT5CRU)、MT5 制御レジスタ V (MT5CRV)、 MT5 制御レジスタ W (MT5CRW)

アドレス MT0CR : H'FFFF 8300、MT1CR : H'FFFF 8380、MT2CR : H'FFFF 8400、MT3CR : H'FFFF 8200、
MT4CR : H'FFFF 8201、MT6CR : H'FFFF 9200、MT7CR : H'FFFF 9201



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7-b5	CCLR[2:0]	カウンタクリアビット	MTCNTカウンタのカウンタクリア要因を選択します。 詳細は表 16.8、表 16.9を参照してください。	R/W
b4-b3	CKEG[1:0]	クロックエッジビット	入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が1/2になります (例 : MTU動作クロックの4分周の両エッジ = MTU動作クロックの2分周の立ち上がりエッジ)。チャンネル1、2で位相計数モードを使用する場合は、本設定は無視され位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックがMTU動作クロックの4分周もしくはそれより遅い場合に有効です。入力クロックにMTU動作クロックの分周なしあるいは他のチャンネルのオーバフロー/アンダフローを選択した場合、値は書き込みますが動作は初期値となります。 b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 両エッジでカウント	R/W
b2-b0	TPSC[2:0]	タイマプリスケラビット	MTCNTカウンタのカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。 詳細は表 16.10 ~ 表 16.13を参照してください。	R/W

アドレス MT5CRU : H'FFFF 9484、MT5CRV : H'FFFF 9494、MT5CRW : H'FFFF 94A4



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1-b0	TPSC[1:0]	タイマプリスケラビット	MTCNTカウンタのカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。 詳細は表 16.14を参照してください。	R/W

MTCR レジスタは、各チャンネルの MTCNT カウンタを制御します。MTCR レジスタの設定は、MTCNT カウンタの動作が停止した状態で行ってください。

表 16.8 CCLRビット(チャンネル0、3、4、6、7)

チャンネル	ビット7	ビット6	ビット5	説明
	CCLR2	CCLR1	CCLR0	
0、3、4 6、7	0	0	0	MTCNTカウンタのクリア禁止
	0	0	1	MTGRAレジスタのコンペアマッチ/インプットキャプチャでMTCNTカウンタクリア(注3)
	0	1	0	MTGRBレジスタのコンペアマッチ/インプットキャプチャでMTCNTカウンタクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでMTCNTカウンタをクリア(注1)
	1	0	0	MTCNTカウンタのクリア禁止
	1	0	1	MTGRCレジスタのコンペアマッチ/インプットキャプチャでMTCNTカウンタクリア(注2)(注3)
	1	1	0	MTGRDレジスタのコンペアマッチ/インプットキャプチャでMTCNTカウンタクリア(注2)
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでMTCNTカウンタをクリア(注1)

注1. 同期動作の設定は、MTSYレジスタのSYNCビットを“1”にセットすることにより行います。

注2. MTGRCレジスタまたはMTGRDレジスタをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、MTCNTカウンタはクリアされません。

注3. SH72A0グループ：チャンネル6ではインプットキャプチャ機能は使用できません。

表 16.9 CCLRビット(チャンネル1、2)

チャンネル	ビット7	ビット6	ビット5	説明
	予約(注2)	CCLR1	CCLR0	
1、2	0	0	0	MTCNTカウンタのクリア禁止
	0	0	1	MTGRAレジスタのコンペアマッチ/インプットキャプチャでMTCNTカウンタクリア(注3)
	0	1	0	MTGRBレジスタのコンペアマッチ/インプットキャプチャでMTCNTカウンタクリア(注3)
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでMTCNTカウンタをクリア(注1)

注1. 同期動作の設定は、MTSYレジスタのSYNCビットを“1”にセットすることにより行います。

注2. チャンネル1、2ではb7は予約ビットです。読むと“0”が読み出されます。書き込みは無効にしてください

注3. SH72A0グループ：チャンネル2ではインプットキャプチャ機能は使用できません。

表 16.10 TPSCビット(チャンネル0)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック：MTU動作クロックの分周なしでカウント
	0	0	1	内部クロック：MTU動作クロックの4分周でカウント
	0	1	0	内部クロック：MTU動作クロックの16分周でカウント
	0	1	1	内部クロック：MTU動作クロックの64分周でカウント
	1	0	0	外部クロック：TCLKA端子入力でカウント
	1	0	1	外部クロック：TCLKB端子入力でカウント
	1	1	0	外部クロック：TCLKC端子入力でカウント
	1	1	1	外部クロック：TCLKD端子入力でカウント

表 16.11 TPSCビット(チャンネル1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : MTU動作クロックの分周なしでカウント
	0	0	1	内部クロック : MTU動作クロックの4分周でカウント
	0	1	0	内部クロック : MTU動作クロックの16分周でカウント
	0	1	1	内部クロック : MTU動作クロックの64分周でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : MTU動作クロックの256分周でカウント
	1	1	1	MT2CNTカウンタのオーバフロー/アンダフローでカウント

注. ・チャンネル1が位相計数モード時、この設定は無効になります。

表 16.12 TPSCビット(チャンネル2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : MTU動作クロックの分周なしでカウント
	0	0	1	内部クロック : MTU動作クロックの4分周でカウント
	0	1	0	内部クロック : MTU動作クロックの16分周でカウント
	0	1	1	内部クロック : MTU動作クロックの64分周でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : MTU動作クロックの1024分周でカウント

注. ・チャンネル2が位相計数モード時、この設定は無効になります。

表 16.13 TPSCビット(チャンネル3、4、6、7)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
3、4、6、7	0	0	0	内部クロック : MTU動作クロックの分周なしでカウント
	0	0	1	内部クロック : MTU動作クロックの4分周でカウント
	0	1	0	内部クロック : MTU動作クロックの16分周でカウント
	0	1	1	内部クロック : MTU動作クロックの64分周でカウント
	1	0	0	内部クロック : MTU動作クロックの256分周でカウント
	1	0	1	内部クロック : MTU動作クロックの1024分周でカウント
	1	1	0	外部クロック : TCLKA 端子入力でカウント
	1	1	1	外部クロック : TCLKB 端子入力でカウント

注. ・チャンネル6、7では設定禁止です。

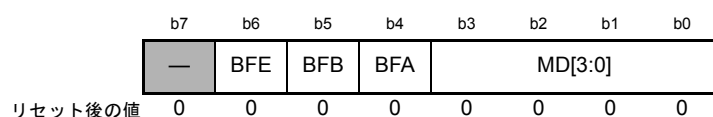
表 16.14 TPSCビット(チャンネル5)

チャンネル	ビット1	ビット0	説明
	TPSC1	TPSC0	
5	0	0	内部クロック : MTU動作クロックの分周なしでカウント
	0	1	内部クロック : MTU動作クロックの4分周でカウント
	1	0	内部クロック : MTU動作クロックの16分周でカウント
	1	1	内部クロック : MTU動作クロックの64分周でカウント

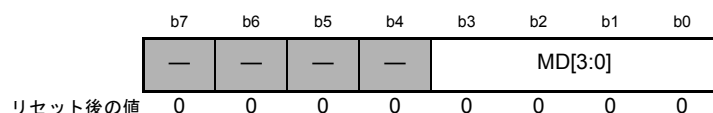
注. ・チャンネル5では、b7-b2は予約ビットです。読むと“0”が読み出されます。書き込みは“0”としてください。

16.2.2 MTi モードレジスタ 0 (MTiMD0) (i = 0 ~ 4、6、7)

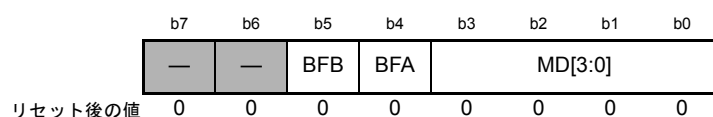
アドレス MT0MD0 : H'FFFF 8301



アドレス MT1MD0 : H'FFFF 8381、MT2MD0 : H'FFFF 8401



アドレス MT3MD0 : H'FFFF 8202、MT4MD0 : H'FFFF 8203、MT6MD0 : H'FFFF 9202、MT7MD0 : H'FFFF 9203



ビット	シンボル	ビット名	機能	R/W
b7	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b6	BFE	バッファ動作Eビット	MT0GREレジスタとMT0GRFレジスタを通常動作またはバッファ動作させるかどうかを選択します。 0: MT0GREレジスタとMT0GRFレジスタは通常動作 1: MT0GREレジスタとMT0GRFレジスタはバッファ動作 チャンネル1~4、6、7では予約ビットです。読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b5	BFB	バッファ動作Bビット	MTGRBレジスタを通常動作させるか、MTGRBレジスタとMTGRDレジスタを組み合わせるバッファ動作させるかを設定します。MTGRDレジスタをバッファレジスタとして使用した場合は、MTGRDレジスタのインプットキャプチャ/アウトプットコンペアは発生しません。 0: MTGRBレジスタとMTGRDレジスタは通常動作 1: MTGRBレジスタとMTGRDレジスタはバッファ動作 MTGRDレジスタを持たないチャンネル1、2ではこのビットは予約ビットになります。読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b4	BFA	バッファ動作Aビット	MTGRAレジスタを通常動作させるか、MTGRAレジスタとMTGRCレジスタを組み合わせるバッファ動作させるかを設定します。MTGRCレジスタをバッファレジスタとして使用した場合は、MTGRCレジスタのインプットキャプチャ/アウトプットコンペアは発生しません。 0: MTGRAレジスタとMTGRCレジスタは通常動作 1: MTGRAレジスタとMTGRCレジスタはバッファ動作 MTGRCレジスタを持たないチャンネル1、2ではこのビットは予約ビットになります。読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b3-b0	MD[3:0]	モードビット	タイマの動作モードを設定します。 詳細は表 16.15を参照してください。	R/W

MTMD0 レジスタの設定は、MTCNT カウンタの動作が停止した状態で行ってください。

表 16.15 MDビットによる動作モードの設定

ビット3 MD3	ビット2 MD2	ビット1 MD1	ビット0 MD0	説明
0	0	0	0	通常動作
0	0	0	1	設定禁止
0	0	1	0	PWMモード1
0	0	1	1	PWMモード2(注1)
0	1	0	0	位相計数モード1(注2)
0	1	0	1	位相計数モード2(注2)
0	1	1	0	位相計数モード3(注2)
0	1	1	1	位相計数モード4(注2)
1	0	0	0	リセット同期PWMモード(注3)
1	0	0	1	設定禁止
1	0	1	x	設定禁止
1	1	0	0	設定禁止
1	1	0	1	相補PWMモード1(山で転送)(注3)
1	1	1	0	相補PWMモード2(谷で転送)(注3)
1	1	1	1	相補PWMモード3(山・谷で転送)(注3)

【記号説明】 x : Don't care

注1. チャンネル3、4、6、7では、PWMモード2の設定はできません。

注2. チャンネル0、3、4、6、7では、位相計数モードの設定はできません。

注3. リセット同期PWMモード、相補PWMモードの設定は、チャンネル3、6のみ可能です。

チャンネル3、6をリセット同期PWMモードまたは相補PWMモードに設定した場合、チャンネル4、7の設定は無効となり自動的にチャンネル3、6の設定に従います。ただし、チャンネル4、7にはリセット同期PWMモード、相補PWMモードを設定しないでください。チャンネル0、1、2では、リセット同期PWMモード、相補PWMモードの設定はできません。

16.2.3 MT3 モードレジスタ 1 (MT3MD1)、MT6 モードレジスタ 1 (MT6MD1)

アドレス MT3MD1 : H'FFFF 8270、MT6MD1 : H'FFFF 9270



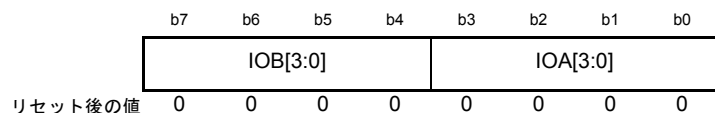
リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	DRS	ダブルバッファ選択ビット	相補PWMモード時、ダブルバッファ機能を有効/無効を選択します。 0: ダブルバッファ機能が無効 1: ダブルバッファ機能が有効	R/W

MTMD1 レジスタは、相補PWMモード3(山・谷で転送)のとき、ダブルバッファ機能を設定します。MTMD1 レジスタの設定は、MTCNTカウンタの動作が停止した状態で行ってください。

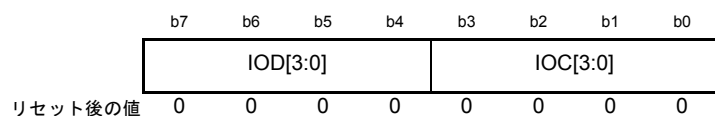
16.2.4 MTi I/O 制御レジスタ 0 (MTiIOCR0) (i = 0 ~ 4、6、7)、 MTj I/O 制御レジスタ 1 (MTjIOCR1) (j = 0、3、4、6、7)、 MT5 I/O 制御レジスタ U (MT5IOCRU)、MT5 I/O 制御レジスタ V (MT5IOCRV)、 MT5 I/O 制御レジスタ W (MT5IOCRW)

アドレス MT0IOCR0 : H'FFFF 8302、MT1IOCR0 : H'FFFF 8382、MT2IOCR0 : H'FFFF 8402、MT3IOCR0 : H'FFFF 8204、
MT4IOCR0 : H'FFFF 8206、MT6IOCR0 : H'FFFF 9204、MT7IOCR0 : H'FFFF 9206



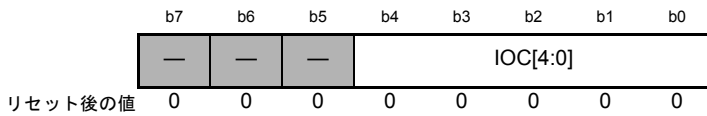
ビット	シンボル	ビット名	機能	R/W
b7-b4	IOB[3:0]	I/OコントロールBビット	MTGRBレジスタの機能を設定します。 下記の表を参照してください。 MT0IOCR0レジスタ：表 16.16 MT1IOCR0レジスタ：表 16.18 MT2IOCR0レジスタ：表 16.19 MT3IOCR0レジスタ：表 16.20 MT4IOCR0レジスタ：表 16.22 MT6IOCR0レジスタ：表 16.24 MT7IOCR0レジスタ：表 16.26	R/W
b3-b0	IOA[3:0]	I/OコントロールAビット	MTGRAレジスタの機能を設定します。 下記の表を参照してください。 MT0IOCR0レジスタ：表 16.28 MT1IOCR0レジスタ：表 16.30 MT2IOCR0レジスタ：表 16.31 MT3IOCR0レジスタ：表 16.32 MT4IOCR0レジスタ：表 16.34 MT6IOCR0レジスタ：表 16.36 MT7IOCR0レジスタ：表 16.38	R/W

アドレス MT0IOCR1 : H'FFFF 8303、MT3IOCR1 : H'FFFF 8205、MT4IOCR1 : H'FFFF 8207、MT6IOCR1 : H'FFFF 9205、
MT7IOCR1 : H'FFFF 9207



ビット	シンボル	ビット名	機能	R/W
b7-b4	IOD[3:0]	I/OコントロールDビット	MTGRDレジスタの機能を設定します。 下記の表を参照してください。 MT0IOCR1レジスタ：表 16.17 MT3IOCR1レジスタ：表 16.21 MT4IOCR1レジスタ：表 16.23 MT6IOCR1レジスタ：表 16.25 MT7IOCR1レジスタ：表 16.27	R/W
b3-b0	IOC[3:0]	I/OコントロールCビット	MTGRCレジスタの機能を設定します。 下記の表を参照してください。 MT0IOCR1レジスタ：表 16.29 MT3IOCR1レジスタ：表 16.33 MT4IOCR1レジスタ：表 16.35 MT6IOCR1レジスタ：表 16.37 MT7IOCR1レジスタ：表 16.39	R/W

アドレス MT5IOCRU : H'FFFF 9486、MT5IOCRV : H'FFFF 9496、MT5IOCRW : H'FFFF 94A6



ビット	シンボル	ビット名	機能	R/W
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	IOC[4:0]	I/OコントロールCビット	MT5GRU、MT5GRV、MT5GRWレジスタの機能を設定します。詳細は表 16.40を参照してください。	R/W

MTIOCR レジスタは、MTGR レジスタを制御します。MTIOCR レジスタは MTMD0 レジスタの設定により影響を受けますので注意してください。

MTIOCR レジスタで指定した初期出力はカウンタ停止した (MT01234STR、MT67STR レジスタの CST ビットを“0”にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが“0”にクリアされた時点での出力を指定します。

MTGRC レジスタ、あるいは MTGRD レジスタをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

表 16.16 MT0IOCR0 レジスタ (チャンネル0)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MT0GRBの機能	TIOC0B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1/カウントク ロック MT1CNTカウンタのカウントアップ/カウ ントダウンでインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCR レジスタを設定するまでは“0”が出力されます。

表 16.17 MT0IOCR1 レジスタ (チャンネル0)

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MT0GRDの機能	TIOC0D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注2)	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ(注2)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1/カウントクロック MT1CNTカウンタのカウントアップ/カウントダウンでインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

注2. MT0MD0レジスタのBFBビットを“1”にセットしてMT0GRDレジスタをバッファレジスタとして使用した場合は本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注. ・ SH72A0グループ: 本機能は使用できません。

表 16.18 MT1IOCR0 レジスタ (チャンネル1)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MT1GRBの機能	TIOC1B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MT0GRCのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

表 16.19 MT2IOCR0 レジスタ (チャンネル2)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MT2GRBの機能	TIOC2B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

注. ・ SH72A0グループ: 本機能は使用できません。

表 16.20 MT3IOCR0 レジスタ (チャンネル3)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MT3GRBの機能	TIOC3B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

表 16.21 MT3IOCR1 レジスタ (チャンネル3)

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MT3GRDの機能	TIOC3D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注2)	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注2)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

注2. MT3MD0レジスタのBFBビットを“1”にセットしてMT3GRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 16.22 MT4IOCR0 レジスタ (チャンネル4)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MT4GRBの機能	TIOC4B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

表 16.23 MT4IOCR1 レジスタ (チャンネル4)

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MT4GRDの機能	TIOC4D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注2)	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注2)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

注2. MT4MD0レジスタのBFBビットを“1”にセットしてMT4GRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 16.24 MT6IOCR0 レジスタ (チャンネル6)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MT6GRBの機能	TIOC6B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

表 16.25 MT6IOCR0 レジスタ (チャンネル6)

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MT6GRDの機能	TIOC6D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注2)	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注2)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

注2. MT6MD0レジスタのBFBビットを“1”にセットしてMT6GRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 16.26 MT7IOCR0 レジスタ (チャンネル7)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MT7GRBの機能	TIOC7B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

表 16.27 MT7IOCR1 レジスタ (チャンネル7)

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MT7GRDの機能	TIOC7D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注2)	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注2)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

注2. MT7MD0 レジスタのBFB ビットを“1”にセットしてMT7GRDをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 16.28 MT0IOCR0 レジスタ (チャンネル0)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MT0GRAの機能	TIOC0A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1/カウントクロック MT1CNTカウンタのカウントアップ/カウントダウンでインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

表 16.29 MT0IOCR1 レジスタ (チャンネル0)

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MT0GRCの機能	TIOC0C端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注2)	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ(注2)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1/カウントクロック MT1CNTカウンタのカウントアップ/カウントダウンでインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

注2. MT0MD0レジスタのBFAビットを“1”にセットしてMT0GRCレジスタをバッファレジスタとして使用した場合は本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 16.30 MT1IOCR0 レジスタ (チャンネル1)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MT1GRAの機能	TIOC1A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MT0GRAレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

注. ・ SH72A0グループ: 本機能は使用できません。

表 16.31 MT2IOCR0 レジスタ (チャンネル2)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MT2GRAの機能	TIOC2A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

注. ・ SH72A0グループ: 本機能では使用できません。

表 16.32 MT3IOCR0 レジスタ (チャンネル3)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MT3GRAの機能	TIOC3A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

表 16.33 MT3IOCR1 レジスタ (チャンネル3)

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MT3GRCの機能	TIOC3C端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注2)	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注2)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

注2. MT3MD0レジスタのBFAビットを“1”にセットしてMT3GRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 16.34 MT4IOCR0 レジスタ (チャンネル4)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MT4GRAの機能	TIOC4A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

表 16.35 MT4IOCR1 レジスタ (チャンネル4)

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MT4GRCの機能	TIOC4C端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注2)	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注2)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

注2. MT4MD0 レジスタのBFA ビットを“1”にセットしてMT4GRCをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 16.36 MT6IOCR0 レジスタ (チャンネル6)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MT6GRAの機能	TIOC6A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

注. • SH72A0 グループ: 本機能は使用できません。

表 16.37 MT6IOCR1 レジスタ (チャンネル6)

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MT6GRCの機能	TIOC6C端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注2)	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注2)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

注2. MT6MD0レジスタのBFAビットを“1”にセットしてMT6GRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注. • SH72A0 グループ: 本機能は使用できません。

表 16.38 MT7IOCR0 レジスタ (チャンネル7)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MT7GRAの機能	TIOC7A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

表 16.39 MT7IOCR1 レジスタ (チャンネル7)

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MT7GRCの機能	TIOC7C端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注2)	出力保持(注1)
0	0	0	1		初期出力は“0”出力 コンペアマッチで“0”出力
0	0	1	0		初期出力は“0”出力 コンペアマッチで“1”出力
0	0	1	1		初期出力は“0”出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は“1”出力 コンペアマッチで“0”出力
0	1	1	0		初期出力は“1”出力 コンペアマッチで“1”出力
0	1	1	1		初期出力は“1”出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注2)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

注1. リセット後、MTIOCRレジスタを設定するまでは“0”が出力されます。

注2. MT7MD0レジスタのBFAビットを“1”にセットしてMT7GRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 16.40 MT5IOCRU、MT5IOCRV、MT5IOCRW レジスタ (チャンネル5)

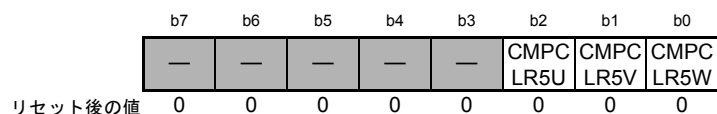
ビット4	ビット3	ビット2	ビット1	ビット0	説明	
IOC4	IOC3	IOC2	IOC1	IOC0	MT5GRU、MT5GRV、 MT5GRWの機能	TIC5U、TIC5V、TIC5W端子の機能
0	0	0	0	0	コンペアマッチ レジスタ	コンペアマッチ
0	0	0	0	1		設定禁止
0	0	0	1	x		設定禁止
0	0	1	x	x		設定禁止
0	1	x	x	x		設定禁止
1	0	0	0	0	インプットキャプチャ レジスタ	設定禁止
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		設定禁止
1	1	0	0	0		設定禁止
1	1	0	0	1		外部入力信号の Lowパルス幅測定用 谷でキャプチャ
1	1	0	1	0		外部入力信号の Lowパルス幅測定用 山でキャプチャ
1	1	0	1	1		外部入力信号の Lowパルス幅測定用 山と谷でキャプチャ
1	1	1	0	0		設定禁止
1	1	1	0	1		外部入力信号の Highパルス幅測定用 谷でキャプチャ
1	1	1	1	0		外部入力信号の Highパルス幅測定用 山でキャプチャ
1	1	1	1	1		外部入力信号の Highパルス幅測定用 山と谷でキャプチャ

【記号説明】 x : Don't care

注. ・ SH72A0 グループ: 本機能は使用できません。

16.2.5 MT5 コンペアマッチクリアレジスタ (MT5CMC)

アドレス H'FFFF 94B6



ビット	シンボル	ビット名	機能	R/W
b7-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	CMPCLR5U	MTCNTカウンタコンペアクリア5Uビット	MT5GRUレジスタのコンペアマッチ/インพุットキャプチャによる、MT5CNTUカウンタクリア要求を許可または禁止します。 0: MT5CNTUカウンタのH'0000クリアを禁止 1: MT5CNTUカウンタのH'0000クリアを許可	R/W
b1	CMPCLR5V	MTCNTカウンタコンペアクリア5Vビット	MT5GRVレジスタのコンペアマッチ/インพุットキャプチャによる、MT5CNTVカウンタクリア要求を許可または禁止します。 0: MT5CNTVカウンタのH'0000クリアを禁止 1: MT5CNTVカウンタのH'0000クリアを許可	R/W
b0	CMPCLR5W	MTCNTカウンタコンペアクリア5Wビット	MT5CNTWカウンタとMT5GRWレジスタのコンペアマッチ/インพุットキャプチャによる、MT5CNTWカウンタクリア要求を許可または禁止します。 0: MT5CNTWカウンタのH'0000クリアを禁止 1: MT5CNTWカウンタのH'0000クリアを許可	R/W

MT5CMCレジスタは、MT5CNTU、MT5CNTV、MT5CNTWカウンタのクリア要求を設定します。

16.2.6 MTi 割り込み許可レジスタ 0 (MTiIEN0) (i = 0 ~ 4、6、7)、 MT0 割り込み許可レジスタ 1 (MT0IEN1)、 MT5 割り込み許可レジスタ 0 (MT5IEN0)

アドレス MT1IEN0 : H'FFFF 8384、MT2IEN0 : H'FFFF 8404

b7	b6	b5	b4	b3	b2	b1	b0
TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0

アドレス MT0IEN0 : H'FFFF 8304、MT3IEN0 : H'FFFF 8208、MT6IEN0 : H'FFFF 9208

b7	b6	b5	b4	b3	b2	b1	b0
TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0

アドレス MT4IEN0 : H'FFFF 8209、MT7IEN0 : H'FFFF 9209

b7	b6	b5	b4	b3	b2	b1	b0
TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7	TTGE	AD変換開始要求イネーブルビット	MTGRAレジスタのインプットキャプチャ/コンペアマッチによるA/Dコンバータ開始要求の発生を許可または禁止します。 0 : A/D変換開始要求の発生を禁止 1 : A/D変換開始要求の発生を許可	R/W
b6	TTGE2	AD変換開始要求イネーブル2ビット	相補PWMモードで、MT4CNT (MT7CNT)カウンタのアンダフロー(谷)によるA/D変換要求の発生を許可または禁止します。 0 : A/D変換開始要求の発生を禁止 1 : A/D変換開始要求の発生を許可 チャンネル0~3、6では予約ビットです。読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b5	TCIEU	アンダフローインタラプトイネーブルビット	チャンネル1、2でMTSRレジスタのTCFUフラグが“1”にセットされたとき、TCFUフラグによる割り込み要求(TCIU)を許可または禁止します。 0 : TCFUフラグによる割り込み要求(TCIU)の発生を禁止 1 : TCFUフラグによる割り込み要求(TCIU)の発生を許可 チャンネル0、3、4、6、7では予約ビットです。読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b4	TCIEV	オーバフローインタラプトイネーブルビット	MTSRレジスタのTCFVフラグが“1”にセットされたとき、TCFVフラグによる割り込み要求(TCIV)を許可または禁止します。 0 : TCFVフラグによる割り込み要求(TCIV)の発生を禁止 1 : TCFVフラグによる割り込み要求(TCIV)の発生を許可	R/W
b3	TGIED	TGRインタラプトイネーブルDビット	チャンネル0、3、4、6、7でMTSRレジスタのTGFDフラグが“1”にセットされたとき、TGFDフラグによる割り込み要求(TGID)を許可または禁止します。 0 : TGFDフラグによる割り込み要求(TGID)の発生を禁止 1 : TGFDフラグによる割り込み要求(TGID)の発生を許可 チャンネル1、2では予約ビットです。読むと“0”が読み出されます。書き込みは“0”としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b2	TGIEC	TGRインタラプトイネーブルCビット	チャンネル0、3、4、6、7でMTSRレジスタのTGFCフラグが“1”にセットされたとき、TGFCフラグによる割り込み要求(TGIC)を許可または禁止します。 0: TGFCフラグによる割り込み要求(TGIC)の発生を禁止 1: TGFCフラグによる割り込み要求(TGIC)の発生を許可 チャンネル1、2では予約ビットです。読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b1	TGIEB	TGRインタラプトイネーブルBビット	MTSRレジスタのTGFBフラグが“1”にセットされたとき、TGFBフラグによる割り込み要求(TGIB)を許可または禁止します。 0: TGFBフラグによる割り込み要求(TGIB)の発生を禁止 1: TGFBフラグによる割り込み要求(TGIB)の発生を許可	R/W
b0	TGIEA	TGRインタラプトイネーブルAビット	MTSRレジスタのTGFAフラグが“1”にセットされたとき、TGFAフラグによる割り込み要求(TGIA)を許可または禁止します。 0: TGFAフラグによる割り込み要求(TGIA)の発生を禁止 1: TGFAフラグによる割り込み要求(TGIA)の発生を許可	R/W

アドレス MT0IEN1: H'FFFF 8324

b7	b6	b5	b4	b3	b2	b1	b0
TTGE2	—	—	—	—	—	TGIEF	TGIEE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	TTGE2	AD変換開始要求イネーブル2ビット	MT0CNTカウンタとMT0GREレジスタのコンペアマッチによるA/Dコンバータ開始要求の発生を許可または禁止します。 0: A/D変換開始要求の発生を禁止 1: A/D変換開始要求の発生を許可	R/W
b6-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1	TGIEF	TGRインタラプトイネーブルFビット	MT0CNTカウンタとMT0GRFレジスタのコンペアマッチによる割り込み要求の発生を許可または禁止します。 0: TGFFフラグによる割り込み要求(TGIF)の発生を禁止 1: TGFFフラグによる割り込み要求(TGIF)の発生を許可	R/W
b0	TGIEE	TGRインタラプトイネーブルEビット	MT0CNTカウンタとMT0GREレジスタのコンペアマッチによる割り込み要求の発生を許可または禁止します。 0: TGFEフラグによる割り込み要求(TGIE)の発生を禁止 1: TGFEフラグによる割り込み要求(TGIE)の発生を許可	R/W

アドレス MT5IEN0 : H'FFFF 94B2



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	TGIE5U	TGRインタラプトイネーブル5U ビット	MT5SR0レジスタのCMFU5フラグがセットされたとき、CMFU5フラグによる割り込み要求(TGIU_5)を許可または禁止します。 0 : TGIU_5割り込み要求の発生を禁止 1 : TGIU_5割り込み要求の発生を許可	R/W
b1	TGIE5V	TGRインタラプトイネーブル5V ビット	MT5SR0レジスタのCMFV5フラグがセットされたとき、CMFV5フラグによる割り込み要求(TGIV_5)を許可または禁止します。 0 : TGIV_5割り込み要求の発生を禁止 1 : TGIV_5割り込み要求の発生を許可	R/W
b0	TGIE5W	TGRインタラプトイネーブル5W ビット	MT5SR0レジスタのCMFW5フラグがセットされたとき、CMFW5フラグによる割り込み要求(TGIW_5)を許可または禁止します。 0 : TGIW_5割り込み要求の発生を禁止 1 : TGIW_5割り込み要求の発生を許可	R/W

MTIEN レジスタは、各チャンネルの割り込み要求の許可、禁止を制御します。

16.2.7 MTi ステータスレジスタ 0 (MTiSR0) (i = 0 ~ 4、6、7)、 MT0 ステータスレジスタ 1 (MT0SR1)、MT5 ステータスレジスタ 0 (MT5SR0)

アドレス MT0SR0 : H'FFFF 8305

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
リセット後の値	1	1	0	0	0	0	0

アドレス MT1SR0 : H'FFFF 8385、MT2SR0 : H'FFFF 8405

b7	b6	b5	b4	b3	b2	b1	b0
TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA
リセット後の値	1	1	0	0	0	0	0

アドレス MT3SR0 : H'FFFF 822C、MT4SR0 : H'FFFF 822D、MT6SR0 : H'FFFF 922C、MT7SR0 : H'FFFF 922D

b7	b6	b5	b4	b3	b2	b1	b0
TCFD	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
リセット後の値	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7	TCFD	カウント方向フラグ	チャンネル1~4、6、7のMTCNTカウンタのカウント方向を示すステータスフラグです。 0: MTCNTカウンタはダウンカウント 1: MTCNTカウンタはアップカウント チャンネル0では予約ビットです。読むと“1”が読み出されます。書き込みは“1”としてください。	R
b6	—	(予約ビット)	読むと“1”が読み出されます。書き込みは“1”としてください。	R
b5	TCFU	アンダフローフラグ	チャンネル1、2が位相計数モードのとき、MTCNTカウンタのアンダフローの発生を示すステータスフラグです。フラグをクリアするための“0”書き込みのみ可能です。 [“1”になる条件] ・ MTCNTカウンタの値がアンダフロー (“H'0000”→“H'FFFF”)したとき [“0”になる条件] ・ TCFU = 1の状態ではTCFUフラグを読み出した後、TCFUフラグに“0”を書き込んだとき チャンネル0、3、4、6、7では予約ビットです。読むと“0”が読み出されます。書き込みは“0”としてください。	R/W (注1)
b4	TCFV	オーバフローフラグ	MTCNTカウンタのオーバフローの発生を示すステータスフラグです。フラグをクリアするための“0”書き込みのみ可能です。 [“1”になる条件] ・ MTCNTカウンタの値がオーバフロー (“H'FFFF”→“H'0000”)したとき ・ チャンネル4、7では相補PWMモードでMT4CNT、MT7CNTカウンタの値がアンダフロー (“H'0001”→“H'0000”)したときにも本フラグがセットされます。 [“0”になる条件] ・ TCFV = 1の状態ではTCFVフラグを読み出した後、TCFVフラグに“0”を書き込んだとき	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b3	TGFD	インプットキャプチャ/ アウトプットコンペアフラグD	<p>チャンネル0、3、4、6、7のMTGRDレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための“0”書き込みのみ可能です。</p> <p>["1"になる条件]</p> <ul style="list-style-type: none"> MTGRDレジスタがアウトプットコンペアレジスタとして機能している場合、MTCNTカウンタ = MTGRDレジスタになったとき MTGRDレジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりMTCNTカウンタの値がMTGRDレジスタに転送されたとき <p>["0"になる条件]</p> <ul style="list-style-type: none"> TGFD = 1の状態ではTGFDフラグを読み出した後、TGFDフラグに“0”を書き込んだとき TGID割り込みによりDMACが起動された後、DMACからの転送アクノリッジ信号を受信したとき <p>チャンネル1、2では予約ビットです。読むと“0”が読み出されます。書き込みは“0”としてください。</p>	R/W (注1)
b2	TGFC	インプットキャプチャ/ アウトプットコンペアフラグC	<p>チャンネル0、3、4、6、7のMTGRCレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための“0”書き込みのみ可能です。</p> <p>["1"になる条件]</p> <ul style="list-style-type: none"> MTGRCレジスタがアウトプットコンペアレジスタとして機能している場合、MTCNTカウンタ = MTGRCレジスタになったとき MTGRCレジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりMTCNTカウンタの値がMTGRCレジスタに転送されたとき <p>["0"になる条件]</p> <ul style="list-style-type: none"> TGFC = 1の状態ではTGFCフラグを読み出した後、TGFCフラグに“0”を書き込んだとき TGIC割り込みによりDMACが起動された後、DMACからの転送アクノリッジ信号を受信したとき 	R/W (注1)
b1	TGFB	インプットキャプチャ/ アウトプットコンペアフラグB	<p>MTGRBレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための“0”書き込みのみ可能です。</p> <p>["1"になる条件]</p> <ul style="list-style-type: none"> MTGRBレジスタがアウトプットコンペアレジスタとして機能している場合、MTCNTカウンタ = MTGRBレジスタになったとき MTGRBレジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりMTCNTカウンタの値がMTGRBレジスタに転送されたとき <p>["0"になる条件]</p> <ul style="list-style-type: none"> TGFB = 1の状態ではTGFBフラグを読み出した後、TGFBフラグに“0”を書き込んだとき TGIB割り込みによりDMACが起動された後、DMACからの転送アクノリッジ信号を受信したとき 	R/W (注1)
b0	TGFA	インプットキャプチャ/ アウトプットコンペアフラグA	<p>MTGRAレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための“0”書き込みのみ可能です。</p> <p>["1"になる条件]</p> <ul style="list-style-type: none"> MTGRAレジスタがアウトプットコンペアレジスタとして機能している場合、MTCNTカウンタ = MTGRAレジスタになったとき MTGRAレジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりMTCNTカウンタの値がMTGRAレジスタに転送されたとき <p>["0"になる条件]</p> <ul style="list-style-type: none"> TGFA = 1の状態ではTGFAフラグを読み出した後、TGFAフラグに“0”を書き込んだとき TGIA割り込みによりDMACが起動された後、DMACからの転送アクノリッジ信号を受信したとき 	R/W (注1)

注1. このフラグビットへの書き込みは、ステータスクリアする(“0”にする)動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

アドレス MT0SR1 : H'FFFF 8325

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TGFF	TGFE
リセット後の値	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b6	—	(予約ビット)	読むと“1”が読み出されず。書き込みは“1”としてください。	R
b5-b2	—	(予約ビット)	読むと“0”が読み出されず。書き込みは“0”としてください。	R
b1	TGFF	コンペアマッチフラグF	MT0CNTカウンタとMT0GRFレジスタのコンペアマッチの発生を示すステータスフラグです。 [“1”になる条件] • MTGRFレジスタをコンペアレジスタとして機能している場合、MT0CNT = MT0GRFになったとき [“0”になる条件] • TGFF = 1の状態ではTGFFフラグを読み出した後、TGFFフラグに“0”を書き込んだとき	R/W (注1)
b0	TGFE	コンペアマッチフラグE	MT0CNTカウンタとMT0GREレジスタのコンペアマッチによる割り込み要求の発生を許可または禁止します。 [“1”になる条件] • MTGREレジスタをコンペアレジスタとして機能している場合、MT0CNT = MT0GREになったとき [“0”になる条件] • TGFE = 1の状態ではTGFEフラグを読み出した後、TGFEフラグに“0”を書き込んだとき	R/W (注1)

注1. このフラグビットへの書き込みは、ステータスクリアする(“0”にする)動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

アドレス MT5SR0 : H'FFFF 94B0

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CMFU5	CMFV5	CMFW5
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b3	—	(予約ビット)	読むと“0”が読み出されず。書き込みは“0”としてください。	R
b2	CMFU5	コンペアマッチ/インプットキャプチャフラグ5U	MT5GRUレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための“0”書き込みのみ可能です。 [“1”になる条件] • MT5GRUレジスタがコンペアマッチレジスタとして機能している場合、MT5CNTU = MT5GRUレジスタになったとき • MT5GRUレジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりMT5CNTUカウンタの値がMT5GRUレジスタに転送されたとき • MT5GRUレジスタが外部入力信号のパルス幅測定として機能している場合、MT5CNTUカウンタの値がMT5GRUレジスタに転送されたとき [“0”になる条件] • CMFU5 = 1の状態ではCMFU5を読み出した後、CMFU5に“0”を書き込んだとき • TGIV_5割り込みによりDMACが起動された後、DMACからの転送アクノリッジ信号を受信したとき	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b1	CMFV5	コンペアマッチ/インプットキャプチャフラグ5V	<p>MT5GRVレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための“0”書き込みのみ可能です。</p> <p>["1"]になる条件</p> <ul style="list-style-type: none"> MT5GRVレジスタがコンペアマッチレジスタとして機能している場合、MT5CNTV = MT5GRVレジスタになったとき MT5GRVレジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりMT5CNTVカウンタの値がMT5GRVレジスタに転送されたとき MT5GRVレジスタが外部入力信号のパルス幅測定として機能している場合、MT5CNTVカウンタの値がMT5GRVレジスタに転送されたとき(注2) <p>["0"]になる条件</p> <ul style="list-style-type: none"> CMFV5 = 1の状態ではCMFV5フラグを読み出した後、CMFV5フラグに“0”を書き込んだとき TGIV_5割り込みによりDMACが起動された後、DMACからの転送アクトリッジ信号を受信したとき 	R/W (注1)
b0	CMFW5	コンペアマッチ/インプットキャプチャフラグ5W	<p>MT5GRWレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための“0”書き込みのみ可能です。</p> <p>["1"]になる条件</p> <ul style="list-style-type: none"> MT5GRWレジスタがコンペアマッチレジスタとして機能している場合、MT5CNTW = MT5GRWレジスタになったとき MT5GRWレジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりMT5CNTWカウンタの値がMT5GRWレジスタに転送されたとき MT5GRWレジスタが外部入力信号のパルス幅測定として機能している場合、MT5CNTWカウンタの値がMT5GRWレジスタに転送されたとき <p>["0"]になる条件</p> <ul style="list-style-type: none"> CMFW5 = 1の状態ではCMFW5フラグを読み出した後、CMFW5フラグに“0”を書き込んだとき TGIW_5割り込みによりDMACが起動された後、DMACからの転送アクトリッジ信号を受信したとき 	R/W (注1)

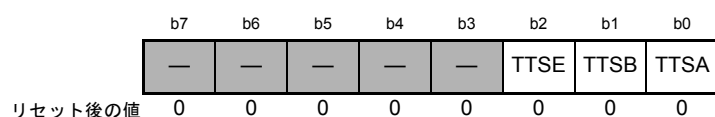
注1. このフラグビットへの書き込みは、ステータスクリアする("0"にする)動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

注2. 転送するタイミングは、MT5IOCRUレジスタ、MT5IOCRVレジスタ、MT5IOCRWレジスタのIOCビットで設定します。

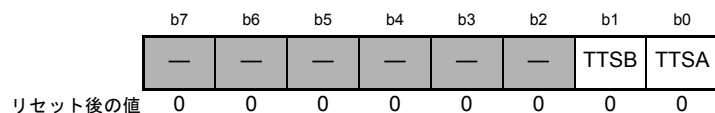
MTSR レジスタは、各チャネルのステータスを表示します。

16.2.8 MTj バッファ動作転送モードレジスタ (MTjBTM) (j = 0、3、4、6、7)

アドレス MT0BTM : H'FFFF 8326



アドレス MT3BTM : H'FFFF 8238、MT4BTM : H'FFFF 8239、MT6BTM : H'FFFF 9238、MT7BTM : H'FFFF 9239



ビット	シンボル	ビット名	機能	R/W
b7-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	TTSE	タイミングセレクトEビット	バッファ動作時のMT0GRFレジスタからMT0GREレジスタへの転送タイミングを設定します。 0: チャンネル0のコンペアマッチE発生時 1: MT0CNTカウンタクリア時 チャンネル3、4、6、7では、予約ビットです。読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b1	TTSB	タイミングセレクトBビット	各チャンネルのバッファ動作時のMTGRDレジスタからMTGRBレジスタへの転送タイミングを設定します。 0: 各チャンネルのコンペアマッチB発生時 1: 各チャンネルのMTCNTカウンタクリア時	R/W
b0	TTSA	タイミングセレクトAビット	各チャンネルのバッファ動作時のMTGRCレジスタからMTGRAレジスタへの転送タイミングを設定します。 0: 各チャンネルのコンペアマッチA発生時 1: 各チャンネルのMTCNTカウンタクリア時	R/W

MTBTM レジスタは、PWM モード時のバッファレジスタから MTGR レジスタへの転送タイミングを設定します。

16.2.9 MT1 インพุットキャプチャ制御レジスタ (MT1ICCR)

アドレス H'FFFF 8390

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	I2BE	I2AE	I1BE	I1AE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	I2BE	インพุットキャプチャイネーブルビット	MT1GRBレジスタのインพุットキャプチャ条件にTIOC2B端子を追加する/しないを選択します。 0: インพุットキャプチャ条件に追加しない 1: インพุットキャプチャ条件に追加する(注1)	R/W
b2	I2AE	インพุットキャプチャイネーブルビット	MT1GRAレジスタのインพุットキャプチャ条件にTIOC2A端子を追加する/しないを選択します。 0: インพุットキャプチャ条件に追加しない 1: インพุットキャプチャ条件に追加する(注1)	R/W
b1	I1BE	インพุットキャプチャイネーブルビット	MT2GRBレジスタのインพุットキャプチャ条件にTIOC1B端子を追加する/しないを選択します。 0: インพุットキャプチャ条件に追加しない 1: インพุットキャプチャ条件に追加する	R/W
b0	I1AE	インพุットキャプチャイネーブルビット	MT2GRAのインพุットキャプチャ条件にTIOC1A端子を追加する/しないを選択します。 0: インพุットキャプチャ条件に追加しない 1: インพุットキャプチャ条件に追加する(注1)	R/W

注1. SH72A0グループ: 本機能は使用できません。

MT1ICCR レジスタは、MT1CNT カウンタと MT2CNT カウンタのカスケード接続時のインพุットキャプチャ条件を制御します。

16.2.10 MT6 同期クリアレジスタ (MT6SYC)

アドレス H'FFFF 9250

b7	b6	b5	b4	b3	b2	b1	b0
CE0A	CE0B	CE0C	CE0D	CE1A	CE1B	CE2A	CE2B

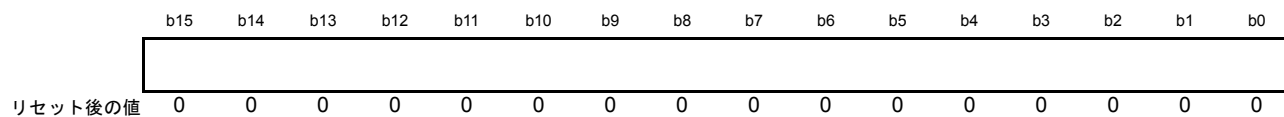
リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	CE0A	クリアイネーブル0Aビット	MT0SR0レジスタのTGFAフラグセットでのクリア禁止/許可を設定します。 0: TGFAフラグセットでのクリア禁止 1: TGFAフラグセットでのクリア許可	R/W
b6	CE0B	クリアイネーブル0Bビット	MT0SR0レジスタのTGFBフラグセットでのクリア禁止/許可を設定します。 0: TGFBフラグセットでのクリア禁止 1: TGFBフラグセットでのクリア許可	R/W
b5	CE0C	クリアイネーブル0Cビット	MT0SR0レジスタのTGFCフラグセットでのクリア禁止/許可を設定します。 0: TGFCフラグセットでのクリア禁止 1: TGFCフラグセットでのクリア許可	R/W
b4	CE0D	クリアイネーブル0Dビット	MT0SR0レジスタのTGFDフラグセットでのクリア禁止/許可を設定します。 0: TGFDフラグセットでのクリア禁止 1: TGFDフラグセットでのクリア許可	R/W
b3	CE1A	クリアイネーブル1Aビット	MT1SR0レジスタのTGFAフラグセットでのクリア禁止/許可を設定します。 0: TGFAフラグセットでのクリア禁止 1: TGFAフラグセットでのクリア許可	R/W
b2	CE1B	クリアイネーブル1Bビット	MT1SR0レジスタのTGFBフラグセットでのクリア禁止/許可を設定します。 0: TGFBフラグセットでのクリア禁止 1: TGFBフラグセットでのクリア許可	R/W
b1	CE2A	クリアイネーブル2Aビット	MT2SR0レジスタのTGFAフラグセットでのクリア禁止/許可を設定します。 0: TGFAフラグセットでのクリア禁止 1: TGFAフラグセットでのクリア許可	R/W
b0	CE2B	クリアイネーブル2Bビット	MT2SR0レジスタのTGFBフラグセットでのクリア禁止/許可を設定します。 0: TGFBフラグセットでのクリア禁止 1: TGFBフラグセットでのクリア許可	R/W

MT6SYC レジスタは、MTU-III の MT6CNT、MT7CNT カウンタの同期クリア条件を設定します。

16.2.11 MTi カウンタ (MTiCNT) (i = 0 ~ 4、6、7)、 MT5 カウンタ U、V、W (MT5CNTU、MT5CNTV、MT5CNTW)

MT0CNT : H'FFFF 8306、MT1CNT : H'FFFF 8386、MT2CNT : H'FFFF 8406、MT3CNT : H'FFFF 8210、
アドレス MT4CNT : H'FFFF 8212、MT6CNT : H'FFFF 9210、MT7CNT : H'FFFF 9212、
MT5CNTU : H'FFFF 9480、MT5CNTV : H'FFFF 9490、MT5CNTW : H'FFFF 94A0



注. ・ MTCNTカウンタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

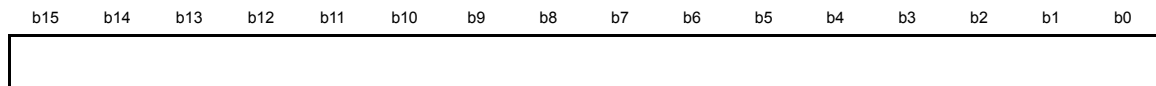
MTCNT カウンタは、16 ビットの読み出し / 書き込み可能なカウンタです。

MTCNT カウンタの 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

16.2.12 MT_i ジェネラルレジスタ A、B (MT_iGRA、MT_iGRB) (i = 0 ~ 4、6、7)、
 MT_j ジェネラルレジスタ C、D、E
 (MT_jGRC、MT_jGRD、MT_jGRE) (j = 0、3、4、6、7)、
 MT_k ジェネラルレジスタ F (MT_kGRF) (k = 0、4、7)、
 MT5 ジェネラルレジスタ U、V、W (MT5GRU、MT5GRV、MT5GRW)

MT0GRA : H'FFFF 8308、MT0GRB : H'FFFF 830A、MT0GRC : H'FFFF 830C、MT0GRD : H'FFFF 830E、
 MT0GRE : H'FFFF 8320、MT0GRF : H'FFFF 8322、
 MT1GRA : H'FFFF 8388、MT1GRB : H'FFFF 838A、
 MT2GRA : H'FFFF 8408、MT2GRB : H'FFFF 840A、
 MT3GRA : H'FFFF 8218、MT3GRB : H'FFFF 821A、MT3GRC : H'FFFF 8224、MT3GRD : H'FFFF 8226、
 MT3GRE : H'FFFF 8272、

アドレス MT4GRA : H'FFFF 821C、MT4GRB : H'FFFF 821E、MT4GRC : H'FFFF 8228、MT4GRD : H'FFFF 822A、
 MT4GRE : H'FFFF 8274、MT4GRF : H'FFFF 8276、
 MT6GRA : H'FFFF 9218、MT6GRB : H'FFFF 921A、MT6GRC : H'FFFF 9224、MT6GRD : H'FFFF 9226、
 MT6GRE : H'FFFF 9272、
 MT7GRA : H'FFFF 921C、MT7GRB : H'FFFF 921E、MT7GRC : H'FFFF 9228、MT7GRD : H'FFFF 922A、
 MT7GRE : H'FFFF 9274、MT7GRF : H'FFFF 9276、
 MT5GRU : H'FFFF 9482、MT5GRV : H'FFFF 9492、MT5GRW : H'FFFF 94A2



リセット後の値 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

注・ MTGRレジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。MTGRレジスタの初期値は、“H'FFFF”です。

MTGRレジスタは、16ビットの読み出し/書き込み可能なレジスタです。チャンネル0に6本、チャンネル1、2に各2本、チャンネル3、6に各5本、チャンネル4、7に各6本、チャンネル5に3本、計35本のジェネラルレジスタがあります。

MTGRA、MTGRB、MTGRC、MTGRDレジスタはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。チャンネル0、3、4、6、7のMTGRCレジスタとMTGRDレジスタは、バッファレジスタとして動作設定することができます。MTGRレジスタとバッファレジスタの組み合わせは、MTGRAレジスタとMTGRCレジスタ、MTGRBレジスタとMTGRDレジスタになります。

MT0GRE、MT0GRFレジスタはコンペアレジスタとして機能し、MT0CNTカウンタとMT0GREレジスタが一致したとき、A/D変換開始要求を発生することができます。MTGRFレジスタは、バッファレジスタとして動作設定することができます。MTGRレジスタとバッファレジスタの組み合わせは、MTGREレジスタとMTGRFレジスタになります。

MT5GRU、MT5GRV、MT5GRWレジスタはコンペアマッチ/インプットキャプチャ/外部パルス幅測定兼用のレジスタです。

16.2.13 MT01234 開始レジスタ (MT01234STR)、MT67 開始レジスタ (MT67STR)、MT5 開始レジスタ (MT5STR)

アドレス MT01234STR : H'FFFF 8280

b7	b6	b5	b4	b3	b2	b1	b0
CST4	CST3	—	—	—	CST2	CST1	CST0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	CST4	カウンタスタート4ビット	MTCNTカウンタの動作または停止を選択します。 TIOC端子を出力状態で動作中に、CSTビットに“0”を書き込むとカウンタは停止しますが、TIOC端子のアウトプットコンペア出力レベルは保持されます。CSTビットが“0”の状態ではMTIOCRレジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : MT4CNT、MT3CNTカウンタのカウンタ動作は停止 1 : MT4CNT、MT3CNTカウンタのカウンタ動作	R/W
b6	CST3	カウンタスタート3ビット		R/W
b5-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	CST2	カウンタスタート2ビット	MTCNTカウンタの動作または停止を選択します。 TIOC端子を出力状態で動作中に、CSTビットに“0”を書き込むとカウンタは停止しますが、TIOC端子のアウトプットコンペア出力レベルは保持されます。CSTビットが“0”の状態ではMTIOCRレジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : MT2CNT ~ MT0CNTカウンタのカウンタ動作は停止 1 : MT2CNT ~ MT0CNTカウンタのカウンタ動作	R/W
b1	CST1	カウンタスタート1ビット		R/W
b0	CST0	カウンタスタート0ビット		R/W

注・ MTCYSYSTRレジスタのSCHiビットを“1”に設定すると、該当するCSTiビットに自動的に“1”が書き込まれます。

アドレス MT67STR : H'FFFF 9280

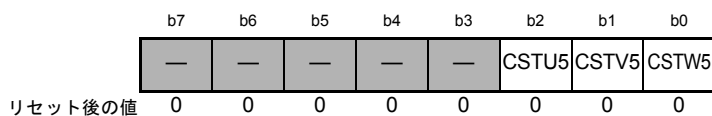
b7	b6	b5	b4	b3	b2	b1	b0
CST7	CST6	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	CST7	カウンタスタート7ビット	MTCNTカウンタの動作または停止を選択します。 TIOC端子を出力状態で動作中に、CSTビットに“0”を書き込むとカウンタは停止しますが、TIOC端子のアウトプットコンペア出力レベルは保持されます。CSTビットが“0”の状態ではMTIOCRレジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : MT7CNT、MT6CNTカウンタのカウンタ動作は停止 1 : MT7CNT、MT6CNTカウンタのカウンタ動作	R/W
b6	CST6	カウンタスタート6ビット		R/W
b5-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注・ MTCYSYSTRレジスタのSCHiビットを“1”に設定すると、該当するCSTiビットに自動的に“1”が書き込まれます。

アドレス MT5STR : H'FFFF 94B4



ビット	シンボル	ビット名	機能	R/W
b7-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	CSTU5	カウンタスタートU5ビット	MT5CNTUカウンタの動作または停止を選択します。 0 : MT5CNTUカウンタのカウンタ動作は停止 1 : MT5CNTUカウンタのカウンタ動作	R/W
b1	CSTV5	カウンタスタートV5ビット	MT5CNTVカウンタの動作または停止を選択します。 0 : MT5CNTVカウンタのカウンタ動作は停止 1 : MT5CNTVカウンタのカウンタ動作	R/W
b0	CSTW5	カウンタスタートW5ビット	MT5CNTWカウンタの動作または停止を選択します。 0 : MT5CNTWカウンタのカウンタ動作は停止 1 : MT5CNTWカウンタのカウンタ動作	R/W

MT01234STR、MT67STR レジスタは、チャンネル0～4、6、7のMTCNTカウンタの動作/停止を選択します。
 MT5STR レジスタは、チャンネル5のMT5CNTU、MT5CNTV、MT5CNTWカウンタの動作/停止を選択します。
 MTMD0 レジスタへ動作モードを設定する場合やMTCR レジスタへMTCNTカウンタのカウンタクロックを設定する場合は、MTCNTカウンタのカウンタ動作を停止してから行ってください。

16.2.14 MT01234 同期レジスタ (MT01234SY)、MT67 同期レジスタ (MT67SY)

アドレス MT01234SY : H'FFFF 8281

b7	b6	b5	b4	b3	b2	b1	b0
SYNC 4	SYNC 3	—	—	—	SYNC 2	SYNC 1	SYNC 0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	SYNC4	タイマ同期4ビット	他のチャンネルとの独立動作または同期動作を選択します。 同期動作を選択すると、複数のMTCNTカウンタの同期プリセットや、他チャンネルのカウンタクリアによる同期クリアが可能となります。 同期動作の設定には、最低2チャンネルのSYNCビットを“1”にセットする必要があります。同期クリアの設定には、SYNCビットの他にMTCRレジスタのCCLRビットで、MTCNTカウンタのクリア要因を設定する必要があります。 0：MT4CNT、MT3CNTカウンタは独立動作(MTCNTカウンタのプリセット/クリアは他チャンネルと無関係) 1：MT4CNT、MT3CNTカウンタは同期動作(MTCNTカウンタの同期プリセット/同期クリアが可能)	R/W
b6	SYNC3	タイマ同期3ビット		R/W
b5-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	SYNC2	タイマ同期2ビット	他のチャンネルとの独立動作または同期動作を選択します。 同期動作を選択すると、複数のMTCNTカウンタの同期プリセットや、他チャンネルのカウンタクリアによる同期クリアが可能となります。 同期動作の設定には、最低2チャンネルのSYNCビットを“1”にセットする必要があります。同期クリアの設定には、SYNCビットの他にMTCRレジスタのCCLRビットで、MTCNTカウンタのクリア要因を設定する必要があります。 0：MT2CNT～MT0CNTカウンタは独立動作(MTCNTカウンタのプリセット/クリアは他チャンネルと無関係) 1：MT2CNT～MT0CNTカウンタは同期動作(MTCNTカウンタの同期プリセット/同期クリアが可能)	R/W
b1	SYNC1	タイマ同期1ビット		R/W
b0	SYNC0	タイマ同期0ビット		R/W

アドレス MT67SY : H'FFFF 9281

b7	b6	b5	b4	b3	b2	b1	b0
SYNC 7	SYNC 6	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	SYNC7	タイマ同期7ビット	他のチャンネルとの独立動作または同期動作を選択します。 同期動作を選択すると、複数のMTCNTカウンタの同期プリセットや、他チャンネルのカウンタクリアによる同期クリアが可能となります。 同期動作の設定には、最低2チャンネルのSYNCビットを“1”にセットする必要があります。同期クリアの設定には、SYNCビットの他にMTCRレジスタのCCLRビットで、MTCNTカウンタのクリア要因を設定する必要があります。 0：MT7CNT、MT6CNTカウンタは独立動作(MTCNTカウンタのプリセット/クリアは他チャンネルと無関係) 1：MT7CNT、MT6CNTカウンタは同期動作(MTCNTカウンタの同期プリセット/同期クリアが可能)	R/W
b6	SYNC6	タイマ同期6ビット		R/W
b5-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

MTSY レジスタは、チャンネル0～4、6、7のMTCNTカウンタの独立動作または同期動作を選択します。対応するビットを“1”にセットしたチャンネルが同期動作を行います。

16.2.15 MT カウンタ同期開始レジスタ (MTCSYSTR)

アドレス MTCSYSTR : H'FFFF 8282

b7	b6	b5	b4	b3	b2	b1	b0
SCH0	SCH1	SCH2	SCH3	SCH4	—	SCH6	SCH7

リセット後の値 0 0 0 0 0 0 0 0

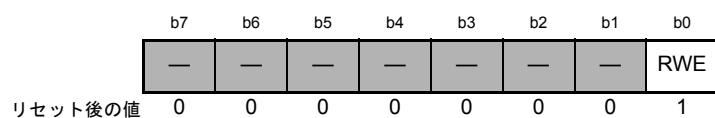
ビット	シンボル	ビット名	機能	R/W
b7	SCH0	シンクロスタートビット	MT0CNTカウンタのシンクロスタートを制御します。 0 : MT0CNTカウンタをシンクロスタートしない 1 : MT0CNTカウンタをシンクロスタートする ["0"になる条件] • SCH0 = 1の状態、MT01234STRレジスタのCST0ビットに "1"をセットしたとき	R/W (注1)
b6	SCH1	シンクロスタートビット	MT1CNTカウンタのシンクロスタートを制御します。 0 : MT1CNTカウンタをシンクロスタートしない 1 : MT1CNTカウンタをシンクロスタートする ["0"になる条件] • SCH1 = 1の状態、MT01234STRレジスタのCST1ビットに "1"をセットしたとき	R/W (注1)
b5	SCH2	シンクロスタートビット	MT2CNTカウンタのシンクロスタートを制御します。 0 : MT2CNTカウンタをシンクロスタートしない 1 : MT2CNTカウンタをシンクロスタートする ["0"になる条件] • SCH2 = 1の状態、MT01234STRレジスタのCST2ビットに "1"をセットしたとき	R/W (注1)
b4	SCH3	シンクロスタートビット	MT3CNTカウンタのシンクロスタートを制御します。 0 : MT3CNTカウンタをシンクロスタートしない 1 : MT3CNTカウンタをシンクロスタートする ["0"になる条件] • SCH3 = 1の状態、MT01234STRレジスタのCST3ビットに "1"をセットしたとき	R/W (注1)
b3	SCH4	シンクロスタートビット	MT4CNTカウンタのシンクロスタートを制御します。 0 : MT4CNTカウンタをシンクロスタートしない 1 : MT4CNTカウンタをシンクロスタートする ["0"になる条件] • SCH4 = 1の状態、MT01234STRレジスタのCST4ビットに "1"をセットしたとき	R/W (注1)
b2	—	(予約ビット)	読むと"0"が読み出されます。書き込みは"0"としてください。	R
b1	SCH6	シンクロスタートビット	MT6CNTカウンタのシンクロスタートを制御します。 0 : MT6CNTカウンタをシンクロスタートしない 1 : MT6CNTカウンタをシンクロスタートする ["0"になる条件] • SCH6 = 1の状態、MT67STRレジスタのCST6ビットに"1" をセットしたとき	R/W (注1)
b0	SCH7	シンクロスタートビット	MT7CNTカウンタのシンクロスタートを制御します。 0 : MT7CNTカウンタをシンクロスタートしない 1 : MT7CNTカウンタをシンクロスタートする ["0"になる条件] • SCH7 = 1の状態、MT67STRレジスタのCST7ビットに"1" をセットしたとき	R/W (注1)

注1. レジスタをセットするために"1"を書き込むことのみ可能です。MTCSYSTRレジスタは、"1"を書き込み後、自動的にクリアされます。

MTCSYSTR レジスタは、MTU-III のカウンタを同期スタートします。

16.2.16 MT34 リードライト許可レジスタ (MT34RWEN)、 MT67 リードライト許可レジスタ (MT67RWEN)

アドレス MT34RWEN : H'FFFF 8284、MT67RWEN : H'FFFF 9284



ビット	シンボル	ビット名	機能	R/W
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	RWE	リードライトイネーブルビット	誤書き込み防止のレジスタへのリードライト許可/禁止を設定します。 0 : レジスタのリードライトを禁止する 1 : レジスタのリードライトを許可する [“0”になる条件] • RWE = 1の状態ではRWEを読み出した後、RWEに“0”を書き込んだとき	R/W

MTRWEN レジスタは、チャンネル3、4およびチャンネル6、7の誤書き込み防止の対象レジスタ/カウンタのアクセス許可/禁止を設定します。

- 誤書き込み防止の対象レジスタ/カウンタ (MT34RWEN)

MT3CR、MT4CR、MT3MD0、MT4MD0、MT3IOCR0、MT4IOCR0、MT3IOCR1、MT4IOCR1、MT3IEN0、MT4IEN0、MT3GRA、MT4GRA、MT3GRB、MT4GRB、MT34OEN、MT34OCR0、MT34OCR1、MT34GCR、MT34CD、MT34DTD、MT3CNT と MT4CNT の計 22 レジスタです。

- 誤書き込み防止の対象レジスタ/カウンタ (MT67RWEN)

MT6CR、MT7CR、MT6MD0、MT7MD0、MT6IOCR0、MT7IOCR0、MT6IOCR1、MT7IOCR1、MT6IEN0、MT7IEN0、MT6GRA、MT7GRA、MT6GRB、7、MT67OEN、MT67OCR0、MT67OCR1、MT67CD、MT67DTD、MT6CNT と MT7CNT の計 21 レジスタです。

16.2.17 MT34 出力許可レジスタ (MT34OEN)、MT67 出力許可レジスタ (MT67OEN)

アドレス MT34OEN : H'FFFF 820A

b7	b6	b5	b4	b3	b2	b1	b0
—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B

リセット後の値 1 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7-b6	—	(予約ビット)	読むと“1”が読み出されます。書き込みは“1”としてください。	R
b5	OE4D	マスタイネーブルTIOC4Dビット	TIOC4D端子のMTU-III出力を許可/禁止します。 0: MTU-III出力禁止(非アクティブレベル) 1: MTU-III出力許可	R/W
b4	OE4C	マスタイネーブルTIOC4Cビット	TIOC4C端子のMTU-III出力を許可/禁止します。 0: MTU-III出力禁止(非アクティブレベル) 1: MTU-III出力許可	R/W
b3	OE3D	マスタイネーブルTIOC3Dビット	TIOC3D端子のMTU-III出力を許可/禁止します。 0: MTU-III出力禁止(非アクティブレベル) 1: MTU-III出力許可	R/W
b2	OE4B	マスタイネーブルTIOC4Bビット	TIOC4B端子のMTU-III出力を許可/禁止します。 0: MTU-III出力禁止(非アクティブレベル) 1: MTU-III出力許可	R/W
b1	OE4A	マスタイネーブルTIOC4Aビット	TIOC4A端子のMTU-III出力を許可/禁止します。 0: MTU-III出力禁止(非アクティブレベル) 1: MTU-III出力許可	R/W
b0	OE3B	マスタイネーブルTIOC3Bビット	TIOC3B端子のMTU-III出力を許可/禁止します。 0: MTU-III出力禁止(非アクティブレベル) 1: MTU-III出力許可	R/W

注・非アクティブレベルは、MT34OCR0、MT67OCR0レジスタの設定によります。

詳細は、「16.2.18 MT34出力制御レジスタ0 (MT34OCR0)、MT67出力制御レジスタ0 (MT67OCR0)」、「16.2.19 MT34出力制御レジスタ1 (MT34OCR1)、MT67出力制御レジスタ1 (MT67OCR1)」を参照してください。なお、相補PWMモード/リセット同期PWMモード以外でMTU-III出力する場合は“1”に設定してください。“0”に設定した場合はLowレベルが出力されます。

アドレス MT67OEN : H'FFFF 920A

b7	b6	b5	b4	b3	b2	b1	b0
—	—	OE7D	OE7C	OE6D	OE7B	OE7A	OE6B

リセット後の値 1 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7-b6	—	(予約ビット)	読むと“1”が読み出されます。書き込みは“1”としてください。	R
b5	OE7D	マスタイネーブルTIOC7Dビット	TIOC7D端子のMTU-III出力を許可/禁止します。 0: MTU-III出力禁止(非アクティブレベル) 1: MTU-III出力許可	R/W
b4	OE7C	マスタイネーブルTIOC7Cビット	TIOC7C端子のMTU-III出力を許可/禁止します。 0: MTU-III出力禁止(非アクティブレベル) 1: MTU-III出力許可	R/W
b3	OE6D	マスタイネーブルTIOC6Dビット	TIOC6D端子のMTU-III出力を許可/禁止します。 0: MTU-III出力禁止(非アクティブレベル) 1: MTU-III出力許可	R/W
b2	OE7B	マスタイネーブルTIOC7Bビット	TIOC7B端子のMTU-III出力を許可/禁止します。 0: MTU-III出力禁止(非アクティブレベル) 1: MTU-III出力許可	R/W

ビット	シンボル	ビット名	機能	R/W
b1	OE7A	マスタイネーブルTIOC7Aビット	TIOC7A端子のMTU-III出力を許可/禁止します。 0: MTU-III出力禁止(非アクティブレベル) 1: MTU-III出力許可	R/W
b0	OE6B	マスタイネーブルTIOC6Bビット	TIOC6B端子のMTU-III出力を許可/禁止します。 0: MTU-III出力禁止(非アクティブレベル) 1: MTU-III出力許可	R/W

注・非アクティブレベルは、MT34OCR1、MT67OCR1レジスタの設定によります。

詳細は、「16.2.18 MT34出力制御レジスタ0 (MT34OCR0)、MT67出力制御レジスタ0 (MT67OCR0)」、「16.2.19 MT34出力制御レジスタ1 (MT34OCR1)、MT67出力制御レジスタ1 (MT67OCR1)」を参照してください。なお、相補PWMモード/リセット同期PWMモード以外でMTU-III出力する場合は“1”に設定してください。“0”に設定した場合はLowレベルが出力されます。

MTOEN レジスタは、出力端子の TIOC4D、TIOC4C、TIOC3D、TIOC4B、TIOC4A、TIOC3B、TIOC7D、TIOC7C、TIOC6D、TIOC7B、TIOC7A、TIOC6B の出力設定を許可/禁止します。これらの端子は MT34OEN、MT67OEN レジスタの各ビットの設定をしないと正しく出力されません。

チャンネル 3、4、6、7において、MT34OEN、MT67OEN レジスタはチャンネル 3、4、6、7の MTIOCR レジスタ設定の前に値をセットしてください。

MT34OEN の設定はチャンネル 3、4の TCNT、MT67OEN の設定はチャンネル 6、7の TCNT のカウント動作を停止した状態で行ってください。(図 16.36、図 16.39 を参照)

16.2.18 MT34 出力制御レジスタ 0 (MT34OCR0)、MT67 出力制御レジスタ 0 (MT67OCR0)

アドレス MT34OCR0 : H'FFFF 820E、MT67OCR0 : H'FFFF 920E

b7	b6	b5	b4	b3	b2	b1	b0
—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b6	PSYE	PWM同期出力カインェブルビット	PWM周期に同期したトグル出力の許可/禁止を設定します。 0: トグル出力を禁止 1: トグル出力を許可	R/W
b5-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	TOCL	TOCレジスタ書き込み禁止ビット(注2)	MT34OCR0、MT67OCR0レジスタのTOCSビット、OLSNビット、OLSPビットへの書き込み禁止/許可の設定をします。 0: TOCSビット、OLSNビット、OLSPビットへの書き込みを許可 1: TOCSビット、OLSNビット、OLSPビットへの書き込みを禁止	R/W (注1)
b2	TOCS	TOCセレクトビット	相補PWMモード/リセット同期PWMモードの出力レベルの設定をMT34OCR0 (MT67OCR0)レジスタとMT34OCR1 (MT67OCR1)レジスタのどちらの設定を有効にするか選択します。 0: MT34OCR0 (MT67OCR0)レジスタの設定を有効にする 1: MT34OCR1 (MT67OCR1)レジスタの設定を有効にする	R/W
b1	OLSN	出力レベルセレクトNビット(注3)(注4)	リセット同期PWMモード/相補PWMモード時に、逆相の出力レベルを選択します。 表16.41を参照してください。	R/W
b0	OLSP	出力レベルセレクトPビット(注3)	リセット同期PWMモード/相補PWMモード時に、正相の出力レベルを選択します。 表16.42を参照してください。	R/W

注1. リセット後、1回のみ“1”を書き込みできます。書き込み後は、“0”を書き込むことはできません。

注2. TOCLビットを“1”に設定することにより、CPU暴走時の誤書き込みを防止することができます。

注3. TOCSビットを“0”に設定することにより、本設定が有効になります。

注4. デッドタイムを生成しない場合、逆相の出力は正相の反転となります。

なお、OLSP、OLSNに同じ値を設定してください。

MTOCR0レジスタは、相補PWMモード/リセット同期PWMモードのPWM周期に同期したトグル出力の許可/禁止、およびPWM出力の出力レベル反転を制御します。

表16.41 出力レベルセレクト機能(1)

ビット1	機能			
	初期出力	アクティブレベル	コンペアマッチ出力	
アップカウント			ダウンカウント	
0	Highレベル	Lowレベル	Highレベル	Lowレベル
1	Lowレベル	Highレベル	Lowレベル	Highレベル

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表16.42 出力レベルセレクト機能(2)

ビット0	機能			
	初期出力	アクティブレベル	コンペアマッチ出力	
アップカウント			ダウンカウント	
0	Highレベル	Lowレベル	Lowレベル	Highレベル
1	Lowレベル	Highレベル	Highレベル	Lowレベル

図 16.3 に OLSN = 1、OLSP = 1 の場合の相補 PWM モードの出力例 (1 相分) を示します。

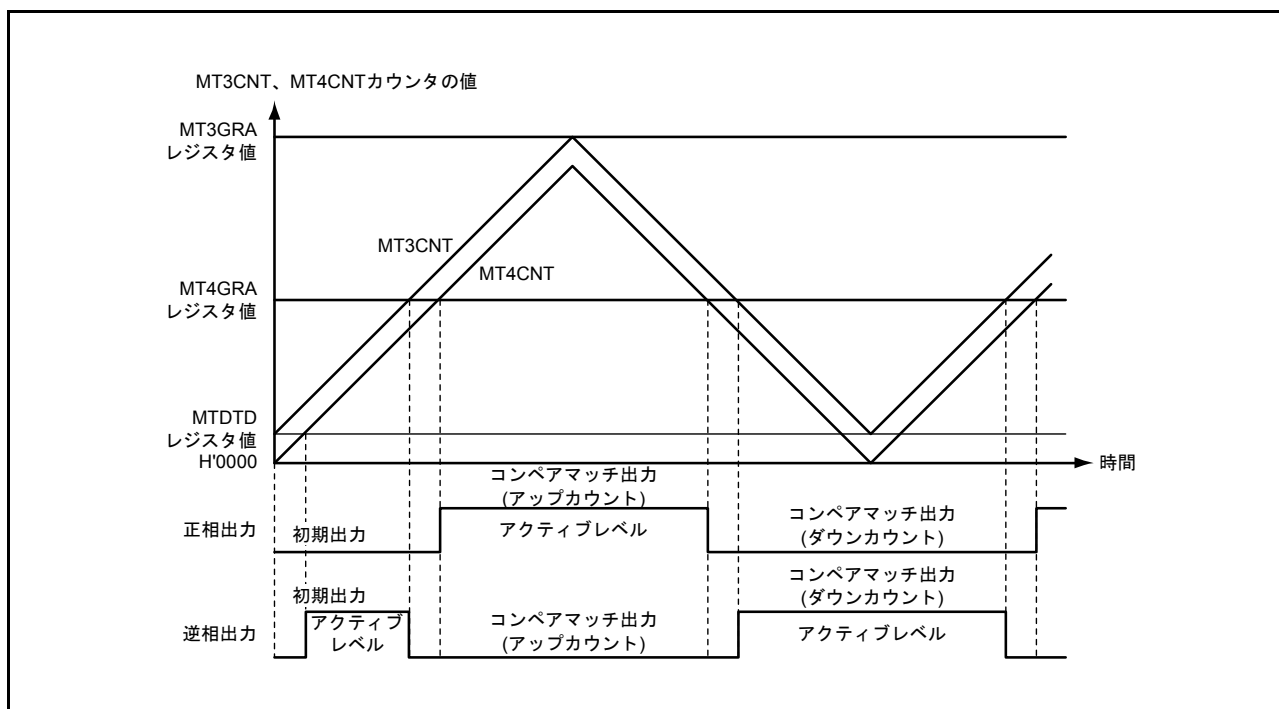


図 16.3 相補 PWM モードの出力レベルの例

16.2.19 MT34 出力制御レジスタ 1 (MT34OCR1)、MT67 出力制御レジスタ 1 (MT67OCR1)

アドレス MT34OCR1 : H'FFFF 820F、MT67OCR1 : H'FFFF 920F

b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7-b6	BF[1:0]	MTOLBレジスタバッファ転送タイミングセレクトビット	MTOLBレジスタからMTOCR1レジスタへのバッファ転送タイミングを選択します。 詳細は表 16.43 を参照してください。	R/W
b5	OLS3N	出力レベルセレクト3Nビット (注1)	リセット同期PWMモード/相補PWMモード時に、TIOC4D、TIOC7D端子の出力レベルを選択します。 表 16.44 を参照してください。	R/W
b4	OLS3P	出力レベルセレクト3Pビット (注1)	リセット同期PWMモード/相補PWMモード時に、TIOC4B、TIOC7B端子の出力レベルを選択します。 表 16.45 を参照してください。	R/W
b3	OLS2N	出力レベルセレクト2Nビット (注1)	リセット同期PWMモード/相補PWMモード時に、TIOC4C、TIOC7C端子の出力レベルを選択します。 表 16.46 を参照してください。	R/W
b2	OLS2P	出力レベルセレクト2Pビット (注1)	リセット同期PWMモード/相補PWMモード時に、TIOC4A、TIOC7A端子の出力レベルを選択します。 表 16.47 を参照してください。	R/W
b1	OLS1N	出力レベルセレクト1Nビット (注1)	リセット同期PWMモード/相補PWMモード時に、TIOC3D、TIOC6D端子の出力レベルを選択します。 表 16.48 を参照してください。	R/W
b0	OLS1P	出力レベルセレクト1Pビット (注1)	リセット同期PWMモード/相補PWMモード時に、TIOC3B、TIOC6B端子の出力レベルを選択します。 表 16.49 を参照してください。	R/W

注1. MT34OCR0、MT67OCR0レジスタのTOCSビットを“1”に設定することにより、本設定が有効になります。
デッドタイムを生成しない場合、逆相の出力は正相の反転となります。
なお、OLSiP、OLSiNに同じ値を設定してください。(i = 1, 2, 3)

MTOCR1レジスタは、相補PWMモード/リセット同期PWMモードにおけるPWM出力の出力レベル反転を制御します。

表 16.43 BFビットの設定

ビット7 BF1	ビット6 BF0	説明	
		相補PWMモード時	リセット同期PWMモード時
0	0	バッファレジスタ(MTOLBレジスタ)からMTOCR1レジスタへ転送しない	バッファレジスタ(MTOLBレジスタ)からMTOCR1レジスタへ転送しない
0	1	MT4CNT(MT7CNT)カウンタの山でバッファレジスタ(MTOLBレジスタ)からMTOCR1レジスタへ転送する	MT3CNT(MT6CNT)、MT4CNT(MT7CNT)カウンタクリア時にバッファレジスタ(MTOLBレジスタ)からMTOCR1レジスタへ転送する
1	0	MT4CNT(MT7CNT)カウンタの谷でバッファレジスタ(MTOLBレジスタ)からMTOCR1レジスタへ転送する	設定禁止
1	1	MT4CNT(MT7CNT)カウンタの山と谷でバッファレジスタ(MTOLBレジスタ)からMTOCR1レジスタへ転送する	設定禁止

表 16.44 TIOC4D、TIOC7D 端子出力レベルセレクト機能

ビット5	機能			
OLS3N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High レベル	Low レベル	High レベル	Low レベル
1	Low レベル	High レベル	Low レベル	High レベル

注. ・ 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 16.45 TIOC4B、TIOC7B 端子出力レベルセレクト機能

ビット4	機能			
OLS3P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High レベル	Low レベル	Low レベル	High レベル
1	Low レベル	High レベル	High レベル	Low レベル

表 16.46 TIOC4C、TIOC7C 端子出力レベルセレクト機能

ビット3	機能			
OLS2N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High レベル	Low レベル	High レベル	Low レベル
1	Low レベル	High レベル	Low レベル	High レベル

注. ・ 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 16.47 TIOC4A、TIOC7A 端子出力レベルセレクト機能

ビット2	機能			
OLS2P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High レベル	Low レベル	Low レベル	High レベル
1	Low レベル	High レベル	High レベル	Low レベル

表 16.48 TIOC3D、TIOC6D 端子出力レベルセレクト機能

ビット1	機能			
OLS1N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High レベル	Low レベル	High レベル	Low レベル
1	Low レベル	High レベル	Low レベル	High レベル

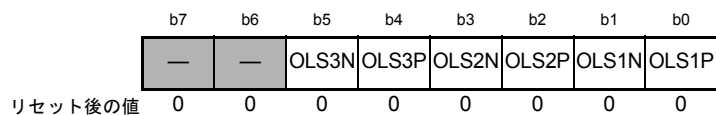
注. ・ 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 16.49 TIOC3B、TIOC6B 端子出力レベルセレクト機能

ビット0	機能			
OLS1P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High レベル	Low レベル	Low レベル	High レベル
1	Low レベル	High レベル	High レベル	Low レベル

16.2.20 MT34 出力レベルバッファレジスタ (MT34OLB)、 MT67 出力レベルバッファレジスタ (MT67OLB)

アドレス MT34OLB : H'FFFF 8236、MT67OLB : H'FFFF 9236



ビット	シンボル	ビット名	機能	R/W
b7-b6	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b5	OLS3N	出力レベルセレクト3Nビット	MTOCR1レジスタのOLS3Nビットにバッファ転送する値を設定してください。	R/W
b4	OLS3P	出力レベルセレクト3Pビット	MTOCR1レジスタのOLS3Pビットにバッファ転送する値を設定してください。	R/W
b3	OLS2N	出力レベルセレクト2Nビット	MTOCR1レジスタのOLS2Nビットにバッファ転送する値を設定してください。	R/W
b2	OLS2P	出力レベルセレクト2Pビット	MTOCR1レジスタのOLS2Pビットにバッファ転送する値を設定してください。	R/W
b1	OLS1N	出力レベルセレクト1Nビット	MTOCR1レジスタのOLS1Nビットにバッファ転送する値を設定してください。	R/W
b0	OLS1P	出力レベルセレクト1Pビット	MTOCR1レジスタのOLS1Pビットにバッファ転送する値を設定してください。	R/W

MTOLBレジスタはMTOCR1レジスタのバッファレジスタで、相補PWMモード/リセット同期PWMモードにおけるPWM出力レベルの設定を行います。

図16.4にPWM出力レベルの設定をバッファ動作で行う場合の設定手順例を示します。

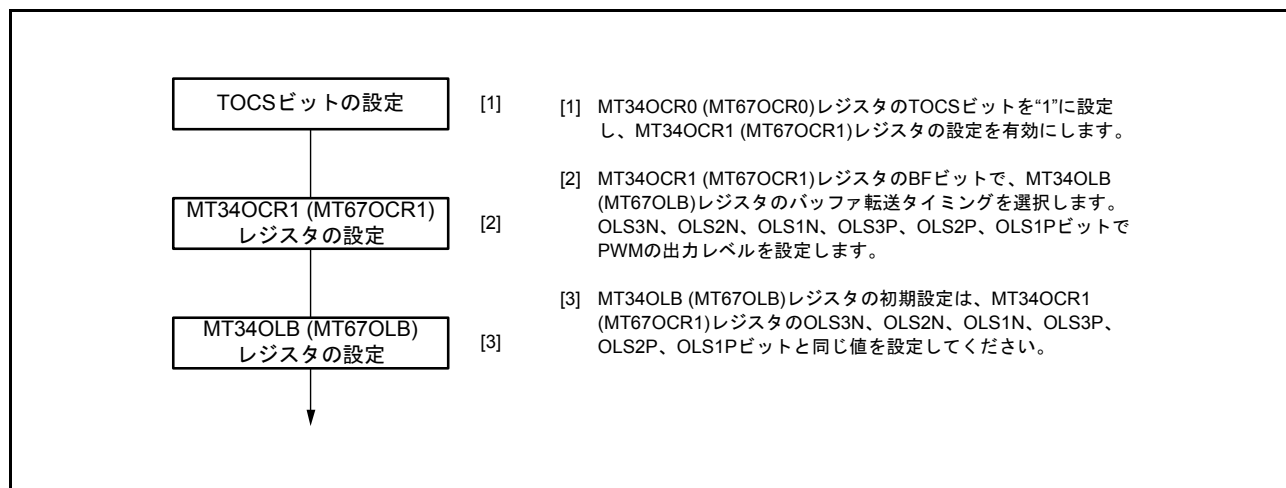


図 16.4 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

16.2.21 MT34 ゲート制御レジスタ (MT34GCR)

アドレス H'FFFF 820D

b7	b6	b5	b4	b3	b2	b1	b0
—	BDC	N	P	FB	WF	VF	UF

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	—	(予約ビット)	読むと“1”が読み出されます。書き込みは“1”としてください。	R
b6	BDC	ブラシレスDCモータビット	本レジスタの機能を有効にするか、無効にするかを選択します。 0:通常出力 1:本レジスタの機能を有効	R/W
b5	N	逆相出力(N)制御ビット	逆相端子(TIOC3D、TIOC4C、TIOC4D)を出力時、レベル出力するか、リセット同期PWM/相補PWM出力するかを選択します。 0:レベル出力 1:リセット同期PWM/相補PWM出力	R/W
b4	P	正相出力(P)制御ビット	正相端子(TIOC3B、TIOC4A、TIOC4B)を出力時、レベル出力するか、リセット同期PWM/相補PWM出力するかを選択します。 0:レベル出力 1:リセット同期PWM/相補PWM出力	R/W
b3	FB	外部フィードバック信号許可ビット	正相/逆相の出力の切り替えをチャンネル0のMTGRA、MTGRB、MTGRCレジスタのインプットキャプチャ信号で自動的に行うか、MT34GCRレジスタのビット2~0に“0”または“1”を書き込むこと によって行うかを選択します。 0:出力の切り替えは、外部入力(入力元は、チャンネル0のMTGRA、MTGRB、MTGRCレジスタのインプットキャプチャ信号) 1:出力の切り替えはソフトウェアで行う(MT34GCRレジスタのUF、VF、WFの設定値)	R/W
b2	WF	出力相切り替えビット	正相/逆相の出力相のON、OFFを設定します。これらのビットの設定は本レジスタのFBビットが“1”のときのみ有効です。このときは、ビット2~0の設定が、外部入力の代わりになります。表16.50を参照してください。	R/W
b1	VF			R/W
b0	UF			R/W

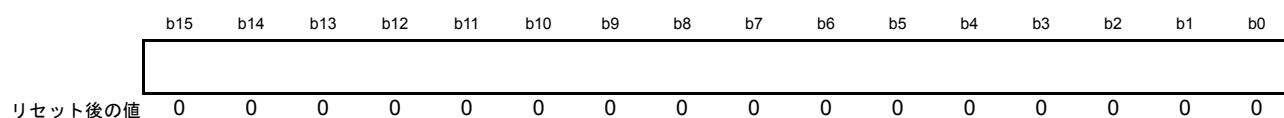
MT34GCR レジスタは、リセット同期 PWM モード/相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力を制御します。相補 PWM モード/リセット同期 PWM モード以外では、本レジスタの設定は無効です。

表16.50 出力レベルセレクト機能

ビット2	ビット1	ビット0	機能					
			TIOC3B	TIOC4A	TIOC4B	TIOC3D	TIOC4C	TIOC4D
WF	VF	UF	U相	V相	W相	U相	V相	W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

16.2.22 MT34 サブカウンタ (MT34SCNT)、MT67 サブカウンタ (MT67SCNT)

アドレス MT34SCNT : H'FFFF 8220、MT67SCNT : H'FFFF 9220

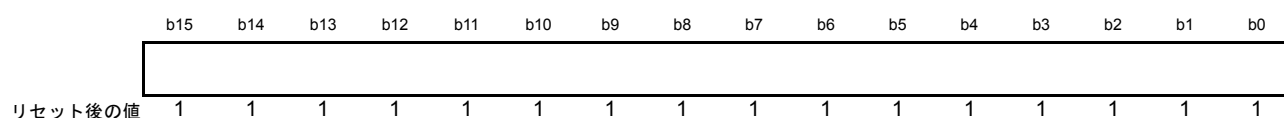


注. ・ MTSCNTカウンタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

MTSCNT カウンタは、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。

16.2.23 MT34 周期データレジスタ (MT34CD)、MT67 周期データレジスタ (MT67CD)

アドレス MT34CD : H'FFFF 8214、MT67CD : H'FFFF 9214

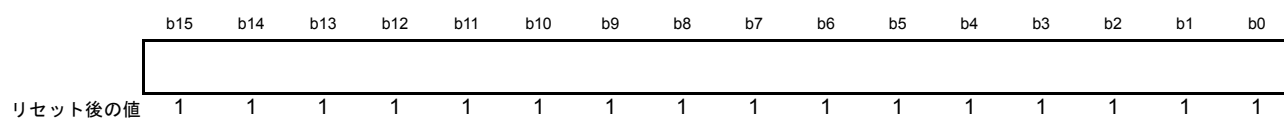


注. ・ MTCDレジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

MTCD レジスタは、相補 PWM モード時のみ使用される 16 ビットのレジスタです。MTCD レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。

16.2.24 MT34 周期バッファレジスタ (MT34CB)、 MT67 周期バッファレジスタ (MT67CB)

アドレス MT34CB : H'FFFF 8222、MT67CB : H'FFFF 9222

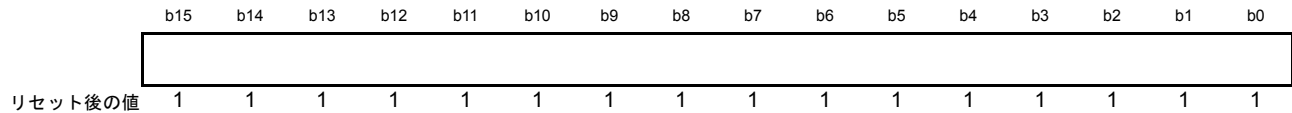


注. ・ MTCBレジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

MTCB レジスタは、相補 PWM モード時のみ使用される 16 ビットのレジスタで、MTCD レジスタのバッファレジスタとして機能します。MTMD0 レジスタで設定した転送タイミングでMTCB レジスタの値がMTCD レジスタに転送されます。

16.2.25 MT34 デッドタイムデータレジスタ (MT34DTD)、 MT67 デッドタイムデータレジスタ (MT67DTD)

アドレス MT34DTD : H'FFFF 8216、MT67DTD : H'FFFF 9216

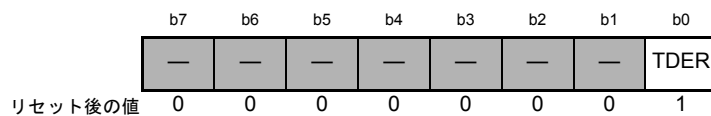


注. ・ MTDTD レジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

MTDTD レジスタは、相補 PWM モード時のみ使用される 16 ビットのレジスタで、相補 PWM モード時 MT3CNT (MT6CNT)、と MT4CNT (MT7CNT) カウンタのオフセット値を設定します。相補 PWM モード時に MT3CNT (MT6CNT)、MT4CNT (MT7CNT) カウンタをクリアして再スタートするときは、MTDTD レジスタの値が MT3CNT (MT6CNT) カウンタにロードされカウント動作を開始します。

16.2.26 MT3 デッドタイム許可レジスタ (MT3DTEN)、 MT6 デッドタイム許可レジスタ (MT6DTEN)

アドレス MT3DTEN : H'FFFF 8234、MT6DTEN : H'FFFF 9234



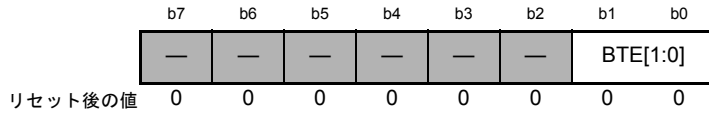
ビット	シンボル	ビット名	機能	R/W
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	TDER	タイマデッドタイムイネーブルレジスタ	デッドタイムの生成をする/しないを設定します。 0: デッドタイムを生成しない 1: デッドタイムを生成する(注1) [“0”になる条件] ・ TDER = 1の状態では TDER を読み出した後、TDER に“0”を書き込んだとき	R/W

注1. MT34DTD ≥ 1、MT67DTD ≥ 1 に設定してください。

MTDTEN レジスタは、チャンネル 3 (MT3DTEN)、チャンネル 6 (MT6DTEN) に各 1 本あり、相補 PWM モードのデッドタイム生成を制御できます。MTDTEN レジスタの設定は、MTCNT カウンタの動作が停止した状態で行ってください。

16.2.27 MT34 バッファ転送設定レジスタ (MT34BTSE)、 MT67 バッファ転送設定レジスタ (MT67BTSE)

アドレス MT34BTSE : H'FFFF 8232、MT67BTSE : H'FFFF 9232



ビット	シンボル	ビット名	機能	R/W
b7-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1-b0	BTE[1:0]		相補PWMモードで使用するバッファレジスタ(注1)からテンポラリレジスタへの転送を抑制する/しない、または割り込み間引き機能1と連動する/しないを設定します。詳細は表16.51を参照してください。	R/W

- 注1. 対象バッファレジスタ (MT34BTSE)
MT3GRC、MT3GRD、MT4GRC、MT4GRD、MT34CB
対象バッファレジスタ (MT67BTSE)
MT6GRC、MT6GRD、MT7GRC、MT7GRD、MT67CB

MTBTSE レジスタは、相補 PWM モードで使用するバッファレジスタ (注1) からテンポラリレジスタへの転送を抑制する/しない、または割り込み間引き機能1と連動する/しないを設定します。

表 16.51 BTE ビットの設定

ビット1	ビット0	説明
BTE1	BTE0	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑制しない(注1) また、割り込み間引き機能1と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑制する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能1と連動する(注2)
1	1	設定禁止

- 注1. MTMD0レジスタのMDビットの設定に従い転送します。詳細は「16.3.8 相補PWMモード」を参照してください。
注2. 割り込み間引きが禁止のとき (MT 割り込み間引き設定レジスタ0 (MT34ISSE0 (MT67ISSE0))のT3AEN、T4VEN (T6AEN、T7VEN) ビットを“0”に設定したとき、またはMT34ISSE0 (MT67ISSE0) レジスタの間引き回数設定ビット (T3ACOR、T4VCOR (T6ACOR、T7VCOR)) を“0”に設定したとき) は、必ずバッファ転送を割り込み間引きと連動しない設定 (MTBTSE レジスタのBTE1を“0”に設定) にしてください。
割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

16.2.28 MT34 波形制御レジスタ (MT34WCR)、MT67 波形制御レジスタ (MT67WCR)

アドレス MT34WCR : H'FFFF 8260、MT67WCR : H'FFFF 9260

b7	b6	b5	b4	b3	b2	b1	b0
CCE	—	—	—	—	—	SCC	WRE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	CCE	コンペアマッチクリアイネーブルビット(注1)	相補PWMモードで、MT3GRA (MT6GRA)レジスタのコンペアマッチによるカウンタクリアをする/しないを設定します。 0:カウンタクリアをしない 1:カウンタクリアをする ["1"になる条件] ・ CCE = 0の状態 で CCE を読み出した後、CCE に "1" を書き込んだとき	R/W
b6-b2	—	(予約ビット)	読むと "0" が読み出されます。書き込みは "0" としてください。	R
b1	SCC	同期クリアコントロールビット (MT67WCRのみ)	相補PWMモードでチャンネル0、1、2-チャンネル6、7カウンタ同期クリアが発生したときに、MT6CNT、MT7CNTカウンタをクリアする/しないを設定します。本機能を使用する際は、チャンネル6、7を相補PWMモードに設定してください。 また、カウンタ動作中にSCCビットを書き換える場合、CCEビット、WREビットの値を変更しないようにしてください。 SCCビットの設定によりMTU-IIIからの同期クリアが無効になるのは、谷のTb区間以外で同期クリアが発生したときのみです。 MT6CNT、MT7CNTカウンタスタート直後を含む谷のTb区間で同期クリアが発生した場合は、MT6CNT、MT7CNTカウンタがクリアされます。 相補PWMモードの谷のTb区間については、図16.41を参照してください。 0: MT6CNT、MT7CNTカウンタのクリア有効 1: MT6CNT、MT7CNTカウンタのクリア無効 ["1"になる条件] ・ SCC = 0の状態 で SCC を読み出した後、SCC に "1" を書き込んだときMT34WCRレジスタでは予約ビットです。読むと "0" が読み出されます。書き込みは "0" としてください。	R/W
b0	WRE	初期出力抑止イネーブルビット	相補PWMモードで同期カウンタクリアが起きたときの出力波形を選択します。 本機能によって初期出力が抑止されるのは、相補PWMモードの谷のTb区間で同期クリアが発生したときのみです。それ以外の場合に同期クリアが発生した場合は、WREビットの設定によらず、MT34OCR0、MT34OCR1 (MT67OCR0、MT67OCR1)レジスタで設定した初期値を出力します。また、MT3CNT、MT4CNT (MT6CNT、MT7CNT)カウンタスタート直後の谷のTb区間で同期クリアが発生した場合も、MT34OCR0、MT34OCR1 (MT67OCR0、MT67OCR1)レジスタで設定した初期値を出力します。 相補PWMモードの谷のTb区間については、図16.41を参照してください。 0: MT34OCR0、MT34OCR1 (MT67OCR0、MT67OCR1)レジスタで設定した初期出力値を出力 1: 初期出力を抑止する ["1"になる条件] ・ WRE = 0の状態 で WRE を読み出した後、WRE に "1" を書き込んだとき	R/W

注1. 相補PWMモード1のとき以外は、"1"に設定しないでください。

MTWCR レジスタは、相補 PWM モードで MT3CNT、MT4CNT (MT6CNT、MT7CNT) カウンタの同期カウンタクリアが発生した場合の出力波形の制御と、MT3GRA (MT6GRA) レジスタのコンペアマッチによるカウンタクリアをする / しないを設定します。MTWCR レジスタの CCE ビット、WRE ビットの設定は、MTCNT カウンタの動作が停止した状態で行ってください。

16.2.29 MT4 A/D 変換開始要求制御レジスタ (MT4ADSRCR)、 MT7 A/D 変換開始要求制御レジスタ (MT7ADSRCR)

アドレス MT4ADSRCR : H'FFFF 8240

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]		—	—	—	—	—	—	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b14	BF[1:0]	MT4ADSRRCSEBA、 MT4ADSRRCSEBBレジスタ転送 タイミングセレクトビット	MT4ADSRRCSEBA、MT4ADSRRCSEBBレジスタから MT4ADSRRCSEA、MT4ADSRRCSEBレジスタへの転送タイミ ングを選択します。 詳細は表 16.52 を参照してください。	R/W
b13-b8	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b7	UT4AE	アップカウント TRG4AN イネーブルビット	MT4CNT カウンタのアップカウント時に A/D 変換の開始要求 (TRG4AN)の許可/禁止を設定します。 0 : A/D 変換の開始要求 (TRG4AN) を禁止 1 : A/D 変換の開始要求 (TRG4AN) を許可	R/W
b6	DT4AE	ダウンカウント TRG4AN イネーブルビット(注1)	MT4CNT カウンタのダウンカウント時に A/D 変換の開始要求 (TRG4AN)の許可/禁止を設定します。 0 : A/D 変換の開始要求 (TRG4AN) を禁止 1 : A/D 変換の開始要求 (TRG4AN) を許可	R/W
b5	UT4BE	アップカウント TRG4BN イネーブルビット	MT4CNT カウンタのアップカウント時に A/D 変換の開始要求 (TRG4BN)の許可/禁止を設定します。 0 : A/D 変換の開始要求 (TRG4BN) を禁止 1 : A/D 変換の開始要求 (TRG4BN) を許可	R/W
b4	DT4BE	ダウンカウント TRG4BN イネーブルビット(注1)	MT4CNT カウンタのダウンカウント時に A/D 変換の開始要求 (TRG4BN)の許可/禁止を設定します。 0 : A/D 変換の開始要求 (TRG4BN) を禁止 1 : A/D 変換の開始要求 (TRG4BN) を許可	R/W
b3	ITA3AE	TGIA_3 割り込み間引き連動 イネーブルビット(注1)	A/D 変換の開始要求 (TRG4AN) を TGIA_3 割り込み間引き機能1 と 連動する/しないを選択します。 0 : TGIA_3 割り込み間引き機能1 と連動しない 1 : TGIA_3 割り込み間引き機能1 と連動する	R/W
b2	ITA4VE	TCIV_4 割り込み間引き連動 イネーブルビット(注1)	A/D 変換の開始要求 (TRG4AN) を TCIV_4 割り込み間引き機能1 と 連動する/しないを選択します。 0 : TCIV_4 割り込み間引き機能1 と連動しない 1 : TCIV_4 割り込み間引き機能1 と連動する	R/W
b1	ITB3AE	TGIA_3 割り込み間引き連動 イネーブルビット(注1)	A/D 変換の開始要求 (TRG4BN) を TGIA_3 割り込み間引き機能1 と 連動する/しないを選択します。 0 : TGIA_3 割り込み間引き機能1 と連動しない 1 : TGIA_3 割り込み間引き機能1 と連動する	R/W
b0	ITB4VE	TCIV_4 割り込み間引き連動 イネーブルビット(注1)	A/D 変換の開始要求 (TRG4BN) を TCIV_4 割り込み間引き機能1 と 連動する/しないを選択します。 0 : TCIV_4 割り込み間引き機能1 と連動しない 1 : TCIV_4 割り込み間引き機能1 と連動する	R/W

注1. 相補PWMモード以外では、“1”に設定しないでください。

注. • MT4ADSRCRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

- 割り込み間引きが禁止のとき (MT34 割り込み間引き設定レジスタ 0 (MT34ISSE0) の T3AEN、T4VEN ビットを“0”に設定したとき、または MT34ISSE0 レジスタの間引き回数設定ビット (T3ACOR、T4VCOR) を“0”に設定したとき) は、必ず割り込み間引き機能1 と連動しない (MT4ADSRCR レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを“0”に設定) 設定にしてください。
- 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。

表 16.52 BFビットによる転送タイミングの設定

ビット15	ビット14	説明
BF1	BF0	
0	0	周期設定バッファレジスタ(MT4ADSRCSEBA、MT4ADSRCSEBB)から周期設定レジスタ(MT4ADSRCSEA、MT4ADSRCSEB)へ転送しない
0	1	MT4CNTカウンタの山で周期設定バッファレジスタ(MT4ADSRCSEBA、MT4ADSRCSEBB)から周期設定レジスタ(MT4ADSRCSEA、MT4ADSRCSEB)へ転送する(注1)
1	0	MT4CNTカウンタの谷で周期設定バッファレジスタ(MT4ADSRCSEBA、MT4ADSRCSEBB)から周期設定レジスタ(MT4ADSRCSEA、MT4ADSRCSEB)へ転送する(注2)
1	1	MT4CNTカウンタの山と谷で周期設定バッファレジスタ(MT4ADSRCSEBA、MT4ADSRCSEBB)から周期設定レジスタ(MT4ADSRCSEA、MT4ADSRCSEB)へ転送する(注2)

注1. 相補PWMモードではMT4CNTカウンタの山およびMT4GRDレジスタ書き込み時、リセット同期PWMモードではMT3CNTカウンタがMT3GRAレジスタとコンペアマッチしたとき、PWMモード1/通常動作モードではMT4CNTカウンタがMT4GRAレジスタとコンペアマッチしたときに、周期設定バッファレジスタ(MT4ADSRCSEBA、MT4ADSRCSEBB)から周期設定レジスタ(MT4ADSRCSEA、MT4ADSRCSEB)へ転送します。

注2. 相補PWMモード以外では設定禁止です。

アドレス MT7ADSRCR : H'FFFF 9240

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]								UT7AE	DT7AE	UT7BE	DT7BE	ITA6AE	ITA7VE	ITB6AE	ITB7VE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b14	BF[1:0]	MT7ADSRCSEBA、MT7ADSRCSEBBレジスタ転送タイミングセレクトビット	MT7ADSRCSEBA、MT7ADSRCSEBBレジスタからMT7ADSRCSEA、MT7ADSRCSEBレジスタへの転送タイミングを選択します。 詳細は表 16.52を参照してください。	R/W
b13-b8	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b7	UT7AE	アップカウントTRG7ANイネーブルビット	MT7CNTカウンタのアップカウント時にA/D変換の開始要求(TRG7AN)の許可/禁止を設定します。 0: A/D変換の開始要求(TRG7AN)を禁止 1: A/D変換の開始要求(TRG7AN)を許可	R/W
b6	DT7AE	ダウンカウントTRG7ANイネーブルビット(注1)	MT7CNTカウンタのダウンカウント時にA/D変換の開始要求(TRG7AN)の許可/禁止を設定します。 0: A/D変換の開始要求(TRG7AN)を禁止 1: A/D変換の開始要求(TRG7AN)を許可	R/W
b5	UT7BE	アップカウントTRG7BNイネーブルビット	MT7CNTカウンタのアップカウント時にA/D変換の開始要求(TRG7BN)の許可/禁止を設定します。 0: A/D変換の開始要求(TRG7BN)を禁止 1: A/D変換の開始要求(TRG7BN)を許可	R/W
b4	DT7BE	ダウンカウントTRG7BNイネーブルビット(注1)	MT7CNTカウンタのダウンカウント時にA/D変換の開始要求(TRG7BN)の許可/禁止を設定します。 0: A/D変換の開始要求(TRG7BN)を禁止 1: A/D変換の開始要求(TRG7BN)を許可	R/W
b3	ITA6AE	TGIA_6割り込み間引き連動イネーブルビット(注1)	A/D変換の開始要求(TRG7AN)をTGIA_6割り込み間引き機能1と連動する/しないを選択します。 0: TGIA_6割り込み間引き機能1と連動しない 1: TGIA_6割り込み間引き機能1と連動する	R/W
b2	ITA7VE	TCIV_7割り込み間引き連動イネーブルビット(注1)	A/D変換の開始要求(TRG7AN)をTCIV_7割り込み間引き機能1と連動する/しないを選択します。 0: TCIV_7割り込み間引き機能1と連動しない 1: TCIV_7割り込み間引き機能1と連動する	R/W

ビット	シンボル	ビット名	機能	R/W
b1	ITB6AE	TGIA_6割り込み間引き連動イネーブルビット(注1)	A/D変換の開始要求(TRG7BN)をTGIA_6割り込み間引き機能1と連動する/しないを選択します。 0: TGIA_6割り込み間引き機能1と連動しない 1: TGIA_6割り込み間引き機能1と連動する	R/W
b0	ITB7VE	TCIV_7割り込み間引き連動イネーブルビット(注1)	A/D変換の開始要求(TRG7BN)をTCIV_7割り込み間引き機能1と連動する/しないを選択します。 0: TCIV_7割り込み間引き機能1と連動しない 1: TCIV_7割り込み間引き機能1と連動する	R/W

注1. 相補PWMモード以外では、“1”に設定しないでください。

注. • MT7ADSRRCRレジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

- 割り込み間引きが禁止のとき(MT67割り込み間引き設定レジスタ0(MT67ISSE0)のT6AEN、T7VENビットを“0”に設定したとき、またはMT67ISSE0レジスタの間引き回数設定ビット(T6ACOR、T7VCOR)を“0”に設定したとき)は、必ず割り込み間引き機能1と連動しない(MT7ADSRRCRレジスタのITA6AE、ITA7VE、ITB6AE、ITB7VEビットを“0”に設定)設定にしてください。
- 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D変換の開始要求が行われません。

表 16.53 BFビットによる転送タイミングの設定

ビット15	ビット14	説明
BF1	BF0	
0	0	周期設定バッファレジスタ(MT7ADSRRCSEBA、MT7ADSRRCSEBB)から周期設定レジスタ(MT7ADSRRCSEA、MT7ADSRRCSEB)へ転送しない
0	1	MT7CNTカウンタの山で周期設定バッファレジスタ(MT7ADSRRCSEBA、MT7ADSRRCSEBB)から周期設定レジスタ(MT7ADSRRCSEA、MT7ADSRRCSEB)へ転送する(注1)
1	0	MT7CNTカウンタの谷で周期設定バッファレジスタ(MT7ADSRRCSEBA、MT7ADSRRCSEBB)から周期設定レジスタ(MT7ADSRRCSEA、MT7ADSRRCSEB)へ転送する(注2)
1	1	MT7CNTカウンタの山と谷で周期設定バッファレジスタ(MT7ADSRRCSEBA、MT7ADSRRCSEBB)から周期設定レジスタ(MT7ADSRRCSEA、MT7ADSRRCSEB)へ転送する(注2)

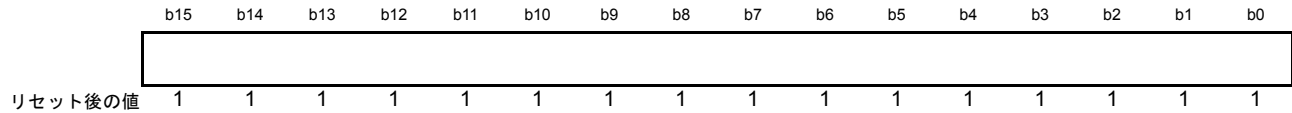
注1. 相補PWMモードではMT7CNTカウンタの山およびMT7GRDレジスタ書き込み時、リセット同期PWMモードではMT6CNTカウンタがMT6GRAレジスタとコンペアマッチしたとき、PWMモード1/通常動作モードではMT7CNTカウンタがMT7GRAレジスタとコンペアマッチしたときに、周期設定バッファレジスタ(MT7ADSRRCSEBA、MT7ADSRRCSEBB)から周期設定レジスタ(MT7ADSRRCSEA、MT7ADSRRCSEB)へ転送します。

注2. 相補PWMモード以外では設定禁止です。

MTADSRRCRレジスタは、A/D変換開始要求の許可/禁止の設定と、割り込み間引きとA/D変換開始要求を連動する/しないを設定します。

16.2.30 MT4 A/D 変換開始要求周期設定レジスタ A (MT4ADSRCSEA)、 MT7 A/D 変換開始要求周期設定レジスタ A (MT7ADSRCSEA)、 MT4 A/D 変換開始要求周期設定レジスタ B (MT4ADSRCSEB)、 MT7 A/D 変換開始要求周期設定レジスタ B (MT7ADSRCSEB)

アドレス MT4ADSRCSEA : H'FFFF 8244、MT4ADSRCSEB : H'FFFF 8246、
MT7ADSRCSEA : H'FFFF 9244、MT7ADSRCSEB : H'FFFF 9246



注・ MTADSRCSE レジスタは8ビット単位でのアクセスは禁止です。
常に16ビット単位でアクセスしてください。

割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能(詳細は「16.3.9 (4) 割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能」を参照)を使用する場合は、本レジスタの値は“H'0002”～チャンネル4: MT34CDレジスタの設定値-2、チャンネル7: MT67CDレジスタの設定値-2の値を設定してください。

割り込み間引き機能2を使用し、かつMT4/7ADSRCSEAレジスタ値とMT4/7ADSRCSEBレジスタ値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでのA/D変換要求が発生しない場合があります。以下の設定条件で使用してください。

(1) 間引き機能2、間引き回数が0の場合

- MT4/7ADSRCSEAレジスタ値とMT4/7ADSRCSEBレジスタ値との間隔が「4」以上
- MT4/7ADSRCSEAのコンペア間隔が4PMφ以上
(MT4/7ADSRCSEAレジスタの更新値を「前値+4以上」、「前値-4以下」に設定)
- MT4/7ADSRCSEBのコンペア間隔が4PMφ以上
(MT4/7ADSRCSEBレジスタの更新値を「前値+4以上」、「前値-4以下」に設定)

(2) 間引き機能2、間引き回数が1以上の場合

- MT4/7ADSRCSEAレジスタ値とMT4/7ADSRCSEBレジスタ値との間隔が「2」以上
- MT4/7ADSRCSEBのコンペア間隔が2PMφ以上
(MT4/7ADSRCSEBレジスタの更新値を「前値+2以上」、「前値-2以下」に設定)

MTADSRCSE (チャンネル4: MT4ADSRCSEA、MT4ADSRCSEB、チャンネル7: MT7ADSRCSEA、MT7ADSRCSEB) レジスタは、16ビットの読み出し/書き込み可能なレジスタです。MT4CNT、MT7CNTカウンタと一致したとき、対応するA/D変換開始要求を発生します。

16.2.31 MT4 A/D 変換開始要求周期設定バッファレジスタ A (MT4ADSRCSEBA)、 MT7 A/D 変換開始要求周期設定バッファレジスタ A (MT7ADSRCSEBA)、 MT4 A/D 変換開始要求周期設定バッファレジスタ B (MT4ADSRCSEBB)、 MT7 A/D 変換開始要求周期設定バッファレジスタ B (MT7ADSRCSEBB)

アドレス MT4ADSRCSEBA : H'FFFF 8248、MT4ADSRCSEBB : H'FFFF 824A、
MT7ADSRCSEBA : H'FFFF 9248、MT7ADSRCSEBB : H'FFFF 924A

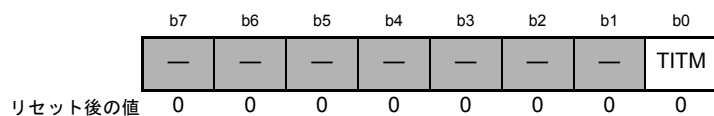


注・ MTADSRCSEBAレジスタは8ビット単位でのアクセスは禁止です。
常に16ビット単位でアクセスしてください。

MTADSRCSEB (チャンネル4 : MT4ADSRCSEBA、MT4ADSRCSEBB、チャンネル7 : MT7ADSRCSEBA、MT7ADSRCSEBB) レジスタは、16ビットの読み出し/書き込み可能なレジスタです。MTADSRCSEB レジスタのバッファレジスタから山か谷でMTADSRCSE レジスタに転送します。

16.2.32 MT34 割り込み間引きモードレジスタ (MT34ISMD)、 MT67 割り込み間引きモードレジスタ (MT67ISMD)

アドレス MT34ISMD : H'FFFF 823A、MT67ISMD : H'FFFF 923A



ビット	シンボル	ビット名	機能	R/W
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	TITM	割り込み間引き機能選択ビット	2種類の割り込み間引き機能を選択します。表16.54を参照してください。	R/W

MTISMD レジスタは、2種類の間引き機能を選択します。

表16.54 TITMビットによる割り込み間引き機能の選択設定

ビット0	説明
TITM	
0	割り込み間引き機能1を選択(注1)
1	割り込み間引き機能2を選択(注2)

注1. MT割り込み間引き設定レジスタ0 (MT34ISSE0、MT67ISSE0)を設定することにより割り込み間引き機能1が有効になります。
注2. MT割り込み間引き設定レジスタ1 (MT4ISSE1、MT7ISSE1)を設定することにより割り込み間引き機能2が有効になります。

16.2.33 MT34 割り込み間引き設定レジスタ 0 (MT34ISSE0)、 MT67 割り込み間引き設定レジスタ 0 (MT67ISSE0)

アドレス MT34ISSE0 : H'FFFF 8230

b7	b6	b5	b4	b3	b2	b1	b0
T3AEN	T3ACOR [2:0]		T4VEN	T4VCOR [2:0]			

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	T3AEN	T3AENビット	TGIA_3割り込みの間引きの禁止/許可を設定します。 0: TGIA_3割り込みの間引きを禁止する 1: TGIA_3割り込みの間引きを許可する	R/W
b6-b4	T3ACOR [2:0]		TGIA_3割り込みの間引き回数を0~7回で設定します。(注1) 詳細は表 16.55 を参照してください。	R/W
b3	T4VEN	T4VENビット	TCIV_4割り込みの間引きの禁止/許可を設定します。 0: TCIV_4割り込みの間引きを禁止する 1: TCIV_4割り込みの間引きを許可する	R/W
b2-b0	T4VCOR [2:0]		TCIV_4割り込みの間引き回数を0~7回で設定します。(注1) 詳細は表 16.56 を参照してください。	R/W

注1. 割り込み間引き回数に“0”を設定すると間引きは行いません。また、割り込み間引き回数の変更前に、必ず T3AEN、T4VEN ビットを“0”に設定して間引き回数カウンタ (MT34ISCNT0) をクリアしてください。

アドレス MT67ISSE0 : H'FFFF 9230

b7	b6	b5	b4	b3	b2	b1	b0
T6AEN	T6ACOR [2:0]		T7VEN	T7VCOR [2:0]			

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	T6AEN	T6AENビット	TGIA_6割り込みの間引きの禁止/許可を設定します。 0: TGIA_6割り込みの間引きを禁止する 1: TGIA_6割り込みの間引きを許可する	R/W
b6-b4	T6ACOR [2:0]		TGIA_6割り込みの間引き回数を0~7回で設定します。(注1) 詳細は表 16.57 を参照してください。	R/W
b3	T7VEN	T7VENビット	TCIV_7割り込みの間引きの禁止/許可を設定します。 0: TCIV_7割り込みの間引きを禁止する 1: TCIV_7割り込みの間引きを許可する	R/W
b2-b0	T7VCOR [2:0]		TCIV_7割り込みの間引き回数を0~7回で設定します。(注1) 詳細は表 16.58 を参照してください。	R/W

注1. 割り込み間引き回数に“0”を設定すると間引きは行いません。また、割り込み間引き回数の変更前に、必ず T6AEN、T7VEN ビットを“0”に設定して間引き回数カウンタ (MT67ISCNT0) をクリアしてください。

MTISSE0 レジスタは、割り込み間引きの禁止/許可、割り込み間引き回数の設定を制御します。この設定は MT 割り込み間引きモードレジスタ (MT34ISMD、MT67ISMD) に“0”を設定時のみ有効になります。また、MT 割り込み間引きモードレジスタ (MT34ISMD、MT67ISMD) に“1”を設定した場合、このレジスタの値はクリアされます。

表 16.55 T3ACORビットによる割り込み間引き回数の設定

ビット6 T3ACOR2	ビット5 T3ACOR1	ビット4 T3ACOR0	説明
0	0	0	TGIA_3の割り込み間引きを行わない
0	0	1	TGIA_3の割り込み間引き回数を1回に設定
0	1	0	TGIA_3の割り込み間引き回数を2回に設定
0	1	1	TGIA_3の割り込み間引き回数を3回に設定
1	0	0	TGIA_3の割り込み間引き回数を4回に設定
1	0	1	TGIA_3の割り込み間引き回数を5回に設定
1	1	0	TGIA_3の割り込み間引き回数を6回に設定
1	1	1	TGIA_3の割り込み間引き回数を7回に設定

表 16.56 T4VCORビットによる割り込み間引き回数の設定

ビット2 T4VCOR2	ビット1 T4VCOR1	ビット0 T4VCOR0	説明
0	0	0	TCIV_4の割り込み間引きを行わない
0	0	1	TCIV_4の割り込み間引き回数を1回に設定
0	1	0	TCIV_4の割り込み間引き回数を2回に設定
0	1	1	TCIV_4の割り込み間引き回数を3回に設定
1	0	0	TCIV_4の割り込み間引き回数を4回に設定
1	0	1	TCIV_4の割り込み間引き回数を5回に設定
1	1	0	TCIV_4の割り込み間引き回数を6回に設定
1	1	1	TCIV_4の割り込み間引き回数を7回に設定

表 16.57 T6VCORビットによる割り込み間引き回数の設定

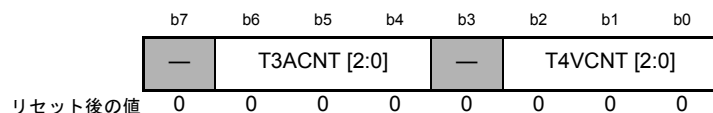
ビット6 T6VCOR2	ビット5 T6VCOR1	ビット4 T6VCOR0	説明
0	0	0	TGIV_6の割り込み間引きを行わない
0	0	1	TGIV_6の割り込み間引き回数を1回に設定
0	1	0	TGIV_6の割り込み間引き回数を2回に設定
0	1	1	TGIV_6の割り込み間引き回数を3回に設定
1	0	0	TGIV_6の割り込み間引き回数を4回に設定
1	0	1	TGIV_6の割り込み間引き回数を5回に設定
1	1	0	TGIV_6の割り込み間引き回数を6回に設定
1	1	1	TGIV_6の割り込み間引き回数を7回に設定

表 16.58 T7VCORビットによる割り込み間引き回数の設定

ビット2 T7VCOR2	ビット1 T7VCOR1	ビット0 T7VCOR0	説明
0	0	0	TCIV_7の割り込み間引きを行わない
0	0	1	TCIV_7の割り込み間引き回数を1回に設定
0	1	0	TCIV_7の割り込み間引き回数を2回に設定
0	1	1	TCIV_7の割り込み間引き回数を3回に設定
1	0	0	TCIV_7の割り込み間引き回数を4回に設定
1	0	1	TCIV_7の割り込み間引き回数を5回に設定
1	1	0	TCIV_7の割り込み間引き回数を6回に設定
1	1	1	TCIV_7の割り込み間引き回数を7回に設定

16.2.34 MT34 割り込み間引き回数カウンタ 0 (MT34ISCNT0)、 MT67 割り込み間引き回数カウンタ 0 (MT67ISCNT0)

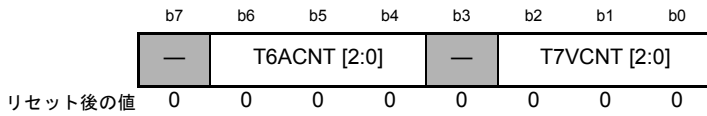
アドレス MT34ISCNT0 : H'FFFF 8231



ビット	シンボル	ビット名	機能	R/W
b7	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b6-b4	T3ACNT [2:0]	TGIA_3 割り込みカウンタ	MT34ISSE0 レジスタの T3AEN ビットに“1”を設定時、TGIA_3 割り込み要因が発生したときに1カウントアップします。 [“0”になる条件] <ul style="list-style-type: none"> • MT34ISMD レジスタの TITM ビットが“1”のとき • MT34ISSE0 レジスタの T3AEN ビットが“0”のとき • MT34ISSE0 レジスタの T3ACOR ビットが“0”のとき • MT34ISSE0 レジスタの T3ACOR ビットと MT34ISCNT0 カウンタの T3ACNT2 ~ T3ACNT0 が一致したとき 	R
b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2-b0	T4VCNT [2:0]	TCIV_4 割り込みカウンタ	MT34ISSE0 レジスタの T4VEN ビットに“1”を設定時、TCIV_4 割り込み要因が発生したときに1カウントアップします。 [“0”になる条件] <ul style="list-style-type: none"> • MT34ISMD レジスタの TITM ビットが“1”のとき • MT34ISSE0 レジスタの T4VEN ビットが“0”のとき • MT34ISSE0 レジスタの T4VCOR ビットが“0”のとき • MT34ISSE0 レジスタの T4VCOR ビットと MT34ISCNT0 カウンタの T4VCNT2 ~ T4VCNT0 が一致したとき 	R

注. • MT34ISCNT0カウンタの値をクリアするには、MT34ISSE0レジスタのT3AENビットとT4VENビットを“0”にクリアしてください。

アドレス MT67ISCNT0 : H'FFFF 9231



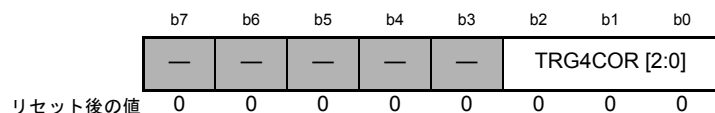
ビット	シンボル	ビット名	機能	R/W
b7	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b6-b4	T6ACNT [2:0]	TGIA_6割り込みカウンタ	MT67ISSE0レジスタのT6AENビットに“1”を設定時、TGIA_6割り込み要因が発生したときに1カウントアップします。 [“0”になる条件] <ul style="list-style-type: none"> • MT67ISMDレジスタのTITMビットが“1”のとき • MT67ISSE0レジスタのT6AENビットが“0”のとき • MT67ISSE0レジスタのT6ACORビットが“0”のとき • MT67ISSE0レジスタのT6ACORビットとMT67ISCNT0カウンタのT6ACNT2～T6ACNT0が一致したとき 	R
b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2-b0	T7VCNT [2:0]	TCIV_7割り込みカウンタ	MT67ISSE0レジスタのT7VENビットに“1”を設定時、TCIV_7割り込み要因が発生したときに1カウントアップします。 [“0”になる条件] <ul style="list-style-type: none"> • MT67ISMDレジスタのTITMビットが“1”のとき • MT67ISSE0レジスタのT7VENビットが“0”のとき • MT67ISSE0レジスタのT7VCORビットが“0”のとき • MT67ISSE0レジスタのT7VCORビットとMT67ISCNT0カウンタのT7VCNT2～T7VCNT0が一致したとき 	R

注. • MT67ISCNT0カウンタの値をクリアするには、MT67ISSE0レジスタのT6AENビットとT7VENビットを“0”にクリアしてください。

MTISCNT0レジスタは、8ビットの読み出し専用カウンタです。MTISCNT0レジスタは、MT3CNTおよびMT4CNT (MT6CNTおよびMT7CNT) カウンタのカウント動作停止後も、値を保持します。

16.2.35 MT4 割り込み間引き設定レジスタ 1 (MT4ISSE1)、 MT7 割り込み間引き設定レジスタ 1 (MT7ISSE1)

アドレス MT4ISSE1 : H'FFFF 823B

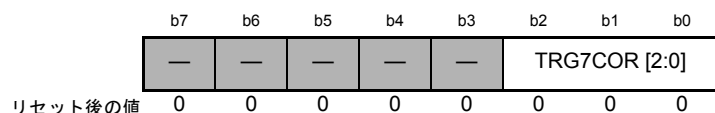


ビット	シンボル	ビット名	機能	R/W
b7-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2-b0	TRG4COR [2:0]		TRG4AN、TRG4BN 割り込みの間引き回数を0～7回で設定します。詳細は表 16.59 を参照してください。	R/W

表 16.59 TRG4COR ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
TRG4COR2	TRG4COR1	TRG4COR0	
0	0	0	TRG4AN と TRG4BN の割り込み回数の間引きを行わない
0	0	1	TRG4AN と TRG4BN の割り込み回数の間引き回数を1回に設定
0	1	0	TRG4AN と TRG4BN の割り込み回数の間引き回数を2回に設定
0	1	1	TRG4AN と TRG4BN の割り込み回数の間引き回数を3回に設定
1	0	0	TRG4AN と TRG4BN の割り込み回数の間引き回数を4回に設定
1	0	1	TRG4AN と TRG4BN の割り込み回数の間引き回数を5回に設定
1	1	0	TRG4AN と TRG4BN の割り込み回数の間引き回数を6回に設定
1	1	1	TRG4AN と TRG4BN の割り込み回数の間引き回数を7回に設定

アドレス MT7ISSE1 : H'FFFF 923B



ビット	シンボル	ビット名	機能	R/W
b7-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2-b0	TRG7COR [2:0]		TRG7AN、TRG7BN 割り込みの間引き回数を0～7回で設定します。詳細は表 16.60 を参照してください。	R/W

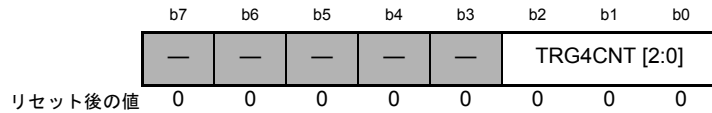
表 16.60 TRG7CORビットによる割り込み間引き回数の設定

ビット2 TRG7COR2	ビット1 TRG7COR1	ビット0 TRG7COR0	説明
0	0	0	TRG7ANとTRG7BNの割り込み回数の間引きを行わない
0	0	1	TRG7ANとTRG7BNの割り込み回数の間引き回数を1回に設定
0	1	0	TRG7ANとTRG7BNの割り込み回数の間引き回数を2回に設定
0	1	1	TRG7ANとTRG7BNの割り込み回数の間引き回数を3回に設定
1	0	0	TRG7ANとTRG7BNの割り込み回数の間引き回数を4回に設定
1	0	1	TRG7ANとTRG7BNの割り込み回数の間引き回数を5回に設定
1	1	0	TRG7ANとTRG7BNの割り込み回数の間引き回数を6回に設定
1	1	1	TRG7ANとTRG7BNの割り込み回数の間引き回数を7回に設定

MTISSE1 レジスタは、TRG4AN と TRG4BN (TRG7AN と TRG7BN) の割り込み間引き回数を設定します。
この設定はMT割り込み間引きモードレジスタ(MT34ISMD、MT67ISMD)に“1”を設定時のみ有効になります。

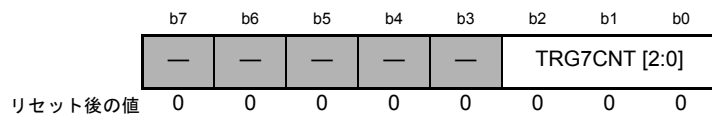
16.2.36 MT4 割り込み間引き回数カウンタ 1 (MT4ISCNT1)、 MT7 割り込み間引き回数カウンタ 1 (MT7ISCNT1)

アドレス MT4ISCNT1 : H'FFFF 823C



ビット	シンボル	ビット名	機能	R/W
b7-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2-b0	TRG4CNT [2:0]		TRG4CORで設定した値から、TRG4ANおよびTRG4BNが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BNの割り込みが有効になります。 [“0”になる条件] <ul style="list-style-type: none"> • MT34ISMDレジスタのTITMビットが“0”のとき • MT4ISSE1レジスタのTRG4COR2 ~ TRG4COR0が“0”のとき • MT4ISSE1レジスタのTRG4COR2 ~ TRG4COR0とTRG4ANおよびTRG4BNの発生回数一致したとき 	R

アドレス MT7ISCNT1 : H'FFFF 923C

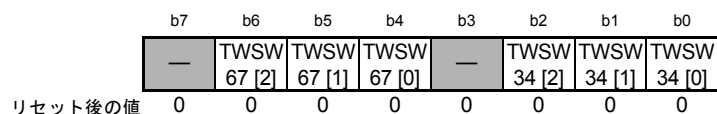


ビット	シンボル	ビット名	機能	R/W
b7-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2-b0	TRG7CNT [2:0]		TRG7CORで設定した値から、TRG7ANおよびTRG7BNが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG7AN、TRG7BNの割り込みが有効になります。 [“0”になる条件] <ul style="list-style-type: none"> • MT67ISMDレジスタのTITMビットが“0”のとき • MT7ISSE1レジスタのTRG7COR2 ~ TRG7COR0が“0”のとき • MT7ISSE1レジスタのTRG7COR2 ~ TRG7COR0とTRG7ANおよびTRG7BNの発生回数一致したとき 	R

MTISCNT1カウンタは、8ビットの読み出し専用ダウンカウンタです。TRG4COR、TRG7CORで設定した値から、TRG4AN、TRG4BN (MT4ISCNT1) および TRG7AN、TRG7BN (MT7ISCNT1) が発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BN および TRG7AN、TRG7BN の割り込みが有効になります。

16.2.37 MT3467 波形切り替えレジスタ (MT3467WSW)

アドレス H'FFFF 9500



ビット	シンボル	ビット名	機能	R/W
b7	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b6	TWSW67 [2]	MTU-III PWM出力 ↔ 方形波出力 のソフト切り替えスイッチ	TWSW67 [2]は外部端子 TIOC7B/Dの出力を切り替えます。 0 : MTU-III PWM出力 1 : 方形波出力	R/W
b5	TWSW67 [1]	MTU-III PWM出力 ↔ 方形波出力 のソフト切り替えスイッチ	TWSW67 [1]は外部端子 TIOC7A/Cの出力を切り替えます。 0 : MTU-III PWM出力 1 : 方形波出力	R/W
b4	TWSW67 [0]	MTU-III PWM出力 ↔ 方形波出力 のソフト切り替えスイッチ	TWSW67 [0]は外部端子 TIOC6B/Dの出力を切り替えます。 0 : MTU-III PWM出力 1 : 方形波出力	R/W
b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	TWSW34 [2]	MTU-III PWM出力 ↔ 方形波出力 のソフト切り替えスイッチ	TWSW34 [2]は外部端子 TIOC4B/Dの出力を切り替えます。 0 : MTU-III PWM出力 1 : 方形波出力	R/W
b1	TWSW34 [1]	MTU-III PWM出力 ↔ 方形波出力 のソフト切り替えスイッチ	TWSW34 [1]は外部端子 TIOC4A/Cの出力を切り替えます。 0 : MTU-III PWM出力 1 : 方形波出力	R/W
b0	TWSW34 [0]	MTU-III PWM出力 ↔ 方形波出力 のソフト切り替えスイッチ	TWSW34 [0]は外部端子 TIOC3B/Dの出力を切り替えます。 0 : MTU-III PWM出力 1 : 方形波出力	R/W

MT3467WSW レジスタは、対応するビットに“1”を書き込むことにより、外部端子 TIOC3B/D、TIOC4A/C、TIOC4B/D、TIOC6B/D、TIOC7A/C、TIOC7B/D の出力をソフトウェアによって強制的に MTU-III PWM 出力または方形波出力に設定することができます。

16.2.38 MT1 波形インプットキャプチャ / アウトプットコンペア切り替え許可レジスタ A (MT1WIOSWENA)

アドレス H'FFFF 9510

b7	b6	b5	b4	b3	b2	b1	b0
—	ICOC1 A67 [2]	ICOC1 A67 [1]	ICOC1 A67 [0]	—	ICOC1 A34 [2]	ICOC1 A34 [1]	ICOC1 A34 [0]
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b6	ICOC1A67 [2]		チャンネル1のMTGRAレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC1A67 [2]は外部端子TIOC7B/Dの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W
b5	ICOC1A67 [1]		チャンネル1のMTGRAレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC1A67 [1]は外部端子TIOC7A/Cの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W
b4	ICOC1A67 [0]		チャンネル1のMTGRAレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC1A67 [0]は外部端子TIOC6B/Dの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W
b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	ICOC1A34 [2]		チャンネル1のMTGRAレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC1A34 [2]は外部端子TIOC4B/Dの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W
b1	ICOC1A34 [1]		チャンネル1のMTGRAレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC1A34 [1]は外部端子TIOC4A/Cの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W
b0	ICOC1A34 [0]		チャンネル1のMTGRAレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC1A34 [0]は外部端子TIOC3B/Dの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W

MT1WIOSWENA レジスタは、対応するビットに“1”を書き込むことにより、外部端子 TIOC3B/D、TIOC4A/C、TIOC4B/D、TIOC6B/D、TIOC7A/C、TIOC7B/D の出力を MT1GRA レジスタがインプットキャプチャ/アウトプットコンペア時に MTU-III PWM 出力または方形波出力に切り替えることができます。

チャンネル1のMTGRAインプットキャプチャ/アウトプットコンペアを波形切り替えのタイミングとして使う場合、その割り込み信号が波形切り替えに使われるため、MT 割り込み許可レジスタを使って割り込みを許可してください。また、あらかじめチャンネル1のMTSRレジスタのTGFAビットをクリアしてください。

16.2.39 MT1 波形インプットキャプチャ / アウトプットコンペア切り替え許可レジスタ B (MT1WIOSWENB)

アドレス H'FFFF 9512

b7	b6	b5	b4	b3	b2	b1	b0
—	ICOC1 B67 [2]	ICOC1 B67 [1]	ICOC1 B67 [0]	—	ICOC1 B34 [2]	ICOC1 B34 [1]	ICOC1 B34 [0]

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b6	ICOC1B67 [2]		チャンネル1のMTGRBレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC1B67 [2]は外部端子TIOC7B/Dの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W
b5	ICOC1B67 [1]		チャンネル1のMTGRBレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC1B67 [1]は外部端子TIOC7A/Cの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W
b4	ICOC1B67 [0]		チャンネル1のMTGRBレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC1B67 [0]は外部端子TIOC6B/Dの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W
b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	ICOC1B34 [2]		チャンネル1のMTGRBレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC1B34 [2]は外部端子TIOC4B/Dの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W
b1	ICOC1B34 [1]		チャンネル1のMTGRBレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC1B34 [1]は外部端子TIOC4A/Cの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W
b0	ICOC1B34 [0]		チャンネル1のMTGRBレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC1B34 [0]は外部端子TIOC3B/Dの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W

MT1WIOSWENB レジスタは、対応するビットに“1”を書き込むことにより、外部端子 TIOC3B/D、TIOC4A/C、TIOC4B/D、TIOC6B/D、TIOC7A/C、TIOC7B/D の出力を MT1GRB レジスタがインプットキャプチャ/アウトプットコンペア時に MTU-III PWM 出力または方形波出力に切り替えることができます。

チャンネル1のMTGRBインプットキャプチャ/アウトプットコンペアを波形切り替えのタイミングとして使う場合、その割り込み信号が波形切り替えに使われるため、MT 割り込み許可レジスタを使って割り込みを許可してください。また、あらかじめチャンネル1のMTSRレジスタのTGFBビットをクリアしてください。

16.2.40 MT2 波形インプットキャプチャ / アウトプットコンペア切り替え許可レジスタ A (MT2WIOSWENA)

アドレス H'FFFF 9520

b7	b6	b5	b4	b3	b2	b1	b0
—	ICOC2 A67 [2]	ICOC2 A67 [1]	ICOC2 A67 [0]	—	ICOC2 A34 [2]	ICOC2 A34 [1]	ICOC2 A34 [0]

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b6	ICOC2A67 [2]		チャンネル2のMTGRAレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC2A67 [2]は外部端子TIOC7B/Dの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W
b5	ICOC2A67 [1]		チャンネル2のMTGRAレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC2A67 [1]は外部端子TIOC7A/Cの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W
b4	ICOC2A67 [0]		チャンネル2のMTGRAレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC2A67 [0]は外部端子TIOC6B/Dの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W
b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	ICOC2A34 [2]		チャンネル2のMTGRAレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC2A34 [2]は外部端子TIOC4B/Dの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W
b1	ICOC2A34 [1]		チャンネル2のMTGRAレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC2A34 [1]は外部端子TIOC4A/Cの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W
b0	ICOC2A34 [0]		チャンネル2のMTGRAレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC2A34 [0]は外部端子TIOC3B/Dの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W

MT2WIOSWENA レジスタは、対応するビットに“1”を書き込むことにより、外部端子 TIOC3B/D、TIOC4A/C、TIOC4B/D、TIOC6B/D、TIOC7A/C、TIOC7B/D の出力を MT2GRA レジスタがインプットキャプチャ/アウトプットコンペア時に MTU-III PWM 出力または方形波出力に切り替えることができます。

チャンネル2のMTGRAインプットキャプチャ/アウトプットコンペアを波形切り替えのタイミングとして使う場合、その割り込み信号が波形切り替えに使われるため、MT 割り込み許可レジスタを使って割り込みを許可してください。また、あらかじめチャンネル2のMTSRレジスタのTGFAビットをクリアしてください。

16.2.41 MT2 波形インプットキャプチャ / アウトプットコンペア切り替え許可レジスタ B (MT2WIOSWENB)

アドレス H'FFFF 9522

b7	b6	b5	b4	b3	b2	b1	b0
—	ICOC2 B67 [2]	ICOC2 B67 [1]	ICOC2 B67 [0]	—	ICOC2 B34 [2]	ICOC2 B34 [1]	ICOC2 B34 [0]
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b6	ICOC2B67 [2]		チャンネル2のMTGRBレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC2B67 [2]は外部端子TIOC7B/Dの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W
b5	ICOC2B67 [1]		チャンネル2のMTGRBレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC2B67 [1]は外部端子TIOC7A/Cの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W
b4	ICOC2B67 [0]		チャンネル2のMTGRBレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC2B67 [0]は外部端子TIOC6B/Dの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W
b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	ICOC2B34 [2]		チャンネル2のMTGRBレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC2B34 [2]は外部端子TIOC4B/Dの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W
b1	ICOC2B34 [1]		チャンネル2のMTGRBレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC2B34 [1]は外部端子TIOC4A/Cの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W
b0	ICOC2B34 [0]		チャンネル2のMTGRBレジスタがインプットキャプチャ/アウトプットコンペア時に、MTU-IIIPWM出力↔方形波出力を切り替えます。 ICOC2B34 [0]は外部端子TIOC3B/Dの出力を切り替えます。 0: MTU-III PWM出力 1: 方形波出力	R/W

MT2WIOSWENB レジスタは、対応するビットに“1”を書き込むことにより、外部端子 TIOC3B/D、TIOC4A/C、TIOC4B/D、TIOC6B/D、TIOC7A/C、TIOC7B/D の出力を MT2GRB レジスタがインプットキャプチャ/アウトプットコンペア時に MTU-III PWM 出力または方形波出力に切り替えることができます。

チャンネル2のMTGRBインプットキャプチャ/アウトプットコンペアを波形切り替えのタイミングとして使う場合、その割り込み信号が波形切り替えに使われるため、MT 割り込み許可レジスタを使って割り込みを許可してください。また、あらかじめチャンネル2のMTSRレジスタのTGFBビットをクリアしてください。

16.3 動作説明

16.3.1 基本動作

各チャンネルには、MTCNT カウンタと MTGR レジスタがあります。MTCNT カウンタは、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウント動作が可能です。

MTGR レジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

MTU-III の外部端子の機能設定については、「13. I/O ポート」を参照してください。

(1) カウンタの動作

MT01234STR レジスタの CST0～CST4 ビット、MT67STR レジスタの CST6～CST7 ビット、MT5STR レジスタの CSTU5、CSTV5、CSTW5 ビットを“1”にセットすると、対応するチャンネルの MTCNT カウンタはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

図 16.5 にカウンタ動作設定手順例を示します。

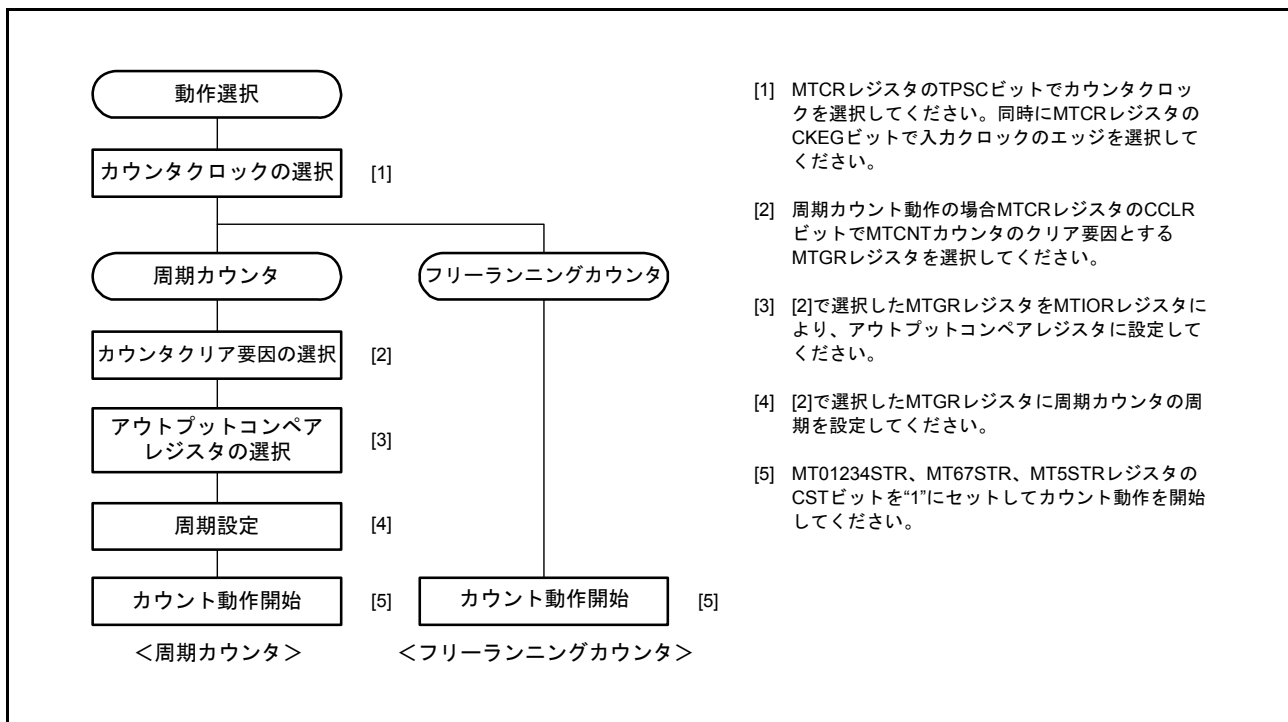


図 16.5 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

MTU-III の MTCNT カウンタは、リセット直後はすべてフリーランニングカウンタの設定となっており、MTSTRレジスタの対応するビットを“1”にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。MTCNT カウンタがオーバーフロー (“H'FFFF” → “H'0000”) すると、MTSR レジスタの TCFV ビットが“1”にセットされます。このとき、対応する MTIEN レジスタの TCIEV ビットが“1”ならば、MTU-III は割り込みを要求します。MTCNT カウンタはオーバーフロー後、“H'0000” からアップカウント動作を継続します。

図 16.6 にフリーランニングカウンタの動作を示します。

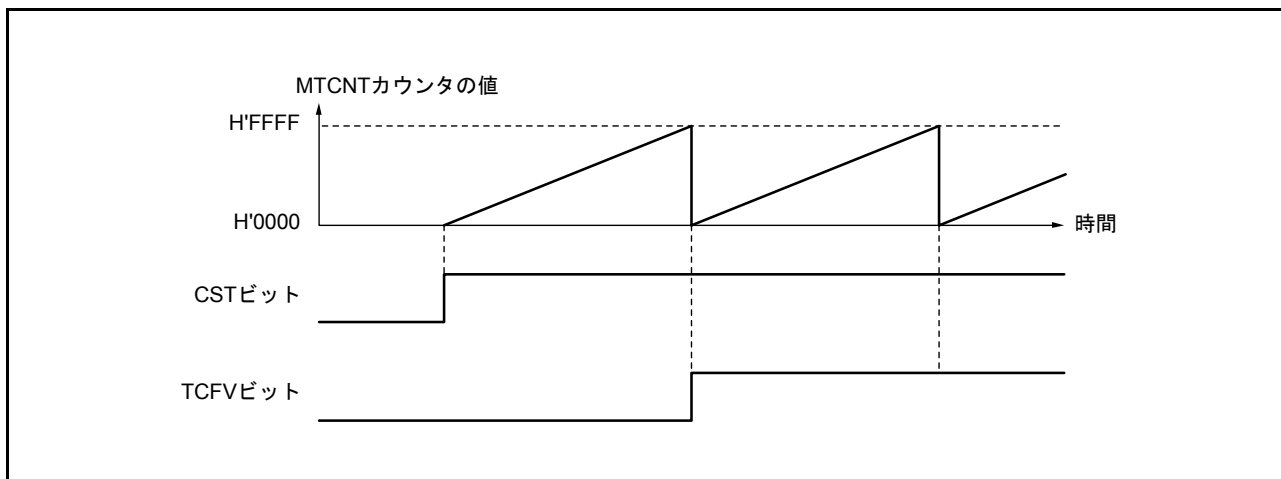


図 16.6 フリーランニングカウンタの動作

MTCNT カウンタのクリア要因にコンペアマッチを選択したときは、対応するチャンネルの MTCNT カウンタは周期カウンタ動作を行います。周期設定用の MTGR レジスタをアウトプットコンペアレジスタに設定し、MTiCR レジスタ (i=0~4、6、7) の CCLR ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、MTSTR レジスタの対応するビットを“1”にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が MTGR レジスタの値と一致すると、MTSR レジスタの TGF フラグが“1”にセットされ、MTCNT カウンタは“H'0000”にクリアされます。

このとき対応する MTIEN レジスタの TGIE ビットが“1”ならば、MTU-III は割り込みを要求します。MTCNT カウンタはコンペアマッチ後、“H'0000”からアップカウント動作を継続します。

図 16.7 に周期カウンタの動作を示します。

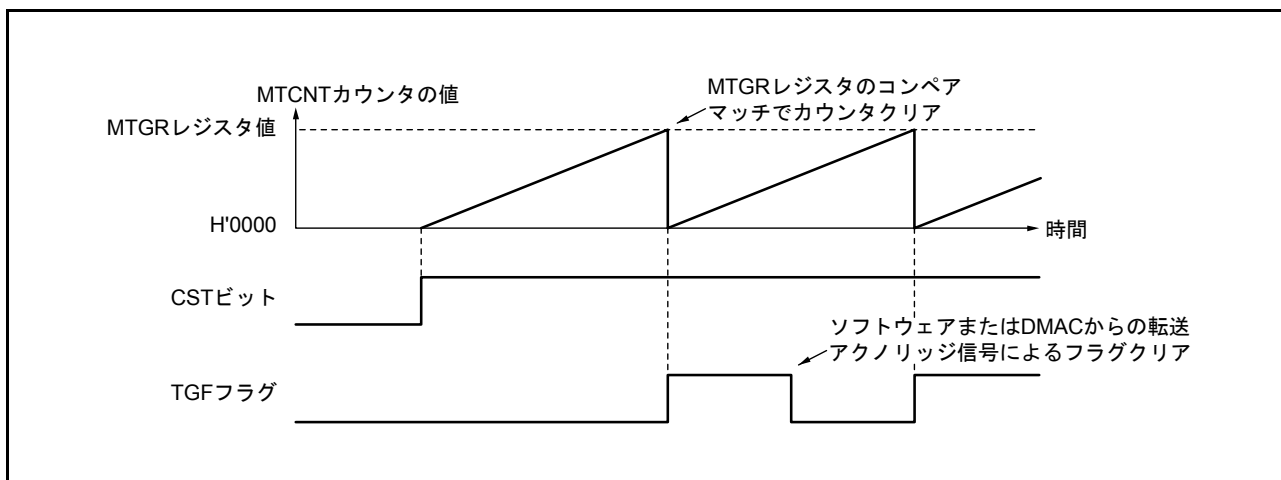


図 16.7 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

MTU-IIIは、コンペアマッチにより対応する出力端子から0出力/1出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

図 16.8 にコンペアマッチによる波形出力動作の設定手順例を示します。

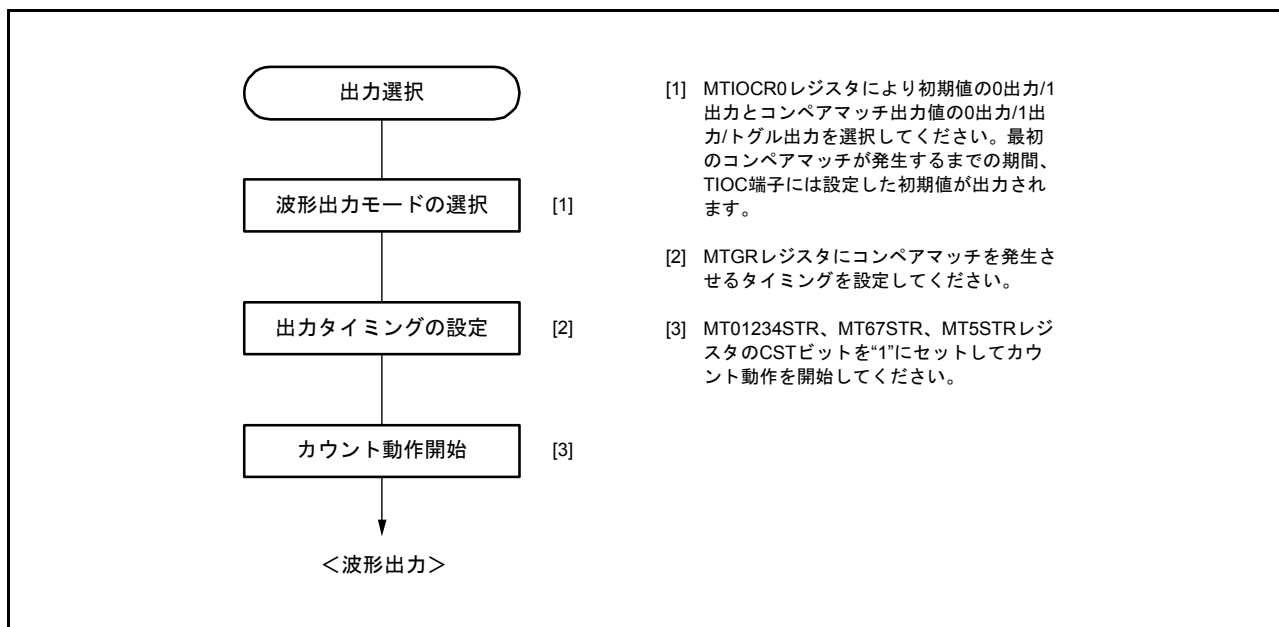


図 16.8 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

図 16.9 に 0 出力 / 1 出力の動作例を示します。

MTCNT カウンタをフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

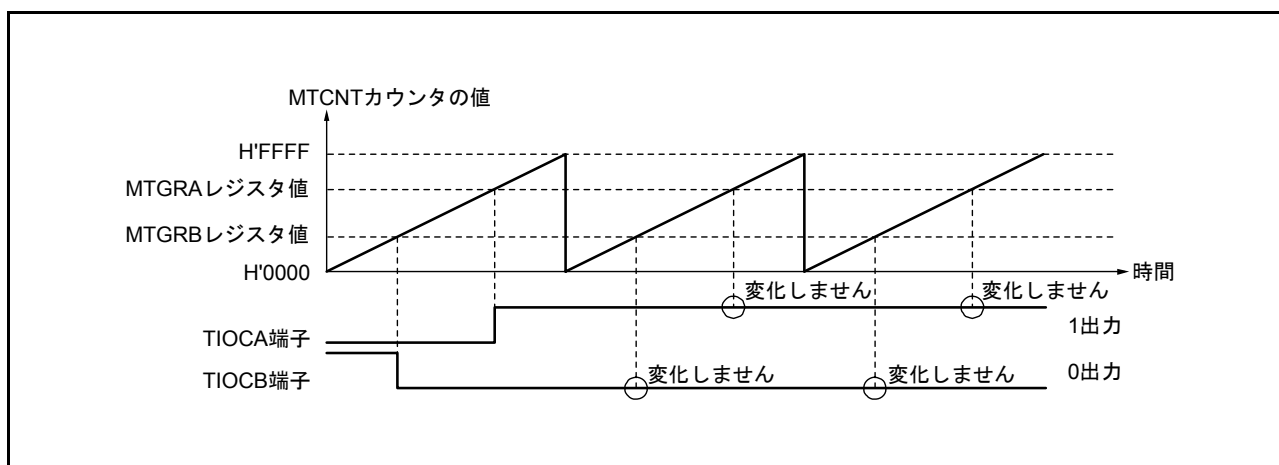


図 16.9 0 出力 / 1 出力の動作例

図 16.10 にトグル出力の動作例を示します。

MTCNT カウンタを周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

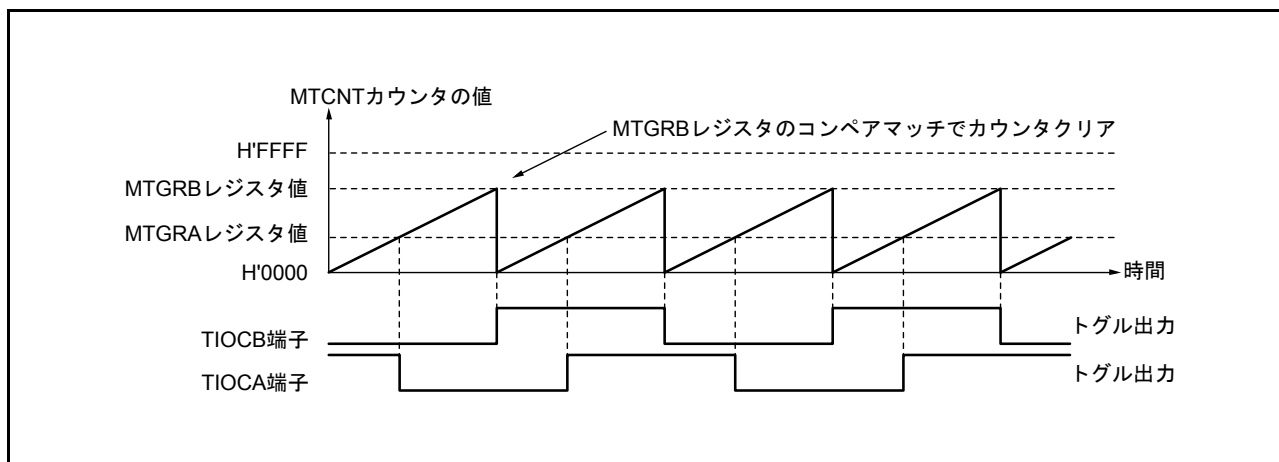


図 16.10 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して MTCNT カウンタの値を MTGR レジスタに転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、チャンネル 0、1 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

注・チャンネル 0、1 で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに MTU 動作クロックの分周なしを選択しないでください。MTU 動作クロックの分周なしを選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

図 16.11 にインพุットキャプチャ動作の設定手順例を示します。

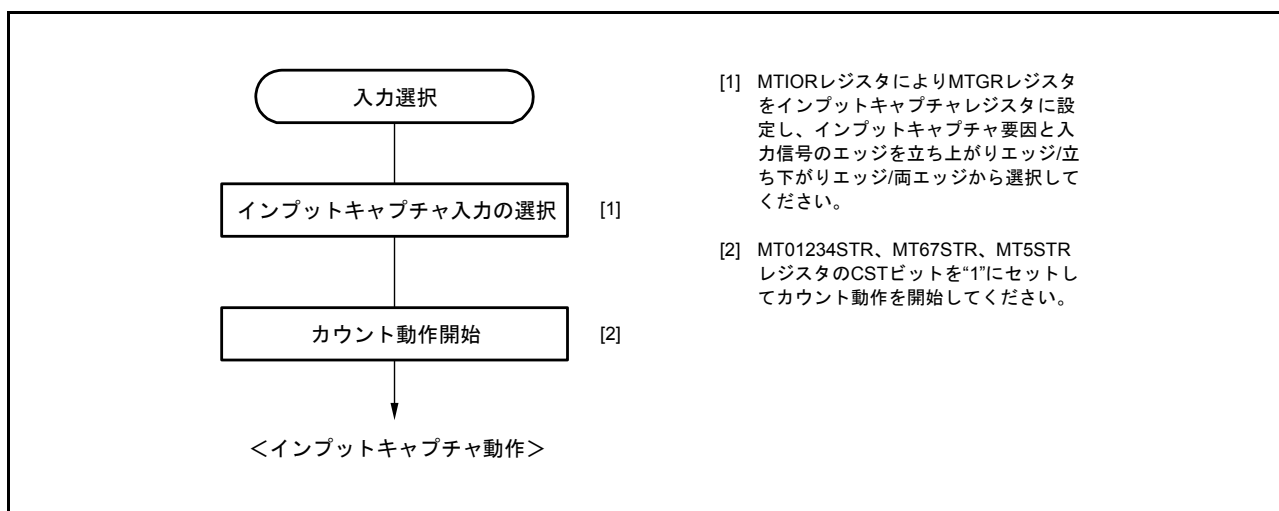


図 16.11 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

図 16.12 にインพุットキャプチャ動作例を示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、MTCNT カウンタは MTGRB レジスタのインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

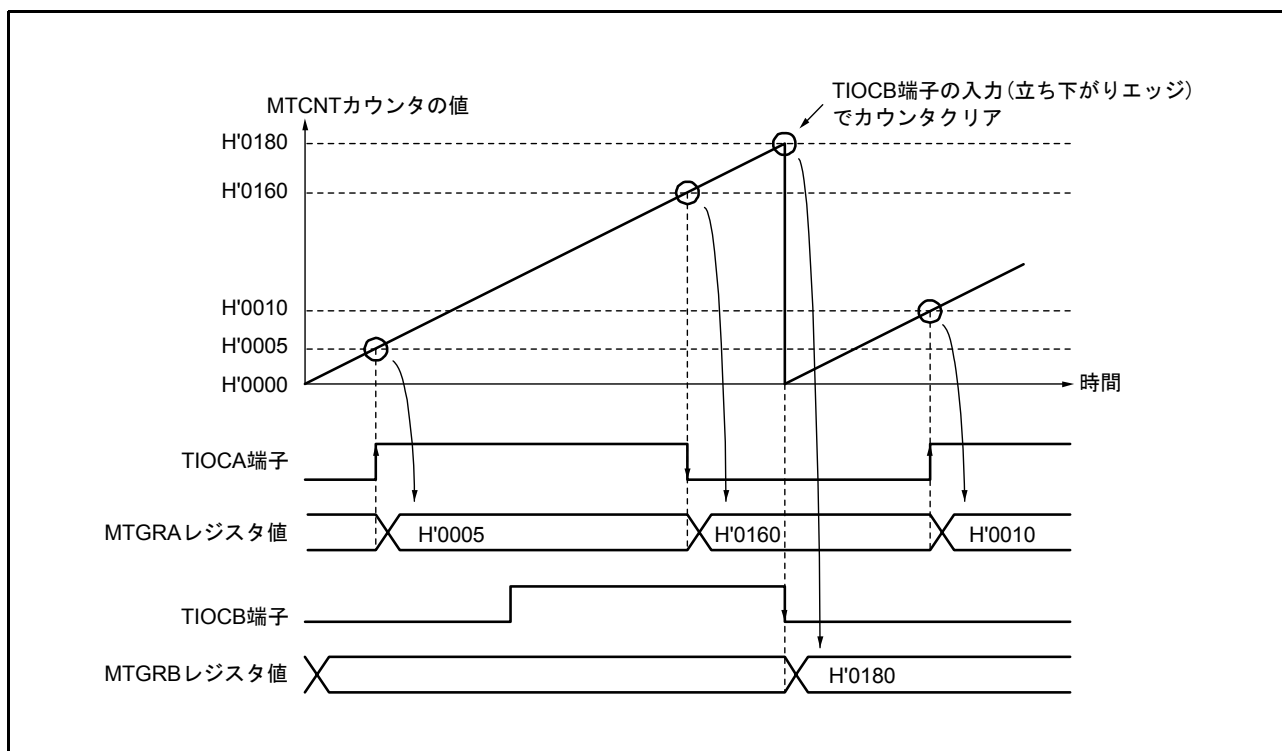


図 16.12 インพุットキャプチャ動作例

16.3.2 同期動作

同期動作は、複数の MTCNT カウンタの値を同時に書き換えることができます (同期プリセット)。また、MTCR レジスタの設定により複数の MTCNT カウンタを同時にクリアすることができます (同期クリア)。

同期動作により、1つのタイムベースに対して動作する MTGR レジスタの本数を増加することができます。

チャンネル 0~4 とチャンネル 6、7 はそれぞれ同期動作の設定が可能です。

チャンネル 5 は同期動作できません。

(1) 同期動作の設定手順例

図 16.13 に同期動作の設定手順例を示します。

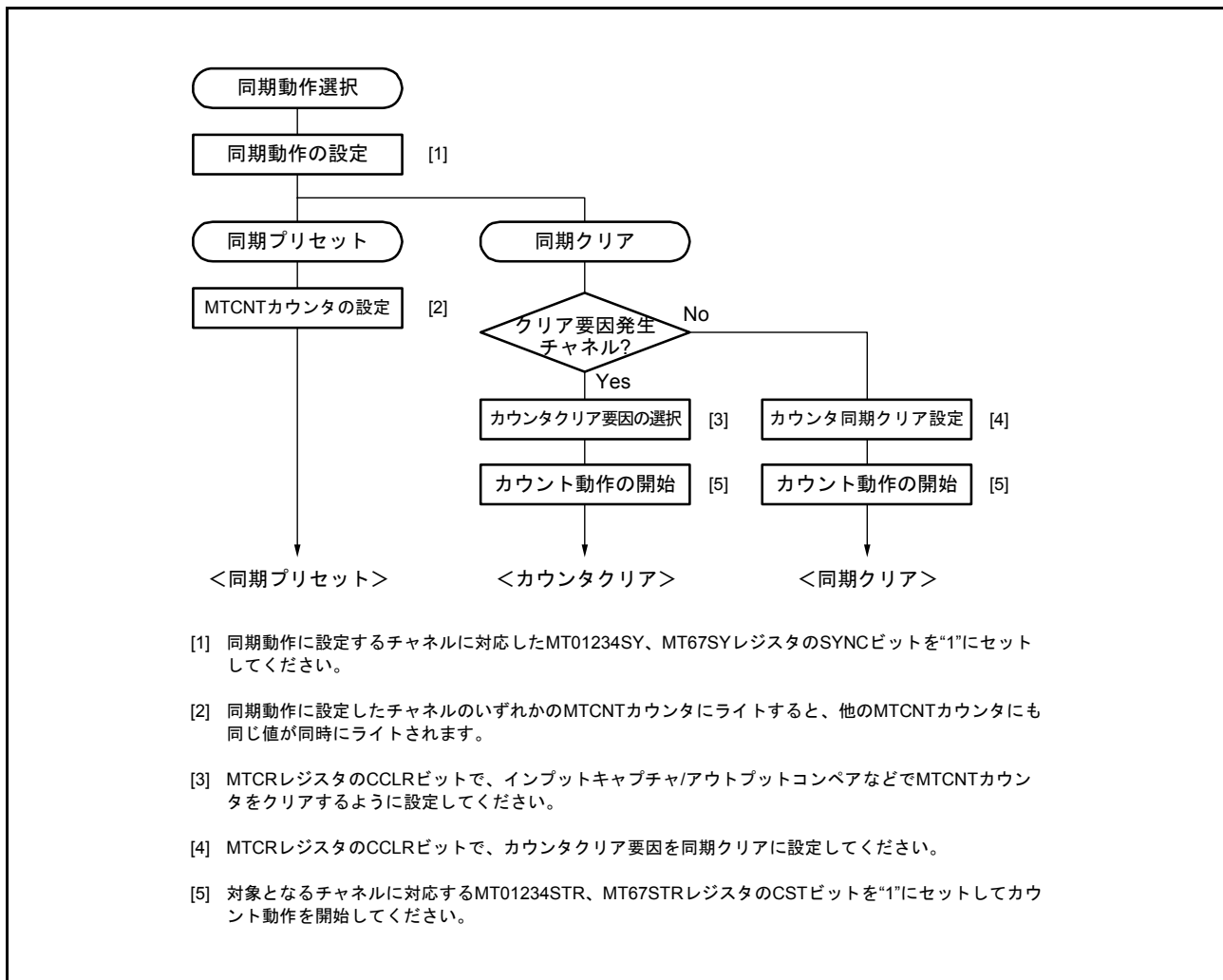


図 16.13 同期動作の設定手順例

(2) 同期動作の例

図 16.14 に同期動作の動作例を示します。

チャンネル0~2を同期動作かつPWMモード1に設定し、チャンネル0のカウンタクリア要因をMT0GRBレジスタのコンペアマッチ、またチャンネル1、2のカウンタクリア要因を同期クリアに設定した場合の例です。

3相のPWM波形をTIOC0A、TIOC1A、TIOC2A端子から出力します。このとき、チャンネル0~2のMTCNTカウンタは同期プリセット、MT0GRBレジスタのコンペアマッチによる同期クリアを行い、MT0GRBレジスタに設定したデータがPWM周期となります。

PWMモードについては、「16.3.5 PWMモード」を参照してください。

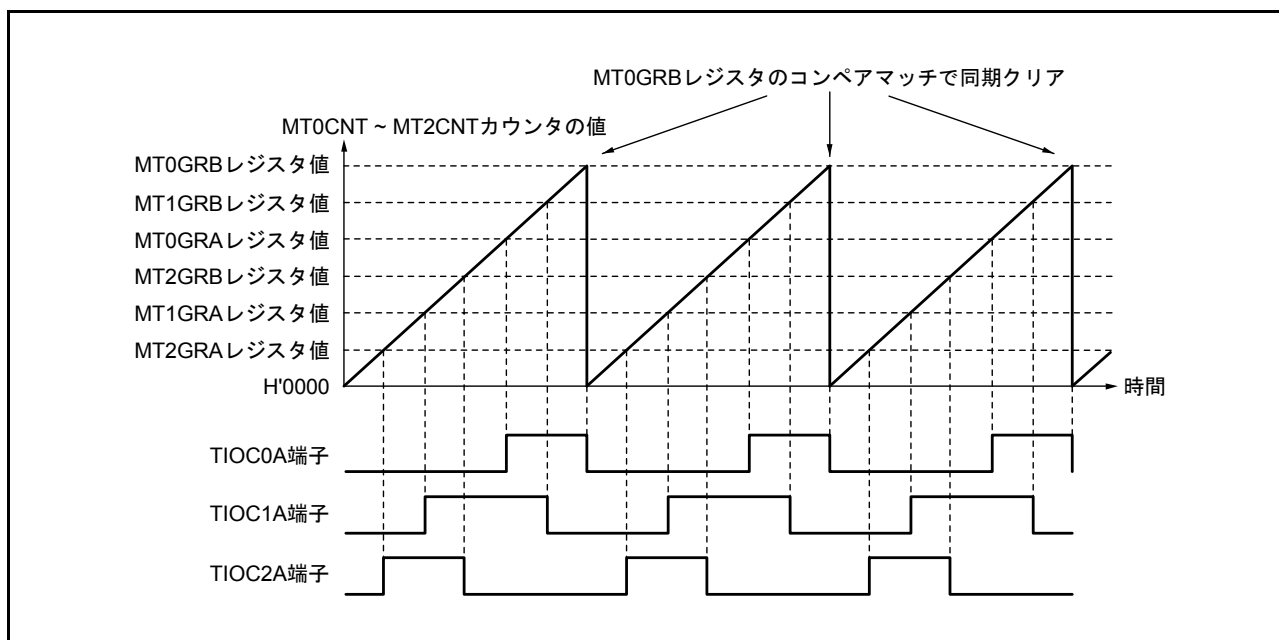


図 16.14 同期動作の動作例

16.3.3 バッファ動作

バッファ動作は、チャンネル 0、3、4、6、7 が持つ機能です。MTGRC レジスタと MTGRD レジスタをバッファレジスタとして使用することができます。

また、チャンネル 0 は MTGRF レジスタもバッファレジスタとして使用することができます。

バッファ動作は、MTGR レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

注・ MT0GRE レジスタはインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 16.61 にバッファ動作時のレジスタの組み合わせを示します。

表 16.61 レジスタの組み合わせ

チャンネル	MTGRレジスタ	バッファレジスタ
0	MT0GRA	MT0GRC
	MT0GRB	MT0GRD
	MT0GRE	MT0GRF
3	MT3GRA	MT3GRC
	MT3GRB	MT3GRD
4	MT4GRA	MT4GRC
	MT4GRB	MT4GRD
6	MT6GRA	MT6GRC
	MT6GRB	MT6GRD
7	MT7GRA	MT7GRC
	MT7GRB	MT7GRD

- MTGR レジスタがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値が MTGR レジスタに転送されます。

図 16.15 にコンペアマッチバッファ動作を示します。

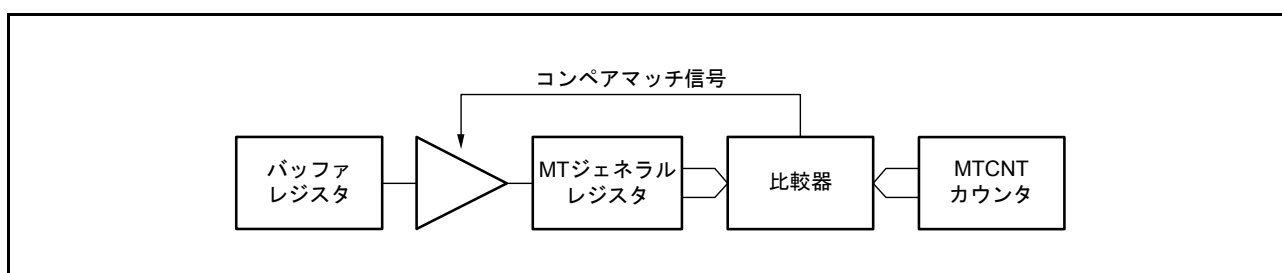


図 16.15 コンペアマッチバッファ動作

- MTGR レジスタがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、MTCNT カウンタの値を MTGR レジスタに転送すると同時に、それまで格納されていた MTGR レジスタの値をバッファレジスタに転送します。

図 16.16 にインプットキャプチャバッファ動作を示します。

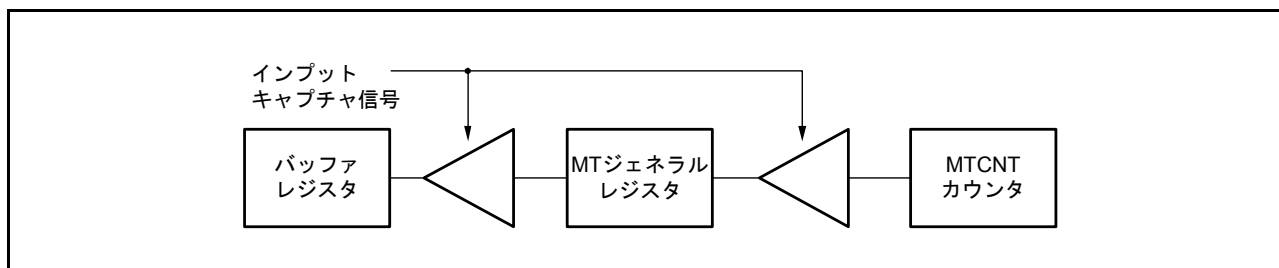


図 16.16 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

図 16.17 にバッファ動作の設定手順例を示します。

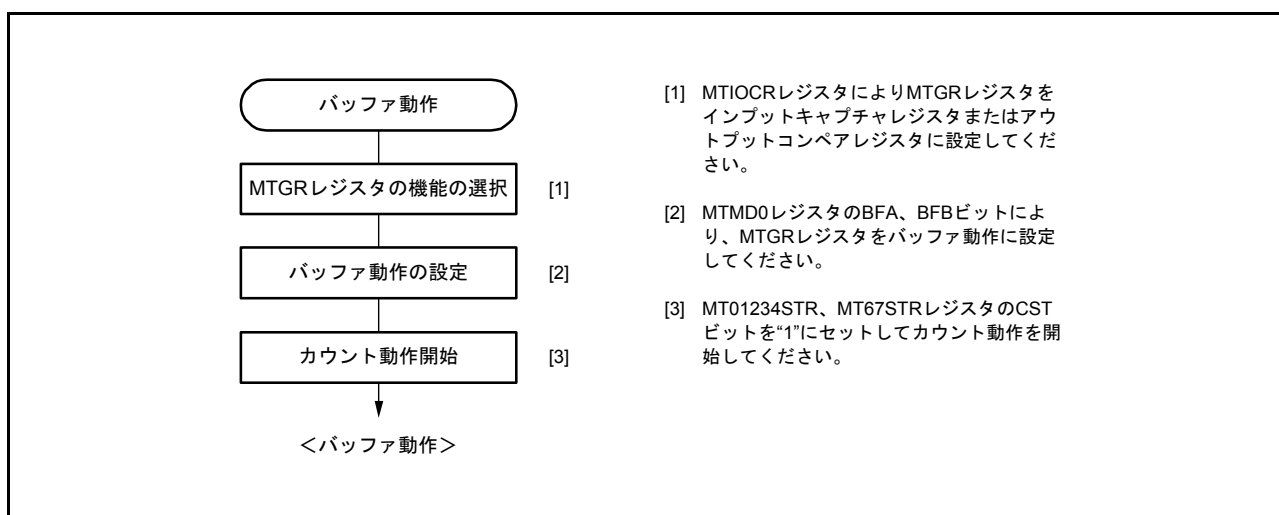


図 16.17 バッファ動作の設定手順例

(2) バッファ動作例

(a) MTGR レジスタがアウトプットコンペアレジスタの場合

図 16.18 にチャンネル 0 を PWM モード 1 に設定し、MTGRA レジスタと MTGRC レジスタをバッファ動作に設定した場合の動作例を示します。MTCNT カウンタはコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。この例では、MTBTM レジスタの TTSA ビットは“0”に設定しています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ (MTGRC) の値が MT ジェネラルレジスタ A (MTGRA) に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「16.3.5 PWM モード」を参照してください。

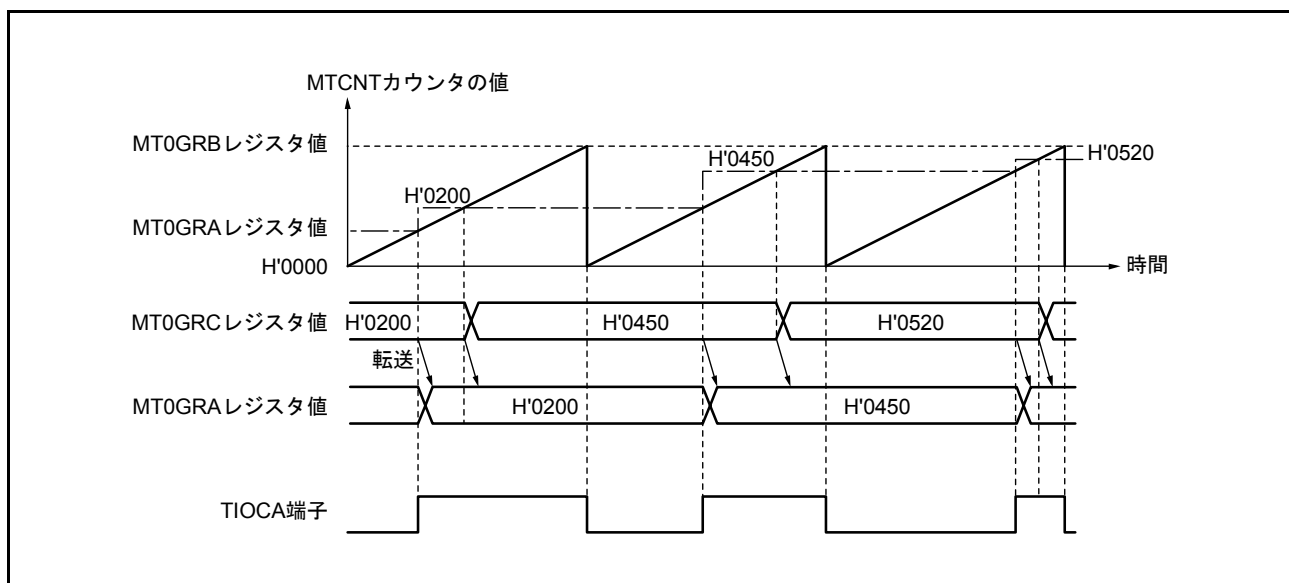


図 16.18 バッファ動作例 (1)

(b) MTGR レジスタがインプットキャプチャレジスタの場合

図 16.19 に MTGRA レジスタをインプットキャプチャレジスタに設定し、MTGRA レジスタと MTGRC レジスタをバッファ動作に設定したときの動作例を示します。

MTCNT カウンタは MTGRA レジスタのインプットキャプチャでカウンタクリア、TIOCA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により MTCNT カウンタの値が MTGRA レジスタに格納されると同時に、それまで MTGRA レジスタに格納されていた値が MTGRC レジスタに転送されます。

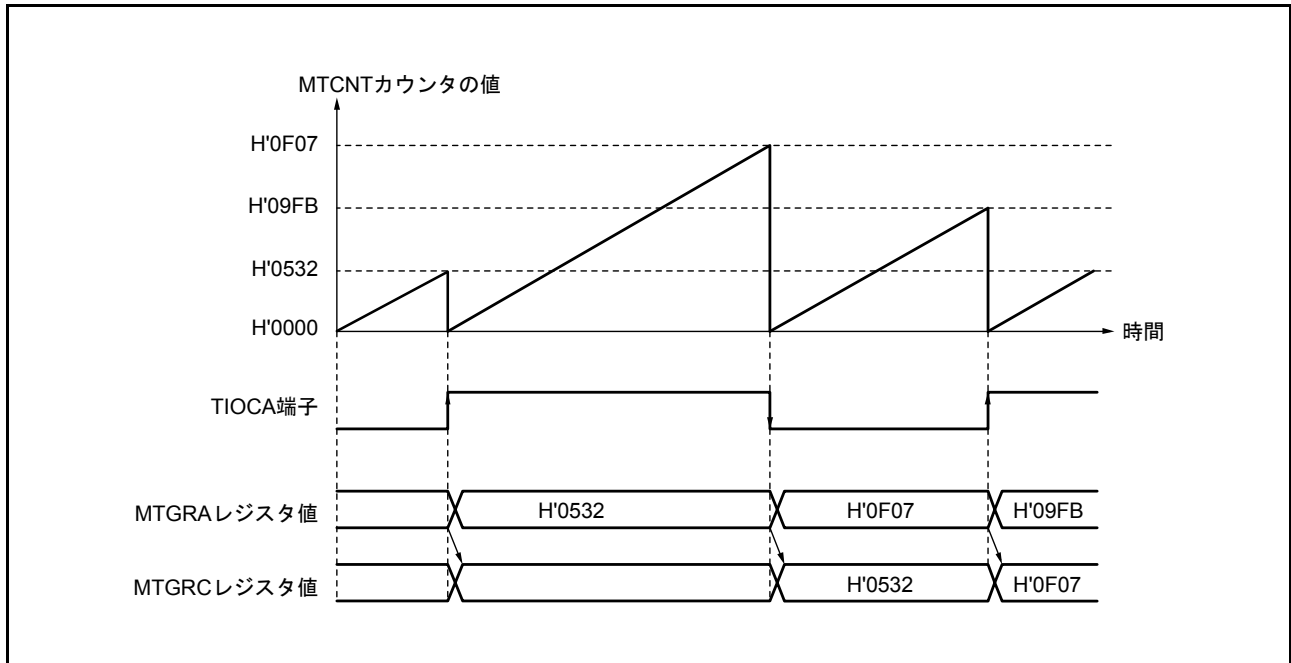


図 16.19 バッファ動作例 (2)

(3) バッファ動作時のバッファレジスタから MTGR レジスタへの転送タイミング選択

MTBTM レジスタを設定することで、チャンネル 0 では PWM モード 1、2 時の、チャンネル 3、4、6、7 では PWM モード 1 時の、バッファレジスタから MTGR レジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時(初期値)と MTCNT カウンタクリア時のいずれか一方です。ここで MTCNT カウンタのクリア時とは次の条件のいずれかが成立したときです。

- MTCNT カウンタがオーバーフローしたとき (“H'FFFF” → “H'0000”)
- カウンタ動作中、MTCNT カウンタに “H'0000” が書き込まれたとき
- MTCR レジスタの CCLR ビットで設定したクリア要因で、MTCNT カウンタが “H'0000” になったとき

注・ MTBTM レジスタの設定は MTCNT カウンタが停止した状態で行ってください。

図 16.20 にチャンネル 0 を PWM モード 1 に設定し、MT0GRA レジスタと MT0GRC レジスタをバッファ動作に設定した場合の動作例を示します。MT0CNT カウンタはコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力、MT0BTM レジスタの TTSA ビットは “1” に設定しています。

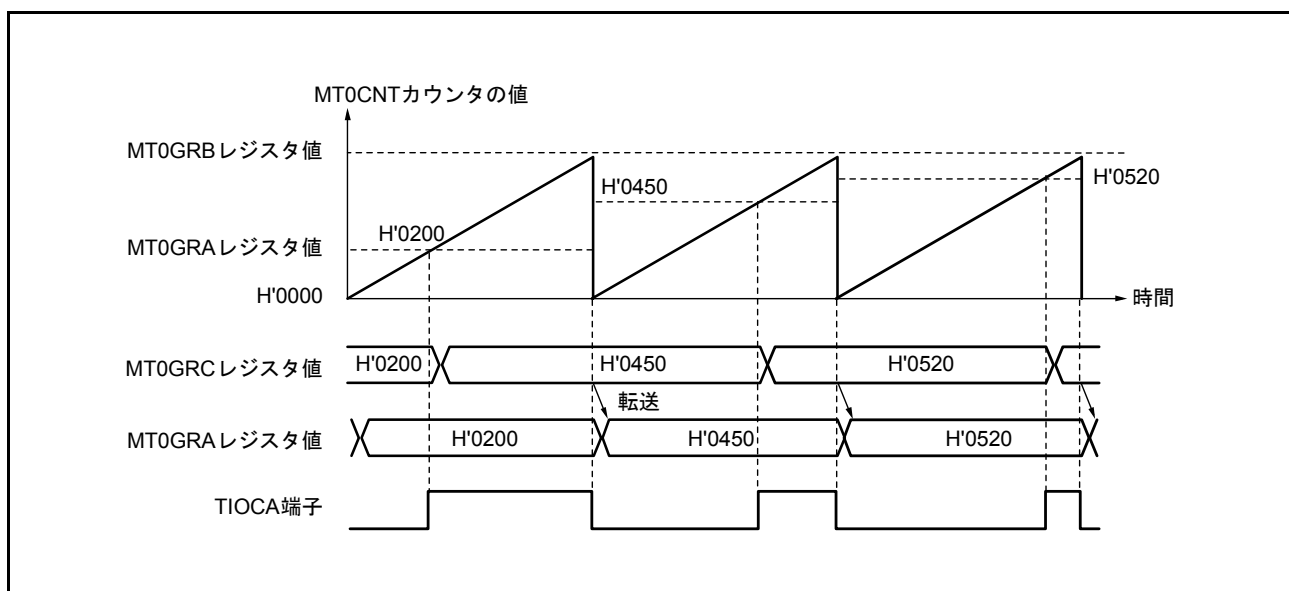


図 16.20 MT0GRC レジスタから MT0GRA レジスタのバッファ転送タイミングを MTCNT カウンタクリア時に選択した場合の動作例

16.3.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、チャンネル1のカウンタクロックをMTCRレジスタのTPSCビットでMT2CNTカウンタのオーバフロー/アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位16ビットのMTCNTカウンタが位相計数モードのときのみです。

表16.62にカスケード接続組み合わせを示します。

注・チャンネル1を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 16.62 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
チャンネル1とチャンネル2	MT1CNT	MT2CNT

カスケード動作時に、TCNT_1とTCNT_2の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ(TICCR)で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子と追加した入力端子のORを取った信号に対して行われます。詳細は「16.3.4(4)カスケード接続動作例(c)」を参照してください。カスケード接続時のインプットキャプチャについては「16.6.20カスケード接続におけるMT1CNT、MT2CNTカウンタ同時インプットキャプチャ」を参照してください。

表16.63にMT1ICCRレジスタ設定値とインプットキャプチャ入力端子の対応を示します。

表 16.63 MT1ICCRレジスタ設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	MT1ICCRレジスタ設定値	インプットキャプチャ入力端子
MT1CNTカウンタからMT1GRAレジスタへのインプットキャプチャ	I2AEビット=0(初期値)	TIOC1A
	I2AEビット=1	TIOC1A、TIOC2A
MT1CNTカウンタからMT1GRBレジスタへのインプットキャプチャ	I2BEビット=0(初期値)	TIOC1B
	I2BEビット=1	TIOC1B、TIOC2B
MT2CNTカウンタからMT2GRAレジスタへのインプットキャプチャ	I1AEビット=0(初期値)	TIOC2A
	I1AEビット=1	TIOC2A、TIOC1A
MT2CNTカウンタからMT2GRBレジスタへのインプットキャプチャ	I1BEビット=0(初期値)	TIOC2B
	I1BEビット=1	TIOC2B、TIOC1B

(1) カスケード接続動作の設定手順例

図 16.21 にカスケード接続動作の設定手順例を示します。

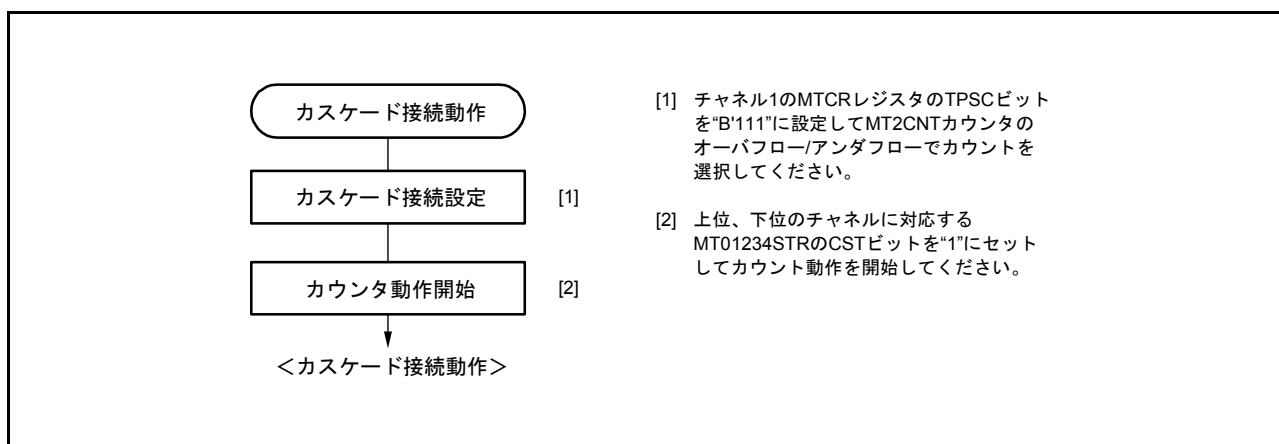


図 16.21 カスケード接続動作の設定手順

(2) カスケード接続動作例 (a)

図 16.22 に MT1CNT カウンタは MT2CNT カウンタのオーバーフロー/アンダフローでカウント、チャンネル 2 を位相計数モードに設定したときの動作を示します。

MT1CNT カウンタは、MT2CNT カウンタのオーバーフローでアップカウント、MT2CNT カウンタのアンダフローでダウンカウントされます。

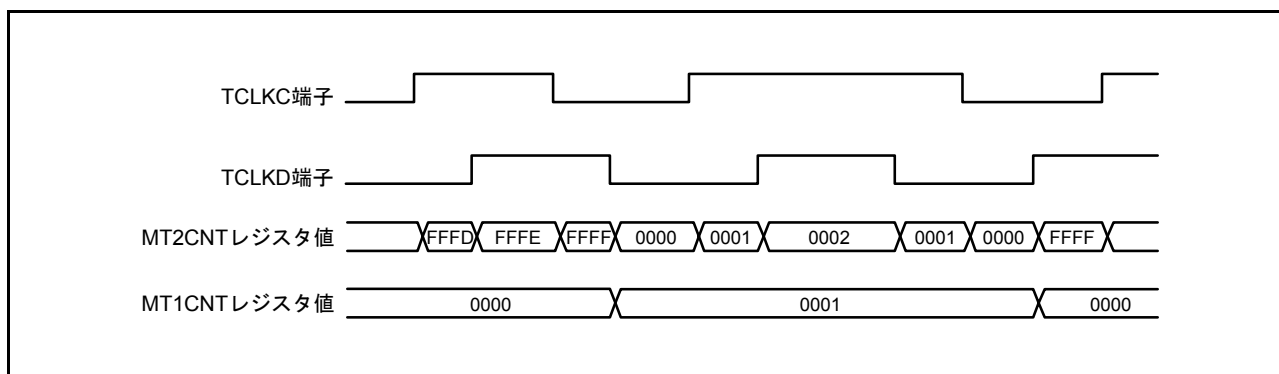


図 16.22 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

図 16.23 に MT1CNT、MT2CNT カウンタをカスケード接続し、MT1ICCR レジスタの I2AE ビットに“1”をセットして、TIOC2A 端子を MT1GRA レジスタのインプットキャプチャ条件に追加した場合の動作を示します。この例では MT1IOCR0 レジスタの IOA ビットの設定は、(TIOC1A 端子の) 立ち上がりエッジでインプットキャプチャに設定しています。また、MT2IOCR0 レジスタの IOA ビットの設定は、(TIOC2A 端子の) 立ち上がりエッジでインプットキャプチャに設定しています。

この場合、TIOC1A 端子と TIOC2A 端子の両方の立ち上がりエッジが MT1GRA のインプットキャプチャ条件に設定されます。また、MT2GRA レジスタのインプットキャプチャ条件は TIOC2A 端子の立ち上がりエッジとなります。

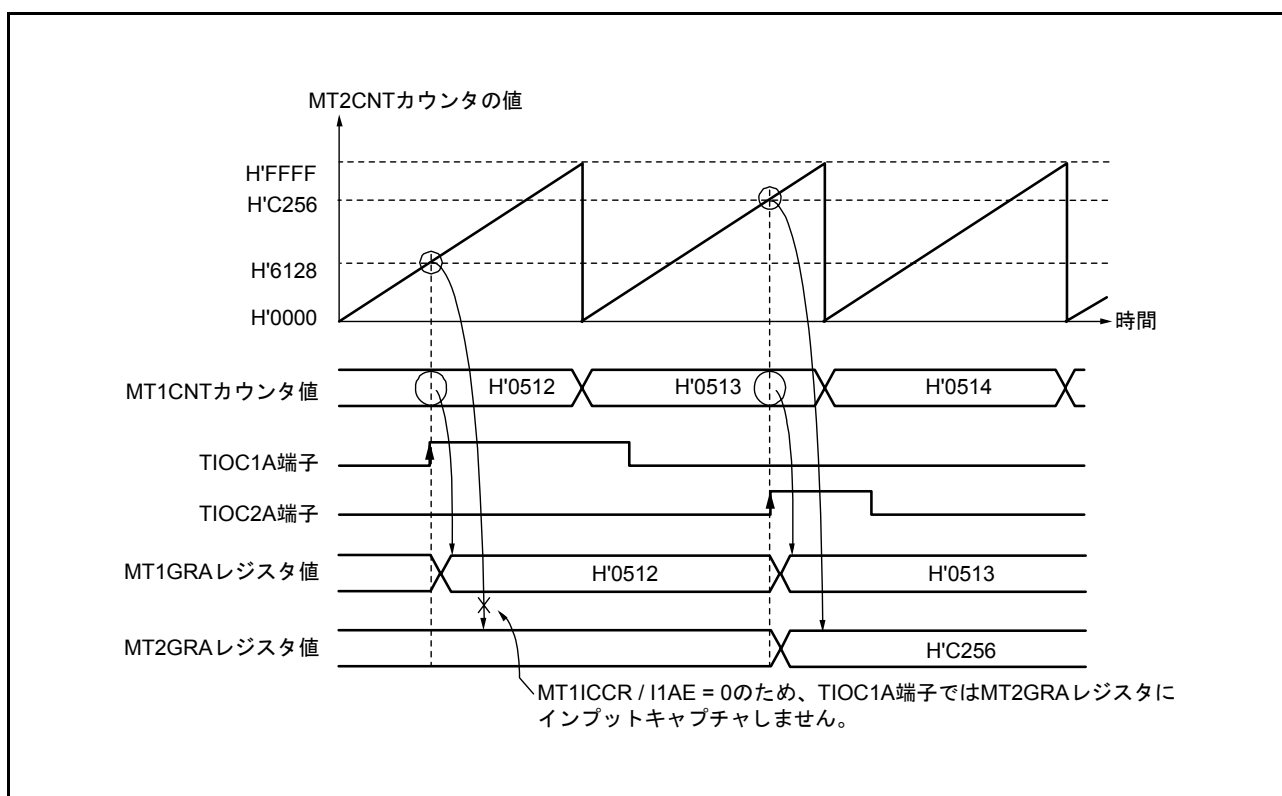


図 16.23 カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

図 16.24 に MT1CNT、MT2CNT カウンタをカスケード接続し、MT1CCR レジスタの I2AE ビットと I1AE に“1”をセットして、TIOC2A 端子を MT1GRA レジスタのインプットキャプチャ条件に追加し、TIOC1A 端子を MT2GRA レジスタのインプットキャプチャ条件に追加した場合の動作を示します。この例では MT1IOCR0 レジスタ、MT2IOCR0 レジスタの IOA ビットの設定は、どちらも両エッジでインプットキャプチャに設定しています。この場合、TIOC1A 端子と TIOC2A 端子入力の OR が MT1GRA レジスタおよび MT2GRA レジスタのインプットキャプチャ条件となります。

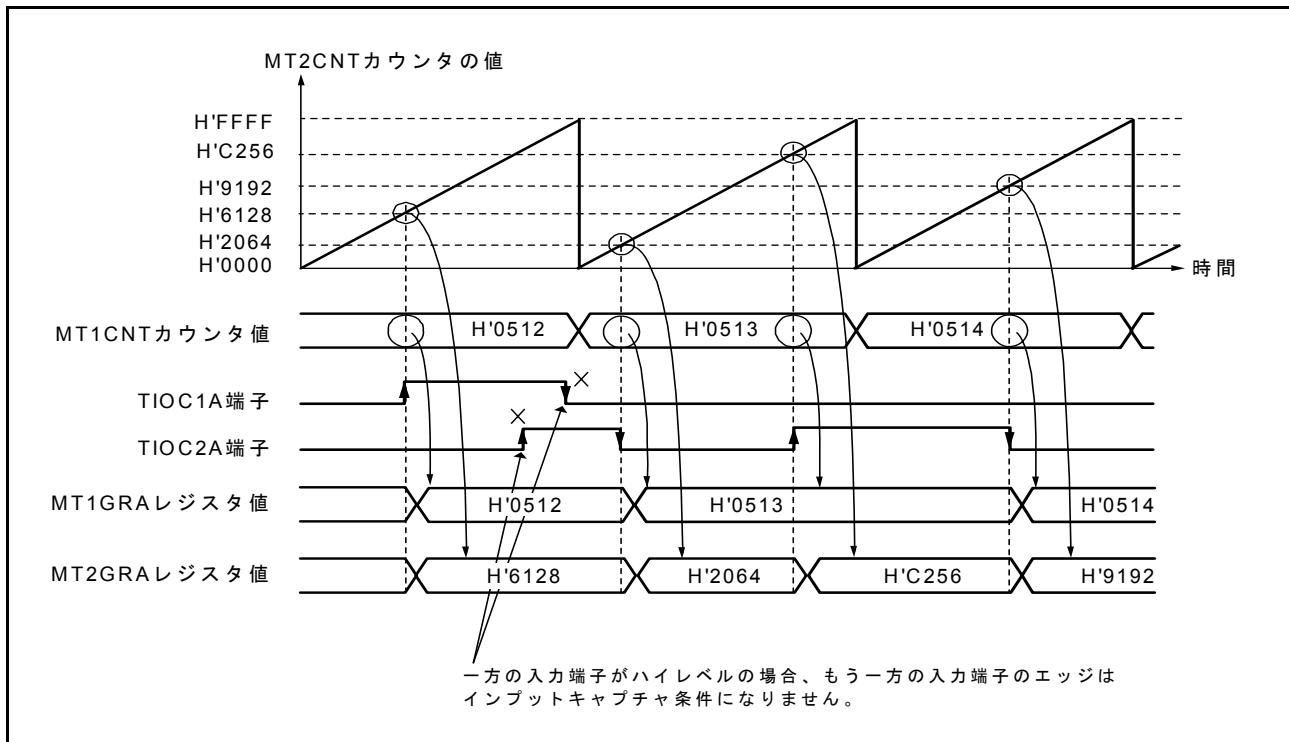


図 16.24 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

図 16.25 に MT1CNT、MT2CNT カウンタをカスケード接続し、MT1CCR レジスタの I2AE ビットに“1”をセットして、TIOC2A 端子を MT1GRA レジスタのインプットキャプチャ条件に追加した場合の動作を示します。この例では MT1IOCR0 レジスタの IOA ビットの設定は、MT0GRA レジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャに設定しています。

また、MT2IOCR0 レジスタの IOA ビットの設定は、(TIOC2A 端子の) 立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MT1IOCR0 レジスタの設定が MT0GRA レジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャのため、MT1CCR レジスタの I2AE ビットを“1”にセットしても TIOC2A 端子のエッジが MT1GRA レジスタのインプットキャプチャ条件になることはありません。

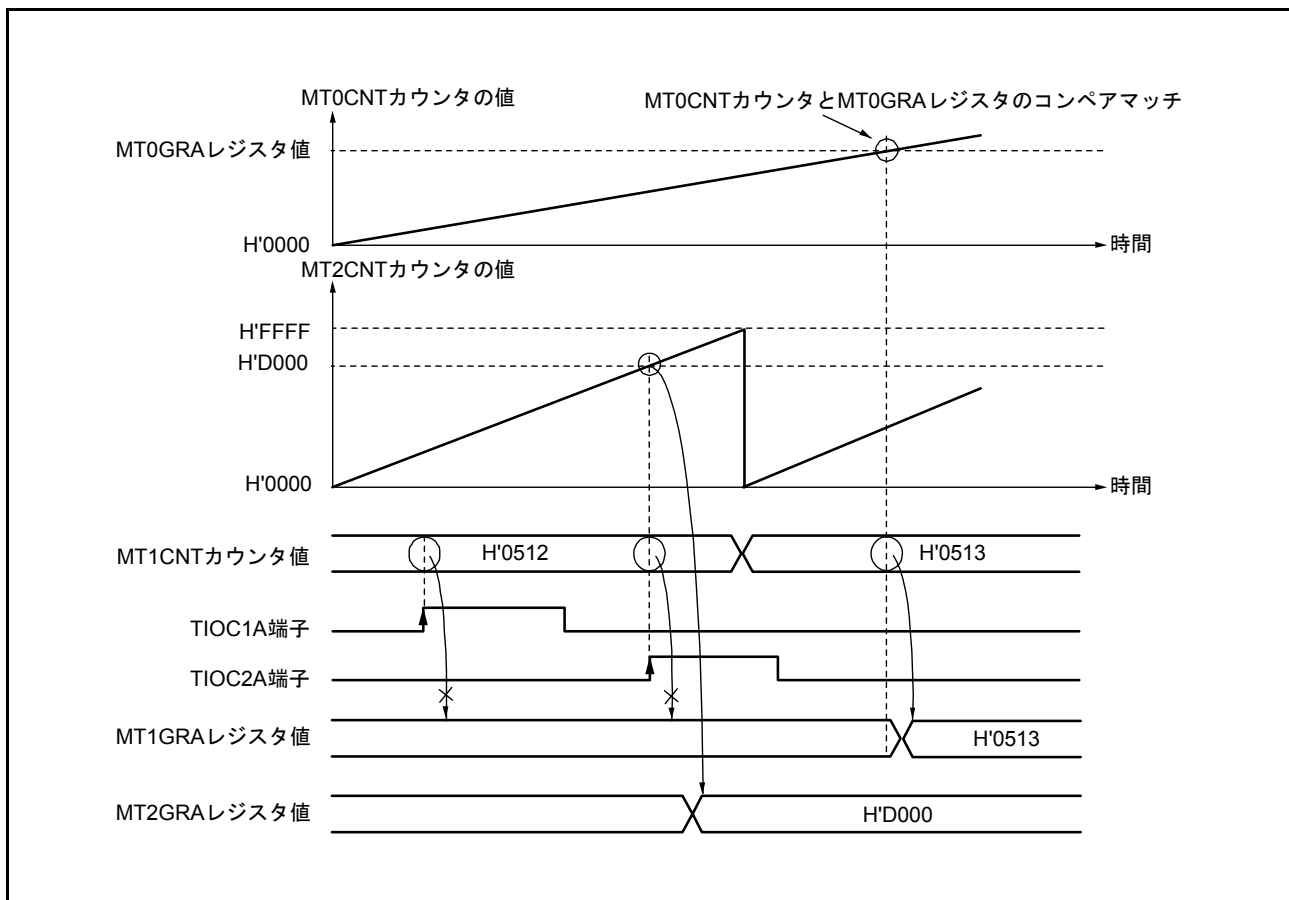


図 16.25 カスケード接続動作例 (d)

16.3.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 MTGR レジスタのコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

各 MTGR レジスタの設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

MTGR レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

MTGRA レジスタと MTGRB レジスタ、MTGRC レジスタと MTGRD レジスタをペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって MTIOCR レジスタの IOA3 ~ IOA0、IOC3 ~ IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって MTIOCR レジスタの IOB3 ~ IOB0、IOD3 ~ IOD0 ビットで指定した出力を行います。初期出力値は MTGRA、MTGRC レジスタに設定した値になります。ペアで使用する MTGR レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 12 相の PWM 出力が可能です。

(b) PWM モード 2

MTGR レジスタの 1 本を周期レジスタ、他の MTGR レジスタをデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、MTIOCR レジスタで指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は MTIOCR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 8 相の PWM 出力が可能です。

表 16.64 に PWM 出力端子とレジスタの対応を示します。

表 16.64 各PWM出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	MT0GRA	TIOC0A	TIOC0A
	MT0GRB		TIOC0B
	MT0GRC	TIOC0C	TIOC0C
	MT0GRD		TIOC0D(注 1)
1	MT1GRA	TIOC1A(注 1)	TIOC1A(注 1)
	MT1GRB		TIOC1B
2	MT2GRA	TIOC2A(注 1)	TIOC2A(注 1)
	MT2GRB		TIOC2B(注 1)
3	MT3GRA	TIOC3A	設定できません
	MT3GRB		
	MT3GRC	TIOC3C	
	MT3GRD		
4	MT4GRA	TIOC4A	
	MT4GRB		
	MT4GRC	TIOC4C	
	MT4GRD		
6	MT6GRA	TIOC6A(注 1)	
	MT6GRB		
	MT6GRC	TIOC6C(注 1)	
	MT6GRD		
7	MT7GRA	TIOC7A	
	MT7GRB		
	MT7GRC	TIOC7C	
	MT7GRD		

注1. SH72A0 グループ: 本機能は使用できません。

注. • PWMモード2のとき、周期を設定したMTGRレジスタのPWM出力はできません。

(1) PWMモードの設定手順例

図 16.26 に PWM モードの設定手順例を示します。

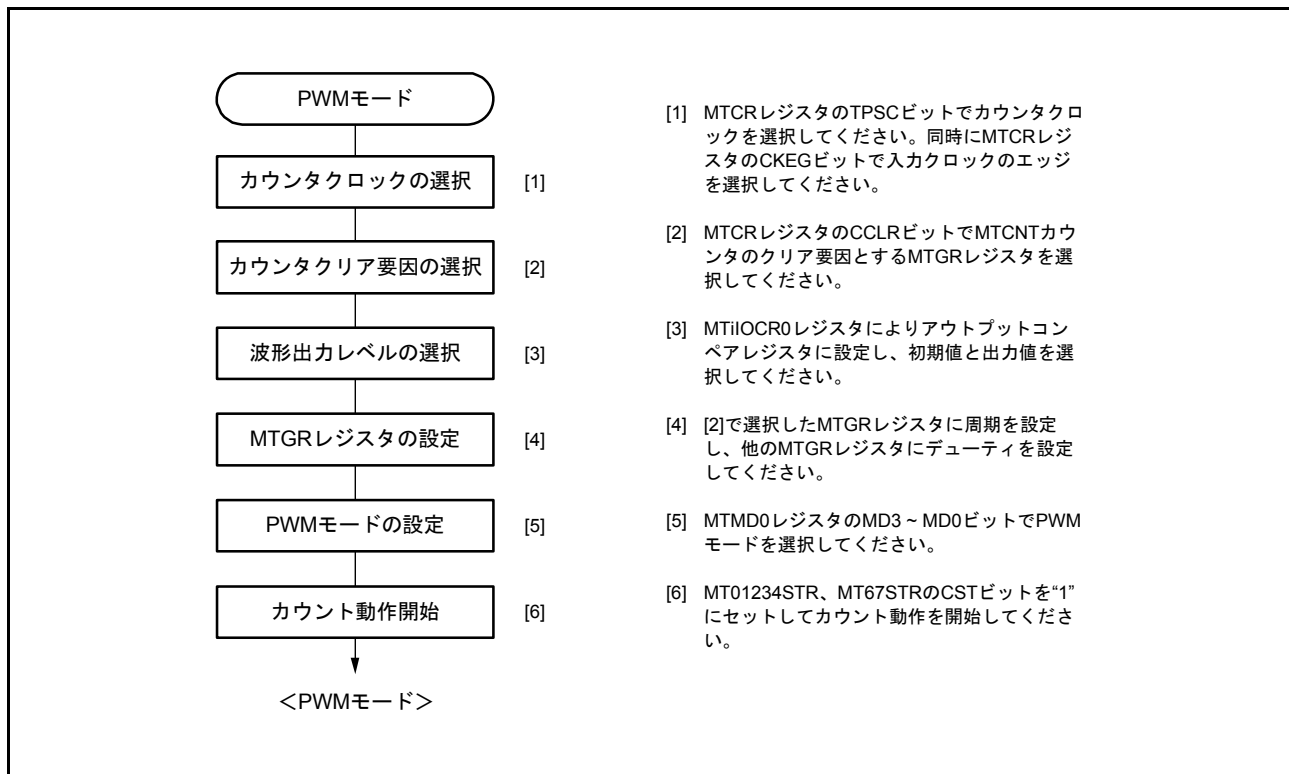


図 16.26 PWMモードの設定手順例

(2) PWMモードの動作例

図 16.27 に PWM モード 1 の動作例を示します。

この図は、MTCNT カウンタのクリア要因を MTGRA レジスタのコンペアマッチとし、MTGRA レジスタの初期出力値と出力値を“0”、MTGRB レジスタの出力値を“1”に設定した場合の例です。

この場合、MTGRA レジスタに設定した値が周期となり、MTGRB レジスタに設定した値がデューティになります。

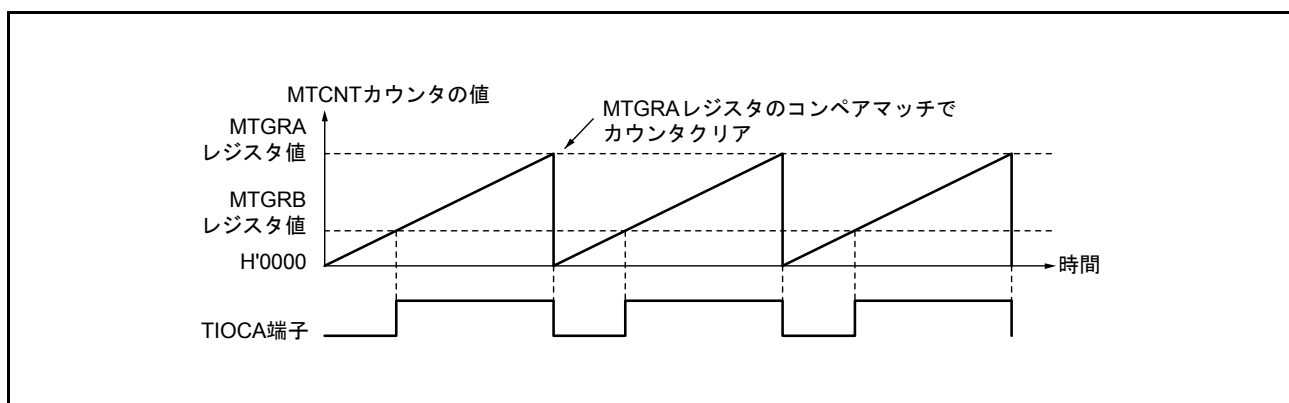


図 16.27 PWMモード1の動作例

図 16.28 に PWM モード 2 の動作例を示します。

この図は、チャンネル 0 と 1 を同期動作させ、MTCNT カウンタのクリア要因を MT1GRB レジスタのコンペアマッチとし、他の MT0GRA ~ MT0GRD、MT1GRA レジスタの初期出力値を“0”、出力値を“1”に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、MT1GRB レジスタに設定した値が周期となり、他の MTGR レジスタに設定した値がデューティになります。

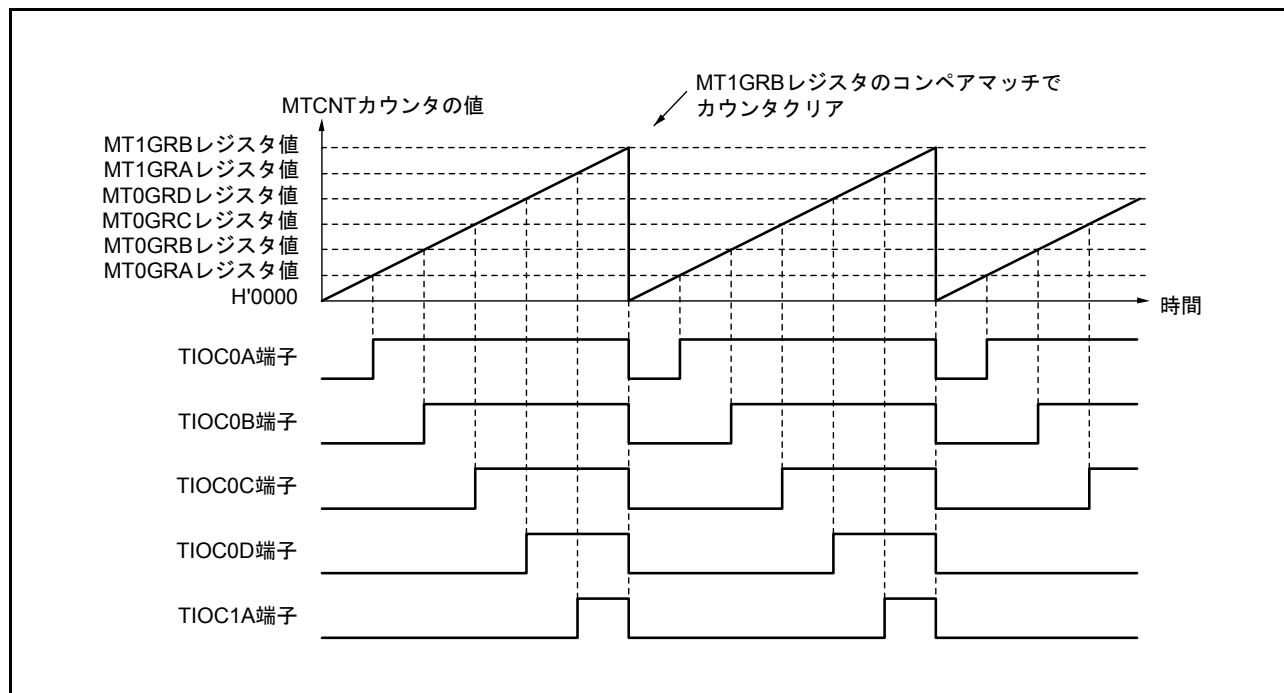


図 16.28 PWM モード 2 の動作例

図 16.29 に PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を示します。

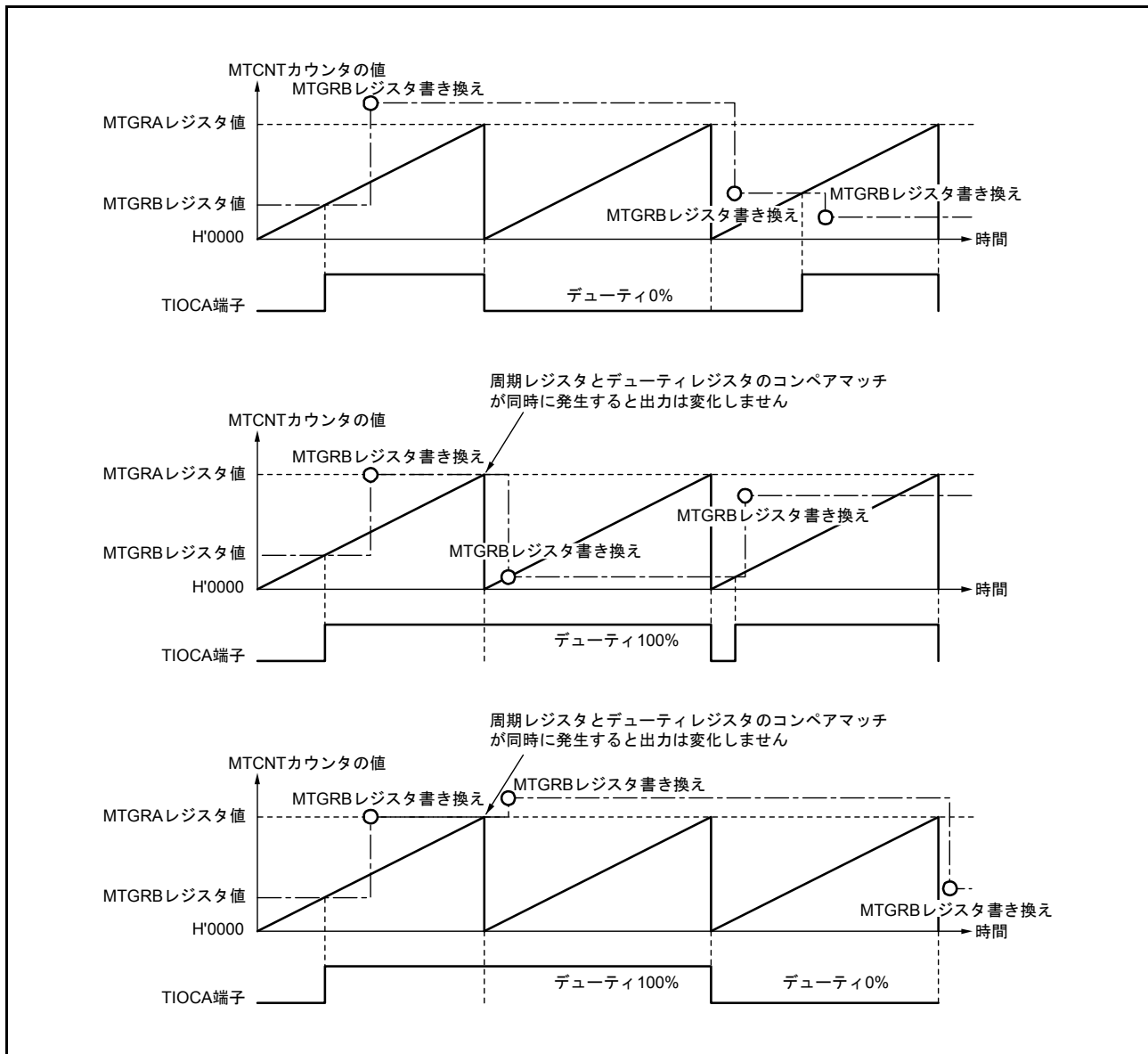


図 16.29 PWM モードの動作例

16.3.6 位相計数モード

位相計数モードは、チャンネル1、2の設定により、2本の外部クロック入力の位相差を検出し、MTCNTカウンタをアップ/ダウンカウントします。

位相計数モードに設定すると、MTCRレジスタのTPSCビット、CKEGビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、MTCNTカウンタはアップ/ダウンカウンタとして動作します。ただし、MTCRレジスタのCCLRビット、MTIOCRレジスタ、MTIENレジスタ、MTGRレジスタの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2相エンコーダパルスの入力として使用できます。

MTCNTカウンタがアップカウント時、オーバフローが発生するとするとMTSRレジスタのTCFVフラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFUフラグがセットされます。

MTSRレジスタのTCFDビットはカウント方向フラグです。TCFDフラグを読み出すことにより、MTCNTカウンタがアップカウントしているかダウンカウントしているかを確認することができます。

表 16.65 に外部クロック端子とチャンネルの対応を示します。

表 16.65 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
チャンネル1を位相計数モードとするとき	TCLKA	TCLKB
チャンネル2を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

図 16.30 に位相計数モードの設定手順例を示します。

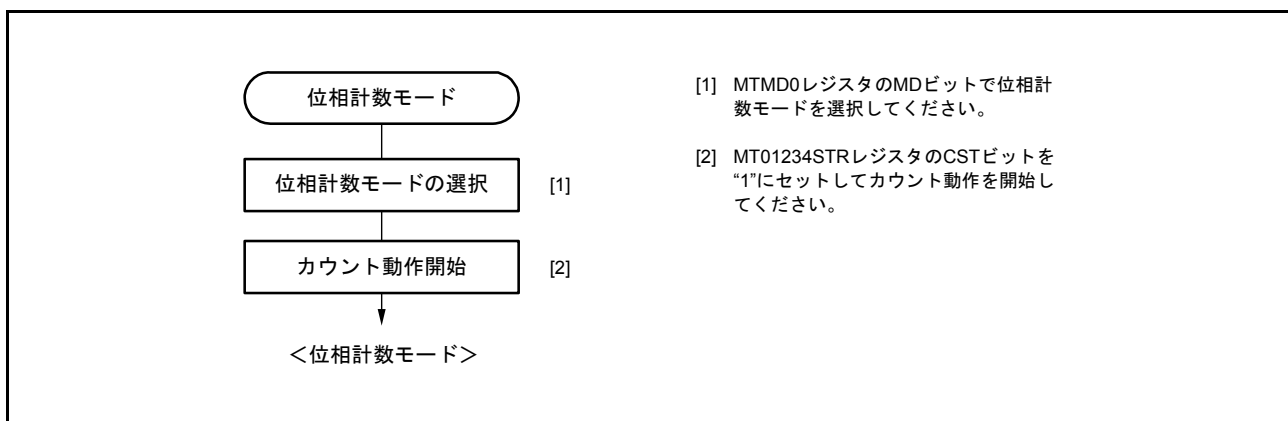


図 16.30 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でMTCNTカウンタがアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

図16.31に位相計数モード1の動作例を、表16.66にMTCNTカウンタのアップ/ダウンカウント条件を示します。

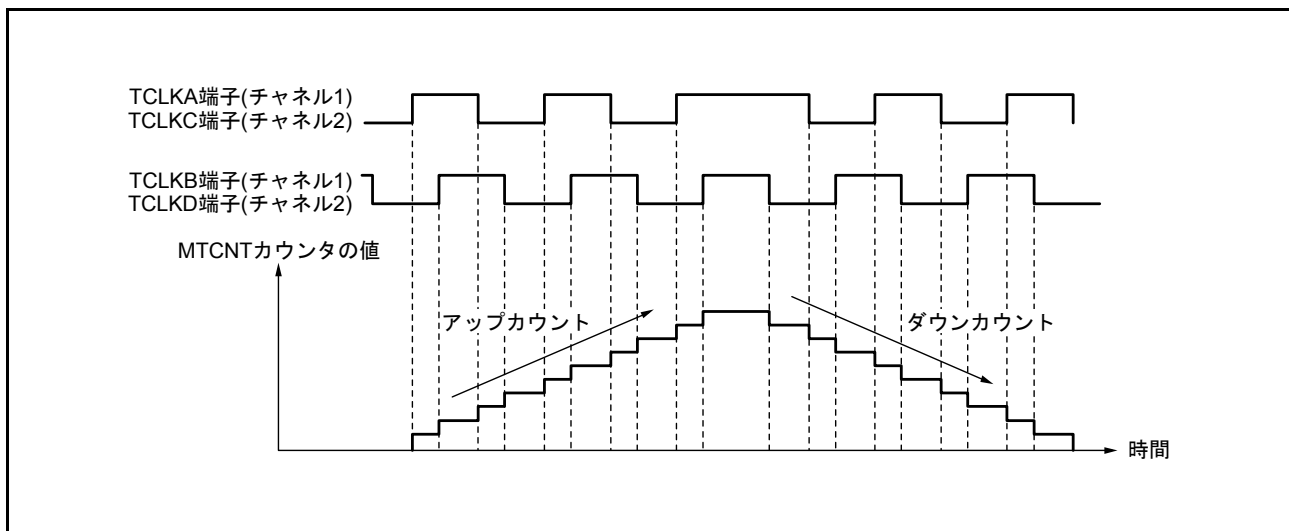


図 16.31 位相計数モード1の動作例

表 16.66 位相計数モード1のアップ/ダウンカウント条件

TCLKA端子(チャンネル1)	TCLKB端子(チャンネル1)	動作内容
TCLKC端子(チャンネル2)(注1)	TCLKD端子(チャンネル2)(注1)	
High レベル	立ち上がりエッジ	アップカウント
Low レベル	立ち下がりエッジ	
立ち上がりエッジ	Low レベル	
立ち下がりエッジ	High レベル	
High レベル	立ち下がりエッジ	ダウンカウント
Low レベル	立ち上がりエッジ	
立ち上がりエッジ	High レベル	
立ち下がりエッジ	Low レベル	

注1. SH72A0グループ: 本機能は使用できません。

(b) 位相計数モード2

図 16.32 に位相計数モード2の動作例を、表 16.67 に MTCNT カウンタのアップ/ダウンカウント条件を示します。

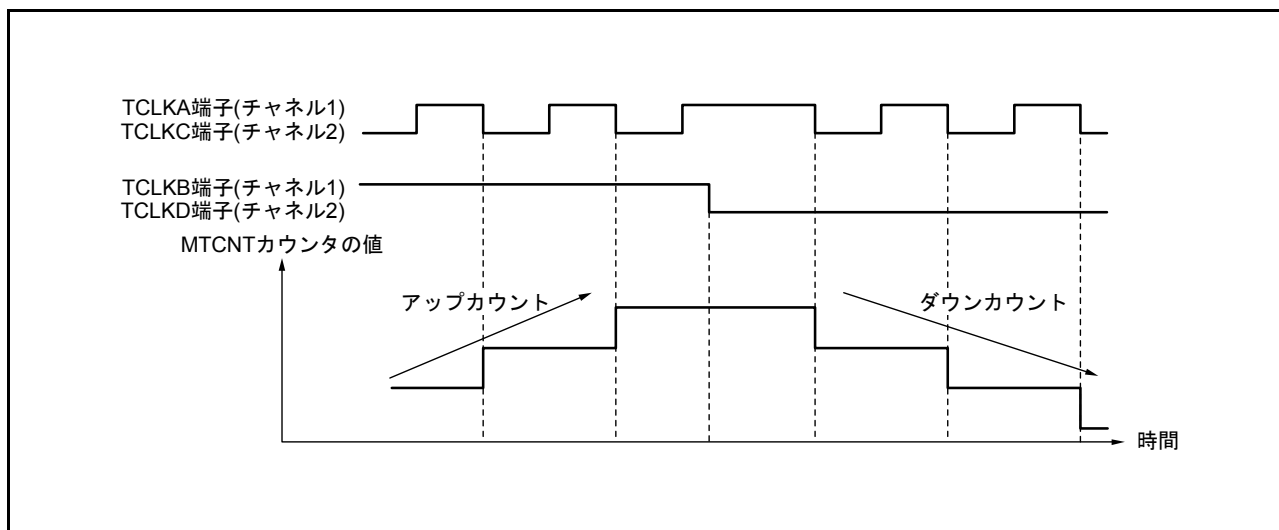


図 16.32 位相計数モード2の動作例

表 16.67 位相計数モード2のアップ/ダウンカウント条件

TCLKA 端子 (チャンネル1)	TCLKB 端子 (チャンネル1)	動作内容
TCLKC 端子 (チャンネル2)(注1)	TCLKD 端子 (チャンネル2)(注1)	
High レベル	立ち上がりエッジ	カウントしない (Don't care)
Low レベル	立ち下がりエッジ	カウントしない (Don't care)
立ち上がりエッジ	Low レベル	カウントしない (Don't care)
立ち下がりエッジ	High レベル	アップカウント
High レベル	立ち下がりエッジ	カウントしない (Don't care)
Low レベル	立ち上がりエッジ	カウントしない (Don't care)
立ち上がりエッジ	High レベル	カウントしない (Don't care)
立ち下がりエッジ	Low レベル	ダウンカウント

注1. SH72A0グループ: 本機能は使用できません。

(c) 位相計数モード3

図 16.33 に位相計数モード3の動作例を、表 16.68 に MTCNT カウンタのアップ/ダウンカウント条件を示します。

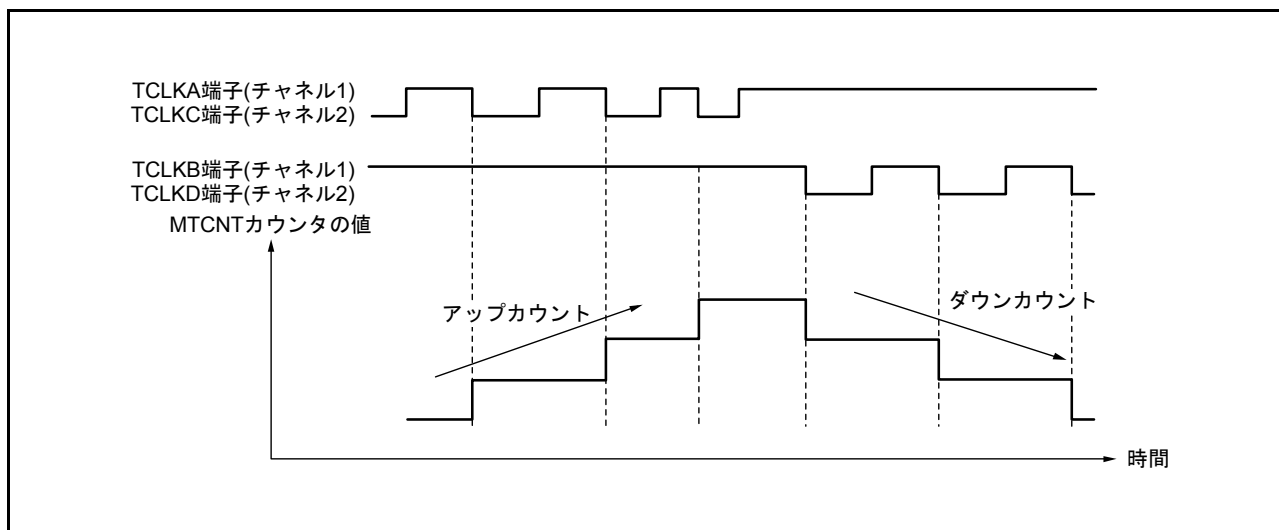


図 16.33 位相計数モード3の動作例

表 16.68 位相計数モード3のアップ/ダウンカウント条件

TCLKA 端子 (チャンネル1)	TCLKB 端子 (チャンネル1)	動作内容
TCLKC 端子 (チャンネル2)(注1)	TCLKD 端子 (チャンネル2)(注1)	
High レベル	立ち上がりエッジ	カウントしない (Don't care)
Low レベル	立ち下がりエッジ	カウントしない (Don't care)
立ち上がりエッジ	Low レベル	カウントしない (Don't care)
立ち下がりエッジ	High レベル	アップカウント
High レベル	立ち下がりエッジ	ダウンカウント
Low レベル	立ち上がりエッジ	カウントしない (Don't care)
立ち上がりエッジ	High レベル	カウントしない (Don't care)
立ち下がりエッジ	Low レベル	カウントしない (Don't care)

注1. SH72A0グループ: 本機能は使用できません。

(d) 位相計数モード4

図 16.34 に位相計数モード4の動作例を、表 16.69 に MTCNT カウンタのアップ/ダウンカウント条件を示します。

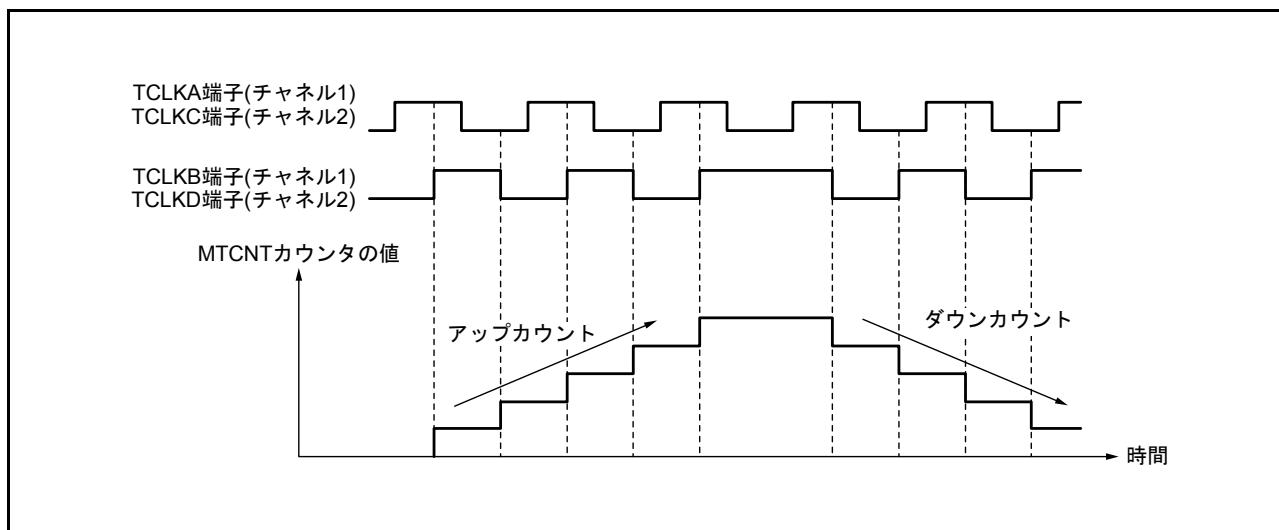


図 16.34 位相計数モード4の動作例

表 16.69 位相計数モード4のアップ/ダウンカウント条件

TCLKA 端子 (チャンネル1)	TCLKB 端子 (チャンネル1)	動作内容
TCLKC 端子 (チャンネル2)(注1)	TCLKD 端子 (チャンネル2)(注1)	
High レベル	立ち上がりエッジ	アップカウント
Low レベル	立ち下がりエッジ	
立ち上がりエッジ	Low レベル	カウントしない (Don't care)
立ち下がりエッジ	High レベル	
High レベル	立ち下がりエッジ	ダウンカウント
Low レベル	立ち上がりエッジ	
立ち上がりエッジ	High レベル	カウントしない (Don't care)
立ち下がりエッジ	Low レベル	

注1. SH72A0グループ: 本機能は使用できません。

(3) 位相計数モード応用例

図 16.35 にチャンネル 1 を位相計数モードに設定し、チャンネル 0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を示します。

チャンネル 1 は位相計数モード 1 に設定し、TCLKA 端子と TCLKB 端子にエンコーダパルスの A 相、B 相を入力します。

チャンネル 0 は MTCNT カウンタを MT0GRC レジスタのコンペアマッチでカウンタクリアとして動作させ、MT0GRA レジスタと MT0GRC レジスタはコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。MT0GRB レジスタは入力キャプチャ機能で使用し、MT0GRB レジスタと MT0GRD レジスタをバッファ動作させます。MT0GRB レジスタの入力キャプチャ要因は、チャンネル 1 のカウンタ入力クロックとし、2 相エンコーダの 4 通倍パルスのパルス幅を検出します。

チャンネル 1 の MT1GRA レジスタと MT1GRB レジスタは、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル 0 の MT0GRA レジスタと MT0GRC レジスタのコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

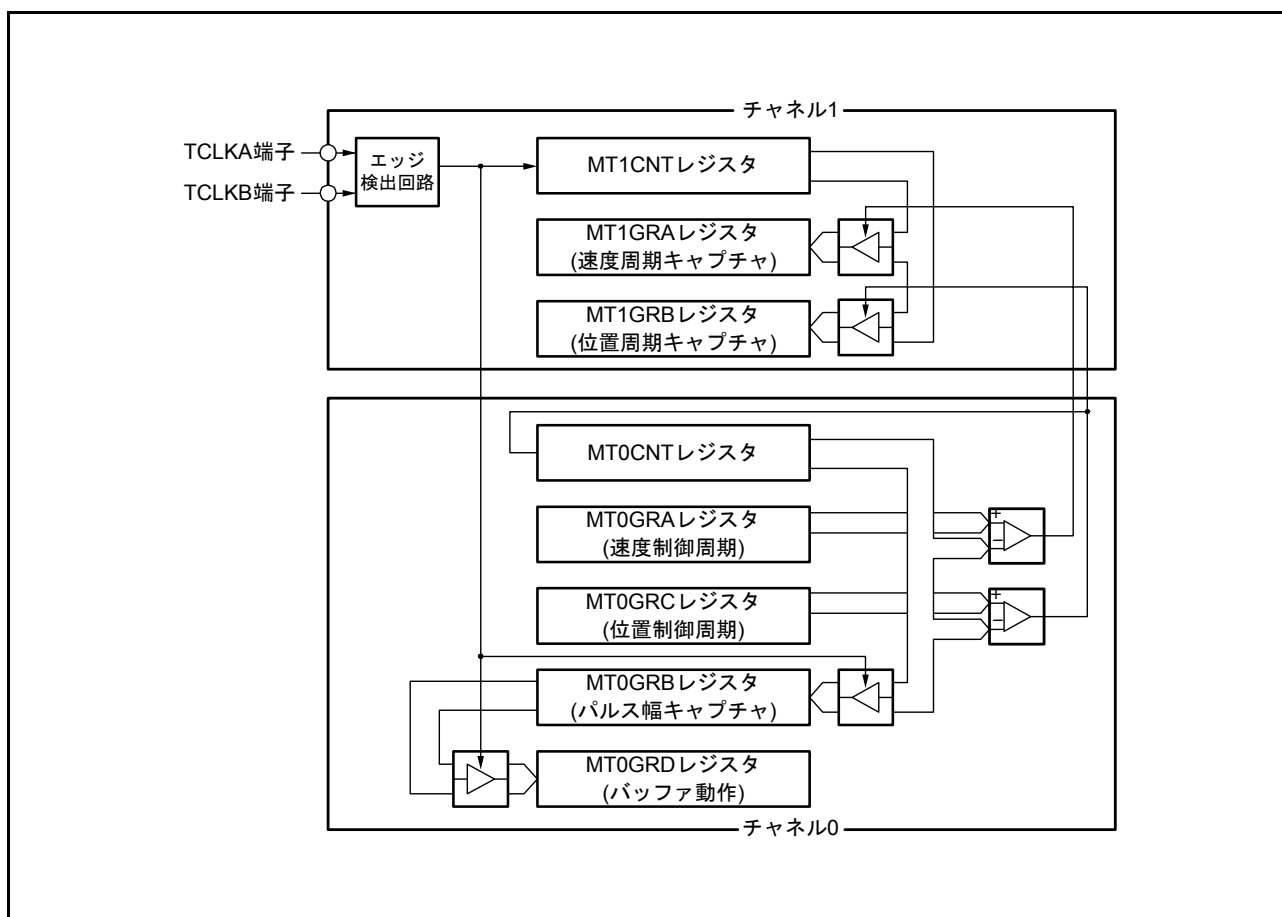


図 16.35 位相計数モードの応用例

16.3.7 リセット同期 PWM モード

リセット同期 PWM モードは、チャンネル 3、4 およびチャンネル 6、7 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形 (正相・逆相) を各 3 相、計 6 相を出力します。

リセット同期 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、TIOC4D、TIOC6B、TIOC6D、TIOC7A、TIOC7C、TIOC7B、TIOC7D 端子は PWM 出力端子となり、MT3CNT、MT6CNT カウンタはアップカウンタとして機能します。

表 16.70 に使用される PWM 出力端子を、表 16.71 に使用するレジスタの設定を示します。

表 16.70 リセット同期 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3B	PWM 出力端子 1
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 の逆相波形)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 の逆相波形)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 の逆相波形)
6	TIOC6B	PWM 出力端子 4
	TIOC6D	PWM 出力端子 4' (PWM 出力 4 の逆相波形)
7	TIOC7A	PWM 出力端子 5
	TIOC7C	PWM 出力端子 5' (PWM 出力 5 の逆相波形)
	TIOC7B	PWM 出力端子 6
	TIOC7D	PWM 出力端子 6' (PWM 出力 6 の逆相波形)

表 16.71 リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
MT3CNT	H'0000 を初期設定
MT4CNT	H'0000 を初期設定
MT3GRA	MT3CNT カウンタのカウント周期を設定
MT3GRB	TIOC3B、TIOC3D 端子より出力される PWM 波形の変化点を設定
MT4GRA	TIOC4A、TIOC4C 端子より出力される PWM 波形の変化点を設定
MT4GRB	TIOC4B、TIOC4D 端子より出力される PWM 波形の変化点を設定
MT6CNT	H'0000 を初期設定
MT7CNT	H'0000 を初期設定
MT6GRA	MT6CNT のカウント周期を設定
MT6GRB	TIOC6B、TIOC6D 端子より出力される PWM 波形の変化点を設定
MT7GRA	TIOC7A、TIOC7C 端子より出力される PWM 波形の変化点を設定
MT7GRB	TIOC7B、TIOC7D 端子より出力される PWM 波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

図 16.36 にリセット同期 PWM モードの設定手順例を示します。

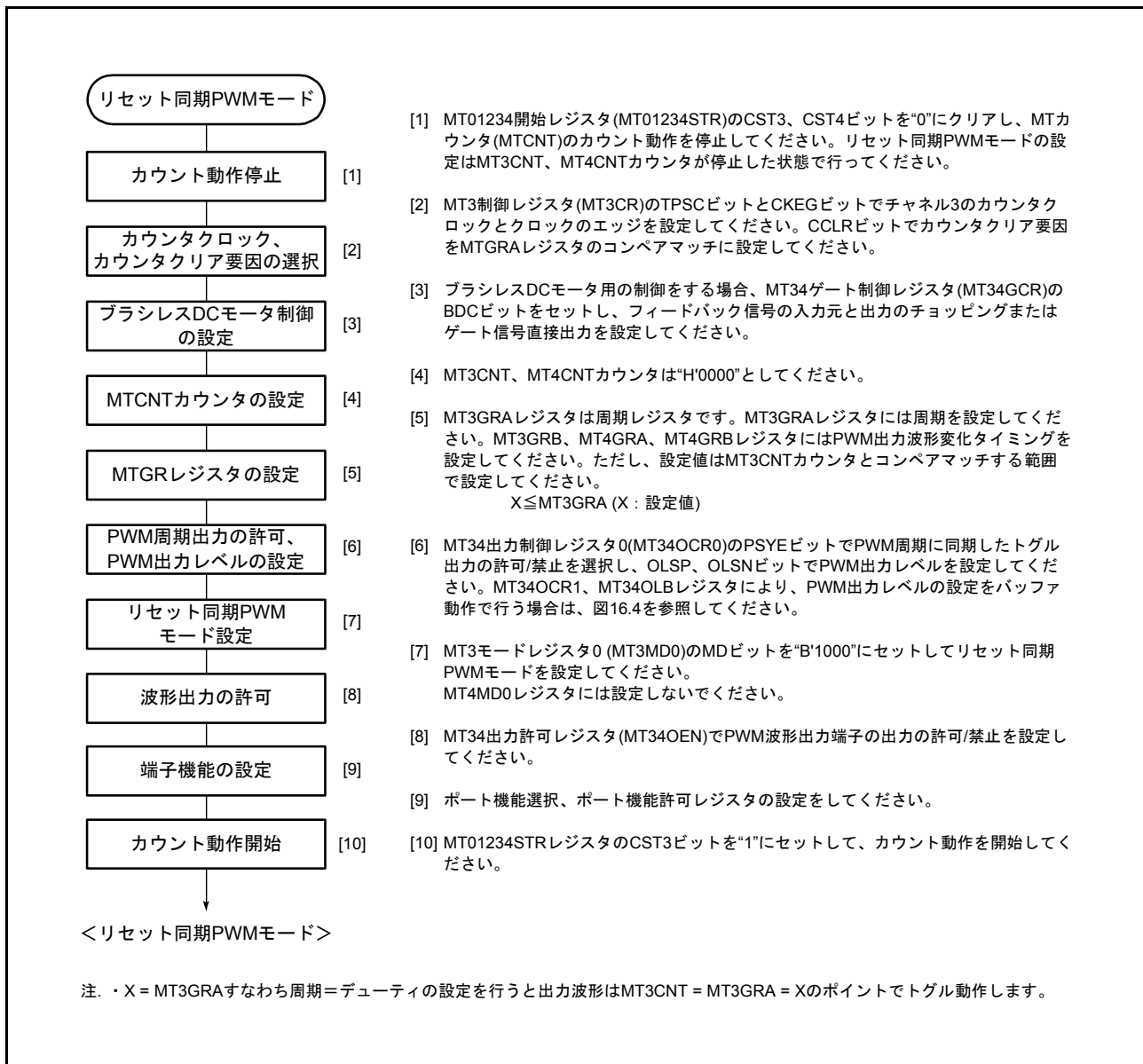


図 16.36 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

図 16.37 にリセット同期 PWM モードの動作例を示します。

リセット同期 PWM モードでは、MT3CNT と MT4CNT (MT6CNT と MT7CNT) カウンタはアップカウンタとして動作します。MT3CNT (MT6CNT) カウンタが MT3GRA (MT6GRA) レジスタとコンペアマッチするとカウンタはクリアされ“H'0000”からカウントアップを再開します。PWM 出力端子は、それぞれ MT3GRB (MT6GRB) レジスタ、MT4GRA (MT7GRA) レジスタ、MT4GRB (MT7GRB) レジスタのコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

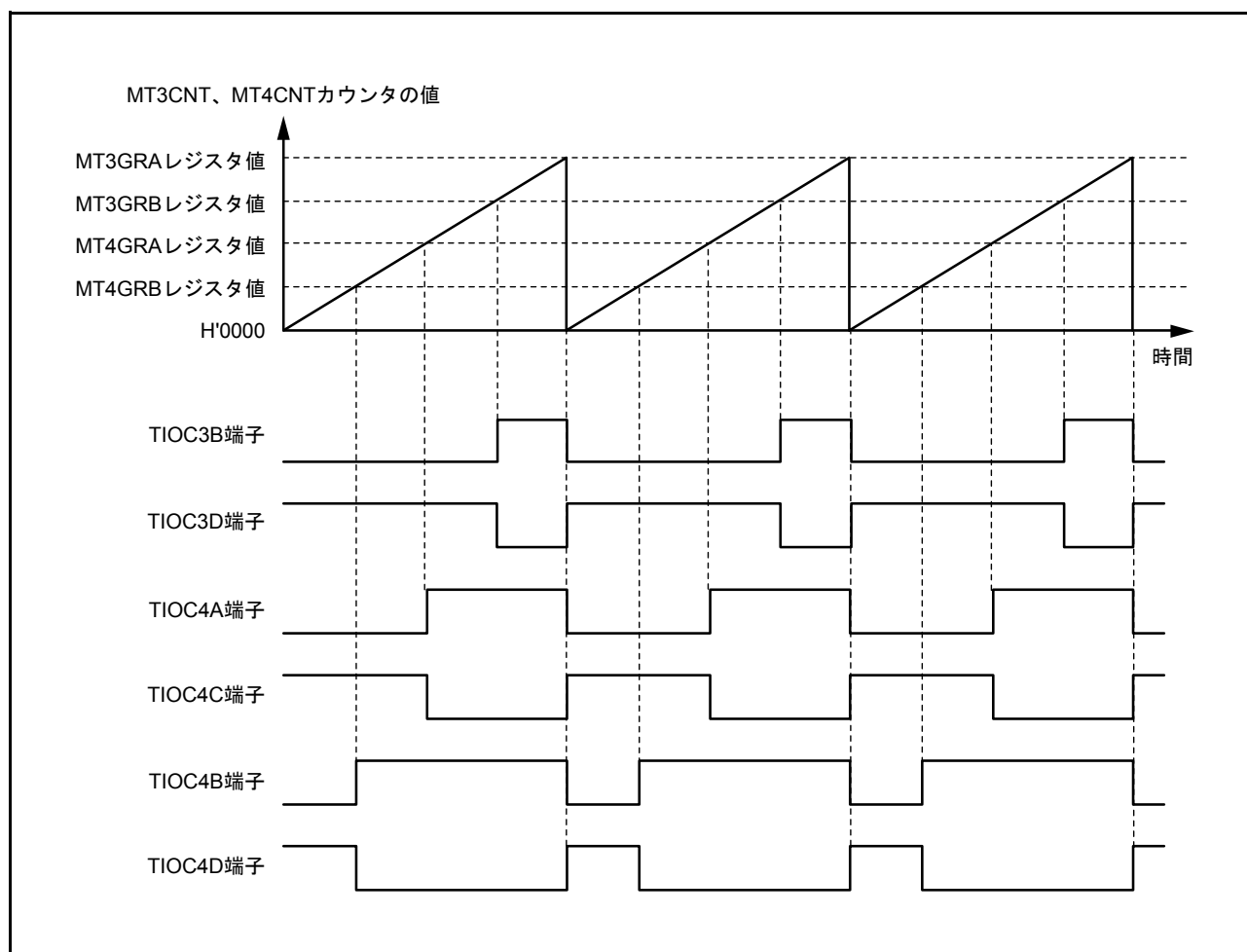


図 16.37 リセット同期 PWM モードの動作例 (チャンネル 3、4)
(MT34OCR0 (MT67OCR0) レジスタの OLSN = 1、OLSP = 1 に設定した場合)

16.3.8 相補 PWM モード

相補 PWM モードは、チャンネル 3、4 およびチャンネル 6、7 を組み合わせることにより、正相と逆相がノンオーバーラップの関係にある PWM 波形を各 3 相、計 6 相出力します。ノンオーバーラップ時間を持たない設定も可能です。

相補 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D、TIOC6B、TIOC6D、TIOC7A、TIOC7B、TIOC7C、TIOC7D 端子は PWM 出力端子となり、TIOC3A、TIOC6A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、MT3CNT カウンタと MT4CNT カウンタ、MT6CNT カウンタと MT7CNT カウンタはアップ/ダウンカウンタとして機能します。

表 16.72 に使用される PWM 出力端子を、表 16.73、表 16.74 に使用するレジスタの設定を示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能 (POE) としてサポートされています。

表 16.72 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3A	PWM 周期に同期したトグル出力(または入出力ポート)
	TIOC3B	PWM 出力端子 1
	TIOC3C	入出力ポート(注 1)
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
6	TIOC6A (注 2)	PWM 周期に同期したトグル出力(または入出力ポート)
	TIOC6B	PWM 出力端子 4
	TIOC6C (注 2)	入出力ポート(注 1)
	TIOC6D	PWM 出力端子 4' (PWM 出力 4 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
7	TIOC7A	PWM 出力端子 5
	TIOC7C	PWM 出力端子 5' (PWM 出力 5 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
	TIOC7B	PWM 出力端子 6
	TIOC7D	PWM 出力端子 6' (PWM 出力 6 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)

注 1. TIOC3C、TIOC6C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

注 2. SH72A0 グループ: 本端子は使用できません。

表 16.73 相補PWMモード時のレジスタ設定(1)

チャンネル	カウンタ/ レジスタ	説明	CPUからの読み出し/書き込み
3	MT3CNT	デッドタイムレジスタに設定した値からカウントアップスタート	MT34RWENレジスタの設定によりマスク可能(注1)
	MT3GRA	MT3CNTカウンタの上限値を設定 (キャリア周期の1/2+デッドタイム)	MT34RWENレジスタの設定によりマスク可能(注1)
	MT3GRB	PWM出力1のコンペアレジスタ	MT34RWENレジスタの設定によりマスク可能(注1)
	MT3GRC	MT3GRAレジスタのバッファレジスタ	常に読み出し/書き込み可能
	MT3GRD	PWM出力1/MT3GRBのバッファレジスタ	常に読み出し/書き込み可能
	MT3GRE	MT3GRBのバッファレジスタB(ダブルバッファ機能使用時)	常に読み出し/書き込み可能
4	MT4CNT	"H'0000"を初期設定しカウントアップスタート	MT34RWENレジスタの設定によりマスク可能(注1)
	MT4GRA	PWM出力2のコンペアレジスタ	MT34RWENレジスタの設定によりマスク可能(注1)
	MT4GRB	PWM出力3のコンペアレジスタ	MT34RWENレジスタの設定によりマスク可能(注1)
	MT4GRC	PWM出力2/MT4GRAのバッファレジスタ	常に読み出し/書き込み可能
	MT4GRD	PWM出力3/MT4GRBのバッファレジスタ	常に読み出し/書き込み可能
	MT4GRE	MT4GRAのバッファレジスタB(ダブルバッファ機能使用時)	常に読み出し/書き込み可能
	MT4GRF	MT4GRBのバッファレジスタB(ダブルバッファ機能使用時)	常に読み出し/書き込み可能
6	MT6CNT	デッドタイムレジスタに設定した値からカウントアップスタート	MT67RWENレジスタの設定によりマスク可能(注2)
	MT6GRA	MT6CNTカウンタの上限値を設定 (キャリア周期の1/2+デッドタイム)	MT67RWENレジスタの設定によりマスク可能(注2)
	MT6GRB	PWM出力4のコンペアレジスタ	MT67RWENレジスタの設定によりマスク可能(注2)
	MT6GRC	MT6GRAのバッファレジスタ	常に読み出し/書き込み可能
	MT6GRD	PWM出力4/MT6GRBのバッファレジスタ	常に読み出し/書き込み可能
	MT6GRE	MT6GRBのバッファレジスタB(ダブルバッファ機能使用時)	常に読み出し/書き込み可能
7	MT7CNT	"H'0000"を初期設定しカウントアップスタート	MT67RWENレジスタの設定によりマスク可能(注2)
	MT7GRA	PWM出力5のコンペアレジスタ	MT67RWENレジスタの設定によりマスク可能(注2)
	MT7GRB	PWM出力6のコンペアレジスタ	MT67RWENレジスタの設定によりマスク可能(注2)
	MT7GRC	PWM出力5/MT7GRAのバッファレジスタ	常に読み出し/書き込み可能
	MT7GRD	PWM出力6/MT7GRBのバッファレジスタ	常に読み出し/書き込み可能
	MT7GRE	MT7GRAのバッファレジスタB(ダブルバッファ機能使用時)	常に読み出し/書き込み可能
	MT7GRF	MT7GRBのバッファレジスタB(ダブルバッファ機能使用時)	常に読み出し/書き込み可能

注1. MT34RWENレジスタの設定によりアクセスの許可/禁止が可能です。

注2. MT67RWENレジスタの設定によりアクセスの許可/禁止が可能です。

表 16.74 相補PWMモード時のレジスタ設定(2)

チャンネル	カウンタ/ レジスタ	説明	CPUからの読み出し/書き込み
MT34DTD レジスタ		MT4CNT カウンタと MT3CNT カウンタのオフセット値 (デッドタイムの値)を設定	MT34RWEN レジスタの設定によりマスク可能(注1)
MT67DTD レジスタ		MT7CNT カウンタと MT6CNT カウンタのオフセット値 (デッドタイムの値)を設定	MT67RWEN レジスタの設定によりマスク可能(注2)
MT34SCNT レジスタ		MT4CNT カウンタの上限値の値を設定(キャリア周期の1/2)	MT34RWEN レジスタの設定によりマスク可能(注1)
MT67SCNT レジスタ		MT7CNT カウンタの上限値の値を設定(キャリア周期の1/2)	MT67RWEN レジスタの設定によりマスク可能(注2)
MT34CB レジスタ		MT34CD レジスタのバッファレジスタ	常に読み出し/書き込み可能
MT67CB レジスタ		MT67CD レジスタのバッファレジスタ	常に読み出し/書き込み可能
サブカウンタ_A (MT34SCNT)		デッドタイム生成のためのサブカウンタA	読み出しのみ可能
サブカウンタ_B (MT67SCNT)		デッドタイム生成のためのサブカウンタB	読み出しのみ可能
テンポラリレジスタ 1A (TEMP1A)		PWM出力1/MT3GRBのテンポラリレジスタA	読み出し/書き込み不可
テンポラリレジスタ 1B (TEMP1B)		PWM出力1/MT3GRBのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み不可
テンポラリレジスタ 2A (TEMP2A)		PWM出力2/MT4GRAのテンポラリレジスタA	読み出し/書き込み不可
テンポラリレジスタ 2B (TEMP2B)		PWM出力2/MT4GRAのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み不可
テンポラリレジスタ 3A (TEMP3A)		PWM出力3/MT4GRBのテンポラリレジスタA	読み出し/書き込み不可
テンポラリレジスタ 3B (TEMP3B)		PWM出力3/MT4GRBのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み不可
テンポラリレジスタ 4A (TEMP4A)		PWM出力4/MT6GRBのテンポラリレジスタA	読み出し/書き込み不可
テンポラリレジスタ 4B (TEMP4B)		PWM出力4/MT6GRBのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み不可
テンポラリレジスタ 5A (TEMP5A)		PWM出力5/MT7GRAのテンポラリレジスタA	読み出し/書き込み不可
テンポラリレジスタ 5B (TEMP5B)		PWM出力5/MT7GRBのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み不可
テンポラリレジスタ 6A (TEMP6A)		PWM出力6/MT7GRBのテンポラリレジスタA	読み出し/書き込み不可
テンポラリレジスタ 6B (TEMP6B)		PWM出力6/MT7GRBのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み不可

注1. MT34RWEN レジスタの設定によりアクセスの許可/禁止が可能です。

注2. MT67RWEN レジスタの設定によりアクセスの許可/禁止が可能です。

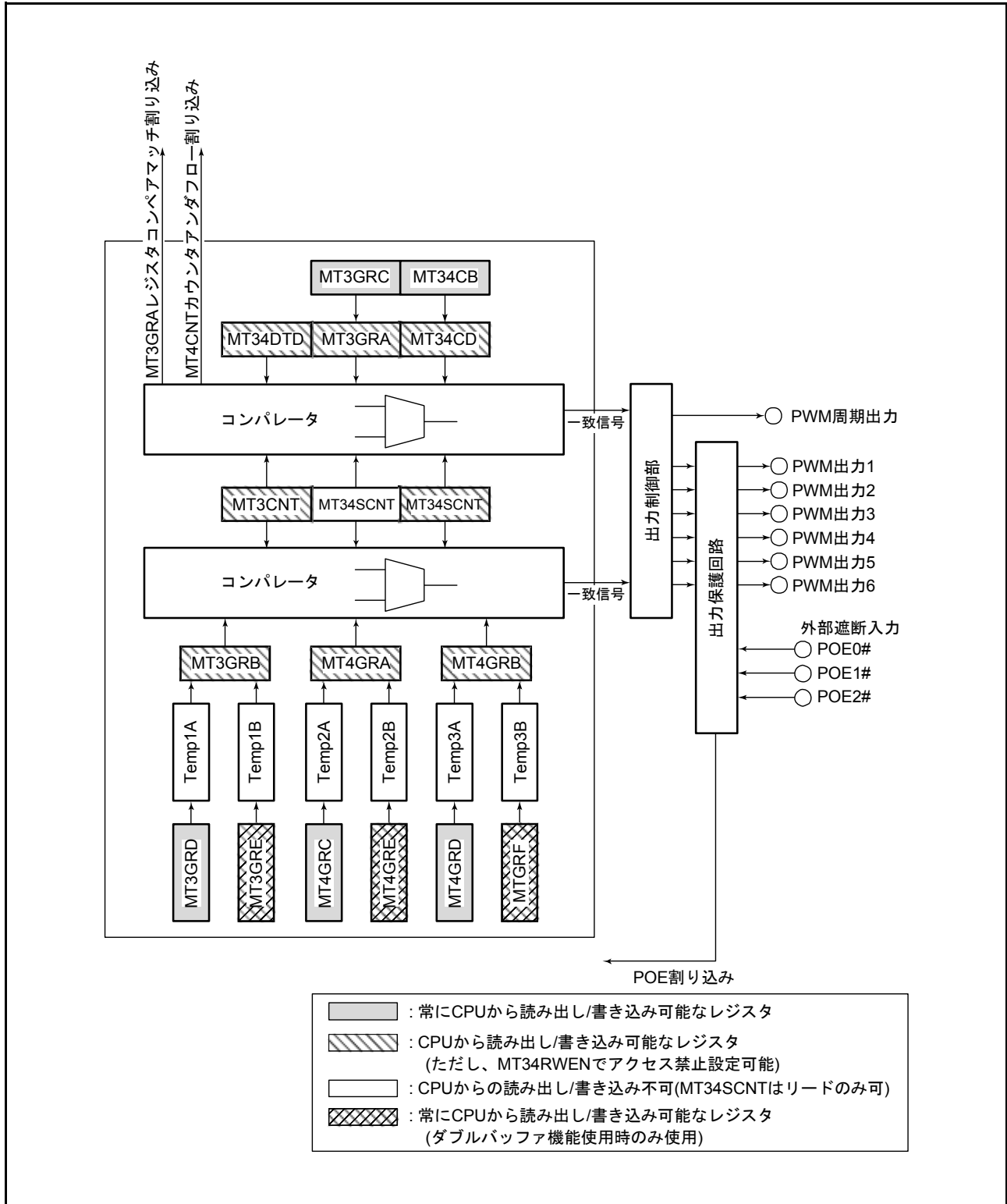


図 16.38 相補 PWM モード時のチャネル 3、4 ブロック図

(1) 相補 PWM モードの設定手順例

図 16.39 に相補 PWM モードの設定手順例 (チャンネル 3、4) を示します。



図 16.39 相補 PWM モードの設定手順例 (チャンネル 3、4)

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6 相の PWM 出力が可能です。図 16.40 に相補 PWM モードのカウンタ動作 (チャンネル 3、4) を、図 16.41 に相補 PWM モードの動作例 (チャンネル 3、4) を示します。

(a) カウンタの動作

相補 PWM モードでは、MT3CNT、MT4CNT カウンタおよび MT34SCNT (MT6CNT、MT7CNT および MT67SCNT) の 3 本のカウンタがアップダウンカウント動作を行います。

MT3CNT (MT6CNT) カウンタは、相補 PWM モードに設定され MT01234STR (MT67STR) レジスタの CST ビットが“0”のとき、MT34DTD (MT67DTD) レジスタに設定された値が自動的に初期値として設定されます。

CST ビットが“1”に設定されると、MT3GRA (MT6GRA) レジスタに設定された値までアップカウント動作を行い、MT3GRA (MT6GRA) レジスタと一致するとダウンカウントに切り替わります。その後、MT4CNT (MT7CNT) カウンタが“H'0000”と一致するとアップカウントに切り替わり、この動作を繰り返します。

また、MT4CNT (MT7CNT) カウンタは、初期値として“H'0000”を設定します。CST ビットが“1”に設定されると、MT3CNT (MT6CNT) カウンタに同期して動作しアップカウントを行い、MT3CNT (MT6CNT) カウンタが MT3GRA (MT6GRA) レジスタと一致するとダウンカウントに切り替わります。この後、“H'0000”と一致するとアップカウントに切り替わり、この動作を繰り返します。

MT34SCNT (MT67SCNT) カウンタは、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

MT3CNT、MT4CNT (MT6CNT、MT7CNT) カウンタがアップカウント時、MT3CNT (MT6CNT) カウンタが MT34CD (MT67CD) レジスタと一致するとダウンカウントを開始し、MT3CNT (MT6CNT) カウンタが MT3GRA (MT6GRA) レジスタと一致するとアップカウントに切り替わります。

また、MT4CNT (MT7CNT) カウンタと MT34DTD (MT67DTD) レジスタが一致すると MT34SCNT (MT67SCNT) カウンタは MT3GRA (MT6GRA) レジスタの値が設定され、カウントを停止します。

MT3CNT、MT4CNT (MT6CNT、MT7CNT) カウンタがダウンカウント時、MT4CNT (MT7CNT) カウンタが MT34DTD (MT67DTD) レジスタと一致するとアップカウントを開始し、MT4CNT (MT7CNT) カウンタが“H'0000”と一致するとダウンカウントに切り替わります。また、MT3CNT (MT6CNT) カウンタと MT34CD (MT67CD) レジスタが一致すると MT34SCNT (MT67SCNT) カウンタは“H'0000”にクリアされ、カウントを停止します。

MT34SCNT (MT67SCNT) カウンタは、カウント動作している期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

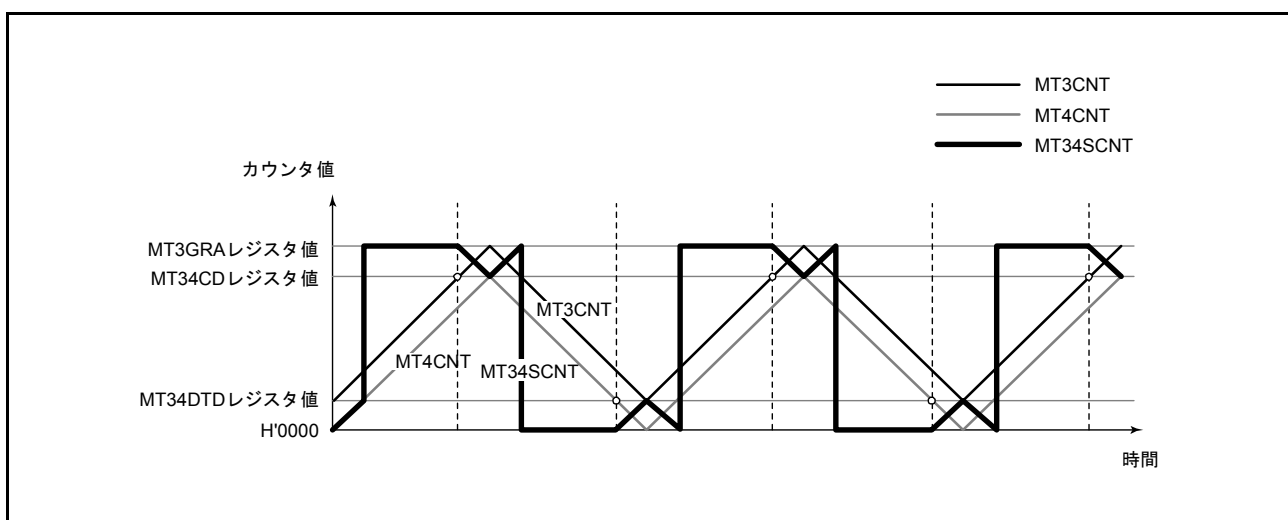


図 16.40 相補 PWM モードのカウンタ動作 (チャンネル 3、4)

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本のレジスタを使用します。図 16.41 に相補 PWM モードの動作例 (チャンネル 3、4) を示します。

PWM 出力を行うためにカウンタと常に比較されているレジスタが、MT3GRB、MT4GRA、MT4GRB (MT6GRB、MT7GRA、MT7GRB) です。これらのレジスタとカウンタが一致すると MTOCR0 レジスタの OLSN、OLSP ビットで設定した値が出力されます。

これらのコンペアレジスタのバッファレジスタが、MT3GRD、MT4GRC、MT4GRD (MT6GRD、MT7GRC、MT7GRD) レジスタです。

また、ダブルバッファ機能使用時は、バッファレジスタ B の MT3GRE、MT4GRE、MT4GRF (MT6GRE、MT7GRE、MT7GRF) レジスタも使用されます。動作の詳細は「(s) 相補 PWM モードのダブルバッファ機能」を参照してください。

バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し/書き込みが可能です。

バッファレジスタに書き込まれたデータは、Ta 区間では常時テンポラリレジスタに転送されます。また Tb 区間では、テンポラリレジスタには転送されません。この区間でバッファレジスタに書き込まれたデータは Tb 区間が終了後テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb 区間が終了する MT34SCNT (MT67SCNT) カウンタがアップカウント時に MT3GRA (MT6GRA) レジスタが一致したとき、またはダウンカウント時に “H'0000” と一致したときにコンペアレジスタに転送されます。この、テンポラリレジスタからコンペアレジスタに転送するタイミングは、MTMD0 レジスタの MD ビットで選択できます。図 16.41 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 16.41 では Tb1) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、MT3CNT、MT4CNT カウンタおよび MT34SCNT (MT6CNT、MT7CNT および MT67SCNT) の 3 本のカウンタとコンペアレジスタ、テンポラリレジスタの 2 本のレジスタが比較され、PWM 出力を制御します。

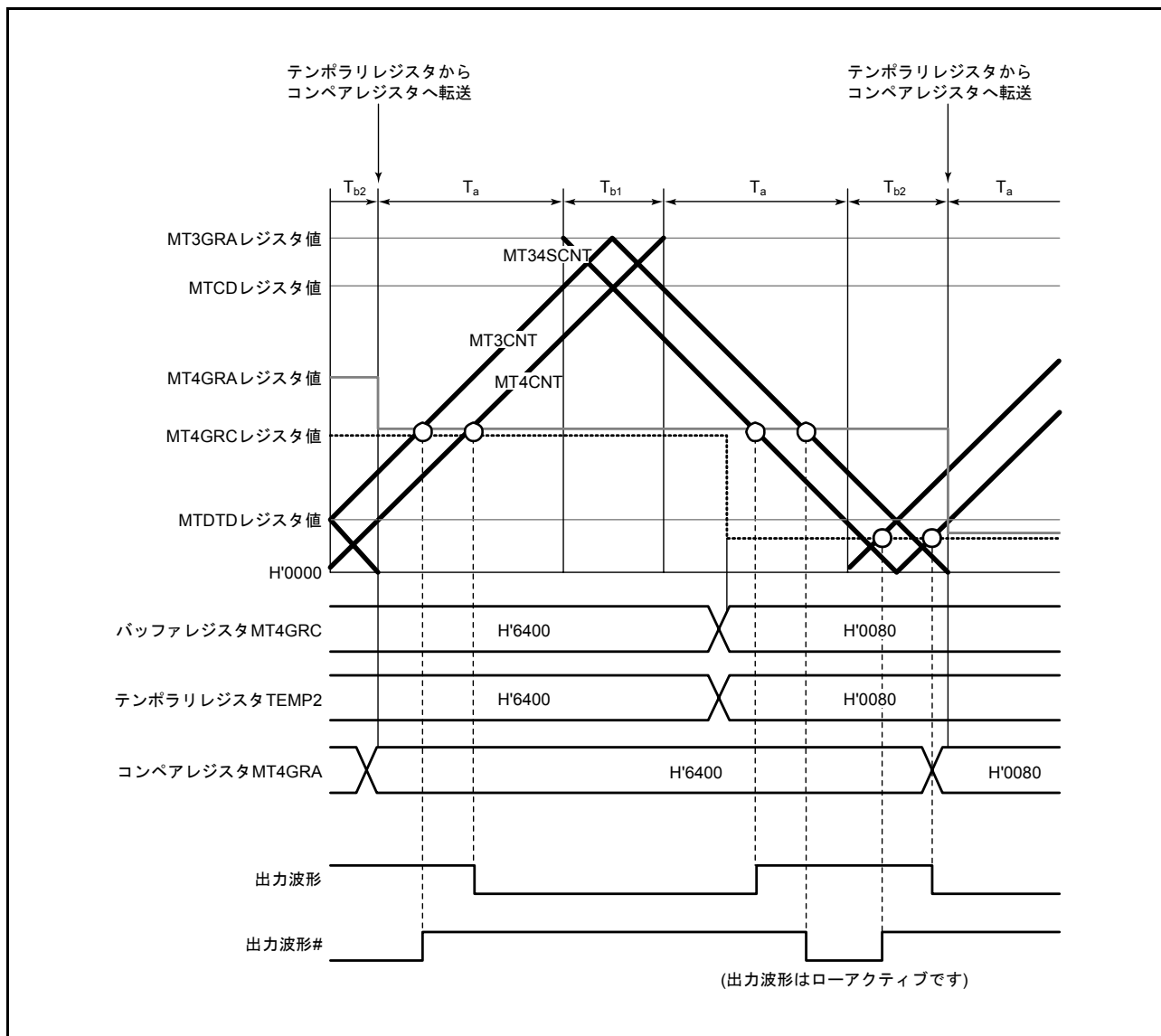


図 16.41 相補 PWM モードの動作例 (チャンネル 3、4)

(c) 初期設定

相補 PWM モードでは、初期設定に必要なレジスタが 6 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります(デッドタイムを生成しない場合のみ設定してください)。

MTMD0 レジスタの MD ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

MT3GRC (MT6GRC) レジスタは MT3GRA (MT6GRA) レジスタのバッファレジスタとして動作し、PWM キャリア周期の $1/2 + \text{デッドタイム } T_d$ を設定します。MTCB レジスタは、MTCB レジスタのバッファレジスタとして動作し、PWM キャリア周期の $1/2$ を設定します。また、MTDTD レジスタには、デッドタイム T_d を設定します。

デッドタイムを生成しない場合は、MTDTEN レジスタの TDER ビットを“0”に設定し、MT3GRC、MT3GRA ((MT6GRC、MT6GRA) レジスタには、PWM キャリア周期の $1/2 + 1$ を、MT34DTD (MT67DTD) レジスタには“1”を設定します。

バッファレジスタ A (MT3GRD、MT4GRC、MT4GRD (MT6GRD、MT7GRC、MT7GRD)) の 3 本には、それぞれ PWM デューティの初期値を設定します。

バッファレジスタ B (MT3GRE、MT4GRE、MT4GRF (MT6GRE、MT7GRE、MT7GRF)) の 3 本には、ダブルバッファ機能使用時のみ、それぞれ PWM デューティの初期値 -1 を設定します。

MT34DTD (MT67DTD) レジスタを除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、MT4CNT (MT7CNT) カウンタは、相補 PWM モードに設定する前に“H'0000”に設定してください。

表 16.75 初期設定に必要なレジスタとカウンタ

レジスタ/カウンタ	設定値
MT3GRC、MT6GRC	PWM キャリア周期の $1/2 + \text{デッドタイム } T_d$ (MT3DTEN (MT6DTEN) レジスタでデッドタイム生成をなしに設定した場合は PWM キャリア周期の $1/2 + 1$)
MT34DTD、MT67DTD	デッドタイム T_d (MT3DTEN (MT6DTEN) レジスタでデッドタイム生成をなしに設定した場合 1)
MT34CB、MT67CB	PWM キャリア周期の $1/2$
MT3GRD、MT4GRC、MT4GRD MT6GRD、MT7GRC、MT7GRD	各相の PWM デューティの初期値
MT3GRE、MT4GRE、MT4GRF MT6GRE、MT7GRE、MT7GRF	各相の PWM デューティの初期値 -1 (ダブルバッファ機能使用時のみ)
MT4CNT、MT7CNT	H'0000

注・ MT3GRC (MT6GRC) レジスタの設定値は、必ず、MT34CB (MT67CB) レジスタに設定する PWM キャリア周期の $1/2$ の値と MT34DTD (MT67DTD) レジスタに設定するデッドタイム T_d の値の和としてください。ただし、MT3DTEN (MT6DTEN) レジスタでデッドタイム生成をなしに設定した場合は、PWM キャリア周期の $1/2 + 1$ としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM パルスの出力レベルを MTOCR0 レジスタの OLSN、OLSP ビット、または、MTOCR1 レジスタの OLS1P ~ OLS3P、OLS1N ~ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定 / 変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、正相と逆相がノンオーバーラップの関係にある PWM パルスを出力します。また、このノンオーバーラップ時間をデッドタイム時間と呼びます。

ノンオーバーラップ時間は、MTDTD レジスタに設定します。MT34DTD (MT67DTD) レジスタに設定した値が、MT3CNT (MT6CNT) カウンタのカウンタスタート値となり、MT3CNT (MT6CNT) カウンタと MT4CNT (MT7CNT) カウンタのノンオーバーラップを生成します。MT34DTD (MT67DTD) レジスタの内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、MTDTD レジスタの MT3DTEN (MT6DTEN) レジスタビットを“0”に設定します。MT3DTEN (MT6DTEN) レジスタは、MT3DTEN (MT6DTEN) = 1 の状態で MT3DTEN (MT6DTEN) レジスタを読み出した後、MT3DTEN (MT6DTEN) レジスタに“0”を書き込んだときのみ、“0”に設定できます。

MT3GRA レジスタ、MT3GRC (MT6GRA、MT6GRC) レジスタには PWM キャリア周期の $1/2 + 1$ を設定し、MTDTD レジスタには“1”を設定します。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。

図 16.42 にデッドタイムを生成しない場合の動作例 (チャンネル 3、4) を示します。

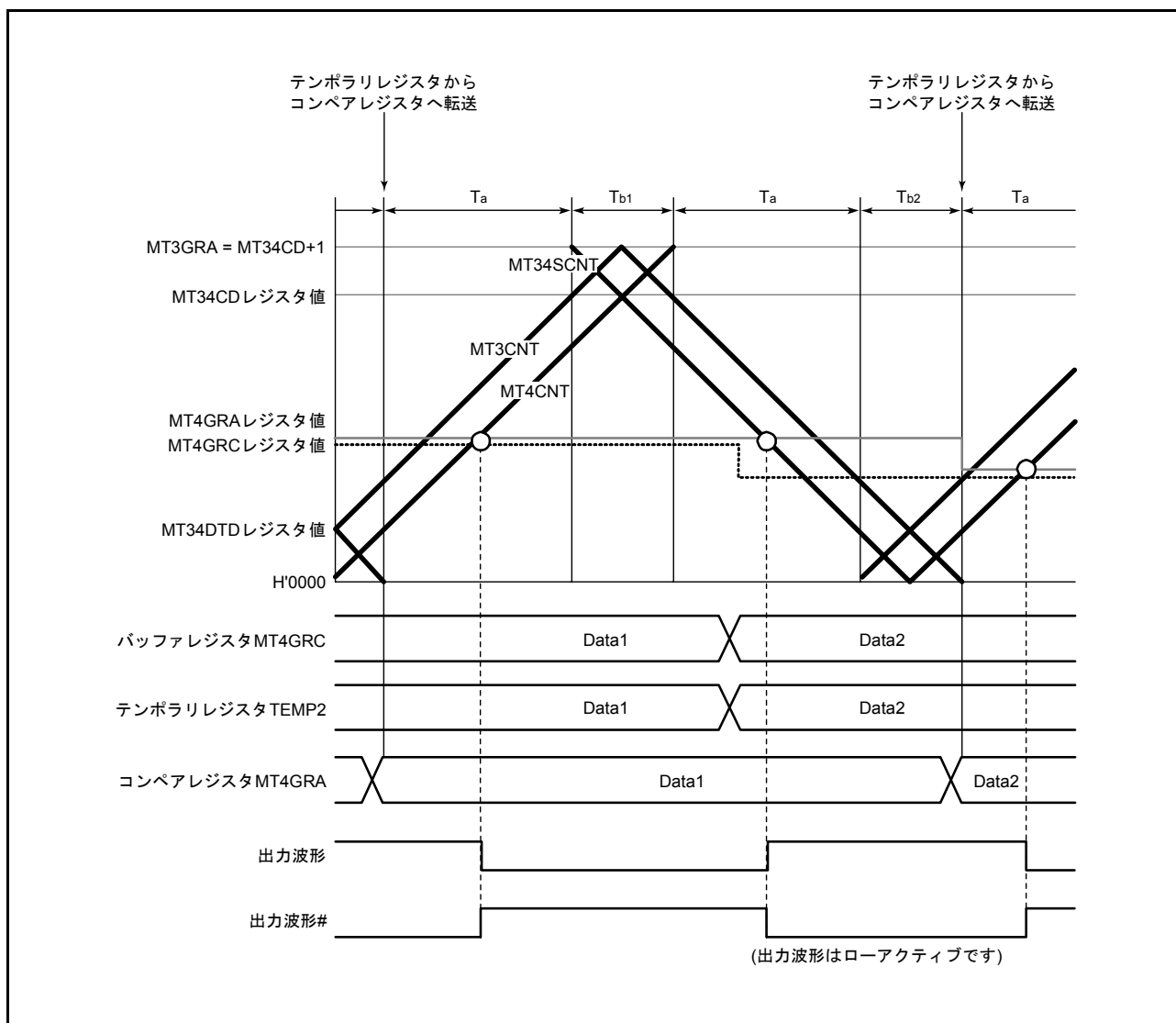


図 16.42 デッドタイムを生成しない場合の動作例 (チャンネル 3、4)

(g) PWM 周期の設定

相補 PWM モードでは、PWM パルスの周期を TCNT3 (MT6CNT) カウンタの上限値を設定する MT3GRA (MT6GRA) レジスタと MT4CNT (MT7CNT) カウンタの上限値を設定する MT34CD (MT67CD) の2つのレジスタに設定します。これらの2つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり : $MT3GRA (MT6GRA) \text{ レジスタの設定値} = MT34CD (MT67CD) \text{ レジスタの設定値} + MT34DTD (MT67DTD) \text{ レジスタの設定値}$

デッドタイム生成なし : $MT3GRA (MT6GRA) \text{ レジスタの設定値} = MT34CD (MT67CD) \text{ レジスタの設定値} + 1$

また、MT3GRA レジスタ、MT34CD (MT6GRA、MT67CD) レジスタの設定は、バッファレジスタの MT3GRC、MT34CB (MT6GRC、MT67CB) レジスタに値を設定することで行ってください。MT3GRC、MT34CB (MT6GRC、MT67CB) レジスタに設定した値は、MTMD0 レジスタの MD ビットで選択した転送タイミングで MT3GRA レジスタ、MT34CD (MT6GRA、MT67CD) レジスタに同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。

図 16.43 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次の「(h) レジスタデータの更新」の項を参照してください。

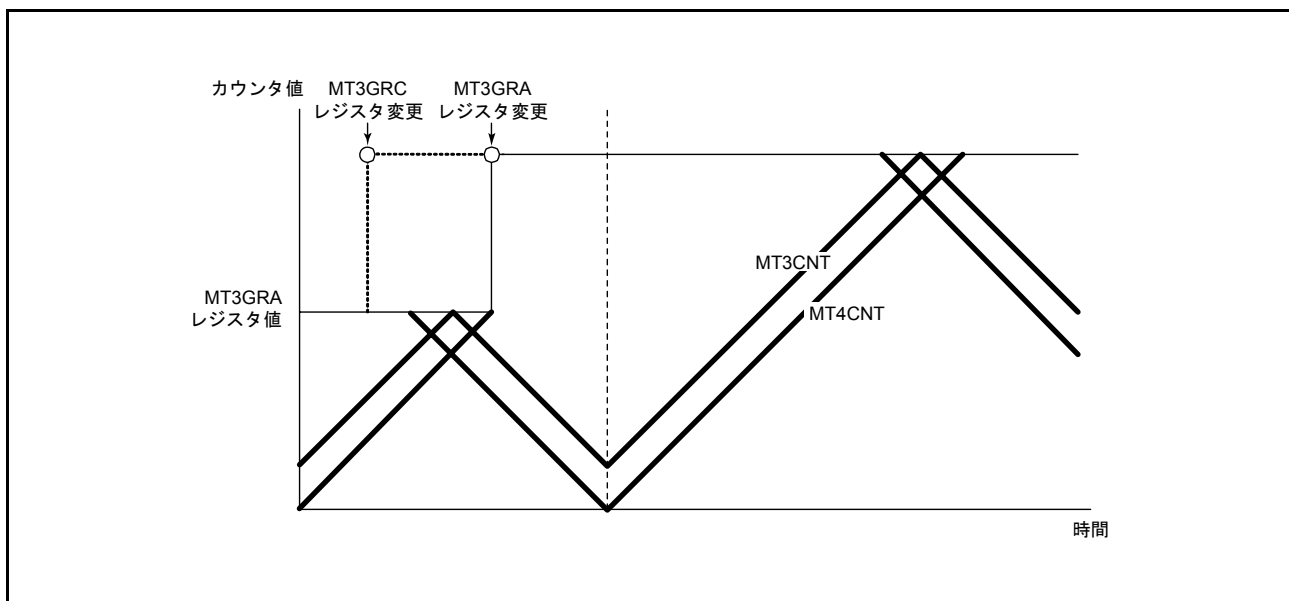


図 16.43 PWM 周期の変更例 (チャンネル 3、4)

(h) レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用およびキャリア周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ MT34SCNT (MT67SCNT) がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換わります。MT34SCNT (MT67SCNT) カウンタがカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、MT34SCNT (MT67SCNT) カウンタが停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、MTMD0 レジスタの MD ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。

図 16.44 に相補 PWM モードのデータ更新例 (チャンネル 3、4) を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に必ず MT4GRD (MT7GRD) レジスタへの書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、MT4GRD (MT7GRD) レジスタに書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または MT4GRD (MT7GRD) レジスタのデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、必ず MT4GRD (MT7GRD) レジスタに書き込み動作を行ってください。またこのとき、MT4GRD (MT7GRD) レジスタに書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

ダブルバッファ機能使用時のデータ更新については、「(s) 相補 PWM モードのダブルバッファ機能」を参照してください。

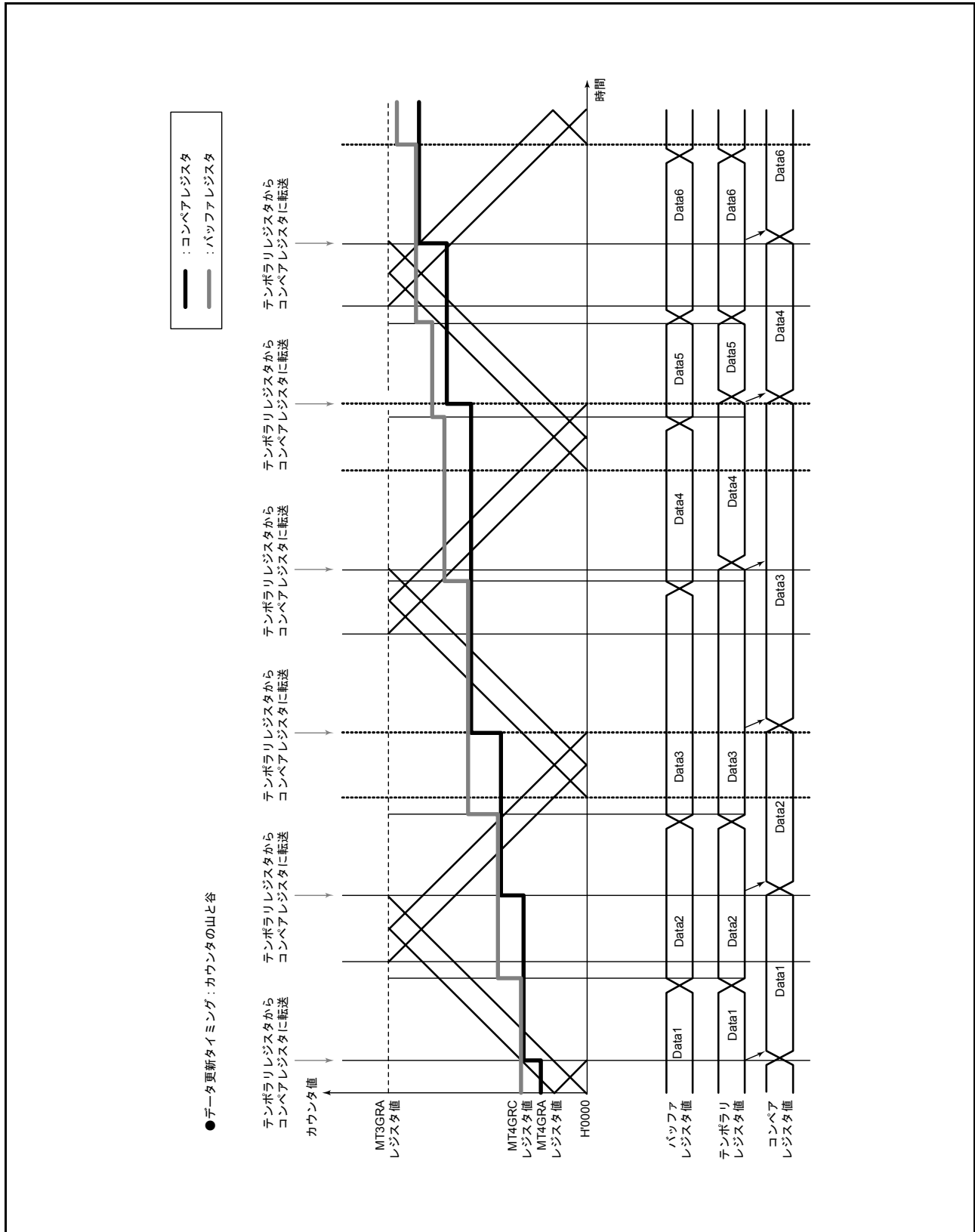


図 16.44 相補 PWM モードのデータ更新例 (チャンネル 3、4)

(i) 相補 PWM モードの初期出力

相補 PWM モードでは、MTOCR0 レジスタの OLSN、OLSP ビットの設定または、MTOCR1 レジスタの OLS1N~OLS3N、OLS1P~OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM パルスのノンアクティブレベルで、MTMD0 レジスタで相補 PWM モードを設定してから MT4CNT (MT7CNT) カウンタが MTDTD レジスタに設定された値より大きくなるまで出力されます。

図 16.45 に相補 PWM モードの初期出力例を、図 16.46 に PWM デューティの初期値が MT34DTD (MT67DTD) レジスタの値より小さい場合の波形例を示します。

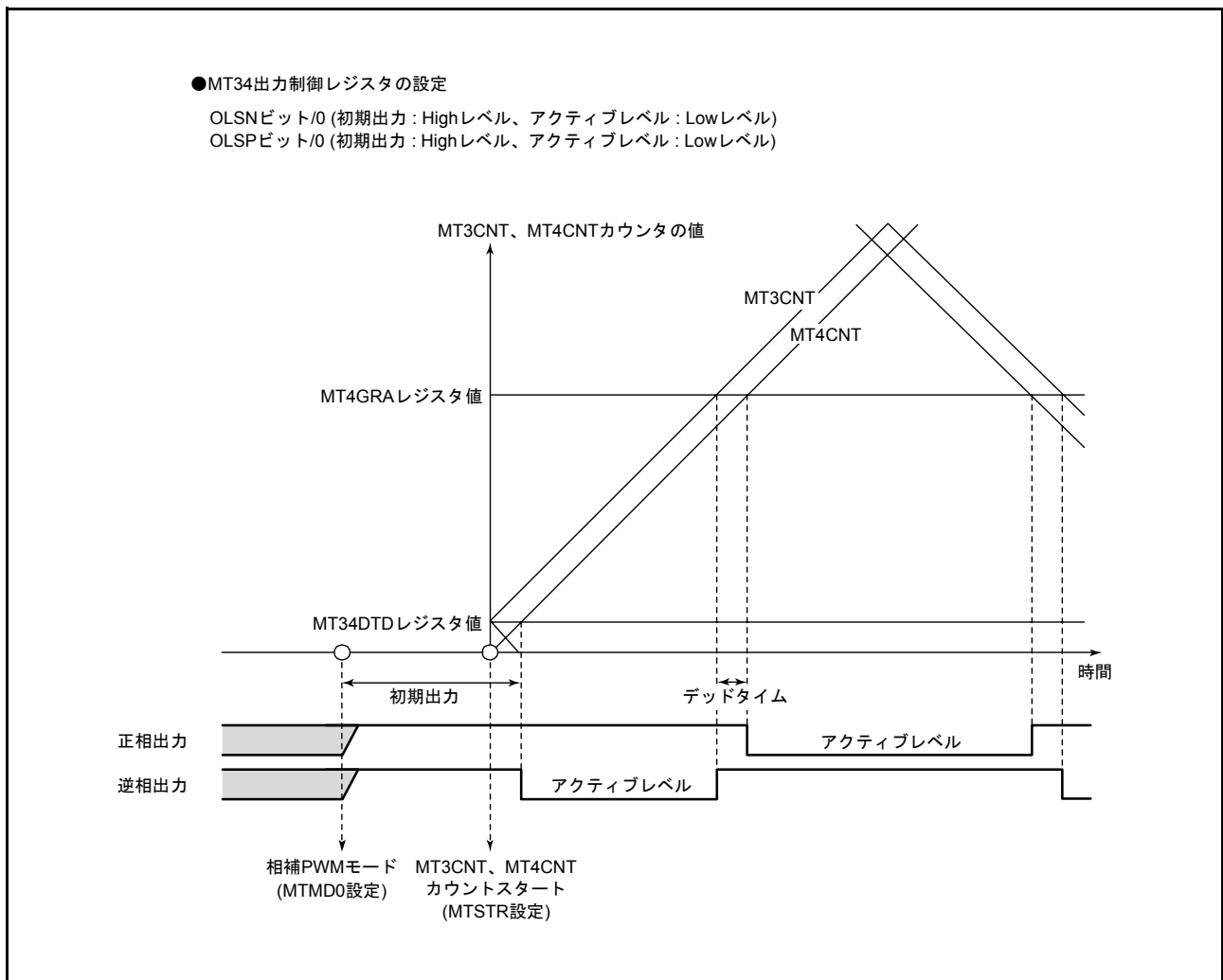


図 16.45 相補 PWM モードの初期出力例 (チャンネル 3、4) (1)

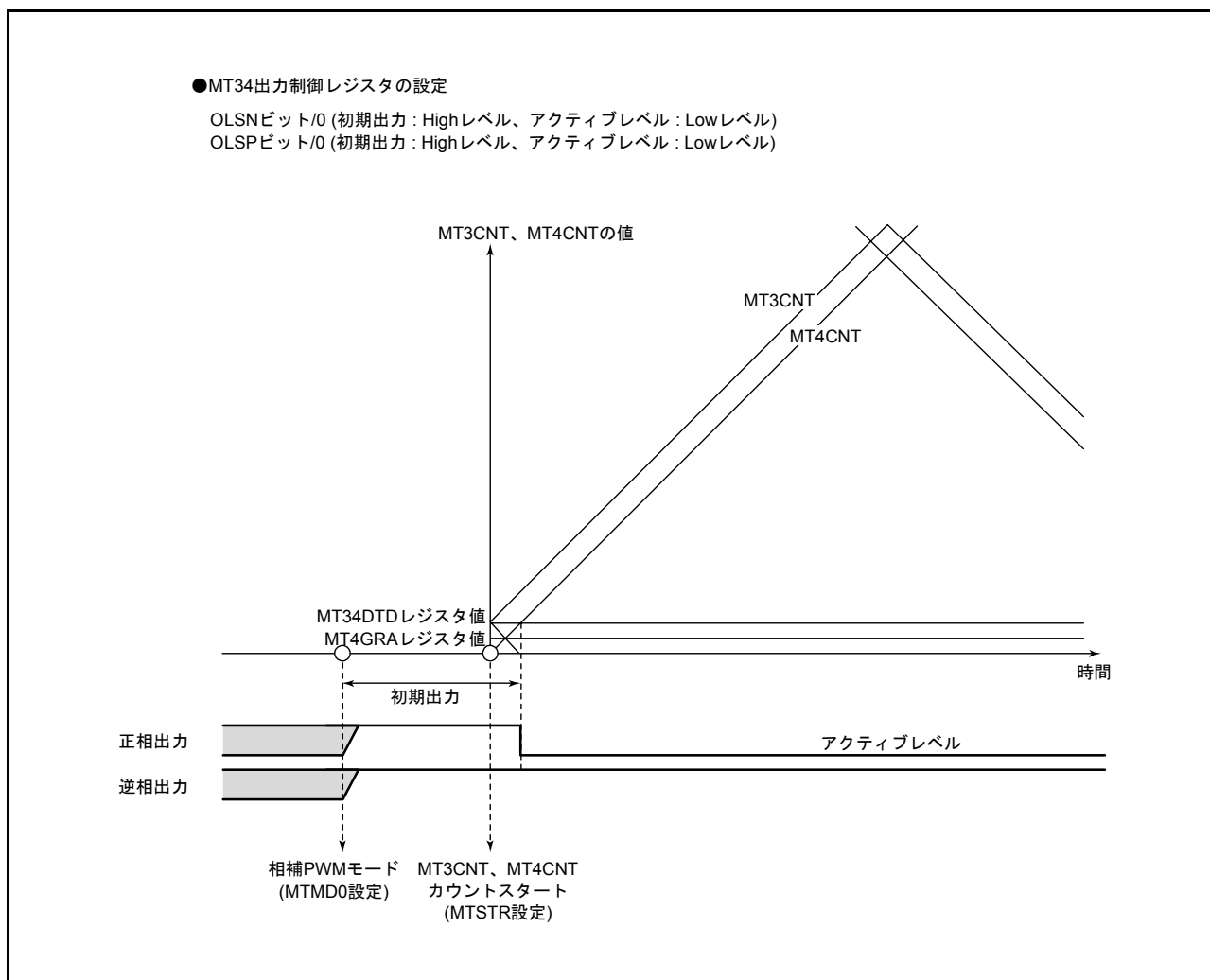


図 16.46 相補 PWM モードの初期出力例 (チャンネル 3、4) (2)

(j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、正相と逆相がノンオーバーラップ時間を持った PWM 波形を 3 相出力します。このノンオーバーラップ時間をデッドタイムと呼びます。

PWM 波形は、カウンタとデータレジスタのコンペアマッチが発生したとき、MT 出力制御レジスタ で選択した出力レベルが出力されることで生成されます。また、MT34SCNT (MT67SCNT) カウンタがカウント動作する期間では、0~100% まで連続した PWM パルスを作るため、データレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 16.47~図 16.49 に相補 PWM モードの波形生成例を示します。

正相 / 逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 16.47 に示すように通常の場合のコンペアマッチは、 $a \rightarrow b \rightarrow c \rightarrow d$ (または $c \rightarrow d \rightarrow a' \rightarrow b'$) の順番で発生します。

コンペアマッチが $a \rightarrow b \rightarrow c \rightarrow d$ の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または $c \rightarrow d \rightarrow a' \rightarrow b'$ の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 16.48 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を OFF します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです (ゆえに正相は OFF から OFF のため波形は変化しません)。

同様に、図 16.49 に示す例では、c のコンペアマッチより前にテンポラリレジスタの新しいデータとのコンペアマッチ a' が発生しますが、正相を OFF する c が起こるまで他のコンペアマッチは無視されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

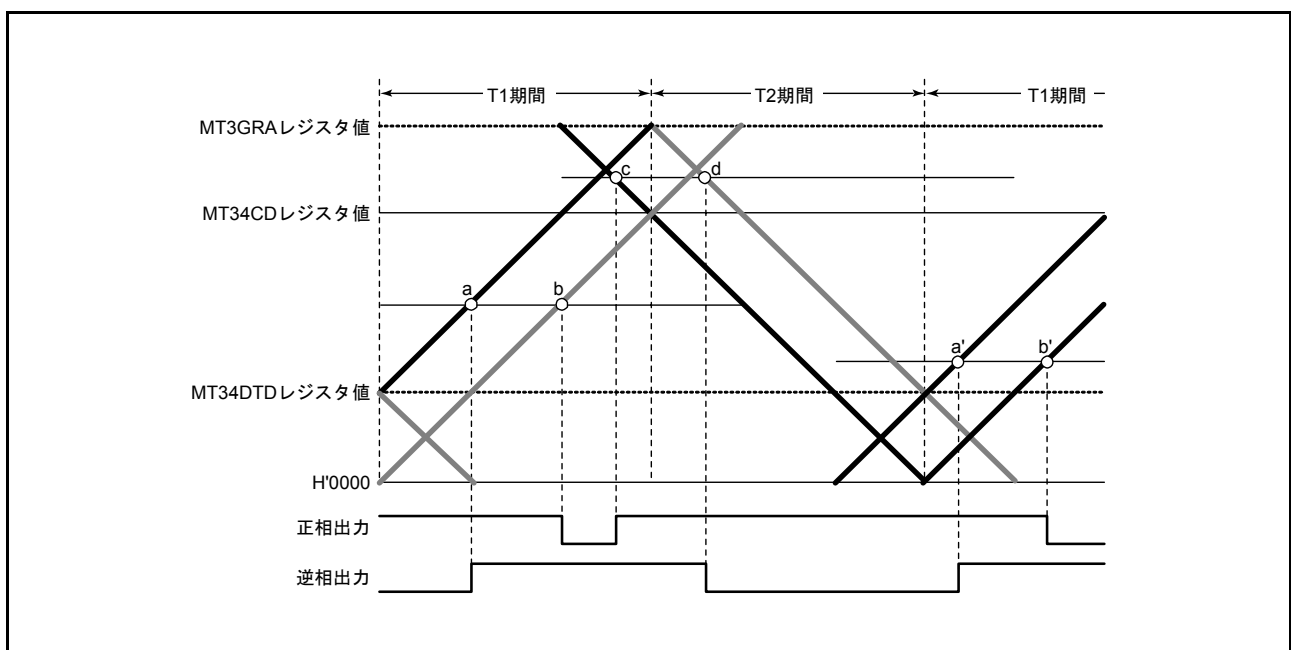


図 16.47 相補 PWM モード波形出力例 (チャンネル 3、4) (1)

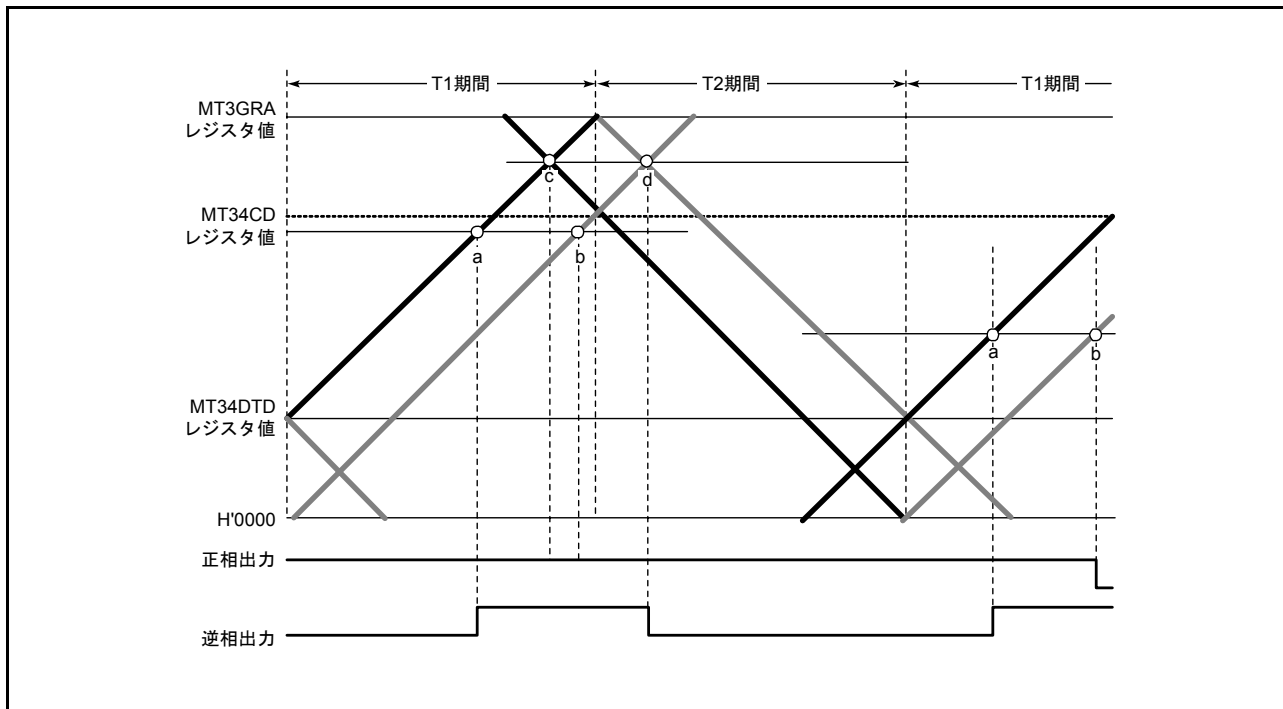


図 16.48 相補 PWM モード波形出力例 (チャンネル 3、4) (2)

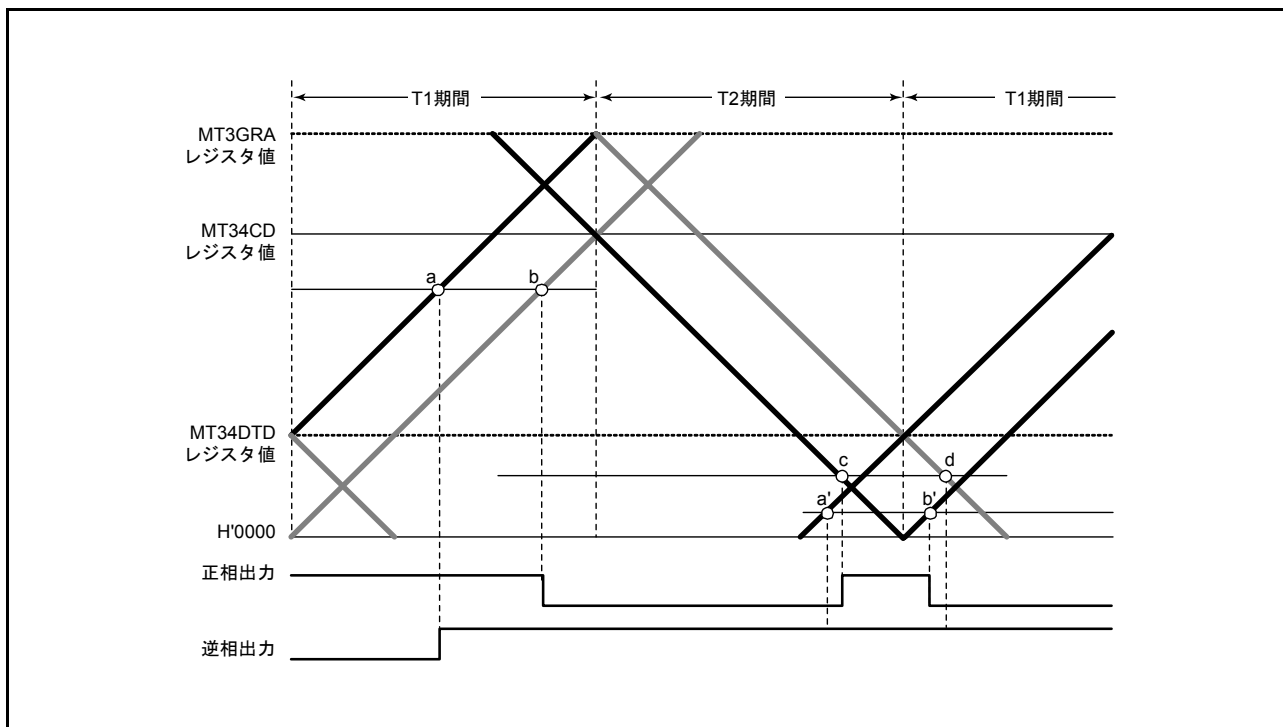


図 16.49 相補 PWM モード波形出力例 (チャンネル 3、4) (3)

(k) 相補 PWM モードのデューティ 0%、100% 出力

相補PWMモードでは、デューティ0%、100%を任意に出力可能です。図16.50～図16.54に出力例を示します。

デューティ100%出力は、データレジスタの値を“H'0000”に設定すると出力されます。このときの波形は、正相が100%ON状態の波形です。また、デューティ0%出力は、データレジスタの値をMT3GRA (MT6GRA) レジスタの値と同じ値を設定すると出力されます。このときは、正相が100%OFF状態の波形です。

このとき、コンペアマッチはON、OFF同時に発生しますが、同じ相のONするコンペアマッチとOFFするコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視をされ波形は変化しません。

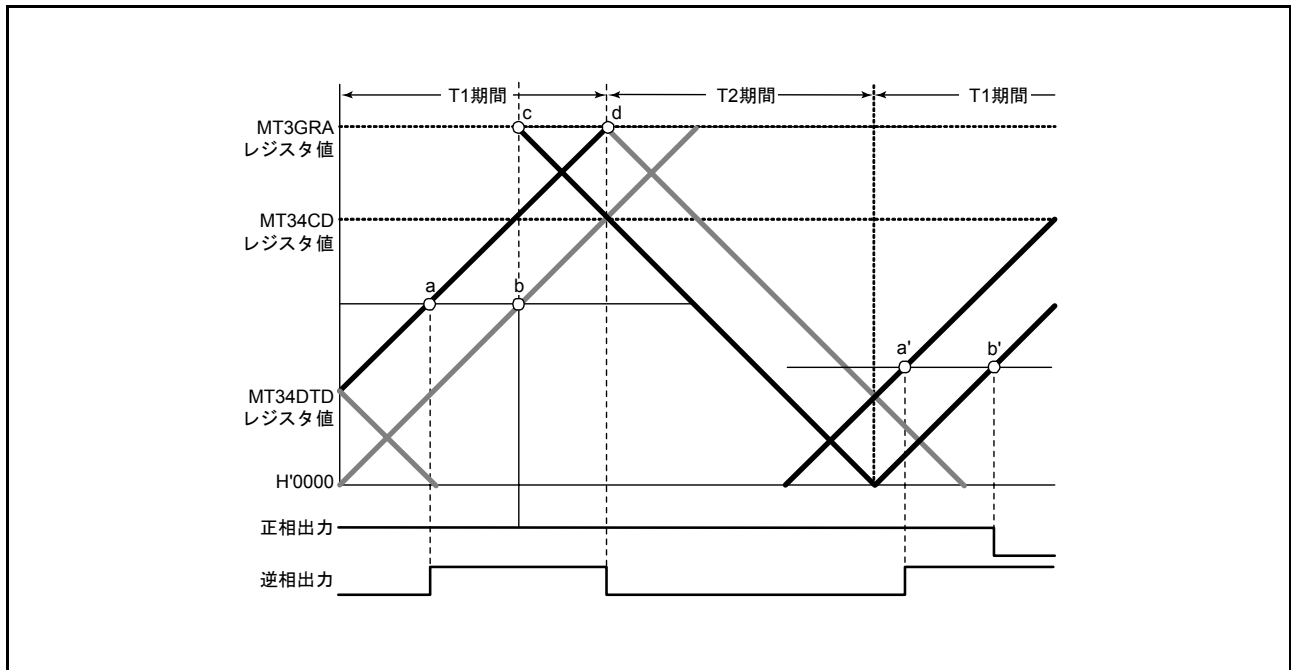


図 16.50 相補 PWM モード 0%、100% 波形出力例 (チャンネル 3、4) (1)

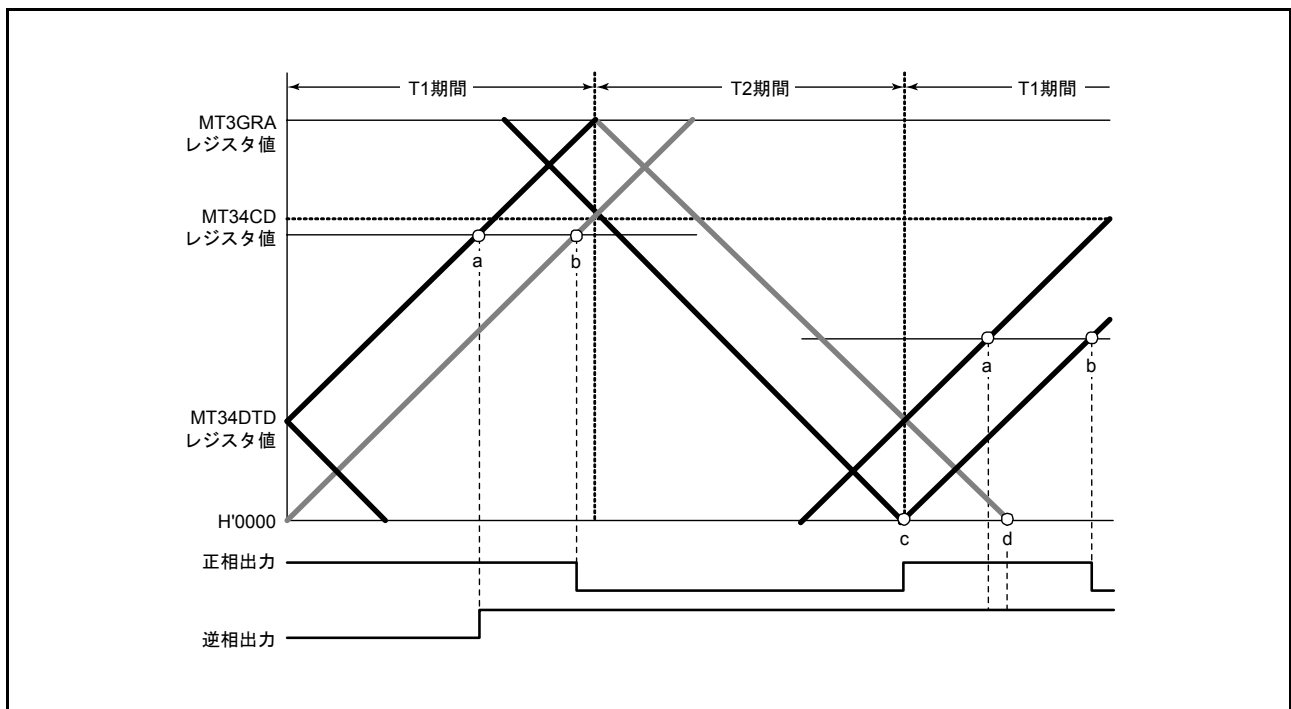


図 16.51 相補 PWM モード 0%、100% 波形出力例 (チャンネル 3、4) (2)

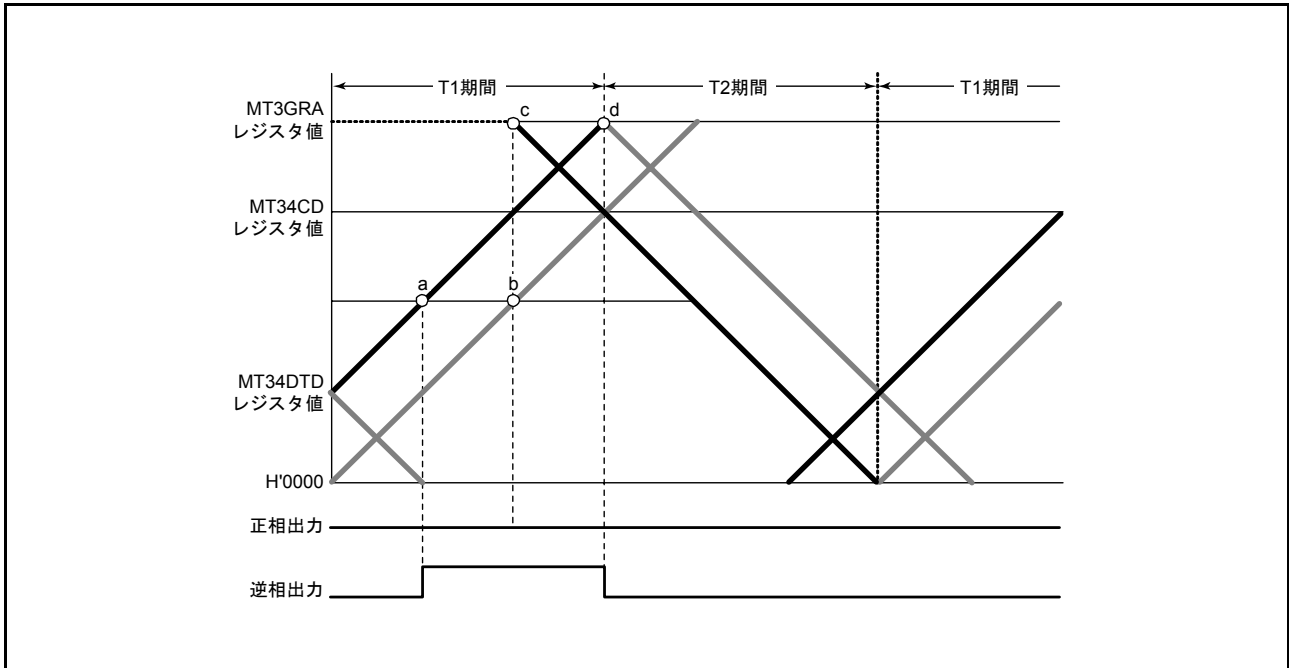


図 16.52 相補 PWM モード 0%、100% 波形出力例 (チャンネル 3、4) (3)

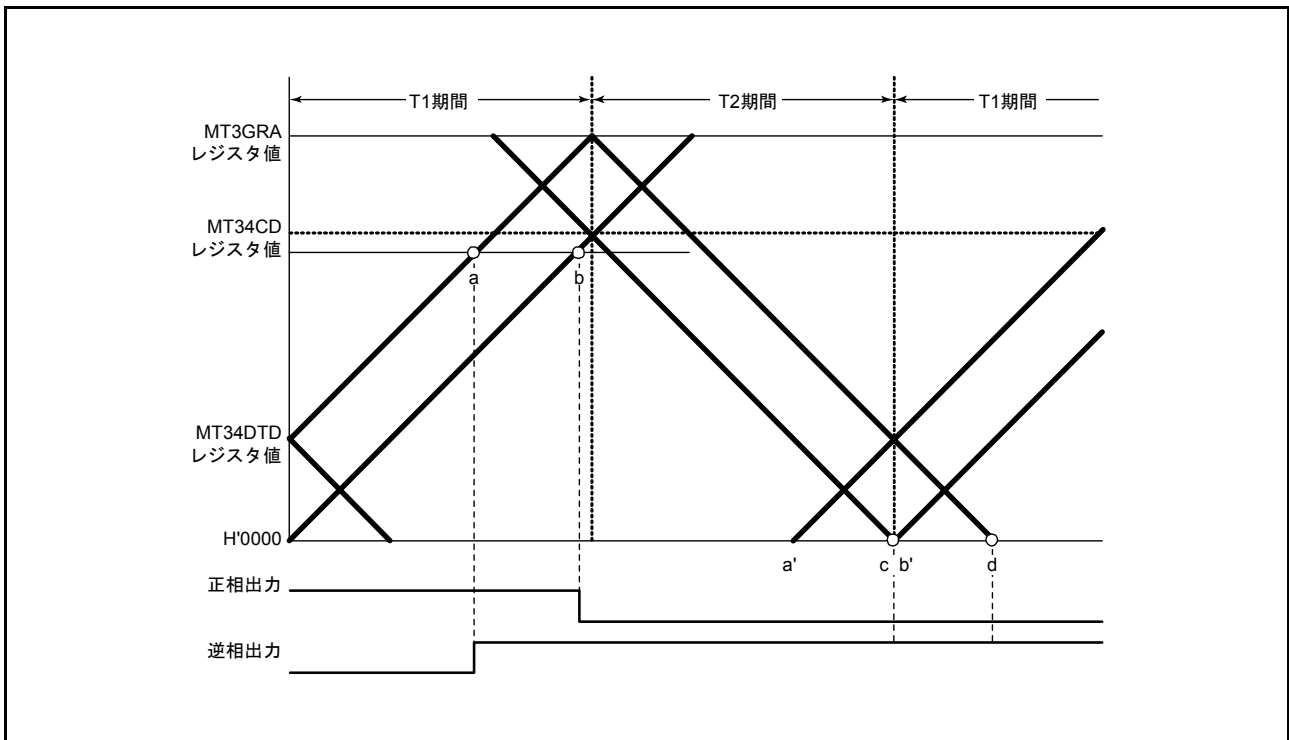


図 16.53 相補 PWM モード 0%、100% 波形出力例 (チャンネル 3、4) (4)

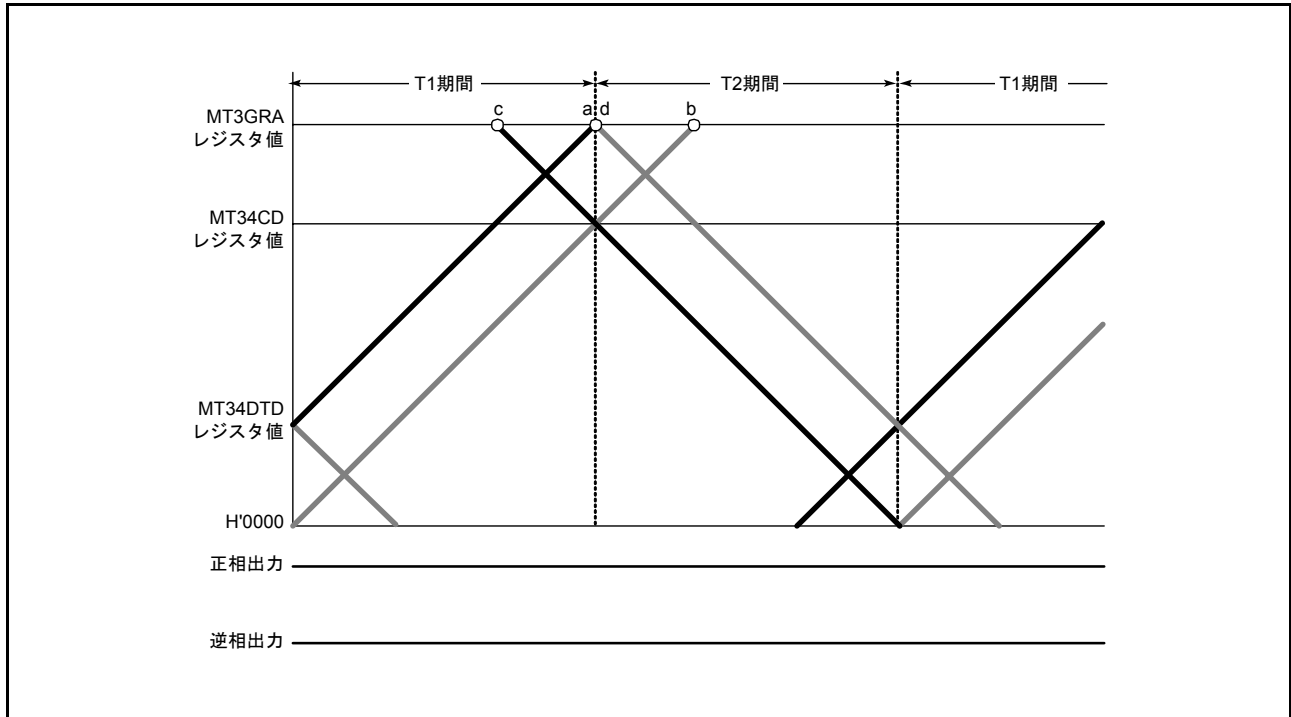


図 16.54 相補 PWM モード 0%、100% 波形出力例 (チャンネル 3、4) (5)

(I) PWM 周期に同期したトグル出力

相補 PWM モードでは、MTOCR0 レジスタの PSYE ビットを“1”にセットすることにより PWM キャリア周期に同期したトグル出力が可能です。図 16.55 にトグル出力の波形例を示します。

この出力は、MT3CNT カウンタと MT3GRA (MT6CNT と MT6GRA) レジスタのコンペアマッチと MT4CNT (MT7CNT) カウンタと“H'0000”のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、TIOC3A (TIOC6A) 端子です。また、初期出力は“1”出力です。

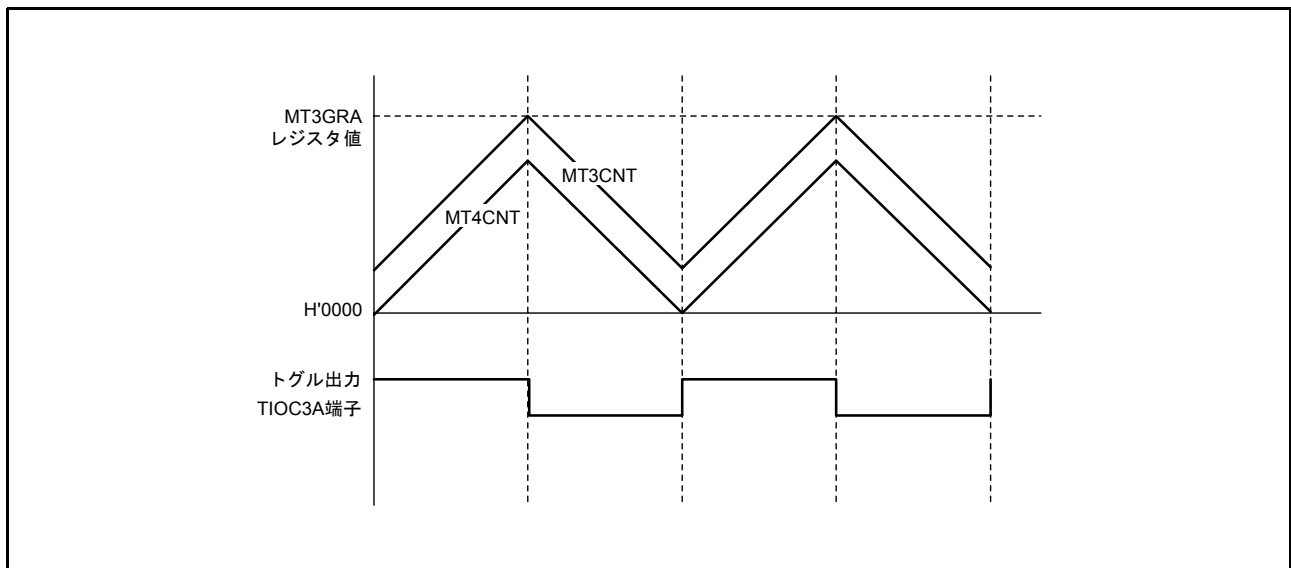


図 16.55 PWM 出力に同期したトグル出力波形例 (チャンネル 3、4)

(m) 他のチャンネルによるカウンタクリア

相補 PWM モード時、MTSY レジスタにより他のチャンネルとの同期モードに設定し、また MTCR レジスタの CCLR ビットにより同期クリアを選択することにより他のチャンネルによる MT3CNT、MT4CNT カウンタおよび MT34SCNT (MT6CNT、MT7CNT および MT67SCNT) カウンタのクリアをすることが可能です。

図 16.56 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

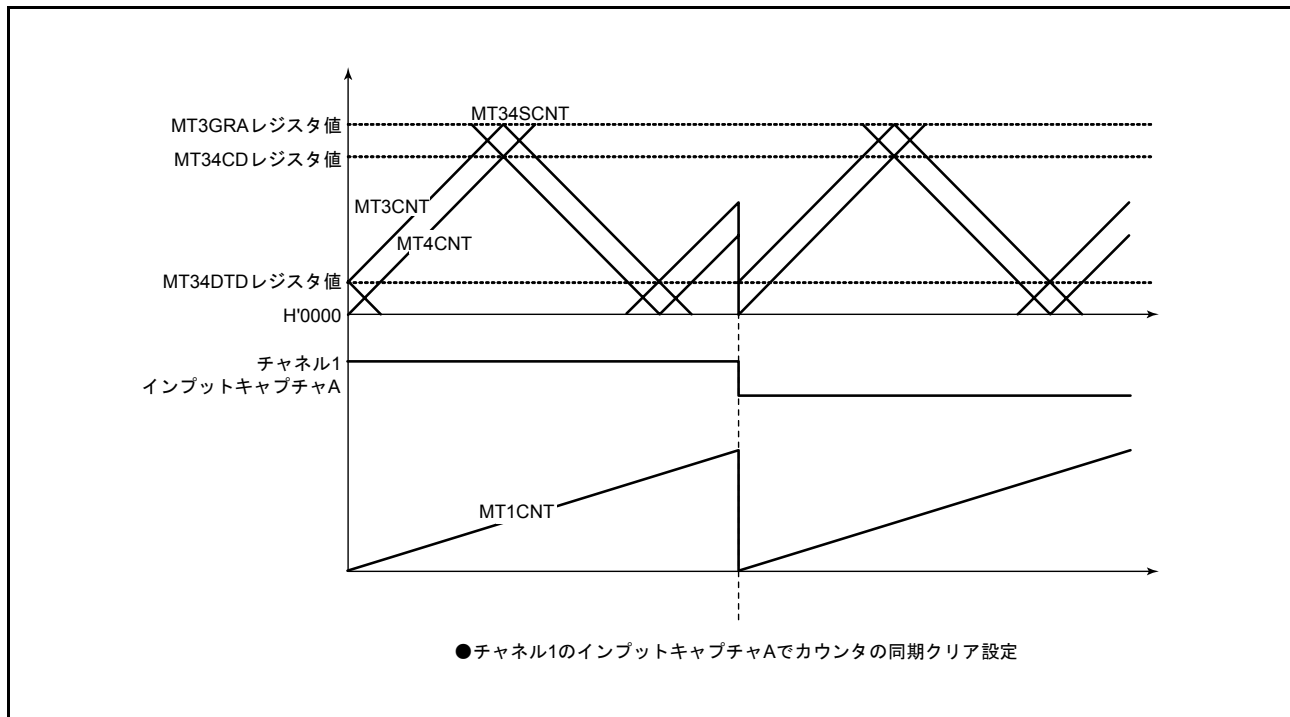


図 16.56 他のチャンネルに同期したカウンタクリア (チャンネル 3、4)

(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

MT34WCR (MT67WCR) レジスタの WRE ビットを“1”に設定することにより、相補 PWM モードの谷の Tb 区間で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティの変化を抑止することができます。

WRE ビットを“1”に設定することで初期出力を抑止することができるのは、同期クリアが図 16.57 の⑩、⑪のような谷の Tb 区間に入って来たときのみです。それ以外のタイミングで同期クリアが起こった場合は、MTOCR0 レジスタの OLS ビットで設定した初期値が出力されます。また、谷の Tb 区間であっても、図 16.57 の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

本機能はチャンネル 3、4-チャンネル 6、7 のどちらでも使用することができます。チャンネル 3、4-チャンネル 6、7 のカウンタクリア要因はそれぞれ、チャンネル 3、4 ではチャンネル 0~2 からの同期クリア、チャンネル 6、7 ではチャンネル 0~2 のフラグセット (コンペアマッチ/インプットキャプチャ) です。

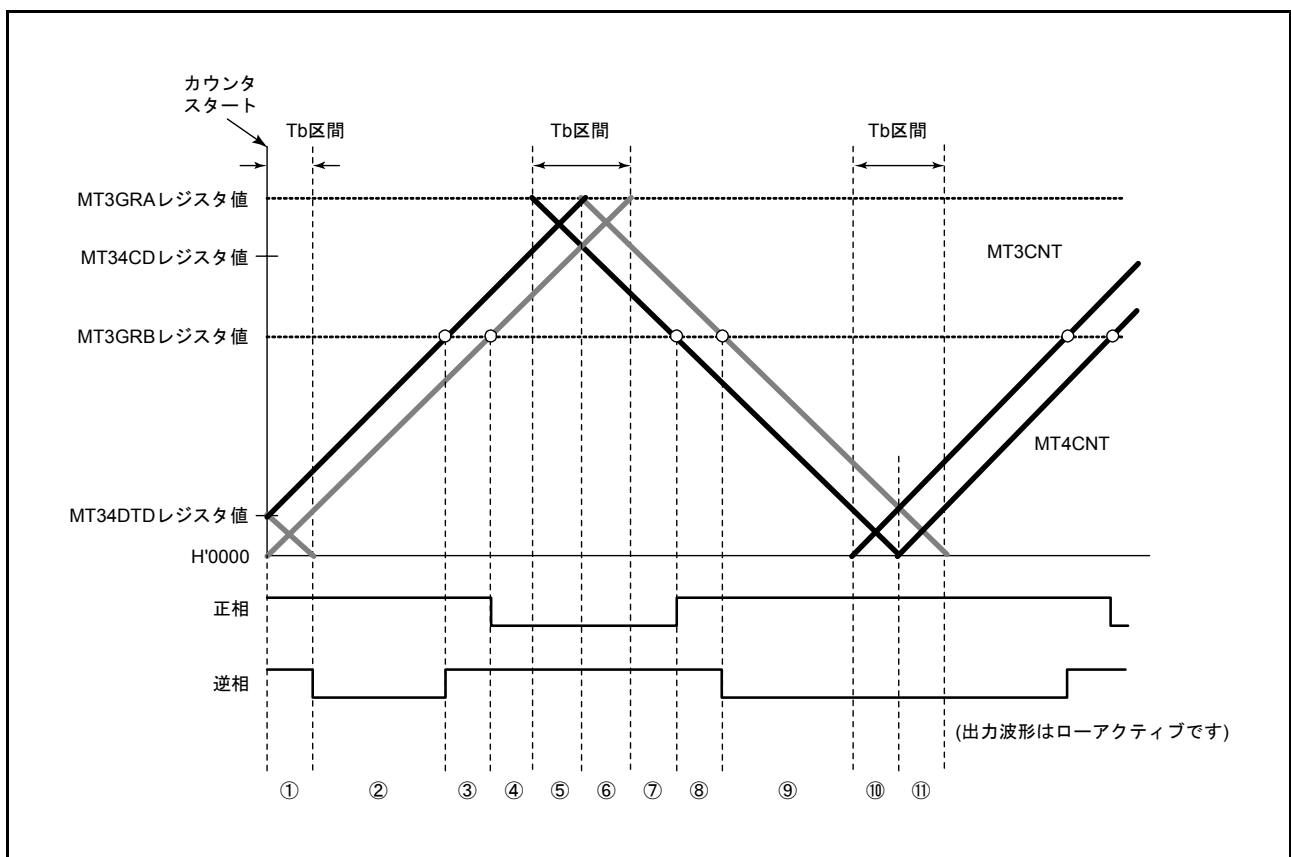


図 16.57 同期カウンタクリアタイミング (チャンネル 3、4)

- 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

図 16.58 に相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を示します。

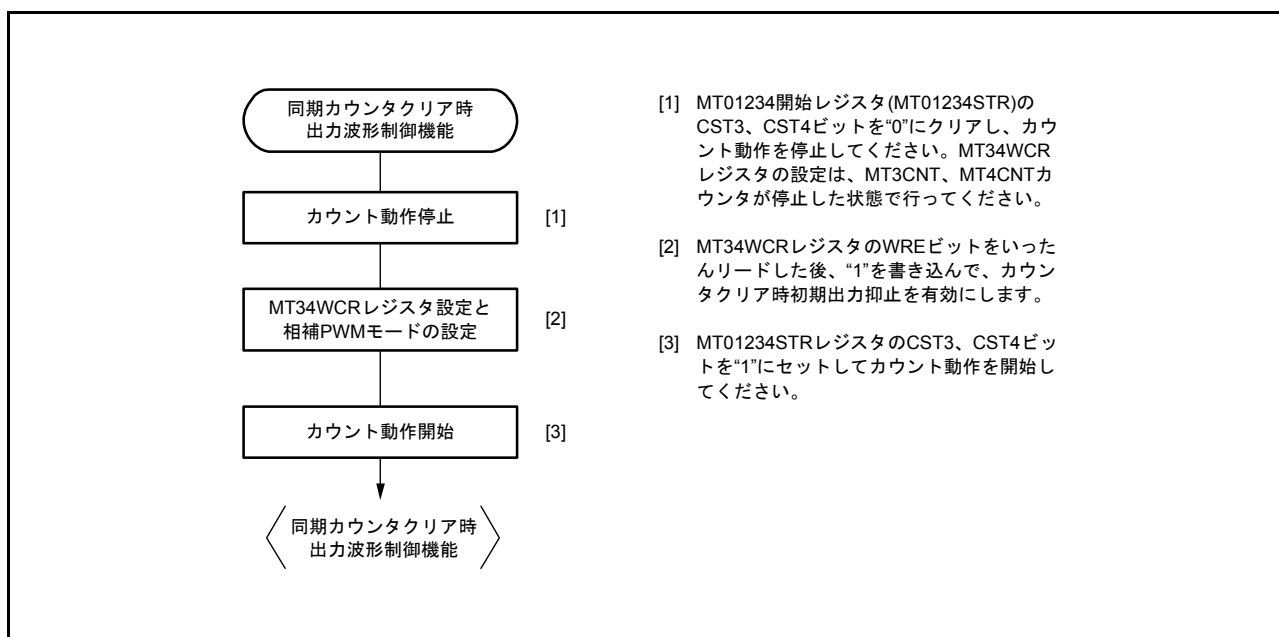


図 16.58 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例 (チャンネル 3、4)

- 相補 PWM モードでの同期カウンタクリア時出力波形制御動作例

図 16.59～図 16.62 に、MT34WCR レジスタの WRE ビットを“1”に設定した状態でチャンネル 3、4 を相補 PWM 動作させ、同期カウンタクリアをした場合の動作例を示します。ここで、図 16.59～図 16.62 の同期カウンタクリアのタイミングは、それぞれ図 16.57 の③、⑥、⑧、⑪で示したタイミングです。

この例は、チャンネル 6、7 では MT67WCR レジスタの SCC ビットを“0”、WRE ビットを“1”に設定した状態でチャンネル 6、7 を相補 PWM 動作させ、同期カウンタクリアをした場合に相当します。

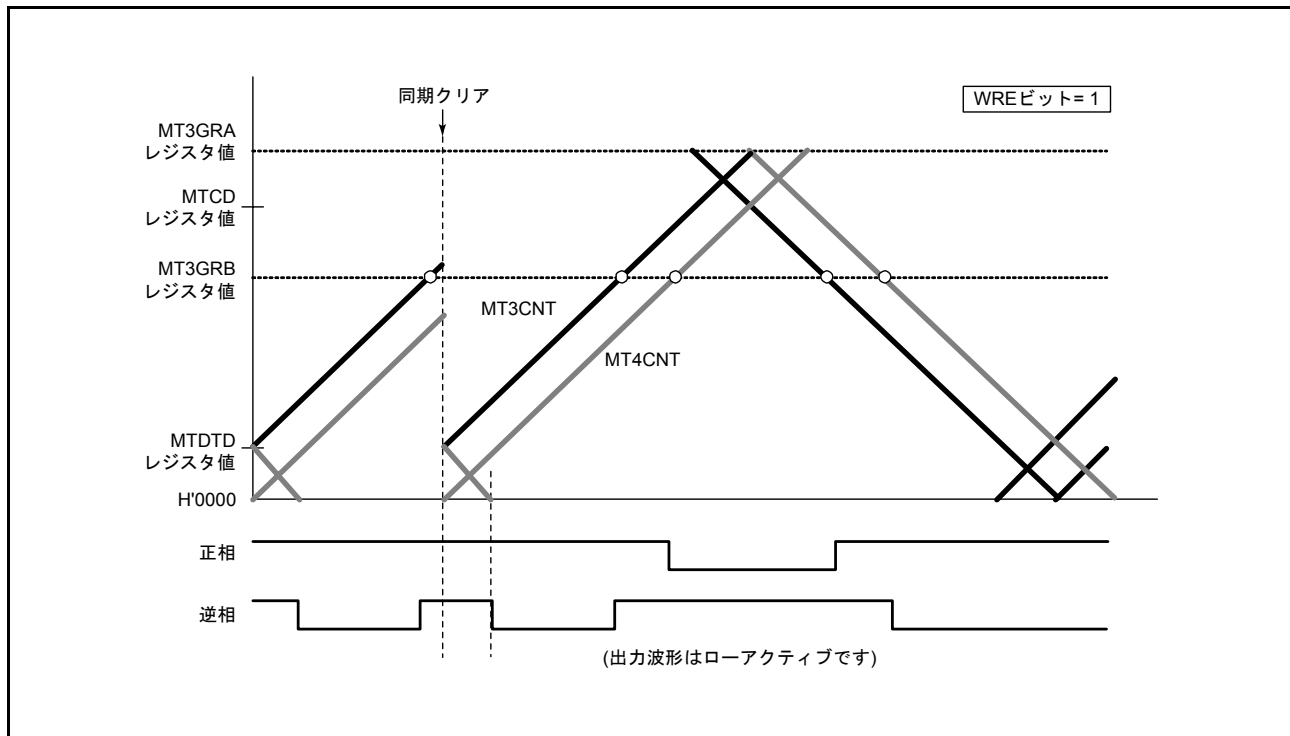


図 16.59 アップカウント中のデッドタイム時に同期クリアが発生した場合
(図 16.57 のタイミング③、MT34WCR、MT67WCR レジスタの WRE ビット = 1)

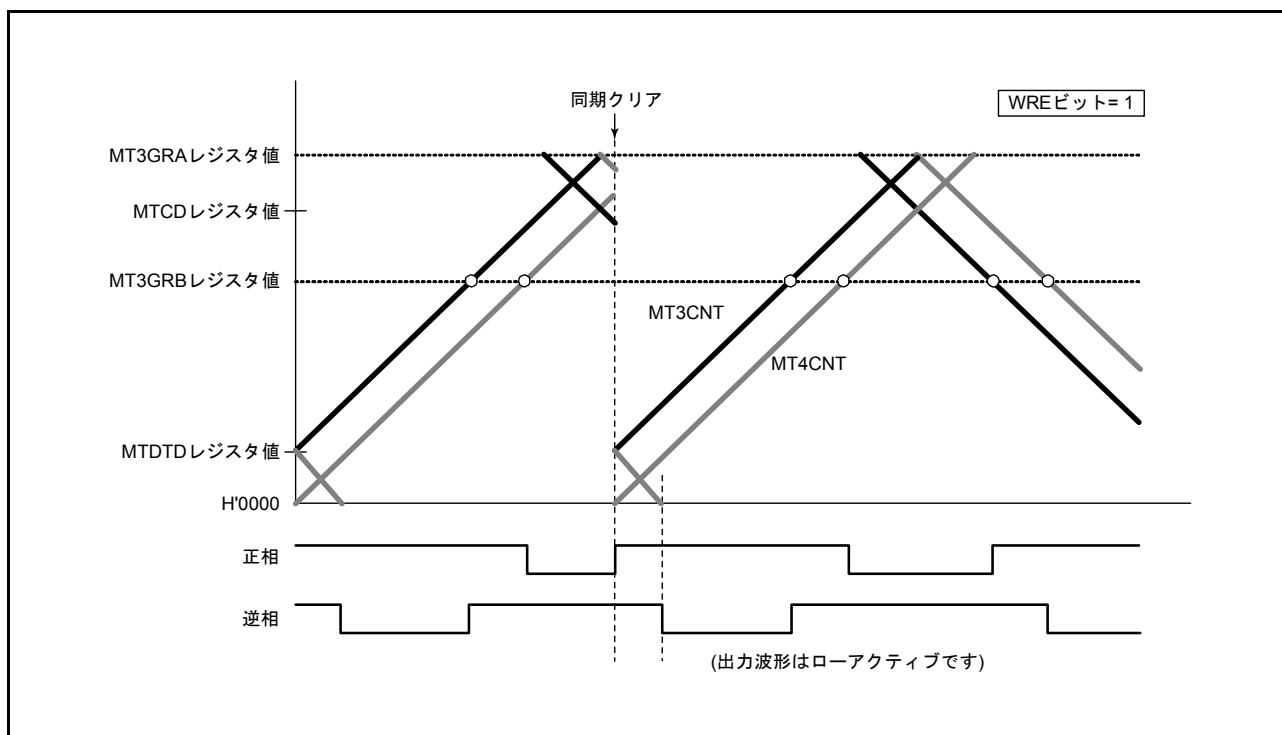


図 16.60 山の Tb 区間で同期クリアが発生した場合
(図 16.57 のタイミング⑥、MT34WCR、MT67WCR レジスタの WRE ビット = 1)

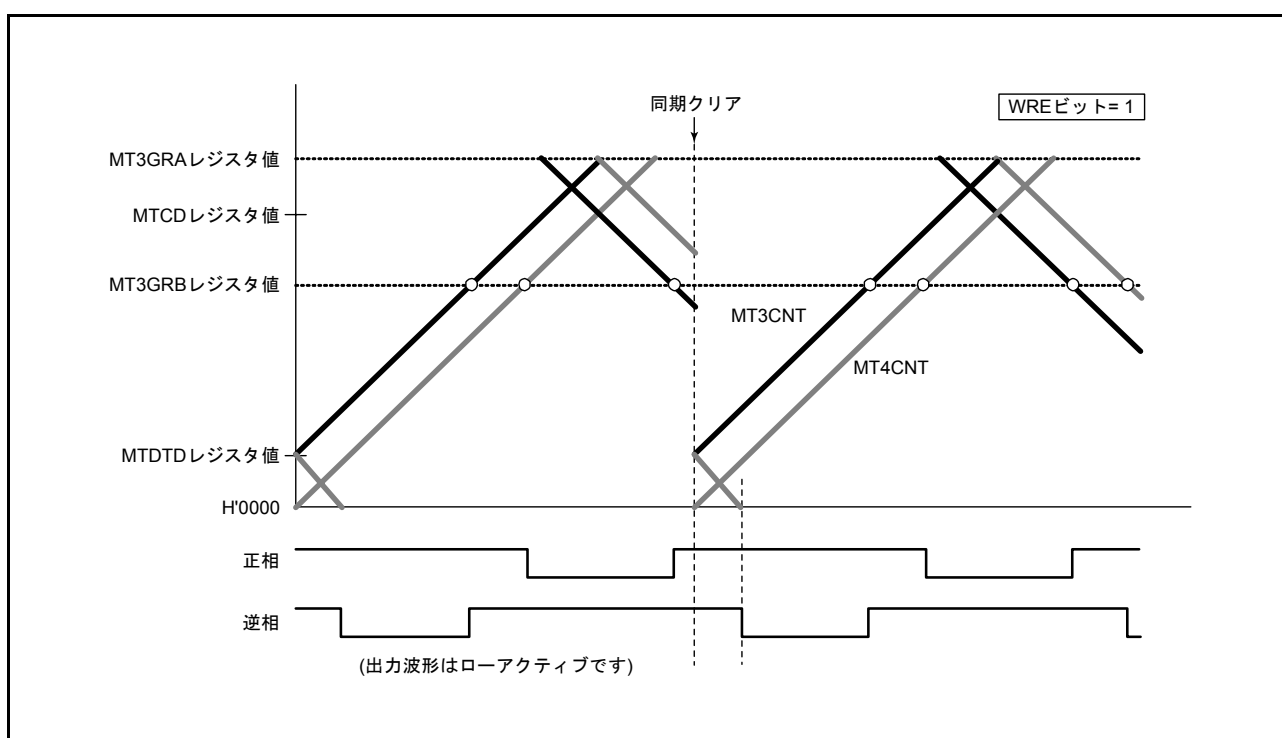


図 16.61 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
(図 16.57 のタイミング⑧、MT34WCR、MT67WCR レジスタの WRE ビット = 1)

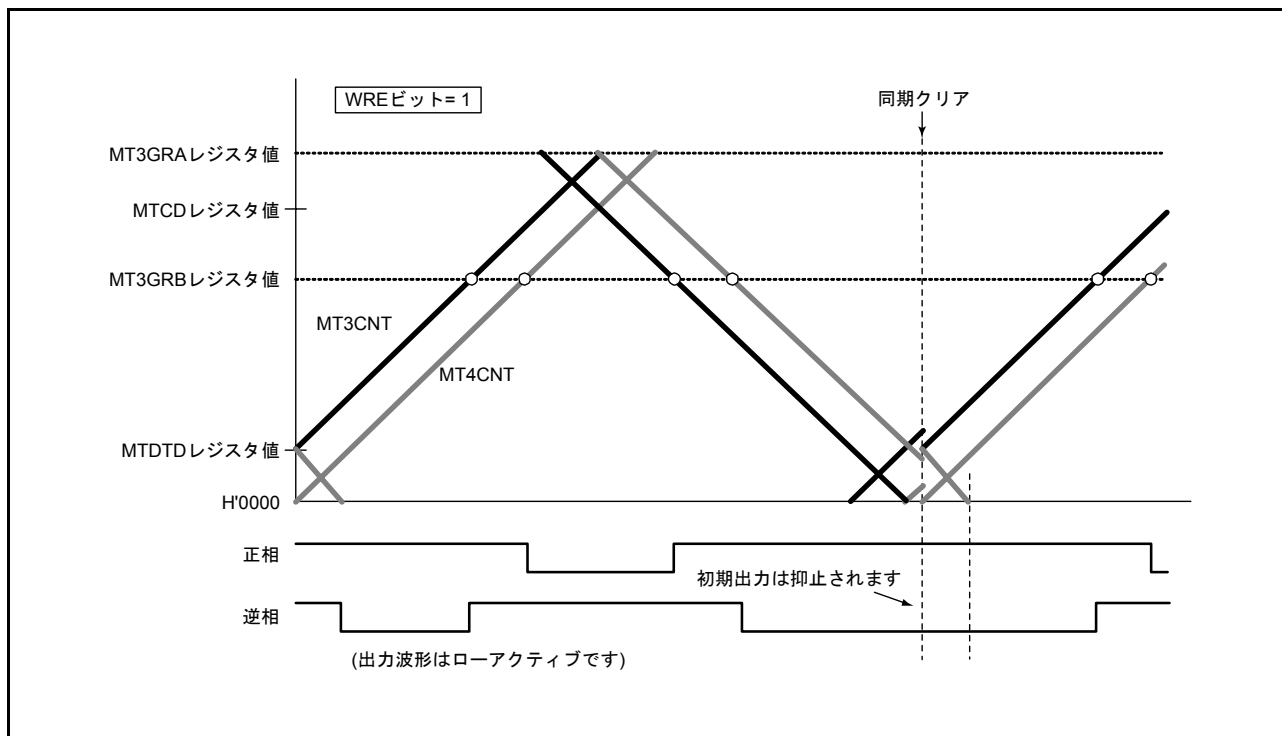


図 16.62 谷の Tb 区間で同期クリアが発生した場合

(図 16.57 のタイミング①、MT34WCR、MT67WCR レジスタの WRE ビット = 1)

(o) チャンネル0、1、2 - チャンネル6、7 カウンタ同期クリアの抑止機能

チャンネル6、7では、MT67WCR レジスタの SCC ビットを“1”に設定することにより、チャンネル0、1、2からの同期クリアを抑止することができます。

SCC ビットの設定によってチャンネル0、1、2からの同期クリアが抑止できるのは、図 16.63 で示す区間です。

また、本機能を使用する際は、チャンネル6、7を相補PWMモードに設定してください。

チャンネル0、1、2からの同期クリアについての詳細は、「16.3.10 (2) フラグセット要因を利用したチャンネル6、7カウンタクリア (チャンネル6、7カウンタ同期クリア)」を参照してください。

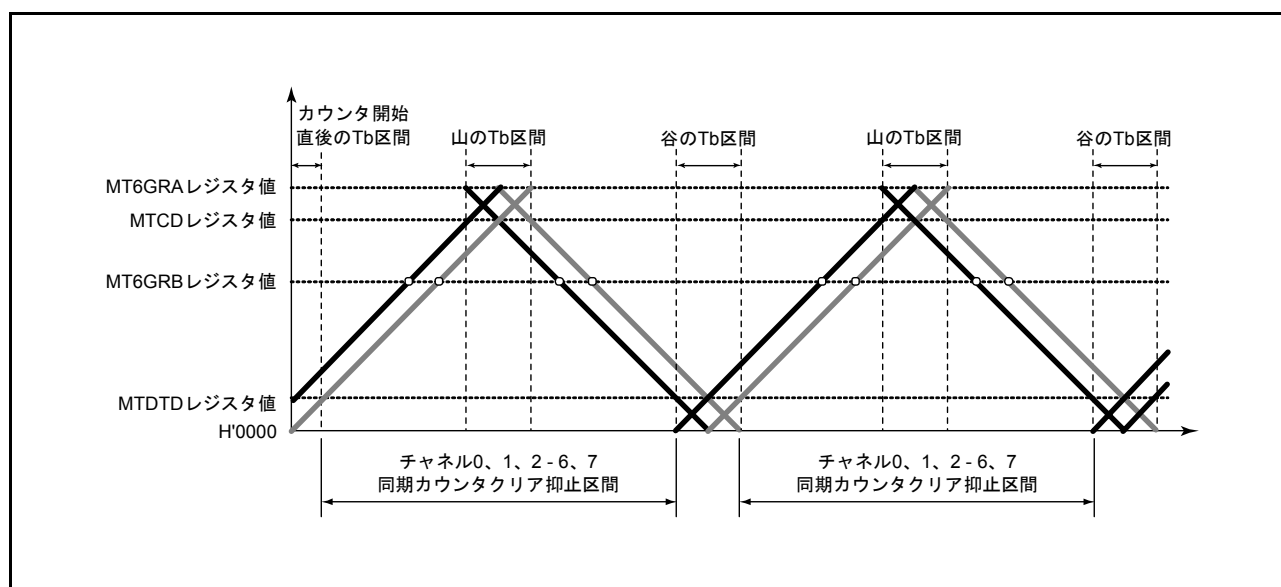


図 16.63 MT67WCR の SCC ビットセットによる、チャンネル0、1、2 - チャンネル6、7 同期クリア抑止区間

- チャンネル0、1、2 - チャンネル6、7同期カウンタクリア抑止機能の設定手順例

図 16.64 にチャンネル0、1、2 - チャンネル6、7同期カウンタクリア抑止機能の設定手順例を示します。

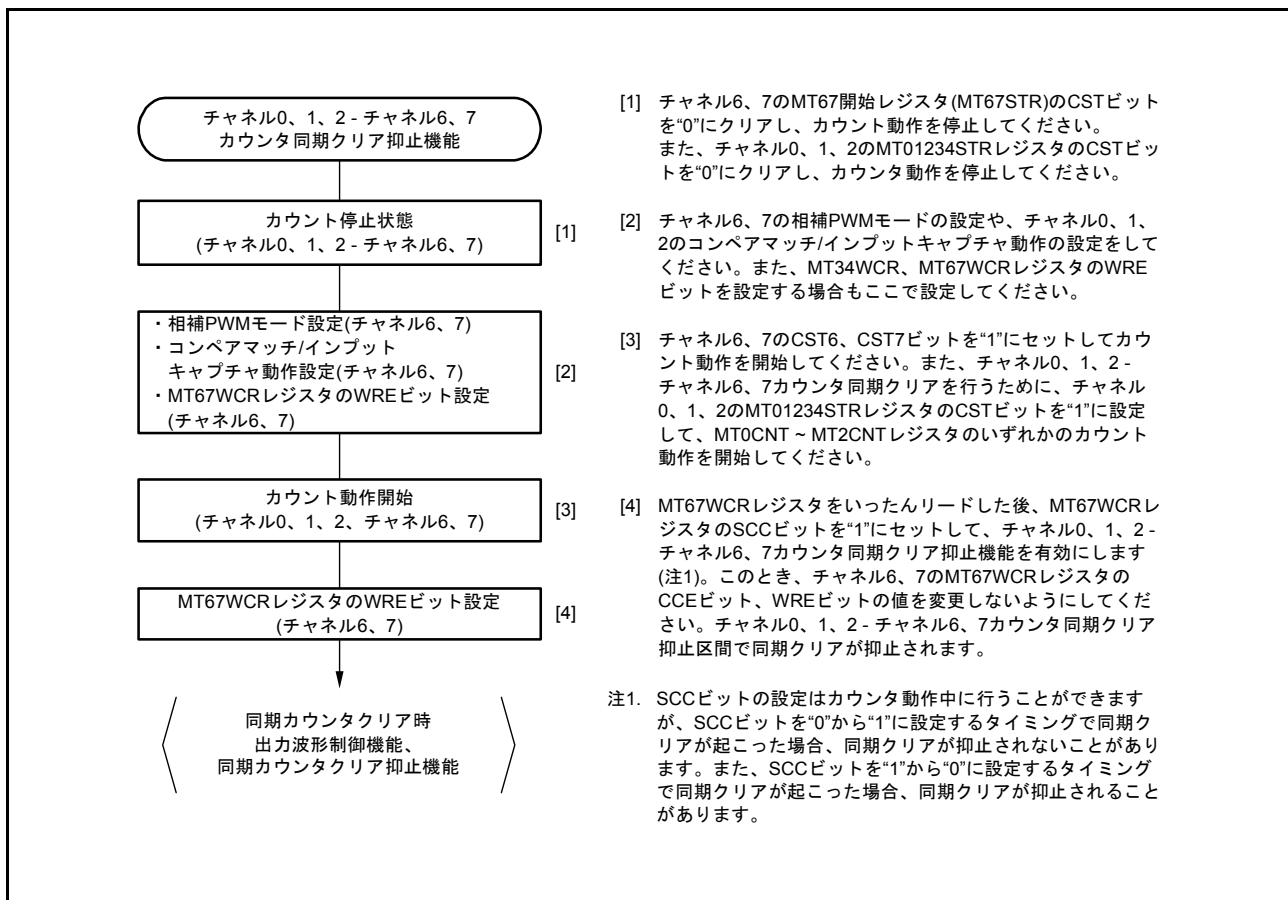


図 16.64 チャンネル0、1、2 - チャンネル6、7同期カウンタクリア抑止機能の設定手順例

- チャンネル0、1、2 - チャンネル6、7同期カウンタクリア抑止機能の動作例

図 16.65～図 16.68 に、チャンネル6、7のMT67WCRのSCCビットを“1”に設定してチャンネル6、7を相補PWM動作させ、チャンネル0、1、2 - チャンネル6、7カウンタ同期クリア抑止機能を有効にした場合の動作例を示します。

ここで、図 16.65～図 16.68の同期カウンタクリアのタイミングは、それぞれ図 16.57の③、⑥、⑧、⑪で示したタイミングです。また、この例ではチャンネル6、7のMT67WCRのWREビットは“1”に設定しています。

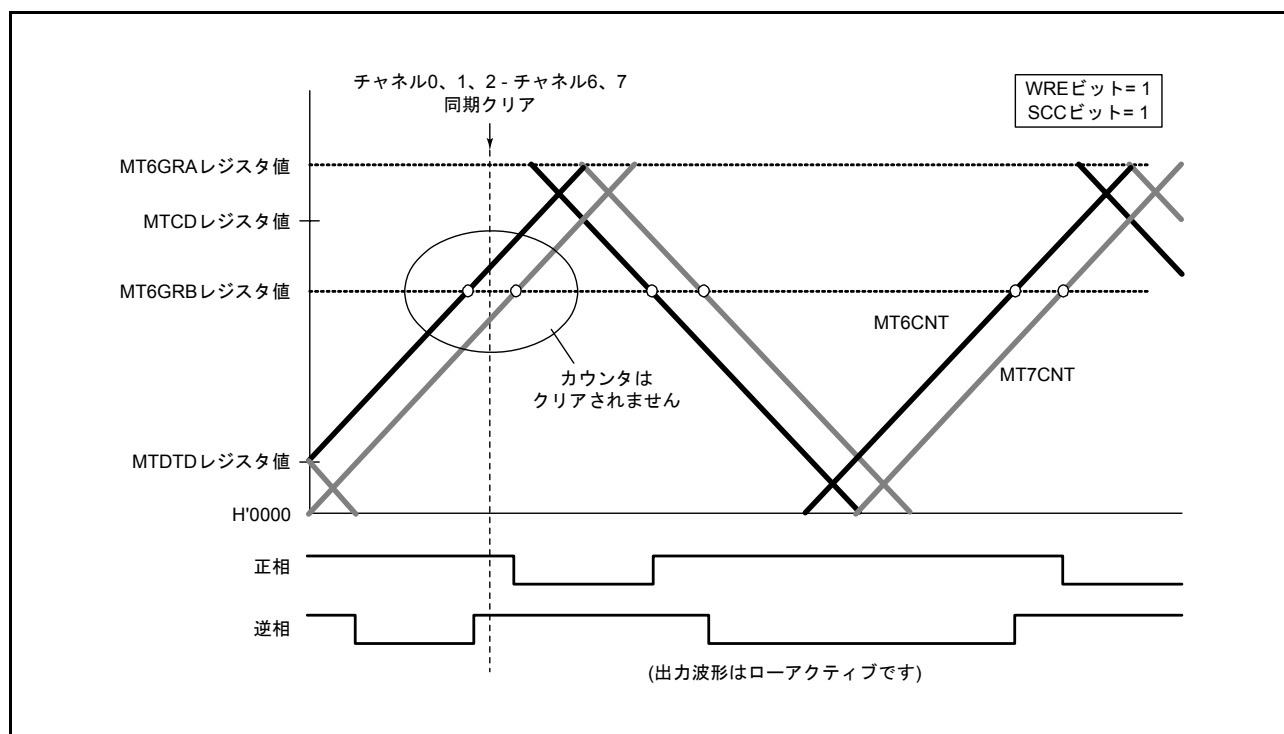


図 16.65 アップカウント中のデッドタイム時に同期クリアが発生した場合
(図 16.57のタイミング③、チャンネル6、7のMT67WCRレジスタのWREビット=1、SCCビット=1)

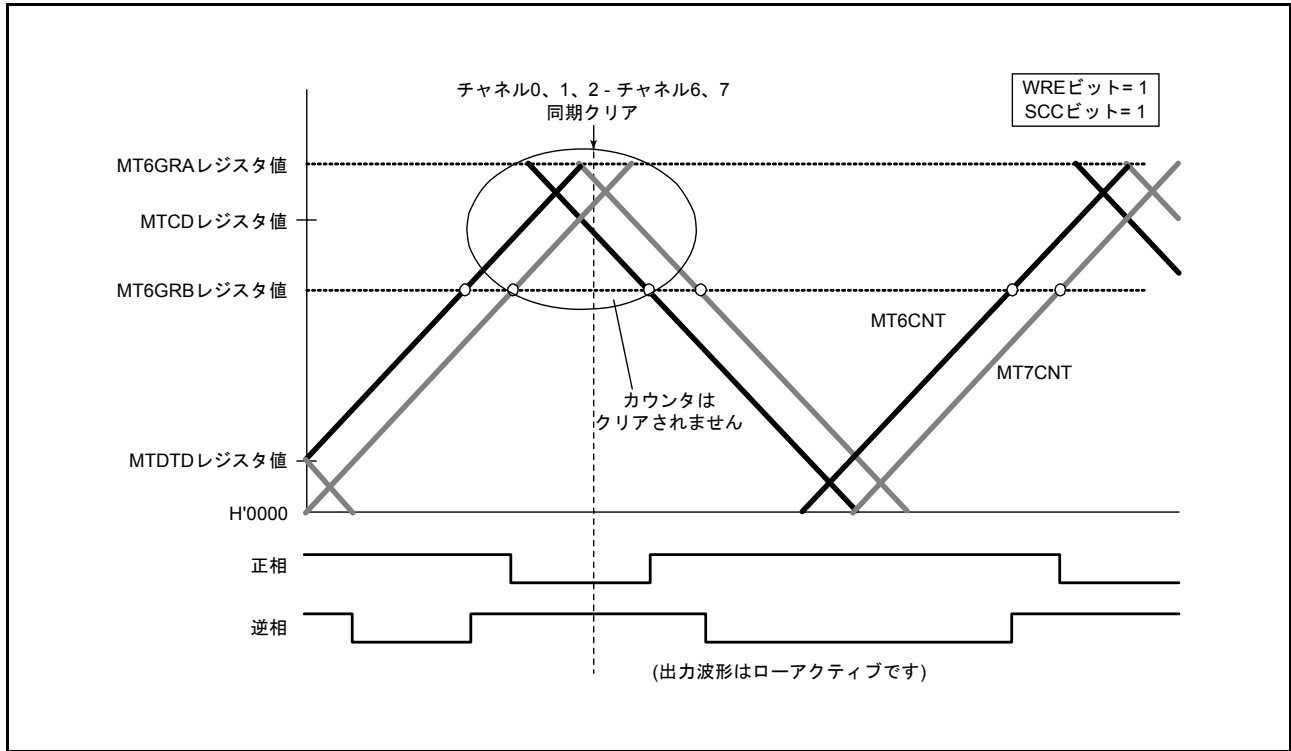


図 16.66 山のTb区間で同期クリアが発生した場合
 (図 16.57のタイミング⑥、チャンネル6,7のMT6WCRレジスタのWREビット=1, SCCビット=1)

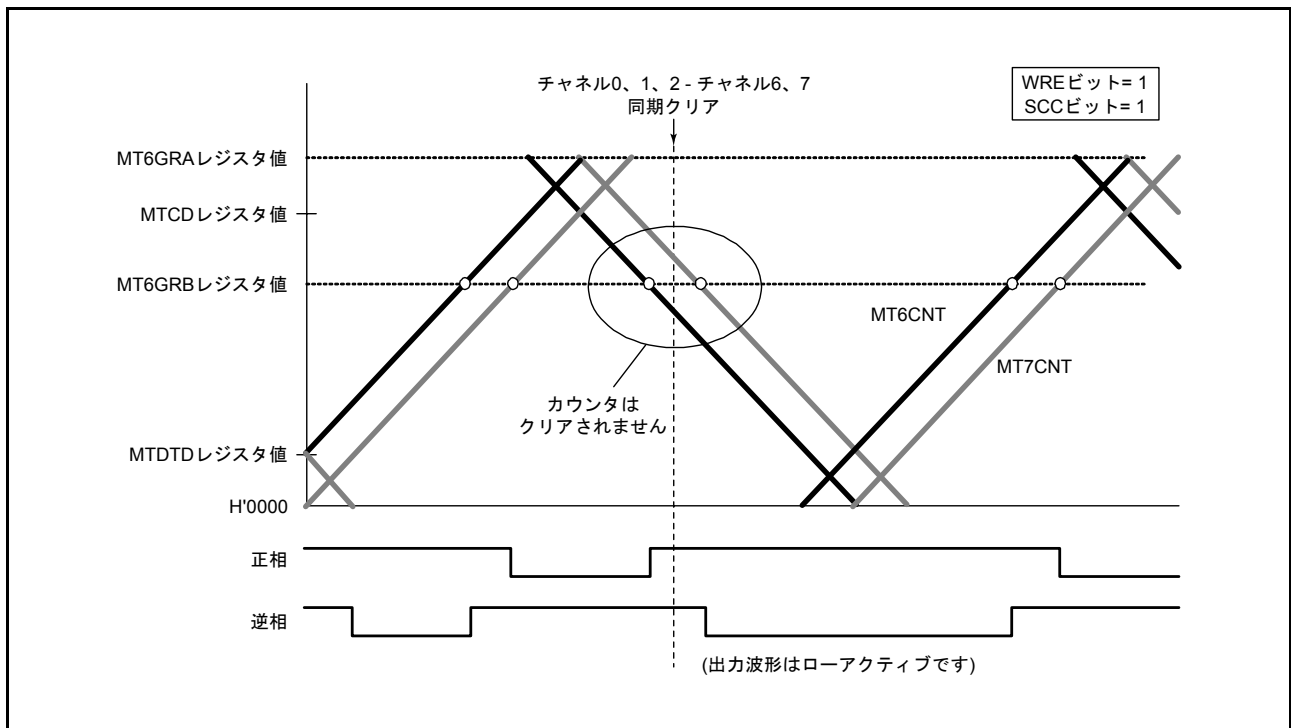


図 16.67 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
 (図 16.57のタイミング⑧、チャンネル6,7のMT6WCRレジスタのWREビット=1, SCCビット=1)

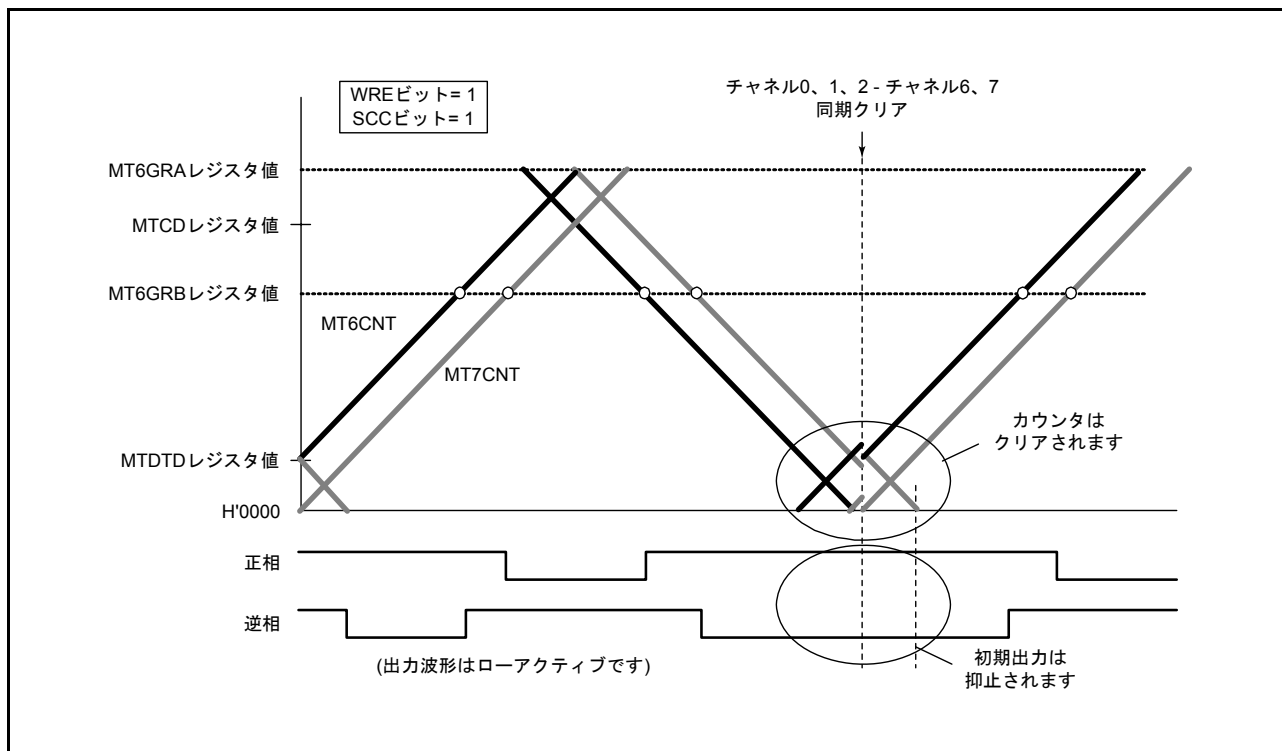


図 16.68 谷の Tb 区間で同期クリアが発生した場合

(図 16.57 のタイミング①、チャンネル6、7のMT6WCRレジスタのWREビット=1、SCCビット=1)

(p) MT3GRA (MT6GRA) レジスタのコンペアマッチによるカウンタクリア

相補 PWM モードでは、MTWCR レジスタの CCE ビットを設定することにより、MT3GRA (MT6GRA) レジスタのコンペアマッチで MT3CNT (MT6CNT) カウンタ、MT4CNT (MT7CNT) カウンタおよび MT34SCNT (MT67SCNT) カウンタをクリアすることが可能です。

図 16.69 に動作例を示します。

注・相補 PWM モード 1 (山で転送) でのみ使用してください。

- 他のチャネルとの同期クリア機能に設定しないでください。(MTSY レジスタの SYNC0 ~ SYNC4、SYNC6 ~ SYNC7 ビットを“1”、MT6SYC レジスタの CE0A/B/C/D、CE1A/B/C/D ビットを“1”に設定しないでください)
- PWM デューティは、“H'0000”を設定しないでください。
- MTOCR0 レジスタの PSYE ビットを“1”に設定しないでください。

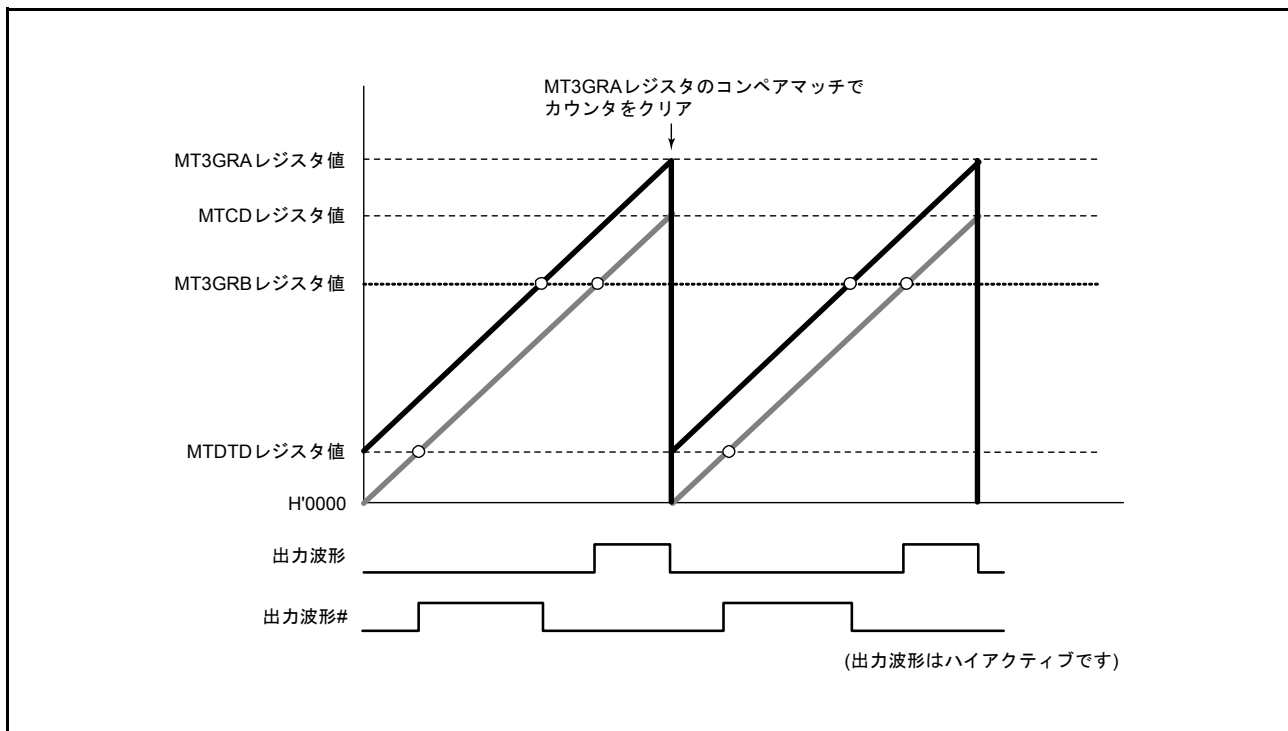


図 16.69 MT3GRA レジスタのコンペアマッチにおけるカウンタクリアの動作例

(q) AC同期モータ (ブラシレス DC モータ) の駆動波形出力例

相補 PWM モードでは、MT34GCR レジスタを使ってブラシレス DC モータを簡単に制御することができます。図 16.70～図 16.73 に MT34GCR レジスタを使用したブラシレス DC モータの駆動波形例を示します。

3 相ブラシレス DC モータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、MT34GCR レジスタの FB ビットを“0”に設定します。この場合、磁極位置を示す外部信号をチャンネル 0 のタイマ入力端子 TIOC0A、TIOC0B、TIOC0C 端子に入力します (端子機能の設定については、「13. I/O ポート」を参照してください)。TIOC0A、TIOC0B、TIOC0C 端子の 3 つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

FB ビットが“1”の場合は、MT34GCR レジスタの UF、VF、WF ビットの各ビットに“0”または“1”を設定すると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補 PWM モードの 6 相出力端子から出力されます。

この 6 相出力は N ビットまたは P ビットを“1”に設定することにより、ON 出力時、相補 PWM モードの出力を使用し、チョッピング出力を行うことが可能です。N ビットまたは P ビットが“0”の場合は、レベル出力になります。

また、6 相出力のアクティブレベル (ON 出力時レベル) は、N ビットおよび P ビットの設定にかかわらず、MT34OCR0 レジスタの OLSN ビット、OLSP ビットで設定できます。

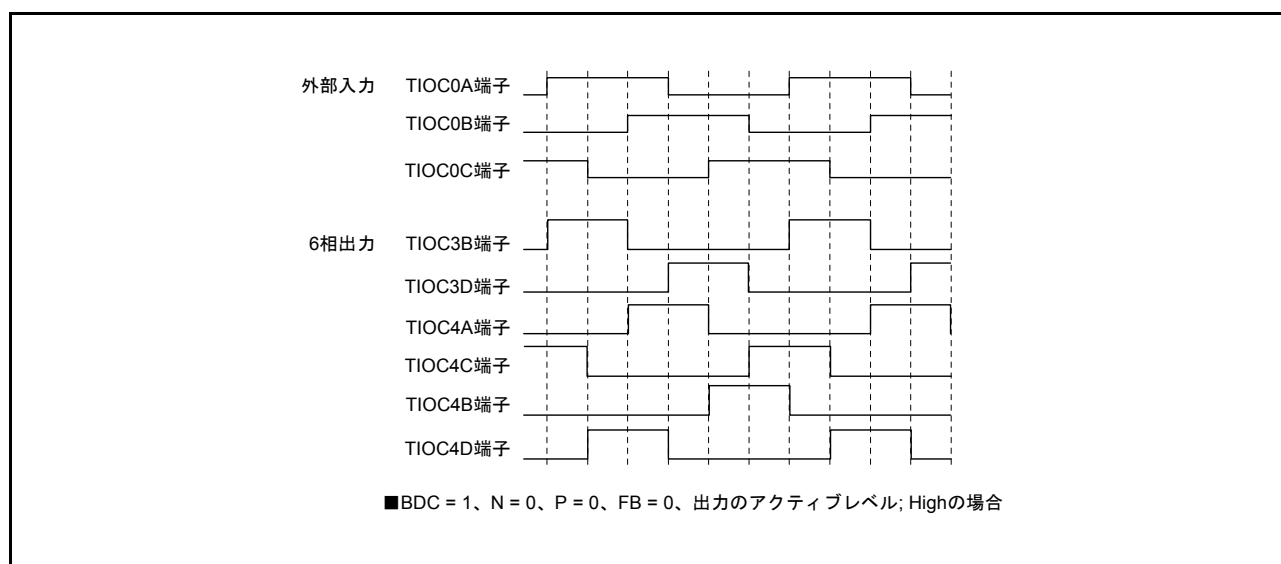


図 16.70 外部入力による出力相の切り替え動作例 (1)

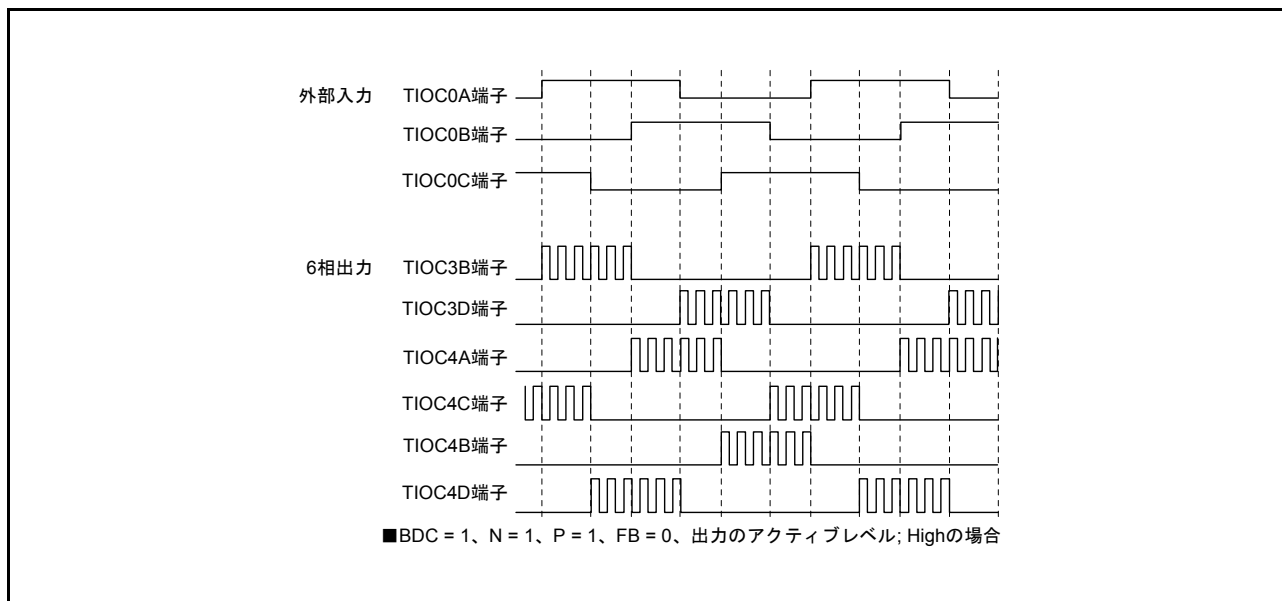


図 16.71 外部入力による出力相の切り替え動作例 (2)

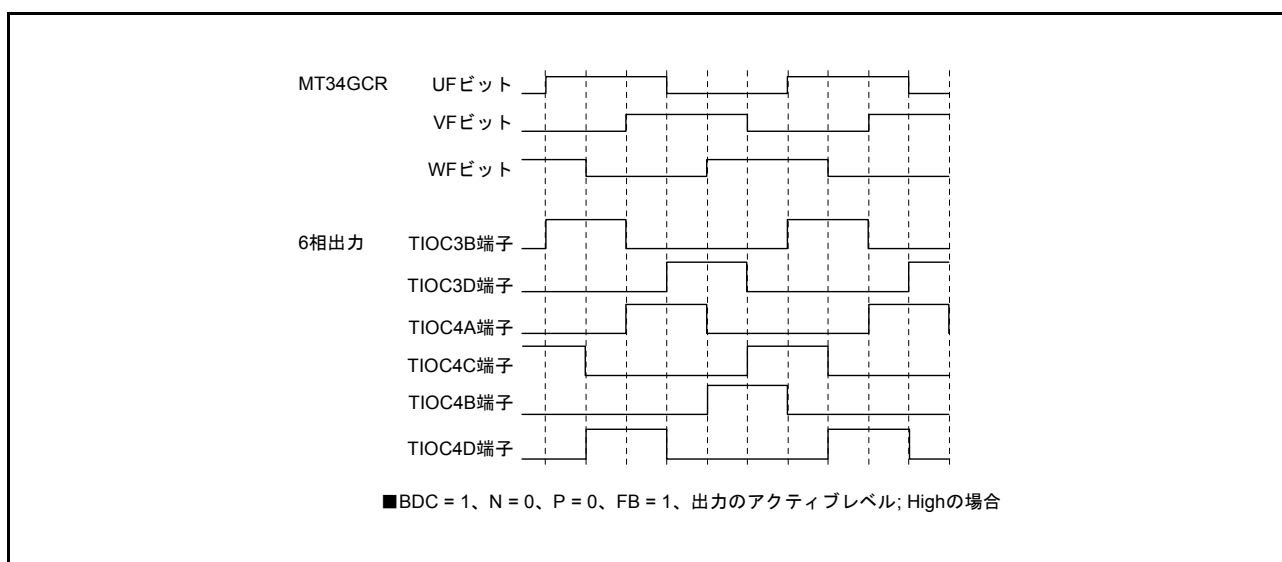


図 16.72 UF、VF、WF ビット設定による出力相の切り替え動作例 (1)

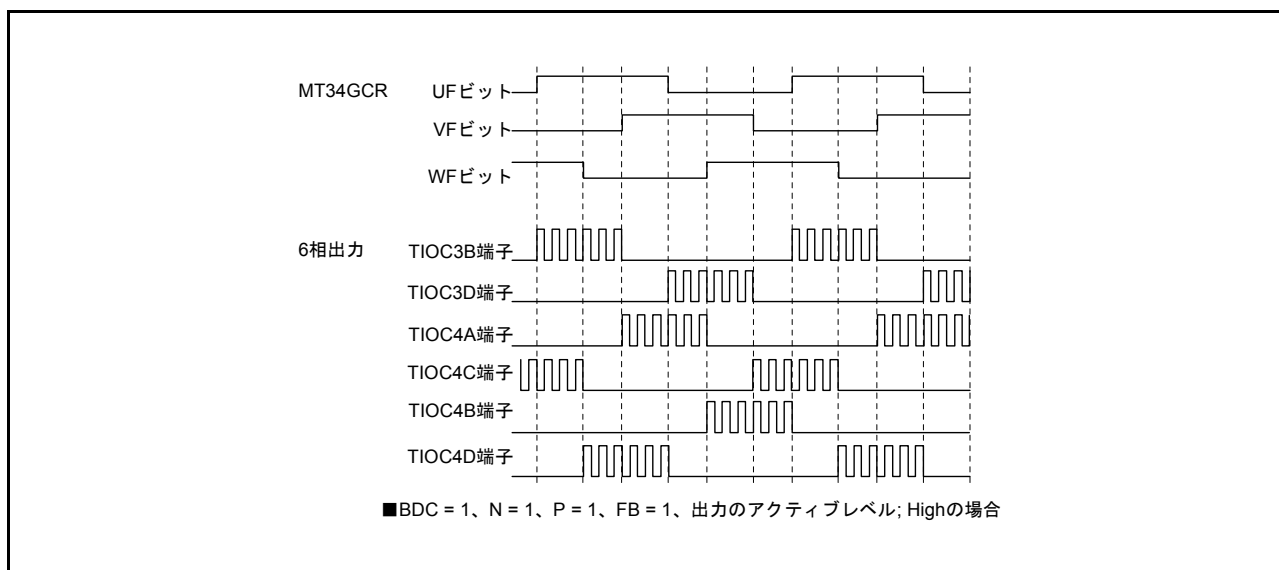


図 16.73 UF、VF、WF ビット設定による出力相の切り替え動作例 (2)

(r) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は MT3GRA (MT6GRA) レジスタのコンペアマッチ、MT4CNT (MT7CNT) カウンタのアンダフロー (谷)、チャンネル 3、4 (チャンネル 6、7) 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

MT3GRA (MT6GRA) レジスタのコンペアマッチを使用して開始要求を設定すると、MT3CNT (MT6CNT) カウンタの山で A/D 変換をスタートさせることができます。

A/D 変換の開始要求は、MTIEN レジスタの TTGE ビットを“1”にセットすることで設定できます。MT4CNT (MT7CNT) カウンタのアンダフロー (谷) の A/D 変換の開始要求は、MT4IEN0 (MT7IEN0) の TTGE2 ビットを“1”にセットすることで設定できます。

(s) 相補 PWM モードのダブルバッファ機能

相補 PWM モード 3 (山・谷で転送) のとき、MTMD1 レジスタの DRS ビットを“1”に設定することにより、PWM 変更時の PWM 出力の最小分解能を ± 2 から ± 1 にすることが可能です。

バッファレジスタ A (MT3GRD、MT4GRC、MT4GRD) を設定する際は、バッファレジスタ B (MT3GRE、MT4GRE、MT4GRF) も同時に設定してください。また、バッファレジスタ B の値はバッファレジスタ A の値、またはバッファレジスタ A の値 - 1 を設定してください。設定手順の詳細は「16.3.8 (1) 相補 PWM モードの設定手順例」を参照してください。

注・・ バッファレジスタ B の値にバッファレジスタ A の値を設定した場合、PWM 出力が左右対称になります。バッファレジスタ B の値にバッファレジスタ A の値 - 1 を設定した場合、PWM 出力が非対称になります。

図 16.74 にダブルバッファ機能の動作例を示します。

各レジスタのデータ転送方式は下記のとおり。

- MT4GRD レジスタ (バッファ A) 書き込み時に MT4GRD レジスタ (バッファ A) → Temp3A (テンポラリ A)、および MT4GRF レジスタ (バッファ B) → Temp3B (テンポラリ B) へのデータ転送。
 - ①のタイミングで Temp3A (テンポラリ A) → MT4GRB (コンペア) レジスタへのデータ転送。
 - ②のタイミングで Temp3B (テンポラリ B) → MT4GRB (コンペア) レジスタへのデータ転送。
- 山区間 (山の Tb 区間) ではコンペアレジスタとテンポラリレジスタ A、谷区間 (谷の Tb 区間) ではコンペアレジスタとテンポラリレジスタ B が有効

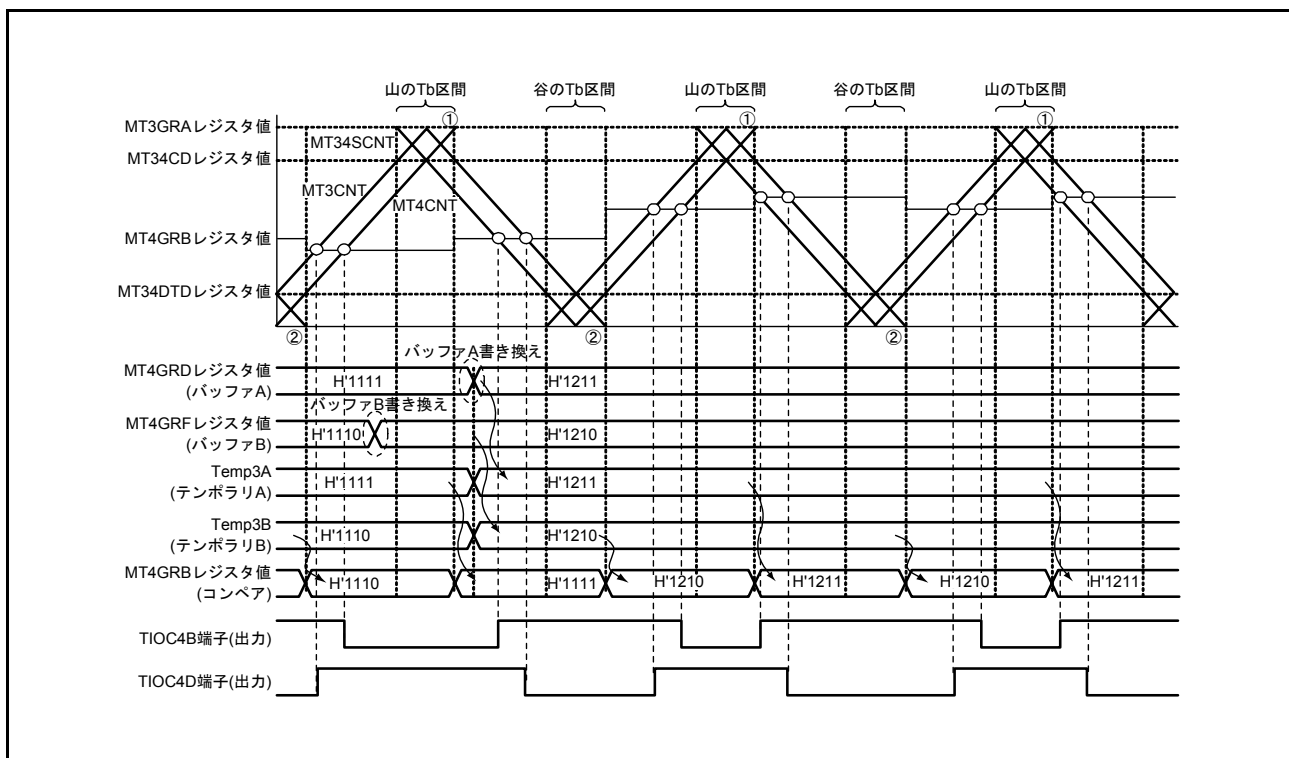


図 16.74 ダブルバッファ機能の動作例

図 16.75 にバッファへの書き込み値が MT34DTD レジスタより小さい場合を、図 16.76 に MT34CD レジスタより大きい場合を示します。

山区間では、コンペアレジスタまたはテンポラリレジスタ A とのコンペアマッチで出力制御し、谷区間ではコンペアレジスタまたはテンポラリレジスタ B とのコンペアマッチで出力制御します。

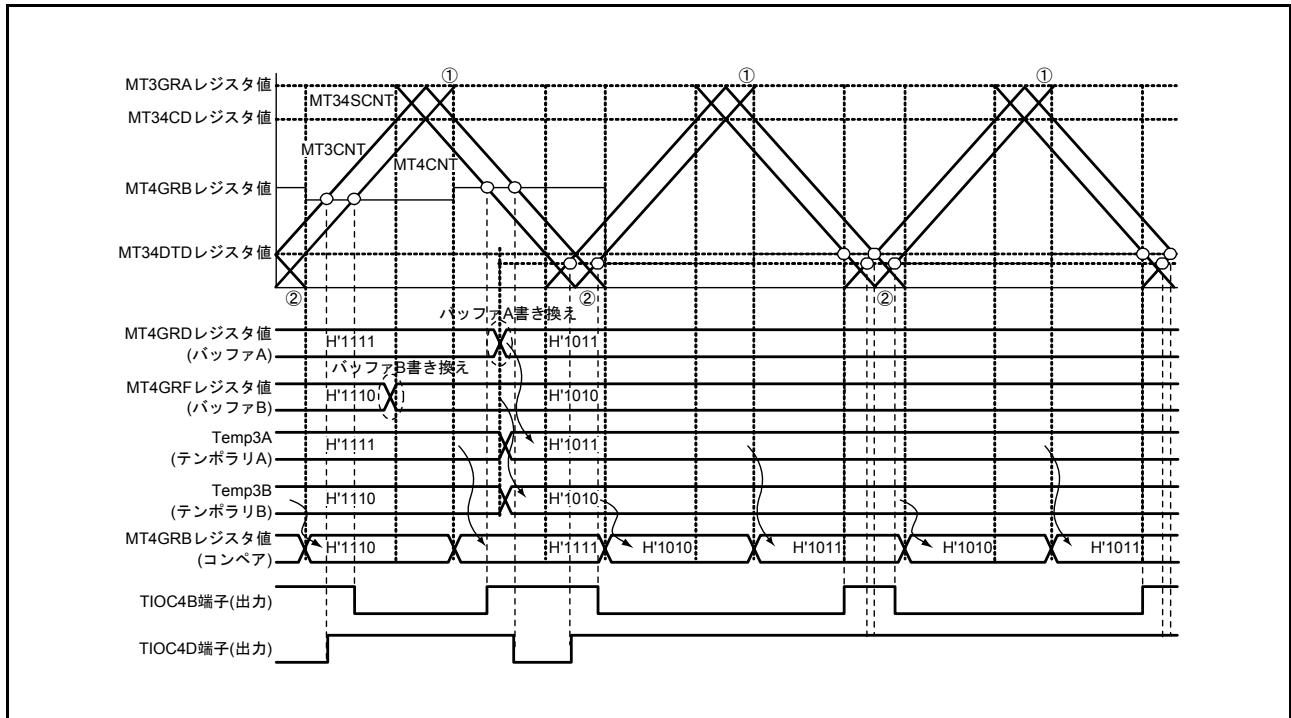


図 16.75 ダブルバッファ機能の動作例 (バッファへの書き込み値が MT34DTD レジスタより小さい場合)

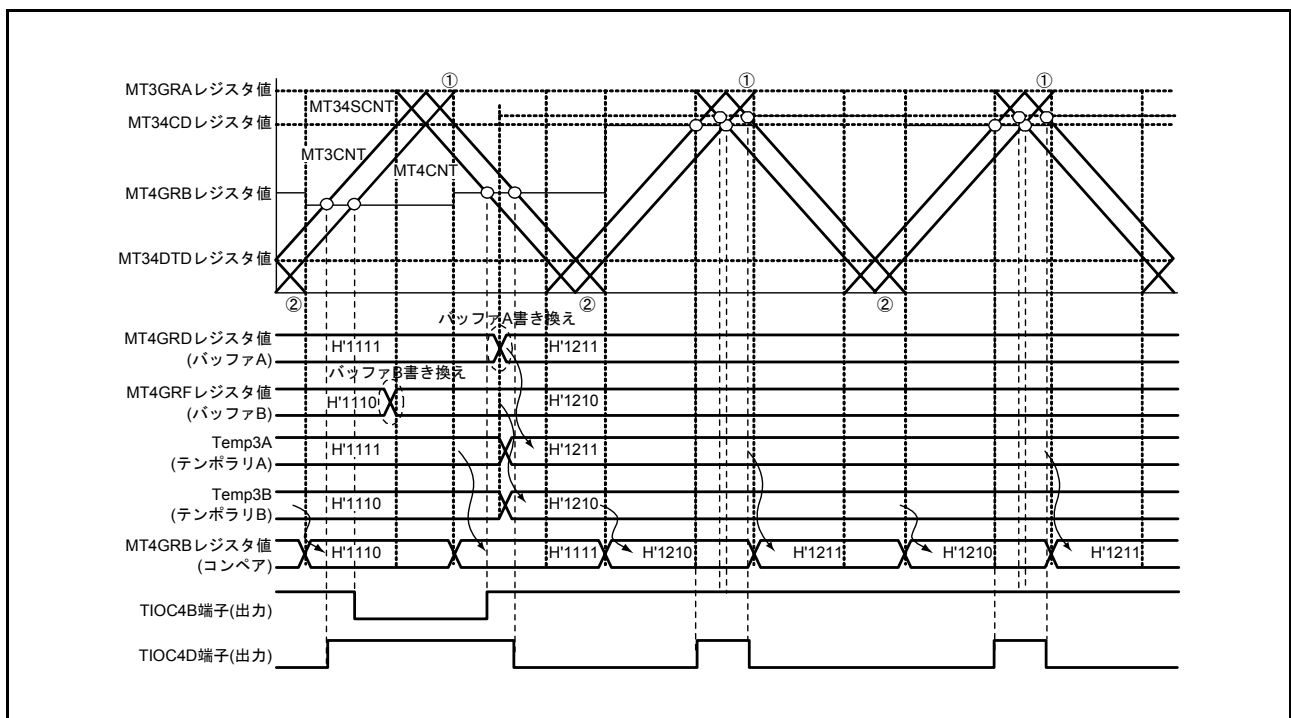


図 16.76 ダブルバッファ機能の動作例 (バッファへの書き込み値が MT34CD レジスタより大きい場合)

(3) 相補 PWM モードの割り込み間引き機能 1

チャンネル 3、4 (チャンネル 6、7) の TGIA_3 (TGIA_6) (山の割り込み)、および TCIV_4 (TCIV_7) (谷の割り込み) は、MT 割り込み間引き設定レジスタ 0 (MT34ISSE0、MT67ISSE0) を設定することにより、最大で 7 回まで割り込みを間引くことが可能です。

MTBTSE レジスタを設定することにより、バッファレジスタからテンポラリレジスタ / コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

MTADSRRCR レジスタを設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「16.3.9 A/D 変換開始要求ディレイド機能」を参照してください。

MT 割り込み間引き設定レジスタ 0 (MT34ISSE0、MT67ISSE0) の設定は、MT34 割り込み間引きモードレジスタ (MT34ISMD、MT67ISMD) の TITM ビットに “0” を設定し、割り込み間引き機能 1 を選択し、かつ MT3IEN0、MT4IEN0 (MT6IEN0、MT7IEN0) レジスタの設定で TGIA_3 (TGIA_6) と TCIV_4 (TCIV_7) 割り込み要求を禁止した状態、かつコンペアマッチによる TGFA_3 (TGFA_6)、TCFV_4 (TCFV_7) フラグセットが発生しない状態で行ってください。また、間引き回数の変更前に、必ず T3AEN (T6AEN)、T4VEN (T7VEN) ビットを “0” にして、間引きカウンタをクリアしてください。

(a) 割り込み間引き機能 1 の設定手順例

図 16.77 に割り込み間引き機能 1 の設定手順例を、図 16.78 に割り込み間引き回数の変更可能期間を示します。

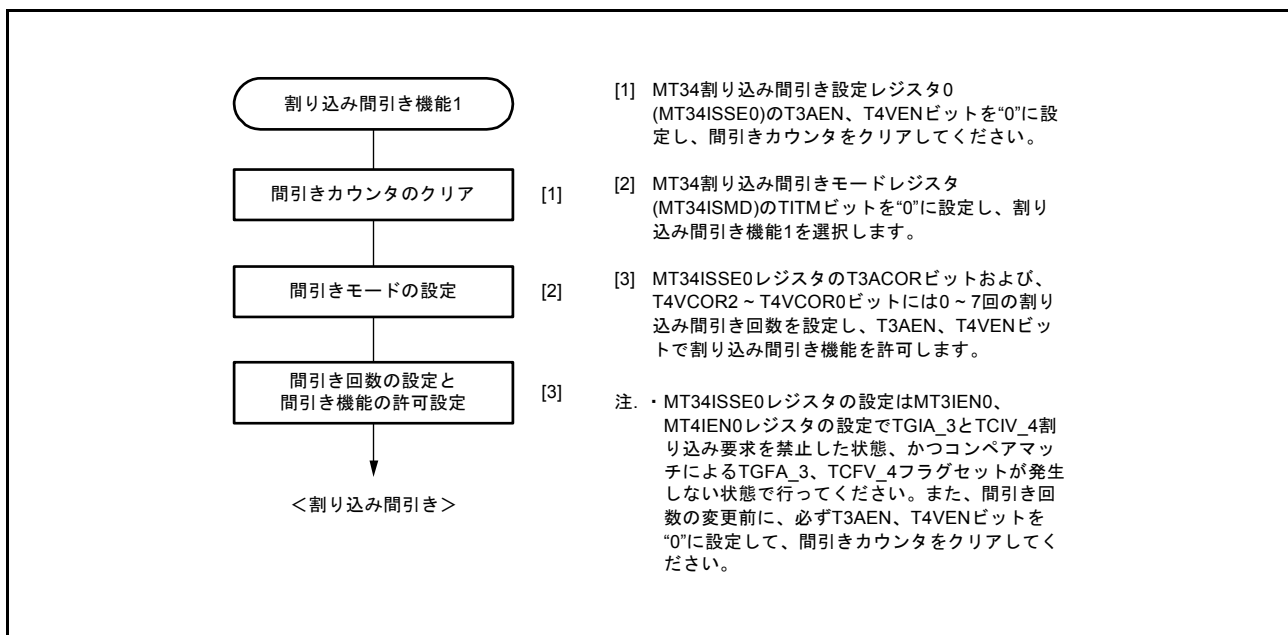


図 16.77 割り込み間引き機能 1 の設定手順例

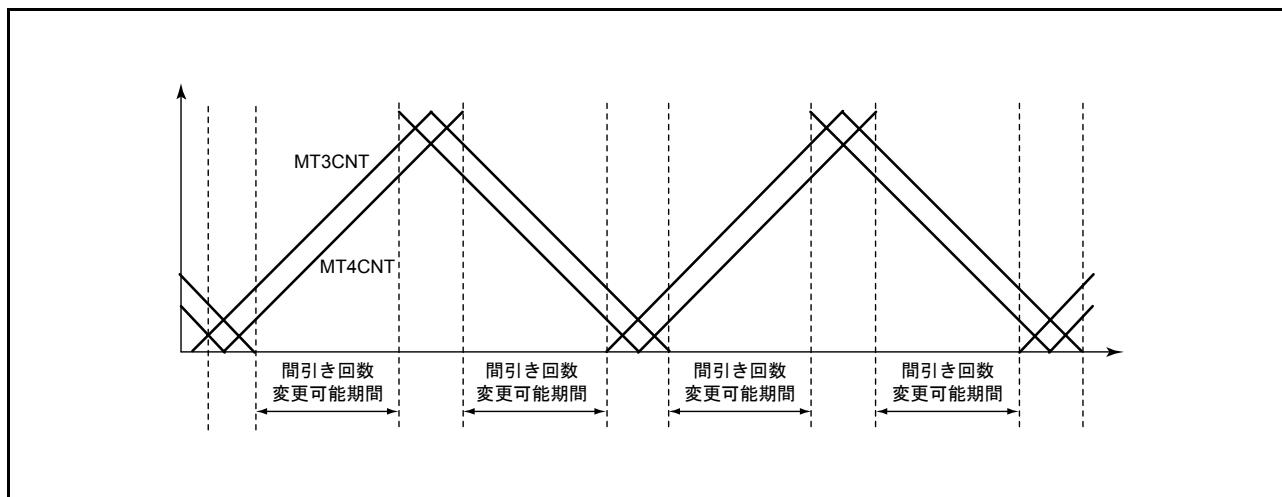


図 16.78 割り込み間引き回数の変更可能期間

(b) 割り込み間引き機能 1 の動作例

MT 割り込み間引き設定レジスタ 0 (MT34ISSE0、MT67ISSE0) の T3ACOR (T6ACOR) ビットで割り込みの間引き回数を 3 回に設定し、T3AEN (T6AEN) ビットを“1”に設定した場合の、TGIA_3 (TGIA_6) 割り込み間引きの動作例を図 16.79 に示します。

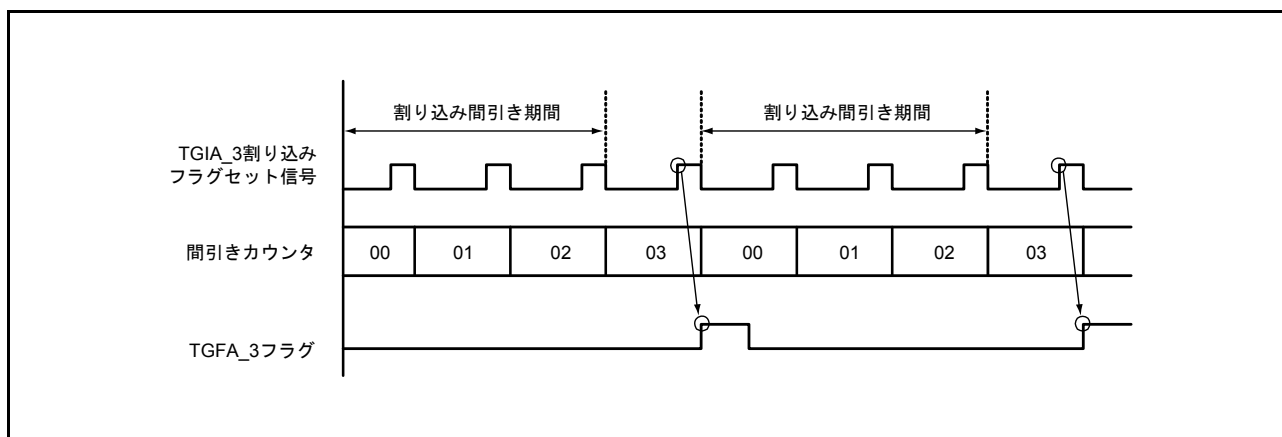


図 16.79 割り込み間引き機能 1 の動作例

(c) 割り込み間引きと連動したバッファ転送制御

MTBTSE レジスタの BTE1、BTE0 ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする / しない、または割り込み間引きと連動する / しないを選択することが可能です。

図 16.80 にバッファ転送を抑止する設定 (BTE1 = 0、BTE0 = 1) にした場合の動作例を示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

図 16.81 にバッファ転送を割り込み間引きと連動する設定 (BTE1 = 1、BTE0 = 0) にした場合の動作例 p を示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。

なお、MT34 割り込み間引き設定レジスタ 0 (MT34ISSE0、MT67ISSE0) の T3AEN (T6AEN) ビットを“1”に設定した場合、T4VEN (T7VEN) ビットを“1”に設定した場合、T3AEN、T4VEN (T6AEN、T7VEN) ビットを“1”に設定した場合で、それぞれバッファ転送許可期間が異なります。

図 16.82 に MT34ISSE0 (MT67ISSE0) レジスタの T3AEN、T4VEN (T6AEN、T7VEN) ビットの設定とバッファ転送許可期間の関係を示します。

注 . • 本機能は、割り込み間引き機能 1 と組み合わせて使用してください。

割り込み間引きが禁止のとき (MT 割り込み間引き設定レジスタ 0 (MT34ISSE0、MT67ISSE0) の T3AEN、T4VEN (T6AEN、T7VEN) ビットを“0”に設定したとき、または MT34ISSE0 (MT67ISSE0) レジスタの間引き回数設定ビット (T3ACOR、T4COR (T6ACOR、T7VCOR)) を“0”に設定したとき) は、必ずバッファ転送を割り込み間引きと連動しない設定 (MTBTSE レジスタの BTE1 を“0”に設定) してください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

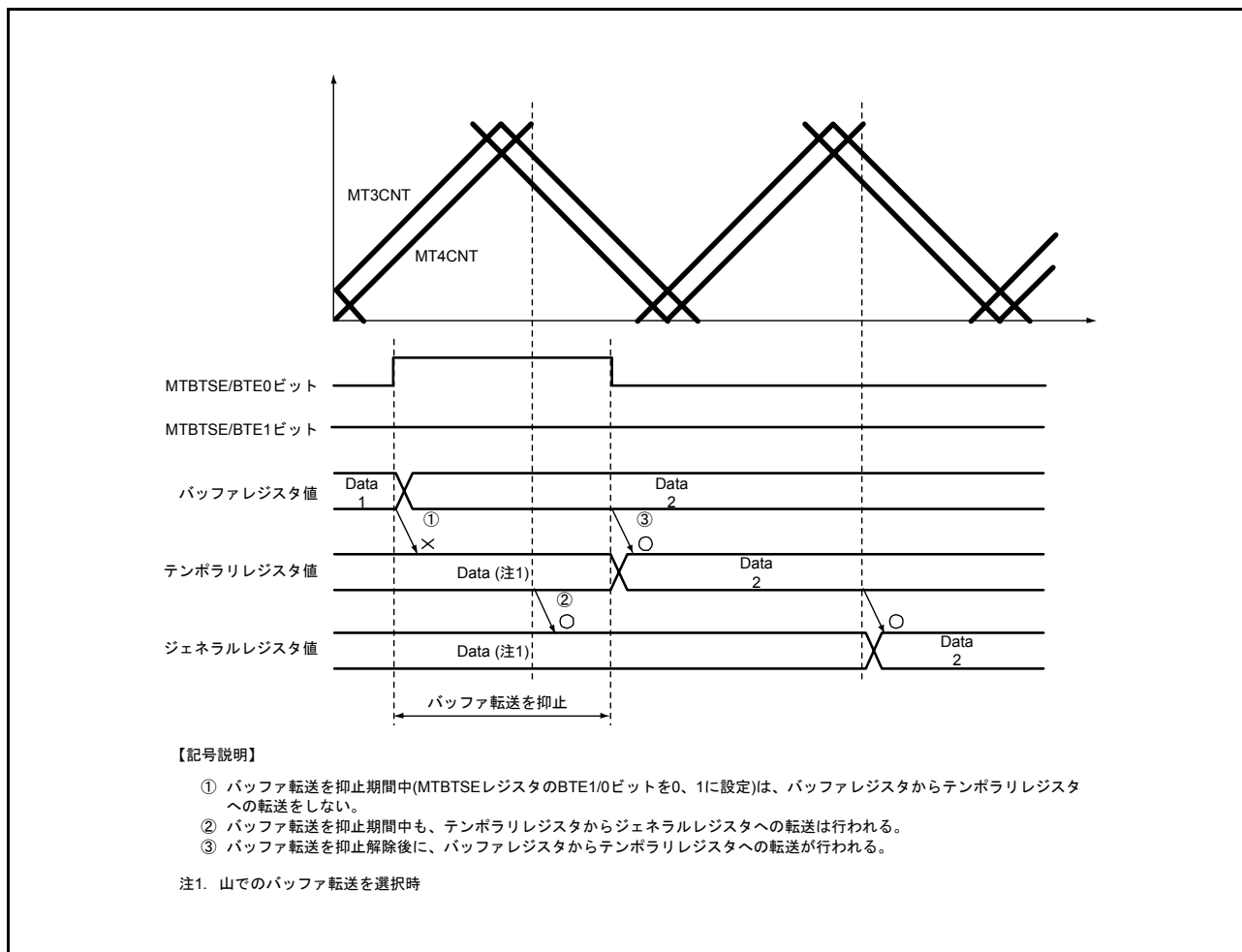


図 16.80 バッファ転送を抑制する設定 (BTE1 = 0、BTE0 = 1) にした場合の動作例

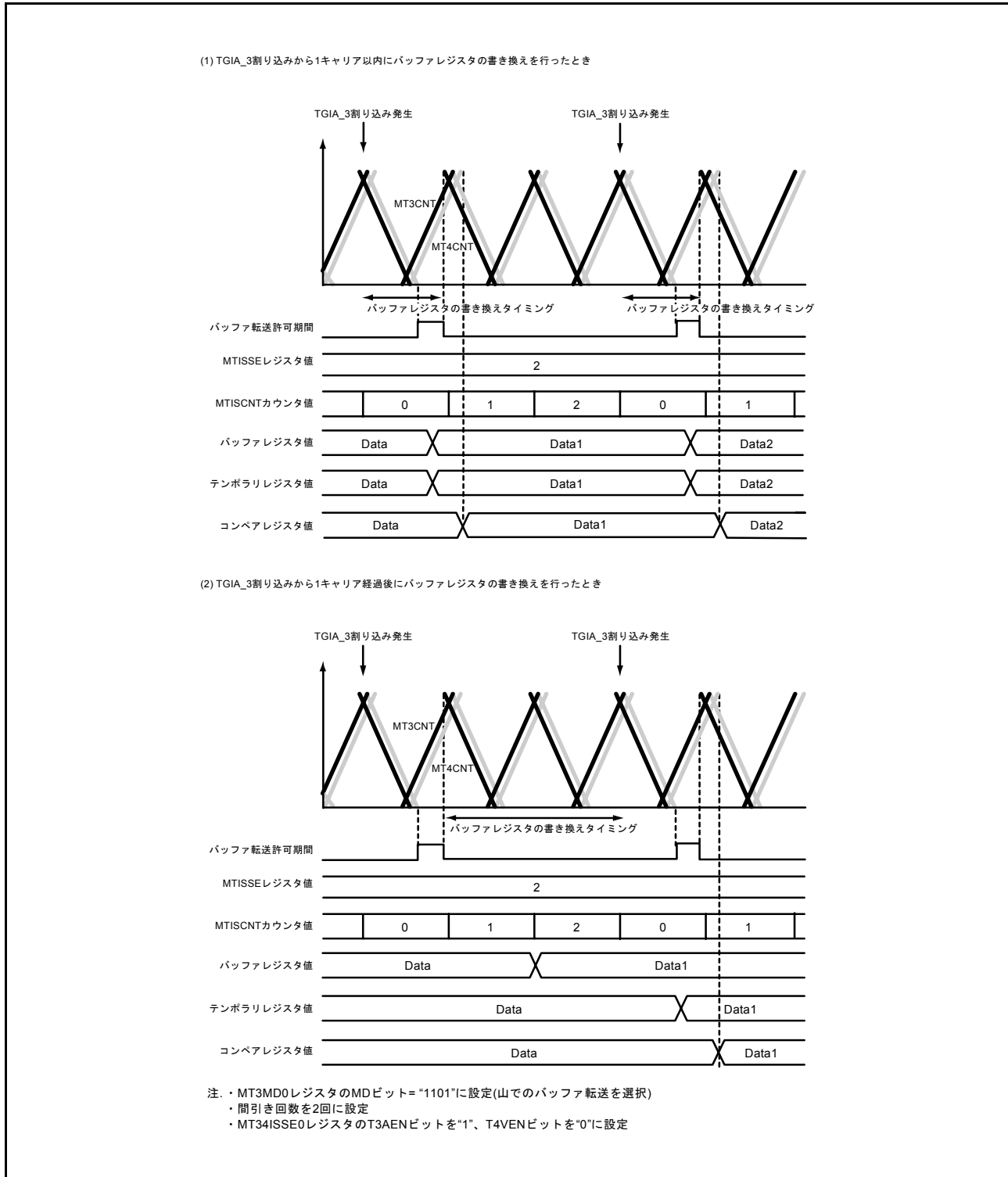


図 16.81 バッファ転送を割り込み間引きと連動する設定 (BTE1 = 1、BTE0 = 0) にした場合の動作例 p

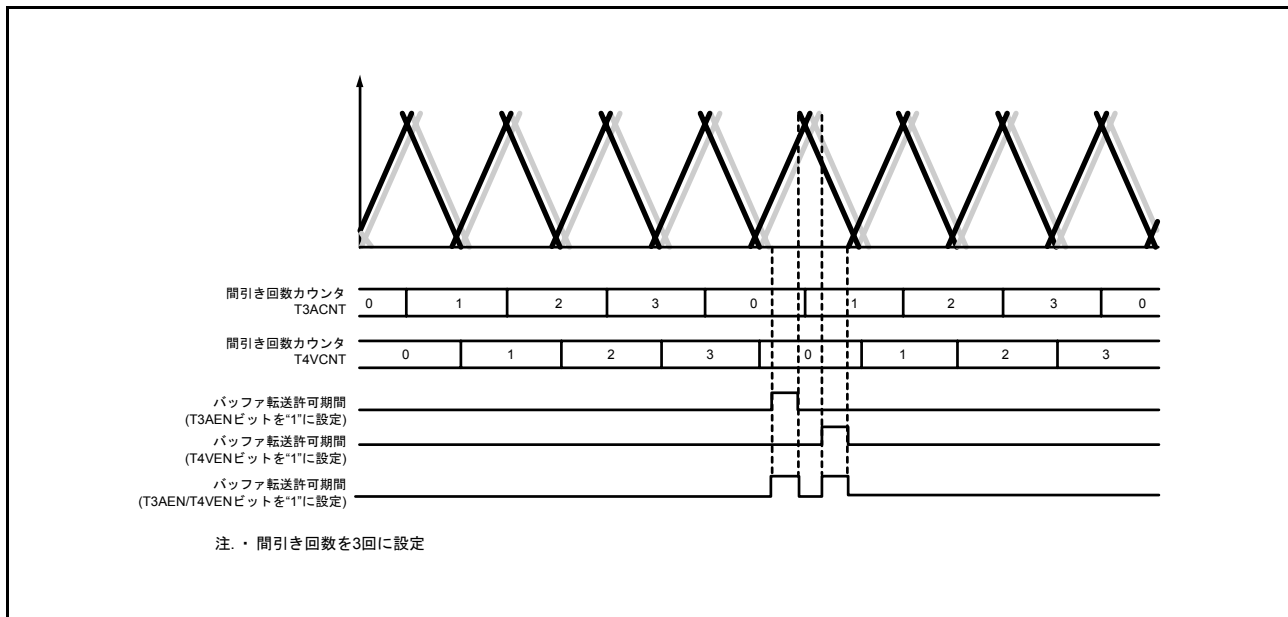


図 16.82 MT34 割り込み間引き設定レジスタ 0 (MT34ISSE0) の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能を持っています。

(a) レジスタ、カウンタの誤書き込み防止機能

相補 PWM モードで使用するレジスタ、カウンタのうち常書き換えを行うバッファレジスタを除くモードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、MTRWEN レジスタの RWE ビットの設定により CPU からのアクセスの許可/禁止を選択することが可能です。対象となるレジスタはチャンネル 3、4、6、7 のレジスタの一部が対象となっており、次のレジスタに適用されます。

MT3CR、MT4CR、MT3MD0、MT4MD0、MT3IOCR0、MT4IOCR0、MT3IOCR1、MT4IOCR1、
 MT3IEN0、MT4IEN0、MT3CNT、MT4CNT、MT3GRA、MT4GRA、MT3GRB、MT4GRB、
 MT34OEN、MT34OCR0、MT34OCR1、MT34GCR、MT34CD、MT34DTD
 MT6CR、MT7CR、MT6MD0、MT7MD0、MT6IOCR0、MT7IOCR0、MT6IOCR1、MT7IOCR1、
 MT6IEN0、MT7IEN0、MT6CNT、MT7CNT、MT6GRA、MT7GRA、MT6GRB、MT7GRB、
 MT67OEN、MT67OCR0、MT67OCR1、MT67CD、MT67DTD 計 43 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し時は不定値が読み出され、書き込みは無効です。

(b) 外部信号による PWM 出力の停止機能

6 相 PWM 出力端子は、指定した外部信号が入力されることにより出力端子を自動的にハイインピーダンス状態にすることが可能です。

16.3.9 A/D 変換開始要求ディレイド機能

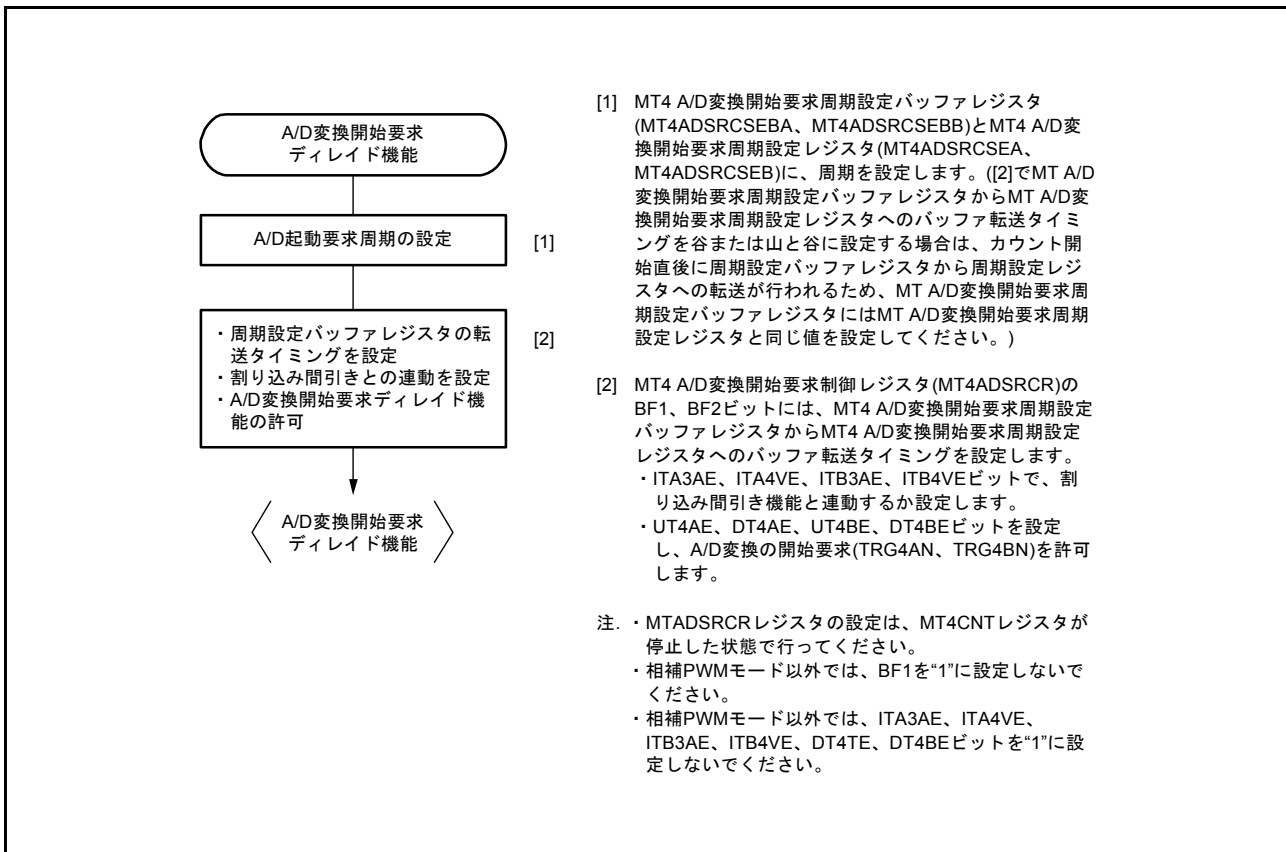
チャンネル4(チャンネル7)のMTADSRRCRレジスタ、MTADSRCSEレジスタ、MTADSRCSEBレジスタを設定することで、A/D変換の開始要求を行うことが可能です。

A/D変換開始要求ディレイド機能は、MT4CNTカウンタとMT4ADSRCSEA、MT4ADSRCSEB(MT7CNTカウンタとMT7ADSRCSEA、MT7ADSRCSEB)レジスタを比較し、MT4CNTカウンタとMT4ADSRCSEA、MT4ADSRCSEB(MT7CNTカウンタとMT7ADSRCSEA、MT7ADSRCSEB)レジスタが一致したとき、それぞれのA/D変換の開始要求(TRG4AN、TRG4BN(TRG7AN、TRG7BN))を行います。

また、MT4ADSRRCRレジスタのITA3AE、ITA4VE、ITB3AE、ITB4VE(MT7ADSRRCRレジスタのITA6AE、ITA7VE、ITB6AE、ITB7VE)ビットの設定により、割り込み間引き機能1と連動してA/D変換の開始要求(TRG4AN、TRG4BN(TRG7AN、TRG7BN))を間引くことが可能です。

(1) A/D 変換開始要求ディレイド機能の設定手順例

図16.83にA/D変換開始要求ディレイド機能の設定手順例を示します。



- [1] MT4 A/D変換開始要求周期設定バッファレジスタ(MT4ADSRCSEBA、MT4ADSRCSEBB)とMT4 A/D変換開始要求周期設定レジスタ(MT4ADSRCSEA、MT4ADSRCSEB)に、周期を設定します。([2]でMT A/D変換開始要求周期設定バッファレジスタからMT A/D変換開始要求周期設定レジスタへのバッファ転送タイミングを谷または山と谷に設定する場合は、カウント開始直後に周期設定バッファレジスタから周期設定レジスタへの転送が行われるため、MT A/D変換開始要求周期設定バッファレジスタにはMT A/D変換開始要求周期設定レジスタと同じ値を設定してください。)

- [2] MT4 A/D変換開始要求制御レジスタ(MT4ADSRRCR)のBF1、BF2ビットには、MT4 A/D変換開始要求周期設定バッファレジスタからMT4 A/D変換開始要求周期設定レジスタへのバッファ転送タイミングを設定します。
- ・ITA3AE、ITA4VE、ITB3AE、ITB4VEビットで、割り込み間引き機能と連動するか設定します。
 - ・UT4AE、DT4AE、UT4BE、DT4BEビットを設定し、A/D変換の開始要求(TRG4AN、TRG4BN)を許可します。

- 注・MTADSRRCRレジスタの設定は、MT4CNTレジスタが停止した状態で行ってください。
- ・相補PWMモード以外では、BF1を“1”に設定しないでください。
 - ・相補PWMモード以外では、ITA3AE、ITA4VE、ITB3AE、ITB4VE、DT4TE、DT4BEビットを“1”に設定しないでください。

図 16.83 A/D 変換開始要求ディレイド機能の設定手順例 (チャンネル3、4)

(2) A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを MT4CNT (MT7CNT) カウンタの谷に設定し、MT4CNT (MT7CNT) カウンタのダウンカウント時に A/D 変換の開始要求信号 (TRG4AN (TRG7AN)) を出力する設定にした場合の、A/D 変換の開始要求信号 (TRG4AN (TRG7AN)) の基本動作例を図 16.84 に示します。

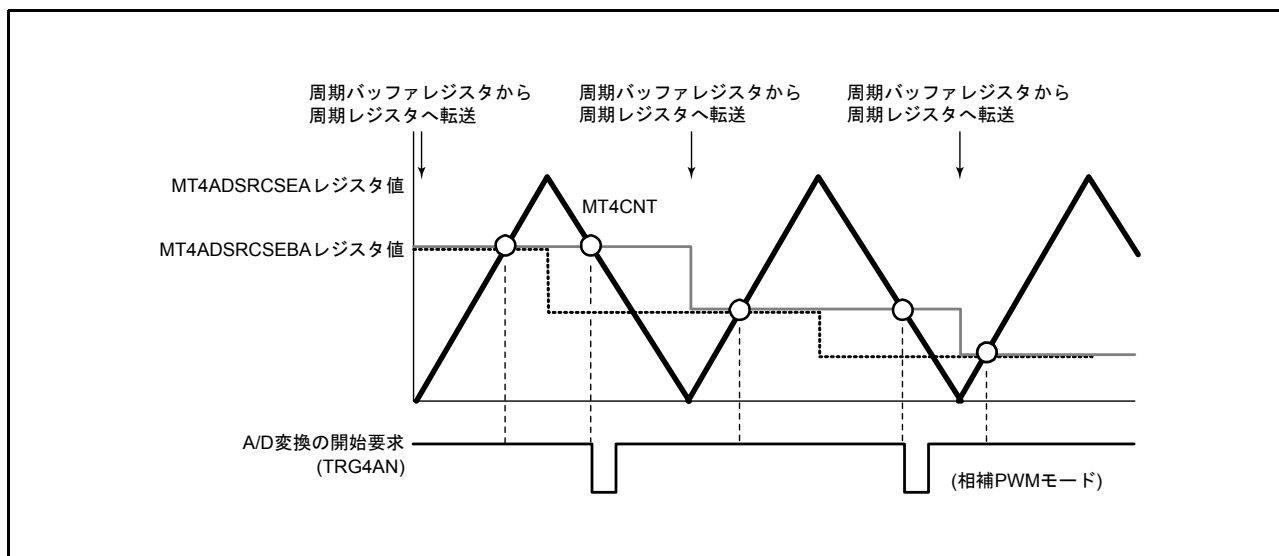


図 16.84 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

(3) バッファ転送

MTADSRCSE レジスタのデータ更新は、MTADSRCSEB レジスタにデータを書き込むことにより行います。MT A/D 変換開始要求周期設定バッファレジスタから MT A/D 変換開始要求周期設定レジスタへの転送タイミングは、MTADSRCR レジスタの BF ビットを設定することにより選択することができます。

また、相補 PWM モード時は MT4GRD、MT7GRD レジスタの書き換えのタイミングでも、MT A/D 変換開始要求周期設定バッファレジスタから MT A/D 変換開始要求周期設定レジスタへ転送します。

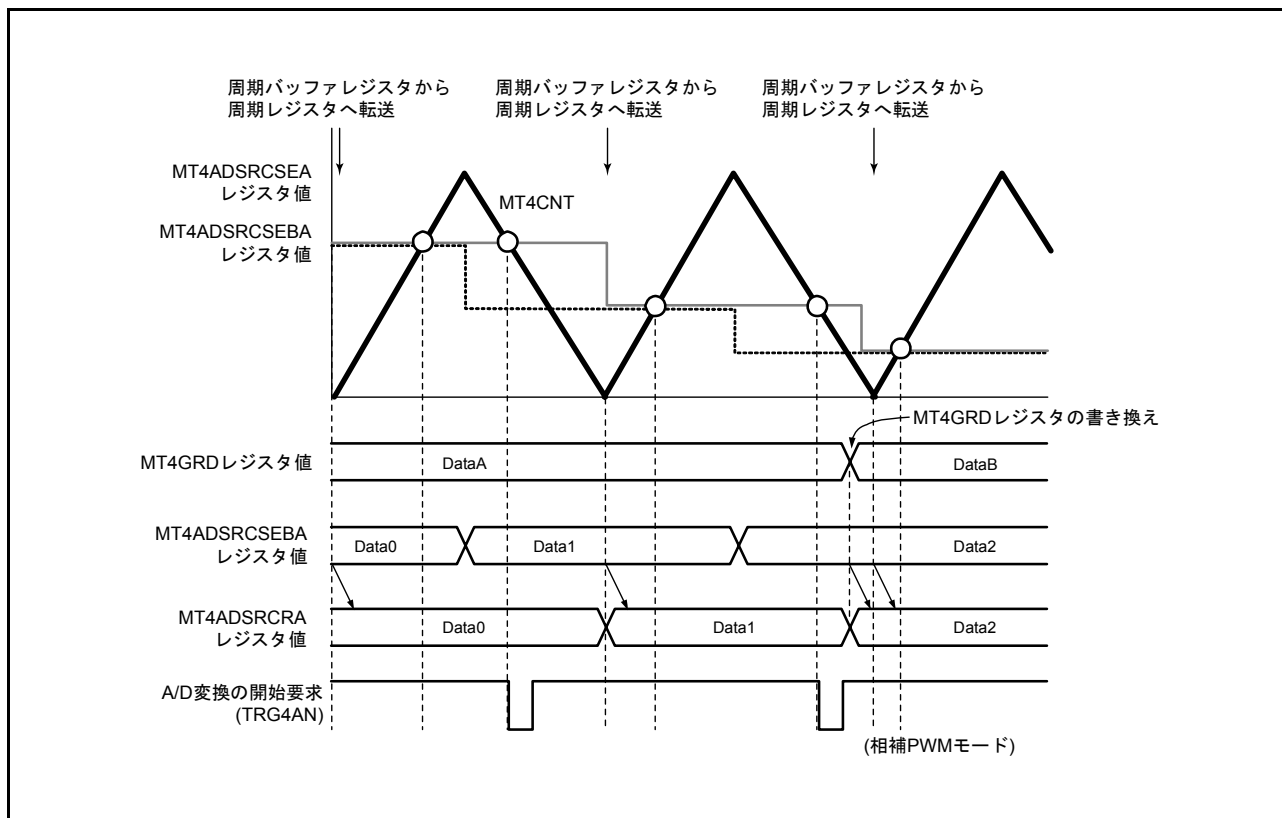


図 16.85 A/D 変換の開始要求信号 (TRG4AN) とバッファ転送動作例

(4) 割り込み間引き機能 1 と連動した A/D 変換開始要求ディレイド機能

MTADSRCCR レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE (ITA6AE、ITA7VE、ITB6AE、ITB7VE) ビットの設定により、割り込み間引き機能 1 と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN (TRG7AN、TRG7BN)) を行うことが可能です。

MT4CNT (MT7CNT) カウンタのアップカウント時、およびダウンカウント時に TRG4AN (TRG7AN) 出力を許可する設定にし、割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号 (TRG4AN (TRG7AN)) の動作例を図 16.86 に示します。

また、MT4CNT (MT7CNT) カウンタのアップカウント時に TRG4AN (TRG7AN) 出力を許可する設定にし、割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号 (TRG4AN (TRG7AN)) の動作例を図 16.87 に示します。

注・本機能は割り込み間引き機能 1 と組み合わせて使用してください。

割り込み間引きが禁止のとき (MT 割り込み間引き設定レジスタ 0 (MT34ISSE0 (MT67ISSE0)) の T3AEN、T4VEN (T6AEN、T7VEN) ビットを“0”に設定したとき、または MT34ISSE0 (MT67ISSE0) レジスタの間引き回数設定ビット (T3ACOR、T4VCOR (T6ACOR、T7VCOR)) を“0”に設定したとき) は、必ず割り込み間引き機能 1 と連動しない (MTADSRCCR レジスタ) の ITA3AE、ITA4VE、ITB3AE、ITB4VE (ITA6AE、ITA7VE、ITB6AE、ITB7VE) ビットを“0”に設定) 設定にしてください。

また、本機能使用時、MT4ADSRCSEA、MT4ADSRCSEB (MT7ADSRCSEA、MT7ADSRCSEB) レジスタには“H'0002”~MT34CD の設定値 - 2 (MT67CD の設定値 - 2) の値を設定してください。

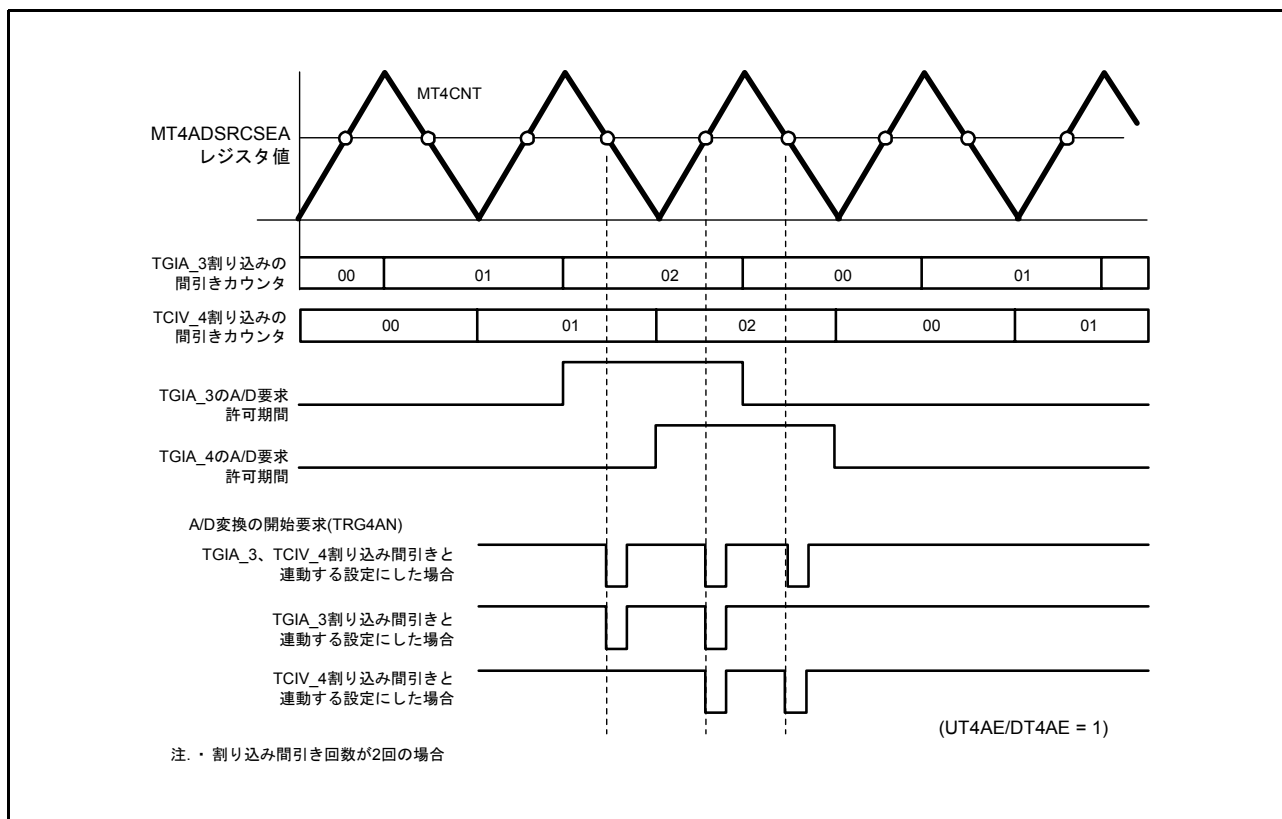


図 16.86 割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例

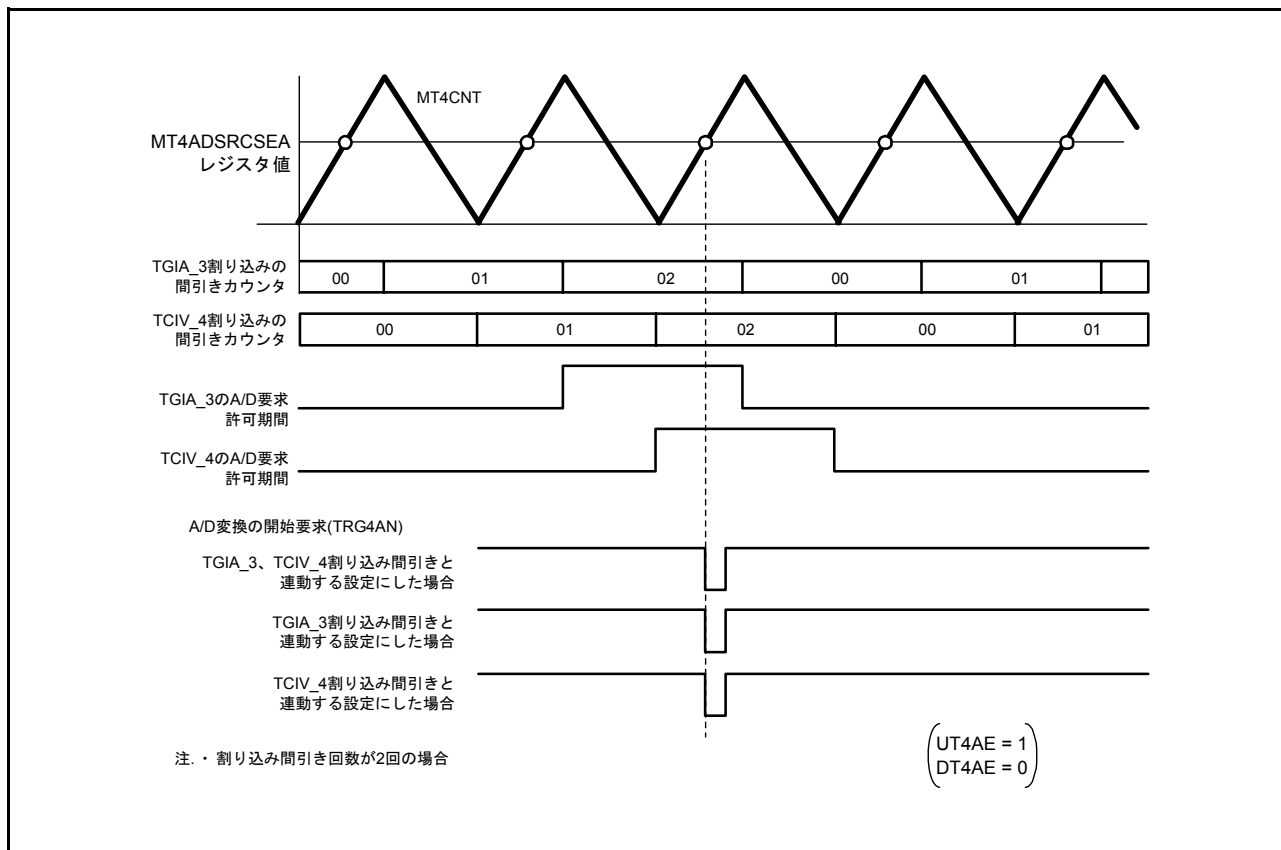


図 16.87 割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例

(5) 割り込み間引き機能 2 と連動した A/D 変換開始要求ディレイド機能

MT34 割り込み間引きモードレジスタ (MT34ISMD、MT67ISMD) において TITM ビットを“1”に設定し、MT4 割り込み間引き設定レジスタ 1 (MT4ISSE1 (MT7ISSE1)) において TRG4COR (TRG4COR) ビットで設定した値 (0~7) から、既存の A/D 変換開始トリガ (TGR4AN および TRG4BN (TGR7AN および TRG7BN)) が発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN および TRG4BN (TRG7AN および TRG7BN) の割り込みが有効になり、AD 変換開始要求信号 (TRG4ABN (TRG7ABN)) が出力されます。

この機能は AD 変換開始要求ディレイド機能の使用時のみ有効になります。

(a) 割り込み間引き機能 2 の設定手順例

図 16.88 に割り込み間引き機能 2 の設定手順例を示します。

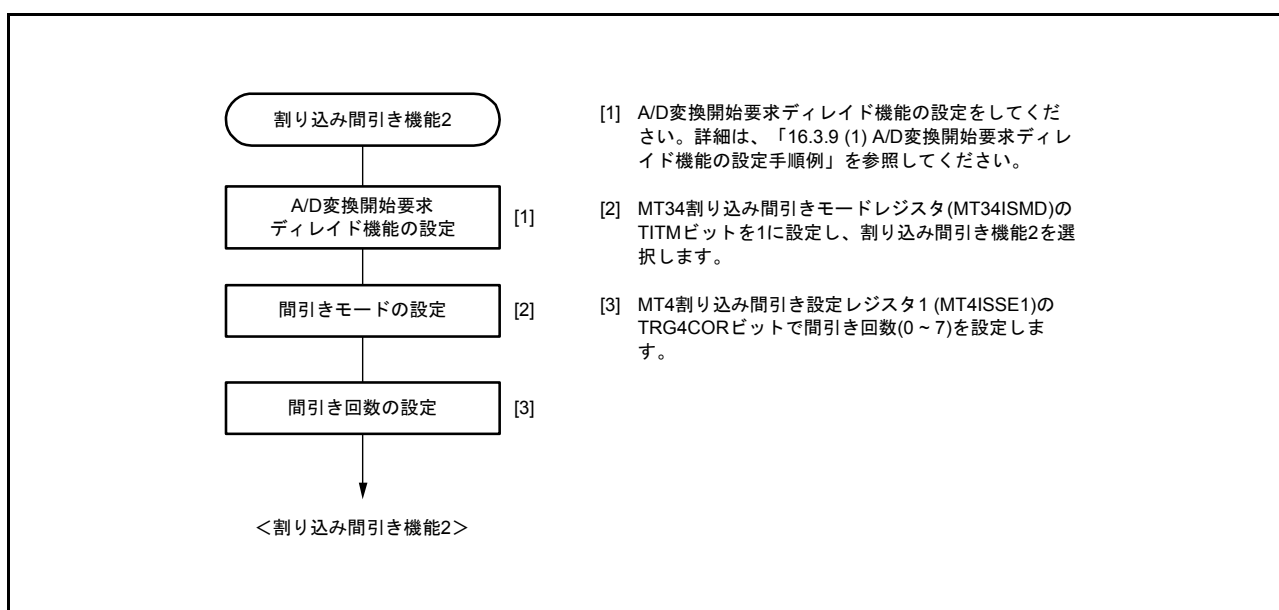


図 16.88 割り込み間引き機能 2 の設定手順例

(b) 割り込み間引き機能 2 の動作例

図 16.89 に割り込み間引き機能 2 の動作例を示します。

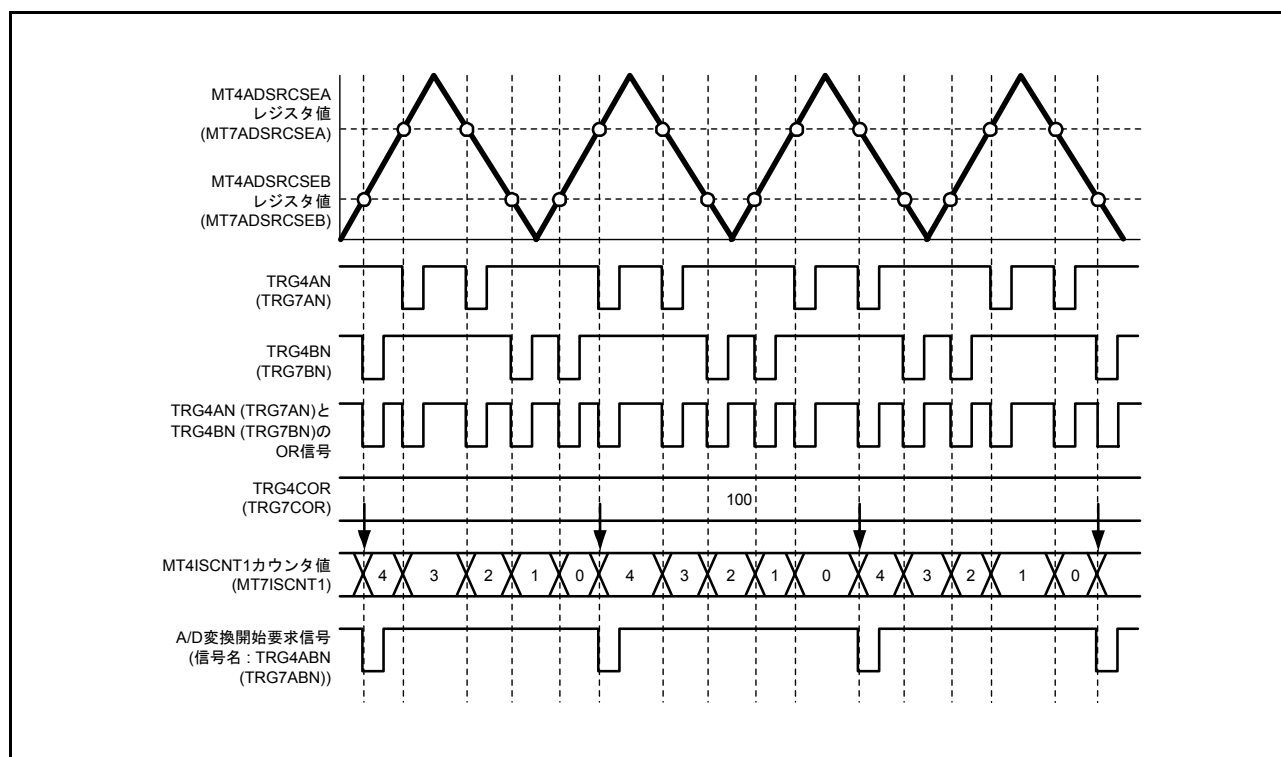


図 16.89 割り込み間引き機能 2 の動作例 (間引き回数を 4 回とした場合)

16.3.10 チャンネル0～4 - チャンネル6、7の同期動作

(1) チャンネル0～4 - チャンネル6、7カウンタ同期スタート

MTCSYSTRレジスタを設定することにより、チャンネル0～4とチャンネル6、7のカウンタを同期スタートすることができます。

(a) チャンネル0～4 - チャンネル6、7カウンタ同期スタートの設定手順例

図 16.90 にカウンタ同期スタートの設定手順例を示します。

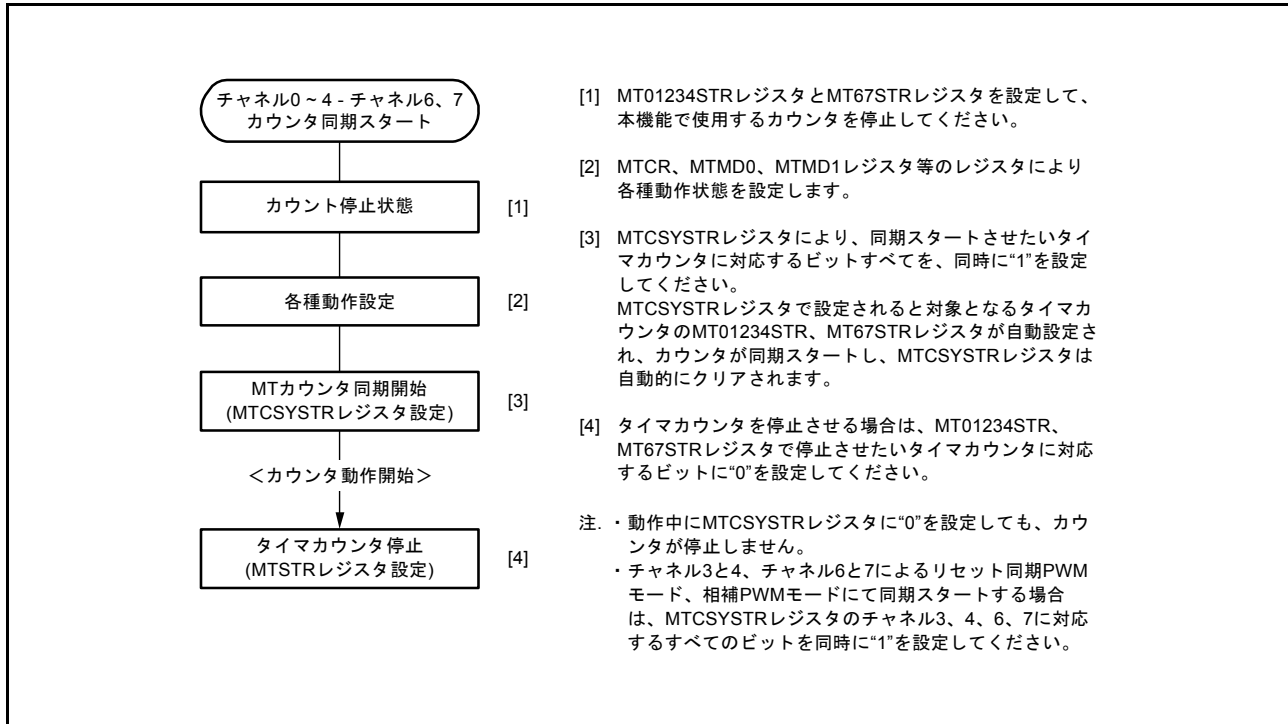


図 16.90 カウンタ同期スタートの設定手順例

(b) カウンタ同期スタート動作の例

図 16.91 にチャンネル 0~4 とチャンネル 6、7 のカウンタ同期スタート動作例を示します。

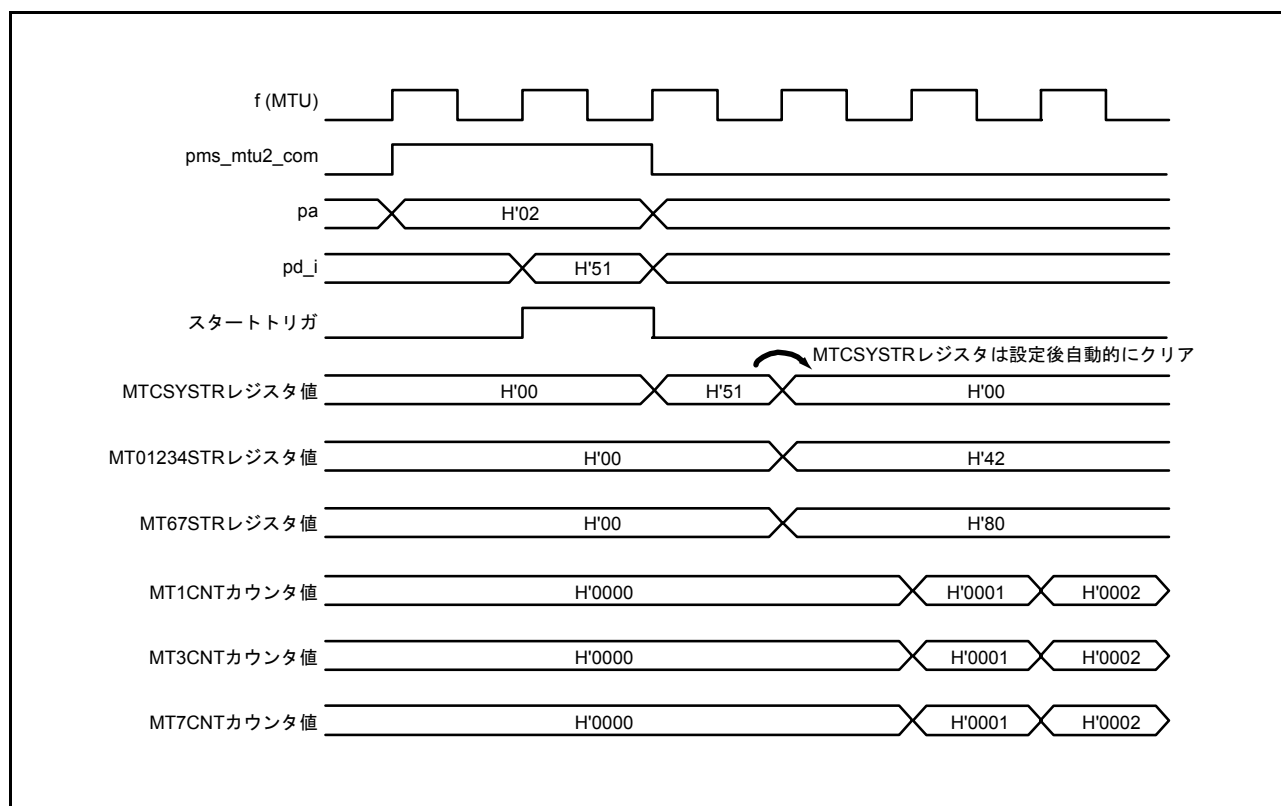


図 16.91 カウンタ同期スタート動作例

(2) フラグセット要因を利用したチャンネル6、7カウンタクリア (チャンネル6、7カウンタ同期クリア)

チャンネル6、7はMT6SYCレジスタを設定することにより、MT0SR0～MT2SR0レジスタのフラグセット要因を利用して、カウンタクリアすることができます。

(a) フラグセット要因を利用したチャンネル6、7カウンタクリアの設定手順例

図 16.92 にフラグセット要因を利用したチャンネル6、7カウンタクリアの設定手順例を示します。

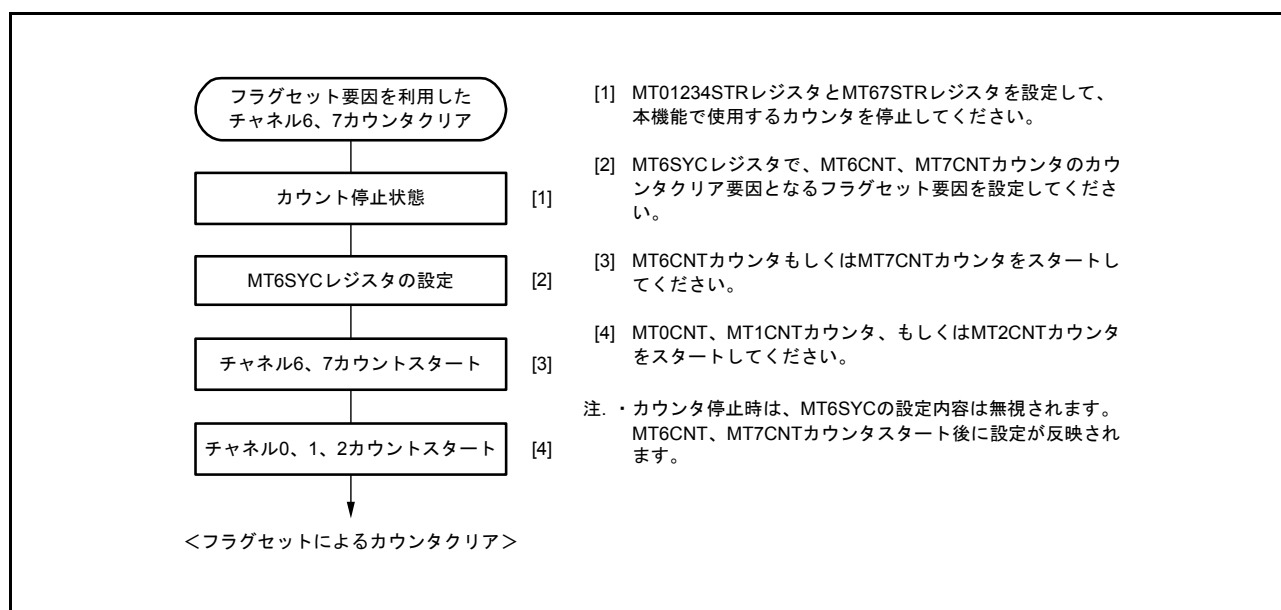


図 16.92 フラグセット要因を利用したチャンネル6、7カウンタクリアの設定手順例

(b) フラグセット要因を利用したチャンネル6、7カウンタクリアの動作例

図 16.93、図 16.94 にフラグセット要因を利用したチャンネル6、7カウンタクリアの動作例を示します。

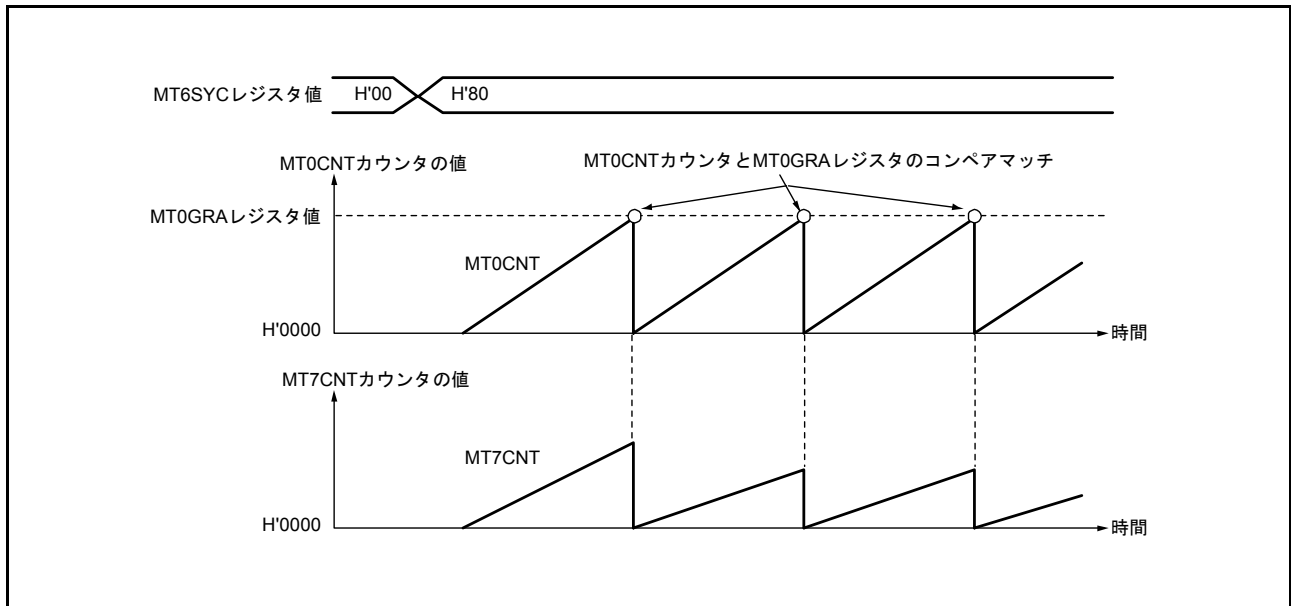


図 16.93 フラグセット要因を利用したチャンネル6、7カウンタクリアの動作例 (1)

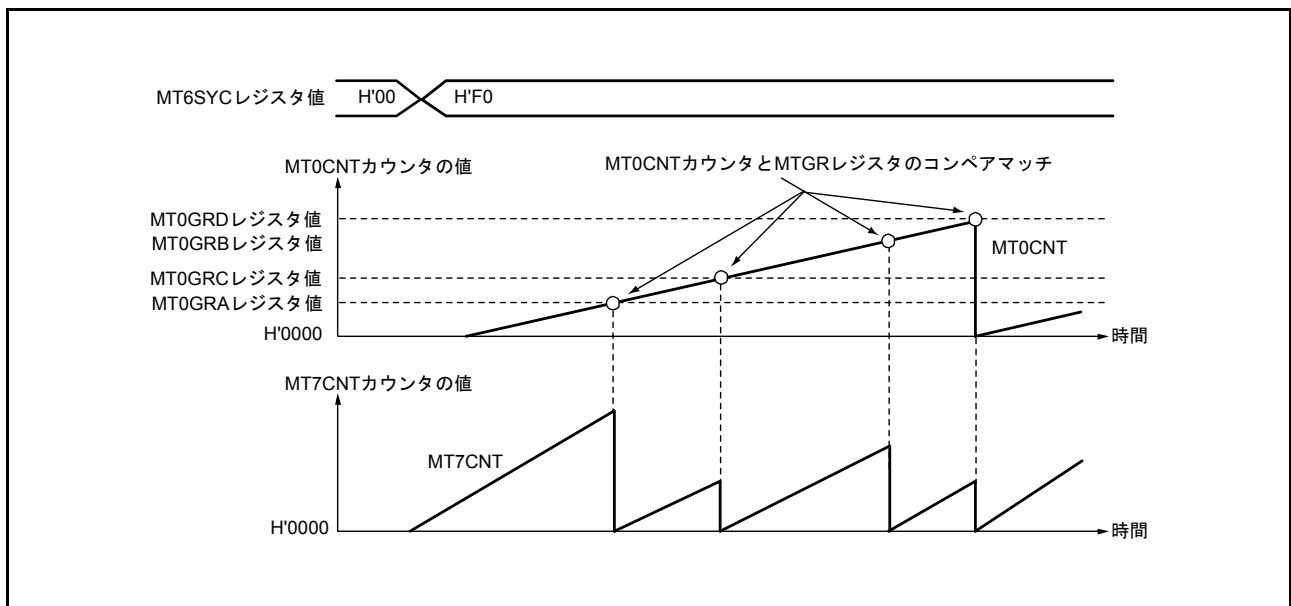


図 16.94 フラグセット要因を利用したチャンネル6、7カウンタクリアの動作例 (2)

16.3.11 外部パルス幅測定機能

チャンネル5は、最大3本の外部パルス幅を測定することができます。

(1) 外部パルス幅測定の設定手順例

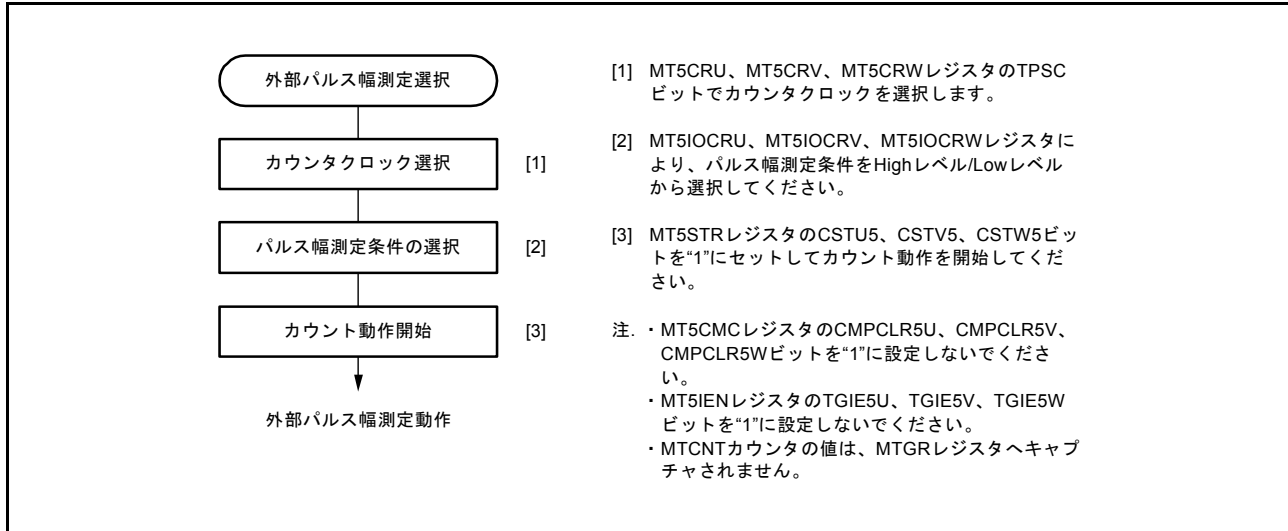


図 16.95 外部パルス幅測定の設定手順例

(2) 外部パルス幅測定動作例

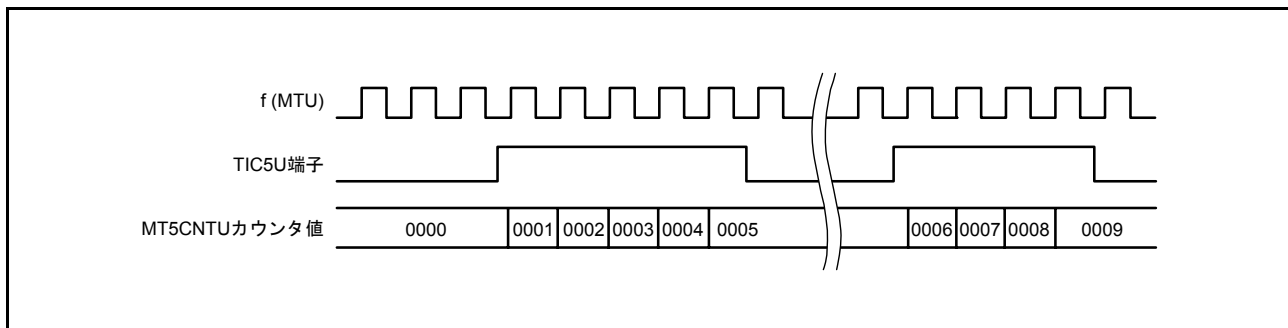


図 16.96 外部パルス幅測定動作例 (ハイパルス幅測定)

16.3.12 デッドタイム補償機能

出力波形の遅れを測定してデューティに反映することで、外部パルス幅測定機能を相補 PWM 動作時の PWM 出力波形に対するデッドタイム補償機能として使用することができます。

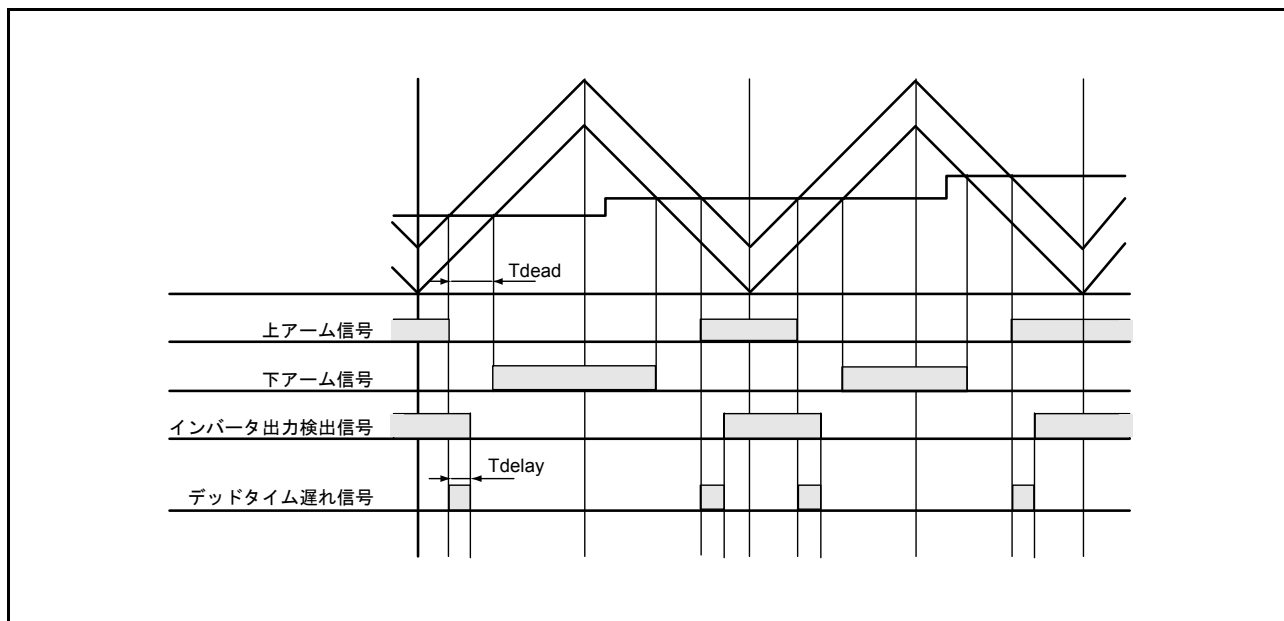


図 16.97 相補 PWM 動作時のデッドタイム遅れ

(1) デッドタイム補償機能の設定手順例

図 16.98 にチャンネル5の3本のカウンタを使用したデッドタイム補償機能の設定手順例を示します。

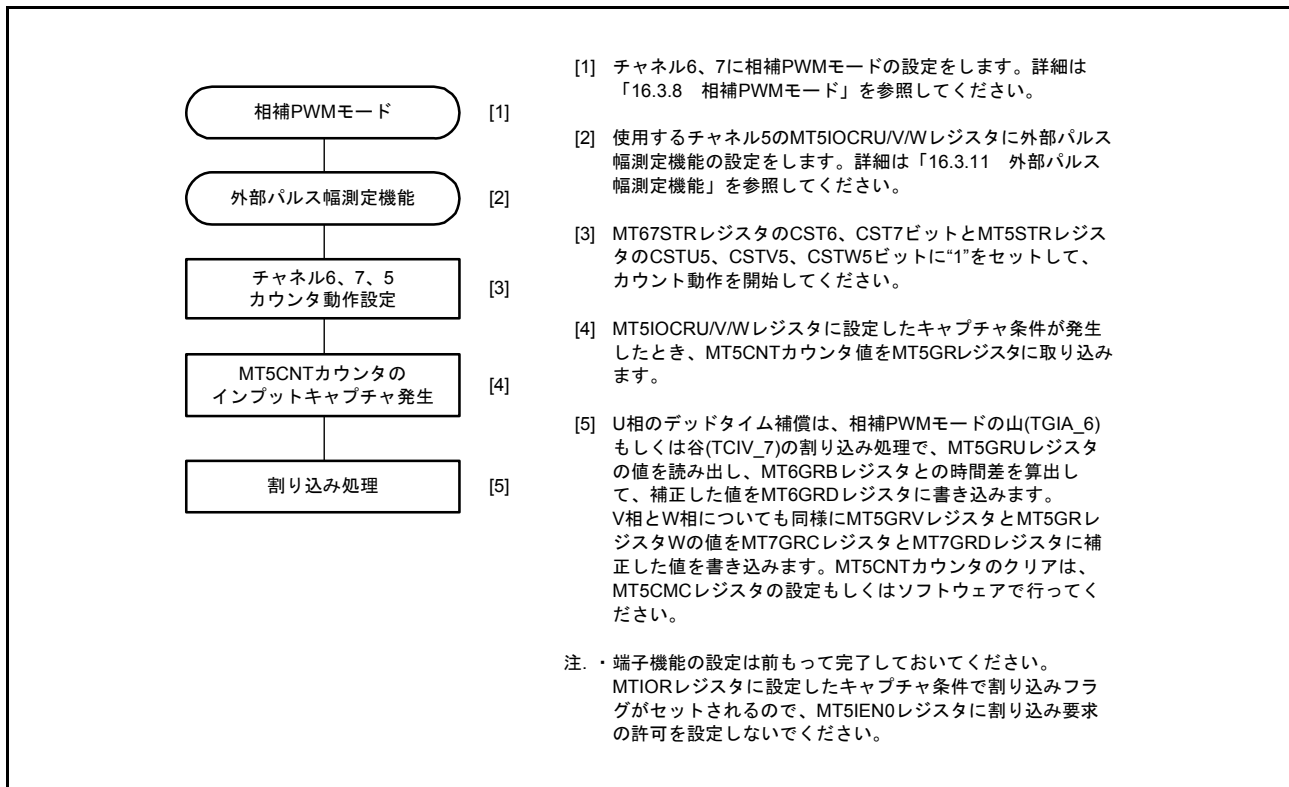


図 16.98 デッドタイム補償機能の設定手順例

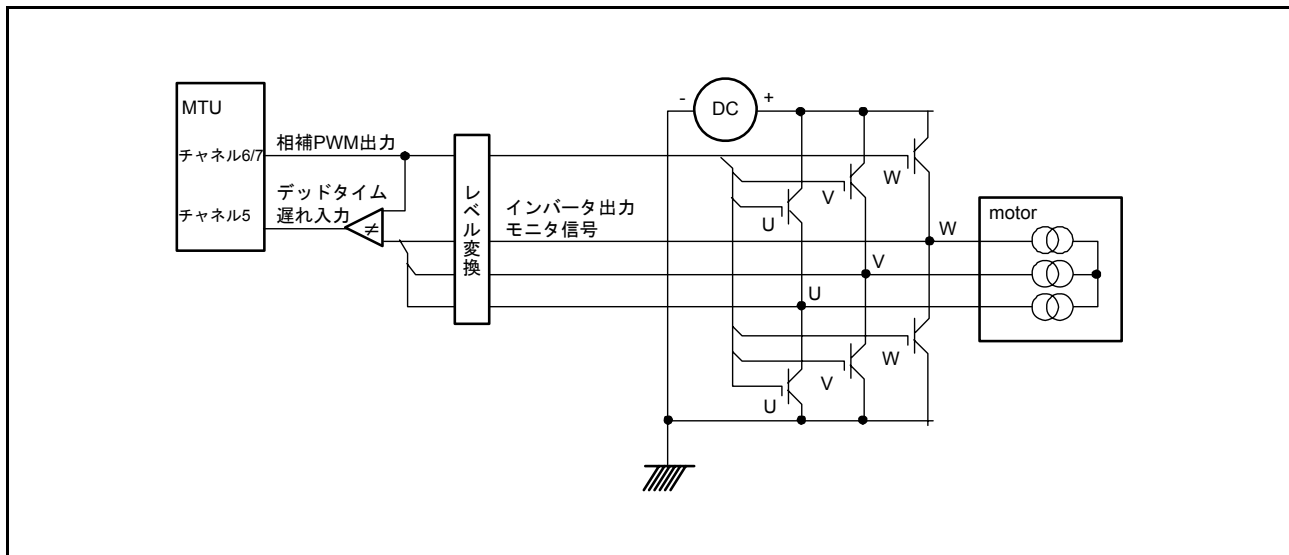


図 16.99 モーター制御回路構成例

16.3.13 相補 PWM の「山/谷」での MTCNT カウンタキャプチャ動作

相補 PWM 動作時、MTCNT カウンタの値を「山、谷、山谷」で MTGR レジスタへ保存します。MTGR レジスタに取り込むタイミングの切り替えは、MTIOCR レジスタで選択します。

図 16.100 は MTCNT カウンタはフリーランでクリアせずに使用し、設定した「山、谷」で MTGR レジスタにキャプチャを行った動作例です。

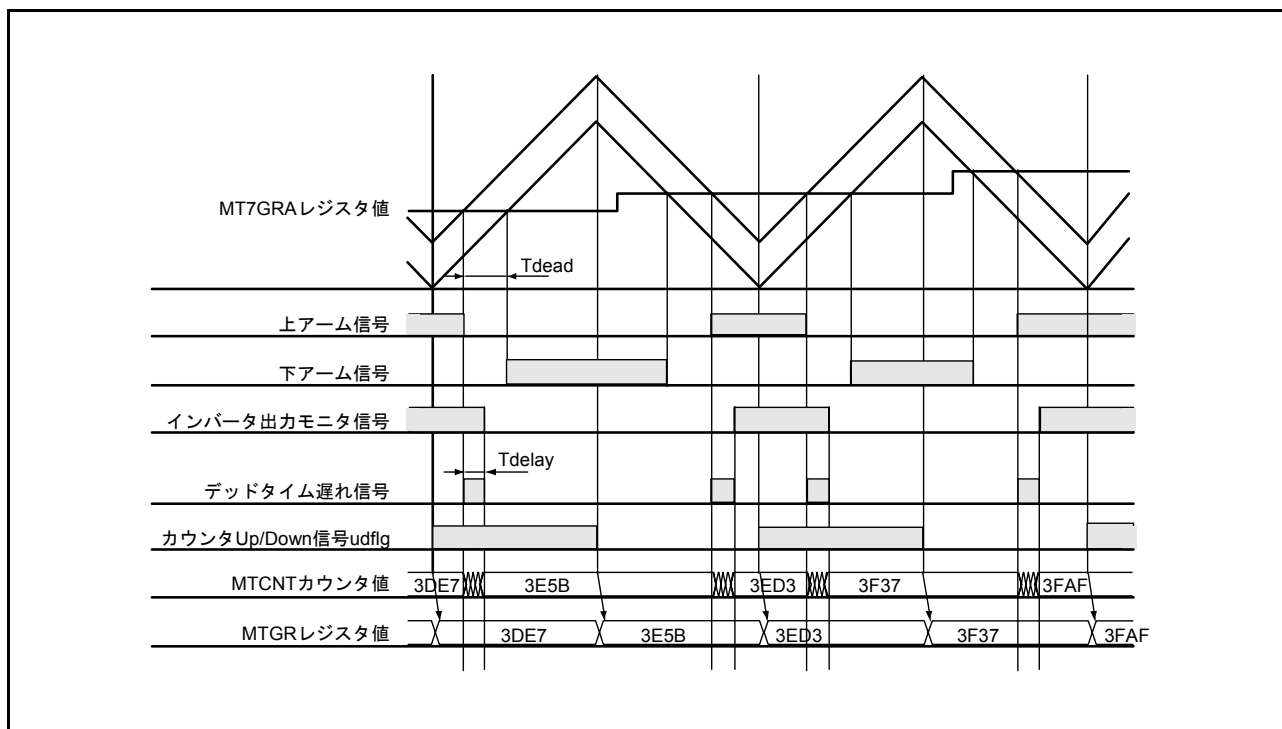


図 16.100 相補 PWM の「山/谷」での MTCNT カウンタキャプチャ動作

16.3.14 PWM 出力 ↔ 方形波出力切り替え機能

(1) 機能概要

- 出力端子 (TIOC3B/D、TIOC4A/C、TIOC4B/D、TIOC6/D、TIOC7A/C、TIOC7B/D) の PWM 出力を、任意のタイミングで方形波出力へ切り替えます。また、任意のタイミングで方形波から MTU-III PWM 出力へ切り替えます。このときのアクティブレベルは MTOCR0、MTOCR1 レジスタの設定に従います。
- PWM 出力 → 方形波出力切り替え後、短絡防止時間内は正相 / 逆相ともにノンアクティブレベル出力、短絡防止時間後に方形波 (正相を 100%出力、逆相を 0%) を出力します。
方形波出力 → PWM 出力切り替え後、短絡防止時間内は正相 / 逆相ともにノンアクティブレベル出力、短絡防止時間後に PWM 出力を出力します。
- 切り替えのタイミングは以下の各要因で任意に切り替え可能です。
ソフトによる切り替え (MT3467 波形切り替えレジスタ「MT3467WSW」)
チャンネル 1、2 の MTGRA、MTGRB インพุットキャプチャ/アウトプットコンペア (レジスタによるイネーブル設定可能)
(MT1 波形インพุットキャプチャ/アウトプットコンペア切り替え許可レジスタ A (チャンネル 1 MTGRA)「MT1WIOSWENA」、MT1 波形インพุットキャプチャ/アウトプットコンペア切り替え許可レジスタ B (チャンネル 1 MTGRB)「MT1WIOSWENB」、MT2 波形インพุットキャプチャ/アウトプットコンペア切り替え許可レジスタ A (チャンネル 2 MTGRA)「MT2WIOSWENA」、MT2 波形インพุットキャプチャ/アウトプットコンペア切り替え許可レジスタ B (チャンネル 2 MTGRB)「MT2WIOSWENB」)
- 3 相 (U、V、W 相) の切り替えは、同一要因で同一タイミングにて切り替え可能です。
また、各相ごとで別要因での切り替えも可能です。

図 16.101 にアクティブレベルが H のときの PWM 出力 ↔ 方形波出力切り替え機能の動作例を示します。

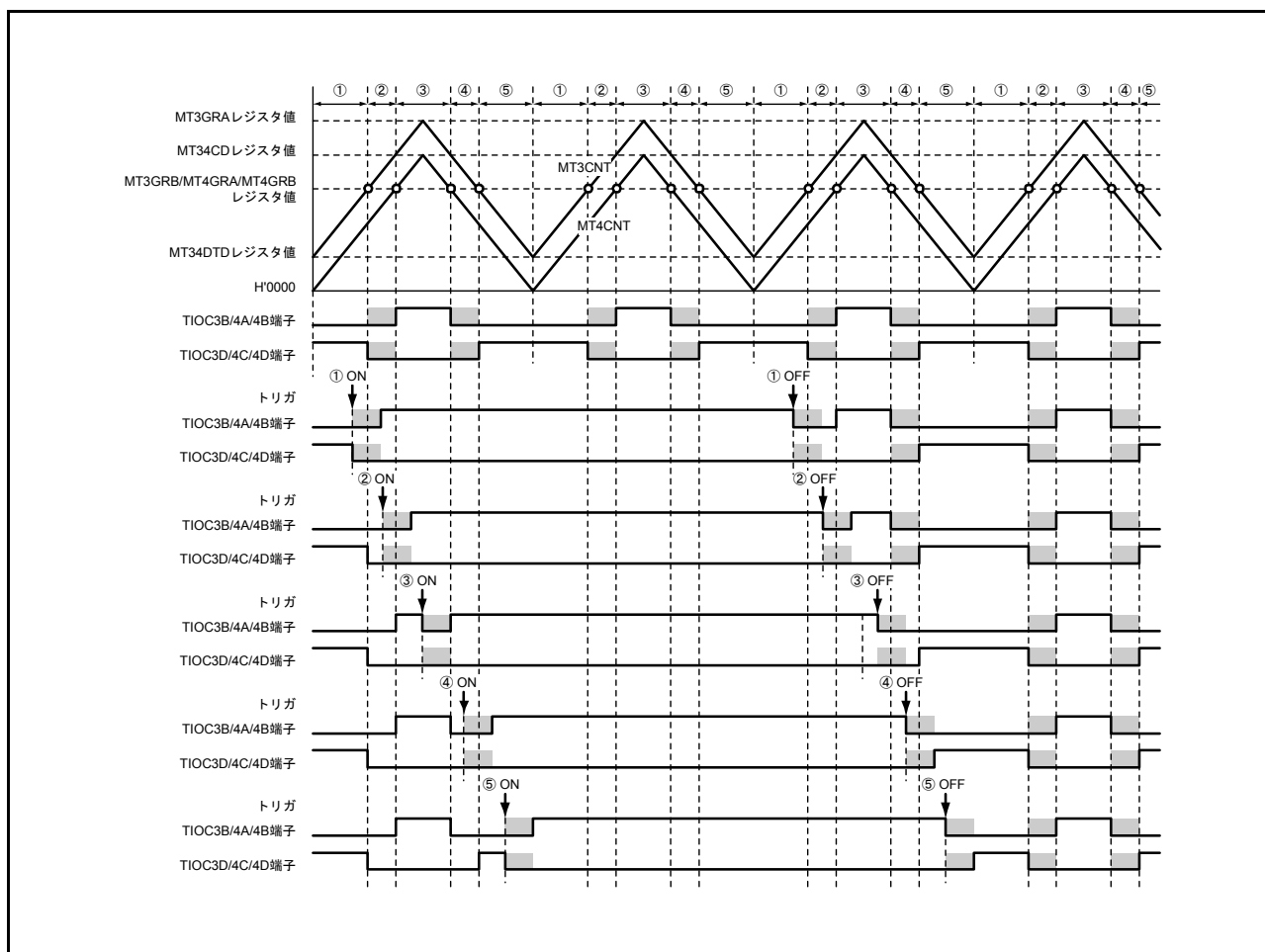


図 16.101 PWM 出力 ↔ 方形波出力切り替え機能の動作例

(2) 動作説明

PWM出力と方形波出力の切り替え要因により、1回目のトリガが掛かると、内部カウンタが動作し短絡防止時間(MT34DTD、MT67DTDレジスタ)と一致するまでカウントアップします。この間、正相/逆相出力ともにノンアクティブレベルを出力します。カウンタ値が短絡防止時間と一致すると正相出力はアクティブレベル、逆相出力はノンアクティブレベルを出力します。

2回目のトリガが掛かると、内部カウンタが動作しカウンタ値が“0”になるまでカウントダウンします。この間、正相/逆相出力ともにノンアクティブレベルを出力します。カウンタ値が“0”と一致すると正相/逆相ともにPWM出力をそのまま出力します。

図 16.102 に PWM 出力 ↔ 方形波出力切り替え機能の動作説明図を示します。

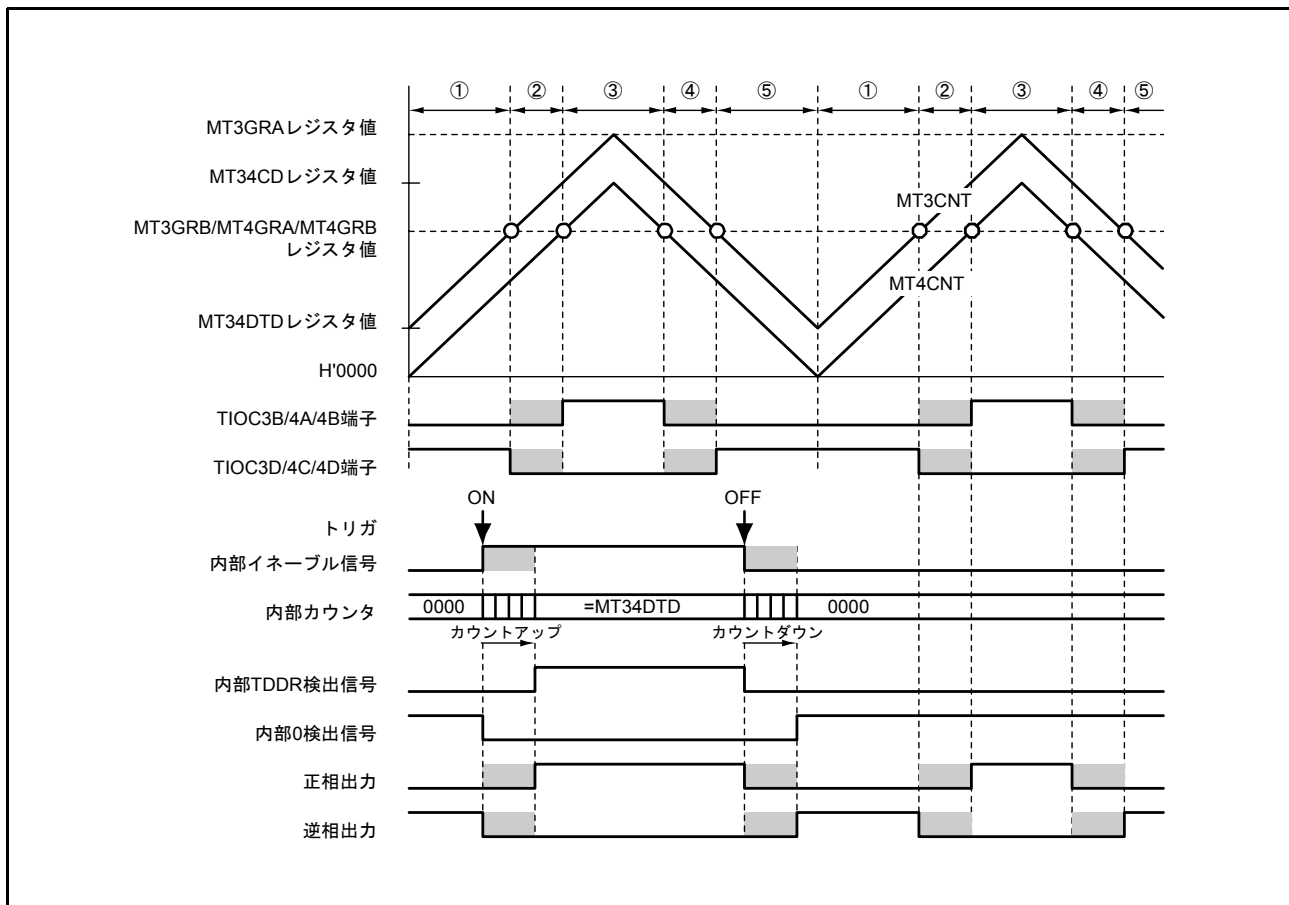


図 16.102 PWM 出力 ↔ 方形波出力切り替え機能の動作説明図

16.4 割り込み要因

16.4.1 割り込み要因と優先順位

MTU-III の割り込み要因には、MTGR レジスタのインプットキャプチャ/コンペアマッチ、MTCNT カウンタのオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可 / 禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、MTSR レジスタの対応するステータスフラグが“1”にセットされます。このとき MTIEN レジスタの対応する許可 / 禁止ビットが“1”にセットされていれば、割り込みを要求します。ステータスフラグを“0”にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「8. 割り込みコントローラ (INTC)」を参照してください。表 16.76 に MTU-III の割り込み要因の一覧を示します。

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルの MTGR レジスタのインพุットキャプチャ/コンペアマッチの発生により、MTSR レジスタの TGF フラグが“1”にセットされたとき、MTIEN レジスタの TGIE ビットが“1”にセットされていれば、割り込みを要求します。TGF フラグを“0”にクリアすることで割り込み要求は解除されます。MTU-III には、チャンネル 0 に 6 本、チャンネル 3、4、6、7 に各 4 本、チャンネル 1、2 に各 2 本、チャンネル 5 に各 3 本、計 29 本のインพุットキャプチャ/コンペアマッチ割り込みがあります。チャンネル 0 の TGFE_0、TGFF_0 フラグは、インพุットキャプチャではセットされません。

(2) オーバフロー割り込み

各チャンネルの MTCNT カウンタのオーバフローの発生により、MTSR レジスタの TCFV フラグが“1”にセットされたとき、MTIEN レジスタの TCIEV ビットが“1”にセットされていれば、割り込みを要求します。TCFV フラグを“0”にクリアすることで割り込み要求は解除されます。MTU-III には、各チャンネルに 1 本 (除くチャンネル 5)、計 7 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの MTCNT カウンタのアンダフローの発生により、MTSR レジスタの TCFU フラグが“1”にセットされたとき、MTIEN レジスタの TCIEU ビットが“1”にセットされていれば、割り込みを要求します。TCFU フラグを“0”にクリアすることで割り込み要求は解除されます。MTU-III には、チャンネル 1、2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

16.4.2 DMAC の起動

各チャンネルの MTGR レジスタのインพุットキャプチャ/コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「12. DMAC」を参照してください。

MTU-III では、チャンネル 0、3、4、6、7 が 4 本、チャンネル 1、2 が各 2 本、チャンネル 5 が 3 本、計 27 本のインพุットキャプチャ/コンペアマッチ割り込みを DMAC の起動要因とすることができます。

16.4.3 A/D コンバータの起動

MTU-III では、次の 3 種類の方法で A/D コンバータを起動することができます。

表 16.77 に各割り込み要因と A/D 変換開始要求の対応を示します。

(1) MTGRA レジスタのインพุットキャプチャ/コンペアマッチと、相補 PWM モード時の MT4CNT (MT7CNT) カウンタの谷での A/D 起動

各チャンネルの MTGRA レジスタのインพุットキャプチャ/コンペアマッチによって、A/D コンバータを起動することができます。また、MT4IEN0 (MT7IEN0) の TTGE2 ビットに“1”をセットした状態で、相補 PWM 動作させた場合は、MT4CNT (MT7CNT) カウンタが谷 (MT4CNT (MT7CNT) カウンタ = “H'0000”) になったときも A/D コンバータを起動することができます。

次に示す条件で、A/D コンバータに対して A/D 変換開始要求 TRGAnN (n : チャンネル 0~4, 6, 7) を発生します。

- 各チャンネルの MTGRA レジスタのインพุットキャプチャ/コンペアマッチの発生により、MTSR レジスタの TGFA フラグが“1”にセットされたとき、MTIEN レジスタの TTGE ビットが“1”にセットされていた場合
- MT4IEN0 (MT7IEN0) の TTGE2 ビットに“1”をセットした状態で、相補 PWM 動作をさせ、MT4CNT (MT7CNT) カウンタが谷 (MT4CNT (MT7CNT) カウンタ = “H'0000”) になった場合

これらのとき A/D コンバータ側で MTU-III の変換開始トリガ TRGAnN が選択されていれば、A/D 変換が開始されます。

(2) MT0CNT カウンタと MT0GRE レジスタのコンペアマッチによる A/D 起動

チャンネル0のMT0CNTカウンタとMT0GREレジスタのコンペアマッチによって、A/D変換開始要求TRG0Nを発生し、A/Dコンバータを起動することができます。

チャンネル0のMT0CNTカウンタとMT0GREレジスタのコンペアマッチの発生により、MT0SR1レジスタのTGFEフラグが“1”にセットされたとき、MT0IEN1レジスタのTTGE2ビットが“1”にセットされていれば、A/Dコンバータに対してA/D変換開始要求TRG0Nを発生します。このとき、A/Dコンバータ側でMTU-IIIの変換開始トリガTRG0Nが選択されていれば、A/D変換が開始されます。

(3) A/D 変換開始要求ディレイド機能による A/D 起動

MTADSRRCRレジスタのUT4AE、DT4AE、UT4BE、DT4BE(UT7AE、DT7AE、UT7BE、DT7BE)ビットに“1”をセットした場合、MT4ADSRCSEA、MT4ADSRCSEBレジスタとMT4CNTカウンタ(MT7ADSRCSEA、MT7ADSRCSEBとMT7CNTカウンタ)レジスタの一致によって、TRG4AN、TRG4BN(TRG7AN、TRG7BN)を発生し、A/Dコンバータを起動することができます。また、TRG4AN(TRG7AN)の発生またはTRG4BN(TRG7BN)の発生にてTRG4ABN(TRG7ABN)を出力し、A/Dコンバータを起動することができます。詳細は「16.3.9 A/D変換開始要求ディレイド機能」を参照してください。

TRG4AN(TRG7AN)が発生しA/Dコンバータ側でMTU-IIIの変換開始トリガTRG4AN(TRG7AN)が選択されているとき、TRG4BN(TRG7BN)が発生しA/Dコンバータ側でMTU-IIIの変換開始トリガTRG4BN(TRG7BN)が選択されているとき、TRG4ABN(TRG7ABN)が発生しA/Dコンバータ側でMTU-IIIの変換開始トリガTRG4ABN(TRG7ABN)が選択されているとき、おのこのA/D変換が開始されます。

表 16.77 各割り込み要因とA/D変換開始要求の対応

対象	割り込み要因	A/D変換開始要求
MT0GRAとMT0CNT	インプットキャプチャ/コンペアマッチ	TRGA0N
MT1GRAとMT1CNT		TRGA1N
MT2GRAとMT2CNT		TRGA2N
MT3GRAとMT3CNT		TRGA3N
MT4GRAとMT4CNT(注1)		TRGA4N
MT4CNT	相補PWMモード時のMT4CNTカウンタの谷	
MT6GRAとMT6CNT	インプットキャプチャ/コンペアマッチ	TRGA6N
MT7GRAとMT7CNT(注1)		TRGA7N
MT7CNT	相補PWMモード時のMT7CNTの谷	
MT0GREとMT0CNT	コンペアマッチ	TRG0N
MT4ADSRCSEAとMT4CNT	コンペアマッチ(割り込み間引き機能1)	TRG4AN
MT4ADSRCSEBとMT4CNT		TRG4BN
MT7ADSRCSEAとMT7CNT		TRG7AN
MT7ADSRCSEBとMT7CNT		TRG7BN
MT4ADSRCSEAとMT4CNT	コンペアマッチ(割り込み間引き機能2)	TRG4ABN
MT4ADSRCSEBとMT4CNT		
MT7ADSRCSEAとMT7CNT		TRG7ABN
MT7ADSRCSEBとMT7CNT		

注1. 相補PWMモード時はPWM波形を生成するため、MT4GRA(MT7GRA)レジスタはMT4CNT(MT7CNT)カウンタだけではなく、MT3CNT(MT6CNT)カウンタやMT34SCNT(MT67SCNT)カウンタともコンペアマッチの検出を行っています。そのため、MT3CNT(MT6CNT)カウンタやMT34SCNT(MT67SCNT)カウンタとコンペアマッチが起こった際もTRGA4N(TRGA7N)を発生します。

チャンネル3、4(チャンネル6、7)を相補PWMモードで動作させて、A/D変換開始要求を発生させる場合はMT4CNT(MT7CNT)カウンタとMT4ADSRCSEA、MT4ADSRCSEB(MT7ADSRCSEA、MT7ADSRCSEB)レジスタとのコンペアマッチによるA/D変換開始要求を使用してください。

16.5 動作タイミング

16.5.1 入出カタイミング

(1) MTCNT カウンタのカウントタイミング

図 16.103、図 16.104 に内部クロック動作の場合の MTCNT カウンタのカウントタイミングを、図 16.105 に外部クロック動作 (ノーマルモード) の場合の MTCNT カウンタのカウントタイミングを、図 16.106 に外部クロック動作 (位相計数モード) の場合の MTCNT カウンタのカウントタイミングを示します。

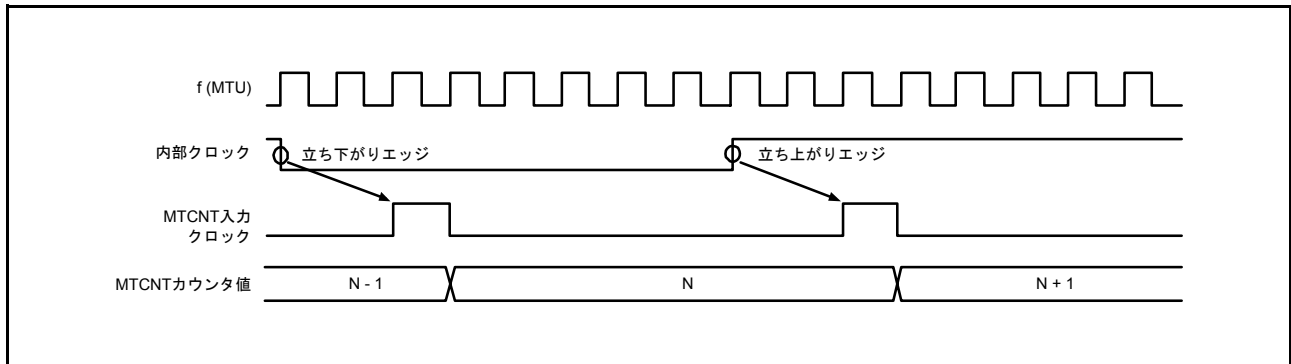


図 16.103 内部クロック動作時のカウントタイミング (チャンネル 0 ~ 4、6、7)

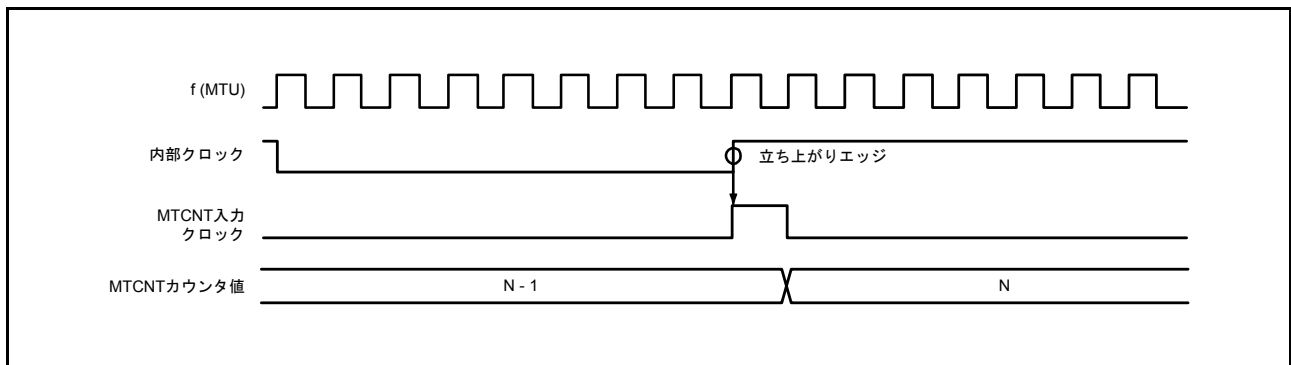


図 16.104 内部クロック動作時のカウントタイミング (チャンネル 5)

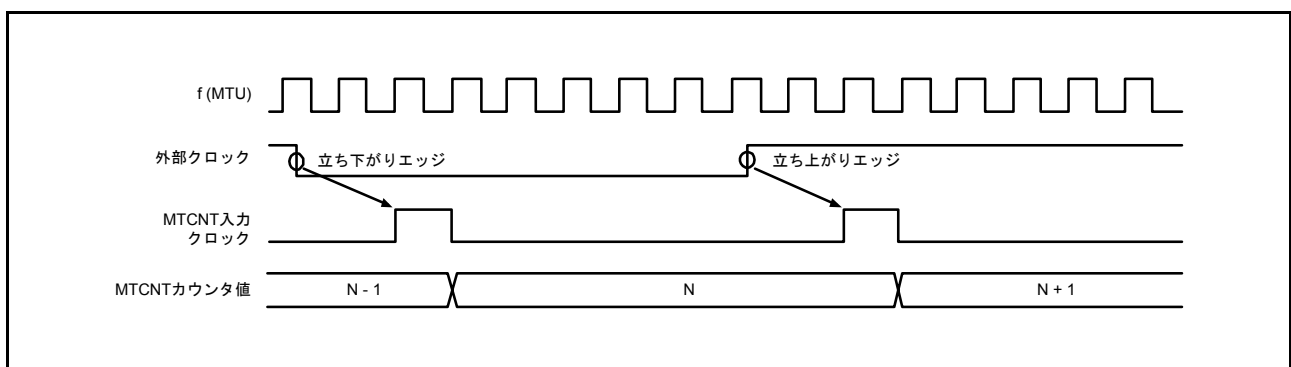


図 16.105 外部クロック動作時のカウントタイミング (チャンネル 0 ~ 4)

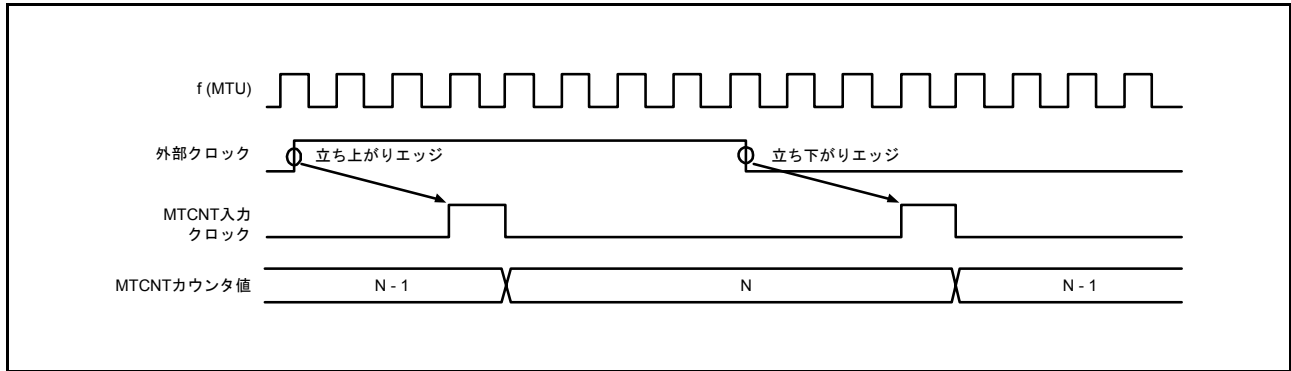


図 16.106 外部クロック動作時のカウントタイミング (位相計数モード)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、MTCNT カウンタと MTGR レジスタが一致した最後のステート (MTCNT カウンタが一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、MTIOCR レジスタで設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。MTCNT カウンタと MTGR レジスタが一致した後、MTCNT カウンタ入力クロックが発生するまで、コンペアマッチ信号は発生しません。

図 16.107 にアウトプットコンペア出力タイミング (ノーマルモード、PWM モード) を、図 16.108 にアウトプットコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード) を示します。

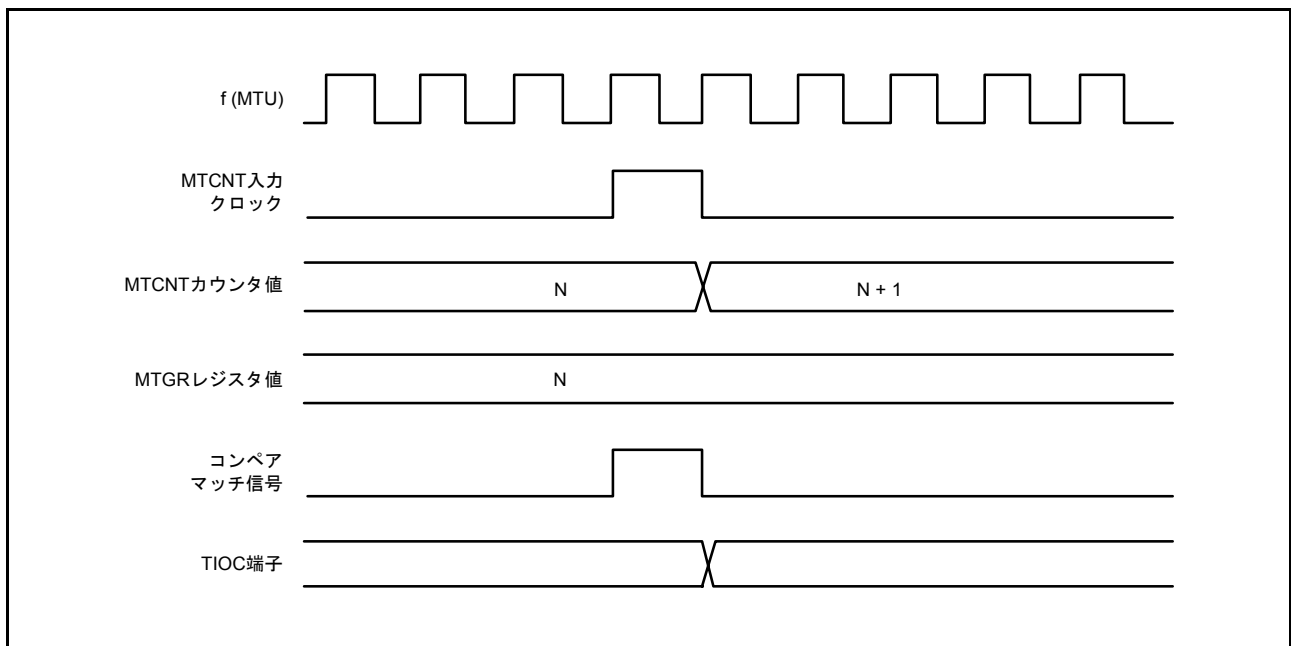


図 16.107 アウトプットコンペア出力タイミング (ノーマルモード、PWM モード)

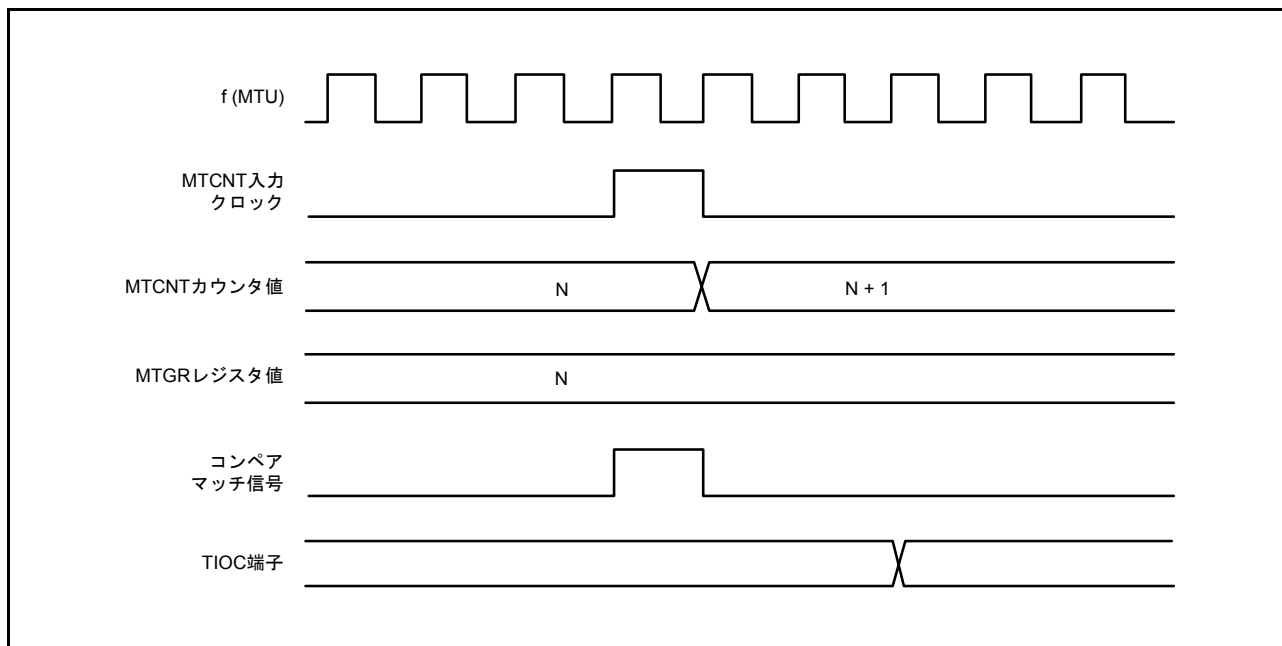


図 16.108 アウトプットコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード)

(3) インพุットキャプチャ信号タイミング

図 16.109 にインพุットキャプチャのタイミングを示します。

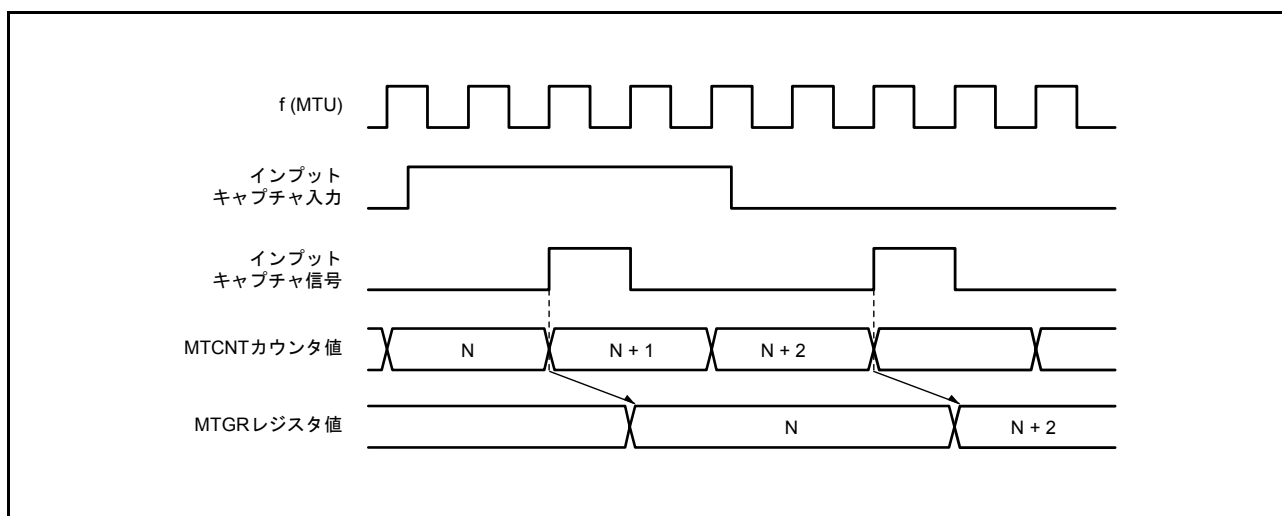


図 16.109 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

図 16.110、図 16.111 にコンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを、図 16.112 にインプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを示します。

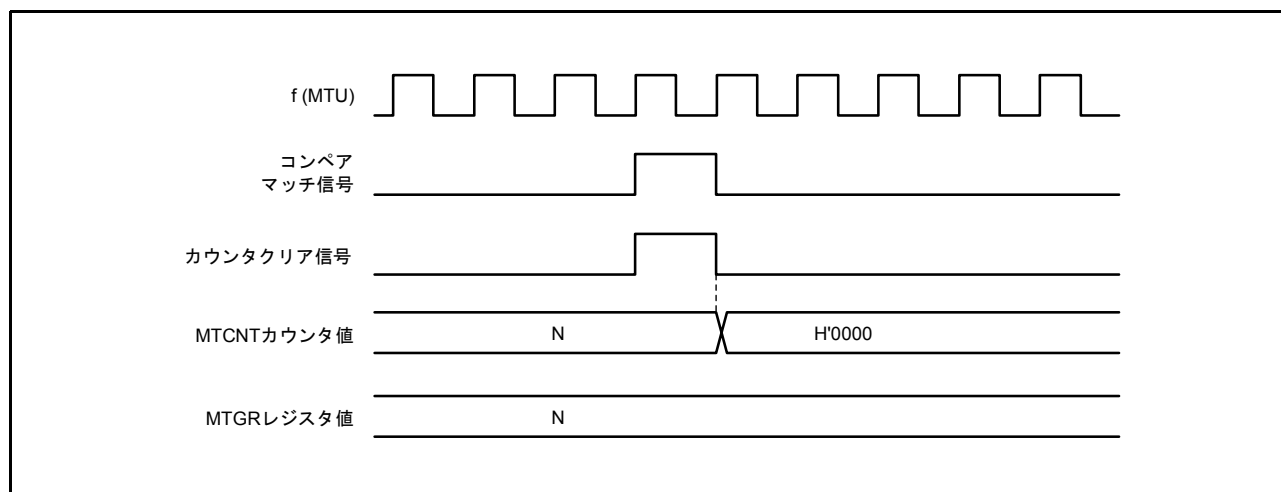


図 16.110 カウンタクリアタイミング (コンペアマッチ) (チャンネル 0~4、6~7)

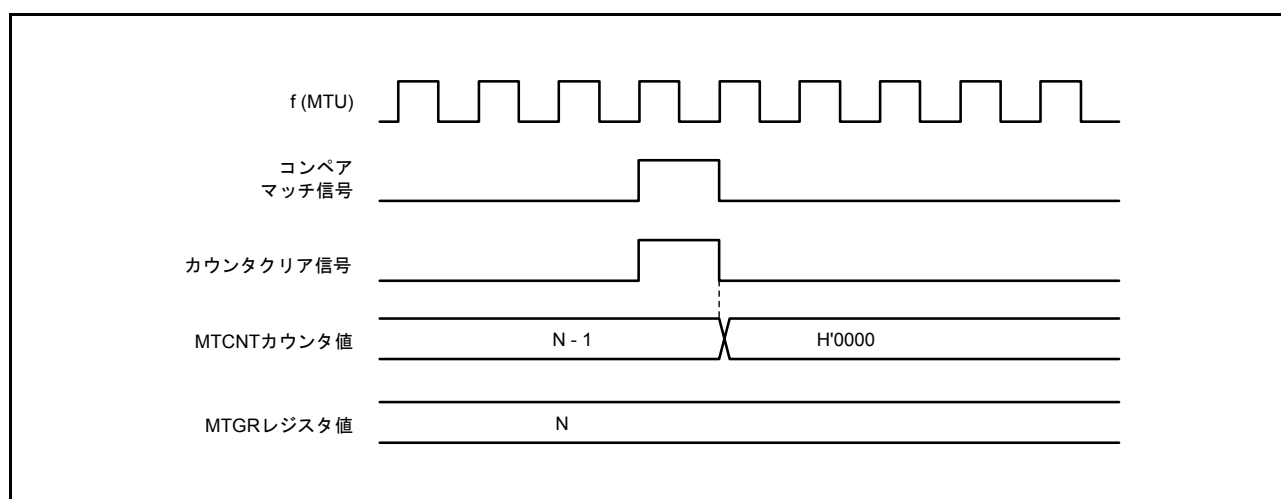


図 16.111 カウンタクリアタイミング (コンペアマッチ) (チャンネル 5)

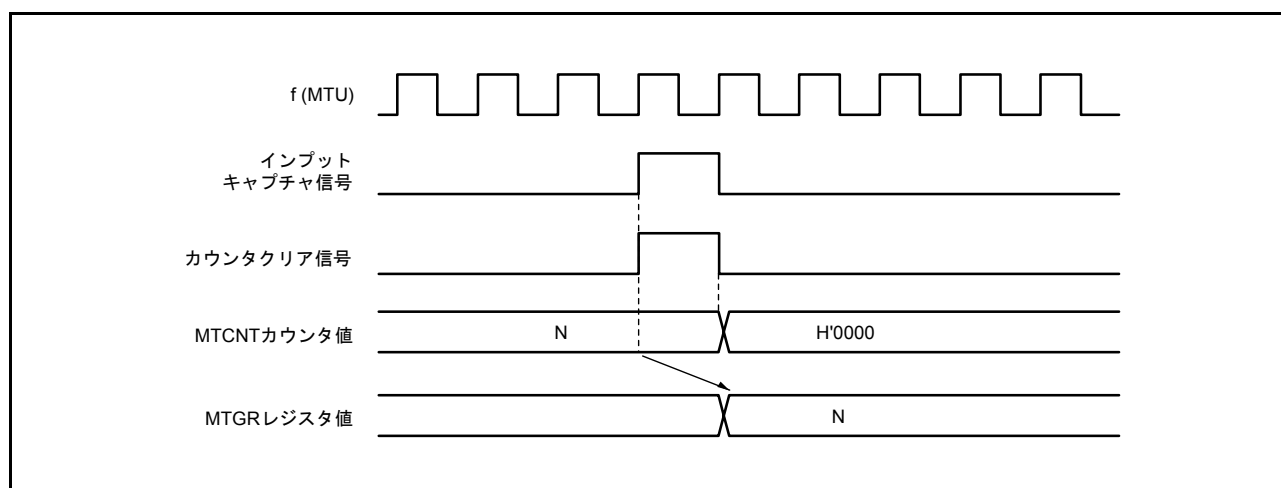


図 16.112 カウンタクリアタイミング (インプットキャプチャ) (チャンネル 0~7)

(5) バッファ動作タイミング

図 16.113 ~ 図 16.115 にバッファ動作の場合のタイミングを示します。

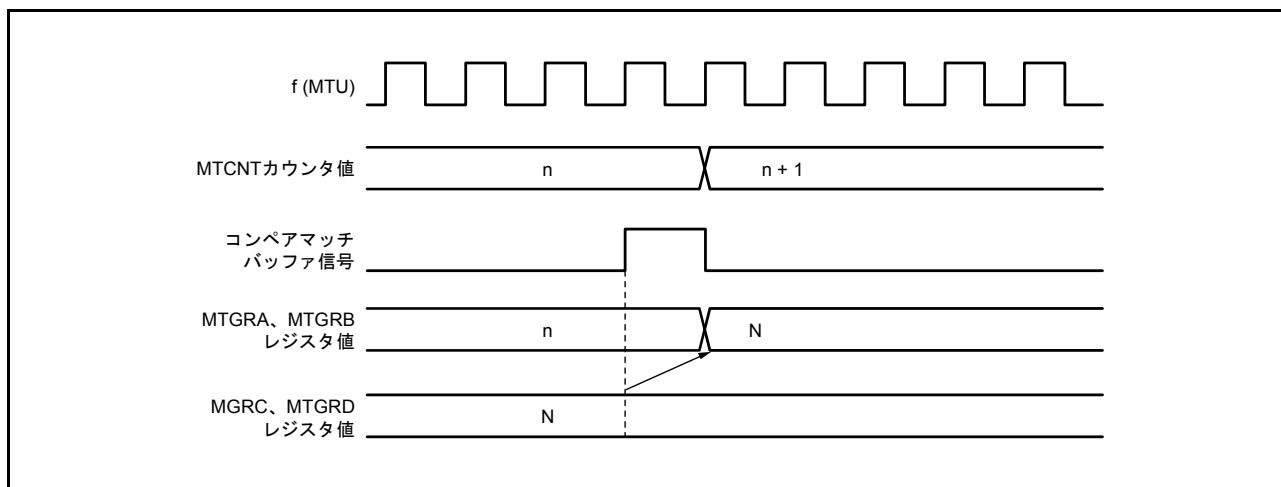


図 16.113 バッファ動作タイミング (コンペアマッチ)

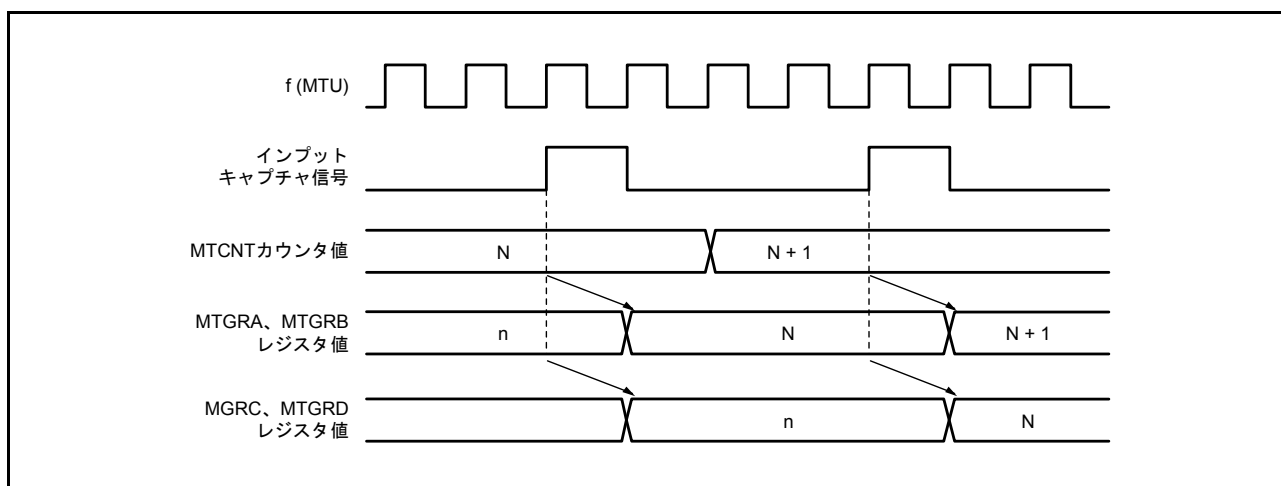


図 16.114 バッファ動作タイミング (インプットキャプチャ)

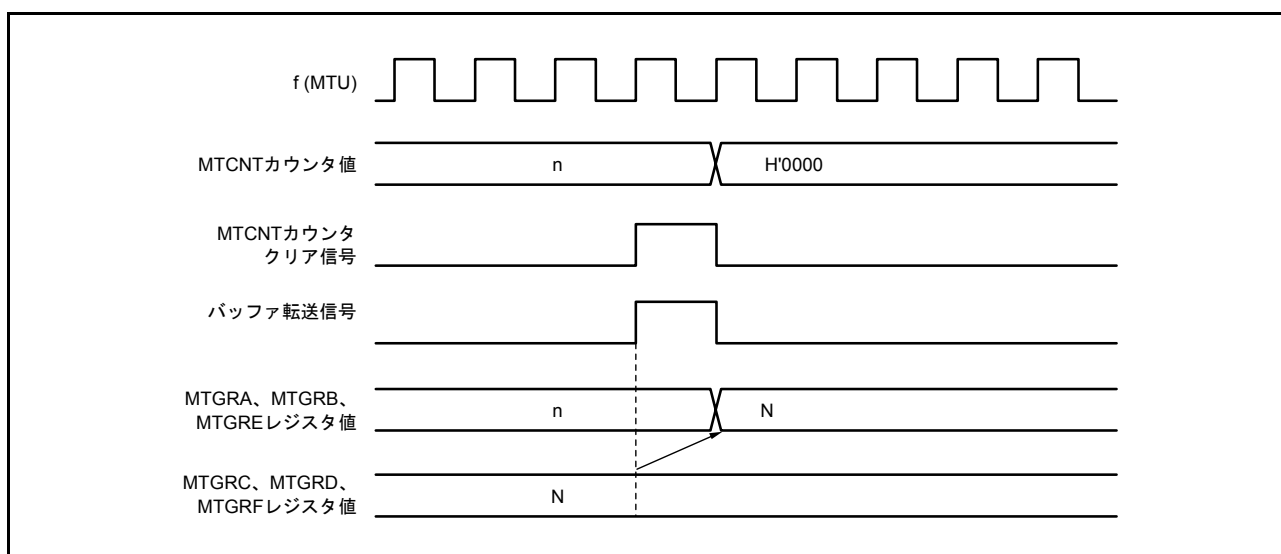


図 16.115 バッファ動作タイミング (MTCNT カウンタクリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

図 16.116 ~ 図 16.118 に相補 PWM モード時のバッファ転送のタイミングを示します。

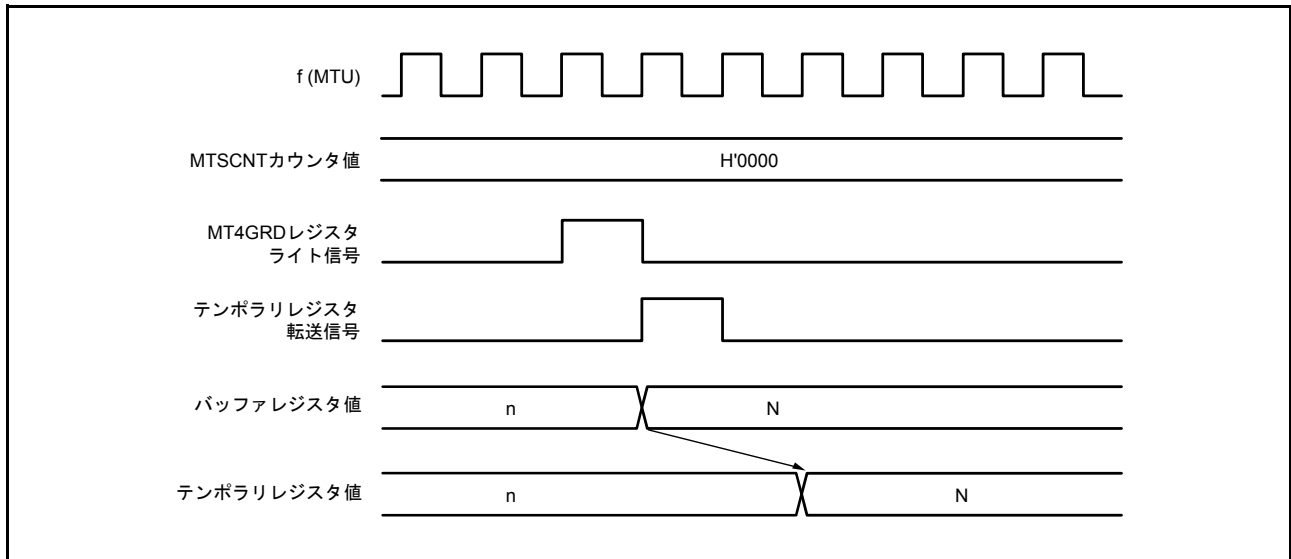


図 16.116 バッファレジスタからテンポラリレジスタへの転送タイミング (MT34SCNT カウンタ停止中)

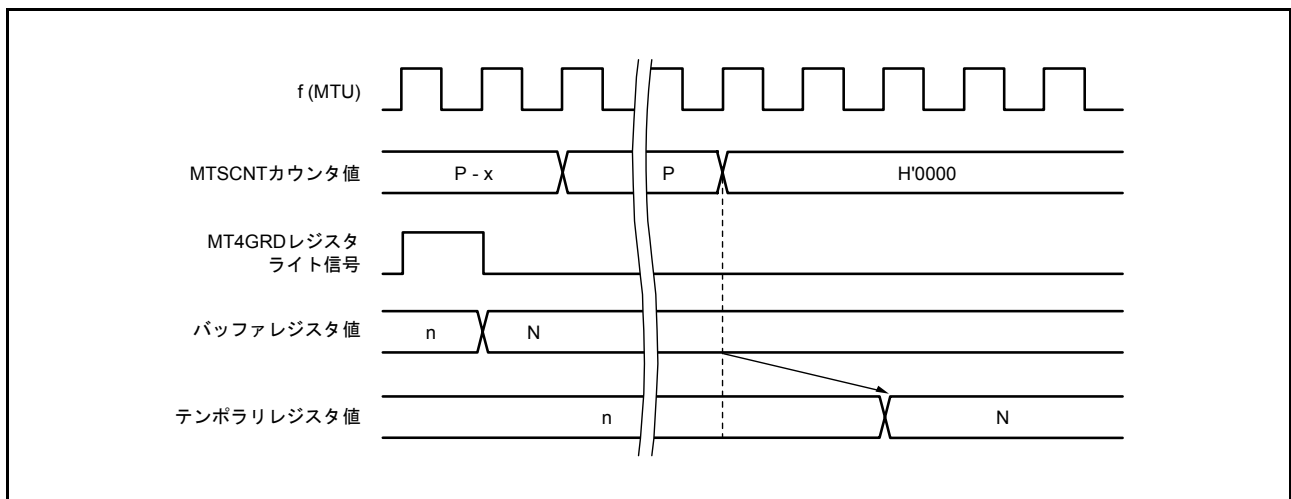


図 16.117 バッファレジスタからテンポラリレジスタへの転送タイミング (MT34SCNT カウンタ動作中)

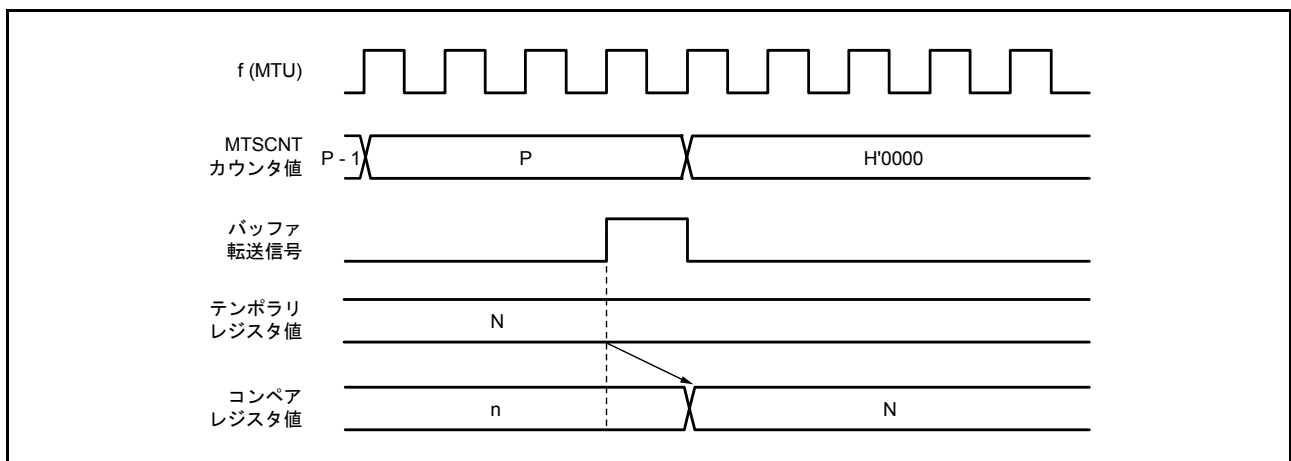


図 16.118 テンポラリレジスタからコンペアレジスタへの転送タイミング

16.5.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

図 16.119、図 16.120 にコンペアマッチの発生による MTSR レジスタの TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを示します。

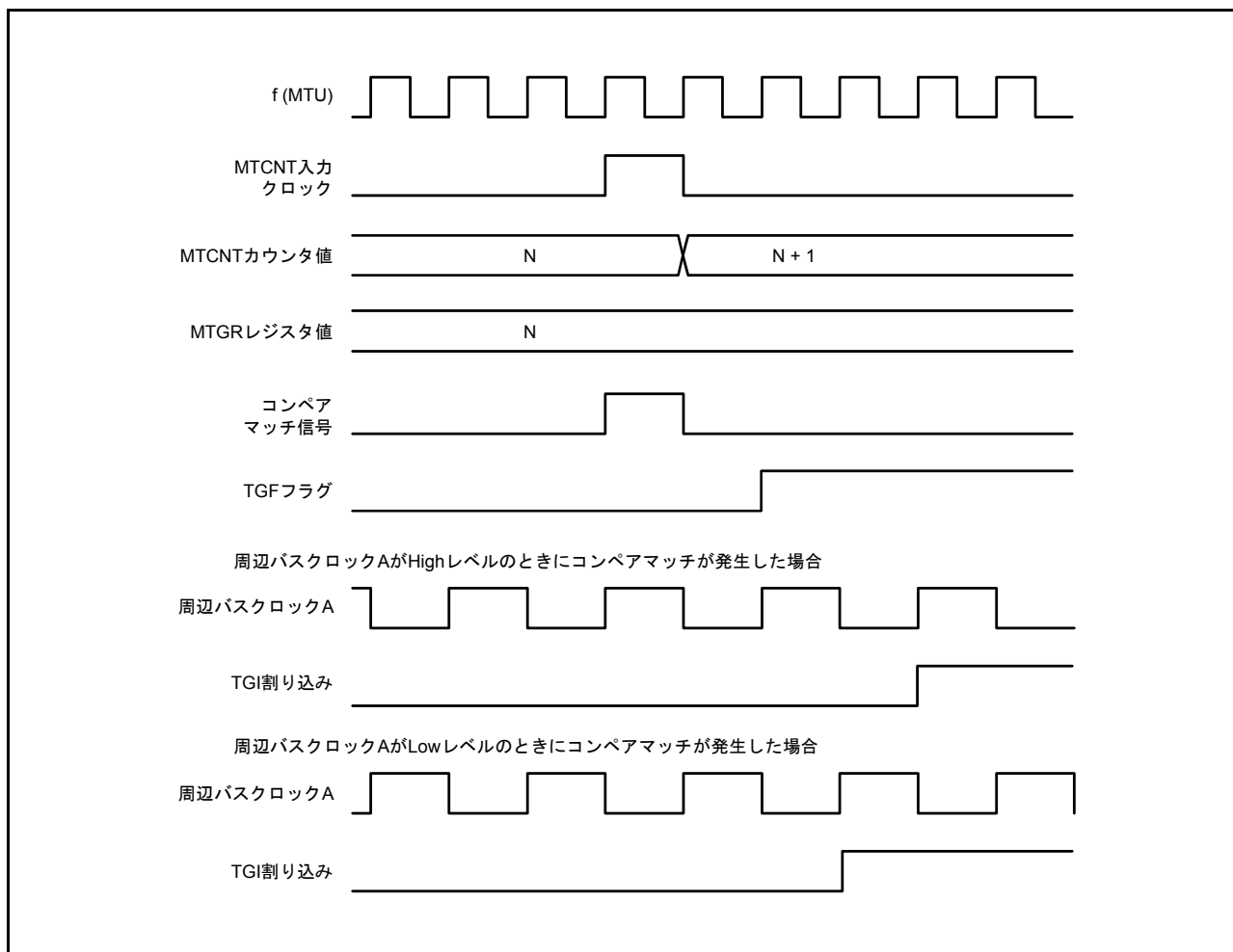


図 16.119 TGI 割り込みタイミング (コンペアマッチ) (チャンネル 0~4、6、7)

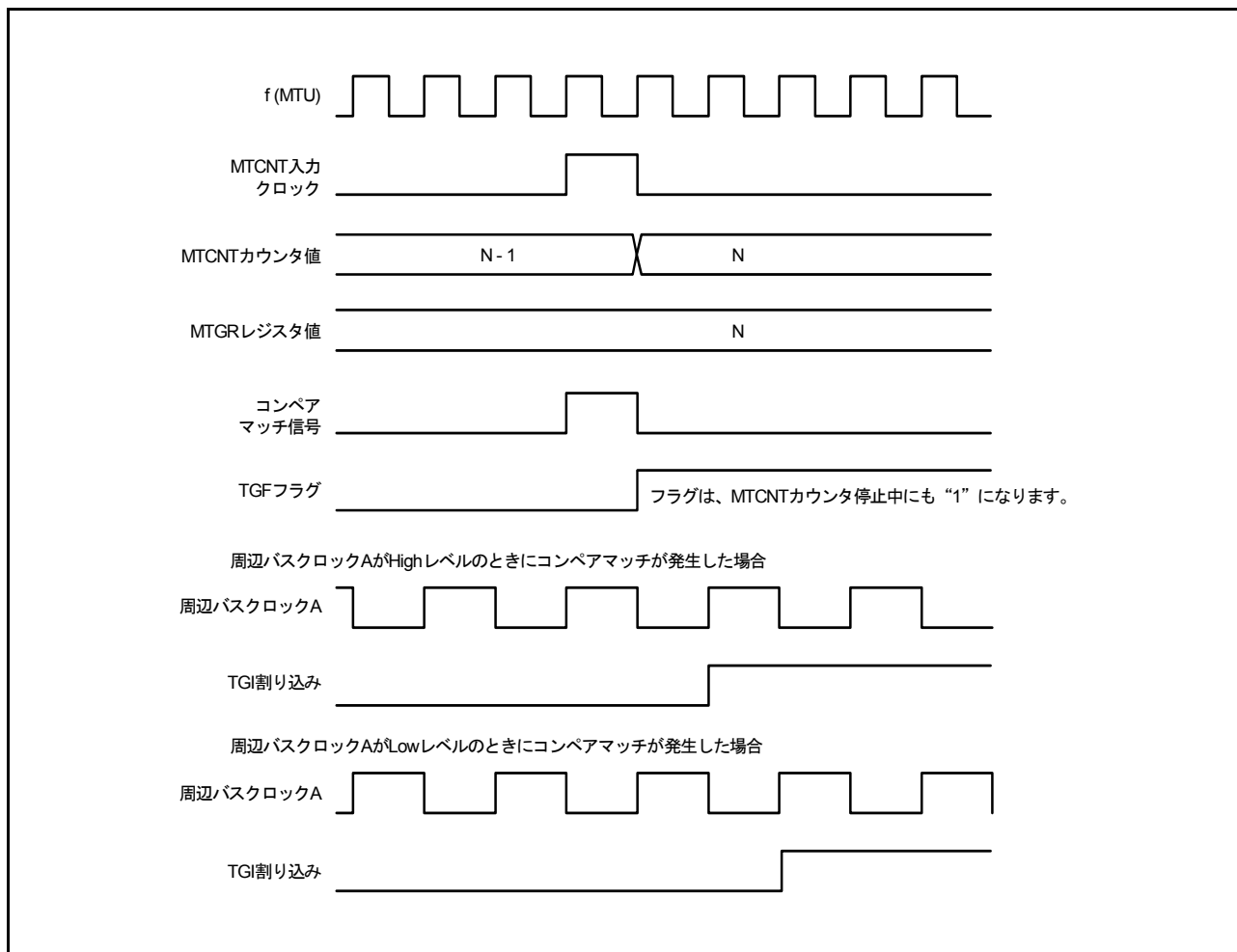


図 16.120 TGI 割り込みタイミング (コンペアマッチ) (チャンネル 5)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

図 16.121、図 16.122 インพุットキャプチャの発生による MTSR レジスタの TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを示します。

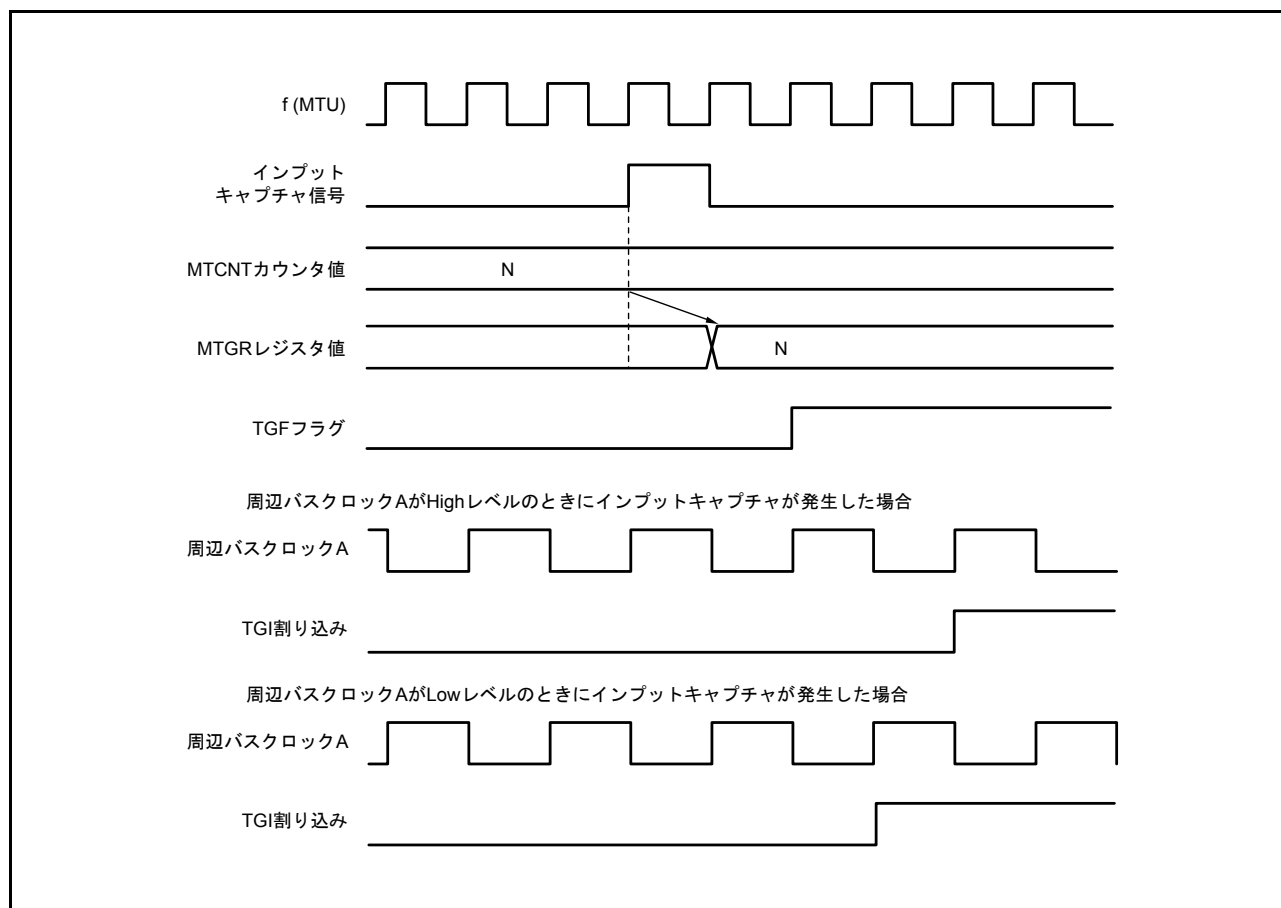


図 16.121 TGI 割り込みタイミング (インพุットキャプチャ) (チャンネル 0~4、6、7)

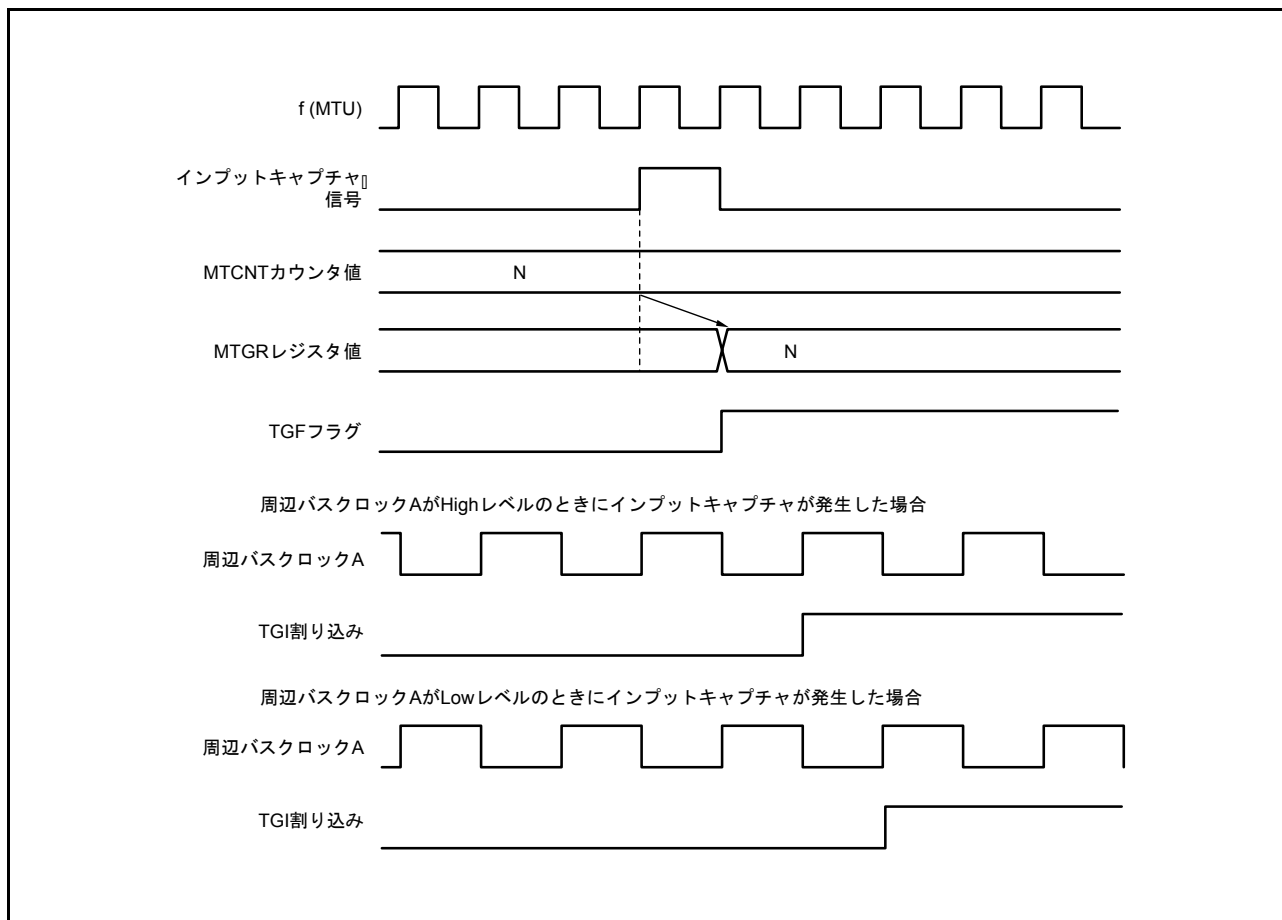


図 16.122 TGI 割り込みタイミング (インプットキャプチャ) (チャンネル 5)

(3) TCFV フラグ / TCFU フラグのセットタイミング

図 16.123 にオーバーフローの発生による MTSR レジスタの TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを示します。

図 16.124 にアンダフローの発生による MTSR レジスタの TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを示します。

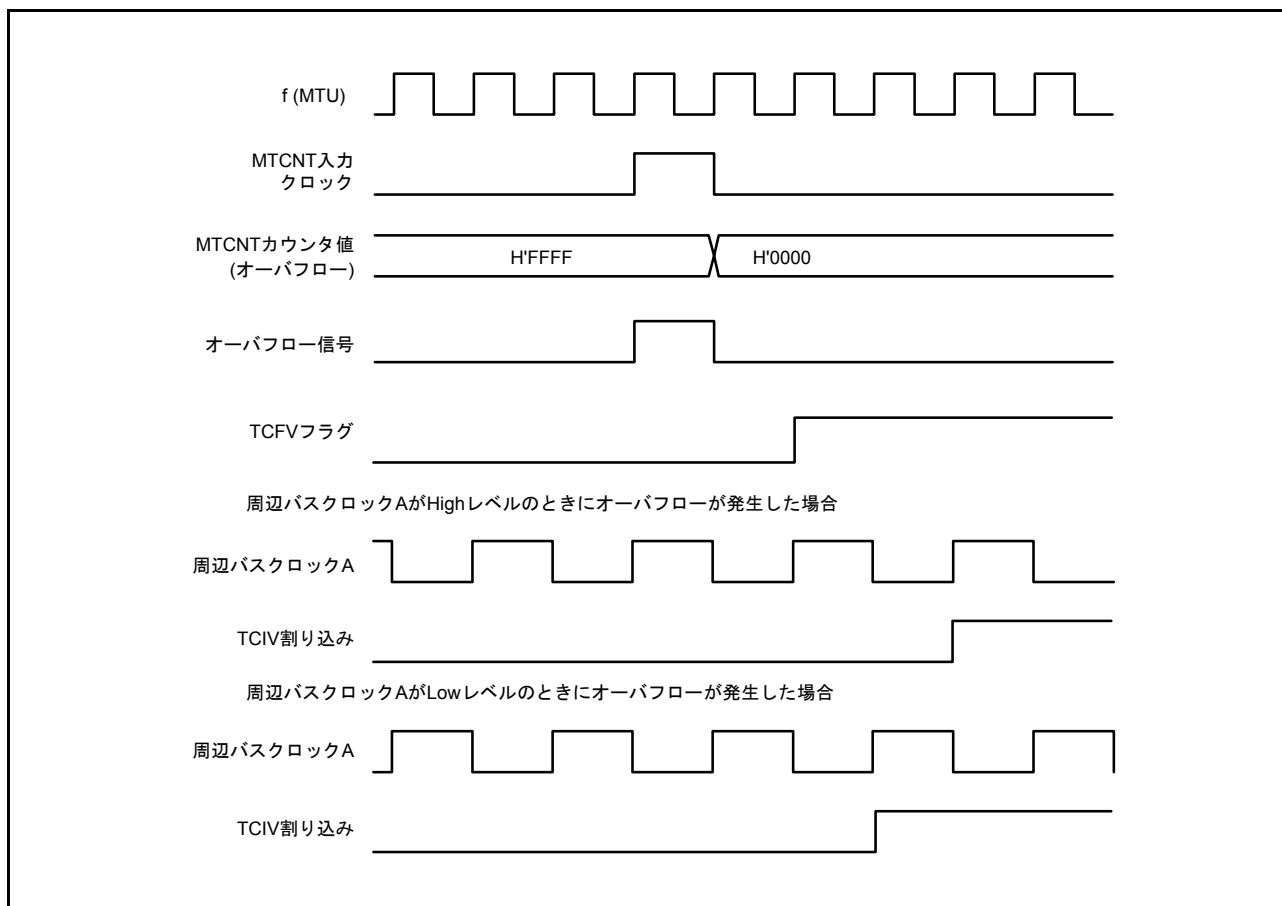


図 16.123 TCIV 割り込みのセットタイミング

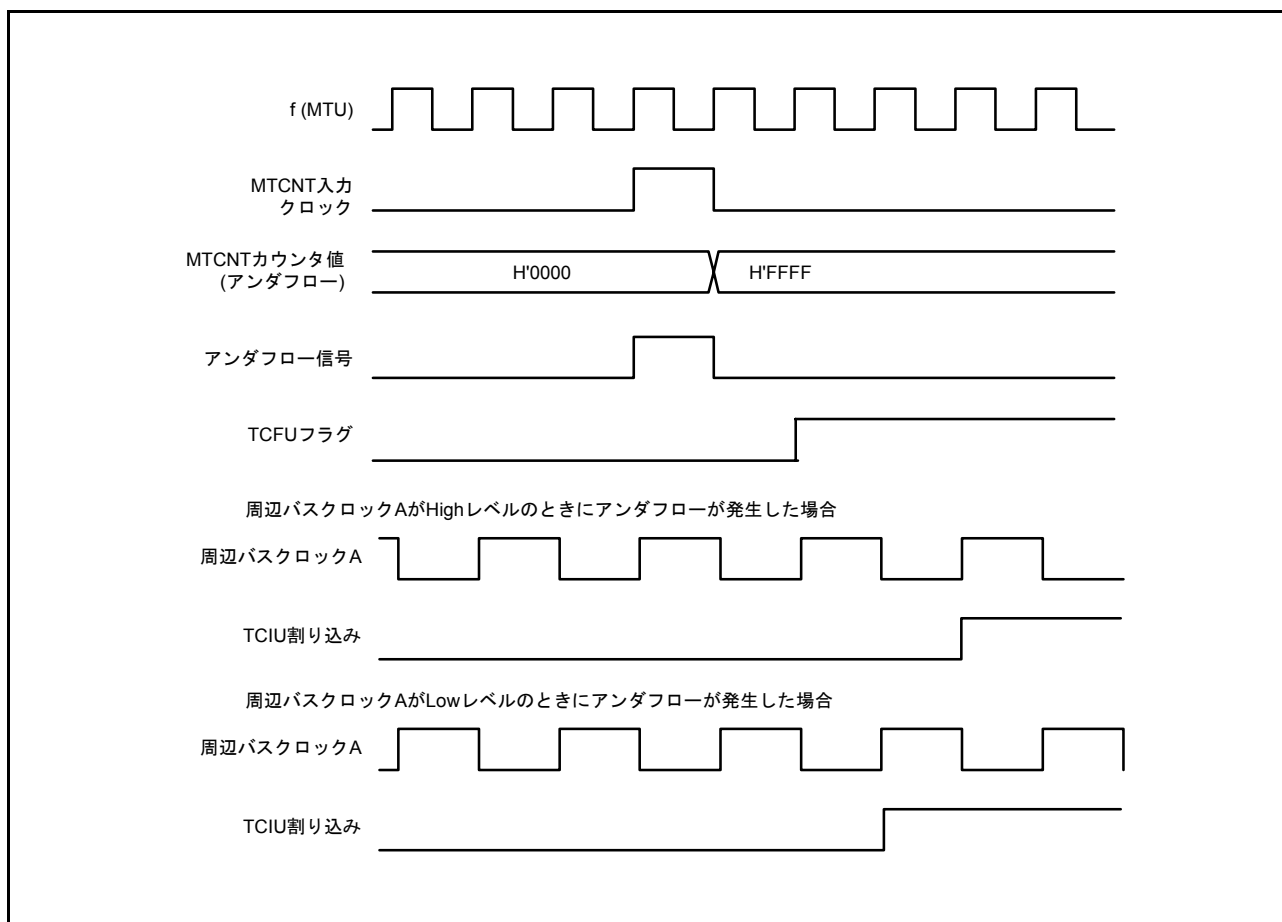


図 16.124 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが“1”の状態を読み出した後、“0”を書き込むとクリアされます。DMACを起動する場合は、自動的にクリアすることもできます。図 16.125 に CPU によるステータスフラグのクリアタイミングを、図 16.126 に DMAC からの転送アクノリッジ信号によるステータスフラグのクリアのタイミングを示します。

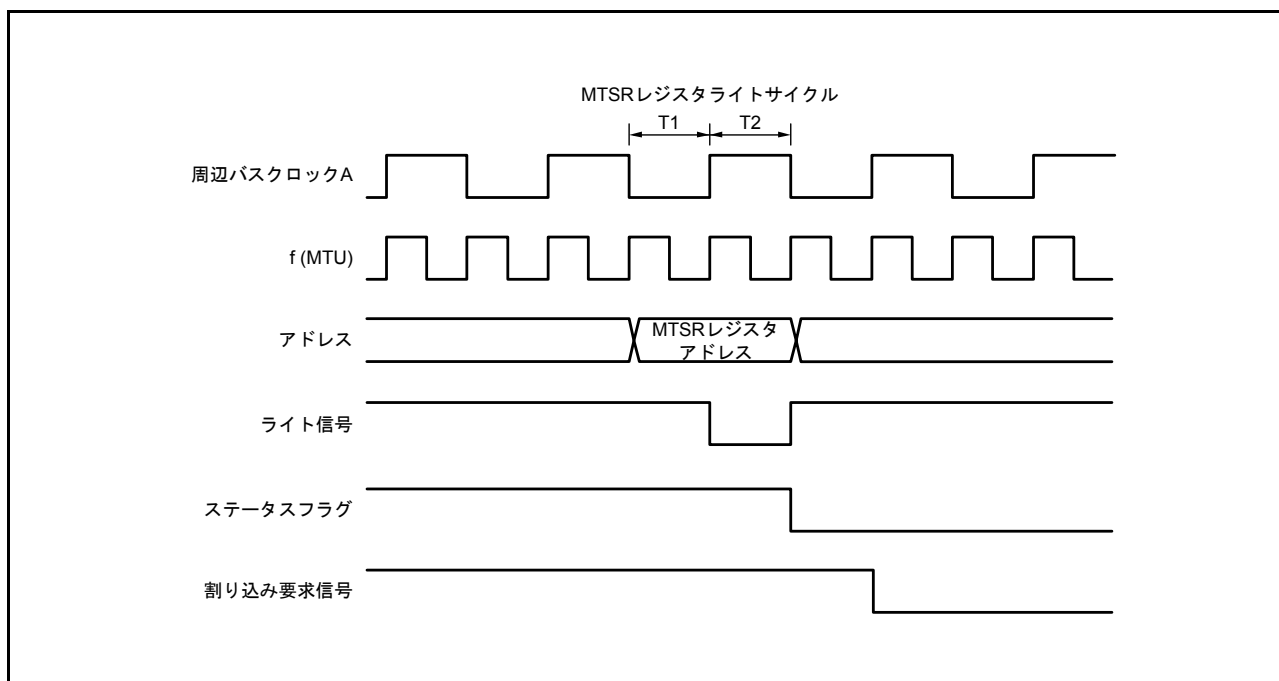


図 16.125 CPU によるステータスフラグのクリアタイミング (チャンネル 0 ~ 7)

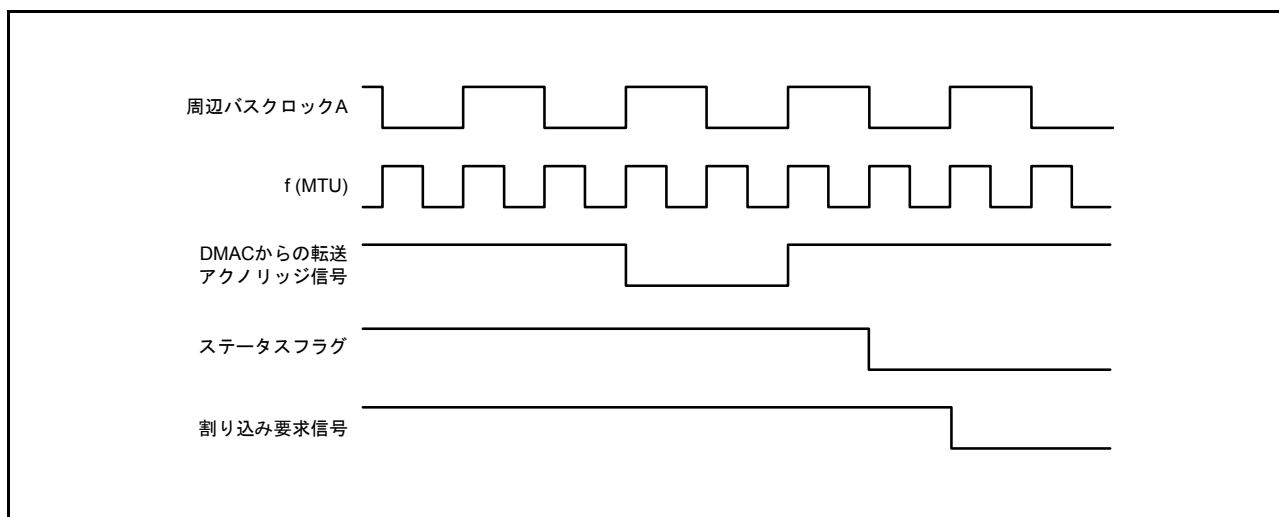


図 16.126 DMAC からの転送アクノリッジ信号によるステータスフラグのクリアタイミング (チャンネル 0 ~ 7)

16.6 MTU-III の注意事項

16.6.1 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。図 16.127 に位相計数モードの入力クロックの条件を示します。

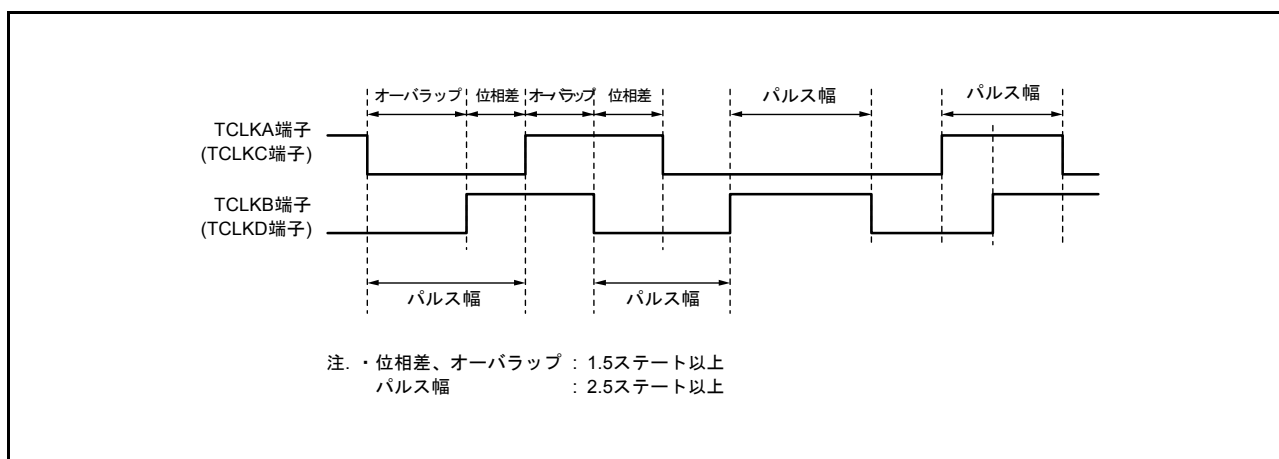


図 16.127 位相計数モード時の位相差、オーバーラップ、およびパルス幅

16.6.2 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、MTCNT カウンタは MTGR レジスタの値と一致した最後のステート (MTCNT カウンタが一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようにになります。

- チャンネル0~4、6、7の場合

$$f = \frac{f(\text{MTU})}{(N + 1)}$$

- チャンネル5の場合

$$f = \frac{f(\text{MTU})}{N}$$

f: カウンタ周波数
f (MTU): MTU 動作クロック
N: MTGR レジスタ の設定値

16.6.3 MTCNT カウンタの書き込みとクリアの競合

MTCNT カウンタの書き込みサイクル中の T2 ステートで、カウンタクリア信号が発生すると、MTCNT カウンタへの書き込みは行われずに、MTCNT カウンタのクリアが優先されます。

このタイミングを図 16.128 に示します。

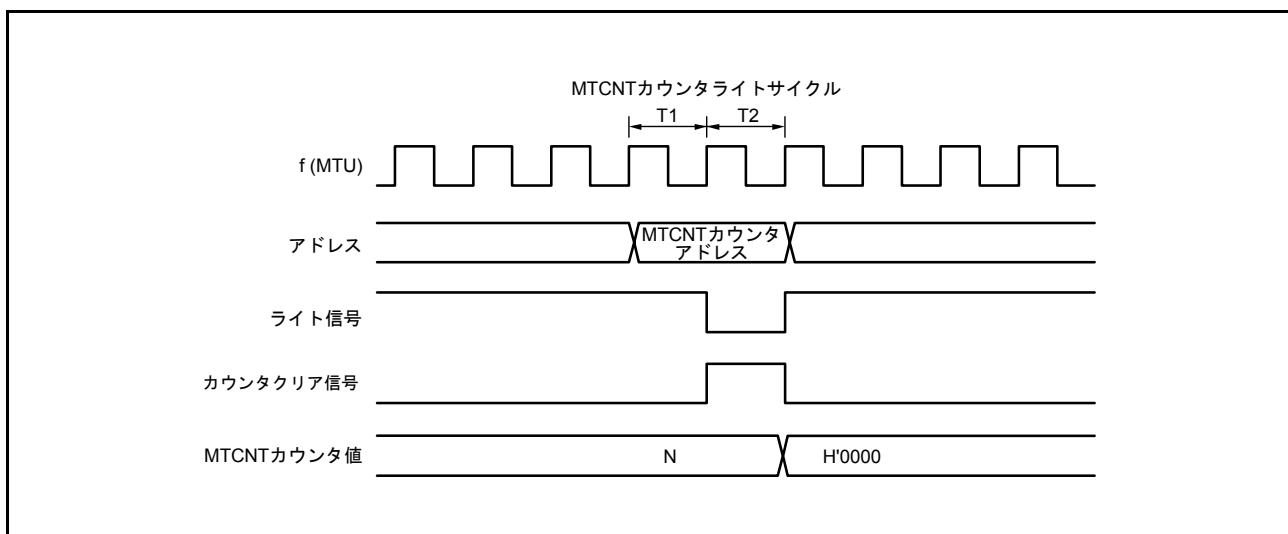


図 16.128 MTCNT カウンタの書き込みとクリアの競合

16.6.4 MTCNT カウンタの書き込みとカウントアップの競合

MTCNT カウンタの書き込みサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされず、MTCNT カウンタへの書き込みが優先されます。

このタイミングを図 16.129 に示します。

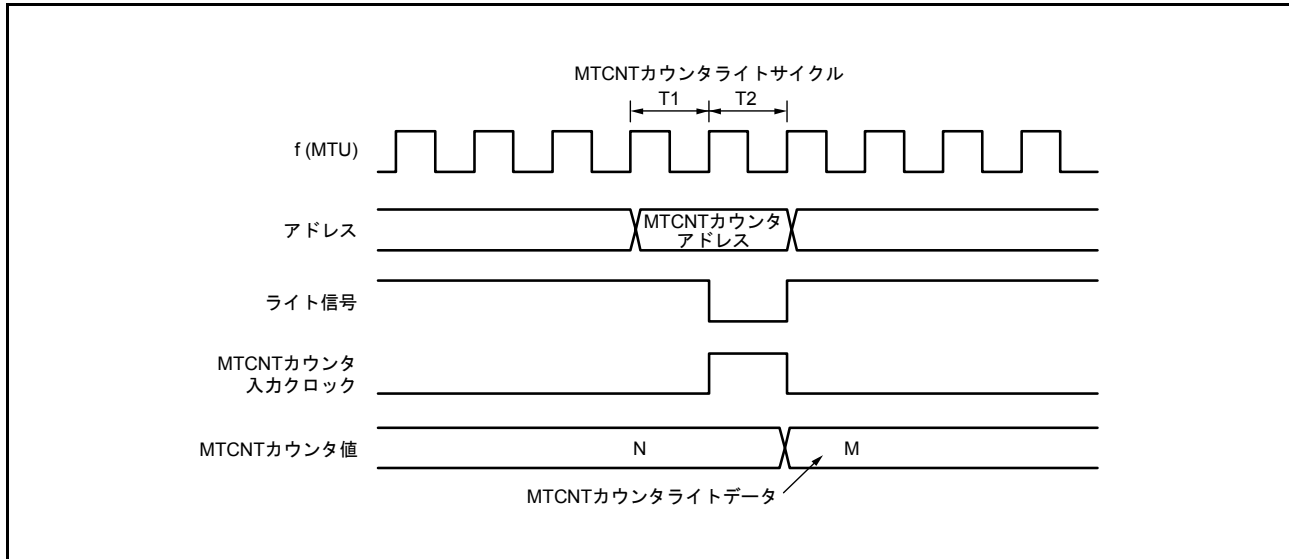


図 16.129 MTCNT カウンタの書き込みとカウントアップの競合

16.6.5 MTGR レジスタの書き込みとコンペアマッチの競合

MTGR レジスタの書き込みサイクル中の T2 ステートでコンペアマッチが発生した場合、MTGR レジスタの書き込みが実行され、コンペアマッチ信号も発生します。

このタイミングを図 16.130 に示します。

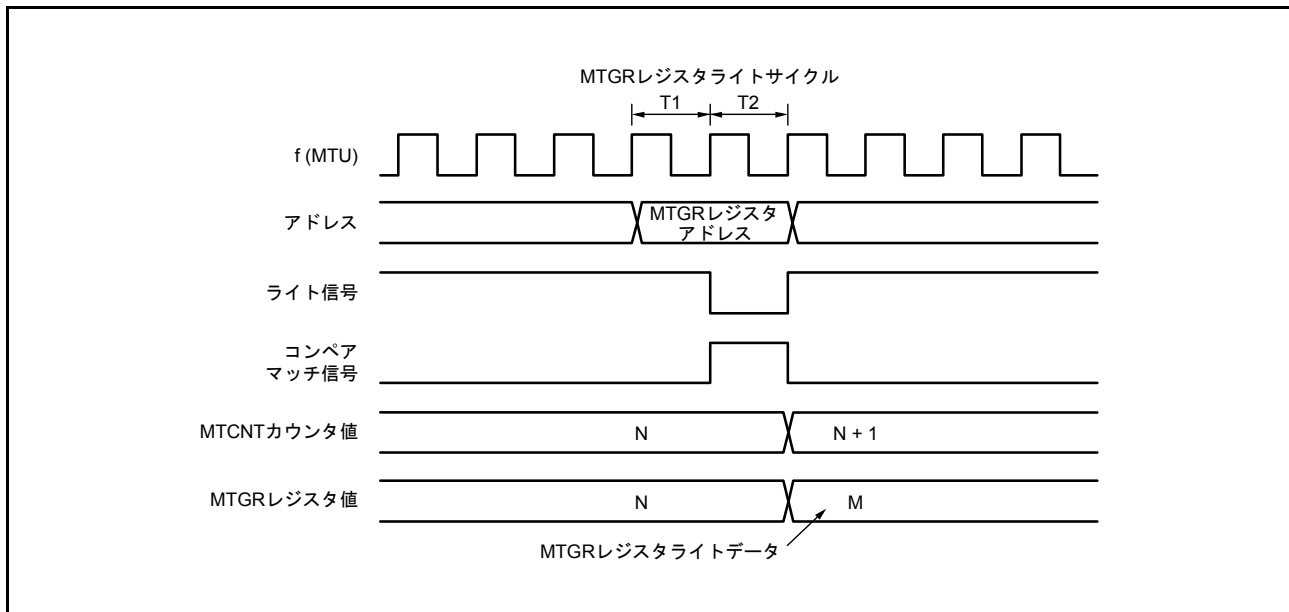


図 16.130 MTGR レジスタの書き込みとコンペアマッチの競合

16.6.6 バッファレジスタの書き込みとコンペアマッチの競合

MTGR レジスタの書き込みサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって MTGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 16.131 に示します。

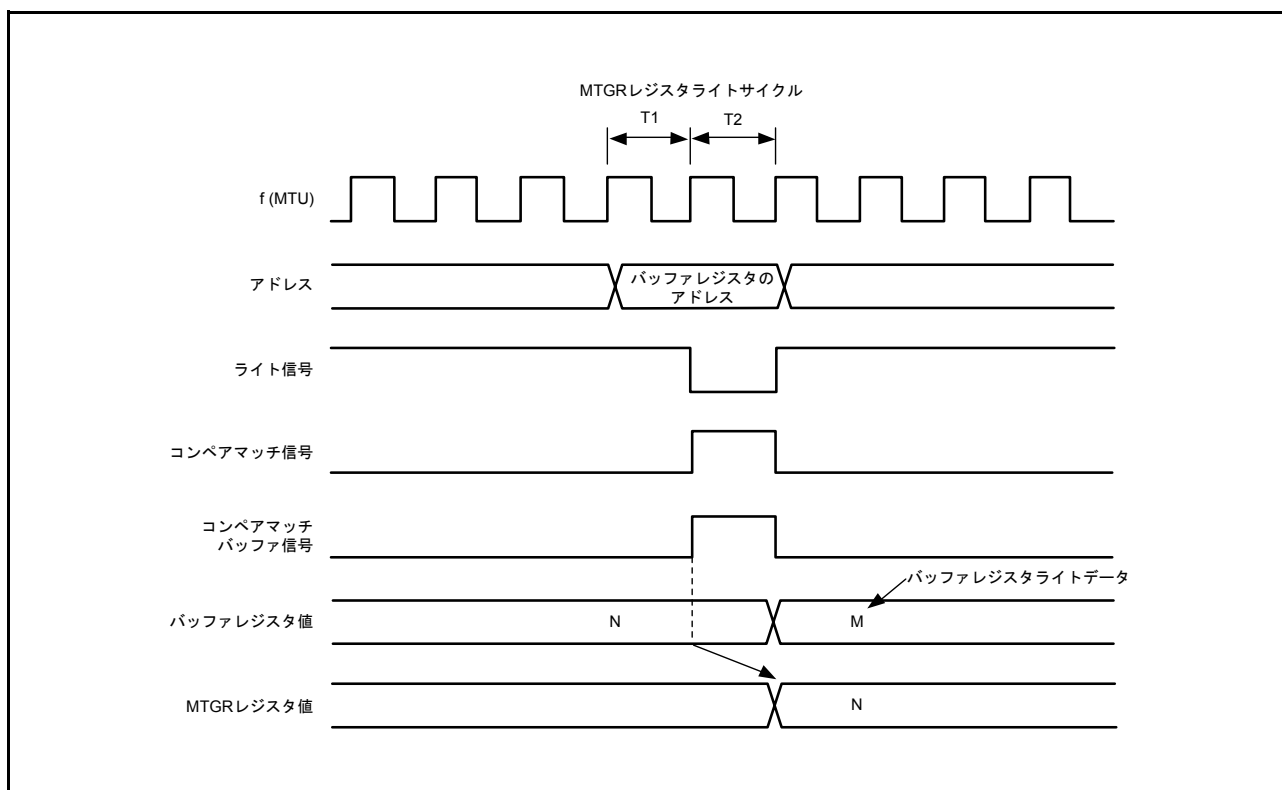


図 16.131 バッファレジスタの書き込みとコンペアマッチの競合

16.6.7 バッファレジスタの書き込みと MTCNT カウンタクリアの競合

MTBTM レジスタでバッファ転送タイミングを MTCNT カウンタクリア時に設定した場合、MTGR レジスタの書き込みサイクル中のT2ステートでMTCNTカウンタクリアが発生すると、バッファ動作によってMTGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 16.132 に示します。

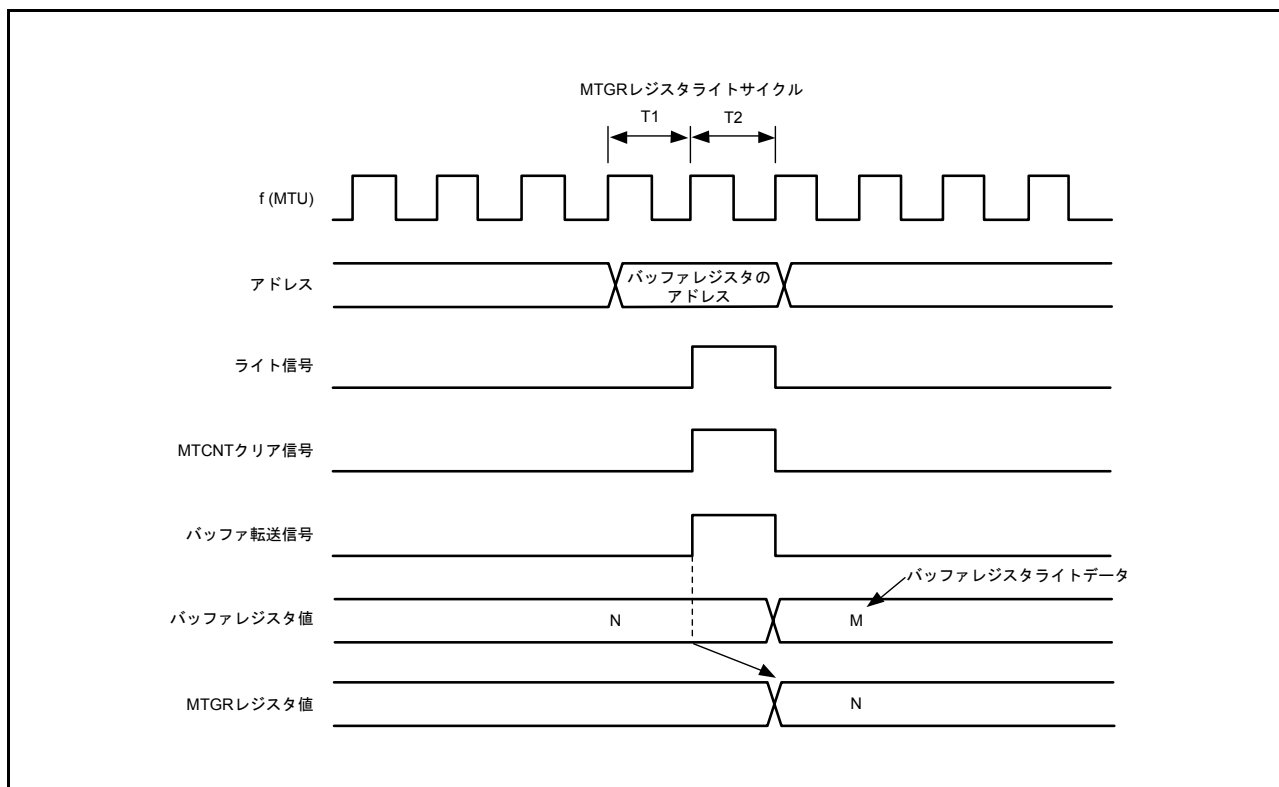


図 16.132 バッファレジスタの書き込みと MTCNT カウンタクリアの競合

16.6.8 MTGR レジスタの読み出しとインプットキャプチャの競合

MTGR レジスタの読み出しサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、読み出されるデータは、チャンネル0~4、6、7ではインプットキャプチャ転送前のデータとなり、チャンネル5ではインプットキャプチャ転送後のデータとなります。

このタイミングを図 16.133、図 16.134 に示します。

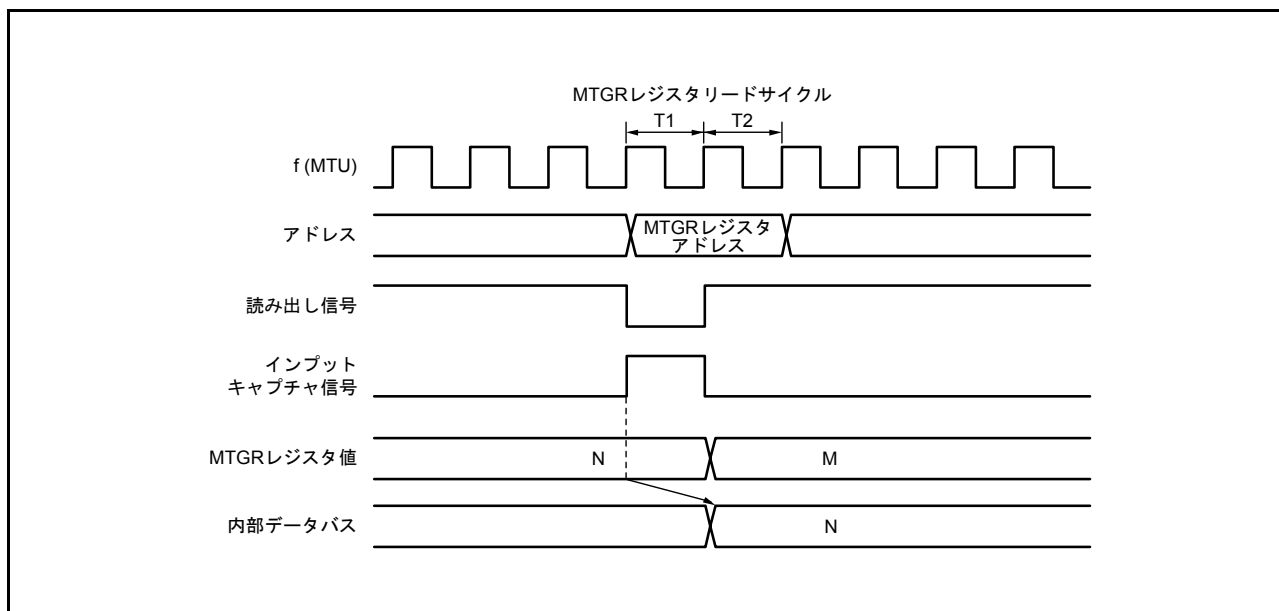


図 16.133 MTGR レジスタの読み出しとインプットキャプチャの競合 (チャンネル0~4、6、7)

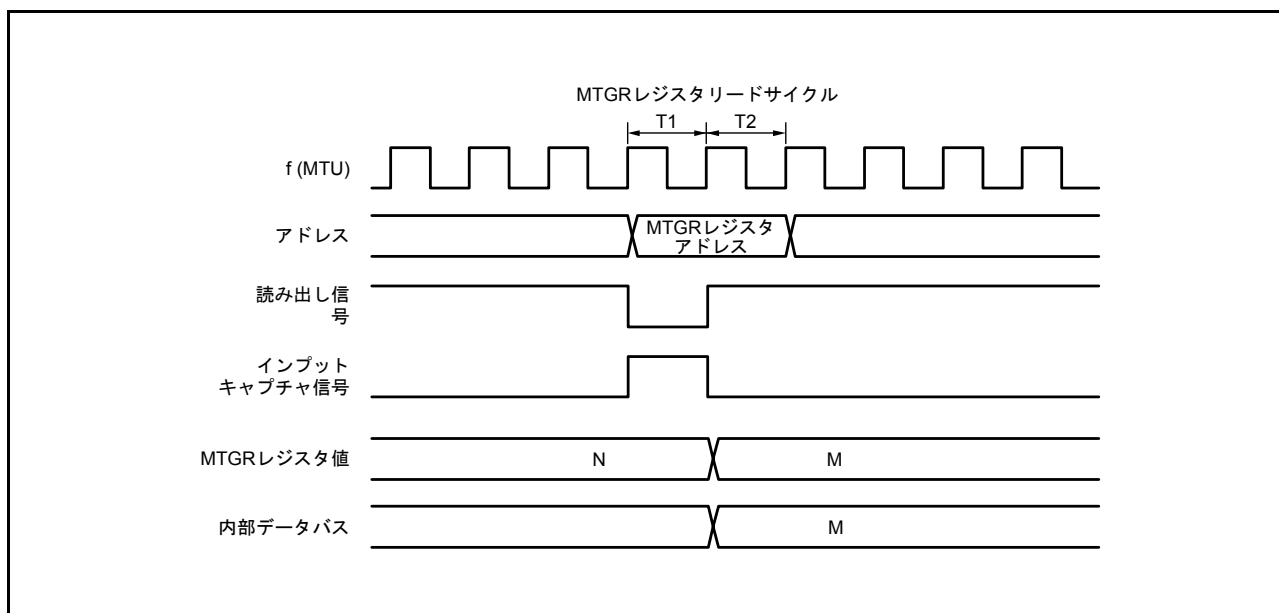


図 16.134 MTGR レジスタの読み出しとインプットキャプチャの競合 (チャンネル5)

16.6.9 MTGR レジスタの書き込みと入力キャプチャの競合

MTGR レジスタの書き込みサイクル中の T2 ステートで入力キャプチャ信号が発生すると、チャンネル 0~4、6、7 では MTGR レジスタへの書き込みは行われず、入力キャプチャが優先され、チャンネル 5 では MTGR レジスタへの書き込みが実行され、入力キャプチャ信号も発生します。

このタイミングを図 16.135、図 16.136 に示します。

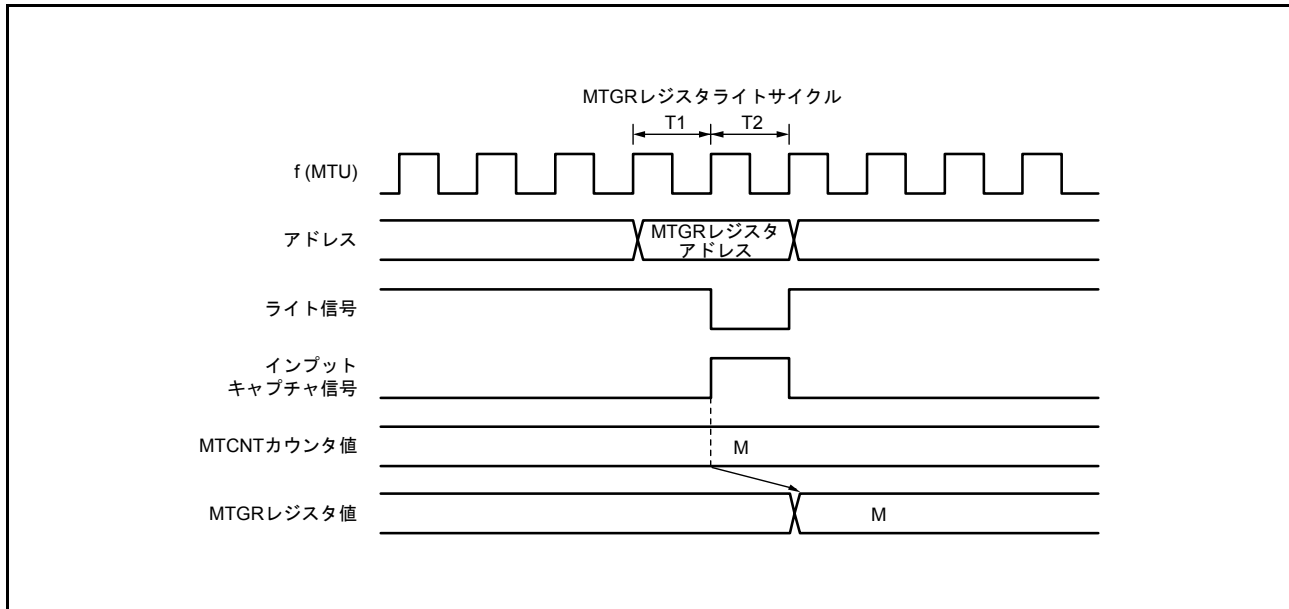


図 16.135 MTGR レジスタの書き込みと入力キャプチャの競合 (チャンネル 0~4、6、7)

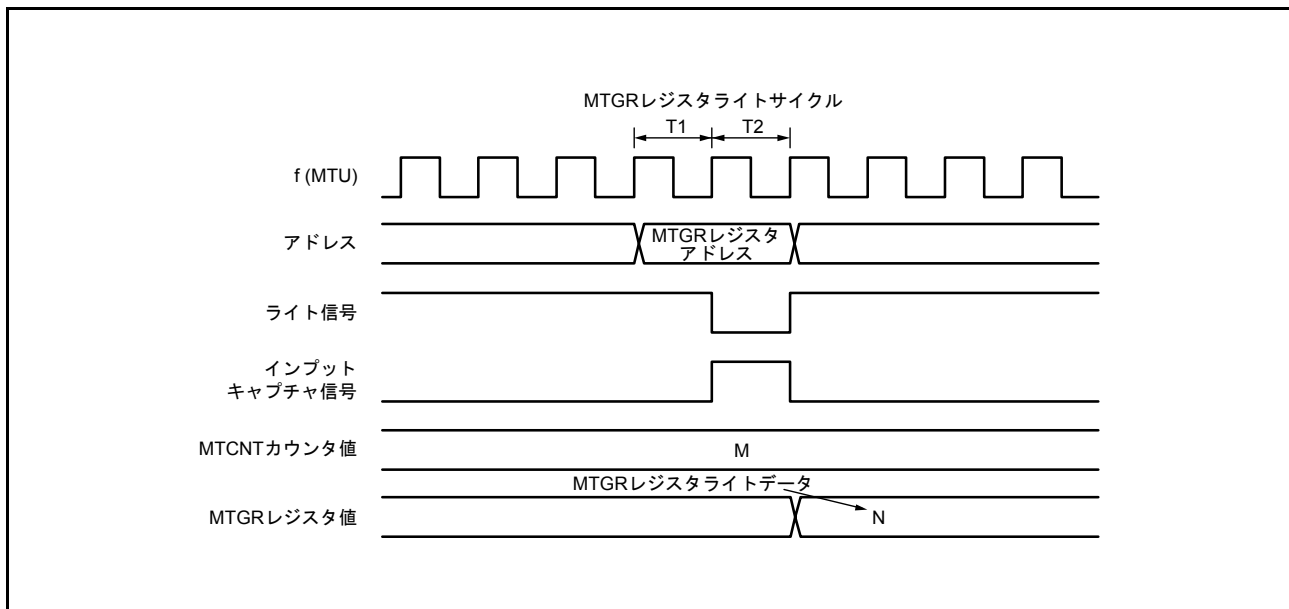


図 16.136 MTGR レジスタの書き込みと入力キャプチャの競合 (チャンネル 5)

16.6.10 バッファレジスタの書き込みとインプットキャプチャの競合

バッファの書き込みサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 16.137 に示します。

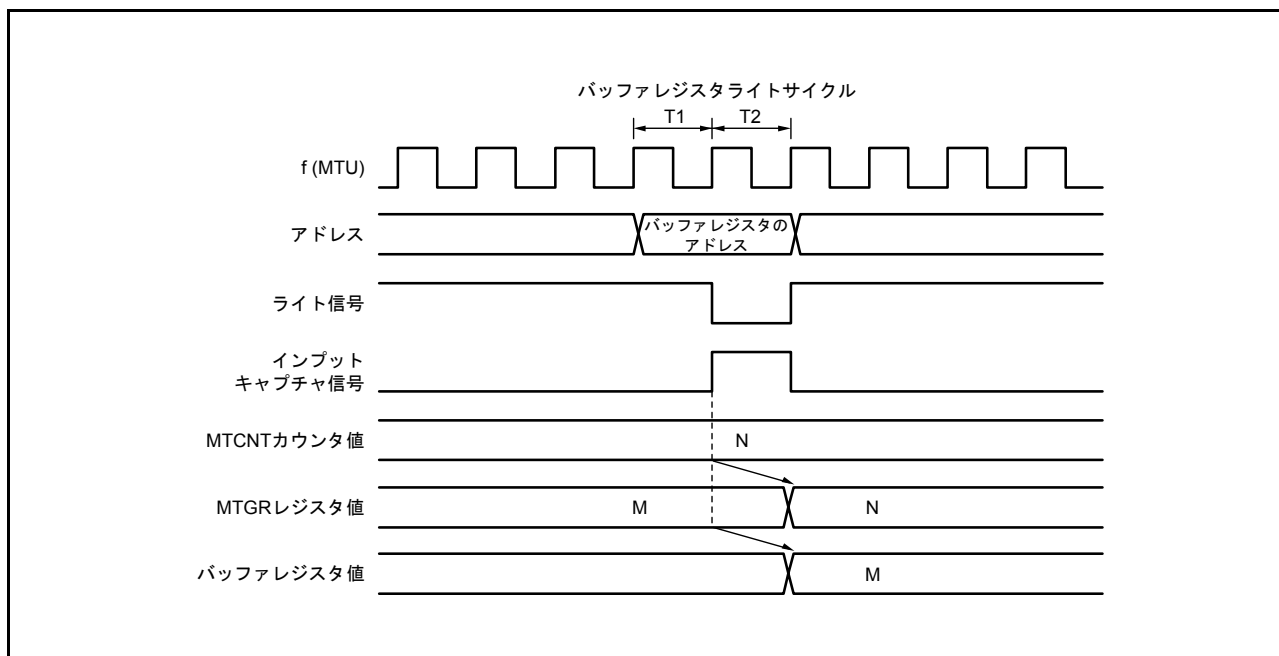


図 16.137 バッファレジスタの書き込みとインプットキャプチャの競合

16.6.11 カスケード接続における MT2CNT カウンタの書き込みとオーバーフロー/アンダフローの競合

MT1CNT カウンタと MT2CNT カウンタをカスケード接続し、MT1CNT カウンタがカウントする瞬間 (MT2CNT カウンタがオーバーフロー/アンダフローする瞬間) と MT2CNT カウンタの書き込みサイクル中の T2 ステートが競合すると、MT2CNT カウンタへの書き込みが行われ、MT1CNT カウンタのカウント信号が禁止されます。このとき、MT1GRA レジスタがコンペアマッチレジスタとして動作し MT1CNT カウンタの値と一致していた場合、コンペアマッチ信号が発生します。

また、チャンネル0のインプットキャプチャ要因にMT1CNTカウンタクロックを選択した場合には、MT0GRA ~ MT0GRD レジスタはインプットキャプチャ動作します。さらに MT1GRB レジスタのインプットキャプチャ要因に MT0GRC レジスタのコンペアマッチ/インプットキャプチャを選択した場合には、MT1GRB レジスタはインプットキャプチャ動作します。

このタイミングを図 16.138 に示します。

また、カスケード接続動作で MTCNT カウンタのクリア設定を行う場合には、チャンネル1 とチャンネル2 の同期設定を行ってください。

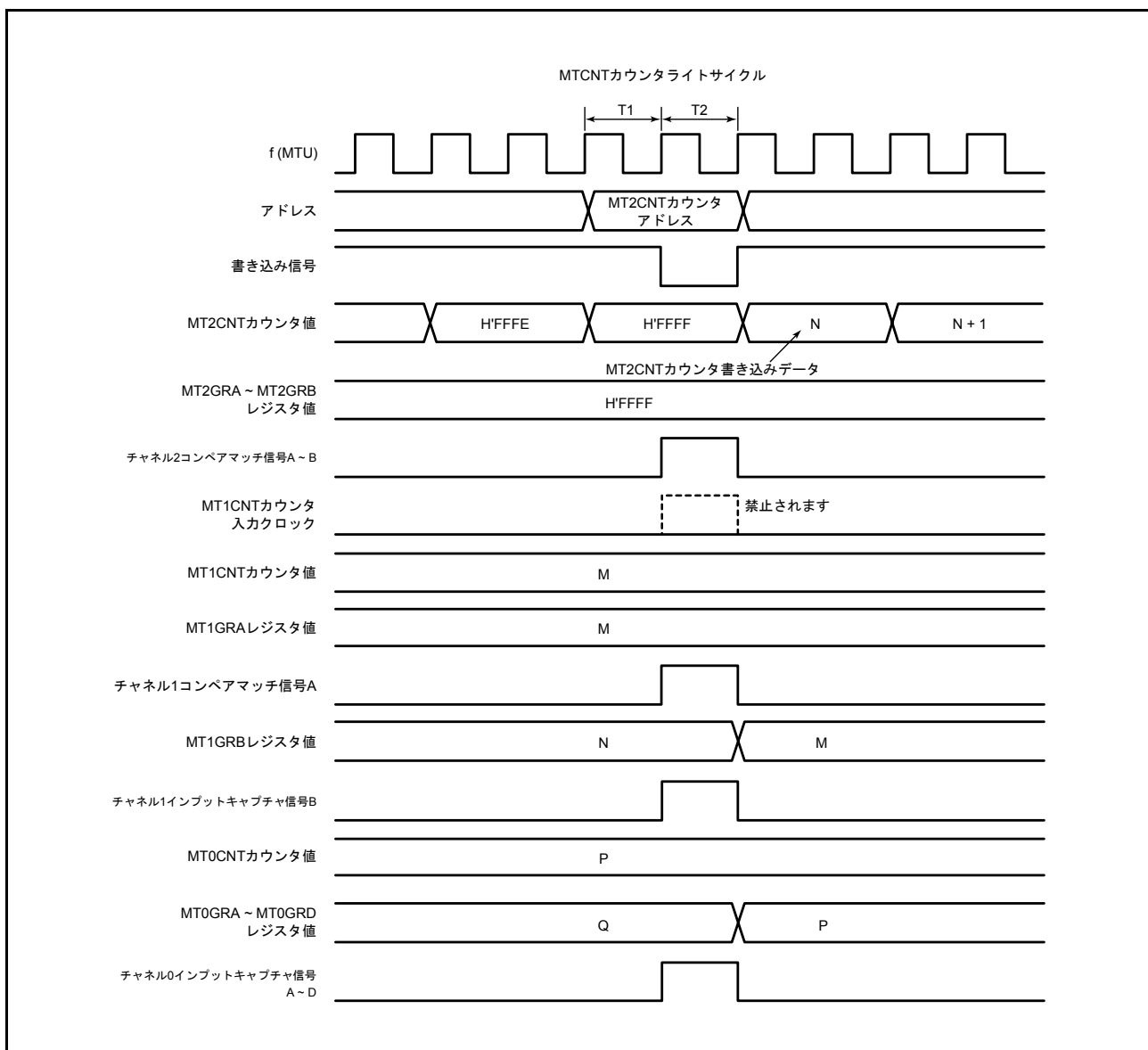


図 16.138 カスケード接続における MT2CNT カウンタの書き込みとオーバーフロー/アンダフローの競合

16.6.12 相補 PWM モード停止時のカウンタ値

MT3CNT、MT4CNT (MT6CNT、MT7CNT) カウンタが相補 PWM モードで動作しているときにカウント動作を停止すると、MT3CNT (MT6CNT) カウンタは MTDTD レジスタの値、MT4CNT (MT7CNT) カウンタは“H'0000”になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 16.139 に示します。

また、他の動作モードでカウントを開始する場合は MT3CNT、MT4CNT (MT6CNT、MT7CNT) カウンタにカウント初期値の設定を行ってください。

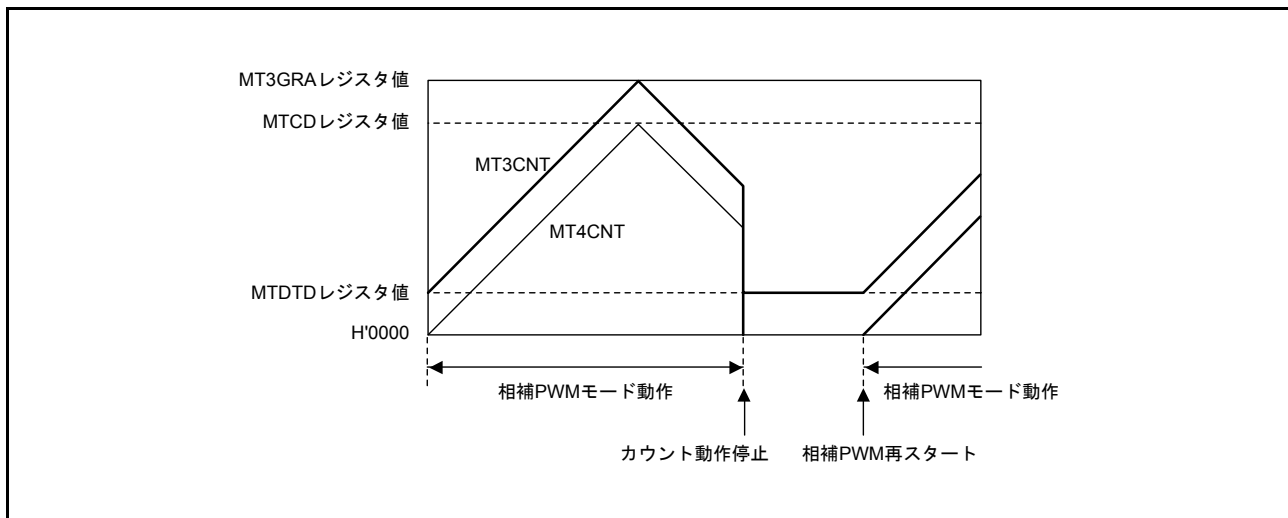


図 16.139 相補 PWM モード停止時のカウンタ値

16.6.13 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (MT3GRA、MT6GRA)、MTCD レジスタ、デューティ設定レジスタ (MT3GRB、MT4GRA、MT4GRB、MT6GRB、MT7GRA、MT7GRB) の書き換えは、バッファ動作で行ってください。

相補 PWM モード時のチャンネル 3 および 4 (チャンネル 6 および 7) のバッファ動作は、MT3MD0 (MT6MD0) レジスタの BFA、BFB ビットの設定に従い動作します。MT3MD0 (MT6MD0) レジスタの BFA ビットを“1”にセットした場合、MT3GRC (MT6GRC) レジスタは MT3GRA (MT6GRA) のバッファレジスタとして機能します。同時に MT4GRC (MT7GRC) レジスタは MT4GRA (MT7GRA) レジスタのバッファレジスタとして機能し、さらに MT34CB (MT67CB) レジスタは MT34CD (MT67CD) レジスタのバッファレジスタとして機能します。

16.6.14 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定する場合には、MT4MD0 (MT7MD0) レジスタの BFA、BFB ビットを“0”に設定してください。MT4MD0 (MT7MD0) レジスタの BFA ビットを“1”に設定すると、TIOC4C (TIOC7C) 端子の波形出力ができなくなります。

リセット同期 PWM モード時のチャンネル 3 および 4 (チャンネル 6 および 7) のバッファ動作は MT3MD0 (MT6MD0) レジスタの BFA、BFB ビットの設定に従い動作します。たとえば、MT3MD0 (MT6MD0) レジスタの BFA ビットを“1”にセットした場合、MT3GRC (MT6GRC) レジスタは MT3GRA (MT6GRA) レジスタのバッファレジスタとして機能します。同時に MT4GRC (MT7GRC) レジスタは MT4GRA (MT7GRA) レジスタのバッファレジスタとして機能します。

MT3SR0 レジスタおよび MT4SR0 レジスタ (MT6SR0 レジスタおよび MT7SR0 レジスタ) の TGFC フラグと TGFD フラグは MT3GRC (MT6GRC)、MT3GRD (MT6GRD) レジスタがバッファレジスタとして動作している場合、セットされることはありません。

MT3MD0 (MT6MD0) レジスタの BFA、BFB ビットを“1”にセットし、MT4MD0 (MT7MD0) レジスタの BFA、BFB ビットを“0”にセットした場合の動作例を図 16.140 に示します。

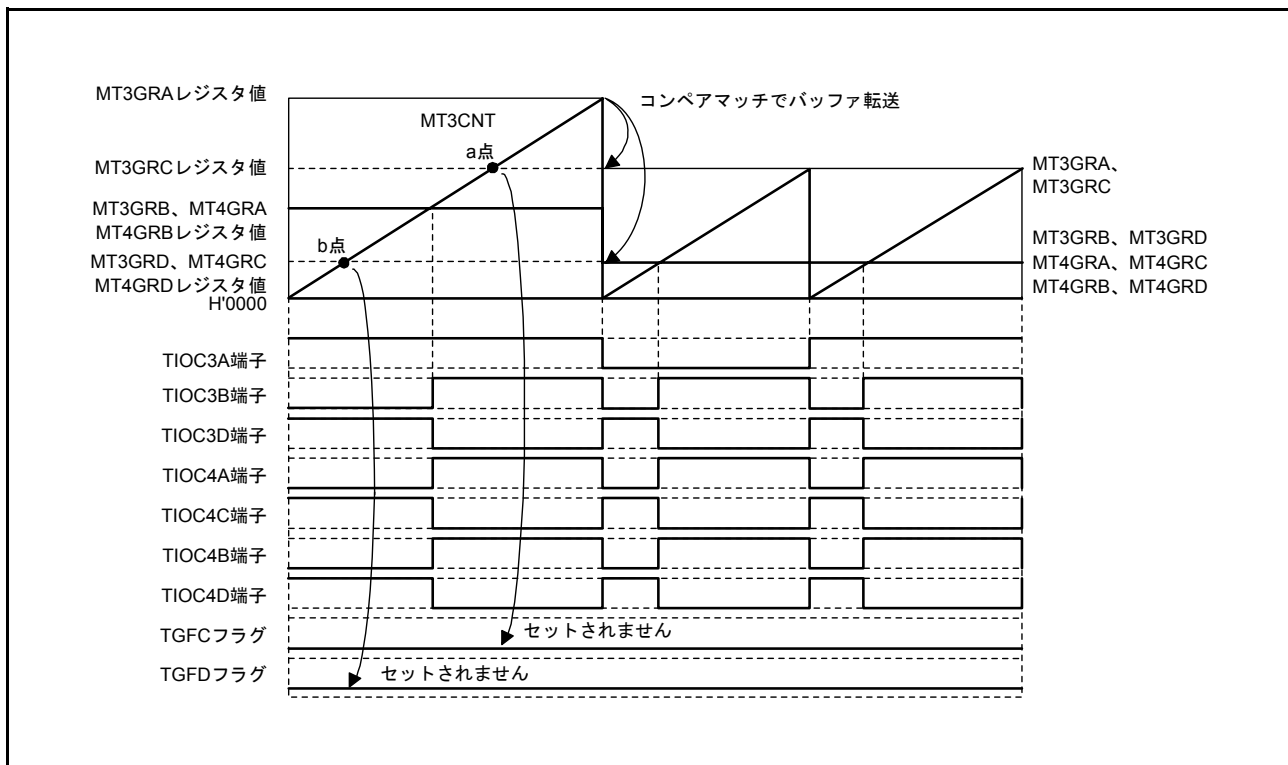


図 16.140 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

16.6.15 リセット同期 PWM モードのオーバーフローフラグ

リセット同期 PWM モードを設定し、MT01234STR (MT67STR) レジスタの CST3 (CST6) ビットを“1”に設定すると、MT3CNT カウンタと MT4CNT (MT6CNT と MT7CNT) カウンタのカウンタ動作が開始します。このとき、MT4CNT (MT7CNT) カウンタのカウンタクロックソースとカウンタエッジは MT3CR (MT6CR) レジスタの設定に従います。

リセット同期 PWM モードで周期レジスタ MT3GRA (MT6GRA) レジスタの設定値を“H'FFFF”とし、カウンタクリア要因に MT3GRA (MT6GRA) レジスタのコンペアマッチを指定した場合、MT3CNT、MT4CNT (MT6CNT、MT7CNT) カウンタがアップカウントし“H'FFFF”になると、MT3GRA (MT6GRA) レジスタとのコンペアマッチが発生し、MT3CNT、MT4CNT (MT6CNT、MT7CNT) カウンタともにカウンタクリアされます。このとき、MTSR レジスタのオーバーフローフラグ TCFV ビットはセットされません。

リセット同期 PWM モードで周期レジスタ MT3GRA (MT6GRA) レジスタの設定値を“H'FFFF”とし、カウンタクリア要因に MT3GRA (MT6GRA) レジスタのコンペアマッチを指定し、同期設定していない場合の TCFV ビットの動作例を図 16.141 に示します。

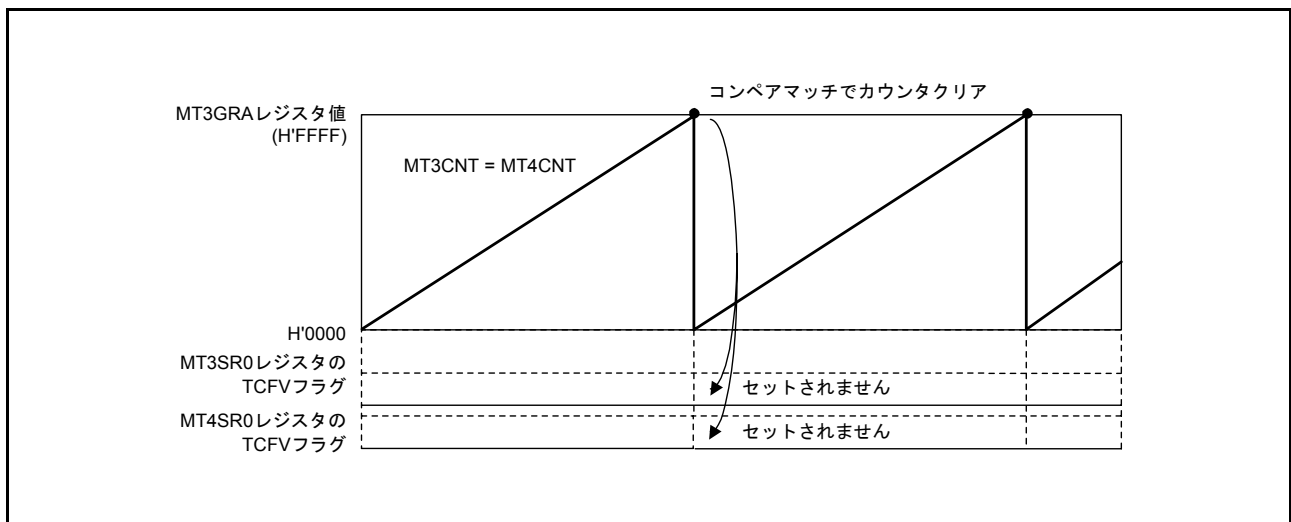


図 16.141 リセット同期 PWM モードのオーバーフローフラグ

16.6.16 オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、MTSR レジスタの TCFV/TCFU フラグはセットされず、MTCNT カウンタのクリアが優先されます。

MTGR レジスタのコンペアマッチをクリア要因とし、MTGR レジスタに“H'FFFF”を設定した場合の動作タイミングを図 16.142 に示します。

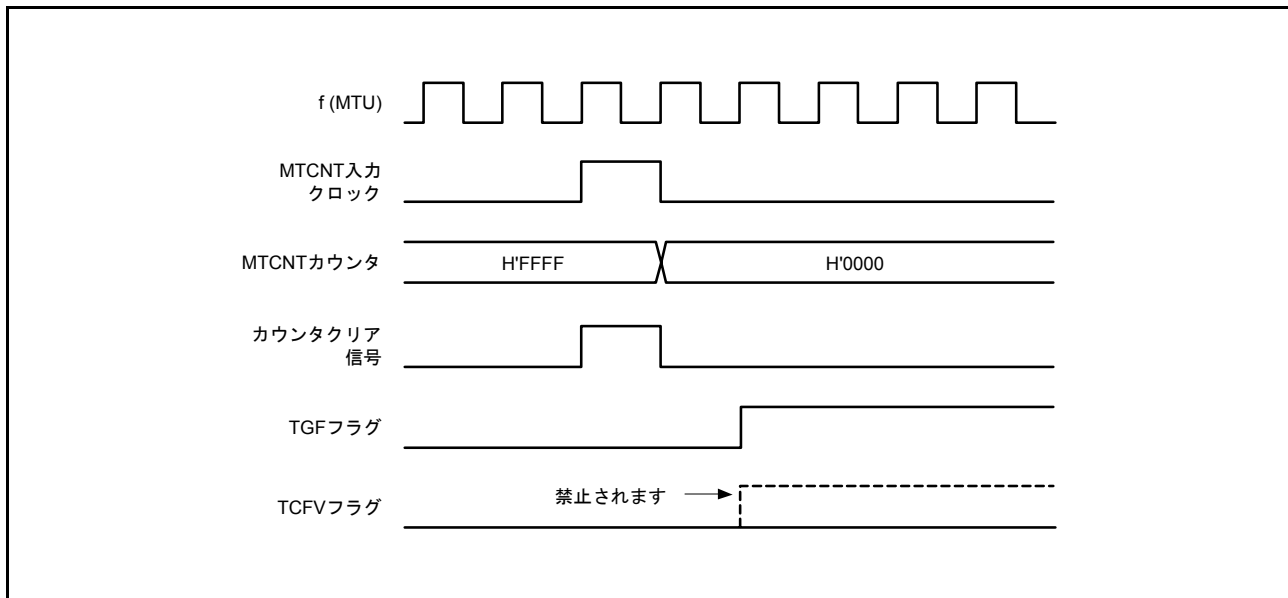


図 16.142 オーバフローとカウンタクリアの競合

16.6.17 MTCNT カウンタの書き込みとオーバフロー/アンダフローの競合

MTCNT カウンタの書き込みサイクル中の T2 ステートで、カウントアップ/カウントダウンが発生し、オーバフロー/アンダフローが発生しても、MTCNT カウンタへの書き込みが優先され、MTSR レジスタの TCFV/TCFU フラグはセットされません。

MTCNT カウンタの書き込みとオーバフロー競合時の動作タイミングを図 16.143 に示します。

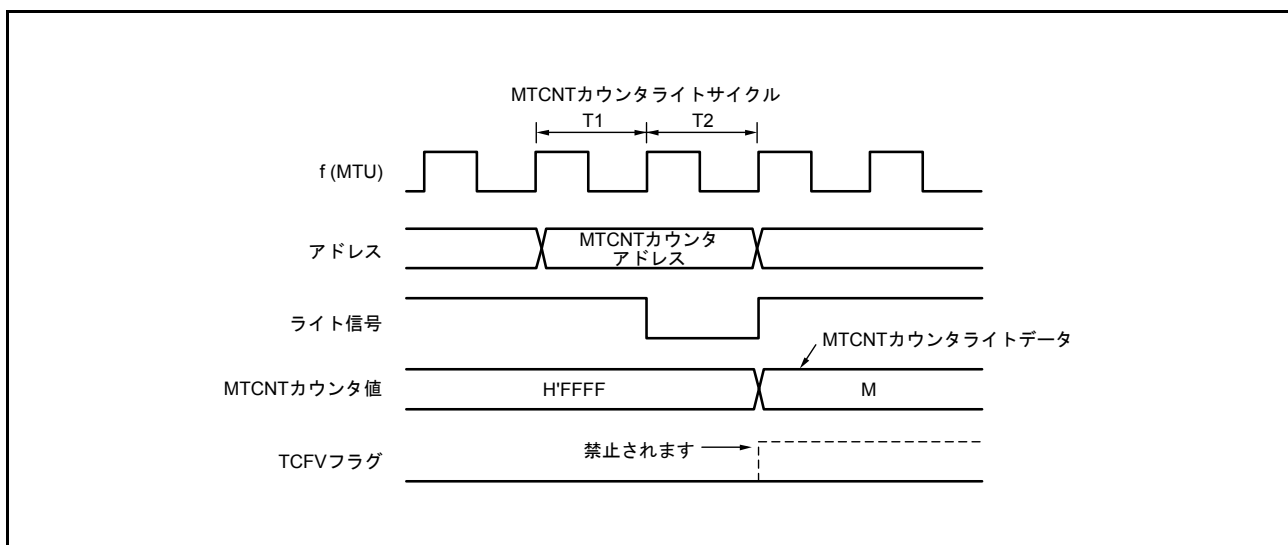


図 16.143 MTCNT カウンタの書き込みとオーバフローの競合

16.6.18 通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

チャンネル 3、4 (チャンネル 6、7) の通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合、出力端子 (TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、TIOC4D、TIOC6B、TIOC6D、TIOC7A、TIOC7C、TIOC7B、TIOC7D) を High レベルの状態にしたままカウンタを止め、リセット同期 PWM モードに遷移して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

通常動作からリセット同期 PWM モードに遷移する場合には、MT3IOCR0、MT3IOCR1、MT4IOCR0、MT4IOCR1 (MT6IOCR0、MT6IOCR1、MT7IOCR0、MT7IOCR1) レジスタに“H'11”を書いて出力端子を Low レベルに初期化した後、レジスタの初期値“H'00”を設定してからモード遷移を行ってください。

PWM モード 1 からリセット同期 PWM モードに遷移する場合には、いったん通常動作に遷移してから出力端子を Low レベルへ初期化した後、レジスタの初期値“H'00”を設定してからリセット同期 PWM モードに遷移してください。

16.6.19 相補 PWM モード、リセット同期 PWM モードの出力レベル

チャンネル 3、4 (チャンネル 6、7) が相補 PWM モードまたはリセット同期 PWM モードの場合、PWM 波形の出力レベルは MTOCR0 レジスタの OLSP、OLSN ビットで設定します。相補 PWM モードまたはリセット同期 PWM モードの場合、MTIOCR レジスタは“H'00”としてください。

16.6.20 カスケード接続における MT1CNT、MT2CNT カウンタ同時インプットキャプチャ

MT1CNT、MT2CNT カウンタをカスケード接続して、32ビットカウンタとして動作させている場合、TIOC1A 端子と TIOC2A 端子、または TIOC1B 端子と TIOC2B 端子に同時にインプットキャプチャ入力を行っても、MT1CNT、MT2CNT カウンタに入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、TIOC1A 端子、TIOC2A 端子、または TIOC1B 端子と TIOC2B 端子の取り込みタイミングにズレが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、MT1CNT カウンタ (上位 16 ビットのカウンタ) が MT2CNT カウンタ (下位 16 ビットのカウンタ) のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくは MT1CNT = “H'FFF1”、MT2CNT = “H'0000” の値を MT1GRA レジスタと MT2GRA レジスタ、もしくは MT1GRB レジスタと MT2GRB レジスタに転送すべきところを誤って MT1CNT = “H'FFF0”、MT2CNT = “H'0000” の値を転送します。

16.6.21 相補 PWM モードでの同期カウンタクリア時出力波形制御

相補 PWM モードにて、同期カウンタクリア時出力波形制御を有効 (MTWCR レジスタの WRE=1) とした状態で、条件 (1)、条件 (2) のいずれかを満たすと、下記の現象が発生します。

- PWM 出力端子のデッドタイムが短くなる (もしくは消失)。
- PWM 逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される。

条件 (1) 初期出力の抑止期間⑩にて、PWM 出力がデッドタイム期間中に、同期クリアする (図 16.144)。

条件 (2) 初期出力の抑止期間⑩、⑪にて、 $MT3GRB \leq MTDTD$ 、 $MT4GRA \leq MTDTD$ 、 $MT4GRB \leq MTDTD$ ($MT6GRB \leq MTDTD$ 、 $MT7GRA \leq MTDTD$ 、 $MT7GRB \leq MTDTD$) のいずれかが成立する状態で、同期クリアする (図 16.145)。

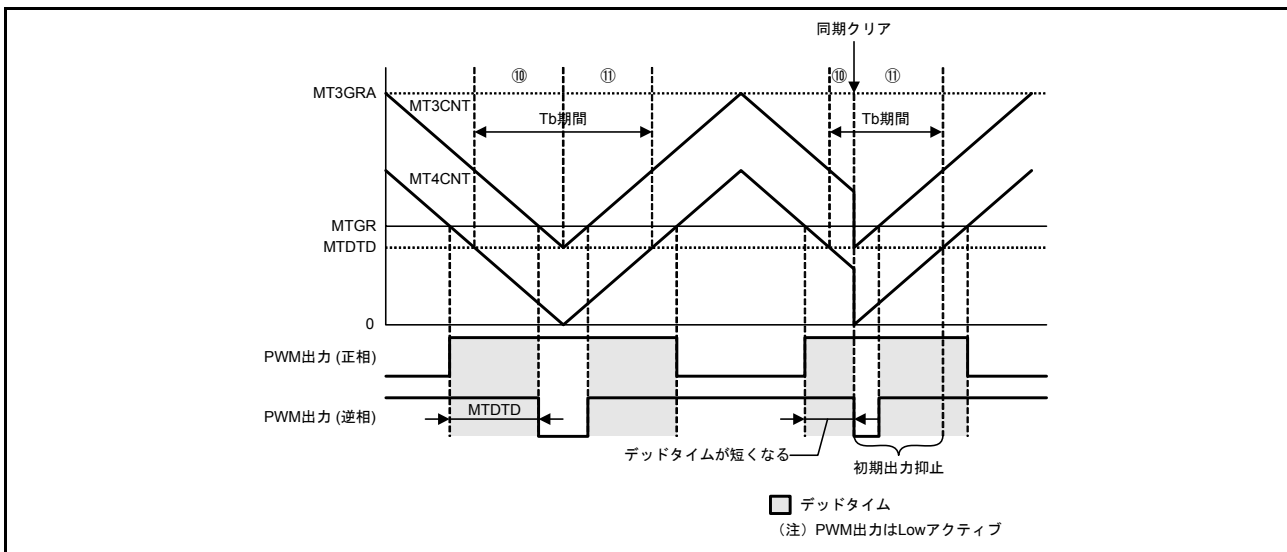


図 16.144 条件 (1) の同期クリア例

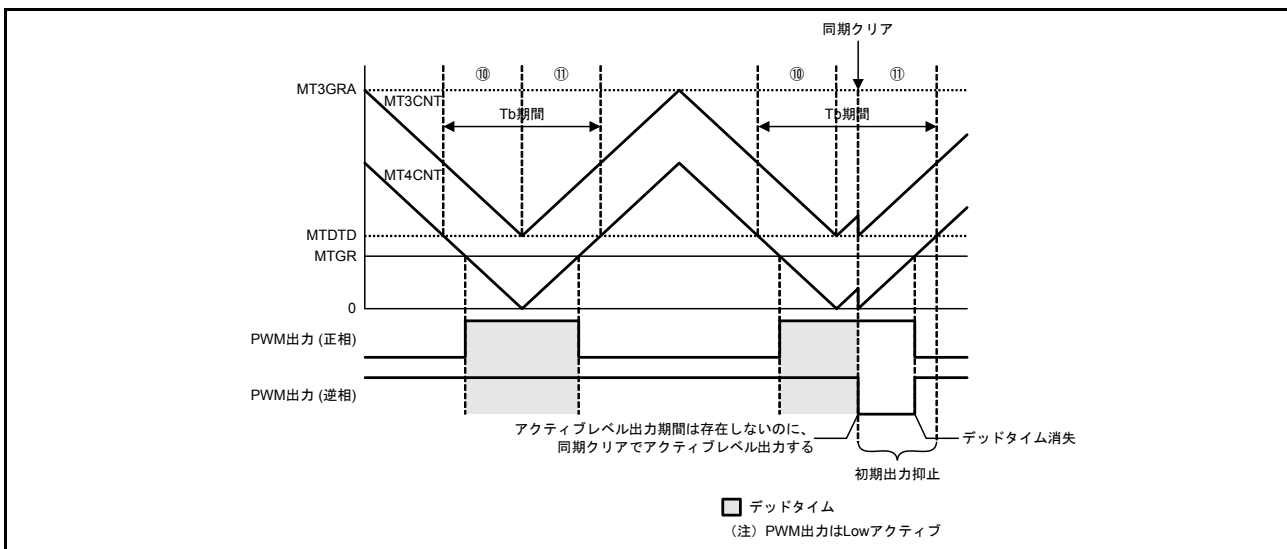


図 16.145 条件 (2) の同期クリア例

これらの現象を回避するには $MT3GRB \geq MTDTD \times 2$ 、 $MT4GRA \geq MTDTD \times 2$ 、 $MT4GRB \geq MTDTD \times 2$ ($MT6GRB \geq MTDTD \times 2$ 、 $MT7GRA \geq MTDTD \times 2$ 、 $MT7GRB \geq MTDTD \times 2$) のすべてが成立する状態で、同期クリアをしてください。

16.6.22 方形波出力切り替え機能

方形波出力切り替え機能を使用の際は、チャンネル3、チャンネル4のタイマプリスケラビット(MTCRレジスタのTPSC[2:0]ビット)は必ず“000”(内部クロック:MTU動作クロックの分周なしでカウント)に設定してください。これ以外に設定した場合、方形波出力切り替え時のデッドタイムが正しく出力されません。

16.6.23 割り込み間引き機能2

割り込み間引き機能2を使用し、かつTADCORA_4値とTADCORB_4値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでのA/D変換要求が発生しない場合があります。以下の設定条件で使用してください。

チャンネル6、7の場合は、TADCORA_7、TADCORB_7も同様の設定が必要となります。

1. 間引き機能2、間引き回数が0の場合

- TADCORA_4レジスタ値とTADCORB_4レジスタ値との間隔が「4」以上
- TADCORA_4のコンペア間隔が $4PM\phi$ 以上 (TADCORA_4レジスタの更新値を「前値+4以上」、「前値-4以下」に設定)
- TADCORB_4のコンペア間隔が $4PM\phi$ 以上 (TADCORB_4レジスタの更新値を「前値+4以上」、「前値-4以下」に設定)

2. 間引き機能2、間引き回数が1以上の場合

- TADCORA_4レジスタ値とTADCORB_4レジスタ値との間隔が「2」以上
- TADCORB_4のコンペア間隔が $2PM\phi$ 以上 (TADCORB_4レジスタの更新値を「前値+2以上」、「前値-2以下」に設定)

16.7 MTU-III 出力端子の初期化方法

16.7.1 動作モード

MTU-III には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (チャンネル 0~4、6、7)
- PWM モード 1 (チャンネル 0~4、6、7)
- PWM モード 2 (チャンネル 0~2)
- 位相計数モード 1~4 (チャンネル 1、2)
- 相補 PWM モード (チャンネル 3、4、6、7)
- リセット同期 PWM モード (チャンネル 3、4、6、7)

ここでは、各モードでの MTU-III 出力端子の初期化方法について示します。

16.7.2 リセットスタート時の動作

MTU-III の出力端子 (TIOC (注 1)) はリセット時に Low レベルに初期化されます。MTU-III の端子機能の設定については、「13. I/O ポート」を参照してください。設定された時点でそのときの MTU-III の端子の状態がポートに出力されます。リセット直後に MTU-III の出力を選択した場合、ポート出力には MTU-III 出力の初期状態 Low レベルがそのまま出力されます。アクティブレベルが Low レベルの場合、ここでシステムが動作してしまうため、端子機能の設定は MTU-III の出力端子の初期設定終了後に行ってください。

注 1. チャンネル番号 + ポート記号が入ります。

16.7.3 動作中の異常などによる再設定時の動作

MTU-III の動作中に異常が発生した場合、システムで MTU-III の出力を遮断してください。遮断は端子の出力を端子機能の設定でポート出力に切り替え、アクティブレベルの反転を出力することにより行います。また、PWM 出力端子に関してはポートアウトプットイネーブル (POE) を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU-III には前述のように 6 つの動作モードがあります。モード遷移の組み合わせは 36 とおりとなりますがチャンネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を表 16.78 に示します。

表 16.78 モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

【記号説明】 Normal: ノーマルモード、PWM1: PWM モード 1、PWM2: PWM モード 2、PCM: 位相計数モード 1~4、CPWM: 相補 PWM モード、RPWM: リセット同期 PWM モード

16.7.4 動作中の異常などによる端子の初期化手順、モード遷移の概要

- MTIOCR レジスタの設定で端子の出力レベルを選択するモード (Normal、PWM1、PWM2、PCM) に遷移する場合は MTIOCR レジスタの設定により端子を初期化してください。
- PWM モード 1 では TIOC*B (TIOC*D) 端子 (注 1) に波形が出力されないため、MTIOCR レジスタを設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWM モード 1 に遷移してください。
- PWM モード 2 では周期レジスタの端子に波形が出力されないため、MTIOCR レジスタを設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWM モード 2 に遷移してください。
- ノーマルモードまたは PWM モード 2 では MTGRC、MTGRD レジスタがバッファレジスタとして動作している場合、MTIOCR レジスタを設定してもバッファレジスタの端子は初期化されません。初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- PWM モード 1 では MTGRC、MTGRD レジスタのいずれか一方がバッファレジスタとして動作している場合、MTIOCR レジスタを設定しても MTGRC レジスタの端子は初期化されません。MTGRC レジスタの端子を初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- MTOCR0、MTOCR1 レジスタの設定で端子の出力レベルを選択するモード (CPWM、RPWM) に遷移する場合は、ノーマルモードに遷移し MTIOCR レジスタで初期化、MTIOCR レジスタを初期値に戻したのち MTOEN レジスタでチャンネル 3、4 (チャンネル 6、7) を一度出力禁止としてください。その後モード設定手順 (MT34OCR0 レジスタ設定、MT34OCR1 レジスタ設定、MTMD0 レジスタ設定、MT34OEN レジスタ設定 (MT67OCR0 レジスタ設定、MT67OCR1 レジスタ設定、MTMD0 レジスタ設定、MT67OEN レジスタ設定)) に従い動作させてください。

注 1. 本項記述中の * にはチャンネル番号が入ります。

以下、表 16.78 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは Low レベルとします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

図 16.146 にノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を示します。

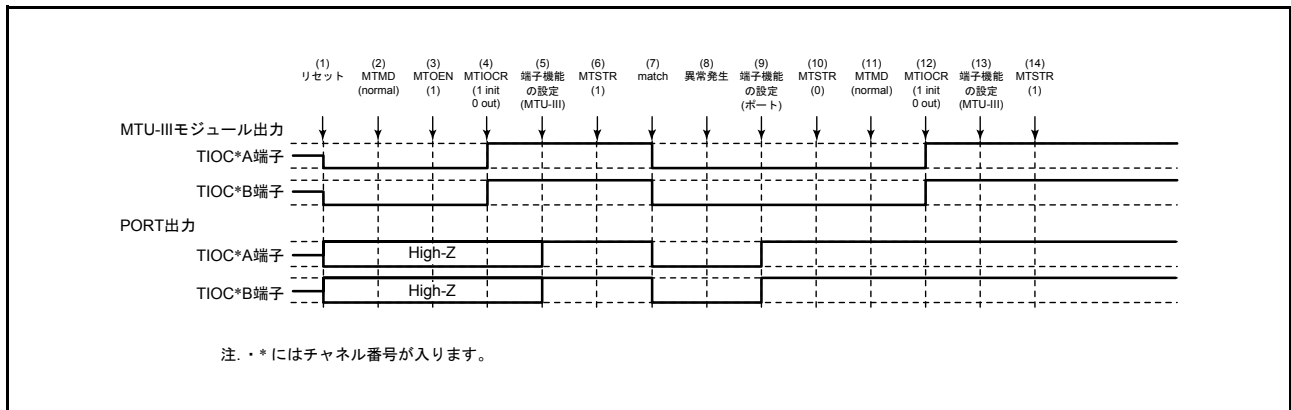


図 16.146 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU-III 出力は Low レベル、ポートはハイインピーダンスになります。
- (2) リセットにより MTMD0 レジスタはノーマルモード設定になります。
- (3) チャンネル 3、4 では MTIOCR レジスタで端子を初期化する前に MT34OEN レジスタで出力を許可してください。
- (4) MTIOCR レジスタで端子を初期化してください (例は初期出力は High レベル、コンペアマッチで Low レベル出力です)。
- (5) 端子機能の設定 (注 1) により MTU-III 出力としてください。
- (6) MT01234STR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により Low レベルを出力します。
- (8) 異常が発生しました。
- (9) 端子機能の設定 (注 1) によりポート出力とし、アクティブレベルの反転を出力してください。
- (10) MT01234STR レジスタでカウント動作を停止します。
- (11) ノーマルモードで再スタートする場合は必要ありません。
- (12) MTIOCR レジスタで端子を初期化してください。
- (13) 端子機能の設定 (注 1) により MTU-III 出力としてください。
- (14) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

図 16.147 にノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を示します。

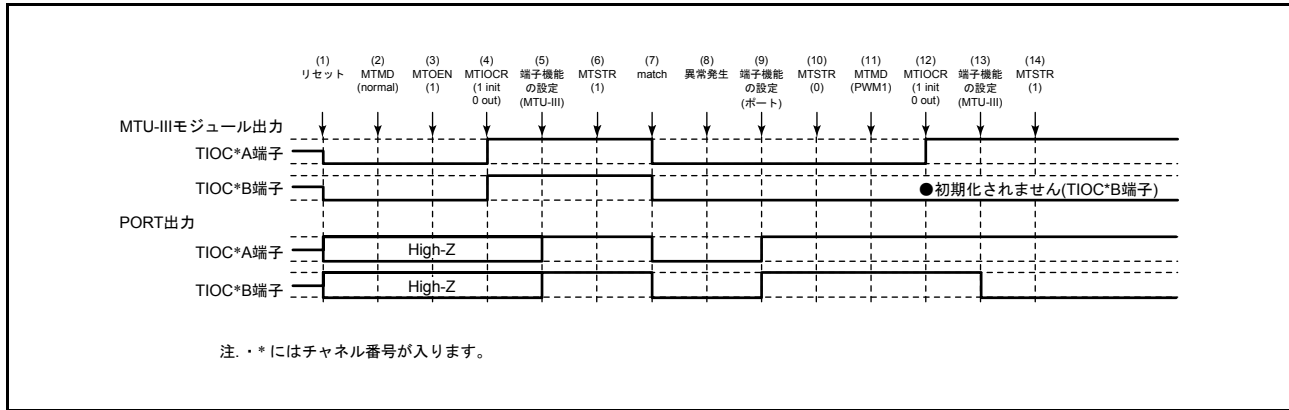


図 16.147 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1)～(10)は図 16.146 と共通です。

(11) PWM モード 1 を設定します。

(12) MTIOCR レジスタで端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません。初期化したい場合はノーマルモードで初期化した後、PWM モード 1 に遷移してください)。

(13) 端子機能の設定 (注 1) により MTU-III 出力としてください。

(14) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(3) ノーマルモードで動作中に異常が発生し、PWM モード2 で再スタートする場合の動作

図 16.148 にノーマルモードで異常が発生し、再設定後 PWM モード2 で再スタートする場合の説明図を示します。

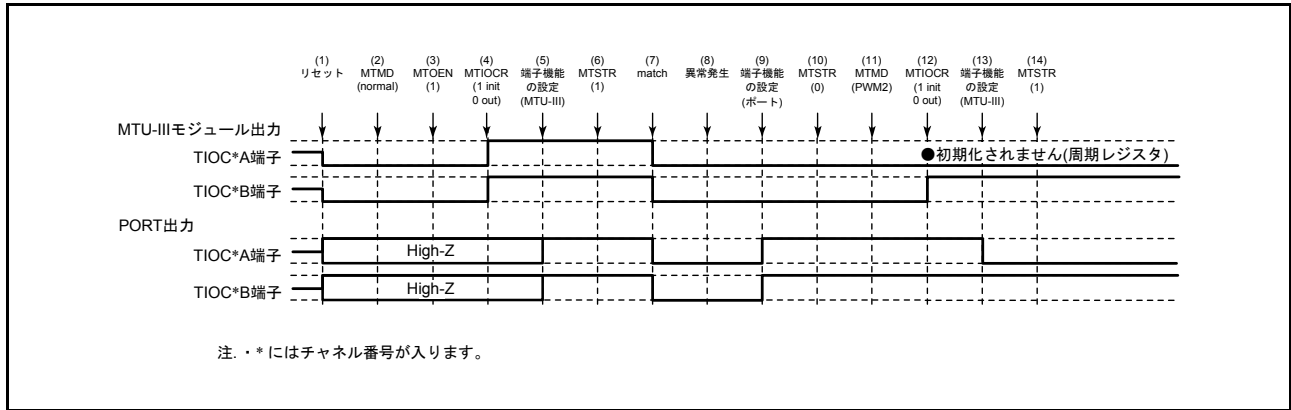


図 16.148 ノーマルモードで異常が発生し、PWM モード2 で復帰する場合

(1)~(10) は図 16.146 と共通です。

(11) PWM モード2 を設定します。

(12) MTIOCR レジスタで端子を初期化してください (PWM モード2 では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード2 に遷移してください)。

(13) 端子機能の設定 (注 1) により MTU-III 出力としてください。

(14) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

注. • PWM モード2 はチャンネル0~2でのみ設定可能です。したがって MT34OEN レジスタの設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

図 16.149 にノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を示します。

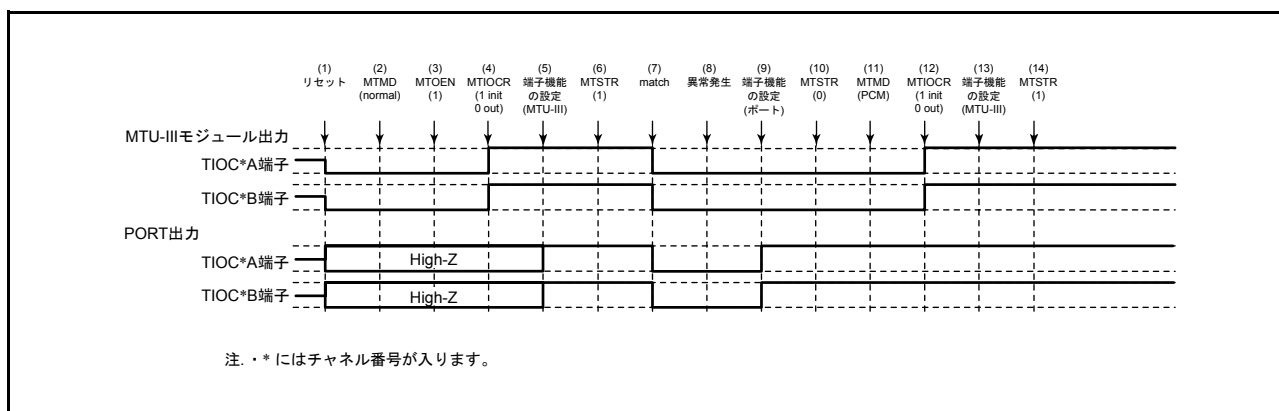


図 16.149 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

(1)~(10)は図 16.146 と共通です。

(11) 位相計数モードを設定します。

(12) MTIOCR レジスタで端子を初期化してください。

(13) 端子機能の設定 (注 1) により MTU-III 出力としてください。

(14) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

注. 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって MT34OEN レジスタの設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

図 16.150 にノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を示します。

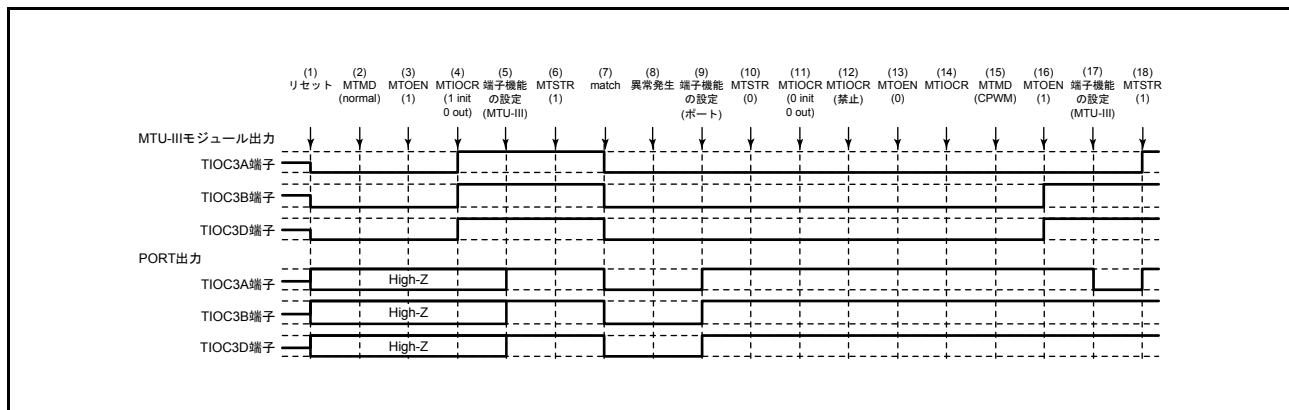


図 16.150 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1)～(10) は図 16.146 と共通です。

(11) MTIOCR レジスタでノーマルモードの波形生成部を初期化してください。

(12) MTIOCR レジスタでノーマルモードの波形生成部の動作を禁止してください。

(13) MT34OEN レジスタでチャンネル 3、4 の出力を禁止してください。

(14) MT34OCR0、MT34OCR1 レジスタで相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) 相補 PWM を設定します。

(16) MT34OEN レジスタでチャンネル 3、4 の出力を許可してください。

(17) 端子機能 (注 1) の設定により MTU-III 出力としてください。

(18) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

図 16.151 にノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を示します。

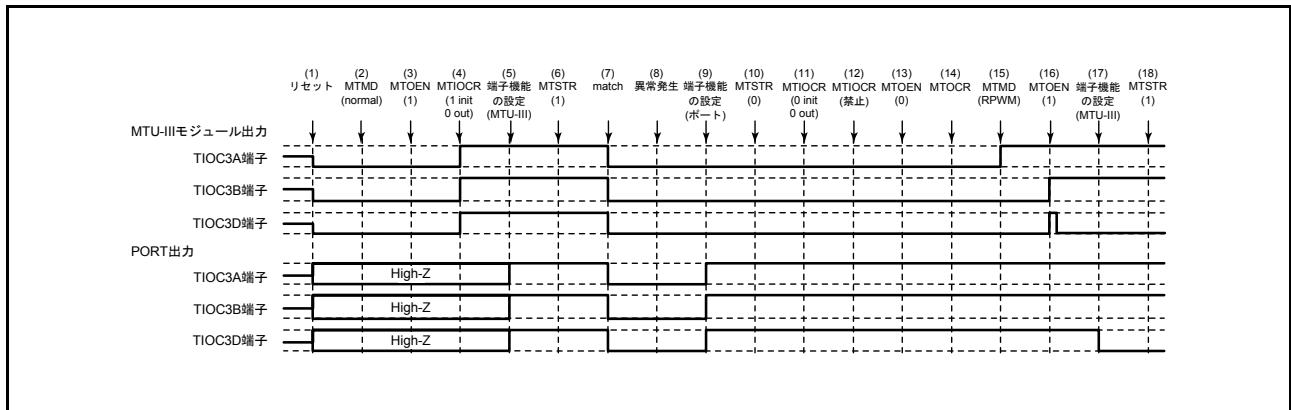


図 16.151 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1)～(13) は図 16.146 と共通です。

(14) MT34OCR0、MT34OCR1 レジスタでリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) リセット同期 PWM を設定します。

(16) MT34OEN レジスタでチャンネル 3、4 の出力を許可してください。

(17) 端子機能 (注 1) の設定により MTU-III 出力としてください。

(18) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

図 16.152 に PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を示します。

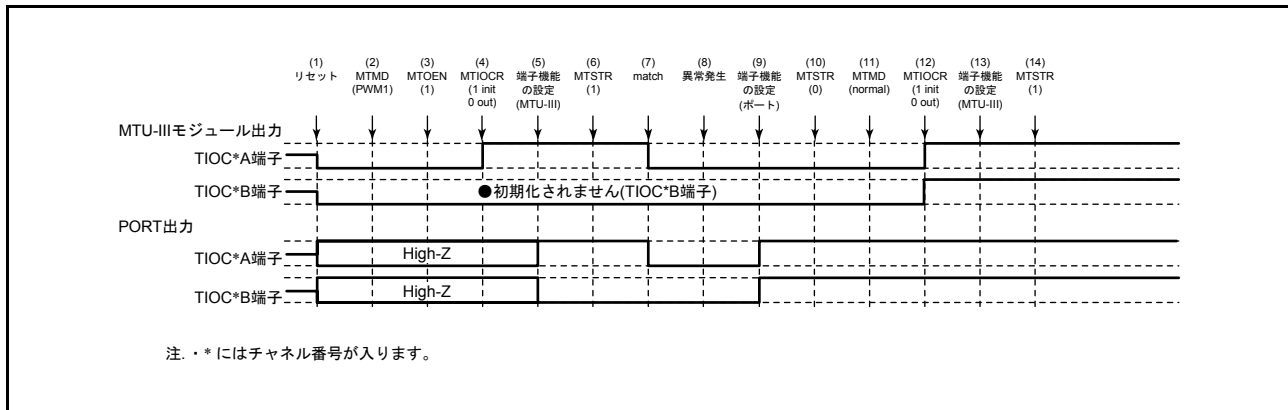


図 16.152 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU-III 出力は Low レベル、ポートはハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) チャンネル 3,4 では MTIOCR レジスタで端子を初期化する前に MT34OEN レジスタで出力を許可してください。
- (4) MTIOCR レジスタで端子を初期化してください (例は初期出力は High レベル、コンペアマッチで Low レベル出力です。PWM モード 1 では TIOC*B 側は初期化されません)。
- (5) 端子機能の設定 (注 1) により MTU-III 出力としてください。
- (6) MT01234STR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により Low レベルを出力します。
- (8) 異常が発生しました。
- (9) 端子機能の設定 (注 1) によりポート出力とし、アクティブレベルの反転を出力してください。
- (10) MT01234STR レジスタでカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) MTIOCR レジスタで端子を初期化してください。
- (13) 端子機能の設定 (注 1) により MTU-III 出力としてください。
- (14) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

図 16.153 に PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を示します。

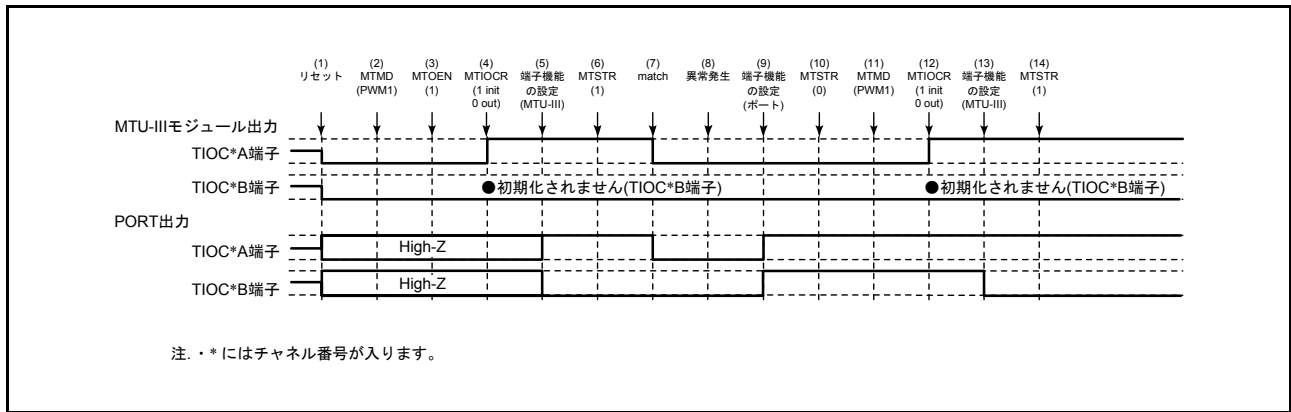


図 16.153 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1)～(10)は図 16.152 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) MTIOCR レジスタで端子を初期化してください(PWM モード 1 では TIOC*B 側は初期化されません)。

(13) 端子機能の設定(注 1)により MTU-III 出力としてください。

(14) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

図 16.154 に PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を示します。

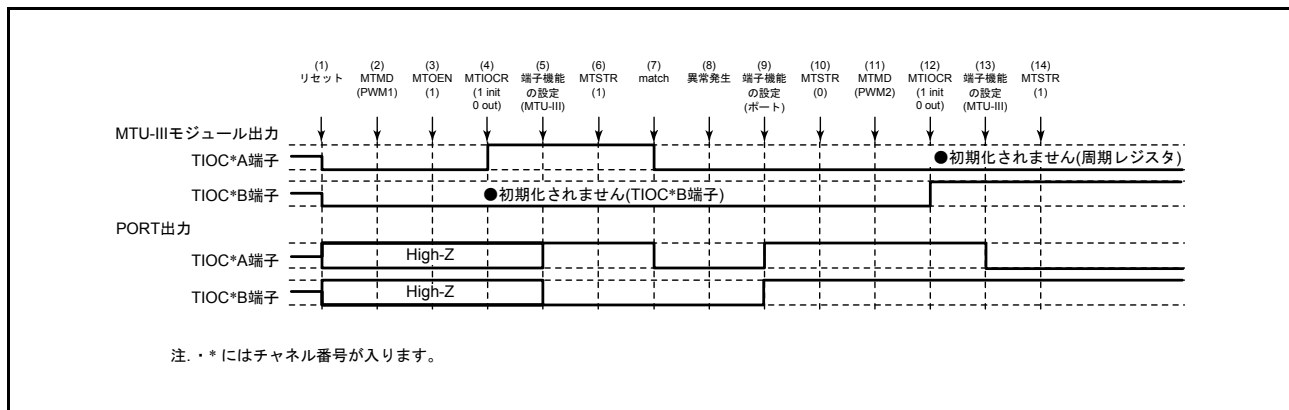


図 16.154 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1)～(10) は図 16.152 と共通です。

(11) PWM モード 2 を設定します。

(12) MTIOCR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(13) 端子機能の設定 (注 1) により MTU-III 出力としてください。

(14) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

注・・・ PWM モード 2 はチャンネル 0～2 でのみ設定可能です。したがって MT34OEN レジスタの設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

図 16.155 に PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を示します。

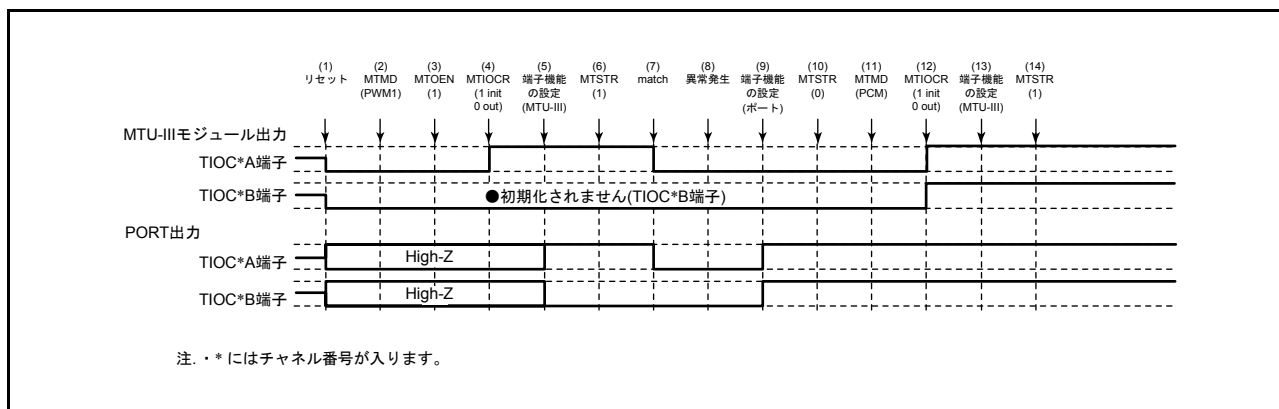


図 16.155 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

(1)~(10)は図 16.152 と共通です。

(11) 位相計数モードを設定します。

(12) MTIOCR レジスタで端子を初期化してください。

(13) 端子機能の設定 (注 1) により MTU-III 出力としてください。

(14) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

注. . 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって MT34OEN レジスタの設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

図 16.156 に PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を示します。

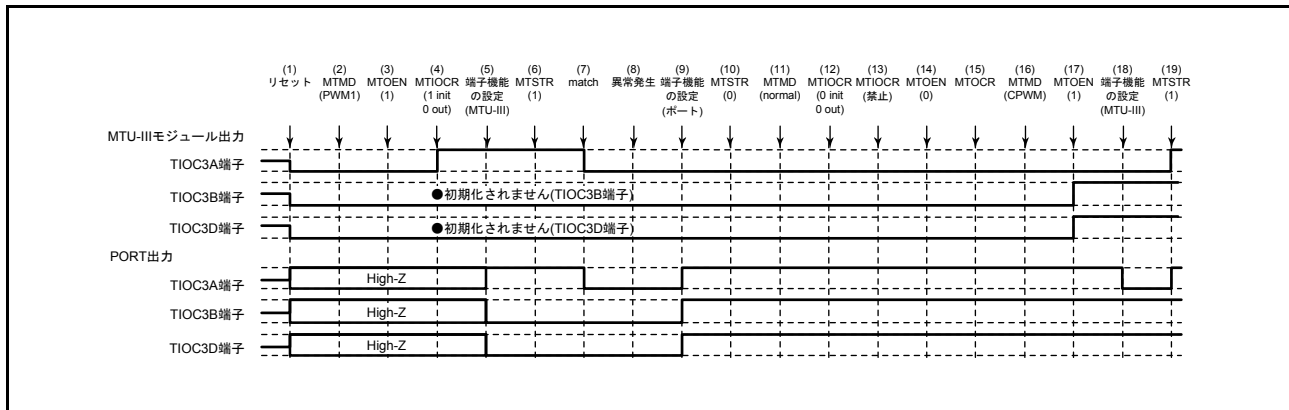


図 16.156 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

(1)～(10) は図 16.152 と共通です。

(11) 波形生成部の初期化のためノーマルモードを設定してください。

(12) MTIOCR レジスタで PWM モード 1 の波形生成部を初期化してください。

(13) MTIOCR レジスタで PWM モード 1 の波形生成部の動作を禁止してください

(14) MT34OEN レジスタでチャンネル 3、4 の出力を禁止してください。

(15) MT34OCR0、MT34OCR1 レジスタで相補PWMの出力レベルと周期出力の許可禁止を選択してください。

(16) 相補 PWM を設定します。

(17) MT34OEN レジスタでチャンネル 3、4 の出力を許可してください。

(18) 端子機能の設定 (注 1) により MTU-III 出力としてください。

(19) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

図 16.157 に PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を示します。

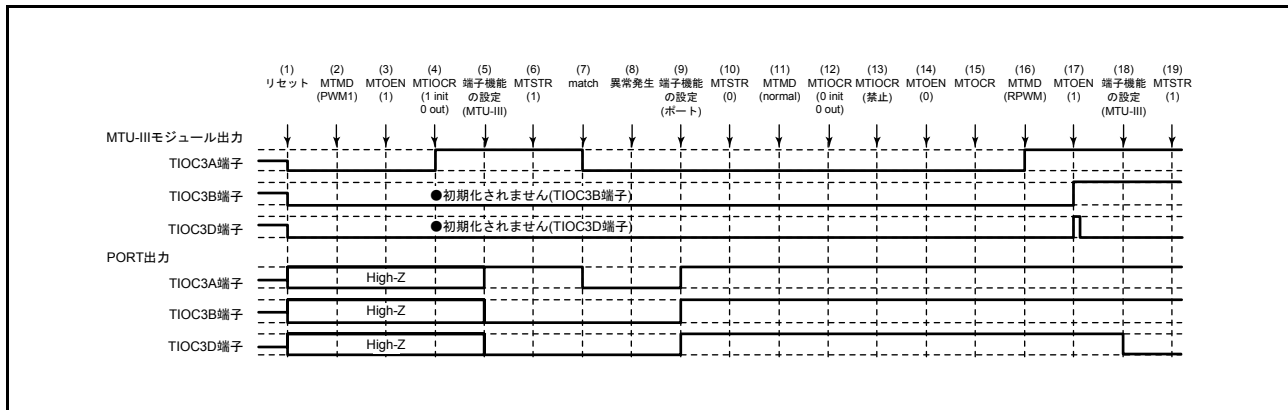


図 16.157 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1)～(14) は図 16.156 と共通です。

(15) MT34OCR0、MT34OCR1 レジスタでリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) リセット同期 PWM を設定します。

(17) MT34OEN レジスタでチャンネル 3、4 の出力を許可してください。

(18) 端子機能の設定 (注 1) により MTU-III 出力としてください。

(19) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

図 16.158 に PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を示します。

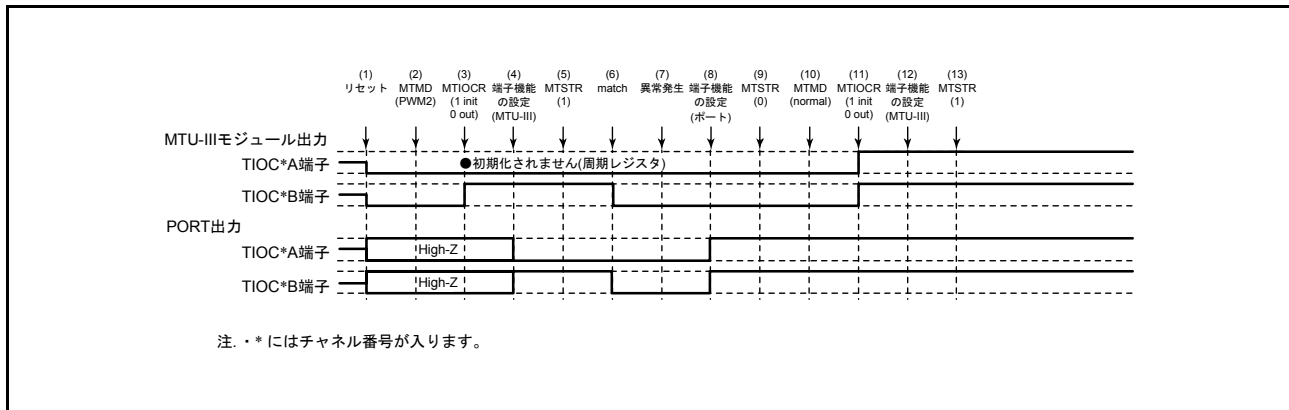


図 16.158 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU-III 出力は Low レベル、ポートはハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) MTIOCR レジスタで端子を初期化してください (例は初期出力は High レベル、コンペアマッチで Low レベル出力です。
PWMモード2では周期レジスタの端子は初期化されません。例はTIOC*Aが周期レジスタの場合です)。
- (4) 端子機能の設定 (注 1) により MTU-III 出力としてください。
- (5) MT01234STR レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により Low レベルを出力します。
- (7) 異常が発生しました。
- (8) 端子機能の設定 (注 1) によりポート出力とし、アクティブレベルの反転を出力してください。
- (9) MT01234STR レジスタでカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) MTIOCR レジスタで端子を初期化してください。
- (12) 端子機能の設定 (注 1) により MTU-III 出力としてください。
- (13) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

図 16.159 に PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を示します。

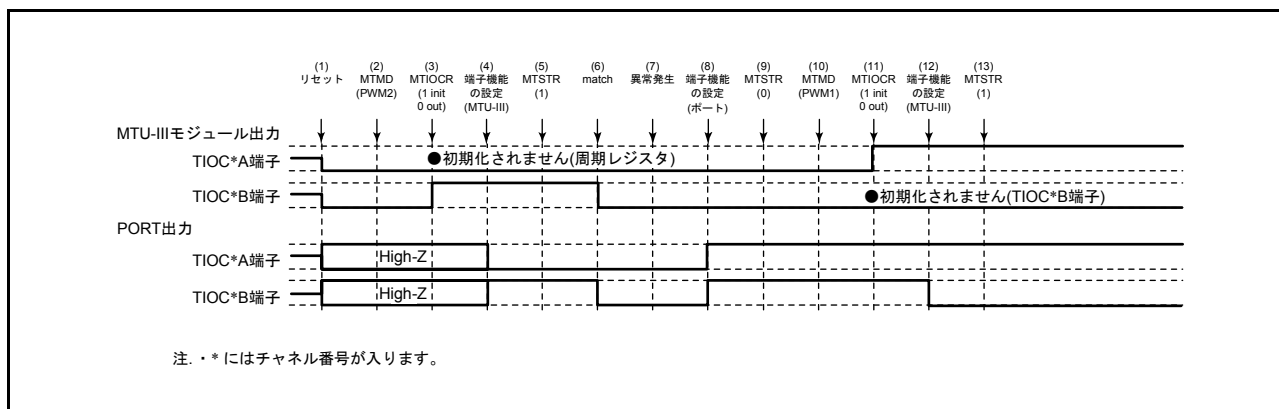


図 16.159 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

(1)~(9) は図 16.158 と共通です。

(10) PWM モード 1 を設定します。

(11) MTIOCR レジスタで端子を初期化してください(PWM モード 1 では TIOC*B 側は初期化されません)。

(12) 端子機能の設定 (注 1) により MTU-III 出力としてください。

(13) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

図 16.160 に PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を示します。

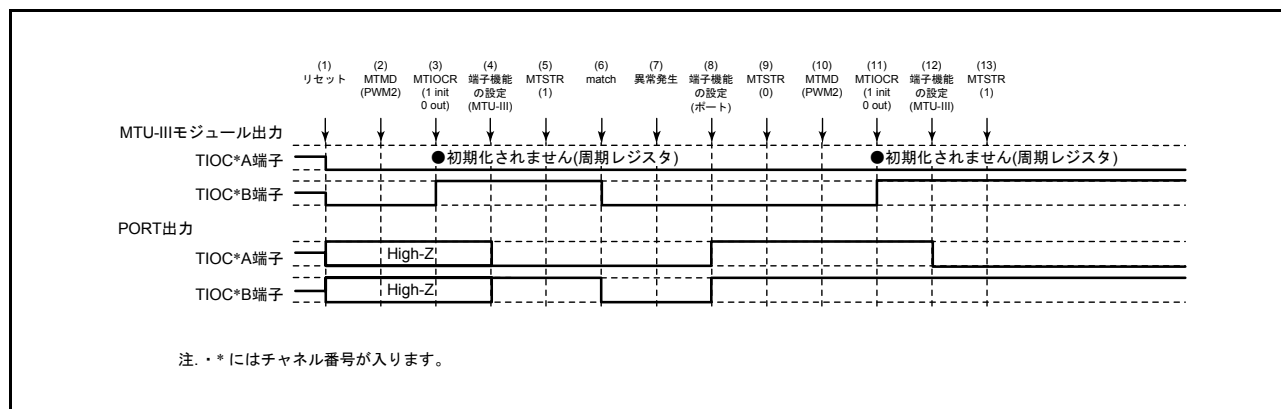


図 16.160 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1)～(9)は図 16.158 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) MTIOCR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(12) 端子機能の設定 (注 1) により MTU-III 出力としてください。

(13) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

図 16.161 に PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を示します。

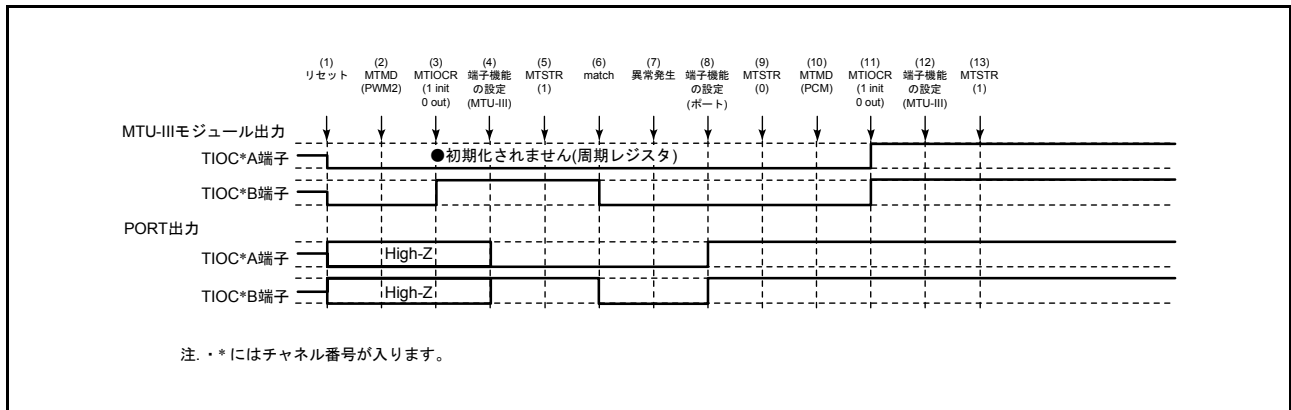


図 16.161 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

- (1)~(9) は図 16.158 と共通です。
- (10) 位相計数モードを設定します。
- (11) MTIOCR レジスタで端子を初期化してください。
- (12) 端子機能の設定 (注 1) により MTU-III 出力としてください。
- (13) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

図 16.162 に位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を示します。

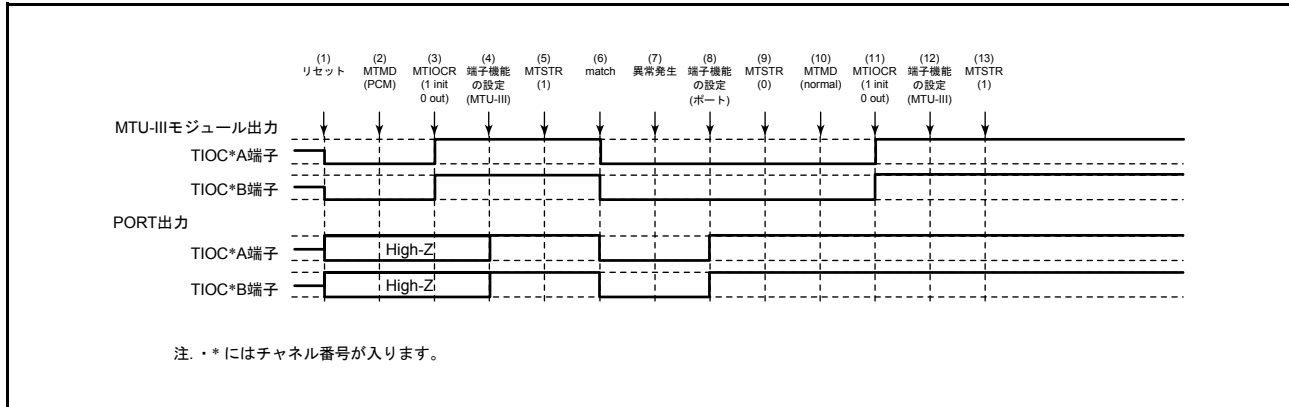


図 16.162 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU-III 出力は Low レベル、ポートはハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) MTIOCR レジスタで端子を初期化してください (例は初期出力は High レベル、コンペアマッチで Low レベル出力です)。
- (4) 端子機能の設定 (注 1) により MTU-III 出力としてください。
- (5) MT01234STR レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により Low レベルを出力します。
- (7) 異常が発生しました。
- (8) 端子機能の設定 (注 1) によりポート出力とし、アクティブレベルの反転を出力してください。
- (9) MT01234STR レジスタでカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) MTIOCR レジスタで端子を初期化してください。
- (12) 端子機能の設定 (注 1) により MTU-III 出力としてください。
- (13) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(18) 位相計数モードで動作中に異常が発生し、PWM モード1で再スタートする場合の動作

図 16.163 に位相計数モードで異常が発生し、再設定後 PWM モード1で再スタートする場合の説明図を示します。

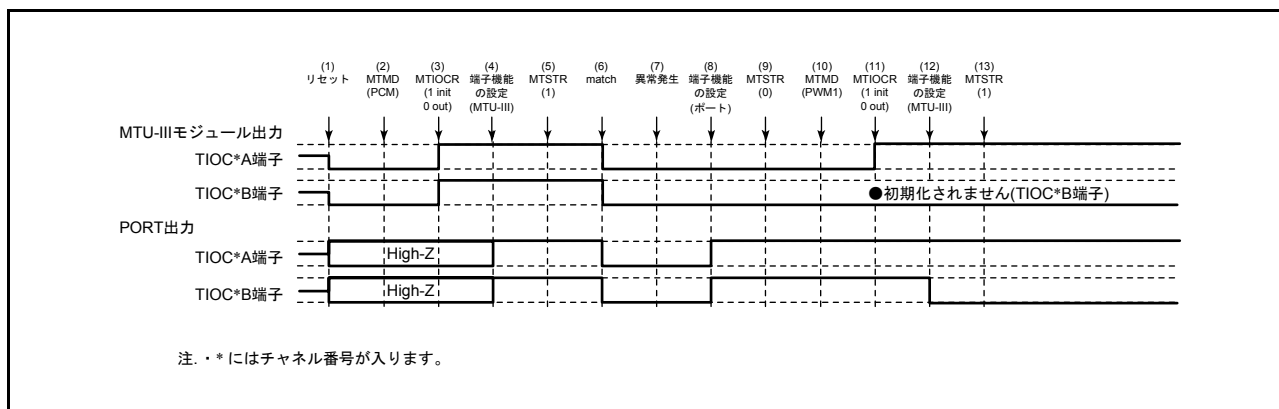


図 16.163 位相計数モードで異常が発生し、PWM モード1で復帰する場合

(1)～(9)は図 16.162 と共通です。

(10) PWM モード1を設定します。

(11) MTIOCR レジスタで端子を初期化してください(PWM モード1では TIOC*B側は初期化されません)。

(12) 端子機能の設定(注1)により MTU-III 出力としてください。

(13) MT01234STR レジスタで再スタートします。

注1. 端子機能の設定については、「13. I/Oポート」を参照してください。

(19) 位相計数モードで動作中に異常が発生し、PWM モード2 で再スタートする場合の動作

図 16.164 に位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を示します。

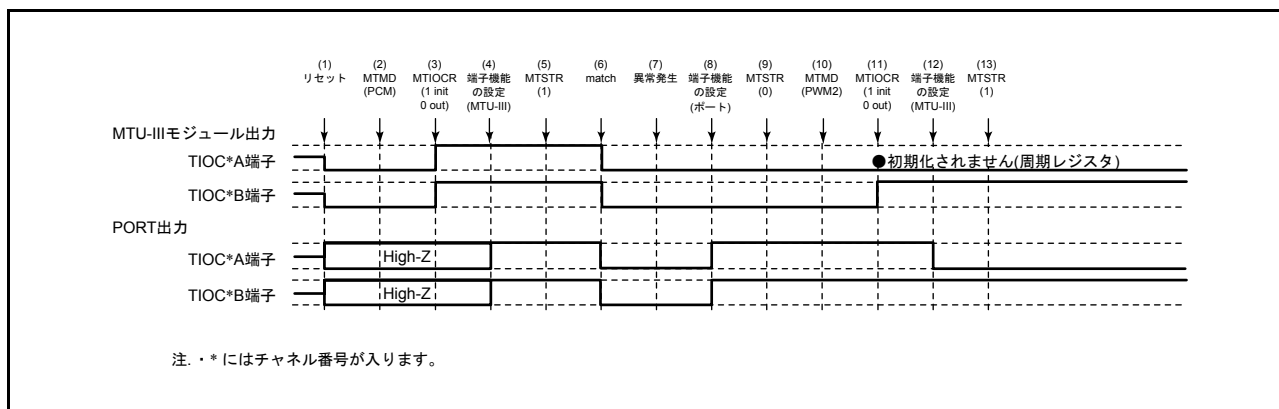


図 16.164 位相計数モードで異常が発生し、PWM モード2 で復帰する場合

(1)~(9) は図 16.162 と共通です。

(10) PWM モード2 を設定します。

(11) MTIOCR レジスタで端子を初期化してください (PWM モード2 では周期レジスタの端子は初期化されません)。

(12) 端子機能の設定 (注 1) により MTU-III 出力としてください。

(13) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

図 16.165 に位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を示します。

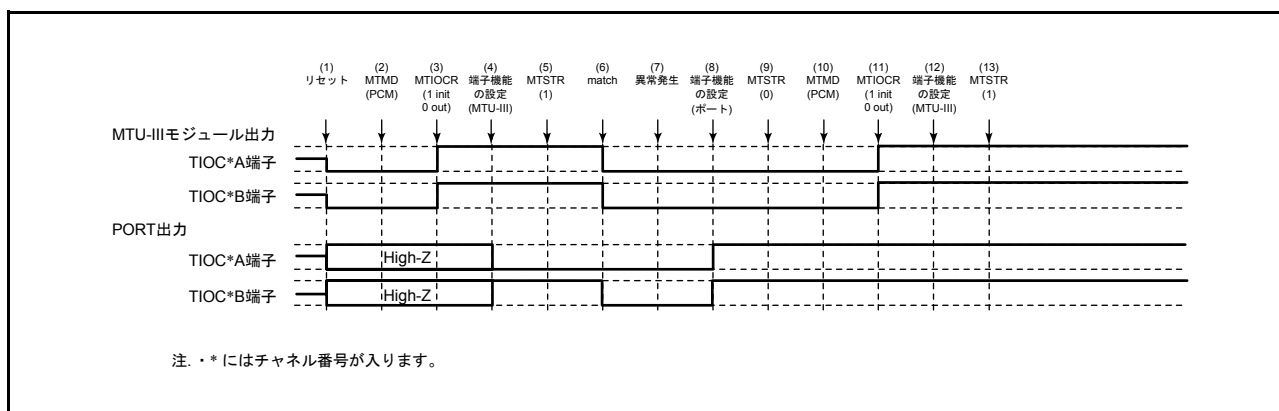


図 16.165 位相計数モードで異常が発生し、位相計数モードで復帰する場合

(1)~(9) は図 16.162 と共通です。

(10) 位相計数モードで再スタートする場合には必要ありません。

(11) MTIOCR レジスタで端子を初期化してください。

(12) 端子機能の設定 (注 1) により MTU-III 出力としてください。

(13) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

図 16.166 に相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を示します。

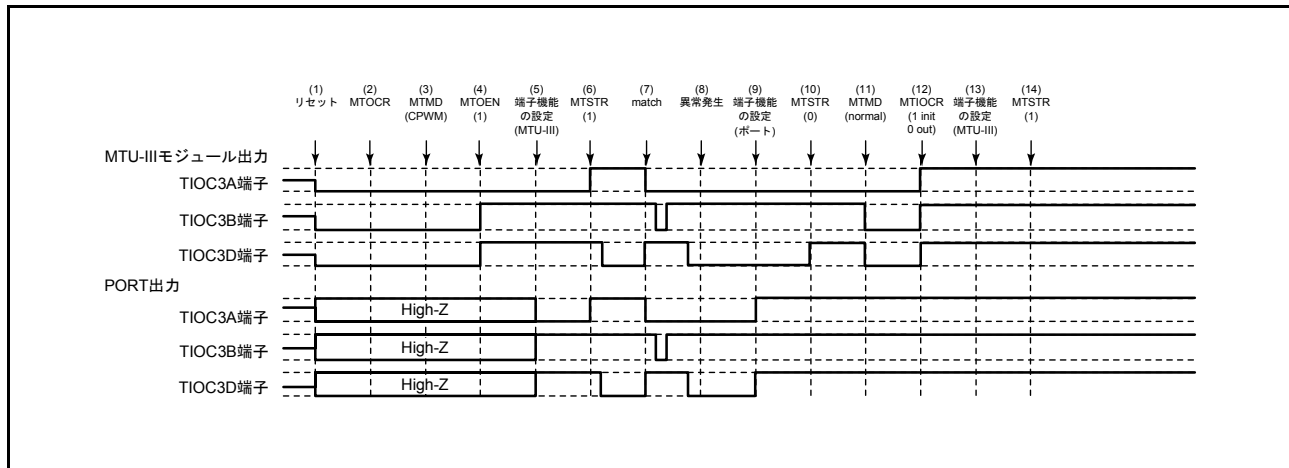


図 16.166 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU-III 出力は Low レベル、ポートはハイインピーダンスになります。
- (2) MT34OCR0、MT34OCR1 レジスタで相補PWMの出力レベルと周期出力の許可禁止を選択してください。
- (3) 相補 PWM を設定します。
- (4) MT34OEN レジスタでチャンネル 3、4 の出力を許可してください。
- (5) 端子機能の設定 (注 1) により MTU-III 出力としてください。
- (6) MT01234STR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) 端子機能の設定 (注 1) によりポート出力とし、アクティブレベルの反転を出力してください。
- (10) MT01234STR レジスタでカウント動作を停止します(MTU-III出力は相補PWM出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU-III 出力は Low レベルとなります)。
- (12) MTIOCR レジスタで端子を初期化してください。
- (13) 端子機能の設定 (注 1) により MTU-III 出力としてください。
- (14) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

図 16.167 に相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を示します。

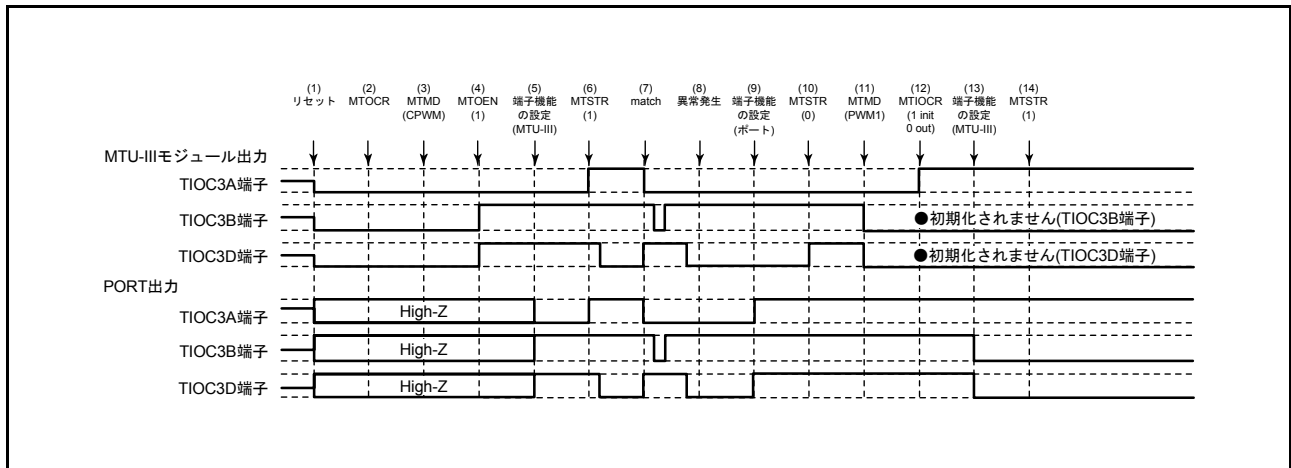


図 16.167 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1)～(10)は図 16.166 と共通です。

(11) PWM モード 1 を設定してください (MTU-III 出力は Low レベルとなります)。

(12) MTIOCR レジスタで端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) 端子機能の設定 (注 1) により MTU-III 出力としてください。

(14) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

図 16.168 に相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を示します(周期、デューティ設定をカウンタを止めたときの値から再スタートする場合)。

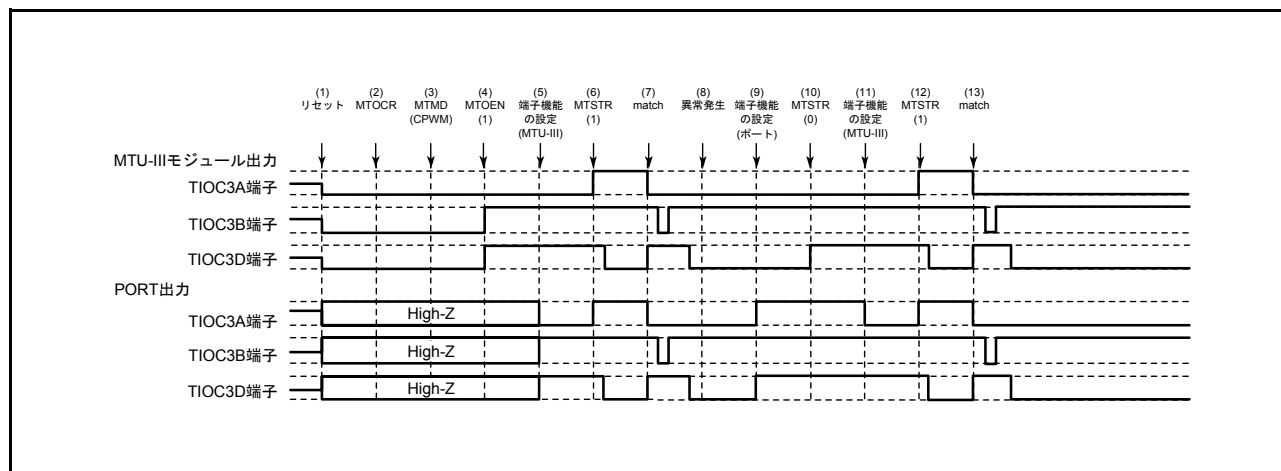


図 16.168 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1)～(10)は図 16.166 と共通です。

(11) 端子機能 (注 1) の設定により MTU-III 出力としてください。

(12) MT01234STR レジスタで再スタートします。

(13) コンペアマッチの発生により相補 PWM 波形を出力します。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

図 16.169 に相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を示します(周期、デューティ設定を全く新しい設定値で再スタートする場合)。

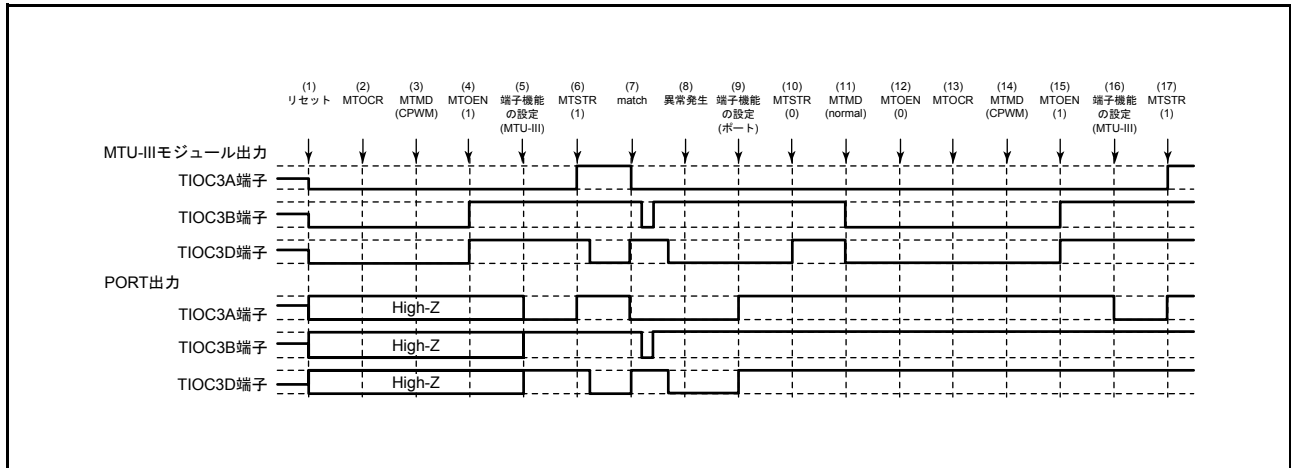


図 16.169 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1)~(10)は図 16.166 と共通です。

(11) ノーマルモードを設定し新しい設定値を設定してください(MTU-III 出力は Low レベルとなります)。

(12) MT34OEN レジスタでチャンネル 3、4 の出力を禁止してください。

(13) MT34OCR0、MT34OCR1 レジスタで相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。

(14) 相補 PWM を設定します。

(15) MT34OEN レジスタでチャンネル 3、4 の出力を許可してください。

(16) 端子機能の設定(注 1)により MTU-III 出力としてください。

(17) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

図 16.170 に相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を示します。

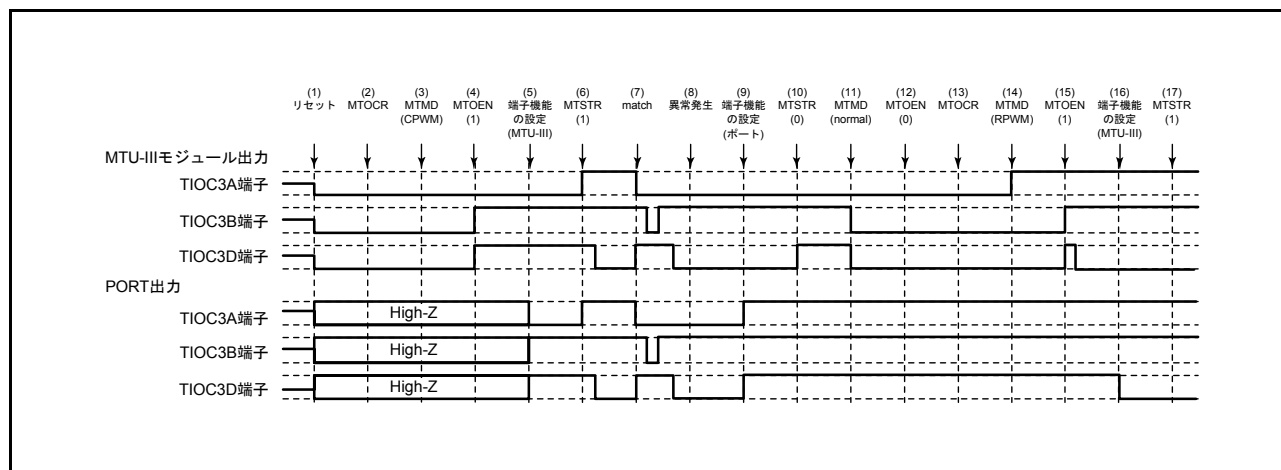


図 16.170 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1)～(10)は図 16.166 と共通です。

(11) ノーマルモードを設定してください (MTU-III 出力は Low レベルとなります)。

(12) MT34OEN レジスタでチャンネル 3、4 の出力を禁止してください。

(13) MT34OCR0、MT34OCR1 レジスタでリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。

(14) リセット同期 PWM を設定します。

(15) MT34OEN レジスタでチャンネル 3、4 の出力を許可してください。

(16) 端子機能の設定 (注 1) により MTU-III 出力としてください。

(17) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

図 16.171 にリセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を示します。

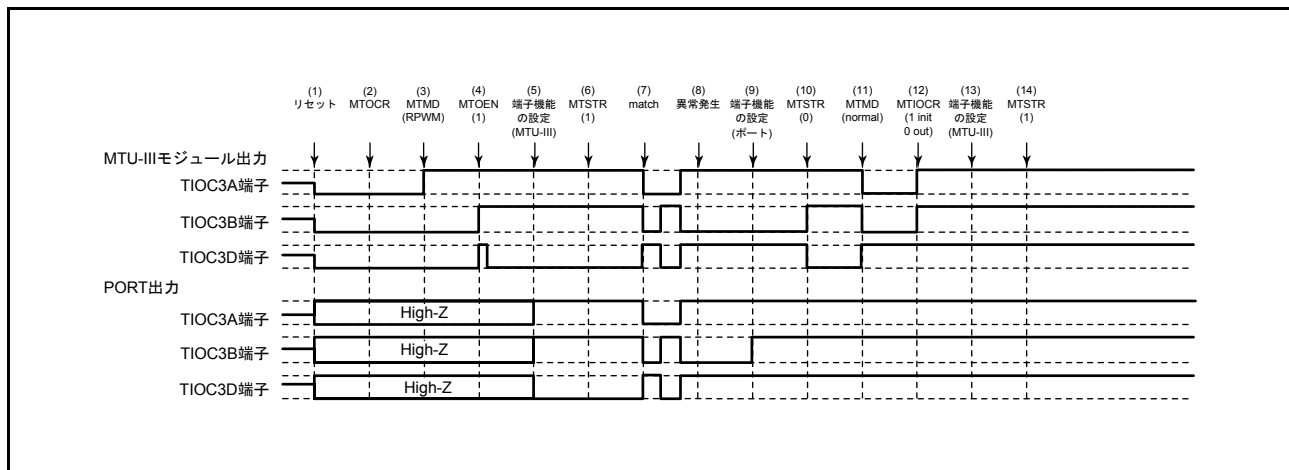


図 16.171 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU-III 出力は Low レベル、ポートはハイインピーダンスになります。
- (2) MT34OCR0、MT34OCR1 レジスタでリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) リセット同期 PWM を設定します。
- (4) MT34OEN レジスタでチャンネル 3、4 の出力を許可してください。
- (5) 端子機能の設定 (注 1) により MTU-III 出力としてください。
- (6) MT01234STR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) 端子機能の設定 (注 1) によりポート出力とし、アクティブレベルの反転を出力してください。
- (10) MT01234STR レジスタでカウント動作を停止します (MTU-III 出力はリセット同期 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU-III 出力は正相側が Low レベル、逆相側が High レベルとなります)。
- (12) MTIOCR レジスタで端子を初期化してください。
- (13) 端子機能の設定 (注 1) により MTU-III 出力としてください。
- (14) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

図 16.172 にリセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を示します。

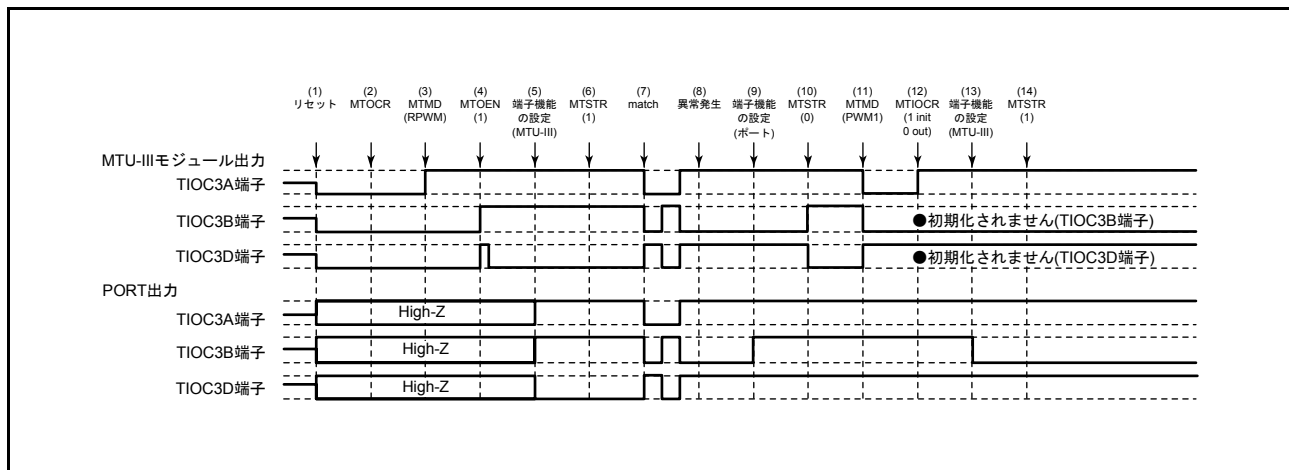


図 16.172 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1)～(10)は図 16.171 と共通です。

(11) PWM モード 1 を設定してください (MTU-III 出力は正相側が Low レベル、逆相側が High レベルとなります)。

(12) MTIOCR レジスタで端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) 端子機能の設定 (注 1) により MTU-III 出力としてください。

(14) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

図 16.173 にリセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を示します。

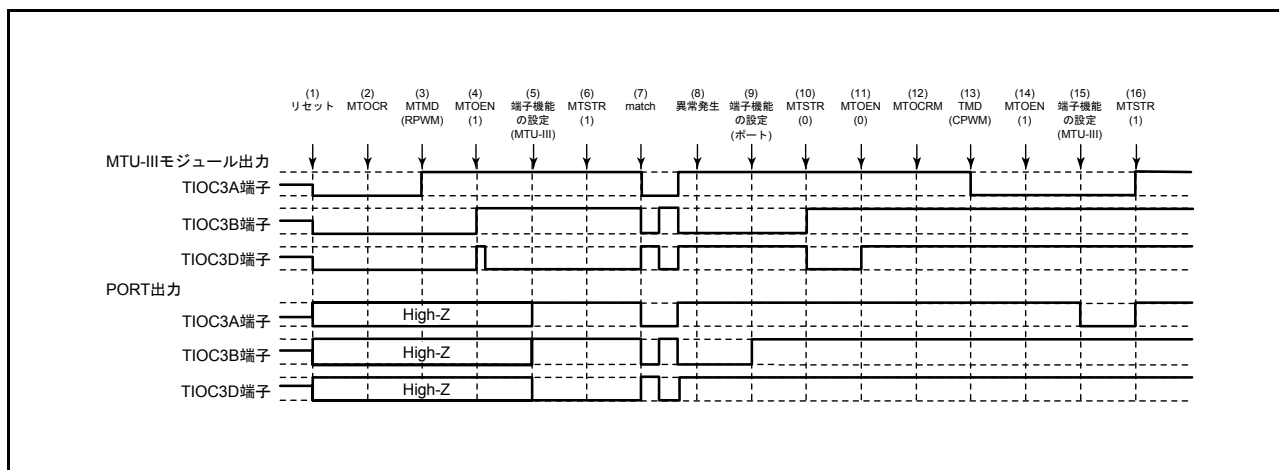


図 16.173 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1)～(10)は図 16.171 と共通です。

(11) MT34OEN レジスタでチャンネル 3、4 の出力を禁止してください。

(12) MT34OCR0、MT34OCR1 レジスタで相補PWMの出力レベルと周期出力の許可禁止を選択してください。

(13) 相補 PWM を設定します (MTU-III の周期出力端子は Low レベルになります)。

(14) MT34OEN レジスタでチャンネル 3、4 の出力を許可してください。

(15) 端子機能の設定 (注 1) により MTU-III 出力としてください。

(16) MT01234STR レジスタで再スタートします。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

図 16.174 にリセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を示します。

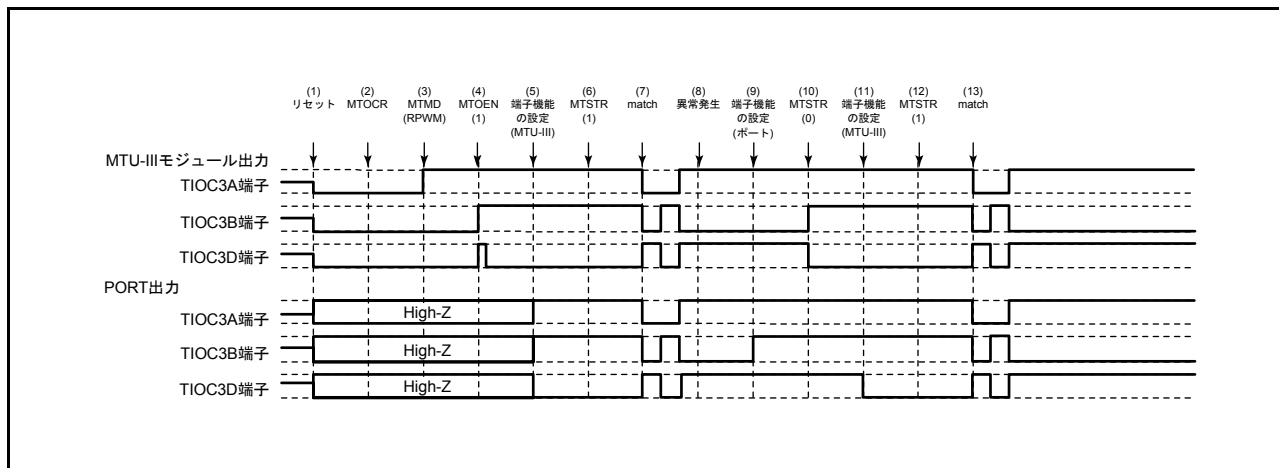


図 16.174 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1)～(10)は図 16.171 と共通です。

(11) 端子機能の設定 (注 1) により MTU-III 出力としてください。

(12) MT01234STR レジスタで再スタートします。

(13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

注 1. 端子機能の設定については、「13. I/O ポート」を参照してください。

17. シリアルコミュニケーションインタフェース (SCI)

シリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) は、調歩同期式とクロック同期式の2方式のシリアル通信が可能です。

調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。

クロック同期式では、クロックに同期させてシリアル通信を行う通常モードと、送受信クロックの極性と位相を変化させてシリアル通信を行う拡張モードがあります。

本 LSI では4チャンネル内蔵しています。

17.1 概要

表 17.1 にシリアルコミュニケーションインタフェース (SCI) の仕様を示します。

注・ SH72A0 グループには SCK3 入出力端子がありません。

そのため、SH72A0 グループでは SCK3 からクロックの入出力を行うことができないため、チャンネル 3 は非同期専用となります。

表 17.1 シリアルコミュニケーションインタフェース (SCI) の仕様

項目	機能
シリアルデータ通信モード	・ 調歩同期式、クロック同期式
通信方式	・ 全二重通信 独立した送信部と受信部を備えているため、送信と受信を同時に行うことが可能 送信部と受信部はともにダブルバッファ構造になっており、連続送受信が可能
ビットレート	・ 内蔵ボーレートジェネレータで任意のビットレートを選択可能 ・ 送受信クロックソースとして外部クロックの選択も可能
データフォーマット	・ データの LSB ファースト / MSB ファーストの選択が可能 (調歩同期式7ビットデータを除く) < 調歩同期式 > ・ データ長: 7 ビット / 8 ビットから選択可能 ・ ストップビット長: 1 ビット / 2 ビットから選択可能 ・ パリティ: 偶数パリティ / 奇数パリティ / パリティなしから選択可能 < クロック同期式 > ・ データ長: 8 ビット ・ クロックの位相選択、極性選択が可能
受信エラーの検出	< 調歩同期式 > ・ パリティエラー、オーバランエラー、フレーミングエラー < クロック同期式 > ・ オーバランエラー
割り込み要因	・ 4種類 SCIi送信完了割り込み、SCIi送信バッファエンプティ割り込み、SCIi受信バッファフル割り込み、SCIi受信エラー割り込み (オーバランエラー、フレーミングエラー、パリティエラー) ・ 送信データエンプティ、受信データフル割り込み要因により DMAC の起動が可能
その他	・ モジュールストップモードの設定が可能 < 調歩同期式 > ・ ブレークの検出: フレーミングエラー発生時、RXDi端子のレベルを直接リードすることでブレークを検出可能

図 17.1 にシリアルコミュニケーションインタフェース (SCI) のブロック図を示します。図 17.1 に示されるもので1チャンネルを構成し、4チャンネル分搭載しています。

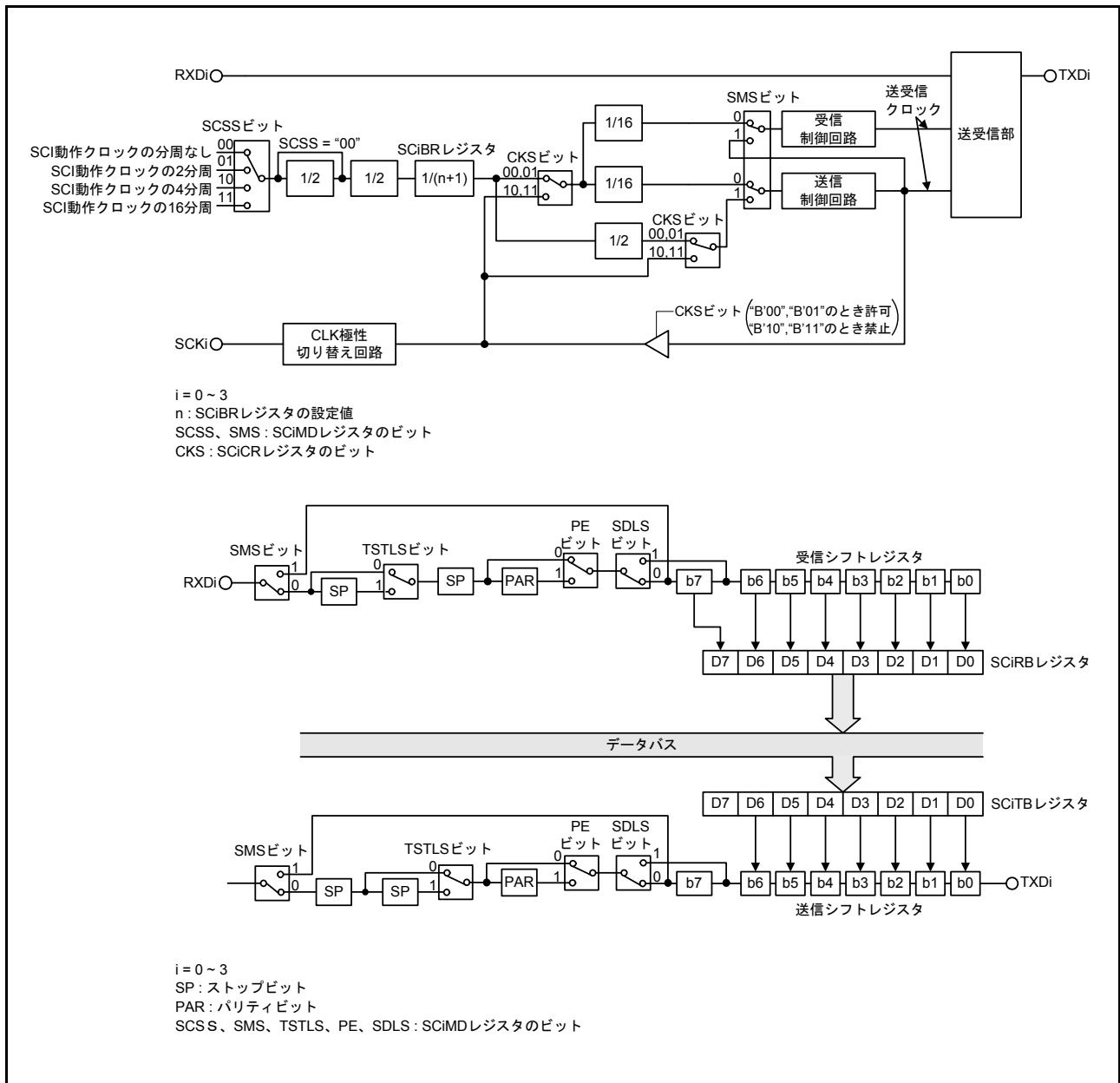


図 17.1 シリアルコミュニケーションインタフェース (SCI) のブロック図

表 17.2 に SCI の入出力端子を示します。

表 17.2 SCIの入出力端子

端子名	入出力	機能
SCK0 ~ SCK3 (注 1)	入出力	SCIのクロック入出力端子です。
RXD0 ~ RXD3	入力	SCIの受信データ入力端子です。
TXD0 ~ TXD3	出力	SCIの送信データ出力端子です。

注1. SH72A0グループでは、SCK3端子はありません。

17.2 レジスタの説明

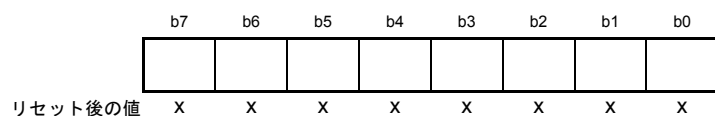
表 17.3 に SCI のレジスタ一覧を示します。

表 17.3 SCIのレジスタ一覧

チャンネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
チャンネル 0	SCI0送信バッファレジスタ	SC0TB	不定	H'FFFF 6003	8
	SCI0制御レジスタ	SC0CR	H'00	H'FFFF 6002	8
	SCI0ビットレートレジスタ	SC0BR	H'FF	H'FFFF 6001	8
	SCI0モードレジスタ	SC0MD	H'00	H'FFFF 6000	8
	SCI0受信バッファレジスタ	SC0RB	不定	H'FFFF 6005	8
	SCI0ステータスレジスタ	SC0SR	H'84	H'FFFF 6004	8
	SCI0拡張モードレジスタ	SC0EMD	H'00	H'FFFF 6008	8
チャンネル 1	SCI1送信バッファレジスタ	SC1TB	不定	H'FFFF 6103	8
	SCI1制御レジスタ	SC1CR	H'00	H'FFFF 6102	8
	SCI1ビットレートレジスタ	SC1BR	H'FF	H'FFFF 6101	8
	SCI1モードレジスタ	SC1MD	H'00	H'FFFF 6100	8
	SCI1受信バッファレジスタ	SC1RB	不定	H'FFFF 6105	8
	SCI1ステータスレジスタ	SC1SR	H'84	H'FFFF 6104	8
	SCI1拡張モードレジスタ	SC1EMD	H'00	H'FFFF 6108	8
チャンネル 2	SCI2送信バッファレジスタ	SC2TB	不定	H'FFFF 6203	8
	SCI2制御レジスタ	SC2CR	H'00	H'FFFF 6202	8
	SCI2ビットレートレジスタ	SC2BR	H'FF	H'FFFF 6201	8
	SCI2モードレジスタ	SC2MD	H'00	H'FFFF 6200	8
	SCI2受信バッファレジスタ	SC2RB	不定	H'FFFF 6205	8
	SCI2ステータスレジスタ	SC2SR	H'84	H'FFFF 6204	8
	SCI2拡張モードレジスタ	SC2EMD	H'00	H'FFFF 6208	8
チャンネル 3	SCI3送信バッファレジスタ	SC3TB	不定	H'FFFF 6303	8
	SCI3制御レジスタ	SC3CR	H'00	H'FFFF 6302	8
	SCI3ビットレートレジスタ	SC3BR	H'FF	H'FFFF 6301	8
	SCI3モードレジスタ	SC3MD	H'00	H'FFFF 6300	8
	SCI3受信バッファレジスタ	SC3RB	不定	H'FFFF 6305	8
	SCI3ステータスレジスタ	SC3SR	H'84	H'FFFF 6304	8
	SCI3拡張モードレジスタ	SC3EMD	H'00	H'FFFF 6308	8

17.2.1 SCiI 送信バッファレジスタ (SCiTB) (i = 0 ~ 3)

アドレス SC0TB : H'FFFF 6003、SC1TB : H'FFFF 6103、SC2TB : H'FFFF 6203、SC3TB : H'FFFF 6303



ビット	機能	R/W
b7-b0	送信バッファデータ 送信用のデータを格納するレジスタ	R/W

送信シフトレジスタ (図 17.1 参照) に空きを検出すると、SCiTB レジスタに書き込まれた送信データは、送信シフトレジスタに転送されて TXDi 端子に送信を開始します。SCiTB レジスタと送信シフトレジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、SCiTB レジスタに次の送信データが書き込まれていれば送信シフトレジスタへ転送して送信を続けます。

SCiTB レジスタは、CPU、DMAC から常に読み出し / 書き込み可能です。SCiTB レジスタへ送信データを書き込みする前に、必ず SCiSR レジスタの TBEF フラグが“1”(送信バッファレジスタにデータなし) にセットされていることを確認してください。

送信シフトレジスタは、直接アクセスすることはできません。

17.2.2 SCi制御レジスタ (SCiCR) (i = 0 ~ 3)

アドレス SC0CR : H'FFFF 6002、SC1CR : H'FFFF 6102、SC2CR : H'FFFF 6202、SC3CR : H'FFFF 6302

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	—	TEIE	CKS[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	TIE	SCi送信バッファエンプティ割り込み許可ビット	0 : SCi送信バッファエンプティ割り込み禁止 1 : SCi送信バッファエンプティ割り込み許可	R/W
b6	RIE	SCi受信バッファフル割り込み許可ビット	0 : SCi受信バッファフル割り込み禁止 1 : SCi受信バッファフル割り込み許可	R/W
b5	TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	R/W
b4	RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	R/W
b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	TEIE	SCi送信完了割り込み許可ビット	0 : SCi送信完了割り込み禁止 1 : SCi送信完了割り込み許可	R/W
b1-b0	CKS[1:0]	クロック選択ビット	調歩同期式の場合 b1 b0 0 0 : 内蔵ポーレートジェネレータ (SCK端子は入出力ポートとして使用できません) 0 1 : 内蔵ポーレートジェネレータ (SCK端子からビットレートと同じ周波数のクロックを出力します) 1 X : 外部クロック (SCK端子からビットレートの16倍の周波数のクロックを入力してください) クロック同期式の場合 b1 b0 0 X : 内部クロック (SCK端子はクロック出力端子となります) 1 X : 外部クロック (SCK端子はクロック入力端子となります)	R/W

各割り込み要求の詳細については「17.4.1 割り込み要因」を参照してください。各割り込み許可を設定する場合は、必ず TE、RE ビットを設定するより前(遅くとも同時)に設定する必要があります。

TIE ビット

SCi 送信バッファエンプティ割り込みを使用するかしないか選択します。SCi 送信バッファエンプティ割り込みと SCi 送信完了割り込みは、同時に使用することはできません。TIE ビットを“1”にする場合は、TEIE ビットを“0”にしてください。

RIE ビット

SCi 受信バッファフル割り込みを使用するかしないか選択します。

TE ビット

送信動作をするかしないか選択します。TE ビットが“1”、SCiSR レジスタの TBEP フラグが“1”(送信バッファレジスタにデータなし)の状態、SCiTB レジスタに送信データを設定すると、シリアル送信を開始します。TE ビットを“1”にする前に、必ずSCiMD レジスタの設定を行い、送信フォーマットを決定してください。

TE ビットを“0”にすると、SCiSR レジスタの TBEP フラグは“1”に固定されます。

TE ビットと RE ビットが“0”のとき、TE ビットは“1”を書き込みできます。

TE ビット、RE ビット、もしくは両方のビットを“1”にした後、値を変更する場合、両方のビットに同時に“0”を書き込んでください。

RE ビット

受信動作をするかしないか選択します。調歩同期式の場合はスタートビットを、クロック同期式モードの場合はクロックの入力を検出するとシリアル受信を開始します。RE ビットを“1”にする前に、必ず SCiMD レジスタの設定を行い、受信フォーマットを決定してください。

TE ビットと RE ビットが“0”のとき、RE ビットは“1”を書き込みできます。

TE ビット、RE ビット、もしくは両方のビットを“1”にした後、値を変更する場合、両方のビットに同時に“0”を書き込んでください。

TEIE ビット

SCiI 送信完了割り込みを使用するかしないか選択します。SCiI 送信完了割り込みと SCiI 送信バッファエンプティ割り込みは同時に使用することはできません。TEIE ビットを“1”にする場合は、TIE ビットを“0”にしてください。

CKS ビット

クロックソースおよび SCKi 端子の機能を選択します。TE = RE = 0 のときのみ設定してください。

17.2.3 SCiI モードレジスタ (SCiMD) (i = 0 ~ 3)

アドレス SC0MD : H'FFFF 6000、SC1MD : H'FFFF 6100、SC2MD : H'FFFF 6200、SC3MD : H'FFFF 6300

b7	b6	b5	b4	b3	b2	b1	b0
SMS	SDLS	PE	OES	TSTLS	—	SCSS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7	SMS	SCIモード選択ビット	0 : 調歩同期式モード 1 : クロック同期式モード	R/W
b6	SDLS	データ長選択ビット	0 : データ長8ビットで送受信 1 : データ長7ビットで送受信	R/W
b5	PE	パリティ許可ビット	[調歩同期式モードのみ有効] 0 : 送信時はパリティなし、受信時はパリティチェックしません 1 : 送信時はパリティビットを付加、受信時はパリティチェックを行います	R/W
b4	OES	パリティ選択ビット	[調歩同期式モードのみ有効] 0 : 偶数パリティ 1 : 奇数パリティ	R/W
b3	TSTLS	ストップビット長選択ビット	[調歩同期式モードのみ有効] 0 : 1ストップビット 1 : 2ストップビット	R/W
b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1-b0	SCSS[1:0]	カウントソース選択ビット	b1 b0 0 0 : SCI動作クロックの分周なし 0 1 : SCI動作クロックの4分周 1 0 : SCI動作クロックの16分周 1 1 : SCI動作クロックの64分周	R/W

SCiCR レジスタの TE、RE ビットが“0”のときに設定してください。

SMS ビット

調歩同期式モードかクロック同期式モードかを選択します。

SDLS ビット

調歩同期式モードのみ有効です。調歩同期式モード、データ長7ビットでは LSB ファースト固定となり、送信では SCiTB レジスタの b7 は送信されません。

クロック同期式モードではデータ長は8ビット固定です。

TSTLS ビット

受信時はこのビットの設定にかかわらずストップビットの1ビット目のみチェックし、2ビット目が“0”の場合は次の送信フレームのスタートビットと見なします。

SCSS ビット

ポーレートジェネレータのカウントソースクロックの比を選択します。

17.2.4 SCi ビットレートレジスタ (SCiBR) (i = 0 ~ 3)

アドレス SC0BR : H'FFFF 6001、SC1BR : H'FFFF 6101、SC2BR : H'FFFF 6201、SC3BR : H'FFFF 6301



ビット	機能	R/W
b7-b0	ビットレート 設定値をnとすると、カウントソースをn+1分周する。	R/W

SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モードにおける SCiBR レジスタの設定値 n と、ビットレート B の関係を表 17.4 に示します。SCiBR レジスタの初期値は“H'FF”です。

SCiBR レジスタは、CPU からの読み出しは常に可能ですが、書き込みは TE = RE = “0” の場合のみ可能です。

SCiBR レジスタの設定値の求め方

(1) 調歩同期式モード

$$\text{SCiBRレジスタの値} = \left(\frac{f(\text{SCI})}{64 \times 2^{2m-1} \times B} \right) - 1$$

(2) クロック同期式モード

$$\text{SCiBRレジスタの値} = \left(\frac{f(\text{SCI})}{8 \times 2^{2m-1} \times B} \right) - 1$$

注・ f(SCI) : SCI 動作クロック

SCI モジュールへの入力クロック周波数 (Hz)

B : ビットレート (bps)

m : 表 17.4 参照

表 17.4 SCiBR レジスタ値算出式の m の値

SCiMD レジスタの SCSS ビット	m
“00”	0
“01”	1
“10”	2
“11”	3

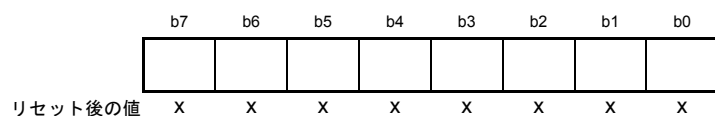
(設定値算出例)

調歩同期式モード : SCI 動作クロック f(SCI) = 10MHz、ビットレート = 9600bps、SCSS ビット = B'00 の場合

$$\text{SCiBRレジスタの値} = \left(\frac{10000000}{64 \times 2^{2 \times 0 - 1} \times 9600} \right) - 1 = 32.5 - 1 \doteq \underline{32}$$

17.2.5 SCiI 受信バッファレジスタ (SCiRB) (i = 0 ~ 3)

アドレス SC0RB : H'FFFF 6005、SC1RB : H'FFFF 6105、SC2RB : H'FFFF 6205、SC3RB : H'FFFF 6305



ビット	機能	R/W
b7-b0	受信バッファデータ 受信用のデータを格納するレジスタです。	R

RXD_i 端子から 1 フレーム分のデータを受信すると、受信データが自動的に受信シフトレジスタ (図 17.1 参照) から SCiRB レジスタへ転送され、次のデータが受信可能となります。受信シフトレジスタと SCiRB レジスタは、ダブルバッファ構造になっているため、連続受信動作が可能です。

SCiRB レジスタの読み出しは、必ず SCiSR レジスタの RBFF フラグが “1”(受信バッファレジスタにデータあり) にセットされていることを確認してください。

受信シフトレジスタは、直接アクセスすることはできません。

17.2.6 SCiI ステータスレジスタ (SCiSR) (i = 0 ~ 3)

アドレス SC0SR : H'FFFF 6004、SC1SR : H'FFFF 6104、SC2SR : H'FFFF 6204、SC3SR : H'FFFF 6304

b7	b6	b5	b4	b3	b2	b1	b0
TBEF	RBFF	OREF	FREF	PERF	TSEF	—	—

リセット後の値 1 0 0 0 0 1 0 0

ビット	シンボル	ビット名	機能	R/W
b7	TBEF	送信バッファレジスタエンプティフラグ	0: データが存在する 1: データが存在しない	R/(W) (注1)
b6	RBFF	受信バッファレジスタフルフラグ	0: データが存在しない 1: データが存在する	R/(W) (注1)
b5	OREF	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラーあり	R/(W) (注1)
b4	FREF	フレーミングエラーフラグ	0: フレーミングエラーなし 1: フレーミングエラーあり	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0: パリエィエラーなし 1: パリエィエラーあり	R/(W) (注1)
b2	TSEF	送信シフトレジスタエンプティフラグ	0: 送信シフトレジスタにデータあり(送信中) 1: 送信シフトレジスタにデータなし(送信完了)	R
b1-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注1. フラグをクリアするため、“1”を読み出した後に“0”を書き込むことのみ可能です。

TBEF、RBFF、OREF、FREF、PERF フラグはクリアのみ可能です。

TBEF フラグ

SCiTB レジスタに送信データありかなしかを判断します。フラグをクリアするための“0”書き込みのみ可能です。

[“1”になる条件]

- SCiCR レジスタの TE ビットが“0”(転送禁止)のとき
- SCiTB レジスタから送信シフトレジスタにデータが転送され、SCiTB レジスタへデータ書き込みが可能になったとき

[“0”になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
- SCiTB レジスタに送信データを書き込んだとき

TBEF フラグに“0”を書き込んでクリアする場合は、“0”を書き込んだ後に、読み出して“0”であることを確認してください。

RBFF フラグ

SCiRB レジスタに受信データありかなしかを判断します。フラグをクリアするための“0”書き込みのみ可能です。

["1"になる条件]

- 受信が正常終了し、受信シフトレジスタから SCiRB レジスタへ受信データが転送されたとき

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
- SCiRB レジスタから受信データを読み出したとき

RBFF フラグに“0”を書き込んでクリアする場合は、“0”を書き込んだ後に、読み出して“0”であることを確認してください。RBFF フラグが“1”の状態ではシリアル通信を継続させることができません。RBFF フラグが“1”にセットされたままの状態では次のデータが受信完了した場合、オーバランエラーが発生し、受信データが失われます。

OREF フラグ

データ受信時に、オーバランエラーが発生したかどうかを判断します。オーバランエラーが発生すると、SCiRB レジスタにはオーバランエラーが発生する前のデータが保持され、OREF = 1 の状態で受信したデータは、SCiRB レジスタに転送されません。

OREF = 1 の状態ではシリアル通信を継続することはできないので、OREF フラグを“0”にしてください。フラグをクリアするための“0”書き込みのみ可能です。

["1"になる条件]

- RBFF = 1 の状態で次のデータを受信したとき

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき

割り込みを使用してクリアする場合は、“0”を書き込んだ後に、読み出して“0”であることを確認してください。

FREF フラグ

調歩同期式モードのとき、データ受信時にフレーミングエラーが発生したかどうかを判断します。ただし、TSTLS = 1 (2 ストップビット) の場合、1 ビット目のみチェックし、2 ビット目が“0”の場合は、次の送信フレームのスタートビットと見なし、FREF フラグはセットされません。なお、フレーミングエラーが発生すると、受信データは SCiRB レジスタへ転送されますが、RBFF フラグはセットされません。また、FREF = 1 の状態ではシリアル通信を継続することはできないので、FREF フラグを“0”にしてください。フラグをクリアするための“0”書き込みのみ可能です。

["1"になる条件]

- SCiMD レジスタの TSTLS ビットにて設定したストップビットの個数が検出されなかったとき

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき

割り込みを使用してクリアする場合は、“0”を書き込んだ後に、読み出して“0”であることを確認してください。

PERF フラグ

調歩同期式モードのとき、データ受信時にパリティエラーが発生したかどうかを判断します。SCiMDレジスタのPEビットが“1”(パリティあり)のときにパリティエラーの検出が可能です。パリティエラーが発生すると、受信データはSCiRBレジスタに転送されますが、RBFFフラグはセットされません。PERF=1の状態ではシリアル通信を継続することはできませんので、PERFフラグを“0”にしてください。フラグをクリアするための“0”書き込みのみ可能です。

["1"になる条件]

- 受信中にパリティエラーが発生したとき

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき

割り込みを使用してクリアする場合は、“0”を書き込んだ後に、読み出して“0”であることを確認してください。

TSEF フラグ

送信シフトレジスタが空きであるかどうか判断します。

["1"になる条件]

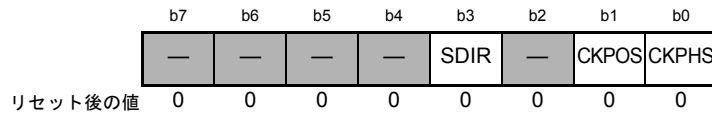
- SCiCRレジスタのTEビットに“0”(送信禁止)を書き込んだとき
送信データの最終ビットの送信中、TBEFフラグが“1”のとき

["0"になる条件]

- “1”の状態を読み出した後、TBEFフラグに“0”を書き込んだとき
- TEビットが“1”で送信バッファレジスタにデータを書き込み、送信シフトレジスタにデータが転送されたとき

17.2.7 SCiI 拡張モードレジスタ (SCiEMD) (i = 0 ~ 3)

アドレス SC0EMD : H'FFFF 6008、SC1EMD : H'FFFF 6108、SC2EMD : H'FFFF 6208、SC3EMD : H'FFFF 6308



ビット	シンボル	ビット名	機能	R/W
b7-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	SDIR	データ方向選択ビット	0 : LSBファーストで送受信 1 : MSBファーストで送受信	R/W
b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1	CKPOS	クロック極性選択ビット	[クロック同期式モードのみ有効] 0 : 極性反転をしない 送受信クロックに対して立ち下がりに同期して送信データ出力、立ち上がりに同期して受信データ入力 1 : 極性反転をする 送受信クロックに対して立ち上がりに同期して送信データ出力、立ち下がりに同期して受信データ入力	R/W
b0	CKPHS	クロック位相選択ビット	[クロック同期式モードのみ有効] 0 : クロックの位相を遅らせない 1 : クロックの位相を半相遅らせる	R/W

SCiCR レジスタの TE、RE ビットが“0”のときに設定してください。

SDIR ビット

LSBファーストで送受信するか、MSBファーストで送受信するかの選択をします。

送受信フォーマットが8ビットデータの場合のみ有効です。7ビットデータの場合はLSBファーストに固定されます。

CKPOS ビット

クロックの極性反転するかどうかを選択します。

CKPHS ビット

クロックの位相を半相遅らせるかの選択をします。

17.3 動作説明

本モジュールの動作は、調歩同期式モードとクロック同期式モードの2つの動作があります。それぞれの動作と使用例を示します。

17.3.1 調歩同期式モード

調歩同期式モードは、スタートビットの立ち下がりトリガとして内部クロックにデータを同期させて送受信を行うモードです。表 17.5 に調歩同期式モードの仕様を示します。

表 17.5 調歩同期式モードの仕様

項目	仕様
データフォーマット	<ul style="list-style-type: none"> スタートビット: 1ビット データ長: 7ビット/8ビットから選択可能 パリティ: 偶数パリティ/奇数パリティ/パリティなしから選択可能 ストップビット長: 1ビット/2ビットから選択可能 LSBファースト/MSBファーストの選択が可能(調歩同期式データ長7ビットはLSBのみ)
入出力端子	<ul style="list-style-type: none"> SCKi端子(入出力): クロック入出力 RXD_i端子(入力): データ入力 TXD_i端子(出力): データ出力
送受信クロック	<ul style="list-style-type: none"> SCiCRレジスタのCKSビットが“00”、“01”(内部クロック)のとき $\text{ビットレート} = \frac{f(\text{SCI})}{64 \times 2^{2m-1} \times (\text{SCiBRレジスタの値} + 1)}$ f(SCI): SCI動作クロック SCIモジュールへの入力クロック周波数(Hz) m: 表 17.4参照 SCiCRレジスタのCKSビットが“10”、“11”(外部クロック)のとき SCKi端子からのクロック入力
送信開始条件	SCiCRレジスタのTEビットが“1”(送信許可)で送信バッファレジスタにデータを書き込み、送信シフトレジスタにデータが転送されたとき
受信開始条件	SCiCRレジスタのREビットが“1”(受信許可)の状態、スタートビットを検出したとき
エラー検出	<ul style="list-style-type: none"> オーバランエラー: SCiSRレジスタのRBFFフラグが“1”(受信バッファレジスタにデータあり)の状態、次の受信を完了すると発生 フレーミングエラー: SCiMDレジスタのTSTLSビットの設定にかかわらず、最初の1ビットで判定 パリティエラー: パリティありの場合に、受信したデータキャラクタとパリティビットに含まれる“1”の個数(奇/偶)が、設定した個数(奇/偶)でなかったときに発生
割り込み要求	4種類 SCli送信完了割り込み、SCli送信バッファエンプティ割り込み、SCli受信バッファフル割り込み、SCli受信エラー割り込み(オーバランエラー、フレーミングエラー、パリティエラー)

注. • i = 0 ~ 3

17.3.1.1 調歩同期式モードの初期化

図 17.2 に調歩同期式モードの初期化フローチャートを示します。

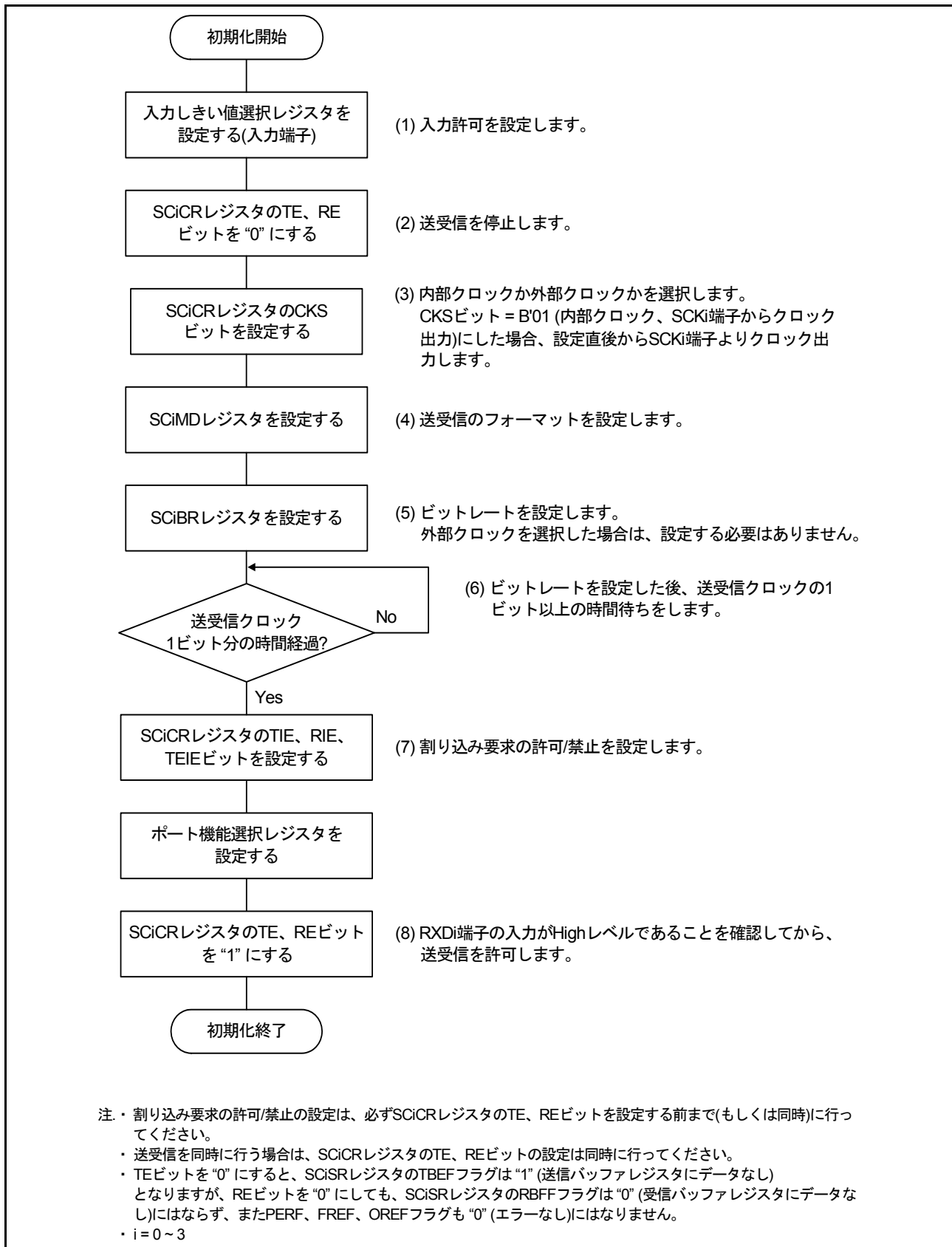


図 17.2 調歩同期式モードの初期化フローチャート

17.3.1.2 調歩同期式モードのデータ送信

以下に調歩同期式モードの送信時の動作例を説明します。

SCiCR レジスタの TE ビットが“1”(送信許可)、SCiSR レジスタの TBEF フラグが“1”(送信バッファレジスタに送信データなし)の状態、SCiTB レジスタに送信データを書き、TBEF フラグを“0”(送信バッファレジスタにデータあり)にすると、送信データは SCiTB レジスタから送信シフトレジスタ(図 17.1 参照)へ転送されます。その後、TBEF フラグが“1”になり、データ送信を開始します。このとき、SCiCR レジスタの TIE ビットが“1”(SCi 送信バッファエンプティ割り込み許可)であれば、SCi 送信バッファエンプティ割り込みが発生します。

TXDi 端子からスタートビット、送信データ、パリティビット、ストップビットの順に送信します。ストップビットの送信中に TBEF フラグをチェックし、TBEF が“0”であれば、SCiTB レジスタから送信シフトレジスタへ次の送信データが転送され、ストップビットの送信後、次の送信データの送信を開始します。その後、ストップビットが送信されると、SCiSR レジスタの TSEF フラグが“1”(送信シフトレジスタにデータなし)になり、SCiCR レジスタの TEIE ビットが“1”(SCi 送信完了割り込み許可)の場合、SCi 送信完了割り込みが発生します。送信完了後、TXDi 端子は High レベルになります。

図 17.3 に調歩同期式モードの送信時の動作例を示します。

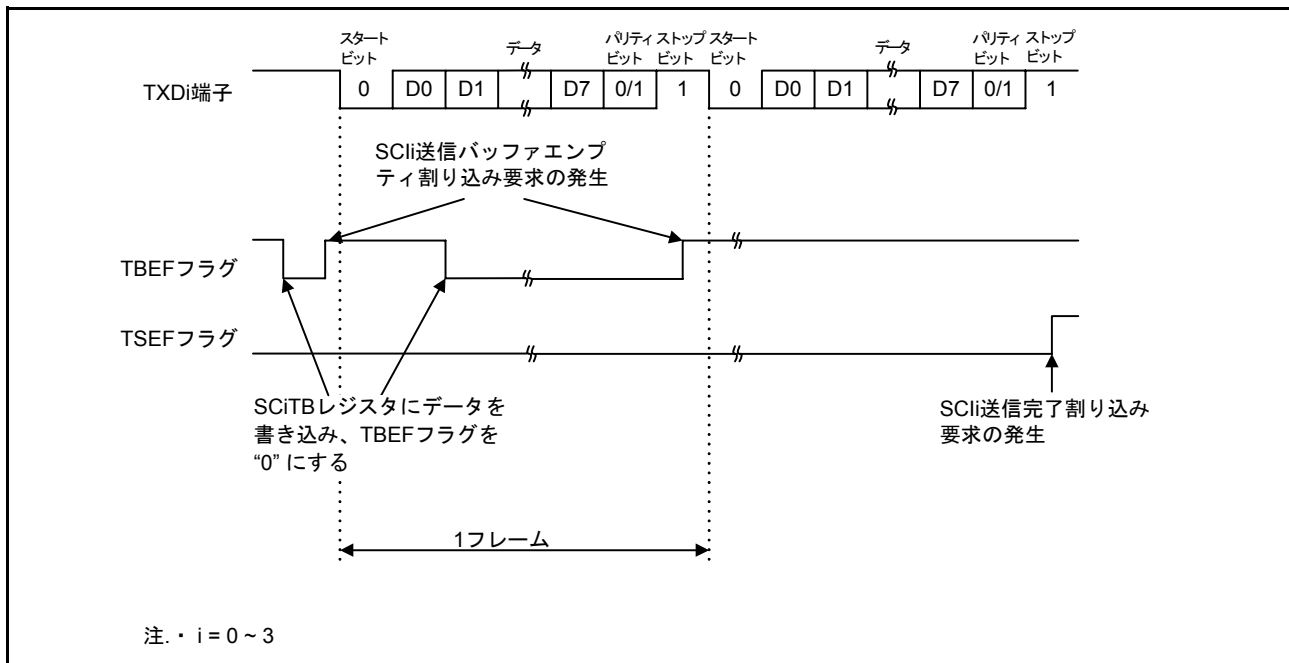


図 17.3 調歩同期式モードの送信時の動作例

図 17.4 に調歩同期式モードにおけるデータ送信の手順を示します。

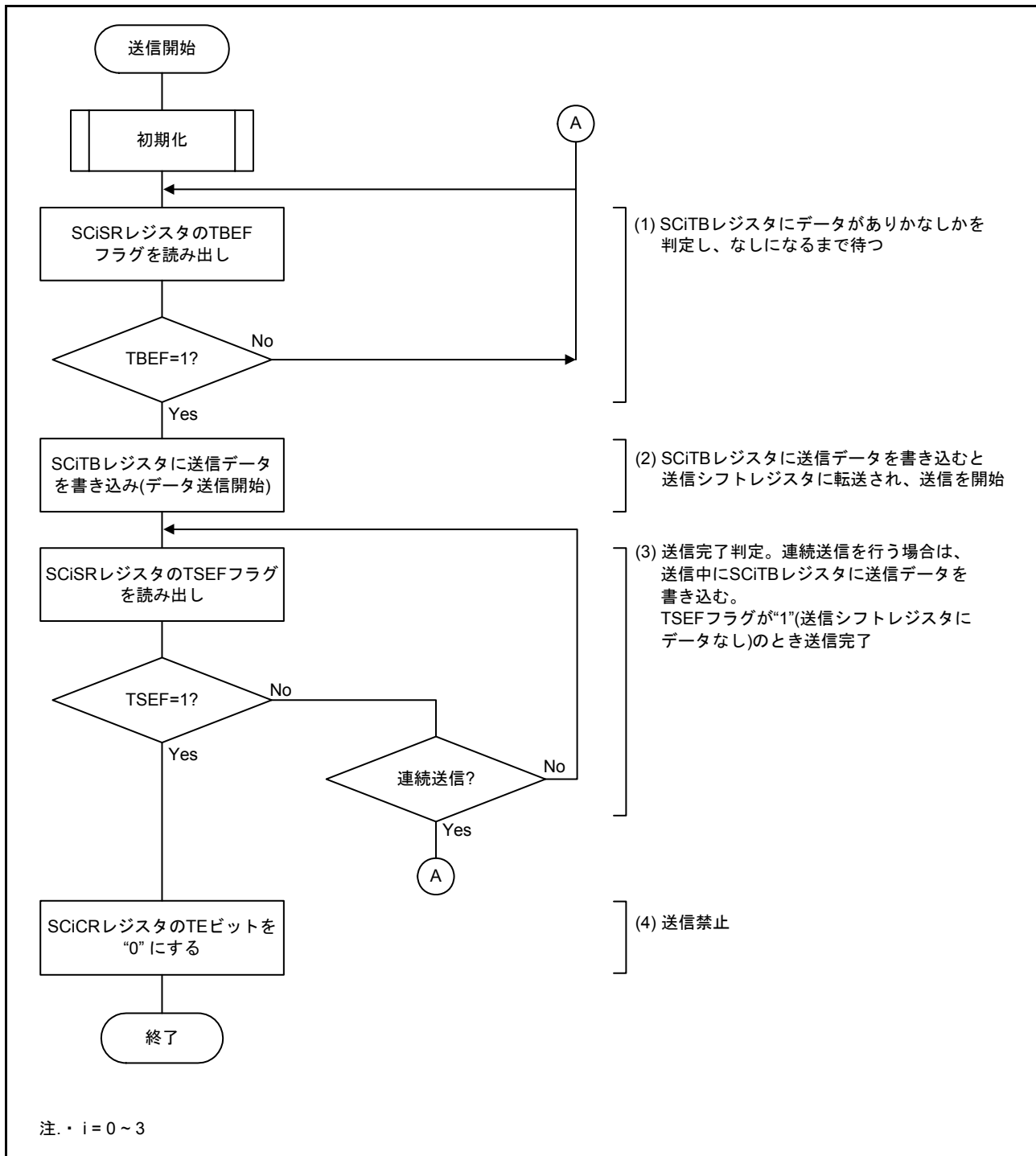


図 17.4 調歩同期式モードにおけるデータ送信の手順

17.3.1.3 調歩同期式モードのデータ受信

以下に調歩同期式モードの受信時の動作例を説明します。

スタートビットを検出すると受信動作を開始し、受信データは受信シフトレジスタ(図17.1参照)に取り込まれ、データ受信完了後、パリティビットとストップビットをチェックします。

正常に受信が完了すると、SCiSRレジスタのRBFFフラグが“1”(受信バッファレジスタにデータあり)になり、受信データは受信シフトレジスタからSCiRBレジスタへ転送されます。

パリティエラー/フレーミングエラーが発生した場合は、SCiSRレジスタのPERFフラグが“1”(パリティエラーあり)、または、FREFフラグが“1”(フレーミングエラーあり)になり、受信データは受信シフトレジスタからSCiRBレジスタへ転送されません。

また、オーバランエラーが発生した場合は、SCiSRレジスタのOREFフラグが“1”(オーバランエラーあり)になり、受信データは受信シフトレジスタからSCiRBレジスタへは転送されません。RBFFフラグは“1”のまま変化せず保持されます。

受信エラーあり/なしに関わらず、受信が完了したとき、SCiCRレジスタのRIEビットが“1”(受信割り込み許可)であれば、受信割り込み要求が発生します。

図17.5に調歩同期式モードの受信時の動作例を示します。

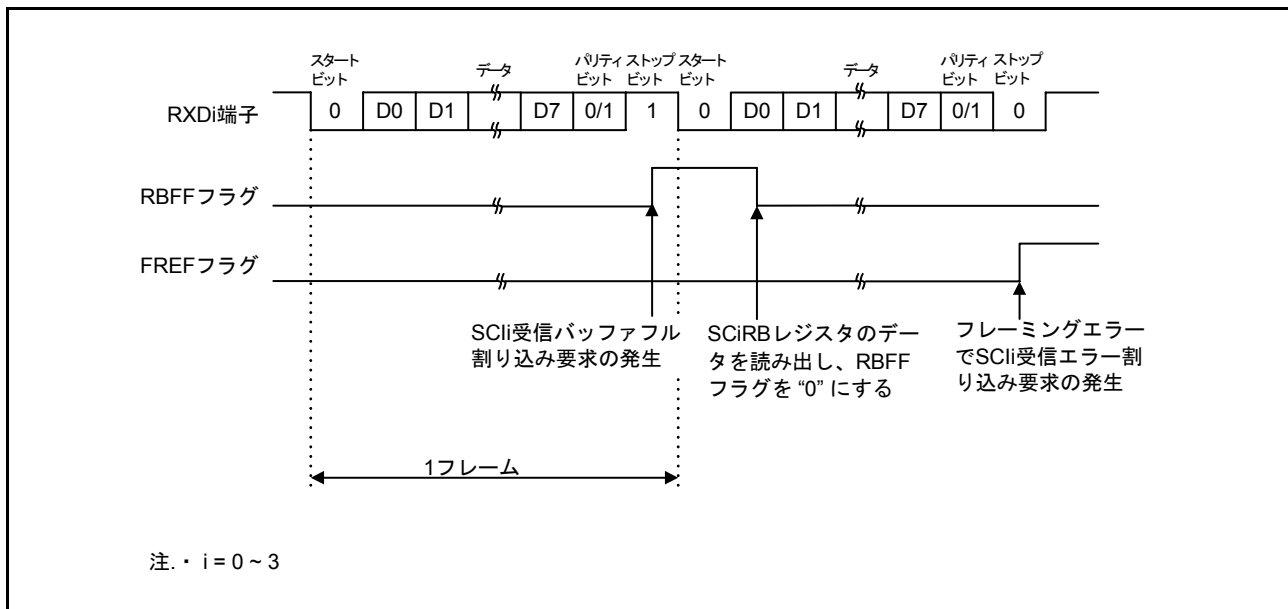


図 17.5 調歩同期式モードの受信時の動作例

図 17.6 に調歩同期式モードにおけるデータ受信の手順を示します。

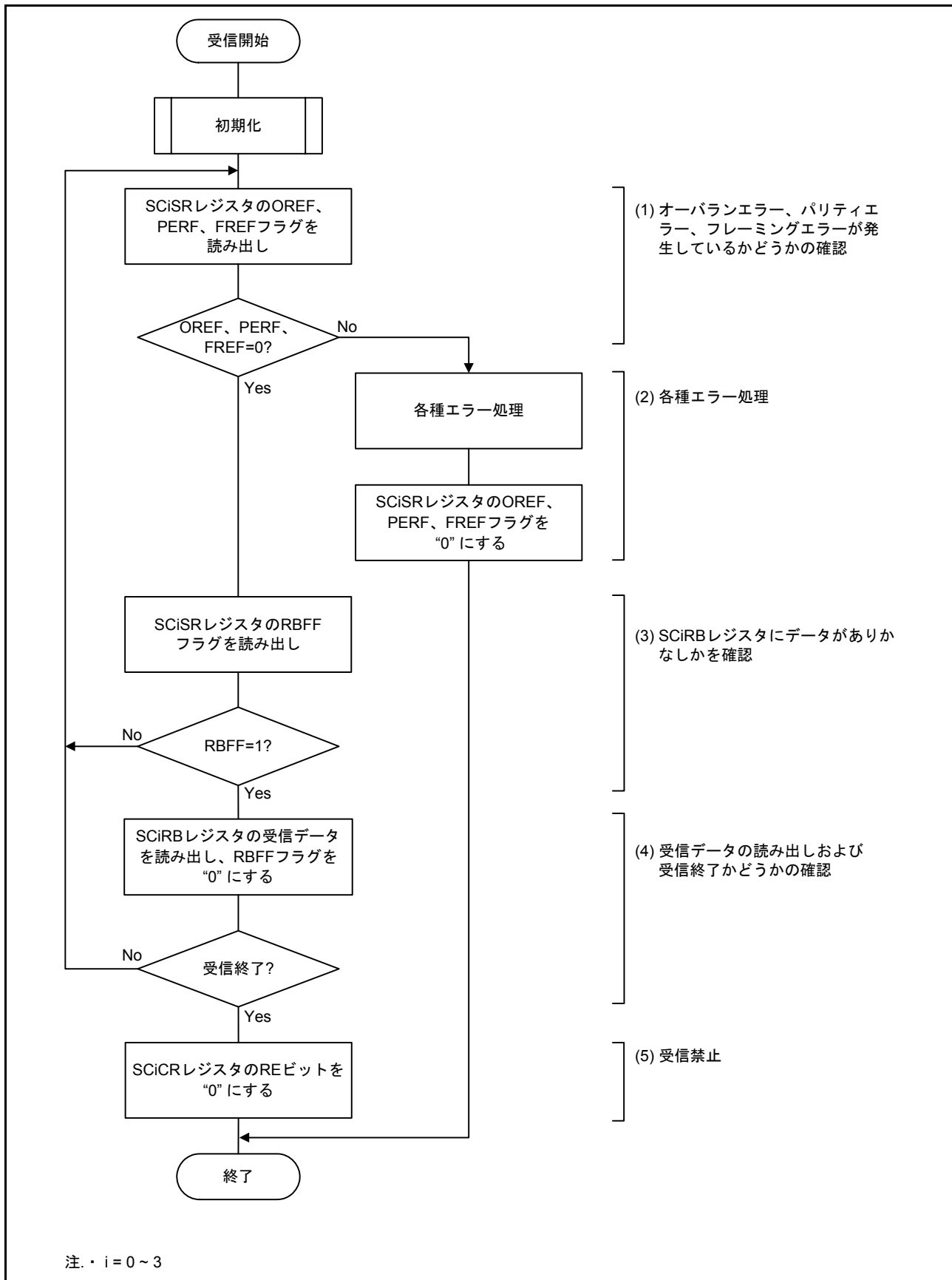


図 17.6 調歩同期式モードにおけるデータ受信の手順

表 17.6 に受信エラーを検出したときのレジスタと受信データの状態について示します。

表 17.6 受信エラー発生時のステータスフラグと受信データの状態

SCI _i SRレジスタのステータスフラグ				受信エラーの状態	受信データ
RBFF	OREF	FREF	PERF		
1	1	0	0	オーバランエラー	SCI _i RBレジスタへ転送しない
0	0	1	0	フレーミングエラー	SCI _i RBレジスタへ転送する
0	0	0	1	パリティエラー	SCI _i RBレジスタへ転送する
1	1	1	0	オーバランエラー + フレーミングエラー	SCI _i RBレジスタへ転送しない
1	1	0	1	オーバランエラー + パリティエラー	SCI _i RBレジスタへ転送しない
0	0	1	1	フレーミングエラー + パリティエラー	SCI _i RBレジスタへ転送する
1	1	1	1	オーバランエラー + フレーミングエラー + パリティエラー	SCI _i RBレジスタへ転送しない

注. ・ i = 0 ~ 3

17.3.1.4 調歩同期式モードのクロック

調歩同期式モードで内部クロックを使用するとき、内部のクロックはビットレートの16倍の周波数で動作します。このため、調歩同期式モードで外部クロック入力を使用する際は、SCK_i端子にビットレートの16倍の周波数のクロックを入力する必要があります。図 17.7 に調歩同期式モードの受信データサンプリングタイミングを示します。

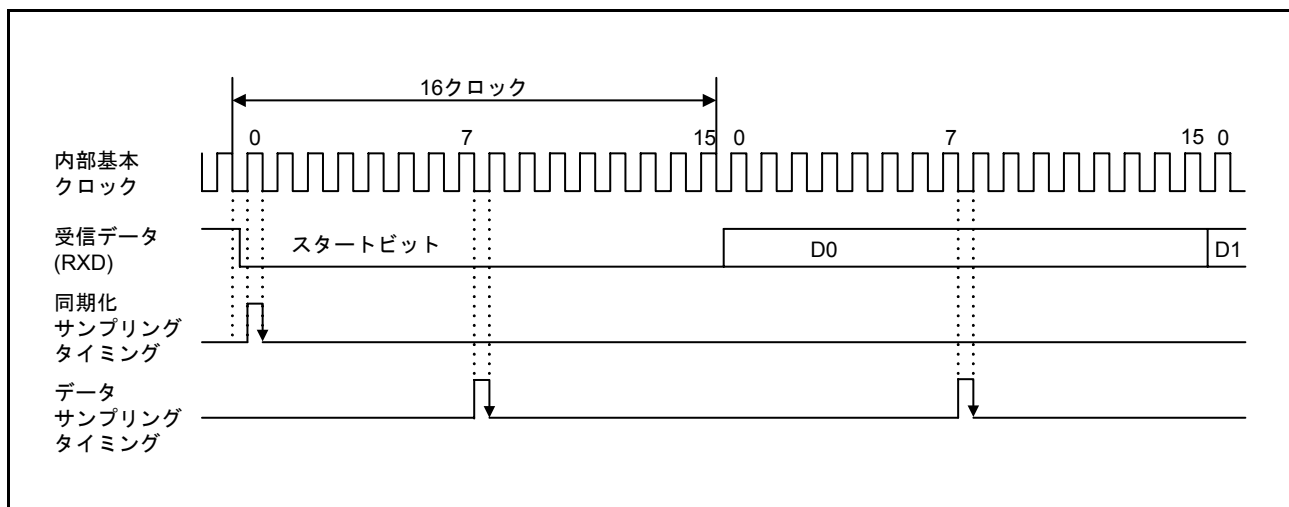


図 17.7 調歩同期式モードの受信データサンプリングタイミング

17.3.2 クロック同期式モード

クロック同期式モードは、送受信クロックに同期してデータの送受信を行うモードです。

表 17.7 にクロック同期式モードの仕様を示します。

SH72A0 グループではチャンネル 3 はクロック同期式モードでは使用できません。

表 17.7 クロック同期式モードの仕様

項目	仕様
データフォーマット	<ul style="list-style-type: none"> データ長: 8ビット LSBファースト/MSBファーストの選択が可能 クロックの位相選択、極性選択が可能
入出力端子	<ul style="list-style-type: none"> SCKi端子(入出力): クロック入力 RXDi端子(入力): データ入力 TXDi端子(出力): データ出力
送受信クロック	<ul style="list-style-type: none"> SCiCRレジスタのCKSビットが“00”、“01”(内部クロック)のとき $\text{ビットレート} = \frac{f(\text{SCI})}{8 \times 2^{2m-1} \times (\text{SCiBRレジスタの値} + 1)}$ f(SCI): SCI動作クロック SCIモジュールへの入力クロック周波数(Hz) m: 表 17.4参照 SCiCRレジスタのCKSビットが“10”、“11”(外部クロック)のとき SCKi端子からのクロック入力
送信開始条件	SCiCRレジスタのTEビットが“1”(送信許可)で送信バッファレジスタにデータを書き込み、送信シフトレジスタにデータが転送されたとき
受信開始条件	SCiCRレジスタのREビットが“1”(受信許可)の状態、SCKi端子からのクロック入力を検出したとき
エラー検出	<ul style="list-style-type: none"> オーバランエラー: SCiSRレジスタのRBFFフラグが“1”(受信バッファレジスタにデータあり)の状態、次の受信を完了すると発生
割り込み要求	4種類 SCli送信完了割り込み、SCli送信バッファエンプティ割り込み、SCli受信バッファフル割り込み、SCli受信エラー割り込み(オーバランエラー)

注. • i = 0 ~ 3

17.3.2.1 クロック同期式モードの初期化

図 17.8 にクロック同期式モードの初期化フローチャートを示します。

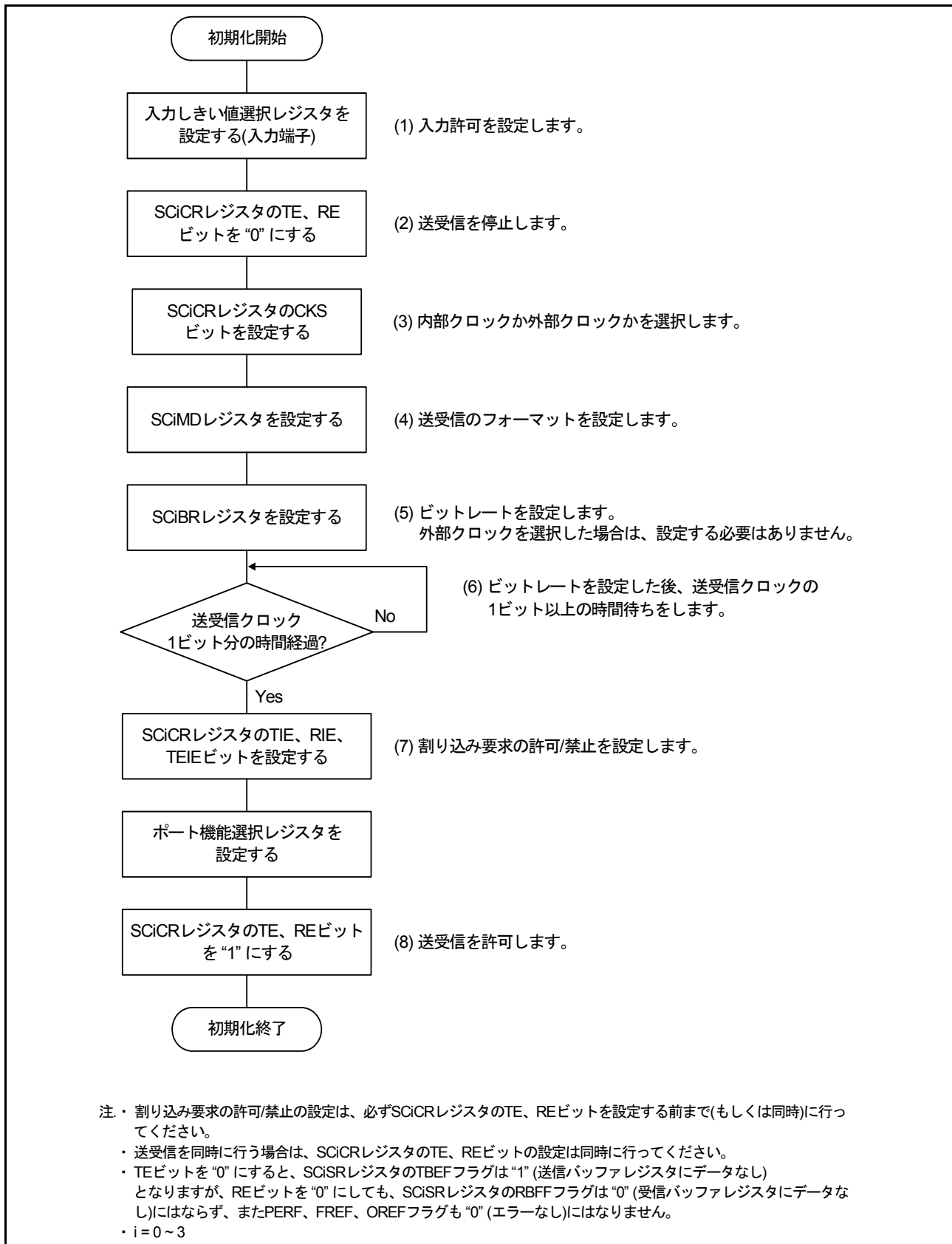


図 17.8 クロック同期式モードの初期化フローチャート

17.3.2.2 クロック同期式モードのデータ送信

データ送信時のクロックが内部クロックの場合は、SCiBR レジスタで設定したビットレートのクロックを送受信クロックとして使用し、外部クロックの場合は、SCKi 端子から入力されたクロックを送受信クロックとして使用します。どちらの場合も送信データは送受信クロックに同期して TXDi 端子から出力されます。

以下にクロック同期式モードの送信時の動作例を説明します。

SCiCR レジスタの TE ビットが“1”(送信許可)、SCiSR レジスタの TBEP フラグが“1”(送信バッファレジスタにデータなし)の状態、SCiTB レジスタに送信データを書き、TBEP フラグを“0”(送信バッファレジスタにデータあり)にすると、送信データは SCiTB レジスタから送信シフトレジスタ(図 17.1 参照)へ転送されます。その後、TBEP フラグが“1”になり、データ送信を開始します。このとき、SCiCR レジスタの TIE ビットが“1”(SCIi 送信バッファエンプティ割り込み許可)であれば、SCIi 送信バッファエンプティ割り込みが発生します。連続送信を行う場合は、TBEP フラグが“1”であることを確認してから、送信データ送信中に、SCiTB レジスタに次の送信データを書き、TBEP フラグを“0”にします。そうすることによって、送信中のデータの 8 ビット目が送信された後、SCiTB レジスタから送信シフトレジスタへ次の送信データが転送され、送信を続けます。連続送信を行わない場合は、送信データの 8 ビット目が送信されると、SCiSR レジスタの TSEF フラグが“1”(送信シフトレジスタにデータなし)になり、送信が完了します。このとき、SCiCR レジスタの TEIE ビットが“1”(SCIi 送信完了割り込み許可)であれば、SCIi 送信完了割り込みが発生します。送信完了後、TXDi 端子は最終ビットの出力レベルを保持し、SCKi 端子は High レベルになります。

図 17.9 にクロック同期式モードの送信時の動作例を示します。

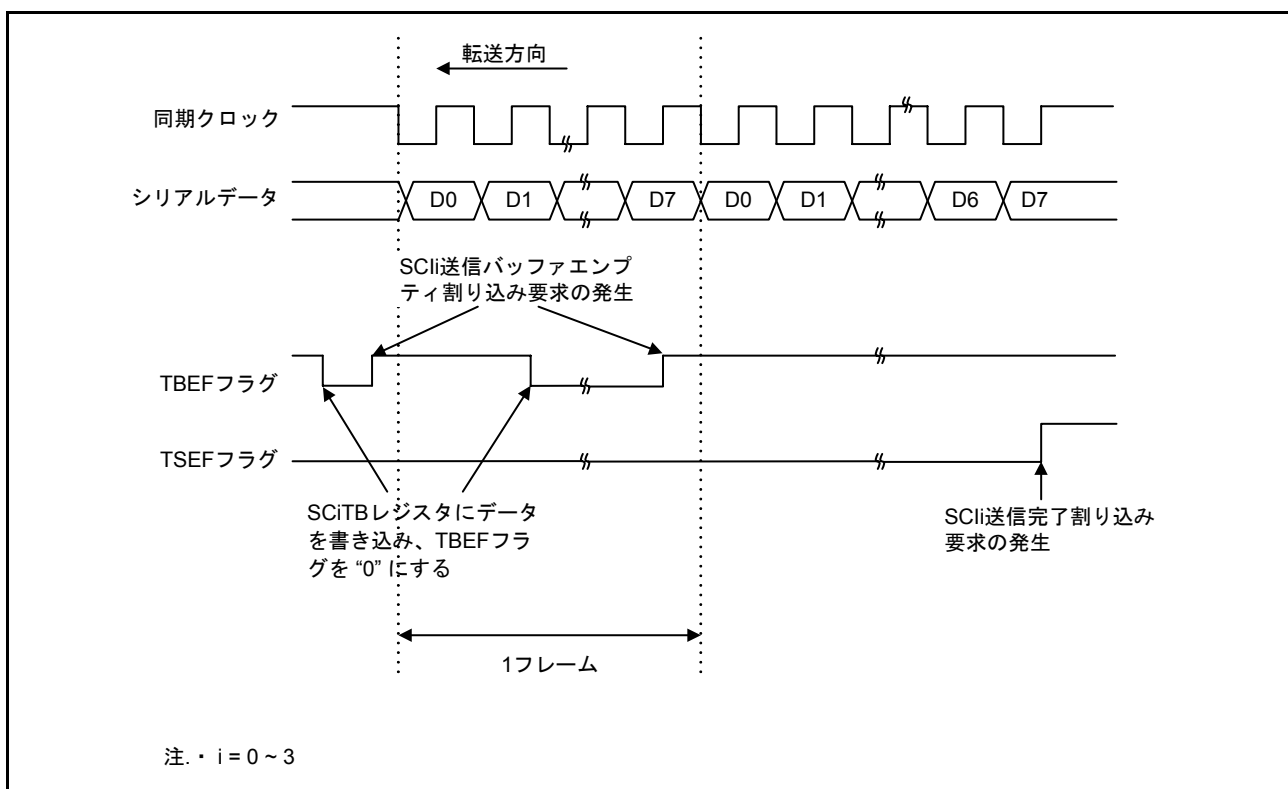


図 17.9 クロック同期式モードの送信時の動作例

図 17.10 にクロック同期式モードにおけるデータ送信の手順を示します。

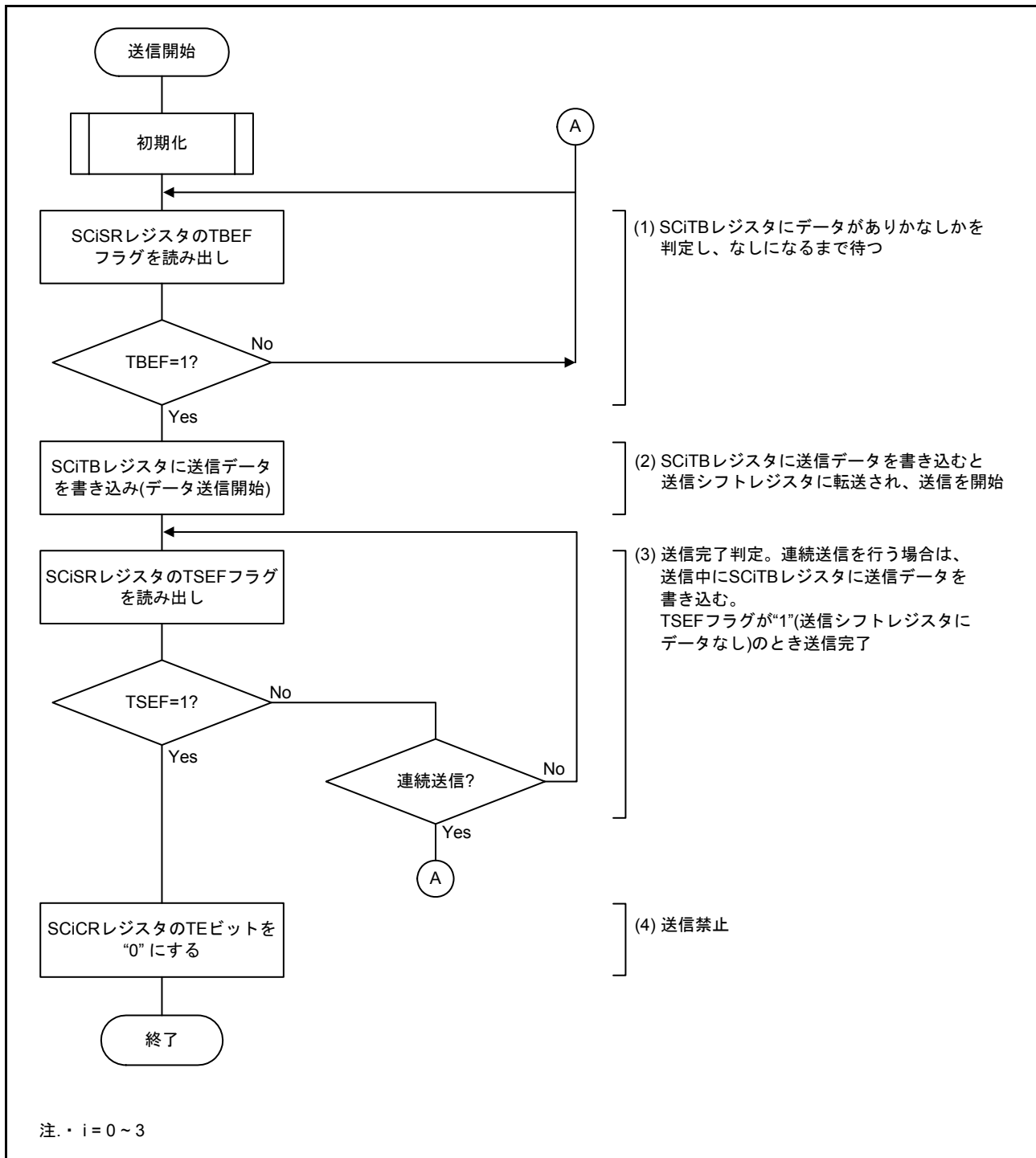


図 17.10 クロック同期式モードにおけるデータ送信の手順

17.3.2.3 クロック同期式モードのデータ受信

データ受信時のクロックが内部クロックの場合は、SCiBR レジスタで設定したビットレートのクロックを送受信クロックとして使用し、外部クロックの場合は、SCKi 端子から入力されたクロックを送受信クロックとして使用します。どちらの場合も受信データは送受信クロックに同期して RXDi 端子から入力されます。

以下にクロック同期式モードの受信時の動作例を説明します。

データを8ビット受信すると、SCiSR レジスタの RBFF フラグが“1”(受信バッファレジスタにデータあり)になり、受信データは、受信シフトレジスタ(図 17.1 参照)から SCiRB レジスタに転送されます。このとき、SCiCR レジスタの RIE ビットが“1”(受信割り込み許可)の場合、受信割り込みが発生します。

また、RBFF フラグが“1”のときに受信が終了した場合は、SCiSR レジスタの OREF フラグが“1”(オーバーランエラーあり)になり、オーバーランエラーが発生します。このとき、SCiI 受信エラー割り込みが発生します。なお、受信データは受信シフトレジスタから SCiRB レジスタへは転送されず、RBFF フラグは“1”のまま保持されます。受信エラーフラグがセットされた状態では、以後のシリアル送受信動作ができません。

受信を継続して行う場合は、OREF/FREF/PERF/RBFF フラグを“0”にしてください。

図 17.11 にクロック同期式モードの受信時の動作例を示します。

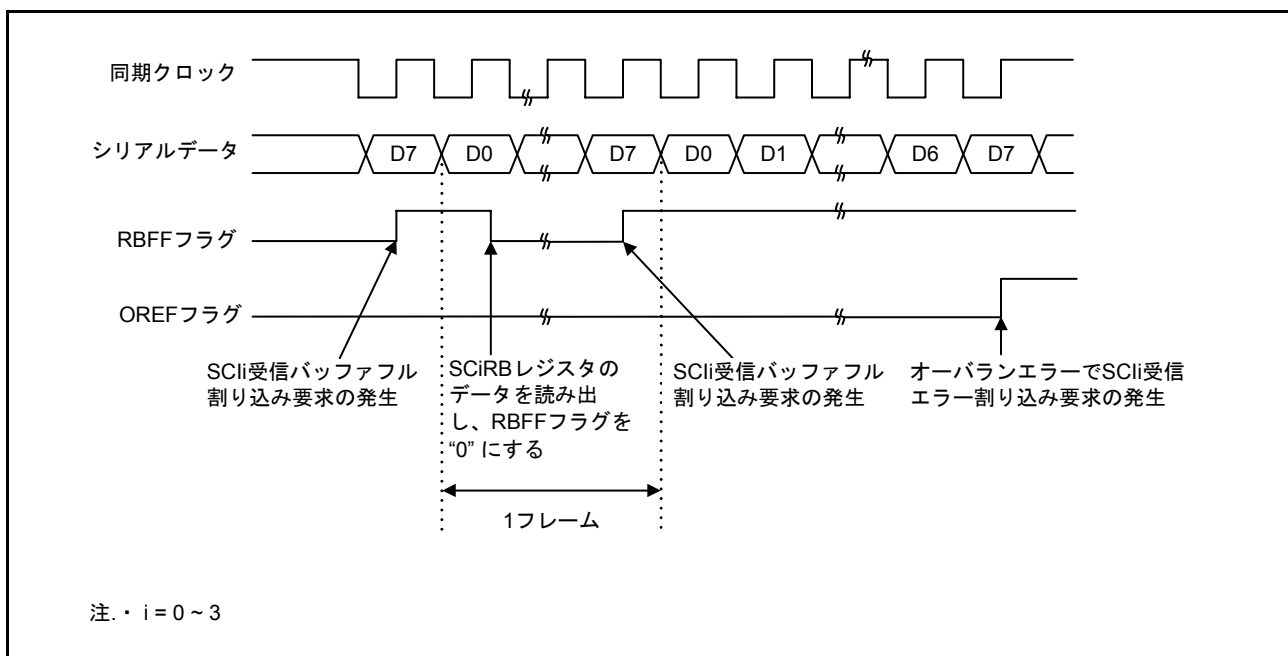


図 17.11 クロック同期式モードの受信時の動作例

図 17.12 にクロック同期式モードにおけるデータ受信の手順を示します。

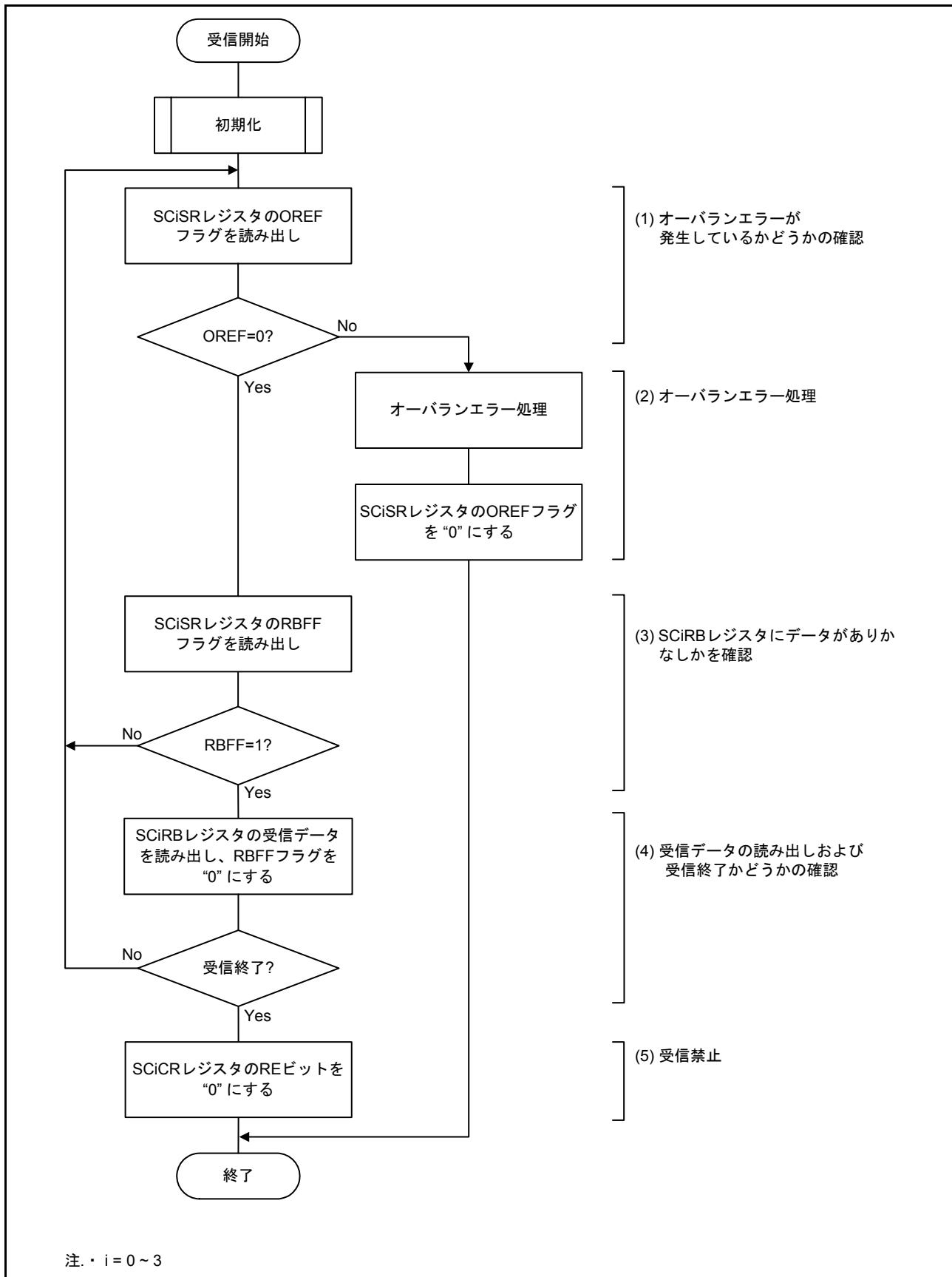


図 17.12 クロック同期式モードにおけるデータ受信の手順

17.3.2.4 クロック同期式モードのクロックの位相選択、極性選択

クロック同期式モードでは、送受信クロックの位相と極性を変化させて通信を行うことができます。

SCiEMD レジスタの CKPHS ビット、CKPOS ビットによって送受信クロックの位相と極性を変化させることができます。設定する際は、SCiMD レジスタの SMS ビットを“1”(クロック同期式モード)に設定した後、SCiEMD レジスタの CKPHS ビット、CKPOS ビットを設定してください。SCiMD レジスタの SMS ビットが“0”(調歩同期式モード)のときは、CKPHS = CKPOS = 0 に設定してください。

図 17.13 にマスタとして使用する場合(SCiCR レジスタの CKS ビットで内部クロックを選択)の送受信タイミングを、図 17.14 にスレーブとして使用する場合(CKS ビットで外部クロックを選択)の送受信タイミングを示します。

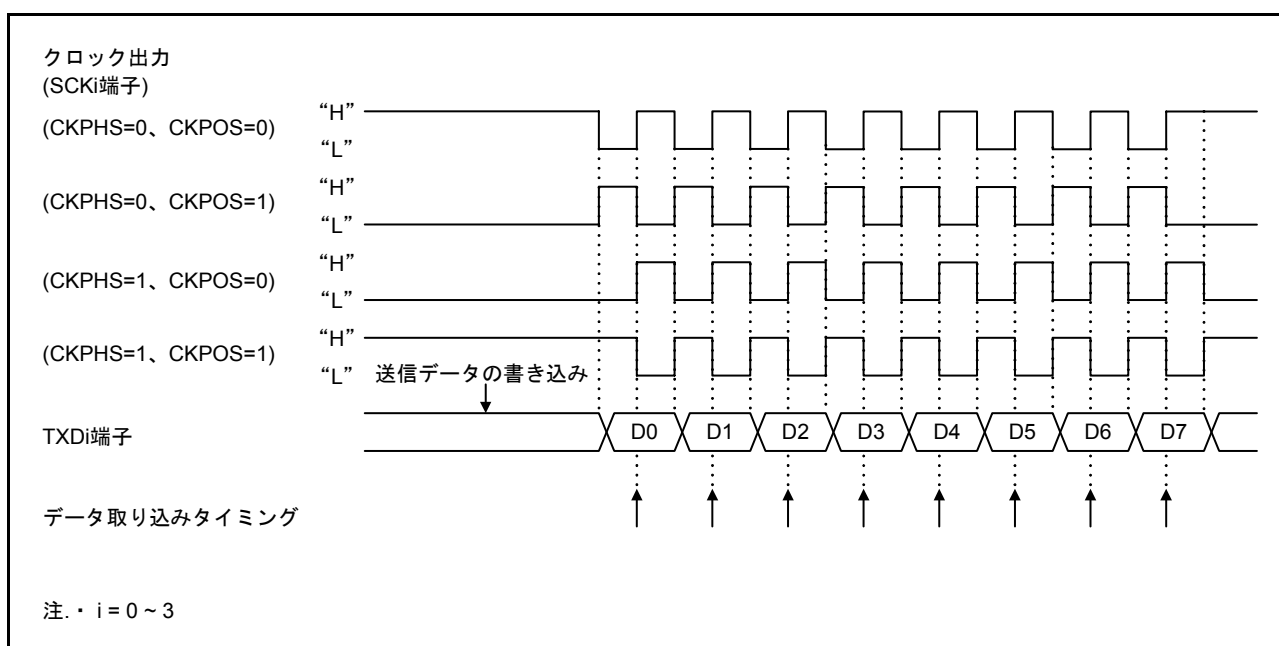


図 17.13 マスタとして使用する場合の送受信タイミング

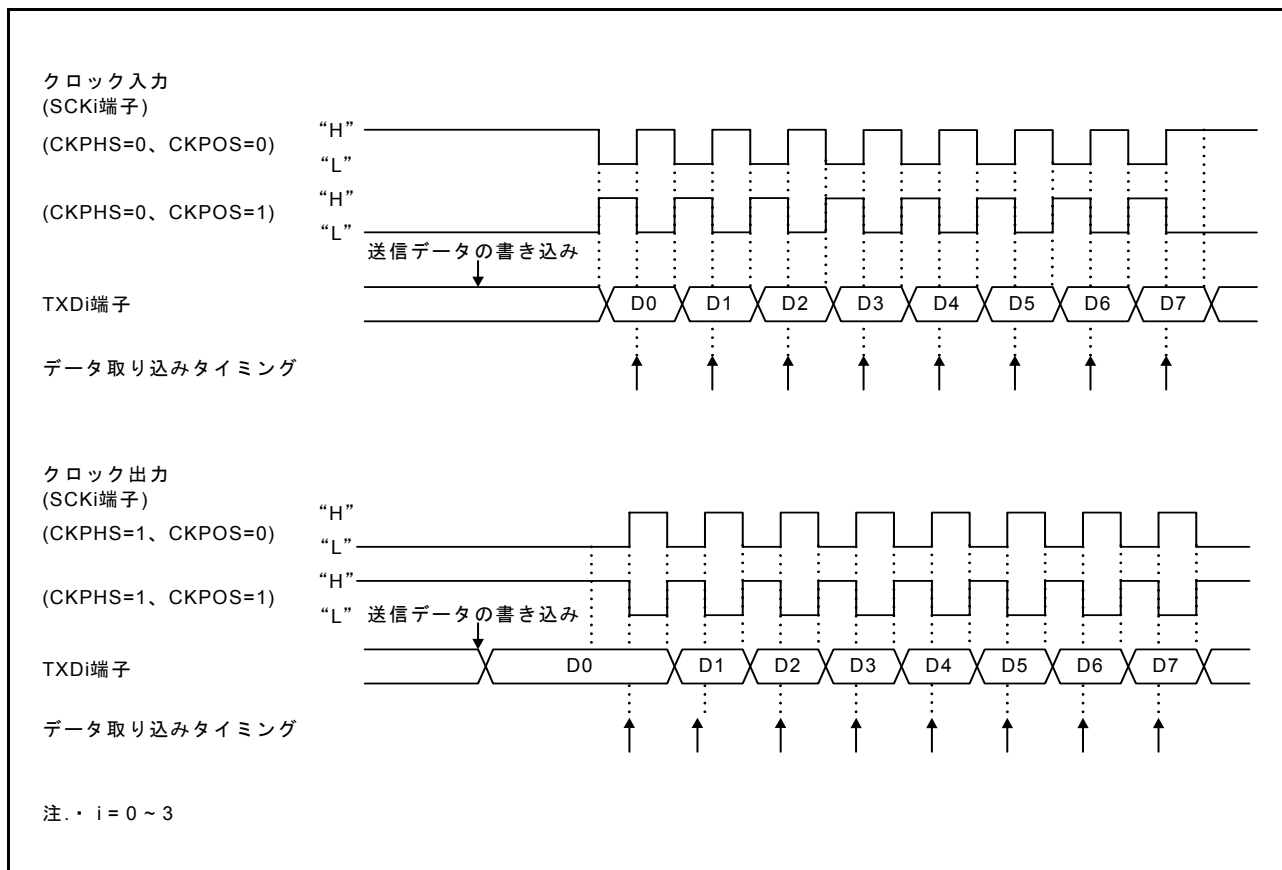


図 17.14 スレーブとして使用する場合の送受信タイミング

17.4 割り込み

17.4.1 割り込み要因

SCIはチャンネルごとに SCI*i* 送信完了割り込み、SCI*i* 送信バッファエンプティ割り込み、SCI*i* 受信バッファフル割り込み、SCI*i* 受信エラー割り込み (オーバーランエラー割り込み、フレーミングエラー割り込み、パリティエラー割り込み)があります。表 17.8 に割り込み要求と発生条件を示します。

割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラ (INTC) の設定により変更可能です。詳細は「8. 割り込みコントローラ (INTC)」を参照してください。

表 17.8 SCIの割り込み要因

割り込み要求要因	発生条件	DMACの起動
SCI <i>i</i> 送信完了割り込み	TSEF フラグが“1”の場合	不可能
SCI <i>i</i> 送信バッファエンプティ割り込み	TBEF フラグが“0”から“1”に変化したとき	可能
SCI <i>i</i> 受信バッファフル割り込み	RBFF フラグが“0”から“1”に変化したとき	可能
SCI <i>i</i> 受信エラー割り込み	OREF フラグ、FREF フラグ、PERF フラグのどれかのフラグが1つでも“1”の場合	不可能

注. ・ SCI*i*送信完了割り込みと SCI*i*送信バッファエンプティ割り込みは、同時に使用することはできません。
 ・ *i* = 0 ~ 3

17.5 SCIの注意事項

17.5.1 受信エラーフラグと送信動作について(クロック同期式モードのみ)

クロック同期式モードの送受信動作時、SCiSRレジスタのオーバランエラーフラグ(OREF)が“1”にセットされた状態では、TBEPフラグを“0”にクリアしても送信を開始できません。必ず送信開始時には、オーバランエラーフラグ(OREF)、フレーミングエラーフラグ(FREF)、パリティエラーフラグ(PERF)を“0”にクリアしておいてください。また、SCiCRレジスタのREビットを“0”にクリアしても受信エラーフラグ(OREF、FREF、PERFフラグ)は“0”にクリアできませんので注意してください。

17.5.2 SCiTBレジスタへの書き込みとTBEPフラグの関係について

SCiSRレジスタのTBEPフラグは、SCiTBレジスタから送信シフトレジスタに送信データの転送が行われたことを示すステータスフラグです。SCiTBレジスタから送信シフトレジスタにデータを転送すると、TBEPフラグが“1”にセットされます。

SCiTBレジスタへのデータの書き込みは、TBEPフラグの状態にかかわらず行うことができます。しかし、TBEPフラグが“0”の状態で新しいデータをSCiTBレジスタに書き込みすると、SCiTBレジスタに格納されていたデータは送信シフトレジスタに転送されていないため失われてしまいます。したがってSCiTBレジスタへの送信データの書き込みは、必ずTBEPフラグが“1”にセットされていることを確認してから行ってください。

17.5.3 クロック同期送信時の制約事項

同期クロックに外部クロックソースを使用する場合、TBEPフラグを“0”にクリアした後、SCI動作クロックで5クロック以上経過した後に送信クロックを入力してください。SCiTBレジスタの更新後4クロック以内に送信クロックを入力すると誤動作することがあります(図17.15参照)。

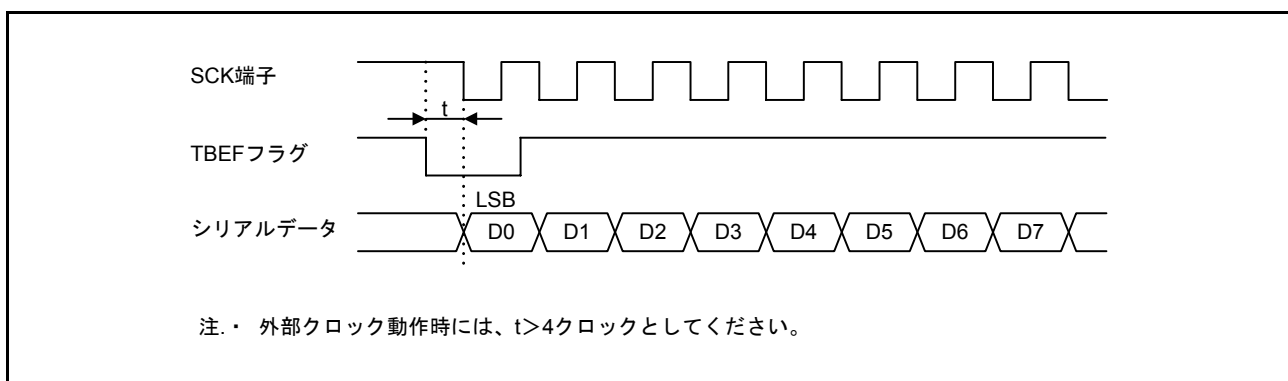


図 17.15 クロック同期式送信時の制約

17.5.4 クロック同期式モード外部クロック入力

クロック同期式モード時、外部クロック SCKi 入力は、High パルス期間および Low パルス期間をそれぞれ 2クロック以上、周期を 6クロック以上としてください。

18. シリアルバスインタフェース (SBI)

本 LSI は、独立したシリアルバスインタフェース (SBI) を SH72A2 グループでは 4 チャンネル、SH72A0 グループでは 3 チャンネル (SBI0 ~ SBI2) 内蔵しています。本章では SH72A2 グループについて説明します。

SBI は、全二重同期式のシリアル通信、送信のみの動作ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を備えています。なお本章では、SBI i の i と端子名および信号名で使用している i は 0 ~ 3 と規定しています。

18.1 概要

表 18.1 にシリアルバスインタフェース (SBI) の仕様を示します。

注. • SH72A0 グループには、SSL10 入出力端子、SSL03、SSL11 ~ SSL13 出力端子がありません。
そのため、SH72A0 グループではチャンネルにより使用できる CS 本数に制限があります。

表 18.1 シリアルバスインタフェース(SBI)の仕様

項目	機能
SBI転送機能	<ul style="list-style-type: none"> • MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (SBI Clock) 信号を使用して、SBI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 • 送信のみの動作が可能 • マスタ/スレーブモードでのシリアル通信が可能 • モードフォルトエラー検出が可能 • オーバランエラー検出が可能 • シリアル転送クロックの極性を変更可能 • シリアル転送クロックの位相を変更可能
データフォーマット	<ul style="list-style-type: none"> • MSBファースト/LSBファーストの切り替え可能 • 転送ビット長を8、9、10、11、12、13、14、15、16、20、24、32ビットに変更可能 • 送信/受信バッファは128ビット • 一度の送受信で最大4フレームを転送(1フレームは最大32ビット)
バッファ構成	<ul style="list-style-type: none"> • 送信/受信バッファ構成はダブルバッファ
SSL制御機能	<ul style="list-style-type: none"> • SBI 1チャンネルあたり4本のSSL信号(SSLi0 ~ SSLi3) • シングルマスタ設定時には、SSLi0 ~ SSLi3信号を出力 • マルチマスタ設定時には、SSLi0信号は入力、SSLi1 ~ SSLi3信号を出力またはHi-Z • スレーブ設定時には、SSLi0信号は入力、SSLi1 ~ SSLi3信号はHi-Z • SSL出力のアサートからRSPCK動作までの遅延(RSPCK遅延)を設定可能 設定範囲: 1 ~ 8 RSPCK 設定単位: 1 RSPCK • RSPCK停止からSSL出力のネゲートまでの遅延(SSLネゲート遅延)を設定可能 設定範囲: 1 ~ 8 RSPCK 設定単位: 1 RSPCK • 次アクセスのSSL出力アサートのウェイト(次アクセス遅延)を設定可能 設定範囲: 1 ~ 8 RSPCK 設定単位: 1 RSPCK • SSL極性変更機能
マスタ転送時の制御方式	<ul style="list-style-type: none"> • 最大8コマンドで構成された転送をシーケンシャルにループ実行可能 • 各コマンドに設定可能な項目は、以下のとおり • SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、LSB/MSBファースト、バースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延 • 送信バッファへの書き込みで転送を起動可能 • SPTEFフラグクリアで転送を起動可能 • SSLネゲート時のMOSI信号値を設定可能
割り込み要因	<ul style="list-style-type: none"> • マスカブルな割り込み要因あり • SBI受信割り込み(受信バッファフル) • SBI送信割り込み(送信バッファエンpty) • SBIエラー割り込み(モードフォルト、オーバラン、パリティエラー) • SBIアイドル割り込み(SBIアイドル)
その他	<ul style="list-style-type: none"> • ループバックモード • CMOS/オープンドレイン出力切り替え機能 • SBIディスエーブル(初期化)機能

注. • $i = 0 \sim 3$

18.1.1 内部ブロック図

図 18.1 に SBI のブロック図を示します。

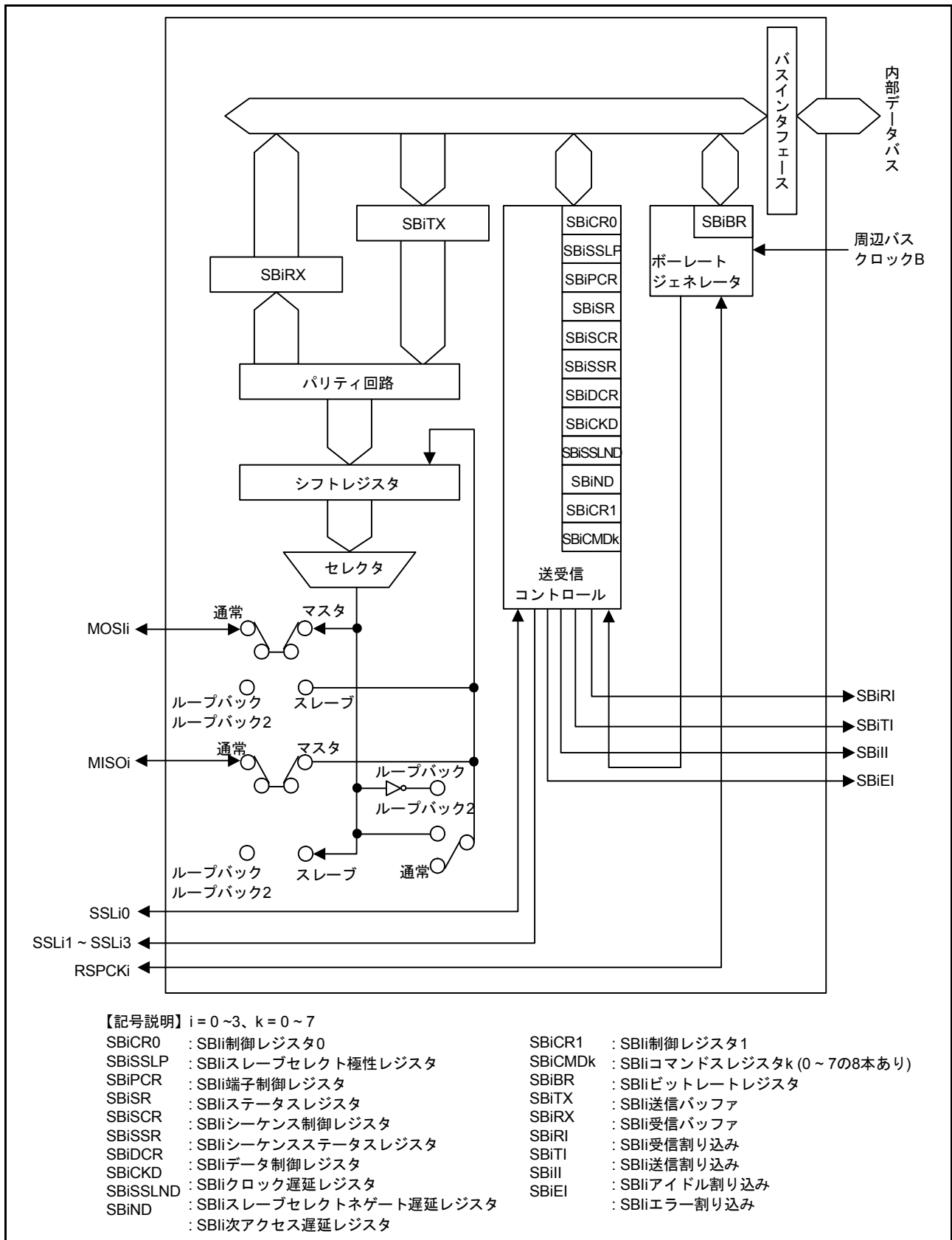


図 18.1 SBI のブロック図 (1 チャネル分)

18.1.2 端子構成

SBIは、チャンネルごとに表 18.2 に示すシリアル端子を持っています。SSLi0 端子 (i = 0 ~ 3) の入出力方向は、シングルマスタ設定の場合には出力、マルチマスタ設定とスレーブ設定の場合には入力に、SBI が自動的に切り替えます。RSPCK、MOSIi、MISOi 端子の入出力方向は、マスタ / スレーブ設定と SSLi0 入力レベルに応じて、SBI が自動的に切り替えます (「18.3.2 SBI 端子の制御」参照)。

表 18.2 SBIの入出力端子

チャンネル	端子名	入出力	機能
チャンネル0	RSPCK0	入出力	SBI0のクロック入出力
	MOSI0	入出力	SBI0のマスタ送出データ
	MISO0	入出力	SBI0のスレーブ送出データ
	SSL00	入出力	SBI0のスレーブセレクト0
	SSL01	出力	SBI0のスレーブセレクト1
	SSL02	出力	SBI0のスレーブセレクト2
	SSL03(注1)	出力	SBI0のスレーブセレクト3
チャンネル1	RSPCK1	入出力	SBI1のクロック入出力
	MOSI1	入出力	SBI1のマスタ送出データ
	MISO1	入出力	SBI1のスレーブ送出データ
	SSL10(注1)	入出力	SBI1のスレーブセレクト0
	SSL11(注1)	出力	SBI1のスレーブセレクト1
	SSL12(注1)	出力	SBI1のスレーブセレクト2
	SSL13(注1)	出力	SBI1のスレーブセレクト3
チャンネル2	RSPCK2	入出力	SBI2のクロック入出力
	MOSI2	入出力	SBI2のマスタ送出データ
	MISO2	入出力	SBI2のスレーブ送出データ
	SSL20	入出力	SBI2のスレーブセレクト0
	SSL21	出力	SBI2のスレーブセレクト1
	SSL22	出力	SBI2のスレーブセレクト2
	SSL23	出力	SBI2のスレーブセレクト3
チャンネル3 (注1)	RSPCK3	入出力	SBI3のクロック入出力
	MOSI3	入出力	SBI3のマスタ送出データ
	MISO3	入出力	SBI3のスレーブ送出データ
	SSL30	入出力	SBI3のスレーブセレクト0
	SSL31	出力	SBI3のスレーブセレクト1
	SSL32	出力	SBI3のスレーブセレクト2
	SSL33	出力	SBI3のスレーブセレクト3

注1. SH72A0グループでは使用できません。

18.2 レジスタの説明

表 18.3、表 18.4 に SBI のレジスタ一覧を示します。これらのレジスタにより、マスタ / スレーブモードの指定、転送フォーマットの指定、および送信部 / 受信部の制御を行うことができます。

表 18.3 SBIのレジスタ一覧(1)

チャンネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
チャンネル0	SBI0制御レジスタ0	SB0CR0	H'00	H'FF62 0000	8、16
	SBI0スレーブセレクト極性レジスタ	SB0SSLP	H'00	H'FF62 0001	8、16
	SBI0端子制御レジスタ	SB0PCR	H'00	H'FF62 0002	8、16
	SBI0ステータスレジスタ	SB0SR	H'20	H'FF62 0003	8、16
	SBI0データレジスタ	SB0DR	H'0000 0000	H'FF62 0004	16、32
	SBI0シーケンス制御レジスタ	SB0SCR	H'00	H'FF62 0008	8、16
	SBI0シーケンスステータスレジスタ	SB0SSR	H'00	H'FF62 0009	8、16
	SBI0ビットレートレジスタ	SB0BR	H'FF	H'FF62 000A	8、16
	SBI0データ制御レジスタ	SB0DCR	H'00	H'FF62 000B	8、16
	SBI0クロック遅延レジスタ	SB0CKD	H'00	H'FF62 000C	8、16
	SBI0スレーブセレクトネゲート遅延レジスタ	SB0SSLND	H'00	H'FF62 000D	8、16
	SBI0次アクセス遅延レジスタ	SB0ND	H'00	H'FF62 000E	8、16
	SBI0制御レジスタ1	SB0CR1	H'00	H'FF62 000F	8、16
	SBI0コマンドレジスタ0	SB0CMD0	H'070D	H'FF62 0010	16
	SBI0コマンドレジスタ1	SB0CMD1	H'070D	H'FF62 0012	16
	SBI0コマンドレジスタ2	SB0CMD2	H'070D	H'FF62 0014	16
	SBI0コマンドレジスタ3	SB0CMD3	H'070D	H'FF62 0016	16
	SBI0コマンドレジスタ4	SB0CMD4	H'070D	H'FF62 0018	16
	SBI0コマンドレジスタ5	SB0CMD5	H'070D	H'FF62 001A	16
	SBI0コマンドレジスタ6	SB0CMD6	H'070D	H'FF62 001C	16
SBI0コマンドレジスタ7	SB0CMD7	H'070D	H'FF62 001E	16	
チャンネル1	SBI1制御レジスタ0	SB1CR0	H'00	H'FF62 0100	8、16
	SBI1スレーブセレクト極性レジスタ	SB1SSLP	H'00	H'FF62 0101	8、16
	SBI1端子制御レジスタ	SB1PCR	H'00	H'FF62 0102	8、16
	SBI1ステータスレジスタ	SB1SR	H'20	H'FF62 0103	8、16
	SBI1データレジスタ	SB1DR	H'0000 0000	H'FF62 0104	16、32
	SBI1シーケンス制御レジスタ	SB1SCR	H'00	H'FF62 0108	8、16
	SBI1シーケンスステータスレジスタ	SB1SSR	H'00	H'FF62 0109	8、16
	SBI1ビットレートレジスタ	SB1BR	H'FF	H'FF62 010A	8、16
	SBI1データ制御レジスタ	SB1DCR	H'00	H'FF62 010B	8、16
	SBI1クロック遅延レジスタ	SB1CKD	H'00	H'FF62 010C	8、16
	SBI1スレーブセレクトネゲート遅延レジスタ	SB1SSLND	H'00	H'FF62 010D	8、16
	SBI1次アクセス遅延レジスタ	SB1ND	H'00	H'FF62 010E	8、16
	SBI1制御レジスタ1	SB1CR1	H'00	H'FF62 010F	8、16
	SBI1コマンドレジスタ0	SB1CMD0	H'070D	H'FF62 0110	16
	SBI1コマンドレジスタ1	SB1CMD1	H'070D	H'FF62 0112	16
	SBI1コマンドレジスタ2	SB1CMD2	H'070D	H'FF62 0114	16
	SBI1コマンドレジスタ3	SB1CMD3	H'070D	H'FF62 0116	16
	SBI1コマンドレジスタ4	SB1CMD4	H'070D	H'FF62 0118	16
	SBI1コマンドレジスタ5	SB1CMD5	H'070D	H'FF62 011A	16

表 18.4 SBIのレジスタ一覧(2)

チャンネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
チャンネル1	SBI1 コマンドレジスタ 6	SB1CMD6	H'070D	H'FF62 011C	16
	SBI1 コマンドレジスタ 7	SB1CMD7	H'070D	H'FF62 011E	16
チャンネル2	SBI2 制御レジスタ 0	SB2CR0	H'00	H'FF62 0200	8、16
	SBI2 スレーブセレクト極性レジスタ	SB2SSLP	H'00	H'FF62 0201	8、16
	SBI2 端子制御レジスタ	SB2PCR	H'00	H'FF62 0202	8、16
	SBI2 ステータスレジスタ	SB2SR	H'20	H'FF62 0203	8、16
	SBI2 データレジスタ	SB2DR	H'0000 0000	H'FF62 0204	16、32
	SBI2 シーケンス制御レジスタ	SB2SCR	H'00	H'FF62 0208	8、16
	SBI2 シーケンスステータスレジスタ	SB2SSR	H'00	H'FF62 0209	8、16
	SBI2 ビットレートレジスタ	SB2BR	H'FF	H'FF62 020A	8、16
	SBI2 データ制御レジスタ	SB2DCR	H'00	H'FF62 020B	8、16
	SBI2 クロック遅延レジスタ	SB2CKD	H'00	H'FF62 020C	8、16
	SBI2 スレーブセレクトネゲート遅延レジスタ	SB2SSLND	H'00	H'FF62 020D	8、16
	SBI2 次アクセス遅延レジスタ	SB2ND	H'00	H'FF62 020E	8、16
	SBI2 制御レジスタ 1	SB2CR1	H'00	H'FF62 020F	8、16
	SBI2 コマンドレジスタ 0	SB2CMD0	H'070D	H'FF62 0210	16
	SBI2 コマンドレジスタ 1	SB2CMD1	H'070D	H'FF62 0212	16
	SBI2 コマンドレジスタ 2	SB2CMD2	H'070D	H'FF62 0214	16
	SBI2 コマンドレジスタ 3	SB2CMD3	H'070D	H'FF62 0216	16
	SBI2 コマンドレジスタ 4	SB2CMD4	H'070D	H'FF62 0218	16
	SBI2 コマンドレジスタ 5	SB2CMD5	H'070D	H'FF62 021A	16
	SBI2 コマンドレジスタ 6	SB2CMD6	H'070D	H'FF62 021C	16
SBI2 コマンドレジスタ 7	SB2CMD7	H'070D	H'FF62 021E	16	
チャンネル3	SBI3 制御レジスタ 0	SB3CR0	H'00	H'FF62 0300	8、16
	SBI3 スレーブセレクト極性レジスタ	SB3SSLP	H'00	H'FF62 0301	8、16
	SBI3 端子制御レジスタ	SB3PCR	H'00	H'FF62 0302	8、16
	SBI3 ステータスレジスタ	SB3SR	H'20	H'FF62 0303	8、16
	SBI3 データレジスタ	SB3DR	H'0000 0000	H'FF62 0304	16、32
	SBI3 シーケンス制御レジスタ	SB3SCR	H'00	H'FF62 0308	8、16
	SBI3 シーケンスステータスレジスタ	SB3SSR	H'00	H'FF62 0309	8、16
	SBI3 ビットレートレジスタ	SB3BR	H'FF	H'FF62 030A	8、16
	SBI3 データ制御レジスタ	SB3DCR	H'00	H'FF62 030B	8、16
	SBI3 クロック遅延レジスタ	SB3CKD	H'00	H'FF62 030C	8、16
	SBI3 スレーブセレクトネゲート遅延レジスタ	SB3SSLND	H'00	H'FF62 030D	8、16
	SBI3 次アクセス遅延レジスタ	SB3ND	H'00	H'FF62 030E	8、16
	SBI3 制御レジスタ 1	SB3CR1	H'00	H'FF62 030F	8、16
	SBI3 コマンドレジスタ 0	SB3CMD0	H'070D	H'FF62 0310	16
	SBI3 コマンドレジスタ 1	SB3CMD1	H'070D	H'FF62 0312	16
	SBI3 コマンドレジスタ 2	SB3CMD2	H'070D	H'FF62 0314	16
	SBI3 コマンドレジスタ 3	SB3CMD3	H'070D	H'FF62 0316	16
	SBI3 コマンドレジスタ 4	SB3CMD4	H'070D	H'FF62 0318	16
	SBI3 コマンドレジスタ 5	SB3CMD5	H'070D	H'FF62 031A	16
	SBI3 コマンドレジスタ 6	SB3CMD6	H'070D	H'FF62 031C	16
SBI3 コマンドレジスタ 7	SB3CMD7	H'070D	H'FF62 031E	16	

18.2.1 SBI_i 制御レジスタ 0 (SBI_iCR0) (i = 0 ~ 3)

アドレス SB0CR : H'FF62 0000、SB1CR : H'FF62 0100、SB2CR : H'FF62 0200、SB3CR : H'FF62 0300

b7	b6	b5	b4	b3	b2	b1	b0
SPRIE	SPE	SPTIE	SPEIE	MSTR	MODF EN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7	SPRIE	SBI受信割り込みイネーブルビット	0 : SBI受信割り込み要求の発生を禁止 1 : SBI受信割り込み要求の発生を許可	R/W
b6	SPE	SBI機能イネーブルビット	0 : SBI機能を無効化 1 : SBI機能を有効化	R/W
b5	SPTIE	SBI送信割り込みイネーブルビット	0 : SBI送信割り込み要求の発生を禁止 1 : SBI送信割り込み要求の発生を許可	R/W
b4	SPEIE	SBIエラー割り込みイネーブルビット	0 : SBIエラー割り込み要求の発生を禁止 1 : SBIエラー割り込み要求の発生を許可	R/W
b3	MSTR	SBIマスタ/スレーブモード選択ビット	0 : スレーブモード 1 : マスタモード	R/W
b2	MODFEN	モードフォルトエラー検出イネーブルビット	0 : モードフォルトエラー検出を禁止 1 : モードフォルトエラー検出を許可	R/W
b1	TXMD	通信動作モード選択ビット	0 : 全二重同期式のシリアル通信 1 : 送信のみ動作	R/W
b0	SPMS	SBIモード選択ビット	0 : SBI動作(4線式) 1 : クロック同期式動作(3線式)	R/W

SPE ビットが“1”で SBI 機能がイネーブルの状態において、MSTR、MODFEN、および TXMD ビットの設定値を変更した場合には、以降の動作は保証されません。

SPRIE ビット

SBI がシリアル転送完了後の受信バッファ書き込みを検出し、SBI_i ステータスレジスタ (SBI_iSR) の SPRF フラグを“1”にした場合の SBI 受信割り込み要求の発生を許可 / 禁止するためのビットです。

SPE ビット

このビットを“1”にすることにより、SBI 機能が有効になります。SBI_i ステータスレジスタ (SBI_iSR) の MODF フラグが“1”の場合には、SPE ビットを“1”に設定することはできません(「18.3.8 エラー検出」参照)。SPE ビットを“0”にすると、SBI 機能は無効化されて、モジュール機能の一部が初期化されます(「18.3.9 SBI の初期化」参照)。

SPTIE ビット

SBI が送信バッファエンプティを検出し、SBI_i ステータスレジスタ (SBI_iSR) の SPTEF フラグを“1”にした場合の SBI 送信割り込み要求の発生を許可 / 禁止するためのビットです。

SBI がディスエーブル (SPE ビットが“0”) の状態では、SPTEF フラグが“1”になります。このため、SBI ディスエーブル状態で SPTIE を“1”に設定すると、SBI 送信割り込み要求が発生することに注意してください。

SPEIE ビット

SBIがモードフォルトエラーを検出してSBIiステータスレジスタ(SBiSR)のMODFフラグを“1”にした場合、またはSBIがオーバランエラーを検出してSBIiSRレジスタのOVRFフラグを“1”にした場合のSBIエラー割り込み要求の発生を許可/禁止するためのビットです(「18.3.8 エラー検出」参照)。

MSTR ビット

SBIのマスタ/スレーブモードを選択するためのビットです。また、SBIはMSTRビットの設定に従って、RSPCK、MOSIi、MISOi、およびSSLi1~SSLi3端子の方向を決定します。

MODFEN ビット

モードフォルトエラーの検出を許可/禁止するためのビットです(「18.3.8 エラー検出」参照)。また、SBIはMODFENビットとMSTRビットとの組み合わせに従って、SSLi0端子の入出力方向を決定します(「18.3.2 SBI端子の制御」参照)。

TXMD ビット

全二重同期式のシリアル通信、送信のみの動作を選択するためのビットです。

TXMDビットを“1”にして、通信を行う場合は、送信動作のみを行い、受信動作を行いません(「18.3.6 通信動作モード」参照)。

また、TXMDビットを“1”に設定したとき、受信バッファフルの割り込み要求を使用することはできません。

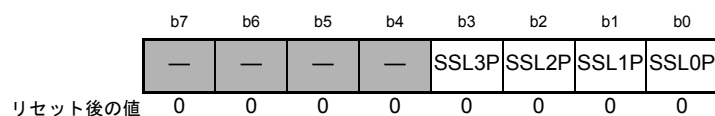
SPMS ビット

SBI動作(4線式)/クロック同期式動作(3線式)を選択するためのビットです。

クロック同期式動作を行う場合はSSLi端子を使用せず、RSPCK、MOSIi、およびMISOi端子の3端子を用いて通信を行います。また、クロック同期式動作を行う場合はSBIiコマンドレジスタk(SBiCMDk)のCPHAビットを“1”に設定してください。CPHAビットを“0”に設定した場合の動作は、保証されません。

18.2.2 SBIi スレーブセレクト極性レジスタ (SBISSLP) (i = 0 ~ 3)

アドレス SB0SSLP : H'FF62 0001、SB1SSLP : H'FF62 0101、SB2SSLP : H'FF62 0201、SB3SSLP : H'FF62 0301



ビット	シンボル	ビット名	機能	R/W
b7-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	SSL3P	SSLi3信号極性設定ビット	0 : SSLi3信号はLowアクティブ 1 : SSLi3信号はHighアクティブ	R/W
b2	SSL2P	SSLi2信号極性設定ビット	0 : SSLi2信号はLowアクティブ 1 : SSLi2信号はHighアクティブ	R/W
b1	SSL1P	SSLi1信号極性設定ビット	0 : SSLi1信号はLowアクティブ 1 : SSLi1信号はHighアクティブ	R/W
b0	SSL0P	SSLi0信号極性設定ビット	0 : SSLi0信号はLowアクティブ 1 : SSLi0信号はHighアクティブ	R/W

SBIi 制御レジスタ 0 (SBIiCR0) の SPE ビットが“1”で SBI 機能がイネーブルの状態において、CPU が SBISSLP レジスタを書き換えた場合には、以降の動作は保証されません。

SSL3P ビット

SSLi3 信号の極性を設定するためのビットです。

SSL2P ビット

SSLi2 信号の極性を設定するためのビットです。

SSL1P ビット

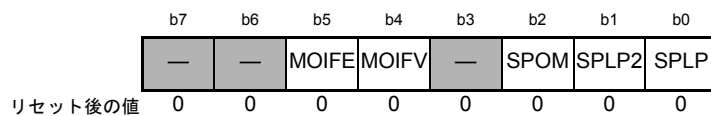
SSLi1 信号の極性を設定するためのビットです。

SSL0P ビット

SSLi0 信号の極性を設定するためのビットです。

18.2.3 SBI_i 端子制御レジスタ (SBI_iPCR) (i = 0 ~ 3)

アドレス SB0PCR : H'FF62 0002、SB1PCR : H'FF62 0102、SB2PCR : H'FF62 0202、SB3PCR : H'FF62 0302



ビット	シンボル	ビット名	機能	R/W
b7-b6	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b5	MOIFE	MOSIアイドル値固定イネーブルビット	0 : MOSI _i 出力値は前回転送の最終データ 1 : MOSI _i 出力値はMOIFVビットの設定値	R/W
b4	MOIFV	MOSIアイドル固定値	0 : MOSI _i アイドル固定値 = “0” 1 : MOSI _i アイドル固定値 = “1”	R/W
b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	SPOM	SBI出力端子モードビット	0 : CMOS出力 1 : オープンドレイン出力	R/W
b1	SPLP2	SBIループバック2ビット	0 : 通常モード 1 : ループバックモード(送信データ=受信データ)	R/W
b0	SPLP	SBIループバックビット	0 : 通常モード 1 : ループバックモード(送信データの反転=受信データ)	R/W

SBI_i 制御レジスタ 0 (SBI_iCR0) の SPE ビットが“1”で SBI 機能がイネーブルの状態において、CPU が SBI_iPCR レジスタを書き換えた場合には、以降の動作は保証されません。

MOIFE ビット

マスタモードの SBI が、SSL ネゲート期間 (注 1) に MOSI_i 出力値を固定するために使用するビットです。MOIFE ビットが“0”の場合には、SBI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSI_i 端子に出力します。MOIFE ビットが“1”の場合には、SBI は MOIFV ビットに設定された固定値を、MOSI_i 端子に出力します。

MOIFV ビット

マスタモードで MOIFE ビットが“1”の場合には、SBI は MOIFV ビットの設定に従って、SSL ネゲート期間 (注 1) の MOSI_i 信号値を決定します。

SPOM ビット

SBI の出力端子を CMOS 出力 / オープンドレイン出力に設定するためのビットです。

SPLP2 ビット

SPLP2 ビットを“1”にすると、SBI は MISO_i 端子とシフトレジスタ間、MOSI_i 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します (ループバックモード)。

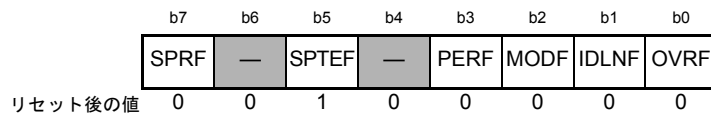
SPLP ビット

SPLP ビットを“1”にすると、SBI は MISO_i 端子とシフトレジスタ間、MOSI_i 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路 (反転) を接続します (ループバックモード)。

注 1. パースト転送における SSL 保持期間も含まれます。

18.2.4 SBI_i ステータスレジスタ (SBI_iSR) (i = 0 ~ 3)

アドレス SB0SR : H'FF62 0003、SB1SR : H'FF62 0103、SB2SR : H'FF62 0203、SB3SR : H'FF62 0303



ビット	シンボル	ビット名	機能	R/W
b7	SPRF	SBI受信バッファフルフラグ	0: SBI _i DRレジスタに有効な受信データなし 1: SBI _i DRレジスタに有効な受信データあり	R/W (注1)
b6	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b5	SPTEF	SBI送信バッファエンプティフラグ	0: 送信バッファにデータあり 1: 送信バッファにデータなし	R/W (注1)
b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	PERF	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	R/W (注1)
b2	MODF	モードフォルトエラーフラグ	0: モードフォルトエラーなし 1: モードフォルトエラー発生	R/W (注1)
b1	IDLNF	SBIアイドルフラグ	0: SBIアイドル状態 1: SBI転送状態	R
b0	OVRF	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	R/W (注1)

注1. フラグをクリアするため、“1”を読み出した後に“0”を書き込むことのみ可能です

CPU から SBI_iSR レジスタへの書き込みは、一定条件下においてのみ有効です。

SPRF フラグ

SBI_i データレジスタ (SBI_iDR) の受信バッファの状態を示すビットです。SBI_i 制御レジスタ 0 (SBI_iCR0) の通信動作モード選択ビット (TXMD) が“0”、SPRF フラグが“0”の状態ではシリアル転送が終了すると、SBI はシフトレジスタから SBI_iDR レジスタに受信データを転送して、このビットを“1”にします。また、TXMD ビットが“0”のとき、SBI は全二重同期式のシリアル通信を行いますので、送信データの最後尾ビットの送信時でもあります。SPRF フラグを“0”にクリアする条件は、以下のとおりです。

- SPRF フラグが“1”にされた状態の SBI_iSR レジスタを CPU が読み出した後、CPU が SPRF フラグに“0”を書き込む。
- SBI_iDR レジスタから受信データを読み出す。
- リセット。

SPRF フラグが“1”の状態ではシリアル転送が終了した場合には、SBI はシフトレジスタから SBI_iDR レジスタに受信データを転送しません。SBI_iSR レジスタの OVRF フラグが“1”の状態では、SPRF フラグを“0”→“1”に変化させることができません。(「18.3.8 エラー検出」参照)

SPTEF フラグ

SBiI データレジスタ (SBiDR) の送信バッファの状態を示すビットです。SBI の初期化後、または送信バッファからシフトレジスタに送信データが転送された場合に、SBI が SPTEF フラグを“1”にします。SPTEF フラグを“0”にクリアする条件は、以下のとおりです。SPTEF フラグクリア状態で、かつシフトレジスタが空の場合、送信バッファからシフトレジスタへデータがコピーされます。

- SPTEF フラグが“1”にされた状態の SBiSR レジスタを CPU が読み出した後、CPU が SPTEF フラグに“0”を書き込む。
- SBiDR レジスタに送信データを書き込む。

SBiDR レジスタに対する書き込みは、SPTEF フラグが“1”の場合にのみ有効です。SPTEF フラグが“0”の状態では、SBiDR レジスタの送信バッファを書き込んだ場合には、送信バッファのデータは更新されません。

PERF フラグ

パリティエラーの発生状況を示すビットです。SBiCR0 レジスタの TXMD ビットが“0”、SBiCR1 レジスタの SPPE ビットが“1”の状態ではシリアル転送が終了した場合に、SBI はパリティエラーを検出します。パリティエラーが発生したとき、PERF フラグを“1”にします。PERF フラグのクリア条件は、以下のとおりです。

- PERF フラグが“1”にされた状態の SBiSR レジスタを CPU が読み出した後、CPU が PERF フラグに“0”を書き込む。
- リセット。

MODF フラグ

モードフォルトエラーの発生状況を示すビットです。SBiI 制御レジスタ 0 (SBiCR0) の MSTR ビットが“1”、MODFEN ビットが“1”で SBI がマルチマスタモードの場合に、SSLi0 端子の入力レベルがアクティブレベルになると、SBI がモードフォルトエラーを検出し MODF フラグを“1”にします。また、MSTR ビットが“0”で SBI がスレーブモードの場合に MODFEN ビットに“1”を設定すると、データ転送に必要な RSPCK サイクルが終了する前に SSLi0 端子がネゲートされると、SBI がモードフォルトエラーを検出します。なお、SSLi0 信号のアクティブレベルは、SBiI スレーブセレクト極性レジスタ (SBiSSLP) の SSL0P ビットによって決定されます。MODF フラグのクリア条件は、以下のとおりです。

- MODF フラグが“1”にされた状態の SBiSR レジスタを CPU が読み出した後、CPU が MODF フラグに“0”を書き込む。
- リセット。

IDLNF フラグ

SBIの転送状況を示すビットです。マスタモード時はSBIiシーケンスステータスレジスタ(SBiSSR)のSPCPビットが“000”になりシーケンスの先頭である、かつSBIiSRレジスタのSPTEFフラグが“1”で次転送のデータがセットされず、SBIの転送が行われない状態で“0”にクリアされます。

マスタ/スレーブモード時共にSBIcR0レジスタのSPEビットが“0”でSBIの機能無効時に“0”にクリアされます。

マスタモード(シングル/マルチ)時におけるIDLNFフラグのクリア条件は、以下のとおりです。

- SBIcR0レジスタのSPEビットが“0”(SBI初期化)
または、
- SBIiSRレジスタのSPTEFフラグが“1”
(次転送データがセットされていない)
- SBIiSSRレジスタのSPCPビットが“000”
(シーケンス制御がグループ先頭コマンドポインタに位置)
- SBI内部シーケンサがアイドル状態へ遷移
(次アクセス遅延までが動作完了された状態)

の条件がすべて満たされた場合、IDLNFフラグはクリアされます。

上記条件が満たされない場合、IDLNFフラグはセットされます。

スレーブモード時はIDLNFフラグのクリア条件は、以下のとおりです。

- SBIcR0レジスタのSPEビットが“0”(SBI初期化)
SPE=1にセットされるとIDLNFフラグは“1”にセットされます。

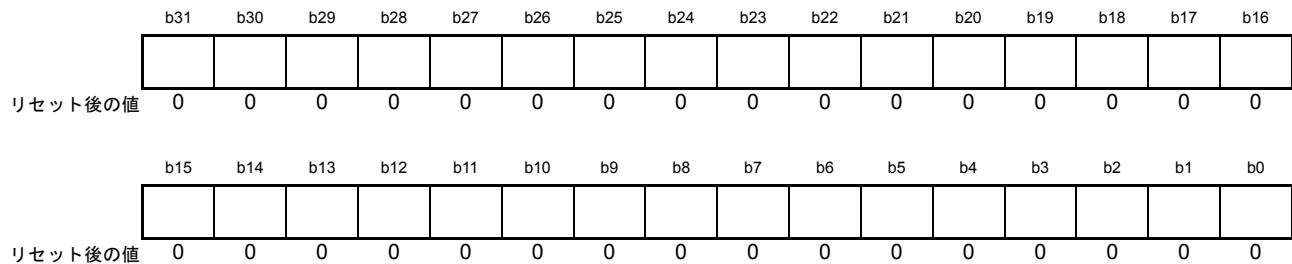
OVRF フラグ

オーバランエラーの発生状況を示すビットです。SBIi制御レジスタ0(SBIcR0)の通信動作モード選択ビット(TXMD)が“0”、SPRFフラグが“1”にされた状態でシリアル転送が終了した場合に、SBIはオーバランエラーを検出し、OVRFフラグを“1”にします。OVRFフラグのクリア条件は、以下のとおりです。

- OVRFフラグが“1”にされた状態のSBIiSRレジスタをCPUが読み出した後、CPUがOVRFフラグに“0”を書き込む。
- リセット。

18.2.5 SBI_i データレジスタ (SBI_iDR) (i = 0 ~ 3)

アドレス SB0DR : H'FF62 0004、SB1DR : H'FF62 0104、SB2DR : H'FF62 0204、SB3DR : H'FF62 0304



ビット	機能	R/W
b31-b0	SBI送受信用のデータを格納。	R/W

SBI_i データレジスタ (SBI_iDR) は、SBI 送受信用のデータを格納するバッファです。

送信用バッファ (SBI_iTX) と受信用バッファ (SBI_iRX) は独立したバッファで、これらのバッファが SBI_iDR レジスタにマッピングされています。

SBI_iDR レジスタへの読み出し / 書き込みは、SBI_i データ制御レジスタ (SBI_iDCR) の SBI ロングワードアクセス / ワードアクセス設定ビット (SPLW) の設定によって、ワード / ロングワードで行ってください。SPLW ビットが“0”のとき、SBI_iDR レジスタは、64 ビットのバッファで最大 16 ビットの 4 フレームから構成され、SPLW ビットが“1”のとき、SBI_iDR レジスタは、128 ビットのバッファで最大 32 ビットの 4 フレームから構成されます。

SBI_iDR レジスタの使用するフレーム長は SBI_i データ制御レジスタ (SBI_iDCR) のフレーム数設定ビット (SPFC) によって決定され、使用するビット長は SBI_i コマンドレジスタ k (SBI_iCMDk) の SBI データ長設定ビット (SPB) によって決定されます。

SBI_iDR レジスタへの書き込みを要求した場合には、SBI_i ステータスレジスタ (SBI_iSR) の SPTEF フラグが“1”にされていれば、SBI が SBI_iDR レジスタの送信バッファにデータを書き込みます。SPTEF フラグが“0”の状態では、SBI は SBI_iDR レジスタの送信バッファを更新しません。

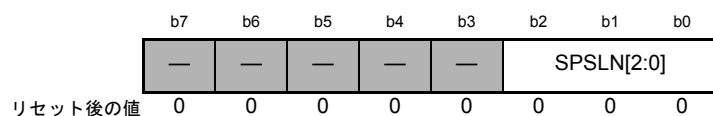
SBI_iDR レジスタからの読み出しを要求した場合には、SBI_i データ制御レジスタ (SBI_iDCR) の SBI 受信 / 送信データ選択ビット (SPRDTD) が“0”であれば、受信バッファを読み出し、“1”であれば送信バッファを読み出します。

送信バッファを読み出す場合には、直前に書き込んだ値が読み出されます。また、SBI_i ステータスレジスタ (SBI_iSR) の SPTEF フラグが“0”の状態では、読み出し値がすべて“0”になります。

通常の使用方法では、SPRDTD ビットを“0”とし、SBI_iSR レジスタの SPRF フラグの“1”状態 (受信バッファに未リードのデータが格納された状態) で、受信バッファ読み出しを実行します。SBI_iSR レジスタの SPRF フラグまたは OVRF フラグが“1”の状態では、SBI はシリアル転送終了時に SBI_iDR レジスタの受信バッファを更新しません。

18.2.6 SBI_i シーケンス制御レジスタ (SBI_iSCR) (i = 0 ~ 3)

アドレス SB0SCR : H'FF62 0008、SB1SCR : H'FF62 0108、SB2SCR : H'FF62 0208、SB3SCR : H'FF62 0308



ビット	シンボル	ビット名	機能	R/W
b7-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2-b0	SPSLN[2:0]	SBIシーケンス長設定ビット	以下の表を参照	R/W

SBI_i シーケンス制御レジスタ (SBI_iSCR) は、SBI がマスタ動作する場合のシーケンス制御方式を設定します。SBI_i 制御レジスタ 0 (SBI₀CR0) の MSTR ビットと SPE ビットが“1”で、マスタモードの SBI 機能がイネーブルの状態において、CPU が SBI_iSCR レジスタの SPSLN ビットを書き換える場合、SBI_i ステータスレジスタ (SBI_iSR) の IDLNF フラグが“0”のときに書き換えてください。

SPSLN ビット

マスタモードの SBI がシーケンス動作する場合のシーケンス長を設定するためのビットです。マスタモードの SBI は SPSLN ビットに設定されたシーケンス長に応じて、参照する SBI_i コマンドレジスタ 0 ~ 7 (SBI_iCMD0 ~ 7) と参照順を変更します。SPSLN ビットの設定値とシーケンス長、SBI が参照する SBI_iCMD0 ~ 7 レジスタの関係は、以下のとおりです。

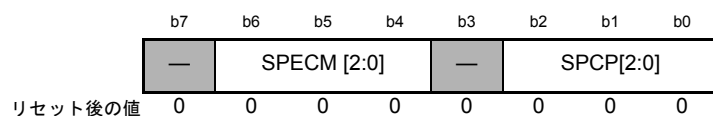
なお、スレーブモードの SBI では、常に SBI_iCMD0 レジスタが参照されます。

SPSLN	シーケンス長	参照する SBI _i CMD _k レジスタ (番号)
“000”	1	0 → 0 → ...
“001”	2	0 → 1 → 0 → ...
“010”	3	0 → 1 → 2 → 0 → ...
“011”	4	0 → 1 → 2 → 3 → 0 → ...
“100”	5	0 → 1 → 2 → 3 → 4 → 0 ...
“101”	6	0 → 1 → 2 → 3 → 4 → 5 → 0 ...
“110”	7	0 → 1 → 2 → 3 → 4 → 5 → 6 → 0 ...
“111”	8	0 → 1 → 2 → 3 → 4 → 5 → 6 → 7 → 0 ...

注. • i = 0 ~ 3、k = 0 ~ 7

18.2.7 SBI_i シーケンスステータスレジスタ (SBI_iSSR) (i = 0 ~ 3)

アドレス SB0SSR : H'FF62 0009、SB1SSR : H'FF62 0109、SB2SSR : H'FF62 0209、SB3SSR : H'FF62 0309



ビット	シンボル	ビット名	機能	R/W
b7	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b6-b4	SPECM [2:0]	SBIエラーコマンドビット	b6 b5 b4 0 0 0 : SBI _i CMD0 0 0 1 : SBI _i CMD1 0 1 0 : SBI _i CMD2 0 1 1 : SBI _i CMD3 1 0 0 : SBI _i CMD4 1 0 1 : SBI _i CMD5 1 1 0 : SBI _i CMD6 1 1 1 : SBI _i CMD7	R
b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2-b0	SPCP[2:0]	SBIコマンドポインタビット	b2 b1 b0 0 0 0 : SBI _i CMD0 0 0 1 : SBI _i CMD1 0 1 0 : SBI _i CMD2 0 1 1 : SBI _i CMD3 1 0 0 : SBI _i CMD4 1 0 1 : SBI _i CMD5 1 1 0 : SBI _i CMD6 1 1 1 : SBI _i CMD7	R

SBI_i シーケンスステータスレジスタ (SBI_iSSR) は、SBI がマスタ動作する場合のシーケンス制御の状態を示します。CPU から SBI_iSSR レジスタへの書き込みは無視されます。

SPECM ビット

SBI のシーケンス制御で、エラー検出時にコマンドポインタ (SPCP ビット) で指されていた SBI_i コマンドレジスタ k (SBI_iCMDk) を示すビットです。SBI はエラー検出時にのみ SPECM ビットを更新します。SBI_i ステータスレジスタ (SBI_iSR) の OVRF、MODF、および PERF フラグがともに“0”で、エラーが発生していない場合には、SPECM ビットの値には意味がありません。

なお、SBI のエラー検出機能については、「18.3.8 エラー検出」を参照してください。また、SBI のシーケンス制御については、「18.3.10 (1) マスタモード動作」を参照してください。

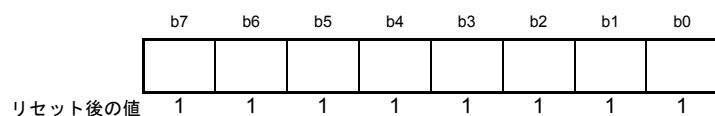
SPCP ビット

SBI のシーケンス制御で、現在ポインタで指されている SBI_i コマンドレジスタ k (SBI_iCMDk) を示すビットです。

なお、SBI のシーケンス制御については、「18.3.10 (1) マスタモード動作」を参照してください。

18.2.8 SBI_i ビットレートレジスタ (SBI_iBR) (i = 0 ~ 3)

アドレス SB0BR : H'FF62 000A、SB1BR : H'FF62 010A、SB2BR : H'FF62 020A、SB3BR : H'FF62 030A



ビット	機能	R/W
b7-b0	マスタモード時のビットレートを設定。	R/W

SBI_i ビットレートレジスタ (SBI_iBR) は、マスタモード時のビットレート設定に使用します。SBI_i 制御レジスタ 0 (SBI_iCR0) の MSTR ビットと SPE ビットが “1” で、マスタモードの SBI 機能がイネーブルの状態において、CPU が SBI_iBR レジスタを書き換えた場合には、以降の動作は保証されません。

SBI をスレーブモードで使用する場合には、SBI_iBR レジスタ、および SBI_i コマンドレジスタ k (SBI_iCMDk) の BRDV ビットの設定に関係なく、入力クロックのビットレートに依存します。(電気的特性を満足するビットレートに設定してください。)

ビットレートは SBI_iBR レジスタの設定値と BRDV ビットの設定値の組み合わせで決定されます。ビットレートの計算式は、下記のとおりです。計算式中で “n” は SBI_iBR レジスタの設定値 (0, 1, 2, ..., 255)、N は BRDV ビットの設定値 (0, 1, 2, 3) です。

$$\text{ビットレート} = \frac{f(\text{PBB})}{2 \times (n + 1) \times 2^N}$$

注. • f(PBB): 周辺バスクロック B

表 18.5 に SBI_iBR レジスタ、BRDV ビットの設定値とビットレートの関係の例を示します。

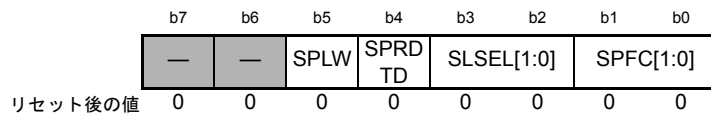
表 18.5 SBI_iBR レジスタ、BRDV ビットの設定値とビットレートの関係の例

SBI _i BR レジスタ設定値(n)	BRDV 設定値(N)	分周比	ビットレート	
			f(PBB) = 32MHZ	f(PBB) = 40MHZ
0	0	2	16.0Mbps (注 1)	20.0Mbps (注 1)
1	0	4	8.00Mbps	10.0Mbps
2	0	6	5.33Mbps	6.67Mbps
3	0	8	4.00Mbps	5.00Mbps
4	0	10	3.20Mbps	4.00Mbps
5	0	12	2.67Mbps	3.33Mbps
5	1	24	1.33kbps	1.67Mbps
5	2	48	677kbps	833kbps
5	3	96	333kbps	417kbps
255	3	4096	7.81kbps	9.78kbps

注1. 本LSIでは、設定禁止です。

18.2.9 SBI_i データ制御レジスタ (SBiDCR) (i = 0 ~ 3)

アドレス SB0DCR : H'FF62 000B、SB1DCR : H'FF62 010B、SB2DCR : H'FF62 020B、SB3DCR : H'FF62 030B



ビット	シンボル	ビット名	機能	R/W
b7-b6	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b5	SPLW	SBI ロングワードアクセス/ワードアクセス設定ビット	0 : SBiDR レジスタへはワードアクセス 1 : SBiDR レジスタへはロングワードアクセス	R/W
b4	SPRDTD	SBI 受信/送信データ選択ビット	0 : SBiDR レジスタは受信バッファを読み出す 1 : SBiDR レジスタは送信バッファを読み出す (ただし、SPTEF フラグが“1”のとき)	R/W
b3-b2	SLSEL[1:0]	SSL 端子出力選択ビット	b3 b2 0 0 : SSLi3 ~ SSLi0 端子は SSL 出力 0 1 : SSLi0 端子は SSL 出力、SSLi3 ~ SSLi1 端子は I/O ポートとして使用可能 1 0 : SSLi1、SSLi0 端子は SSL 出力、SSLi3、SSLi2 端子は I/O ポートとして使用可能 1 1 : 設定禁止	R/W
b1-b0	SPFC[1:0]	フレーム数設定ビット	表 18.6 を参照	R/W

SBI_i コマンドレジスタ k (SBiCMDk) の SBI データ長設定ビット (SPB)、SBI_i シーケンス制御レジスタ (SBiSCR) のシーケンス長設定ビット (SPSLN)、SBI データ制御レジスタ (SBiDCR) のフレーム数設定ビット (SPFC) の組み合わせから 1 回の送受信起動で最大 4 フレームを送受信できます。

SBI_i 制御レジスタ 0 (SBiCR0) の SPE ビットが“1”で SBI_i 機能がイネーブルの状態において、CPU が SBiDCR レジスタの SPFC ビットを書き換える場合、SBI_i ステータスレジスタ (SBiSR) の IDLNF フラグが“0”のときに書き換えてください。

SPLW ビット

SBI ロングワードアクセス/ワードアクセス設定ビット (SPLW) は、SBI_i データレジスタ (SBiDR) へのアクセス幅を設定します。SPLW ビットが“0”のときはワードアクセス、SPLW ビットが“1”のときはロングワードアクセスで SBiDR レジスタにアクセスしてください。

また、SPLW ビットが“0”のとき、SBI_i コマンドレジスタ k (SBiCMDk) の SBI データ長設定ビット (SPB) の設定は、8 ~ 16 ビットに設定してください。20、24、32 ビットに設定した場合の動作は保証されません。

SPRDTD ビット

SBI 受信/送信データ選択ビット (SPRDTD) は、SBI_i データレジスタ (SBiDR) の読み出す値を受信バッファとするか、送信バッファとするか選択します。送信バッファを読み出した場合、SBiDR レジスタへ直前に書き込んだ値が読み出されます。送信バッファの読み出しは、SBI_i ステータスレジスタ (SBiSR) の SPTEF フラグが“1”の状態であるときに行ってください。

SLSEL ビット

SSL 端子出力選択ビット (SLSEL) はマスタモード時に SSL_i 端子として使用する端子を選択します。使用しない端子は I/O ポートとして使用可能です。

SPFC ビット

SBiDR レジスタに格納できるフレーム数を設定するビットです。SBIi コマンドレジスタ k (SBiCMDk) の SBI データ長設定ビット (SPB)、SBIi シーケンス制御レジスタ (SBiSCR) の SBI シーケンス長設定ビット (SPSLN)、および SBIi データ制御レジスタ (SBiDCR) のフレーム数設定ビット (SPFC) の設定により 1 回の送受信起動で最大 4 フレームを送受信できます。また、SPFC ビットは、SBIi ステータスレジスタ (SBiSR) の SBI 受信バッファフルフラグ (SPRF) をセットする受信データ数の設定を行います。以下に SBiDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定を行った場合、以後の動作は保証されません。

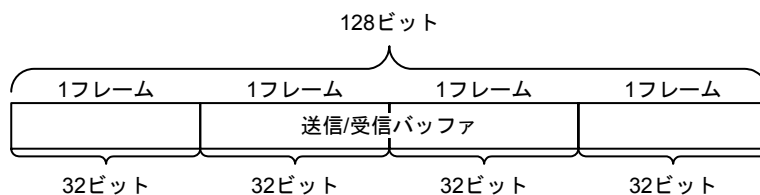


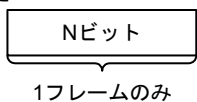
表 18.6 各ビットによるフレームの設定

設定	SPB	SPSLN	SPFC	転送するフレーム数	SPRFフラグを“1”にセット、SPTEFフラグを“0”にクリアするフレーム数
1-1	N	“000”	“00”	1	1
1-2	N	“000”	“01”	2	2
1-3	N	“000”	“10”	3	3
1-4	N	“000”	“11”	4	4
2-1	N, M	“001”	“01”	2	2
2-2	N, M	“001”	“11”	4	4
3	N, M, O	“010”	“10”	3	3
4	N, M, O, P	“011”	“11”	4	4
5	N, M, O, P, Q	“100”	“00”	5	1
6	N, M, O, P, Q, R	“101”	“00”	6	1
7	N, M, O, P, Q, R, S	“110”	“00”	7	1
8	N, M, O, P, Q, R, S, T	“111”	“00”	8	1

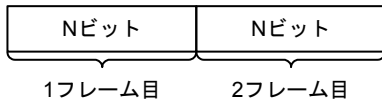
注. • N, M, O, P, Q, R, S, T: SPBで設定できるデータ長

1 回の起動で上記の 1-1 ~ 8 の設定時に以下のようにデータが送受信できます。

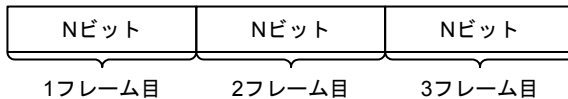
設定1-1



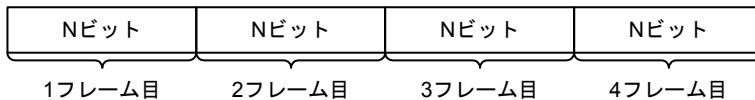
設定1-2



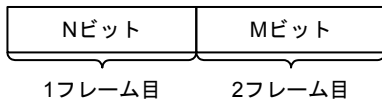
設定1-3



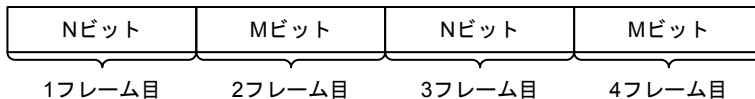
設定1-4



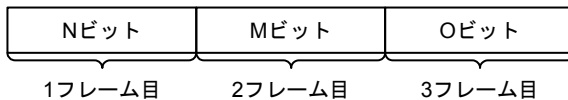
設定2-1



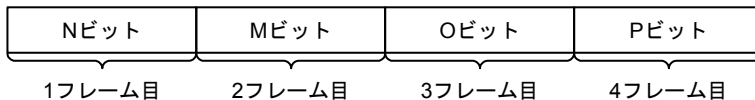
設定2-2



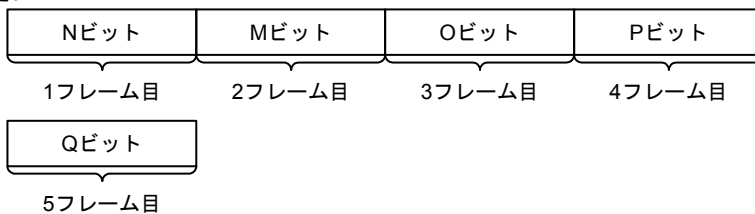
設定3



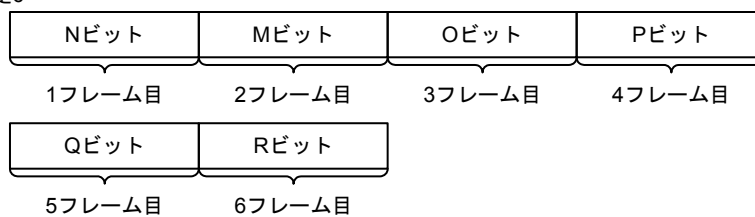
設定4



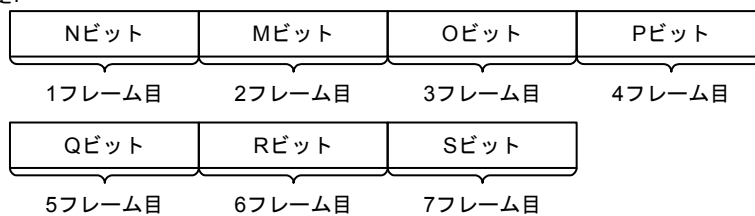
設定5



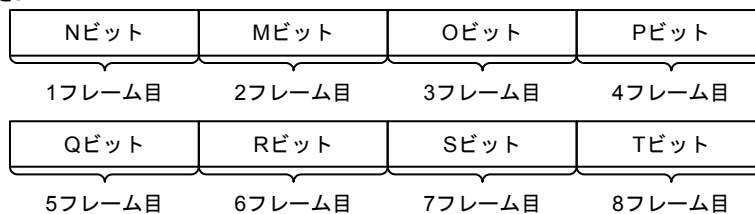
設定6



設定7

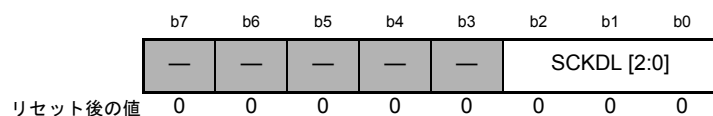


設定8



18.2.10 SBI_i クロック遅延レジスタ (SBI_iCKD) (i = 0 ~ 3)

アドレス SB0CKD : H'FF62 000C、SB1CKD : H'FF62 010C、SB2CKD : H'FF62 020C、SB3CKD : H'FF62 030C



ビット	シンボル	ビット名	機能	R/W
b7-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2-b0	SCKDL [2:0]	RSPCK遅延設定ビット	b2 b1 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W

SBI_i クロック遅延レジスタ (SBI_iCKD) は、SBI_i コマンドレジスタ k (SBI_iCMDk) の SCKDEN ビットが“1”の状態における、SSL 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定します。SBI_i 制御レジスタ 0 (SBI_iCR0) の MSTR ビットと SPE ビットが“1”で、マスタモードの SBI がイネーブルの状態において、CPU が SBI_iCKD レジスタを書き換えた場合には、以降の動作は保証されません。

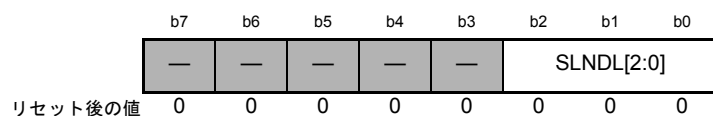
SBI をスレーブモードで使用する場合には、SCKDL に“000”を設定してください。

SCKDL ビット

SBI_iCMDk レジスタの SCKDEN ビットが“1”の場合の RSPCK 遅延値を設定するためのビットです。

18.2.11 SBI_i スレーブセレクトネゲート遅延レジスタ (SBISSLND) (i = 0 ~ 3)

アドレス SB0SSLND : H'FF62 000D、SB1SSLND : H'FF62 010D、SB2SSLND : H'FF62 020D、SB3SSLND : H'FF62 030D



ビット	シンボル	ビット名	機能	R/W
b7-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2-b0	SLNDL[2:0]	SSL ネゲート遅延設定ビット	b2 b1 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W

SBI_i スレーブセレクトネゲート遅延レジスタ (SBISSLND) は、マスタモードの SBI がシリアル転送の最終 RSPCK エッジを送出してから SSL 信号をネゲートするまでの期間 (SSL ネゲート遅延) を設定します。SBI_i 制御レジスタ 0 (SBI_iCR0) の MSTR ビットと SPE ビットが“1”で、マスタモードの SBI がイネーブルの状態において、CPU が SBISSLND レジスタを書き換えた場合には、以降の動作は保証されません。

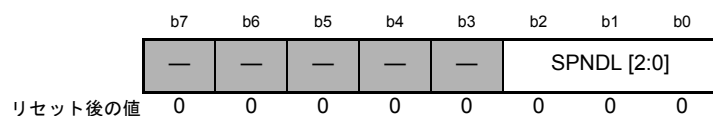
SBI をスレーブモードで使用する場合には、SLNDL に“000”を設定してください。

SLNDL ビット

マスタモードの SBI の SSL ネゲート遅延値を設定するためのビットです。

18.2.12 SBI_i 次アクセス遅延レジスタ (SBI_iND) (i = 0 ~ 3)

アドレス SB0ND : H'FF62 000E、SB1ND : H'FF62 010E、SB2ND : H'FF62 020E、SB3ND : H'FF62 030E



ビット	シンボル	ビット名	機能	R/W
b7-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2-b0	SPNDL [2:0]	SBI次アクセス遅延設定ビット	b2 b1 b0 0 0 0 : 1 RSPCK + 周辺バスクロックBの2サイクル 0 0 1 : 2 RSPCK + 周辺バスクロックBの2サイクル 0 1 0 : 3 RSPCK + 周辺バスクロックBの2サイクル 0 1 1 : 4 RSPCK + 周辺バスクロックBの2サイクル 1 0 0 : 5 RSPCK + 周辺バスクロックBの2サイクル 1 0 1 : 6 RSPCK + 周辺バスクロックBの2サイクル 1 1 0 : 7 RSPCK + 周辺バスクロックBの2サイクル 1 1 1 : 8 RSPCK + 周辺バスクロックBの2サイクル	R/W

SBI_i 次アクセス遅延レジスタ (SBI_iND) は、SBI_i コマンドレジスタ k (SBI_iCMDk) の SPNDEN ビットが“1”の状態における、シリアル転送終了後の SSL 信号の非アクティブ期間 (次アクセス遅延) を設定します。SBI_i 制御レジスタ 0 (SBI_iCR0) の MSTR ビットと SPE ビットが“1”で、マスタモードの SBI がイネーブルの状態において、CPU が SBI_iND レジスタを書き換えた場合には、以降の動作は保証されません。

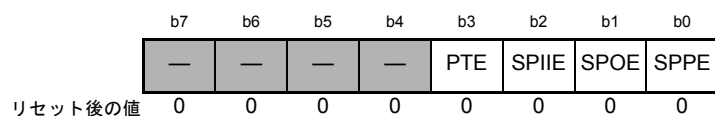
SBI をスレーブモードで使用する場合には、SPNDL ビットに“000”を設定してください。

SPNDL ビット

SBI_iCMDk レジスタの SPNDEN ビットが“1”の場合の次アクセス遅延を設定するためのビットです。

18.2.13 SBI_i 制御レジスタ 1 (SBI_iCR1) (i = 0 ~ 3)

アドレス SB0CR2 : H'FF62 000F、SB1CR2 : H'FF62 010F、SB2CR2 : H'FF62 020F、SB3CR2 : H'FF62 030F



ビット	シンボル	ビット名	機能	R/W
b7-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	PTE	パリティ自己診断ビット	0: パリティ回路の自己診断機能無効 1: パリティ回路の自己診断機能有効	R/W
b2	SPIIE	SBI アイドル割り込みイネーブルビット	0: アイドル割り込み要求の発生を禁止します。 1: アイドル割り込み要求の発生を許可します。	R/W
b1	SPOE	パリティモードビット	0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。	R/W
b0	SPPE	パリティイネーブルビット	0: 送信データにパリティビットを付加しません。受信データのパリティチェックを行いません。 1: TXMD = 0 のとき: 送信データにパリティビットを付加し、受信データのパリティチェックを行います。 TXMD = 1 のとき: 送信データにパリティビットを付加しますが、受信データのパリティチェックを行いません。	R/W

SPE ビットが“1”で SBI 機能がイネーブルの状態において、SPPE ビット、SPOE ビットの設定値を変更した場合には、以降の動作は保証されません。

PTE ビット

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

SPIIE ビット

SBI がアイドル状態であることを検出し、SBI_i ステータスレジスタ (SBI_iSR) の IDLNF フラグを“0”にした場合の SBI アイドル割り込み要求の発生を許可 / 禁止するためのビットです。

SPOE ビット

偶数パリティでは、パリティビットと送受信キャラクタをあわせて、1 の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタをあわせて、1 の数の合計が奇数個になるようにパリティビットを決定します。

SPOE ビットは、SBI_iCR1 レジスタの SPPE ビットが“1”のときのみ有効です。

SPPE ビット

パリティ機能の有効、無効を選択するビットです。

SBI_i 制御レジスタ 0 (SBI_iCR0) の通信動作モード選択ビット (TXMD) が“0”、SPPE ビットが“1”のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。

TXMD ビットが“1”、SPPE ビットが“1”の場合、送信データにパリティビットを付加しますが、受信データのパリティチェックを行いません。

18.2.14 SBli コマンドレジスタ k (SBiCMDk) (i = 0 ~ 3、k = 0 ~ 7)

SB0CMD0 : H'FF62 0010、SB0CMD1 : H'FF62 0012、SB0CMD2 : H'FF62 0014、SB0CMD3 : H'FF62 0016、
 SB0CMD4 : H'FF62 0018、SB0CMD5 : H'FF62 001A、SB0CMD6 : H'FF62 001C、SB0CMD7 : H'FF62 001E
 SB1CMD0 : H'FF62 0110、SB1CMD1 : H'FF62 0112、SB1CMD2 : H'FF62 0114、SB1CMD3 : H'FF62 0116、
 SB1CMD4 : H'FF62 0118、SB1CMD5 : H'FF62 011A、SB1CMD6 : H'FF62 011C、SB1CMD7 : H'FF62 011E
 アドレス SB2CMD0 : H'FF62 0210、SB2CMD1 : H'FF62 0212、SB2CMD2 : H'FF62 0214、SB2CMD3 : H'FF62 0216、
 SB2CMD4 : H'FF62 0218、SB2CMD5 : H'FF62 021A、SB2CMD6 : H'FF62 021C、SB2CMD7 : H'FF62 021E
 SB3CMD0 : H'FF62 0310、SB3CMD1 : H'FF62 0312、SB3CMD2 : H'FF62 0314、SB3CMD3 : H'FF62 0316、
 SB3CMD4 : H'FF62 0318、SB3CMD5 : H'FF62 031A、SB3CMD6 : H'FF62 031C、SB3CMD7 : H'FF62 031E

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
SCKD EN	SLND EN	SPND EN	LSBF	SPB[3:0]			SSLKP	SSLA[2:0]		BRDV[1:0]		CPOL	CPHA			
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b15	SCKDEN	RSPCK遅延設定イネーブル ビット	0 : RSPCK遅延は1 RSPCK 1 : RSPCK遅延はSBliクロック遅延レジスタ (SBiCKD)の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定イネーブル ビット	0 : SSLネゲート遅延は1 RSPCK 1 : SSLネゲート遅延はSBliスレーブセレクトネゲート遅延レジスタ (SBiSSLND)の設定値	R/W
b13	SPNDEN	SBI次アクセス遅延イネーブル ビット	0 : 次アクセス遅延は1 RSPCK + 周辺バスクロックBの2サイクル 1 : 次アクセス遅延はSBli次アクセス遅延レジスタ (SBiIND)の設定値	R/W
b12	LSBF	SBI LSBファーストビット	0 : MSBファースト 1 : LSBファースト	R/W
b11-b8	SPB[3:0]	SBIデータ長設定ビット	b11b10 b9 b8 0 1 0 0 : 8ビット 1 0 0 0 : 9ビット 1 0 0 1 : 10ビット 1 0 1 0 : 11ビット 1 0 1 1 : 12ビット 1 1 0 0 : 13ビット 1 1 0 1 : 14ビット 1 1 1 0 : 15ビット 1 1 1 1 : 16ビット 0 0 0 0 : 20ビット 0 0 0 1 : 24ビット 0 0 1 0、0 0 1 1 : 32ビット	R/W
b7	SSLKP	SSL信号レベル保持ビット	0 : 転送終了時に全SSL信号をネゲート 1 : 転送終了後から次アクセス開始までSSL信号レベルを保持	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定ビット	b6 b5 b4 0 0 0 : SSLi0 0 0 1 : SSLi1 0 1 0 : SSLi2 0 1 1 : SSLi3 1 0 0 ~ 1 1 1 : 設定しないでください	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 0 0 : ベースのビットレートを選択 0 1 : ベースのビットレートの2分周を選択 1 0 : ベースのビットレートの4分周を選択 1 1 : ベースのビットレートの8分周を選択	R/W
b1	CPOL	RSPCK極性設定ビット	0 : アイドル時のRSPCKが"0" 1 : アイドル時のRSPCKが"1"	R/W
b0	CPHA	RSPCK位相設定ビット	0 : 奇数エッジでデータサンプル、偶数エッジでデータ変化 1 : 奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W

SBIには、各チャンネルにSBIi コマンドレジスタ k (SBiCMDk) が 8 本あります。これらのレジスタは、マスターモードのSBIの転送フォーマットを設定するために使用されます。また、SBiCMD0 レジスタの一部のビットは、スレーブモードのSBIの転送フォーマットを設定するためにも使用されます。マスターモードのSBIはSBiシークエンス制御レジスタ (SBiSCR) のSPSLN ビットの設定に従ってシークエンシャルにSBiCMDk レジスタを参照し、参照したSBiCMDk レジスタに設定されたシリアル転送を実行します。

SBiCMDk レジスタの設定はSBIi ステータスレジスタ (SBiSR) のSPTEF フラグが“1”の状態でのSBiCMDk レジスタを参照して送信するデータを設定する前に実施してください。

マスターモードのSBIが参照しているSBiCMDk レジスタは、SBIi シークエンスステータスレジスタ (SBiSSR) のSPCP ビットにより確認できます。また、スレーブモードのSBIがイネーブルの状態において、SBiCMDk レジスタをCPUが書き換えた場合には、以降の動作は保証されません。

SCKDEN ビット

マスターモードのSBIが、SSL信号をアクティブにしてからRSPCKを発振するまでの期間(RSPCK遅延)を設定するためのビットです。SCKDEN ビットが“0”の場合には、SBIはRSPCK遅延を1RSPCKにします。

SCKDEN ビットが“1”の場合には、SBIはSBIi クロック遅延レジスタ (SBiCKD) の設定に従ったRSPCK遅延でRSPCKの発振を開始します。

SBIをスレーブモードで使用する場合には、SCKDEN ビットに“0”を設定してください。

SLNDEN ビット

マスターモードのSBIが、RSPCKを発振停止してからSSL信号を非アクティブにするまでの期間(SSLネゲート遅延)を設定するためのビットです。

SLNDEN ビットが“0”の場合には、SBIはSSLネゲート遅延を1RSPCKにします。SLNDEN ビットが“1”の場合には、SBIはSBIi スレーブセレクトネゲート遅延レジスタ (SBiSSLND) の設定に従ったRSPCK遅延でSSLiをネゲートします。

SBIをスレーブモードで使用する場合には、SLNDEN ビットに“0”を設定してください。

SPNDEN ビット

マスターモードのSBIがシリアル転送を終了してSSL信号を非アクティブにしてから、次アクセスのSSL信号アサートが可能にするまでの期間(次アクセス遅延)を設定するためのビットです。

SPNDEN ビットが“0”の場合には、SBIは次アクセス遅延を1RSPCK+周辺バスクロックBの2サイクルにします。SPNDEN ビットが“1”の場合には、SBIはSBIi 次アクセス遅延レジスタ (SBiIND) の設定に従った次アクセス遅延を挿入します。

SBIをスレーブモードで使用する場合には、SPNDEN ビットに“0”を設定してください。

LSBF ビット

マスターモード/スレーブモードのSBIのデータフォーマットを、MSBファースト/LSBファーストに設定するためのビットです。

SPB ビット

マスターモード/スレーブモードのSBIの転送データ長を設定するためのビットです。

SSLKP ビット

マスタモードの SBI がシリアル転送する場合に、現コマンドに対応する SSLi ネゲートタイミングから次コマンドに対応する SSLi アサートタイミングの間に、現コマンドの SSL 信号レベルを保持するか、ネゲートするかを設定するビットです。

SBI をスレーブモードで使用する場合には、SSLKP ビットに“0”を設定してください。

SSLA ビット

マスタモードの SBI がシリアル転送する場合の SSL 信号のアサートを制御するためのビットです。SSLA ビットの設定値が、SSLi3 ~ SSLi0 信号のアサートを制御します。SSL 信号アサート時の信号極性は、SBIi スレーブセレクト極性レジスタ (SBISSLP) の設定値に依存します。マルチマスタモードで SSLA ビットに“000”、または“100”~“111”を設定した場合には、全 SSL 信号がネゲート状態でシリアル転送が実行されます (SSLi0 は入力になるため)。また、シングルマスタモードで SSLA ビットに“100”~“111”を設定した場合にも、全 SSL 信号がネゲート状態でシリアル転送が実行されます。

SBI をスレーブモードで使用する場合には、SSLA ビットに“000”を設定してください。

BRDV ビット

ビットレートを決定するために使用するレジスタです。BRDV ビットと SBIi ビットレートレジスタ (SBIiBR) の設定値の組み合わせでビットレートを決定します。SBIiBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV ビットの設定値は、ベースのビットレートに対して分周なし /2 分周 /4 分周 /8 分周したビットレートを選択するために使用します。SBIiCMDk レジスタにはそれぞれ異なる BRDV ビットを設定することができます。このため、コマンド毎に異なるビットレートでシリアル転送を実行することが可能です。

CPOL ビット

マスタモード / スレーブモードの SBI の RSPCK 極性を設定するためのビットです。SBI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。

CPHA ビット

マスタモード / スレーブモードの SBI の RSPCK 位相を設定するためのビットです。SBI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。

18.3 動作説明

本章では、“シリアル転送期間”という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

18.3.1 SBI動作の概要

SBIは、スレーブモード(SBI動作)、シングルマスタモード(SBI動作)、マルチマスタモード(SBI動作)、スレーブモード(クロック同期式動作)、マスタモード(クロック同期式動作)での同期式のシリアル転送が可能です。SBIのモードは、SBIi制御レジスタ0(SBiCR0)のMSTR、MODFEN、およびSPMSビットによって設定可能です。表18.7にSBIのモードとSBiCR0レジスタ設定の関係、および各モードの概要を示します。

表18.7 SBIのモードとSBiCR0レジスタ設定の関係、および各モードの概要

モード	スレーブ (SBI動作)	シングルマスタ (SBI動作)	マルチマスタ (SBI動作)	スレーブ (クロック同期式動作)	マスタ (クロック同期式動作)
MSTRビットの設定	0	1	1	0	1
MODFENビットの設定	0/1	0	1	0	0
SPMSビットの設定	0	0	0	1	1
RSPCK信号	入力	出力	出力/Hi-Z	入力	出力
MOSi信号	入力	出力	出力/Hi-Z	入力	出力
MISOi信号	出力/Hi-Z	入力	入力	出力	入力
SSLi0信号	入力	出力	入力	Hi-Z	Hi-Z
SSLi1 ~ SSLi3信号	Hi-Z	出力	出力/Hi-Z	Hi-Z	Hi-Z
出力端子モード	CMOS/ オープンドレイン	CMOS/ オープンドレイン	CMOS/ オープンドレイン	CMOS/ オープンドレイン	CMOS/ オープンドレイン
SSL極性変更機能	あり	あり	あり	—	—
転送レート	~f(PBB)/8	~f(PBB)/2	~f(PBB)/2	~f(PBB)/8	~f(PBB)/2
クロックソース	RSPCK入力	内蔵ポーレート ジェネレータ	内蔵ポーレート ジェネレータ	RSPCK入力	内蔵ポーレート ジェネレータ
クロック極性	2種	2種	2種	2種	2種
クロック位相	2種	2種	2種	1種(CPHA = 1)	1種(CPHA = 1)
先頭転送ビット	MSB/LSB	MSB/LSB	MSB/LSB	MSB/LSB	MSB/LSB
転送データ長	8 ~ 32ビット	8 ~ 32ビット	8 ~ 32ビット	8 ~ 32ビット	8 ~ 32ビット
バースト転送	可能(CPHA = 1)	可能(CPHA = 0, 1)	可能(CPHA = 0, 1)	—	—
RSPCK遅延制御	なし	あり	あり	なし	あり
SSLネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL入力アクティブ またはRSPCK発振	SPTEF = “1”で送信 バッファ書き込み	SPTEF = “1”で送信 バッファ書き込み	RSPCK発振	SPTEF = “1”で送信 バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファ エンプティ検出	あり	あり	あり	あり	あり
受信バッファフル検出	あり(注1)	あり(注1)	あり(注1)	あり(注1)	あり(注1)
オーバランエラー検出	あり(注1)	あり(注1)	あり(注1)	あり(注1)	あり(注1)
パリティエラー検出	あり(注1、2)	あり(注1、2)	あり(注1、2)	あり(注1、2)	あり(注1、2)
モードフォルトエラー 検出	あり (MODFEN = 1)	なし	あり	なし	なし

注1. SBiCR0レジスタのTXMDビットが“1”のときは、受信バッファフル検出、オーバランエラー検出、パリティエラー検出を行いません。

注2. SBiCR1レジスタのSPPEビットが“0”のときは、パリティエラー検出を行いません。

18.3.2 SBI 端子の制御

SBI は、SBIi 制御レジスタ 0 (SBIiCR0) の MSTR、MODFEN、および SPMS ビット、ならびに SBIi 端子制御レジスタ (SBIiPCR) の SPOM ビットの設定に従って、端子方向と出力モードを自動的に切り替えます。表 18.8 に SBI 端子の状態と制御ビット設定値の関係を示します。

表 18.8 SBI端子の状態と制御ビット設定値の関係

モード	端子	端子状態(注1)	
		SPOM = 0	SPOM = 1
シングルマスタ (SBI動作) (MSTR = 1、MODFEN = 0、 SPMS = 0)	RSPCK	CMOS出力	オープンドレイン出力
	SSLi0 ~ SSLi3	CMOS出力	オープンドレイン出力
	MOSli	CMOS出力	オープンドレイン出力
	MISOi	入力	入力
マルチマスタ (SBI動作) (MSTR = 1、MODFEN = 1、 SPMS = 0)	RSPCK (注2)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	SSLi0	入力	入力
	SSLi1 ~ SSLi3 (注2)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	MOSli (注2)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
スレーブ(SBI動作) (MSTR = 0、SPMS = 0)	RSPCK	入力	入力
	SSLi0	入力	入力
	SSLi1 ~ SSLi3	Hi-Z	Hi-Z
	MOSli	入力	入力
	MISOi (注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
マスタ(クロック同期式動作) (MSTR = 1、MODFEN = 0、 SPMS = 1)	RSPCK	CMOS出力	オープンドレイン出力
	SSLi0 ~ SSLi3 (注4)	Hi-Z	Hi-Z
	MOSli	CMOS出力	オープンドレイン出力
	MISOi	入力	入力
スレーブ(クロック同期式動作) (MSTR = 0、SPMS = 1)	RSPCK	入力	入力
	SSLi0 ~ SSLi3 (注4)	Hi-Z	Hi-Z
	MOSli	入力	入力
	MISOi	CMOS出力	オープンドレイン出力

注1. SBI機能が選択されていないマルチファンクションピンには、SBIの設定値は反映されません。

注2. SSLi0がアクティブレベルの場合、端子状態がHi-Zになります。

注3. SSLi0が非アクティブレベルまたはSBIiCR0レジスタのSPEビットが“0”の場合、端子状態がHi-Zになります。

注4. クロック同期式動作時は、SSLi0～SSLi3をIOポートとして使用可能

シングルマスタモード (SBI動作)、マルチマスタモード (SBI動作) の SBI は、SBIiPCR レジスタの MOIFE および MOIFV ビットの設定に従って、SSL ネゲート期間 (注1) の MOSli 信号値を表 18.9 のように決定します。

注1. バースト転送における SSL 保持期間も含まれます。

表 18.9 SSL ネゲート期間の MOSli 信号値の決定方法

MOIFE ビット	MOIFV ビット	SSL ネゲート期間の MOSli 信号値
“0”	“0”	前回転送の最終データ
“0”	“1”	
“1”	“0”	常に“0”
“1”	“1”	常に“1”

18.3.3 SBI システム構成例

(1) シングルマスタ / シングルスレーブ (本 LSI = マスタ)

図 18.2 に本 LSI をマスタとして使用した場合のシングルマスタ / シングルスレーブの SBI システムの構成例を示します。シングルスレーブの構成では、本 LSI (マスタ) の SSLi0 ~ SSLi3 出力は使用しません。SBI スレーブの SSL 入力は Low レベルに固定して、SBI スレーブを常にセレクト状態にします。

(注 1)

本 LSI (マスタ) は、RSPCK と MOSIi を常にドライブします。SBI スレーブは、MISO を常にドライブします。

注 1. SBIi 制御レジスタ 0 (SBIiCR0) の CPHA ビットが“0”の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 LSI の SSL 出力をスレーブデバイスの SSL 入力に接続してください。

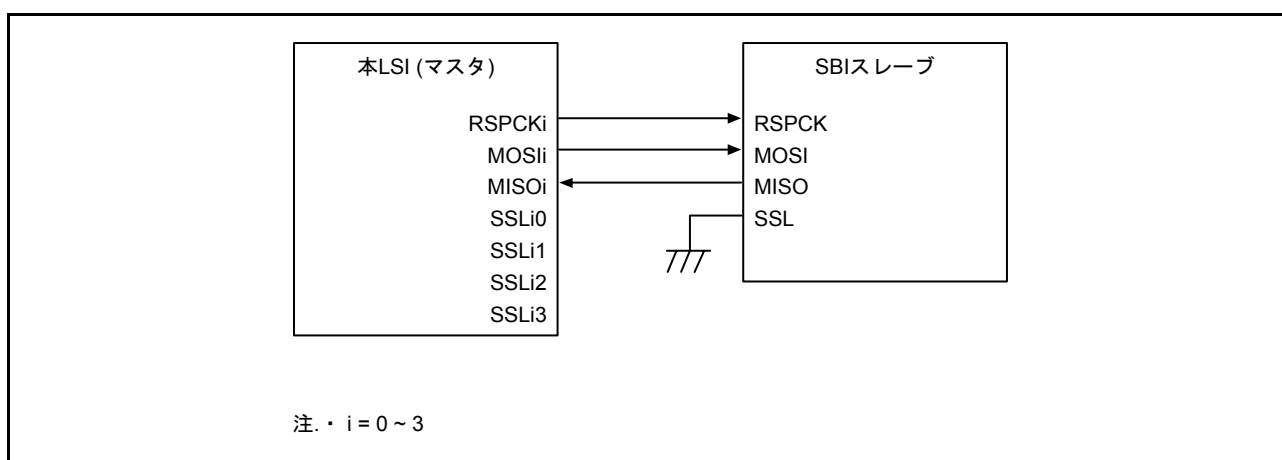


図 18.2 シングルマスタ / シングルスレーブの構成例 (本 LSI = マスタ)

(2) シングルマスタ / シングルスレーブ (本 LSI = スレーブ)

図 18.3 に本 LSI をスレーブとして使用した場合のシングルマスタ / シングルスレーブの SBI システム構成例を示します。本 LSI をスレーブとして使用する場合には、SSLi0 端子を SSL 入力として使用します。SBI マスタは、RSPCK と MOSI を常にドライブします。本 LSI (スレーブ) は、MISOi を常にドライブします。(注 1)

SBi コマンドレジスタ k (SBiCMDk) の CPHA ビットを“1”に設定したシングルスレーブ構成の場合には、本 LSI (スレーブ) の SSLi0 入力を Low レベルに固定して本 LSI (スレーブ) を常に選択状態とし、シリアル転送を実行することも可能です(図 18.4)。

注 1. SSLi0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

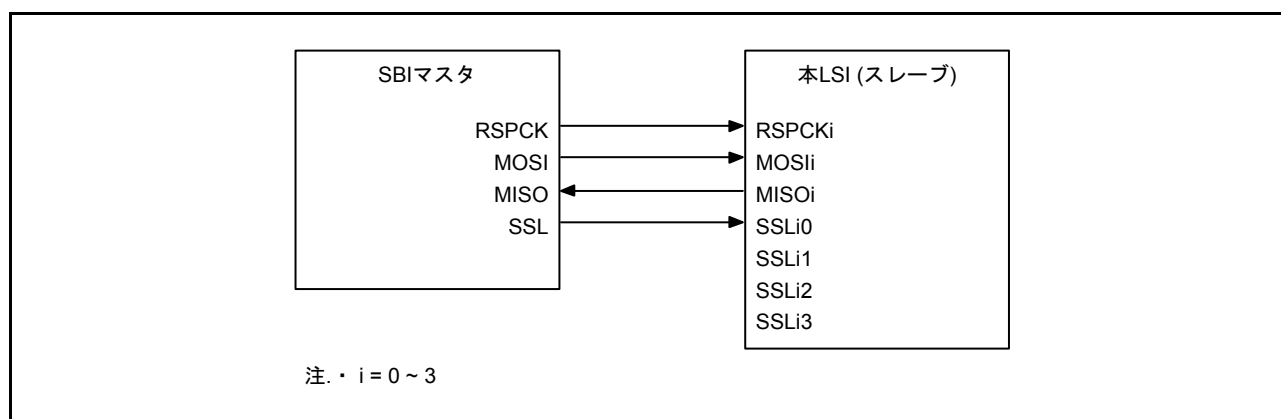


図 18.3 シングルマスタ / シングルスレーブの構成例 (本 LSI = スレーブ)

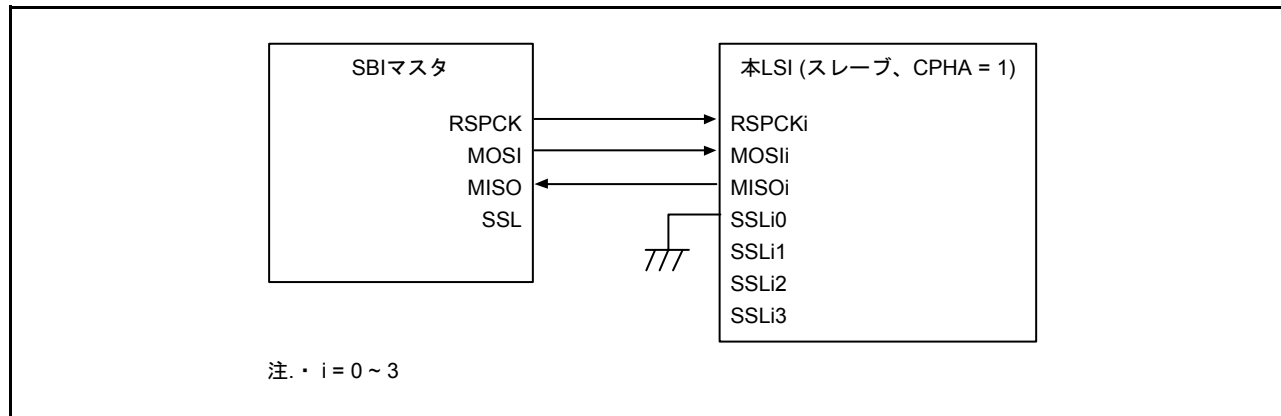


図 18.4 シングルマスタ / シングルスレーブの構成例 (本 LSI = スレーブ、CPHA = “1”)

(3) シングルマスタ / マルチスレーブ (本 LSI = マスタ)

図 18.5 に本 LSI をマスタとして使用した場合のシングルマスタ / マルチスレーブの SBI システム構成例を示します。図 18.5 の例では、本 LSI (マスタ) と 4 つのスレーブ (SBI スレーブ 0 ~ SBI スレーブ 3) から SBI システムを構成しています。

本 LSI (マスタ) の RSPCKi 出力と MOSIi 出力は、SBI スレーブ 0 ~ SBI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SBI スレーブ 0 ~ SBI スレーブ 3 の MISO 出力は、すべて本 LSI (マスタ) の MISOi 入力に接続します。本 LSI (マスタ) の SSLi0 ~ SSLi3 出力は、それぞれ SBI スレーブ 0 ~ SBI スレーブ 3 の SSL 入力に接続します。

本 LSI (マスタ) は、RSPCK、MOSIi、SSLi0 ~ SSLi3 を常にドライブします。SBI スレーブ 0 ~ SBI スレーブ 3 のうち、SSL 入力に Low レベルを入力されているスレーブが、MISO をドライブします。

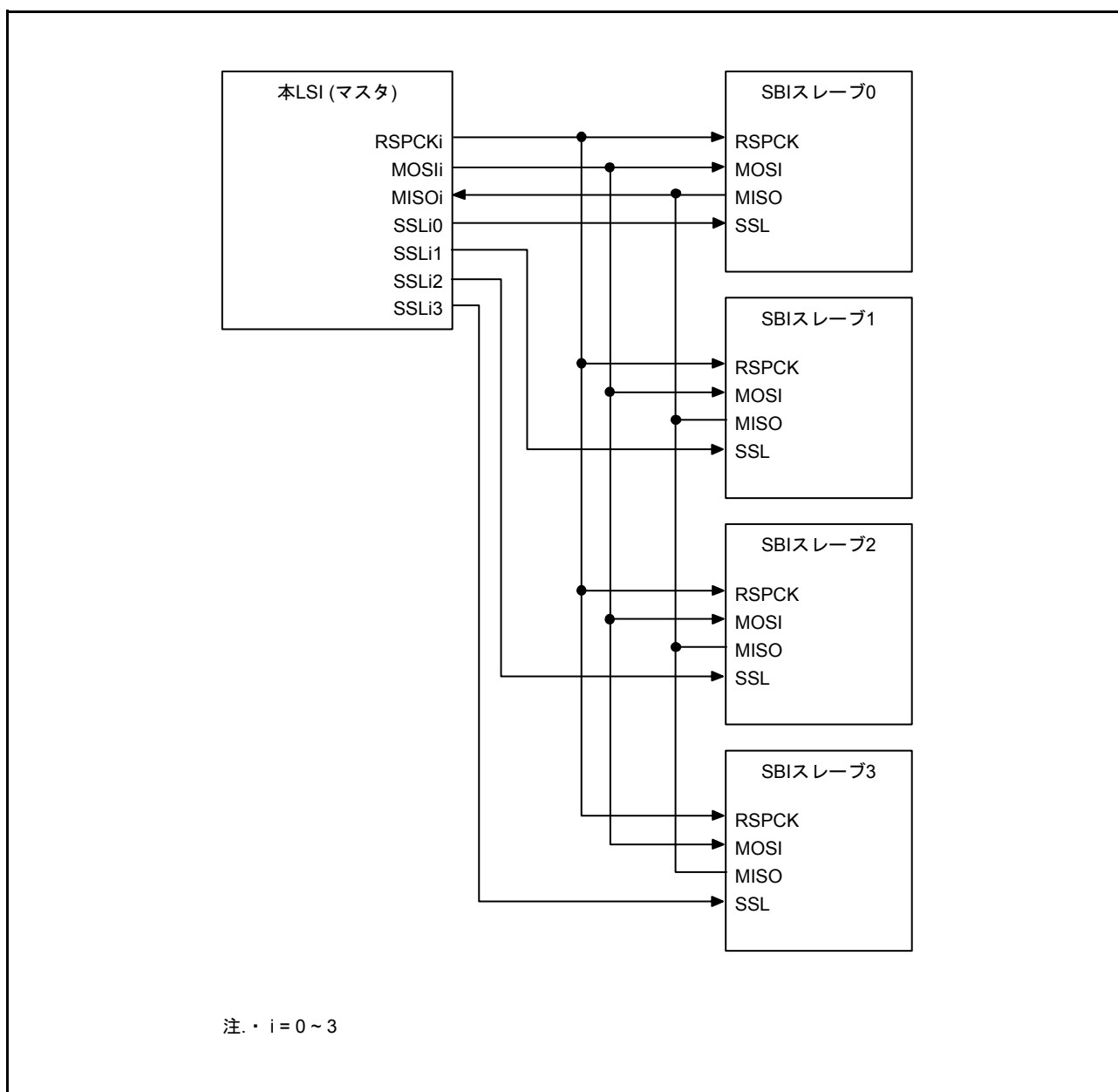


図 18.5 シングルマスタ / マルチスレーブの構成例 (本 LSI = マスタ)

(4) シングルマスタ / マルチスレーブ (本 LSI = スレーブ)

図 18.6 に本 LSI をスレーブとして使用した場合のシングルマスタ / マルチスレーブの SBI システム構成例を示します。図 18.6 の例では、SBI マスタと 2 つの本 LSI (スレーブ X、スレーブ Y) から SBI システムを構成しています。

SBI マスタの RSPCK 出力と MOSI 出力は、本 LSI (スレーブ X、スレーブ Y) の RSPCK 入力と MOSI_i 入力に接続します。本 LSI (スレーブ X、スレーブ Y) の MISO_i 出力は、SBI マスタの MISO 入力に接続します。SBI マスタの SSLX 出力、SSLY 出力は、本 LSI (スレーブ X、スレーブ Y) の SSLi0 入力に接続します。

SBI マスタは、RSPCK、MOSI、SSLX、SSLY を常にドライブします。本 LSI (スレーブ X、スレーブ Y) のうち、SSLi0 入力に Low レベルを入力されているスレーブが、MISO_i をドライブします。

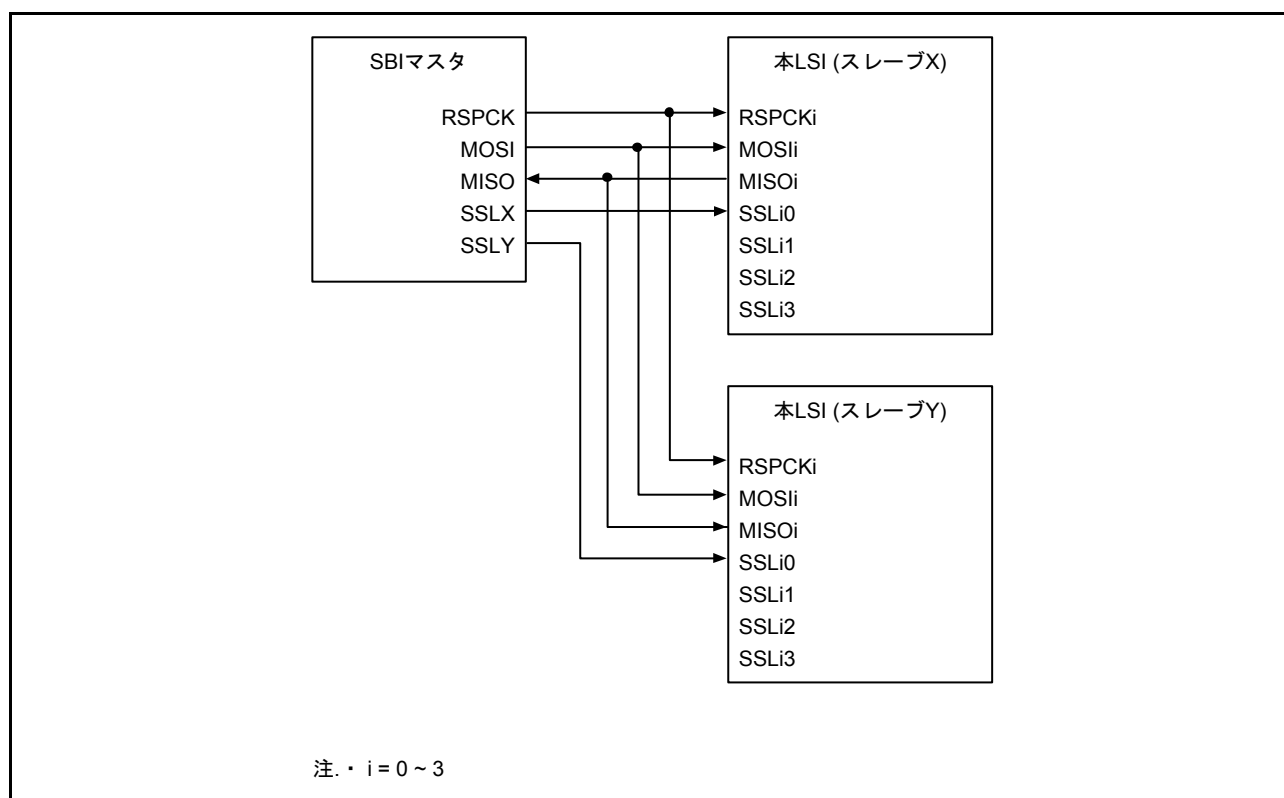


図 18.6 シングルマスタ / マルチスレーブの構成例 (本 LSI = マスタ)

(5) マルチマスタ / マルチスレーブ (本 LSI = マスタ)

図 18.7 に本 LSI をマスタとして使用した場合のマルチマスタ / マルチスレーブの SBI システム構成例を示します。図 18.7 の例では、2 つの本 LSI (マスタ X、マスタ Y) と 2 つの SBI スレーブ (SBI スレーブ 1、SBI スレーブ 2) から SBI システムを構成しています。

本 LSI (マスタ X、マスタ Y) の RSPCK 出力と MOSI_i 出力は、SBI スレーブ 1、SBI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SBI スレーブ 1、SBI スレーブ 2 の MISO 出力は、本 LSI (マスタ X、マスタ Y) の MISO_i 入力に接続します。本 LSI (マスタ X) の任意の I/O ポート PortY 出力は、本 LSI (マスタ Y) の SSLi₀ 入力に接続します。本 LSI (マスタ Y) の任意の I/O ポート PortX 出力は、本 LSI (マスタ X) の SSLi₀ 入力に接続します。本 LSI (マスタ X、マスタ Y) の SSLi₁ 出力と SSLi₂ 出力は、SBI スレーブ 1、SBI スレーブ 2 の SSL 入力に接続します。この構成例では、SSLi₀ 入力、スレーブ接続用の SSLi₁ 出力、SSLi₂ 出力のみでシステムを構成できるので、本 LSI の SSLi₃ 出力を使用していません。

本 LSI は、SSLi₀ 入力レベルが High の場合には、RSPCK、MOSI_i、SSLi₁、SSLi₂ をドライブします。SSLi₀ 入力レベルが Low の場合には、モードフォルトエラーを検出し、RSPCK、MOSI_i、SSLi₁、SSLi₂ を Hi-Z にして、他方のマスタに SBI バス権を開放します。SBI スレーブ 1、SBI スレーブ 2 のうち、SSL 入力に Low レベルを入力されているスレーブが、MISO をドライブします。

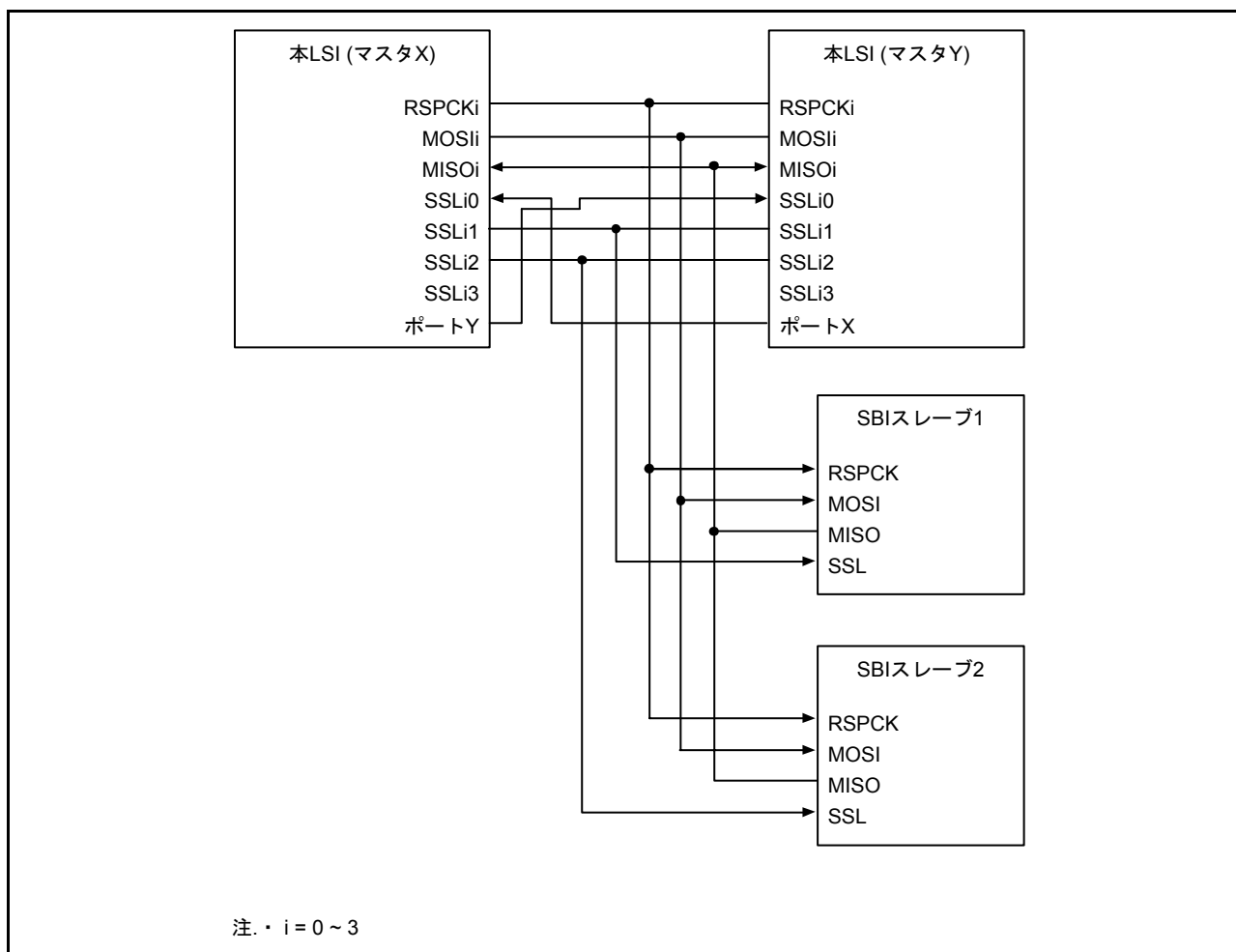


図 18.7 マルチマスタ / マルチスレーブの構成例 (本 LSI = マスタ)

(6) マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 LSI = マスタ)

図 18.8 に本 LSI をマスタとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の SBI システムの構成例を示します。マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成では、本 LSI (マスタ) の SSLi0 ~ SSLi3 出力は使用しません。

本 LSI (マスタ) は、RSPCK と MOSI_i を常にドライブします。SBI スレーブは、MISO を常にドライブします。

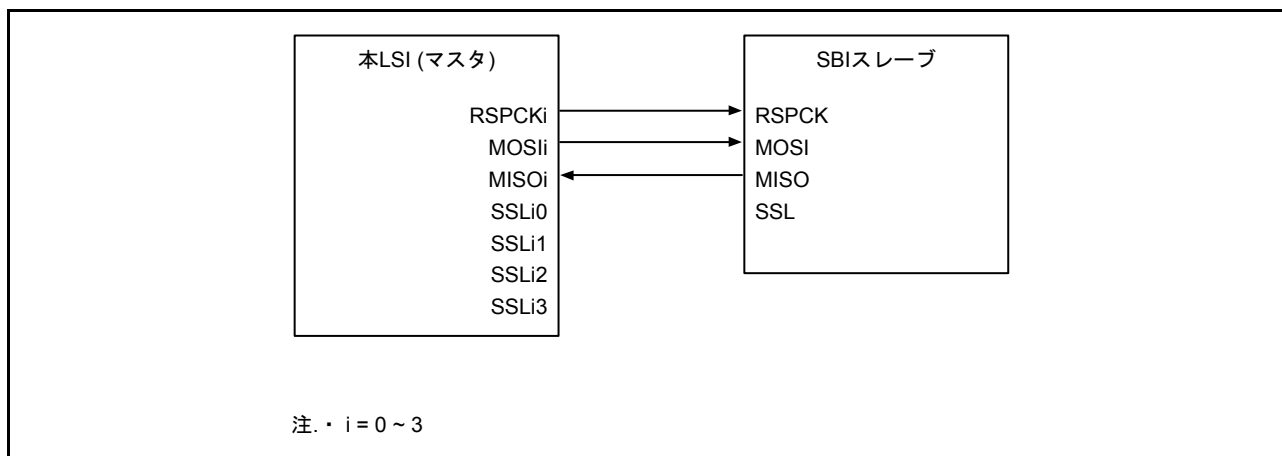


図 18.8 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例 (本 LSI = マスタ)

(7) マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 LSI = スレーブ)

図 18.9 に本 LSI をスレーブとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の SBI システム構成例を示します。本 LSI をスレーブ (クロック同期式動作) として使用する場合には、本 LSI (スレーブ) は、MISO_i を常にドライブし、SBI マスタは、RSPCK と MOSI を常にドライブします。

SBI コマンドレジスタ k (SBiCMDk) の CPHA ビットを“1”に設定したシングルスレーブ構成の場合のみ、本 LSI (スレーブ) はシリアル転送を実行することが可能です。

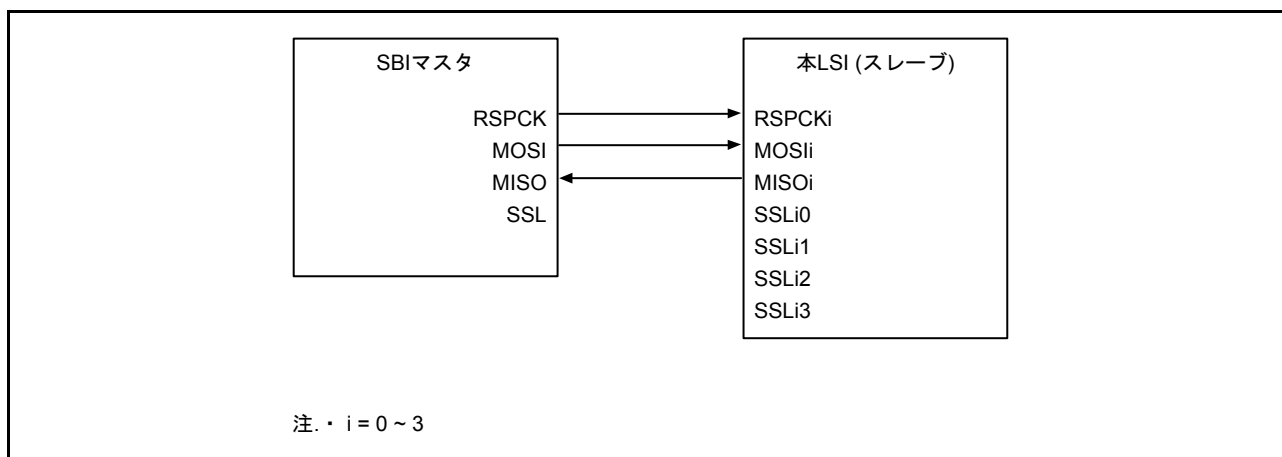


図 18.9 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例 (本 LSI = スレーブ、CPHA = “1”)

18.3.4 転送フォーマット

(1) CPHA = 0 の場合

図 18.10 に SBI_i コマンドレジスタ k (SBI_iCMDk) の CPHA ビットが“0”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、CPHA ビットが“0”の場合のクロック同期式動作 (SBI_i 制御レジスタ 0 (SBI_iCR0) の SPMS ビットが“1”の場合) は保証しません。図 18.10 において、RSPCK (CPOL = 0) は SBI_iCMDk レジスタの CPOL ビットが“0”の場合、RSPCK (CPOL = 1) は CPOL ビットが“1”の場合の RSPCK 信号波形です。サンプリングタイミングは、SBI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、SBI の設定に依存します。(「18.3.2 SBI 端子の制御」参照)

CPHA ビットが“0”の場合には、SSL 信号のアサートタイミングで、MOS_i 信号への有効データの出力と MISO_i 信号への有効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPCK 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1 RSPCK 周期毎にデータがサンプリングされます。MOS_i 信号と MISO_i 信号の変化タイミングは、常に転送データ取り込みタイミングの 1/2 RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t₁ は、SSL 信号のアサートから RSPCK 発振までの期間 (RSPCK 遅延) です。t₂ は、RSPCK 発振停止から SSL 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t₃ は、シリアル転送終了後に次転送のための SSL 信号アサートを抑制するための期間 (次アクセス遅延) です。t₁、t₂、t₃ は、SBI システム上のマスタデバイスによって制御されます。本 LSI の SBI がマスタモードである場合の t₁、t₂、t₃ については、「18.3.10 (1) マスタモード動作」を参照してください。

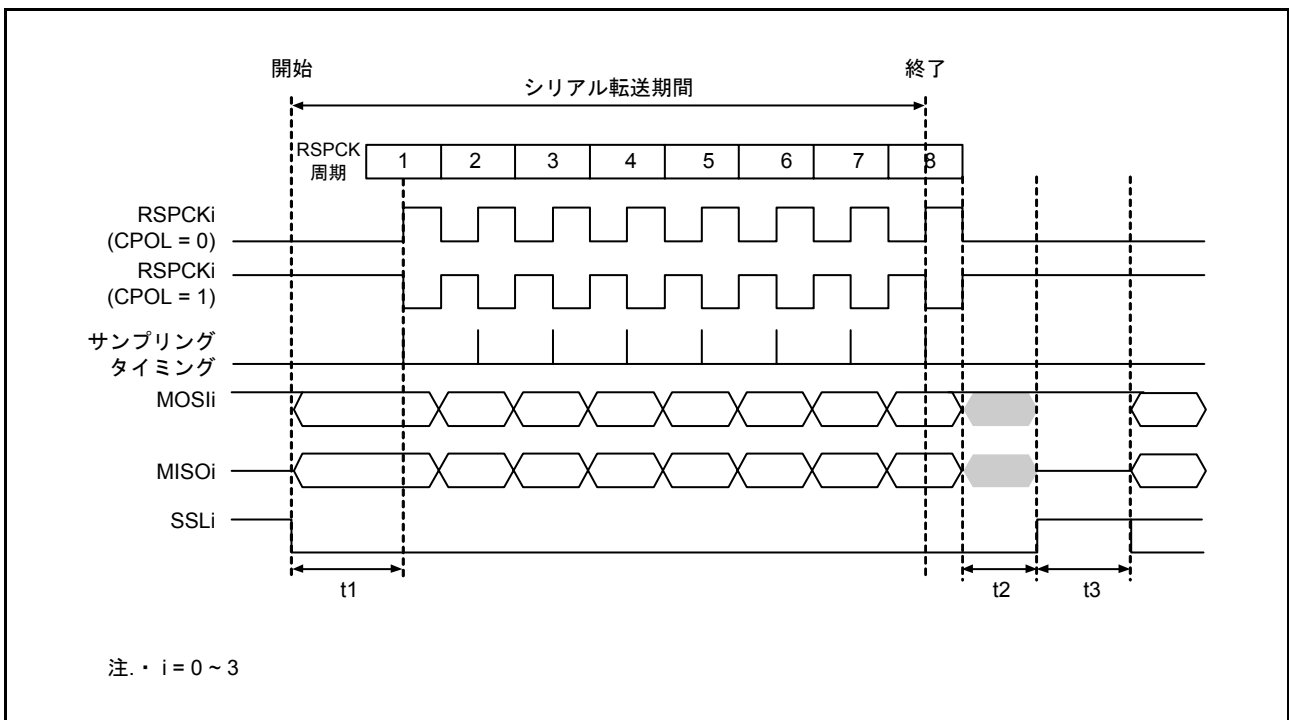


図 18.10 SBI 転送フォーマット (CPHA = 0)

(2) CPHA = 1 の場合

図 18.11 に SBI_i コマンドレジスタ k (SBI_iCMDk) の CPHA ビットが“1”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SBI_i 制御レジスタ 0 (SBI_iCR0) の SPMS ビットが“1”の場合は SSL 信号を用いず、RSPCK 信号、MOSI_i 信号、MISO_i 信号のみで通信を行います。図 18.11 において、RSPCK (CPOL = 0) は SBI_iCMDk レジスタの CPOL ビットが“0”の場合、RSPCK (CPOL = 1) は CPOL ビットが“1”の場合の RSPCK 信号波形です。サンプリングタイミングは、SBI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、SBI のモード (マスタ/スレーブ) に依存します。(「18.3.2 SBI 端子の制御」参照)

CPHA ビットが“1”の場合には、SSL 信号のアサートタイミングで、MISO_i 信号に無効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPCK 信号変化タイミングで、MOSI_i 信号と MISO_i 信号への有効データの出力が開始され、このタイミング以降 1 RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、常にこのタイミングの 1/2 RSPCK 周期後になります。CPOL ビットの設定値は RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t₁、t₂、t₃ の内容は、CPHA = 0 の場合 (①) と同様です。本 LSI の SBI がマスタモードである場合の t₁、t₂、t₃ については、「18.3.10 (1) マスタモード動作」を参照してください。

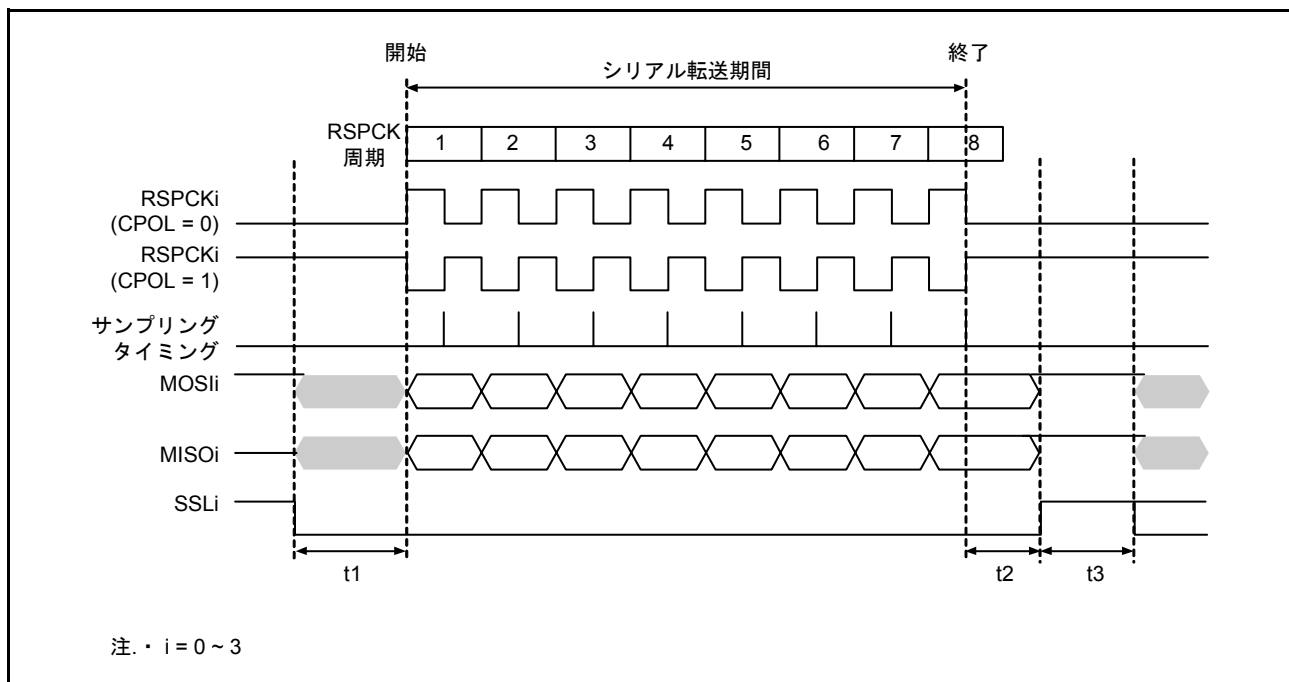


図 18.11 SBI 転送フォーマット (CPHA = 1)

18.3.5 データフォーマット

SBI のデータフォーマットは、SBI_i コマンドレジスタ k (SBI_iCM_Dk)、SBI_i 制御レジスタ 1 (SBI_iCR1) のパリティイネーブルビット (SPPE) の設定値に依存します。MSB/LSB ファーストに関わらず、SBI は SBI_i データレジスタ (SBI_iDR) の LSB から設定データ長分の範囲を転送データとして扱います。

(1) MSB ファースト転送 (32 ビット)

① パリティ機能無効時 (SPPE = 0)

図 18.12 に、パリティ機能無効時、SBI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SBI_i データレジスタ (SBI_iDR) とシフトレジスタの動作内容を示します。

SBI_iDR レジスタの送信バッファに T31 ~ T00 を書き込みます。SBI_i ステータスレジスタ (SBI_iSR) の SPTEF フラグが“0”かつシフトレジスタが空であれば、SBI が送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、SBI はシフトレジスタの MSB (bit31) からデータを出し、シフトレジスタの LSB (bit0) からデータをシフトインします。

32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R31 ~ R00 が格納されます。この状態で、全二重同期式のシリアル通信動作 (TXMD = 0) であれば、SBI はシフトレジスタから SBI_iDR レジスタの受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、SBI_iDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R31 ~ R00 がシフトレジスタからシフトアウトされます。

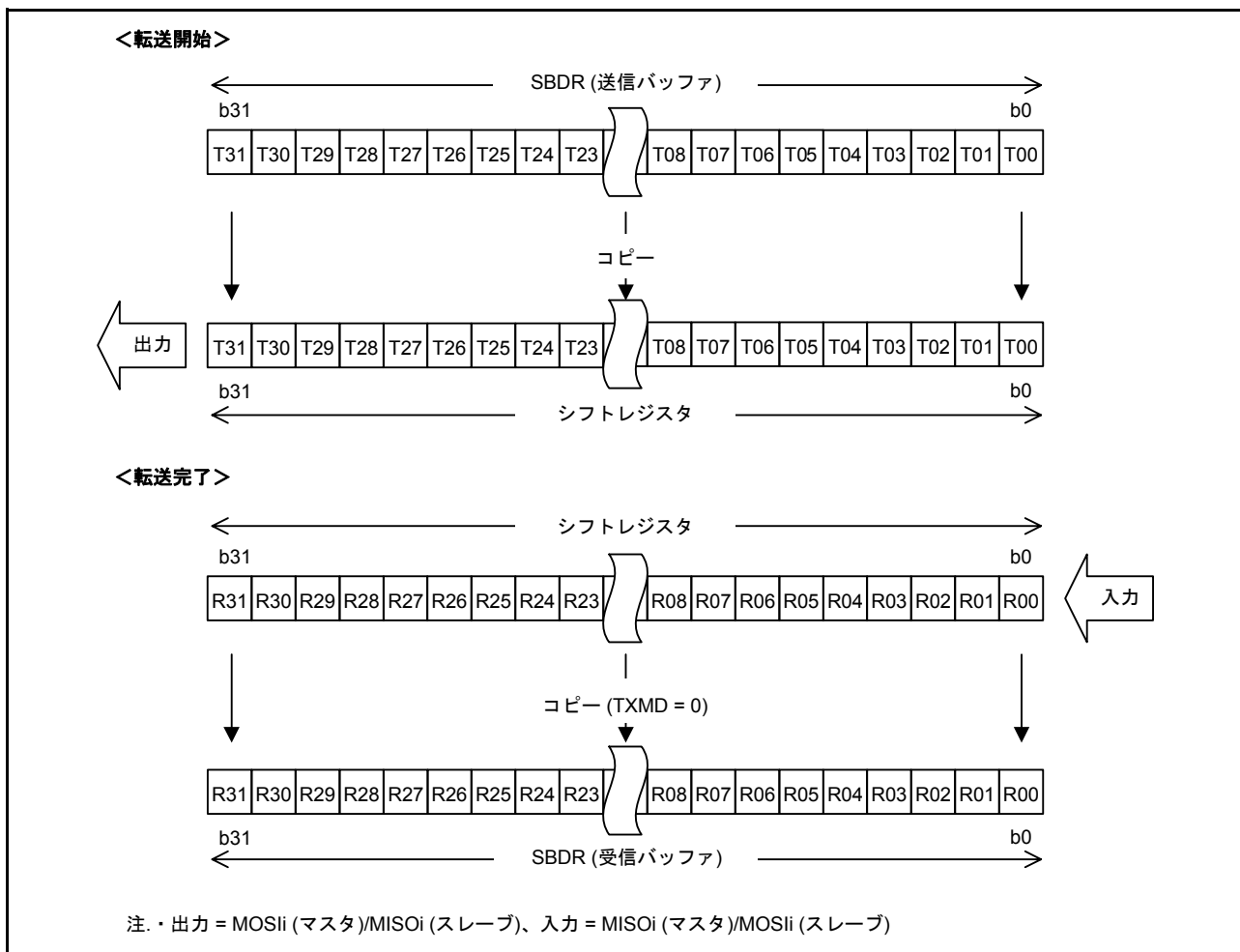


図 18.12 MSB ファースト転送 (32 ビットデータ / パリティ機能無効)

② パリティ機能有効時 (SPPE = 1)

図 18.13 にパリティ機能有効時、SBI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SBIi データレジスタ (SBIiDR) とシフトレジスタの動作内容を示します。

SBIiDR レジスタの送信バッファに T31 ~ T00 を書き込みます。SBIi ステータスレジスタ (SBIiSR) の SPTEF フラグが“0”かつシフトレジスタが空であれば、SBI が SBIiDR レジスタの送信バッファに格納されたデータの T00 をパリティビット (P) に変換します。パリティビット (P) を付加したデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、SBI はシフトレジスタの MSB (bit31) からデータを出し、シフトレジスタの LSB (bit0) からデータをシフトインします。

32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R31 ~ P が格納されます。この状態で、全二重同期式のシリアル通信動作 (TXMD = 0) であれば、SBI はシフトレジスタから SBIiDR レジスタの受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、SBIiDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R31 ~ P がシフトレジスタからシフトアウトされます。

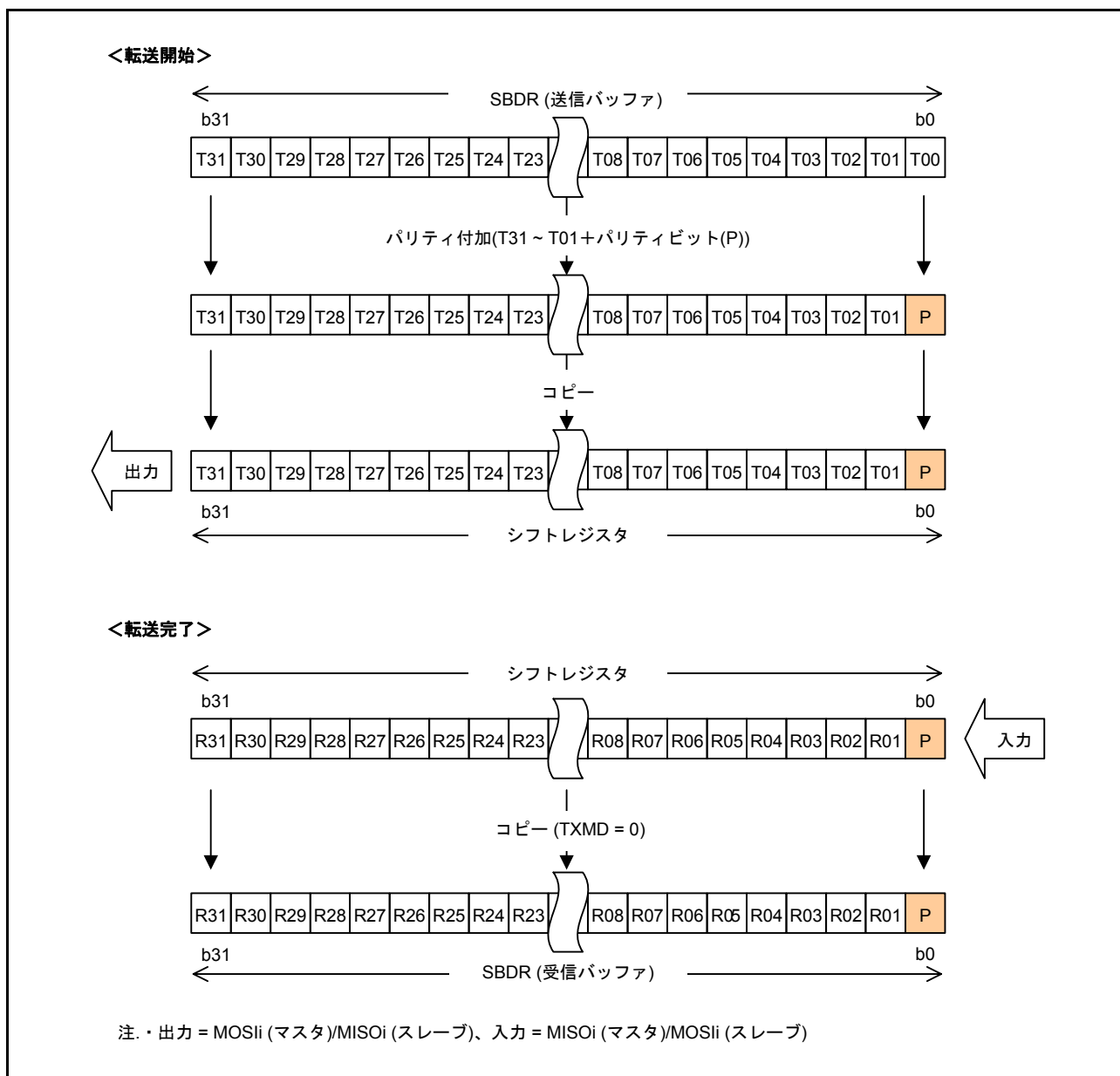


図 18.13 MSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(2) MSB ファースト転送 (24 ビット)

① パリティ機能無効時 (SPPE = 0)

図 18.14 に SBI がパリティ機能無効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SBIi データレジスタ (SBIiDR) とシフトレジスタの動作内容を示します。

SBIiDR レジスタの送信バッファに T31 ~ T00 を書き込みます。SBIi ステータスレジスタ (SBIiSR) の SPTEF フラグが“0”かつシフトレジスタが空であれば、SBI が SBIiDR レジスタの送信バッファに格納されたデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、SBI はシフトレジスタの bit23 からデータを出力し、シフトレジスタの LSB (bit0) からデータをシフトインします。24 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタの bit23 ~ bit0 には受信データ R23 ~ R00 が格納されます。シリアル転送完了後のシフトレジスタの bit24 ~ bit31 には、転送前のデータが保持されています。この状態で、全二重同期式のシリアル通信動作 (TXMD = 0) であれば、SBI がシフトレジスタから SBIiDR レジスタの受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、SBIiDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R23 ~ R00 がシフトレジスタからシフトアウトされます。

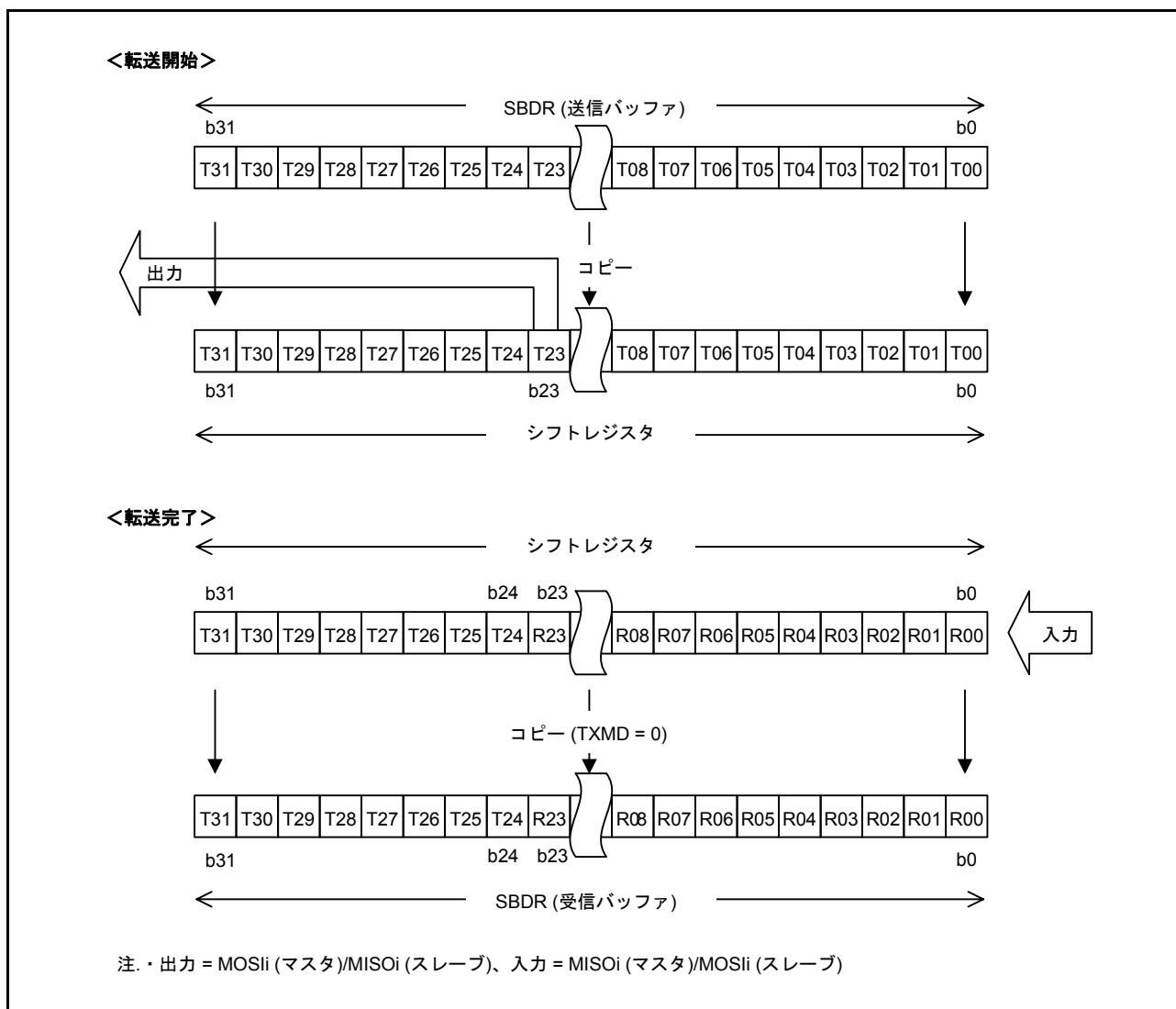


図 18.14 MSB ファースト転送 (24 ビットデータ / パリティ機能無効)

② パリティ機能有効時 (SPPE=1)

図 18.15 に SBI がパリティ機能有効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合のSBIiデータレジスタ(SBiDR)とシフトレジスタの動作内容を示します。

SBiDR レジスタの送信バッファに T31 ~ T00 を書き込みます。SBIi ステータスレジスタ (SBiSR) の SPTEF フラグが“0”かつシフトレジスタが空であれば、SBI が SBiDR レジスタの送信バッファに格納されたデータの T00 をパリティビット (P) に変換します。パリティビット (P) を付加したデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、SBI はシフトレジスタの bit23 からデータを出力し、シフトレジスタの LSB (bit0) からデータをシフトインします。24 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタの bit23 ~ bit0 には受信データ R23 ~ P が格納されます。シリアル転送完了後のシフトレジスタの bit24 ~ bit31 には、転送前のデータが保持されています。この状態で、全二重同期式のシリアル通信動作 (TXMD = 0) であれば、SBI がシフトレジスタから SBiDR レジスタの受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、SBiDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R23 ~ P がシフトレジスタからシフトアウトされます。

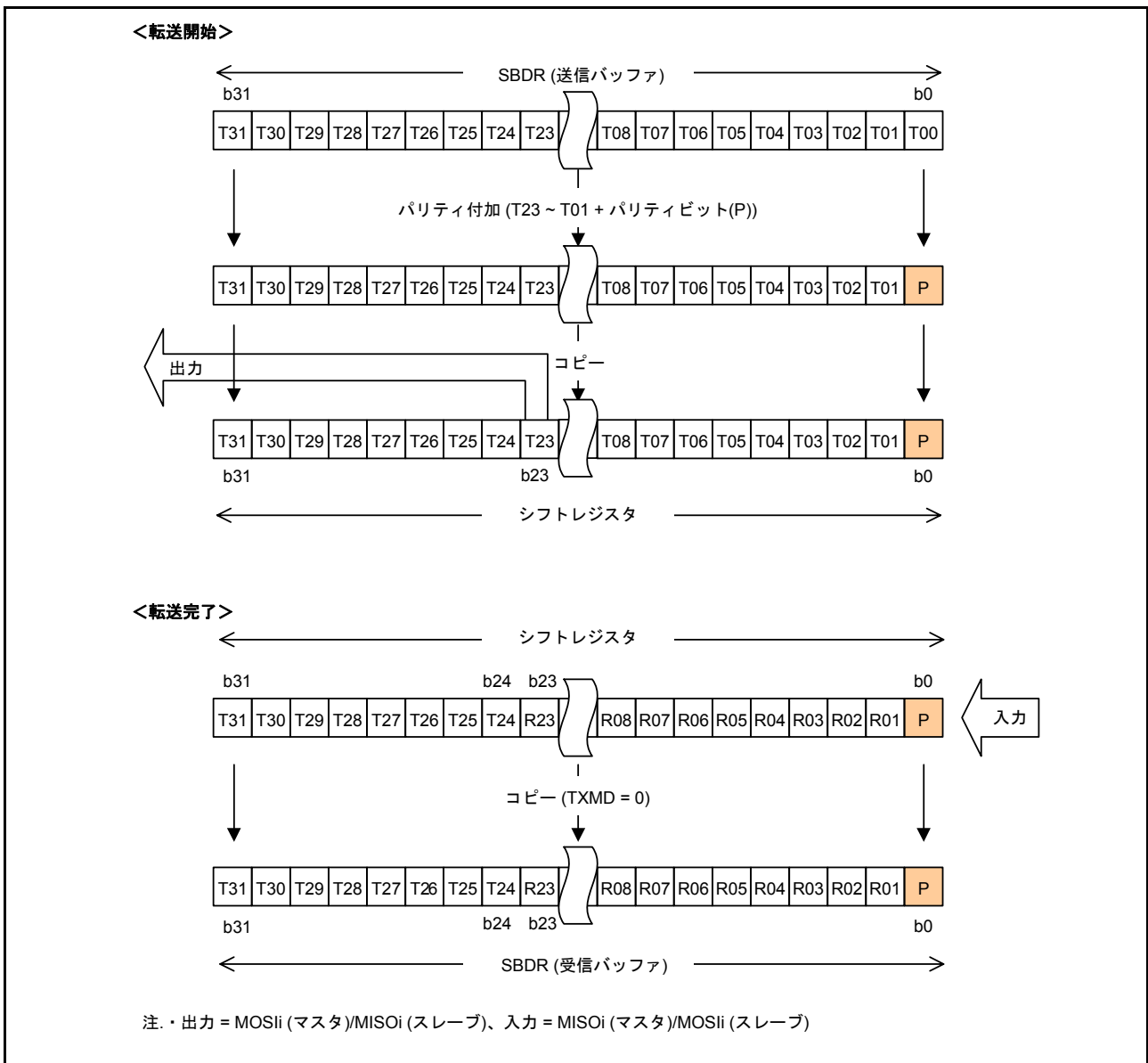


図 18.15 MSB ファースト転送 (24 ビットデータ / パリティ機能有効)

(3) LSB ファースト転送 (32 ビット)

① パリティ機能無効時 (SPPE = 0)

図 18.16 に、SBI がパリティ機能無効時、データ長 32 ビットの LSB ファースト転送を実施する場合の SBIi データレジスタ (SBIiDR) とシフトレジスタの動作内容を示します。

SBIiDR レジスタの送信バッファに T31 ~ T00 を書き込みます。SBIi ステータスレジスタ (SBIiSR) の SPTEF フラグが“0”かつシフトレジスタが空であれば、SBI が SBIiDR レジスタの送信バッファに格納されたデータをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、SBI はシフトレジスタの MSB (bit31) からデータを出し出し、シフトレジスタの LSB (bit0) からデータをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R00 ~ R31 が格納されます。この状態で、全二重同期式のシリアル通信動作 (TXMD = 0) であれば、SBI はシフトレジスタから SBIiDR レジスタの受信バッファにビット順を逆転したデータをコピーし、シフトレジスタを空にします。

なお、SBIiDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ~ R31 がシフトレジスタからシフトアウトされます。

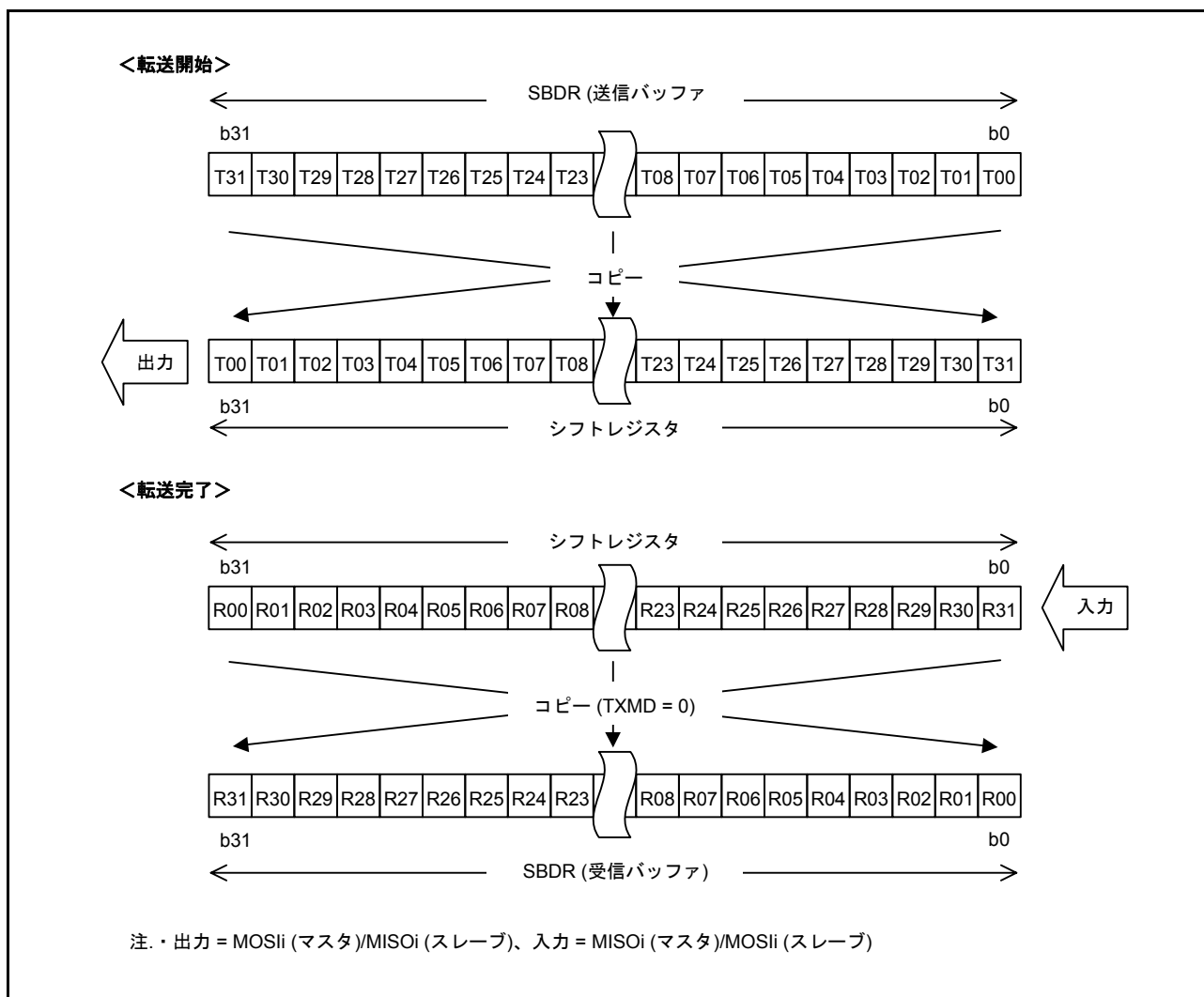


図 18.16 LSB ファースト転送 (32 ビットデータ / パリティ機能無効)

② パリティ機能有効時 (SPPE = 1)

図 18.17 に SBI がパリティ機能有効時、データ長 32 ビットの LSB ファースト転送を実施する場合の SBIi データレジスタ (SBIiDR) とシフトレジスタの動作内容を示します。

SBIiDR レジスタの送信バッファに T31 ~ T00 を書き込みます。SBI が SBIiDR レジスタの送信バッファに格納されたデータの T31 をパリティビット (P) に変換します。SBIi ステータスレジスタ (SBIiSR) の SPTEF フラグが “0” かつシフトレジスタが空であれば、パリティビット (P) を付加したデータは、シフトレジスタへビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、SBI はシフトレジスタの MSB (bit31) からデータを出力し、シフトレジスタの LSB (bit0) からデータをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R00 ~ P が格納されます。この状態で、全二重同期式のシリアル通信動作 (TXMD = 0) であれば、SBI はシフトレジスタから SBIiDR レジスタの受信バッファにビット順を逆転したデータをコピーし、シフトレジスタを空にします。

なお、SBIiDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ~ R31 がシフトレジスタからシフトアウトされます。

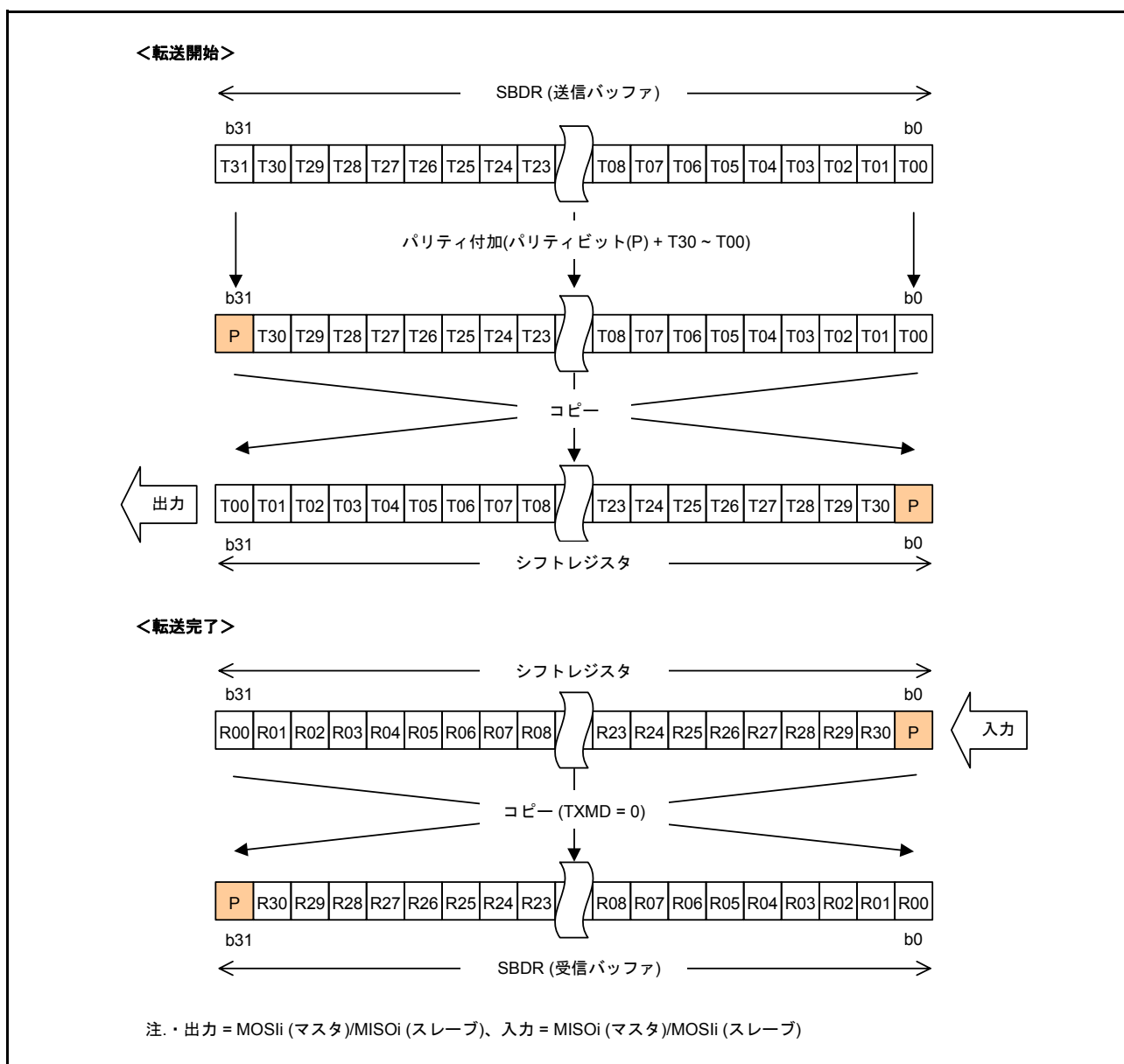


図 18.17 LSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(4) LSB ファースト転送 (24 ビット)

① パリティ機能無効時 (SPPE = 0)

図 18.18 に SBI がパリティ機能無効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合のSBIiデータレジスタ (SBIiDR)とシフトレジスタの動作内容を示します。

SBIiDR レジスタの送信バッファに T31 ~ T00 を書き込みます。SBIi ステータスレジスタ (SBIiSR) の SPTEF フラグが“0”かつシフトレジスタが空であれば、SBI が SBIiDR レジスタの送信バッファのデータをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、SBI はシフトレジスタの MSB (bit31) からデータを出力し、シフトレジスタの bit8 からデータをシフトインします。24 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタの bit31 ~ bit8 には受信データ R00 ~ R23 が格納されます。シリアル転送完了後のシフトレジスタの bit7 ~ bit0 には、転送前のデータが保持されています。この状態で、全二重同期式のシリアル通信動作 (TXMD = 0) であれば、SBI がシフトレジスタから SBIiDR レジスタの受信バッファにビット順を逆転したデータをコピーし、シフトレジスタを空にします。

なお、SBIiDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ~ R23 がシフトレジスタからシフトアウトされます。

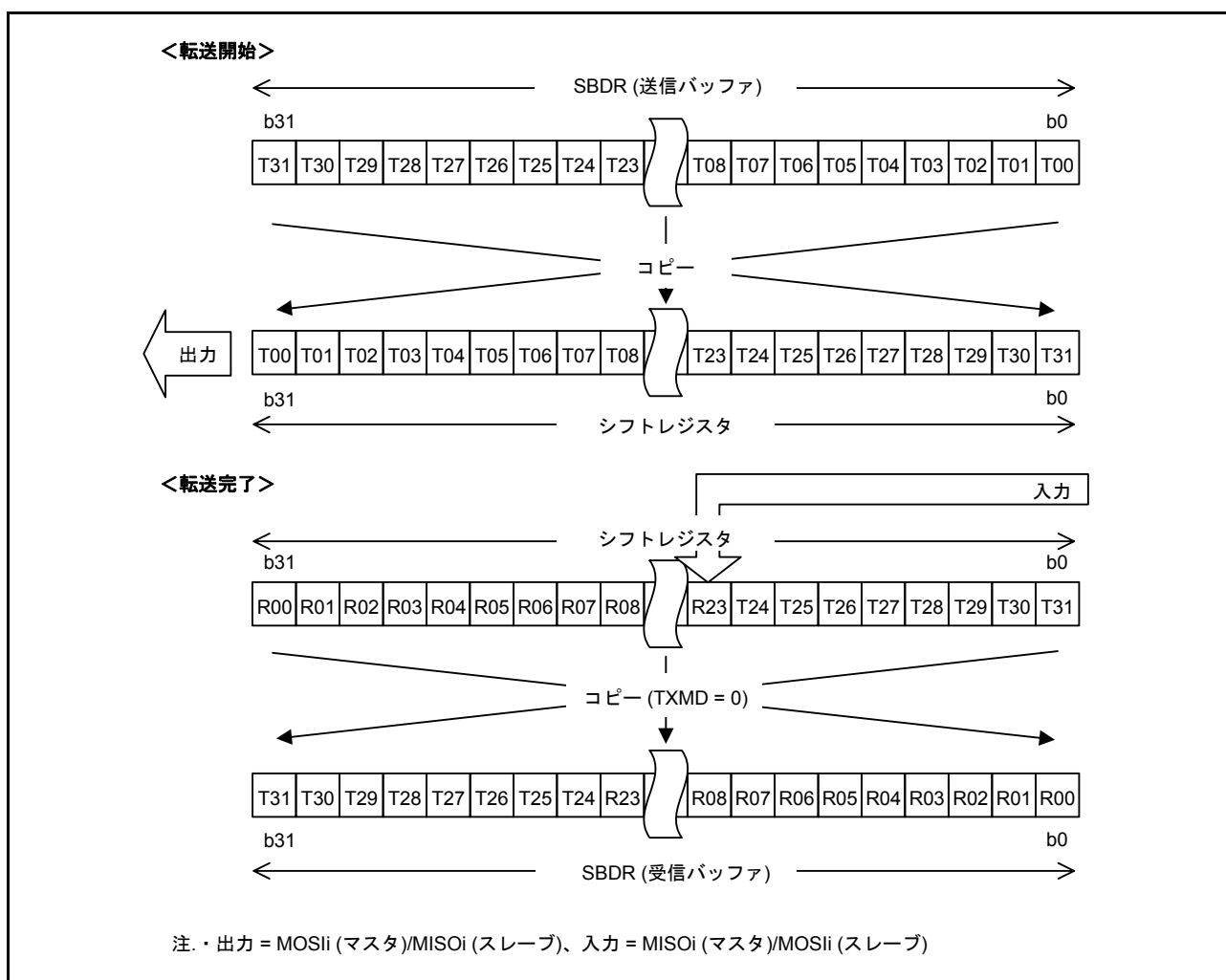


図 18.18 LSB ファースト (24 ビットデータ / パリティ機能無効)

② パリティ機能有効時 (SPPE=1)

図 18.19 に SBI がパリティ機能有効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合のSBIiデータレジスタ(SBiDR)とシフトレジスタの動作内容を示します。

SBiDR レジスタの送信バッファに T31 ~ T00 を書き込みます。SBI が SBiDR レジスタの送信バッファに格納されたデータの T23 をパリティビット (P) に変換します。SBIi ステータスレジスタ (SBiSR) の SPTEF フラグが“0”かつシフトレジスタが空であれば、パリティビット (P) を付加したデータは、シフトレジスタへビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、SBI はシフトレジスタの MSB (bit31) からデータを出力し、シフトレジスタの bit8 からデータをシフトインします。24 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタの bit31 ~ bit8 には受信データ R00 ~ P が格納されます。シリアル転送完了後のシフトレジスタの bit7 ~ bit0 には、転送前のデータが保持されています。この状態で、全二重同期式のシリアル通信動作 (TXMD = 0) であれば、SBI がシフトレジスタから SBiDR レジスタの受信バッファにビット順を逆転したデータをコピーし、シフトレジスタを空にします。

なお、SBiDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ~ R23 がシフトレジスタからシフトアウトされます。

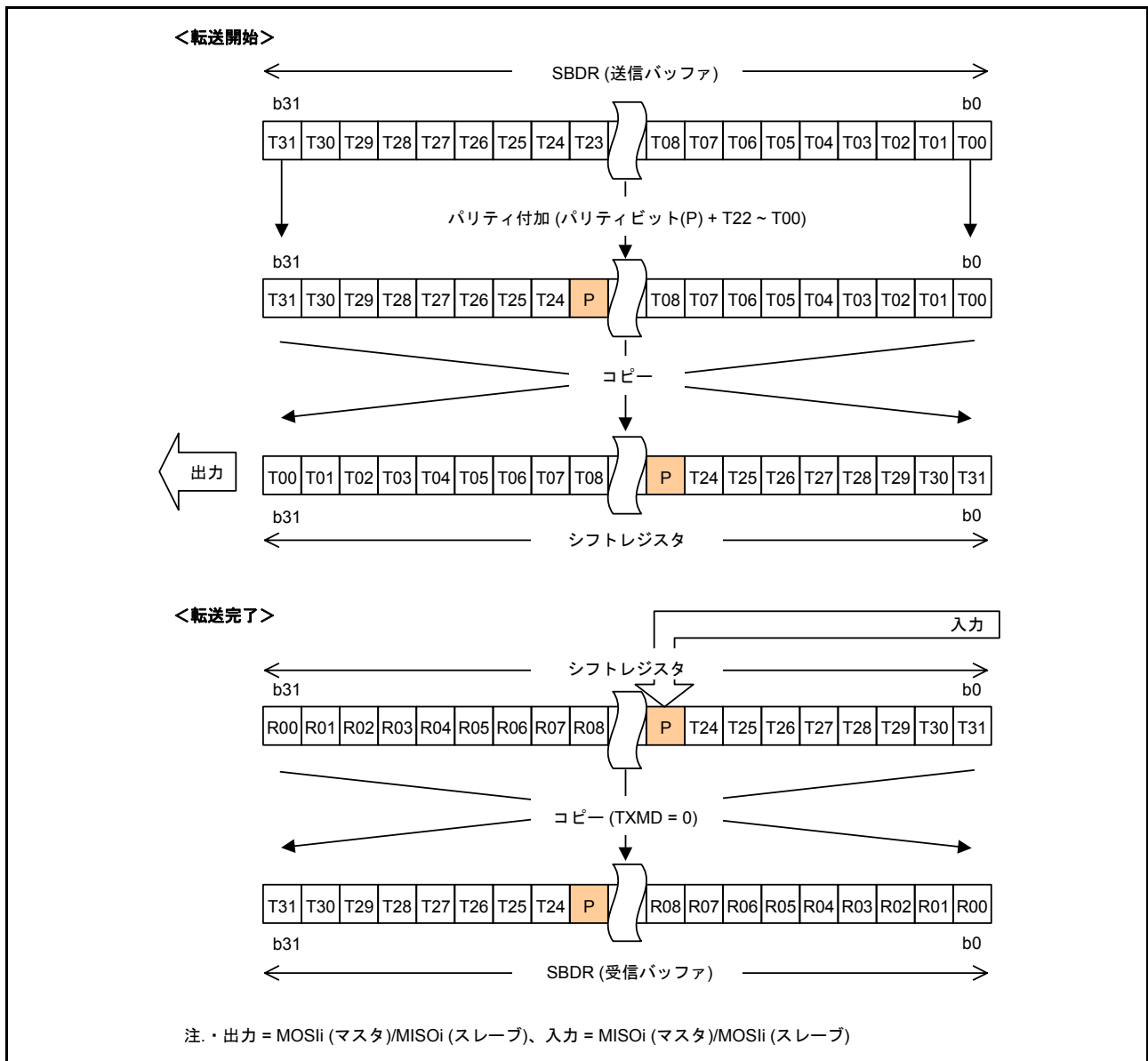


図 18.19 LSB ファースト (24 ビットデータ / パリティ機能有効)

18.3.6 通信動作モード

SBi i 制御レジスタ 0 (SBiCR0) の通信動作モード選択ビット (TXMD) の設定により、全二重同期式シリアル通信、送信のみの動作を選択します。図 18.20、図 18.21 に記載した“SBiDR アクセス”は、SBi i データレジスタ (SBiDR) へのアクセス状況を示しています。“I”はアイドルサイクル、“W”は書き込みサイクルを示しています。

(1) 全二重同期式シリアル通信 (TXMD = 0)

図 18.20 に SBi i 制御レジスタ 0 (SBiCR0) の通信動作モード選択ビット (TXMD) を“0”に設定した場合の動作例を示します。図 18.20 の例では、SBi i データ制御レジスタ 0 (SBiDCR) の SPFC ビットが“00”、SBi i コマンドレジスタ k (SBiCMDk) の CPHA ビットが“1”、CPOL ビットが“0”の設定で、SBI が 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

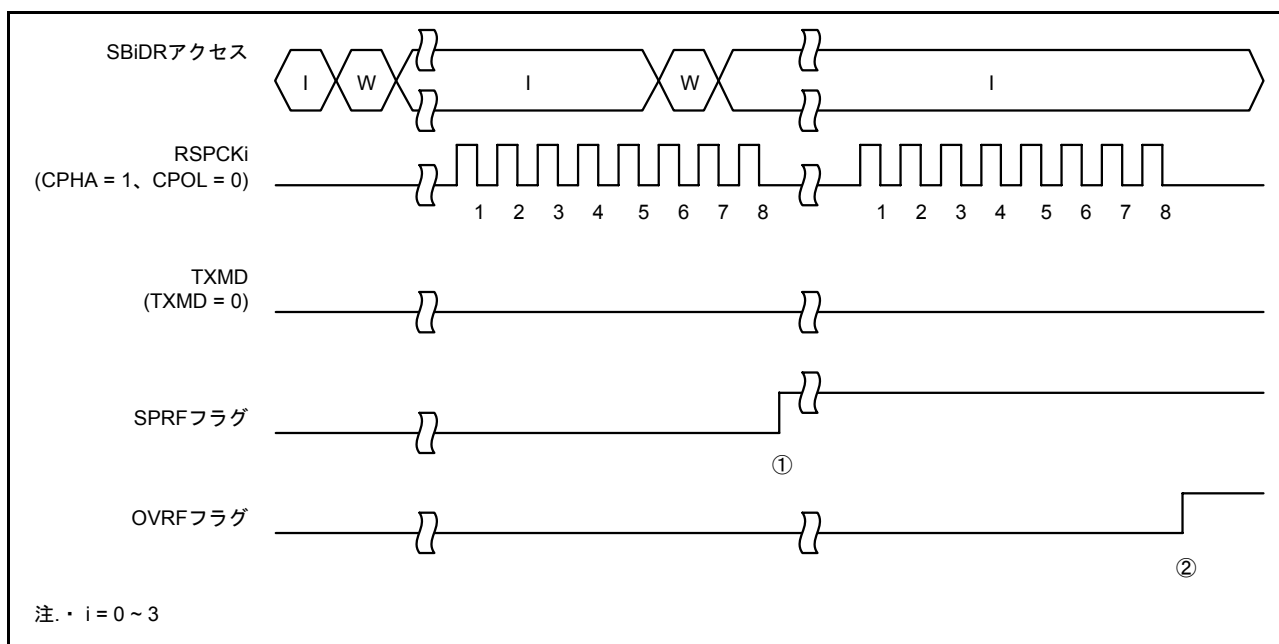


図 18.20 TXMD = 0 の動作例

以下に、図中の①、②に示したタイミングでのフラグの動作内容を説明します。

- ① SBiDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、SBI は SPRF フラグを“1”にしてシフトレジスタの受信データを受信バッファにコピーします。
- ② SBiDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、SBI は OVRF フラグを“1”にしてシフトレジスタの受信データを破棄します。

全二重同期式シリアル通信 (TXMD = 0) 時は、送信データを送信し、受信データを受信します。そのため、SPRF、OVRF フラグは、①、②それぞれのタイミングで“1”になります。

(2) 送信のみ動作 (TXMD = 1)

図 18.21 に SBI_i 制御レジスタ 0 (SBI_{CR0}) の通信動作モード選択ビット (TXMD) を“1”に設定した場合の動作例を示します。図 18.21 の例では、SBI_i データ制御レジスタ (SBI_{DCR}) の SPFC ビットが“00”、SBI_i コマンドレジスタ k (SBI_{CMDk}) の CPHA ビットが“1”、CPOL ビットが“0”の設定で、SBI が 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数(=転送ビット数)を示しています。

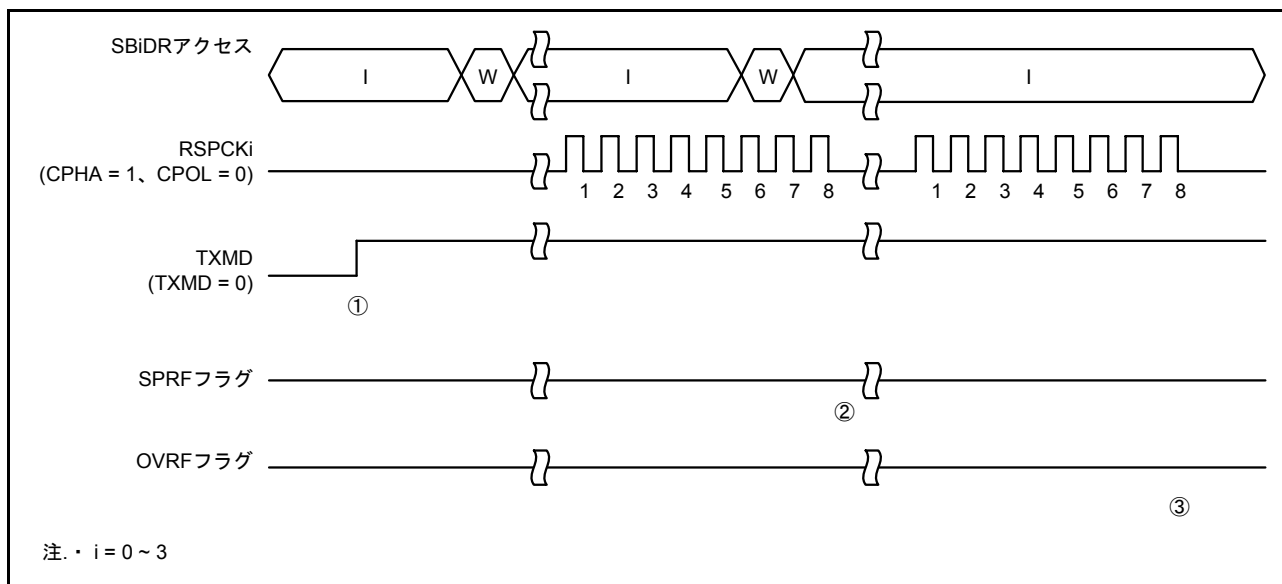


図 18.21 TXMD = 1 の動作例

以下に、図中の①、②、③に示したタイミングでのフラグの動作内容を説明します。

- ① 送信のみ動作 (TXMD = 1) への遷移は、SPRF、OVRF フラグが“0”であることを確認してから、行ってください。
- ② SBI_{DR} レジスタの受信バッファが空の状態ではシリアル転送が終了すると、送信のみ動作 (TXMD = 1) のときは、SPRF フラグは“0”を保持し、シフトレジスタのデータを受信バッファへコピーしません。
- ③ SBI_{DR} レジスタの受信バッファに以前の受信データは存在しない為、シリアル転送が終了しても、OVRF フラグは“0”を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみ動作 (TXMD = 1) 時は、送信データを送信し、受信データを受信しません。そのため、SPRF、OVRF フラグは、①、②、③それぞれのタイミングで“0”を保持します。

18.3.7 送信バッファエンpty / 受信バッファフルフラグ

図 18.22 に SBIi ステータスレジスタ (SBIiSR) の SBI 送信バッファエンptyフラグ (SPTEF) と SBI 受信バッファフルフラグ (SPRF) の動作例を示します。図 18.22 に記載した “SBIiDR アクセス” は、SBIi データレジスタ (SBIiDR) へのアクセス状況を示しています。“I” はアイドルサイクル、“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。図 18.22 の例では、SBIi 制御レジスタ 0 (SBIiCR0) の TXMD ビットが “0”、SBIi データ制御レジスタ (SBIiDCR) の SPFC ビットが “00”、SBIi コマンドレジスタ k (SBIiCMDk) の CPHA ビットが “1”、CPOL ビットが “0” の設定で、SBI が 8 ビットのシリアル転送を実行しています。RSPCKi 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

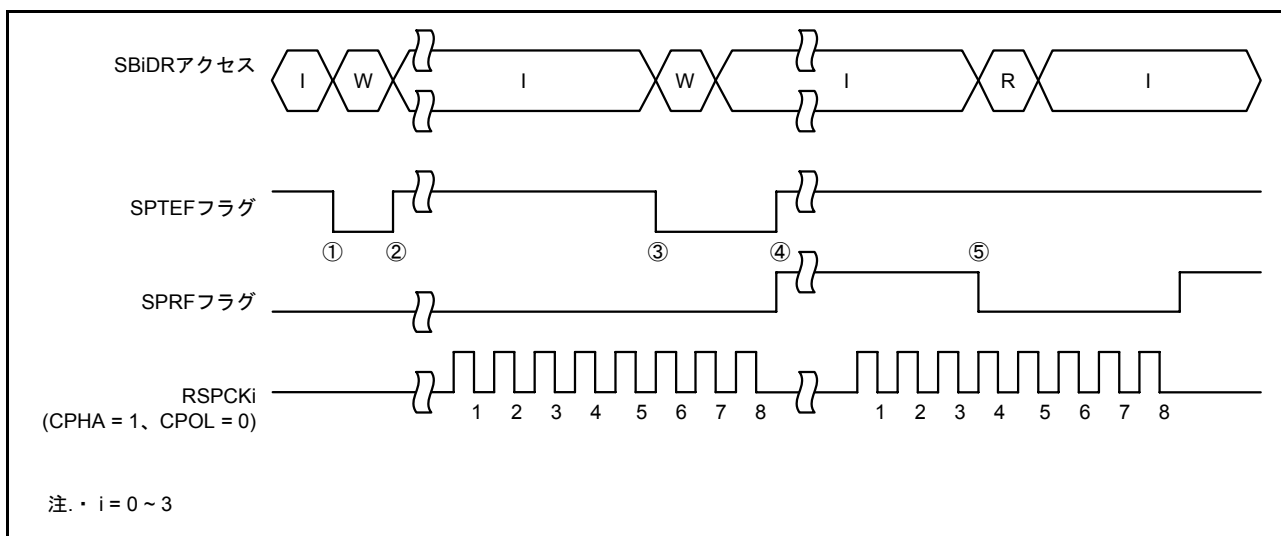


図 18.22 SPTEF、SPRF フラグの動作例

以下に、図中の①～⑤に示したタイミングでのフラグの動作内容を説明します。

- ① SBIiDR レジスタの送信バッファが空の状態、SBIiDR レジスタに送信データを書き込むと、SBI は SPTEF フラグを “0” にして送信バッファにデータを書き込みます。SPRF フラグは変化しません。
- ② シフトレジスタが空の場合には、SBI は SPTEF フラグを “1” にして送信バッファのデータをシフトレジスタにコピーします。SPRF フラグは変化しません。なお、シリアル転送の開始方法は、SBI のモードに依存します。(「18.3.10 SBI 動作」, 「18.3.11 クロック同期式動作」参照)
- ③ SBIiDR レジスタの送信バッファが空の状態、SBIiDR レジスタに送信データを書き込むと、SBI が SPTEF フラグを “0” にして送信バッファにデータを書き込みます。SPRF フラグは変化しません。シフトレジスタにはシリアル転送中のデータが格納されているため、SBI は送信バッファのデータをシフトレジスタにコピーしません。
- ④ SBIiDR レジスタの受信バッファが空の状態、シリアル転送が終了すると、SBI は SPRF フラグを “1” にしてシフトレジスタの受信データを受信バッファにコピーします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、SBI が SPTEF フラグを “1” にして送信バッファのデータをシフトレジスタにコピーします。なお、オーバーランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると SBI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
- ⑤ 受信バッファフルの状態、SBIiDR レジスタを読み出すと、SBI は SPRF フラグを “0” にして、受信バッファのデータをチップ内部バスに送出します。

SPTEF フラグが“0”の状態、SBIiDR レジスタを書き込んだ場合には、SBI は送信バッファのデータを更新しません。SBIiDR レジスタを書き込む場合には、必ず SPTEF フラグが“1”であることを確認してください。SPTEF フラグが“1”であることは、SBIiSR レジスタの読み出し、あるいは SBI 送信割り込みの利用によって確認できます。SBI 送信割り込みを利用する場合には、SBIiCR0 レジスタの SPTIE ビットを“1”にしてください。

SBI ディスエーブル (SBIiCR0 レジスタの SPE ビットが“0”) の場合には、SPTEF フラグが“1”に初期化されます。このため SBI ディスエーブル状態で SBIiCR0 レジスタの SPTIE ビットを“1”にすると、SBI 送信割り込みが発生します。

SPRF フラグが“1”の状態、シリアル転送が終了した場合には、SBI はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します(「18.3.8 エラー検出」参照)。受信データのオーバランを防ぐためには、シリアル転送の終了よりも前に SPRF フラグを“0”にしてください。SPRF フラグが“1”であることは、SBIiSR レジスタの読み出し、あるいは SBI 受信割り込みの利用によって確認できます。SBI 受信割り込みを利用する場合には、SBIiCR0 レジスタの SPRIE ビットを“1”にしてください。

18.3.8 エラー検出

通常の SBI のシリアル転送では、SBIi データレジスタ (SBIiDR) の送信バッファに書き込んだデータがシリアル送信され、シリアル受信されたデータを SBIiDR レジスタの受信バッファから読み出すことができます。SBIiDR レジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始 / 終了時の SBI の状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、SBI はオーバランエラー、パリティエラーまたはモードフォルトエラーとして検出します。表 18.10 に通常以外の転送の発生条件と SBI のエラー検出機能の関係を示します。

表 18.10 通常以外の転送の発生条件と SBI のエラー検出機能

	発生条件	SBI動作	エラー検出
A	送信バッファフルの状態、SBIiDR レジスタを書き込み。	送信バッファ内容を保持。 書き込みデータ欠落。	なし
B	スレーブモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始。	前回シリアル転送時の受信データをシリアル送信。	なし
C	受信バッファエンプティの状態、SBIiDR レジスタを読み出し。	前回シリアル受信データを出力。	なし
D	受信バッファフルの状態、シリアル転送が終了。	受信バッファ内容を保持。 シリアル受信データ欠落。	オーバランエラー 検出
E	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信。	パリティエラーフラグのアサート。	パリティエラー 検出
F	マルチマスタモードでシリアル転送アイドル時に SSLi0 入力信号アサート。	RSPCK、MOSli、SSLi1 ~ SSLi3 出力信号のドライブ停止。 SBI ディスエーブル。	モードフォルトエラー 検出
G	マルチマスタモードでシリアル転送中に SSLi0 入力信号アサート。	シリアル転送を中断。 送受信データ欠落。 RSPCK、MOSli、SSLi1 ~ SSLi3 出力信号のドライブ停止。 SBI ディスエーブル。	モードフォルトエラー 検出
H	スレーブモードでシリアル転送中に SSLi0 入力信号がネゲート。	シリアル転送中断。 送受信データ欠落。 MISOi 出力信号のドライブ停止。 SBI ディスエーブル。	モードフォルトエラー 検出

表 18.10 の A に示した動作に対しては、SBI はエラーを検出しません。SBIiDR レジスタへの書き込み時にデータを欠落させないために、必ず SBIi ステータスレジスタ (SBIiSR) の SPTEF フラグが“1”の状態、SBIiDR レジスタへの書き込みを実施してください。

B に示した動作に対しても、SBI はエラーを検出しません。SBI では、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、B に示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データは、SBIiDR レジスタの受信バッファに保持されているので、正しく読み出されます。(シリアル転送が終了する前に SBIiDR レジスタを読み出さないと、オーバランエラーが発生します。)

C に示した動作に対しても、SBI はエラーを検出しません。不必要なデータを読み出さないようにするためには、SBIiSR レジスタの SPRF フラグが“1”の状態では SBIiDR レジスタの読み出しを実行するようにしてください。

D に示したオーバランエラーについては、(1) で、E に示したパリティエラーについては、(2) で詳しく説明します。また、F~H に示したモードフォルトエラーについては、(3) で説明します。なお、SBIiSR レジスタの SPTEF フラグと SPRF フラグの動作については、「18.3.7 送信バッファエンプティ/受信バッファフルフラグ」を参照してください。

(1) オーバランエラー

SBIi データレジスタ (SBIiDR) の受信バッファフル状態でシリアル転送が終了すると、SBI はオーバランエラーを検出して SBIiSR レジスタの OVRF フラグを“1”にします。OVRF フラグが“1”の状態では、SBI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。SBIiSR レジスタの OVRF フラグを“0”にするためには、リセットを実施するか、OVRF フラグが“1”にセットされた状態の SBIiSR レジスタを CPU が読み出した後に、OVRF フラグに“0”を書き込む必要があります。

図 18.23 に SBIiSR レジスタの SPRF および OVRF フラグの動作を示します。図 18.23 に記載した“SBIiSR アクセス”と“SBIiDR アクセス”は、SBIiSR レジスタ、SBIiDR レジスタへのアクセス状況を示しています。“I”はアイドル状態、“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 18.23 の例では、SBIi コマンドレジスタ k (SBIiCMDk) の CPHA ビットが“1”、CPOL ビットが“0”の設定で、SBI が 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

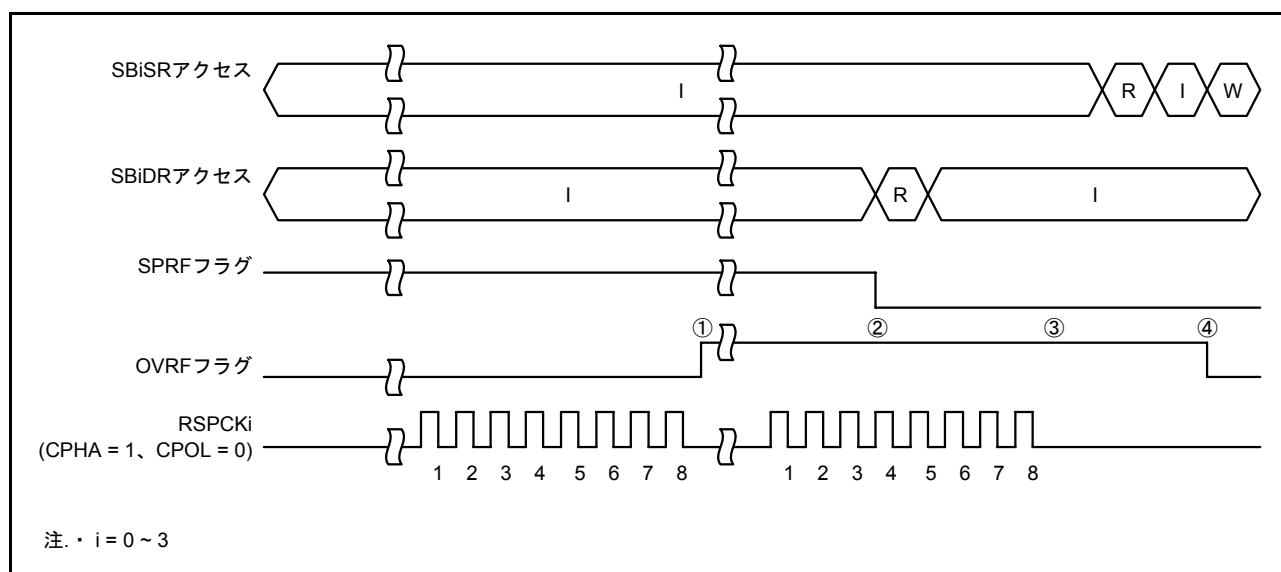


図 18.23 SPRF、OVRF フラグの動作例

以下に、図中の①～④に示したタイミングでのフラグの動作内容を説明します。

- ① SPRF フラグが“1”の状態(受信バッファフル)でシリアル転送が終了すると、SBIがオーバランエラーを検出し、OVRF フラグを“1”にします。SBIはシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが“1”であっても、パリティエラーの検出は行いません。マスタモードの場合には、SBIはSBI_iシーケンスステータスレジスタ(SBiSSR)のSPECMビットに、SBI_iコマンドレジスタk(SBiCMDk)に対するポインタの値をコピーします。
- ② SBI_iDRレジスタを読み出すと、SBIはSPRFフラグを“0”にして受信バッファのデータを内部バスに出力します。受信バッファが空になっても、OVRFフラグはクリアされません。
- ③ OVRFフラグが“1”の状態(オーバランエラー)でシリアル転送が終了した場合には、SBIはSPRFフラグを“0”のまま更新しません。このとき、SBIはシフトレジスタのデータを受信バッファにコピーしません。また、SPPEビットが“1”であっても、パリティエラーの検出は行いません。マスタモードのSBIの場合に、SBIはSBISSRレジスタのSPECMビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了するとSBIはシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
- ④ OVRFフラグが“1”の状態ではCPUがSBI_iSRレジスタを読み出した後、CPUがOVRFフラグに“0”を書き込むと、SBIはOVRFフラグをクリアします。

オーバランの発生は、SBI_iSRレジスタの読み出し、あるいはSBIエラー割り込みとSBI_iSRレジスタの読み出しによって確認できます。SBIエラー割り込みを利用する場合には、SBI_i制御レジスタ0(SBiCR0)のSPEIEビットを“1”にしてください。SBIエラー割り込みを利用せずにシリアル転送を実行する場合には、SBI_iDRレジスタの読み出し直後にSBI_iSRレジスタを読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。SBIをマスタモードで使用する場合、SBISSRレジスタのSPECMビットを読み出すことで、エラー発生時のSBI_iCMDkレジスタに対するポインタ値を確認できます。

オーバランエラーが発生してOVRFフラグが“1”になると、OVRFフラグをクリアするまで正常な受信動作ができなくなります。OVRFフラグを“0”にクリアする条件は、以下のとおりです。

- OVRFフラグが“1”にされた状態のSBI_iSRレジスタをCPUが読み出した後、CPUがOVRFフラグに“0”を書き込む。
- リセット。

(2) パリティエラー

SBI_i制御レジスタ0(SBiCR0)のTXMDビットが“0”、SBI_i制御レジスタ1(SBiCR1)のSPPEビットが“1”の状態では全二重同期式シリアル通信を行い、転送が終了すると、パリティエラーの判定を行います。SBIは、受信データにパリティエラーを検出すると、SBI_iステータスレジスタ(SBiSR)のPERFフラグを“1”にします。OVRFフラグが“1”の状態では、SBIはシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。SBI_iSRレジスタのPERFフラグを“0”にするためには、リセットを実施するか、PERFフラグが“1”にセットされた状態のSBI_iSRレジスタをCPUが読み出した後に、PERFフラグに“0”を書き込む必要があります。

図 18.24 に SBI_iSR レジスタの OVRF フラグと PERF フラグの動作を示します。図 18.24 に記載した“SBI_iSR アクセス”は、SBI_iSR レジスタへのアクセス状況を示しています。“I”はアイドル状態、“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 18.24 の例では、SBI_i制御レジスタ0(SBiCR0)のTXMDビットが“0”、SBI_i制御レジスタ1(SBiCR1)のSPPEビットが“1”の状態では全二重同期式シリアル通信を行います。SBI_iコマンドレジスタk(SBiCMDk)のCPHAビットが“1”、CPOLビットが“0”の設定で、SBIが8ビットのシリアル転送を実行しています。RSPCK波形の下に記載した数字はRSPCKサイクル数(=転送ビット数)を示しています。

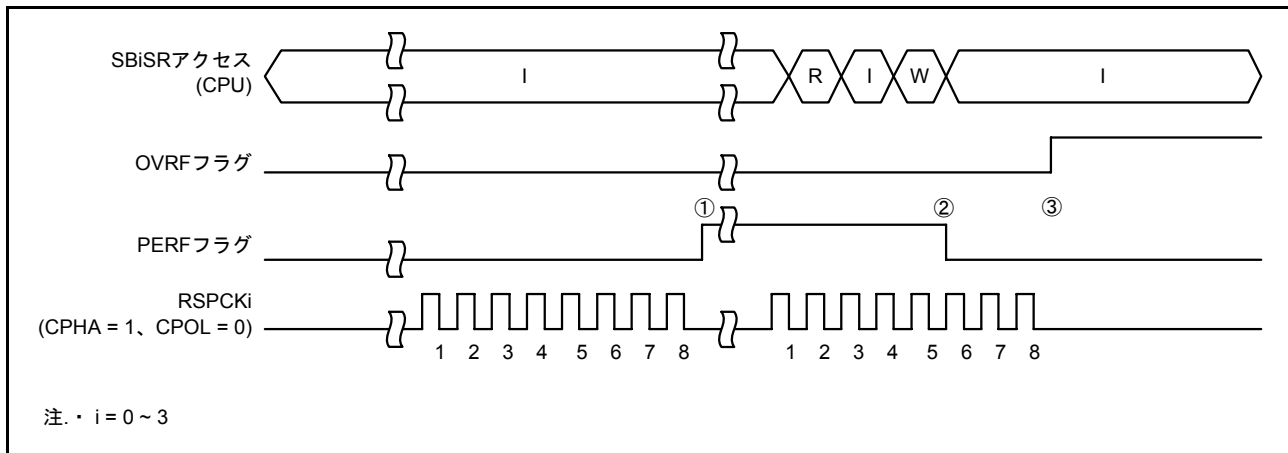


図 18.24 PERF フラグの動作例

以下に、図中の①～③に示したタイミングでのフラグの動作内容を説明します。

- ① SBI がオーバランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、SBI が受信データを判定し、パリティエラーを検出すると PERF フラグを“1”にします。マスタモードの場合には、SBI は SBI_i シーケンスステータスレジスタ (SBI_{SSR}) の SPECM ビットに、SBI_i コマンドレジスタ k (SBI_{CMDk}) に対するポインタの値をコピーします。
- ② PERF フラグが“1”の状態 CPU が SBI_{SR} レジスタを読み出した後、CPU が PERF フラグに“0”を書き込むと、SBI は OVRF フラグをクリアします。
- ③ SBI がオーバランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、SBI はパリティエラーの検出を行いません。

パリティエラーの発生は、SBI_{SR} レジスタの読み出し、あるいは SBI エラー割り込みと SBI_{SR} レジスタの読み出しによって確認できます。SBI エラー割り込みを利用する場合には、SBI_i 制御レジスタ 0 (SBI_{CR0}) の SPEIE ビットを“1”にしてください。SBI エラー割り込みを利用せずにシリアル転送を実行する場合には、SBI_{SR} レジスタを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。SBI をマスタモードで使用する場合、SBI_{SSR} レジスタの SPECM ビットを読み出すことで、エラー発生時の SBI_{CMDk} レジスタに対するポインタ値を確認できます。

PERF フラグを“0”にクリアする条件は、以下のとおりです。

- PERF フラグが“1”にされた状態の SBI_{SR} レジスタを CPU が読み出した後、CPU が PERF フラグに“0”を書き込む。
- リセット。

(3) モードフォルトエラー

SBI_i 制御レジスタ 0 (SBI_{CR0}) の MSTR ビットが“1”、SPMS ビットが“0”、MODFEN ビットが“1”の場合には、SBI はマルチマスタモードで動作します。マルチマスタモードの SBI の SSLi0 入力信号に対してアクティブレベルが入力されると、シリアル転送状態に関わらず、SBI はモードフォルトエラーを検出して SBI_i ステータスレジスタ (SBI_{SR}) の MODF フラグを“1”にします。モードフォルトエラーを検出すると、SBI は SBI_i シーケンスステータスレジスタ (SBI_{SSR}) の SPECM ビットに、SBI_i コマンドレジスタ k (SBI_{CMDk}) に対するポインタの値をコピーします。なお、SSLi0 信号のアクティブレベルは、SBI_i スレーブセレクト極性レジスタ (SBI_{SSLP}) の SSLi0P ビットによって決定されます。

MSTR ビットが“0”の場合には、SBI はスレーブモードで動作します。スレーブモードの SBI の MODFEN ビットが“1”、SPMS ビットが“0”の場合、シリアル転送期間 (有効データのドライブ開始から最終有効デー

タの取り込みまで)に SSLi0 入力信号がネゲートされると、SBI はモードフォルトエラーを検出します。

SBI はモードフォルトエラーを検出すると出力信号のドライブ停止、および SBI CR0 レジスタの SPE ビットのクリアを実施します。SPE ビットがクリアされると SBI 機能は無効化されます。(「18.3.9 SBI の初期化」を参照)。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブと SBI 機能を停止させ、マスタ権の解放を実現することが可能です。

モードフォルトエラーの発生は、SBI SR レジスタの読み出し、あるいは SBI エラー割り込みと SBI SR レジスタの読み出しによって確認できます。SBI エラー割り込みを利用する場合には、SBI 制御レジスタ 0 (SBI CR0) の SPEIE ビットを“1”にしてください。SBI エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SBI SR レジスタをポーリングする必要があります。SBI をマスタモードで使用する場合、SBI SSR レジスタの SPECM ビットを読み出すことで、エラー発生時の SBI CMDk レジスタに対するポインタ値を確認できます。

MODF フラグが“1”の状態では、SBI は CPU による SPE ビットへの“1”書き込みを無視します。モードフォルトエラー検出後に SBI 機能を有効にするためには、必ず MODF フラグを“0”にしてください。MODF フラグを“0”にクリアする条件は、以下のとおりです。

- MODF フラグが“1”にされた状態の SBI SR レジスタを CPU が読み出した後、CPU が MODF フラグに“0”を書き込む。
- リセット。

18.3.9 SBI の初期化

CPU が SBI 制御レジスタ 0 (SBI CR0) の SPE ビットに“0”を書き込んだ場合、またはモードフォルトエラー検出により SBI が SPE ビットを“0”にクリアした場合には、SBI は SBI 機能を無効化し、モジュール機能の一部を初期化します。また、リセットが発生した場合には、SBI はモジュール機能をすべて初期化します。以下に、SPE ビットのクリアによる初期化とリセットによる初期化について説明します。

(1) SPE ビットのクリアによる初期化

SBI CR0 レジスタの SPE ビットがクリアされた場合には、SBI は以下に示す初期化を実施します。

- 実行中のシリアル転送を中断。
- スレーブモードの場合、出力信号のドライブ停止。(Hi-Z)
- SBI 内部ステータスの初期化。
- SBI ステータスレジスタ (SBI SR) の SPTEF フラグの初期化。

SPE ビットのクリアによる初期化では、SBI の制御ビットは初期化されません。このため、CPU が SPE ビットに“1”を再設定すれば初期化前と同じ転送モードで SBI を起動できます。

SBI SR レジスタの SPRF、OVRF、および MODF フラグの値は初期化されません。また、SBI シーケンスステータスレジスタ (SBI SSR) の値も初期化されません。このため、SBI の初期化後も受信バッファのデータの読み出し、SBI 転送時のエラー発生状況の確認が可能です。

SBI SR レジスタの SPTEF フラグの値は、“1”に初期化されます。このため、SBI 初期化後に SBI CR0 レジスタの SPTIE ビットが“1”に設定されていると、SBI 送信割り込みが発生します。CPU で SBI を初期化する場合に、SBI 送信割り込みを禁止するためには、SPE ビットへの“0”書き込みと同時に SPTIE ビットにも“0”を書き込んでください。モードフォルトエラー検出後の SBI 送信割り込みを禁止するためには、エラー処理ルーチンで SPTIE ビットに“0”を書き込んでください。

(2) リセット

リセットによる初期化では、(1)に記載の事項に加え、SBI制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、SBIが完全に初期化されます。

18.3.10 SBI動作

(1) マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出(「18.3.8 エラー検出」参照)のみです。シングルマスタモード(SBI)のSBIではモードフォルトエラーを検出しません。マルチマスタモードのSBIではモードフォルトエラーを検出します。以下では、シングル/マルチマスタモードで共通する動作について説明します。

(1-1) シリアル転送の開始

SBI_iステータスレジスタ(SBiSR)のSPTEFフラグが“1”の状態、SBI_iデータレジスタ(SBiDR)へデータを書き込むと、SBIはSBiDRレジスタの送信バッファのデータを更新します。SBiDRレジスタへの書き込み、またはCPUからSPTEFフラグの“1”読み出し後の“0”書き込みによってSPTEFフラグを“0”にクリアした状態で、シフトレジスタが空の場合には、SBIは送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。SBIは、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスをCPUから参照することはできません。

なお、SBIの転送フォーマットの詳細については、「18.3.4 転送フォーマット」を参照してください。SSL出力信号の極性は、SBI_iスレーブセレクト極性レジスタ(SBiSSLP)の設定値に依存します。

(1-2) シリアル転送の終了

SBI_iコマンドレジスタk(SBiCMDk)のCPHAビットに関わらず、SBIはサンプリングタイミングに対応するRSPCKエッジを送出するとシリアル転送を終了します。SBI_iステータスレジスタ(SBiSR)のSPRFフラグが“0”で受信バッファに空きがある場合には、シリアル転送終了後にシフトレジスタからSBI_iデータレジスタ(SBiDR)の受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのSBIのデータ長は、SBI_iコマンドレジスタk(SBiCMDk)のSPBビットの設定値に依存します。SSL出力信号の極性は、SBI_iスレーブセレクト極性レジスタ(SBiSSLP)の設定値に依存します。SBIの転送フォーマットの詳細については、「18.3.4 転送フォーマット」を参照してください。

(1-3) シーケンス制御

マスタモード時の転送フォーマットは、SBI_iシーケンス制御レジスタ(SBiSCR)、SBI_iコマンドレジスタk(SBiCMDk)、SBI_iビットレートレジスタ(SBiBR)、SBI_iクロック遅延値レジスタ(SBiCKD)、SBI_iスレーブセレクトネゲート遅延レジスタ(SBiSSLND)、SBI_i次アクセス遅延値レジスタ(SBiIND)によって決定されます。

SBiSCRレジスタは、マスタモードのSBIで実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SBiCMDkレジスタには、SSL出力信号値、MSB/LSBファースト、データ長、ビットレート設定の一部、RSPCK極性/位相、SBiCKDレジスタの参照要否、SBiSSLNDレジスタの参照要否、SBiINDレジスタの参照要否が設定されています。SBiBRレジスタにはビットレート設定の一部、SBiCKDレジスタにはSBIクロック遅延値、SBiSSLNDレジスタにはSSLネゲート遅延、SBiINDレジスタには次アクセス遅延値が設定されています。

SBIは、SBiSCRレジスタに設定されたシーケンス長に従って、SBiCMDkレジスタの一部/全部からなる

シーケンスを構成します。SBIには、シーケンスを構成している SBiCMDk レジスタに対するポインタが存在します。このポインタの値は、SBIi シーケンスステータスレジスタ (SBiSSR) の SPCP ビットの読み出しによって CPU から確認可能です。SBIi 制御レジスタ 0 (SBiCR0) の SPE ビットを“1”にして SBI 機能をイネーブルにすると、SBI はコマンドに対するポインタを SBiCMD0 レジスタにセットし、シリアル転送の開始時に SBiCMD0 レジスタの設定内容を転送フォーマットに反映します。SBI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、SBI はポインタを SBiCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

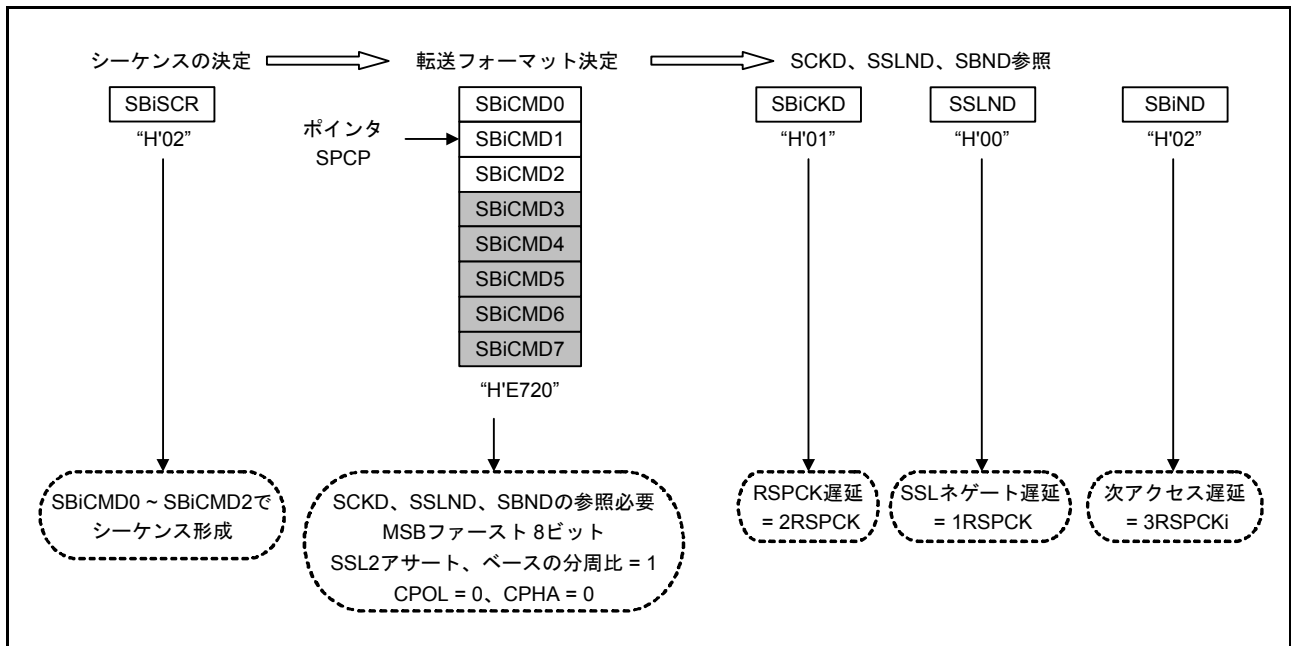


図 18.25 マスタモードでのシリアル転送方式の決定方法

(1-4) バースト転送

SBI が現在のシリアル転送で参照している SBIi コマンドレジスタ k (SBiCMDk) の SSLKP ビットが“1”の場合には、SBI はシリアル転送中の SSL 信号レベルを次のシリアル転送の SSL 信号アサート開始まで保持します。次のシリアル転送での SSL 信号レベルが、現在のシリアル転送での SSL 信号レベルと同じであれば、SBI は SSL 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます (バースト転送)。

図 18.26 に、SBiCMD0 ~ 1 レジスタの設定を使用してバースト転送を実現した場合の SSL 信号動作例を示します。図 18.26 に記載した① ~ ⑦の SBI 動作内容について、以下に説明します。なお、SSL 出力信号の極性は、SBIi スレーブセレクト極性レジスタ (SBiSSLP) の設定値に依存します。

- ① SBiCMD0 レジスタに従った SSL 信号のアサートと RSPCK 遅延の挿入を実施します。
- ② SBiCMD0 レジスタに従ったシリアル転送を実行します。
- ③ SSL ネゲート遅延を挿入します。
- ④ SBiCMD0 レジスタの SSLKP ビットが“1”であるため、SBiCMD0 レジスタでの SSL 信号値を保持します。この期間は、最短の場合には SBiCMD0 レジスタの次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
- ⑤ SBiCMD1 レジスタに従った SSL 信号のアサートと RSPCK 遅延の挿入を実施します。
- ⑥ SBiCMD1 レジスタに従ったシリアル転送を実行します。

- ⑦ SBI_iコマンドレジスタの SSLKP ビットが“0”であるため、SSL 信号をネゲートします。また、SBI_iコマンドレジスタに従った次アクセス遅延が挿入されます。

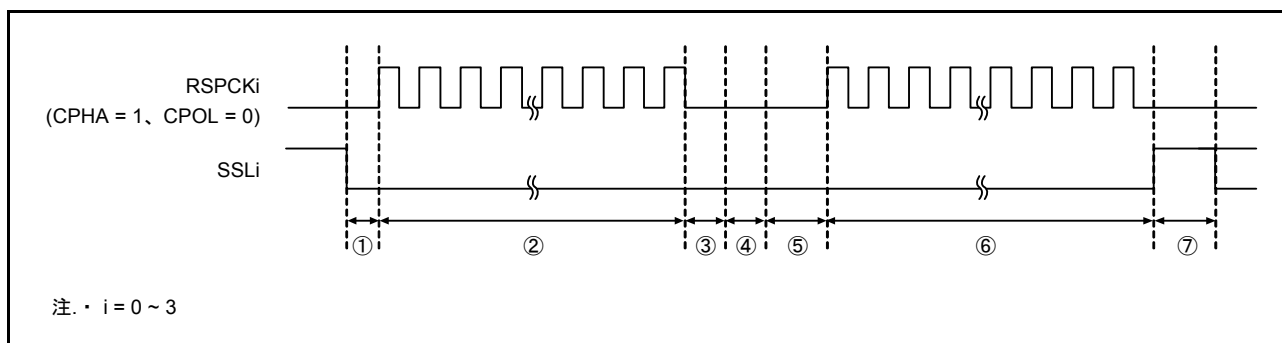


図 18.26 SSLKP ビットを利用したバースト転送動作の例

SSLKP ビットに“1”を設定した SBI_iコマンドレジスタでの SSL 信号出力設定と、次転送で使用する SBI_iコマンドレジスタでの SSL 信号出力設定が異なる場合、SBI は次転送のコマンドに対応した SSL 信号のアサート時(⑤)に SSL 信号状態を切り替えます。このような SSL 信号の切り替えが発生した場合、MISO_i をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるため、注意してください。

マスターモードの SBI は、SSLKP ビットを使用しない場合の SSL 信号動作をモジュール内部で参照しています。SBI_iコマンドレジスタの CPHA ビットが“0”の場合でも、SBI は内部で検出した次転送の SSL 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスターモードのバースト転送は、CPHA ビットの設定値に関わらず実行できます。(「18.3.10 SBI 動作」参照)

(1-5) RSPCK 遅延 (t₁)

マスターモードの SBI の RSPCK 遅延値は、SBI_i コマンドレジスタ k (SBI_iコマンドレジスタ k) の SCKDEN ビットの設定と SBI_i クロック遅延レジスタ (SBI_iCKD) の設定に依存します。SBI は、シリアル転送で参照する SBI_iコマンドレジスタをポインタ制御によって決定し、選択した SBI_iコマンドレジスタの SCKDEN ビットと SBI_iCKD レジスタを使用して、表 18.11 のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、「18.3.4 転送フォーマット」を参照してください。

表 18.11 SCKDEN ビット、SBI_iCKD レジスタと RSPCK 遅延の関係

SCKDEN ビット	SBI _i CKD レジスタ	RSPCK 遅延値
“0”	“000” ~ “111”	1 RSPCK
“1”	“000”	1 RSPCK
	“001”	2 RSPCK
	“010”	3 RSPCK
	“011”	4 RSPCK
	“100”	5 RSPCK
	“101”	6 RSPCK
	“110”	7 RSPCK
	“111”	8 RSPCK

(1-6) SSL ネゲート遅延 (t2)

マスタモードのSBIのSSLネゲート遅延値は、SBI_i コマンドレジスタ k (SBI_iCMDk) のSLNDENビットの設定とSBI_i スレーブセレクトネゲート遅延レジスタ (SBI_iSSLND) の設定に依存します。SBIは、シリアル転送で参照するSBI_iCMDkレジスタをポインタ制御によって決定し、選択したSBI_iCMDkレジスタのSLNDENビットとSBI_iSSLNDレジスタを使用して、表18.12のようにシリアル転送時のSSLネゲート遅延値を決定します。なお、SSLネゲート遅延の定義については、「18.3.4 転送フォーマット」を参照してください。

表18.12 SBI_iSSLNDレジスタとSSLネゲート遅延の関係

SLNDENビット	SBI _i SSLNDレジスタ	SSLネゲート遅延値
"0"	"000" ~ "111"	1 RSPCK
"1"	"000"	1 RSPCK
	"001"	2 RSPCK
	"010"	3 RSPCK
	"011"	4 RSPCK
	"100"	5 RSPCK
	"101"	6 RSPCK
	"110"	7 RSPCK
	"111"	8 RSPCK

(1-7) 次アクセス遅延 (t3)

マスタモードのSBIの次アクセス遅延は、SBI_i コマンドレジスタ k (SBI_iCMDk) のSPNDENビットの設定とSBI_i 次アクセス遅延レジスタ (SBI_iIND) の設定に依存します。SBIは、シリアル転送で参照するSBI_iCMDkレジスタをポインタ制御によって決定し、選択したSBI_iCMDkレジスタのSPNDENビットとSBI_iINDレジスタを使用して、表18.13のようにシリアル転送時のRSPCK遅延を決定します。なお、次アクセス遅延の定義については、「18.3.4 転送フォーマット」を参照してください。

表18.13 SPNDENビット、SBI_iINDレジスタと次アクセス遅延の関係

SPNDENビット	SBI _i INDレジスタ	次アクセス遅延値
"0"	"000" ~ "111"	1 RSPCK + 周辺バスクロック B の 2 サイクル
"1"	"000"	1 RSPCK + 周辺バスクロック B の 2 サイクル
	"001"	2 RSPCK + 周辺バスクロック B の 2 サイクル
	"010"	3 RSPCK + 周辺バスクロック B の 2 サイクル
	"011"	4 RSPCK + 周辺バスクロック B の 2 サイクル
	"100"	5 RSPCK + 周辺バスクロック B の 2 サイクル
	"101"	6 RSPCK + 周辺バスクロック B の 2 サイクル
	"110"	7 RSPCK + 周辺バスクロック B の 2 サイクル
	"111"	8 RSPCK + 周辺バスクロック B の 2 サイクル

(1-8) 初期化フロー

図 18.27 に、SBI 動作時の SBI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

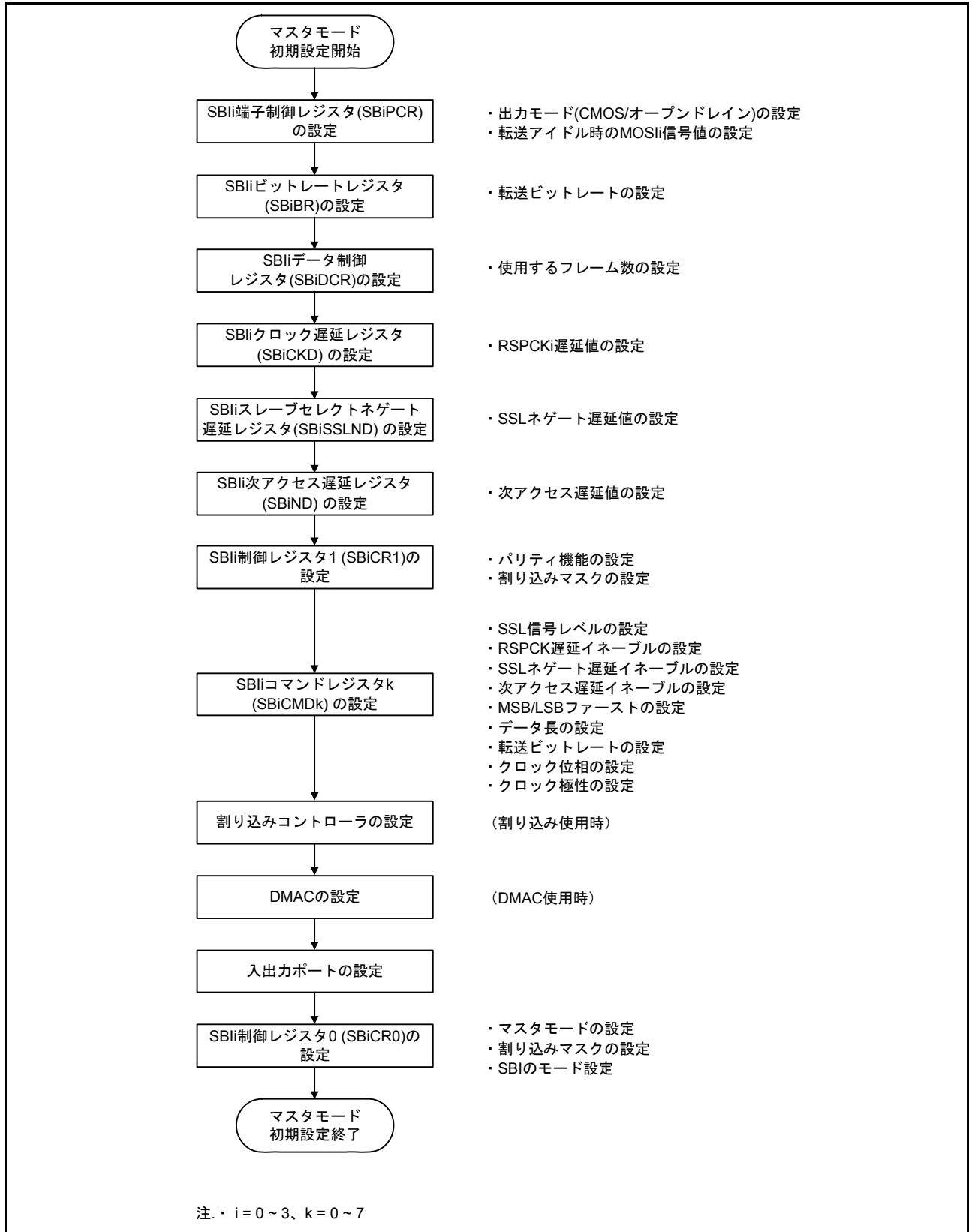


図 18.27 マスタモード時の初期化フロー例

(1-9) 転送動作フロー

図 18.28 に、クロック同期式動作時、マスタモードの転送動作フローを示します。

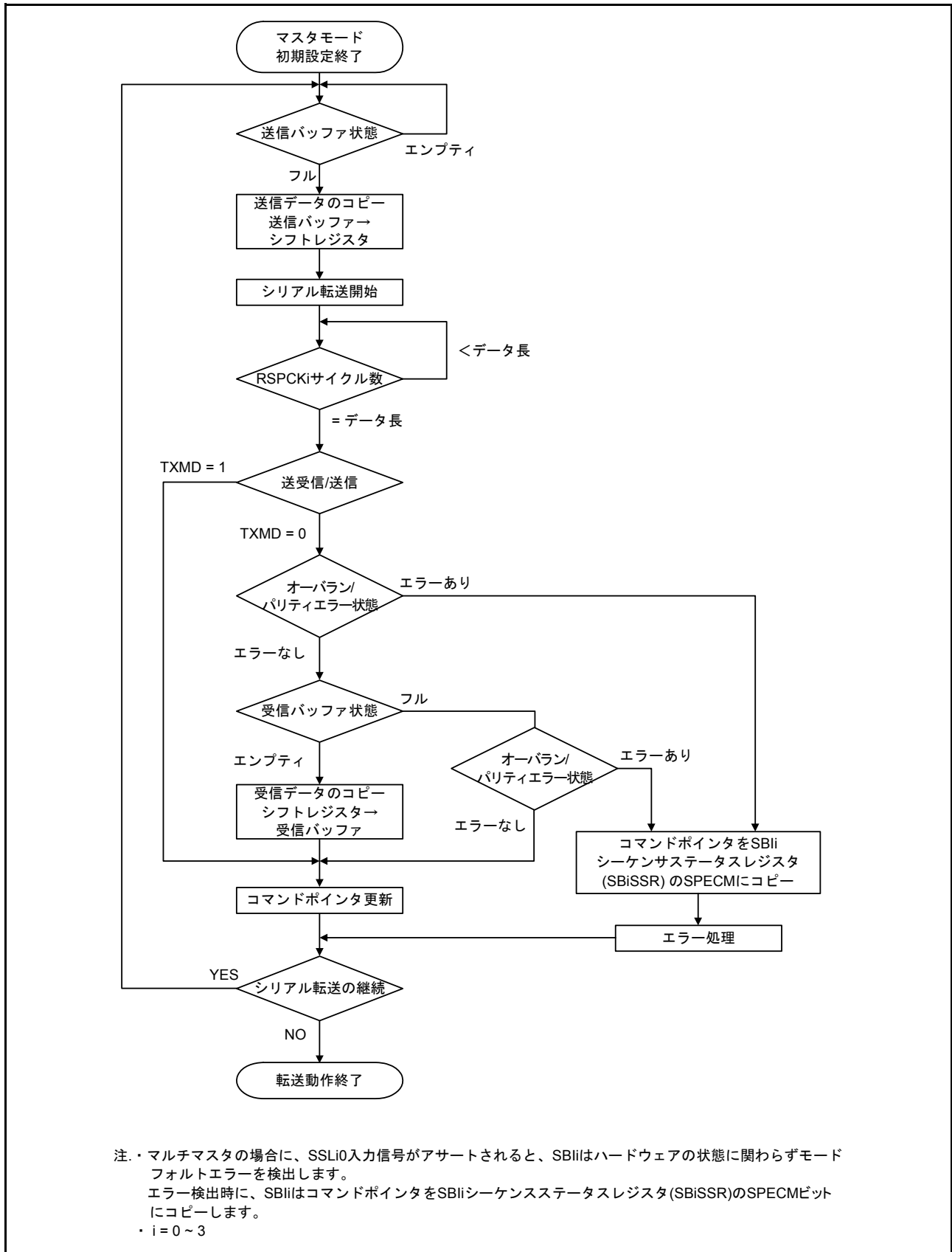


図 18.28 マスタモード時の転送動作フロー

(2) スレーブモード動作

(2-1) シリアル転送の開始

SBIi コマンドレジスタ 0 (SBIiCMD0) の CPHA ビットが“0”の場合、SBI が SSLi0 入力信号のアサートを検出すると、MISOi 出力信号への有効データのドライブを開始する必要があります。このため、SSLi0 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが“1”の場合、SBI は SSLi0 入力信号のアサート状態で最初の RSPCK エッジを検出すると、MISOi 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが“1”の場合には、SSLi0 信号アサート状態における最初の RSPCK エッジがシリアル転送開始のトリガになります。

SBI は、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、SBI はシフトレジスタの状態をフルのまま変更しません。

CPHA ビットの設定に依存せず、SBI が MISOi 出力信号のドライブを開始するタイミングは、SSLi0 信号アサートタイミングとなります。CPHA ビットの設定によって、SBI が出力するデータの有効/無効が異なります。

なお、SBI の転送フォーマットの詳細については、「18.3.4 転送フォーマット」を参照してください。SSLi0 入力信号の極性は、SBIi スレーブセレクト極性レジスタ (SBIiSSLP) の SSLi0P ビットの設定値に依存します。

(2-2) シリアル転送の終了

SBIi コマンドレジスタ 0 (SBIiCMD0) の CPHA ビットに関わらず、SBI は最終サンプリングタイミングに相当する RSPCK エッジを検出するとシリアル転送を終了します。SBIi ステータスレジスタ (SBIiSR) の SPRF フラグが“0”で受信バッファに空きがある場合には、シリアル転送の終了後に、SBI はシフトレジスタから SBIi データレジスタ (SBIiDR) の受信バッファに受信データをコピーします。また、SPRF フラグの値に関わらず、SBI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間に SBI が SSLi0 入力信号のネゲートを検出するとモードフォルトエラーが発生します(「18.3.8 エラー検出」参照)。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SBI のデータ長は SBIiCMD0 レジスタの SPB ビットの設定値に依存します。SSLi0 入力信号の極性は、SBIi スレーブセレクト極性レジスタ (SBIiSSLP) の SSLi0P ビットの設定値に依存します。SBI の転送フォーマットの詳細については、「18.3.4 転送フォーマット」を参照してください。

(2-3) シングルスレーブ時の注意点

SBIi コマンドレジスタ 0 (SBIiCMD0) の CPHA ビットが“0”の場合には、SBI は SSLi0 入力信号のアサートエッジを検出するとシリアル転送を開始します。図 18.4 の例に示したような構成で SBI をシングルスレーブで使用する場合には、SSLi0 入力信号が常にアクティブ状態に固定されるため、CPHA ビットを“0”に設定した SBI ではシリアル転送を正しく開始できません。SSLi0 入力信号をアクティブ状態に固定する構成で、スレーブモード SBI の送受信を正しく実行するためには、CPHA ビットを“1”にしてください。CPHA ビットを“0”にする必要がある場合には、SSLi0 入力信号を固定しないでください。

(2-4) バースト転送

SBIi コマンドレジスタ 0 (SBIiCMD0) の CPHA ビットが“1”の場合、SSLi0 入力信号のアサート状態を保持したままで、連続的なシリアル転送(バースト転送)を実行することが可能です。CPHA ビットが“1”の場合には、SSLi0 入力信号アクティブ状態における最初の RSPCK エッジから最終ビット受信のためのサンプリン

グタイミングまでが、シリアル転送期間に相当します。SSLi0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応可能です。

CPHA ビットが“0”の場合には、(3)と同じ理由のために、バースト転送の2回目以降のシリアル転送を正しく実行できません。

(2-5) 初期化フロー

図 18.29 に SBI 動作時、SBI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

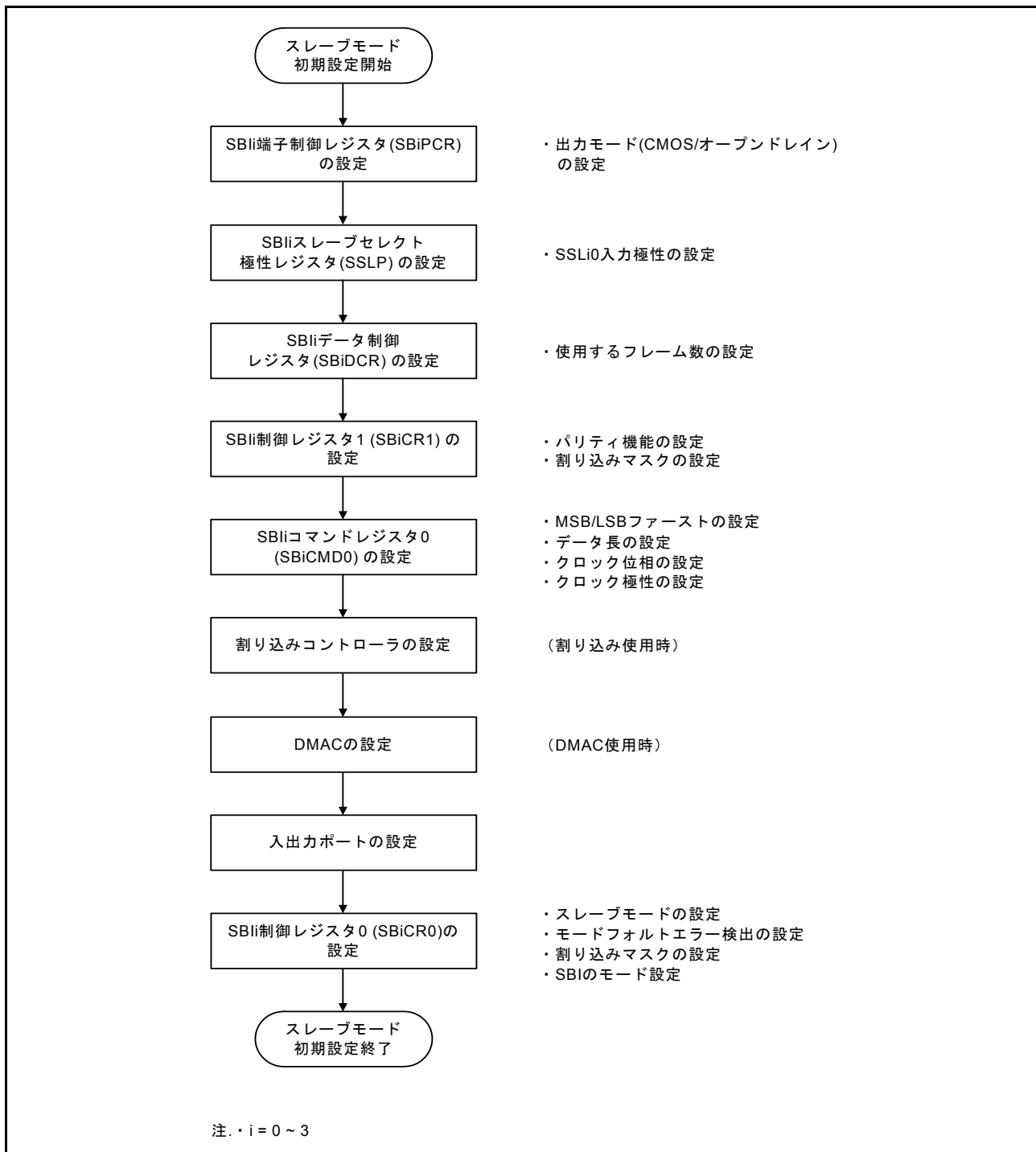
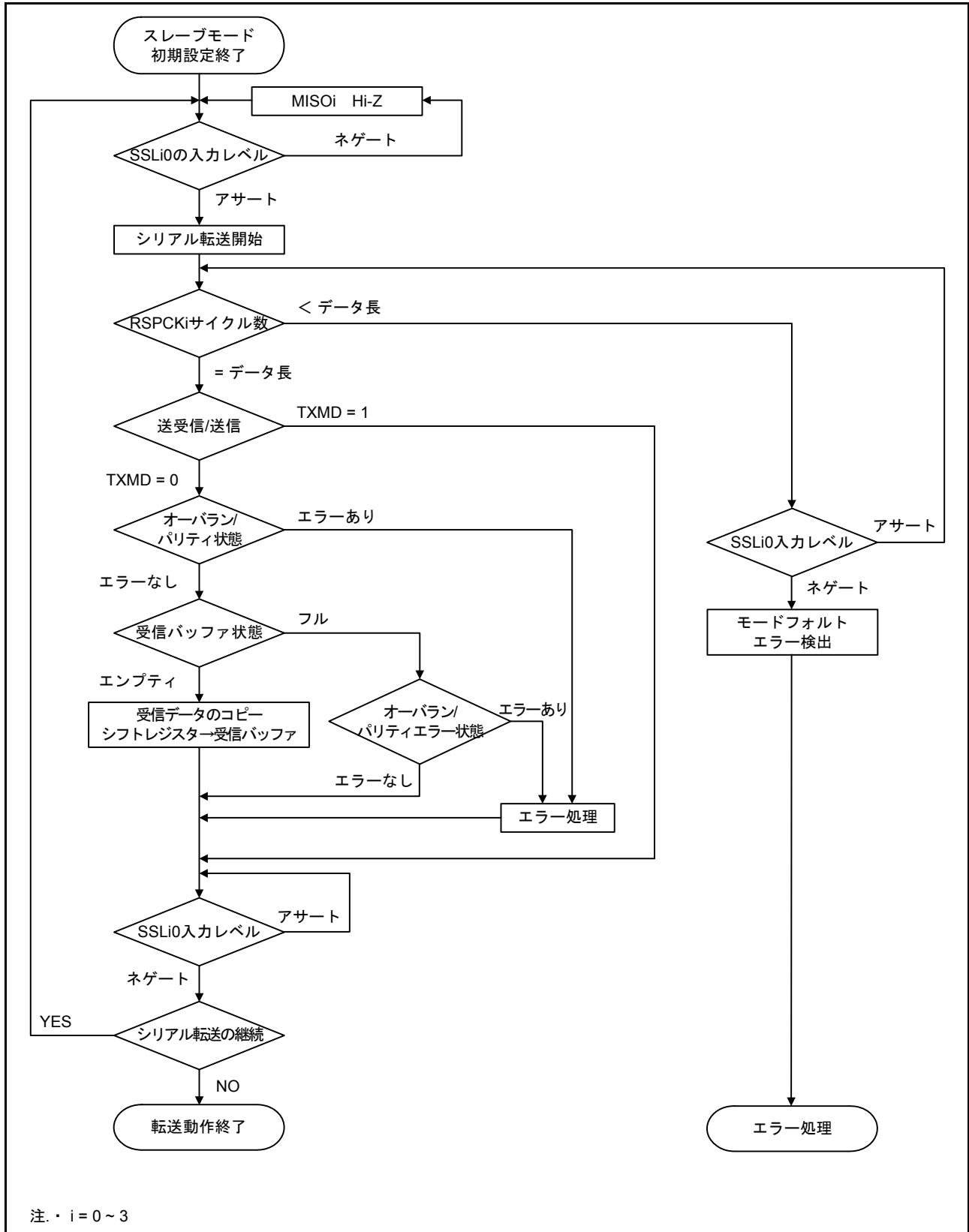


図 18.29 スレーブモード時の初期化フロー例

(2-6) 転送動作フロー (CPHA = 0)

図 18.30 に SBI 動作時、SBI_i コマンドレジスタ 0 (SBI_i CMD0) の CPHA ビットを“0”に設定したスレーブモードの SBI の転送動作フローを示します。



注・ i = 0 ~ 3

図 18.30 スレーブモード時の転送動作フロー (CPHA = 0)

(2-7) 転送動作フロー (CPHA = 1)

図 18.31 に SBI 動作時、SBI_i コマンドレジスタ 0 (SBI_iCMRD0) の CPHA ビットを“1”に設定したスレーブモードの SBI の転送動作フローを示します。

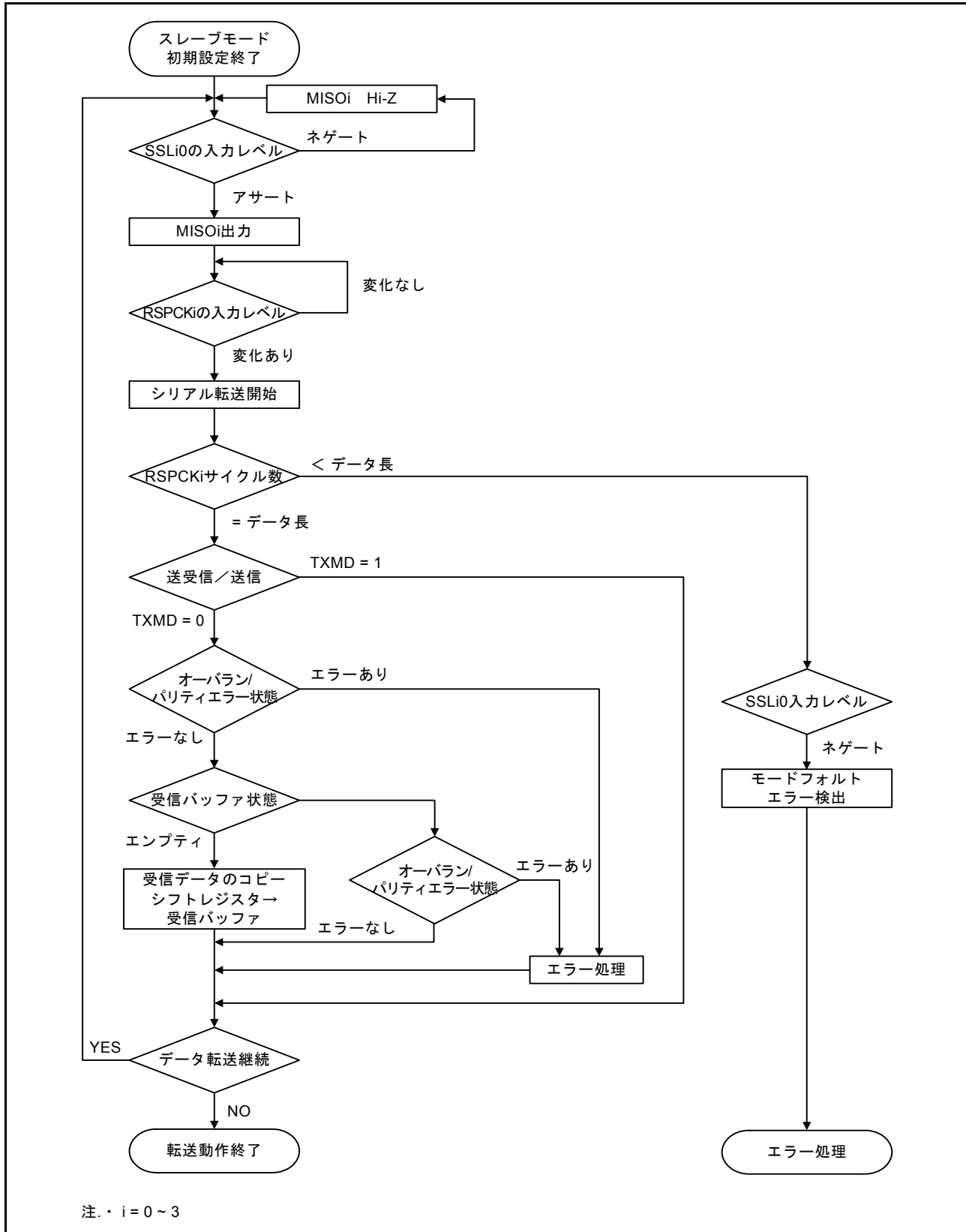


図 18.31 スレーブモード時の転送動作フロー (CPHA = 1)

18.3.11 クロック同期式動作

SBIは、SBIi制御レジスタ0(SBiCR0)のSPMSビットが“1”であるとき、クロック同期式動作となります。クロック同期式動作は、SSLi端子を使用せず、RSPCK、MOSLi、MISOiの3本の端子を用いて通信を行い、SSLi端子はIOポートとして使用することができます。

クロック同期式動作は、SSLi端子を使用せず通信を行いますが、モジュール内部の動作はSBI動作と同様の動作を行います。マスタ動作、スレーブ動作において、クロック同期式動作時と同様のフローで通信を行うことができますが、SSLi端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、SBIiコマンドレジスタk(SBiCMDk)のCPHAビットを“0”に設定した場合の動作について保証しておりません。

(1) マスタモード動作

(1-1) シリアル転送の開始

SBIiステータスレジスタ(SBiSR)のSPTEFフラグが“1”のときで、SBIiデータレジスタ(SBiDR)へデータを書き込むと、SBIはSBiDRレジスタの送信バッファのデータを更新します。SBiDRレジスタへの書き込み、またはCPUからSPTEFフラグの“1”読み出し後の“0”書き込みによってSPTEFフラグを“0”にクリアした状態で、シフトレジスタが空の場合には、SBIは送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。SBIは、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスをCPUから参照することはできません。

なお、SBIの転送フォーマットの詳細については、「18.3.4 転送フォーマット」を参照してください。ただし、クロック同期式動作時はSSLi0出力信号を用いず通信を行います。

(1-2) シリアル転送の終了

SBIはサンプリングタイミングに対応するRSPCKエッジを送出するとシリアル転送を終了します。SBIiステータスレジスタ(SBiSR)のSPRFフラグが“0”で受信バッファに空きがある場合には、シリアル転送終了後にシフトレジスタからSBIiデータレジスタ(SBiDR)の受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのSBIのデータ長は、SBIiコマンドレジスタk(SBiCMDk)のSPBビットの設定値に依存します。SBIの転送フォーマットの詳細については、「18.3.4 転送フォーマット」を参照してください。ただし、クロック同期式動作時はSSLi0出力信号を用いず通信を行います。

(1-3) シーケンス制御

マスタモード時の転送フォーマットは、SBIiシーケンス制御レジスタ(SBiSCR)、SBIiコマンドレジスタk(SBiCMDk)、SBIiビットレートレジスタ(SBiBR)、SBIiクロック遅延値レジスタ(SBiCKD)、SBIiスレーブセレクトネゲート遅延レジスタ(SBiSSLND)、SBIi次アクセス遅延値レジスタ(SBiND)によって決定されます。クロック同期式動作時は、SSL信号の出力を行いませんが、これらの設定は有効です。

SBiSCRレジスタは、マスタモードのSBIで実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SBiCMD0~7レジスタには、SSL出力信号値、MSB/LSBファースト、データ長、ビットレート設定の一部、RSPCK極性/位相、SBiCKDレジスタの参照要否、SBiSSLNDレジスタの参照要否、SBiNDレジスタの参照要否が設定されています。SBiBRレジスタにはビットレート設定の一部、SBiCKDレジスタにはSBIクロック遅延値、SBiSSLNDレジスタにはSSLネゲート遅延、SBiNDレジスタには次アクセス遅延値が設定されています。

SBIは、SBiSCRレジスタに設定されたシーケンス長に従って、SBiCMD0~7レジスタの一部/全部からな

るシーケンスを構成します。SBIには、シーケンスを構成している SBI_iCMD_k レジスタに対するポインタが存在します。このポインタの値は、SBI_i シーケンスステータスレジスタ (SBI_{SSR}) の SPCP ビットの読み出しによって CPU から確認可能です。SBI_i 制御レジスタ 0 (SBI_{CR0}) の SPE ビットを“1”にして SBI 機能をイネーブルにすると、SBI はコマンドに対するポインタを SBI_iCMD0 レジスタにセットし、シリアル転送の開始時に SBI_iCMD0 レジスタの設定内容を転送フォーマットに反映します。SBI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、SBI はポインタを SBI_iCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

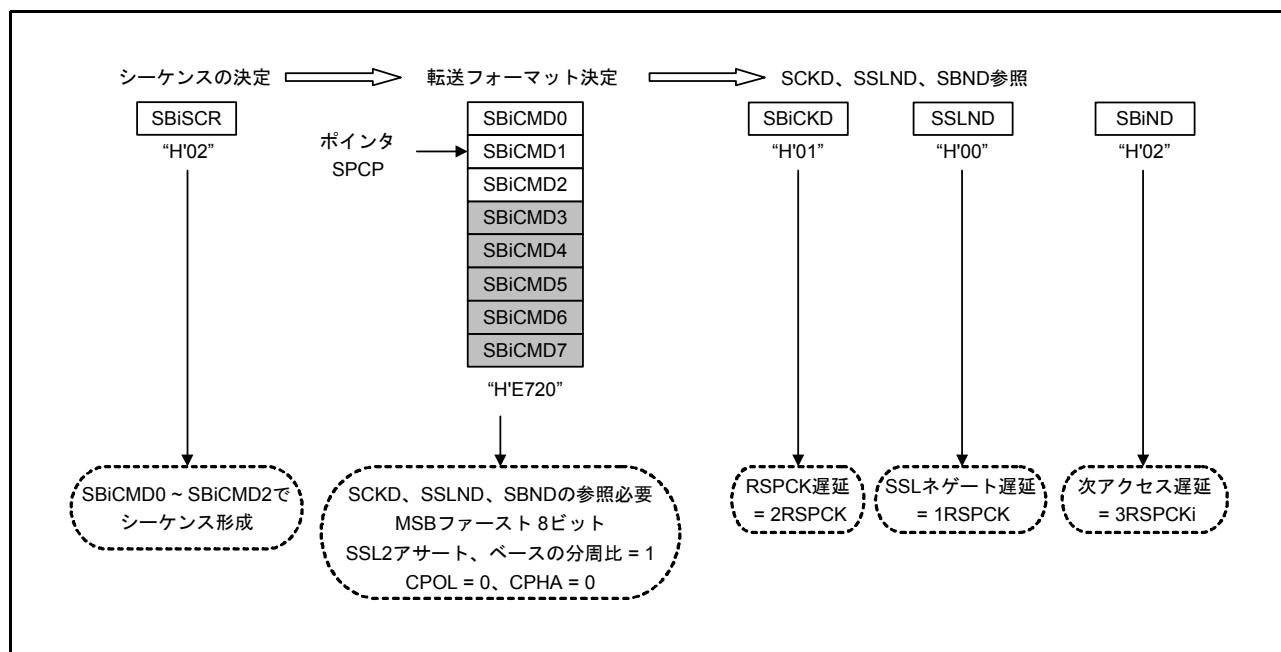


図 18.32 マスタモードでのシリアル転送方式の決定方法

(1-4) 初期化フロー

図 18.33 にクロック同期式動作時の SBI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

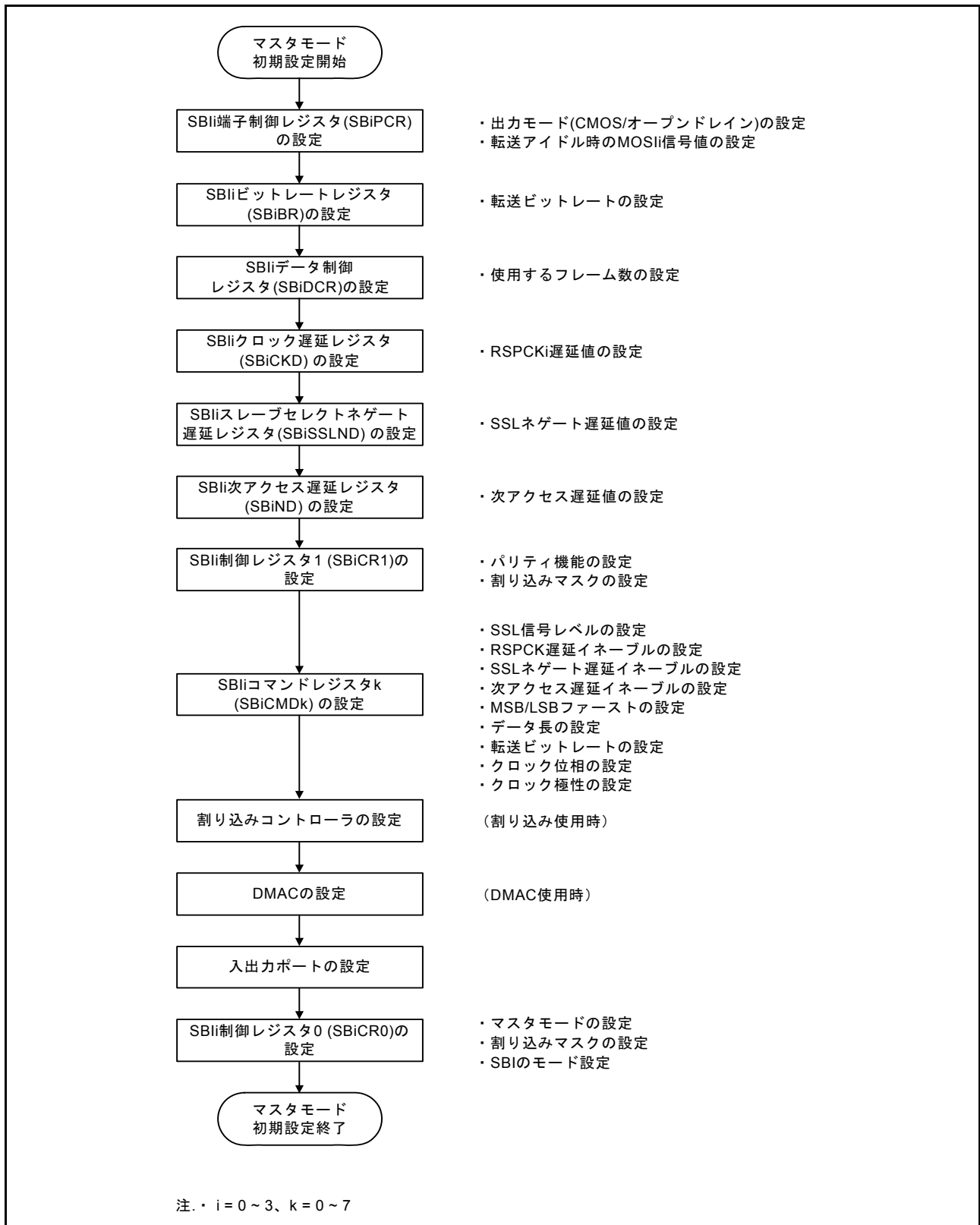


図 18.33 マスタモード時の初期化フロー例

(1-5) 転送動作フロー

図 18.34 にクロック同期式動作時、マスタモードの転送動作フローを示します。

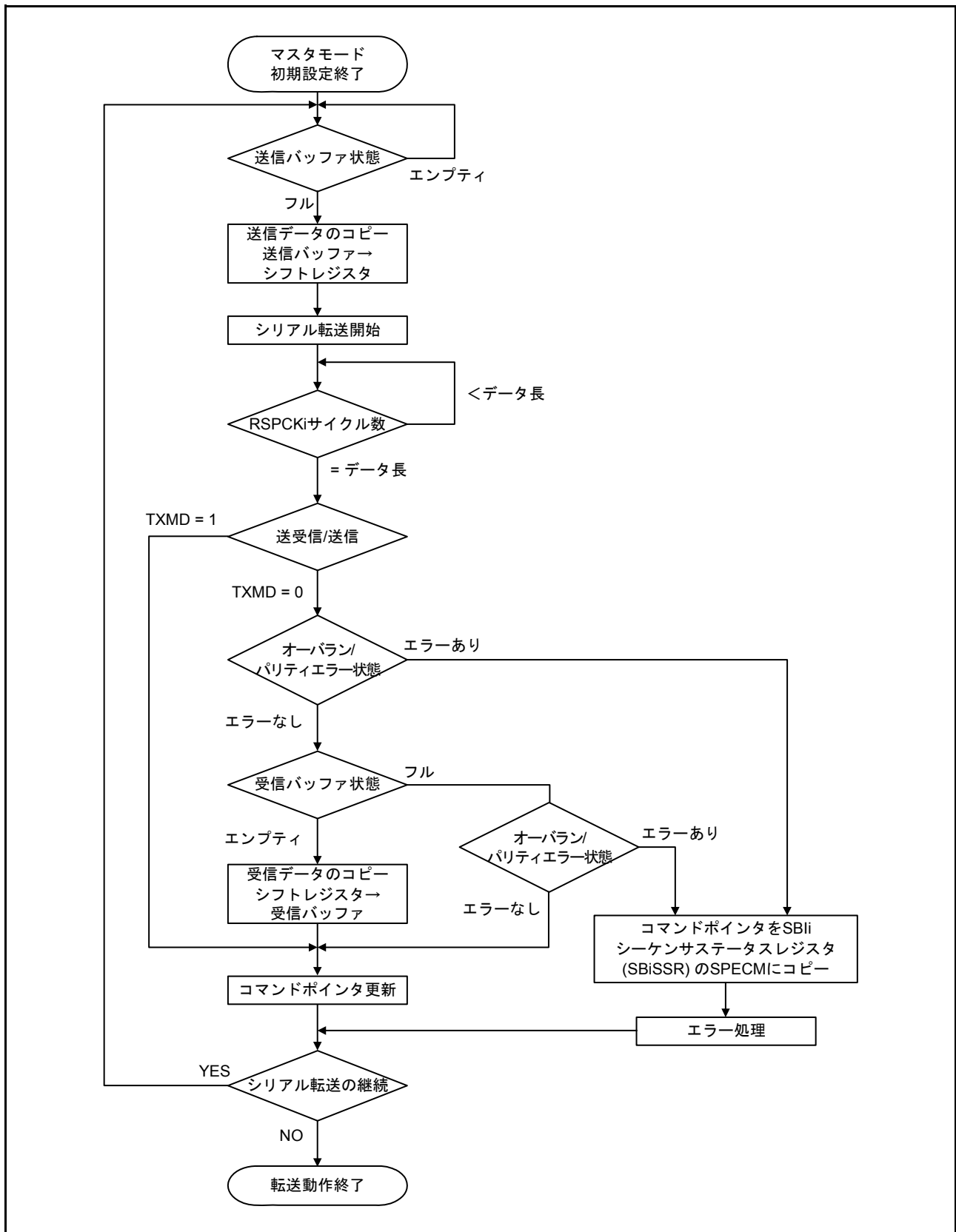


図 18.34 マスタモード時の転送動作フロー

(2) スレーブモード動作

(2-1) シリアル転送の開始

SBIは、SBIi制御レジスタ0(SBiCR0)のSPMSビットが“1”であるとき、最初のRSPCKエッジがシリアル転送開始のトリガになります。

SBIは、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、SBIはシフトレジスタの状態をフルのまま変更しません。

SPMSビットが“1”であるときは、SBIはMISOi出力信号を常にドライブします。

なお、SBIの転送フォーマットの詳細については、「18.3.4 転送フォーマット」を参照してください。ただし、クロック同期式動作時はSSLi0入力信号を用いません。

(2-2) シリアル転送の終了

SBIは最終サンプリングタイミングに相当するRSPCKエッジを検出するとシリアル転送を終了します。SBIiステータスレジスタ(SBiSR)のSPRFフラグが“0”で受信バッファに空きがある場合には、シリアル転送の終了後に、SBIはシフトレジスタからSBIiデータレジスタ(SBiDR)の受信バッファに受信データをコピーします。また、SPRFフラグの値に関わらず、SBIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのSBIのデータ長はSBiCMD0レジスタのSPBビットの設定値に依存します。SBIの転送フォーマットの詳細については、「18.3.4 転送フォーマット」を参照してください。

(2-3) 初期化フロー

図 18.35 にクロック同期式動作時の SBI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

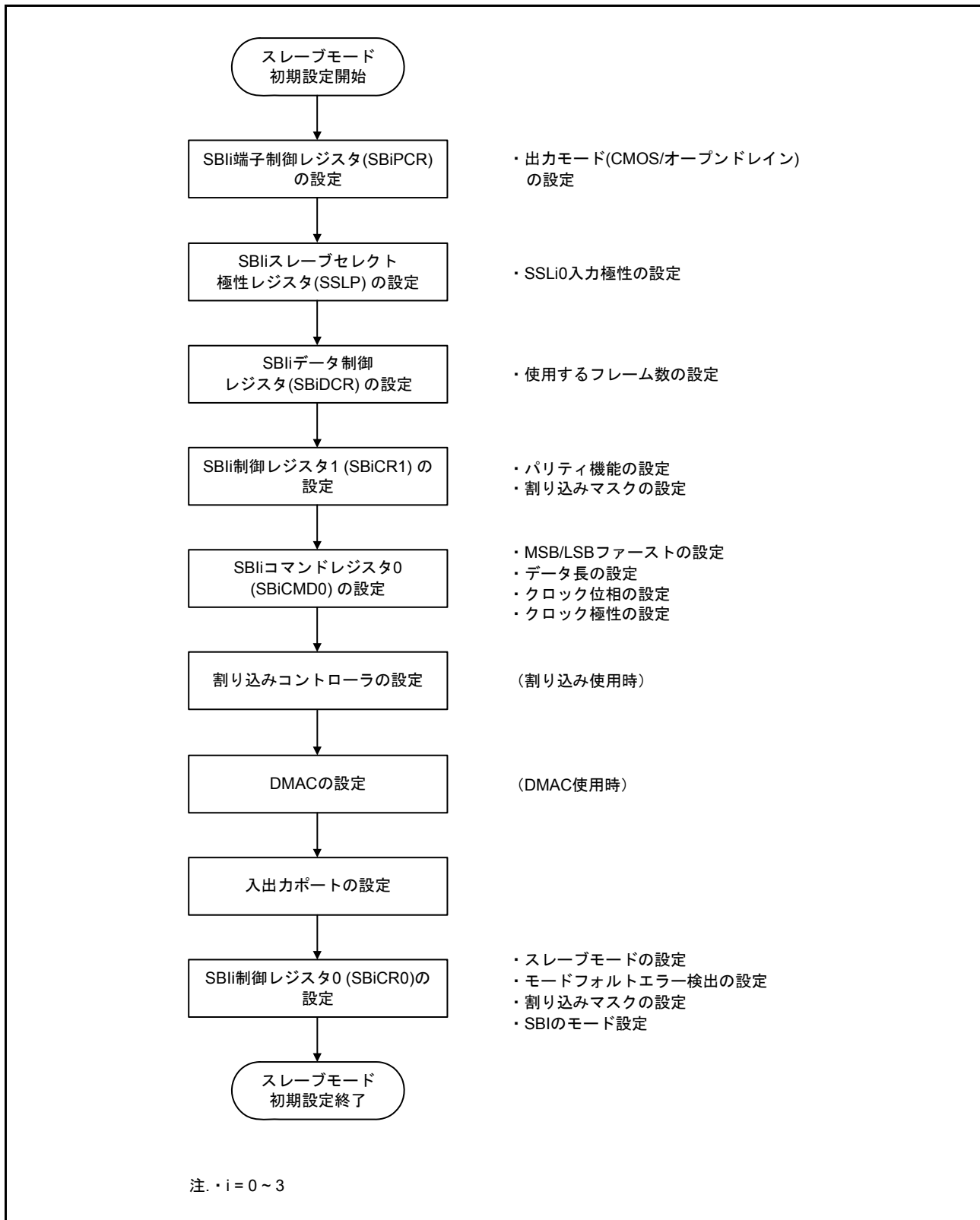


図 18.35 スレーブモード時の初期化フロー例

(2-4) 転送動作フロー

図 18.36 にクロック同期式動作時の SBI の転送動作フローを示します。

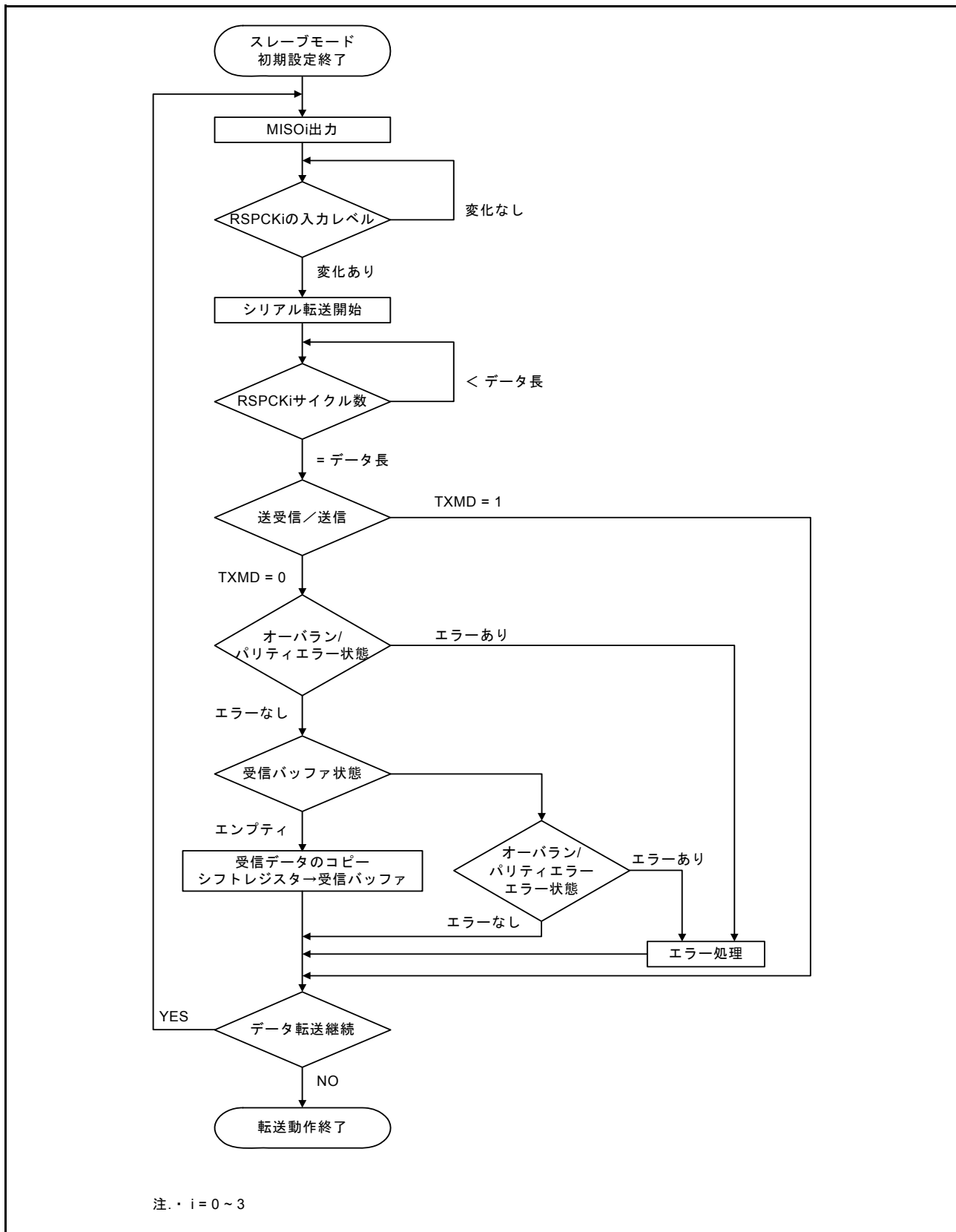


図 18.36 スレープモード時の転送動作フロー (CPHA = 1)

18.3.12 エラー処理

図 18.37、図 18.38、図 18.39 に SBI のエラー処理を示します。マスタモード、スレーブモードで発生したエラーは、以下のエラー処理を行うことでエラー状態から復帰できます。

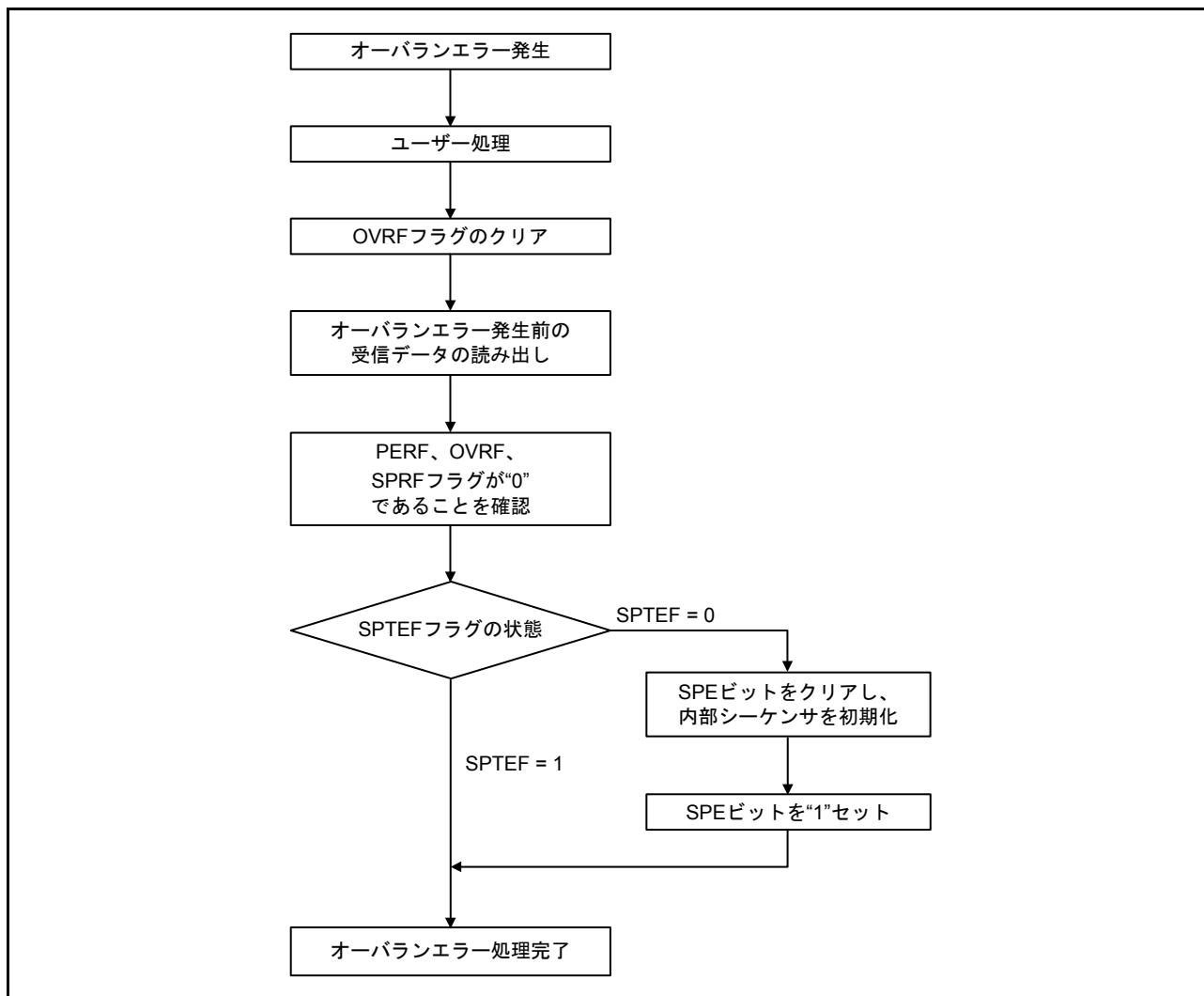


図 18.37 エラー処理 (オーバランエラー)

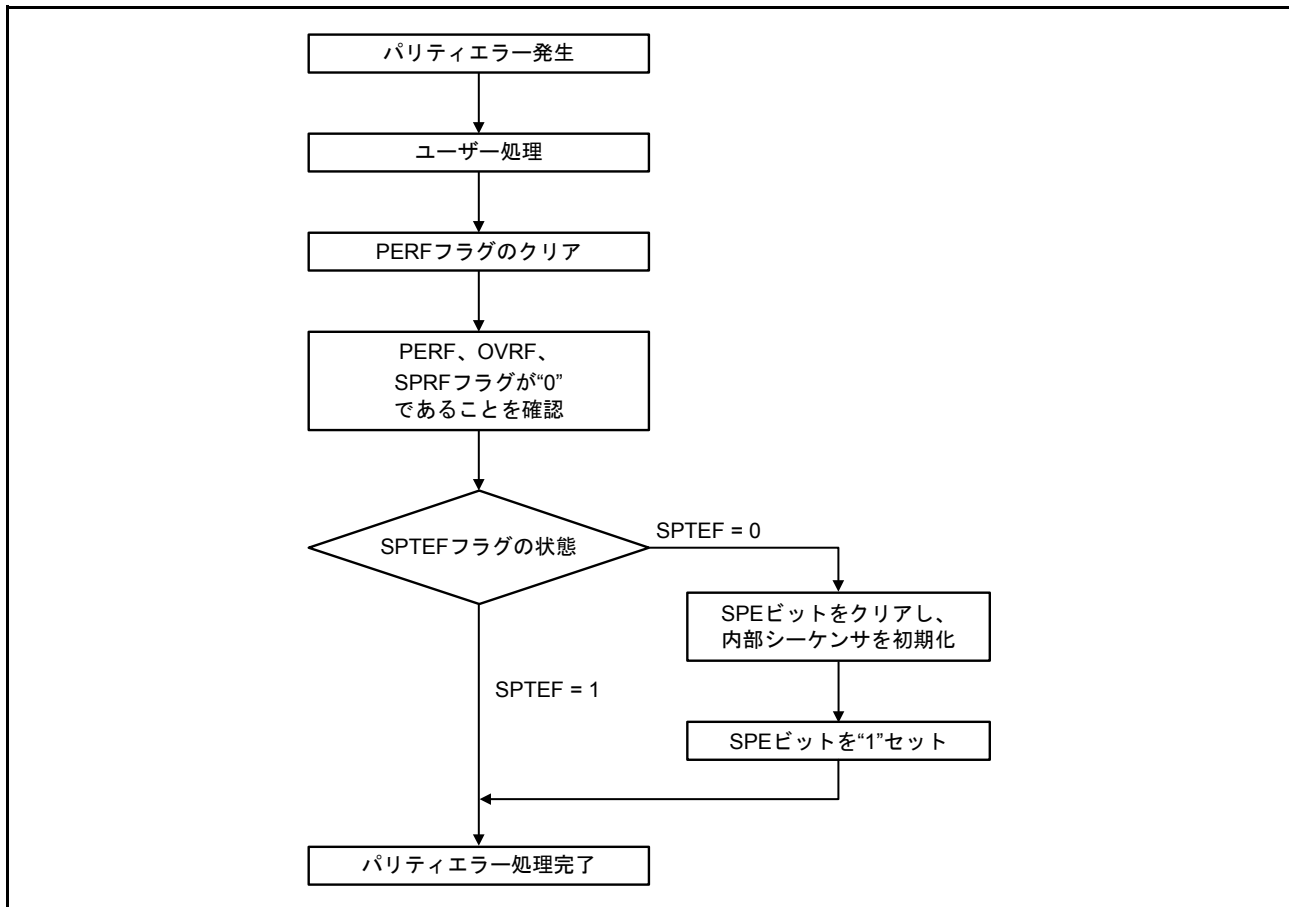


図 18.38 エラー処理 (パリティエラー)

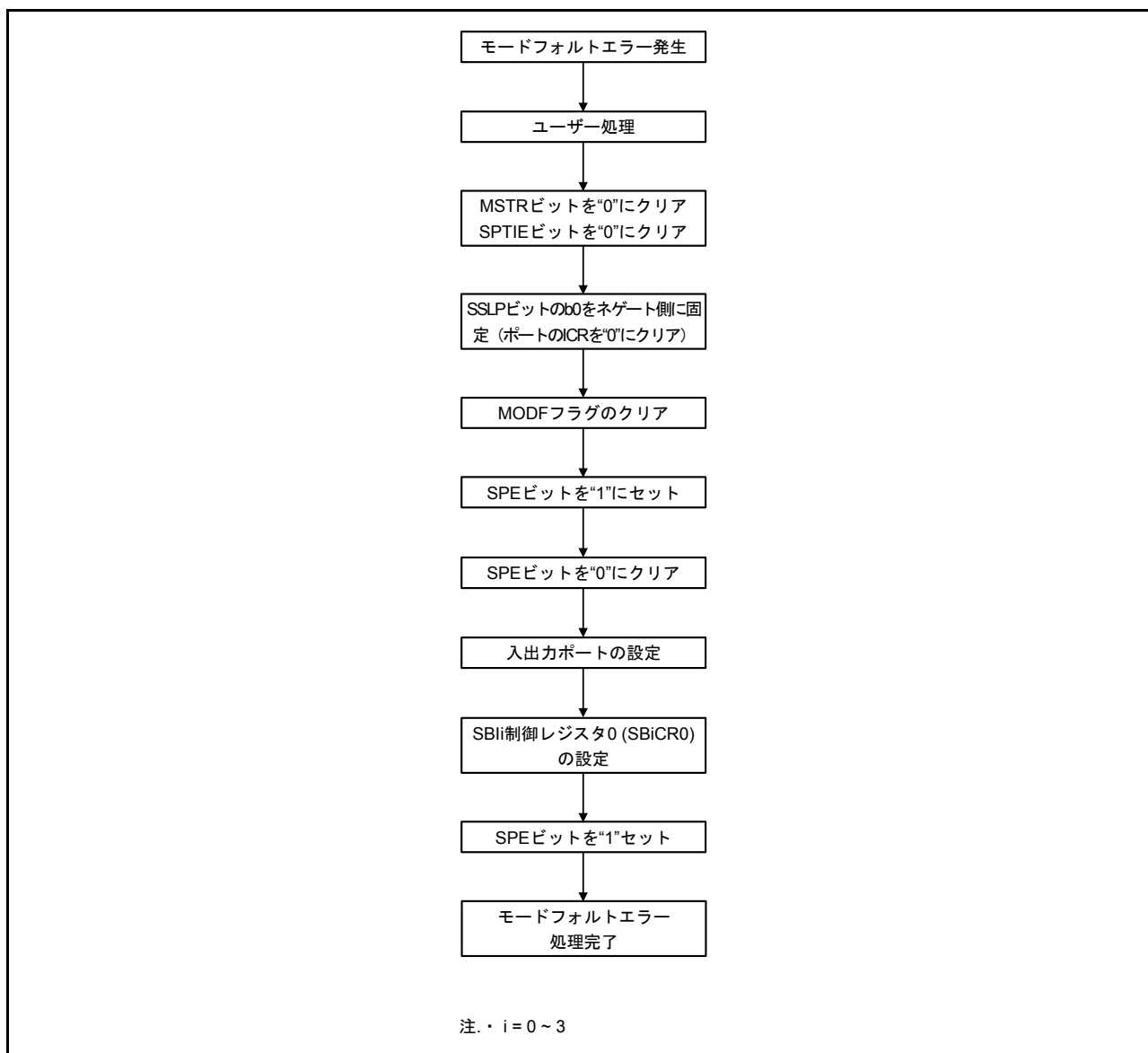


図 18.39 エラー処理 (モードフォルトエラー)

18.3.13 ループバックモード

CPU が SBI_i 端子制御レジスタ (SBI_iPCR) の SPLP2 ビットまたは SPLP ビットに“1”を書き込むと、SBI は MISO_i 端子とシフトレジスタ間、MOSI_i 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。

また、ループバックモードでシリアル転送を実行すると、SBI の送信データまたは送信データの反転が SBI の受信データになります。

図 18.14 に SPLP2 ビット、SPLP ビットの設定と受信データの関係を示します。

表 18.14 SPLP2 ビット、SPLP ビットの設定と受信データ

SPLP2	SPLP	受信データ
0	0	MOSI _i または MISO _i からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

図 18.40 にマスタモードの SBI をループバックモード (SPLP2=0、SPLP=1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

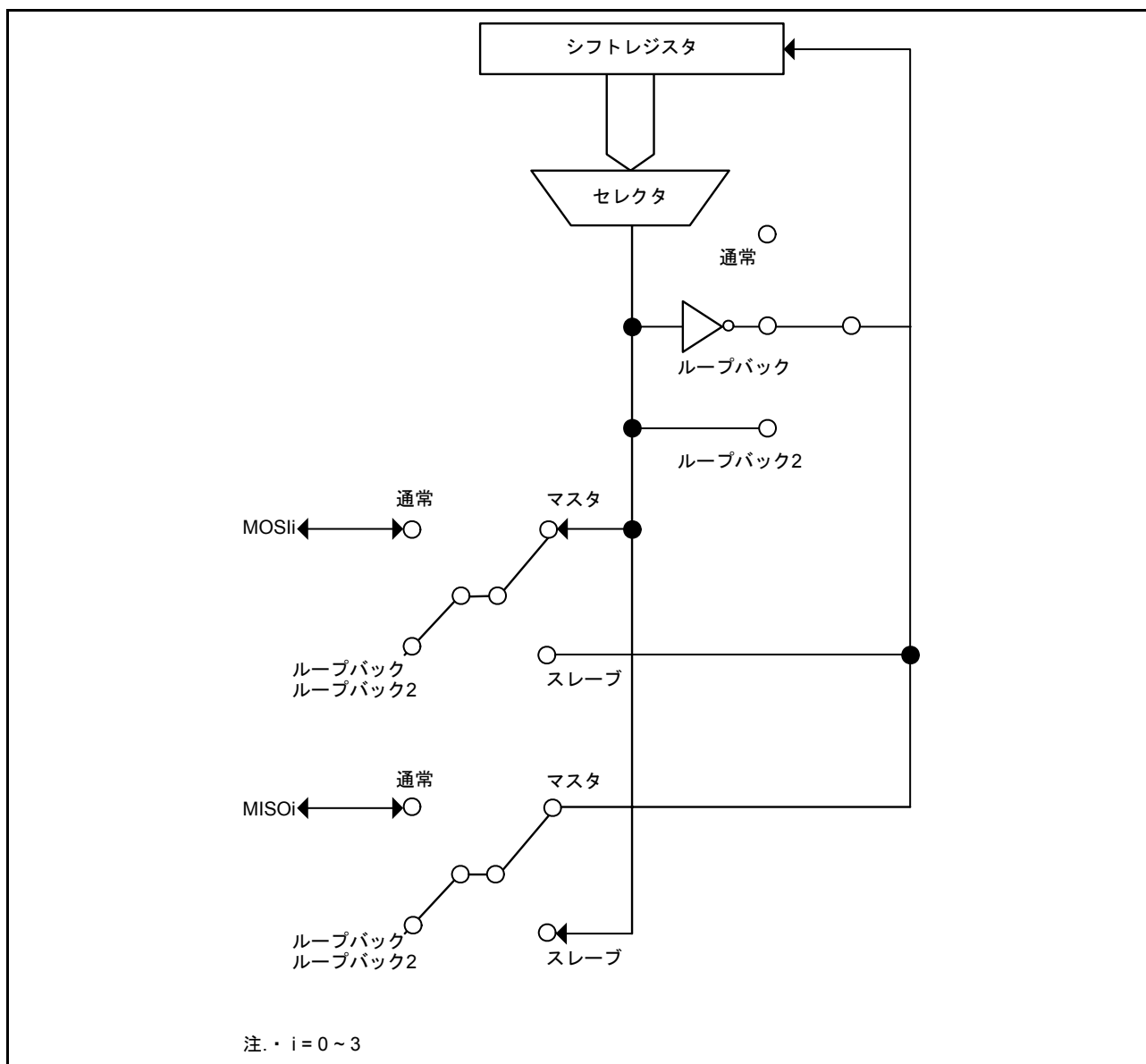


図 18.40 ループバックモード時のシフトレジスタ入出力構成 (マスタモード)

18.3.14 パリティ機能の自己診断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 18.41 のフローに従い、パリティ回路の自己診断を行います。

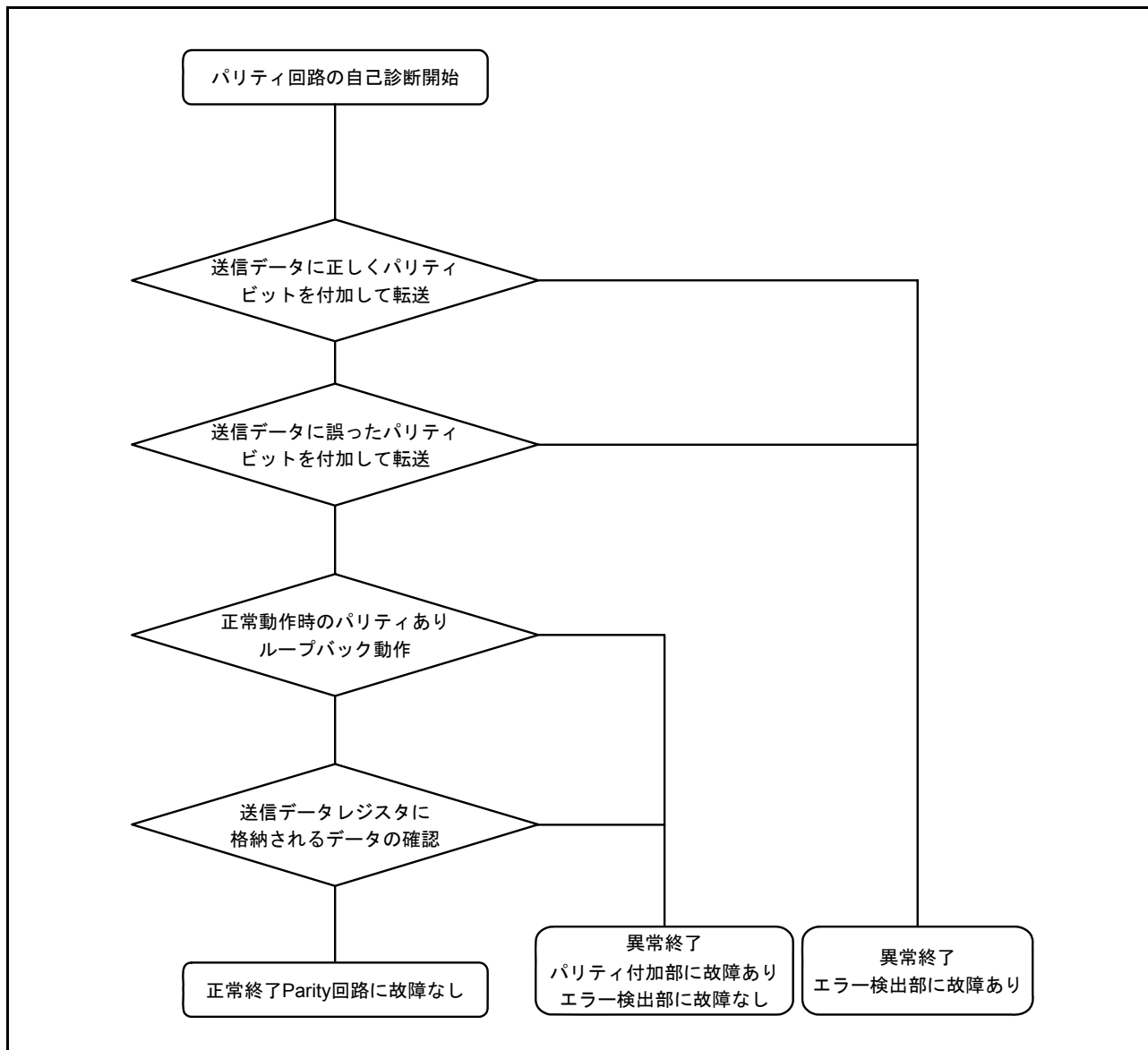


図 18.41 パリティ回路の自己診断フロー

18.3.15 割り込み要因

SBIの割り込み要因には、SBI_i受信割り込み(受信バッファフル)、SBI_i送信割り込み(送信バッファエンプティ)、SBI_iエラー割り込み(モードフォルト、オーバラン、パリティエラー)、およびSBI_iアイドル割り込みがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求でDMACを起動し、データ転送を行うことができます。

表 18.15 に SBI の割り込み要因を示します。

表 18.15 の割り込み条件が成立すると、割り込みが発生します。CPU または DMAC によるデータ転送で割り込み要因をクリアしてください。

表 18.15 SBIの割り込み要因

割り込み要求要因	発生条件	DMAC起動
SBI _i 受信割り込み(受信バッファフル)	SPRIE ビットが“1”で SPRF フラグが“1”になったとき	可能
SBI _i 送信割り込み(送信バッファエンプティ)	SPTIE ビットが“1”で SPTF フラグが“1”になったとき	可能
SBI _i エラー割り込み(モードフォルト)	SPEIE ビットが“1”で MODF フラグが“1”になったとき	不可能
SBI _i エラー割り込み(オーバラン)	SPEIE ビットが“1”で OVRF フラグが“1”になったとき	不可能
SBI _i エラー割り込み(パリティエラー)	SPEIE ビットが“1”で PERF フラグが“1”になったとき	不可能
SBI _i アイドル割り込み(SBIアイドル)	SPIIE ビットが“1”で IDINF フラグが“0”の状態のとき	不可能

注. ・ i = 0 ~ 3

19. LINモジュール

LINモジュールはLIN Specification Package Revision 1.3、2.0、2.1に対応したハードウェアLIN通信コントローラで、フレーム通信とエラー判定を自動で行います。本LSIは、SH72A2グループは2チャンネル(LIN2～LIN3)、SH72A0グループは1チャンネル(LIN2)のマスタコントローラが内蔵されています。(注1)本章では12チャンネル内蔵版について説明します。

表19.1にLINモジュールの仕様、図19.1にLINモジュールブロック図を示します。

なお、本章では、LIN_i、Liのiは0～11と規定しています。

注1. SH72A2グループはLIN2～LIN3、SH72A0グループはLIN2以外のチャンネルは内蔵していません。

そのため、内蔵していないチャンネルの機能を使用することはできません。

SH72A0グループの一部の製品にはLINモジュールは内蔵していません。詳細は「1. 概要」を参照してください。

表19.1 LINモジュールの仕様

項目	仕様
プロトコル	LIN Specification Package Revision 1.3、2.0、2.1
チャンネル数	12チャンネル(LINマスタ)
フレーム構成可変	<ul style="list-style-type: none"> 送信ブレーク幅: 13～28 Tbit 送信ブレークデリミタ幅: 1～4 Tbit インタバイトスペース(ヘッダ): 0～7 Tbit (SyncフィールドとIDフィールド間のスペース)(注1) レスポンススペース: 0～7 Tbit (注1) インタバイトスペース: 0～3 Tbit (レスポンス領域内のデータバイト間のスペース) ウェイクアップ: 1～16 Tbit
チェックサム	送受信ともに自動演算 クラシックまたはエンハンス選択可能 (フレームごとに変更可能)
レスポンスフィールドデータバイト数	0～8バイト可変
フレーム送信方法	<ul style="list-style-type: none"> ヘッダとレスポンスを1つの送信開始要求により送信するモード ヘッダとレスポンスを別々の送信開始要求により送信するモード(フレームセパレートモード)
ウェイクアップ送受信	LINウェイクアップモードで使用可能 <ul style="list-style-type: none"> ウェイクアップ送信機能 ウェイクアップ受信 <ul style="list-style-type: none"> 入力信号Low幅カウント機能 入力信号Low検出機能
ステータス	<ul style="list-style-type: none"> フレーム/ウェイクアップ送信完了 ヘッダ送信完了 フレーム/ウェイクアップ受信完了(注2) データ1受信完了 エラー検出 動作モード (LINリセットモード、LINウェイクアップモード、LIN動作モード、LINセルフテストモード)
エラーステータス	<ul style="list-style-type: none"> ビットエラー チェックサムエラー フレームタイムアウトエラー フィジカルバスエラー フレーミングエラー
ボーレート選択	ボーレートジェネレータでLIN仕様のボーレートを生成可能
テストモード	ユーザ評価用セルフテストモード
割り込み機能	<ul style="list-style-type: none"> フレーム/ウェイクアップ送信完了 フレーム/ウェイクアップ受信完了(注2) エラー検出 LIN_i Low検出(入力信号Low検出)

注1. 同一レジスタで設定するため、インタバイトスペース(ヘッダ)=レスポンススペースとなります。

注2. ウェイクアップ受信は、入力信号Low幅カウントを示します。

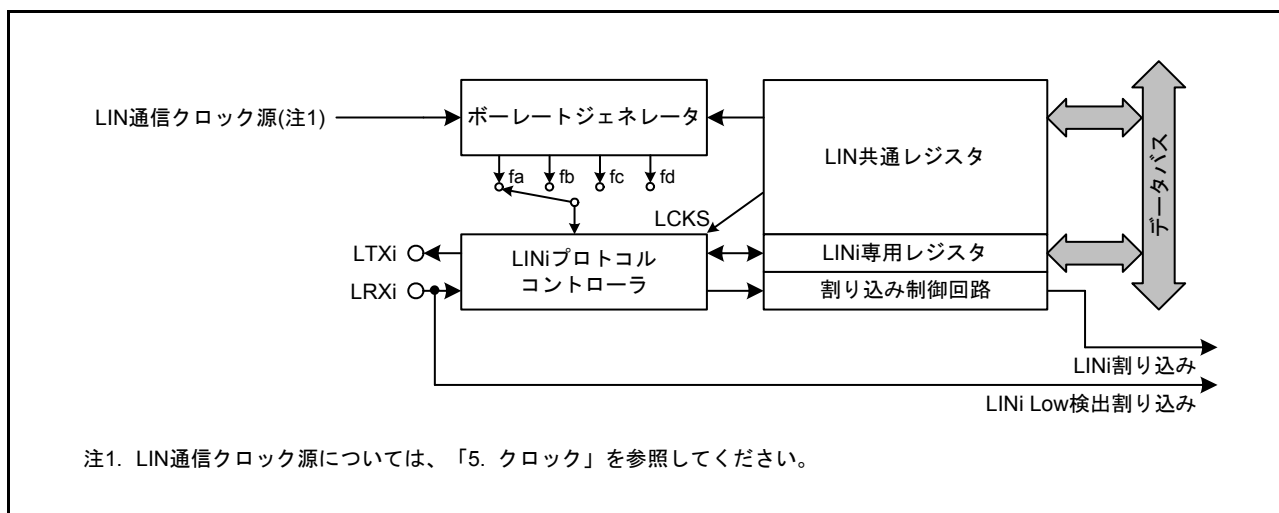


図 19.1 LIN モジュールブロック図

- LTXi、LRXi : LIN モジュールの入出力端子です。
- ボーレートジェネレータ : LIN の通信クロックを生成します。
- LINi 共通レジスタ、LINi 専用レジスタ : LIN モジュールのレジスタです。
- 割り込み制御回路 : LINモジュールによって生成される割り込み要求を制御します。LINi 割り込みがあります。

表 19.2 に LIN モジュールで使用する入出力端子を示します。

表 19.2 LINモジュールの入出力端子

端子名	入出力	機能
LRX0 ~ LRX11	入力	LIN通信機能の入力です。
LTX0 ~ LTX11	出力	LIN通信機能の出力です。

19.1 LINモジュール関連レジスタ

表 19.3～表 19.9 に LIN モジュールのレジスタ一覧を示します。

表 19.3 LINモジュールのレジスタ一覧(1)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
LINウェイクアップボーレート選択レジスタ	LWBR	H'00	H'FF61 0001	8
LINボーレートプリスケラ0レジスタ	LBRP0	H'00	H'FF61 0002	8、16
LINボーレートプリスケラ1レジスタ	LBRP1	H'00	H'FF61 0003	8、16
LINセルフテスト制御レジスタ	LSTC	H'00	H'FF61 0004	8
LIN0モードレジスタ	L0MD	H'00	H'FF61 0008	8、16、32
LIN1モードレジスタ	L1MD	H'00	H'FF61 0028	8、16、32
LIN2モードレジスタ	L2MD	H'00	H'FF61 0048	8、16、32
LIN3モードレジスタ	L3MD	H'00	H'FF61 0068	8、16、32
LIN4モードレジスタ	L4MD	H'00	H'FF61 0088	8、16、32
LIN5モードレジスタ	L5MD	H'00	H'FF61 00A8	8、16、32
LIN6モードレジスタ	L6MD	H'00	H'FF61 00C8	8、16、32
LIN7モードレジスタ	L7MD	H'00	H'FF61 00E8	8、16、32
LIN8モードレジスタ	L8MD	H'00	H'FF61 0108	8、16、32
LIN9モードレジスタ	L9MD	H'00	H'FF61 0128	8、16、32
LIN10モードレジスタ	L10MD	H'00	H'FF61 0148	8、16、32
LIN11モードレジスタ	L11MD	H'00	H'FF61 0168	8、16、32
LIN0ブレークフィールド設定レジスタ	L0BRK	H'00	H'FF61 0009	8、16、32
LIN1ブレークフィールド設定レジスタ	L1BRK	H'00	H'FF61 0029	8、16、32
LIN2ブレークフィールド設定レジスタ	L2BRK	H'00	H'FF61 0049	8、16、32
LIN3ブレークフィールド設定レジスタ	L3BRK	H'00	H'FF61 0069	8、16、32
LIN4ブレークフィールド設定レジスタ	L4BRK	H'00	H'FF61 0089	8、16、32
LIN5ブレークフィールド設定レジスタ	L5BRK	H'00	H'FF61 00A9	8、16、32
LIN6ブレークフィールド設定レジスタ	L6BRK	H'00	H'FF61 00C9	8、16、32
LIN7ブレークフィールド設定レジスタ	L7BRK	H'00	H'FF61 00E9	8、16、32
LIN8ブレークフィールド設定レジスタ	L8BRK	H'00	H'FF61 0109	8、16、32
LIN9ブレークフィールド設定レジスタ	L9BRK	H'00	H'FF61 0129	8、16、32
LIN10ブレークフィールド設定レジスタ	L10BRK	H'00	H'FF61 0149	8、16、32
LIN11ブレークフィールド設定レジスタ	L11BRK	H'00	H'FF61 0169	8、16、32
LIN0スペース設定レジスタ	L0SPC	H'00	H'FF61 000A	8、16、32
LIN1スペース設定レジスタ	L1SPC	H'00	H'FF61 002A	8、16、32
LIN2スペース設定レジスタ	L2SPC	H'00	H'FF61 004A	8、16、32
LIN3スペース設定レジスタ	L3SPC	H'00	H'FF61 006A	8、16、32
LIN4スペース設定レジスタ	L4SPC	H'00	H'FF61 008A	8、16、32
LIN5スペース設定レジスタ	L5SPC	H'00	H'FF61 00AA	8、16、32
LIN6スペース設定レジスタ	L6SPC	H'00	H'FF61 00CA	8、16、32
LIN7スペース設定レジスタ	L7SPC	H'00	H'FF61 00EA	8、16、32
LIN8スペース設定レジスタ	L8SPC	H'00	H'FF61 010A	8、16、32
LIN9スペース設定レジスタ	L9SPC	H'00	H'FF61 012A	8、16、32
LIN10スペース設定レジスタ	L10SPC	H'00	H'FF61 014A	8、16、32

表 19.4 LINモジュールのレジスタ一覧(2)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
LIN11スペース設定レジスタ	L11SPC	H'00	H'FF61 016A	8、16、32
LIN0ウェイクアップ設定レジスタ	L0WUP	H'00	H'FF61 000B	8、16、32
LIN1ウェイクアップ設定レジスタ	L1WUP	H'00	H'FF61 002B	8、16、32
LIN2ウェイクアップ設定レジスタ	L2WUP	H'00	H'FF61 004B	8、16、32
LIN3ウェイクアップ設定レジスタ	L3WUP	H'00	H'FF61 006B	8、16、32
LIN4ウェイクアップ設定レジスタ	L4WUP	H'00	H'FF61 008B	8、16、32
LIN5ウェイクアップ設定レジスタ	L5WUP	H'00	H'FF61 00AB	8、16、32
LIN6ウェイクアップ設定レジスタ	L6WUP	H'00	H'FF61 00CB	8、16、32
LIN7ウェイクアップ設定レジスタ	L7WUP	H'00	H'FF61 00EB	8、16、32
LIN8ウェイクアップ設定レジスタ	L8WUP	H'00	H'FF61 010B	8、16、32
LIN9ウェイクアップ設定レジスタ	L9WUP	H'00	H'FF61 012B	8、16、32
LIN10ウェイクアップ設定レジスタ	L10WUP	H'00	H'FF61 014B	8、16、32
LIN11ウェイクアップ設定レジスタ	L11WUP	H'00	H'FF61 016B	8、16、32
LIN0割り込み許可レジスタ	L0IE	H'00	H'FF61 000C	8、16
LIN1割り込み許可レジスタ	L1IE	H'00	H'FF61 002C	8、16
LIN2割り込み許可レジスタ	L2IE	H'00	H'FF61 004C	8、16
LIN3割り込み許可レジスタ	L3IE	H'00	H'FF61 006C	8、16
LIN4割り込み許可レジスタ	L4IE	H'00	H'FF61 008C	8、16
LIN5割り込み許可レジスタ	L5IE	H'00	H'FF61 00AC	8、16
LIN6割り込み許可レジスタ	L6IE	H'00	H'FF61 00CC	8、16
LIN7割り込み許可レジスタ	L7IE	H'00	H'FF61 00EC	8、16
LIN8割り込み許可レジスタ	L8IE	H'00	H'FF61 010C	8、16
LIN9割り込み許可レジスタ	L9IE	H'00	H'FF61 012C	8、16
LIN10割り込み許可レジスタ	L10IE	H'00	H'FF61 014C	8、16
LIN11割り込み許可レジスタ	L11IE	H'00	H'FF61 016C	8、16
LIN0エラー検出許可レジスタ	L0EDE	H'00	H'FF61 000D	8、16
LIN1エラー検出許可レジスタ	L1EDE	H'00	H'FF61 002D	8、16
LIN2エラー検出許可レジスタ	L2EDE	H'00	H'FF61 004D	8、16
LIN3エラー検出許可レジスタ	L3EDE	H'00	H'FF61 006D	8、16
LIN4エラー検出許可レジスタ	L4EDE	H'00	H'FF61 008D	8、16
LIN5エラー検出許可レジスタ	L5EDE	H'00	H'FF61 00AD	8、16
LIN6エラー検出許可レジスタ	L6EDE	H'00	H'FF61 00CD	8、16
LIN7エラー検出許可レジスタ	L7EDE	H'00	H'FF61 00ED	8、16
LIN8エラー検出許可レジスタ	L8EDE	H'00	H'FF61 010D	8、16
LIN9エラー検出許可レジスタ	L9EDE	H'00	H'FF61 012D	8、16
LIN10エラー検出許可レジスタ	L10EDE	H'00	H'FF61 014D	8、16
LIN11エラー検出許可レジスタ	L11EDE	H'00	H'FF61 016D	8、16
LIN0制御レジスタ	L0C	H'00	H'FF61 000E	8
LIN1制御レジスタ	L1C	H'00	H'FF61 002E	8
LIN2制御レジスタ	L2C	H'00	H'FF61 004E	8
LIN3制御レジスタ	L3C	H'00	H'FF61 006E	8
LIN4制御レジスタ	L4C	H'00	H'FF61 008E	8
LIN5制御レジスタ	L5C	H'00	H'FF61 00AE	8

表 19.5 LINモジュールのレジスタ一覧(3)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
LIN6制御レジスタ	L6C	H'00	H'FF61 00CE	8
LIN7制御レジスタ	L7C	H'00	H'FF61 00EE	8
LIN8制御レジスタ	L8C	H'00	H'FF61 010E	8
LIN9制御レジスタ	L9C	H'00	H'FF61 012E	8
LIN10制御レジスタ	L10C	H'00	H'FF61 014E	8
LIN11制御レジスタ	L11C	H'00	H'FF61 016E	8
LIN0送信制御レジスタ	L0TC	H'00	H'FF61 0010	8、16、32
LIN1送信制御レジスタ	L1TC	H'00	H'FF61 0030	8、16、32
LIN2送信制御レジスタ	L2TC	H'00	H'FF61 0050	8、16、32
LIN3送信制御レジスタ	L3TC	H'00	H'FF61 0070	8、16、32
LIN4送信制御レジスタ	L4TC	H'00	H'FF61 0090	8、16、32
LIN5送信制御レジスタ	L5TC	H'00	H'FF61 00B0	8、16、32
LIN6送信制御レジスタ	L6TC	H'00	H'FF61 00D0	8、16、32
LIN7送信制御レジスタ	L7TC	H'00	H'FF61 00F0	8、16、32
LIN8送信制御レジスタ	L8TC	H'00	H'FF61 0110	8、16、32
LIN9送信制御レジスタ	L9TC	H'00	H'FF61 0130	8、16、32
LIN10送信制御レジスタ	L10TC	H'00	H'FF61 0150	8、16、32
LIN11送信制御レジスタ	L11TC	H'00	H'FF61 0170	8、16、32
LIN0モードステータスレジスタ	L0MST	H'00	H'FF61 0011	8、16、32
LIN1モードステータスレジスタ	L1MST	H'00	H'FF61 0031	8、16、32
LIN2モードステータスレジスタ	L2MST	H'00	H'FF61 0051	8、16、32
LIN3モードステータスレジスタ	L3MST	H'00	H'FF61 0071	8、16、32
LIN4モードステータスレジスタ	L4MST	H'00	H'FF61 0091	8、16、32
LIN5モードステータスレジスタ	L5MST	H'00	H'FF61 00B1	8、16、32
LIN6モードステータスレジスタ	L6MST	H'00	H'FF61 00D1	8、16、32
LIN7モードステータスレジスタ	L7MST	H'00	H'FF61 00F1	8、16、32
LIN8モードステータスレジスタ	L8MST	H'00	H'FF61 0111	8、16、32
LIN9モードステータスレジスタ	L9MST	H'00	H'FF61 0131	8、16、32
LIN10モードステータスレジスタ	L10MST	H'00	H'FF61 0151	8、16、32
LIN11モードステータスレジスタ	L11MST	H'00	H'FF61 0171	8、16、32
LIN0ステータスレジスタ	L0ST	H'00	H'FF61 0012	8、16、32
LIN1ステータスレジスタ	L1ST	H'00	H'FF61 0032	8、16、32
LIN2ステータスレジスタ	L2ST	H'00	H'FF61 0052	8、16、32
LIN3ステータスレジスタ	L3ST	H'00	H'FF61 0072	8、16、32
LIN4ステータスレジスタ	L4ST	H'00	H'FF61 0092	8、16、32
LIN5ステータスレジスタ	L5ST	H'00	H'FF61 00B2	8、16、32
LIN6ステータスレジスタ	L6ST	H'00	H'FF61 00D2	8、16、32
LIN7ステータスレジスタ	L7ST	H'00	H'FF61 00F2	8、16、32
LIN8ステータスレジスタ	L8ST	H'00	H'FF61 0112	8、16、32
LIN9ステータスレジスタ	L9ST	H'00	H'FF61 0132	8、16、32
LIN10ステータスレジスタ	L10ST	H'00	H'FF61 0152	8、16、32
LIN11ステータスレジスタ	L11ST	H'00	H'FF61 0172	8、16、32
LIN0エラーステータスレジスタ	L0EST	H'00	H'FF61 0013	8、16、32

表 19.6 LINモジュールのレジスタ一覧(4)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
LIN1 エラーステータスレジスタ	L1EST	H'00	H'FF61 0033	8、16、32
LIN2 エラーステータスレジスタ	L2EST	H'00	H'FF61 0053	8、16、32
LIN3 エラーステータスレジスタ	L3EST	H'00	H'FF61 0073	8、16、32
LIN4 エラーステータスレジスタ	L4EST	H'00	H'FF61 0093	8、16、32
LIN5 エラーステータスレジスタ	L5EST	H'00	H'FF61 00B3	8、16、32
LIN6 エラーステータスレジスタ	L6EST	H'00	H'FF61 00D3	8、16、32
LIN7 エラーステータスレジスタ	L7EST	H'00	H'FF61 00F3	8、16、32
LIN8 エラーステータスレジスタ	L8EST	H'00	H'FF61 0113	8、16、32
LIN9 エラーステータスレジスタ	L9EST	H'00	H'FF61 0133	8、16、32
LIN10 エラーステータスレジスタ	L10EST	H'00	H'FF61 0153	8、16、32
LIN11 エラーステータスレジスタ	L11EST	H'00	H'FF61 0173	8、16、32
LIN0 レスポンスフィールド設定レジスタ	L0RFC	H'00	H'FF61 0014	8、16
LIN1 レスポンスフィールド設定レジスタ	L1RFC	H'00	H'FF61 0034	8、16
LIN2 レスポンスフィールド設定レジスタ	L2RFC	H'00	H'FF61 0054	8、16
LIN3 レスポンスフィールド設定レジスタ	L3RFC	H'00	H'FF61 0074	8、16
LIN4 レスポンスフィールド設定レジスタ	L4RFC	H'00	H'FF61 0094	8、16
LIN5 レスポンスフィールド設定レジスタ	L5RFC	H'00	H'FF61 00B4	8、16
LIN6 レスポンスフィールド設定レジスタ	L6RFC	H'00	H'FF61 00D4	8、16
LIN7 レスポンスフィールド設定レジスタ	L7RFC	H'00	H'FF61 00F4	8、16
LIN8 レスポンスフィールド設定レジスタ	L8RFC	H'00	H'FF61 0114	8、16
LIN9 レスポンスフィールド設定レジスタ	L9RFC	H'00	H'FF61 0134	8、16
LIN10 レスポンスフィールド設定レジスタ	L10RFC	H'00	H'FF61 0154	8、16
LIN11 レスポンスフィールド設定レジスタ	L11RFC	H'00	H'FF61 0174	8、16
LIN0 IDバッファレジスタ	L0IDB	不定	H'FF61 0015	8、16
LIN1 IDバッファレジスタ	L1IDB	不定	H'FF61 0035	8、16
LIN2 IDバッファレジスタ	L2IDB	不定	H'FF61 0055	8、16
LIN3 IDバッファレジスタ	L3IDB	不定	H'FF61 0075	8、16
LIN4 IDバッファレジスタ	L4IDB	不定	H'FF61 0095	8、16
LIN5 IDバッファレジスタ	L5IDB	不定	H'FF61 00B5	8、16
LIN6 IDバッファレジスタ	L6IDB	不定	H'FF61 00D5	8、16
LIN7 IDバッファレジスタ	L7IDB	不定	H'FF61 00F5	8、16
LIN8 IDバッファレジスタ	L8IDB	不定	H'FF61 0115	8、16
LIN9 IDバッファレジスタ	L9IDB	不定	H'FF61 0135	8、16
LIN10 IDバッファレジスタ	L10IDB	不定	H'FF61 0155	8、16
LIN11 IDバッファレジスタ	L11IDB	不定	H'FF61 0175	8、16
LIN0 チェックサムバッファレジスタ	L0CBR	不定	H'FF61 0016	8
LIN1 チェックサムバッファレジスタ	L1CBR	不定	H'FF61 0036	8
LIN2 チェックサムバッファレジスタ	L2CBR	不定	H'FF61 0056	8
LIN3 チェックサムバッファレジスタ	L3CBR	不定	H'FF61 0076	8
LIN4 チェックサムバッファレジスタ	L4CBR	不定	H'FF61 0096	8
LIN5 チェックサムバッファレジスタ	L5CBR	不定	H'FF61 00B6	8
LIN6 チェックサムバッファレジスタ	L6CBR	不定	H'FF61 00D6	8
LIN7 チェックサムバッファレジスタ	L7CBR	不定	H'FF61 00F6	8

表 19.7 LINモジュールのレジスタ一覧(5)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
LIN8チェックサムバッファレジスタ	L8CBR	不定	H'FF61 0116	8
LIN9チェックサムバッファレジスタ	L9CBR	不定	H'FF61 0136	8
LIN10チェックサムバッファレジスタ	L10CBR	不定	H'FF61 0156	8
LIN11チェックサムバッファレジスタ	L11CBR	不定	H'FF61 0176	8
LIN0データ1バッファレジスタ	L0DB1	不定	H'FF61 0018	8、16、32
LIN0データ2バッファレジスタ	L0DB2	不定	H'FF61 0019	8、16、32
LIN0データ3バッファレジスタ	L0DB3	不定	H'FF61 001A	8、16、32
LIN0データ4バッファレジスタ	L0DB4	不定	H'FF61 001B	8、16、32
LIN0データ5バッファレジスタ	L0DB5	不定	H'FF61 001C	8、16、32
LIN0データ6バッファレジスタ	L0DB6	不定	H'FF61 001D	8、16、32
LIN0データ7バッファレジスタ	L0DB7	不定	H'FF61 001E	8、16、32
LIN0データ8バッファレジスタ	L0DB8	不定	H'FF61 001F	8、16、32
LIN1データ1バッファレジスタ	L1DB1	不定	H'FF61 0038	8、16、32
LIN1データ2バッファレジスタ	L1DB2	不定	H'FF61 0039	8、16、32
LIN1データ3バッファレジスタ	L1DB3	不定	H'FF61 003A	8、16、32
LIN1データ4バッファレジスタ	L1DB4	不定	H'FF61 003B	8、16、32
LIN1データ5バッファレジスタ	L1DB5	不定	H'FF61 003C	8、16、32
LIN1データ6バッファレジスタ	L1DB6	不定	H'FF61 003D	8、16、32
LIN1データ7バッファレジスタ	L1DB7	不定	H'FF61 003E	8、16、32
LIN1データ8バッファレジスタ	L1DB8	不定	H'FF61 003F	8、16、32
LIN2データ1バッファレジスタ	L2DB1	不定	H'FF61 0058	8、16、32
LIN2データ2バッファレジスタ	L2DB2	不定	H'FF61 0059	8、16、32
LIN2データ3バッファレジスタ	L2DB3	不定	H'FF61 005A	8、16、32
LIN2データ4バッファレジスタ	L2DB4	不定	H'FF61 005B	8、16、32
LIN2データ5バッファレジスタ	L2DB5	不定	H'FF61 005C	8、16、32
LIN2データ6バッファレジスタ	L2DB6	不定	H'FF61 005D	8、16、32
LIN2データ7バッファレジスタ	L2DB7	不定	H'FF61 005E	8、16、32
LIN2データ8バッファレジスタ	L2DB8	不定	H'FF61 005F	8、16、32
LIN3データ1バッファレジスタ	L3DB1	不定	H'FF61 0078	8、16、32
LIN3データ2バッファレジスタ	L3DB2	不定	H'FF61 0079	8、16、32
LIN3データ3バッファレジスタ	L3DB3	不定	H'FF61 007A	8、16、32
LIN3データ4バッファレジスタ	L3DB4	不定	H'FF61 007B	8、16、32
LIN3データ5バッファレジスタ	L3DB5	不定	H'FF61 007C	8、16、32
LIN3データ6バッファレジスタ	L3DB6	不定	H'FF61 007D	8、16、32
LIN3データ7バッファレジスタ	L3DB7	不定	H'FF61 007E	8、16、32
LIN3データ8バッファレジスタ	L3DB8	不定	H'FF61 007F	8、16、32
LIN4データ1バッファレジスタ	L4DB1	不定	H'FF61 0098	8、16、32
LIN4データ2バッファレジスタ	L4DB2	不定	H'FF61 0099	8、16、32
LIN4データ3バッファレジスタ	L4DB3	不定	H'FF61 009A	8、16、32
LIN4データ4バッファレジスタ	L4DB4	不定	H'FF61 009B	8、16、32
LIN4データ5バッファレジスタ	L4DB5	不定	H'FF61 009C	8、16、32
LIN4データ6バッファレジスタ	L4DB6	不定	H'FF61 009D	8、16、32
LIN4データ7バッファレジスタ	L4DB7	不定	H'FF61 009E	8、16、32

表 19.8 LINモジュールのレジスタ一覧(6)

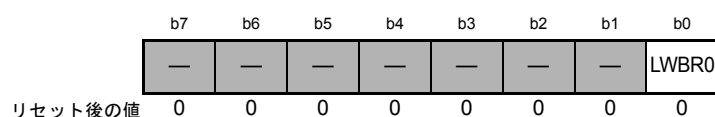
レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
LIN4データ8バッファレジスタ	L4DB8	不定	H'FF61 009F	8、16、32
LIN5データ1バッファレジスタ	L5DB1	不定	H'FF61 00B8	8、16、32
LIN5データ2バッファレジスタ	L5DB2	不定	H'FF61 00B9	8、16、32
LIN5データ3バッファレジスタ	L5DB3	不定	H'FF61 00BA	8、16、32
LIN5データ4バッファレジスタ	L5DB4	不定	H'FF61 00BB	8、16、32
LIN5データ5バッファレジスタ	L5DB5	不定	H'FF61 00BC	8、16、32
LIN5データ6バッファレジスタ	L5DB6	不定	H'FF61 00BD	8、16、32
LIN5データ7バッファレジスタ	L5DB7	不定	H'FF61 00BE	8、16、32
LIN5データ8バッファレジスタ	L5DB8	不定	H'FF61 00BF	8、16、32
LIN6データ1バッファレジスタ	L6DB1	不定	H'FF61 00D8	8、16、32
LIN6データ2バッファレジスタ	L6DB2	不定	H'FF61 00D9	8、16、32
LIN6データ3バッファレジスタ	L6DB3	不定	H'FF61 00DA	8、16、32
LIN6データ4バッファレジスタ	L6DB4	不定	H'FF61 00DB	8、16、32
LIN6データ5バッファレジスタ	L6DB5	不定	H'FF61 00DC	8、16、32
LIN6データ6バッファレジスタ	L6DB6	不定	H'FF61 00DD	8、16、32
LIN6データ7バッファレジスタ	L6DB7	不定	H'FF61 00DE	8、16、32
LIN6データ8バッファレジスタ	L6DB8	不定	H'FF61 00DF	8、16、32
LIN7データ1バッファレジスタ	L7DB1	不定	H'FF61 00F8	8、16、32
LIN7データ2バッファレジスタ	L7DB2	不定	H'FF61 00F9	8、16、32
LIN7データ3バッファレジスタ	L7DB3	不定	H'FF61 00FA	8、16、32
LIN7データ4バッファレジスタ	L7DB4	不定	H'FF61 00FB	8、16、32
LIN7データ5バッファレジスタ	L7DB5	不定	H'FF61 00FC	8、16、32
LIN7データ6バッファレジスタ	L7DB6	不定	H'FF61 00FD	8、16、32
LIN7データ7バッファレジスタ	L7DB7	不定	H'FF61 00FE	8、16、32
LIN7データ8バッファレジスタ	L7DB8	不定	H'FF61 00FF	8、16、32
LIN8データ1バッファレジスタ	L8DB1	不定	H'FF61 0118	8、16、32
LIN8データ2バッファレジスタ	L8DB2	不定	H'FF61 0119	8、16、32
LIN8データ3バッファレジスタ	L8DB3	不定	H'FF61 011A	8、16、32
LIN8データ4バッファレジスタ	L8DB4	不定	H'FF61 011B	8、16、32
LIN8データ5バッファレジスタ	L8DB5	不定	H'FF61 011C	8、16、32
LIN8データ6バッファレジスタ	L8DB6	不定	H'FF61 011D	8、16、32
LIN8データ7バッファレジスタ	L8DB7	不定	H'FF61 011E	8、16、32
LIN8データ8バッファレジスタ	L8DB8	不定	H'FF61 011F	8、16、32
LIN9データ1バッファレジスタ	L9DB1	不定	H'FF61 0138	8、16、32
LIN9データ2バッファレジスタ	L9DB2	不定	H'FF61 0139	8、16、32
LIN9データ3バッファレジスタ	L9DB3	不定	H'FF61 013A	8、16、32
LIN9データ4バッファレジスタ	L9DB4	不定	H'FF61 013B	8、16、32
LIN9データ5バッファレジスタ	L9DB5	不定	H'FF61 013C	8、16、32
LIN9データ6バッファレジスタ	L9DB6	不定	H'FF61 013D	8、16、32
LIN9データ7バッファレジスタ	L9DB7	不定	H'FF61 013E	8、16、32
LIN9データ8バッファレジスタ	L9DB8	不定	H'FF61 013F	8、16、32
LIN10データ1バッファレジスタ	L10DB1	不定	H'FF61 0158	8、16、32
LIN10データ2バッファレジスタ	L10DB2	不定	H'FF61 0159	8、16、32

表 19.9 LINモジュールのレジスタ一覧(7)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
LIN10データ3バッファレジスタ	L10DB3	不定	H'FF61 015A	8、16、32
LIN10データ4バッファレジスタ	L10DB4	不定	H'FF61 015B	8、16、32
LIN10データ5バッファレジスタ	L10DB5	不定	H'FF61 015C	8、16、32
LIN10データ6バッファレジスタ	L10DB6	不定	H'FF61 015D	8、16、32
LIN10データ7バッファレジスタ	L10DB7	不定	H'FF61 015E	8、16、32
LIN10データ8バッファレジスタ	L10DB8	不定	H'FF61 015F	8、16、32
LIN11データ1バッファレジスタ	L11DB1	不定	H'FF61 0178	8、16、32
LIN11データ2バッファレジスタ	L11DB2	不定	H'FF61 0179	8、16、32
LIN11データ3バッファレジスタ	L11DB3	不定	H'FF61 017A	8、16、32
LIN11データ4バッファレジスタ	L11DB4	不定	H'FF61 017B	8、16、32
LIN11データ5バッファレジスタ	L11DB5	不定	H'FF61 017C	8、16、32
LIN11データ6バッファレジスタ	L11DB6	不定	H'FF61 017D	8、16、32
LIN11データ7バッファレジスタ	L11DB7	不定	H'FF61 017E	8、16、32
LIN11データ8バッファレジスタ	L11DB8	不定	H'FF61 017F	8、16、32

19.1.1 LIN ウェイクアップポーレート選択レジスタ (LWBR)

アドレス H'FF61 0001



ビット	シンボル	ビット名	機能	R/W
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	LWBR0	ウェイクアップポーレート選択ビット	0 : LIN1.3使用時 1 : LIN2.0、2.1使用時	R/W

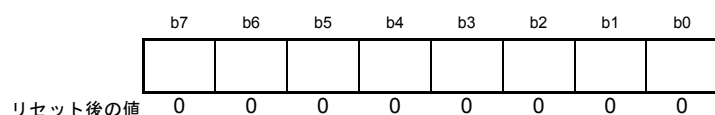
LIN リセットモードのときに設定してください。

LWBR0 ビット

LIN Specification Package Revision 1.3 使用時は、LWBR レジスタの LWBR0 ビットを“0”に設定してください。これにより入力信号 Low 幅を fLIN の 2.5 Tbit 以上で計測することができます。LIN Specification Package Revision 2.0、2.1 使用時は“1”に設定してください。“1”にすることで LIN ウェイクアップモード中は L0MD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック (fLIN) は fa が選択されます (LCKS ビットは変化しません)。入力信号 "L" 幅を fLIN の 2.5Tbits 以上で計測することができます。

19.1.2 LIN ポーレートプリスケアラ 0 レジスタ (LBRP0)

アドレス H'FF61 0002

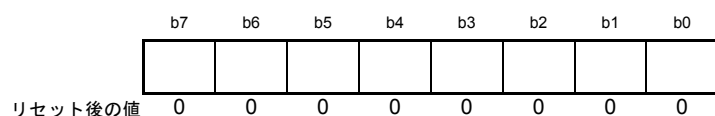


ビット	機能	設定範囲	R/W
b7-b0	設定値を N (0 ~ 255) とすると、ポーレートプリスケアラは LIN 通信クロック源を N + 1 分周する。	H'00 ~ H'FF	R/W

LIN リセットモードのときに設定してください。

19.1.3 LIN ポーレートプリスケアラ 1 レジスタ (LBRP1)

アドレス H'FF61 0003

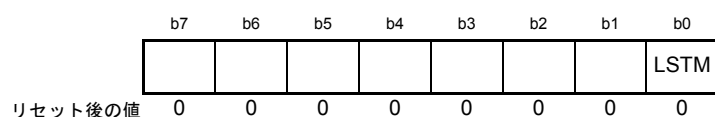


ビット	機能	設定範囲	R/W
b7-b0	設定値を M (0 ~ 255) とすると、ポーレートプリスケアラは LIN 通信クロック源を M + 1 分周する。	H'00 ~ H'FF	R/W

LIN リセットモードのときに設定してください。

19.1.4 LINセルフテスト制御レジスタ (LSTC)

アドレス H'FF61 0004



ビット	シンボル	ビット名	機能	R/W
b7-b1			“H'A7” → “H'58” → “H'01”の連続書き込みにより、LINセルフテストモードにエントリします。b7-b1を読むと“0”が読み出されます。	R/W
b0	LSTM	セルフテストモードビット	0: LINセルフテストモードではない 1: LINセルフテストモード	R/W

LIN リセットモードのときに設定してください。

LINセルフテストモードのプロテクトを解除するために使用します。

“H'A7” → “H'58” → “H'01”の連続書き込みにより、LINセルフテストモードへエントリします。

連続書き込みが成功し、LINセルフテストモードにした場合は、LSTMビットが“1”になります。

連続書き込みの間に別の書き込みを行わないでください。

LINセルフテストモードへの遷移方法は、「19.11 LINセルフテストモード」を参照してください。

LSTMビット

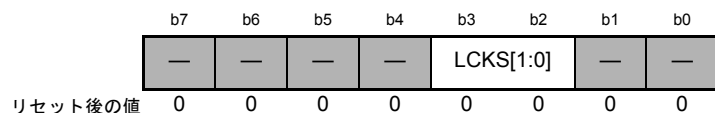
LINセルフテストモードに遷移したとき、このビットは“1”になります。

LINセルフテストモードからの終了方法は、「19.11 LINセルフテストモード」を参照してください。

LSTCレジスタへの“H'A7” → “H'58” → “H'01”の連続書き込み以外で、このビットに“1”を書き込んでも値は変化しません。

19.1.5 LINi モードレジスタ (LiMD)

L0MD : H'FF61 0008、L1MD : H'FF61 0028、L2MD : H'FF61 0048、L3MD : H'FF61 0068、L4MD : H'FF61 0088、
 アドレス L5MD : H'FF61 00A8、L6MD : H'FF61 00C8、L7MD : H'FF61 00E8、L8MD : H'FF61 0108、L9MD : H'FF61 0128、
 L10MD : H'FF61 0148、L11MD : H'FF61 0168



ビット	シンボル	ビット名	機能	R/W
b7-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3-b2	LCKS[1:0]	LINシステムクロック選択ビット	b3 b2 0 0 : fa 0 1 : fb 1 0 : fc 1 1 : fd	R/W
b1-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

LIN リセットモードのときに設定してください。

LCKS ビット

プロトコルコントローラに入力するクロックを選択するビットです。

“B'00”の場合、プロトコルコントローラには fa (ボーレートプリスケアラ0生成クロック) が入力されます。

“B'01”の場合、プロトコルコントローラには fb (ボーレートプリスケアラ0生成クロック/2) が入力されます。

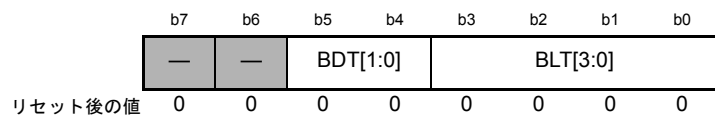
“B'10”の場合、プロトコルコントローラには fc (ボーレートプリスケアラ0生成クロック/8) が入力されます。

“B'11”の場合、プロトコルコントローラには fd (ボーレートプリスケアラ1生成クロック/2) が入力されます。

LWBR レジスタの LWBR0 ビットが “1” (LIN 2.0、2.1 使用時) かつ L0MST レジスタが “H'01” (LIN ウェイクアップモード) の場合、このビットの設定にかかわらず、プロトコルコントローラには fa が入力されます (LCKS ビットは変化しません)。

19.1.6 LINi ブレークフィールド設定レジスタ (LiBRK)

L0BRK : H'FF61 0009、L1BRK : H'FF61 0029、L2BRK : H'FF61 0049、L3BRK : H'FF61 0069、L4BRK : H'FF61 0089、
 アドレス L5BRK : H'FF61 00A9、L6BRK : H'FF61 00C9、L7BRK : H'FF61 00E9、L8BRK : H'FF61 0109、L9BRK : H'FF61 0129、
 L10BRK : H'FF61 0149、L11BRK : H'FF61 0169



ビット	シンボル	ビット名	機能	R/W
b7-b6	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b5-b4	BDT[1:0]	送信ブレークデリミタ (High) 幅 設定ビット	b5 b4 0 0 : 1 Tbit 0 1 : 2 Tbits 1 0 : 3 Tbits 1 1 : 4 Tbits	R/W
b3-b0	BLT[3:0]	送信ブレーク (Low) 幅設定ビット	b3 b2 b1 b0 0 0 0 0 : 13 Tbits 0 0 0 1 : 14 Tbits 0 0 1 0 : 15 Tbits : 1 1 1 0 : 27 Tbits 1 1 1 1 : 28 Tbits	R/W

LIN リセットモードのときに設定してください。

設定値の組み合わせによっては、1 フレームの長さがフレームタイムアウト時間を超えてしまう場合がありますので、適切な値になるように設定をしてください。

BDT ビット

送信フレーム ヘッダ部のブレークデリミタ (High) 幅の設定をします。

1 Tbit ~ 4 Tbits を設定できます。

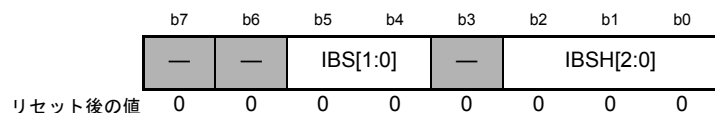
BLT ビット

送信フレーム ヘッダ部のブレーク (Low) 幅の設定をします。

13 Tbits ~ 28 Tbits を設定できます。

19.1.7 LINi スペース設定レジスタ (LiSPC)

L0SPC : H'FF61 000A、L1SPC : H'FF61 002A、L2SPC : H'FF61 004A、L3SPC : H'FF61 006A、L4SPC : H'FF61 008A、
 アドレス L5SPC : H'FF61 00AA、L6SPC : H'FF61 00CA、L7SPC : H'FF61 00EA、L8SPC : H'FF61 010A、L9SPC : H'FF61 012A、
 L10SPC : H'FF61 014A、L11SPC : H'FF61 016A



ビット	シンボル	ビット名	機能	R/W
b7-b6	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b5-b4	IBS[1:0]	インタバイトスペース設定ビット	b5 b4 0 0 : 0 Tbit 0 1 : 1 Tbit 1 0 : 2 Tbits 1 1 : 3 Tbits	R/W
b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2-b0	IBSH[2:0]	インタバイトスペース(ヘッダ)/レスポンススペース設定ビット	b2 b1 b0 0 0 0 : 0 Tbit 0 0 1 : 1 Tbit 0 1 0 : 2 Tbits 0 1 1 : 3 Tbits 1 0 0 : 4 Tbits 1 0 1 : 5 Tbits 1 1 0 : 6 Tbits 1 1 1 : 7 Tbits	R/W

LIN リセットモードのときに設定してください。

送信(ヘッダ、レスポンス)時のみ有効です。レスポンス受信時は、無効になります。

設定値の組み合わせによっては、1 フレームの長さがフレームタイムアウト時間を超えてしまう場合がありますので、適切な値になるように設定をしてください。

IBS ビット

送信フレーム レスポンス部のインタバイトスペースの幅の設定をします。

0 Tbit ~ 3 Tbits を設定できます。

IBSH ビット

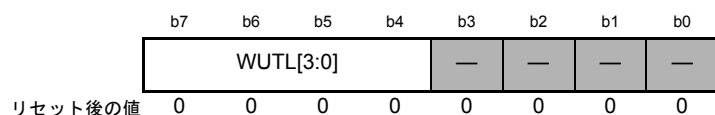
送信フレーム ヘッダ部のインタバイトスペース(ヘッダ)とレスポンススペースの幅の設定をします。

0 Tbit ~ 7 Tbits を設定できます。

インタバイトスペース(ヘッダ)とレスポンススペースの値は、同じになります。

19.1.8 LINi ウェイクアップ設定レジスタ (LiWUP)

L0WUP : H'FF61 000B、L1WUP : H'FF61 002B、L2WUP : H'FF61 004B、L3WUP : H'FF61 006B、L4WUP : H'FF61 008B、
 アドレス L5WUP : H'FF61 00AB、L6WUP : H'FF61 00CB、L7WUP : H'FF61 00EB、L8WUP : H'FF61 010B、L9WUP : H'FF61 012B、
 L10WUP : H'FF61 014B、L11WUP : H'FF61 016B



ビット	シンボル	ビット名	機能	R/W
b7-b4	WUTL[3:0]	ウェイクアップ送信Low幅設定ビット	b7 b6 b5 b4 0 0 0 0 : 1 Tbit 0 0 0 1 : 2 Tbits 0 0 1 0 : 3 Tbits 0 0 1 1 : 4 Tbits : 1 1 0 0 : 13 Tbits 1 1 0 1 : 14 Tbits 1 1 1 0 : 15 Tbits 1 1 1 1 : 16 Tbits	R/W
b3-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

LIN リセットモードのときに設定してください。

WUTL ビット

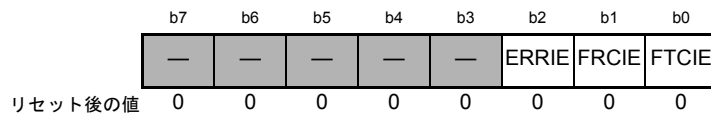
ウェイクアップフレーム送信時の Low 幅の設定をします。

1 Tbit ~ 16 Tbits を設定できます。

LWBR レジスタの LWBR0 ビットが“1” (LIN 2.0、2.1 使用時) の場合、L0MD レジスタの LCKS ビットにかかわらず LIN システムクロック (fLIN) は fa が選択されます (LCKS ビットは変化しません)。

19.1.9 LINi 割り込み許可レジスタ (LiIE)

L0IE : H'FF61 000C、L1IE : H'FF61 002C、L2IE : H'FF61 004C、L3IE : H'FF61 006C、L4IE : H'FF61 008C、
 アドレス L5IE : H'FF61 00AC、L6IE : H'FF61 00CC、L7IE : H'FF61 00EC、L8IE : H'FF61 010C、L9IE : H'FF61 012C、
 L10IE : H'FF61 014C、L11IE : H'FF61 016C



ビット	シンボル	ビット名	機能	R/W
b7-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	ERRIE	エラー検出割り込み許可ビット	0: エラー検出割り込み禁止 1: エラー検出割り込み許可	R/W
b1	FRCIE	フレーム/ウェイクアップ受信完了割り込み許可ビット	0: フレーム/ウェイクアップ受信完了割り込み禁止 1: フレーム/ウェイクアップ受信完了割り込み許可	R/W
b0	FTCIE	フレーム/ウェイクアップ送信完了割り込み許可ビット	0: フレーム/ウェイクアップ送信完了割り込み禁止 1: フレーム/ウェイクアップ送信完了割り込み許可	R/W

LIN リセットモードのときに設定してください。

ERRIE ビット

エラーを検出したときの割り込み許可 / 禁止を設定します。

“0”の場合、LiST レジスタの ERR ビットが“1”になった際に LINi 割り込みが発生しません。

“1”の場合、LiST レジスタの ERR ビットが“1”になった際に LINi 割り込みが発生します。

発生要因となる割り込みは、ビットエラー、フィジカルバスエラー、フレームタイムアウトエラー、フレーミングエラー、チェックサムエラーです。

ビットエラー、フィジカルバスエラー、フレームタイムアウトエラー、フレーミングエラーは、LiEDE レジスタで検出許可 / 禁止の設定ができます。

FRCIE ビット

フレーム受信完了またはウェイクアップフレーム受信(入力信号 Low 幅カウント)完了時の割り込み許可 / 禁止を設定します。

“0”の場合、LiST レジスタの FRC ビットが“1”になった際に LINi 割り込みが発生しません。

“1”の場合、LiST レジスタの FRC ビットが“1”になった際に LINi 割り込みが発生します。

FTCIE ビット

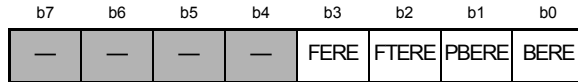
フレーム送信完了またはウェイクアップフレーム送信完了時の割り込み許可 / 禁止を設定します。

“0”の場合、LiST レジスタの FTC ビットが“1”になった際に LINi 割り込みが発生しません。

“1”の場合、LiST レジスタの FTC ビットが“1”になった際に LINi 割り込みが発生します。

19.1.10 LINi エラー検出許可レジスタ (LiEDE)

L0EDE : H'FF61 000D、L1EDE : H'FF61 002D、L2EDE : H'FF61 004D、L3EDE : H'FF61 006D、L4EDE : H'FF61 008D、
 アドレス L5EDE : H'FF61 00AD、L6EDE : H'FF61 00CD、L7EDE : H'FF61 00ED、L8EDE : H'FF61 010D、L9EDE : H'FF61 012D、
 L10EDE : H'FF61 014D、L11EDE : H'FF61 016D



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	FERE	フレーミングエラー検出許可ビット	0: フレーミングエラー検出禁止 1: フレーミングエラー検出許可	R/W
b2	FTERE	フレームタイムアウトエラー検出許可ビット	0: フレームタイムアウトエラー検出禁止 1: フレームタイムアウトエラー検出許可	R/W
b1	PBERE	フィジカルバスエラー検出許可ビット	0: フィジカルバスエラー検出禁止 1: フィジカルバスエラー検出許可	R/W
b0	BERE	ビットエラー検出許可ビット	0: ビットエラー検出禁止 1: ビットエラー検出許可	R/W

LIN リセットモードのときに設定してください。

FERE ビット

フレーミングエラー検出許可 / 禁止を設定します。

“0”の場合、フレーミングエラーを検出しません。

“1”の場合、フレーミングエラーを検出します。

本ビットが“1”の場合の検出結果は、LiEST レジスタの FER ビットに反映されます。

フレーミングエラーの詳細は、「19.9 エラーステータス」を参照してください。

FTERE ビット

フレームタイムアウトエラー検出許可 / 禁止を設定します。

“0”の場合、フレームタイムアウトエラーを検出しません。

“1”の場合、フレームタイムアウトエラーを検出します。

本ビットが“1”の場合の検出結果は、LiEST レジスタの FTER ビットに反映されます。

フレームタイムアウトエラーの詳細は、「19.9 エラーステータス」を参照してください。

PBERE ビット

フィジカルバスエラー検出の許可 / 禁止を設定します。

“0”の場合、フィジカルバスエラーを検出しません。

“1”の場合、フィジカルバスエラーを検出します。

本ビットが“1”の場合の検出結果は、LiEST レジスタの PBER ビットに反映されます。

フィジカルバスエラーの詳細は、「19.9 エラーステータス」を参照してください。

BERE ビット

ビットエラー検出の許可/禁止を設定します。

“0”の場合、ビットエラーを検出しません。

“1”の場合、ビットエラーを検出します。

本ビットが“1”の場合の検出結果は、LiESTレジスタのBERビットに反映されます。

ビットエラーの詳細は、「19.9 エラーステータス」を参照してください。

19.1.11 LINi 制御レジスタ (LiC)

L0C : H'FF61 000E、L1C : H'FF61 002E、L2C : H'FF61 004E、L3C : H'FF61 006E、L4C : H'FF61 008E、
アドレス L5C : H'FF61 00AE、L6C : H'FF61 00CE、L7C : H'FF61 00EE、L8C : H'FF61 010E、L9C : H'FF61 012E、
L10C : H'FF61 014E、L11C : H'FF61 016E

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	OM1	OM0
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1	OM1	LINモード選択ビット	0 : LIN ウェイクアップモード 1 : LIN 動作モード	R/W
b0	OM0	LINリセットビット	0 : LINリセットモード 1 : LINリセットモードでない	R/W

LINリセットモード解除するとき、LIN ウェイクアップモードに遷移させる場合はこのレジスタに“H'01”を、LIN 動作モードに遷移させる場合は、このレジスタに“H'03”を設定してください。

LINセルフテストモードでは、LINセルフテストモード遷移後に、このレジスタに“H'03”を設定してください。

OM1 ビット

LINリセットモード解除時のLIN動作モード(LINウェイクアップモード、LIN動作モード)選択をするビットです。

“0”にすると、LINウェイクアップモードになります。

“1”にすると、LIN動作モードになります。

このレジスタは、LiMSTレジスタのOMM0ビットが“1”のときのみ有効です。

このビットは、LiTCレジスタのFTSビットが“1”の間は書き込めません。

OM0 ビット

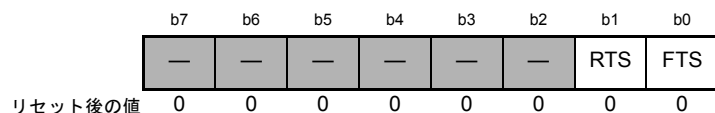
LINリセットモードへの遷移/LINリセットモードの解除を選択するビットです。

“0”にすると、LINリセットモードになります。

“1”にすると、LINリセットモードは解除されます。

19.1.12 LINi 送信制御レジスタ (LiTC)

L0TC : H'FF61 0010、L1TC : H'FF61 0030、L2TC : H'FF61 0050、L3TC : H'FF61 0070、L4TC : H'FF61 0090、
 アドレス L5TC : H'FF61 00B0、L6TC : H'FF61 00D0、L7TC : H'FF61 00F0、L8TC : H'FF61 0110、L9TC : H'FF61 0130、
 L10TC : H'FF61 0150、L11TC : H'FF61 0170



ビット	シンボル	ビット名	機能	R/W
b7-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1	RTS	レスポンス送信開始ビット	0: フレームセパレートモードにおいてレスポンス送信停止 1: フレームセパレートモードにおいてレスポンス送信開始	R/W
b0	FTS	フレーム送信/ウェイクアップ送受信開始ビット	0: フレーム送信/ウェイクアップ送受信停止 1: フレーム送信/ウェイクアップ送受信開始	R/W

RTS ビット

レスポンス送信開始時、“1”にしてください。

通信中は“1”を保持します。通信していない場合およびLINリセットモード遷移時には“0”になります。

このビットは“1”のみ書けます。“0”は書けません。送信が完了、またはエラーを検出すると自動的に“0”になります。

このビットはLiRFCレジスタのFSMビットが“1”(フレームセパレートモード)で、FTSビットが“1”(フレーム送信/ウェイクアップ送受信開始)のときに設定してください。

RTSビットを“1”に設定する場合は、LINi送信制御レジスタ(LiTC)にMOV命令で“H'02”を書き込んでください。

FTS ビット

フレーム/ウェイクアップ送信開始時、“1”にしてください。

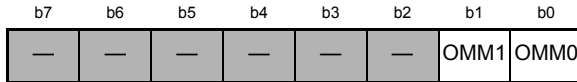
また、ウェイクアップ受信(入力信号Low幅カウント)を行う場合にも、このビットを“1”にしてください。

通信中は“1”を保持します。通信していない場合およびLINリセットモード遷移時には“0”になります。

このビットは“1”のみ書けます。“0”は書けません。送受信が完了、またはエラーを検出すると自動的に“0”になります。

19.1.13 LINi モードステータスレジスタ (LiMST)

L0MST : H'FF61 0011、L1MST : H'FF61 0031、L2MST : H'FF61 0051、L3MST : H'FF61 0071、L4MST : H'FF61 0091、
 アドレス L5MST : H'FF61 00B1、L6MST : H'FF61 00D1、L7MST : H'FF61 00F1、L8MST : H'FF61 0111、L9MST : H'FF61 0131、
 L10MST : H'FF61 0151、L11MST : H'FF61 0171



リセット後の値 0 0 0 0 0 0 0 0

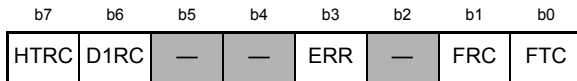
ビット	シンボル	ビット名	機能	R/W
b7-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1	OMM1	LINiモードステータスマニタ	0: LINiウェイクアップモード 1: LINi動作モード	R
b0	OMM0	LINiリセットステータスマニタ	0: LINiリセットモード 1: LINiリセットモードでない	R

OMM0 ビット、OMM1 ビット

現在の動作モードが確認できます。

19.1.14 LINi ステータスレジスタ (LiST)

L0ST : H'FF61 0012、L1ST : H'FF61 0032、L2ST : H'FF61 0052、L3ST : H'FF61 0072、L4ST : H'FF61 0092、
 アドレス L5ST : H'FF61 00B2、L6ST : H'FF61 00D2、L7ST : H'FF61 00F2、L8ST : H'FF61 0112、L9ST : H'FF61 0132、
 L10ST : H'FF61 0152、L11ST : H'FF61 0172



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	HTRC	ヘッダ送信完了フラグ	0: 送信未完了 1: ヘッダ送信完了	R/W
b6	D1RC	データ1受信完了フラグ	0: 受信未完了 1: データ1受信完了	R/W
b5-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	ERR	エラー検出フラグ	0: エラー未検出 1: エラー検出	R
b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1	FRC	フレーム/ウェイクアップ受信完了フラグ	0: 受信未完了 1: フレームまたはウェイクアップ受信完了	R/W
b0	FTC	フレーム/ウェイクアップ送信完了フラグ	0: 送信未完了 1: フレームまたはウェイクアップ送信完了	R/W

LIN リセットモード遷移時および次の通信開始時、自動的に“H'00”になります。

LIN リセットモード中は“H'00”を保持します。

LiTC レジスタの FTS ビットが“1”(フレーム送信 / ウェイクアップ送受信開始)の間は、このレジスタに書き込まないでください。

HTRC ビット

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

ヘッダ受信完了時、“1”となりますが割り込みが発生しません。次の通信が始まる前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

D1RC ビット

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

データ 1 受信完了時、“1”となりますが割り込みが発生しません。次の通信が始まる前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

ERR ビット

エラー検出時、“1”となります。このとき LiIE レジスタの ERRIE ビットが“1”(割り込み許可)の場合、割り込みが発生します。次の通信が始まる前に“0”にしたい場合は、LIN 動作モード内で LiEST レジスタの BER ビット、PBER ビット、FTER ビット、FER ビット、CSER ビットに“0”を書いてください。ERR ビットが“0”となります。

FRC ビット

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

フレーム受信完了またはウェイクアップ受信(入力信号 Low 幅カウント)完了時、“1”となります。このとき LiIE レジスタの FRCIE ビットが“1”(割り込み許可)の場合、割り込みが発生します。次の通信が始まる前に“0”にしたい場合は、LIN ウェイクアップモードまたは LIN 動作モード内で“0”を書いてください。

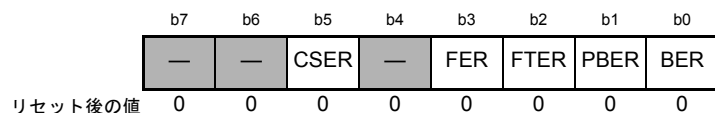
FTC ビット

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

フレーム送信完了またはウェイクアップ送信完了時、“1”となります。このとき LiIE レジスタの FTCIE ビットが“1”(割り込み許可)の場合、割り込みが発生します。次の通信が始まる前に“0”にしたい場合は、LIN ウェイクアップモードまたは LIN 動作モード内で“0”を書いてください。

19.1.15 LINi エラーステータスレジスタ (LiEST)

L0EST : H'FF61 0013、L1EST : H'FF61 0033、L2EST : H'FF61 0053、L3EST : H'FF61 0073、L4EST : H'FF61 0093、
 アドレス L5EST : H'FF61 00B3、L6EST : H'FF61 00D3、L7EST : H'FF61 00F3、L8EST : H'FF61 0113、L9EST : H'FF61 0133、
 L10EST : H'FF61 0153、L11EST : H'FF61 0173



ビット	シンボル	ビット名	機能	R/W
b7-b6	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b5	CSER	チェックサムエラーフラグ	0: チェックサムエラー未検出 1: チェックサムエラー検出	R/W
b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	FER	フレーミングエラーフラグ	0: フレーミングエラー未検出 1: フレーミングエラー検出	R/W
b2	FTER	フレームタイムアウトエラーフラグ	0: フレームタイムアウトエラー未検出 1: フレームタイムアウトエラー検出	R/W
b1	PBER	フィジカルバスエラーフラグ	0: フィジカルバスエラー未検出 1: フィジカルバスエラー検出	R/W
b0	BER	ビットエラーフラグ	0: ビットエラー未検出 1: ビットエラー検出	R/W

LIN リセットモード遷移時および次の通信開始時、自動的に“H'00”になります。

LIN リセットモード中は“H'00”を保持します。

LiTC レジスタの FTS ビットが“1”(フレーム送信 / ウェイクアップ送受信開始)の間は、このレジスタに書き込まないでください。

CSER ビット

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

チェックサムエラー検出時、“1”となります。次の通信が始まる前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

FER ビット

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

フレーミングエラー検出時、“1”となります。次の通信が始まる前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

FTER ビット

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

フレームタイムアウトエラー検出時、“1”となります。次の通信が始まる前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

PBER ビット

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

フィジカルバスエラー検出時、“1”となります。次の通信が始まる前に“0”にしたい場合は、LIN ウェイクアップモードまたは LIN 動作モード内で“0”を書いてください。

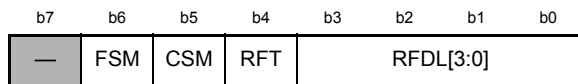
BER ビット

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

ビットエラー検出時、“1”となります。次の通信が始まる前に“0”にしたい場合は、LIN ウェイクアップモードまたはLIN 動作モード内で“0”を書いてください。

19.1.16 LINi レスポンスフィールド設定レジスタ (LiRFC)

L0RFC : H'FF61 0014、L1RFC : H'FF61 0034、L2RFC : H'FF61 0054、L3RFC : H'FF61 0074、L4RFC : H'FF61 0094、
アドレス L5RFC : H'FF61 00B4、L6RFC : H'FF61 00D4、L7RFC : H'FF61 00F4、L8RFC : H'FF61 0114、L9RFC : H'FF61 0134、
L10RFC : H'FF61 0154、L11RFC : H'FF61 0174



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b6	FSM	フレームセパレートモード選択ビット	0: フレームセパレートモードではない 1: フレームセパレートモード	R/W
b5	CSM	チェックサム選択ビット	0: クラシック 1: エンハンス	R/W
b4	RFT	レスポンスフィールド送受信方向設定ビット	0: 受信 1: 送信	R/W
b3-b0	RFDL[3:0]	レスポンスフィールド長設定ビット	b3 b2 b1 b0 0 0 0 0 : 0バイト+チェックサム 0 0 0 1 : 1バイト+チェックサム 0 0 1 0 : 2バイト+チェックサム : 0 1 1 1 : 7バイト+チェックサム 1 0 0 0 : 8バイト+チェックサム 上記以外は設定しないでください。	R/W

LiTCレジスタのFTSビットが“0”(フレーム送信/ウェイクアップ送受信停止)のときに設定してください。

FSM ビット

“0”の場合、フレームセパレートモードになりません。

“1”の場合、フレームセパレートモードになります。

レスポンス受信 (RFT ビットが“0”)時は、FSM ビットの設定の影響を受けません。

LINセルフテストモードに遷移する場合は、遷移前に“0”に設定してください。

フレームセパレートモードの詳細は、「19.6.1.1 フレームセパレートモード」を参照してください。

CSM ビット

チェックサムの方式の設定をします。

“0”の場合、チェックサムの方式はクラシックとなります。

“1”の場合、チェックサムの方式はエンハンスとなります。

フレームタイムアウトエラーを使用する (LiEDE レジスタの FTERE ビットが“1”)場合は、CSM ビットの設定によりフレームタイムアウト時間が異なります。詳細は、「19.9 エラーステータス」を参照してください。

RFT ビット

“0”の場合、レスポンスフィールドで受信を行います。また、LIN ウェイクアップモードでは、ウェイクアップ受信 (入力信号 Low 幅カウント) を行います。

“1”の場合、レスポンスフィールドで送信を行います。また、LIN ウェイクアップモードでは、ウェイクアップ送信を行います。

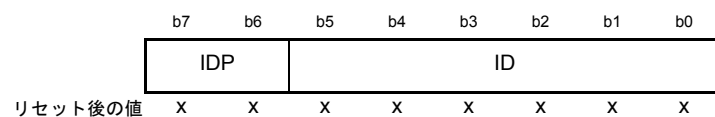
RFDL ビット

レスポンスフィールドのデータ長を設定します。

データ長は、0~8 バイトまで設定でき、データ長にはチェックサムのサイズを含みません。

19.1.17 LINi ID バッファレジスタ (LiIDB)

L0IDB : H'FF61 0015、L1IDB : H'FF61 0035、L2IDB : H'FF61 0055、L3IDB : H'FF61 0075、L4IDB : H'FF61 0095、
アドレス L5IDB : H'FF61 00B5、L6IDB : H'FF61 00D5、L7IDB : H'FF61 00F5、L8IDB : H'FF61 0115、L9IDB : H'FF61 0135、
L10IDB : H'FF61 0155、L11IDB : H'FF61 0175



ビット	シンボル	ビット名	機能	R/W
b7-b6	IDP	パリティ設定ビット	IDフィールドで送信するパリティ (P0、P1) ビットを設定	R/W
b5-b0	ID	ID設定ビット	IDフィールドで送信する6ビットのIDを設定	R/W

LiTC レジスタの FTS ビットが“0” (フレーム送信/ウェイクアップ送受信停止) のときに設定してください。

LIN セルフテストモード時は、以下のとおりとなります。

- RFT ビットが“1” (送信) の場合 : 送信した値の反転値を読むことができる。通信前に送信する値を書くことができる
- RFT ビットが“0” (受信) の場合 : 受信した値の反転値を読むことができる。通信前に受信する値を書くことができる

IDP ビット

LIN フレームの ID フィールドで送信するパリティ (P0、P1) ビットを設定します。

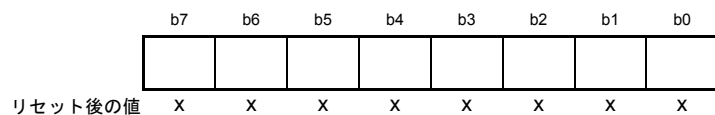
パリティは自動演算されないため、演算値を設定してください。誤った演算結果を設定した場合もそのまま送信します。

ID ビット

LIN フレームの ID フィールドで送信する 6 ビットの ID を設定します。

19.1.18 LINi チェックサムバッファレジスタ (LiCBR)

L0CBR : H'FF61 0016、L1CBR : H'FF61 0036、L2CBR : H'FF61 0056、L3CBR : H'FF61 0076、L4CBR : H'FF61 0096、
 アドレス L5CBR : H'FF61 00B6、L6CBR : H'FF61 00D6、L7CBR : H'FF61 00F6、L8CBR : H'FF61 0116、L9CBR : H'FF61 0136、
 L10CBR : H'FF61 0156、L11CBR : H'FF61 0176



ビット	機能	R/W
b7-b0	チェックサムの送受信データを格納します。	R/W

LiTCレジスタのFTSビットが“0”(フレーム送信/ウェイクアップ送受信停止)のときに設定してください。

LIN動作モード時は、以下のとおりとなります。

- RFTビットが“1”(送信)の場合:送信した値を読むことができる。書き込みは無効である
- RFTビットが“0”(受信)の場合:受信した値を読むことができる。書き込みは無効である

LINセルフテストモード時は、以下のとおりとなります。

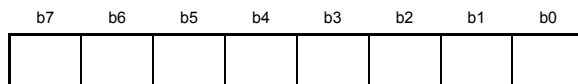
- RFTビットが“1”(送信)の場合:送信した値の反転値を読むことができる。書き込みは無効である
- RFTビットが“0”(受信)の場合:受信した値の反転値を読むことができる。通信前に受信する値を書くことができる

LINリセットモードおよびLINウェイクアップモード時の書き込みは無効です。

19.1.19 LINi データ n バッファレジスタ (LiDBn) (n = 1 ~ 8)

L0DB1 : H'FF61 0018、L0DB2 : H'FF61 0019、L0DB3 : H'FF61 001A、L0DB4 : H'FF61 001B、
 L0DB5 : H'FF61 001C、L0DB6 : H'FF61 001D、L0DB7 : H'FF61 001E、L0DB8 : H'FF61 001F、
 L1DB1 : H'FF61 0038、L1DB2 : H'FF61 0039、L1DB3 : H'FF61 003A、L1DB4 : H'FF61 003B、
 L1DB5 : H'FF61 003C、L1DB6 : H'FF61 003D、L1DB7 : H'FF61 003E、L1DB8 : H'FF61 003F、
 L2DB1 : H'FF61 0058、L2DB2 : H'FF61 0059、L2DB3 : H'FF61 005A、L2DB4 : H'FF61 005B、
 L2DB5 : H'FF61 005C、L2DB6 : H'FF61 005D、L2DB7 : H'FF61 005E、L2DB8 : H'FF61 005F、
 L3DB1 : H'FF61 0078、L3DB2 : H'FF61 0079、L3DB3 : H'FF61 007A、L3DB4 : H'FF61 007B、
 L3DB5 : H'FF61 007C、L3DB6 : H'FF61 007D、L3DB7 : H'FF61 007E、L3DB8 : H'FF61 007F、
 L4DB1 : H'FF61 0098、L4DB2 : H'FF61 0099、L4DB3 : H'FF61 009A、L4DB4 : H'FF61 009B、
 L4DB5 : H'FF61 009C、L4DB6 : H'FF61 009D、L4DB7 : H'FF61 009E、L4DB8 : H'FF61 009F、
 L5DB1 : H'FF61 00B8、L5DB2 : H'FF61 00B9、L5DB3 : H'FF61 00BA、L5DB4 : H'FF61 00BB、
 L5DB5 : H'FF61 00BC、L5DB6 : H'FF61 00BD、L5DB7 : H'FF61 00BE、L5DB8 : H'FF61 00BF、
 L6DB1 : H'FF61 00D8、L6DB2 : H'FF61 00D9、L6DB3 : H'FF61 00DA、L6DB4 : H'FF61 00DB、
 L6DB5 : H'FF61 00DC、L6DB6 : H'FF61 00DD、L6DB7 : H'FF61 00DE、L6DB8 : H'FF61 00DF、
 L7DB1 : H'FF61 00F8、L7DB2 : H'FF61 00F9、L7DB3 : H'FF61 00FA、L7DB4 : H'FF61 00FB、
 L7DB5 : H'FF61 00FC、L7DB6 : H'FF61 00FD、L7DB7 : H'FF61 00FE、L7DB8 : H'FF61 00FF、
 L8DB1 : H'FF61 0118、L8DB2 : H'FF61 0119、L8DB3 : H'FF61 011A、L8DB4 : H'FF61 011B、
 L8DB5 : H'FF61 011C、L8DB6 : H'FF61 011D、L8DB7 : H'FF61 011E、L8DB8 : H'FF61 011F、
 L9DB1 : H'FF61 0138、L9DB2 : H'FF61 0139、L9DB3 : H'FF61 013A、L9DB4 : H'FF61 013B、
 L9DB5 : H'FF61 013C、L9DB6 : H'FF61 013D、L9DB7 : H'FF61 013E、L9DB8 : H'FF61 013F、
 L10DB1 : H'FF61 0158、L10DB2 : H'FF61 0159、L10DB3 : H'FF61 015A、L10DB4 : H'FF61 015B、
 L10DB5 : H'FF61 015C、L10DB6 : H'FF61 015D、L10DB7 : H'FF61 015E、L10DB8 : H'FF61 015F、
 L11DB1 : H'FF61 0178、L11DB2 : H'FF61 0179、L11DB3 : H'FF61 017A、L11DB4 : H'FF61 017B、
 L11DB5 : H'FF61 017C、L11DB6 : H'FF61 017D、L11DB7 : H'FF61 017E、L11DB8 : H'FF61 017F

アドレス



リセット後の値 X X X X X X X X

ビット	機能	設定範囲	R/W
b7-b0	送信データを設定、または受信データを読み出し。	H'00 ~ H'FF	R/W

以下の状態で設定してください。

レスポンス送信の場合

- LiRFC レジスタの RFT ビットが “1” (送信)
- LiRFC レジスタの FSM ビットが “0” (フレームセパレートモードではない)
- LiTC レジスタの FTS ビットが “0” (フレーム送信 / ウェイクアップ送受信停止)

または

- LiRFC レジスタの RFT ビットが “1” (送信)
- LiRFC レジスタの FSM ビットが “1” (フレームセパレートモード)
- LiTC レジスタの RTS ビットが “0” (レスポンス送信停止)

レスポンス受信の場合

受信データは上書きされます。

またエラー検出時、受信が中断される前までのデータは格納されます。

LIN セルフテストモード時は、以下のとおりとなります。

- RFT ビットが “1” (送信) の場合 : 送信した値の反転値を読むことができる。通信前に送信する値を書くことができる
- RFT ビットが “0” (受信) の場合 : 受信した値の反転値を読むことができる。通信前に受信する値を書くことができる

19.2 動作モード

LINモジュールには、次の4つの動作モードがあります。

- LINリセットモード
- LIN動作モード
- LINウェイクアップモード
- LINセルフテストモード

LINリセットモードにすると、LINモジュールへのクロック供給を停止するため、消費電力を低減することができます。

図19.2に動作モードの遷移、表19.10に各動作モードで可能な動作を示します。

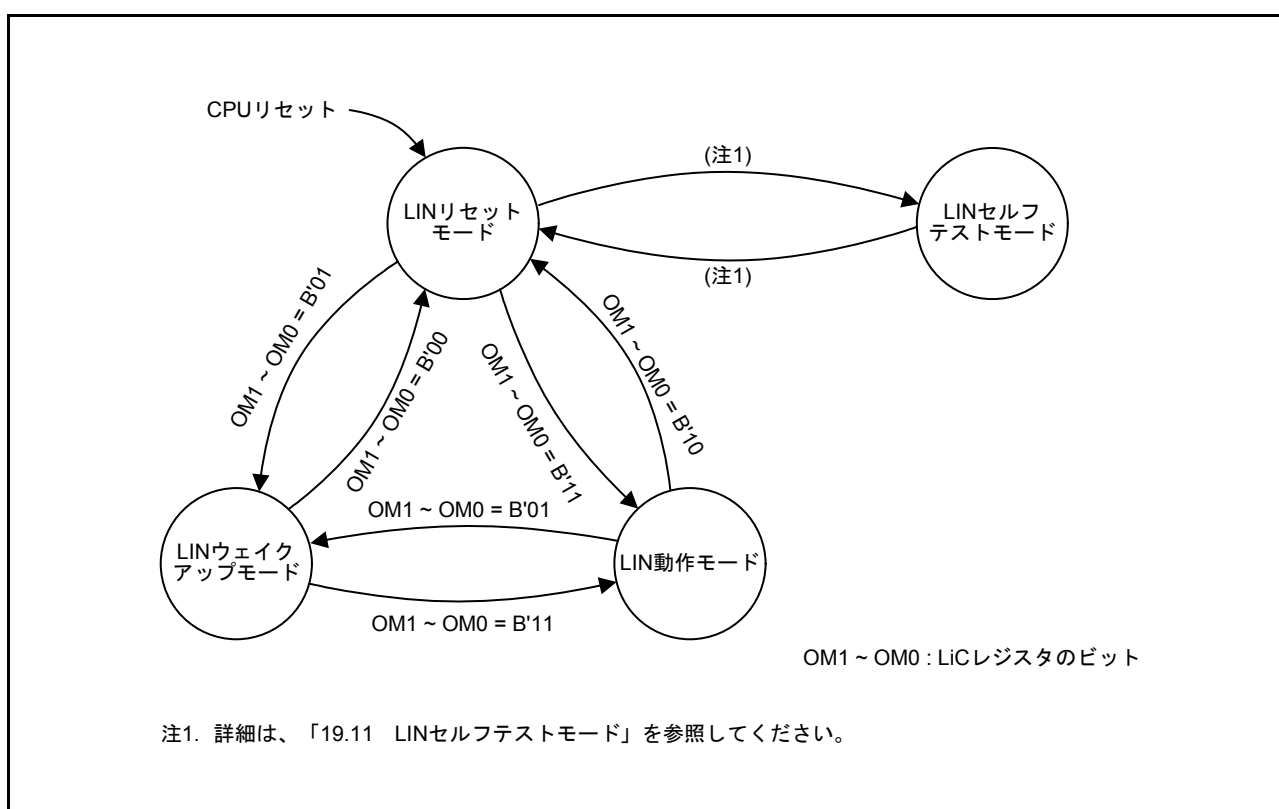


図 19.2 動作モードの遷移

表 19.10 各動作モードで可能な動作

LINリセットモード	LIN動作モード	LINウェイクアップモード	LINセルフテストモード
LINi Low検出	ヘッダ送信 レスポンス送信 レスポンス受信 エラー検出 LINi Low検出	ウェイクアップ送信 ウェイクアップ受信 エラー検出 LINi Low検出	セルフテスト

LiMSTレジスタのOMM1～OMM0ビットを読み出すことで、LINリセットモード、LIN動作モード、LINウェイクアップモードへ遷移したことを確認できます。

LINセルフテストモードについては、「19.11 LINセルフテストモード」を参照してください。

19.2.1 LIN リセットモード

LiCレジスタのOM1～OM0ビットを“B'00”または“B'10”(LINリセットモード)にすると、LINリセットモードに遷移します。LiMSTレジスタのOMM1～OMM0ビットが“B'00”または“B'10”(LINリセットモード)になることで、LINリセットモードに遷移したことが確認できます。このモードのとき、LIN通信チャンネルの機能はすべて停止しており、fLINも停止しています。

LINリセットモードからは、LIN動作モード、LINウェイクアップモード、LINセルフテストモードに遷移できます。

以下のレジスタは、LINリセットモードに遷移した後、それぞれのリセット後の値に初期化され、LINリセットモード中は初期値を保持します。

- LiTCレジスタ
- LiSTレジスタ
- LiESTレジスタ

以下のレジスタは、LINリセットモードに遷移した後も、以前の値を保持します。

- LWBRレジスタ
- LBRP0レジスタ
- LBRP1レジスタ
- LiMDレジスタ
- LiBRKレジスタ
- LiSPCレジスタ
- LiWUPレジスタ
- LiIEレジスタ
- LiEDEレジスタ
- LiRFCレジスタ
- LiCBRレジスタ
- LiIDBレジスタ
- LiDBnレジスタ

19.2.2 LIN動作モード

LiCレジスタのOM1～OM0ビットを“B'11”にすると、LIN動作モードになり、LiMSTレジスタのOMM1～OMM0ビットが“B'11”になります。

19.2.3 LINウェイクアップモード

LiCレジスタのOM1～OM0ビットを“B'01”にすると、LINウェイクアップモードになり、LiMSTレジスタのOMM1～OMM0ビットが“B'01”になります。

19.2.4 LINセルフテストモード

LSTCレジスタへの書き込みにより、LINセルフテストモードになります。LSTCレジスタのLSTMビットが“1”になると、LINセルフテストモードに遷移したことが確認できます。

19.3 動作概要

19.3.1 ヘッダ送信

図 19.3 に LIN モジュールのヘッダ送信時の動作、表 19.11 にヘッダ送信時の処理を示します。

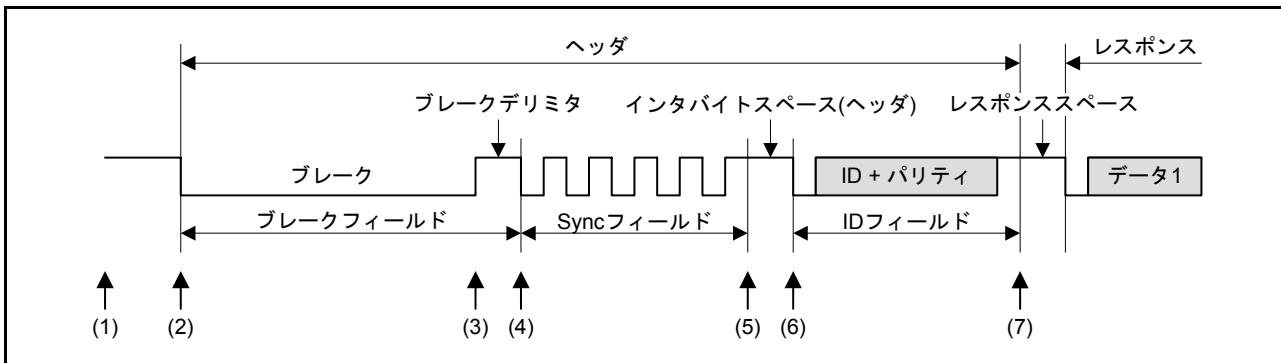


図 19.3 ヘッダ送信時の動作

表 19.11 ヘッダ送信時の処理

	ソフトウェア処理	LINモジュール処理
(1)	<ul style="list-style-type: none"> • ボーレートを設定(「19.4 ボーレートジェネレータ」を参照してください) • LiIEレジスタのFTCIEビットを“1”(フレーム/ウェイクアップ送信完了割り込み許可)、FRCIEビットを“1”(フレーム/ウェイクアップ受信完了割り込み許可)、ERRIEビットを“1”(エラー検出割り込み許可)に設定 • LiCLレジスタのOM1～OM0ビットでLINモジュールの動作モードを変更 • LiBRKレジスタのBLTビットでブレーク幅(13～28 Tbit)、BDTビットでブレークデリミタ幅(1～4 Tbit)を設定 • LiSPCレジスタのIBSHビットでインタバイトスペース(ヘッダ)/レスポンススペース幅(0～7 Tbit)、IBSビットでインタバイトスペース幅(0～3 Tbit)を設定 • LiIDBレジスタにIDとそのパリティ値を設定 • LiRFCレジスタのRFDLビットでデータ長、RFTビットでレスポンスの送受信方向、CSMビットでチェックサム方式を設定 • 送信データを設定 	ソフトウェアによるフレーム/ウェイクアップ送信開始待ち(アイドル)
(2)	<ul style="list-style-type: none"> • LiTCレジスタのFTSビットを“1”(フレーム送信/ウェイクアップ送受信開始)にする 	ブレーク Low送信
(3)		ブレークデリミタ送信
(4)		Syncフィールド(H'55)送信
(5)		インタバイトスペース(ヘッダ)送信
(6)		IDフィールド送信
(7)		<ul style="list-style-type: none"> • ヘッダ送信完了フラグ設定、またはエラーフラグの設定レスポンススペース送信

19.3.2 レスポンス送信

図 19.4 に LIN モジュールのレスポンス送信時の動作、表 19.12 にレスポンス送信時の処理を示します。

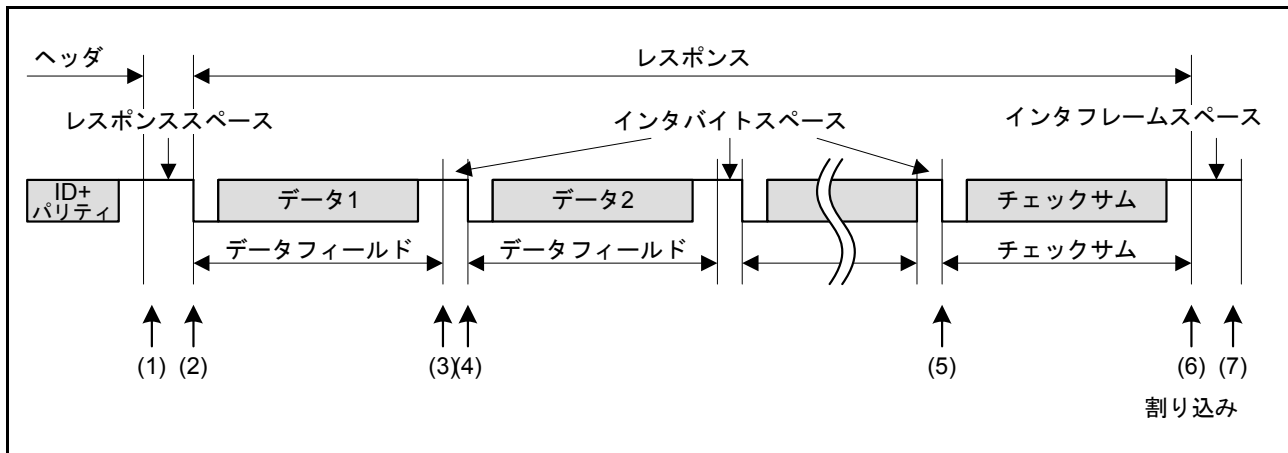


図 19.4 レスポンス送信時の動作

表 19.12 レスポンス送信時の処理

	ソフトウェア処理	LINモジュール処理
(1)	(フレームセパレートモード時) LiTCレジスタのRTSビットを“1” (レスポンス送信開始) にする (フレームセパレートモードでないとき) 割り込み要求発生待ち	(フレームセパレートモード時) レスポンス送信開始待ちの間、レスポンススペース送信 (フレームセパレートモードでないとき) レスポンススペース送信完了なら(2)へ
(2)	割り込み要求発生待ち	データ1送信
(3)		インタバイトスペース送信
(4)		データ2送信
		インタバイトスペース送信
		データ3送信
		インタバイトスペース送信
(5)		チェックサム送信
(6)		<ul style="list-style-type: none"> ・ フレーム/ウェイクアップ送信完了フラグ設定、またはエラーフラグ設定 ・ LiTCレジスタのFTSビットを“0” (フレーム送信/ウェイクアップ送信停止)、RTSビットを“0” (レスポンス送信停止)にする
(7)	通信後の処理 LiSTレジスタのチェック、フラグのクリア	アイドル

19.3.3 レスポンス受信

図 19.5 に LIN モジュールのレスポンス受信時の動作、表 19.13 にレスポンス受信時の処理を示します。

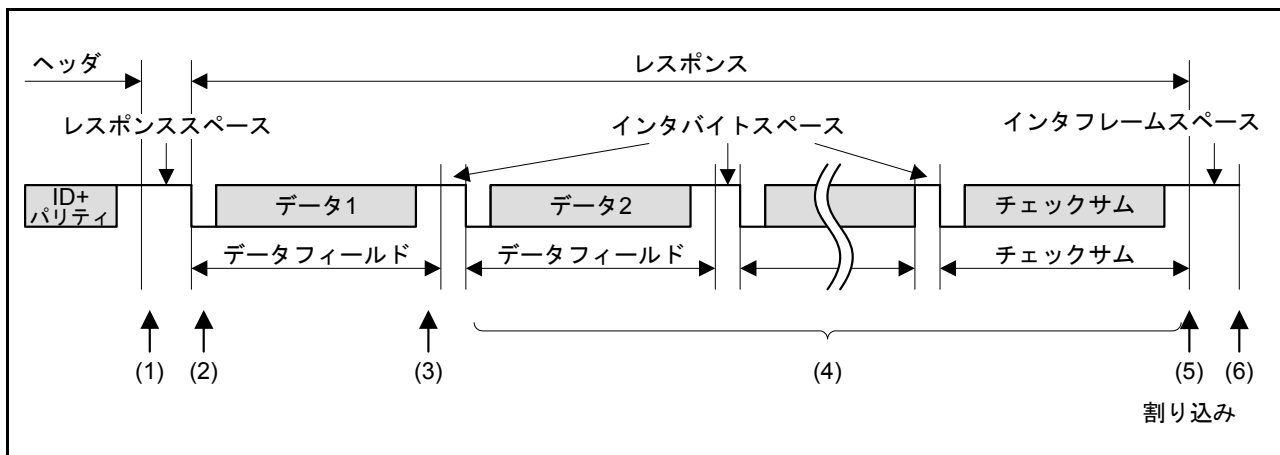


図 19.5 レスポンス受信時の動作

表 19.13 レスポンス受信時の処理

	ソフトウェア処理	LINモジュール処理
(1)	割り込み要求発生待ち (処理はなし)	スタートビット検出待ち
(2)	割り込み要求発生待ち	スタートビット検出によりデータ1受信
(3)		<ul style="list-style-type: none"> データ1受信完了フラグ設定
(4)		スタートビット検出によりデータ2受信 スタートビット検出によりデータ3受信 (L0RFCレジスタのRFDLビットで指定したデータ長分繰り返す。エラー発生時は受信を中断して(5)へ。 ただしその場合は、(5)のチェックサム判定は実施しません) …… …… スタートビット検出によりチェックサム受信
(5)		<ul style="list-style-type: none"> チェックサム判定 フレーム/ウェイクアップ受信完了フラグ設定、またはエラーフラグ設定 LiTCレジスタのFTSビットを“0”(フレーム送信/ウェイクアップ送受信停止)にする
(6)	通信後の処理 受信データの読み出し LiSTレジスタのチェック、フラグのクリア	アイドル

19.4 ボーレートジェネレータ

LIN通信クロック源をボーレートジェネレータで分周したクロックがLINシステムクロック (fLIN) となり、これを16分周したクロックがビットレートになります。このビットレートの逆数をビットタイム (Tbit) といいます。

fa が 307200Hz (= 19200 × 16) となるように LBRP0 レジスタを設定すれば、fa = 19200 × 16、fb = 9600 × 16、fc = 2400 × 16 となり、ビットタイミング生成部で16分周するため、19200bps、9600bps、2400bps が生成できます。また 10417bps は LBRP1 レジスタによって生成します。

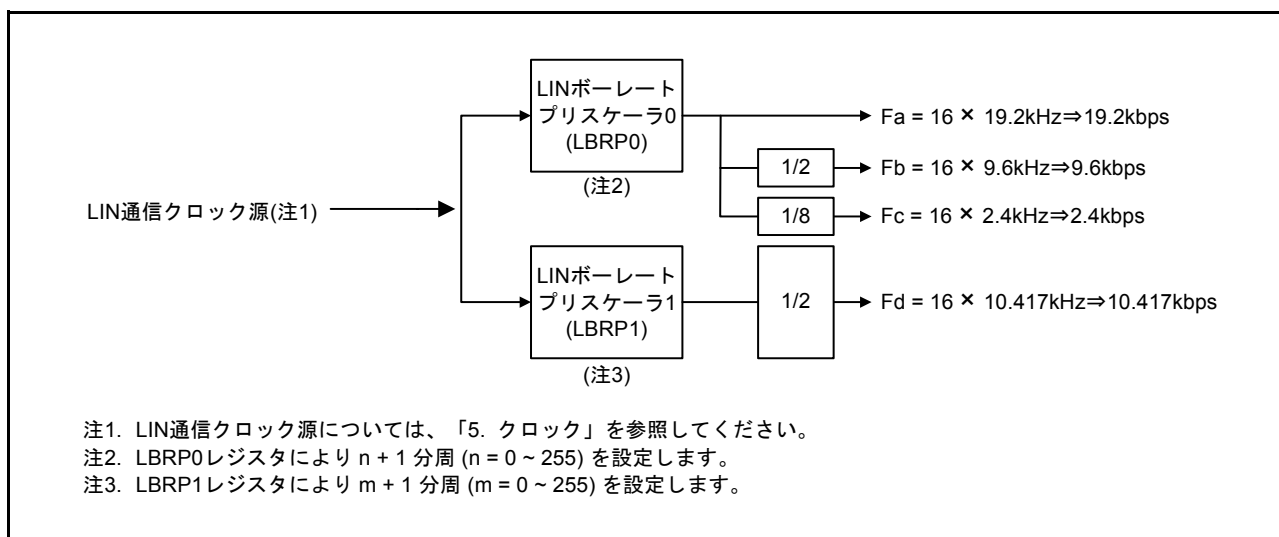


図 19.6 ボーレート生成ブロック図

表 19.14、表 19.15 に周辺機能クロック周波数ごとのボーレート (19200、9600、2400、10417bps) 生成例とその誤差を示します。

表 19.14 ボーレート生成例 (19200bps、9600bps、2400bps)

LIN通信 クロック源	ボーレートジェネレータ0 N + 1分周	生成ボーレート			誤差
		fa選択	fb選択	fc選択	
40MHz	130	19230.77 (19200bps)	9615.38 (9600bps)	2403.85 (2400bps)	+0.16%
25MHz	81	19290.12 (19200bps)	9645.06 (9600bps)	2411.27 (2400bps)	+0.47%
24MHz	78	19230.77 (19200bps)	9615.38 (9600bps)	2403.85 (2400bps)	+0.16%
20MHz	65	19230.77 (19200bps)	9615.38 (9600bps)	2403.85 (2400bps)	+0.16%
16MHz	52	19230.77 (19200bps)	9615.38 (9600bps)	2403.85 (2400bps)	+0.16%
12MHz	39	19230.77 (19200bps)	9615.38 (9600bps)	2403.85 (2400bps)	+0.16%
10MHz	65	9615.38 (9600bps)	—	—	+0.16%
8MHz	26	19230.77 (19200bps)	9615.38 (9600bps)	2403.85 (2400bps)	+0.16%
6MHz	39	9615.38 (9600bps)	—	—	+0.16%
	156	2403.85 (2400bps)	—	—	+0.16%
5MHz	130	2403.85 (2400bps)	—	—	+0.16%
4MHz	13	19230.77 (19200bps)	9615.38 (9600bps)	2403.85 (2400bps)	+0.16%
2MHz	13	9615.38 (9600bps)	—	—	+0.16%
	52	2403.85 (2400bps)	—	—	+0.16%

【記号説明】 — : 該当ボーレート生成不可

表 19.15 ポーレート生成例(10417bps)

LIN通信 ブロック源	ポーレートジェネレータ1 M + 1分周	生成ポーレート	誤差
		fd選択	
40MHz	120	10416.67	-0.003%
25MHz	75	10416.67	-0.003%
24MHz	72	10416.67	-0.003%
20MHz	60	10416.67	-0.003%
16MHz	48	10416.67	-0.003%
12MHz	36	10416.67	-0.003%
10MHz	30	10416.67	-0.003%
8MHz	24	10416.67	-0.003%
6MHz	18	10416.67	-0.003%
5MHz	15	10416.67	-0.003%
4MHz	12	10416.67	-0.003%
2MHz	6	10416.67	-0.003%

19.5 データ送信 / 受信

19.5.1 データ送信

データ送信は、1 Tbit に 1 ビットずつ行われます。

送信したデータは、LIN トランシーバを経由して受信データ入力端子に戻ってきます。この受信データと送信したデータの比較がビットごとに行われ、結果は LiEST レジスタの BER ビットに格納されます (「19.9 エラーステータス」参照)。受信データのサンプリングポイントは、1 Tbit = 16fLIN で生成され 13 クロック目 (81.25% 位置) になります。

図 19.7 にデータ送信タイミングを示します。

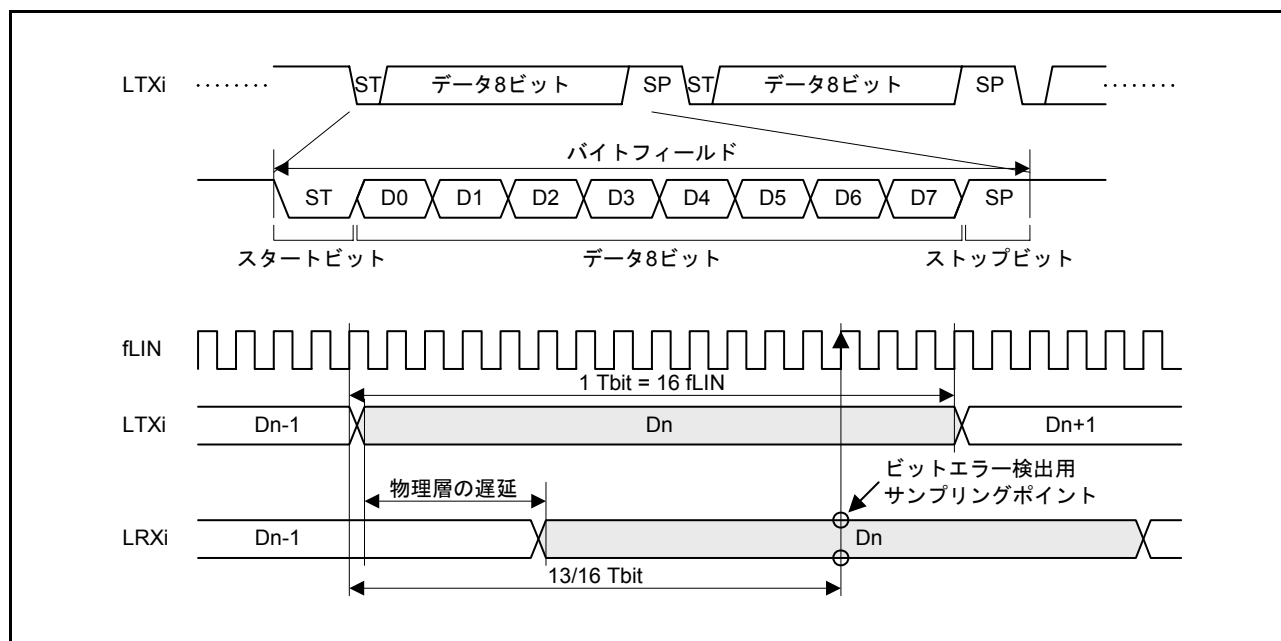


図 19.7 データ送信タイミング

19.5.2 データ受信

データ受信は、LRXi 端子からの入力を fLIN に同期させた同期化 LRXi (内部信号) を使用して行います。

この同期化 LRXi 信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、0.5 Tbit 後に再度サンプリングを行い同期化 LRXi 信号が Low であった場合にスタートビットと認識します。リセット解除後から LRXi 信号がずっと Low の場合や、再サンプリング時に High を検出した場合はスタートビットとは認識しません。

スタートビット検出後は、1 Tbit ごとにビットのサンプリングを行います。

図 19.8 にデータ受信タイミングを示します。

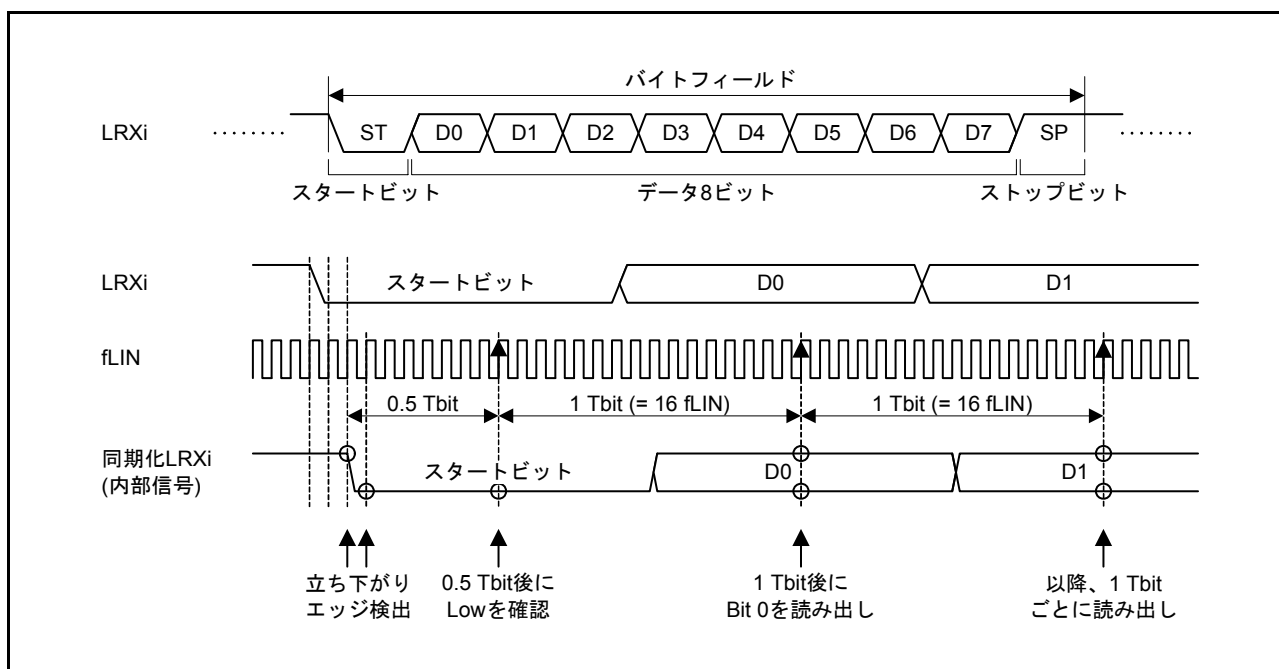


図 19.8 データ受信タイミング

19.6 送信 / 受信データのバッファ処理

LINモジュールの連続データ送受信時のバッファ処理について説明します。

19.6.1 LIN フレームの送信

8バイト送信の場合、LiDB1～LiDB8レジスタに格納されている内容が、順番にLINフレームのデータ1～8領域に送信されます。4バイト送信の場合は、LiDB1～LiDB4レジスタに格納されている内容がLINフレームのデータ1～4領域に送信され、LiDB5～LiDB8レジスタの内容は送信されません。また、LiCBレジスタには送信したチェックサムデータが格納されます。

図19.9にLIN送信処理とバッファを示します。

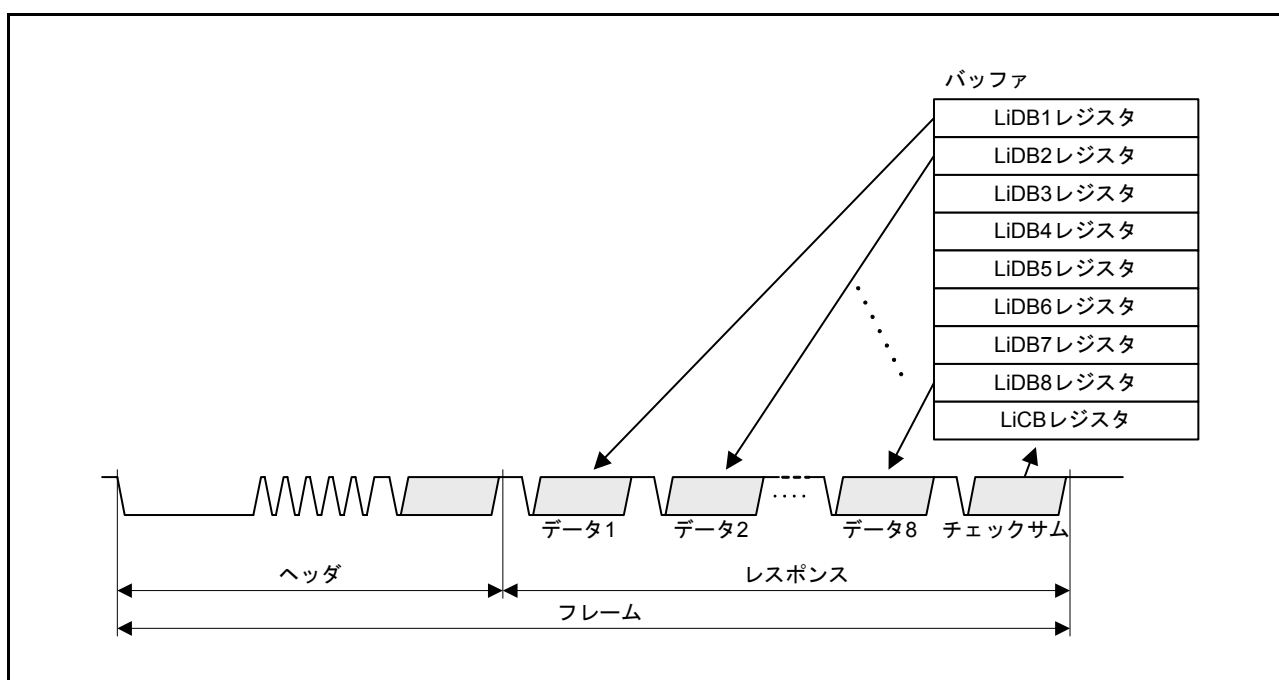


図 19.9 LIN 送信処理とバッファ

19.6.1.1 フレームセパレートモード

LiRFCレジスタのFSMビットを“1”にすることにより、フレームセパレートモードになります。フレームセパレートモードは、ヘッダとレスポンスを別々の送信開始要求により送信するモードです。ヘッダ送信が完了するとLiSTレジスタのHTRCビットが“1”(ヘッダ送信完了)になります。

19.6.2 LIN フレームの受信

8 バイト受信の場合、LIN フレームのデータ 1~8 領域の内容が、ストップビットを受信するごとにそれぞれの LiDB1 ~ LiDB8 レジスタに格納されます。4 バイト受信の場合は、LIN フレームのデータ 1~4 領域の内容が、それぞれ LiDB1 ~ LiDB4 レジスタに格納され、LiDB5 ~ LiDB8 レジスタには何も格納されません。また、LiCB レジスタには受信したチェックサムデータが格納されます。

図 19.10 に LIN 受信処理とバッファを示します。

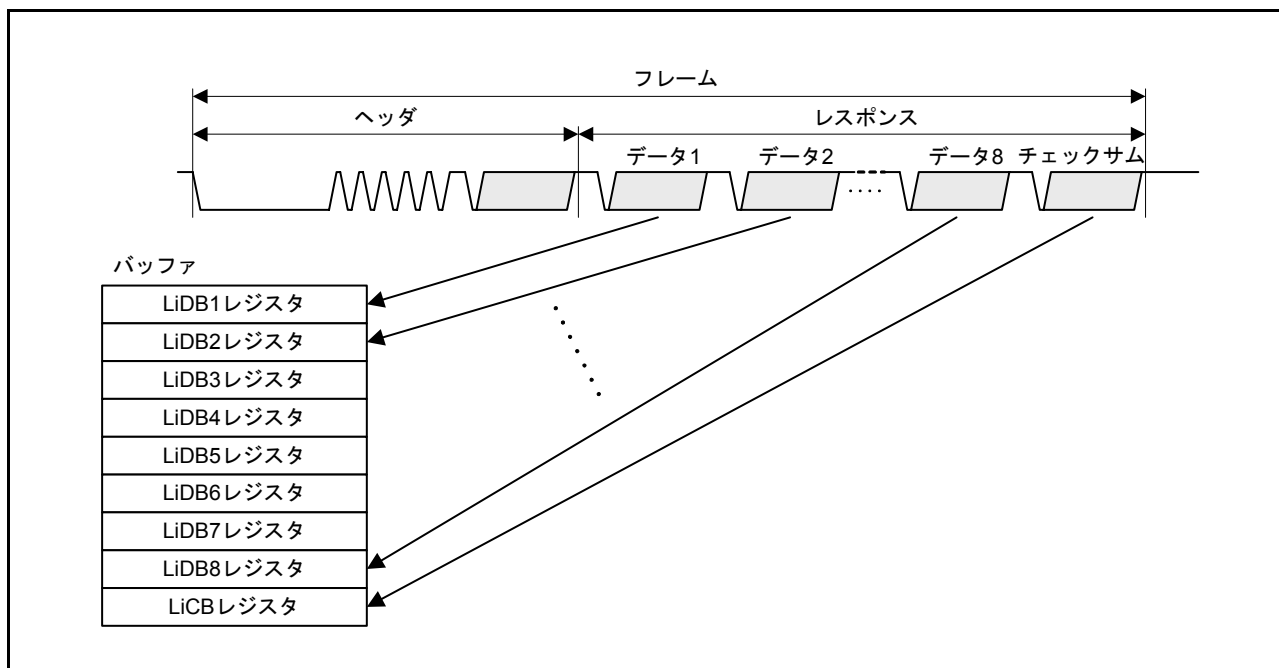


図 19.10 LIN 受信処理とバッファ

19.6.2.1 データ 1 受信

1 バイト目のデータ受信が完了すると、LiST レジスタの DIRC ビットが“1” (データ 1 受信完了) になります。

19.7 ウェイクアップ送信 / 受信

ウェイクアップの送受信はLIN ウェイクアップモードで使用できます。

19.7.1 ウェイクアップ送信動作

LIN ウェイクアップモード時、LiRFC レジスタの RFT ビットを“1”(送信)、LiTC レジスタの FTS ビットを“1”(フレーム送信 / ウェイクアップ送受信開始)にすると、出力端子からウェイクアップ信号が出力されます。ウェイクアップ信号の Low 幅は LiWUP レジスタの WUTL ビットで設定します。

ビットエラーなくウェイクアップの Low が出力された場合、LiST レジスタの FTC ビットが“1”(フレームまたはウェイクアップ送信完了)になり、LiE レジスタの FTCIE ビットが“1”(フレーム / ウェイクアップ送信完了割り込み許可)のとき割り込み要求が発生します。

ビットエラーを検出した場合は、ウェイクアップ送信を中断し LiEST レジスタの BER ビットを“1”(ビットエラー検出)にします。

図 19.11 にウェイクアップ送信タイミングを示します。

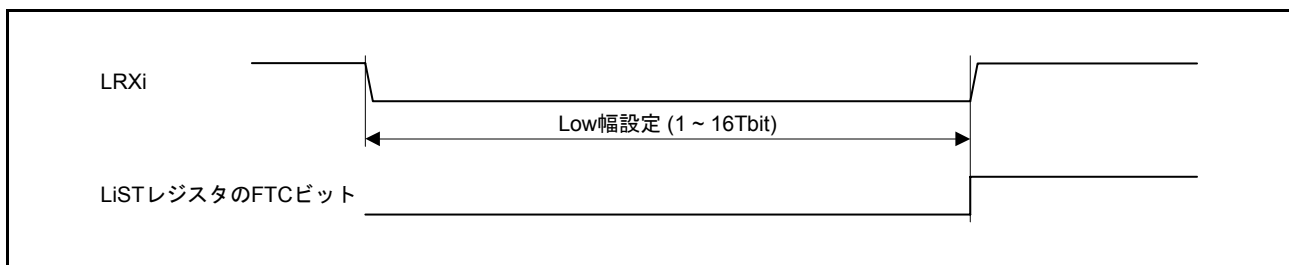


図 19.11 ウェイクアップ送信タイミング

19.7.2 ウェイクアップ受信動作

ウェイクアップを検出するには、LINi Low 検出機能または、入力信号 Low 幅カウント機能を使用します。

LINi Low 検出機能は、LRXi 端子への入力信号の立ち下がりエッジを非同期で検出する機能です。入力信号の立ち下がりエッジを検出すると、LINi Low 検出割り込みの要求が発生します。

入力信号 Low 幅カウント機能は、データ受信と同じサンプリングポイントで LRXi 端子への入力信号の Low 幅を計測する機能です。入力信号の“L”幅を 2.5Tbit 以上で計測することができます。LIN Specification Package Revision 1.3 使用時は、LWBR レジスタの LWBR0 ビットを“0”に、LIN Specification Package Revision 2.0、2.1 使用時は“1”に設定してください。LWBR0 ビットを“1”にすると L0MD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック (fLIN) が fa になります (LCKS ビットは変化しません)。

この機能を使用する場合、LIN ウェイクアップモードにて、LiRFC レジスタの RFT ビットを“0”(受信)、LiTC レジスタの FTS ビットを“1”(フレーム送信 / ウェイクアップ送受信開始)に設定してください。

計測する Low 幅に達すると LiST レジスタの FRC ビットが“1”(フレームまたはウェイクアップ受信完了)になり、LiE レジスタの FRCIE ビットが“1”(フレーム / ウェイクアップ受信完了割り込み許可)の場合、割り込み要求が発生します。

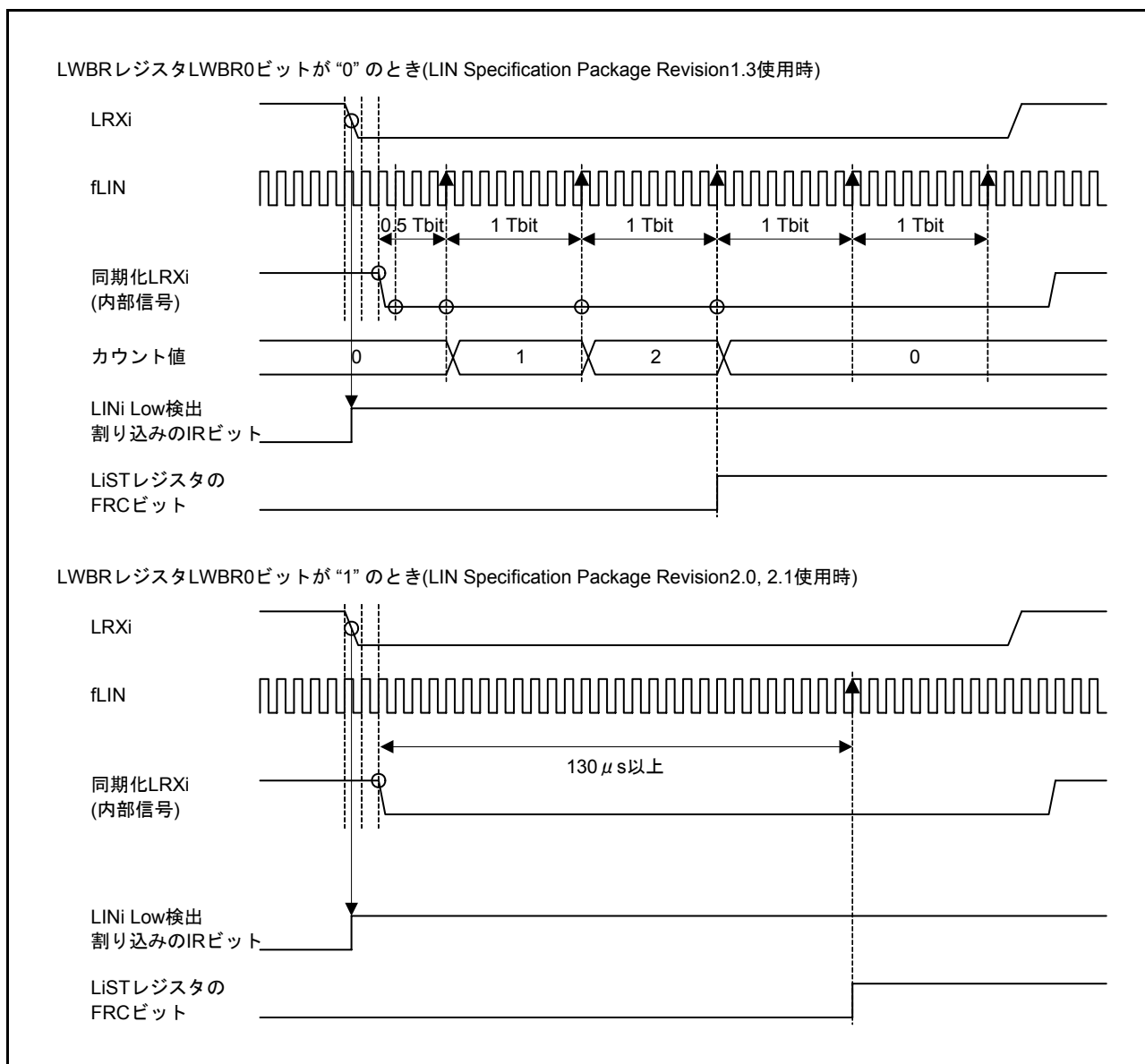


図 19.12 入力信号 Low 幅カウント機能

ウェイクアップ送信中、LINi Low 検出機能は動作しますが、入力信号 Low 幅カウント機能は動作しません。

19.7.3 ウェイクアップ受信を用いた低消費電力モード制御

LINi Low 検出機能をスタンバイモード、パワーダウンモード 0 およびパワーダウンモード 1 からの復帰要因として使用することができます。

図 19.13 に LINi Low 検出機能使用時のスタンバイモードへ遷移する前の設定例を示します。スタンバイモード、パワーダウンモード 0 およびパワーダウンモード 1 への遷移についての詳細は、「5.5 パワーコントロール」を参照してください。

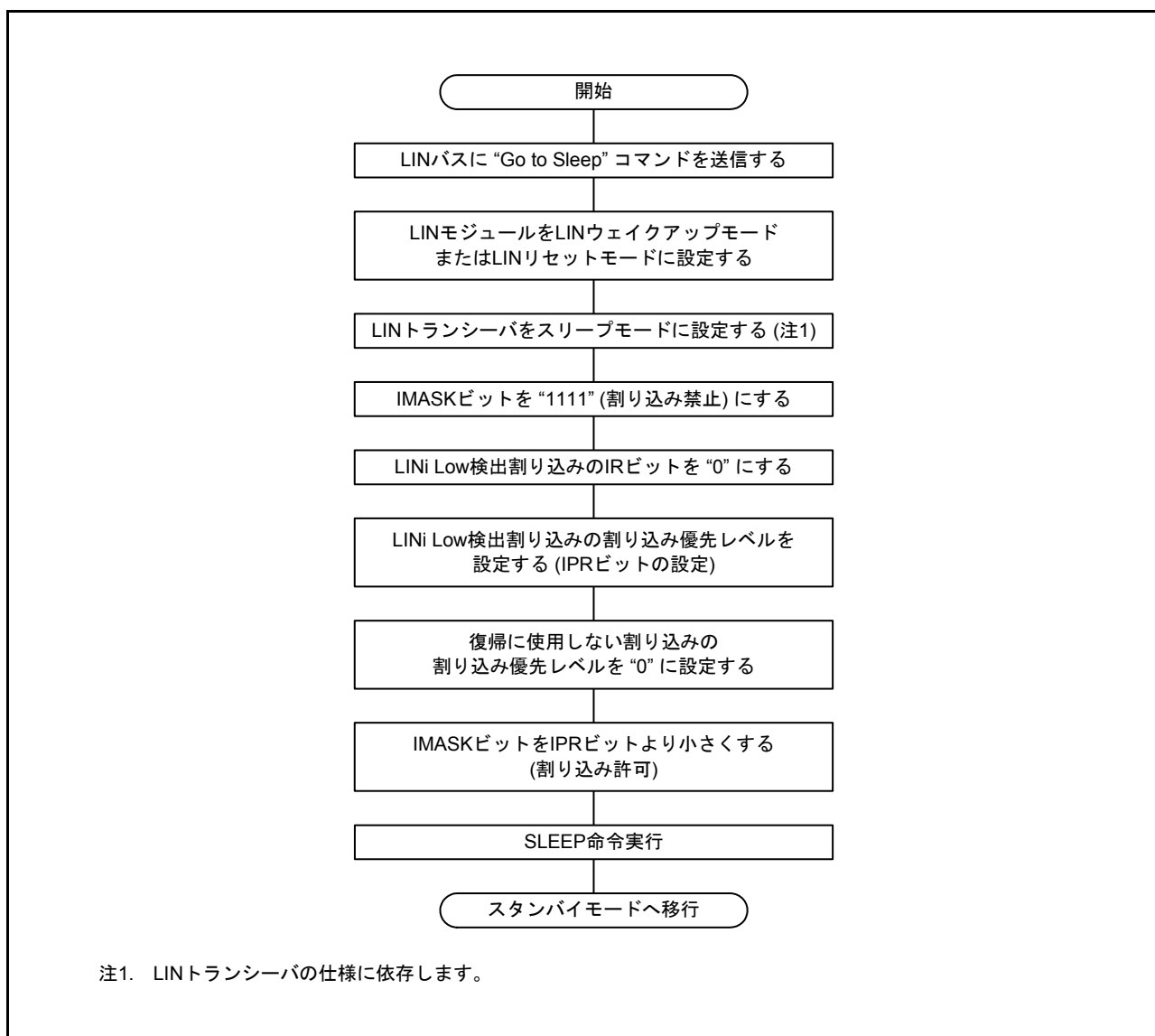


図 19.13 LINi Low 検出機能使用時のスタンバイモードへ遷移する前の設定例

19.7.4 ウェイクアップ衝突

マスタノードとスレーブノードが同時にウェイクアップ信号を送信した場合、LIN バス上で衝突が発生しますが、LIN モジュールでは、ウェイクアップ信号の衝突は検知しません。

19.8 ステータス

LINモジュールは7種類のステータスを検出します。

フレーム/ウェイクアップ送信完了、フレーム/ウェイクアップ受信完了、エラー検出の3つのステータスは割り込み要求を発生することができます。

表 19.16 にステータスの種類を示します。

表 19.16 ステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	ステータスを検出できる動作モード	対応ビット
LINモード	LiCレジスタのOM1ビットをLIN動作モードに設定後、実際にLINモジュールがLIN動作モードになったとき	LiCレジスタのOM1ビットをLINウェイクアップモードに設定後、実際にLINモジュールがLINウェイクアップモードになったとき	LIN動作モード LINウェイクアップモード	LiMSTレジスタのOMM1ビット
リセット	LiCレジスタのOM0ビットをLINリセットモードでないに設定後、実際にLINモジュールがLINリセットモード解除になったとき	LiCレジスタのOM0ビットをLINリセットモードに設定後、実際にLINモジュールがLINリセットモードになったとき	すべてのモード	LiMSTレジスタのOMM0ビット
フレーム/ウェイクアップ送信完了	レスポンスフィールドまたはウェイクアップ信号を正常に送信完了したとき	次の通信開始時 ソフトウェアによるクリア LINリセットモード遷移時	LIN動作モード LINウェイクアップモード	LiSTレジスタのFTCビット
フレーム/ウェイクアップ受信完了	レスポンスフィールドまたはウェイクアップ信号を正常に受信完了したとき	次の通信開始時 ソフトウェアによるクリア LINリセットモード遷移時	LIN動作モード LINウェイクアップモード	LiSTレジスタのFRCビット
エラー検出	LiESTレジスタのBERビット、PBERビット、FTERビット、FERビット、CSERビットのいずれかが“1”(エラー検出)になったとき	次の通信開始時 ソフトウェアによるクリア(注1) LINリセットモード遷移時	LIN動作モード LINウェイクアップモード	LiSTレジスタのERRビット
データ1受信完了	LiRFCレジスタのRFTビットが“0”(受信)で、レスポンスフレームの最初の1バイトを受信完了したとき(注2)	次の通信開始時 ソフトウェアによるクリア LINリセットモード遷移時	LIN動作モード	LiSTレジスタのD1RCビット
ヘッダ送信完了	ヘッダフィールドを正常に送信完了した場合	次の通信開始時 ソフトウェアによるクリア LINリセットモード遷移時	LIN動作モード	LiSTレジスタのHTRCビット

注1. LIN動作モード内でLiESTレジスタのBERビット、PBERビット、FTERビット、FERビット、CSERビットに“0”を書きことにより、ERRビットは“0”になります。

注2. LiRFCレジスタのRFDLビットが“B'0000”(0バイト+チェックサム)のときは検出されません。

19.9 エラーステータス

19.9.1 エラーステータスの種類

LINモジュールは5種類のエラーステータスを検出します。これらのエラーの状態はLESTレジスタの各ビットで確認できます。

表19.17にエラーステータスの種類を示します。

表19.17 エラーステータスの種類

ステータス	エラー検出条件 ("0"クリアはソフトウェア)	エラーを検出できる 動作モード	通信 処理	検出許可/ 禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしているLINバス上のデータが一致しなかったとき(注1)	LIN動作モード LINウェイクアップモード	中断	○	LIESTレジスタのBERビット
フィジカルバスエラー	<ul style="list-style-type: none"> ブレイクフィールド送信時にLINバスがHighを検出した場合 ブレイクデリミタ送信時にLINバスがLowを検出した場合 ウェイクアップ送信時にLINバスがHighを検出した場合 	LIN動作モード LINウェイクアップモード	中断	○	LIESTレジスタのPBERビット
フレームタイムアウトエラー	フレームの送受信がある一定の時間内に終了しなかったとき(注2)	LIN動作モード	中断	○	LIESTレジスタのFTERビット
フレーミングエラー	レスポンスフレーム受信処理において、各データバイトのストップビットがLowであったとき	LIN動作モード	中断	○	LIESTレジスタのFERビット
チェックサムエラー	レスポンスフレーム受信処理において、チェックサム判定の結果がエラーのとき	LIN動作モード	—	×	LIESTレジスタのCSERビット

注1. ビットエラーを検出した場合は、ストップビット送信後に中断します。ブレイクフィールド、インタバイトスペースなどの非データ領域およびウェイクアップでビットエラーを検出したときは、エラーになったビットを送信した直後に送信を中断します。

注2. タイムアウト時間は、レスポンスフィールドデータ長(LiRFCレジスタのRFDLビット)およびチェックサム選択(LiRFCレジスタのCSMビット)に依存し、下記の式により計算できます。

クラシック選択時(LiRFCレジスタのCSMビットが"0"の場合)

タイムアウト時間 = $49 + (\text{データバイト数} + 1) \times 14$ [Tbit]

エンハンス選択時(LiRFCレジスタのCSMビットが"1"の場合)

タイムアウト時間 = $48 + (\text{データバイト数} + 1) \times 14$ [Tbit]

上記タイムアウト時間は、クラシック選択時にLIN Specification Package Revision 1.3のTFRAME_MAXを、エンハンス選択時にLIN Specification Package Revision 2.0、2.1のTFRAME_MAXを超える時間となります。

19.9.2 LIN エラー検出の対象時間領域

図 19.14 にエラーを検出するために LIN モジュールが監視する時間領域を示します。

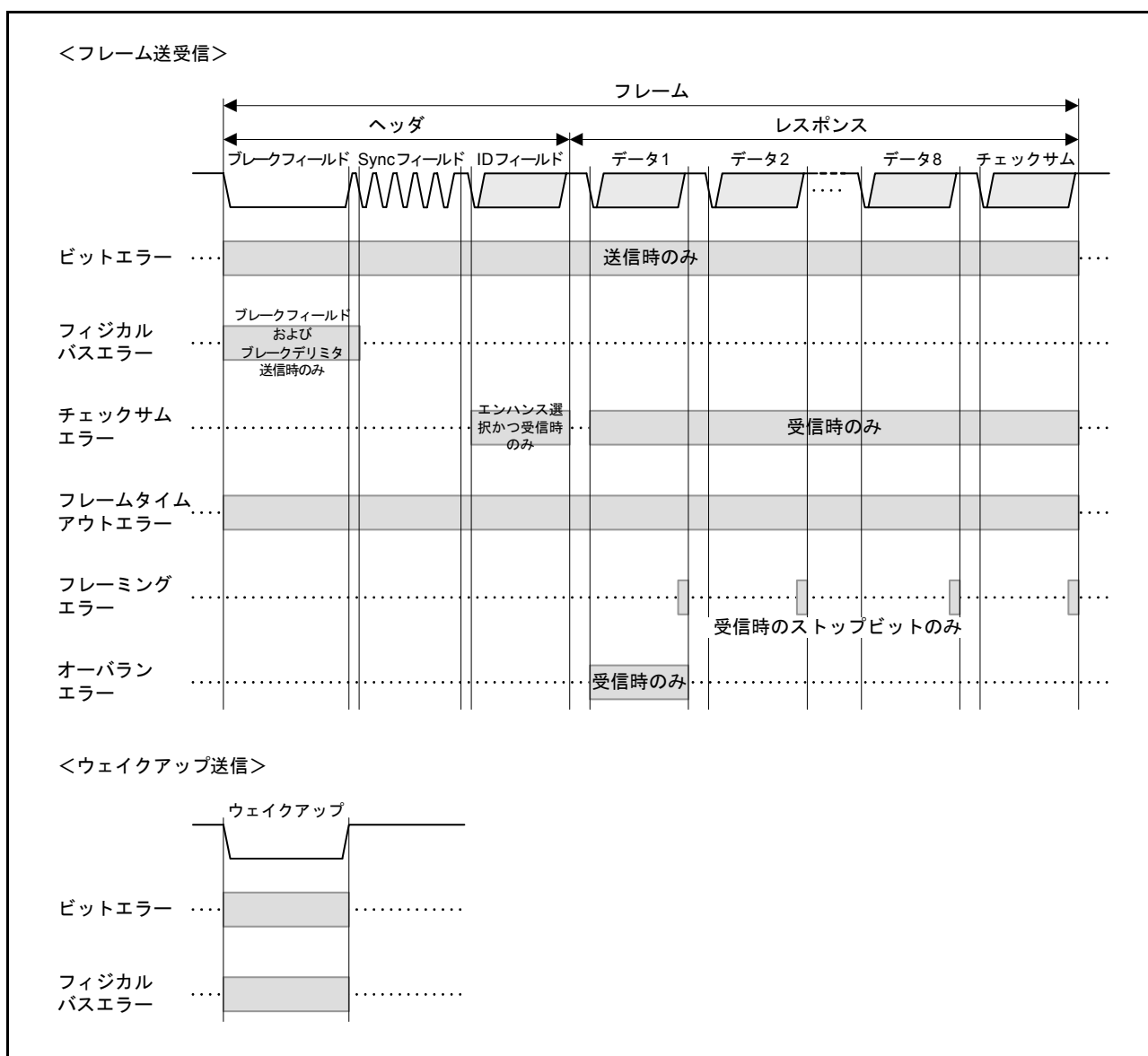


図 19.14 LIN エラー検出の対象時間領域

19.10 割り込み

LIN モジュールが生成する割り込み要求には、LINi 割り込みと LINi Low 検出割り込みがあります。割り込み要因には、チャンネルごとにフレーム / ウェイクアップ送信完了、フレーム受信 / ウェイクアップ受信 (入力信号 Low 幅カウント) 完了、エラー検出、LINi Low 検出の 4 つあります。

フレーム / ウェイクアップ送信完了、フレーム受信 / ウェイクアップ受信 (入力信号 Low 幅カウント) 完了、エラー検出の 3 つのステータスによる割り込み要求は、チャンネルごとに論理和をとって 1 つの割り込み要求「LINi 割り込み」にまとめられます。LINi Low 検出による割り込み要求は、チャンネルごとにあります。

それぞれの割り込み要求は、LiIE レジスタの対応するビットが“1” (割り込み許可) のときに、LiST レジスタの対応するフラグが“1”になると出力されます。

図 19.15 に LINi 割り込みブロック図を示します。LINi Low 検出割り込みに関しては「8. 割り込みコントローラ (INTC)」を参照してください。

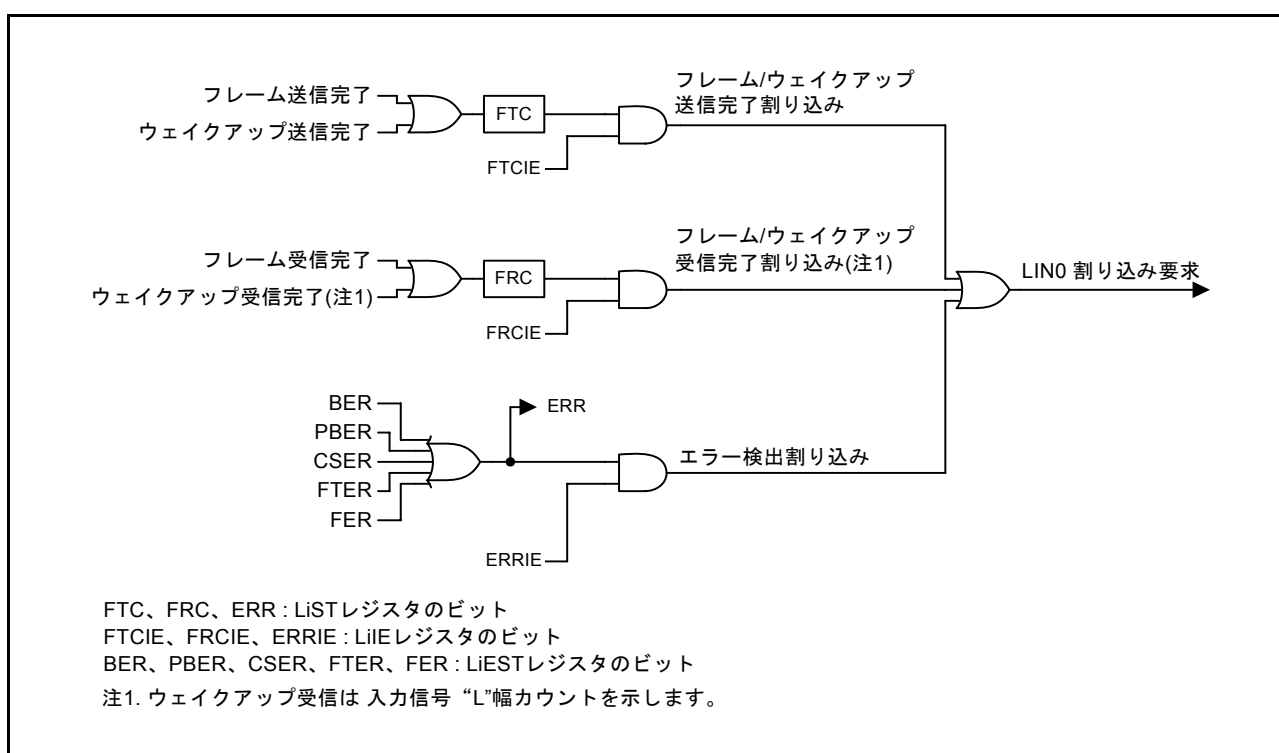


図 19.15 LINi 割り込みブロック図

19.11 LINセルフテストモード

LINモジュールは、LINセルフテストモードを持ちます。一度LINモジュールがLINセルフテストモードになると、LINバスから切断され、内部LTXiは内部LRXiにループして戻ります(ループバック)。

LINセルフテストモードは以下の状態で動作します。

- LINセルフテストモード
- ウェイクアップ機能未対応
- フレームセパレートモード未対応
- ボーレートジェネレータは最速設定(LBRP0レジスタが“H'00”、LBRP1レジスタが“H'00”、LCKSビットが“B'00”)

LINウェイクアップモードには遷移しないでください。

LINセルフテストモードに遷移する前に、LiRFCレジスタのFSMビットを“0”(フレームセパレートモードではない)にしてください。

ボーレート設定は、LINセルフテストモードでは自動設定されます。また、LINセルフテストモードからLINリセットモードに遷移したとき、自動設定からLINセルフテストモード以前の設定に戻ります。

その他の設定は、LINセルフテストモードに遷移したとき、およびLINセルフテストモードからLINリセットモードに遷移したときに保持され有効です。

LiSTレジスタ、LiESTレジスタはそのまま機能しますが、LiESTレジスタのBERビット、PBERビット、FERビットはループバック時検出できず、“1”になりません。

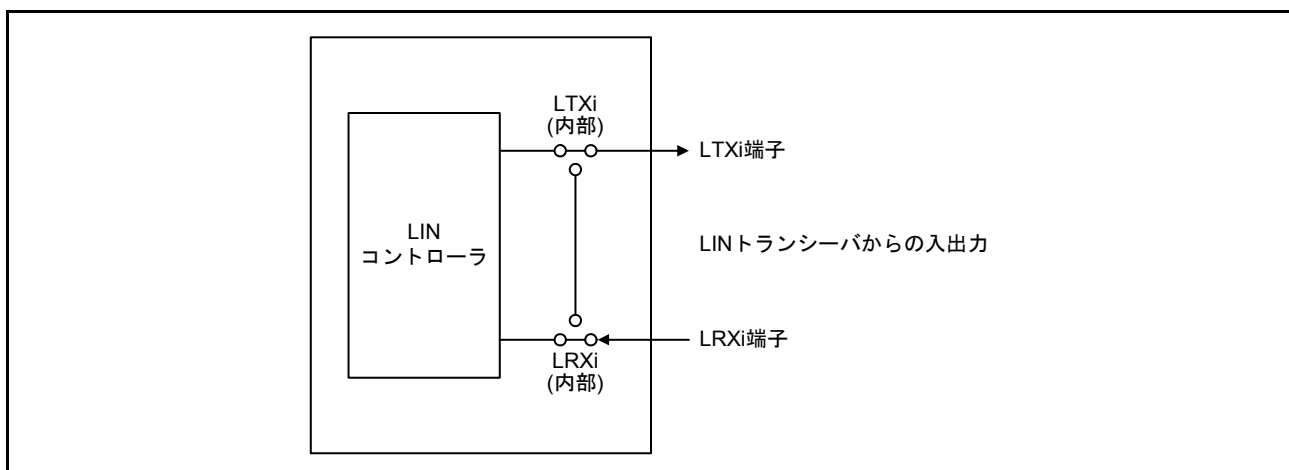


図 19.16 LIN動作モード接続

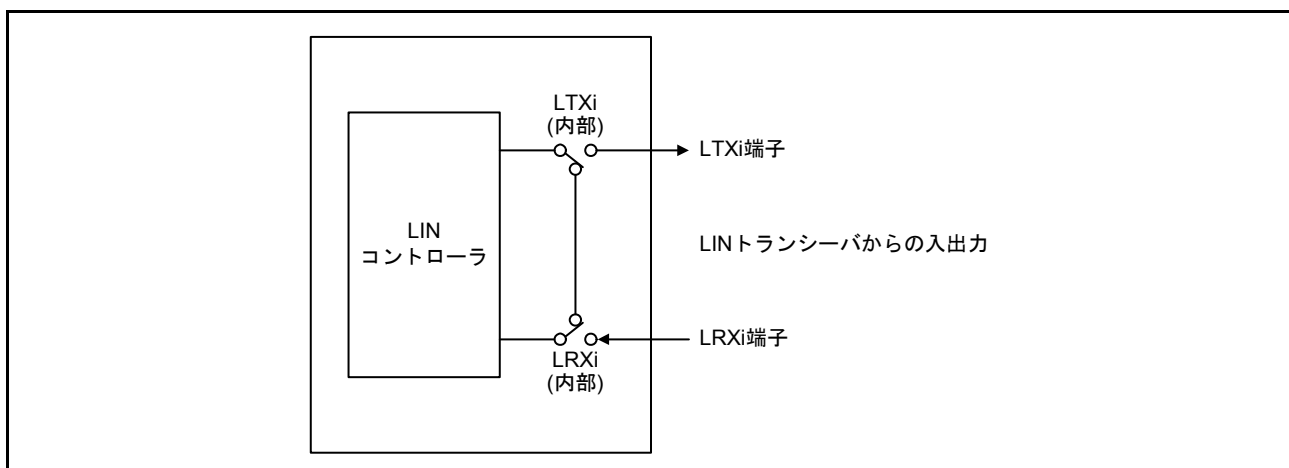


図 19.17 LINセルフテストモード接続

19.11.1 LINセルフテストモードへの遷移

LINセルフテストモードに遷移するには、特定のキーシーケンスを必ず使用してください。このキーシーケンスでは、次のとおりLINセルフテスト制御レジスタに3回連続書き込み行う必要があります。

- LINリセットモードへ遷移
- 1回目書き込み:LSTCレジスタ = “1010 0111” (H'A7)
- 2回目書き込み:LSTCレジスタ = “0101 1000” (H'58)
- 3回目書き込み:LSTCレジスタ = “0000 0001” (H'01)

1回目のキーが2回書き込まれた場合、シーケンスは中断されるので必ず再スタートしてください。

他のLIN関連レジスタへの書き込みアクセスによりこのシーケンスが中断した場合も、必ず再スタートさせてください。

LINセルフテストモードはフレームセパレートモードに対応していません。テストは2種類行うことができます。

- LINセルフテストモード(送信): ヘッダ送信およびレスポンス送信
- LINセルフテストモード(受信): ヘッダ送信およびレスポンス受信

19.11.2 LINセルフテストモードにおける送信

LINセルフテストを実行するには、次の手順を行ってください。

- LiCレジスタのOM1~OM0ビットに“B'11”を書き込み、LiMSTレジスタのOMM1~OMM0ビットが“B'11”になることを確認する
- LiRFCレジスタのRFTビットを“1”(送信)にする
- 送信するフレーム構成を設定する
- LiTCレジスタのFTSビットを“1”(フレーム送信/ウェイクアップ送受信開始)にする
- LINセルフテストモード(送信)が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。チェックサムはLINモジュールが自動演算する
- 送信完了の場合、ループバックしたフレームデータの反転値がLiIDBレジスタ、LiCBレジスタ、LiDBnレジスタに格納される(送信した値とループバックした値を比較するため、反転値として格納されます)
- エラーにより送信が完了しなかった場合、該当するエラーフラグが設定される

19.11.3 LINセルフテストモードにおける受信

LINセルフテストを実行するには、次の手順を行ってください。

- LINセルフテストモードへ遷移する
- LiRFCレジスタのRFTビットを“0”(受信)にする
- 受信するフレーム構成を設定する。チェックサムは自動演算されないため、演算値を格納する。このときチェックサムに誤った演算結果を設定すると、チェックサムエラーをテストできる
- LiTCレジスタのFTSビットを“1”(フレーム送信/ウェイクアップ送受信開始)にする
- LINセルフテストモード(受信)が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される
- 受信完了の場合、ループバックしたフレームデータの反転値がLiIDBレジスタ、LiCBレジスタ、LiDBnレジスタに格納される(設定した値とループバックして受信した値を比較するため、反転値として格納される)
- エラーにより受信が完了しなかった場合、該当するエラーフラグが設定される

19.11.4 LINセルフテストモード終了

LINセルフテストモードを終了するには、次の手順を行ってください。

- LINリセットモードへ遷移する
(LiMSTレジスタのOMM1~OMM0ビットが“B'11”でない場合は、LiCレジスタのOM1~OM0ビットに“B'11”を書き込み、LiMSTレジスタのOMM1~OMM0ビットが“B'11”になることを確認した後に、LINリセットモードに遷移してください)

20. CANモジュール

20.1 概要

ISO11898-1仕様に準拠したCAN (Controller Area Network) モジュールを2チャンネル (CAN0~CAN1) 内蔵しています。(注1)本章では6チャンネル内蔵版について説明します。

CANモジュールは標準(11ビット)IDentifier(以下、IDと略す)と拡張(29ビット)IDの両フォーマットのメッセージを送受信できます。

表20.1、表20.2にCANモジュールの仕様、図20.1にCANモジュールブロック図を示します。

なお、CANバストランシーバは外付けしてください。

注1. SH72A2/SH72A0グループはCAN0~CAN1以外のチャンネルは内蔵していません。

そのため、内蔵していないチャンネルの機能を使用することはできません。

SH72A0グループの一部の製品はCANモジュールを1チャンネル(CAN0)のみ内蔵しています。詳細は「1. 概要」を参照してください。

表20.1 CANモジュールの仕様(1)

項目	内容
プロトコル	・ ISO11898-1仕様準拠
ビットレート	・ 最大1Mbps
メッセージボックス	・ 64メールボックス:2種類のメールボックスモードを選択可能 通常メールボックスモード:64メールボックスのうち、32メールボックスを送信または受信用に設定可能(32メールボックスは受信専用) FIFOメールボックスモード:24メールボックスを送信または受信用に設定可能(32メールボックスは受信専用)また、送信用に4段、受信用に4段のFIFOを設定可能
受信	・ データフレームとリモートフレームを受信可能 ・ 受信するIDフォーマット(標準IDのみ、拡張IDのみ、標準と拡張両方のID)を選択可能 ・ ワンショット受信機能を選択可能 ・ オーバライトモード(メッセージ上書き)かオーバランモード(メッセージ破棄)を選択可能 ・ 受信完了割り込みの許可/禁止をメールボックスごとに設定可能
アクセプタンスフィルタ	・ 8つのアクセプタンスマスク(4メールボックスごとに個別のマスク) ・ 2つのアクセプタンスマスク(16メールボックスごとに個別のマスク) ・ メールボックスごとにマスクの有効/無効を設定可能
送信	・ データフレームとリモートフレームを送信可能 ・ 送信するIDフォーマット(標準IDのみ、拡張IDのみ、標準と拡張両方のID)を選択可能 ・ ワンショット送信機能を選択可能 ・ ID優先送信モードかメールボックス番号優先送信モードを選択可能 ・ 送信要求をアボート可能(フラグでアボート完了を確認可能) ・ 送信完了割り込みの許可/禁止をメールボックスごとに設定可能
バスオフ復帰方法	・ バスオフ状態からの復帰モード遷移を選択可能 ISO11898-1仕様準拠 バスオフ開始でCAN Haltモードへ自動遷移 バスオフ終了でCAN Haltモードへ自動遷移 プログラムによるCAN Haltモードへの遷移 プログラムによるエラーアクティブ状態への遷移
エラー状態の監視	・ CANバスエラー(スタッフエラー、フォームエラー、ACKエラー、CRCエラー、ビットエラー、ACKデリミタエラー)を監視可能 ・ エラー状態の遷移を検出可能(エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) ・ エラーカウンタを読み出し可能
タイムスタンプ機能	・ 16ビットカウンタによるタイムスタンプ機能 ・ 基準クロックは、1、2、4、8ビットタイムから選択可能

表 20.2 CANモジュールの仕様(2)

項目	内容
割り込み要因	<ul style="list-style-type: none"> 6種類 受信完了、送信完了、受信FIFO、送信FIFO、エラー、ウェイクアップ
CANスリープモード	<ul style="list-style-type: none"> CANクロックを停止することで消費電流を低減可能
ソフトウェアサポートユニット	<ul style="list-style-type: none"> 3つのソフトウェアサポートユニット アクセプタンスフィルタサポート メールボックス検索サポート(受信メールボックス検索、送信メールボックス検索、メッセージロスト検索) チャンネル検索サポート
CANクロックソース	<ul style="list-style-type: none"> 周辺バスクロックB
テストモード	<ul style="list-style-type: none"> ユーザ評価用に3つのテストモードを用意 リッスンオンリモード セルフテストモード0(外部ループバック) セルフテストモード1(内部ループバック)

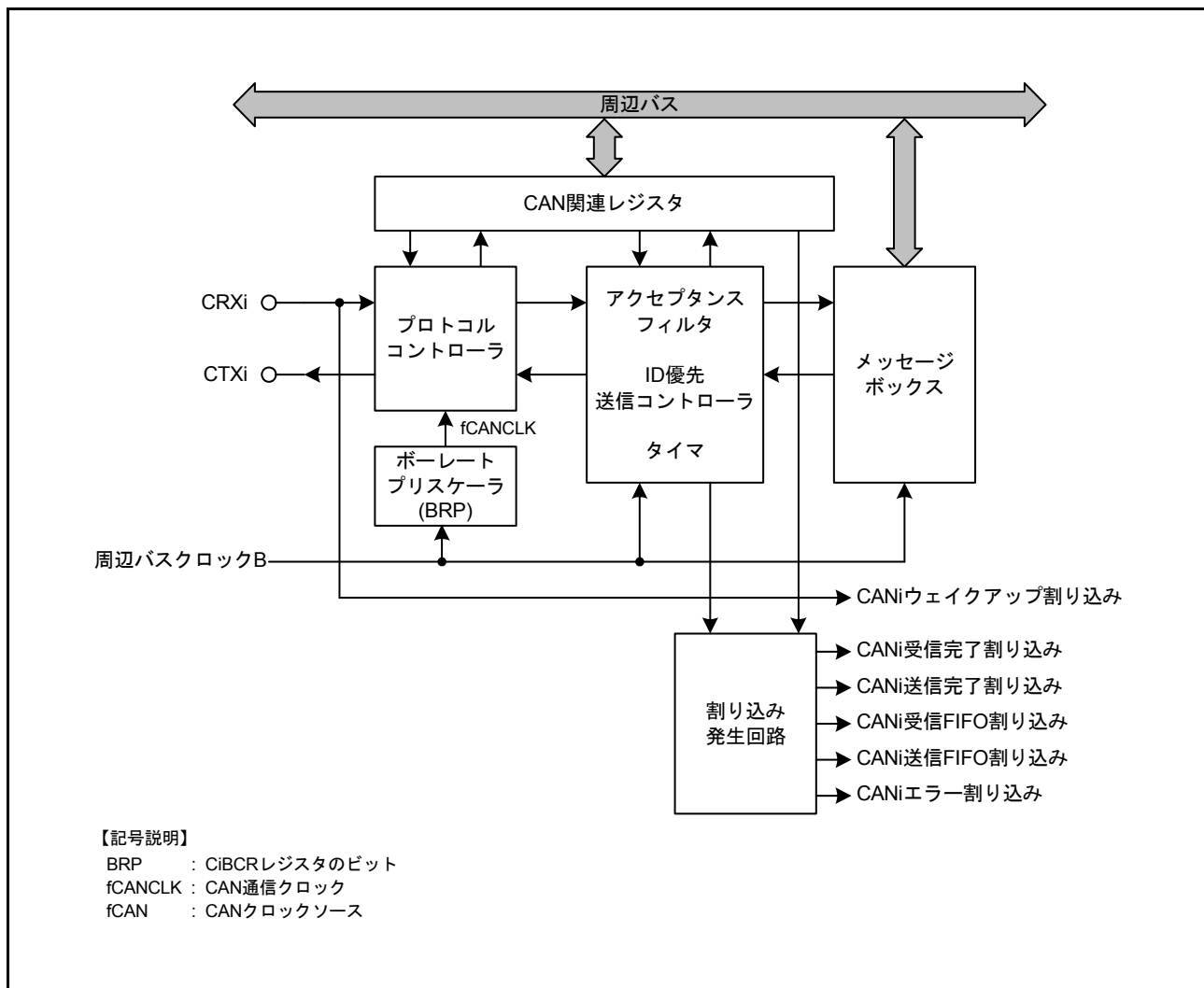


図 20.1 CANモジュールブロック図 (i = 0 ~ 5)

- CRXi/CTXi (i = 0 ~ 5)
CAN モジュールの入出力端子です。
- プロトコルコントローラ
バスアービトレーションや送受信時のビットタイミング、スタッフ処理、エラー処理などのCAN プロトコル処理を行います。
- メッセージボックス
送信または受信メールボックスとして使用可能な 64 個のメールボックスで構成されています。固有の ID、データ長コード、8 バイトのデータフィールドおよびタイムスタンプがあります。
- アクセプタンスフィルタ
受信メッセージのフィルタ処理を行います。このフィルタ処理には、CiMKR0 ~ CiMKR1、CiMKR2 ~ CiMKR9 レジスタを使用します。
- タイマ
タイムスタンプ機能に使用します。メールボックスにメッセージを格納するときのタイマ値がタイムスタンプ値として書き込まれます。
- ウェイクアップ
CAN バス上にメッセージが検出されると、CANi ウェイクアップ割り込み要求を発生します。
- 割り込み発生回路
次の 5 種類の割り込み要求を発生させることができます。
CANi 受信完了割り込み
CANi 送信完了割り込み
CANi 受信 FIFO 割り込み
CANi 送信 FIFO 割り込み
CANi エラー割り込み

20.2 入出力端子

表 20.3 に CAN モジュールの入出力端子を示します。

表 20.3 CANモジュールの入出力端子

端子名	入出力	機能
CRX0 ~ CRX5	入力	CAN通信機能の受信データ入力端子です。
CTX0 ~ CTX5	出力	CAN通信機能の送信データ出力端子です。

20.3 レジスタの説明

表 20.4～表 20.9 に CAN モジュールのレジスタ一覧を示します。

表 20.4 CANモジュールのレジスタ一覧(1)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
CAN0制御レジスタ	C0CTLR	H'0500	H'FF60 0540	8、16、32
CAN0ビットコンフィグレーションレジスタ	C0BCR	H'00 0000	H'FF60 0544	8、16、32
CAN0マスクレジスタ0	C0MKR0	不定	H'FF60 0430	8、16、32
CAN0マスクレジスタ1	C0MKR1	不定	H'FF60 0434	8、16、32
CAN0マスクレジスタ2	C0MKR2	不定	H'FF60 0400	8、16、32
CAN0マスクレジスタ3	C0MKR3	不定	H'FF60 0404	8、16、32
CAN0マスクレジスタ4	C0MKR4	不定	H'FF60 0408	8、16、32
CAN0マスクレジスタ5	C0MKR5	不定	H'FF60 040C	8、16、32
CAN0マスクレジスタ6	C0MKR6	不定	H'FF60 0410	8、16、32
CAN0マスクレジスタ7	C0MKR7	不定	H'FF60 0414	8、16、32
CAN0マスクレジスタ8	C0MKR8	不定	H'FF60 0418	8、16、32
CAN0マスクレジスタ9	C0MKR9	不定	H'FF60 041C	8、16、32
CAN0 FIFO受信ID比較レジスタ0	C0FIDCR0	不定	H'FF60 0420	8、16、32
CAN0 FIFO受信ID比較レジスタ1	C0FIDCR1	不定	H'FF60 0424	8、16、32
CAN0マスク無効レジスタ0	C0MKIVLR0	不定	H'FF60 0438	8、16、32
CAN0マスク無効レジスタ1	C0MKIVLR1	不定	H'FF60 0428	8、16、32
CAN0メールボックスレジスタ0～63	C0MB0～63	不定	H'FF60 0000～ H'FF60 03F0	8、16、32
CAN0メールボックス割り込み許可レジスタ0	C0MIER0	不定	H'FF60 043C	8、16、32
CAN0メールボックス割り込み許可レジスタ1	C0MIER1	不定	H'FF60 042C	8、16、32
CAN0メッセージ制御レジスタ0～63	C0MCTL0～63	H'00	H'FF60 0500～ H'FF60 053F	8、16、32
CAN0受信FIFO制御レジスタ	C0RFCR	H'80	H'FF60 0548	8、16、32
CAN0受信FIFOポインタ制御レジスタ	C0RFPCR	—	H'FF60 0549	8、16、32
CAN0送信FIFO制御レジスタ	C0TFCR	H'80	H'FF60 054A	8、16、32
CAN0送信FIFOポインタ制御レジスタ	C0TFPCR	—	H'FF60 054B	8、16、32
CAN0ステータスレジスタ	C0STR	H'0500	H'FF60 0542	8、16、32
CAN0メールボックスサーチモードレジスタ	C0MSMR	H'00	H'FF60 0553	8、16、32
CAN0メールボックスサーチステータスレジスタ	C0MSSR	H'80	H'FF60 0552	8、16、32
CAN0チャネルサーチサポートレジスタ	C0CSSR	—	H'FF60 0551	8、16、32
CAN0アクセプタンスフィルタサポートレジスタ	C0AFSR	不定	H'FF60 0556	8、16、32
CAN0エラー割り込み許可レジスタ	C0EIER	H'00	H'FF60 054C	8、16、32
CAN0エラー割り込み要因判定レジスタ	C0EIFR	H'00	H'FF60 054D	8、16、32
CAN0受信エラーカウントレジスタ	C0RECR	H'00	H'FF60 054E	8、16、32
CAN0送信エラーカウントレジスタ	C0TECR	H'00	H'FF60 054F	8、16、32
CAN0エラーコード格納レジスタ	C0ECSR	H'00	H'FF60 0550	8、16、32
CAN0タイムスタンプレジスタ	C0TSR	H'0000	H'FF60 0554	8、16、32
CAN0テスト制御レジスタ	C0TCR	H'00	H'FF60 0558	8
CAN1制御レジスタ	C1CTLR	H'0500	H'FF60 0D40	8、16、32

表20.5 CANモジュールのレジスタ一覧(2)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
CAN1ビットコンフィグレーションレジスタ	C1BCR	H'00 0000	H'FF60 0D44	8、16、32
CAN1マスクレジスタ0	C1MKR0	不定	H'FF60 0C30	8、16、32
CAN1マスクレジスタ1	C1MKR1	不定	H'FF60 0C34	8、16、32
CAN1マスクレジスタ2	C1MKR2	不定	H'FF60 0C00	8、16、32
CAN1マスクレジスタ3	C1MKR3	不定	H'FF60 0C04	8、16、32
CAN1マスクレジスタ4	C1MKR4	不定	H'FF60 0C08	8、16、32
CAN1マスクレジスタ5	C1MKR5	不定	H'FF60 0C0C	8、16、32
CAN1マスクレジスタ6	C1MKR6	不定	H'FF60 0C10	8、16、32
CAN1マスクレジスタ7	C1MKR7	不定	H'FF60 0C14	8、16、32
CAN1マスクレジスタ8	C1MKR8	不定	H'FF60 0C18	8、16、32
CAN1マスクレジスタ9	C1MKR9	不定	H'FF60 0C1C	8、16、32
CAN1 FIFO受信ID比較レジスタ0	C1FIDCR0	不定	H'FF60 0C20	8、16、32
CAN1 FIFO受信ID比較レジスタ1	C1FIDCR1	不定	H'FF60 0C24	8、16、32
CAN1マスク無効レジスタ0	C1MKIVLR0	不定	H'FF60 0C38	8、16、32
CAN1マスク無効レジスタ1	C1MKIVLR1	不定	H'FF60 0C28	8、16、32
CAN1メールボックスレジスタ0~63	C1MB0~63	不定	H'FF60 0800 ~ H'FF60 0BF0	8、16、32
CAN1メールボックス割り込み許可レジスタ0	C1MIER0	不定	H'FF60 0C3C	8、16、32
CAN1メールボックス割り込み許可レジスタ1	C1MIER1	不定	H'FF60 0C2C	8、16、32
CAN1メッセージ制御レジスタ0~63	C1MCTL0~63	H'00	H'FF60 0D00 ~ H'FF60 0D3F	8、16、32
CAN1受信FIFO制御レジスタ	C1RFCR	H'80	H'FF60 0D48	8、16、32
CAN1受信FIFOポインタ制御レジスタ	C1RFPCR	—	H'FF60 0D49	8、16、32
CAN1送信FIFO制御レジスタ	C1TFCR	H'80	H'FF60 0D4A	8、16、32
CAN1送信FIFOポインタ制御レジスタ	C1TFPCR	—	H'FF60 0D4B	8、16、32
CAN1ステータスレジスタ	C1STR	H'0500	H'F60 0D42	8、16、32
CAN1メールボックスサーチモードレジスタ	C1MSMR	H'00	H'FF60 0D53	8、16、32
CAN1メールボックスサーチステータスレジスタ	C1MSSR	H'80	H'FF60 0D52	8、16、32
CANチャネルサーチサポートレジスタ	C1CSSR	—	H'FF60 0D51	8、16、32
CAN1アクセプタンスフィルタサポートレジスタ	C1AFSR	不定	H'FF60 0D56	8、16、32
CAN1エラー割り込み許可レジスタ	C1EIER	H'00	H'FF60 0D4C	8、16、32
CAN1エラー割り込み要因判定レジスタ	C1EIFR	H'00	H'FF60 0D4D	8、16、32
CAN1受信エラーカウントレジスタ	C1RECR	H'00	H'FF60 0D4E	8、16、32
CAN1送信エラーカウントレジスタ	C1TECR	H'00	H'FF60 0D4F	8、16、32
CAN1エラーコード格納レジスタ	C1ECSR	H'00	H'FF60 0D50	8、16、32
CAN1タイムスタンプレジスタ	C1TSR	H'0000	H'FF60 0D54	8、16、32
CAN1テスト制御レジスタ	C1TCR	H'00	H'FF60 0D58	8
CAN2制御レジスタ	C2CTLR	H'0500	H'FF60 1540	8、16、32
CAN2ビットコンフィグレーションレジスタ	C2BCR	H'00 0000	H'FF60 1544	8、16、32
CAN2マスクレジスタ0	C2MKR0	不定	H'FF60 1430	8、16、32
CAN2マスクレジスタ1	C2MKR1	不定	H'FF60 1434	8、16、32
CAN2マスクレジスタ2	C2MKR2	不定	H'FF60 1400	8、16、32

表20.6 CANモジュールのレジスタ一覧(3)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
CAN2マスクレジスタ3	C2MKR3	不定	H'FF60 1404	8、16、32
CAN2マスクレジスタ4	C2MKR4	不定	H'FF60 1408	8、16、32
CAN2マスクレジスタ5	C2MKR5	不定	H'FF60 140C	8、16、32
CAN2マスクレジスタ6	C2MKR6	不定	H'FF60 1410	8、16、32
CAN2マスクレジスタ7	C2MKR7	不定	H'FF60 1414	8、16、32
CAN2マスクレジスタ8	C2MKR8	不定	H'FF60 1418	8、16、32
CAN2マスクレジスタ9	C2MKR9	不定	H'FF60 141C	8、16、32
CAN2 FIFO受信ID比較レジスタ0	C2FIDCR0	不定	H'FF60 1420	8、16、32
CAN2 FIFO受信ID比較レジスタ1	C2FIDCR1	不定	H'FF60 1424	8、16、32
CAN2マスク無効レジスタ0	C2MKIVLR0	不定	H'FF60 1438	8、16、32
CAN2マスク無効レジスタ1	C2MKIVLR1	不定	H'FF60 1428	8、16、32
CAN2メールボックスレジスタ0~63	C2MB0~63	不定	H'FF60 1000~ H'FF60 13F0	8、16、32
CAN2メールボックス割り込み許可レジスタ0	C2MIER0	不定	H'FF60 143C	8、16、32
CAN2メールボックス割り込み許可レジスタ1	C2MIER1	不定	H'FF60 142C	8、16、32
CAN2メッセージ制御レジスタ0~63	C2MCTL0~63	H'00	H'FF60 1500~ H'FF60 153F	8、16、32
CAN2受信FIFO制御レジスタ	C2RFCR	H'80	H'FF60 1548	8、16、32
CAN2受信FIFOポインタ制御レジスタ	C2RFPCR	—	H'FF60 1549	8、16、32
CAN2送信FIFO制御レジスタ	C2TFCR	H'80	H'FF60 154A	8、16、32
CAN2送信FIFOポインタ制御レジスタ	C2TFPCR	—	H'FF60 154B	8、16、32
CAN2ステータスレジスタ	C2STR	H'0500	H'FF60 1542	8、16、32
CAN2メールボックスサーチモードレジスタ	C2MSMR	H'00	H'FF60 1553	8、16、32
CAN2メールボックスサーチステータスレジスタ	C2MSSR	H'80	H'FF60 1552	8、16、32
CAN2チャンネルサーチサポートレジスタ	C2CSSR	—	H'FF60 1551	8、16、32
CAN2アクセプタンスフィルタサポートレジスタ	C2AFSR	不定	H'FF60 1556	8、16、32
CAN2エラー割り込み許可レジスタ	C2EIER	H'00	H'FF60 154C	8、16、32
CAN2エラー割り込み要因判定レジスタ	C2EIFR	H'00	H'FF60 154D	8、16、32
CAN2受信エラーカウントレジスタ	C2RECR	H'00	H'FF60 154E	8、16、32
CAN2送信エラーカウントレジスタ	C2TECR	H'00	H'FF60 154F	8、16、32
CAN2エラーコード格納レジスタ	C2ECSR	H'00	H'FF60 1550	8、16、32
CAN2タイムスタンプレジスタ	C2TSR	H'0000	H'FF60 1554	8、16、32
CAN2テスト制御レジスタ	C2TCR	H'00	H'FF60 1558	8
CAN3制御レジスタ	C3CTLR	H'0500	H'FF60 1D40	8、16、32
CAN3ビットコンフィグレーションレジスタ	C3BCR	H'00 0000	H'FF60 1D44	8、16、32
CAN3マスクレジスタ0	C3MKR0	不定	H'FF60 1C30	8、16、32
CAN3マスクレジスタ1	C3MKR1	不定	H'FF60 1C34	8、16、32
CAN3マスクレジスタ2	C3MKR2	不定	H'FF60 1C00	8、16、32
CAN3マスクレジスタ3	C3MKR3	不定	H'FF60 1C04	8、16、32
CAN3マスクレジスタ4	C3MKR4	不定	H'FF60 1C08	8、16、32
CAN3マスクレジスタ5	C3MKR5	不定	H'FF60 1C0C	8、16、32
CAN3マスクレジスタ6	C3MKR6	不定	H'FF60 1C10	8、16、32
CAN3マスクレジスタ7	C3MKR7	不定	H'FF60 1C14	8、16、32

表20.7 CANモジュールのレジスタ一覧(4)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
CAN3マスクレジスタ8	C3MKR8	不定	H'FF60 1C18	8、16、32
CAN3マスクレジスタ9	C3MKR9	不定	H'FF60 1C1C	8、16、32
CAN3 FIFO受信ID比較レジスタ0	C3FIDCR0	不定	H'FF60 1C20	8、16、32
CAN3 FIFO受信ID比較レジスタ1	C3FIDCR1	不定	H'FF60 1C24	8、16、32
CAN3マスク無効レジスタ0	C3MKIVLR0	不定	H'FF60 1C38	8、16、32
CAN3マスク無効レジスタ1	C3MKIVLR1	不定	H'FF60 1C28	8、16、32
CAN3メールボックスレジスタ0~63	C3MB0~63	不定	H'FF60 1800~ H'FF60 1BF0	8、16、32
CAN3メールボックス割り込み許可レジスタ0	C3MIER0	不定	H'FF60 1C3C	8、16、32
CAN3メールボックス割り込み許可レジスタ1	C3MIER1	不定	H'FF60 1C2C	8、16、32
CAN3メッセージ制御レジスタ0~63	C3MCTL0~63	H'00	H'FF60 1D00~ H'FF60 1D3F	8、16、32
CAN3受信FIFO制御レジスタ	C3RFCR	H'80	H'FF60 1D48	8、16、32
CAN3受信FIFOポインタ制御レジスタ	C3RFPCR	—	H'FF60 1D49	8、16、32
CAN3送信FIFO制御レジスタ	C3TFCR	H'80	H'FF60 1D4A	8、16、32
CAN3送信FIFOポインタ制御レジスタ	C3TFPCR	—	H'FF60 1D4B	8、16、32
CAN3ステータスレジスタ	C3STR	H'0500	H'FF60 1D42	8、16、32
CAN3メールボックスサーチモードレジスタ	C3MSMR	H'00	H'FF60 1D53	8、16、32
CAN3メールボックスサーチステータスレジスタ	C3MSSR	H'80	H'FF60 1D52	8、16、32
CAN3チャンネルサーチサポートレジスタ	C3CSSR	—	H'FF60 1D51	8、16、32
CAN3アクセプタンスフィルタサポートレジスタ	C3AFSR	不定	H'FF60 1D56	8、16、32
CAN3エラー割り込み許可レジスタ	C3EIER	H'00	H'FF60 1D4C	8、16、32
CAN3エラー割り込み要因判定レジスタ	C3EIFR	H'00	H'FF60 1D4D	8、16、32
CAN3受信エラーカウントレジスタ	C3RECR	H'00	H'FF60 1D4E	8、16、32
CAN3送信エラーカウントレジスタ	C3TECR	H'00	H'FF60 1D4F	8、16、32
CAN3エラーコード格納レジスタ	C3ECSR	H'00	H'FF60 1D50	8、16、32
CAN3タイムスタンプレジスタ	C3TSR	H'0000	H'FF60 1D54	8、16、32
CAN3テスト制御レジスタ	C3TCR	H'00	H'FF60 1D58	8
CAN4制御レジスタ	C4CTLR	H'0500	H'FF60 2540	8、16、32
CAN4ビットコンフィグレーションレジスタ	C4BCR	H'00 0000	H'FF60 2544	8、16、32
CAN4マスクレジスタ0	C4MKR0	不定	H'FF60 2430	8、16、32
CAN4マスクレジスタ1	C4MKR1	不定	H'FF60 2434	8、16、32
CAN4マスクレジスタ2	C4MKR2	不定	H'FF60 2400	8、16、32
CAN4マスクレジスタ3	C4MKR3	不定	H'FF60 2404	8、16、32
CAN4マスクレジスタ4	C4MKR4	不定	H'FF60 2408	8、16、32
CAN4マスクレジスタ5	C4MKR5	不定	H'FF60 240C	8、16、32
CAN4マスクレジスタ6	C4MKR6	不定	H'FF60 2410	8、16、32
CAN4マスクレジスタ7	C4MKR7	不定	H'FF60 2414	8、16、32
CAN4マスクレジスタ8	C4MKR8	不定	H'FF60 2418	8、16、32
CAN4マスクレジスタ9	C4MKR9	不定	H'FF60 241C	8、16、32
CAN4 FIFO受信ID比較レジスタ0	C4FIDCR0	不定	H'FF60 2420	8、16、32
CAN4 FIFO受信ID比較レジスタ1	C4FIDCR1	不定	H'FF60 2424	8、16、32
CAN4マスク無効レジスタ0	C4MKIVLR0	不定	H'FF60 2438	8、16、32

表20.8 CANモジュールのレジスタ一覧(5)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
CAN4マスク無効レジスタ1	C4MKIVLR1	不定	H'FF60 2428	8、16、32
CAN4メールボックスレジスタ0~63	C4MB0~63	不定	H'FF60 2000 ~ H'FF60 23F0	8、16、32
CAN4メールボックス割り込み許可レジスタ0	C4MIER0	不定	H'FF60 243C	8、16、32
CAN4メールボックス割り込み許可レジスタ1	C4MIER1	不定	H'FF60 242C	8、16、32
CAN4メッセージ制御レジスタ0~63	C4MCTL0~63	H'00	H'FF60 2500 ~ H'FF60 253F	8、16、32
CAN4受信FIFO制御レジスタ	C4RFCR	H'80	H'FF60 2548	8、16、32
CAN4受信FIFOポインタ制御レジスタ	C4RFPCR	—	H'FF60 2549	8、16、32
CAN4送信FIFO制御レジスタ	C4TFCR	H'80	H'FF60 254A	8、16、32
CAN4送信FIFOポインタ制御レジスタ	C4TFPCR	—	H'FF60 254B	8、16、32
CAN4ステータスレジスタ	C4STR	H'0500	H'FF60 2542	8、16、32
CAN4メールボックスサーチモードレジスタ	C4MSMR	H'00	H'FF60 2553	8、16、32
CAN4メールボックスサーチステータスレジスタ	C4MSSR	H'80	H'FF60 2552	8、16、32
CAN4チャンネルサーチサポートレジスタ	C4CSSR	—	H'FF60 2551	8、16、32
CAN4アクセプタンスフィルタサポートレジスタ	C4AFSR	不定	H'FF60 2556	8、16、32
CAN4エラー割り込み許可レジスタ	C4EIER	H'00	H'FF60 254C	8、16、32
CAN4エラー割り込み要因判定レジスタ	C4EIFR	H'00	H'FF60 254D	8、16、32
CAN4受信エラーカウントレジスタ	C4RECR	H'00	H'FF60 254E	8、16、32
CAN4送信エラーカウントレジスタ	C4TECR	H'00	H'FF60 254F	8、16、32
CAN4エラーコード格納レジスタ	C4ECSR	H'00	H'FF60 2550	8、16、32
CAN4タイムスタンプレジスタ	C4TSR	H'0000	H'FF60 2554	8、16、32
CAN4テスト制御レジスタ	C4TCR	H'00	H'FF60 2558	8
CAN5制御レジスタ	C5CTLR	H'0500	H'FF60 2D40	8、16、32
CAN5ビットコンフィグレーションレジスタ	C5BCR	H'00 0000	H'FF60 2D44	8、16、32
CAN5マスクレジスタ0	C5MKR0	不定	H'FF60 2C30	8、16、32
CAN5マスクレジスタ1	C5MKR1	不定	H'FF60 2C34	8、16、32
CAN5マスクレジスタ2	C5MKR2	不定	H'FF60 2C00	8、16、32
CAN5マスクレジスタ3	C5MKR3	不定	H'FF60 2C04	8、16、32
CAN5マスクレジスタ4	C5MKR4	不定	H'FF60 2C08	8、16、32
CAN5マスクレジスタ5	C5MKR5	不定	H'FF60 2C0C	8、16、32
CAN5マスクレジスタ6	C5MKR6	不定	H'FF60 2C10	8、16、32
CAN5マスクレジスタ7	C5MKR7	不定	H'FF60 2C14	8、16、32
CAN5マスクレジスタ8	C5MKR8	不定	H'FF60 2C18	8、16、32
CAN5マスクレジスタ9	C5MKR9	不定	H'FF60 2C1C	8、16、32
CAN5 FIFO受信ID比較レジスタ0	C5FIDCR0	不定	H'FF60 2C20	8、16、32
CAN5 FIFO受信ID比較レジスタ1	C5FIDCR1	不定	H'FF60 2C24	8、16、32
CAN5マスク無効レジスタ0	C5MKIVLR0	不定	H'FF60 2C38	8、16、32
CAN5マスク無効レジスタ1	C5MKIVLR1	不定	H'FF60 2C28	8、16、32
CAN5メールボックスレジスタ0~63	C5MB0~63	不定	H'FF60 2800 ~ H'FF60 2BF0	8、16、32
CAN5メールボックス割り込み許可レジスタ0	C5MIER0	不定	H'FF60 2C3C	8、16、32
CAN5メールボックス割り込み許可レジスタ1	C5MIER1	不定	H'FF60 2C2C	8、16、32

表 20.9 CANモジュールのレジスタ一覧(6)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
CAN5メッセージ制御レジスタ0~63	C5MCTL0~63	H'00	H'FF60 2D00 ~ H'FF60 2D3F	8、16、32
CAN5受信FIFO制御レジスタ	C5RFCR	H'80	H'FF60 2D48	8、16、32
CAN5受信FIFOポインタ制御レジスタ	C5RFPCR	—	H'FF60 2D49	8、16、32
CAN5送信FIFO制御レジスタ	C5TFCR	H'80	H'FF60 2D4A	8、16、32
CAN5送信FIFOポインタ制御レジスタ	C5TFPCR	—	H'FF60 2D4B	8、16、32
CAN5ステータスレジスタ	C5STR	H'0500	H'FF60 2D42	8、16、32
CAN5メールボックスサーチモードレジスタ	C5MSMR	H'00	H'FF60 2D53	8、16、32
CAN5メールボックスサーチステータスレジスタ	C5MSSR	H'80	H'FF60 2D52	8、16、32
CAN5チャンネルサーチサポートレジスタ	C5CSSR	—	H'FF60 2D51	8、16、32
CAN5アクセプタンスフィルタサポートレジスタ	C5AFSR	不定	H'FF60 2D56	8、16、32
CAN5エラー割り込み許可レジスタ	C5EIER	H'00	H'FF60 2D4C	8、16、32
CAN5エラー割り込み要因判定レジスタ	C5EIFR	H'00	H'FF60 2D4D	8、16、32
CAN5受信エラーカウントレジスタ	C5RECR	H'00	H'FF60 2D4E	8、16、32
CAN5送信エラーカウントレジスタ	C5TECR	H'00	H'FF60 2D4F	8、16、32
CAN5エラーコード格納レジスタ	C5ECSR	H'00	H'FF60 2D50	8、16、32
CAN5タイムスタンプレジスタ	C5TSR	H'0000	H'FF60 2D54	8、16、32
CAN5テスト制御レジスタ	C5TCR	H'00	H'FF60 2D58	8

20.3.1 CANi 制御レジスタ (CiCTLR) (i = 0 ~ 5)

アドレス C0CTLR : H'FF60 0540、C1CTLR : H'FF60 0D40、C2CTLR : H'FF60 1540、C3CTLR : H'FF60 1D40、
C4CTLR : H'FF60 2540、C5CTLR : H'FF60 2D40

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	RBOC	BOM[1:0]	SLPM	CANM[1:0]	TSPS[1:0]	TSRC	TPM	MLM	IDFM[1:0]	MBM				
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b14	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b13	RBOC	バスオフ強制復帰ビット(注1)	0 : 何もしない 1 : バスオフからの強制復帰(注2)	R/W
b12-b11	BOM[1:0]	バスオフ復帰モード選択ビット(注3)	b12b11 0 0 : ノーマルモード(ISO11898-1仕様準拠) 0 1 : バスオフ開始で自動的にCAN Haltモードへ遷移 1 0 : バスオフ終了で自動的にCAN Haltモードへ遷移 1 1 : プログラムによる要求でCAN Haltモードへ遷移(バスオフ復帰期間中)	R/W
b10	SLPM	CANスリープモードビット(注4、5)	0 : CANスリープモードではない 1 : CANスリープモード	R/W
b9-b8	CANM[1:0]	CAN動作モード選択ビット(注4)	b9 b8 0 0 : CANオペレーションモード 0 1 : CANリセットモード 1 0 : CAN Haltモード 1 1 : CANリセットモード(強制遷移)	R/W
b7-b6	TSPS[1:0]	タイムスタンププリスケアラ選択ビット(注3)	b7 b6 0 0 : 1ビットタイムごと 0 1 : 2ビットタイムごと 1 0 : 4ビットタイムごと 1 1 : 8ビットタイムごと	R/W
b5	TSRC	タイムスタンプカウンタリセットビット(注6)	0 : リセットしない 1 : リセットする(注2)	R/W
b4	TPM	送信優先順位モード選択ビット(注3)	0 : ID優先送信モード 1 : メールボックス番号優先送信モード	R/W
b3	MLM	メッセージロストモード選択ビット(注3)	0 : オーバライトモード 1 : オーバランモード	R/W
b2-b1	IDFM[1:0]	IDフォーマットモードビット(注3)	b2 b1 0 0 : 標準IDモード 0 1 : 拡張IDモード 1 0 : ミックスIDモード 1 1 : 設定しないでください	R/W
b0	MBM	送受信メールボックスモード選択ビット(注3)	0 : 通常メールボックスモード 1 : FIFOメールボックスモード	R/W

注1. RBOCビットはバスオフ状態時に“1”にしてください。

注2. “1”にした後自動的に“0”に戻ります。読んだ場合“0”が読めます。

注3. BOM、MBM、IDFM、MLM、TPM、TSPSビットは、CANリセットモード時に変更してください。

注4. CANM、SLPMビットを変更した場合は、CiSTRレジスタでモードが切り替わることを確認してください。モードが切り替わるまで、CANM、SLPMビットは変更しないでください。

注5. SLPMビットは、CANリセットモードまたはCAN Haltモード時に変更してください。SLPMビットを書き換える場合、本ビットのみ“0”または“1”にしてください。

注6. TSRCビットはCANオペレーションモード時に“1”にしてください

RBOC ビット

バスオフ状態時“1”(バスオフからの強制復帰)にすると、バスオフ状態から強制的に復帰します。このビットは自動的に“0”になります。エラー状態は、バスオフ状態からエラーアクティブ状態へと変化します。

“1”にすると、CiRECR、CiTECRレジスタが“H'00”になり、CiSTRレジスタのBOSTビットは“0”(CANモジュールはバスオフ状態ではない)になります。他のレジスタは変化しません。バスオフからの復帰によるバスオフ復帰割り込み要求は発生しません。

BOMビットが“00”(ノーマルモード)のときのみ使用してください。

BOMビット

CANモジュールのバスオフ復帰モードの選択に使用します。

“00”の場合、バスオフからの復帰はISO11898-1仕様に準拠します。すなわち、CANモジュールは、11の連続するレセシブビットを128回検出後、再びCAN通信(エラーアクティブ状態)に入ります。バスオフからの復帰時にバスオフ復帰割り込み要求が発生します。

“01”の場合、CANモジュールがバスオフ状態に達すると、CiCTLRレジスタのCANMビットが“10”(CAN Haltモード)になってから、CAN Haltモードに遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、CiTECR、CiRECRレジスタは“H'00”になります。

“10”の場合、CANモジュールがバスオフ状態に達すると、CANMビットが“10”になり、バスオフ状態から復帰した(11の連続するレセシブビットを128回検出)後に、CAN Haltモードに遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求が発生し、CiTECR、CiRECRレジスタが“H'00”になります。

“11”の場合、CANモジュールがまだバスオフ状態のときにCANMビットを“10”にすると、CAN Haltモードになります。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、CiTECR、CiRECRレジスタは“H'00”になります。しかし、CANMビットを“10”にする前に、11の連続するレセシブビットを128回検出して、バスオフから復帰した場合は、バスオフ復帰割り込み要求が発生します。

CANモジュールがCAN Haltモードに遷移するのと同様(BOMビットが“01”のとき:バスオフ開始、またはBOMビットが“10”のとき:バスオフ終了)に、CPUがCANリセットモードへの遷移を要求した場合は、CPUの要求が優先されます。

SLPMビット

“1”にすると、CANスリープモードになります。

“0”にすると、CANスリープモードは解除されます。

詳細は、「20.4 動作モード」を参照してください。

CANMビット

CANモジュールのモード(CANオペレーションモード、CANリセットモード、CAN Haltモード)を選択するビットです。詳細は「20.4 動作モード」を参照してください。

CANスリープモードはSLPMビットで設定します。

BOMビットの設定によってCAN Haltモードへ遷移した場合は、CANMビットは自動的に“10”になります。

TSPSビット

タイムスタンプ用のプリスケアラを選択します。

タイムスタンプの基準クロックは、1、2、4、または8ビットタイムから選択できます。

TSRCビット

タイムスタンプカウンタをリセットするために使用します。

“1”にするとCiTSRレジスタがH'0000になります。このビットは自動的に“0”になります。

TPM ビット

メッセージを送信する場合の優先順のモードを指定します。ID 優先モードまたはメールボックス番号優先モードを選択できます。

すべてのメールボックスは、ID 優先送信またはメールボックス番号優先送信どちらかになります。

“0”の場合、ID 優先送信モードとなり、送信優先順位は CAN バスアービトレーションルール (ISO11898-1 仕様) に準拠します。ID 優先送信モードは、通常メールボックスモードのときメールボックス [0]~[63]、FIFO メールボックスモードのときメールボックス [0]~[55] と送信 FIFO の送信に設定されたメールボックスの ID を比較します。2 つ以上のメールボックスの ID が同じ場合、小さい番号のメールボックスが優先されます。

次に送信 FIFO から送信される予定のメッセージのみが、送信アービトレーションの対象となります。送信 FIFO のメッセージを送信中の場合、送信 FIFO 内の次の待機メッセージが送信アービトレーションの対象となります。

“1”の場合、メールボックス番号優先送信モードとなり送信に設定された一番小さい番号のメールボックスが優先されます。FIFO メールボックスモードでは、送信 FIFO は通常メールボックス (メールボックス [0]~[55]) よりも優先順位が低くなります。

MLM ビット

未読メールボックスに新しいメッセージを取り込む場合の動作を指定します。オーバーライトモードまたはオーバーランモードを選択できます。すべてのメールボックス (受信 FIFO を含む) は、オーバーライトモードかオーバーランモードのどちらかになります。

“0”の場合、すべてのメールボックスはオーバーライトモードになり、メールボックスの古いメッセージに新しいメッセージが上書きされます。

“1”の場合、すべてのメールボックスはオーバーランモードになり、新しいメッセージは破棄されます。

IDFM ビット

ID フォーマットを決定します。

“00”の場合、すべてのメールボックス (FIFO メールボックスを含む) は標準 ID のみに対応します。

“01”の場合、すべてのメールボックス (FIFO メールボックスを含む) は拡張 ID のみに対応します。

“10”の場合、すべてのメールボックス (FIFO メールボックスを含む) は、標準 ID と拡張 ID の両方に対応します。標準 ID と拡張 ID の選択は、通常メールボックスモードの場合、対応するメールボックスの IDE ビットで指定します。FIFO メールボックスモードの場合、メールボックス [0]~[55] は対応するメールボックスの IDE ビット、受信 FIFO は CiFIDCR0、CiFIDCR1 レジスタの IDE ビット、送信 FIFO はメールボックス [56] の IDE ビットで指定します。“11”は、設定しないでください

MBM ビット

“0” (通常メールボックスモード) の場合、メールボックス [0]~[63] は送信または受信メールボックスに設定されます。

“1” (FIFO メールボックスモード) の場合、メールボックス [0]~[55] は送信または受信メールボックスに設定され、メールボックス [56]~[59] は送信 FIFO に、メールボックス [60]~[63] は受信 FIFO に設定されます。

送信データはメールボックス [56] に書き込み (メールボックス [56] は送信 FIFO のウィンドウメールボックスです)、受信データはメールボックス [60] から読み出します (メールボックス [60] は受信 FIFO のウィンドウメールボックスです)。

表 20.10 にメールボックスの設定を示します。

表 20.10 メールボックスの設定

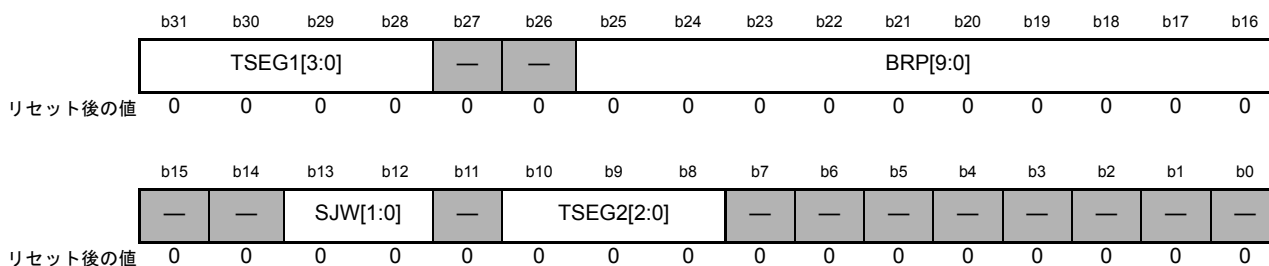
メールボックス	MBMビット=0 (通常メールボックスモード)	MBMビット=1(注1) (FIFOメールボックスモード)
メールボックス[0]~[55]	通常メールボックス	通常メールボックス
メールボックス[56]~[59]		送信FIFO
メールボックス[60]~[63]		受信FIFO

注1. MBMビットが“1”のときは、以下の点に注意してください。

- 送信FIFOはCiTFCRレジスタで制御します。メールボックス[56]~[59]のCiMCTLjレジスタは無効です。CiMCTL56~CiMCTL59レジスタは使用できません。
- 受信FIFOはCiRFCRレジスタで制御します。メールボックス[60]~[63]のCiMCTLjレジスタは無効です。CiMCTL60~CiMCTL63レジスタは使用できません。
- FIFO割り込みについてはCiMIER1レジスタを参照してください。
- CiMKIVLR1レジスタのメールボックス[56]~[63]に対応するビットは無効です。これらのビットには“0”を設定してください。
- 送信/受信FIFOはデータフレーム/リモートフレームを使用可能です。

20.3.2 CAN_i ビットコンフィグレーションレジスタ (CiBCR) (i = 0 ~ 5)

アドレス C0BCR : H'FF60 0544、C1BCR : H'FF60 0D44、C2BCR : H'FF60 1544、C3BCR : H'FF60 1D44、
C4BCR : H'FF60 2544、C5BCR : H'FF60 2D44



ビット	シンボル	ビット名	機能	R/W
b31-b28	TSEG1[3:0]	タイムセグメント1制御ビット	b31b30b29b28 0 0 0 0 : 設定しないでください 0 0 0 1 : 設定しないでください 0 0 1 0 : 設定しないでください 0 0 1 1 : 4Tq 0 1 0 0 : 5Tq 0 1 0 1 : 6Tq 0 1 1 0 : 7Tq 0 1 1 1 : 8Tq 1 0 0 0 : 9Tq 1 0 0 1 : 10Tq 1 0 1 0 : 11Tq 1 0 1 1 : 12Tq 1 1 0 0 : 13Tq 1 1 0 1 : 14Tq 1 1 1 0 : 15Tq 1 1 1 1 : 16Tq	R/W
b27-b26	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b25-b16	BRP[9:0]	プリスケアラ分周比選択ビット	設定値P (0 ~ 1023)とすると、ポーレートプリスケアラはfCANをP+1で分周します。	R/W
b15-14	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b13-b12	SJW[1:0]	再同期ジャンプ幅制御ビット	b13b12 0 0 : 1Tq 0 1 : 2Tq 1 0 : 3Tq 1 1 : 4Tq	R/W
b11	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b10-b8	TSEG2[2:0]	タイムセグメント2制御ビット	b10 b9 b8 0 0 0 : 設定しないでください 0 0 1 : 2Tq 0 1 0 : 3Tq 0 1 1 : 4Tq 1 0 0 : 5Tq 1 0 1 : 6Tq 1 1 0 : 7Tq 1 1 1 : 8Tq	R/W
b7-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

ビットタイミングの設定については、「20.5 CAN 通信速度の設定」を参照してください。

CiBCR レジスタは、CAN リセットモードから CAN Halt モードまたは CAN リセットモードから CAN オペレーションモードへ遷移する前に設定してください。一度設定すると CAN リセットモードまたは CAN Halt モードで変更できます。

TSEG1 ビット

プロパゲーションタイムセグメント (PROP_SEG) とフェーズバッファセグメント 1 (PHASE_SEG1) の合計長を Time Quantum (Tq) 値で指定します。4～16Tq の値が設定可能です。

BRP ビット

CAN 通信クロック (fCANCLK) の周波数設定に使用します。
fCANCLK の周期が 1 Time Quantum (Tq) となります。

SJW ビット

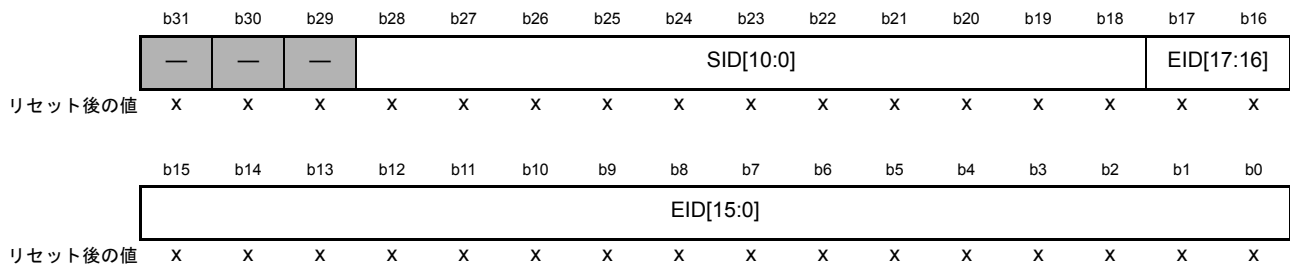
再同期ジャンプ幅 (Resynchronization Jump Width) を Tq 値で指定します。
1～4Tq の値が設定可能です。
TSEG2 ビット以下の値を設定してください。

TSEG2 ビット

フェーズバッファセグメント 2 (PHASE_SEG2) の長さを Tq 値で指定します。
2～8Tq の値が設定可能です。
TSEG1 ビットより小さな値を設定してください。

20.3.3 CANi マスクレジスタ k (CiMKRk) (i = 0 ~ 5、k = 0 ~ 9)

アドレス	C0MKR0 : H'FF60 0430、C0MKR1 : H'FF60 0434、C0MKR2 : H'FF60 0400、C0MKR3 : H'FF60 0404、
	C0MKR4 : H'FF60 0408、C0MKR5 : H'FF60 040C、C0MKR6 : H'FF60 0410、C0MKR7 : H'FF60 0414、
	C0MKR8 : H'FF60 0418、C0MKR9 : H'FF60 041C
	C1MKR0 : H'FF60 0C30、C1MKR1 : H'FF60 0C34、C1MKR2 : H'FF60 0C00、C1MKR3 : H'FF60 0C04、
	C1MKR4 : H'FF60 0C08、C1MKR5 : H'FF60 0C0C、C1MKR6 : H'FF60 0C10、C1MKR7 : H'FF60 0C14、
	C1MKR8 : H'FF60 0C18、C1MKR9 : H'FF60 0C1C
	C2MKR0 : H'FF60 1430、C2MKR1 : H'FF60 1434、C2MKR2 : H'FF60 1400、C2MKR3 : H'FF60 1404、
	C2MKR4 : H'FF60 1408、C2MKR5 : H'FF60 140C、C2MKR6 : H'FF60 1410、C2MKR7 : H'FF60 1414、
	C2MKR8 : H'FF60 1418、C2MKR9 : H'FF60 141C
	C3MKR0 : H'FF60 1C30、C3MKR1 : H'FF60 1C34、C3MKR2 : H'FF60 1C00、C3MKR3 : H'FF60 1C04、
C3MKR4 : H'FF60 1C08、C3MKR5 : H'FF60 1C0C、C3MKR6 : H'FF60 1C10、C3MKR7 : H'FF60 1C14、	
C3MKR8 : H'FF60 1C18、C3MKR9 : H'FF60 1C1C	
C4MKR0 : H'FF60 2430、C4MKR1 : H'FF60 2434、C4MKR2 : H'FF60 2400、C4MKR3 : H'FF60 2404、	
C4MKR4 : H'FF60 2408、C4MKR5 : H'FF60 240C、C4MKR6 : H'FF60 2410、C4MKR7 : H'FF60 2414、	
C4MKR8 : H'FF60 2418、C4MKR9 : H'FF60 241C	
C5MKR0 : H'FF60 2C30、C5MKR1 : H'FF60 2C34、C5MKR2 : H'FF60 2C00、C5MKR3 : H'FF60 2C04、	
C5MKR4 : H'FF60 2C08、C5MKR5 : H'FF60 2C0C、C5MKR6 : H'FF60 2C10、C5MKR7 : H'FF60 2C14、	
C5MKR8 : H'FF60 2C18、C5MKR9 : H'FF60 2C1C	



ビット	シンボル	ビット名	機能	R/W
b31-b29	—	(予約ビット)	リセット後の値は不定です。書き込む場合は“0”を書き込んでください。“0”を書いた後は“0”が読み出せます。	R
b28-b18	SID[10:0]	標準IDビット	0: 対応するSIDビットは比較されない 1: 対応するSIDビットは比較される	R/W
b17-b0	EID[17:0]	拡張IDビット	0: 対応するEIDビットは比較されない 1: 対応するEIDビットは比較される	R/W

FIFO メールボックスモードでのマスク機能については、「20.7 アクセプタンスフィルタ機能とマスク機能」を参照してください。

CiMKR0 ~ CiMKR9 レジスタは、CAN リセットモードまたは CAN Halt モード時に変更してください。

SID ビット

CAN 標準 ID ビットに対応するフィルタマスクビットです。標準 ID と拡張 ID のメッセージを受信する場合の両方で使用します。

“0”の場合、対応する SID ビットは、受信した ID とメールボックスの ID を比較しません。

“1”の場合、対応する SID ビットは、受信した ID とメールボックスの ID を比較します。

EID ビット

CAN 拡張 ID ビットに対応するフィルタマスクビットです。拡張 ID のメッセージを受信する場合に使用します。

“0”の場合、対応する EID ビットは、受信した ID とメールボックスの ID を比較しません。

“1”の場合、対応する EID ビットは、受信した ID とメールボックスの ID を比較します。

20.3.4 CANi FIFO 受信 ID 比較レジスタ n (CiFIDCR0、CiFIDCR1) (i = 0 ~ 5、n = 0、1)

アドレス C0FIDCR0 : H'FF60 0420、C1FIDCR0 : H'FF60 0C20、C2FIDCR0 : H'FF60 1420、C3FIDCR0 : H'FF60 1C20、
C4FIDCR0 : H'FF60 2420、C5FIDCR0 : H'FF60 2C20
C0FIDCR1 : H'FF60 0424、C1FIDCR1 : H'FF60 0C24、C2FIDCR1 : H'FF60 1424、C3FIDCR1 : H'FF60 1C24、
C4FIDCR1 : H'FF60 2424、C5FIDCR1 : H'FF60 2C24



ビット	シンボル	ビット名	機能	R/W
b31	IDE	ID 拡張ビット(注1)	0: 標準 ID 1: 拡張 ID	R/W
b30	RTR	リモートフレーム要求ビット	0: データフレーム 1: リモートフレーム	R/W
b29	—	(予約ビット)	リセット後の値は不定です。書き込む場合は“0”を書き込んでください。“0”を書いた後は“0”が読み出せます。	R
b28-b18	SID[10:0]	標準 ID ビット	0: 対応する SID ビットは“0” 1: 対応する SID ビットは“1”	R/W
b17-0	EID[17:0]	拡張 ID ビット	0: 対応する EID ビットは“0” 1: 対応する EID ビットは“1”	R/W

注1. IDE ビットは、CiCTLR レジスタの IDFM ビットが“10” (ミックス ID モード) のとき有効です。IDFM ビットが“10”以外のときは IDE ビットには“0”を書いてください。

CiFIDCR0、CiFIDCR1 レジスタは、CiCTLR レジスタの MBM ビットが“1” (FIFO メールボックスモード) のとき有効です。CiMB60 ~ CiMB63 レジスタの EID、SID、RTR、IDE ビットは無効です。

使用方法については、「20.7 アクセプタンスフィルタ機能とマスク機能」を参照してください。

CAN リセットモードまたは CAN Halt モード時に変更してください。

IDE ビット

標準 ID または拡張 ID の ID フォーマットを設定します。

CiCTLR レジスタの IDFM ビットが“10” (ミックス ID モード) のとき有効です。

IDFM ビットが“10”のとき、以下の動作を指定します。

- CiFIDCR0、CiFIDCR1 レジスタの両方の IDE ビットが“0”の場合、標準 ID フレームのみ受信できます。
- CiFIDCR0、CiFIDCR1 レジスタの両方の IDE ビットが“1”の場合、拡張 ID フレームのみ受信できます。
- CiFIDCR0、CiFIDCR1 レジスタの IDE ビットが“0”と“1”のそれぞれ異なる設定の場合、標準 ID と拡張 ID のフレームの両方を受信できます。

RTR ビット

データフレームまたはリモートフレームの指定されたフレームフォーマットを設定します。以下の動作を指定します。

- CiFIDCR0、CiFIDCR1 レジスタの両方の RTR ビットが“0”の場合、データフレームのみ受信できます。
- CiFIDCR0、CiFIDCR1 レジスタの両方の RTR ビットが“1”の場合、リモートフレームのみ受信できます。
- CiFIDCR0、CiFIDCR1 レジスタの RTR ビットが“0”と“1”のそれぞれ異なる設定の場合、データフレームとリモートフレームの両方を受信できます。

SID ビット

データフレームとリモートフレームの標準 ID を設定します。標準 ID と拡張 ID のメッセージを受信する場合の両方で使用します。

EID ビット

データフレームとリモートフレームの拡張 ID を設定します。拡張 ID のメッセージを受信する場合に使用します。

20.3.5 CANi マスク無効レジスタ n (CiMKIVLR0、CiMKIVLR1) (i = 0 ~ 5、n = 0、1)

アドレス C0MKIVLR1 : H'FF60 0428、C1MKIVLR1 : H'FF60 0C28、C2MKIVLR1 : H'FF60 1428、C3MKIVLR1 : H'FF60 1C28、C4MKIVLR1 : H'FF60 2428、C5MKIVLR1 : H'FF60 2C28

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB63	MB62	MB61	MB60	MB59	MB58	MB57	MB56	MB55	MB54	MB53	MB52	MB51	MB50	MB49	MB48
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB47	MB46	MB45	MB44	MB43	MB42	MB41	MB40	MB39	MB38	MB37	MB36	MB35	MB34	MB33	MB32
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB63 ~ MB32	マスク無効ビット	[ビット31はメールボックス63 (MB63)、ビット0はメールボックス32 (MB32)にそれぞれ対応] (注1) 0 : マスク有効 1 : マスク無効	R/W

注1. FIFOメールボックスモード時はビット31~ビット24を“0”にしてください。

アドレス C0MKIVLR0 : H'FF60 0438、C1MKIVLR0 : H'FF60 0C38、C2MKIVLR0 : H'FF60 1438、C3MKIVLR0 : H'FF60 1C38、C4MKIVLR0 : H'FF60 2438、C5MKIVLR0 : H'FF60 2C38

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31 ~ MB0	マスク無効ビット	[ビット31はメールボックス31 (MB31)、ビット0はメールボックス0 (MB0)にそれぞれ対応] 0 : マスク有効 1 : マスク無効	R/W

CiMKIVLR0、CiMKIVLR1 レジスタには、各メールボックスに対応するビットが含まれます。

各ビットの対応を以下に示します。

- CiMKIVLR0 レジスタのビット 0 はメールボックス 0 (MB0) に対応
- CiMKIVLR0 レジスタのビット 31 はメールボックス 31 (MB31) に対応
- CiMKIVLR1 レジスタのビット 0 はメールボックス 32 (MB32) に対応
- CiMKIVLR1 レジスタのビット 31 はメールボックス 63 (MB63) に対応

“1”の場合、対応するメールボックスのアクセプタンスマスクは無効になります。この場合、メールボックスは受信メッセージの ID と CiMBj レジスタ (j = 0 ~ 63) の SID、EID ビットが一致する場合のみ受信します。

CAN リセットモードまたは CAN Halt モード時に変更してください。

20.3.6 CANi メールボックスレジスタ j (CiMBj) (i = 0 ~ 5、j = 0 ~ 63)

表 20.11 に CANi メールボックスのメモリ配置、表 20.12 に CAN データフレームの構成を示します。

CANi メールボックスのリセット後の値は不定です。

CiMBj レジスタは、関連する CiMCTLj レジスタ (i = 0 ~ 5、j = 0 ~ 63) が “H'00” で、かつアポート処理中ではないときに変更してください。

レジスタアドレスの詳細については表 20.11 を参照してください。

表 20.11 CANi メールボックスのメモリ配置 (i = 0 ~ 5)

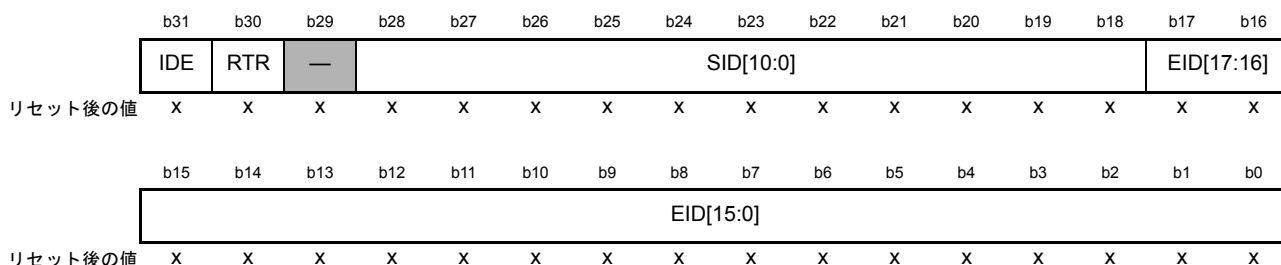
アドレス						メッセージ内容
CAN0	CAN1	CAN2	CAN3	CAN4	CAN5	メモリ配置
H'FF60 0000 + 16 × j + 0	H'FF60 0800 + 16 × j + 0	H'FF60 1000 + 16 × j + 0	H'FF60 1800 + 16 × j + 0	H'FF60 2000 + 16 × j + 0	H'FF60 2800 + 16 × j + 0	IDE、RTR、 SID10 ~ SID6
H'FF60 0000 + 16 × j + 1	H'FF60 0800 + 16 × j + 1	H'FF60 1000 + 16 × j + 1	H'FF60 1800 + 16 × j + 1	H'FF60 2000 + 16 × j + 1	H'FF60 2800 + 16 × j + 1	SID5 ~ SID0、 EID17、EID16
H'FF60 0000 + 16 × j + 2	H'FF60 0800 + 16 × j + 2	H'FF60 1000 + 16 × j + 2	H'FF60 1800 + 16 × j + 2	H'FF60 2000 + 16 × j + 2	H'FF60 2800 + 16 × j + 2	EID15 ~ EID8
H'FF60 0000 + 16 × j + 3	H'FF60 0800 + 16 × j + 3	H'FF60 1000 + 16 × j + 3	H'FF60 1800 + 16 × j + 3	H'FF60 2000 + 16 × j + 3	H'FF60 2800 + 16 × j + 3	EID7 ~ EID0
H'FF60 0000 + 16 × j + 4	H'FF60 0800 + 16 × j + 4	H'FF60 1000 + 16 × j + 4	H'FF60 1800 + 16 × j + 4	H'FF60 2000 + 16 × j + 4	H'FF60 2800 + 16 × j + 4	—
H'FF60 0000 + 16 × j + 5	H'FF60 0800 + 16 × j + 5	H'FF60 1000 + 16 × j + 5	H'FF60 1800 + 16 × j + 5	H'FF60 2000 + 16 × j + 5	H'FF60 2800 + 16 × j + 5	データ長コード (DLC)
H'FF60 0000 + 16 × j + 6	H'FF60 0800 + 16 × j + 6	H'FF60 1000 + 16 × j + 6	H'FF60 1800 + 16 × j + 6	H'FF60 2000 + 16 × j + 6	H'FF60 2800 + 16 × j + 6	データバイト0
H'FF60 0000 + 16 × j + 7 : : H'FF60 0000 + 16 × j + 13	H'FF60 0800 + 16 × j + 7 : : H'FF60 0800 + 16 × j + 13	H'FF60 1000 + 16 × j + 7 : : H'FF60 1000 + 16 × j + 13	H'FF60 1800 + 16 × j + 7 : : H'FF60 1800 + 16 × j + 13	H'FF60 2000 + 16 × j + 7 : : H'FF60 2000 + 16 × j + 13	H'FF60 2800 + 16 × j + 7 : : H'FF60 2800 + 16 × j + 13	データバイト1 : : データバイト7
H'FF60 0000 + 16 × j + 14	H'FF60 0800 + 16 × j + 14	H'FF60 1000 + 16 × j + 14	H'FF60 1800 + 16 × j + 14	H'FF60 2000 + 16 × j + 14	H'FF60 2800 + 16 × j + 14	タイムスタンプ 上位バイト
H'FF60 0000 + 16 × j + 15	H'FF60 0800 + 16 × j + 15	H'FF60 1000 + 16 × j + 15	H'FF60 1800 + 16 × j + 15	H'FF60 2000 + 16 × j + 15	H'FF60 2800 + 16 × j + 15	タイムスタンプ 下位バイト

表 20.12 CAN データフレームの構成

SID10 ~ SID6	SID5 ~ SID0	EID17 ~ EID16	EID15 ~ EID8	EID7 ~ EID0	DLC3 ~ DLC0	DATA0	DATA1	...	DATA7
--------------	-------------	---------------	--------------	-------------	-------------	-------	-------	-----	-------

各メールボックスの内容は、新しいメッセージを受信しないかぎり、以前の値を保持します。

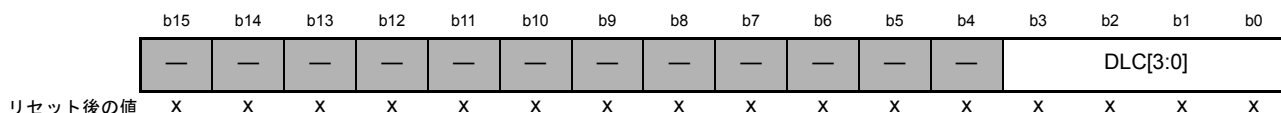
C0MB0 ~ C0MB63: H'FF60 0000 ~ H'FF60 03F0、C1MB0 ~ C1MB63: H'FF60 0800 ~ H'FF60 0BF0、
 アドレス C2MB0 ~ C2MB63: H'FF60 1000 ~ H'FF60 13F0、C3MB0 ~ C3MB63: H'FF60 1800 ~ H'FF60 1BF0、
 C4MB0 ~ C4MB63: H'FF60 2000 ~ H'FF60 23F0、C5MB0 ~ C5MB63: H'FF60 2800 ~ H'FF60 2BF0



ビット	シンボル	ビット名	機能	R/W
b31	IDE	ID拡張ビット(注1)	0: 標準ID 1: 拡張ID	R/W
b30	RTR	リモートフレーム要求ビット	0: データフレーム 1: リモートフレーム	R/W
b29	—	(予約ビット)	リセット後の値は不定です。書き込む場合は“0”を書き込んでください。“0”を書いた後は“0”が読み出せます。	R
b28-b18	SID[10:0]	標準IDビット	0: 対応するSIDビットは“0” 1: 対応するSIDビットは“1”	R/W
b17-b0	EID[17:0]	拡張IDビット(注2)	0: 対応するEIDビットは“0” 1: 対応するEIDビットは“1”	R/W

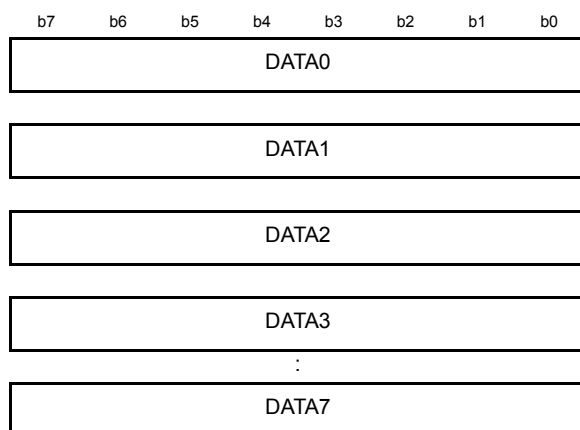
注1. IDEビットは、CiCTRLレジスタのIDFMビットが“10”(ミックスIDモード)のときに有効です。IDFMビットが“10”以外の場合にはIDEビットに“0”を書いてください。

注2. メールボックスが標準IDのメッセージを受信すると、メールボックスのEIDビットの値は不定になります。



ビット	シンボル	ビット名	機能	R/W
b15-b4	—	(予約ビット)	リセット後の値は不定です。書き込む場合は“0”を書き込んでください。“0”を書いた後は“0”が読み出せます。	R
b3-b0	DLC[3:0]	データ長コードビット(注1)	b3 b2 b1 b0 0 0 0 0: データ長0バイト 0 0 0 1: データ長1バイト 0 0 1 0: データ長2バイト 0 0 1 1: データ長3バイト 0 1 0 0: データ長4バイト 0 1 0 1: データ長5バイト 0 1 1 0: データ長6バイト 0 1 1 1: データ長7バイト 1 x x x: データ長8バイト x: 任意の値です。	R/W

注1. メールボックスが8より小さいDLCのメッセージを受信すると、メールボックスのDLCより大きいDATAは不定になります。

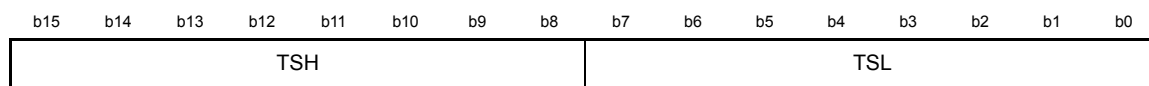


リセット後の値 X X X X X X X X

ビット	シンボル	名称	設定値	R/W
b7-b0	DATA0 ~ DATA7	データバイト0~7 (注1、2)	H'00 ~ H'FF	R/W

注1. メールボックスが8バイトよりも少ないnバイトのメッセージを受信すると、メールボックスのDATA_n~DATA7の値は不定になります。

注2. メールボックスがリモートフレームを受信した場合、メールボックスのDATA0~DATA7は以前の値が保持されます。



リセット後の値 X X X X X X X X X X X X X X X X

ビット	シンボル	名称	設定値	R/W
b15-b8	TSH	タイムスタンプ上位バイト	H'00 ~ H'FF	R/W
b7-b0	TSL	タイムスタンプ下位バイト	H'00 ~ H'FF	R/W

IDE ビット

標準 ID または拡張 ID の ID フォーマットを設定します。

CiCTRL レジスタの IDFM ビットが“10”(ミックス ID モード)のとき有効です。

IDFM ビットが“10”のとき、IDE ビットは以下の動作を指定します。

- 受信メールボックスは、IDE ビットで選択した ID フォーマットのみ受信する
- 送信メールボックスは、IDE ビットで選択した ID フォーマットで送信を行う
- 受信 FIFO メールボックスは、CiFIDCR0、CiFIDCR1 レジスタの IDE ビットで選択した標準 ID、拡張 ID、または両方の ID メッセージを受信する
- 送信 FIFO メールボックスは、関連する送信メッセージの IDE ビットで選択した標準 ID または拡張 ID のメッセージを送信する

RTR ビット

データフレームまたはリモートフレームのフレームフォーマットを設定します。以下の動作を指定します。

- 受信メールボックスは、RTR ビットで選択したフォーマットのフレームのみ受信する
- 送信メールボックスは、RTR ビットで選択したフレームフォーマットで送信を行う
- 受信 FIFO メールボックスは、CiFIDCR0、CiFIDCR1 レジスタの RTR ビットで選択したデータフレーム、リモートフレーム、または両方を受信する
- 送信 FIFO メールボックスは、関連する送信メッセージの RTR ビットで選択したデータフレームまたはリモートフレームを送信する

SID ビット

データフレームとリモートフレームの標準 ID を設定します。標準 ID と拡張 ID のメッセージを送受信する場合の両方で使用します。

EID ビット

データフレームとリモートフレームの拡張 ID を設定します。拡張 ID のメッセージを送受信する場合に使用します。

DLC ビット

データフレームで送信するデータのバイト数を設定します。リモートフレームを使用してデータを要求する場合、要求するデータのバイト数を設定します。

データフレームを受信した場合、受信したデータのバイト数が格納されます。リモートフレームを受信した場合、要求されたデータのバイト数が格納されます。

DATA0 ~ DATA7

送信または受信した CAN メッセージデータを格納します。DATA0 から、送信または受信されます。CAN バス上のビットオーダは、MSB ファーストでビット 7 から送信または受信されます。

TSH、TSL

受信メッセージがメールボックスに取り込まれたときのタイムスタンプカウンタ値を格納します。

20.3.7 CANi メールボックス割り込み許可レジスタ n (CiMIER0、CiMIER1) (i = 0 ~ 5、n = 0、1)

アドレス C0MIER1 : H'FF60 042C、C1MIER1 : H'FF60 0C2C、C2MIER1 : H'FF60 142C、C3MIER1 : H'FF60 1C2C、
C4MIER1 : H'FF60 242C、C5MIER1 : H'FF60 2C2C

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB63	MB62	MB61	MB60	MB59	MB58	MB57	MB56	MB55	MB54	MB53	MB52	MB51	MB50	MB49	MB48
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB47	MB46	MB45	MB44	MB43	MB42	MB41	MB40	MB39	MB38	MB37	MB36	MB35	MB34	MB33	MB32
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

- 通常メールボックスモード

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB63 ~ MB32	割り込み許可ビット	[ビット31はメールボックス63 (MB63)、ビット0はメールボックス32 (MB32)にそれぞれ対応] 0: 割り込み禁止 1: 割り込み許可	R/W

- FIFO メールボックスモード (CiMIER1 のみ)

ビット	シンボル	ビット名	機能	R/W
b31-b30	—	(予約ビット)	読むと不定が読み出されます。書き込みは“0”としてください。	R
b29	MB61	受信FIFO割り込み発生 タイミング制御ビット(注1)	受信FIFO割り込み要求は、 0: 毎回の受信完了後発生 1: 受信完了により受信FIFOがバッファワーニングになったとき発生	R/W
b28	MB60	受信FIFO割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b27-b26	—	(予約ビット)	読むと不定が読み出されます。書き込みは“0”としてください。	R
b25	MB57	送信FIFO割り込み発生 タイミング制御ビット	送信FIFO割り込み要求は、 0: 毎回の送信完了後発生 1: 送信完了により送信FIFOが空き状態になったとき発生	R/W
b24	MB56	送信FIFO割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b23-b0	MB55 ~ MB32	割り込み許可ビット	[ビット23はメールボックス55 (MB55)、ビット0はメールボックス32 (MB32)にそれぞれ対応] 0: 割り込み禁止 1: 割り込み許可	R/W

注1. 受信 FIFO がフルからバッファワーニングとなった場合、割り込み要求は発生しません。なお、バッファワーニングとは、受信 FIFOに3つ目のメッセージが格納された状態です。

アドレス C0MIER0 : H'FF60 043C、C1MIER0 : H'FF60 0C3C、C2MIER0 : H'FF60 143C、C3MIER0 : H'FF60 1C3C、
C4MIER0 : H'FF60 243C、C5MIER0 : H'FF60 2C3C

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31 ~ MB0	割り込み許可ビット	[ビット31はメールボックス31 (MB31)、ビット0はメールボックス0 (MB0)にそれぞれ対応] 0: 割り込み禁止 1: 割り込み許可	R/W

メールボックスは個別に割り込み許可を設定できます。

通常メールボックスモード (すべてのビット) と FIFO メールボックスモード (CiMIER1 レジスタのビット23~0、CiMIER0 レジスタのビットすべて) では、それぞれのビットは各メールボックスに対応します。これらのビットは、対応するメールボックスの送信完了 / 受信完了割り込みを許可 / 禁止します。

- CiMIER0 レジスタのビット 0 はメールボックス 0 (MB0) に対応
- CiMIER0 レジスタのビット 31 はメールボックス 31 (MB31) に対応
- CiMIER1 レジスタのビット 0 はメールボックス 32 (MB32) に対応
- CiMIER1 レジスタのビット 31 はメールボックス 63 (MB63) に対応

FIFO メールボックスモードの CiMIER1 レジスタのビット 29、28、25、24 は送信 / 受信 FIFO 割り込みの許可 / 禁止と割り込み要求が発生するタイミングを指定します。

CiMIER0 および CiMIER1 レジスタは、関連する CiMCTLj レジスタ (j = 0 ~ 63) が “H'00” で、対応するメールボックスが送受信アポートの処理をしていないときのみ変更してください。また、FIFO メールボックスモード時は、CiTFCCR レジスタの TFE ビットが “0” で TFEST ビットが “1”、CiRFCR レジスタの RFE ビットが “0” で RFEST ビットが “1” のときのみ、関連する FIFO の CiMIER1 レジスタのビットを変更してください。

20.3.8 CAN_i メッセージ制御レジスタ j (CiMCTLj) (i = 0 ~ 5、j = 0 ~ 63)

C0MCTL0 ~ 63 : H'FF60 0500 ~ H'FF60 053F、C1MCTL0 ~ 63 : H'FF60 0D00 ~ H'FF60 0D3F、
 アドレス C2MCTL0 ~ 63 : H'FF60 1500 ~ H'FF60 153F、C3MCTL0 ~ 63 : H'FF60 1D00 ~ H'FF60 1D3F、
 C4MCTL0 ~ 63 : H'FF60 2500 ~ H'FF60 253F、C5MCTL0 ~ 63 : H'FF60 2D00 ~ H'FF60 2D3F

■ CiMCTL32 ~ CiMCTL63 レジスタ

- 送信モード (TRMREQビットが“1”、RECREQビットが“0”の場合)

b7	b6	b5	b4	b3	b2	b1	b0
TRMR EQ	RECR EQ	—	ONES HOT	—	TRMA BT	TRMA CTIVE	SENT DATA

リセット後の値 0 0 0 0 0 0 0 0

- 受信モード (TRMREQビットが“0”、RECREQビットが“1”の場合)

b7	b6	b5	b4	b3	b2	b1	b0
TRMR EQ	RECR EQ	—	ONES HOT	—	MSGL OST	INVAL DATA	NEW DATA

リセット後の値 0 0 0 0 0 0 0 0

■ CiMCTL0 ~ CiMCTL31 レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
—	RECR EQ	—	—	—	MSGL OST	INVAL DATA	NEW DATA

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	TRMREQ	送信メールボックス設定ビット (注2、4)	0: 送信メールボックスに設定しない 1: 送信メールボックスに設定する	R/W
	—	予約ビット (CiMCTL0 ~ CiMCTL31 レジスタ)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b6	RECREQ	受信メールボックス設定ビット (注2、4、5)	0: 受信メールボックスに設定しない 1: 受信メールボックスに設定する	R/W
b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4	ONESHOT	ワンショット許可ビット(注3)	0: ワンショット受信またはワンショット送信禁止 1: ワンショット受信またはワンショット送信許可	R/W
	—	予約ビット (CiMCTL0 ~ CiMCTL31 レジスタ)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	TRMABT	送信アボート完了フラグ (送信メールボックス設定時有効) (注1、2)	0: 送信が開始された、または送信アボートが送信完了により失敗、または送信アボートが要求されていない 1: 送信アボート完了	R/W
	MSGLOST	メッセージロストフラグ (受信メールボックス設定時有効) (注1、2)	0: メッセージはオーバライトまたはオーバランされていない 1: メッセージはオーバライトまたはオーバランされた	R/W
b1	TRMACTIVE	送信中ステータスビット (送信メールボックス設定時有効)	0: 送信待機中または送信要求なし 1: 送信要求の取り込みから、送信完了、エラー発生、またはアビトレーションロスト発生まで	R
	INVALIDDATA	受信中ステータスビット (受信メールボックス設定時有効)	0: メッセージは有効 1: メッセージを更新中	R
b0	SENTDATA	送信完了フラグ(送信メールボックス設定時有効)(注1、2)	0: 送信が終了していない 1: 送信完了	R/W
	NEWDATA	受信完了フラグ(受信メールボックス設定時有効)(注1、2)	0: データが受信されていない、またはNEWDATAビットに“0”を書いた場合 1: 新しいメッセージをメールボックスに格納中または格納された	R/W

注1. “0”のみ書けます(“1”を書いても変化しません)。

注2. NEWDATA、SENTDATA、MSGLOST、TRMABT、RECREQ、およびTRMREQビットにプログラムで“0”を書く場合は、MOV命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

- 注3. ワンショット受信モードに移行するときは、RECREQビットを“1”にするのと同時に、ONESHOTビットに“1”を書いてください。ワンショット受信モードを解除するときは、RECREQビットに“0”を書いた後、RECREQビットが“0”になったのを確認してからONESHOTビットに“0”を書いてください。ワンショット送信モードに移行するときは、TRMREQビットを“1”にするのと同時に、ONESHOTビットに“1”を書いてください。ワンショット送信モードを解除するときは、メッセージが送信されたか中止された後にONESHOTビットに“0”を書いてください。
- 注4. RECREQビットとTRMREQビットの両方を“1”にしないでください。
- 注5. RECREQビットを“0”にするときには、NEWDATA、MSGLOSTビットとRECREQビットは同時に“0”にしてください。

CiMCTLj レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。
FIFO メールボックスモードでは、CiMCTL56～CiMCTL63 レジスタは使用しないでください。

TRMREQ ビット

表 20.17 に示す送信モードを選択します。

“1” にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されます。
“0” にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されません。

送信要求をキャンセルするために、TRMREQ ビットを“1”から“0”に変更すると、TRMABT ビットまたは SENTDATA ビットが“1”になります。

TRMREQ ビットを“1”にする場合は、RECREQ ビットを“1”にしないでください。

メールボックスの設定を受信から送信に変更する場合は、送信に変更する前に、まず受信をアボートし、そして NEWDATA ビットと MSGLOST ビットを“0”にしてください。

RECREQ ビット

表 20.17 に示す受信モードを選択します。

“1” にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されます。
“0” にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されません。

以下の期間は、ハードウェアプロテクトがかかり、プログラムで“0”を書いても“0”になりません。

- ハードウェアプロテクトの開始
アクセプタンスフィルタ処理の開始 (CRC フィールドの始まり)
- ハードウェアプロテクトの解除
 - メッセージの受信に指定されたメールボックスは、受信メッセージがメールボックスに格納された後、または CAN バスエラーが発生した後 (すなわち、ハードウェアプロテクトの最大期間は CRC フィールドの始まりから EOF の 7 番目のビットの終わりまで)
 - その他のメールボックスは、アクセプタンスフィルタ処理後
 - 受信するメールボックスがない場合は、アクセプタンスフィルタ処理後

RECREQ ビットを“1”にする場合は、TRMREQ ビットを“1”にしないでください。

メールボックスの設定を送信から受信に変更する場合は、受信に変更する前に、まず送信をアボートし、そして SENTDATA ビットと TRMABT ビットを“0”にしてください。

ONESHOT ビット

ONESHOT ビットは受信モードと送信モードの 2 つの使い方があります。

- ワンショット受信モード
受信モード (RECREQ ビットが“1”、TRMREQ ビットが“0”) のとき ONESHOT ビットを“1”にすると、メールボックスはメッセージを 1 回のみ受信します (メッセージを 1 回受信完了した後は、受信メールボックスとして動作しません)。NEWDATA および INVALIDDATA ビットの動作は、通常の実受信モードと同じです。このモードでは、MSGLOST ビットは“1”にはなりません。

ONESHOT ビットを“0”にする場合、RECREQ ビットへ“0”を書いた後、RECREQ ビットが“0”になることを確認してから行ってください。

- ワンショット送信モード

送信モード (RECREQ ビットが“0”、TRMREQ ビットが“1”) のとき ONESHOT ビットを“1”にすると、CAN モジュールはメッセージを1回のみ送信します (CAN バスエラーまたは CAN バスアービトレーションロストの場合でも、メッセージの再送信を行いません)。送信が完了した場合、SENTDATA ビットが“1”になります。CAN バスエラーまたは CAN バスアービトレーションロストによって送信が完了しない場合は、TRMABT ビットが“1”になります。

ONESHOT ビットを“0”にする場合は、SENTDATA ビットが“1”または TRMABT ビットが“1”になった後に行ってください。

TRMABT ビット

次の場合、“1”になります。

- 送信アボート要求に続いて、送信を開始する前に送信アボートが完了する
- 送信アボート要求に続いて、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出した場合
- ワンショット送信モード (RECREQ ビットが“0”、TRMREQ ビットが“1”、ONESHOT ビットが“1”) で、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出した場合データ送信が完了すると“1”にはなりません。データ送信が完了した場合は SENTDATA ビットが“1”になります。

プログラムで“0”を書くと“0”になります。

MSGLOST ビット

NEWDATA ビットが“1”の間、メールボックスが新しい受信メッセージによってメッセージが上書きされたり破棄された場合、“1”になります。EOF の 6 番目のビットの終わりで“1”になります。

プログラムで“0”を書くと“0”になります。

オーバーライトモードとオーバーランモードの両方において、EOF の 6 番目のビットに続く周辺バスクロック B の 5 サイクルの間は、MSGLOST ビットはプログラムで“0”を書いても“0”になりません。

TRMACTIVE ビット

CAN モジュールから対応するメールボックスのメッセージ送信を開始すると“1”になります。

CAN モジュールが CAN バスアービトレーションに負けるか、CAN バスエラーが起こるか、あるいはデータ送信が完了すると、“0”になります。

INVALIDDATA ビット

メッセージの受信完了後、受信したメッセージをメールボックスに更新中に“1”になります。

メッセージの格納完了時点で“0”になります。INVALIDDATA ビットが“1”の間にメールボックスを読んだ場合、データは不定値になります。

SENTDATA ビット

対応するメールボックスからのデータ送信が完了すると“1”になります。

プログラムで“0”を書くと“0”になります。

“0”にする場合は、TRMREQ ビットを“0”にしてから SENTDATA ビットを“0”にしてください。SENTDATA ビットと TRMREQ ビットは同時に“0”になりません。

メールボックスから新しいメッセージを送信するには、SENTDATA ビットを“0”にしてください。

NEWDATA ビット

メールボックスに新しいメッセージを格納中または格納が完了したときに“1”になります。“1”になるタイミングは、INVALIDDATA ビットと同時です。

プログラムで“0”を書くと“0”になります。

関連する INVALIDDATA ビットが“1”の間は、NEWDATA ビットはプログラムで“0”を書いても“0”になりません。

20.3.9 CANi 受信 FIFO 制御レジスタ (CiRFCR) (i = 0 ~ 5)

アドレス C0RFCR : H'FF60 0548、C1RFCR : H'FF60 0D48、C2RFCR : H'FF60 1548、C3RFCR : H'FF60 1D48、
C4RFCR : H'FF60 2548、C5RFCR : H'FF60 2D48

b7	b6	b5	b4	b3	b2	b1	b0
RFEST	RFWST	RFFST	RFMLF	RFUST [2:0]		RFE	

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	RFEST	受信 FIFO 空ステータスフラグ	0: 受信 FIFO に未読メッセージあり 1: 受信 FIFO に未読メッセージなし	R
b6	RFWST	受信 FIFO バッファワーニングステータスフラグ	0: 受信 FIFO はバッファワーニングではない 1: 受信 FIFO はバッファワーニング (未読メッセージ3件)	R
b5	RFFST	受信 FIFO フルステータスフラグ	0: 受信 FIFO はフルではない 1: 受信 FIFO はフル (未読メッセージ4件)	R
b4	RFMLF	受信 FIFO メッセージロストフラグ (注1)	0: 受信 FIFO メッセージロスト未発生 1: 受信 FIFO メッセージロスト発生	R/W
b3-b1	RFUST [2:0]	受信 FIFO 未読メッセージ数ステータスフラグ	b3 b2 b1 0 0 0: 未読メッセージなし 0 0 1: 未読メッセージ1件あり 0 1 0: 未読メッセージ2件あり 0 1 1: 未読メッセージ3件あり 1 0 0: 未読メッセージ4件あり 1 0 1: 予約ビット 1 1 0: 予約ビット 1 1 1: 予約ビット	R
b0	RFE	受信 FIFO 許可ビット (注2)	0: 受信 FIFO 禁止 1: 受信 FIFO 許可	R/W

注1. “0”のみ書けます (“1”を書いても変化しません)。

注2. RFMLF ビットと同時に RFE ビットに“0”を書いてください。

CiRFCR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

RFEST ビット

受信 FIFO 内の未読メッセージがなくなると、“1” (受信 FIFO に未読メッセージなし) になります。RFE ビットを“0”にすると、RFEST ビットは“1”になります。受信 FIFO 内の未読メッセージが1件以上になると、“0” (受信 FIFO に未読メッセージあり) になります。

RFWST ビット

受信 FIFO 内の未読メッセージが 3 件になると、“1” (受信 FIFO はバッファワーニング) になります。受信 FIFO 内の未読メッセージが 3 件未満または 4 件になると“0” (受信 FIFO はバッファワーニングではない) になります。RFE ビットを“0”にすると、“0”になります。

RFFST ビット

受信 FIFO 内の未読メッセージが 4 件になると、“1” (受信 FIFO はフル) になります。受信 FIFO 内の未読メッセージが 4 件未満になると、“0” (受信 FIFO はフルではない) になります。RFE ビットを“0”にすると、“0”になります。

RFMLF ビット

受信 FIFO がフルのときに新しいメッセージを受信すると、“1” (受信 FIFO メッセージロスト発生) になります。“1”になるタイミングは、EOF の 6 番目のビットの終わりです。

プログラムで“0”を書くと“0”になります。

オーバランモードとオーバライトモードのどちらも、受信 FIFO がフルでメッセージの受信が決定している場合、ハードウェアのプロテクトにより EOF の 6 番目のビットに続く周辺バスクロック B の 5 サイクルの間は、プログラムで“0” (受信 FIFO メッセージロスト未発生) になりません。

RFUST ビット

受信 FIFO 内の未読メッセージの数を示します。

RFE ビットを“0”にすると、“000”に初期化されます。

RFE ビット

“1”にすると、受信 FIFO が受信許可になります。

“0”にすると、受信 FIFO は受信禁止になり、空状態 (RFEST ビットが“1”) になります。

通常メールボックスモード (CiCTRL レジスタの MBM ビットが“0”) では“1”にしないでください。

以下の期間は、ハードウェアプロテクトがかかり、プログラムで“0”を書いても“0”になりません。

- ハードウェアプロテクトの開始
 - アクセプタンスフィルタ処理の開始 (CRC フィールドの始まり)
- ハードウェアプロテクトの解除
 - メッセージの受信に受信 FIFO が指定された場合は、受信メッセージが受信 FIFO に格納された後、または CAN バスエラーが発生した後 (すなわち、ハードウェアプロテクトの最大期間は CRC フィールドの始まりから EOF の 7 番目のビットの終わりまで)
 - メッセージの受信に受信 FIFO が指定されない場合は、アクセプタンスフィルタ処理後

図 20.2 に受信 FIFO メールボックスの動作を示します。

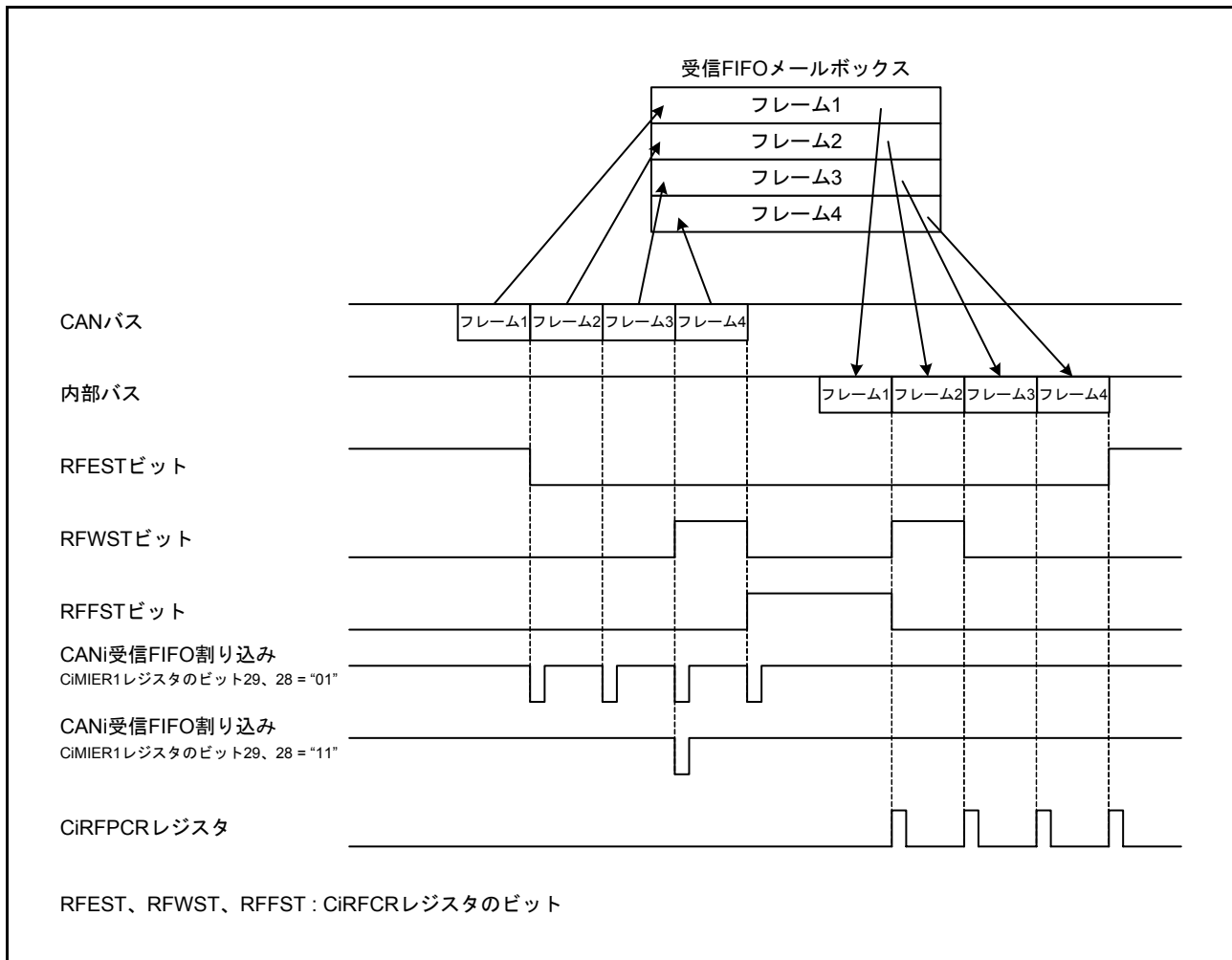
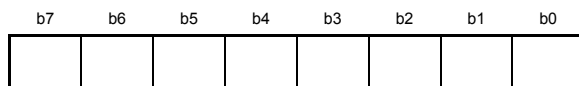


図 20.2 受信 FIFO メールボックスの動作 (CiMIER1 レジスタのビット 29、28 が “01” または “11”) (i = 0 ~ 5)

20.3.10 CANi 受信 FIFO ポインタ制御レジスタ (CiRFPCCR) (i = 0 ~ 5)

アドレス C0RFPCCR : H'FF60 0549、C1RFPCCR : H'FF60 0D49、C2RFPCCR : H'FF60 1549、C3RFPCCR : H'FF60 1D49、
C4RFPCCR : H'FF60 2549、C5RFPCCR : H'FF60 2D49



リセット後の値 — — — — — — —

ビット	機能	R/W
b7-b0	CiRFPCCRレジスタに“H'FF”を書き込むと、受信FIFOのCPU側ポインタが移動	W

受信 FIFO が空状態でないとき、受信 FIFO の CPU 側ポインタを次のメールボックスに移動させるためには、プログラムで“H'FF”を書いてください。

CiRFPCCR レジスタの RFE ビットが “0” (受信 FIFO 禁止) のときは、書かないでください。

受信オーバーライトモードで RFFST ビットが “1” (受信 FIFO はフル) のときに新しいメッセージが受信されると、CAN 側ポインタと CPU 側ポインタの両方が移動します。この状態で、RFMLF ビットが “1” のとき、プログラムで CiRFPCCR レジスタに書き込んでも CPU 側ポインタは移動しません。

20.3.11 CAN_i 送信 FIFO 制御レジスタ (CiTFCR) (i = 0 ~ 5)

アドレス C0TFCR : H'FF60 054A、C1TFCR : H'FF60 0D4A、C2TFCR : H'FF60 154A、C3TFCR : H'FF60 1D4A、
C4TFCR : H'FF60 254A、C5TFCR : H'FF60 2D4A



リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	TFEST	送信 FIFO 空ステータスビット	0 : 送信 FIFO に未読メッセージあり 1 : 送信 FIFO に未読メッセージなし	R
b6	TFFST	送信 FIFO フルステータスビット	0 : 送信 FIFO はフルではない 1 : 送信 FIFO はフル (未送信 4 件)	R
b5	—	(予約ビット)	読むと不定が読み出されます。書き込みは“0”としてください。	R
b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3-b1	TFUST[2:0]	送信 FIFO 未送信メッセージ数ステータスビット	b3 b2 b1 0 0 0 : 未送信メッセージなし 0 0 1 : 未送信メッセージ 1 件 0 1 0 : 未送信メッセージ 2 件 0 1 1 : 未送信メッセージ 3 件 1 0 0 : 未送信メッセージ 4 件 1 0 1 : 予約ビット 1 1 0 : 予約ビット 1 1 1 : 予約ビット	R
b0	TFE	送信 FIFO 許可ビット	0 : 送信 FIFO 禁止 1 : 送信 FIFO 許可	R/W

CiTFCR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

TFEST ビット

送信 FIFO 内の未送信メッセージがなくなると、“1” (送信 FIFO にメッセージなし) になります。送信 FIFO の送信アポートが完了すると、“1” になります。

送信 FIFO 内の未送信メッセージが 1 件以上になると、“0” (送信 FIFO にメッセージあり) になります。

TFFST ビット

送信 FIFO 内の未送信メッセージが 4 件になると、“1” (送信 FIFO はフル) になります。送信 FIFO 内の未送信メッセージが 4 件未満になると、“0” (送信 FIFO はフルではない) になります。送信 FIFO の送信アポートが完了すると、“0” になります。

TFUST ビット

送信 FIFO 内の未送信メッセージの数を表示します。

TFE ビットを“0”にした後、送信アポート完了または送信完了すると、“000” になります。

TFE ビット

“1”にすると、送信 FIFO が送信許可になります。

“0”にすると、送信 FIFO は空状態 (TFEST ビットが“1”)になり、次のように送信 FIFO からの未送信メッセージが失われます。

- 送信 FIFO からの次の送信予定がなく、また送信中でもないとき、空状態になります。
- 送信 FIFO からの次の送信予定があるかまたはすでに送信中の場合、送信完了、CAN バスエラー、アービトラージョンロスト、または CAN Halt モードへの遷移に続いて空状態になります。

再度“1”にする前に、TFEST ビットが“1”になっているか確認してください。

“1”にした後、送信データを CiMB56 レジスタに書いてください。

通常メールボックスモード (CiCTLR レジスタの MBM ビットが“0”)では、“1”にしないでください。

図 20.3 に送信 FIFO メールボックスの動作を示します。

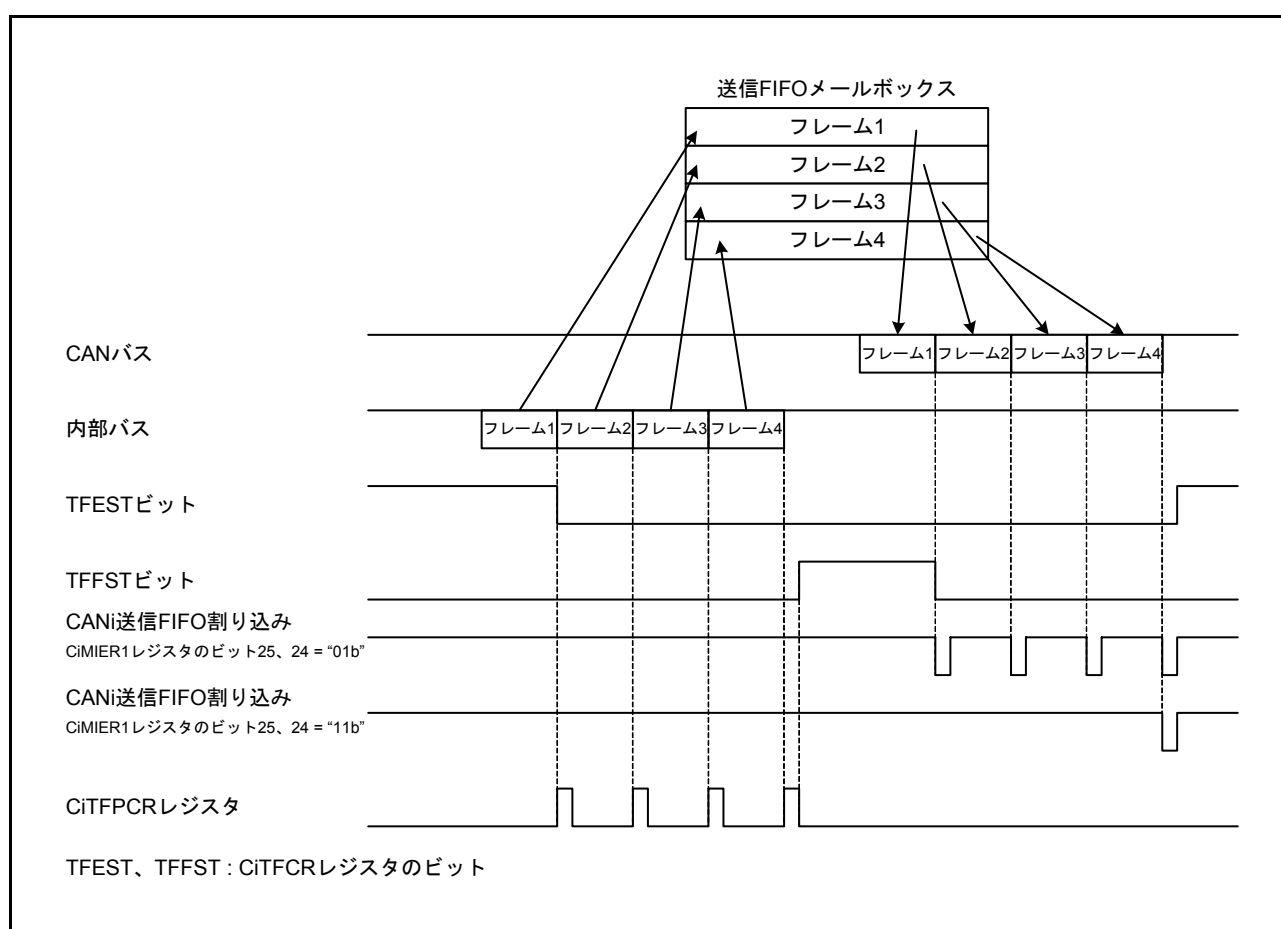
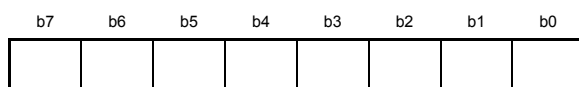


図 20.3 送信 FIFO メールボックスの動作 (CiMIER1 レジスタのビット 25、24 が“01” または“11”) (i = 0 ~ 5)

20.3.12 CAN_i 送信 FIFO ポインタ制御レジスタ (CiTFPCR) (i = 0 ~ 5)

アドレス C0TFPCR : H'FF60 054B、C1TFPCR : H'FF60 0D4B、C2TFPCR : H'FF60 154B、C3TFPCR : H'FF60 1D4B、
C4TFPCR : H'FF60 254B、C5TFPCR : H'FF60 2D4B



リセット後の値 — — — — — — —

ビット	機能	R/W
b7-b0	CiTFPCRレジスタに“H'FF”を書き込むと、CPU側の送信FIFOポインタが移動	W

送信 FIFO がフルでないとき、送信 FIFO の CPU 側ポインタを次のメールボックスに移動させるためには、プログラムで“H'FF”を書いてください。

CiTFPCR レジスタの TFE ビットが“0” (送信 FIFO 禁止) のときは、書かないでください。

20.3.13 CANi ステータスレジスタ (CiSTR) (i = 0 ~ 5)

アドレス C0STR : H'FF60 0542、C1STR : H'FF60 0D42、C2STR : H'FF60 1542、C3STR : H'FF60 1D42、
C4STR : H'FF60 2542、C5STR : H'FF60 2D42

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST	EST	TABST	FMLST	NMLST	TFST	RFST	SDST	NDST
リセット後の値	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b14	RECST	受信ステータスフラグ (receiver)	0: バスアイドルまたは送信中 1: 受信中	R
b13	TRMST	送信ステータスフラグ (transmitter)	0: バスアイドルまたは受信 1: 送信中またはバスオフ状態	R
b12	BOST	バスオフステータスフラグ	0: バスオフ状態ではない 1: バスオフ状態	R
b11	EPST	エラーパッシブステータスフラグ	0: エラーパッシブ状態ではない 1: エラーパッシブ状態	R
b10	SLPST	CANスリープステータスフラグ	0: CANスリープモードではない 1: CANスリープモード	R
b9	HLTST	CAN Haltステータスフラグ	0: CAN Haltモードではない 1: CAN Haltモード	R
b8	RSTST	CANリセットステータスフラグ	0: CANリセットモードではない 1: CANリセットモード	R
b7	EST	エラーステータスフラグ	0: エラーなし 1: エラー発生	R
b6	TABST	送信アボートステータスフラグ	0: TRMABTビットが“1”のメールボックスなし 1: TRMABTビットが“1”のメールボックスあり	R
b5	FMLST	FIFOメッセージロスステータスフラグ	0: RFMLFビットが“0” 1: RFMLFビットが“1”	R
b4	NMLST	通常メッセージロスステータスフラグ	0: MSGLOSTビットが“1”のメールボックスなし 1: MSGLOSTビットが“1”のメールボックスあり	R
b3	TFST	送信FIFOステータスフラグ	0: 送信FIFOはフル 1: 送信FIFOはフルではない	R
b2	RFST	受信FIFOステータスフラグ	0: 受信FIFOにメッセージなし(空) 1: 受信FIFOにメッセージあり	R
b1	SDST	SENTDATAステータスフラグ	0: SENTDATAビットが“1”のメールボックスなし 1: SENTDATAビットが“1”のメールボックスあり	R
b0	NDST	NEWDATAステータスビット	0: NEWDATAビットが“1”のメールボックスなし 1: NEWDATAビットが“1”のメールボックスあり	R

RECST ビット

CANモジュールが受信ノードになると、“1”になります。送信ノードかバスアイドル状態になると、“0”になります。

TRMST ビット

CANモジュールが送信ノードかバスオフ状態になると、“1”になります。受信ノードかバスアイドル状態になると、“0”になります。

BOST ビット

CiTECR レジスタの値が 255 を超えて CAN モジュールがバスオフ状態 ($TEC \geq 256$) になると、“1” になります。バスオフ状態以外になると、“0” になります。

EPST ビット

CiTECR または CiRECR レジスタの値が 127 を超えて、CAN モジュールがエラーパッシブ状態 ($128 \leq TEC < 256$ または $128 \leq REC < 256$) になると、“1” になります。エラーパッシブ状態以外になると、“0” になります。TEC は送信エラーカウンタ (CiTECR レジスタ)、REC は受信エラーカウンタ (CiRECR レジスタ) の値です。

SLPST ビット

CAN スリープモードになると、“1” になります。
CAN スリープモード以外になると、“0” になります。

HLTST ビット

CAN Halt モードになると、“1” になります。
CAN Halt モード以外になると、“0” になります。
CAN Halt モードから CAN スリープモードに遷移しても、“1” のままです。

RSTST ビット

CAN リセットモードになると、“1” になります。
CAN リセットモード以外になると、“0” になります。
CAN リセットモードから CAN スリープモードに遷移しても、“1” のままです。

EST ビット

CiEIFR レジスタで一つでもエラーが検出されると、CiEIER レジスタの値とは無関係に“1” になります。
CiEIFR レジスタで一つでもエラーが検出されないと、“0” になります。

TABST ビット

CiMCTLj レジスタの TRMABT ビットが一つでも“1” になると、CiMIER レジスタの値とは無関係に“1” になります。
TRMABT ビットがすべて“0” になると、“0” になります。

FMLST ビット

CiRFCR レジスタの RFMLF ビットが“1” になると、CiMIER レジスタの値とは無関係に“1” になります。
RFMLF ビットが“0” になると、“0” になります。

NMLST ビット

CiMCTLj レジスタの MSGLOST ビットが一つでも“1” になると、CiMIER レジスタの値とは無関係に“1” になります。
MSGLOST ビットがすべて“0” になると、“0” になります。

TFST ビット

送信 FIFO がフル以外になると、“1” になります。

送信 FIFO がフルか通常メールボックスモードになると“0”になります。

RFST ビット

受信 FIFO が空状態以外になると、“1”になります。

受信 FIFO が空状態か通常メールボックスモードになると“0”になります。

SDST ビット

CiMCTLj (j = 32 ~ 63) レジスタの SENTDATA ビットが一つでも“1”になると、CiMIER レジスタの値とは無関係に“1”になります。

SENTDATA ビットがすべて“0”になると、“0”になります。

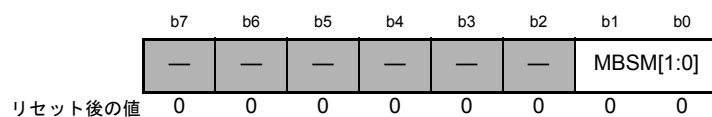
NDST ビット

CiMCTLj (j = 0 ~ 63) レジスタの NEWDATA ビットが一つでも“1”になると、CiMIER レジスタの値とは無関係に“1”になります。

NEWDATA ビットがすべて“0”になると、“0”になります。

20.3.14 CANi メールボックスサーチモードレジスタ (CiMSMR) (i = 0 ~ 5)

アドレス C0MSMR : H'FF60 0553、C1MSMR : H'FF60 0D53、C2MSMR : H'FF60 1553、C3MSMR : H'FF60 1D53、
C4MSMR : H'FF60 2553、C5MSMR : H'FF60 2D53



ビット	シンボル	ビット名	機能	R/W
b7-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1-b0	MBSM[1:0]	メールボックス検索モード選択ビット	b1 b0 0 0 : 受信メールボックス検索モード 0 1 : 送信メールボックス検索モード 1 0 : メッセージロスト検索モード 1 1 : チャネル検索モード	R/W

CiMSMR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

MBSM ビット

メールボックス検索機能のための検索モードを選択します。

“00”の場合、受信メールボックス検索モードになります。このモードで検索対象となるビットは、CiMCTLj レジスタ (j = 0 ~ 63) の通常メールボックスでの NEWDATA ビットと CiRFCR レジスタの RFEST ビットです。

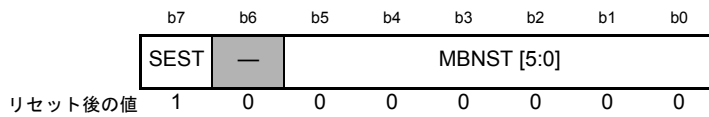
“01”の場合、送信メールボックス検索モードになります。このモードで検索対象となるビットは、CiMCTLj レジスタの SENTDATA ビットです。

“10”の場合、メッセージロスト検索モードになります。このモードで検索対象となるビットは、CiMCTLj レジスタの通常メールボックスでの MSGLOST ビットと CiRFCR レジスタの RFMLF ビットです。

“11”の場合、チャネル検索モードになります。このモードで検索対象となるレジスタは CiCSSR レジスタです。「20.3.16 CANi チャネルサーチサポートレジスタ (CiCSSR) (i = 0 ~ 5)」を参照してください。

20.3.15 CAN_i メールボックスサーチステータスレジスタ (CiMSSR) (i = 0 ~ 5)

アドレス C0MSSR : H'FF60 0552、C1MSSR : H'FF60 0D52、C2MSSR : H'FF60 1552、C3MSSR : H'FF60 1D52、
C4MSSR : H'FF60 2552、C5MSSR : H'FF60 2D52



ビット	シンボル	ビット名	機能	R/W
b7	SEST	検索結果空ステータスビット	0 : 検索結果あり 1 : 検索結果なし	R
b6	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b5-b0	MBNST [5:0]	検索結果メールボックス番号ステータスビット	各検索モードの検索結果を出力 出力番号 : 0 ~ 63	R

SEST ビット

すべてのメールボックスの検索で該当するメールボックスがない場合、“1”(検索結果なし)になります。

たとえば、送信メールボックス検索モードで、SENTDATA ビットが“1”のメールボックスがひとつもない場合“1”になり、ひとつでもある場合“0”になります。

SEST ビットが“1”の場合、MBNST ビットの値は不定です。

MBNST ビット

CiMSSR レジスタの各モードで検索された、最小のメールボックス番号が出力されます。受信メールボックス検索モード、送信メールボックス検索モード、およびメッセージロスト検索モードにより、出力される検索結果であるメールボックスの値は、次の場合に更新されます。

- 出力されたメールボックスの NEWDATA、SENTDATA、または MSGLOST ビットが“0”になる
- より優先順位の高いメールボックスの NEWDATA、SENTDATA、または MSGLOST ビットが“1”になる

MBSM ビットが“00”(受信メールボックス検索モード)および“10”(メッセージロスト検索モード)のとき、受信 FIFO が空状態でなく、すべての通常メールボックス(メールボックス [0]~[55])に未読の受信メッセージもロストメッセージもない場合、受信 FIFO(メールボックス [60])が出力されます。

MBSM ビットが“01”(送信メールボックス検索モード)のとき、送信 FIFO(メールボックス [56])は出力されません。

表 20.13 に FIFO メールボックスモードでの MBNST ビットの動作を示します。

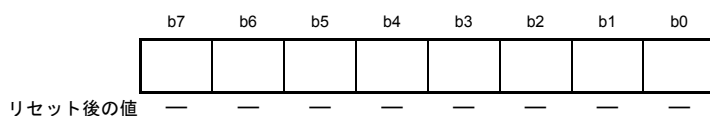
チャンネル検索モードでは、チャンネル番号が出力されます。CiMSSR レジスタがプログラムで読み出された後に、次のターゲットチャンネル番号が出力されます。

表 20.13 FIFO メールボックスモードでの MBNST ビットの動作

MBSM ビット	メールボックス [56] (送信 FIFO)	メールボックス [60] (受信 FIFO)
“00”	メールボックス [56] は出力されない	通常メールボックスのどの NEWDATA ビットも“1”(新しいメッセージがメールボックスに格納中または格納された)にならず、また受信 FIFO が空でない場合はメールボックス [60] が出力される。
“01”		メールボックス [60] は出力されない。
“10”		通常メールボックスのどの MSGLOST ビットも“1”(メッセージはオーバライトまたはオーバランされた)にならず、受信 FIFO 内の RFMLF ビットが“1”(受信 FIFO メッセージロスト発生)になるとメールボックス [60] が出力される。
“11”		メールボックス [60] は出力されない。

20.3.16 CAN_i チャンネルサーチサポートレジスタ (CiCSSR) (i = 0 ~ 5)

アドレス C0CSSR : H'FF60 0551、C1CSSR : H'FF60 0D51、C2CSSR : H'FF60 1551、C3CSSR : H'FF60 1D51、
C4CSSR : H'FF60 2551、C5CSSR : H'FF60 2D51



ビット	機能	R/W
b7-b0	チャンネル検索の値が入力された場合、チャンネル番号をCiMSSRレジスタに出力	W

“1” が設定された CiCSSR レジスタのビットは、8/3 エンコーダ (最小ビット位置がより高い優先順位) によってエンコードされ、CiMSSR レジスタの MBNST ビットに出力されます。

CiMSSR レジスタは、CiMSSR レジスタをプログラムで読み出すたびに更新された値が表示されます。

CiCSSR レジスタは、CiMSSR レジスタの MBSM ビットが “11” (チャンネル検索モード) のときのみ変更してください。

CAN オペレーションモードまたは CAN Halt モード時に変更してください。

図 20.4 に CiCSSR、CiMSSR レジスタの書き込みと読み出しを示します。

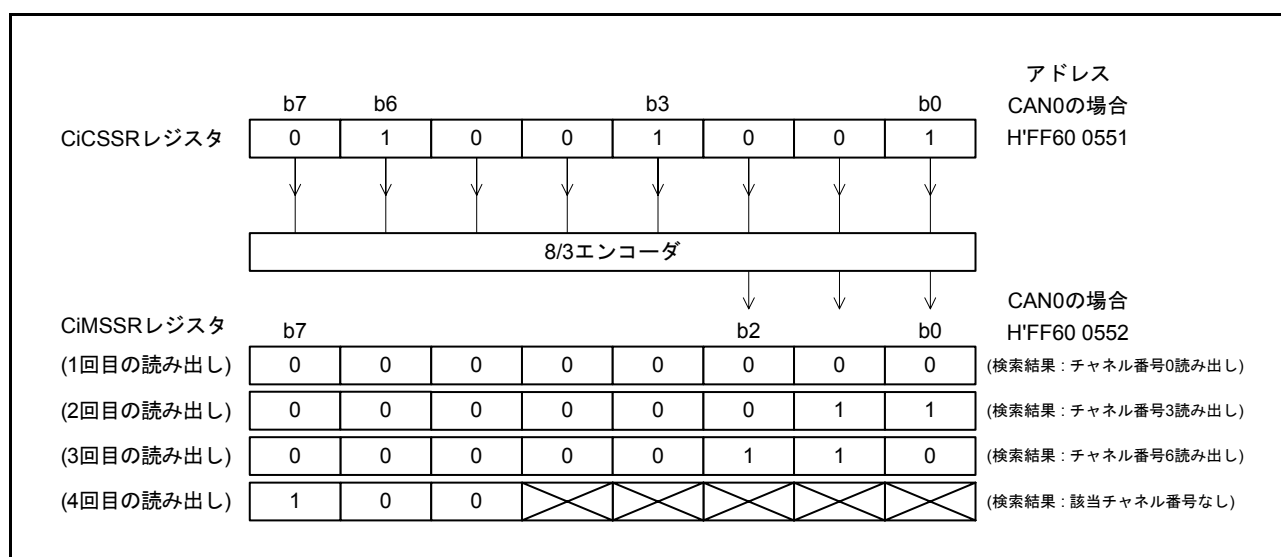
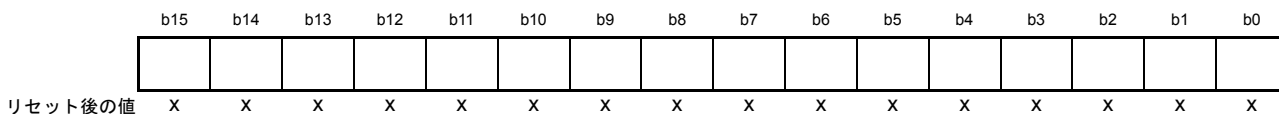


図 20.4 CiCSSR、CiMSSR レジスタの書き込みと読み出し (i = 0 ~ 5)

CiCSSR レジスタの値は CiMSSR レジスタを読み出すたびに更新されます。読んだ場合、8/3 エンコーダ変更前の値が読めます。

20.3.17 CANi アクセプタンスフィルタサポートレジスタ (CiAFSR) (i = 0 ~ 5)

アドレス C0AFSR : H'FF60 0556、C1AFSR : H'FF60 0D56、C2AFSR : H'FF60 1556、C3AFSR : H'FF60 1D56、C4AFSR : H'FF60 2556、C5AFSR : H'FF60 2D56



ビット	機能	R/W
b15-b0	受信メッセージの標準IDを書いた後に、データテーブル検索用に変換された値を読みます。	R/W

アクセプタンスフィルタサポートユニット (ASU) は、あらかじめユーザにより作成された全標準 ID が有効か無効かを 1 ビット単位で設定したデータテーブル (8 ビット × 256) の検索に使用できます。受信した標準 ID が格納された CiMBj レジスタ (j=0~63) の SID ビットを含む 16 ビット単位のデータを CiAFSR レジスタへ書くと、デコードされたデータテーブル検索用の行 (バイトオフセット) 位置と列 (ビット) 位置が読み出せます。ASU は、標準 (11 ビット) ID のみに使用できます。

ASU は、次の場合に有効です。

- 受信する ID がアクセプタンスフィルタでマスクできない場合
(例) 受信する ID : H'078、H'087、H'111
- 受信する ID が多すぎて、ソフトウェアによるフィルタリングの処理時間を減少させたい場合
CiAFSR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

図 20.5 に CiAFSR レジスタの書き込み、読み出しを示します。

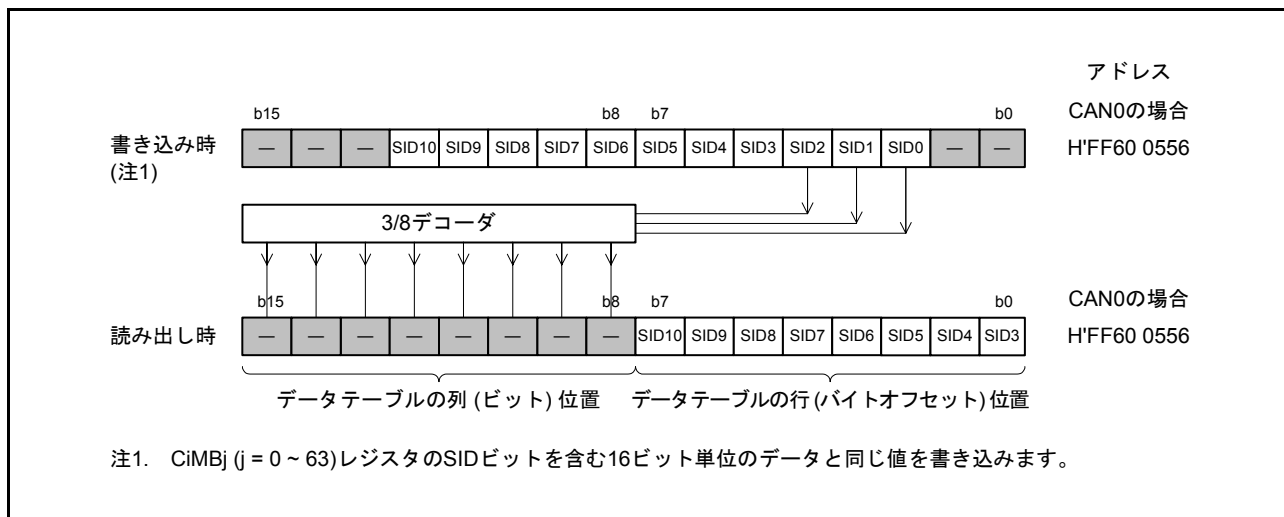


図 20.5 CiAFSR レジスタの書き込み、読み出し (i = 0 ~ 5)

20.3.18 CANi エラー割り込み許可レジスタ (CiEIER) (i = 0 ~ 5)

アドレス C0EIER : H'FF60 054C、C1EIER : H'FF60 0D4C、C2EIER : H'FF60 154C、C3EIER : H'FF60 1D4C、
C4EIER : H'FF60 254C、C5EIER : H'FF60 2D4C

b7	b6	b5	b4	b3	b2	b1	b0
BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	BLIE	バスロック割り込み許可ビット	0:バスロック割り込み禁止 1:バスロック割り込み許可	R/W
b6	OLIE	オーバーロードフレーム送信割り込み許可ビット	0:オーバーロードフレーム送信割り込み禁止 1:オーバーロードフレーム送信割り込み許可	R/W
b5	ORIE	受信オーバラン割り込み許可ビット	0:受信オーバラン割り込み禁止 1:受信オーバラン割り込み許可	R/W
b4	BORIE	バスオフ復帰割り込み許可ビット	0:バスオフ復帰割り込み禁止 1:バスオフ復帰割り込み許可	R/W
b3	BOEIE	バスオフ開始割り込み許可ビット	0:バスオフ開始割り込み禁止 1:バスオフ開始割り込み許可	R/W
b2	EPIE	エラーパッシブエントリ割り込み許可ビット	0:エラーパッシブ割り込み禁止 1:エラーパッシブ割り込み許可	R/W
b1	EWIE	エラーワーニング割り込み許可ビット	0:エラーワーニング割り込み禁止 1:エラーワーニング割り込み許可	R/W
b0	BEIE	バスエラー割り込み許可ビット	0:バスエラー割り込み禁止 1:バスエラー割り込み許可	R/W

CiEIER レジスタは、CiEIFR レジスタのエラー割り込み要因に対して個別にエラー割り込み許可 / 禁止を設定できます。

CAN リセットモード時のみ変更してください。

BLIE ビット

“0”にすると、CiEIFR レジスタの BLIF ビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、BLIF ビットが“1”になった場合、エラー割り込み要求が発生します。

OLIE ビット

“0”にすると、CiEIFR レジスタの OLIF ビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、OLIF ビットが“1”になった場合、エラー割り込み要求が発生します。

ORIE ビット

“0”にすると、CiEIFR レジスタの ORIF ビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、ORIF ビットが“1”になった場合、エラー割り込み要求が発生します。

BORIE ビット

“0”にすると、CiEIFR レジスタの BORIF ビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、BORIF ビットが“1”になった場合、エラー割り込み要求が発生します。

BOEIE ビット

“0”にすると、CiEIFRレジスタのBOEIFビットが“1”になっても、エラー割り込み要求は発生しません。
“1”にすると、BOEIFビットが“1”になった場合、エラー割り込み要求が発生します。

EPIE ビット

“0”にすると、CiEIFRレジスタのEPIFビットが“1”になっても、エラー割り込み要求は発生しません。
“1”にすると、EPIFビットが“1”になった場合、エラー割り込み要求が発生します。

EWIE ビット

“0”にすると、CiEIFRレジスタのEWIFビットが“1”になっても、エラー割り込み要求は発生しません。
“1”にすると、EWIFビットが“1”になった場合、エラー割り込み要求が発生します。

BEIE ビット

“0”にすると、CiEIFRレジスタのBEIFビットが“1”になっても、エラー割り込み要求は発生しません。
“1”にすると、BEIFビットが“1”になった場合、エラー割り込み要求が発生します。

20.3.19 CAN_i エラー割り込み要因判定レジスタ (CiEIFR) (i = 0 ~ 5)

アドレス C0EIFR : H'FF60 054D、C1EIFR : H'FF60 0D4D、C2EIFR : H'FF60 154D、C3EIFR : H'FF60 1D4D、
C4EIFR : H'FF60 254D、C5EIFR : H'FF60 2D4D

b7	b6	b5	b4	b3	b2	b1	b0
BLIF	OLIF	ORIF	BORIF	BOEIF	EPIF	EWIF	BEIF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7	BLIF	バスロック検出フラグ	0 : バスロック未検出 1 : バスロック検出	R/W
b6	OLIF	オーバーロードフレーム送信検出フラグ	0 : オーバロードフレーム送信未検出 1 : オーバロードフレーム送信検出	R/W
b5	ORIF	受信オーバラン検出フラグ	0 : 受信オーバラン未検出 1 : 受信オーバラン検出	R/W
b4	BORIF	バスオフ復帰検出フラグ	0 : バスオフ復帰未検出 1 : バスオフ復帰検出	R/W
b3	BOEIF	バスオフ開始検出フラグ	0 : バスオフ開始未検出 1 : バスオフ開始検出	R/W
b2	EPIF	エラーパッシブ検出フラグ	0 : エラーパッシブ未検出 1 : エラーパッシブ検出	R/W
b1	EWIF	エラーワーニング検出フラグ	0 : エラーワーニング未検出 1 : エラーワーニング検出	R/W
b0	BEIF	バスエラー検出フラグ	0 : バスエラー未検出 1 : バスエラー検出	R/W

CiEIFR レジスタは、各ビットに対応する現象が発生すると、CiEIER レジスタの設定にかかわらず対応するビットが“1”になります。

各ビットを“0”にする場合は、プログラムで“0”を書いてください。“1”になるタイミングとプログラムで“0”にするタイミングが同時の場合、そのビットは“1”になります。

各ビットにプログラムで“0”を書く場合は MOV 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。“1”を書いてもこれらのビットの値は変化しません。

BLIF ビット

CAN モジュールが CAN オペレーションモードの間、CAN バス上に 32 の連続するドミナントビットを検出すると、“1”になります。

“1”になった後、次のどちらかで再検出します。

- このビットを“1”から“0”にした後、レセプティブビットを検出。
- このビットを“1”から“0”にした後、CAN リセットモードまたは CAN Halt モードに遷移し、再度 CAN オペレーションモードに遷移。

OLIF ビット

CAN モジュールが受信または送信を行う場合にオーバーロードフレームの送信条件が検出されると、“1”になります。

ORIF ビット

受信オーバランが発生すると、“1”になります。

オーバーライトモードでは“1”になりません。オーバーライトモードの場合、オーバーライト条件が発生すると、受信完了割り込み要求が発生し、“1”にはなりません。

通常メールボックスモードの場合、オーバランモードで、メールボックス [0] ~ [63] のいずれかでオーバランが発生すると、“1”になります。

FIFO メールボックスモードの場合、オーバランモードで、メールボックス [0] ~ [55] のいずれかまたは受信 FIFO でオーバランが発生すると、“1”になります。

BORIF ビット

CAN モジュールが次の条件でバスオフ状態から通常復帰 (11 の連続するレセンプビットを 128 回検出) した場合、“1”になります。

- CiCTLR レジスタの BOM ビットが “00” のとき
- BOM ビットが “10” のとき
- BOM ビットが “11” のとき

なお、CAN モジュールが次の条件でバスオフ状態から復帰した場合、“1”になりません。

- CiCTLR レジスタの CANM ビットを “01” または “11” (CAN リセットモード) にしたとき
- CiCTLR レジスタの RBOC ビットを “1” (バスオフからの強制復帰) にしたとき
- BOM ビットが “01” のとき
- BOM ビットが “11” で、通常復帰が発生する前に、CANM ビットを “10” (CAN Halt モード) にしたとき

表 20.14 に BOM ビットの設定による BOEIF、BORIF ビットの動作を示します。

表 20.14 BOM ビットの設定による BOEIF、BORIF ビットの動作

BOMビット	BOEIFビット	BORIFビット
00	バスオフ状態への遷移時“1”になる	バスオフ状態からの復帰時“1”になる
01		“1”にはならない
10		バスオフ状態からの復帰時“1”になる
11		CANMビットが“10”(CAN Haltモード)になる前に、通常のバスオフ状態からの復帰が発生した場合“1”になる

BOEIF ビット

CAN エラーステートがバスオフ状態 (TEC (送信エラーカウンタ) の値が 255 を超える) になると、“1”になります。

CiCTLR レジスタの BOM ビットが “01” (バスオフ開始で自動的に CAN Halt モードへ遷移) で、CAN モジュールがバスオフ状態になった場合も、“1”になります。

EPIF ビット

CAN エラーステートがエラーパッシブ状態 (REC (受信エラーカウンタ) または TEC の値が 127 を超える) になると、“1”になります。

REC または TEC が最初に 127 を超えたときのみ “1” になります。したがって、REC または TEC が 127 を超えたままで、プログラムで “0” を書いた場合、一度 REC と TEC が 127 以下になり、再び REC または TEC が 127 を超えるまでは “1” にはなりません。

EWIF ビット

REC または TEC の値が 95 を超えると、“1” になります。

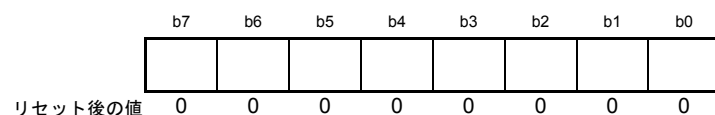
REC または TEC が最初に 95 を超えたときのみ“1”になります。したがって、REC または TEC が 95 を超えたままで、プログラムで“0”を書いた場合、一度 REC と TEC が 95 以下になり、再び REC または TEC が 95 を超えるまでは“1”にはなりません。

BEIF ビット

バスエラーが検出されると、“1”になります。

20.3.20 CAN_i 受信エラーカウントレジスタ (CiRECR) (i = 0 ~ 5)

アドレス C0RECR : H'FF60 054E、C1RECR : H'FF60 0D4E、C2RECR : H'FF60 154E、C3RECR : H'FF60 1D4E、
C4RECR : H'FF60 254E、C5RECR : H'FF60 2D4E



ビット	機能	R/W
b7-b0	受信エラーカウン機能 受信中のCANモジュールのエラー状態によってカウンタ値を増減させます。	R

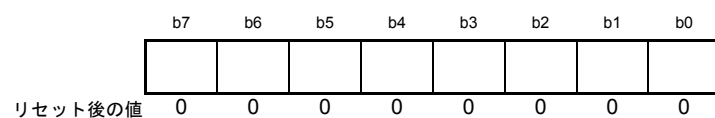
CiRECR レジスタは、受信エラーカウンタの値を示します。

受信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

バスオフ状態時の値は不定になります。

20.3.21 CAN_i 送信エラーカウントレジスタ (CiTECR) (i = 0 ~ 5)

アドレス C0TECR : H'FF60 054F、C1TECR : H'FF60 0D4F、C2TECR : H'FF60 154F、C3TECR : H'FF60 1D4F、
C4TECR : H'FF60 254F、C5TECR : H'FF60 2D4F



ビット	機能	R/W
b7-b0	送信エラーカウン機能 送信中のCANモジュールのエラー状態によってカウンタ値を増減させます。	R

CiTECR レジスタは、送信エラーカウンタの値を示します。

送信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

バスオフ状態時の値は不定になります。

20.3.22 CANi エラーコード格納レジスタ (CiECSR) (i = 0 ~ 5)

アドレス C0ECSR : H'FF60 0550、C1ECSR : H'FF60 0D50、C2ECSR : H'FF60 1550、C3ECSR : H'FF60 1D50、
C4ECSR : H'FF60 2550、C5ECSR : H'FF60 2D50

b7	b6	b5	b4	b3	b2	b1	b0
EDPM	ADEF	BE0F	BE1F	CEF	AEF	FEF	SEF

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	EDPM	エラー表示モード選択ビット (注1、2)	0: 最初に検出されたエラーコードを出力 1: 蓄積したエラーコードを出力	R/W
b6	ADEF	ACKデリミタエラーフラグ (注3、4)	0: ACKデリミタエラー未検出 1: ACKデリミタエラー検出	R/W
b5	BE0F	ビットエラー(ドミナント)フラグ (注3、4)	0: ビットエラー未検出 1: ビットエラー(ドミナント)検出	R/W
b4	BE1F	ビットエラー(レセシブ)フラグ (注3、4)	0: ビットエラー未検出 1: ビットエラー(レセシブ)検出	R/W
b3	CEF	CRCエラーフラグ(注3、4)	0: CRCエラー未検出 1: CRCエラー検出	R/W
b2	AEF	ACKエラーフラグ(注3、4)	0: ACKエラー未検出 1: ACKエラー検出	R/W
b1	FEF	フォームエラーフラグ(注3、4)	0: フォームエラー未検出 1: フォームエラー検出	R/W
b0	SEF	スタッフエラーフラグ(注3、4)	0: スタッフエラー未検出 1: スタッフエラー検出	R/W

注1. EDPMビットは、CANリセットモードまたはCAN Haltモード時に変更してください。

注2. 同時に1つ以上のエラー条件が検出された場合は、関係するすべてのビットが“1”になります。

注3. “1”を書いてもこれらのビットの値は変化しません。

注4. SEF、FEF、AEF、CEF、BE1F、BE0F、およびADEFビットにプログラムで“0”を書く場合はMOV命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

CiECSRレジスタは、CANバス上のエラーの発生をモニタリングする場合に使用できます。

各エラーの発生条件を確認するには、CAN仕様(ISO11898-1)を参照してください。

EDPMビット以外の各ビットを“0”にする場合は、プログラムで“0”を書いてください。各ビットが“1”になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのビットは“1”になります。

EDPM ビット

CiECSRレジスタの出力モードを選択します。

“0”にすると、CiECSRレジスタは最初のエラーコードを出力します。

“1”にすると、CiECSRレジスタは蓄積したエラーコードを出力します。

ADEF ビット

送信中のACKデリミタでフォームエラーを検出すると、“1”になります。

BE0F ビット

ドミナントビットエラーを検出すると、“1”になります。

BE1F ビット

レセシブビットエラーを検出すると、“1”になります。

CEF ビット

CRC エラーを検出すると、“1” になります。

AEF ビット

ACK エラーを検出すると、“1” になります。

FEF ビット

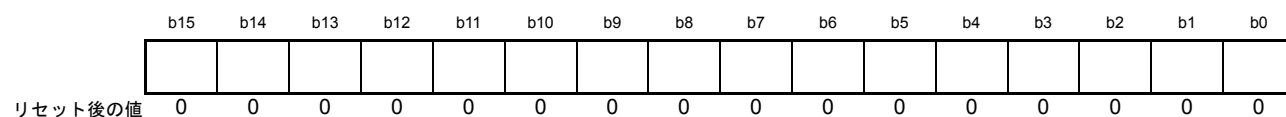
フォームエラーを検出すると、“1” になります。

SEF ビット

スタッフエラーを検出すると、“1” になります。

20.3.23 CAN_i タイムスタンプレジスタ (CiTSR) (i = 0 ~ 5)

アドレス C0TSR : H'FF60 0554、C1TSR : H'FF60 0D54、C2TSR : H'FF60 1554、C3TSR : H'FF60 1D54、
C4TSR : H'FF60 2554、C5TSR : H'FF60 2D54



ビット	機能	R/W
b15-b0	タイムスタンプ機能のためのフリーランカウンタ値です。	R

CiTSR レジスタを読むと、その時点のタイムスタンプカウンタ (16 ビットフリーランカウンタ) の値が読み出せます。

タイムスタンプカウンタの基準クロックの値は1ビットタイムを逡倍したもので、CiCTLR レジスタの TSPS ビットで設定します。

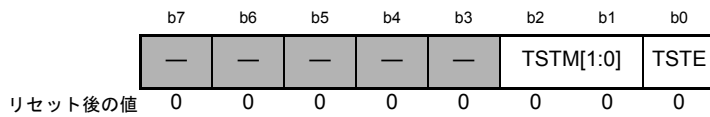
タイムスタンプカウンタは、CAN スリープモードおよび CAN Halt モードで停止し、CAN リセットモードで初期化されます。

受信メッセージが受信メールボックスに格納されるときのタイムスタンプカウンタの値が CiMB_j レジスタの TSL、TSH へ格納されます。

読み出しは 16 ビット単位で実行してください。

20.3.24 CAN_i テスト制御レジスタ (CiTCR) (i = 0 ~ 5)

アドレス C0TCR : H'FF60 0558、C1TCR : H'FF60 0D58、C2TCR : H'FF60 1558、C3TCR : H'FF60 1D58、
C4TCR : H'FF60 2558、C5TCR : H'FF60 2D58



ビット	シンボル	ビット名	機能	R/W
b7-b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2-b1	TSTM[1:0]	CANテストモード選択ビット	b2 b1 0 0 : CANテストモードではない 0 1 : リッスンオンリモード 1 0 : セルフテストモード0 (外部ループバック) 1 1 : セルフテストモード1 (内部ループバック)	R/W
b0	TSTE	テストモード許可ビット	0 : CANテストモード禁止 1 : CANテストモード許可	R/W

CiTCR レジスタは、CAN Halt モード時のみ変更してください。

TSTM ビット

CAN テストモードを選択するビットです。

各 CAN テストモードの詳細を「20.3.24 (1) リッスンオンリモード」、「20.3.24 (2) セルフテストモード0 (外部ループバック)」、「20.3.24 (3) セルフテストモード1 (内部ループバック)」で説明します。

TSTE ビット

“0”にすると、CAN テストモードは禁止になります。

“1”にすると、CAN テストモードは許可になります。

(1) リッスンオンリモード

CAN仕様 (ISO11898-1) では、オプションのバスモニタモードが推奨されています。リッスンオンリモードでは、有効なデータフレームと有効なリモートフレームとを受信できますが、CANバス上にはレセプビットのみが送信され、ACK ビット、オーバロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、ボーレート検出に使用できます。

リッスンオンリモードでは、どのメールボックスからも送信要求をしないでください。

図 20.6 にリッスンオンリモード選択時の接続を示します。

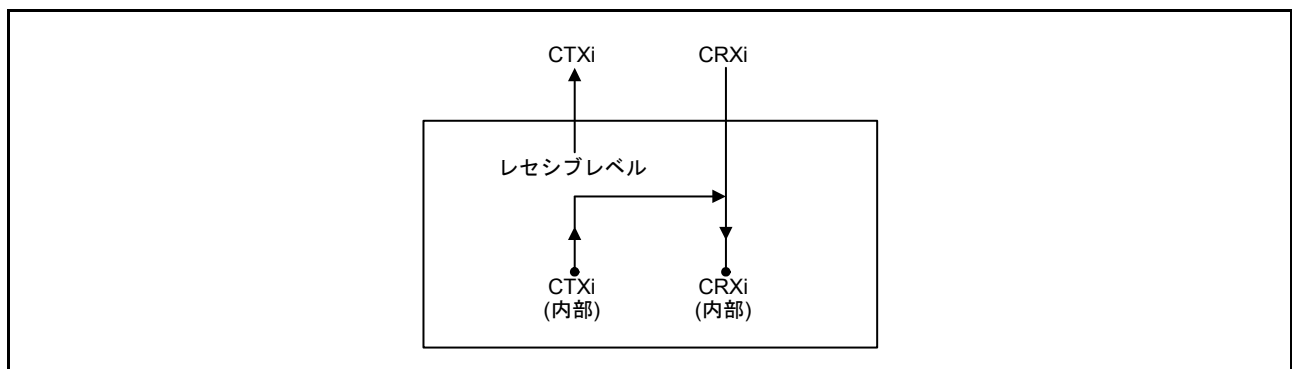


図 20.6 リッスンオンリモード選択時の接続

(2) セルフテストモード 0 (外部ループバック)

セルフテストモード 0 は CAN トランシーバテスト用です。

セルフテストモード 0 では、送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、ACK ビットを生成します。

CTXi/CRXi 端子は CAN トランシーバに接続してください。

図 20.7 にセルフテストモード 0 選択時の接続を示します。

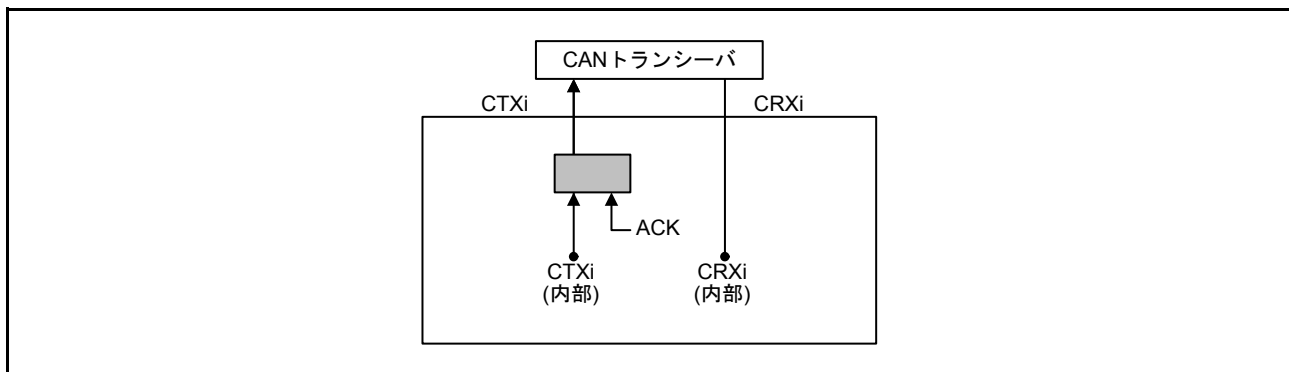


図 20.7 セルフテストモード 0 選択時の接続

(3) セルフテストモード 1 (内部ループバック)

セルフテストモード 1 は、セルフテスト機能用です。

セルフテストモード 1 では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、ACK ビットを生成します。

セルフテストモード 1 では内部 CTXi 端子から内部 CRXi 端子への内部フィードバックを行います。外部 CRXi 端子の入力の値は無視されます。外部 CTXi 端子はレセプティブビットのみ出力します。CTXi/CRXi 端子は CAN バスや他のどの外部デバイスにも接続する必要がありません。

図 20.8 にセルフテストモード 1 選択時の接続を示します。

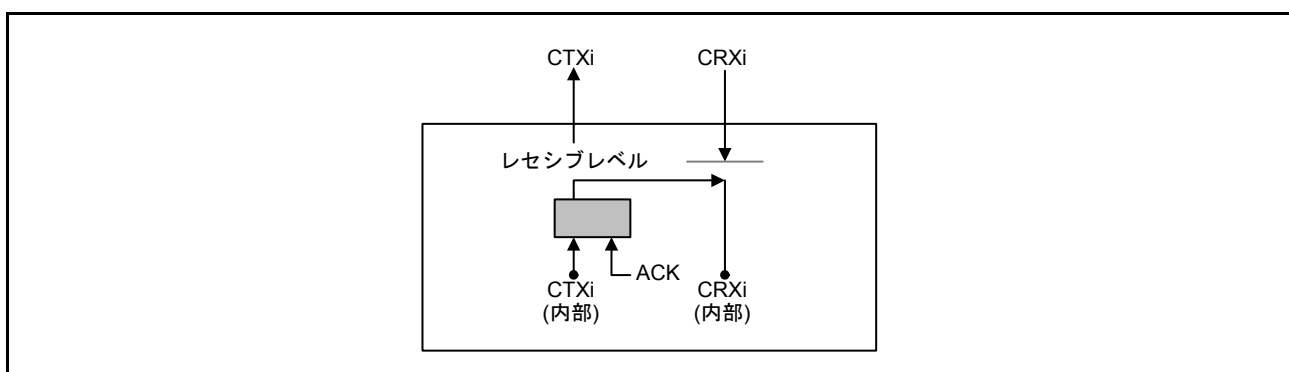


図 20.8 セルフテストモード 1 選択時の接続

20.4 動作モード

CAN モジュールには、次の4つの動作モードがあります。

- CAN リセットモード
- CAN Halt モード
- CAN オペレーションモード
- CAN スリープモード

図 20.9 に CAN 動作モード間の遷移を示します。

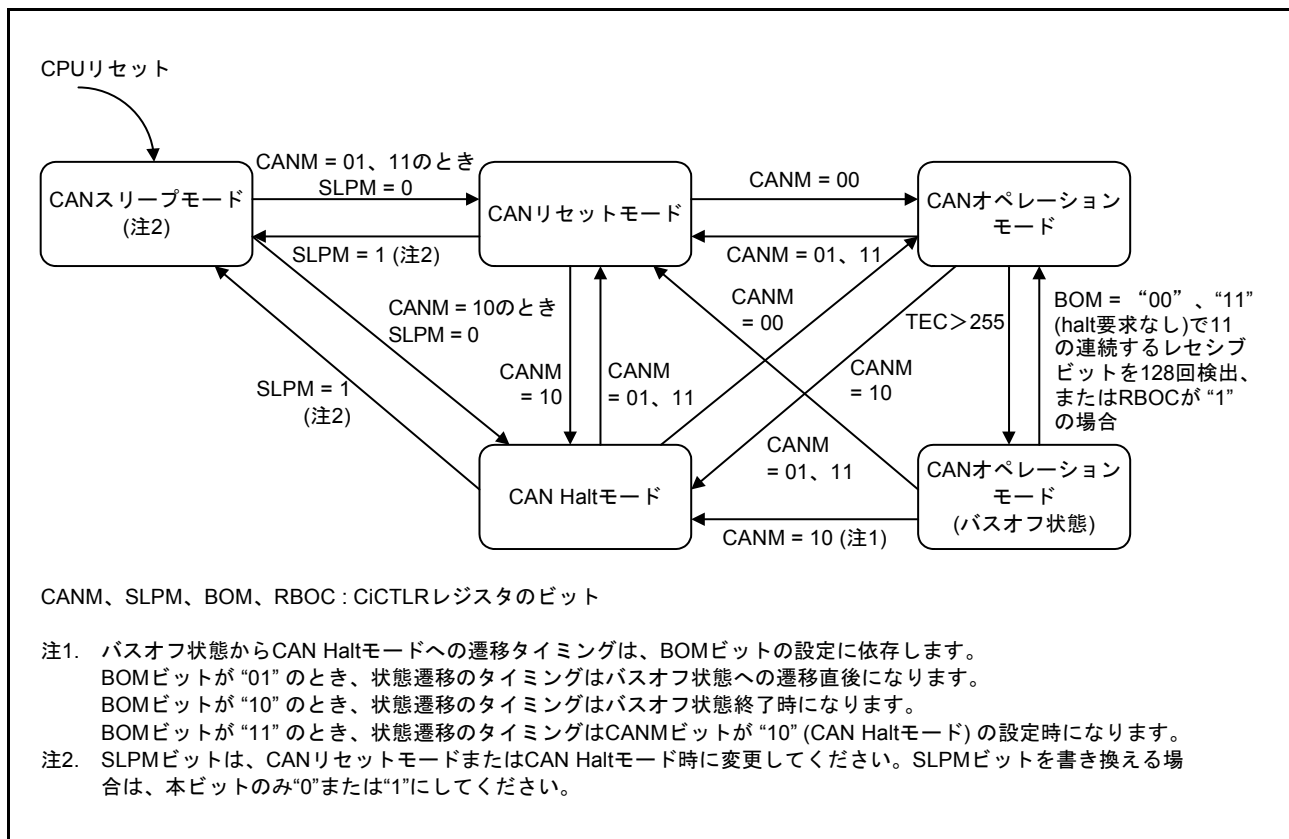


図 20.9 CAN 動作モード間の遷移 (i = 0 ~ 5)

20.4.1 CAN リセットモード

CAN リセットモードは、CAN 通信を設定するモードです。

CiCTLR レジスタの CANM ビットを“01”または“11”にすると、CAN モジュールは CAN リセットモードになります。そのとき、CiSTR レジスタの RSTST ビットが“1”になります。RSTST ビットが“1”になるまで、CANM ビットを変更しないでください。CAN リセットモードから他のモードへ遷移する前に、CiBCR レジスタを設定してください。

以下のレジスタは、CAN リセットモードに遷移した後、それぞれのリセット後の値に初期化され、CAN リセットモード中は初期値を維持します。

- CiMCTLj レジスタ
- CiSTR レジスタ (SLPST ビットと TFST ビットを除く)
- CiEIFR レジスタ
- CiRECR レジスタ
- CiTECR レジスタ
- CiTSR レジスタ
- CiMSSR レジスタ
- CiMSMR レジスタ
- CiRFCR レジスタ
- CiTFPCR レジスタ
- CiTCR レジスタ
- CiECSR レジスタ (EDPM ビットを除く)

以下のレジスタは、CAN リセットモードに遷移した後も以前の値を保持します。

- CiCTLR レジスタ
- CiSTR レジスタ (SLPST ビットと TFST ビット)
- CiMIER0、CiMIER1 レジスタ
- CiEIER レジスタ
- CiBCR レジスタ
- CiCSSR レジスタ
- CiECSR レジスタ (EDPM ビットのみ)
- CiMBj レジスタ
- CiMKR0 ~ CiMKR9 レジスタ
- CiFIDCR0、CiFIDCR1 レジスタ
- CiMKIVLR0、CiMKIVLR1 レジスタ
- CiAFSR レジスタ
- CiRFPCR レジスタ
- CiTFPCR レジスタ

20.4.2 CAN Halt モード

CAN Halt モードは、メールボックスの設定とテストモードを設定するモードです。

CiCTLR レジスタの CANM ビットを“10”にすると、CAN Halt モードになります。そのとき、CiSTR レジスタの HLTST ビットが“1”になります。HLTST ビットが“1”になるまで CANM ビットを変更しないでください。

送信または受信時の状態遷移の条件は、表 20.15 を参照してください。

CAN Halt モードへの遷移では、CiSTR レジスタの RSTST ビット、HLTST ビットおよび SLPST ビット以外のビットと他のすべてのレジスタは変化しません。

CAN Halt モードでは、CiCTLR レジスタ (CANM ビットおよび SLPM ビットを除く) および CiEIER レジスタは変更しないでください。CAN テストモードで、自動ポーレート検出として使用するためにリッスンオンリモードを選択している場合のみ、CAN Halt モードで CiBCR レジスタを変更できます。

表 20.15 CAN リセットモードと CAN Halt モードでの動作

モード	受信	送信	バスオフ
CAN リセットモード (強制遷移) CANM = “11”	CANモジュールは受信メッセージの終了を待たずにCANリセットモードに遷移	CANモジュールはメッセージ送信の終了を待たずにCANリセットモードに遷移	CANモジュールはバスオフ復帰の終了を待たずにCANリセットモードに遷移
CAN リセットモード CANM = “01”	CANモジュールは受信メッセージの終了を待たずにCANリセットモードに遷移	CANモジュールはメッセージ送信の終了を待ってCANリセットモードに遷移(注1、4)	CANモジュールはバスオフ復帰の終了を待たずにCANリセットモードに遷移
CAN Halt モード	CANモジュールは受信メッセージの終了を待ってCAN Halt モードに遷移(注2、3)	CANモジュールはメッセージ送信の終了を待ってCAN Halt モードに遷移(注1、4)	[BOMビットが“00”の場合] CANモジュールはバスオフ復帰の後のみ、プログラムのHalt要求を受け付ける [BOMビットが“01”の場合] CANモジュールはバスオフ復帰の終了を待たずに自動的にCAN Halt モードに遷移(プログラムのHalt要求とは無関係に) [BOMビットが“10”の場合] CANモジュールはバスオフ復帰の終了を待って自動的にCAN Halt モードに遷移(プログラムのHalt要求とは無関係に) [BOMビットが“11”の場合] CANモジュールはバスオフ中にプログラムによるHalt要求があると、CAN Halt モードに遷移(バスオフ復帰の終了を待たずに)

注1. いくつかのメッセージが送信要求されている場合、最初の送信完了後にモードを遷移します。サスペンドトランスマッション中にCANリセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、またはCANモジュールが受信になったときに、モードを遷移します。

注2. CANバスがドミナントレベルでロックされた場合、CiEIFRレジスタのBLIFビットをモニタすると、プログラムはバスロック状態を検出できます。

注3. CAN Haltモードが要求された後、受信中にCANバスエラーが発生すると、CAN Haltモードに遷移します。

注4. CANリセットモードまたはCAN Haltモードが要求された後、送信中にCANバスエラーまたはCANアービトレーションロストが発生すると、要求されたCANモードに遷移します。

注. BOMビット: CiCTLRレジスタのビット(i = 0 ~ 5)

20.4.3 CAN スリープモード

CAN スリープモードは、CAN モジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCU のハードウェアリセットまたはソフトウェアリセット後、CAN モジュールは、CAN スリープモードから動作を開始します。

CiCTLR レジスタの SLPM ビットを“1”にすると、CAN スリープモードになります。そのとき、CiSTR レジスタの SLPST ビットが“1”になります。SLPST ビットが“1”になるまで、SLPM ビットの値を変更しないでください。CAN スリープモードへの遷移時は、他のレジスタは変化しません。

SLPM ビットは、CAN リセットモードと CAN Halt モードで変更してください。SLPM ビットを除く他のレジスタは、CAN スリープモード中に変更しないでください。読み出し動作は許可されます。

SLPM ビットを“0”にすると、CAN スリープモードから解除されます。CAN スリープモードからの復帰時、他のレジスタは変化しません。

20.4.4 CAN オペレーションモード (バスオフ状態以外)

CAN オペレーションモードはCAN 通信をするモードです。

CiCTLR レジスタの CANM ビットを“00”にすると、CAN モジュールはCAN オペレーションモードになります。そのとき、CiSTR レジスタの RSTST ビットと HLTST ビットが“0”になります。RSTST ビットと HLTST ビットが“0”になるまで、CANM ビットの値を変更しないでください。

CAN オペレーションモードに遷移した後、11 の連続するレセシブビットを検出すると、CAN モジュールは次の状態になります。

- CAN モジュールは、通信が可能なネットワーク上でのアクティブノードとなり、CAN メッセージの送受信が可能になる
- 受信エラーカウンタおよび送信エラーカウンタなど、CAN バスのエラー監視処理が行われる

CAN バスの状態によって、CAN オペレーションモード中に、次の3つのいずれかのサブモードになっています。

- アイドルモード : CAN モジュールは、送受信を行っていない状態です。
- 受信モード : CAN モジュールは、他のノードが送信した CAN メッセージを受信しています。
- 送信モード : CAN モジュールは、CAN メッセージを送信しています。セルフテストモード 0 (CiTCR レジスタの TSTM ビットが“10”) またはセルフテストモード 1 (TSTM ビットが“11”) が選択されている場合、同時に自ノードが送信したメッセージを受信します。

図 20.10 に CAN オペレーションモードのサブモードを示します。

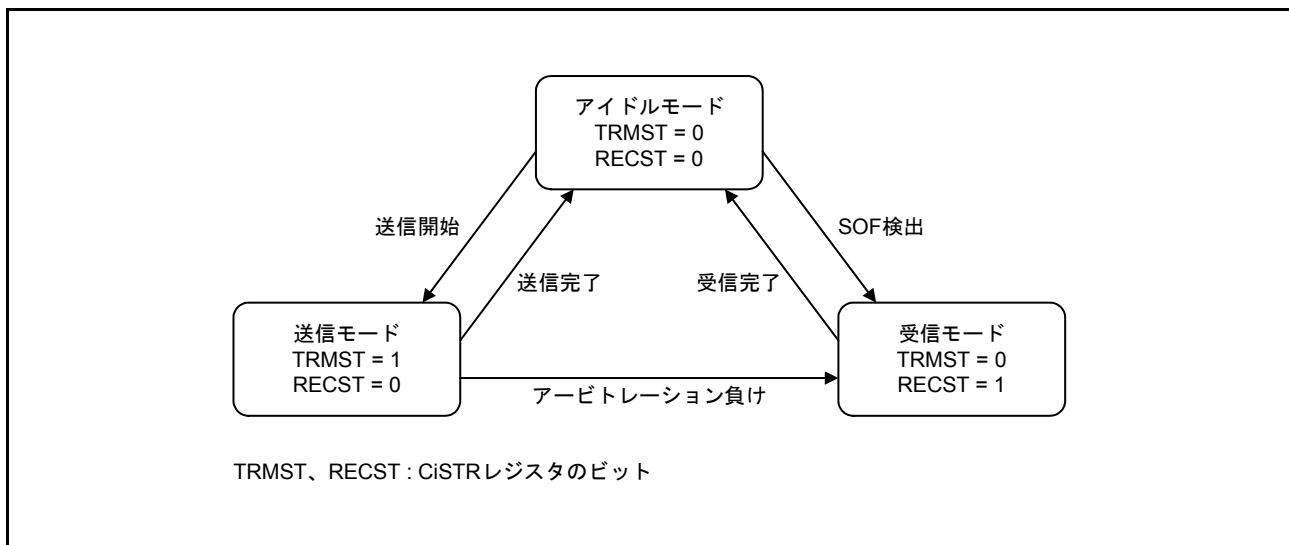


図 20.10 CAN オペレーションモードのサブモード (i = 0 ~ 5)

20.4.5 CAN オペレーションモード (バスオフ状態)

CAN 仕様の送信、受信エラーカウンタの増減ルールに従って、CAN モジュールはバスオフ状態に遷移します。

CAN モジュールがバスオフ状態から復帰するには次の場合があります。なお、バスオフ状態のとき、CiSTR、CiEIFR、CiRECR、CiTECR および CiTSR レジスタを除く CAN 関連レジスタの値は変化しません。

- (1) CiCTLR レジスタの BOM ビットが“00”の場合 (ノーマルモード)
バスオフ状態からの復帰完了後、エラーアクティブ状態に遷移し、CAN 通信ができるようになります。このとき、CiEIFR レジスタの BORIF ビットが“1”(バスオフ復帰検出)になります。
- (2) CiCTLR レジスタの RBOC ビットを“1”にしたとき (バスオフからの強制復帰)
バスオフ状態になり、RBOC ビットが“1”になると、CAN モジュールはエラーアクティブ状態に遷移し、11 の連続するレセシブビットを検出した後、再び CAN 通信ができるようになります。このとき、BORIF ビットは“1”になりません。
- (3) BOM ビットが“01”の場合 (バスオフ開始で自動的に CAN Halt モードへ遷移)
バスオフ状態に達すると CAN Halt モードになります。このとき BORIF ビットは“1”になりません。
- (4) BOM ビットが“10”の場合 (バスオフ終了で自動的に CAN Halt モードへ遷移)
バスオフからの復帰が完了すると、CAN Halt モードになります。このとき BORIF ビットは“1”になります。
- (5) BOM ビットが“11”の場合 (プログラムにより CAN Halt モードへ遷移) にバスオフ状態で CiCTLR レジスタの CANM ビットを“10”にしたとき (CAN Halt モード)
バスオフ状態時に CANM ビットが“10”(CAN Halt モード)に設定されると、CAN Halt モードになります。このとき、BORIF ビットは“1”になりません。
バスオフ中に CANM ビットが“10”に設定されないときは、(1)と同じ動作になります。

20.5 CAN 通信速度の設定

CAN 通信速度の設定について以下に説明します。

20.5.1 CAN クロックの設定

本 LSI は CAN クロック回路を内蔵しています。

CAN クロックは、CiBCR レジスタの BRP ビットで設定できます。

図 20.11 に CAN クロック発生回路ブロック図を示します。

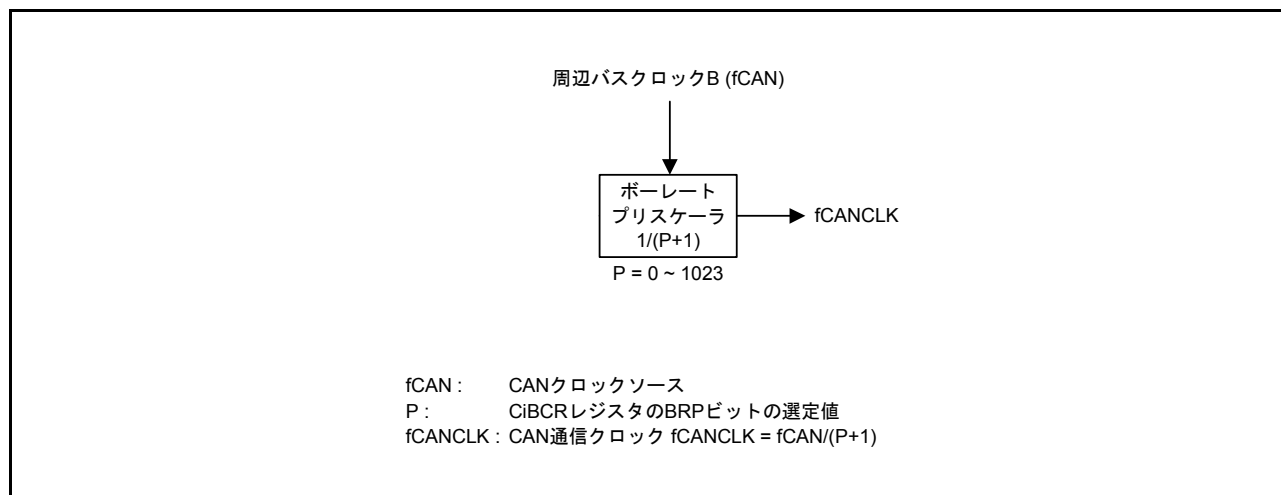


図 20.11 CAN クロック発生回路ブロック図 (i = 0 ~ 5)

20.5.2 ビットタイミングの設定

ビットタイムは、次の3つのセグメントからなります。

図 20.12 にビットタイミング図を示します。

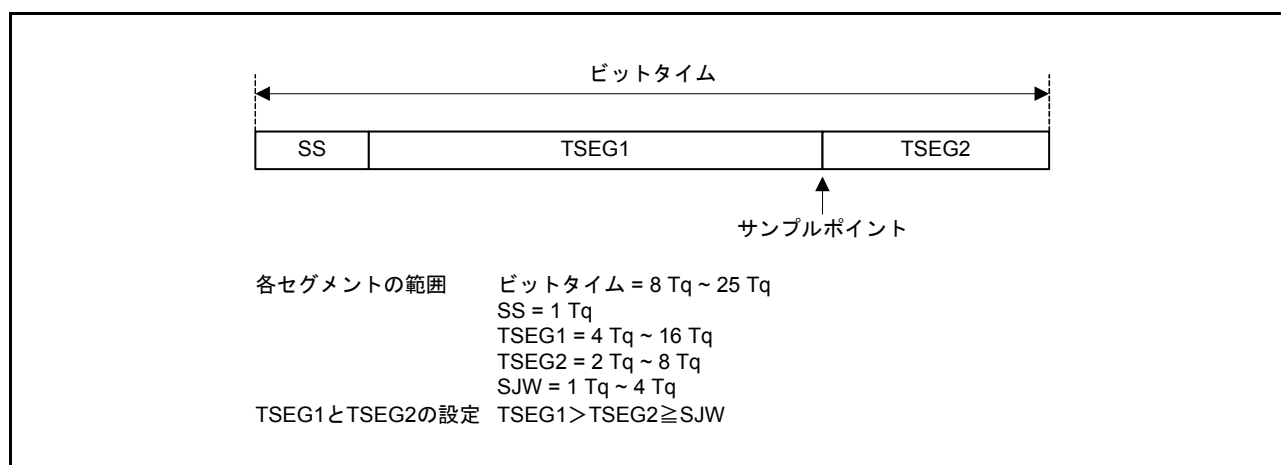


図 20.12 ビットタイミング図

20.5.3 ビットレート

ビットレートは、fCAN (CAN クロックソース)、ボーレートプリスケアラ分周値、および1ビットのTqの数に依存します。

$$\text{ビットレート [bps]} = \frac{f_{\text{CAN}}}{\text{ボーレートプリスケアラ分周値 (注 1)} \times 1 \text{ ビットタイムの Tq 数}} = \frac{f_{\text{CANCLK}}}{1 \text{ ビットタイムの Tq 数}}$$

- 注 1. ボーレートプリスケアラ分周値 = P + 1 (P = 0 ~ 1023)
P : CiBCR レジスタ (i = 0 ~ 5) の BRP ビットの設定値

表 20.16 にビットレートの例を示します。

表 20.16 ビットレートの例

fCAN	40MHz		32MHz		24MHz		20MHz		16MHz	
	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1
1 Mbps	10Tq	4	8Tq	4	8Tq	3	10Tq	2	8Tq	2
	20Tq	2	16Tq	2			20Tq	1	16Tq	1
500 kbps	10Tq	8	8Tq	8	8Tq	6	10Tq	4	8Tq	4
	20Tq	4	16Tq	4	16Tq	3	20Tq	2	16Tq	2
250 kbps	10Tq	16	8Tq	16	8Tq	12	10Tq	8	8Tq	8
	20Tq	8	16Tq	8	16Tq	6	20Tq	4	16Tq	4
83.3 kbps	8Tq	60	8Tq	48	8Tq	36	8Tq	30	8Tq	24
	10Tq	48	16Tq	24	16Tq	18	10Tq	24	16Tq	12
	16Tq	30					16Tq	15		
	20Tq	24					20Tq	12		
33.3 kbps	8Tq	150	8Tq	120	8Tq	90	8Tq	75	8Tq	60
	10Tq	120	10Tq	96	10Tq	72	10Tq	60	10Tq	48
	20Tq	60	16Tq	60	16Tq	45	20Tq	30	16Tq	30
				20Tq	48	20Tq	36		20Tq	24

20.6 メールボックスとマスクレジスタの構成

図 20.13 に CiMBj レジスタの構成を示します。
 同じ構成の 64 のメールボックスがあります。

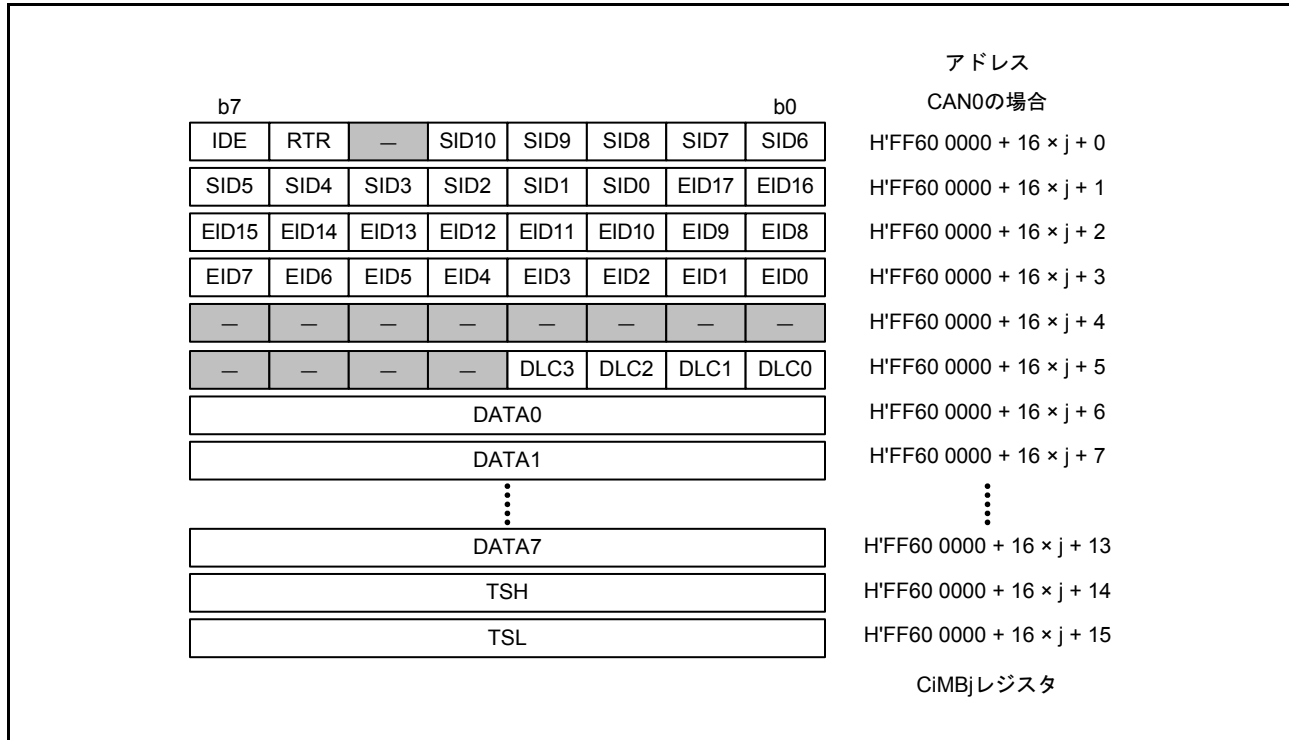


図 20.13 CiMBj レジスタの構成 (i = 0 ~ 5、j = 0 ~ 63)

図 20.14 に CiMKR0、CiMKR1 レジスタおよび CiMKR2 ~ CiMKR9 レジスタの構成を示します。
 同じ構成の 10 つのマスクレジスタがあります。

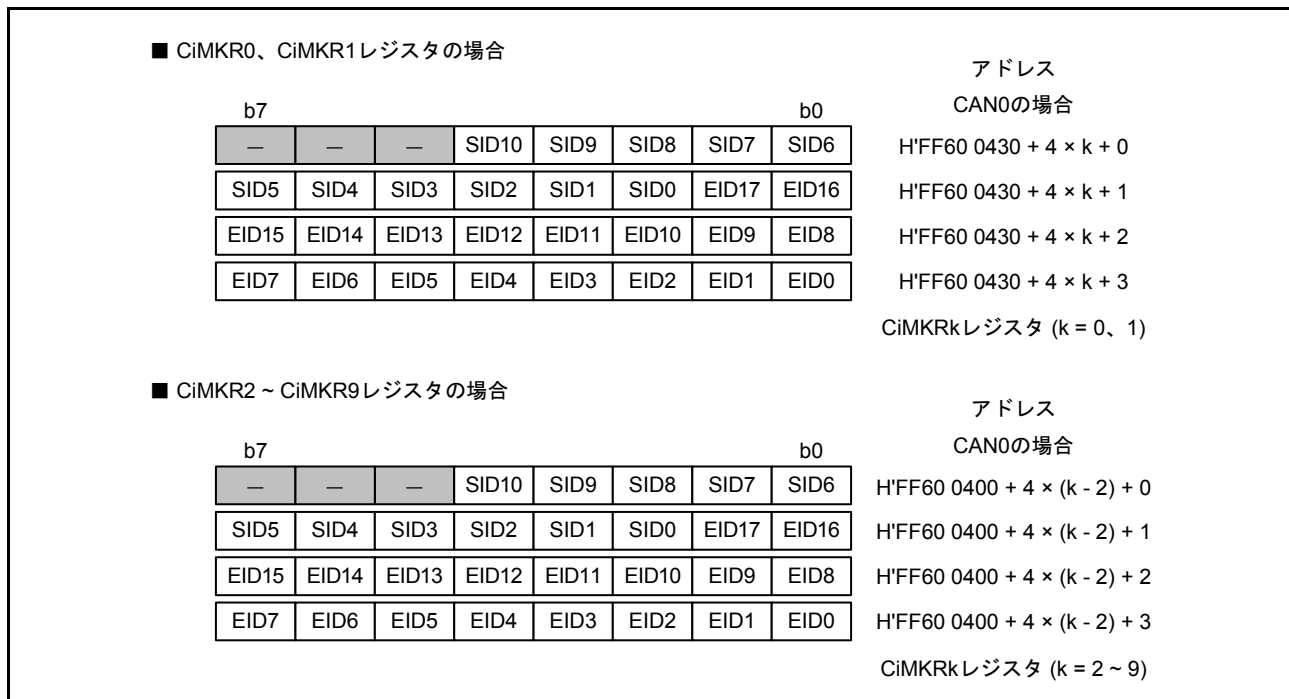


図 20.14 CiMKRk レジスタの構成 (i = 0 ~ 5、k = 0 ~ 9)

図 20.15 に CiFIDCR0、CiFIDCR1 レジスタの構成を示します。
 同じ構成の 2 つの FIFO 受信 ID 比較レジスタがあります。

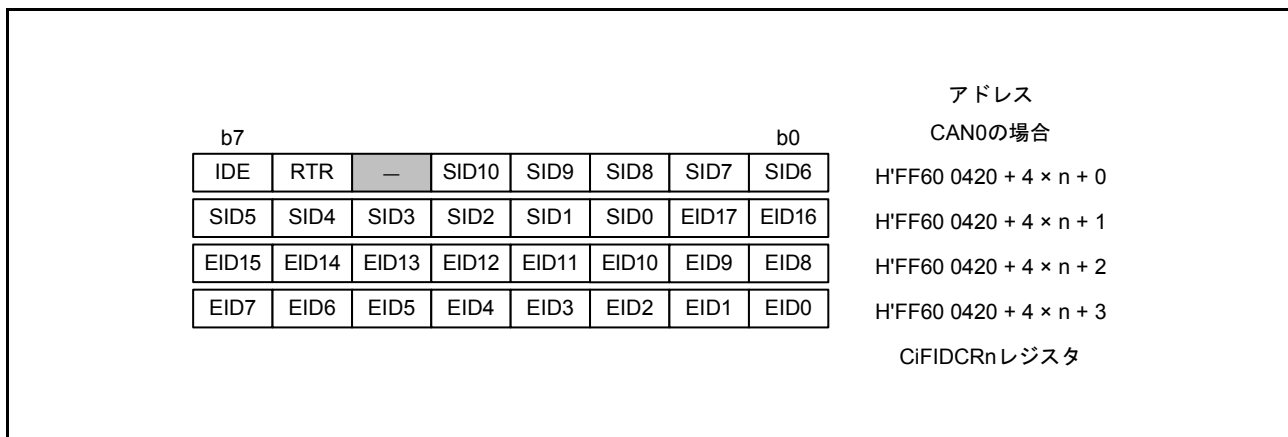


図 20.15 CiFIDCRn レジスタの構成 (i = 0 ~ 5、n = 0、1)

20.7 アクセプタンスフィルタ機能とマスク機能

アクセプタンスフィルタ機能とマスク機能は、一定範囲の ID の選択と受信を許可します。

CiMKR0～CiMKR9 レジスタは標準 ID と 29 ビットの拡張 ID のマスクができます。

- CiMKR0 レジスタは、メールボックス [0]～[15] に対応
- CiMKR1 レジスタは、メールボックス [16]～[31] に対応
- CiMKR2 レジスタは、メールボックス [32]～[35] に対応
- CiMKR3 レジスタは、メールボックス [36]～[39] に対応
- CiMKR4 レジスタは、メールボックス [40]～[43] に対応
- CiMKR5 レジスタは、メールボックス [44]～[47] に対応
- CiMKR6 レジスタは、メールボックス [48]～[51] に対応
- CiMKR7 レジスタは、メールボックス [52]～[55] に対応
- CiMKR8 レジスタは、通常メールボックスモードの場合はメールボックス [56]～[59]、FIFO メールボックスモードの場合は受信 FIFO メールボックス [60]～[63] に対応
- CiMKR9 レジスタは、通常メールボックスモードの場合はメールボックス [60]～[63]、FIFO メールボックスモードの場合は受信 FIFO メールボックス [60]～[63] に対応

CiMKIVLR0、CiMKIVLR1 レジスタは、各メールボックスに対して個別にアクセプタンスフィルタ機能を禁止します。

CiMBj レジスタの IDE ビットは、CiCTRL レジスタの IDFM ビットが“10”(ミックス ID モード)のとき有効です。

CiMBj レジスタの RTR ビットはデータフレームとリモートフレームを選択します。

FIFO メールボックスモードでは、通常メールボックス (メールボックス [0]～[55]) は、CiMKR0～CiMKR7 レジスタの中から対応する 1 つを使用してアクセプタンスフィルタ処理しますが、受信 FIFO メールボックス (メールボックス [60]～[63]) は、CiMKR8、CiMKR9 レジスタの 2 つを使用してアクセプタンスフィルタ処理を行います。

また、受信 FIFO は CiFIDCR0、CiFIDCR1 レジスタの 2 つを使用して、ID の比較を行います。受信 FIFO の CiMB60～CiMB63 レジスタの EID、SID、RTR、IDE ビットは無効になります。それぞれ 2 つの論理和の結果でアクセプタンスフィルタ処理を行うので、受信 FIFO では 2 つの範囲の ID を受信することができます。

CiMKIVLR0、CiMKIVLR1 レジスタは、受信 FIFO に対しては無効です。

標準 ID と拡張 ID の両方がそれぞれ CiFIDCR0、CiFIDCR1 レジスタの IDE ビットに設定された場合、両方の ID フォーマットが受信されます。

データフレームとリモートフレームの両方がそれぞれ CiFIDCR0、CiFIDCR1 レジスタの RTR ビットに設定された場合、データフレームとリモートフレームの両方が受信されます。

2 つの範囲の ID の組み合わせを必要としない場合は、FIFO ID とマスクレジスタの両方に同じマスク値と同じ ID を設定してください。

図 20.16 にマスクレジスタとメールボックスの対応、図 20.17 にアクセプタンスフィルタ処理を示します。

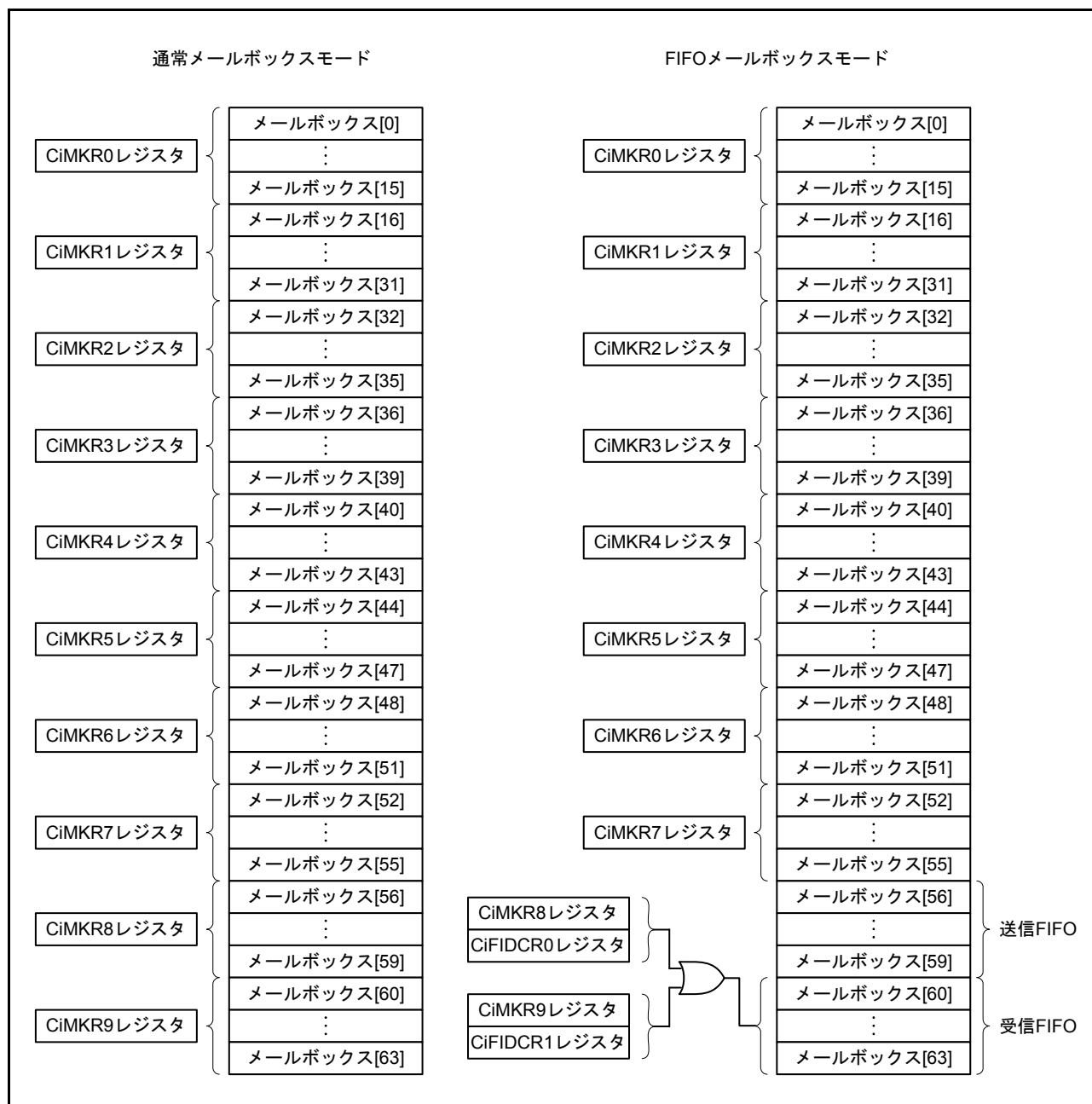


図 20.16 マスクレジスタとメールボックスの対応 (i = 0 ~ 5)

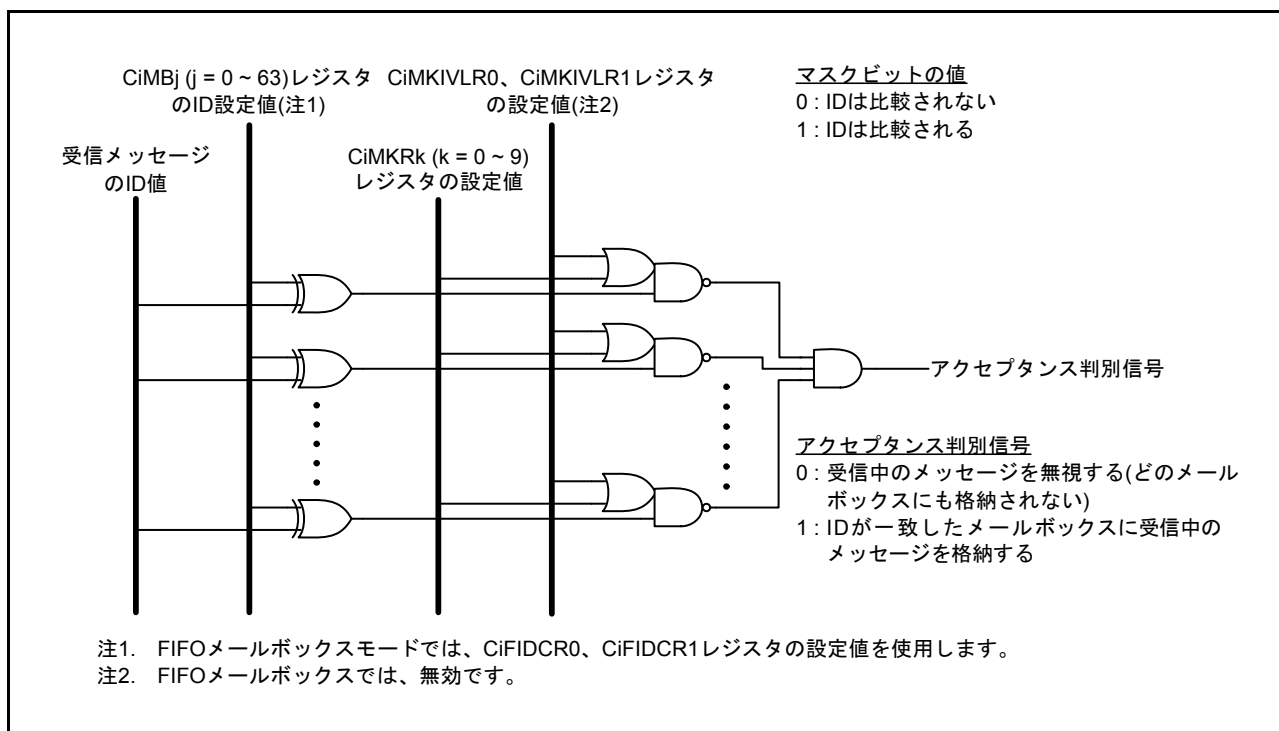


図 20.17 アクセプタンスフィルタ処理 (i = 0 ~ 5)

20.8 受信、送信

表 20.17 に CAN 通信モードの設定方法を示します。

表 20.17 CAN 受信モードと CAN 送信モードの設定方法

TRMREQ	RECREQ	ONESHOT	メールボックスの通信モード
0	0	0	メールボックス使用不可、または送信アボート中
0	0	1	ワンショットモードでプログラムされたメールボックスからの送信か受信がアボートされた場合のみ、設定可能
0	1	0	データフレームまたはリモートフレームの受信メールボックスとして設定
0	1	1	データフレームまたはリモートフレームのワンショット受信メールボックスとして設定
1	0	0	データフレームまたはリモートフレームの送信メールボックスとして設定
1	0	1	データフレームまたはリモートフレームのワンショット送信メールボックスとして設定
1	1	0	設定しないでください
1	1	1	設定しないでください

注・ TRMREQ、RECREQ、ONESHOT : CiMCTLjレジスタのビット(i = 0 ~ 5、j = 32 ~ 63)

メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定するときは、次の点に注意してください。

1. メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定する前に、CiMCTLj レジスタを“H'00”にしてください。
2. 受信メッセージは、受信のモード設定とアクセプタンスフィルタ処理の結果に従って、条件に一致した最初のメールボックスに格納されます。受信されたメッセージを格納するメールボックスは、メールボックスの番号の小さいほうの優先順位がより高くなります。
3. CAN オペレーションモードで、受信メッセージに設定したメールボックスの ID/ マスクセットに一致するメッセージを送信した場合、CAN モジュールは送信データを受信しません。しかしセルフテストモードでは、CAN モジュールは送信データを受信します。この場合、CAN モジュールは ACK を返します。

メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定するときは、次の点に注意してください。

1. メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定する前に、CiMCTLj レジスタを“H'00”にして、さらに、アボート処理中でないことを確認してください。

20.8.1 受信

図 20.18 にデータフレーム受信時の動作例 (オーバーライトモードの場合) を示します。

この例は、示された CiMCTLj レジスタ (j = 0 ~ 63) のメールボックスの条件に一致する 2 つの連続した CAN メッセージを受信したときに、最初のメッセージを上書きする場合の動作です。

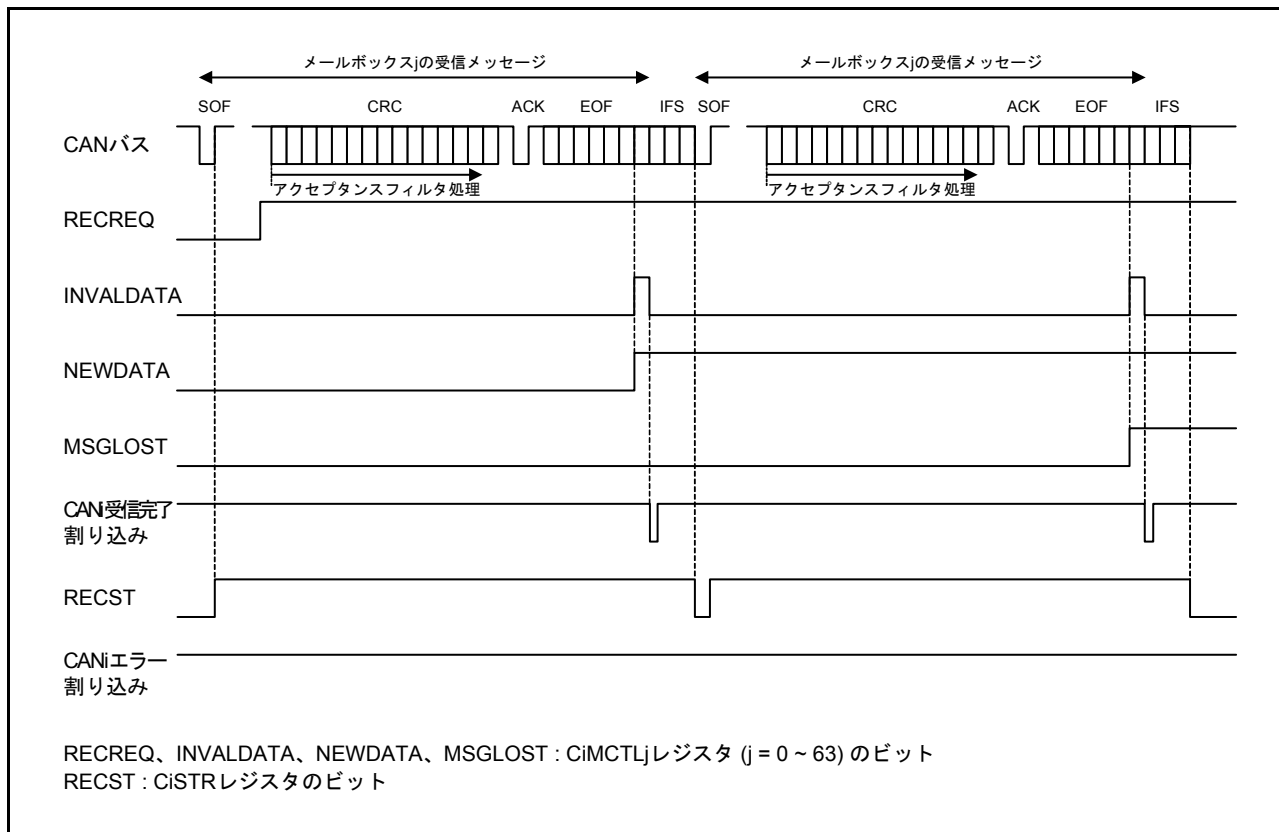


図 20.18 データフレーム受信時の動作例 (オーバーライトモードの場合) (i = 0 ~ 5)

1. CAN バス上で SOF を検知すると、CAN モジュールに送信開始するメッセージがない場合、CiSTR レジスタの RECST ビットが“1”(受信中)になります。
2. 受信メールボックスを選択するために、CRC フィールドの最初からアクセプタンスフィルタ処理が開始されます。
3. メッセージの受信を完了すると、受信メールボックスの CiMCTLj レジスタの NEWDATA ビットが“1”(新しいメッセージを更新中、またはメールボックスに格納された)になります。同時に CiMCTLj レジスタの INVALIDDATA ビットが“1”(メッセージを更新中)になり、そのメールボックスにメッセージ全体が転送された後、INVALIDDATA ビットは“0”(メッセージは有効)に戻ります。
4. 受信メールボックスの CiMIER0、CiMIER1 レジスタの割り込み許可ビットが“1”(割り込み許可)の場合、CANi 受信完了割り込み要求が発生します。INVALIDDATA ビットが“0”になると、この割り込み (CANi 受信完了割り込み)が発生します。
5. メールボックスからメッセージを読み出した後、NEWDATA ビットをプログラムで“0”にする必要があります。
6. オーバライトモードでは、NEWDATA ビットがまだ“1”に設定されているメールボックスに次の CAN メッセージの受信が完了すると、CiMCTLj レジスタの MSGLOST ビットが“1”(メッセージはオーバーライトされた)になります。新しく受信したメッセージはメールボックスに転送されます。CANi 受信完了割り込み要求は、4. と同様に発生します。

図 20.19 にデータフレーム受信時の動作例 (オーバランモードの場合) を示します。

この例は、示された CiMCTLj レジスタ (j = 0 ~ 63) のメールボックスの条件に一致する 2 つの連続した CAN メッセージを受信したときに、2 つ目のメッセージを破棄する場合の動作です。

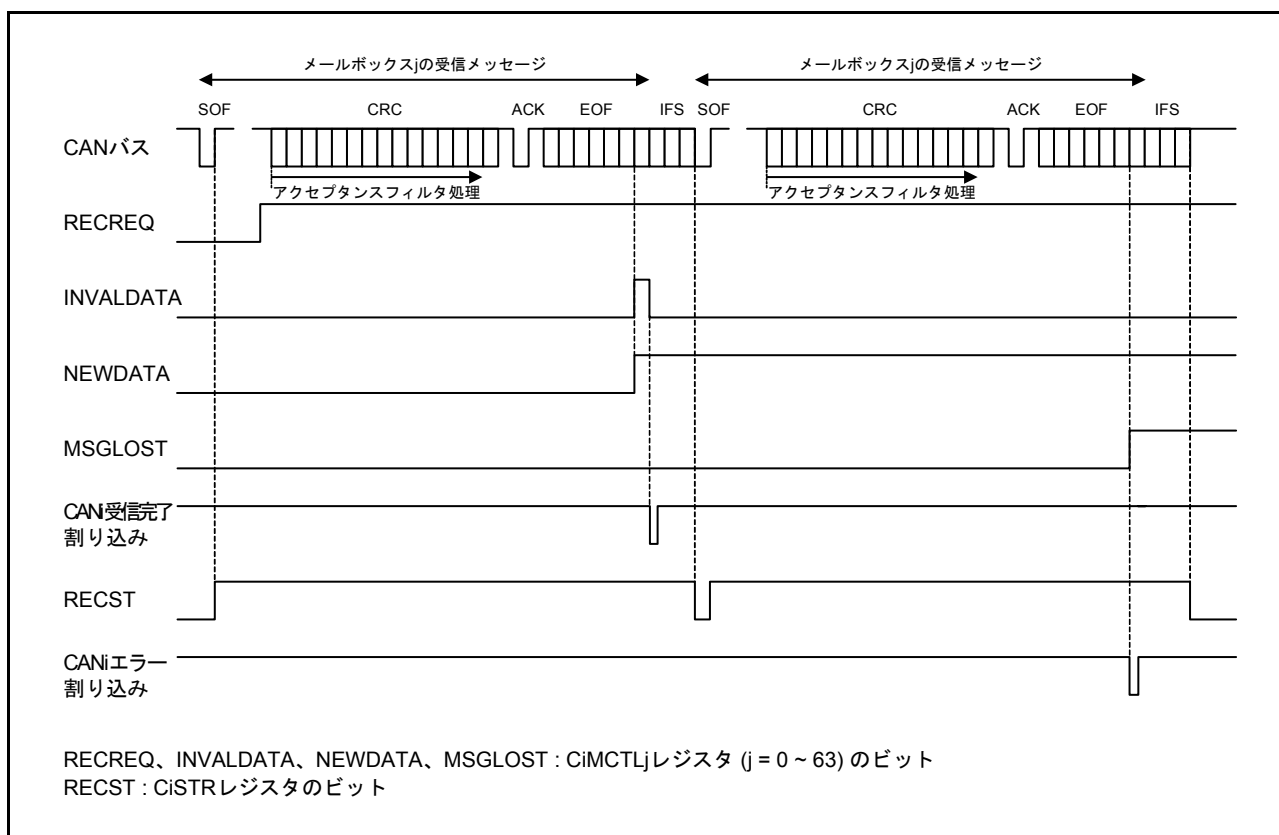


図 20.19 データフレーム受信時の動作例 (オーバランモードの場合) (i = 0 ~ 5)

1. ~ 5. はオーバーライトモードと同じです。
6. オーバランモードでは、NEWDATA ビットが “0” に設定される前に、次の CAN メッセージの受信が完了すると、CiMCTLj レジスタの MSGLOST ビットが “1” (メッセージはオーバーランされた) になります。新しく受信したメッセージは破棄され、CiEIER レジスタの対応する割り込み許可ビットが “1” (割り込み許可) の場合、CANi エラー割り込み要求が発生します。

20.8.2 送信

図 20.20 にデータフレーム送信時の動作例を示します。

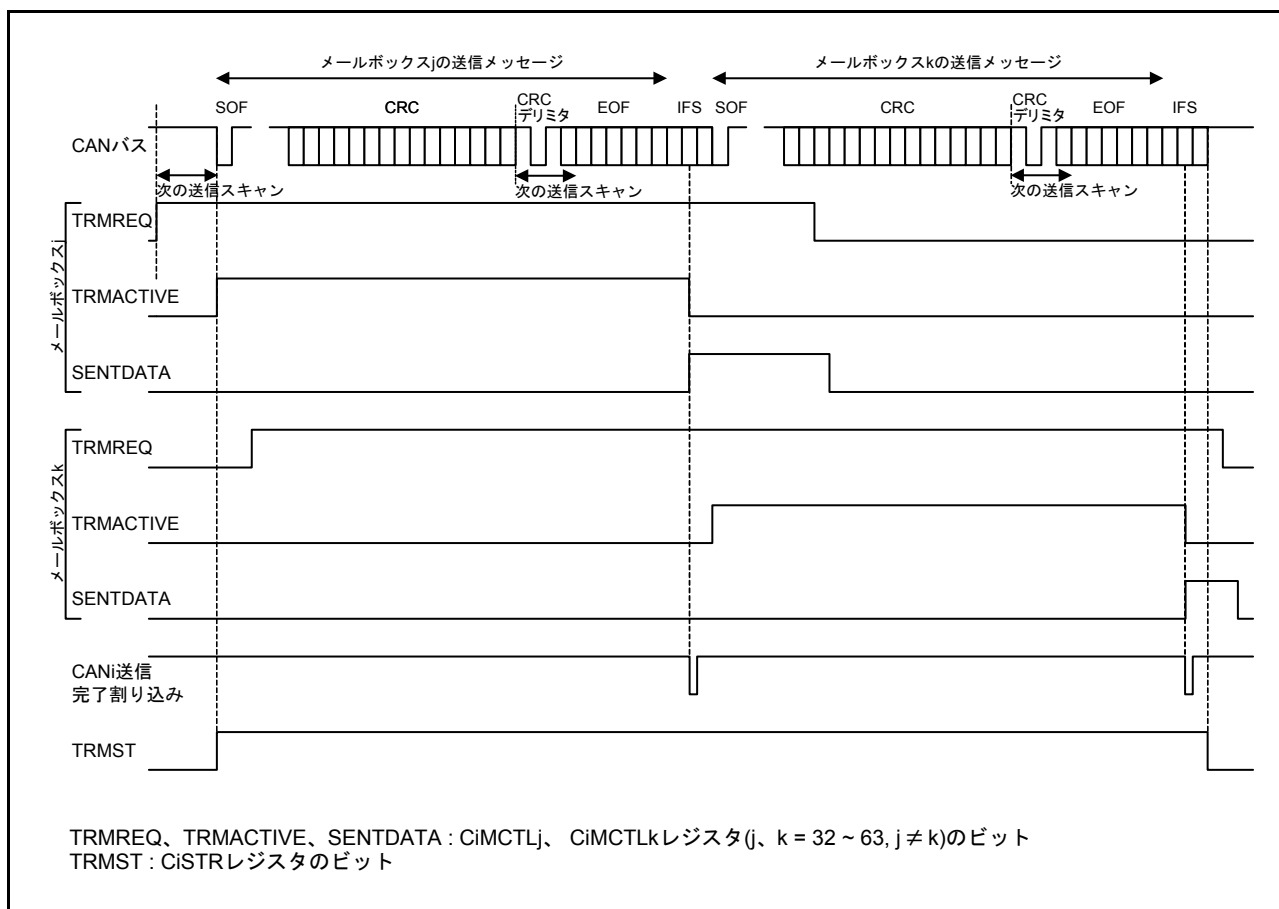


図 20.20 データフレーム送信時の動作例 (i = 0 ~ 5)

1. バスアイドル状態で、CiMCTLj レジスタ (i = 0 ~ 5、j = 32 ~ 63) の TRMREQ ビットを“1” (送信メールボックス) にすると、最も優先順位の高い送信メールボックスを決定するために、メールボックススキャン処理が開始されます。送信メールボックスが決定すると、CiMCTLj レジスタの TRMACTIVE ビットが“1” (送信要求の取り込みから、送信完了、エラー発生またはアービトレーションロスト発生まで)、CiSTR レジスタの TRMST ビットが“1” (送信中) になり、CAN モジュールは送信を開始します (注 1)。
2. 他の TRMREQ ビットが設定されている場合は、CRC デリミタから次の送信のための送信スキャン処理を開始します。
3. アービトレーションロストが発生せずに送信が完了すると、CiMCTLj レジスタの SENTDATA ビットが“1” (送信完了) に、TRMACTIVE ビットが“0” (送信待機中または送信要求なし) になります。そして、CiMIER レジスタの割り込み許可ビットが“1” (割り込み許可) の場合は CANi 送信完了割り込み要求が発生します。
4. 同一のメールボックスから次の送信を要求する場合は、SENTDATA ビットと TRMREQ ビットを“0”にして、SENTDATA ビットと TRMREQ ビットが“0”になるのを確認した後、TRMREQ ビットを“1”にしてください。

注 1. CAN モジュールが送信開始した後でアービトレーションロストをした場合、TRMACTIVE ビットは“0”になります。CRC デリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャン処理が行われます。送信中またはアービトレーションロストに続いてエラーが発生すると、エラーデリミタの始めから、最も優先順位の高い送信のメールボックスを検索するために、再び送信スキャン処理が行われます。

20.9 CAN 割り込み

CAN モジュールには、チャンネルごとに以下の CAN 割り込みがあります。

- CANi ウェイクアップ割り込み
- CANi 受信完了割り込み
- CANi 送信完了割り込み
- CANi 受信 FIFO 割り込み
- CANi 送信 FIFO 割り込み
- CANi エラー割り込み

CANi エラー割り込みには、8 つの要因があります。これらの要因は、CiEIFR レジスタをチェックすることで確認できます。

- バスエラー
- エラーワーニング
- エラーパッシブ
- バスオフ開始
- バスオフ復帰
- 受信オーバラン
- オーバロードフレーム送信
- バスロック

21. 12ビットA/Dコンバータ (AD0)

本LSIは、逐次比較方式の12ビットA/Dコンバータを内蔵しています。A/Dコンバータは、独立した1つのモジュール (AD0) より構成されています。ソフトウェアにより最大6チャンネルのアナログ入力を選択することができます。

なお、10ビットA/Dコンバータ (AD1) については、「22. 10ビットA/Dコンバータ (AD1)」を参照してください。

21.1 概要

表21.1に12ビットA/Dコンバータ (AD0) の仕様を示します。

表21.1 12ビットA/Dコンバータ (AD0) の仕様 (1)

項目	概要
分解能	• 12ビット
入力チャンネル	• 6チャンネル (AD0IN00 ~ AD0IN05)
最小変換時間	• 1チャンネルあたり最小2.00/1.60 μ s (f (PBA) = 40/50MHz動作時、80ステート (30ステート (サンプル&ホールド) + 50ステート (A/D変換処理))
スキャン変換モード	• 2種類 1 サイクルスキャンモード: スキャンを1回だけ実施 連続スキャンモード: スキャンを無制限に繰り返し実施 スキャン変換の対象チャンネルは、任意に選択可能で、チャンネル番号の小さい順 (AD0IN00 → AD0IN05) にA/D変換します。
識別子追加機能	各チャンネルの変換結果をデータレジスタに格納する際、下位4ビットに変換チャンネルに対応した識別子を格納します。
レジスタ	• 6本の12ビットADデータレジスタ A/D変換結果を各チャンネルに対応した12ビットADデータレジスタに保持します (識別子モード選択時は上位12ビットを保持)。
サンプル&ホールド機能	AD0の各チャンネル (チャンネル0 ~ チャンネル5) には専用に独立したサンプル&ホールド回路を内蔵しており、複数チャンネル (最大6チャンネル) の同時サンプリングが可能です。
A/D変換開始要求の選択機能	• AD0: ソフトウェア (AD0制御レジスタ (AD0CR) のADSTビット)/外部トリガ (ADTRG#端子) (注1)/MTU-III (TRGA0N, TRG0N, TRGA1N, TRGA2N, TRGA3N, TRGA4N, TRG4AN, TRG4BN, TRG4ABN, TRGA6N, TRGA7N, TRG7AN, TRG7BN, TRG7ABN) の選択が可能です。
スキャン変換終了割り込みとDMA転送機能のサポート	スキャン変換時、変換対象となるチャンネルを一とおりスキャン終了した段階で、スキャン変換終了割り込み要求 (AD0I) の発生またはDMACの起動が可能です。
バスインタフェースチェックレジスタ	A/D動作には無関係な読み出し、書き込みのみできるレジスタです。
A/Dコンバータの自己診断機能	内部で生成する電圧値 (VREFH \times 0, VREFH \times 1/2, VREFH \times 1) をA/D変換し、AD0データレジスタ (AD0DRD) にA/D変換値と変換を行った信号の自己診断情報を保持します。その後ソフトウェアでAD0データレジスタ (AD0DRD) を読み出し、A/D変換値が正常範囲にあるか異常範囲にあるかをソフトウェアで判定することにより、A/Dコンバータの故障を検出できます。
アナログ変換電圧範囲	VREFH端子に印加する電圧により、アナログ変換電圧範囲を設定できます。
パリティ機能	A/D変換したデータをデータレジスタ0 ~ 5 (AD0DR0 ~ AD0DR5) に格納する際、パリティビットを生成しAD0パリティレジスタ (AD0PR) に格納します。データレジスタ0 ~ 5 (AD0DR0 ~ AD0DR5) の読み出し時にA/Dモジュール内でパリティのチェックを行い、結果をA/Dパリティステータスレジスタ (ADPESR) に反映します。パリティチェック時にパリティエラーが発生した場合、A/Dパリティエラー発生割り込み要求を発生します (設定によりマスク可能)。
データレジスタのクリア	CPU、DMACによってデータレジスタ (AD0DR0 ~ AD0DR5, AD0DRD) を読み出した後、AD0DR0 ~ AD0DR5, AD0DRDレジスタの読み出されたレジスタを自動的にクリアできます (この機能は、有効/無効が設定可能)。
アナログポートプルダウン機能	アナログ入力の断線をチェックすることが可能です。

注1. SH72A0グループには外部トリガ (ADTRG#) はありません。

図 21.1 に A/D コンバータ (AD0 ~ AD1) のブロック図を示します。

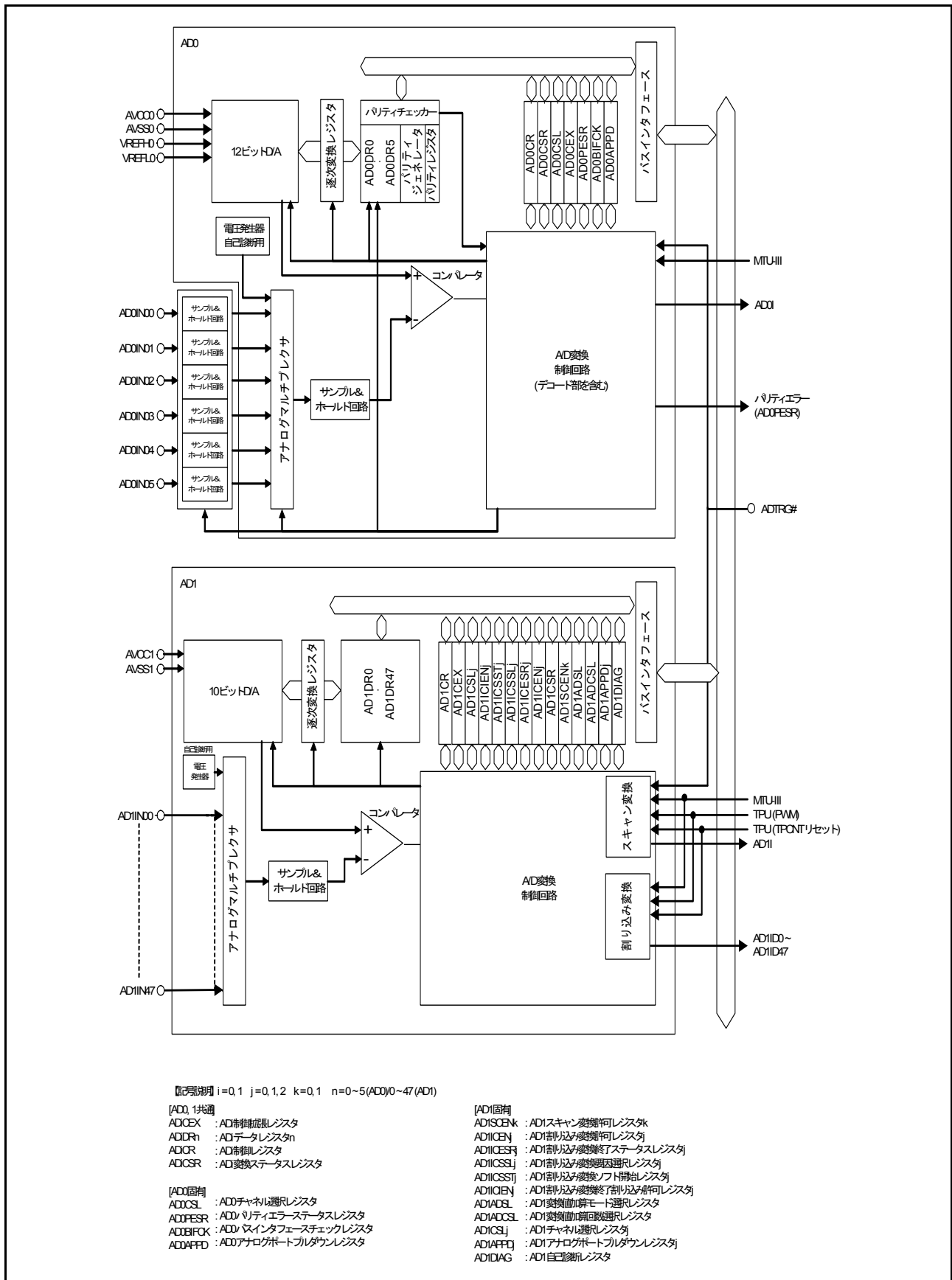


図 21.1 A/D コンバータ (AD0 ~ AD1) のブロック図

表 21.2～表 21.4 にチャンネル別割り当て機能一覧表を示します。

表 21.2 AD0のチャンネル別割り当て機能一覧表

A/D コンバータ	A/D変換 チャンネル	スキャン変換									AD0データ レジスタ (A/D変換値 の格納 レジスタ)
		起動トリガ				自己診断選択 または チャンネル選択	スキャン 変換モード	終了 割り込み 兼DMA 転送要求 信号	DMA転送 機能 (DMAC)	終了 フラグ (1スキャン 終了)	
		ソース1	ソース2	ソース3	ソース4						
	自己診断 または 端子名	ソフト ウェア	外部 トリガ		MTU-III	AD0CEX または AD0CSL					
AD0 6チャンネル	自己診断 DIAG	ADST (AD0CR)	ADTRG# 端子 (注1)		—	DIAGM (AD0CEX)	1サイクル スキャン または 連続 スキャン	AD0I	○	ADF (AD0CSR)	AD0DRD
	AD0IN00				TRGA0N, TRG0N,	AD0CSL0					AD0DR0
	AD0IN01				TRGA1N, TRGA2N,	AD0CSL1					AD0DR1
	AD0IN02				TRGA3N, TRGA4N,	AD0CSL2					AD0DR2
	AD0IN03				TRG4AN, TRG4BN,	AD0CSL3					AD0DR3
	AD0IN04				TRG4ABN, TRGA6N, TRGA7N,	AD0CSL4					AD0DR4
	AD0IN05				TRG7AN, TRG7BN, TRG7ABN	AD0CSL5					AD0DR5

注1. SH72A0グループには外部トリガ(ADTRG#)はありません。

表21.3 AD1のチャンネル別割り当て機能一覧表(1)

A/D コンバータ	A/D変換 チャンネル (注1)	スキャン変換									AD1データ レジスタ (A/D変換値 の格納 レジスタ)	A/D変換値加 算モード AD1ADSL
		起動トリガ				チャンネル 選択	スキャン 変換 モード	終了 割り込み兼 DMA転送 要求信号	DMA転送 機能 (DMAC)	終了 フラグ (1スキャン 終了)		
		ソース1	ソース2	ソース3	ソース4							
AD1 24チャンネル	端子名	ソフトウェア	外部トリガ	TPU	MTU-III	AD1CSL	1サイクル スキャン または 連続 スキャン	AD1I	○	ADF (AD1CSR)	AD1DR0	AD1ADSL0
	AD1IN00	ADST (AD1CR)	ADTRG# 端子 (注2)	TPO1A TP1CNT リセット	TRG0N, TRGA0N, TRGA1N, TRGA2N, TRGA3N, TRGA4N, TRGA6N, TRGA7N	AD1CSL0					AD1DR1	AD1ADSL1
	AD1IN01					AD1CSL1					AD1DR2	AD1ADSL2
	AD1IN02					AD1CSL2					AD1DR3	AD1ADSL3
	AD1IN03					AD1CSL3					AD1DR4	AD1ADSL4
	AD1IN04					AD1CSL4					AD1DR5	AD1ADSL5
	AD1IN05					AD1CSL5					AD1DR6	AD1ADSL6
	AD1IN06					AD1CSL6					AD1DR7	AD1ADSL7
	AD1IN07					AD1CSL7					AD1DR16	x
	AD1IN16					AD1CSL16					AD1DR17	x
	AD1IN17					AD1CSL17					AD1DR24	x
	AD1IN24					AD1CSL24					AD1DR25	x
	AD1IN25					AD1CSL25					AD1DR26	x
	AD1IN26					AD1CSL26					AD1DR27	x
	AD1IN27					AD1CSL27					AD1DR28	x
	AD1IN28					AD1CSL28					AD1DR29	x
	AD1IN29					AD1CSL29					AD1DR30	x
	AD1IN30					AD1CSL30					AD1DR31	x
	AD1IN31					AD1CSL31					AD1DR42	x
	AD1IN42					AD1CSL42					AD1DR43	x
	AD1IN43					AD1CSL43					AD1DR44	x
	AD1IN44					AD1CSL44					AD1DR45	x
	AD1IN45					AD1CSL45					AD1DR46	x
	AD1IN46					AD1CSL46					AD1DR47	x
AD1IN47					AD1CSL47							

注1. SH72A0グループのA/D変換チャンネルは下記の8チャンネルになります。

AD1IN04、AD1IN05、AD1IN16、AD1IN17、AD1IN24、AD1IN28、AD1IN30、AD1IN31

注2. SH72A0グループには外部トリガ(ADTRG#)はありません。

表21.4 AD1のチャンネル別割り当て機能一覧表(2)

A/D コンバータ	A/D変換 チャンネル (注1)	割り込み変換										
		起動トリガ				終了割り 込み兼 DMA転送 要求信号	DMA 転送機能	許可 (チャンネル 選択)	要因選択	終了 ステータス	終了割り込み 許可	割り込み変換 ソフト開始
		ソース1	ソース2	ソース3	ソース4							
端子名	TPU	TPU	MTU-III	ソフト (AD1ICSST)		DMAC	AD1ICEN	AD1ICSSL	AD1ICESR	AD1ICIEN	AD1ICSST	
AD1 24チャンネル	AD1IN00			TRGA0N	AD1ICSST0	AD1ID0	○	AD1ICEN0	AD1ICSSL0	AD1ICESR0	AD1ICIEN0	AD1ICSST0
	AD1IN01			TRGA0N	AD1ICSST1	AD1ID1	○	AD1ICEN1	AD1ICSSL1	AD1ICESR1	AD1ICIEN1	AD1ICSST1
	AD1IN02			TRGA1N	AD1ICSST2	AD1ID2	○	AD1ICEN2	AD1ICSSL2	AD1ICESR2	AD1ICIEN2	AD1ICSST2
	AD1IN03			TRGA1N	AD1ICSST3	AD1ID3	○	AD1ICEN3	AD1ICSSL3	AD1ICESR3	AD1ICIEN3	AD1ICSST3
	AD1IN04	TPO1A A/D変換トリガ	TP1CNT カウンタ リセット	TRGA2N	AD1ICSST4	AD1ID4	○	AD1ICEN4	AD1ICSSL4	AD1ICESR4	AD1ICIEN4	AD1ICSST4
	AD1IN05	TPO1B A/D変換トリガ		TRGA2N	AD1ICSST5	AD1ID5	○	AD1ICEN5	AD1ICSSL5	AD1ICESR5	AD1ICIEN5	AD1ICSST5
	AD1IN06	TPO1C A/D変換トリガ		TRGA3N	AD1ICSST6	AD1ID6	○	AD1ICEN6	AD1ICSSL6	AD1ICESR6	AD1ICIEN6	AD1ICSST6
	AD1IN07	TPO1D A/D変換トリガ		TRGA3N	AD1ICSST7	AD1ID7	○	AD1ICEN7	AD1ICSSL7	AD1ICESR7	AD1ICIEN7	AD1ICSST7
	AD1IN16	TPO4A A/D変換トリガ	TP4CNT カウンタ リセット	TRGA0N	AD1ICSST16	AD1ID16	○	AD1ICEN16	AD1ICSSL16	AD1ICESR16	AD1ICIEN16	AD1ICSST16
	AD1IN17	TPO4B A/D変換トリガ		TRGA0N	AD1ICSST17	AD1ID17	○	AD1ICEN17	AD1ICSSL17	AD1ICESR17	AD1ICIEN17	AD1ICSST17
	AD1IN24			TRGA4N	AD1ICSST24	AD1ID24	○	AD1ICEN24	AD1ICSSL24	AD1ICESR24	AD1ICIEN24	AD1ICSST24
	AD1IN25			TRGA4N	AD1ICSST25	AD1ID25	○	AD1ICEN25	AD1ICSSL25	AD1ICESR25	AD1ICIEN25	AD1ICSST25
	AD1IN26			TRG0N	AD1ICSST26	AD1ID26	○	AD1ICEN26	AD1ICSSL26	AD1ICESR26	AD1ICIEN26	AD1ICSST26
	AD1IN27			TRG0N	AD1ICSST27	AD1ID27	○	AD1ICEN27	AD1ICSSL27	AD1ICESR27	AD1ICIEN27	AD1ICSST27
	AD1IN28			TRGA6N	AD1ICSST28	AD1ID28	○	AD1ICEN28	AD1ICSSL28	AD1ICESR28	AD1ICIEN28	AD1ICSST28
	AD1IN29			TRGA6N	AD1ICSST29	AD1ID29	○	AD1ICEN29	AD1ICSSL29	AD1ICESR29	AD1ICIEN29	AD1ICSST29
	AD1IN30			TRGA7N	AD1ICSST30	AD1ID30	○	AD1ICEN30	AD1ICSSL30	AD1ICESR30	AD1ICIEN30	AD1ICSST30
	AD1IN31			TRGA7N	AD1ICSST31	AD1ID31	○	AD1ICEN31	AD1ICSSL31	AD1ICESR31	AD1ICIEN31	AD1ICSST31
	AD1IN42			TRG0N	AD1ICSST42	AD1ID42	○	AD1ICEN42	AD1ICSSL42	AD1ICESR42	AD1ICIEN42	AD1ICSST42
	AD1IN43			TRG0N	AD1ICSST43	AD1ID43	○	AD1ICEN43	AD1ICSSL43	AD1ICESR43	AD1ICIEN43	AD1ICSST43
	AD1IN44			TRGA6N	AD1ICSST44	AD1ID44	○	AD1ICEN44	AD1ICSSL44	AD1ICESR44	AD1ICIEN44	AD1ICSST44
	AD1IN45			TRGA6N	AD1ICSST45	AD1ID45	○	AD1ICEN45	AD1ICSSL45	AD1ICESR45	AD1ICIEN45	AD1ICSST45
	AD1IN46			TRGA7N	AD1ICSST46	AD1ID46	○	AD1ICEN46	AD1ICSSL46	AD1ICESR46	AD1ICIEN46	AD1ICSST46
	AD1IN47			TRGA7N	AD1ICSST47	AD1ID47	○	AD1ICEN47	AD1ICSSL47	AD1ICESR47	AD1ICIEN47	AD1ICSST47

注1. SH72A0グループのA/D変換チャンネルは下記の8チャンネルになります。

AD1IN04、AD1IN05、AD1IN16、AD1IN17、AD1IN24、AD1IN28、AD1IN30、AD1IN31

表 21.5 に 12 ビット A/D コンバータ (AD0) の入出力端子を示します。

AD0IN00 ~ AD0IN05 の 6 本は、AD0 のアナログ入力です。

ADTRG# 端子は、外部からスキャン変換の開始タイミングを与えるための端子です。ADTRG# 端子に Low レベルを印加することでスキャン変換開始を要求できます (AD0 ~ AD1 共通)。ただし、SH72A0 グループには ADTRG# 端子が無いので、外部からのスキャン変換開始要求はできません。

AVCC0、AVSS0 端子は、A/D コンバータ (AD0) 内のアナログ部の電源入力端子です。VREFH0、VREFL0 端子は、A/D コンバータ (AD0) の基準電圧入力端子です。

表 21.5 12 ビット A/D コンバータ (AD0) の入出力端子

端子名	入出力	機能
AVCC0	入力	アナログ部の電源端子
AVSS0	入力	アナログ部のグラウンド端子
VREFL0	入力	アナログ部の基準電圧端子 (VREFL0 < VREFH0)
VREFH0	入力	アナログ部の基準電圧端子 (VREFL0 < VREFH0)
AD0IN00	入力	AD0 アナログ入力端子 0
AD0IN01	入力	AD0 アナログ入力端子 1
AD0IN02	入力	AD0 アナログ入力端子 2
AD0IN03	入力	AD0 アナログ入力端子 3
AD0IN04	入力	AD0 アナログ入力端子 4
AD0IN05	入力	AD0 アナログ入力端子 5
ADTRG#	入力	A/D のスキャン変換起動トリガ入力端子 (注 1)

注 1. SH72A0 グループには ADTRG# 端子はありません。

21.2 レジスタの説明

表 21.6 に 12 ビット A/D コンバータ (AD0) のレジスタ一覧を示します。

表21.6 12ビットA/Dコンバータ (AD0) のレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ (注1)
AD0 データレジスタ 0	AD0DR0	H'0000	H'FFFE 7840	16
AD0 データレジスタ 1	AD0DR1	H'0000	H'FFFE 7842	16
AD0 データレジスタ 2	AD0DR2	H'0000	H'FFFE 7844	16
AD0 データレジスタ 3	AD0DR3	H'0000	H'FFFE 7846	16
AD0 データレジスタ 4	AD0DR4	H'0000	H'FFFE 7848	16
AD0 データレジスタ 5	AD0DR5	H'0000	H'FFFE 784A	16
AD0 データレジスタ DIAG	AD0DRD	H'0000	H'FFFE 783E	16
AD0 制御レジスタ	AD0CR	H'00	H'FFFE 7800	8
AD0 制御拡張レジスタ	AD0CEX	H'2000	H'FFFE 7830	16
AD0 チャンネル選択レジスタ	AD0CSL	H'0000	H'FFFE 7820	16
AD0 変換ステータスレジスタ	AD0CSR	H'00	H'FFFE 7802	8
AD0 開始トリガ選択レジスタ	AD0STRSL	H'00	H'FFFE 7890	8
AD0 バスインタフェースチェックレジスタ	AD0BIFCK	H'3141 5926	H'FFFE 78C0	8、16、32
AD0 パリティエラーステータスレジスタ	AD0PESR	H'0000	H'FFFE 78B0	8、16
AD0 パリティレジスタ	AD0PR	H'0000	H'FFFE 78A0	16
AD0 アナログポートブルダウンレジスタ	AD0APPD	H'0000	H'FFFE 7834	8

注1. 16ビットアクセスはワード境界のみ可能で、32ビットアクセスはロングワード境界のみ可能です。

21.2.1 AD0 データレジスタ n (AD0DRn) (n = 0 ~ 5)、 AD0 データレジスタ DIAG (AD0DRD)

AD0DRn、AD0DRD レジスタは、下記の条件でフォーマットが異なります。

- AD0 制御拡張レジスタ (AD0CEX) の AD データレジスタフォーマット選択ビット (ADRFMT) の設定値 (左詰めまたは右詰め)
- AD0 制御拡張レジスタ (AD0CEX) の識別子選択ビット (IDE) を設定しているときの識別ビット (非選択または選択) [AD0DRD レジスタは識別子付加に非対応]

21.2.1.1 AD0 データレジスタ n (AD0DRn) (n = 0 ~ 5)

アドレス AD0DR0 : H'FFFE 7840、AD0DR1 : H'FFFE 7842、AD0DR2 : H'FFFE 7844、AD0DR3 : H'FFFE 7846、
AD0DR4 : H'FFFE 7848、AD0DR5 : H'FFFE 784A

- 左詰めフォーマットに設定した場合

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADD 11	ADD 10	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b4	ADD11 ~ ADD0	データレジスタビット	12ビットのA/D変換値を示します。	R
b3-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

- 右詰めフォーマットに設定した場合

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	ADD 11	ADD 10	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b12	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b11-b0	ADD11 ~ ADD0	データレジスタビット	12ビットのA/D変換値を示します。	R

- 識別子付加を選択した場合

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADD 11	ADD 10	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0	ID[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b4	ADD11 ~ ADD0	データレジスタビット	12ビットのA/D変換値を示します。	R
b3-b0	ID[3:0]	識別子ビット	識別子を示します。 設定される値は表21.7を参照	R

AD0 データレジスタ n (AD0DR n) は読み出し専用で、アナログ入力 (AD0IN00 ~ AD0IN05) を A/D 変換した結果を格納します。アナログ入力 (AD0IN00 ~ AD0IN05) に対応するレジスタは、6 本あります。

AD0 制御拡張レジスタ (AD0CEX) の AD データレジスタフォーマット選択ビット (ADRFMT) の設定により、左詰めまたは右詰めのフォーマットのどちらかを設定できます。このとき、ADD11 ~ ADD0 ビットは、12 ビットの A/D 変換値を示します。それ以外のビットは予約ビットです。読むと“0”が読み出されます。書き込みは“0”にしてください。

AD0 制御拡張レジスタ (AD0CEX) の識別子選択ビット (IDE) を識別子付加に設定されている場合は、下位 4 ビットに変換したチャンネルに相当する識別子 (ID) が格納されます。AD0DR n レジスタを読み出した際に ID を確認することで正しいチャンネルが変換されたかを確認することが可能です。AD0 制御拡張レジスタ (AD0CEX) の AD データレジスタフォーマット選択ビット (ADRFMT) の設定は無効となります。

表 21.7 に付加される識別子を示します。

表 21.7 識別子一覧

付加されるID	AD0のチャンネル
"B'0100"	AD0IN00
"B'0101"	AD0IN01
"B'0110"	AD0IN02
"B'0111"	AD0IN03
"B'1000"	AD0IN04
"B'1001"	AD0IN05
"B'1010"	—
"B'1011"	—
"B'1100"	—

21.2.1.2 AD0 データレジスタ DIAG (AD0DRD)

アドレス H'FFFE 783E

- 左詰めのフォーマットに設定した場合

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADD 11	ADD 10	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0	—	—	DIAGST [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b4	ADD11 ~ ADD0	データレジスタビット	12ビットのA/D変換値を示します。	R
b3-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1-b0	DIAGST [1:0]	自己診断ステータスビット	b1 b0 0 0 : リセットから一度も自己診断を実施していないことを示す 0 1 : VREFH × 0の電圧値の自己診断を実施したことを示す 1 0 : VREFH × 1/2の電圧値の自己診断を実施したことを示す 1 1 : VREFH × 1の電圧値の自己診断を実施したことを示す	R

- 右詰めのフォーマットに設定した場合

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DIAGST [1:0]	—	—	ADD 11	ADD 10	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b14	DIAGST [1:0]	自己診断ステータスビット	b15b14 0 0 : リセットから一度も自己診断を実施していないことを示す 0 1 : VREFH × 0の電圧値の自己診断を実施したことを示す 1 0 : VREFH × 1/2の電圧値の自己診断を実施したことを示す 1 1 : VREFH × 1の電圧値の自己診断を実施したことを示す	R
b13-b12	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b11-b0	ADD11 ~ ADD0	データレジスタビット	12ビットのA/D変換値を示します。	R

AD0データレジスタDIAG (AD0DRD)は読み出し専用で、AD0の自己診断でA/D変換した結果を格納します。

AD0 制御拡張レジスタ (AD0CEX) の AD データレジスタフォーマット選択ビット (ADRFMT) の設定により、左詰めまたは右詰めのフォーマットのどちらかを設定できます。このとき、ADD11 ~ ADD0 ビットは、12ビットのA/D変換値を示します。また、自己診断のステータスビット (DIAGST) が付加されます。それ以外のビットは予約ビットです。読むと“0”が読み出されます。書き込みは“0”にしてください。

DIAGST ビット

自己診断の変換電圧を示します。自己診断の詳細は、「21.2.3 AD0 制御拡張レジスタ (AD0CEX)」を参照してください。

21.2.2 AD0 制御レジスタ (AD0CR)

アドレス H'FFFE 7800

b7	b6	b5	b4	b3	b2	b1	b0
ADST	ADCS	—	ADIE	—	—	TRGE	EXTRG

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	ADST	スキャン変換開始ビット	0: スキャン変換停止 1: スキャン変換開始	R/W
b6	ADCS	スキャン変換モード選択ビット	0: 1サイクルスキャンモード 1: 連続スキャンモード	R/W
b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”にしてください。	R
b4	ADIE	割り込み許可ビット	0: スキャン終了後のADI割り込み発生の禁止 1: スキャン終了後のADI割り込み発生の許可	R/W
b3-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”にしてください。	R
b1	TRGE	トリガ許可ビット	0: 外部トリガ(ADTRG#)またはMTU-IIIのタイマトリガによるスキャン変換を禁止 1: 外部トリガ(ADTRG#)またはMTU-IIIのタイマトリガによるスキャン変換を許可	R/W
b0	EXTRG	トリガ選択ビット	0: AD0開始トリガ選択レジスタ(AD0STRSL)で選択されたタイマ要因による、スキャン変換の起動を選択 1: 外部トリガ(ADTRG#)によるスキャン変換の起動を選択	R/W

注・外部トリガでスキャン変換を起動する方法

外部トリガ端子(ADTRG#)にHighレベルを入力した状態で、TRGEビットに“1”、EXTRGビットに“1”を設定します。その後、ADTRG#端子にLowレベルのパルスを入力すると、AD0のパルスの立ち下がりエッジを検出し、スキャン変換を開始します。このときのLowレベル入力のパルス幅は、周辺バスクロックAの1.5サイクル以上であることが必要です。

- ADSTビット、外部トリガ、各タイマ要因からのトリガによらずスキャン変換の起動は、AD0変換ステータスレジスタ(AD0CSR)のADSCACTビットが“0”の状態であるときに有効です。スキャン変換の起動要因は保持されません。
- SH72A0グループには外部トリガ端子(ADTRG#)が無いので、外部トリガによるスキャン変換の起動はできません。

ADST ビット

スキャン変換の開始/停止を制御します。ADSTビットを“0”の状態から“1”にセットすると、ADSTビットの立ち上がりエッジを検出してスキャン変換を開始します。ADSTビットを“1”の状態から“0”にクリアすると、ADSTビットの立ち下がりエッジを検出してスキャン変換を停止します。スキャン変換が実施されていることを確認するには、AD0変換ステータスレジスタ(AD0CSR)のADSCACTビットを読み出してください。

ADCS ビット

スキャン変換モードを選択します。なお、誤動作を防ぐためADCSビットの切り替えは必ずAD0変換ステータスレジスタ(AD0CSR)のADSCACTビットが“0”の状態で行ってください。1サイクルスキャンモードと、連続スキャンモードを選択します。1サイクルスキャンモードは、スキャン変換を1回実施し、終了するとスキャン変換を停止します。連続スキャンモードは、スキャン変換開始ビット(ADST)が“1”である間、連続的にスキャン変換を繰り返し実行します。停止するには、スキャン変換開始ビット(ADST)を“1”から“0”に書き換えてください。スキャン変換はAD0チャンネル選択レジスタ(AD0CSL)で選択されているチャンネルをチャンネル番号の小さい順(AD0IN00 → AD0IN05)に変換します。

連続スキャンモードの場合、選択されたすべてのチャンネルの変換が終了すると最初のチャンネルに戻り、スキャン変換を継続します。

ADIE ビット

A/D スキャン変換終了割り込み (AD0I) の発生を許可 / 禁止します。なお、誤動作を防ぐため、ADIE ビットの切り替えは必ず AD0 変換ステータスレジスタ (AD0CSR) の ADSCACT ビットが“0”の状態で行ってください。

対象となるチャンネルのスキャン変換が終了して、ADIE ビットが“1”にセットされている状態で、AD0 変換ステータスレジスタ (AD0CSR) の ADF ビットが“1”にセットされた場合、A/D スキャン変換終了割り込み (AD0I) が発生します。ADF ビットを“0”にクリアするか、ADIE ビットをクリアすることで、AD0I をクリアすることが可能です。

TRGE ビット

外部トリガ (ADTRG# 端子)、あるいは MTU-III のタイマトリガによるスキャン変換の許可 / 禁止を選択します。

EXTRG ビット

スキャン変換のトリガソースを選択します。

選択可能なトリガソースとして、外部トリガ (ADTRG# 端子) と AD0 開始トリガ選択レジスタ (AD0STRSL) で選択された MTU-III の起動要因があります。

21.2.3 AD0 制御拡張レジスタ (AD0CEX)

アドレス H'FFFE 7830

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL [1:0]	—	PAIE	ACE	—	IDE	—	—	—	
リセット後の値	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15	ADRFMT	ADデータレジスタフォーマット選択ビット	0 : ADデータレジスタのフォーマットを左詰めにする 1 : ADデータレジスタのフォーマットを右詰めにする	R/W
b14	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b13	—	(予約ビット)	読むと“1”が読み出されます。書き込みは“1”としてください。	R
b12	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b11	DIAGM	自己診断許可ビット	0 : A/Dコンバータの自己診断を実施しない 1 : A/Dコンバータの自己診断を実施する	R/W
b10	DIAGLD	自己診断モード選択ビット	0 : 自己診断電圧は自動的にローテーションして変換する 1 : 自己診断電圧はDIAGVALの設定に固定して変換する	R/W
b9-b8	DIAGVAL [1:0]	自己診断変換電圧選択ビット	b9 b8 0 0 : 予備 0 1 : VREFH × 0の電圧を使って自己診断を行う 1 0 : VREFH × 1/2の電圧を使って自己診断を行う 1 1 : VREFH × 1の電圧を使って自己診断を行う	R/W
b7	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”にしてください。	R
b6	PAIE	パリティ割り込み許可ビット	0 : パリティエラー割り込み要求の出力を禁止 1 : パリティエラー割り込み要求の出力を許可	R/W
b5	ACE	自動クリア許可ビット	0 : AD0DRnおよびAD0DRDレジスタのリードによるAD0DRnおよびAD0DRDレジスタの自動クリアを禁止 1 : AD0DRnおよびAD0DRDレジスタのリードによるAD0DRnおよびAD0DRDレジスタの自動クリアを許可	R/W
b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”にしてください。	R
b3	IDE	識別子選択ビット	0 : AD0データレジスタに識別子を付加しない 1 : AD0データレジスタに識別子を付加する	R/W
b2-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”にしてください。	R

ADRFMT ビット

AD0 データレジスタに格納するデータの左詰め / 右詰めの設定です。

識別子モードが選択されているチャンネルに対応する AD0 データレジスタのフォーマットは、ADRFMT ビットによらず、左詰め固定です。

AD0 データレジスタのフォーマットの詳細は、「21.2.1 AD0 データレジスタ n (AD0DRn) (n = 0 ~ 5)、AD0 データレジスタ DIAG (AD0DRD)」を参照してください。

DIAGM ビット

自己診断は、A/D コンバータ (AD0) の故障を検出するための機能です。内部で生成する VREFH × 0、VREFH × 1/2、VREFH × 1 の 3 つの電圧値を AD0 で変換します。変換が終了すると AD0 データレジスタ DIAG (AD0DRD) に変換した電圧の情報と変換値を格納します。その後、ソフトウェアで AD0DRD レジスタを読み出し、変換値が正常の範囲にある (正常) かない (異常) かを判断します。自己診断は、スキャン変換にて最も小さいチャンネルを変換する前に実施されます。

1度の自己診断の実行で、3つの電圧値のうち1つが変換され、3つの電圧値は自己診断が実行されるたびに自動的にローテーションしていきます。自己診断の実行時間は、1チャンネルのA/D変換時間と同じです。なお、誤動作を防ぐためにDIAGMビットの切り替えは、必ずAD0変換ステータスレジスタ(AD0CSR)のADSCACTビットが“0”の状態で行ってください。

DIAGLD ビット

自己診断で変換する3つの電圧値をローテーションするか、電圧値を固定するかを選択します。

DIAGLDビットを“0”に設定すると $VREFH \times 0 \rightarrow VREFH \times 1/2 \rightarrow VREFH \times 1$ の順番にローテーションして変換していきます。リセットで $VREFH \times 0$ から自己診断を行い、スキャン変換が終了しても $VREFH \times 0$ に戻りません。再びスキャン変換を実施すると、前回の続きからローテーションします。

DIAGLDビットを“1”に設定するとA/Dコントロール拡張レジスタのDIAGVALビットで選択した電圧に固定して変換します(自動ローテーションを行いません)。また、再度DIAGLDビットを“0”に設定すると固定した電圧値からローテーションを開始します(ロード機能)。

DIAGVAL ビット

自己診断の変換値を固定する場合に設定します。

詳しくはDIAGLDビットの説明を参照してください。また、DIAGVALビットが初期値の“B'00”(予備)の状態ではDIAGLDビットを“1”に設定して、自己診断を実施しないでください。

PAIE ビット

AD0データレジスタ読み出し時に、パリティエラーが発生した場合、これを割り込み要求として出力するかしないかを選択します。

ACE ビット

CPU、DMACによってAD0DRnおよびAD0DRDレジスタを読み出した後の、AD0DRnおよびAD0DRDレジスタの自動クリアを許可/禁止します。本ビットを“1”にセットした場合、CPUおよびDMACにてAD0DRn、およびAD0DRDレジスタを読み出し後、自動的にAD0DRnレジスタを“H'0000”にクリアします。この機能によりAD0DRnおよびAD0DRDレジスタの未更新故障を検出することができます。AD0DRnおよびAD0DRDレジスタをクリアした場合、パリティ、識別子もあわせてクリアします。

IDE ビット

A/D変換結果をデータレジスタに格納するA/D値に識別子の付加をするかしないかを選択するレジスタです。識別子付加を選択した場合、ADRFMTビットの設定に関係なくA/Dデータは左詰めでAD0DRnレジスタに格納されます。

21.2.4 AD0 チャンネル選択レジスタ (AD0CSL)

アドレス H'FFFE 7820

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	AD0 CSL5	AD0 CSL4	AD0 CSL3	AD0 CSL2	AD0 CSL1	AD0 CSL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b6	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”にしてください。	R
b5-b0	AD0CSL5- AD0CSL0	AD0変換チャンネル選択ビット	ANSビットを“1”にセットすることによりA/D変換チャンネルとしてAD0INmが選択されます。 0: AD0INmを変換対象から外す 1: AD0INmを変換対象とする	R/W

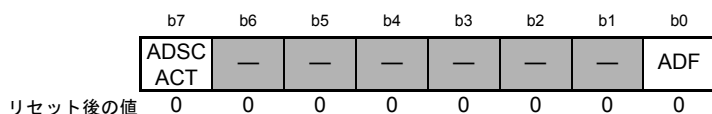
注. • m = 00 ~ 05

AD0CSL レジスタは、スキャン変換で変換するチャンネルを選択します。

誤動作を防ぐために AD0CSL レジスタは、AD0CSR レジスタの ADSCACT ビットが“0”の状態に変更してください。

21.2.5 AD0 変換ステータスレジスタ (AD0CSR)

アドレス H'FFFE 7802



ビット	シンボル	ビット名	機能	R/W
b7	ADSCACT	スキャン変換ステータスビット	0: スキャン変換がアイドル状態である 1: スキャン変換中である	R
b6-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”にしてください。	R
b0	ADF	1スキャン終了フラグ	0: スキャン変換がアイドル状態であることを示す 1: 1スキャンが終了し、選択されたすべてのAD0INmのA/D変換値がAD0DRnレジスタに転送されたことを示します	R/W

注. • n = 0 ~ 5、m = 00 ~ 05

ADSCACT ビット

スキャン変換がアイドル状態か変換中かを示すステータスビットです。

読み出し専用ビットなので、書き込みに意味はありませんが、書き込む場合には必ず“0”を書き込んでください。

ADF ビット

スキャン変換でスキャンが終了する(選択されたすべてのチャンネルを一とおりに変換する)たびに“1”がセットされます。なお、ADF ビットに“1”を書き込むことはできません。ADF ビットに“1”がセットされたときにスキャン変換終了割り込みか DMAC への DMA 転送要求のどちらかを発生することができます。これにより AD0 データレジスタを RAM などに退避するなどの処理をソフトウェアまたは DMAC で実現することができます。

[“0”になる条件]

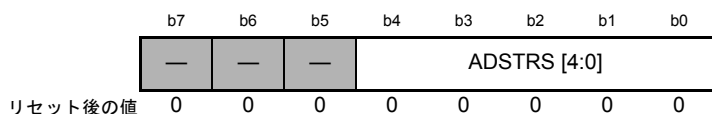
- ADF = 1 の状態を読み込んだ後、ADF ビットに“0”を書き込んだとき
- AD0I による DMAC からの転送アクノリッジ信号を受け取ったとき

[“1”になる条件]

- スキャン変換の各スキャンにおいて、すべてのアナログ変換が終了したとき

21.2.6 AD0 開始トリガ選択レジスタ (AD0STRSL)

アドレス H'FFFE 7890



ビット	シンボル	ビット名	機能	R/W
b7-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”にしてください。	R
b4-b0	ADSTRS [4:0]	A/D開始トリガ選択ビット	起動要因のと設定値の関係は表21.8を参照してください。	R/W

AD0STRSL レジスタは、AD0CR レジスタの TRGE ビットを“1”に設定し、かつ AD0CR レジスタの EXTRG ビットを“0”に設定した場合に、A/D変換開始要因として使用する MTU-III のA/D変換開始トリガを選択します。

ADSTRS ビット

ADSTRS ビットでの組み合わせで内蔵周辺機能からの A/D 起動要因を選択します。

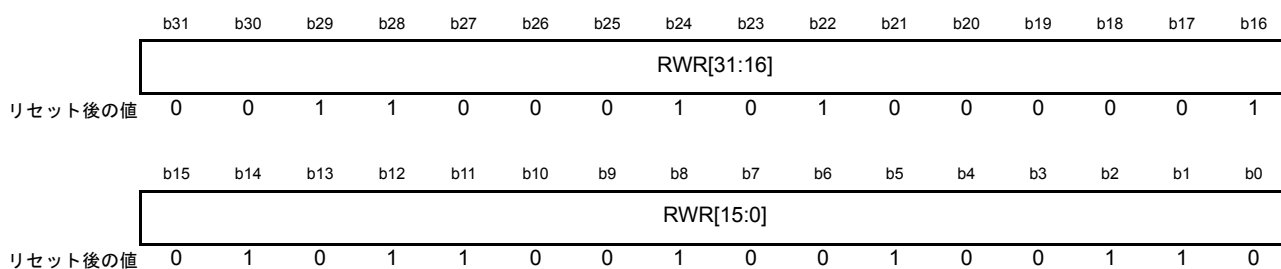
表21.8 A/D起動要因選択一覧(AD0STRSL) (1)

モジュール	要因	チャネル	備考	ADSTRS [4]	ADSTRS [3]	ADSTRS [2]	ADSTRS [1]	ADSTRS [0]
ADC	ADTRG	—	A/D変換起動トリガ端子(注1)	0	0	0	0	0
MTU-III	TRGA0N	0	TGRA0のIC/OC	0	0	0	0	1
	TRGA1N	1	TGRA1のIC/OC	0	0	0	1	0
	TRGA2N	2	TGRA2のIC/OC	0	0	0	1	1
	TRGA3N	3	TGRA3のIC/OC	0	0	1	0	0
	TRGA4N	4	TGRA4のIC/OC、相補PWMモード時のMT4CNTの谷	0	0	1	0	1
	TRGA6N	6	TGRA6のIC/OC	0	0	1	1	0
	TRGA7N	7	TGRA7のIC/OC、相補PWMモード時のMT7CNTの谷	0	0	1	1	1
	TRG0N	0	TGRE0のコンペア	0	1	0	0	0
	TRG4AN	4	MT4ADSRCSEAとMT4CNTのコンペアマッチ(割り込み間引き機能1)	0	1	0	0	1
	TRG4BN	4	MT4ADSRCSEBとMT4CNTのコンペアマッチ(割り込み間引き機能1)	0	1	0	1	0
	TRG4AN または TRG4BN	4	MT4ADSRCSEAとMT4CNT、MT4ADSRCSEBとMT4CNTのコンペアマッチ(割り込み間引き機能1)	0	1	0	1	1
	TRG4ABN	4	MT4ADSRCSEAとMT4CNT、MT4ADSRCSEBとMT4CNTのコンペアマッチ(割り込み間引き機能2)	0	1	1	0	0
	TRG7AN	7	MT7ADSRCSEAとMT7CNTのコンペアマッチ(割り込み間引き機能1)	0	1	1	0	1
	TRG7BN	7	MT7ADSRCSEBとMT7CNTのコンペアマッチ(割り込み間引き機能1)	0	1	1	1	0
TRG7AN または TRG7BN	7	MT7ADSRCSEAとMT7CNT、MT7ADSRCSEBとMT7CNTのコンペアマッチ(割り込み間引き機能1)	0	1	1	1	1	
TRG7ABN	7	MT7ADSRCSEAとMT7CNT、MT7ADSRCSEBとMT7CNTのコンペアマッチ(割り込み間引き機能2)	1	0	0	0	0	

注1. SH72A0グループには外部トリガ端子(ADTRG#)が無いので、外部トリガによるA/D起動はできません。

21.2.7 AD0 バスインタフェースチェックレジスタ (AD0BIFCK)

アドレス H'FFFE 78C0



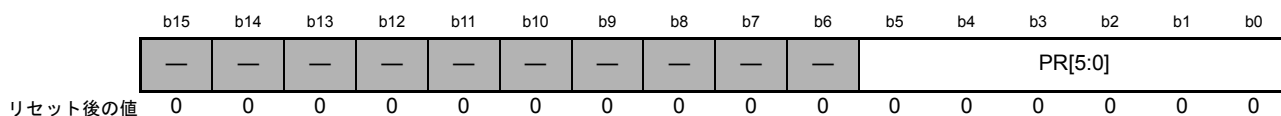
ビット	シンボル	ビット名	機能	R/W
b31-b0	RWR[31:0]	汎用リードライトレジスタ	任意の値を書き込み/読み出し可能な32ビットレジスタです。 (注1)	R/W

注1. ロングワード単位での読み出し/書き込みは、2回のワード読み出し/書き込みに分割されて実行されます。そのため、上位ワードと下位ワードのビット値を同一クロックサイクルで読み出ししたり、書き込んだりすることはできませんのでご注意ください。

AD0BIFCK レジスタはリセット後、“H'3141 5926”になります。

21.2.8 AD0 パリティレジスタ (AD0PR)

アドレス H'FFFE 78A0



ビット	シンボル	ビット名	機能	R/W
b15-b6	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”にしてください。	R
b5-b0	PR[5:0]	AD0DRnレジスタのデータを元に生成されたパリティビット	PRnは変換結果のパリティ演算結果を表します。	R

AD0PR レジスタは、A/D コンバータが変換値を AD0DRn レジスタに格納する際にパリティ演算を行い、AD0PR レジスタに対応したビットにその結果を格納します。

識別子付加モードを選択した場合、パリティ生成はこれらの情報を含んだ結果に対して行われます。

このため、A/D コンバータが AD0DRn レジスタにデータを書き込んだ後、識別子付加モードの設定を変更すると CPU から AD0DRn レジスタを読み込む場合、パリティチェックする対象となるデータ形式が、書き込みと読み出しで値が異なるため、パリティチェックエラーを発生することがあります。

本モジュールで生成するパリティは、偶数パリティです。自動クリア機能を選択している場合、AD0DRn レジスタを読み出す際、対応する A/D パリティのビットもクリアされます。このため、A/D パリティ情報が必要な場合は本レジスタを先に読んでから、AD0DRn レジスタを読む必要があります。

注. • n = 0 ~ 5

21.2.9 AD0 アナログポートプルダウンレジスタ (AD0APPD)

アドレス (H'FFFE7834)

b7	b6	b5	b4	b3	b2	b1	b0
—	—	AD0A PPD5	AD0A PPD4	AD0A PPD3	AD0A PPD2	AD0A PPD1	AD0A PPD0
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7, b6	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”にしてください。	R
b5-b0	AD0APPDn	アナログポートプルダウンMOSの制御ビット	0: プルダウンMOSオフ 1: プルダウンMOSオン	R/W

注. ・ n = 0 ~ 5

AD0APPD レジスタはアナログポートプルダウンMOSのオン/オフを制御します。電源遮断からの復帰後は“0”にリセットされます。

12ビットA/Dコンバータ用のI/Oポートはアナログ入力とデジタル入力マルチプレクスになっています。I/Oポートのポート機能選択レジスタでアナログ入力端子として使用しない場合、該当する端子のプルダウン設定は無効となります。ただし、ポートプルダウンレジスタには反映されません。ポート機能選択の詳細は「13.2.4 プルアップ制御レジスタ 0 (PUR0)」を参照してください。

AD0APPDn ビット (n=0 ~ 5)

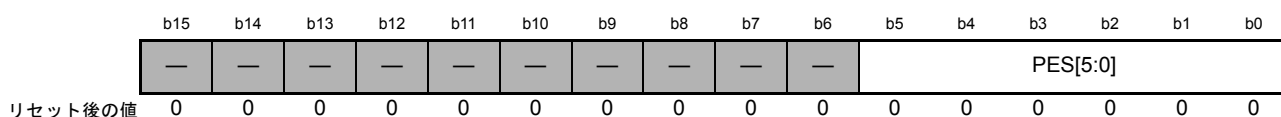
[“1”になる条件]

AD0APPDn ビットを“1”にセットすると、そのビットに対応したアナログポートについているプルダウンMOSがオンします。

アナログポートプルダウン機能の概略については図 21.8 を参照してください。

21.2.10 AD0 パリティエラーステータスレジスタ (AD0PESR)

アドレス H'FFFE 78B0



ビット	シンボル	ビット名	機能	R/W
b15-b6	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”にしてください。	R
b5-b0	PES[5:0]	AD0DRnレジスタのパリティステータスフラグ	0: パリティエラーなし 1: パリティエラーあり	R

注. ・ n = 0 ~ 5

AD0DRn レジスタの読み出されるデータに対してパリティチェックを行い、そのチェック結果を格納します。

CPU または DMAC ヘデータを出力するタイミングでパリティチェックが行われるため、AD0DRn レジスタに格納されているデータにエラーがある場合でも、読み出すまでは本レジスタにエラーとして反映されることはありません。

このため、本レジスタにてパリティエラーを確認する場合は、まず対象となる AD0DRn レジスタをリードした後、本レジスタをリードするようにしてください。

PES フラグ

[“1”になる条件]

CPU または DMAC に対して出力した AD0DRn レジスタデータにパリティエラーがあった場合 (AD0DRn レジスタリード時に値が反映されます)

[“0”になる条件]

CPU または DMAC に対して出力した AD0DRn レジスタデータにパリティエラーがない場合 (AD0DRn レジスタリード時に値が反映されます)

PESn = 1 を読み出した後に PESn に “0” を書き込んだ場合

21.2.11 CPU とのインタフェース

AD0 データレジスタは 16 ビットのレジスタであり、CPU と結合している周辺バスも 16 ビット幅です。AD0 データレジスタの読み出しは、必ずワード単位で行ってください。バイト単位で上位バイト / 下位バイトの 2 回に分けて読み出すことにより、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が変化することを避けるため、バイト単位の読み出しは行わないでください。

21.3 動作説明

21.3.1 スキャン変換動作説明

スキャン変換の動作モードには、1 サイクルスキャンモードと連続スキャンモードの2種類の動作モードがあります。1 サイクルスキャンモードは、指定した1チャンネル以上のスキャンを1回実施して終了するモードです。連続スキャンモードは指定した1チャンネル以上のスキャンをソフトウェアでADSTビットを“0”(“1”の状態から“0”)にクリアするまで無制限に繰り返し実施するモードです。

1 サイクルスキャンモードの選択は、AD0制御レジスタ (AD0CR) のADCSビットを“0”にセットすることにより行います。連続スキャンモードの選択は、ADCSビットを“1”にセットすることにより行います。両モードともスキャン変換が開始すると、AD0チャンネル選択レジスタ (AD0CSL) で選択したAD0IN m の m ($m = 00 \sim 05$) が小さい順からA/D変換を行います。AD0はAD0IN00、AD0IN01、... AD0IN05の順番です。

1 サイクルスキャンの場合、選択したすべてのチャンネルを一とおりA/D変換(スキャン)するとAD0変換ステータスレジスタ (AD0CSR) のADFビットを“1”にセットし、ADSCACTビットが“0”にクリアされ、スキャン変換を終了します。連続スキャンの場合、選択したすべてのチャンネルを一とおりA/D変換(スキャン)すると、ADFビットを“1”にセットし、さらにスキャン変換を続けます。ADFビットは、各スキャンが終了するたびに“1”にセットされます。

スキャン変換を停止する場合、ADSTビットを“1”の状態のときに“0”を書き込んでください。ADSTビットが“0”の状態でも“0”を書き込んでも、A/Dコンバータには何も影響しません。同様にADSTビットが“1”の状態のときに“1”を書き込んでも、A/Dコンバータには何も影響しません。したがって、ADSTビット以外のスキャン変換要求でスキャン変換を起動し、途中でスキャン変換を停止させる場合は、一度ADSTビットに“1”を書き込んでから“0”を書き込んでください。

ADFビットが“1”にセットされたとき、AD0CRレジスタのADIEビットが“1”にセットされているとADI割り込み要求が発生します。ADFビットを“0”にクリアするときには、ADFビットが“1”の状態を読み出した後、“0”を書き込んでください。ただし、ADI割り込みでDMACを起動した場合には自動的に“0”にクリアされ、ADI割り込みもクリアされます。

21.3.2 1 サイクルスキャンモード

AD0IN00、AD0IN03、AD0IN05を選択し、さらにAD0I割り込みを許可し、3チャンネルの1サイクルスキャンモードでスキャン変換を行う場合の動作例を次に示します。

1. AD0制御レジスタ (AD0CR) のADCSビットに“0”を、ADIEビットに“1”を設定します。
2. AD0チャンネル選択レジスタ (AD0CSL) のAD0CSL0、AD0CSL3、AD0CSL5ビットにそれぞれ“1”を設定します。
3. AD0制御レジスタ (AD0CR) のADSTビットに“1”をセットし、スキャン変換を開始します。すでにADSTビットが“1”にセットされている場合は、一度“0”にクリアしてから“1”をセットします。
4. スキャン変換が開始すると、ADSCACTビットが“1”にセットされ、次の動作を順次行います。
 - 1) サンプリング&アナログ値ホールド処理実行。
 - 2) 自己診断変換処理実行
自己診断が終了すると、AD0CEXレジスタのDIAGLDおよびDIAGVALビットの設定に従い、AD0DRDレジスタに自己診断ステータスが付加されたA/D変換結果が格納されます。
 - 3) A/D変換実行
AD0IN00のA/D変換が終了すると、A/D変換値をAD0DR0レジスタに転送します。
 - 4) AD0IN03、AD0IN05に関しても、3)の動作を順次行います。

5. 設定したすべてのチャンネル (AD0IN00、AD0IN03、AD0IN05) の A/D 変換値が AD0DRn レジスタに転送されると、終了処理が行われます。終了処理後 ADF ビットが“1”にセットされます。このとき、ADIE ビットが“1”に設定されているため、AD0I 割り込み要求を発生します。また、ADSCACT ビットが“0”にクリアされ、スキャン変換が終了します。
6. AD0I の割り込みルーチンが開始されます。割り込みルーチンで ADF ビットの“1”を読み出した後“0”を書き込んでAD0Iをクリアします。次にAD0DR0、AD0DR3、AD0DR5 レジスタを読み出し、処理します。
7. AD0I の割り込みルーチンを終了します。

図 21.2 に 1 サイクルスキャンモードの動作例 (AD0) を示します。

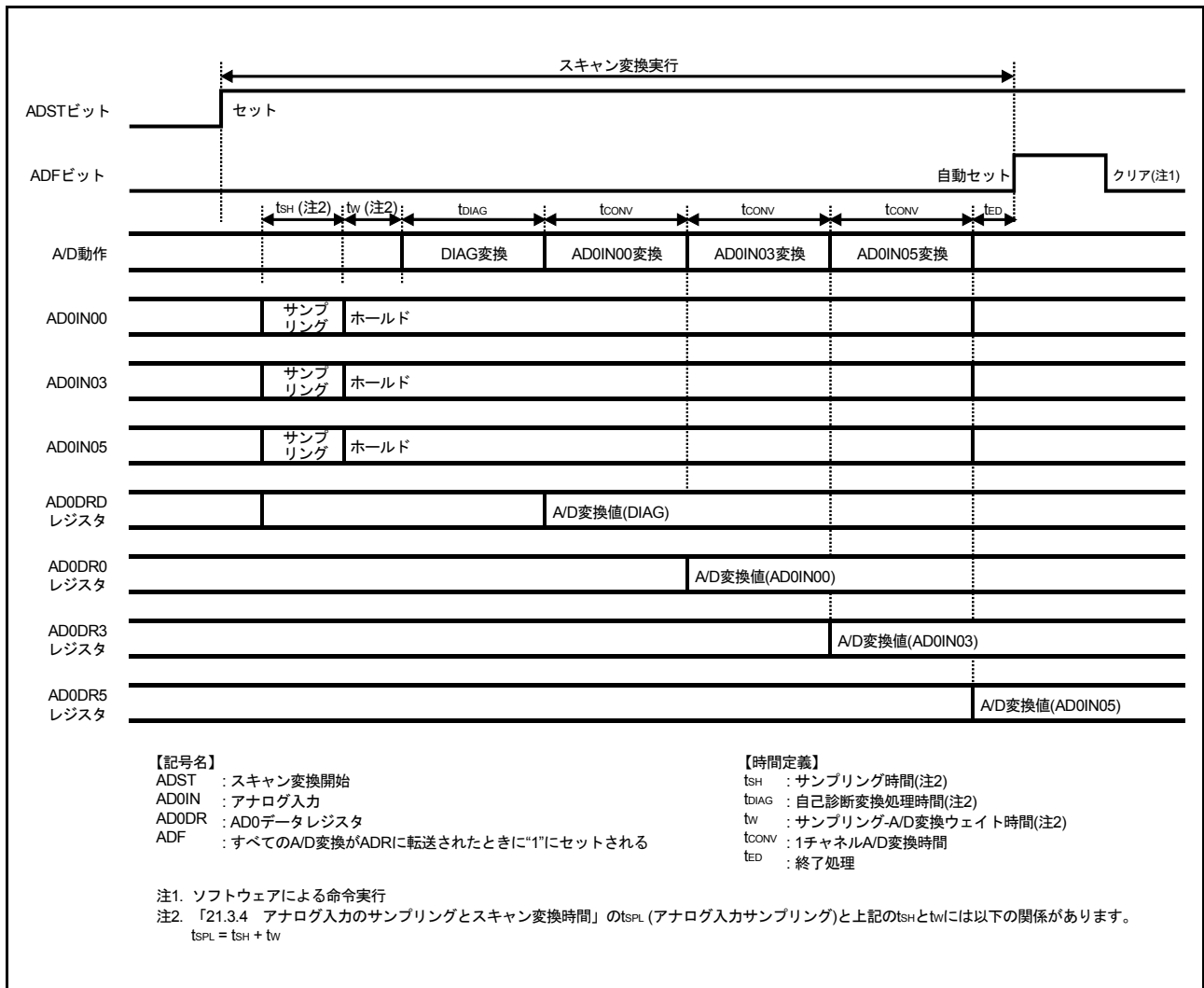


図 21.2 1 サイクルスキャンモードの動作例 (AD0)

21.3.3 連続スキャンモード

AD0IN00、AD0IN03、AD0IN05 を選択し、さらに AD0I 割り込みを許可し、3 チャンネルの連続スキャンモードでスキャン変換を行う場合の動作例を次に示します。

1. AD0 制御レジスタ (AD0CR) の ADCS ビットに“1”を、ADIE ビットに“1”をそれぞれ設定します。
2. AD0 チャンネル選択レジスタ (AD0CSL) の AD0CSL0、AD0CSL3、AD0CSL5 ビットに“1”を設定します。
3. AD0 制御レジスタ (AD0CR) の ADST ビットに“1”をセットし、スキャン変換を開始します。すでに ADST ビットが“1”にセットされている場合は、一度“0”にクリアしてから“1”をセットします。
4. スキャン変換が開始すると、ADSCACT ビットが“1”にセットされ、次の動作を順次行います。
 - (1) サンプリング&アナログ値ホールド処理実行。
 - (2) 自己診断変換処理実行
自己診断が終了すると、AD0CEX レジスタの DIAGLD および DIAGVAL ビットの設定に従い AD0DRD レジスタに自己診断ステータスが付加された A/D 変換結果が格納されます。
 - (3) A/D 変換実行
AD0IN00 の A/D 変換が終了すると、A/D 変換値を AD0DR0 レジスタに転送します。
 - (4) AD0IN03、AD0IN05 に関しても、3. の動作を順次行います。
5. 設定したすべてのチャンネル (AD0IN00、AD0IN03、AD0IN05) の A/D 変換値が AD0DRn レジスタに転送されると、終了処理が行われます。終了処理後 ADF ビットが“1”にセットされます。このとき、ADIE ビットが“1”に設定されているため、AD0I 割り込みを発生します。
また、スキャン変換は、4. の動作を繰り返し実行します。
6. AD0I の割り込みルーチンが開始されます。割り込みルーチンで ADF ビットの“1”を読み出した後“0”を書き込んで AD0I をクリアします。次に AD0DR0、AD0DR3、AD0DR5 レジスタを読み出し、処理します。
7. AD0I の割り込みルーチンを終了します。
8. ADST ビットが“1”にセットされている間は、4.~7. を繰り返します。ADST ビットを“0”にクリアすると、ADSCACT ビットが“1”にクリアされ、スキャン変換が終了します。その後、ADST ビットを“1”にセットすると再びスキャン変換を開始します。

図 21.3 に連続スキャンモードの動作例 (AD0) を示します。

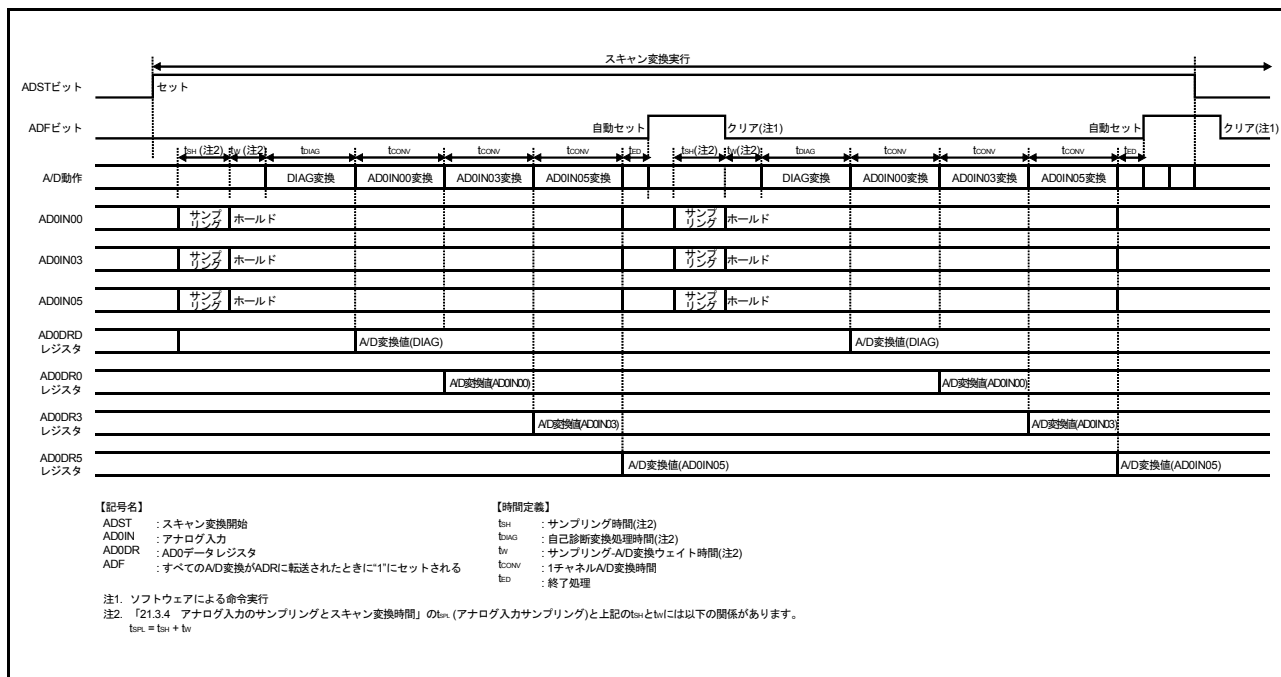


図 21.3 連続スキャンモードの動作例 (AD0)

21.3.4 アナログ入力のサンプリングとスキャン変換時間

AD0 には、サンプル&ホールド回路が内蔵されています。スキャン変換は、ソフトウェア起動、MTU-III トリガによる起動、および外部トリガ (ADTRG# 端子) による起動が選択できます (注 1)。スキャン変換開始遅延時間 (t_D) の後に、アナログ入力のサンプリング、Diag 変換処理を行い、この後に A/D 変換処理が開始されます。

図 21.4 に 1 サイクルスキャンモード、ソフトウェア起動によるスキャン変換を行う場合のタイミングを示します。また、図 21.5 に 1 サイクルスキャンモード、MTU-III トリガ要因と外部トリガ (ADTRG# 端子) 要因によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) はスキャン変換開始遅延時間 (t_D)、アナログ入力サンプリング時間 (t_{SPL})、自己診断変換時間 (t_{DIAG}) (注 2)、A/D 変換処理時間 (t_{CONV})、スキャン変換終了遅延時間 (t_{ED}) を含めた時間となります。表 21.9 にスキャン変換時間 (AD0) を示します。

選択チャンネル数が n の 1 サイクルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$$t_{SCAN} = t_D + t_{SPL} + t_{DIAG} + (t_{CONV} \times n) + t_{ED}$$

連続スキャンの 1 サイクル目は、1 サイクルスキャンの t_{SCAN} から t_{ED} を省いた時間です。

連続スキャンの 2 サイクル目以降は、t_{SPL} + t_{DIAG} + (t_{CONV} × n) 固定となります。

- 注 1. SH72A0 グループには外部トリガ端子 (ADTRG#) が無いので、外部トリガによるスキャン変換の起動はできません。
- 注 2. 自己診断モードを設定しない場合は、t_{DIAG} = 0 となります。

表 21.9 スキャン変換時間(AD0)

項目	記号	f (PBA) (cyc)			単位
		ADTRG# (外部トリガ)	MTU-III、 トリガ要因	ソフト ウェア起動	
スキャン変換開始遅延時間(注2)	t_D	7 (注1)	6	7	ステート
アナログ入力 サンプリング	端子専用サンプリング時間	t_{SPL}	20	20	20
	端子専用サンプリング-A/D変換 ウェイト時間	t_W	10	10	10
自己診断変換処理時間(注2)	t_{DIAG}	50	50	50	
A/D変換処理時間(注2)	t_{CONV}	50	50	50	
スキャン変換終了遅延時間(注2)	t_{ED}	12	12	12	
スキャン変換時間(注3)	t_{SCAN}	399 (Max.)	398 (Max.)	399 (Max.)	

注1. 外部トリガ入力遅延時間については「30. 電気的特性」の「A/Dコンバータタイミング」を参照してください。

注2. t_D 、 t_{DIAG} 、 t_{CONV} 、 t_{ED} の各タイミングについては図21.4、図21.5を参照してください。

注3. スキャン変換時間のmax値は自己診断変換選択、6チャンネルスキャン変換した場合です。

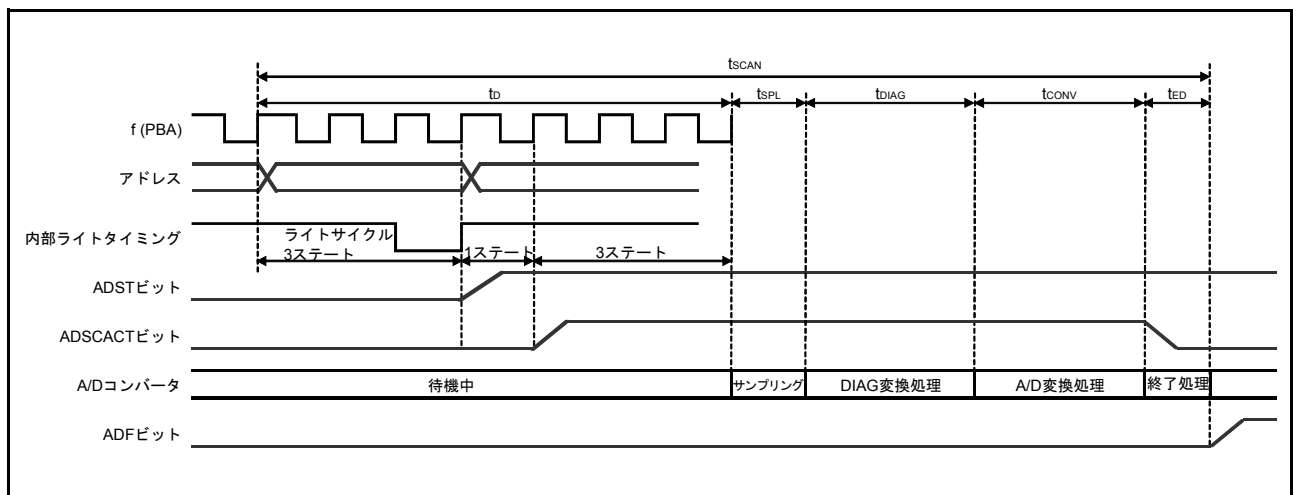


図 21.4 AD0 スキャン変換のタイミング (ソフトウェア起動の場合)

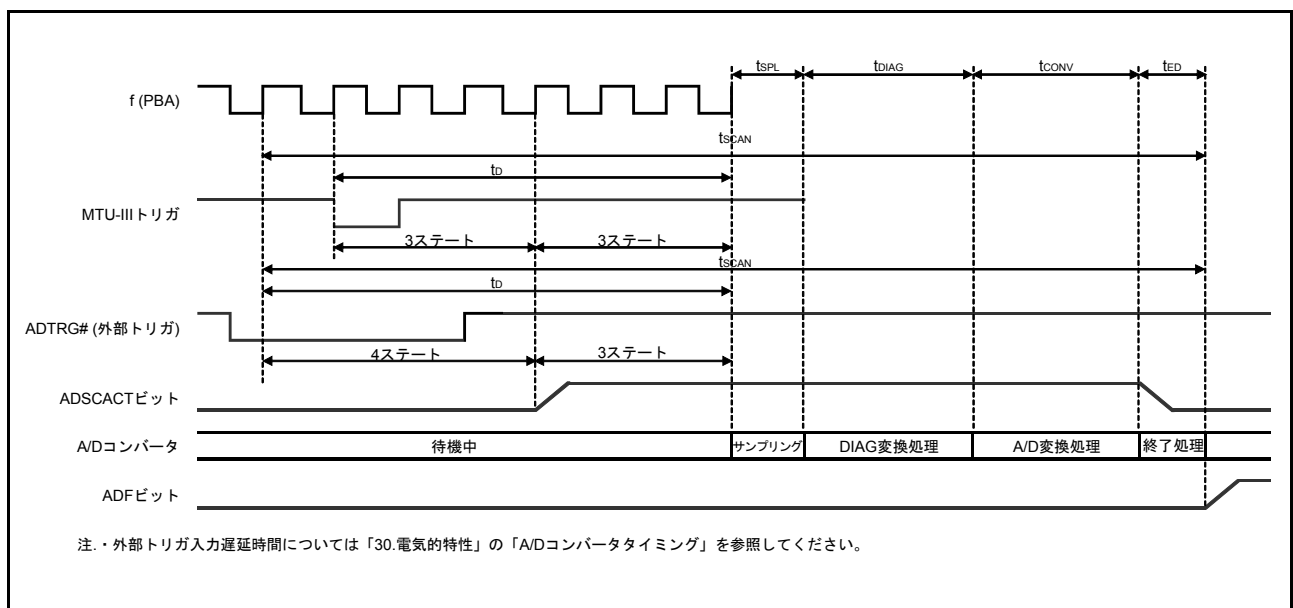


図 21.5 AD0 スキャン変換のタイミング (MTU-III、トリガ要因、ADTRG# 要因の場合)

21.3.5 データレジスタ (AD0DRn、AD0DRD) へのアクセス

AD0 データレジスタは 16 ビットのレジスタであり、A/D 変換結果を格納します。A/D 変換結果を AD0 データレジスタに格納時パリティ演算 (含む識別子) を実施してパリティ結果を保持します。CPU および DMAC から AD0 データレジスタを読み出す際に保持したパリティ結果と AD0 データレジスタ値のパリティチェックを行います。パリティチェック結果が相異した場合は、AD0PR レジスタの該当のビットをセットします。このとき、AD0CEX レジスタの PAIE ビットで割り込みが許可されていれば割り込みコントローラに対してパリティエラー割り込み要求を発生します。なお、パリティの照合が相異した場合でもデータレジスタへのアクセスは、有効となりデータが読み出されます。

21.3.6 AD0 データレジスタのオートクリア機能の使用例

AD0CEX レジスタの ACE ビットを “1” にセットすることにより、CPU および DMAC によって AD0 データレジスタ (AD0DRn および AD0DRD) を読み出す際に自動的に AD0DRn および AD0DRD レジスタを “H'0000” にクリアすることができます。

この機能を使うことにより、AD0DRn および AD0DRD レジスタの未更新故障を検出することができます。以下に AD0 データレジスタのオートクリア機能が無効 / 有効時の例を示します。

ACE ビット 0 (初期値) の場合、A/D 変換結果が “H'0222” が何らかの原因で AD0 データレジスタに書き込まれなかったとき、古いデータ “H'0111” が AD0 データレジスタの値となります。さらに A/D 変換変換終了割り込みを利用して、この AD0 データレジスタの値を汎用レジスタに読み出した場合、古いデータ “H'0111” が汎用レジスタなどに保存できます。未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ACE ビットが “1” の場合には、AD0 データ値が “H'0111” を CPU および DMAC により読み出す際、AD0 データレジスタは自動的に “H'0000” にクリアされます。その後、A/D 変換結果の “H'0222” が AD0 データレジスタに何らかの原因で転送できなかったとき、クリアされたデータ “H'0000” が AD0 データレジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この AD0 データレジスタの値を汎用レジスタなどに読み出した場合、“H'0000” が汎用レジスタなどに保持されます。読み出されたデータ値が “H'0000” であることをチェックするだけで、AD0 データレジスタの未更新故障があったと判断できます。

AD0 データレジスタのオートリクエストを選択した場合は、読み出し時に変換データ、識別子とあわせてパリティレジスタの該当ビットもクリアします。マイコン内部で読み出しと書き込みが競合した場合でも誤ってパリティエラーは発生しません。

21.3.7 識別子追加機能

AD0CEX レジスタの IDE ビットを “1” にセットすることにより、A/D 変換結果を AD0 データレジスタ (AD0DRn) に格納と同時に変換チャンネルに相当する識別子を下位 4 ビットに格納します。

識別子データの付加を選択した場合データレジスタのフォーマットは必ず左詰めとなります。

21.3.8 外部トリガによるスキャン変換の起動

外部トリガの入力により AD0 を起動することができます (SH72A2 グループのみ。SH72A0 グループは外部トリガからの起動はできません)。外部トリガを使用して AD0 を起動する場合、端子機能を設定し、AD0 開始トリガ選択レジスタ (AD0STRSL) に“H'00”を設定し、ADTRG# 端子に High レベルを入力した後、AD0 制御レジスタ (AD0CR) の TRGE ビットを“1”、EXTRG ビットを“1”にセットします。この状態で ADTRG# 端子に Low レベルを入力すると、AD0 は、パルスの立ち上がりエッジを検出して AD0 変換ステータスレジスタ (AD0CSR) の ADSCACT ビットを“1”にセットします。図 21.6 に外部トリガ入力タイミングを示します。

AD0CSR レジスタの ADSCACT ビットが“1”にセットされて、スキャン変換が開始されるまでのタイミングは、ソフトウェアで AD0CR レジスタの ADST ビットが“0”の状態に“1”をセットした場合と同じです。端子機能の設定については、「13. I/O ポート」を参照してください。

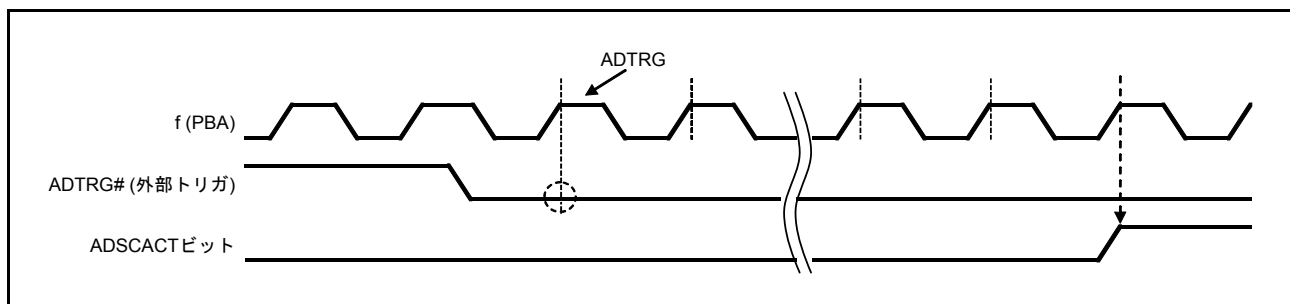


図 21.6 外部トリガ入力タイミング

21.3.9 周辺モジュールからのトリガによるスキャン変換の起動

MTU-III のタイマトリガによって、スキャン変換を起動することができます。タイマトリガでスキャン変換を起動するときには、AD0 制御レジスタ (AD0CR) の TRGE ビットを“1”、EXTRG ビットを“0”、AD0 開始トリガ選択レジスタ (AD0STRSL) の ADSTRS ビットで該当の起動要因をセットします。この状態で起動要因が入ると、AD0CSR レジスタの ADSCACT ビットを“1”にセットします。ADSCACT ビットが“1”にセットされて、スキャン変換が開始されるまでのタイミングは、ソフトウェアで AD0CR レジスタの ADST ビットが“0”の状態に“1”をセットした場合と同じです。

21.4 割り込み要因と DMA 転送要求

1. スキャン変換の各スキャン終了時の割り込み要求

AD0 は、CPU への AD0 スキャン変換終了割り込み要求を発生することができます。

AD0 制御レジスタ (AD0CR) の ADIE ビットを“1”にセットすると、AD0I 割り込みを許可、“0”にクリアすると AD0I 割り込みを禁止することができます。

また、AD0I 割り込み発生時に DMAC を起動することができます。このとき、CPU への割り込みは発生しません。

AD0I 割り込みで DMAC を起動する場合、DMAC によるデータ転送時に AD0 変換ステータスレジスタ (AD0CSR) の ADF ビットは自動的にクリアされます。

DMAC の設定は「12. DMAC」を参照してください。

注・ ADF ビットは、CPU への割り込み要求ではクリアされません。

21.5 A/D 変換精度の定義

以下に、A/D 変換精度の定義を示します。

- 分解能
A/D コンバータのデジタル変換出力コード数
- オフセット誤差
デジタル出力が最小電圧値“B'0000 0000 0000”から“B'0000 0000 0001”に変化する時のアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない(図 21.7)。
- フルスケール誤差
デジタル出力が“B'1111 1111 1110”から“B'1111 1111 1111”に変化する時のアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない(図 21.7)。
- 量子化誤差
A/D コンバータが本質的に有する誤差であり、1/2LSB で与えられる(図 21.7)。
- 非直線性誤差
ゼロ電圧からフルスケール誤差までの間の理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線性誤差を含む。

図 21.7 に A/D 変換精度の定義を示します。

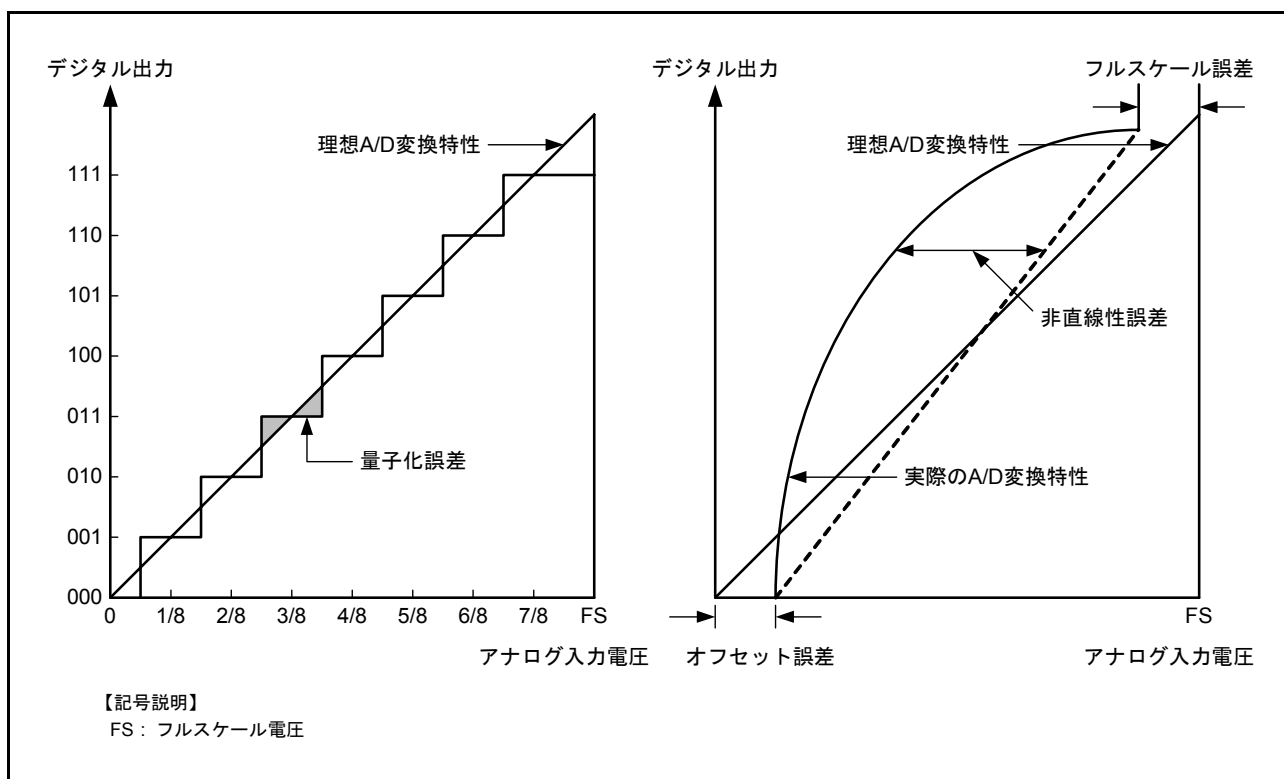


図 21.7 A/D 変換精度の定義

21.6 アナログポートプルダウン機能

アナログポートプルダウン機能はアナログポートそれぞれにプルダウン MOS がついており、AD0APPD の AD0APPD5 ~ AD0APPD0 ビットに 1 (初期値 0) をセットすることにより、それぞれのアナログチャンネルに対応したプルダウン MOS が ON します。

これによりアナログポートに外部回路から電圧を印加している場合、A/D 変換により得られた結果からアナログポートと外部ユニット間の信号の断線チェックを行うことができます。

- 例

正常時：外部回路から印加された電圧に近い変換結果が得られる。

異常時 (断線時)：AVSS に近い変換結果が得られる。

- 注・12ビットA/Dコンバータ用のI/Oポートはアナログ入力とデジタル入力がマルチプレクスになっています。I/Oポートのポート機能選択レジスタでアナログ入力端子として使用しない場合、該当する端子のプルダウン設定は無効となります。ただし、ポートプルダウンレジスタには反映されません。ポート機能選択の詳細は「13.2.24 ポート Ni 機能選択レジスタ (PNiS) (i = 00 ~ 05)」を参照してください。

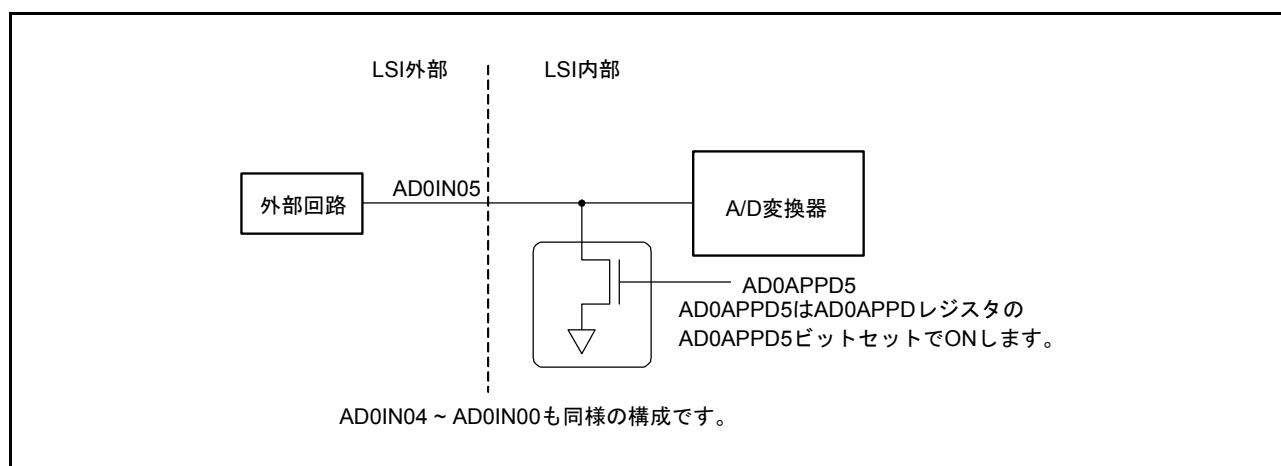


図 21.8 アナログポートプルダウン機能概略図

21.7 12ビットA/Dコンバータ (AD0) の注意事項

21.7.1 アナログ入力電圧の範囲

A/D変換中、アナログ入力端子に印加する電圧は下記の範囲としてください。

$$VREFL0 \leq AD0INm \ (m = 00 \sim 05) \leq VREFH0$$

21.7.2 AVCC0、AVSS0とVCC、VSSの関係

A/Dコンバータを使用する場合、AVCC0、AVSS0とVCC、VSSの関係は、

$$AVCC0 = 5.0V \pm 0.5V \text{ かつ } AVCC0 \leq VCC + 1.0V, \ AVSS0 = VSS$$

としてください。

また、A/Dコンバータを使用しないときは、

$$AVSS0 = VSS, \ AVCC0 = VCC$$

としてください。

21.7.3 VREFH0、VREFL0端子の設定範囲

VREFH0の設定範囲は、

$$4.5V \leq VREFH0 \leq AVCC0 \text{ (A/D使用時)}$$

$$AVSS \leq VREFH0 \leq AVCC0 \text{ (A/D未使用時)}$$

VREFL0に関しては、

$$VREFL0 = AVSS0 = VSS$$

としてください。以上のことが守られない場合、LSIの信頼性に悪影響を及ぼすことがあります。

21.7.4 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させたりするようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D変換値の精度に悪影響を及ぼします。

なお、アナログ入力端子 (AD0IN00 ~ AD0IN05)、アナログ基準電圧 (VREFH0、VREFL0)、アナログ電源 (AVCC0) は、アナロググランド (AVSS0) で、デジタル回路と必ず分離してください。さらにアナロググランド (AVSS0) は、ボード上の安定したデジタルグランド (VSS) に一点接続してください。また、10ビットA/Dコンバータの発生するノイズの影響を防ぐために、AVCC0とAVCC1は可能な限り分離し、共通インピーダンスが小さくなるようにボードを設計してください。

21.7.5 ノイズ対策上の注意

過大なサージなどの異常電圧によるアナログ入力端子 (AD0INm)(m=00 ~ 05) の破壊を防ぐための保護回路として、図 21.9、図 21.10 に示すように、AVCC0-AVSS0間およびVREFH0-VREFL0間にバイパスコンデンサを接続してください。また、アナログ入力端子 (AD0INm) に接続するフィルタのコンデンサは、AVSS0に接続してください。なお、図 21.9、図 21.10 に示すAVCC0-AVSS0間およびVREFH0-VREFL0間のバイパスコンデンサの容量値は参考値ですので、ボード設計時には十分検討のうえ決定してください。さらに、図 21.9、図 21.10 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 (AD0INm) の入力電流が平均化されるため、誤差を生じることがあります。したがって、回路定数は十分検討のうえ決定してください。基本構成の電源接続例を図 21.9 に示します。ボードの影響を受けにくい構成の電源接続例を図 21.10 に示します。なお、図 21.10 の構成にすると、AVCC0とVREFH0に電位差をつけることができます。

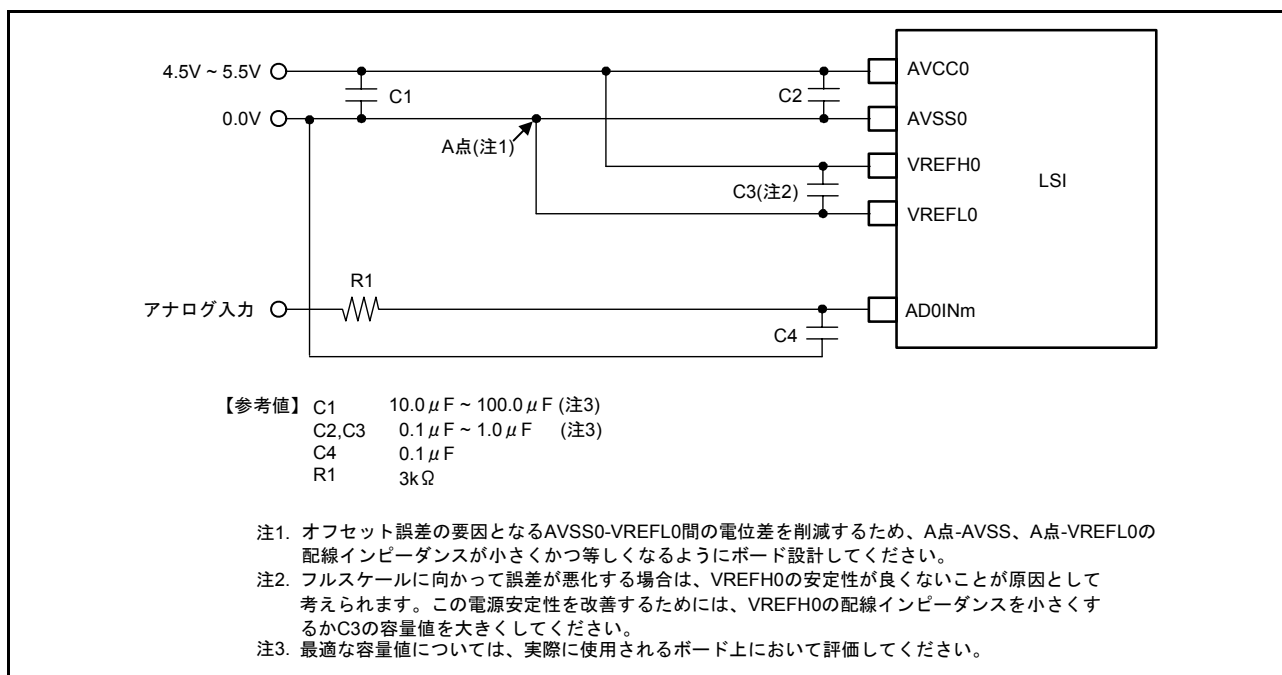


図 21.9 アナログ電源と入力端子の接続例 (基本構成)

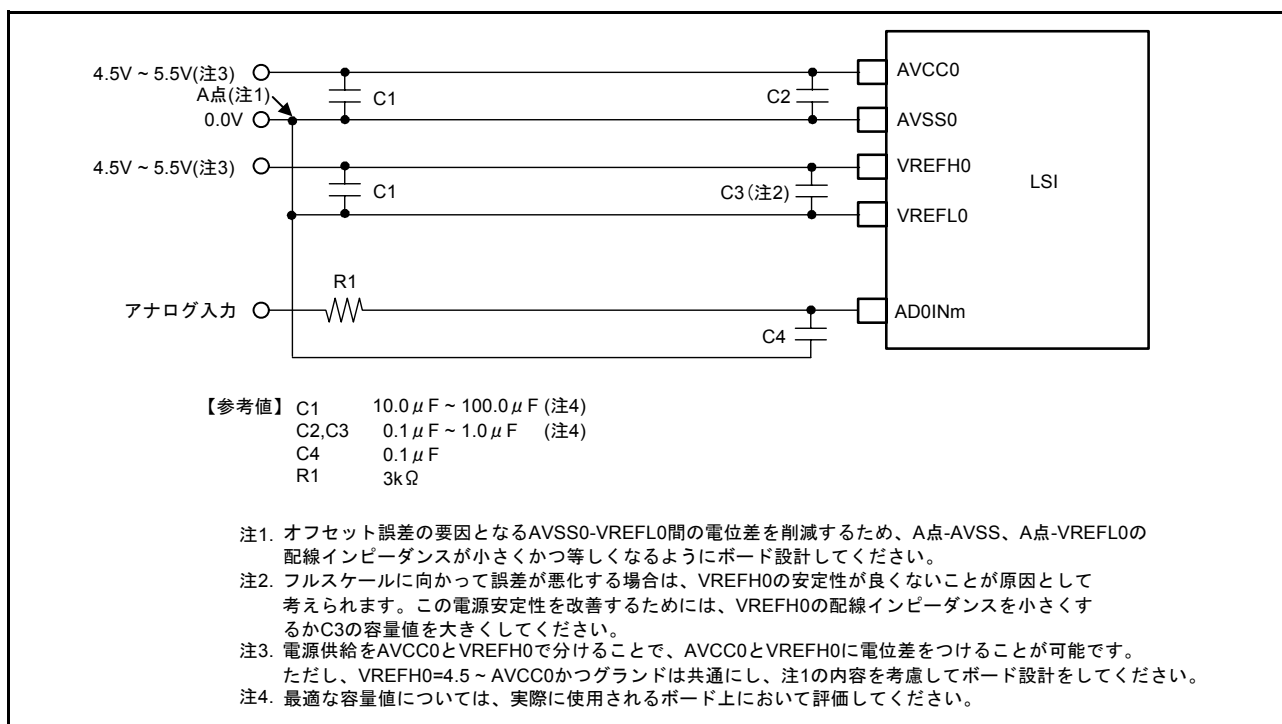


図 21.10 アナログ電源と入力端子の接続例 (ボードの影響を受けにくい構成、AVCC0 と VREFH0 に電位差をつけることが可能な構成)

21.7.6 低消費電力状態への遷移時の注意

スタンバイモードへ移行する場合は、必ずA/D変換を停止させてください。

AD0CRのADSTビットを“0”にした後、A/Dコンバータのアナログ回路が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

- (1) AD0CRのTRGEビットを“0”にする。
- (2) 次に、AD0CRのADSTビットを“0”にする。
- (3) A/D変換が停止していることを確認する。
(停止までは $f(\text{PBA}) \times 6$ ステート以上の時間が必要です)
- (4) スタンバイモードへ移行する。

21.7.7 ポート端子使用上の注意

SH72A2グループで12ビットA/Dコンバータを使用する場合、以下の端子の使用に注意してください。

- (1) PL10、PL11、PL12端子をポート出力として使用しないでください。
- (2) PL12端子をTP04A機能でアウトプットコンペア出力またはPWM出力として使用しないでください。

22. 10ビットA/Dコンバータ (AD1)

本LSIは、逐次比較方式の10ビットA/Dコンバータを内蔵しています。A/Dコンバータは、独立した1つのモジュール (AD1) により構成されています。ソフトウェアにより、SH72A2グループは最大24チャンネル、SH72A0グループは最大8チャンネルのアナログ入力を選択することができます。

本章では、SH72A2グループの場合について説明します。

なお、12ビットA/Dコンバータについては、「21. 12ビットA/Dコンバータ (AD0)」を参照してください。

注1. AD1のアナログ端子名の末尾の番号には欠番があり、不連続な数字が割り当てられていますので注意してください。アナログ端子名を「AD1IN00～AD1IN47」と表記している場合に、実際に存在するアナログ端子は下記になります。

(1) SH72A2グループ:

AD1IN00～AD1IN07、AD1IN16、AD1IN17、AD1IN24～AD1IN31、AD1IN42～AD1IN47

(2) SH72A0グループ:

AD1IN04～AD1IN05、AD1IN16、AD1IN17、AD1IN24、AD1IN28、AD1IN30、AD1IN31

22.1 概要

表22.1、表22.2に10ビットA/Dコンバータ (AD1) の仕様を示します。

表22.1 10ビットA/Dコンバータ (AD1) の仕様(1)

項目	内容
分解能	• 10ビット
入力チャンネル	• 24チャンネル AD1: 24チャンネル (AD1IN00～AD1IN47) (注1)
最小変換時間	• AVCC = 5V時 : 1チャンネル当たり 1.0 μ s (f (PBA) = 50MHz動作時、変換ステート = 50ステート)
スキャン変換モード	• 2種類 1サイクルスキャンモード: スキャンを1回だけ実施 連続スキャンモード: スキャンを無制限に繰り返し実施 スキャン変換の対象チャンネルは任意に選択可能で、チャンネル番号の小さい順 (AD1はAD1IN00 → AD1IN47) にA/D変換します。
A/D変換値加算モード	同じチャンネルを2～4回連続でA/D変換し、その変換値の合計をAD1データレジスタに保持します。A/D変換値加算モードは、AD1IN00～AD1IN07がサポートしています。この結果の平均値を使用することで、ノイズ成分によってはA/D変換精度が良くなります。ただし、必ずA/D変換精度が良くなることを保証する機能ではありません。(注2)
レジスタ	• 24本の10ビットADデータレジスタ (注3)
サンプル&ホールド機能	• サンプル&ホールド回路をA/Dコンバータ (AD1) に内蔵しています。
2種類のスキャン変換の開始	• AD1: ソフトウェア (AD1CRレジスタのADSTビット)/外部トリガ (ADTRG#端子) (注4)、TPU (PWM) のタイマトリガ (TPO1A-TPO4A)/TP1CNT～TP4CNTリセット/MTU-IIIのタイマトリガ (TRG0N、TRGA0N～TRGA4N、TRGA6N、TRGA7N) の選択が可能

注1. SH72A0グループは8チャンネルです。

注2. SH72A0グループはAD1IN04～AD1IN05をサポート

注3. SH72A0グループは8本です。

注4. SH72A0グループには外部トリガ (ADTRG#端子) はありません。

表22.2 10ビットA/Dコンバータ (AD1)の仕様(2)

項目	内容
割り込み変換	<ul style="list-style-type: none"> AD1: スキャン変換とは独立して、TPU (PWM)のタイマトリガ(TPU1-TPU4)/TP1CNT ~ TP4CNTリセット/MTU-IIIのタイマトリガ(TRG0N、TRGA0N ~ TRGA4N、TRGA6N、TRGA7N)またはソフトウェアトリガで要求されたチャンネルを優先的にA/D変換することが可能です。AD1IN00 ~ AD1IN47がサポートしています。ただし、TPU (PWM)のタイマトリガ(TPU1-TPU4)/TP1CNT ~ TP4CNTリセットによる割り込み変換が可能なのはAD1IN04 ~ AD1IN07、AD1IN16、AD1IN17のみです。割り込み変換がスキャン変換と競合した場合、スキャン変換でA/D変換しているチャンネルを途中で中断し、割り込み変換が要求されたチャンネルを優先的にA/D変換します。また、割り込み変換終了後、スキャン変換で中断されたチャンネルのA/D変換から再開します。
スキャン変換終了割り込み (ADI)と割り込み変換終了割り込み (ADID)とDMA転送機能をサポート	<ul style="list-style-type: none"> スキャン変換の各スキャン終了時に、スキャン変換終了割り込み要求(ADI)の発生またはDMACの起動が選択可能です。また、AD1IN00 ~ AD1IN47の割り込み変換終了時に、割り込み変換終了割り込み要求(AD1ID0 ~ AD1ID47)の発生またはDMACの起動(AD1ID0 ~ AD1ID47)が選択可能です。
アナログポートブルダウン機能	アナログ入力の断線をチェックすることが可能です。
A/Dコンバータの自己診断機能	内部で生成する電圧値(AVCC1×0、AVCC1×1/2、AVCC×1)をA/D変換します。A/D変換終了後、ADDR、ADDIAGRの値をソフトウェアで読み出すと、A/D変換値が正常範囲にあるか異常範囲にあるかを判定できます。

図 22.1 に A/D コンバータ (AD0~AD1) のブロック図を示します。

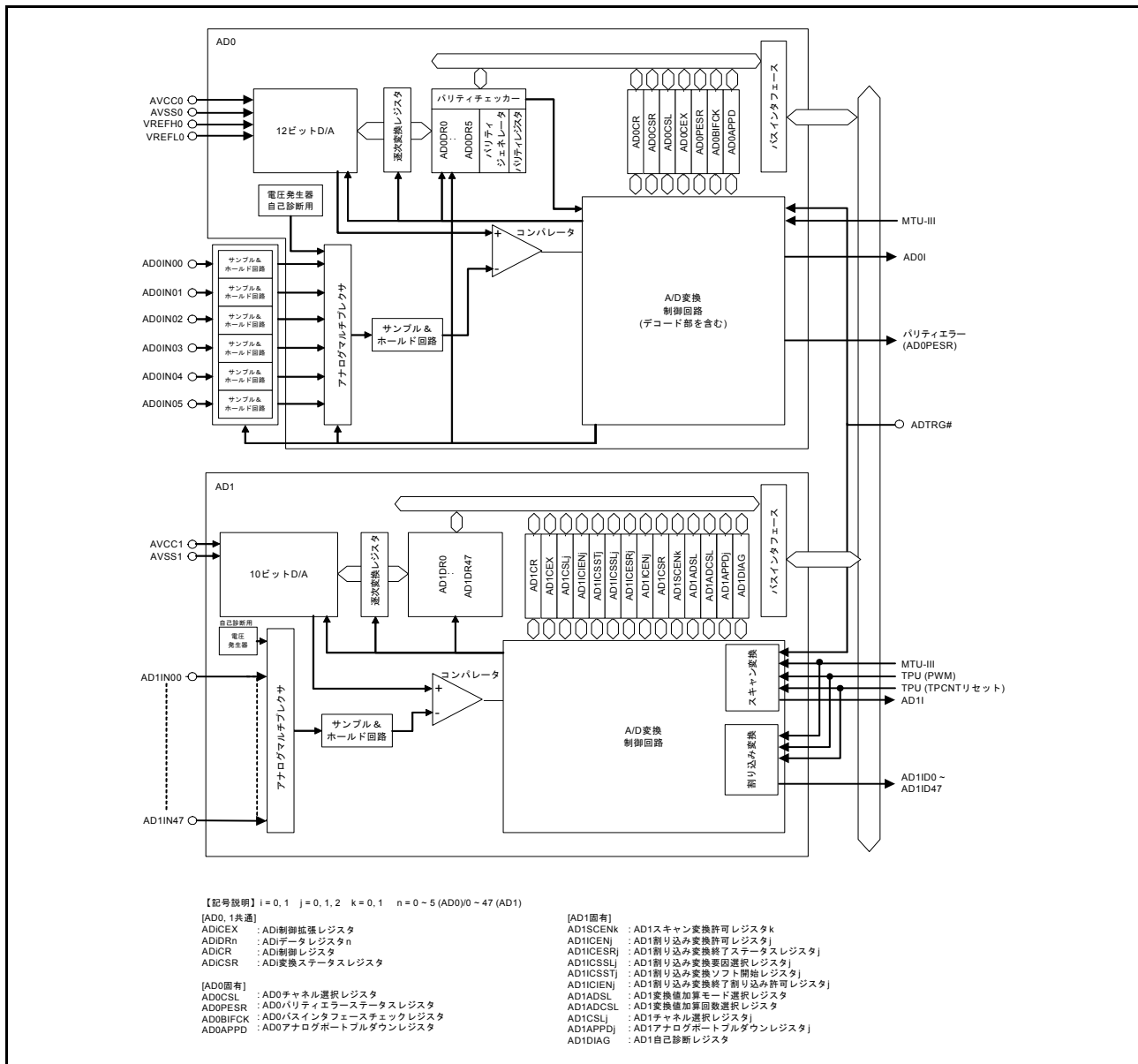


図 22.1 A/D コンバータ (AD0~AD1) のブロック図

表 22.3～表 22.5 にチャンネル別割り当て機能一覧表を示します。

表 22.3 AD0のチャンネル別割り当て機能一覧表

A/D コンバータ	A/D変換 チャンネル	スキャン変換									AD0データ レジスタ (A/D変換値 の格納 レジスタ)
		起動トリガ				自己診断選択 または チャンネル選択	スキャン 変換モード	終了 割り込み 兼DMA 転送要求 信号	DMA転送 機能 (DMAC)	終了 フラグ (1スキャン 終了)	
		ソース1	ソース2	ソース3	ソース4						
	自己診断 または 端子名	ソフト ウェア	外部 トリガ		MTU-III	AD0CEX または AD0CSL					
AD0 6チャンネル	自己診断 DIAG	ADST (AD0CR)	ADTRG# 端子 (注1)		—	DIAGM (AD0CEX)	1サイクル スキャン または 連続 スキャン	AD0I	○	ADF (AD0CSR)	AD0DRD
	AD0IN00				TRGA0N, TRG0N,	AD0CSL0					AD0DR0
	AD0IN01				TRGA1N, TRGA2N,	AD0CSL1					AD0DR1
	AD0IN02				TRGA3N, TRGA4N,	AD0CSL2					AD0DR2
	AD0IN03				TRG4AN, TRG4BN,	AD0CSL3					AD0DR3
	AD0IN04				TRG4ABN, TRGA6N, TRGA7N,	AD0CSL4					AD0DR4
	AD0IN05				TRG7AN, TRG7BN, TRG7ABN	AD0CSL5					AD0DR5

注1. SH72A0グループには外部トリガ (ADTRG#) はありません。

表22.4 AD1のチャンネル別割り当て機能一覧表(1)

A/D コンバータ	A/D変換 チャンネル (注1)	スキャン変換									AD1データ レジスタ (A/D変換値 の格納 レジスタ)	A/D変換値加 算モード AD1ADSL
		起動トリガ				チャンネル 選択	スキャン 変換 モード	終了 割り込み兼 DMA転送 要求信号	DMA転送 機能 (DMAC)	終了 フラグ (1スキャン 終了)		
		ソース1	ソース2	ソース3	ソース4							
AD1 24チャンネル	端子名	ソフトウェア	外部トリガ	TPU	MTU-III	AD1CSL	1サイクル スキャン または 連続 スキャン	AD1I	○	ADF (AD1CSR)	AD1DR0	AD1ADSL0
	AD1IN00	ADST (AD1CR)	ADTRG# 端子 (注2)	TPO1A TP1CNT リセット	TRG0N, TRGA0N, TRGA1N, TRGA2N, TRGA3N, TRGA4N, TRGA6N, TRGA7N	AD1CSL0					AD1DR1	AD1ADSL1
	AD1IN01					AD1CSL1					AD1DR2	AD1ADSL2
	AD1IN02					AD1CSL2					AD1DR3	AD1ADSL3
	AD1IN03					AD1CSL3					AD1DR4	AD1ADSL4
	AD1IN04					AD1CSL4					AD1DR5	AD1ADSL5
	AD1IN05					AD1CSL5					AD1DR6	AD1ADSL6
	AD1IN06					AD1CSL6					AD1DR7	AD1ADSL7
	AD1IN07					AD1CSL7					AD1DR16	x
	AD1IN16					AD1CSL16					AD1DR17	x
	AD1IN17					AD1CSL17					AD1DR24	x
	AD1IN24					AD1CSL24					AD1DR25	x
	AD1IN25					AD1CSL25					AD1DR26	x
	AD1IN26					AD1CSL26					AD1DR27	x
	AD1IN27					AD1CSL27					AD1DR28	x
	AD1IN28					AD1CSL28					AD1DR29	x
	AD1IN29					AD1CSL29					AD1DR30	x
	AD1IN30					AD1CSL30					AD1DR31	x
	AD1IN31					AD1CSL31					AD1DR42	x
	AD1IN42					AD1CSL42					AD1DR43	x
	AD1IN43					AD1CSL43					AD1DR44	x
	AD1IN44					AD1CSL44					AD1DR45	x
	AD1IN45					AD1CSL45					AD1DR46	x
	AD1IN46					AD1CSL46					AD1DR47	x
AD1IN47					AD1CSL47							

注1. SH72A0グループのA/D変換チャンネルは下記の8チャンネルになります。

AD1IN04、AD1IN05、AD1IN16、AD1IN17、AD1IN24、AD1IN28、AD1IN30、AD1IN31

注2. SH72A0グループには外部トリガ(ADTRG#)はありません。

表22.5 AD1のチャンネル別割り当て機能一覧表(2)

A/D コンバータ	A/D変換 チャンネル (注1)	割り込み変換										
		起動トリガ				終了割り 込み兼 DMA転送 要求信号	DMA 転送機能	許可 (チャンネル 選択)	要因選択	終了 ステータス	終了割り込み 許可	割り込み変換 ソフト開始
		ソース1	ソース2	ソース3	ソース4							
端子名	TPU	TPU	MTU-III	ソフト (AD1ICSST)		DMAC	AD1ICEN	AD1ICSSL	AD1ICESR	AD1ICIEN	AD1ICSST	
AD1 24チャンネル	AD1IN00			TRGA0N	AD1ICSST0	AD1ID0	○	AD1ICEN0	AD1ICSSL0	AD1ICESR0	AD1ICIEN0	AD1ICSST0
	AD1IN01			TRGA0N	AD1ICSST1	AD1ID1	○	AD1ICEN1	AD1ICSSL1	AD1ICESR1	AD1ICIEN1	AD1ICSST1
	AD1IN02			TRGA1N	AD1ICSST2	AD1ID2	○	AD1ICEN2	AD1ICSSL2	AD1ICESR2	AD1ICIEN2	AD1ICSST2
	AD1IN03			TRGA1N	AD1ICSST3	AD1ID3	○	AD1ICEN3	AD1ICSSL3	AD1ICESR3	AD1ICIEN3	AD1ICSST3
	AD1IN04	TPO1A A/D変換トリガ	TP1CNT カウンタ リセット	TRGA2N	AD1ICSST4	AD1ID4	○	AD1ICEN4	AD1ICSSL4	AD1ICESR4	AD1ICIEN4	AD1ICSST4
	AD1IN05	TPO1B A/D変換トリガ		TRGA2N	AD1ICSST5	AD1ID5	○	AD1ICEN5	AD1ICSSL5	AD1ICESR5	AD1ICIEN5	AD1ICSST5
	AD1IN06	TPO1C A/D変換トリガ		TRGA3N	AD1ICSST6	AD1ID6	○	AD1ICEN6	AD1ICSSL6	AD1ICESR6	AD1ICIEN6	AD1ICSST6
	AD1IN07	TPO1D A/D変換トリガ		TRGA3N	AD1ICSST7	AD1ID7	○	AD1ICEN7	AD1ICSSL7	AD1ICESR7	AD1ICIEN7	AD1ICSST7
	AD1IN16	TPO4A A/D変換トリガ	TP4CNT カウンタ リセット	TRGA0N	AD1ICSST16	AD1ID16	○	AD1ICEN16	AD1ICSSL16	AD1ICESR16	AD1ICIEN16	AD1ICSST16
	AD1IN17	TPO4B A/D変換トリガ		TRGA0N	AD1ICSST17	AD1ID17	○	AD1ICEN17	AD1ICSSL17	AD1ICESR17	AD1ICIEN17	AD1ICSST17
	AD1IN24			TRGA4N	AD1ICSST24	AD1ID24	○	AD1ICEN24	AD1ICSSL24	AD1ICESR24	AD1ICIEN24	AD1ICSST24
	AD1IN25			TRGA4N	AD1ICSST25	AD1ID25	○	AD1ICEN25	AD1ICSSL25	AD1ICESR25	AD1ICIEN25	AD1ICSST25
	AD1IN26			TRG0N	AD1ICSST26	AD1ID26	○	AD1ICEN26	AD1ICSSL26	AD1ICESR26	AD1ICIEN26	AD1ICSST26
	AD1IN27			TRG0N	AD1ICSST27	AD1ID27	○	AD1ICEN27	AD1ICSSL27	AD1ICESR27	AD1ICIEN27	AD1ICSST27
	AD1IN28			TRGA6N	AD1ICSST28	AD1ID28	○	AD1ICEN28	AD1ICSSL28	AD1ICESR28	AD1ICIEN28	AD1ICSST28
	AD1IN29			TRGA6N	AD1ICSST29	AD1ID29	○	AD1ICEN29	AD1ICSSL29	AD1ICESR29	AD1ICIEN29	AD1ICSST29
	AD1IN30			TRGA7N	AD1ICSST30	AD1ID30	○	AD1ICEN30	AD1ICSSL30	AD1ICESR30	AD1ICIEN30	AD1ICSST30
	AD1IN31			TRGA7N	AD1ICSST31	AD1ID31	○	AD1ICEN31	AD1ICSSL31	AD1ICESR31	AD1ICIEN31	AD1ICSST31
	AD1IN42			TRG0N	AD1ICSST42	AD1ID42	○	AD1ICEN42	AD1ICSSL42	AD1ICESR42	AD1ICIEN42	AD1ICSST42
	AD1IN43			TRG0N	AD1ICSST43	AD1ID43	○	AD1ICEN43	AD1ICSSL43	AD1ICESR43	AD1ICIEN43	AD1ICSST43
	AD1IN44			TRGA6N	AD1ICSST44	AD1ID44	○	AD1ICEN44	AD1ICSSL44	AD1ICESR44	AD1ICIEN44	AD1ICSST44
	AD1IN45			TRGA6N	AD1ICSST45	AD1ID45	○	AD1ICEN45	AD1ICSSL45	AD1ICESR45	AD1ICIEN45	AD1ICSST45
	AD1IN46	TRGA7N	AD1ICSST46	AD1ID46	○	AD1ICEN46	AD1ICSSL46	AD1ICESR46	AD1ICIEN46	AD1ICSST46		
	AD1IN47	TRGA7N	AD1ICSST47	AD1ID47	○	AD1ICEN47	AD1ICSSL47	AD1ICESR47	AD1ICIEN47	AD1ICSST47		

注1. SH72A0グループのA/D変換チャンネルは下記の8チャンネルになります。

AD1IN04、AD1IN05、AD1IN16、AD1IN17、AD1IN24、AD1IN28、AD1IN30、AD1IN31

表 22.6 に 10 ビット A/D コンバータ (AD1) の入出力端子を示します。

AD1IN00 ~ AD1IN47 の 24 本は、AD1 のアナログ入力です。ADTRG# 端子は、LSI 外部から、A/D 変換開始タイミングを与えるための端子です。ADTRG# 端子に Low レベルを印加すると、AD1 は A/D 変換を開始します。SH72A0 グループはアナログ入力は 8 本です。また、ADTRG# 端子はありません。

他の機能とマルチプレクスになっている端子は、端子の切り替えが必要です。詳細は、「13. I/O ポート」を参照してください。

表 22.6 10ビットA/Dコンバータ (AD1) の入出力端子

モジュール名	端子名(注1)	入出力	機能
AD1	AVCC1	入力	アナログ部の電源端子(アナログ部の基準電圧端子VREF1はAVCC1と端子を兼用しています)
	AVSS1	入力	アナログ部のグランド端子
	AD1IN00	入力	AD1アナログ入力端子0
	AD1IN01	入力	AD1アナログ入力端子1
	AD1IN02	入力	AD1アナログ入力端子2
	AD1IN03	入力	AD1アナログ入力端子3
	AD1IN04	入力	AD1アナログ入力端子4
	AD1IN05	入力	AD1アナログ入力端子5
	AD1IN06	入力	AD1アナログ入力端子6
	AD1IN07	入力	AD1アナログ入力端子7
	AD1IN16	入力	AD1アナログ入力端子16
	AD1IN17	入力	AD1アナログ入力端子17
	AD1IN24	入力	AD1アナログ入力端子24
	AD1IN25	入力	AD1アナログ入力端子25
	AD1IN26	入力	AD1アナログ入力端子26
	AD1IN27	入力	AD1アナログ入力端子27
	AD1IN28	入力	AD1アナログ入力端子28
	AD1IN29	入力	AD1アナログ入力端子29
	AD1IN30	入力	AD1アナログ入力端子30
	AD1IN31	入力	AD1アナログ入力端子31
	AD1IN42	入力	AD1アナログ入力端子42
	AD1IN43	入力	AD1アナログ入力端子43
	AD1IN44	入力	AD1アナログ入力端子44
	AD1IN45	入力	AD1アナログ入力端子45
AD1IN46	入力	AD1アナログ入力端子46	
AD1IN47	入力	AD1アナログ入力端子47	
	ADTRG#	入力	AD0、1共通のスキャン変換起動トリガ入力端子

注1. SH72A0グループにある端子は下記のみです。

AVCC1、AVSS1、AD1IN04、AD1IN05、AD1IN16、AD1IN17、AD1IN24、AD1IN28、AD1IN30、AD1IN31

22.2 レジスタの説明

表 22.7~表 22.8 に 10 ビット A/D コンバータ (AD1) のレジスタ一覧を示します。

表 22.7 10ビットA/Dコンバータ (AD1) のレジスタ一覧(1)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ (注1)
AD1制御レジスタ	AD1CR	H'00	H'FFFE 8000	8
AD1変換ステータスレジスタ	AD1CSR	H'00	H'FFFE 8002	8
AD1割り込み変換許可レジスタ0	AD1ICEN0	H'0000	H'FFFE 8004	8、16
AD1割り込み変換許可レジスタ1	AD1ICEN1	H'0000	H'FFFE 8006	8、16
AD1割り込み変換許可レジスタ2	AD1ICEN2	H'0000	H'FFFE 8008	8、16
AD1割り込み変換終了ステータスレジスタ0	AD1ICESR0	H'0000	H'FFFE 800A	8、16
AD1割り込み変換終了ステータスレジスタ1	AD1ICESR1	H'0000	H'FFFE 800C	8、16
AD1割り込み変換終了ステータスレジスタ2	AD1ICESR2	H'0000	H'FFFE 800E	8、16
AD1割り込み変換要因選択レジスタ0	AD1ICSSL0	H'0000	H'FFFE 8010	8、16
AD1割り込み変換要因選択レジスタ1	AD1ICSSL1	H'0000	H'FFFE 8012	8、16
AD1割り込み変換要因選択レジスタ2	AD1ICSSL2	H'0000	H'FFFE 8014	8、16
AD1割り込み変換ソフト開始レジスタ0	AD1ICSST0	H'0000	H'FFFE 8016	8、16
AD1割り込み変換ソフト開始レジスタ1	AD1ICSST1	H'0000	H'FFFE 8018	8、16
AD1割り込み変換ソフト開始レジスタ2	AD1ICSST2	H'0000	H'FFFE 801A	8、16
AD1割り込み変換終了割り込み許可レジスタ0	AD1ICIEN0	H'0000	H'FFFE 801C	8、16
AD1割り込み変換終了割り込み許可レジスタ1	AD1ICIEN1	H'0000	H'FFFE 801E	8、16
AD1割り込み変換終了割り込み許可レジスタ2	AD1ICIEN2	H'0000	H'FFFE 8020	8、16
AD1変換値加算モード選択レジスタ	AD1ADSL	H'00	H'FFFE 8022	8
AD1変換値加算回数選択レジスタ	AD1ADCSSL	H'00	H'FFFE 8024	8
AD1チャンネル選択レジスタ0	AD1CSL0	H'0000	H'FFFE 8026	8、16
AD1チャンネル選択レジスタ1	AD1CSL1	H'0000	H'FFFE 8028	8、16
AD1チャンネル選択レジスタ2	AD1CSL2	H'0000	H'FFFE 802A	8、16
AD1スキャン変換許可レジスタ0	AD1SCEN0	H'0000	H'FFFE 802C	8、16
AD1スキャン変換許可レジスタ1	AD1SCEN1	H'0000	H'FFFE 802E	8、16
AD1制御拡張レジスタ	AD1CEX	H'0000	H'FFFE 8030	8、16
AD1データレジスタ0	AD1DR0	H'0000	H'FFFE 8040	16
AD1データレジスタ1	AD1DR1	H'0000	H'FFFE 8042	16
AD1データレジスタ2	AD1DR2	H'0000	H'FFFE 8044	16
AD1データレジスタ3	AD1DR3	H'0000	H'FFFE 8046	16
AD1データレジスタ4	AD1DR4	H'0000	H'FFFE 8048	16
AD1データレジスタ5	AD1DR5	H'0000	H'FFFE 804A	16
AD1データレジスタ6	AD1DR6	H'0000	H'FFFE 804C	16
AD1データレジスタ7	AD1DR7	H'0000	H'FFFE 804E	16
AD1データレジスタ16	AD1DR16	H'0000	H'FFFE 8060	16
AD1データレジスタ17	AD1DR17	H'0000	H'FFFE 8062	16
AD1データレジスタ24	AD1DR24	H'0000	H'FFFE 8070	16
AD1データレジスタ25	AD1DR25	H'0000	H'FFFE 8072	16
AD1データレジスタ26	AD1DR26	H'0000	H'FFFE 8074	16
AD1データレジスタ27	AD1DR27	H'0000	H'FFFE 8076	16

表22.8 10ビットA/Dコンバータ (AD1)のレジスタ一覧(2)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ (注1)
AD1データレジスタ28	AD1DR28	H'0000	H'FFFE 8078	16
AD1データレジスタ29	AD1DR29	H'0000	H'FFFE 807A	16
AD1データレジスタ30	AD1DR30	H'0000	H'FFFE 807C	16
AD1データレジスタ31	AD1DR31	H'0000	H'FFFE 807E	16
AD1データレジスタ42	AD1DR42	H'0000	H'FFFE 8094	16
AD1データレジスタ43	AD1DR43	H'0000	H'FFFE 8096	16
AD1データレジスタ44	AD1DR44	H'0000	H'FFFE 8098	16
AD1データレジスタ45	AD1DR45	H'0000	H'FFFE 809A	16
AD1データレジスタ46	AD1DR46	H'0000	H'FFFE 809C	16
AD1データレジスタ47	AD1DR47	H'0000	H'FFFE 809E	16
AD1アナログポートブルダウンレジスタ0	AD1APPD0	H'0000	H'FFFE 8034	8、16
AD1アナログポートブルダウンレジスタ1	AD1APPD1	H'0000	H'FFFE 8036	8、16
AD1アナログポートブルダウンレジスタ2	AD1APPD2	H'0000	H'FFFE 8038	8、16
AD1自己診断レジスタ	AD1DIAG	H'0000	H'FFFE 8032	8

注1. 16ビットアクセスはワード境界のみ可能です。

22.2.1 AD1 データレジスタ n (AD1DRn) (n = 0 ~ 47)

アドレス AD1DR0 : H'FFFE 8040、AD1DR1 : H'FFFE 8042、AD1DR2 : H'FFFE 8044、AD1DR3 : H'FFFE 8046、
AD1DR4 : H'FFFE 8048、AD1DR5 : H'FFFE 804A、AD1DR6 : H'FFFE 804C、AD1DR7 : H'FFFE 804E、
AD1DR16 : H'FFFE 8060、AD1DR17 : H'FFFE 8062、AD1DR24 : H'FFFE 8070、AD1DR25 : H'FFFE 8072、
AD1DR26 : H'FFFE 8074、AD1DR27 : H'FFFE 8076、AD1DR28 : H'FFFE 8078、AD1DR29 : H'FFFE 807A、
AD1DR30 : H'FFFE 807C、AD1DR31 : H'FFFE 807E、AD1DR42 : H'FFFE 8094、AD1DR43 : H'FFFE 8096、
AD1DR44 : H'FFFE 8098、AD1DR45 : H'FFFE 809A、AD1DR46 : H'FFFE 809C、AD1DR47 : H'FFFE 809E

注. ・ nの値は下記のみです。

0 ~ 7、16、17、24 ~ 31、42 ~ 47

- A/D変換値加算モードに設定していないとき

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b6	AD9-AD0	データレジスタビット	10ビットのA/D変換値	R
b5-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

- 右詰めフォーマットに設定したとき

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b10	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b9-b0	AD9-AD0	データレジスタビット	10ビットのA/D変換値	R

- A/D変換値加算モードに設定したとき

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b4	AD11-AD0	データレジスタビット	A/D変換値加算モード時の全変換値を加算した値	R
b3-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

AD1 データレジスタ n (AD1DRn (n = 0 ~ 47) (注 1)) は読み出し専用で、アナログ入力 (AD1IN00 ~ 47) を A/D 変換した結果を格納します。

AD1DR0 ~ AD1DR47 レジスタは、下記の条件でフォーマットが異なります。

- AD1 制御拡張レジスタ (AD1CEX) の AD データレジスタフォーマット選択ビット (ADRFMT) の設定値 (左詰めまたは右詰め)
- AD1 変換値加算モード選択レジスタ (AD1ADSL) の AD 変換値加算チャンネル選択ビットの設定値 (非選択または選択)

A/D 変換値加算モードに設定していないときは、AD1 制御拡張レジスタ (AD1CEX) の ADRFMT ビットの設定により、左詰めまたは右詰めのフォーマットのいずれかを設定できます。このとき、AD9 ~ AD0 ビットは 10 ビットの A/D 変換値を示します。それ以外のビットは予約ビットです。読むと“0”が読み出されます。書き込みは“0”としてください。なお、A/D 変換値加算モードは、AD1DR0 ~ AD1DR7 のみ設定できます。AD1DR8 ~ AD1DR47 レジスタは、A/D 変換値加算モードに設定することはできません。

A/D 変換値加算モードに設定したときは、ADRFMT ビットの設定は無効となります。このとき、AD11 ~ AD0 ビットは A/D 変換値加算モード時の全変換値を加算した値を示します。それ以外のビットは予約ビットです。読むと“0”が読み出されます。書き込みは“0”としてください。

A/D 変換値加算モードを選択したチャンネルに対しての最小値と最大値を次に示します。

- 1 回変換時 : $H'0000 \leq AD1DRn (n = 0 \sim 7) \leq H'3FF0$
- 2 回変換時 : $H'0000 \leq AD1DRn (n = 0 \sim 7) \leq H'7FE0$
- 3 回変換時 : $H'0000 \leq AD1DRn (n = 0 \sim 7) \leq H'bfd0$
- 4 回変換時 : $H'0000 \leq AD1DRn (n = 0 \sim 7) \leq H'ffc0$

注 1. n の値は下記のみです。

0 ~ 7、16、17、24 ~ 31、42 ~ 47

22.2.2 AD1 制御レジスタ (AD1CR)

アドレス AD1CR: H'FFFE 8000

b7	b6	b5	b4	b3	b2	b1	b0
ADST	ADCS	—	ADIE	—	—	TRGE	EXTRG

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	ADST	スキャン変換開始ビット	0: スキャン変換停止 1: スキャン変換開始	R/W
b6	ADCS	スキャン変換モード選択ビット	0: 1サイクルスキャンモード 1: 連続スキャンモード	R/W
b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4	ADIE	割り込み許可ビット	0: スキャン終了後のADI割り込み発生禁止 1: スキャン終了後のADI割り込み発生許可	R/W
b3-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1	TRGE	トリガ許可ビット	0: 外部トリガ (ADTRG#端子)またはTPU (PWM)のタイマトリガ/TPCNTリセット/MTU-IIIのタイマトリガによるスキャン変換の起動を禁止 1: 外部トリガ (ADTRG#端子)またはTPU (PWM)のタイマトリガ/TPCNTリセット/MTU-IIIのタイマトリガによるスキャン変換の起動を許可	R/W
b0	EXTRG	トリガ選択ビット	0: TPU (PWM)のタイマトリガ/TPCNTリセット/MTU-IIIのタイマトリガによるスキャン変換の起動を選択 1: 外部トリガ (ADTRG#端子)によるスキャン変換の起動を選択	R/W

注・ 割り込み変換とスキャン変換を同時に起動する方法

AD1のTRGEビットに“1”、EXTRGビットに“0”を設定し、AD1割り込み変換許可レジスタ0 (AD1ICEN0)のAD1ICEN4ビットに“1”、AD1ICEN5ビットに“1”を設定して、TPU (PWM)のTPO1AとTPO1Bトリガを同時に入れると、AD1はAD1IN04の割り込み変換→AD1IN05の割り込み変換→スキャン変換の順番に実施します。スキャン変換のみ実施したい場合は、AD1ICEN4ビット、AD1ICEN5ビットのどちらも“0”にしてください。AD1IN04、AD1IN05のどちらか1チャンネルのみの割り込み変換も実施することができます。TPU (PWM)のTPCNTリセットとTPO1AトリガでAD1のスキャン変換、AD1IN04の割り込み変換の組み合わせでも同様な動作ができます。

・ 外部トリガでスキャン変換を起動する方法

外部トリガ端子ADTRG#にHighレベルを入力した状態で、AD1のTRGEビットに“1”、EXTRGビットに“1”を設定します。その後、ADTRG#端子にLowレベルのパルスを入力すると、AD1はパルスの立ち下がリエッジを検出し、スキャン変換を開始します。このときのLowレベルのパルス幅は、周辺バスクロックAの1.5サイクル以上である必要があります。また、Highレベルのパルスの必要な幅は、AD1制御拡張レジスタ (AD1CEX)のCKSビットの設定によって異なります。

CKS = “0”時: 周辺バスクロックAの2サイクル以上

CKS = “1”時: 周辺バスクロックAの4サイクル以上

SH72A0グループには、外部トリガ (ADTRG#端子)が無いので、外部トリガからの起動はできません。

・ ADSTビット、外部トリガ、TPU (PWM)のタイマトリガ/TPCNTリセット/MTU-IIIのタイマトリガによらずスキャン変換の起動は、AD1変換ステータスレジスタ (AD1CSR)のADSCACTビットが“0”の状態であるときに有効です。スキャン変換の起動要因は保持されません。

・ TPU (PWM)のタイマトリガ/TPCNTリセット/MTU-IIIのタイマトリガによるスキャン変換の起動周期および割り込み変換の起動周期について、スキャン変換時間(たとえば1チャンネルを変換する場合、CKSビットが“0”のとき56ステート、CKSビットが“1”のとき112ステート)および割り込み変換時間(たとえば1トリガソースで1チャンネルを変換する場合、CKSビットが“0”のとき50ステート、CKSビットが“1”のとき100ステート)を超えるようにTPU (PWM)のタイマトリガ/TPCNTリセット/MTU-IIIのタイマトリガ周期を設定してください。タイマトリガ周期の詳細な設定は、「15. タイマパルスユニット (TPU)」を参照してください。

ADST ビット

スキャン変換の開始/停止を制御します。

ADST ビットを“0”の状態から“1”にセットすると、ADST ビットの立ち上がりエッジを検出してスキャン変換を開始します。ADST ビットを“1”の状態から“0”にクリアすると、ADST ビットの立ち下がりエッジを検出してスキャン変換を停止します。また、ADST ビットは割り込み変換には影響しません。スキャン変換が実施されていることを確認するには、AD1CSR レジスタの ADSCACT ビットを読み出してください。

ADCS ビット

スキャン変換のモードを選択します。なお、誤動作を防ぐため、ADCS ビットの切り替えは、必ず AD1CSR レジスタの ADSCACT ビットが“0”の状態で行ってください。

1 サイクルスキャンモードは、スキャンを1回実施し、終了するとスキャン変換を停止します。連続スキャンモードは、無制限にスキャンを繰り返します。ADST ビットが“1”の状態でも“0”を書き込むとスキャン変換を停止することができます。スキャン変換は、AD1 は AD1IN00 ~ AD1IN47 のチャンネル番号の小さい順に変換を実施します。連続スキャンモードの場合、選択されたすべてのチャンネルの変換が終了すると、最初のチャンネルに戻ります。

ADIE ビット

A/D スキャン変換終了割り込み (ADI) の発生を許可/禁止します。なお、誤動作を防ぐため、ADIE ビットの切り替えは、必ず AD1CSR レジスタの ADSCACT ビットが“0”の状態で行ってください。

スキャン変換の各スキャンが終了して AD1CSR レジスタの ADF ビットが“1”にセットされたとき、ADIE ビットが“1”にセットされていると ADI 割り込みが発生します。ADF ビットを“0”にクリアするか、ADIE ビットを“0”にクリアすることで、ADI 割り込みのクリアが可能です。

TRGE ビット

- AD1: 外部トリガ (ADTRG# 端子) あるいは TPU (PWM) のタイマトリガ (TPU1-TPU4)/TP1CNT ~ TP4CNT リセット /MTU-III のタイマトリガ (TRG0N、TRGA0N ~ TRGA4N、TRGA6N、TRGA7N) によるスキャン変換の起動を許可/禁止します。

EXTRG ビット

スキャン変換のトリガソースを選択します。トリガソースとして外部トリガ (ADTRG# 端子) あるいは TPU (PWM) のタイマトリガ /TPCNT リセット /MTU-III のタイマトリガのどちらかを選択します。

22.2.3 AD1 制御拡張レジスタ (AD1CEX)

アドレス AD1CEX : H'FFFE 8030

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADRFMT	—	—	—	—	—	—	—	CKS	—	—	—	—	—	ITTRGS [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15	ADRFMT	ADデータレジスタフォーマット 選択ビット	0 : ADデータレジスタのフォーマットを左詰めにする。 1 : ADデータレジスタのフォーマットを右詰めにする。	R/W
b14-b8	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b7	CKS	クロック選択ビット	0 : A/D変換時間 = 50ステート (f (PBA) 換算) 1 : A/D変換時間 = 100ステート (f (PBA) 換算)	R/W
b6-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1-b0	ITTRGS [1:0]	割り込み変換トリガソース選択 拡張ビット	b1 b0 0 0 : ソース1のTPU (PWM)のタイマトリガによるAD1IN04 ~ AD1IN07、AD1IN16、AD1IN17の割り込み変換の起動を 行います。 0 1 : ソース2のTPCNTリセットによるAD1IN04 ~ AD1IN07、 AD1IN16、AD1IN17の割り込み変換の起動を行います 1 0 : 設定しないでください。 1 1 : ソース3のMTU-IIIのタイマトリガによるAD1IN00 ~ AD1IN47の割り込み変換の起動を行います。	R/W

注. ・ n = 00 ~ 07、16、17、24 ~ 31、42 ~ 47

ADRFMT ビット

ADデータレジスタのフォーマットの詳細は、「22.2.1 AD1データレジスタ n (AD1DRn) (n = 0 ~ 47)」を参照してください。

CKS ビット

A/D変換時間を選択します。誤動作を防ぐため CKS ビットの切り替えは、必ず AD1CSR レジスタの ADSCACT ビットと ADITACT ビットの値がどちらも“0”の状態で行ってください。

ITTRGS ビット

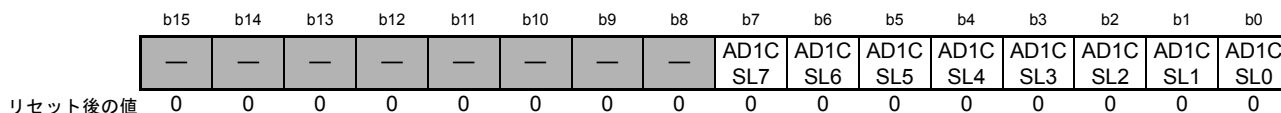
AD1IN00 ~ AD1IN47 の割り込み変換トリガソースをソース 1 ~ 3 のどのタイマにするかを選択します。ITTRGS ビットは、AD1 割り込み変換許可レジスタ (AD1ICENj (j = 0 ~ 2)) の AD1ICENn ビットが“1”、AD1 割り込み変換要因選択レジスタ (AD1ICSSLj (j = 0 ~ 2)) の AD1ICSSLn ビットが“0”のときのみ有効です。表 22.4、表 22.5 を参照してください。

注. ・ 割り込み変換トリガソースをソース 1 ~ 3 から選択できるのは AD1IN04 ~ AD1IN07、AD1IN16、AD1IN17 です。その他のチャンネルの割り込み変換トリガソースはソース 1、ソース 2 を選択できません。

22.2.4 AD1 チャンネル選択レジスタ j (AD1CSLj) (j = 0 ~ 2)

22.2.4.1 AD1 チャンネル選択レジスタ 0 (AD1CSL0)

アドレス AD1CSL0 : H'FFFE 8026



ビット	シンボル	ビット名	機能	R/W
b15-b8	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b7-b0	AD1CSLn	AD1 チャンネル選択ビット	0 : AD1INm の非選択 1 : AD1INm の選択	R/W

注. • n = 0 ~ 7, m = 00 ~ 07

AD1CSL0 レジスタはスキャン変換で変換するチャンネルを選択します。

誤作動を防ぐために、AD1CSL0 レジスタは、AD1CSR レジスタの ADSCACT ビットが“0”の状態に変更してください。

注. • AD1CSL0 レジスタは、スキャン変換のチャンネルを選択するレジスタであり、割り込み変換のチャンネルの選択とは関係がありません。割り込み変換のチャンネルの選択は、AD1 割り込み変換許可レジスタ (AD1ICEN) で選択します。

また、AD1CSL0 レジスタと AD1ICEN レジスタの両方で選択されたチャンネルは、スキャン変換と割り込み変換の両方で実施されます。さらに、AD1ICEN レジスタでのみ選択されたチャンネルは、スキャン変換の対象から外れ、割り込み変換でのみ実施されます。

AD1CSLn ビット (n = 0 ~ 7)

AD1CSLn ビットを 1 に選択することにより AD1INm が選択されます。AD1INm と AD1CSLn ビットの対応については表 22.4、表 22.5 を参照してください。

22.2.4.2 AD1 チャンネル選択レジスタ 1 (AD1CSL1)

アドレス AD1CSL1 : H'FFFE 8028

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
AD1C SL31	AD1C SL30	AD1C SL29	AD1C SL28	AD1C SL27	AD1C SL26	AD1C SL25	AD1C SL24	—	—	—	—	—	—	AD1C SL17	AD1C SL16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b8	AD1CSLn	AD1チャンネル選択ビット	0 : AD1INmの非選択 1 : AD1INmの選択	R/W
b7-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1-b0	AD1CSLn	AD1チャンネル選択ビット	0 : AD1INmの非選択 1 : AD1INmの選択	R/W

注. ・ n = 16、17、24 ~ 31、m = 16、17、24 ~ 31

AD1CSL1 レジスタはスキャン変換で変換するチャンネルを選択します。

誤作動を防ぐために、AD1CSL1 レジスタは、AD1CSR レジスタの ADSCACT ビットが“0”の状態に変更してください。

注. ・ AD1CSL1 レジスタは、スキャン変換のチャンネルを選択するレジスタであり、割り込み変換のチャンネルの選択とは関係がありません。割り込み変換のチャンネルの選択は、AD1 割り込み変換許可レジスタ (AD1ICEN) で選択します。

また、AD1CSL1 レジスタと AD1ICEN レジスタの両方で選択されたチャンネルは、スキャン変換と割り込み変換の両方で実施されます。さらに、AD1ICEN レジスタでのみ選択されたチャンネルは、スキャン変換の対象から外れ、割り込み変換でのみ実施されます。

AD1CSLn ビット (n = 16、17、24 ~ 31)

AD1CSLn ビットを1に選択することにより AD1INm が選択されます。AD1INm と AD1CSLn ビットの対応については表 22.4、表 22.5 を参照してください。

22.2.4.3 AD1 チャンネル選択レジスタ 2 (AD1CSL2)

アドレス AD1CSL2 : H'FFFE 802A

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD1C SL47	AD1C SL46	AD1C SL45	AD1C SL44	AD1C SL43	AD1C SL42	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b10	AD1CSLn	AD1チャンネル選択ビット	0 : AD1INmの非選択 1 : AD1INmの選択	R/W
b9-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注. • n = 42 ~ 47、m = 42 ~ 47

AD1CSL2 レジスタはスキャン変換で変換するチャンネルを選択します。

誤作動を防ぐために、AD1CSL2 レジスタは、AD1CSR レジスタの ADSCACT ビットが“0”の状態に変更してください。

注. • AD1CSL2 レジスタは、スキャン変換のチャンネルを選択するレジスタであり、割り込み変換のチャンネルの選択とは関係がありません。割り込み変換のチャンネルの選択は、AD1 割り込み変換許可レジスタ (AD1ICEN) で選択します。

また、AD1CSL2 レジスタと AD1ICEN レジスタの両方で選択されたチャンネルは、スキャン変換と割り込み変換の両方で実施されます。さらに、AD1ICEN レジスタでのみ選択されたチャンネルは、スキャン変換の対象から外れ、割り込み変換でのみ実施されます。

AD1CSLn ビット (n = 42 ~ 47)

AD1CSLn ビットを 1 に選択することにより AD1INm が選択されます。AD1INm と AD1CSLn ビットの対応については表 22.4、表 22.5 を参照してください。

22.2.5 AD1 変換ステータスレジスタ (AD1CSR)

アドレス AD1CSR : H'FFFE 8002

b7	b6	b5	b4	b3	b2	b1	b0
ADSC ACT	ADITA CT	—	—	—	—	—	ADF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7	ADSCACT	スキャン変換ステータスビット	0: スキャン変換がアイドル状態であることを示します 1: スキャン変換中であることを示します	R
b6	ADITACT	割り込み変換ステータスビット	0: 割り込み変換がアイドル状態であることを示します 1: 割り込み変換中であることを示します	R
b5-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	ADF	1スキャン終了フラグ	0: スキャン変換がアイドル状態であることを示します 1: 1スキャンが終了し、選択されたすべてのAD1INnのA/D変換値がAD1データレジスタに転送されたことを示します	R/W

注. • n = 0 ~ 7, m = 00 ~ 07

ADSCACT ビット

スキャン変換がアイドル状態か変換中かを示します。本ビットは読み出し専用ビットですので、書き込みはできません。スキャン変換中に割り込み変換が起動された場合、スキャン変換を中断し、割り込み変換を優先的に実行しますが、スキャン変換のすべての処理が終了するまで ADSCACT ビットは“1”を維持し、“0”にクリアされません。

ADITACT ビット

割り込み変換がアイドル状態か変換中かを示します。本ビットは読み出し専用ビットですので、書き込みはできません。ADSCACT ビットと ADITACT ビットの状態で AD1 の状態を把握することができます。詳細については表 22.9 を参照してください。

表 22.9 ADSCACT ビットと ADITACT ビットの設定による AD1 の状態についての関係

ADSCACT ビット	ADITACT ビット	AD1の状態	スキャン変換要因	割り込み変換要因
0	0	アイドル状態	なし	なし
	1	割り込み変換	なし	あり
1	0	スキャン変換	あり	なし
	1	割り込み変換	あり	あり

ADF ビット

スキャン変換でスキャンが終了する(選択されたすべてのチャンネルを一とおりに変換する)たびに“1”がセットされます。なお、ADF ビットに“1”を書き込むことはできません。ADF ビットに“1”がセットされたときにスキャン変換終了割り込み兼 DMAC への DMA 転送要求(割り込み制御回路側で選択可能)を発生することができます。これにより AD データレジスタを RAM などに退避するといった処理を、ソフトウェアで実現することができます。

["0"になる条件]

- ADF = “1”の状態を読み出した後、“0”を書き込んだとき

["1"になる条件]

- スキャン変換の各スキャンにおいてすべてのアナログ変換が終了したとき

22.2.6 AD1 変換値加算モード選択レジスタ (AD1ADSL)

アドレス AD1ADSL : H'FFFE 8022

b7	b6	b5	b4	b3	b2	b1	b0
AD1A DSL7	AD1A DSL6	AD1A DSL5	AD1A DSL4	AD1A DSL3	AD1A DSL2	AD1A DSL1	AD1A DSL0
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	AD1ADSL7- AD1ADSL0	AD 変換値加算チャンネル選択 ビット	0: A/D 変換値加算モード非選択 1: A/D 変換値2~4回連続加算モード選択	R/W

注. • n = 0~7、m = 00~07

AD1ADSL レジスタは、A/D 変換を連続2~4回実施して加算(積算)する AD1INm (m = 00~07) を選択します。

AD1ADSLn ビット

AD1ADSLn ビットを“1”にセットすると、AD1INm 端子を連続2~4回変換し加算(積算)した値を AD1 データレジスタ n に返します。AD1ADSLn ビットが“0”の AD1INm ビットに関しては、通常の1回変換を実施し、AD1 データレジスタ n に値を返します。また、スキャン変換および割り込み変換にかかわらず、AD1ADSLn ビットの設定により加算するかないかが決定されます。誤動作を防ぐため AD1ADSLn の切り替えは、必ず AD1CSR レジスタの ADSCACT ビットと ADITACT ビットの値がどちらも“0”の状態で行ってください。

AD1INm 端子と AD1ADSLn ビットの対応については表 22.4、表 22.5 を参照してください。加算回数を選択については、「22.2.7 AD1 変換値加算回数選択レジスタ (AD1ADCSL)」の説明を参照してください。

図 22.2 に AD1ADSL2 ビットと AD1ADSL6 ビットを“1”にセットしたときのスキャン変換シーケンスを示します。加算回数は4回に設定、AD1IN00~AD1IN07 が選択されているものとします。AD1IN00 から変換を開始します。AD1IN02 の変換は、4回連続変換し、加算(積算)値をデータレジスタに返します。その後、AD1IN03 の変換を開始します。

スキャン変換中に割り込み変換が要求された場合は、スキャン変換を途中で中断し、割り込み変換要求のチャンネルの変換を開始します。割り込み変換が終了すると、中断されたスキャン変換で A/D 変換中であったチャンネルから、スキャン変換を再開します。ただし、中断されたチャンネル (AD1INm) の AD1ADSLn ビットが1に設定されていた場合、2~4回の途中まで A/D 変換されていたとしても1回目の変換から実施しなおします。

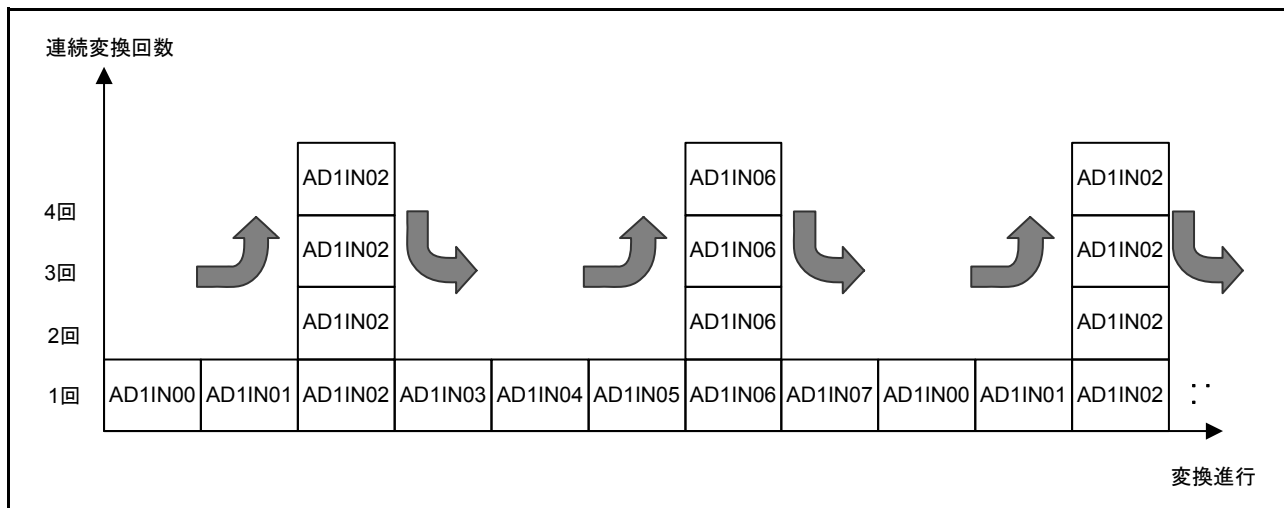
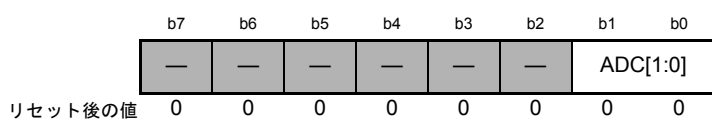


図 22.2 AD1ADSL2 ビットと AD1ADSL6 ビットを“1”にセットしたときのスキャン変換シーケンス

22.2.7 AD1 変換値加算回数選択レジスタ (AD1ADCSL)

アドレス AD1ADCSL : H'FFFE 8024



ビット	シンボル	ビット名	機能	R/W
b7-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1-b0	ADC[1:0]	加算回数選択ビット	b1 b0 0 0 : 1回変換(通常の変換と同じ) 0 1 : 2回変換 1 0 : 3回変換 1 1 : 4回変換	R/W

AD1ADCSL レジスタは、A/D 変換値加算モードが選択されたチャンネルに対して加算回数を設定します。

ADC ビット

A/D 変換値加算モードでの加算回数を選択します。ただし、A/D 変換値加算モードが選択されていないチャンネルの A/D 変換では、本ビットの設定は無効です。

また、誤動作を防ぐため、本ビットの切り替えは、必ず AD1CSR レジスタの ADSCACT ビットと ADITACT ビットの値がどちらも“0”の状態を実施してください。

22.2.8 AD1 スキャン変換許可レジスタ k (AD1SCENk) (k = 0, 1)

22.2.8.1 AD1 スキャン変換許可レジスタ 0 (AD1SCEN0)

アドレス H'FFFE 802C

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD1SC EN15	AD1SC EN14	AD1SC EN13	—	—	—	—	—	—	—	—	AD1SC EN4	AD1SC EN3	AD1SC EN2	AD1SC EN1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b13	AD1SCEN15- AD1SCEN13	スキャン変換要求 許可ビット	0 : TPU (PWM)のタイマトリガ/TPCNTリセットからのスキャン変換要求禁止 1 : TPU (PWM)のタイマトリガ/TPCNTリセットからのスキャン変換要求許可	R/W
b12-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4-b1	AD1SCEN4- AD1SCEN1	スキャン変換要求 許可ビット	0 : TPU (PWM)のタイマトリガ/TPCNTリセットからのスキャン変換要求禁止 1 : TPU (PWM)のタイマトリガ/TPCNTリセットからのスキャン変換要求許可	R/W
b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注. ・ n = 1 ~ 4、13 ~ 15

AD1SCEN0 レジスタは、AD1IN00 ~ AD1IN47 に対してのスキャン変換要求の禁止 / 許可を設定します。

AD1SCENn ビット (n = 1 ~ 4、13 ~ 15)

AD1SCENn ビットを“1”にセットすると、そのビットに対応した TPU (PWM) のスキャン変換要求を許可します。AD1SCENn ビットとスキャン要求トリガソースの対応については表 22.10 を参照してください。

22.2.8.2 AD1 スキャン変換許可レジスタ 1 (AD1SCEN1)

アドレス H'FFFE 802E

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD1SC EN31	AD1SC EN30	AD1SC EN29	AD1SC EN28	AD1SC EN27	AD1SC EN26	AD1SC EN25	AD1SC EN24	—	—	—	—	—	—	—	AD1SC EN16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b8	AD1SCEN31- AD1SCEN24	スキャン変換要求許可ビット	0 : MTU-IIIのタイマからのスキャン変換要求禁止 1 : MTU-IIIのタイマからのスキャン変換要求許可	R/W
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	AD1SCEN16	スキャン変換要求許可ビット	0 : TPU (PWM)のタイマトリガ/TPCNTリセットからのスキャン変換 要求禁止 1 : TPU (PWM)のタイマトリガ/TPCNTリセットからのスキャン変換 要求許可	R/W

注. ・ n = 16、24 ~ 31

AD1SCEN1 レジスタは、AD1IN00 ~ AD1IN47 に対してのスキャン変換要求の禁止 / 許可を設定します。

AD1SCENn ビット (n = 24 ~ 31)

AD1SCENn ビットを“1”にセットすると、そのビットに対応した MTU-III タイマのスキャン変換要求を許可します。AD1SCENn ビットとスキャン要求トリガソースの対応については表 22.10 を参照してください。

AD1SCENn ビット (n = 16)

AD1SCENn ビットを“1”にセットすると、そのビットに対応した PWM タイマのスキャン変換要求を許可します。AD1SCENn ビットとスキャン要求トリガソースの対応については表 22.10 を参照してください。

表22.10 AD1SCENnビットとスキャン要求トリガソースの対応

レジスタ名	ビット名	AD1SCENビットに対応するスキャン変換トリガ
AD1SCEN1	AD1SCEN31	MTU-III タイマトリガ(TRG0N)
	AD1SCEN30	MTU-III タイマトリガ(TRGA7N)
	AD1SCEN29	MTU-III タイマトリガ(TRGA6N)
	AD1SCEN28	MTU-III タイマトリガ(TRGA4N)
	AD1SCEN27	MTU-III タイマトリガ(TRGA3N)
	AD1SCEN26	MTU-III タイマトリガ(TRGA2N)
	AD1SCEN25	MTU-III タイマトリガ(TRGA1N)
	AD1SCEN24	MTU-III タイマトリガ(TRGA0N)
	AD1SCEN16	TPU (PWM) タイマトリガ(TP4CNTリセット)
AD1SCEN0	AD1SCEN15	TPU (PWM) タイマトリガ(TP3CNTリセット)
	AD1SCEN14	TPU (PWM) タイマトリガ(TP2CNTリセット)
	AD1SCEN13	TPU (PWM) タイマトリガ(TP1CNTリセット)
	AD1SCEN4	TPU (PWM) タイマトリガ(TPO4A)
	AD1SCEN3	TPU (PWM) タイマトリガ(TPO3A)
	AD1SCEN2	TPU (PWM) タイマトリガ(TPO2A)
	AD1SCEN1	TPU (PWM) タイマトリガ(TPO1A)

22.2.9 AD1 割り込み変換許可レジスタ j (AD1ICENj) (j = 0 ~ 2)

22.2.9.1 AD1 割り込み変換許可レジスタ 0 (AD1ICEN0)

アドレス AD1ICEN0 : H'FFFE 8004

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	AD1IC	AD1IC	AD1IC	AD1IC	AD1IC	AD1IC	AD1IC	AD1IC
	—	—	—	—	—	—	—	—	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b8	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b7-b0	AD1ICENn	割り込み変換要求許可ビット	0 : AD1INmに対してTPU (PWM)のタイマトリガ/TPCNTリセット/MTU-IIIのタイマトリガまたはソフトトリガ(AD1ICSSTn)からの割り込み変換要求禁止 1 : AD1INmに対してTPU (PWM)のタイマトリガ/TPCNTリセット/MTU-IIIのタイマトリガまたはソフトトリガ(AD1ICSSTn)からの割り込み変換要求許可	R/W

注. • n = 0 ~ 7、m = 00 ~ 07

AD1ICEN0 レジスタは、AD1IN00 ~ AD1IN07 に対しての割り込み変換要求を禁止 / 許可を設定します。

AD1ICENn ビット (n = 0 ~ 7)

AD1ICENn ビットを“1”にセットすると、そのビットに対応した AD1INm の割り込み変換要求を許可します。AD1ICENn ビットと AD1INm および割り込み要求トリガソースの対応については表 22.4、表 22.5 を参照してください。

22.2.9.2 AD1 割り込み変換許可レジスタ 1 (AD1ICEN1)

アドレス AD1ICEN1: H'FFFE 8006

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
AD1IC EN31	AD1IC EN30	AD1IC EN29	AD1IC EN28	AD1IC EN27	AD1IC EN26	AD1IC EN25	AD1IC EN24	—	—	—	—	—	—	AD1IC EN17	AD1IC EN16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b8	AD1ICENn	割り込み変換要求許可ビット	0: AD1INmに対してTPU (PWM)のタイマトリガ/TPCNTリセット/MTU-IIIのタイマトリガまたはソフトトリガ(AD1ICSSn)からの割り込み変換要求禁止 1: AD1INmに対してTPU (PWM)のタイマトリガ/TPCNTリセット/MTU-IIIのタイマトリガまたはソフトトリガ(AD1ICSSn)からの割り込み変換要求許可	R/W
b7-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1-b0	AD1ICENn	割り込み変換要求許可ビット	0: AD1INmに対してTPU (PWM)のタイマトリガ/TPCNTリセット/MTU-IIIのタイマトリガまたはソフトトリガ(AD1ICSSn)からの割り込み変換要求禁止 1: AD1INmに対してTPU (PWM)のタイマトリガ/TPCNTリセット/MTU-IIIのタイマトリガまたはソフトトリガ(AD1ICSSn)からの割り込み変換要求許可	R/W

注. • n = 16, 17, 24 ~ 31, m = 16, 17, 24 ~ 31

AD1ICEN1 レジスタは、AD1IN16、AD1IN17、AD1IN24 ~ AD1IN31 に対しての割り込み変換要求を禁止 / 許可を設定します。

AD1ICENn ビット (n = 16, 17, 24 ~ 31)

AD1ICENn ビットを“1”にセットすると、そのビットに対応した AD1INm の割り込み変換要求を許可します。AD1ICENn ビットと AD1INm および割り込み要求トリガソースの対応については表 22.4、表 22.5 を参照してください。

22.2.9.3 AD1 割り込み変換許可レジスタ 2 (AD1ICEN2)

アドレス AD1ICEN2 : H'FFFE 8008

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
AD1IC EN47	AD1IC EN46	AD1IC EN45	AD1IC EN44	AD1IC EN43	AD1IC EN42	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b10	AD1ICENn	割り込み変換要求許可ビット	0 : AD1INmに対してTPU (PWM)のタイマトリガ/TPCNTリセット/MTU-IIIのタイマトリガまたはソフトトリガ(AD1ICSSn)からの割り込み変換要求禁止 1 : AD1INmに対してTPU (PWM)のタイマトリガ/TPCNTリセット/MTU-IIIのタイマトリガまたはソフトトリガ(AD1ICSSn)からの割り込み変換要求許可	R/W
b9-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注. ・ n = 42 ~ 47、m = 42 ~ 47

AD1ICEN2 レジスタは、AD1IN42 ~ AD1IN47 に対しての割り込み変換要求を禁止 / 許可を設定します。

AD1ICENn ビット (n = 42 ~ 47)

AD1ICENn ビットを“1”にセットすると、そのビットに対応した AD1INm の割り込み変換要求を許可します。AD1ICENn ビットと AD1INm および割り込み要求トリガソースの対応については表 22.4、表 22.5 を参照してください。

22.2.10 AD1 割り込み変換要因選択レジスタ j (AD1ICSSLj) (j = 0 ~ 2)

22.2.10.1 AD1 割り込み変換要因選択レジスタ 0 (AD1ICSSL0)

アドレス AD1ICSSL0: H'FFFE 8010

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	AD1IC SSL7	AD1IC SSL6	AD1IC SSL5	AD1IC SSL4	AD1IC SSL3	AD1IC SSL2	AD1IC SSL1	AD1IC SSL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b8	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b7-b0	AD1ICSSLn	割り込み変換要因選択ビット	0: AD1INmの割り込み変換要求としてトリガソース1のTPU (PWM)のタイマトリガまたはソース2のTPCNTリセットまたはソース3のMTU-IIIのタイマトリガを選択 1: AD1INmの割り込み変換要求としてソフトトリガ (AD1ICSSn)を選択	R/W

注. • n = 0 ~ 7、m = 00 ~ 07

AD1ICSSL0 レジスタは、割り込み変換の要因を選択します。トリガソースとして、TPU (PWM) のタイマトリガ / TPCNT リセット / MTU-III のタイマトリガまたは AD1ICSS0 ~ AD1ICSS2 レジスタの書き込みによるソフトトリガのどちらかを選択できます。

AD1ICSSLn ビット (n = 0 ~ 7)

AD1ICSSLn ビットを“0”にセットし、さらに AD1 割り込み変換許可レジスタの AD1ICENn ビットを“1”にしたときは、トリガソース1のTPU (PWM) のタイマトリガまたはソース2のTPCNTリセットまたはソース3のMTU-IIIのタイマトリガが入るとエッジを検出してAD1INmの割り込み変換を開始します。AD1ICSSLn ビットを“1”にセットしたときは、AD1 割り込み変換ソフト開始レジスタのAD1ICSSn ビットに“1”を書き込むとエッジを検出してAD1INmの割り込み変換を開始します。トリガソース1のTPU (PWM) のタイマトリガまたはソース2のTPCNTリセットまたはソース3のMTU-IIIのタイマトリガの選択は、AD1ICEX レジスタのITTRGS ビットで設定します。AD1ICSSLn ビットとAD1INm および割り込み要求トリガソースの対応は、表 22.4、表 22.5 を参照してください。

22.2.10.2 AD1 割り込み変換要因選択レジスタ 1 (AD1ICSSL1)

アドレス AD1ICSSL1: H'FFFFE 8012

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD1ICSSL31	AD1ICSSL30	AD1ICSSL29	AD1ICSSL28	AD1ICSSL27	AD1ICSSL26	AD1ICSSL25	AD1ICSSL24	—	—	—	—	—	—	AD1ICSSL17	AD1ICSSL16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b8	AD1ICSSLn	割り込み変換要因選択ビット	0: AD1INmの割り込み変換要求としてトリガソース1のTPU (PWM)のタイマトリガまたはソース2のTPCNTリセットまたはソース3のMTU-IIIのタイマトリガを選択 1: AD1INmの割り込み変換要求としてソフトトリガ (AD1ICSSTn)を選択	R/W
b7-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1-b0	AD1ICSSLn	割り込み変換要因選択ビット	0: AD1INmの割り込み変換要求としてトリガソース1のTPU (PWM)のタイマトリガまたはソース2のTPCNTリセットまたはソース3のMTU-IIIのタイマトリガを選択 1: AD1INmの割り込み変換要求としてソフトトリガ (AD1ICSSTn)を選択	R/W

注. • n = 16、17、24 ~ 31、m = 16、17、24 ~ 31

AD1ICSSL1 レジスタは、割り込み変換の要因を選択します。トリガソースとして、TPU (PWM) のタイマトリガ/TPCNT リセット/MTU-III のタイマトリガまたは AD1ICSST0 ~ AD1ICSST2 レジスタの書き込みによるソフトトリガのどちらかを選択できます。

AD1ICSSLn ビット (n = 16、17、24 ~ 31)

AD1ICSSLn ビットを“0”にセットし、さらに AD1 割り込み変換許可レジスタの AD1ICENn ビットを“1”にしたときは、トリガソース1のTPU (PWM) のタイマトリガまたはソース2のTPCNTリセットまたはソース3のMTU-IIIのタイマトリガが入るとエッジを検出してAD1INmの割り込み変換を開始します。AD1ICSSLn ビットを“1”にセットしたときは、AD1 割り込み変換ソフト開始レジスタのAD1ICSSTn ビットに“1”を書き込むとエッジを検出してAD1INmの割り込み変換を開始します。トリガソース1のTPU (PWM) のタイマトリガまたはソース2のTPCNTリセットまたはソース3のMTU-IIIのタイマトリガの選択は、AD1ICEX レジスタのITTRGS ビットで設定します。AD1ICSSLn ビットとAD1INm および割り込み要求トリガソースの対応は、表 22.4、表 22.5 を参照してください。

22.2.10.3 AD1 割り込み変換要因選択レジスタ 2 (AD1ICSSL2)

アドレス AD1ICSSL2: H'FFFE 8014

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
AD1ICSSL47	AD1ICSSL46	AD1ICSSL45	AD1ICSSL44	AD1ICSSL43	AD1ICSSL42	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b10	AD1ICSSLn	割り込み変換要因選択ビット	0: AD1INmの割り込み変換要求としてトリガソース1のTPU (PWM)のタイマトリガまたはソース2のTPCNTリセットまたはソース3のMTU-IIIのタイマトリガを選択 1: AD1INmの割り込み変換要求としてソフトトリガ (AD1ICSSTn)を選択	R/W
b9-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注. • n = 42 ~ 47, m = 42 ~ 47

AD1ICSSL2 レジスタは、割り込み変換の要因を選択します。トリガソースとして、TPU (PWM) のタイマトリガ/TPCNTリセット/MTU-IIIのタイマトリガまたはAD1ICSST0~AD1ICSST2レジスタの書き込みによるソフトトリガのどちらかを選択できます。

AD1ICSSLn ビット (n = 42 ~ 47)

AD1ICSSLn ビットを“0”にセットし、さらにAD1 割り込み変換許可レジスタのAD1ICENn ビットを“1”にしたときは、トリガソース1のTPU (PWM)のタイマトリガまたはソース2のTPCNTリセットまたはソース3のMTU-IIIのタイマトリガが入るとエッジを検出してAD1INmの割り込み変換を開始します。AD1ICSSLn ビットを“1”にセットしたときは、AD1 割り込み変換ソフト開始レジスタのAD1ICSSTn ビットに“1”を書き込むとエッジを検出してAD1INmの割り込み変換を開始します。トリガソース1のTPU (PWM)のタイマトリガまたはソース2のTPCNTリセットまたはソース3のMTU-IIIのタイマトリガの選択は、AD1ICEX レジスタのITTRGS ビットで設定します。AD1ICSSLn ビットとAD1INm および割り込み要求トリガソースの対応は、表 22.4、表 22.5 を参照してください。

22.2.11 AD1 割り込み変換ソフト開始レジスタ j (AD1ICSSTj) (j = 0 ~ 2)

22.2.11.1 AD1 割り込み変換ソフト開始レジスタ 0 (AD1ICSST0)

アドレス AD1ICSST0 : H'FFFE 8016

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	AD1IC	AD1IC	AD1IC	AD1IC	AD1IC	AD1IC	AD1IC	AD1IC
									SST7	SST6	SST5	SST4	SST3	SST2	SST1	SST0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b8	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	W
b7-b0	AD1ICSSTn	割り込み変換ソフト開始ビット	0 : AD1INmに対して割り込み変換要求(ソフトトリガ)なし 1 : AD1INmに対して割り込み変換要求(ソフトトリガ)あり	W

注. • n = 0 ~ 7、m = 00 ~ 07

AD1ICSST0 レジスタは、ソフトウェアで割り込み変換を起動します。AD1ICSST0 レジスタは書き込み専用で、読み出すと常に“0”が読み出されます。

AD1ICSSTn ビット (n = 0 ~ 7)

AD1INm に対応した AD1 割り込み変換要因選択レジスタの AD1ICSSTn ビットを“1”にセットし、さらに AD1 割り込み変換許可レジスタの AD1ICENn ビットを“1”にしたとき、AD1ICSSTn ビットに“1”を書き込むとエッジを検出して AD1INm の割り込み変換を開始します。また、割り込み変換の要求をしない AD1INm には“0”を書き込んでください。“0”が書き込まれた AD1INm は何も影響されません。割り込み変換の要求を行うと内部回路でその要因を AD1INm 単位に保持します。要因のある AD1INm の割り込み変換が実施され終了すると AD1INm の要因をクリアします。したがって、一度 AD1ICSSTn ビットに“1”を書き込むと、その後“0”を書き込んでも AD1INm の要因はクリアされず、割り込み変換は実施されます。ただし、要因のある状態でさらに AD1ICSSTn ビットに“1”を書き込んでも AD1INm の割り込み変換を 2 回実施するわけではありません。

1 チャンネルにつき 1 要因です。これは、PWM のタイマトリガの要求で割り込み変換を実施する場合も同様です。AD1ICSSTn ビットと AD1INm の対応は、表 22.4、表 22.5 を参照してください。

22.2.11.2 AD1 割り込み変換ソフト開始レジスタ 1 (AD1ICSST1)

アドレス AD1ICSST1 : H'FFFE 8018

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
AD1IC SST31	AD1IC SST30	AD1IC SST29	AD1IC SST28	AD1IC SST27	AD1IC SST26	AD1IC SST25	AD1IC SST24	—	—	—	—	—	—	AD1IC SST17	AD1IC SST16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b8	AD1ICSSTn	割り込み変換ソフト開始ビット	0 : AD1INmに対して割り込み変換要求(ソフトトリガ)なし 1 : AD1INmに対して割り込み変換要求(ソフトトリガ)あり	W
b7-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	W
b1-b0	AD1ICSSTn	割り込み変換ソフト開始ビット	0 : AD1INmに対して割り込み変換要求(ソフトトリガ)なし 1 : AD1INmに対して割り込み変換要求(ソフトトリガ)あり	W

注. ・ n = 16、17、24 ~ 31、m = 16、17、24 ~ 31

AD1ICSST1 レジスタは、ソフトウェアで割り込み変換を起動します。AD1ICSST1 レジスタは書き込み専用で、読み出すと常に“0”が読み出されます。

AD1ICSSTn ビット (n = 16、17、24 ~ 31)

AD1INm に対応した AD1 割り込み変換要因選択レジスタの AD1ICSSTn ビットを“1”にセットし、さらに AD1 割り込み変換許可レジスタの AD1ICENn ビットを“1”にしたとき、AD1ICSSTn ビットに“1”を書き込むとエッジを検出して AD1INm の割り込み変換を開始します。また、割り込み変換の要求をしない AD1INm には“0”を書き込んでください。“0”が書き込まれた AD1INm は何も影響されません。割り込み変換の要求を行うと内部回路でその要因を AD1INm 単位に保持します。要因のある AD1INm の割り込み変換が実施され終了すると AD1INm の要因をクリアします。したがって、一度 AD1ICSSTn ビットに“1”を書き込むと、その後“0”を書き込んでも AD1INm の要因はクリアされず、割り込み変換は実施されます。ただし、要因のある状態でさらに AD1ICSSTn ビットに“1”を書き込んでも AD1INm の割り込み変換を 2 回実施するわけではありません。

1 チャンネルにつき 1 要因です。これは、PWM のタイマトリガの要求で割り込み変換を実施する場合も同様です。AD1ICSSTn ビットと AD1INm の対応は、表 22.4、表 22.5 を参照してください。

22.2.11.3 AD1 割り込み変換ソフト開始レジスタ 2 (AD1ICSST2)

アドレス AD1ICSST2 : H'FFFE 801A

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD1IC SST47	AD1IC SST46	AD1IC SST45	AD1IC SST44	AD1IC SST43	AD1IC SST42	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b10	AD1ICSSTn	割り込み変換ソフト開始ビット	0 : AD1INmに対して割り込み変換要求(ソフトトリガ)なし 1 : AD1INmに対して割り込み変換要求(ソフトトリガ)あり	W
b9-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	W

注. • n = 42 ~ 47, m = 42 ~ 47

AD1ICSST2 レジスタは、ソフトウェアで割り込み変換を起動します。AD1ICSST2 レジスタは書き込み専用で、読み出すと常に“0”が読み出されます。

AD1ICSSTn ビット (n = 42 ~ 47)

AD1INm に対応した AD1 割り込み変換要因選択レジスタの AD1ICSSTn ビットを“1”にセットし、さらに AD1 割り込み変換許可レジスタの AD1ICENn ビットを“1”にしたとき、AD1ICSSTn ビットに“1”を書き込むとエッジを検出して AD1INm の割り込み変換を開始します。また、割り込み変換の要求をしない AD1INm には“0”を書き込んでください。“0”が書き込まれた AD1INm は何も影響されません。割り込み変換の要求を行うと内部回路でその要因を AD1INm 単位に保持します。要因のある AD1INm の割り込み変換が実施され終了すると AD1INm の要因をクリアします。したがって、一度 AD1ICSSTn ビットに“1”を書き込むと、その後“0”を書き込んでも AD1INm の要因はクリアされず、割り込み変換は実施されます。ただし、要因のある状態でさらに AD1ICSSTn ビットに“1”を書き込んでも AD1INm の割り込み変換を 2 回実施するわけではありません。

1 チャンネルにつき 1 要因です。これは、PWM のタイマトリガの要求で割り込み変換を実施する場合も同様です。AD1ICSSTn ビットと AD1INm の対応は、表 22.4、表 22.5 を参照してください。

22.2.12 AD1 割り込み変換終了ステータスレジスタ j (AD1ICESRj) (j = 0 ~ 2)

22.2.12.1 AD1 割り込み変換終了ステータスレジスタ 0 (AD1ICESR0)

アドレス AD1ICESR0 : H'FFFE 800A

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	AD1IC ESR7	AD1IC ESR6	AD1IC ESR5	AD1IC ESR4	AD1IC ESR3	AD1IC ESR2	AD1IC ESR1	AD1IC ESR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b8	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b7-b0	AD1ICESRn	割り込み変換終了フラグ	0 : AD1INmの割り込み変換がアイドル状態であることを示します。 1 : AD1INmの割り込み変換が終了し、A/D変換値がAD1DRnレジスタに転送されたことを示します。	R/W

注. ・ AD1ICESRnビットを“0”にクリアしなくてもAD1INmの割り込み変換要求は受け付けます。AD1データレジスタnの退避タイミングに注意してください。
・ n = 0 ~ 7、m = 00 ~ 07

AD1ICESR0 レジスタは、割り込み変換の終了を示します。割り込み変換が終了したら、そのチャンネル (AD1INm) に対応した AD1ICESRn ビットを“1”にセットします。

AD1ICESRn ビット (n = 0 ~ 7)

割り込み変換が終了したことを示すステータスフラグです。AD1ICESRn ビットに“1”を書き込むことはできません。AD1ICESRn ビットに“1”がセットされたときに AD1INm の割り込み変換終了割り込み (AD1IDn) を発生することができます。AD1ICESRn ビットと AD1INm の対応については表 22.4、表 22.5 を参照してください。

[“0”になる条件]

- ・ AD1ICESRn = “1”の状態を読み出した後、“0”を書き込んだとき

[“1”になる条件]

- ・ AD1INm の割り込み変換が終了したとき

22.2.12.2 AD1 割り込み変換終了ステータスレジスタ 1 (AD1ICESR1)

アドレス AD1ICESR1 : H'FFFE 800C

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
AD1IC ESR31	AD1IC ESR30	AD1IC ESR29	AD1IC ESR28	AD1IC ESR27	AD1IC ESR26	AD1IC ESR25	AD1IC ESR24	—	—	—	—	—	—	AD1IC ESR17	AD1IC ESR16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b8	AD1ICESRn	割り込み変換終了フラグ	0 : AD1INmの割り込み変換がアイドル状態であることを示します。 1 : AD1INmの割り込み変換が終了し、A/D変換値がAD1DRnレジスタに転送されたことを示します。	R/W
b7-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1-b0	AD1ICESRn	割り込み変換終了フラグ	0 : AD1INmの割り込み変換がアイドル状態であることを示します。 1 : AD1INmの割り込み変換が終了し、A/D変換値がAD1DRnレジスタに転送されたことを示します。	R/W

注・ AD1ICESRnビットを“0”にクリアしなくてもAD1INmの割り込み変換要求は受け付けます。AD1データレジスタnの退避タイミングに注意してください。

- n = 16、17、24 ~ 31、m = 16、17、24 ~ 31

AD1ICESR1 レジスタは、割り込み変換の終了を示します。割り込み変換が終了したら、そのチャンネル (AD1INm) に対応した AD1ICESRn ビットを“1”にセットします。

AD1ICESRn ビット (n = 16、17、24 ~ 31)

割り込み変換が終了したことを示すステータスフラグです。AD1ICESRn ビットに“1”を書き込むことはできません。AD1ICESRn ビットに“1”がセットされたときに AD1INm の割り込み変換終了割り込み (AD1IIDn) を発生することができます。AD1ICESRn ビットと AD1INm の対応については表 22.4、表 22.5 を参照してください。

[“0”になる条件]

- AD1ICESRn = “1”の状態を読み出した後、“0”を書き込んだとき

[“1”になる条件]

- AD1INm の割り込み変換が終了したとき

22.2.12.3 AD1 割り込み変換終了ステータスレジスタ 2 (AD1ICESR2)

アドレス AD1ICESR2 : H'FFFE 800E

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD1IC ESR47	AD1IC ESR46	AD1IC ESR45	AD1IC ESR44	AD1IC ESR43	AD1IC ESR42	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b10	AD1ICESRn	割り込み変換終了フラグ	0 : AD1INmの割り込み変換がアイドル状態であることを示します。 1 : AD1INmの割り込み変換が終了し、A/D変換値がAD1DRnレジスタに転送されたことを示します。	R/W
b9-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注・ AD1ICESRnビットを“0”にクリアしなくてもAD1INmの割り込み変換要求は受け付けます。AD1データレジスタnの退避タイミングに注意してください。
 ・ n = 42 ~ 47、m = 42 ~ 47

AD1ICESR2 レジスタは、割り込み変換の終了を示します。割り込み変換が終了したら、そのチャンネル (AD1INm) に対応した AD1ICESRn ビットを“1”にセットします。

AD1ICESRn ビット (n = 42 ~ 47)

割り込み変換が終了したことを示すステータスフラグです。AD1ICESRn ビットに“1”を書き込むことはできません。AD1ICESRn ビットに“1”がセットされたときに AD1INm の割り込み変換終了割り込み (AD1IDn) を発生することができます。AD1ICESRn ビットと AD1INm の対応については表 22.4、表 22.5 を参照してください。

[“0”になる条件]

- AD1ICESRn = “1” の状態を読み出した後、“0”を書き込んだとき

[“1”になる条件]

- AD1INm の割り込み変換が終了したとき

22.2.13 AD1 割り込み変換終了割り込み許可レジスタ j (AD1ICIENj) (j = 0 ~ 2)

22.2.13.1 AD1 割り込み変換終了割り込み許可レジスタ 0 (AD1ICIEN0)

アドレス AD1ICIEN0 : H'FFFE 801C

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	AD1IC IEN7	AD1IC IEN6	AD1IC IEN5	AD1IC IEN4	AD1IC IEN3	AD1IC IEN2	AD1IC IEN1	AD1IC IEN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b8	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b7-b0	AD1ICIENn	割り込み変換終了割り込み許可ビット	0 : AD1INmの割り込み変換終了後の割り込み要求(AD1IDn)またはDMA転送要求を禁止 1 : AD1INmの割り込み変換終了後の割り込み要求(AD1IDn)またはDMA転送要求を許可	R/W

注. • n = 0 ~ 7、m = 00 ~ 07

AD1ICIEN0 レジスタは、AD1 割り込み変換終了ステータスレジスタ j (AD1ICESR0 ~ AD1ICESR2) の AD1ICESRn ビットが“1”にセットされたときに A/D 割り込み変換終了割り込みの発生を禁止 / 許可します。

AD1ICIENn ビット (n = 0 ~ 7)

AD1ICIENn ビットは、AD1INm の割り込み変換終了割り込み (AD1IDn) の発生を許可 / 禁止するビットです。なお、誤動作を防ぐため、AD1ICIENn ビットの切り替えは、必ず AD1 変換ステータスレジスタ (AD1CSR) の ADITACT ビットが“0”の状態で行ってください。AD1INm の割り込み変換が終了して、割り込み変換終了ステータスレジスタの AD1ICESRn ビットが“1”にセットされたとき、AD1ICIENn ビットが“1”にセットされていると AD1IDn 信号が発生します。AD1ICESRn ビットを“0”にクリアするか、AD1ICIENn ビットを“0”にクリアすることで、AD1IDn 信号のクリアが可能です。AD1ICIENn ビットと AD1INm および AD1IDn の対応は、表 22.4、表 22.5 を参照してください。

22.2.13.2 AD1 割り込み変換終了割り込み許可レジスタ 1 (AD1ICIEN1)

アドレス AD1ICIEN1 : H'FFFE 801E

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
AD1IC IEN31	AD1IC IEN30	AD1IC IEN29	AD1IC IEN28	AD1IC IEN27	AD1IC IEN26	AD1IC IEN25	AD1IC IEN24	—	—	—	—	—	—	AD1IC IEN17	AD1IC IEN16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b8	AD1ICIENn	割り込み変換終了割り込み許可ビット	0 : AD1INmの割り込み変換終了後の割り込み要求(AD1IDn)またはDMA転送要求を禁止 1 : AD1INmの割り込み変換終了後の割り込み要求(AD1IDn)またはDMA転送要求を許可	R/W
b7-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1-b0	AD1ICIENn	割り込み変換終了割り込み許可ビット	0 : AD1INmの割り込み変換終了後の割り込み要求(AD1IDn)またはDMA転送要求を禁止 1 : AD1INmの割り込み変換終了後の割り込み要求(AD1IDn)またはDMA転送要求を許可	R/W

注. • n = 16、17、24 ~ 31、m = 16、17、24 ~ 31

AD1ICIEN1 レジスタは、AD1 割り込み変換終了ステータスレジスタ j (AD1ICESR0 ~ AD1ICESR2) の AD1ICESRn ビットが“1”にセットされたときに A/D 割り込み変換終了割り込みの発生を禁止 / 許可します。

AD1ICIENn ビット (n = 16、17、24 ~ 31)

AD1ICIENn ビットは、AD1INm の割り込み変換終了割り込み (AD1IDn) の発生を許可 / 禁止するビットです。なお、誤動作を防ぐため、AD1ICIENn ビットの切り替えは、必ず AD1 変換ステータスレジスタ (AD1CSR) の ADITACT ビットが“0”の状態で行ってください。AD1INm の割り込み変換が終了して、割り込み変換終了ステータスレジスタの AD1ICESRn ビットが“1”にセットされたとき、AD1ICIENn ビットが“1”にセットされていると AD1IDn 信号が発生します。AD1ICESRn ビットを“0”にクリアするか、AD1ICIENn ビットを“0”にクリアすることで、AD1IDn 信号のクリアが可能です。AD1ICIENn ビットと AD1INm および AD1IDn の対応は、表 22.4、表 22.5 を参照してください。

22.2.13.3 AD1 割り込み変換終了割り込み許可レジスタ 2 (AD1ICIEN2)

アドレス AD1ICIEN2 : H'FFFE 8020

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
AD1IC IEN47	AD1IC IEN46	AD1IC IEN45	AD1IC IEN44	AD1IC IEN43	AD1IC IEN42	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b10	AD1ICIENn	割り込み変換終了割り込み許可ビット	0 : AD1INmの割り込み変換終了後の割り込み要求(AD1IDn)またはDMA転送要求を禁止 1 : AD1INmの割り込み変換終了後の割り込み要求(AD1IDn)またはDMA転送要求を許可	R/W
b9-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注. • n = 42 ~ 47, m = 42 ~ 47

AD1ICIEN2 レジスタは、AD1 割り込み変換終了ステータスレジスタ j (AD1ICESR0 ~ AD1ICESR2) の AD1ICESRn ビットが“1”にセットされたときに A/D 割り込み変換終了割り込みの発生を禁止 / 許可します。

AD1ICIENn ビット (n = 42 ~ 47)

AD1ICIENn ビットは、AD1INm の割り込み変換終了割り込み (AD1IDn) の発生を許可 / 禁止するビットです。なお、誤動作を防ぐため、AD1ICIENn ビットの切り替えは、必ず AD1 変換ステータスレジスタ (AD1CSR) の ADITACT ビットが“0”の状態で行ってください。AD1INm の割り込み変換が終了して、割り込み変換終了ステータスレジスタの AD1ICESRn ビットが“1”にセットされたとき、AD1ICIENn ビットが“1”にセットされていると AD1IDn 信号が発生します。AD1ICESRn ビットを“0”にクリアするか、AD1ICIENn ビットを“0”にクリアすることで、AD1IDn 信号のクリアが可能です。AD1ICIENn ビットと AD1INm および AD1IDn の対応は、表 22.4、表 22.5 を参照してください。

22.2.14 AD1 アナログポートプルダウンレジスタ j (AD1APPDj) (j=0 ~ 2)

22.2.14.1 AD1 アナログポートプルダウンレジスタ 0 (AD1APPD0)

アドレス H'FFFE8034

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	AD1A PPD7	AD1A PPD6	AD1A PPD5	AD1A PPD4	AD1A PPD3	AD1A PPD2	AD1A PPD1	AD1A PPD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b8	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b7-b0	AD1APPDn	アナログポートプルダウンMOSの制御ビット	0: プルダウンMOSオフ 1: プルダウンMOSオン	R/W

注. • n=0~7

アナログポートプルダウン MOS のオン/オフを制御します。

AD1APPDn ビット (n=0 ~ 7)

AD1APPDn ビットを“1”にセットすると、そのビットに対応したアナログポートについているプルダウン MOS がオンします。

アナログポートプルダウン機能の概略については図 22.11 を参照してください。

注. • AD1APPD0 レジスタは電源遮断からの復帰後は“0”にリセットされます。

10ビットA/Dコンバータ用のI/Oポートはアナログ入力とデジタル入出力がマルチプレクスになっています。I/Oポートのポート機能選択レジスタでアナログ入力端子として使用しない場合、該当する端子のプルダウン設定は無効となります。ただし、ポートプルダウンレジスタには反映されません。ポート機能選択の詳細は「13.2.21 ポート Ji 機能選択レジスタ (PJiS) (i = 00 ~ 11)」を参照してください。

22.2.14.2 AD1 アナログポートプルダウンレジスタ 1 (AD1APPD1)

アドレス H'FFFE8036

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD1AP PD31	AD1AP PD30	AD1AP PD29	AD1AP PD28	AD1AP PD27	AD1AP PD26	AD1AP PD25	AD1AP PD24	—	—	—	—	—	—	AD1AP PD17	AD1AP PD16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b8	AD1APPDn	アナログポートプルダウンMOSの制御ビット	0: プルダウンMOSオフ 1: プルダウンMOSオン	R/W
b7-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1-b0	AD1APPDn	アナログポートプルダウンMOSの制御ビット	0: プルダウンMOSオフ 1: プルダウンMOSオン	R/W

注. • n=16、17、24~31

アナログポートプルダウン MOS のオン/オフを制御します。

AD1APPDn ビット (n=16、17、24～31)

AD1APPDn ビットを“1”にセットすると、そのビットに対応したアナログポートについているプルダウン MOS がオンします。

アナログポートプルダウン機能の概略については図 22.11 を参照してください。

注・ AD1APPD1 レジスタは電源遮断からの復帰後は“0”にリセットされます。

10ビットA/Dコンバータ用のI/Oポートはアナログ入力とデジタル入出力がマルチプレクスになっています。I/Oポートのポート機能選択レジスタでアナログ入力端子として使用しない場合、該当する端子のプルダウン設定は無効となります。ただし、ポートプルダウンレジスタには反映されません。ポート機能選択の詳細は「13.2.21 ポート Ji 機能選択レジスタ (PJiS) (i = 00～11)」を参照してください。

22.2.14.3 AD1 アナログポートプルダウンレジスタ 2 (AD1APPD2)

アドレス H'FFFE8038

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
AD1AP PD47	AD1AP PD46	AD1AP PD45	AD1AP PD44	AD1AP PD43	AD1AP PD42	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b10	AD1APPDn	アナログポートプルダウンMOSの制御ビット	0: プルダウンMOSオフ 1: プルダウンMOSオン	R/W
b9-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注・ n = 42～47

アナログポートプルダウン MOS のオン/オフを制御します。

AD1APPDn ビット (n=42～47)

AD1APPDn ビットを“1”にセットすると、そのビットに対応したアナログポートについているプルダウン MOS がオンします。

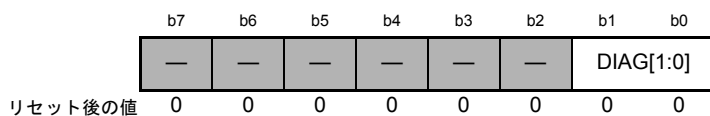
アナログポートプルダウン機能の概略については図 22.11 を参照してください。

注・ AD1APPD1 レジスタは電源遮断からの復帰後は“0”にリセットされます。

10ビットA/Dコンバータ用のI/Oポートはアナログ入力とデジタル入出力がマルチプレクスになっています。I/Oポートのポート機能選択レジスタでアナログ入力端子として使用しない場合、該当する端子のプルダウン設定は無効となります。ただし、ポートプルダウンレジスタには反映されません。ポート機能選択の詳細は「13.2.21 ポート Ji 機能選択レジスタ (PJiS) (i = 00～11)」を参照してください

22.2.15 AD1 自己診断レジスタ (AD1DIAG)

アドレス H'FFFE8032



ビット	シンボル	ビット名	機能	R/W
b7-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1-b0	DIAG[1:0]	A/D 自己診断ビット	b1 b0 0 0 : 自己診断オフ 0 1 : AVCC1×0 の電圧値のA/D 変換イネーブル 1 0 : AVCC1×1/2 の電圧値のA/D 変換イネーブル 1 1 : AVCC1×1 の電圧値のA/D 変換イネーブル	R/W

AD1DIAG レジスタは A/D 変換器の故障を検出するための内部電圧の生成を制御します。

DIAG ビット

DIAG ビットを“00”以外にセットすると、ビットの設定に対応した内部電圧が生成され、生成した内部電圧を A/D 変換します。

このとき、アナログ入力は無視されます。DIAG ビット の設定 は、誤動作を避けるため AD1CR の ADST ビットが 0 の状態で行ってください。

22.2.16 CPU とのインタフェース

AD1 データレジスタは 16 ビットのレジスタであり、16 ビット幅の周辺バスを介して CPU と結合しています。AD1 データレジスタの読み出しは、必ずワード単位で行ってください。バイト単位で上位バイト / 下位バイトの 2 回に分けて読み出すことにより、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が変化するのを避けるため、バイト単位の読み出しは行わないでください。

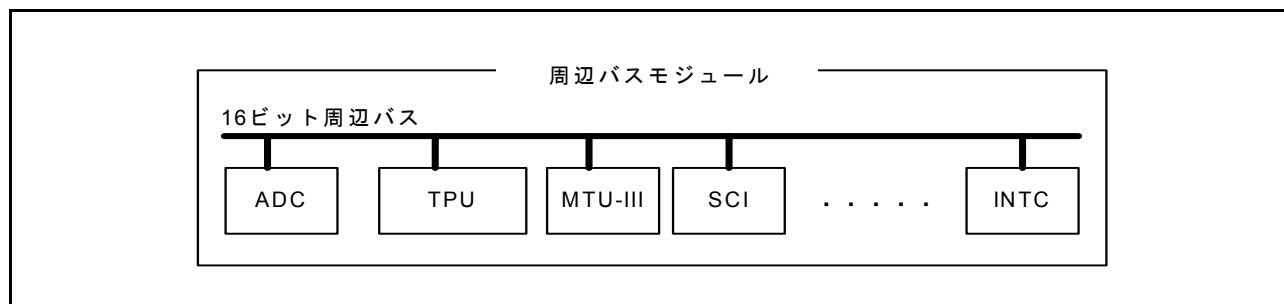


図 22.3 CPU と A/D コンバータ (ADC) のインタフェース

22.3 動作説明

22.3.1 スキャン変換動作

スキャン変換の動作モードには、1 サイクルスキャンモードと連続スキャンモードの2種類の動作モードがあります。1 サイクルスキャンモードは、指定した1チャンネル以上のスキャンを1回実施して終了するモードです。連続スキャンモードは指定した1チャンネル以上のスキャンをソフトウェアでAD1制御レジスタ (AD1CR) のADSTビットを“0”(“1”の状態から“0”)にクリアするまで無制限に繰り返し実施するモードです。

1 サイクルスキャンモードの選択は、AD1CRレジスタのADCSビットを“0”にセットすることにより行います。連続スキャンモードの選択は、ADCSビットを“1”にセットすることにより行います。スキャン変換は、AD1はAD1IN00～AD1IN47のチャンネル番号の小さい順に実施されます。

1 サイクルスキャンの場合、選択したすべてのチャンネルを一とおりA/D変換(スキャン)するとAD1変換ステータスレジスタ (AD1CSR) のADFビットを“1”にセットし、ADSCACTビットが“0”にクリアされ、スキャン変換を終了します。連続スキャンの場合、選択したすべてのチャンネルを一とおりA/D変換(スキャン)すると、ADFビットを“1”にセットし、さらにスキャン変換を続けます。ADFビットは、各スキャンが終了するたびに“1”にセットされます。

スキャン変換を停止する場合、ADSTビットが“1”の状態のときに“0”を書き込んでください。ADSTビットが“0”の状態でも“0”を書き込んでも、A/Dコンバータには何も影響しません。同様に、ADSTビットが“1”の状態のときに“1”を書き込んでも、A/Dコンバータには何も影響しません。したがって、ADSTビット以外のスキャン変換要求でスキャン変換を起動し、途中でスキャン変換を停止させる場合は、一度ADSTビットに“1”を書き込んでから“0”を書き込んでください。

ADFビットが“1”にセットされたとき、AD1CRレジスタのADIEビットが“1”にセットされているとADI割り込み要求が発生します。ADFビットを“0”にクリアするときには、ADFビットが“1”の状態を読み出した後、“0”を書き込んでください。

22.3.2 1 サイクルスキャンモード

AD1IN00、AD1IN03、AD1IN07を選択し、さらにAD1I割り込みを許可し、3チャンネルの1サイクルスキャンモードでスキャン変換を行う場合の動作例を次に示します。

1. AD1制御レジスタ (AD1CR) のADCSビットに“0”を、ADIEビットに“1”を設定します。
2. AD1チャンネル選択レジスタ (AD1CSL) のAD1CSL0、AD1CSL3、AD1CSL7ビットにそれぞれ“1”を設定します。
3. AD1制御レジスタ (AD1CR) のADSTビットに“1”をセットし、スキャン変換を開始します。すでにADSTビットが“1”にセットされている場合は、一度“0”にクリアしてから“1”をセットします。
この場合、一定時間(注1)以上の間隔を開けて、ADSTビットに“1”を書き込んでください。

注1. CKS = “0”時: 周辺バスクロックAの2サイクル分
CKS = “1”時: 周辺バスクロックAの4サイクル分

4. スキャン変換が開始すると、ADSCACTビットが“1”にセットされます。次にAD1IN00のA/D変換が開始されます。A/D変換が終了すると、A/D変換値をAD1DR0レジスタに転送します。その後は、AD1IN03→AD1IN07の順番でAD1IN00と同じように順次処理されていきます。
5. 設定したすべてのチャンネル (AD1IN00、AD1IN03、AD1IN07) のA/D変換値がAD1DRnレジスタに転送されると、ADFビットが“1”にセットされます。このとき、ADIEビットが“1”に設定されているため、AD1I割り込みが発生します。また、ADSCACTビットは“0”にクリアされ、スキャン変換が終了します。

6. AD1Iの割り込みルーチンが開始されます。割り込みルーチンでADFビットの“1”を読み出した後に“0”を書き込んでAD1Iをクリアします。次にAD1DR0、AD1DR3、AD1DR7レジスタを読み出し、処理します。
7. AD1Iの割り込みルーチンを終了します。

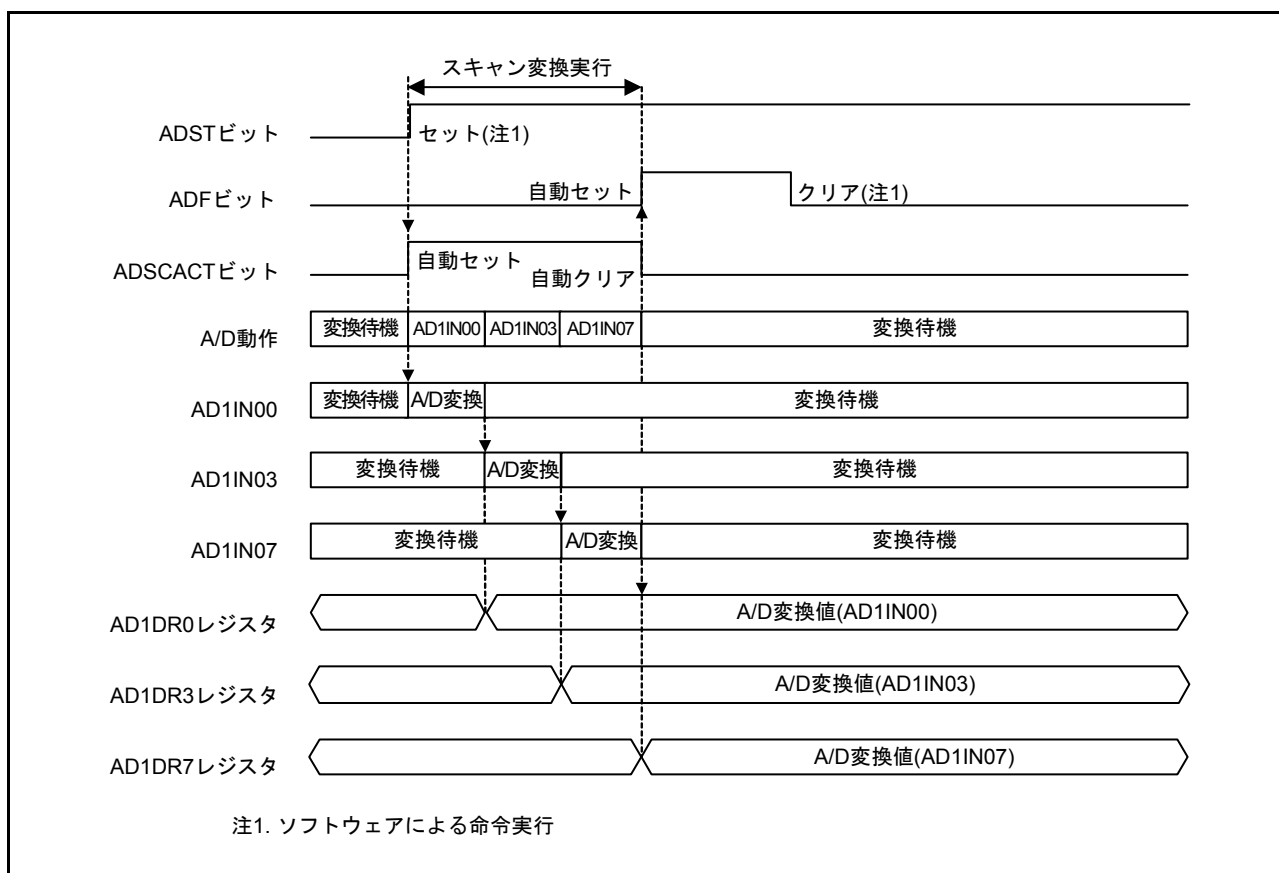


図 22.4 1 サイクルスキャンモードの動作例

22.3.3 連続スキャンモード

AD1IN00、AD1IN03、AD1IN07 を選択し、さらに AD1I 割り込みを許可し、3 チャンネルの連続スキャンモードでスキャン変換を行う場合の動作例を次に示します。AD2 に関しても操作は同じです。

1. AD1 制御レジスタ (AD1CR) の ADCS ビットに“1”を、ADIE ビットに“1”を設定します。
2. AD1 チャンネル選択レジスタ (AD1CSL) の AD1CSL0、AD1CSL3、AD1CSL7 ビットにそれぞれ“1”を設定します。
3. AD1 制御レジスタ (AD1CR) の ADST ビットに“1”をセットし、スキャン変換を開始します。すでに ADST が“1”にセットされている場合は、一度“0”にクリアしてから“1”をセットします。
この場合、一定時間 (注 1) 以上の間隔を開けて、ADST ビットに“1”を書き込んでください。

注 1. CKS = “0” 時: 周辺バスクロック A の 2 サイクル分
CKS = “1” 時: 周辺バスクロック A の 4 サイクル分

4. スキャン変換が開始すると、ADSCACT ビットが“1”にセットされます。次に AN0 の A/D 変換が開始されます。A/D 変換が終了すると、A/D 変換値を AD1DR00 レジスタに転送します。その後は、AD1IN03→AD1IN07 の順番で AD1IN00 と同じように順次処理されていきます。
5. 設定したすべてのチャンネル (AD1IN00、AD1IN03、AD1IN07) の A/D 変換値が AD1DRn レジスタに転送されると、ADF ビットが“1”にセットされます。このとき、ADIE ビットが“1”に設定されているため、AD1I 割り込みを発生します。また、スキャン変換は、スキャンの先頭に戻ります。
6. AD1I の割り込みルーチンが開始されます。割り込みルーチンで ADF ビットの“1”を読み出した後“0”を書き込んで AD1I をクリアします。次に AD1DR0、AD1DR3、AD1DR7 レジスタを読み出し、処理します。
7. AD1I の割り込みルーチンを終了します。
8. ADST ビットが“1”にセットされている間は、4.~7. を繰り返します。ADST ビットを“0”にクリアすると、ADSCACT ビットが“0”にクリアされ、スキャン変換が終了します。その後、ADST ビットを“1”にセットすると再びスキャン変換を開始します。

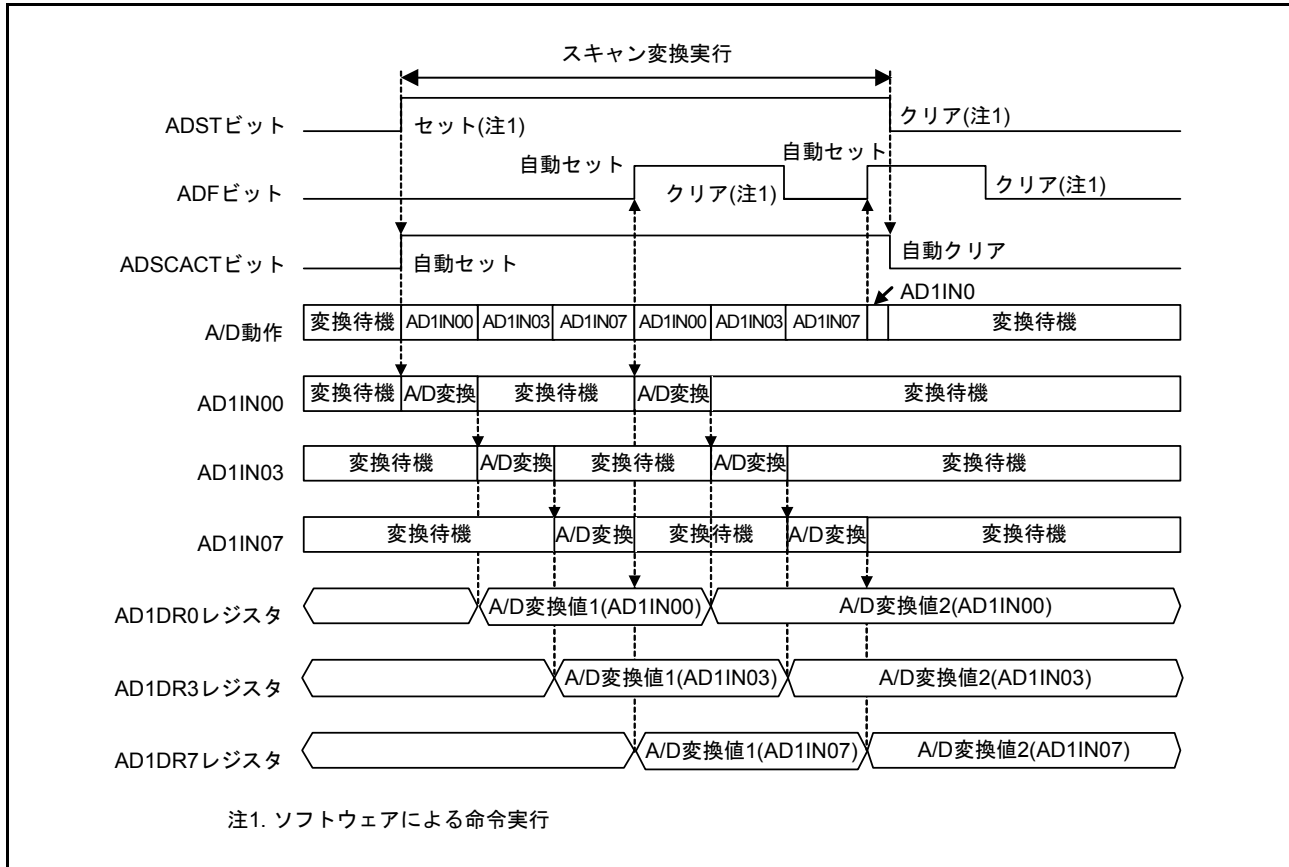


図 22.5 連続スキャンモードの動作例

22.3.4 割り込み変換

割り込み変換は、AD1IN00～AD1IN47に対して、TPU (PWM) のタイマトリガ /TPCNT リセット /MTU-III のタイマトリガまたはソフトトリガの要求が発生した場合、要求のあったチャンネルを A/D 変換します。スキャン変換が、要求により選択されたすべてのチャンネルを変換するのに対して、割り込み変換は各要求によりチャンネル単位で変換します。

割り込み変換を行う場合、AD1ICEN0～2 レジスタの AD1ICENn ビットに“1”を設定し、AD1ICSSL0～2 レジスタの AD1ICSSLn ビットによりトリガソースを選択します。この状態で選択したトリガソースから割り込み変換要求が入ると、対応する AD1INm の A/D 変換を実施します。AD1INm の割り込み変換が終了すると AD1ICESR0～2 レジスタの AD1ICESRn ビットを“1”にセットします。AD1ICESRn ビットは、AD1INm の割り込み変換が終了するたびに“1”にセットされます。さらに、いずれかの割り込み変換が実施されると、AD1ICSR0～2 レジスタの AD1ICTACT ビットは“1”にセットされます。割り込み変換要求のあるすべての AD1INm の A/D 変換が終了すると、AD1ICTACT ビットは“0”にクリアされます。

割り込み変換が競合した場合、優先順位に従って A/D 変換します。AD1 は、AD1IN00 > AD1IN01 > ... > AD1IN46 > AD1IN47 のように、優先順位は番号の小さいチャンネルが高くなります。ただし、あるチャンネル (AD1INi) の割り込み変換中に別のチャンネル (AD1INj、AD1INk) の割り込み変換要求が入った場合、優先順位にかかわらず途中で A/D 変換を中断しません。この場合には、A/D 変換中の AD1INi が終了した後に、処理されていない割り込み変換要求のあるすべてのチャンネル (この場合 AD1INj、AD1INk) を優先順位に従った順番で A/D 変換します。したがって、割り込み変換の優先順位は、次に処理する割り込み変換のチャンネルを決定するものです。一つのトリガソースで 2 チャンネルに対して割り込み変換要求が発生した場合や、複数のトリガソースが同時に割り込み変換要求が発生した場合にも、この優先順位に従った順番で A/D 変換します。

スキャン変換中に割り込み変換を行う場合、スキャン変換で A/D 変換中のチャンネル (AD1INi) を途中で中断し、割り込み変換要求のあったチャンネル (AD1ANj) の A/D 変換を実施します。AD1ANj の割り込み変換が終了すると、途中で中断されたチャンネル (AD1INi) の A/D 変換からスキャン変換を再開します。これにより、割り込み変換要求から割り込み変換終了までの時間は常に同じ時間となります。たとえば、LSI 外部の A/D 変換ソースの動作に同期させ、ピンポイントで A/D 変換を実施するというようなことが可能となります。

AD1ICESRn ビットが“1”にセットされたとき、AD1ICIEN レジスタの AD1IDEn ビットが“1”にセットされていると、AD1IDn 割り込み要求が発生します。AD1ICESRn ビットを“0”にクリアするときには、AD1ICESRn ビットが“1”の状態を読み出した後、“0”を書き込んでください。DMAC の DMA 転送がサポートされているのは、AD1IN00 (AD1ID0)～AD1IN47 (AD1ID47) です。

22.3.5 割り込み変換の動作例

AD1IN07 のトリガソースを TPU の TPO1D に、AD1IN16、AD1IN17 のトリガソースを TPU の TPO4A、TPO4B に選択し、割り込み変換を行う場合の動作例を次に示します。

1. AD1 割り込み変換許可レジスタ (AD1ICEN) の AD1ICEN7、AD1ICEN16、AD1ICEN17 ビットにそれぞれ“1”を設定します。
2. AD1 割り込み変換要因選択レジスタ (AD1ICSSL) の AD1ICSSL7、AD1ICSSL16、AD1ICSSL17 ビットにそれぞれ“0”を設定します。
3. 以降は、PWM のレジスタの設定に従った周期で、TPO1D、TPO4A、TPO4B の割り込み変換要求が発生します。PWM のレジスタについては、「15. タイマパルスユニット (TPU)」を参照してください。
4. TPO1D の割り込み変換要求が発生すると、AD1CSR レジスタの ADITACT ビットが“1”にセットされ、AD1IN07 の割り込み変換が実施されます。AD1IN07 の A/D 変換が終了すると、AD1IN07 の A/D 変換値を AD1DR7 レジスタに転送し、AD1ICESR レジスタの AD1ICESR7 ビットを“1”にセットします。また、ADITACT ビットが“0”にクリアされ、割り込み変換が終了します。さらに、AD1ICIEN レジスタの AD1ICIEN7 ビットが“1”にセットされていると、CPU に対して AD1ID07 割り込みを発生します。
5. TPO4A、TPO4B の順に割り込み変換要求が発生すると、まず TPO4A に対応して AD1CSR レジスタの ADITACT ビットが“1”にセットされ、AD1IN16 の割り込み変換が実施されます。AD1IN16 の A/D 変換が実施され、終了すると、AD1IN16 の A/D 変換値を AD1DR16 レジスタに転送し、AD1ICESR レジスタの AD1ICESR16 ビットを“1”にセットします。次に TPO4B に対応して AD1IN17 の A/D 変換が実施され終了すると、AD1IN17 の A/D 変換値を AD1DR17 レジスタに転送し、AD1ICESR レジスタの AD1ICESR17 ビットを“1”にセットします。また、ADITACT ビットが“0”にクリアされ、割り込み変換を終了します。さらに、AD1ICESR16 ビットまたは AD1ICESR17 ビットが“1”にセットされたときに、AD1ICIEN レジスタの AD1ICIEN16 ビットと AD1ICIEN17 ビットが“1”にセットされていると、CPU に対してそれぞれ AD1ID16、AD1ID17 の割り込みを発生します。
6. 以降は 4.~5. を繰り返します TPO1D、TPO4A、TPO4B が * 競合したときの動作例を次に示します。

• 動作例 1

TPO4A の割り込み変換要求による AD1IN16 の A/D 変換中に、TPO1D、TPO4B の割り込み変換要求が入った場合、次のように処理します。

TPO1D、TPO4B の要因を A/D 内部で保持します。AD1IN16 が処理されるのを待ちます。AD1IN16 の A/D 変換が終了すると、現時点の要因である AD1IN17 と AD1IN07 に優先順位が適用され、AD1IN07→AD1IN17 の順に A/D 変換されます。

• 動作例 2

TPO1D、TPO4A、TPO4B の割り込み変換要求が同時に入った場合、次のように処理します。TPO1D、TPO4A、TPO4B の要因を A/D 内部で保持します。現時点の要因である AD1IN07、AD1IN16、および AD1IN17 に優先順位が適用され、AD1IN07→AD1IN16→AD1IN17 の順に A/D 変換されます。

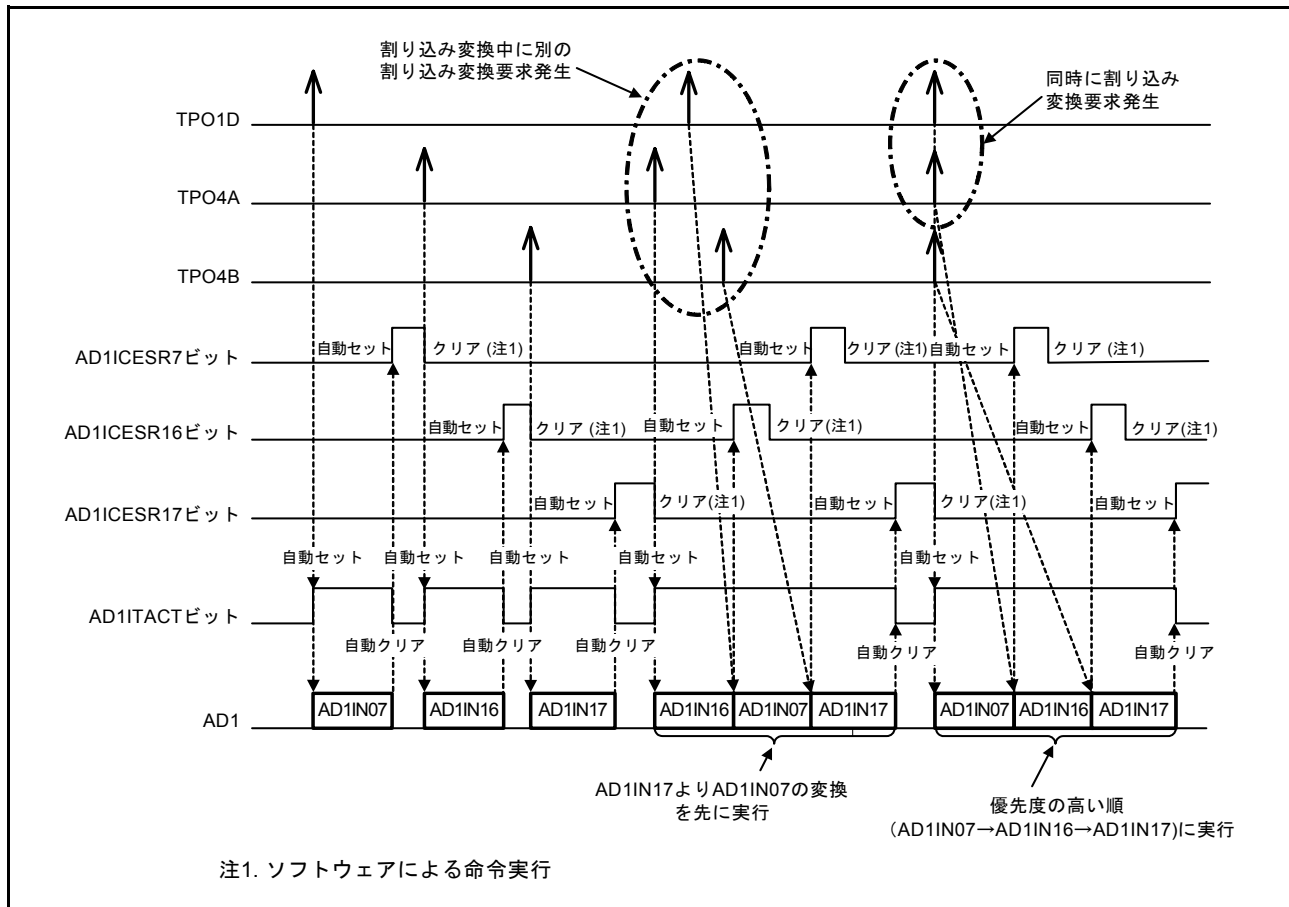


図 22.6 割り込み変換の動作例

22.3.6 スキャン変換中の割り込み変換

AD1IN04、AD1IN07、AD1IN17 を選択し、3 チャネルの 1 サイクルスキャンモードを TPU (PWM) の TPO1A によるスキャン変換要求で起動し、AD1IN16 のトリガソースに TPU (PWM) の TPO4A を選択し、割り込み変換を行う場合の動作例を次に示します。

- AD1 制御レジスタ (AD1CR) の ADCS ビットに“0”、TRGE ビットに“1”、EXTRG ビットに“0”を設定します。
- AD1 チャンネル選択レジスタ (AD1CSL) の AD1CSL4、AD1CSL7、AD1CSL17 ビットにそれぞれ“1”を設定します。
- AD1 割り込み変換許可レジスタ (AD1ICEN1) の AD1ICEN16 ビットに“1”を設定します。
- AD1 割り込み変換要因選択レジスタ (AD1ICSSL1) の AD1ICSSL16 ビットに“0”を設定します。
- 以降は、PWM のレジスタの設定に従った周期で TPU (PWM) の TPO1A によるスキャン変換要求、TPU (PWM) の TPO4A による割り込み変換要求が発生します。PWM のレジスタについては、「15. タイマパルスユニット (TPU)」を参照してください。
- TPU (PWM) の TPO1A によるスキャン変換要求が発生すると、ADSCACT ビットが“1”にセットされます。次に、AD1IN04 → AD1IN07 → AD1IN17 の順に A/D 変換を実施し終了すると、ADF ビットを“1”にセットし、ADSCACT ビットを“0”にクリアしてスキャン変換が終了します。
- TPU (PWM) の TPO4A による割り込み変換要求が発生すると、ADITACT ビットが“1”にセットされ、AD1IN16 の割り込み変換が実施されます。AD1IN16 の A/D 変換を実施し終了すると、AD1ICESR1 レジスタの AD1ICESR 16 ビットを“1”にセットし、ADITACT ビットを“0”にクリアして割り込み変換が終了します。
- 以降は 6.~7. を繰り返します。スキャン変換と割り込み変換が競合したときの動作例を次に示します。

- 動作例

TPU (PWM) の TPO1A によるスキャン変換要求によるスキャン変換で AD1IN07 の A/D 変換中に、TPU (PWM) の TPO4A による割り込み変換要求が入った場合、次のように処理します。

TPU (PWM) の TPO4A による要因を A/D 内部で保持し、スキャン変換の AD1IN07 の A/D 変換を中断します。現時点の未処理であるスキャン変換の AD1IN07 と AD1IN17 および現時点の要因である割り込み変換の AD1IN16 に優先順位が適用され、AD1IN16 → AD1IN07 → AD1IN17 の順に A/D 変換されます。

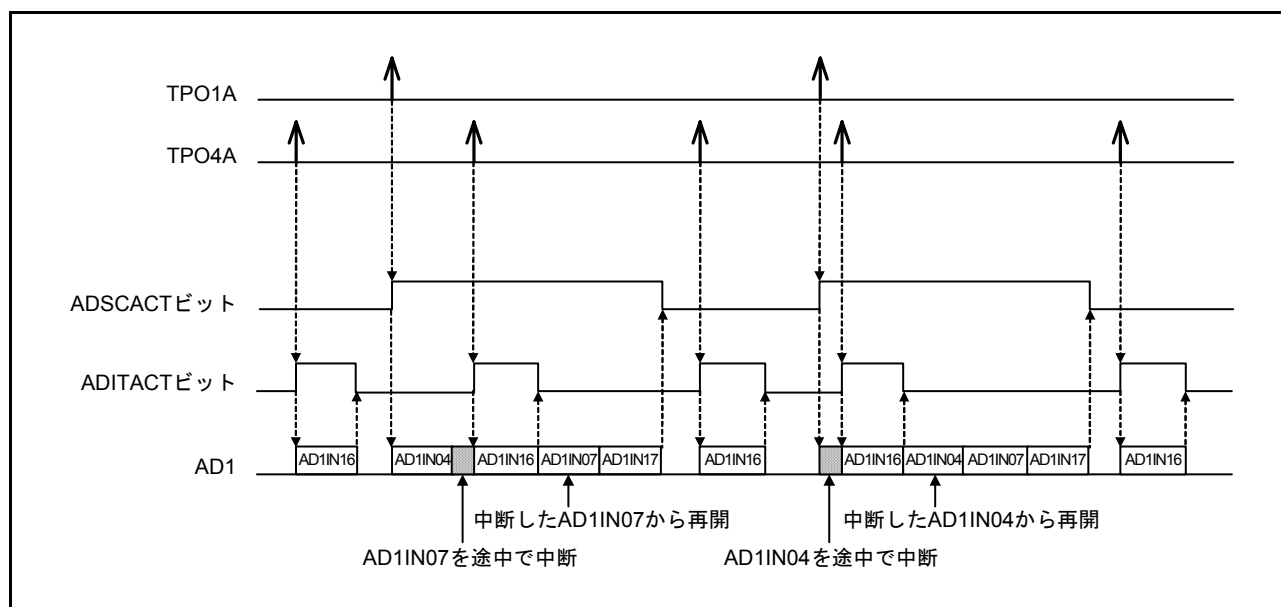


図 22.7 スキャン変換中の割り込み変換の動作例

22.3.7 アナログ入力のサンプリングとスキャン変換時間

A/Dコンバータには、サンプル&ホールド回路が内蔵されています。A/Dコンバータは、AD1CRレジスタのADSTビットが“1”にセットされてから、スキャン変換開始遅延時間 (tD) の経過後にアナログ入力のサンプリングを行い、その後変換を開始します。

図 22.8 に、1チャンネルの1サイクルスキャンでスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (tSCAN) は、スキャン変換開始遅延時間 (tD)、アナログ入力サンプリング時間 (tSPL)、A/D変換処理時間 (tCONV)、スキャン変換終了遅延時間 (tED) を含めた時間となります。表 22.11 にスキャン変換時間を示します。

選択チャンネル数が n の1サイクルスキャンのスキャン変換時間 (tSCAN) は、以下の計算式で求められます。

$$tSCAN = tD + \{(tSPL + tCONV) \times n\} + tED$$

連続スキャンの1サイクル目のスキャン変換時間は、1サイクルスキャンの tSCAN から tED を省いた時間です。

連続スキャンの2サイクル目以降のスキャン変換時間は、 $\{(tSPL + tCONV) \times n\}$ に固定された時間となります。

表 22.11 スキャン変換時間

項目	記号	f (PBA) = 50MHz (f (PBA)換算)		単位
		CKS = "0"	CKS = "1"	
スキャン変換開始遅延時間	tD	7	11 ~ 12	ステート
ライトサイクル	tD1	2	2	
同期化時間	tD2	2	3 ~ 4	
ADSCACTビット立ち上がりからサンプリング開始までの時間	tD3	3	6	
アナログ入力サンプリング時間	tSPL	20	40	
A/D変換処理時間	tCONV	30	60	
スキャン変換終了遅延時間	tED	4	7	
スキャン変換時間	tSCAN	61	118 ~ 119	

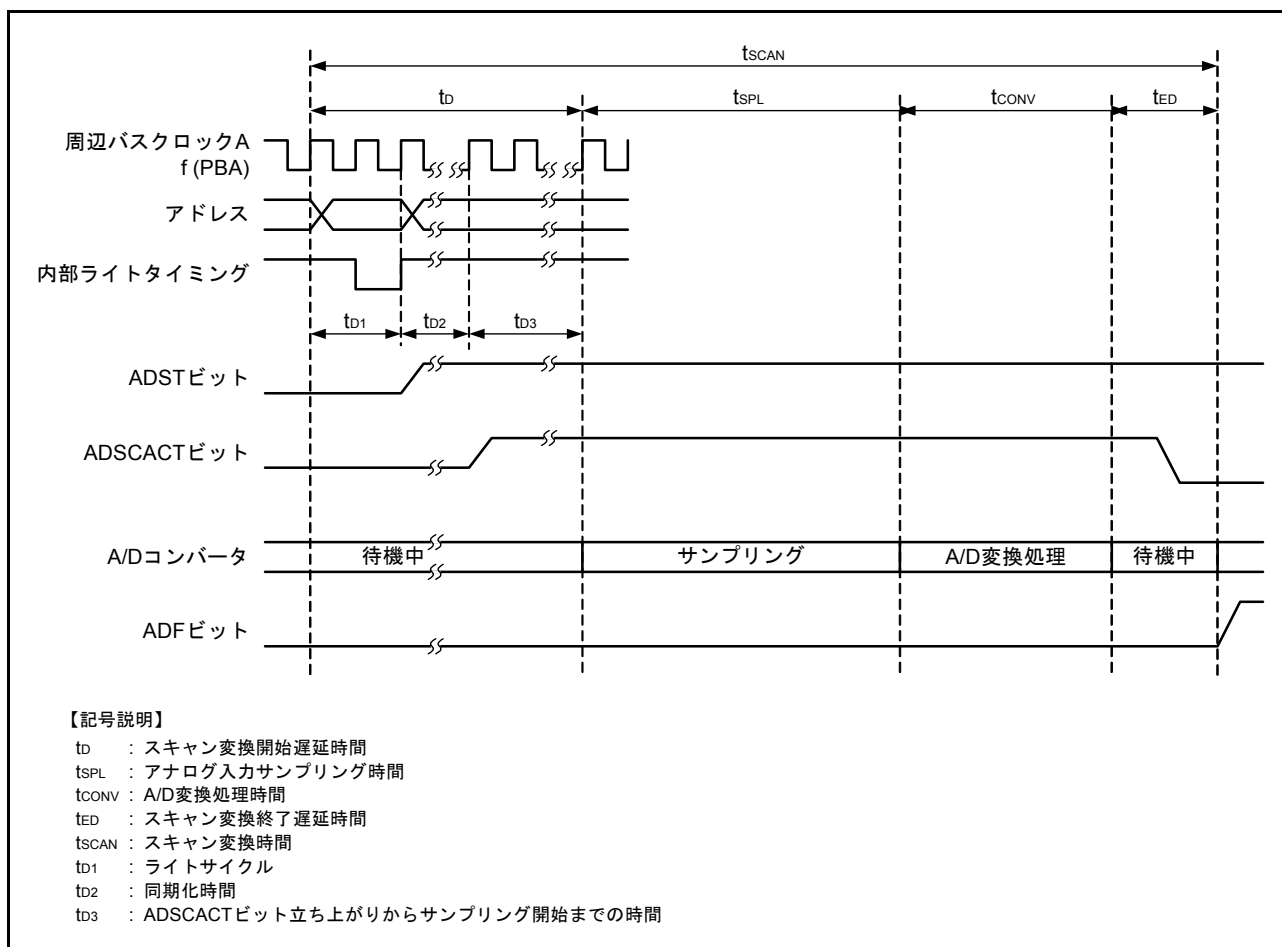


図 22.8 スキャン変換のタイミング (1チャンネル、1サイクルスキャン)

22.3.8 外部トリガによるスキャン変換の起動

外部トリガの入力で、A/Dコンバータを起動することができます (SH72A2グループのみ。SH72A0グループは外部トリガからの起動はできません)。外部トリガでA/Dコンバータを起動するときには、端子機能を設定します。端子機能の設定については、「13. I/Oポート」を参照してください。ADTRG#端子にHighレベルを入力した後、AD1制御レジスタ (AD1CSR) のTRGEビットを“1”、EXTRGビットを“1”にセットします。この状態でADTRG#端子にLowレベルを入力すると、A/Dコンバータはパルスの立ち下がりエッジを検出してADSCACTビットを“1”にセットします。

図 22.9 に外部トリガ入力タイミングを示します。表 22.12 に外部トリガ入力時のスキャン変換時間を示します。

ADSCACTビットが“1”にセットされてからスキャン変換が開始されるまでのタイミングは、ソフトウェアでADSTビットが“0”の状態から“1”にセットされた場合と同じです。端子機能の設定については、「13. I/Oポート」を参照してください。

また、途中でスキャン変換を停止させる場合は、一度ADSTビットに“1”を書き込んでから“0”を書き込んでください。

表 22.12 外部トリガ入力時のスキャン変換時間

項目	記号	f (PBA) = 50MHz (f (PBA) 換算)		単位
		CKS = “0”	CKS = “1”	
スキャン変換開始遅延時間	td	8	13 ~ 14	ステート
ADTRG#端子立ち下がりサンプリングからADSCACTビット立ち上がりまでの時間	td4	5	7 ~ 8	
ADSCACTビット立ち下がりからサンプリング開始までの時間	td3	3	6	
アナログ入力サンプリング時間	tSPL	20	40	
A/D変換処理時間	tCONV	30	60	
スキャン変換終了遅延時間	tED	4	7	
スキャン変換時間	tSCAN	62	120 ~ 121	

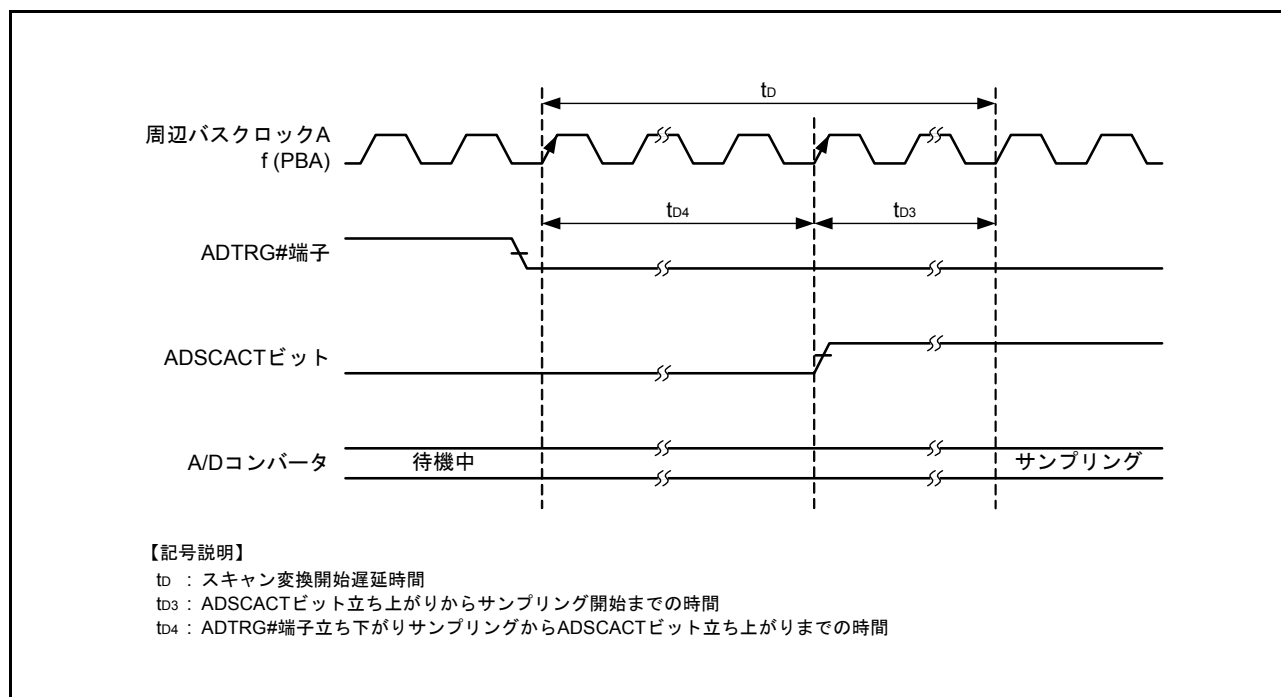


図 22.9 外部トリガ入力タイミング

22.3.9 TPU (PWM) のタイマトリガ /TPCNT リセット /MTU-III のタイマトリガによるスキャン変換の起動

TPU (PWM) のタイマトリガ /TPCNT リセット /MTU-III のタイマトリガによって、スキャン変換を起動することができます。TPU (PWM) のタイマトリガ /TPCNT リセット /MTU-III のタイマトリガでスキャン変換を起動するときには、AD1 制御レジスタ (AD1CR) の TRGE ビットを“1”、EXTRG ビットを“0”にセットします。この状態でTPU (PWM) のタイマトリガ /TPCNT リセット /MTU-III のタイマトリガが入ると、ADSCACT ビットを“1”にセットします。ADSCACT ビットが“1”にセットされてからスキャン変換が開始されるまでのタイミングは、ソフトウェアでADST ビットが“0”の状態から“1”にセットされた場合と同じです。

また、途中でスキャン変換を停止させる場合は、一度 ADST ビットに“1”を書き込んでから“0”を書き込んでください。

22.4 割り込み要因と DMA 転送要求

22.4.1 スキャン変換終了時の割り込み要求

A/D コンバータは、CPU へのスキャン変換終了割り込み要求 (ADI) を発生することができます。AD1 制御レジスタ (AD1CR) の ADIE ビットを“1”にセットすると、ADI 割り込みを許可、“0”にクリアすると ADI 割り込みを禁止することができます。また、ADI 割り込み発生時に割り込み制御回路側レジスタ設定により DMAC を起動することができます。このとき、CPU への割り込みは発生しません。

DMAC の設定については「12. DMAC」および「8. 割り込みコントローラ (INTC)」を参照してください。

注. • ADF ビットは、CPU への割り込み要求ではクリアされません。

22.4.2 割り込み変換終了時の割り込み要求

割り込み変換終了時に、CPU への割り込み変換終了割り込み要求 (AD1ID0 ~ AD1ID47) を発生することができます。AD1 割り込み変換終了割り込み許可レジスタ (AD1ICIEN0 ~ AD1ICIEN2) の AD1IDE0 ~ AD1IDE47 ビットをそれぞれ“1”にセットすると AD1ID0 ~ AD1ID47 を許可、“0”にクリアすると AD1ID0 ~ AD1ID47 を禁止することができます。また、ADI 割り込み発生時に割り込み制御回路側レジスタ設定により DMAC を起動することができます。このとき、CPU への割り込みは発生しません。

DMAC の設定については「12. DMAC」および「8. 割り込みコントローラ (INTC)」を参照してください。

注. • AD1ICESR ビットは、CPU への割り込み要求ではクリアされません。

22.5 A/D 変換精度の定義

以下に、A/D 変換精度の定義を示します。

- 分解能
A/D コンバータのデジタル変換出力コード数
- 量子化誤差
A/D コンバータが本質的に有する誤差であり、1/2LSB で与えられる (図 22.10)。
- オフセット誤差
デジタル出力が最小電圧値 “B'0000 0000 0000” から “B'0000 0000 0001” に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない (図 22.10)。
- フルスケール誤差
デジタル出力が “B'1111 1111 1110” から “B'1111 1111 1111” に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない (図 22.10)。
- 非直線性誤差
ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、および量子化誤差を含まない (図 22.10)。
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差、および非直線性誤差を含む。

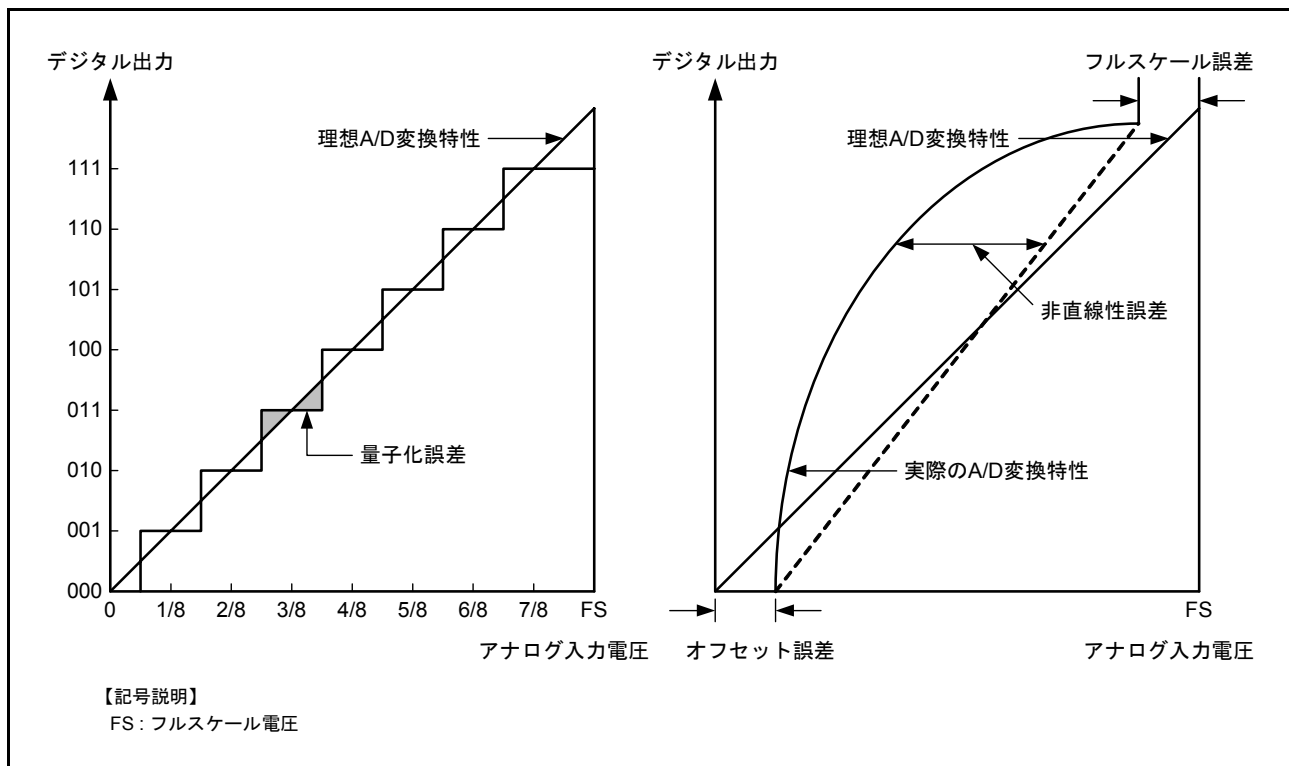


図 22.10 A/D 変換精度の定義

22.6 アナログポートプルダウン機能

アナログポートプルダウン機能はアナログポートそれぞれにプルダウン MOS がついており、AD1APPD の AD1APPD0 ~ AD1APPD47 ビットに 1 (初期値 0) をセットすることにより、それぞれのアナログチャンネルに対応したプルダウン MOS が ON します。

これによりアナログポートに外部回路から電圧を印加している場合、A/D 変換により得られた結果からアナログポートと外部ユニット間の信号の断線チェックを行うことができます。

- 例

正常時：外部回路から印加された電圧に近い変換結果が得られる。

異常時 (断線時)：AVSS に近い変換結果が得られる。

- 注 . • 10 ビット A/D コンバータ用の I/O ポートはアナログ入力とデジタル入出力がマルチプレクスになっています。I/O ポートのポート機能選択レジスタでアナログ入力端子として使用しない場合、該当する端子のプルダウン設定は無効となります。ただし、ポートプルダウンレジスタには反映されません。
- ポート機能選択の詳細は「13.2.21 ポート Ji 機能選択レジスタ (PjIS) (i = 00 ~ 11)」、
「13.2.22 ポート Ki 機能選択レジスタ (PKiS) (i = 00 ~ 01, 08 ~ 15)」、
「13.2.23 ポート Li 機能選択レジスタ (PLiS) (i = 10 ~ 15)」を参照してください。

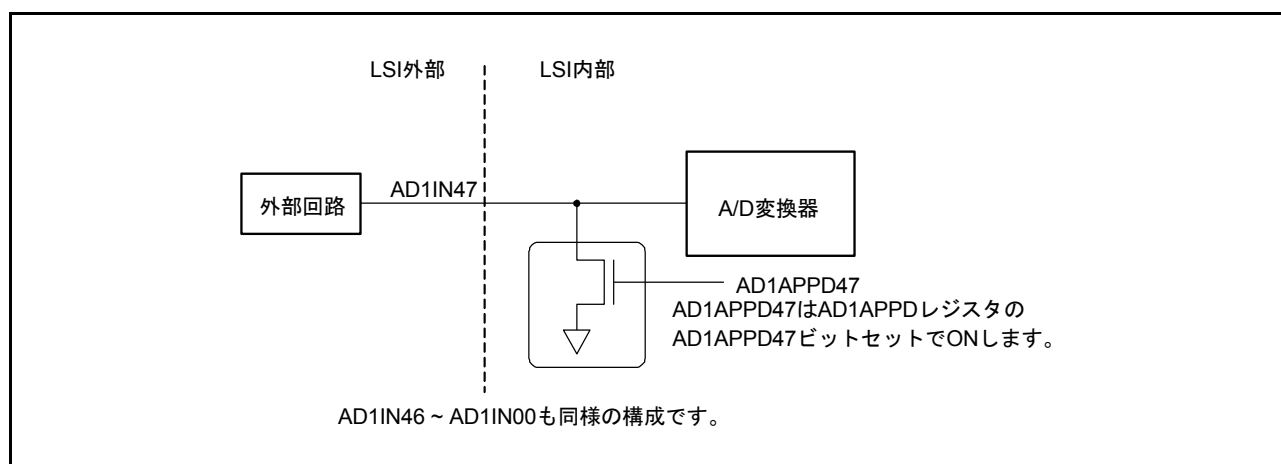


図 22.11 アナログポートプルダウン機能概略図

22.7 A/D変換器の自己診断

ソフトウェアによるA/D変換器の自己診断が可能です。

AD1DIAGでA/D変換対象に内部電圧値を選択し、A/D変換を行います。A/D変換終了後、AD1DR、AD1DIAGの値をソフトウェアで読み出すと、変換値が正常の範囲にある（正常）かない（異常）かを判定できます。

なお、A/D変換対象に内部電圧値が選択されている場合、アナログ入力は無視されます。AD1DIAGの設定は、誤動作を避けるためAD1CRのADSTビットが0の状態で行ってください。

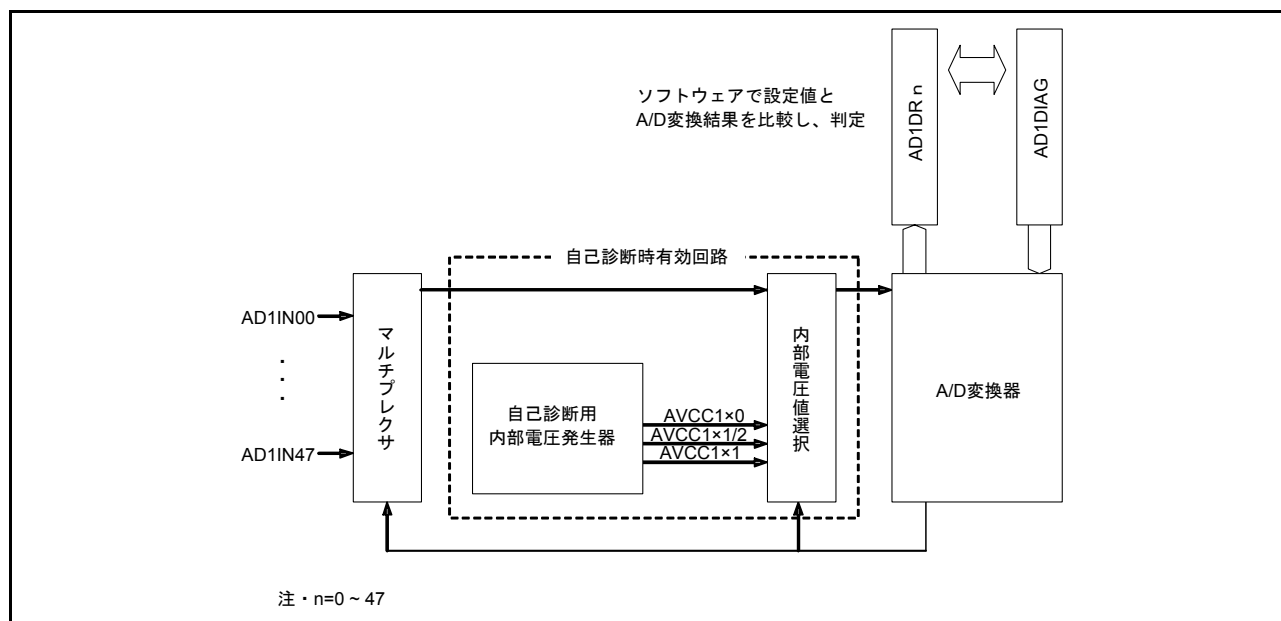


図 22.12 A/D変換器の自己診断概略図

表 22.13 A/D変換結果の理想値 (正常範囲時の値)

選択した内部電圧値	AD1DRの値 (正常範囲時の値)
AVCC1×0	H'0000 (H'0000 ~ H'0400(注1))
AVCC1×1/2	H'7FC0 (H'7BC0 ~ H'H83C0(注1))
AVCC1×1	H'FFC0 (H'FBC0 ~ H'FFC0(注1))

注1. 内部電圧発生器の電圧誤差を含んだ値です。

22.8 10ビットA/Dコンバータ (AD1) の注意事項

22.8.1 アナログ入力電圧の範囲

A/D変換中、アナログ入力端子 (AD1IN m) に印加する電圧は、 $AVSS1 \leq AD1INm (m = 00 \sim 47) \leq AVCC1$ の範囲としてください。

22.8.2 AVCC1、AVSS1とVCC、VSSの関係

A/DコンバータAD1を使用するときは、AVCC1、AVSS1とVCC、VSSの関係は、 $AVCC1 = VCC \pm 0.3V$ 、 $AVSS1 = VSS$ としてください。

一方、A/Dコンバータを使用しないときは、 $AVSS1 = VSS$ 、 $AVCC1 = VCC$ としてください。

22.8.3 ボード設計上の注意事項

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させたりするようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D変換値に悪影響を及ぼします。

なお、アナログ入力端子 (AD1IN00～AD1IN47)、アナログ電源 (AVCC1) は、アナロググランド (AVSS1) で、デジタル回路を必ず分離してください。さらにアナロググランド (AVSS1) は、ボード上の安定したデジタルグランド (VSS) に一点接続してください。また、12ビットA/Dコンバータの発生するノイズの影響を防ぐために、AVCC0とAVCC1は可能な限り分離し、共通インピーダンスが小さくなるようにボードを設計してください。

22.8.4 ノイズ対策上の注意事項

過大なサージなどの異常電圧によるアナログ入力端子 (AD1INm) の破壊を防ぐために接続する保護回路は、図 22.13 に示すように、AVCC1 - AVSS1 間に接続してください。また、AVCC1 端子に接続するバイパスコンデンサ、アナログ入力端子 (AD1INm) に接続するフィルタのコンデンサは、AVSS1 に接続してください。なお、図 22.13 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 (AD1INm) の入力電流が平均化されるため、誤差を生じることがあります。したがって、回路定数は十分ご検討のうえ決定してください。

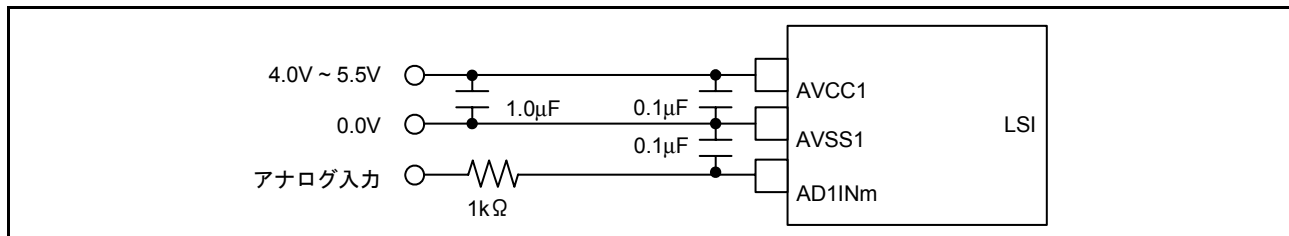


図 22.13 アナログ入力端子の保護回路例

22.8.5 アナログ入力端子をデジタル入出力として使用する際の注意事項

アナログ入力端子をデジタル入出力として使用する場合は、以下のことに注意して使用してください。端子機能の選択については、「13. I/O ポート」を参照してください。

10ビットA/Dコンバータ用のアナログ入力端子はグループA、グループBに分けられます。

(1) アナログ端子グループの使い分けに関する注意事項

複数のアナログ入力端子をアナログ入力とデジタル入出力を混在して使用する場合、アナログ端子グループBをアナログ入力、アナログ入力端子Aをデジタル入出力として使用してください。アナログ端子グループBをデジタル入出力として使用した場合は、アナログ端子グループAをアナログ入力として使用しないでください。

(2) 同一アナログ端子グループ内に関する注意事項

複数のアナログ入力端子をアナログ入力とデジタル入出力を混在して使用する場合、同一グループ内で混在するような設定はしないでください(例: AD1IN00がアナログ入出力、AD1IN01がデジタル入力)

アナログ端子グループA: AD1IN00 ~ AD1IN07

アナログ端子グループB: AD1IN16、AD1IN17、AD1IN24~AD1IN31、AD1IN42~AD1IN47

22.8.6 低消費電力状態への遷移時の注意

スタンバイモードへ移行する場合は、必ずA/D変換を停止させてください。

AD1CRのADSTビットを“0”にした後、A/Dコンバータのアナログ回路が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

- (1) AD1CRのTRGEビットを“0”にする。
- (2) 次に、AD1CRのADSTビットを“0”にする。
- (3) AD1CEXのCKSビットを“0”(f(PBA))にする。
- (4) A/D変換が停止していることを確認する
(停止までは f(PBA) × 6 ステート以上の時間が必要です)
- (5) スタンバイモードへ移行する。

23. CRC 演算回路

23.1 概要

CRC (Cyclic Redundancy Check) 演算回路は、データブロックの誤り検出に使用します。CRC コードの生成にはCRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、またはCRC-32 ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) の2つの生成多項式が使用できます。

CRCDi レジスタに初期値を設定した後、1バイトのデータをCRCINレジスタに書くごとに生成したCRCコードがCRCDiレジスタに設定されます。

本章では、CRCDiレジスタのiは、0,1を示します。

図23.1にCRC演算回路のブロック図を示します。

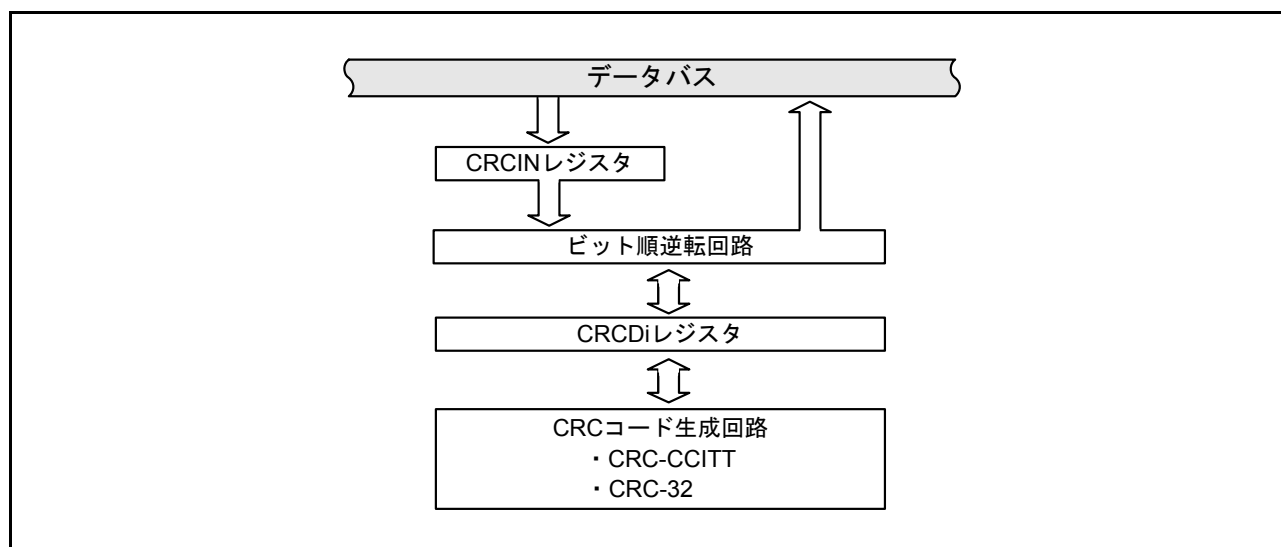


図 23.1 CRC 演算回路のブロック図

23.2 レジスタの説明

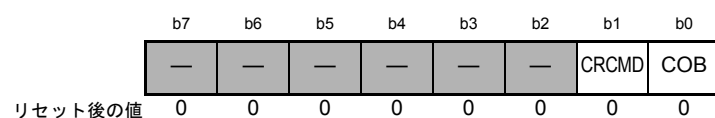
表 23.1 に CRC 演算回路のレジスタ一覧を示します。

表 23.1 CRC 演算回路のレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
CRC制御レジスタ	CRCCR	H'00	H'FF46 5000	8
CRCデータ入力レジスタ	CRCIN	不定	H'FF46 5001	8
CRC-CCITTデータレジスタ	CRCD0	不定	H'FF46 5002	16
CRC-32データレジスタ	CRCD1	不定	H'FF46 5004	32

23.2.1 CRC 制御レジスタ (CRCCR)

アドレス H'FF46 5000



ビット	シンボル	ビット名	機能	R/W
b7-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1	CRCMD	CRCモード設定ビット	0: CRC-CCITTモード 1: CRC-32モード	R/W
b0	COB	CRCビット順逆転制御ビット	0: ビット順逆転回路無効 1: ビット順逆転回路有効	R/W

CRCCR レジスタは、CRCDi レジスタ、CRCIN レジスタへの書き込みおよび読み出しを制御します。

CRCMD ビット

CRCMD ビットを“0”に設定したときは、CRC-CCITT モードで演算を行い CRCD0 レジスタへ結果を格納します。

CRCMD ビットを“1”に設定したときは、CRC-32 モードで演算を行い CRCD1 レジスタへ結果を格納します。

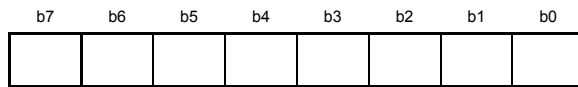
COB ビット

COB ビットを“0”に設定したとき、CRCDi レジスタ、CRCIN レジスタへはビット順を逆転して書き込んでください。また、CRCDi レジスタから CRC コードを読み出すと、ビット順を逆転した CRC コードが読めるためプログラムでビット順を逆転してください。

COB ビットを“1”に設定したとき、CRCDi レジスタ、CRCIN レジスタへはビット順を逆転しないでそのまま書き込んでください。また、CRCDi レジスタから CRC コードを読み出すと、ビット順を逆転していない CRC コードが読めます。

23.2.2 CRC データ入力レジスタ (CRCIN)

アドレス H'FF46 5001



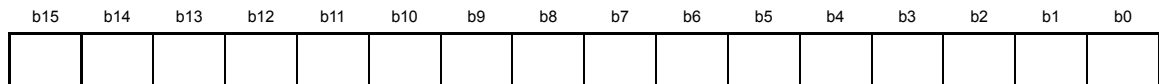
リセット後の値 X X X X X X X X

ビット	機能	R/W
b7-b0	CRC演算の対象データを入力します。	R/W

CRCCR レジスタの COB ビットが“0”の場合、このレジスタへは、ビット順を逆転して書き込んでください。
CRCCR レジスタの COB ビットが“1”の場合、このレジスタへは、ビット順を逆転せず書き込んでください。

23.2.3 CRC-CCITT データレジスタ (CRCD0)

アドレス H'FF46 5002



リセット後の値 X X X X X X X X X X X X X X X X

ビット	機能	R/W
b15-b0	CRC-CCITT モードでの演算の結果が格納されます。	R/W

CRCD0 レジスタは、CRCCR レジスタの CRCMD ビットが“0” (CRC-CCITT モード) のとき、演算結果が格納されます。

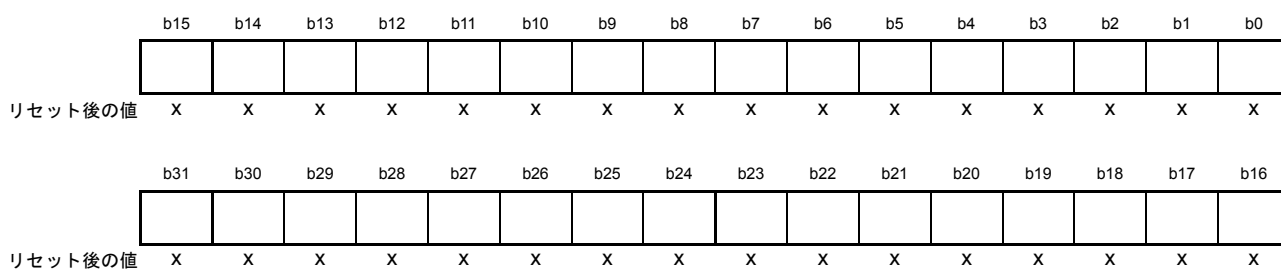
COB ビットが“0”のとき、初期値はビット順を逆転して書き込んでください。その後、CRCIN レジスタにデータを書くと、このレジスタからビット順を逆転した CRC コードが読めます。

COB ビットが“1”のとき、このレジスタへは、ビット順を逆転せずそのまま書き込んでください。CRCIN レジスタにデータを書くと、このレジスタからビット順を逆転していない CRC コードが読めます。

CRCCR レジスタの CRCMD ビットが“1”のとき、本レジスタは使用されず、前回の演算結果を保持しています。

23.2.4 CRC-32 データレジスタ (CRCD1)

アドレス H'FF46 5004



ビット	機能	R/W
b31-b0	CRC-32モードでの演算の結果が格納されます。	R/W

CRCD1 レジスタは、CRCCR レジスタの CRCMD ビットが“1”(CRC-32モード)のとき、演算結果が格納されます。

COB ビットが“0”のとき、初期値はビット順を逆転して書き込んでください。その後、CRCIN レジスタにデータを書くと、このレジスタからビット順を逆転したCRCコードが読めます。

COB ビットが“1”のとき、このレジスタへは、ビット順を逆転せずそのまま書き込んでください。CRCIN レジスタにデータを書くと、このレジスタからビット順を逆転していないCRCコードが読めます。

CRCCR レジスタの CRCMD ビットが“0”のとき、本レジスタは使用されず、前回の演算結果を保持しています。

23.3 動作説明

23.3.1 CRC-CCITT モードでの演算例

CRC-CCITT モードで“H'80C4”のCRCコードを生成する場合のCRC演算例を示します。

23.3.1.1 COBビットが“0”の場合

- (1) プログラムで“H'80C4”のビット順をバイト単位で逆転させる。
“H'80” → “H'01”、“H'C4” → “H'23”
- (2) CRCCR レジスタに“B'00”を書く。
- (3) CRCD0 レジスタに初期値“H'0000”を書く。
- (4) CRCIN レジスタに“H'80”のビット順を逆転した値“H'01”を書く。
CRCD0 レジスタへは“H'80”のCRCコード“H'9188”のビット順を逆転した値“H'1189”が格納される。
- (5) CRCIN レジスタに“H'C4”のビット順を逆転した値“H'23”を書く。
CRCD0 レジスタへは“H'80C4”のCRCコード“H'8250”のビット順を逆転した値“H'0A41”が格納される。

23.3.1.2 COBビットが“1”の場合

- (1) CRCCR レジスタに“B'01”を書く。
- (2) CRCD0 レジスタに初期値“H'0000”を書く。
- (3) CRCIN レジスタに“H'80”を書く。
CRCD0 レジスタへは“H'80”のCRCコード“H'9188”が格納される。
- (4) CRCIN レジスタに“H'C4”を書く。
CRCD0 レジスタへは“H'80C4”のCRCコード“H'8250”が格納される。

23.3.2 CRC-32 モードでの演算例

CRC-32 モードで“H'80C4”のCRCコードを生成する場合のCRC演算例を示します。

23.3.2.1 COBビットが“0”の場合

- (1) プログラムで“H'80C4”のビット順をバイト単位で逆転させる。
“H'80” → “H'01”、“H'C4” → “H'23”
- (2) CRCCR レジスタに“B'10”を書く。
- (3) CRCD1 レジスタに初期値“H'0000 0000”を書く。
- (4) CRCIN レジスタに“H'80”のビット順を逆転した値“H'01”を書く。
CRCD1 レジスタへは“H'80”のCRCコード“H'690C E0EE”のビット順を逆転した値“H'7707 3096”が格納される。
- (5) CRCIN レジスタに“H'C4”のビット順を逆転した値“H'23”を書く。
CRCD1 レジスタへは“H'80C4”のCRCコード“H'CC02 3EDD”のビット順を逆転した値“H'BB7C 4033”が格納される。

23.3.2.2 COBビットが“1”の場合

- (1) CRCCR レジスタに“B'11”を書く。
- (2) CRCD1 レジスタに初期値“H'0000 0000”を書く。
- (3) CRCIN レジスタに“H'80”を書く。
CRCD1 レジスタへは“H'80”のCRCコード“H'690C E0EE”が格納される。
- (4) CRCIN レジスタに“H'C4”を書く。
CRCD1 レジスタへは“H'80C4”のCRCコード“H'CC02 3EDD”が格納される。

24. ROM

24.1 概要

本 LSI は 512KB バイトのコード格納用フラッシュメモリ (ROM) を内蔵しています。
表 24.1 に ROM の仕様を示します。

表 24.1 ROM の仕様

項目	仕様
フラッシュメモリマット	ユーザマット : 512KB バイト ユーザブートマット : 32K バイト
読み出し	ROM キャッシュ経由で高速読み出し可能
書き込み/消去方式	周辺バス A 経由で ROM/EEPROM 専用のシーケンサ (FCU) にコマンドを発行することにより、ROM の書き込み/消去を実行可能
書き込み/消去単位	書き込み単位 : 256 バイト 消去単位 ・ ユーザブートマット : 全面 ・ ユーザマット : ブロック単位
オンボードプログラミングモード	3 種類 (ブートモード、ユーザプログラムモード、ユーザブートモード)
プロテクトモード	ソフトウェアプロテクト
書き込み時間/消去時間/書き換え回数	「30. 電気的特性」を参照

- 2 種類のフラッシュメモリマット

ROM には、同一アドレス空間に配置される 2 種類のメモリ空間 (以下メモリマットと呼びます) があります。起動モードの選択および制御レジスタを使用したバンク切り替えでマットを切り替えることができます。ユーザブートマット選択時の H'0000 8000 ~ H'0007 FFFF 領域の読み出し値は不定、書き込み / 消去は無効です。

ユーザマット : 512K バイト

ユーザブートマット : 32K バイト

図 24.1 に ROM のメモリマット構成を示します。

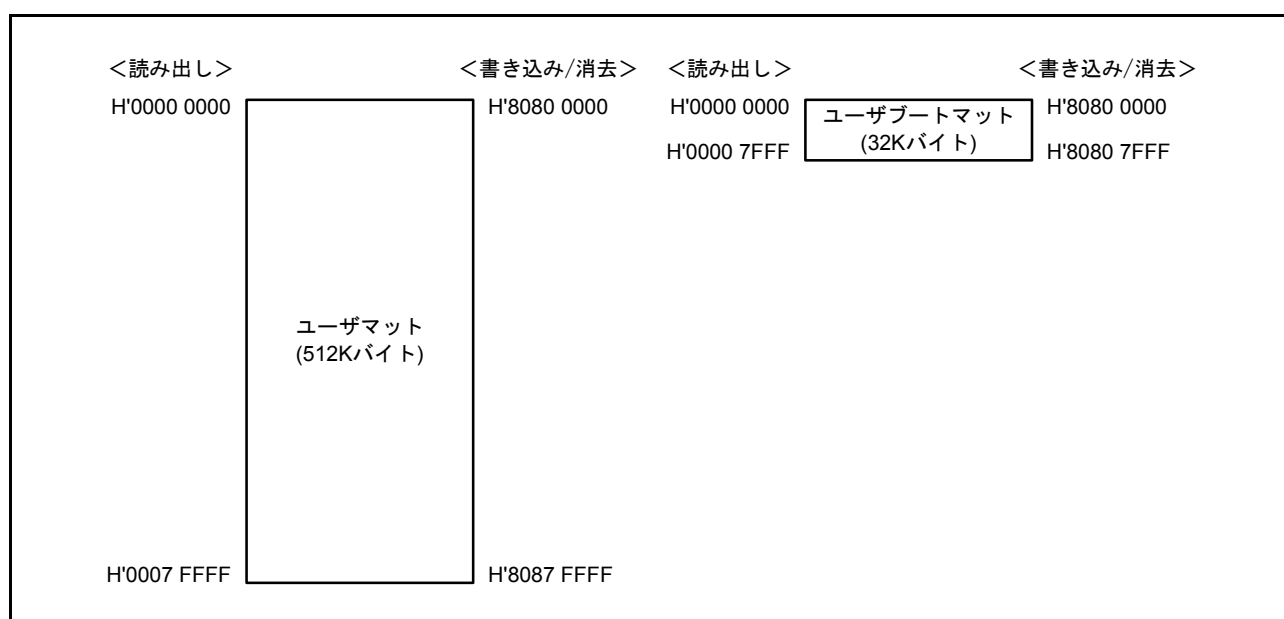


図 24.1 ROM のメモリマット構成

- ROM キャッシュ経由の高速読み出し
ユーザマット、ユーザブートマットともにROM キャッシュ経由で高速読み出し可能です。
- 書き込み / 消去方式
周辺バス A 経由で ROM/EEPROM 専用のシーケンサ (FCU) にコマンドを発行することにより、ROM の書き込み / 消去を実行可能です。FCU が ROM の書き込み / 消去を実行している期間でも、CPU は ROM 以外の領域に配置したプログラムを実行可能です。FCU が EEPROM の書き込み / 消去を実行している期間は、ROM 領域に配置したプログラムを実行可能です。また、FCU による ROM 書き込み / 消去動作を中断して CPU が ROM 領域のプログラムを実行した後、ROM 書き込み / 消去を再開可能です。消去を中断した場合には、中断した消去の対象ではない領域に書き込みを実施することも可能です。
- 書き込み / 消去単位
ユーザマットとユーザブートマトの書き込み単位は 256 バイトです。ユーザブートマトの消去単位は、ユーザブートマット全面です。ユーザマットはブロック単位で消去可能です。
図 24.2 にユーザマトのブロック分割を示します。ユーザマットは、本 LSI の場合、8K バイト (8 ブロック)、64K バイト (7 ブロック) にそれぞれ分割されています。

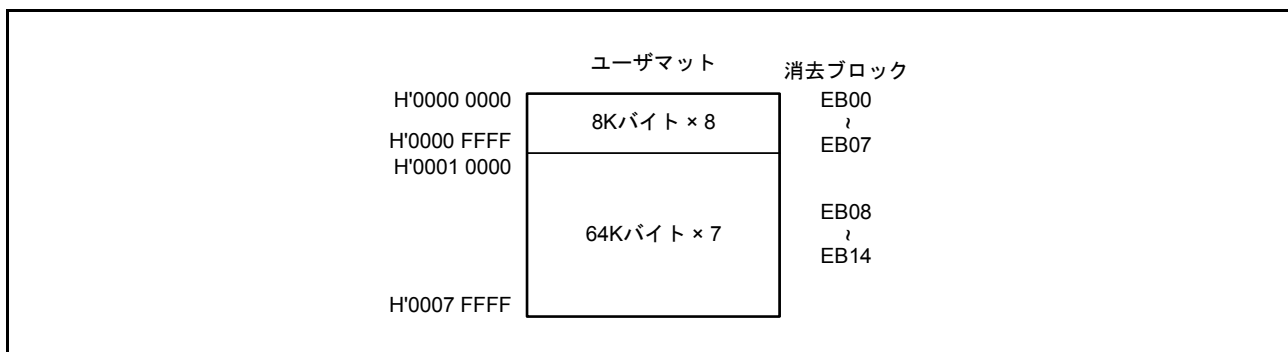


図 24.2 ユーザマトのブロック分割

- オンボードプログラミングモード (3 種類)
[ブートモード]
SCI を使用してユーザマットとユーザブートマットを書き換え可能なプログラムモードです。ホストと本 LSI 間の SCI 通信のビットレートは自動調整可能です。
[ユーザプログラムモード]
任意のインタフェースで、ユーザマットを書き換え可能なプログラムモードです。シングルチップモードから遷移可能なモードです。
[ユーザブートモード]
任意のインタフェースで、ユーザマットを書き換え可能なプログラムモードです。
ユーザブートモードへの遷移にはリセット起動が必要です。

- プロテクトモード
フラッシュ P/E モードエントリレジスタ (FENTRYR) の FENTRY0 ビット / ロックビットによるソフトウェアプロテクトモードがあり、書き込み / 消去に対するプロテクト状態を設定することができます。FENTRYR レジスタの FENTRY0 ビットは FCU による ROM 書き込みと消去処理の許可または禁止を制御するためのビットです。
ロックビットはユーザマットの各消去ブロック内に“1”ビットずつ設置されている書き込み/消去プロテクト用のビットです。
書き込み / 消去中に異常動作を検出した場合、書き込み / 消去処理を中断する機能もあります。
- 書き込み時間 / 消去時間 / 書き換え回数
詳細は「30. 電気的特性」を参照してください。

図 24.3 に ROM のブロック図を示します。

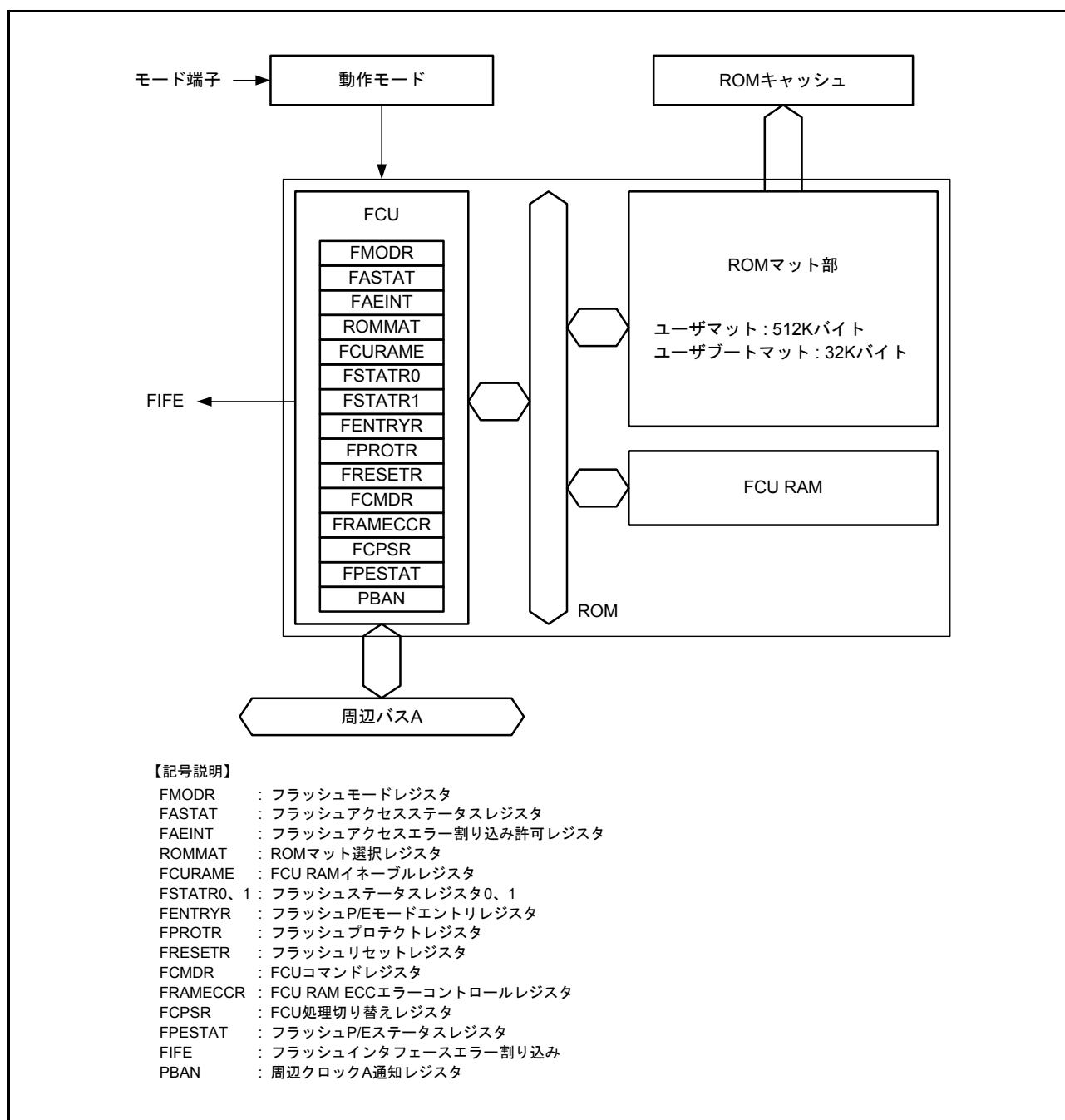


図 24.3 ROM のブロック図

24.2 端子構成

表 24.2 に ROM の端子構成を示します。MD0～MD1 端子と ASEMD 端子の組み合わせによって、ROM のプログラミングモードを決定します(「24.4 ROM 関連モード概要」を参照)。ブートモード時には、RXD1、TXD1 にホストを接続してROMを書き込み/消去することが可能です(「24.5 ブートモード」を参照)。

表 24.2 ROMの端子構成

端子名	入出力	機能
RESET#	入力	この端子がLowレベルになるとハードウェアリセット状態になります。
MD0～MD1、ASEMD	入力	動作モードを決定します。
RXD1	入力	SCI1の受信データ(ホスト通信用)
TXD1	出力	SCI1の送信データ(ホスト通信用)

24.3 レジスタの説明

表 24.3 に ROM のレジスタ一覧を示します。一部のレジスタは EEPROM 関連のビットも持ちます。

表 24.3 ROMのレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
フラッシュモードレジスタ	FMODR	H'00	H'FFFF A802	8
フラッシュアクセスステータスレジスタ	FASTAT	H'00	H'FFFF A810	8
フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	H'9F	H'FFFF A811	8
ROMマツト選択レジスタ	ROMMAT	H'0000 H'0001	H'FFFF A820	8(注2)、16
FCU RAMイネーブルレジスタ	FCURAME	H'0000	H'FFFF A854	8(注2)、16
フラッシュステータスレジスタ0	FSTATR0	H'80(注1)	H'FFFF A900	8、16
フラッシュステータスレジスタ1	FSTATR1	H'00(注1)	H'FFFF A901	8、16
フラッシュP/Eモードエントリレジスタ	FENTRYR	H'0000(注1)	H'FFFF A902	8(注2)、16
フラッシュプロテクトレジスタ	FPROTR	H'0000(注1)	H'FFFF A904	8(注2)、16
フラッシュリセットレジスタ	FRESETR	H'0000	H'FFFF A906	8(注2)、16
FCUコマンドレジスタ	FCMDR	H'FFFF(注1)	H'FFFF A90A	8、16
FCU RAM ECCエラーコントロールレジスタ	FRAMECCR	H'02(注1)	H'FFFF A90C	8
FCU処理切り替えレジスタ	FCPSR	H'0000(注1)	H'FFFF A918	8、16
フラッシュP/Eステータスレジスタ	FPESTAT	H'0000(注1)	H'FFFF A91C	8、16
周辺クロックA通知レジスタ	PBAN	H'00(注1)	H'FFFF A938	8、16

注1. リセットおよびFRESETRレジスタのFRESETビットを“1”にすることによって初期化することができます。

注2. 8ビットでのアクセスでは、リードアクセスのみ有効です。

24.3.1 フラッシュモードレジスタ (FMODR)

アドレス H'FFFF A802



ビット	シンボル	ビット名	機能	R/W
b7-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4	FRDMD	FCUリードモードセレクトビット	FCUを使用したROM/EEPROM読み出し処理の方法を選択するためのビットです。ROMの場合には、ロックビットの確認方法を指定するビットとして使用します。(「24.6.1 FCUコマンド一覧」、「24.6.3 FCUコマンド使用方法」(12) EEPROMの場合には、ブランクチェックコマンド使用時に設定する必要があります(「25. EEPROM」を参照)。 0: メモリ領域リードモード ROMロックビットリードモードでROMのロックビットを読み出す場合にメモリ領域リードモードに設定します。 1: レジスタリードモード ロックビットリード2コマンドを使用してROMのロックビットを読み出す場合にレジスタリードモードに設定します。	R/W
b3-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

FMODR レジスタは、FCU の動作モードを指定します。

24.3.2 フラッシュアクセスステータスレジスタ (FASTAT)

アドレス H'FFFF A810

b7	b6	b5	b4	b3	b2	b1	b0
ROMAE	—	—	CMDLK	EEPAAE	EEPIFE	EEPRPE	EEPWPE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7	ROMAE	ROMアクセス違反ビット	ROMに対するアクセス違反の有無を示すビットです。ROMAEビットが“1”になると、FSTATR0レジスタのILGLERRビットが“1”にセットされ、FCUはコマンドロック状態になります。 0: ROMアクセスエラーなし 1: ROMアクセスエラーあり [“1”になる条件] <ul style="list-style-type: none"> FENTRYRレジスタのFENTRY0ビットが“1”かつROM P/E ノーマルモードの状態、ROM書き込み/消去用アドレス H'8080 0000 ~ H'8087 FFFFに対してリードアクセスを発行 FENTRYRレジスタのFENTRY0ビットが“0”の状態、ROM書き込み/消去用アドレス H'8080 0000 ~ H'8087 FFFFに対するアクセスを発行 FENTRYRレジスタがH'0000以外の状態で、ROM読み出し用アドレス H'0000 0000 ~ H'0007 FFFFに対してリードアクセスを発行 ユーザブートマット選択時にROMに対してブロックイレーズ、プログラム、ロックビットプログラムコマンドを発行 ユーザブートマット選択時にROM書き込み/消去用アドレス H'8080 0000 ~ H'8080 7FFF以外に対するアクセスを発行 [“0”になる条件] ROMAE = “1”を読み出した後に、“0”を書き込み	R/(W) (注1)
b6-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4	CMDLK	FCUコマンドロックビット	FCUがコマンドロック状態であることを示すビットです。 (「24.8.2 エラープロテクト」を参照) 0: FCUはコマンドロック状態ではない 1: FCUはコマンドロック状態 [“1”になる条件] <ul style="list-style-type: none"> FCUがエラーを検出してコマンドロック状態に遷移後 [“0”になる条件] <ul style="list-style-type: none"> FASTATレジスタがH'10の状態、FCUがステータスクリアコマンドを処理後 	R
b3	EEPAAE	EEPROMアクセス違反ビット	「25. EEPROM」を参照してください。	R/(W) (注1)
b2	EEPIFE	EEPROM命令フェッチ違反ビット	「25. EEPROM」を参照してください。	R/(W) (注1)
b1	EEPRPE	EEPROMリードプロテクト違反ビット	「25. EEPROM」を参照してください。	R/(W) (注1)
b0	EEPWPE	EEPROM書き込み/消去プロテクト違反ビット	「25. EEPROM」を参照してください。	R/(W) (注1)

注1. フラグをクリアするため、“1”を読み出した後に“0”を書き込むことのみ可能です。

FASTATレジスタは、ROM/EEPROMに対するアクセス違反の有無を示します。FASTATレジスタのいずれかのビットが“1”にセットされると、FCUはコマンドロック状態になります(「24.8.2 エラープロテクト」を参照)。コマンドロック状態を解除するためには、FASTATレジスタをH'10に設定した後、FCUにステータスクリアコマンドを発行する必要があります。

24.3.3 フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)

アドレス H'FFFF A811

b7	b6	b5	b4	b3	b2	b1	b0
ROMAEIE	—	—	CMDLKIE	EEPAAIE	EEPIFEIE	EEPRPEIE	EEPWPEIE

リセット後の値 1 0 0 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
b7	ROMAEIE	ROMアクセス違反割り込みイネーブルビット	ROMアクセス違反が発生し、FASTATレジスタのROMAEビットが“1”になった場合のFIFE割り込み要求の発生を許可/禁止するためのビットです。 0 : ROMAE = “1”でFIFE割り込み要求を発生しない 1 : ROMAE = “1”でFIFE割り込み要求を発生する	R/W
b6-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4	CMDLKIE	FCUコマンドロック割り込みイネーブルビット	FCUコマンドロックが発生し、FASTATレジスタのCMDLKビットが“1”になった場合のFIFE割り込み要求の発生を許可/禁止するためのビットです。 0 : CMDLK = “1”でFIFE割り込み要求を発生しない 1 : CMDLK = “1”でFIFE割り込み要求を発生する	R/W
b3	EEPAAIE	EEPROMアクセス違反割り込みイネーブルビット	「25. EEPROM」を参照してください。	R/W
b2	EEPIFEIE	EEPROM命令フェッチ違反割り込みイネーブルビット	「25. EEPROM」を参照してください。	R/W
b1	EEPRPEIE	EEPROMリードプロテクト違反割り込みイネーブルビット	「25. EEPROM」を参照してください。	R/W
b0	EEPWPEIE	EEPROM書き込み/消去プロテクト違反割り込みイネーブルビット	「25. EEPROM」を参照してください。	R/W

注. ・ FAEINTレジスタ書き込み後、FAEINTレジスタ読み出し命令を実行し、NOP命令を5個以上実行してください。

FAEINTレジスタは、フラッシュインタフェースエラー割り込み (FIFE) の出力を許可/禁止します。

24.3.4 ROM マット選択レジスタ (ROMMAT)

アドレス H'FFFF A820



ビット	シンボル	ビット名	機能	R/W
b15-b8	KEY[7:0]	キーコードビット	ROMSELビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。	R/(W) (注1)
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	ROMSEL	ROMマット選択ビット	ROMのマットを選択するためのビットです。ユーザブートモードで起動した場合には、初期値が“1”になります。それ以外の場合のモードで起動した場合には、初期値が“0”になります。ROMSELビットへの書き込みは、ワードアクセスでKEYがH'3Bの場合のみ有効です。 0: ユーザマット選択 1: ユーザブートマット選択	R/W

注1. 書き込みデータは保持されません。

注. ・ ROMMATレジスタ書き込み後、ROMMATレジスタ読み出し命令を実行し、NOP命令を5個以上実行してください。

ROMMATレジスタは、ROMのマットの切り替えに使用します。

ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

24.3.5 FCU RAM イネーブルレジスタ (FCURAME)

アドレス H'FFFF A854



ビット	シンボル	ビット名	機能	R/W
b15-b8	KEY[7:0]	キーコードビット	FCRMEビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。	R/(W) (注1)
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	FCRME	FCU RAM イネーブルビット	FCU RAMへのアクセスを許可/禁止するためのビットです。FCRMEビットへの書き込みは、ワードアクセスでKEYがH'C4の場合のみ有効です。FCU RAMに書き込む場合は、FENTRYRレジスタをH'0000に設定してFCUを停止してください。 0: FCU RAMへのアクセス禁止 1: FCU RAMへのアクセス許可	R/W

注1. 書き込みデータは保持されません。

FCURAMEレジスタは、FCU RAM領域へのアクセスを許可/禁止します。

ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

24.3.6 フラッシュステータスレジスタ 0 (FSTATR0)

アドレス H'FFFF A900

b7	b6	b5	b4	b3	b2	b1	b0
FRDY	ILGLERR	ERSERR	PRGERR	SUSRDY	—	ERSSPD	PRGSPD

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	FRDY	フラッシュレディビット	FCUの処理状態を確認するためのビットです。 0:書き込み/消去処理中 書き込み/消去の中断処理中 ロックビットリード2コマンド処理中 EEPROMのブランクチェック処理中(「25. EEPROM」を参照) 1:上記の処理を実行していない	R
b6	ILGLERR	イリーガルコマンドエラービット	FCUが不正なコマンドや不正なROM/EEPROMアクセスなどを検出したことを示すビットです。このビットが“1”の場合には、FCUはコマンドロック状態になります(「24.8.2 エラープロテクト」を参照)。 0:FCUは不正なコマンドやROM/EEPROMアクセスを検出して いない 1:FCUは不正なコマンドやROM/EEPROMアクセスを検出した [“1”になる条件] • FCUが不正なコマンドを検出した • FCUが不正なROM/EEPROMアクセスを検出した(FSTATレジスタのROMAE、EEPAAE、EEPIFE、EEPRPE、EEPWPEビットのいずれかが“1”) • FENTRYRの設定が不正 [“0”になる条件] • FSTATレジスタがH'10の状態でFCUがステータスクリアコマンドを処理後	R
b5	ERSERR	消去エラービット	FCUによるROM/EEPROM消去処理の結果を示すビットです。このビットが“1”の場合には、FCUはコマンドロック状態になります(「24.8.2 エラープロテクト」を参照)。 0:消去処理は正常終了 1:消去処理中にエラー発生 [“1”になる条件] • 消去中にエラーが発生した • ロックビットでプロテクトされた領域に対するブロックイレースコマンドを発行した [“0”になる条件] • FCUがステータスクリアコマンドを処理後	R
b4	PRGERR	書き込みエラービット	FCUによるROM/EEPROM書き込み処理の結果を示すビットです。このビットが“1”の場合には、FCUはコマンドロック状態になります(「24.8.2 エラープロテクト」を参照)。 0:書き込み処理は正常終了 1:書き込み処理中にエラー発生 [“1”になる条件] • 書き込み中にエラーが発生した • ロックビットでプロテクトされた領域に対する書き込みコマンドを発行した [“0”になる条件] • FCUがステータスクリアコマンドを処理後	R

ビット	シンボル	ビット名	機能	R/W
b3	SUSRDY	サスペンドレディビット	FCUがP/Eサスペンドコマンドを受け付け可能であることを示すビットです。 0: P/Eサスペンドコマンド受け付け不可能 1: P/Eサスペンドコマンド受け付け可能 ["1"]になる条件 ・書き込み/消去処理を開始後、P/Eサスペンドコマンドの受け付けが可能な状態に遷移した ["0"]になる条件 ・P/Eサスペンドコマンドを受け付けた ・書き込み/消去処理中に、コマンドロック状態に遷移した	R
b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1	ERSSPD	消去サスペンドステータスビット	FCUが消去の中断処理中または消去サスペンド状態に遷移したことを示すビットです(「24.6.4 サスペンド動作」を参照)。 0: 下記以外の状態 1: 消去の中断処理中または消去サスペンド中 ["1"]になる条件 ・消去の中断処理を開始した ["0"]になる条件 ・レジュームコマンドを受け付けた	R
b0	PRGSPD	書き込みサスペンドステータスビット	FCUが書き込みの中断処理中または書き込みサスペンド状態に遷移したことを示すビットです(「24.6.4 サスペンド動作」を参照)。 0: 下記以外の状態 1: 書き込みの中断処理中または書き込みサスペンド中 ["1"]になる条件 ・書き込みの中断処理を開始した ["0"]になる条件 ・レジュームコマンドを受け付けた	R

FSTATR0 レジスタは、FCU の状態を示します。

リセットおよび FRESETR レジスタの FRESET ビットを“1”にすることによって初期化されます。

24.3.7 フラッシュステータスレジスタ 1 (FSTATR1)

アドレス H'FFFF A901

b7	b6	b5	b4	b3	b2	b1	b0
FCUERR	—	—	FLOCKST	—	—	FRDTCT	FRCRCT

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	FCUERR	FCUエラービット	FCU内部のCPU処理においてエラーが発生したことを示すビットです。 0: FCUのCPU処理でエラー未発生 1: FCUのCPU処理でエラー発生 [“0”になる条件] • FRESETRレジスタのFRESETビットが“1” FCUERRビットが“1”の場合には、FRESETビットを“1”にして、FCUを初期化してください。また、FCUファームウェアをFCUファーム領域からFCU RAM領域へ再コピーしてください。	R
b6-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4	FLOCKST	ロックビットステータスビット	ロックビットリード2コマンドを使用した場合に、ロックビットのリードデータが反映されるビットです。ロックビットリード2コマンド発行後に、FRDYビットが“1”になった時点で、FLOCKSTビットに有効なデータが格納されます。FLOCKSTビットの値は、次のロックビットリード2コマンドの終了まで保持されます。 0: プロテクト状態 1: 非プロテクト状態	R
b3-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1	FRDTCT	FCU RAM 2ビット誤り検出モニタビット	FCU RAMの読み出し時に2ビット誤りを検出したことを示すビットです。 0: 2ビット誤りを検出していない 1: 2ビット誤りを検出した FRDTCTビットが“1”の場合には、FRESETビットを“1”にして、FCUを初期化してください。また、FCUファームウェアをFCUファーム領域からFCU RAM領域へ再コピーしてください。	R
b0	FRCRCT	FCU RAM1ビット誤り訂正モニタビット	FCU RAMの読み出し時に“1”ビット誤りを訂正したことを示すビットです。 0: 1ビット誤りを訂正していない 1: 1ビット誤りを訂正した FRCRCTビットが“1”の場合には、FRESETビットを“1”にして、FCUを初期化してください。また、FCUファームウェアをFCUファーム領域からFCU RAM領域へ再コピーしてください。	R

FSTATR1 レジスタは、FCUの状態を示します。

リセットおよび FRESETR レジスタの FRESET ビットを“1”にすることによって初期化されます。

24.3.8 フラッシュ P/E モードエントリレジスタ (FENTRYR)

アドレス H'FFFF A902



ビット	シンボル	ビット名	機能	R/W
b15-b8	FEKEY [7:0]	キーコードビット	FENTRYD、FENTRY0ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。	R/(W) (注1)
b7	FENTRYD	EEPROM P/E モードエントリビット	「25. EEPROM」を参照してください。	R/W
b6-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	FENTRY0	ROM P/E モードエントリ0ビット	ROM 512Kバイト(読み出し用アドレス : H'0000 0000 ~ H'0007 FFFF、書き込み/消去用アドレス : H'8080 0000 ~ H'8087 FFFF)をP/Eモードに設定するためのビットです。 0 : ROM 512Kバイトはリードモード 1 : ROM 512KバイトはP/Eモード 書き込みは、以下の条件をすべて満たす場合に有効です。 ・ FSTATR0レジスタのFRDYビットが“1” ・ ワードアクセスでFEKEYにH'AA書き込み [“1”になる条件] ・ 書き込み有効条件を満たし、かつFENTRYRレジスタがH'0000の状態、FENTRY0に“1”を書き込んだ場合 [“0”になる条件] ・ FSTATR0レジスタのFRDYビットが“1”の場合 ・ バイトアクセスで書き込んだ場合 ・ ワードアクセスでFEKEYがH'AA以外の状態で書き込んだ場合 ・ 書き込み有効条件を満たした状態で、FENTRY0に“0”を書き込んだ場合 ・ 書き込み有効条件を満たし、かつFENTRYRレジスタがH'0000以外の状態で、FENTRYRレジスタを書き込んだ場合	R/W

注1. 書き込みデータは保持されません。

注. ・ FENTRYRレジスタ書き込み後、FENTRYRレジスタ読み出し命令を実行し、NOP命令を5個以上実行してください。

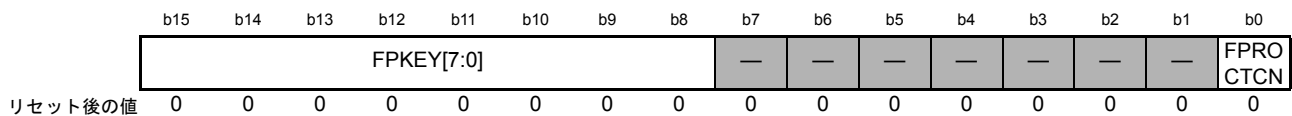
FENTRYR レジスタは、ROM/EEPROM を P/E モードに設定するために使用します。ROM/EEPROM を P/E モードにして FCU のコマンド受け付けを可能にするためには、FENTRYD、FENTRY0 のいずれかのビットに“1”を設定する必要があります。

リセットおよび FRESETR レジスタの FRESET ビットを“1”にすることによって初期化されます。

注．．ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効で、それ以外の書き込みを行った場合には初期化されます。上位バイトへの書き込みデータは保持されません。

24.3.9 フラッシュプロテクトレジスタ (FPROTR)

アドレス H'FFFF A904



ビット	シンボル	ビット名	機能	R/W
b15-b8	FPKEY[7:0]	キーコードビット	FPROCTCNビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。	R/(W) (注1)
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	FPROCTCN	ロックビットプロテクト キャンセルビット	ロックビットによる書き込み/消去プロテクトを有効/無効化するためのビットです。 0：ロックビットによるプロテクト有効 1：ロックビットによるプロテクト無効 [“1”になる条件] ・ FENTRYR レジスタの値が H'0000 以外の状態で、ワードアクセスで FPKEY に H'55、FPROCTCN に “1” を書き込んだ場合 [“0”になる条件] ・ バイトアクセスで書き込んだ場合 ・ ワードアクセスで FPKEY が H'55 以外の状態で書き込んだ場合 ・ ワードアクセスで FPKEY に H'55、FPROCTCN に “0” を書き込んだ場合 ・ FENTRYR レジスタの値が H'0000 の場合	R/W

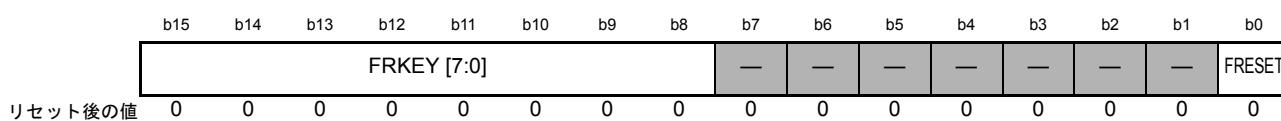
注1. 書き込みデータは保持されません。

FPROTR レジスタは、ロックビットによる書き込みと消去プロテクト機能の有効または無効を設定します。リセットおよび FRESETR レジスタの FRESET ビットを“1”にすることによって初期化されます。

注．．ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効で、それ以外の書き込みを行った場合には初期化されます。上位バイトへの書き込みデータは保持されません。

24.3.10 フラッシュリセットレジスタ (FRESETR)

アドレス H'FFFF A906



ビット	シンボル	ビット名	機能	R/W
b15-b8	FRKEY [7:0]	キーコードビット	FRESET ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。	R/(W) (注1)
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	FRESET	フラッシュリセットビット	FRESET ビットを“1”に設定すると、ROM/EEPROMの書き込み/消去動作が強制終了され、FCUが初期化されます。書き込み/消去中のROM/EEPROMのメモリには高電圧が印加されています。メモリに印加された電圧の降下に必要な期間を確保するために、FCUを初期化する場合には、FRESET ビットを“1”にセットした状態を t_{RESW2} (「30. 電気的特性」を参照)保持してください。FRESET ビットを“1”に保持している期間はROM/EEPROMへの読み出しを禁止してください。また、FRESET ビットが“1”の状態では、FENTRYRレジスタが初期化されているため、FCUコマンドを使用することはできません。FRESET ビットへの書き込みは、ワードアクセスでFRKEYがH'CCの場合のみ有効です。 0: FCUはリセットされない 1: FCUはリセットされる	R/W

注1. 書き込みデータは保持されません。

FRESETR レジスタは、FCUの初期化に使用します。

ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

24.3.11 FCU コマンドレジスタ (FCMDR)

アドレス H'FFFF A90A



ビット	シンボル	ビット名	機能	R/W
b15-b8	CMDR [7:0]	コマンドレジスタビット	FCUが受け付けた最新のコマンドを格納するレジスタです。	R
b7-b0	PCMDR [7:0]	プレコマンドレジスタビット	FCUが受け付けた1つ前のコマンドを格納するレジスタです。	R

FCMDR レジスタは、FCU が受け付けたコマンドを格納します。

リセットおよび FRESETR レジスタの FRESET ビットを“1”にすることによって初期化されます。

表 24.4 に各コマンド受け付け後の FCMDR レジスタの状態を示します。ブランクチェックの内容は、「25.6 ユーザモード/ユーザプログラムモード/ユーザブートモード」を参照してください。

表 24.4 各コマンド受け付け後の FCMDR レジスタの状態

コマンド	CMDR	PCMDR
ノーマルモード移行	H'FF	前回コマンド
ステータスリードモード移行	H'70	前回コマンド
ロックビットリードモード移行(ロックビットリード1)	H'71	前回コマンド
プログラム	H'E8	前回コマンド
ブロックイレーズ	H'D0	H'20
P/Eサスペンド	H'B0	前回コマンド
P/Eレジューム	H'D0	前回コマンド
ステータスレジスタクリア	H'50	前回コマンド
ロックビットリード2ブランクチェック	H'D0	H'71
ロックビットプログラム	H'D0	H'77
周辺機能クロックA通知レジスタ	H'E9	前回コマンド

24.3.12 FCU RAM ECC エラーコントロールレジスタ (FRAMECCR)

アドレス H'FFFF A90C



リセット後の値 0 0 0 0 0 0 1 0

ビット	シンボル	ビット名	機能	R/W
b7-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1	FRDCLC	FCU RAM 2ビット誤り検出FCU コマンドロックイネーブルビット	FCU RAMの読み出し時に2ビット誤り検出が発生した場合のFCUコマンドロックへの要求を、有効/無効に設定するためのビットです。本ビットを“1”にして2ビット誤りが検出された場合、FASTATレジスタのCMDLKビットは“1”にセットされます。 0: 2ビット誤り検出時にFCUコマンドロック要求を発生しない 1: 2ビット誤り検出時にFCUコマンドロック要求を発生する	R/W
b0	FRCCLC	FCU RAM 1ビット誤り訂正FCU コマンドロックイネーブルビット	FCU RAMの読み出し時に1ビット誤り訂正が発生した場合のFCUコマンドロックへの要求を、有効/無効に設定するためのビットです。本ビットを“1”にして1ビット誤り訂正が発生した場合、FASTATレジスタのCMDLKビットは“1”にセットされます。 0: 1ビット誤り訂正時にFCUコマンドロック要求を発生しない 1: 1ビット誤り訂正時にFCUコマンドロック要求を発生する	R/W

FRAMECCR レジスタは、FCU コマンドロック要求の有効 / 無効を設定しますがフラッシュステータスレジスタ 1 (FSTATR1) の FRDCTCT と FRCRCT のビットセットは制御しません。

24.3.13 FCU 処理切り替えレジスタ (FCPSR)

アドレス H'FFFF A918



リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

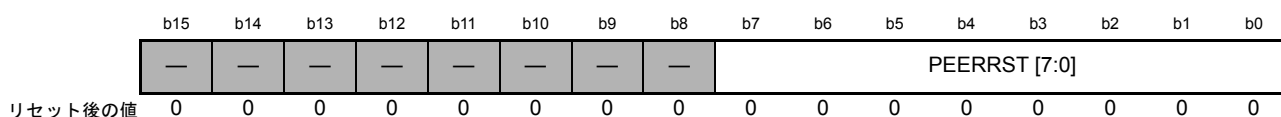
ビット	シンボル	ビット名	機能	R/W
b15-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	ESUSPMD	消去サスペンドモードビット	消去サスペンドモード 本LSIでは使用しません。 書き込む値は常に0にしてください。	R/W

FCPSR レジスタは、FCU の消去処理のサスペンド方法を選択します。

リセットおよび FRESETR レジスタの FRESET ビットを“1”にすることによって初期化されます。

24.3.14 フラッシュ P/E ステータスレジスタ (FPESTAT)

アドレス H'FFFF A91C



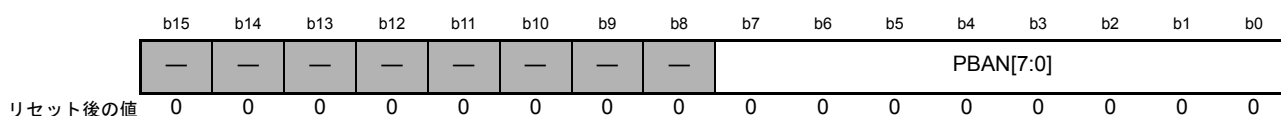
ビット	シンボル	ビット名	機能	R/W
b15-b8	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b7-b0	PEERRST [7:0]	P/E エラーステータスビット	ROM/EEPROMの書き込み/消去処理中にエラーが発生した場合のエラー原因を示すビットです。PEERRSTビットの値は、FSTATR0レジスタのPRGERRビットまたはERSERRビットが“1”の状態でのみ有効です。ERSERRビットとPRGERRビットが“0”の場合のPEERRSTビットには、過去に発生したエラー原因の値が保持されます。 H'01: ロックビットでプロテクトされた領域に対する書き込みエラー H'02: ロックビットプロテクト以外の要因による書き込みエラー H'11: ロックビットでプロテクトされた領域に対する消去によるエラー H'12: ロックビットプロテクト以外の要因による消去エラー 上記以外: 設定しないでください	R

FPESTAT レジスタは、ROM/EEPROM の書き込み / 消去処理結果を示します。

リセットおよび FRESETR レジスタの FRESET ビットを“1”にすることによって初期化されます。

24.3.15 周辺クロック A 通知レジスタ (PBAN)

アドレス H'FFFF A938



ビット	シンボル	ビット名	機能	R/W
b15-b8	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b7-b0	PBAN[7:0]	周辺クロック A 通知ビット	ROM/EEPROM専用シーケンサ(FCU)へ周辺バスクロック A の周波数を通知するために使用します。	R/W

リセットおよび FRESETR レジスタの FRESET ビットを“1”にすることによって初期化されます。

PBAN ビット

PBAN ビットは、書き込み / 消去をする前に周辺バスクロック A の周波数を設定してください。設定された値は、周辺バスクロック A 通知コマンドの発行により、FCU へ通知されます。ROM/EEPROM の書き込み / 消去中は、周波数を変更しないでください。

設定値は、MHz 単位で表現した動作周波数を 2 進数に変換した値にしてください。

例: 周辺クロック A の動作周波数が 50MHz の場合

50 を 2 進数変換し、H'32 (B'0011 0010) を PBAN ビットに設定

注. • PBAN ビットには、周辺クロック A の周波数を設定してください。実周波数と異なる周波数を設定した場合、ROM/EEPROM のデータを破壊することがあります。

24.4 ROM 関連モード概要

図 24.4 に ROM に関するモード遷移図を示します。

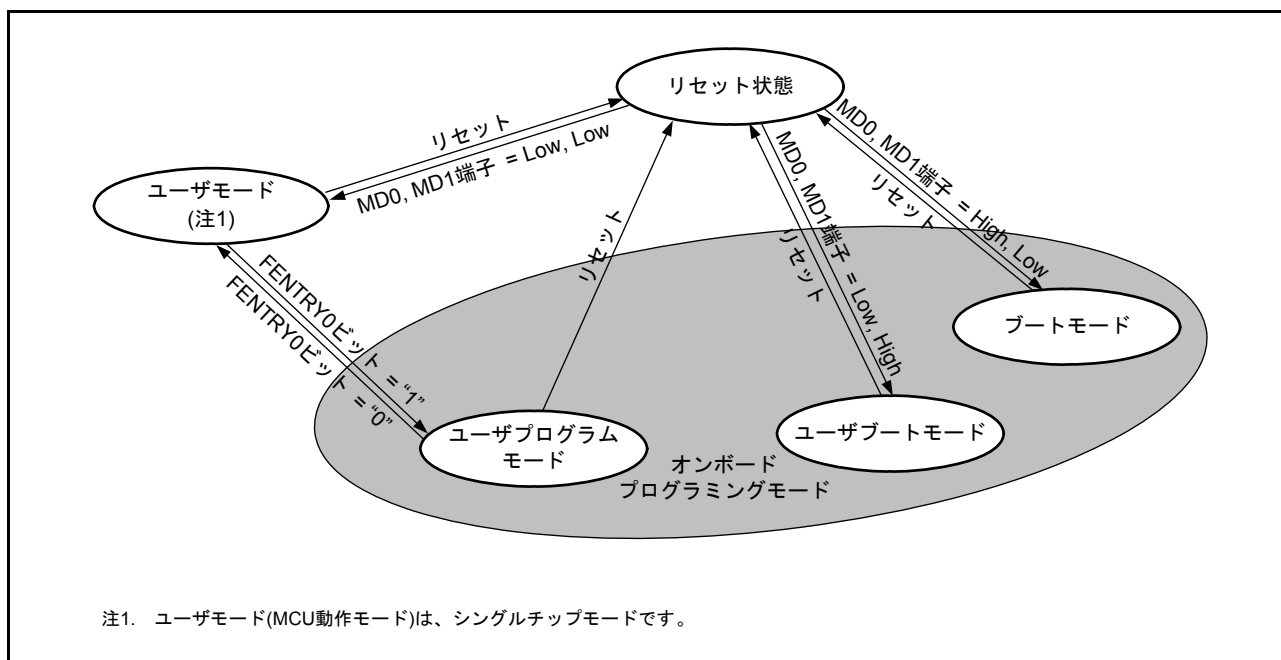


図 24.4 ROM に関するモード遷移図

- ユーザモードでは、ROM の読み出しは可能ですが、書き込み / 消去は実施できません。
- ユーザプログラムモード / ユーザブートモード / ブートモードでは、オンボードで ROM の読み出し / 書き込み / 消去を実施できます。

表 24.5 に、ブートモード、ユーザプログラムモード、ユーザブートモード書き込み / 消去関連項目の比較表を示します。

表 24.5 プログラミングモードの比較

項目	ブートモード	ユーザプログラムモード	ユーザブートモード
モード遷移方法	MD0, MD1 端子 = High, Low	MD0, MD1 端子 = Low, Low, FENTRY0 ビットを "1" に設定	MD0, MD1 端子 = Low, High
書き込み/消去環境	オンボードプログラミング		
書き込み/消去可能マット	ユーザマット ユーザブートマット	ユーザマット	ユーザマット
書き込み/消去制御	ホスト	FCU	FCU
全面消去	○ (自動)	○	○
ブロック分割消去	○ (注 1)	○	○
書き込みデータ転送	ホストから SCI 経由	任意のデバイスから RAM 経由	任意のデバイスから RAM 経由
リセット時の起動マット	組み込みプログラム格納マット	ユーザマット	ユーザブートマット (注 2)
ユーザモード(MCU動作モード)への遷移	MD0, MD1 端子 = Low, Low & リセット	FENTRY0 ビットを "0" に設定	MD0, MD1 端子 = Low, Low & リセット

注1. 起動時に全面消去されます。その後、特定ブロックの消去を実施可能です。
 注2. 組み込みプログラム格納マットから起動し、ルネサス提供のブートプログラムを実行した後にユーザブートマットのリセットベクタから起動します。

- ユーザブートマットの書き込み/消去は、ブートモードで可能です。
- ブートモードでは、起動直後にユーザマット/ユーザブートマット/EEPROM のデータマットが全面消去されます。その後、ホストから SCI 経由でのユーザマット/ユーザブートマット/データマットの書き込みが可能になります。ROM 内容の読み出しも、起動直後の全面消去後に可能になります。
- ユーザブートモードでは、ユーザプログラムモードと異なるモード端子設定で、任意のインタフェースのブート動作を実現できます。
- ブートモード/ユーザブートモードではブートプログラムで内蔵 RAM を使用します。このため、RAM イネーブルレジスタ (RAMEN) の設定で内蔵 RAM を無効にしてリセットし、ブートモード/ユーザブートモードで起動した場合には、リセット前の内蔵 RAM のデータは保持されません (「27. RAM 制御」を参照)。

24.5 ブートモード

24.5.1 システム構成

ブートモードでは、ホストから制御コマンドや書き込みデータを送信してユーザマット/ユーザブートマットの書き込み/消去を実行可能です。ホストと本 LSI 間の通信には、内蔵の SCI を調歩同期式モードで使用します。ホスト上には制御コマンドを送信するためのツールと書き込みデータを準備する必要があります。本 LSI をブートモードで起動すると、組み込みプログラム格納マット上のプログラムが実行されます。組み込みプログラム格納マット上のプログラムでは、SCI のビットレートの自動調整と制御コマンド方式でのホスト⇄本 LSI 間の通信が実現されます。

図 24.5 にブートモード時のシステム構成を示します。ブートモードでは NMI, INT0 ~ INT13 の割り込みは無視されますが、端子のレベルは非アクティブ状態に固定してください。また、ブートモード時には AUD は使用できませんのでご注意ください。

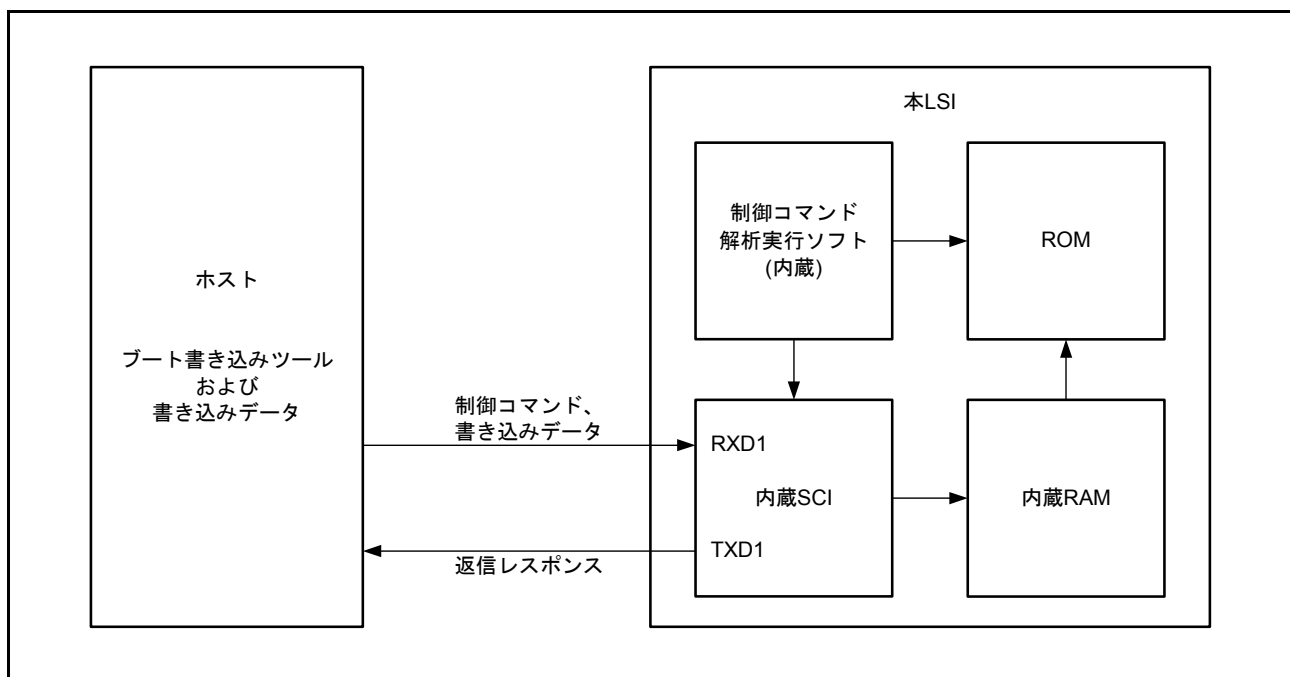


図 24.5 ブートモード時のシステム構成

24.5.2 ブートモードの状態遷移

図 24.6 にブートモードの状態遷移図を示します。

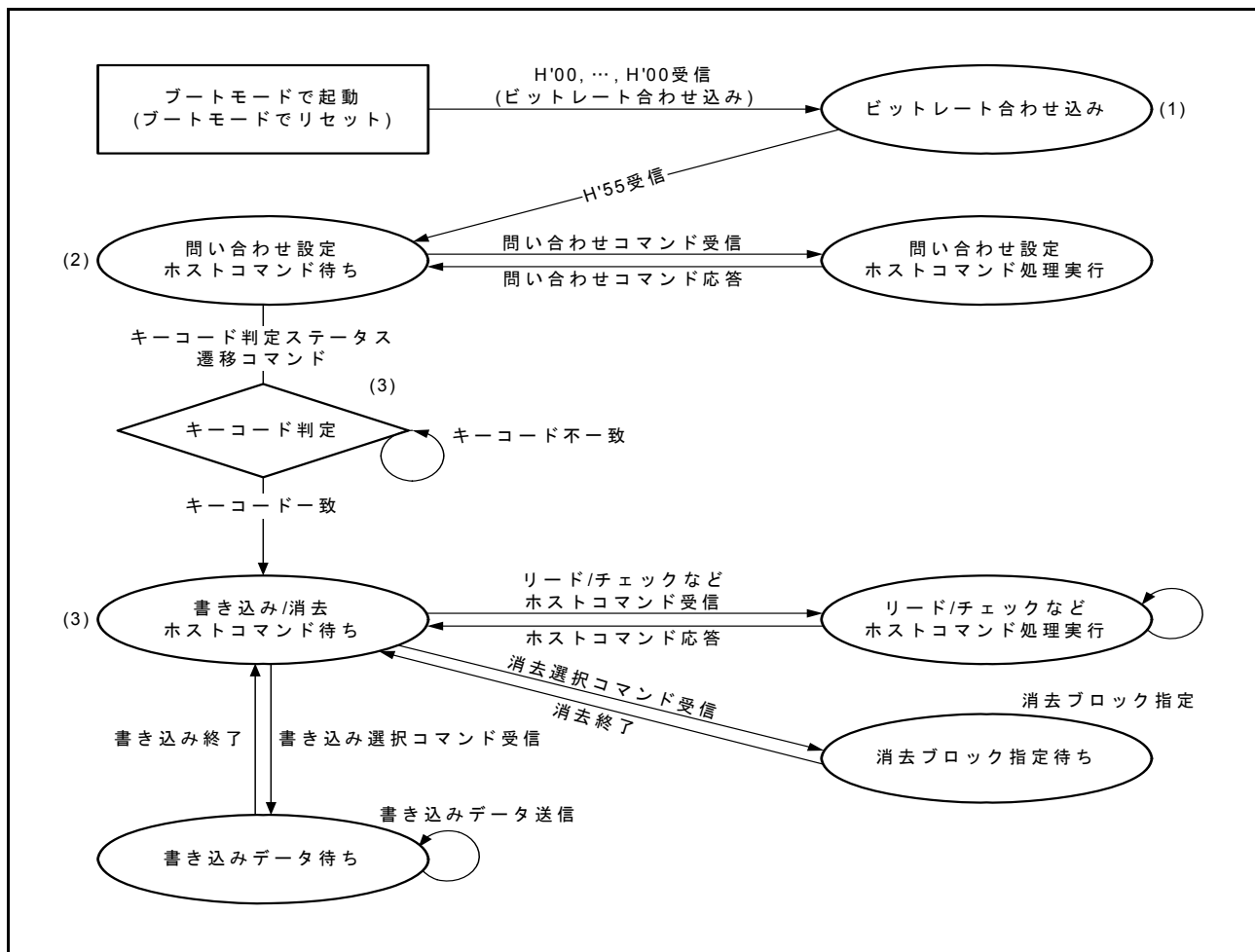


図 24.6 ブートモードの状態遷移図

(1) ビットレート合わせ込み

本 LSI をブートモードで起動すると、ホストと SCI のビットレート自動調整を実行します。ビットレートの自動調整が終了すると、本レジスタからホストへ H'00 を送信します。その後、ホストから送信された H'55 を本 LSI が正しく受信すると問い合わせ設定ホストコマンド待ち状態に遷移します。ビットレート合わせ込みの詳細は、「24.5.3 ビットレートの自動調整」を参照してください。

(2) 問い合わせ設定ホストコマンド待ち

マットサイズ、マット構成、マット先頭アドレス、サポート状況などの問い合わせや、デバイス、クロックモード、ビットレートを選択するための状態です。ホストから書き込み消去ステータス遷移コマンドを発行すると、本 LSI はユーザマット/ユーザブートマット/EEPROM のデータマットの全面消去を実行し、書き込み/消去ホストコマンド待ち状態に遷移します。問い合わせ設定ホストコマンドの詳細は「24.5.4 問い合わせ設定ホストコマンド待ち状態」を参照してください。

(3) キーコード判定

本 LSI に書き込まれたキーコードと一致するかを判定するための状態です。ホストからキーコードが送信され、それが本 LSI に書き込まれたキーコードと一致するかを判定します。一致した場合は書き込み/消去コマンド待ち状態に遷移します。また、本 LSI のキーコードが初期状態（書き込まれてい

ない状態) のときは、任意のキーコードで認証可能となります。

(4) 書き込み / 消去ホストコマンド待ち

ホストからのコマンドに従って、書き込み / 消去を実行する状態です。本 LSI が受信したコマンドに応じて、書き込みデータ待ち状態、消去ブロック指定待ち状態、リード / チェックなどコマンド処理実行状態に遷移します。

本 LSI が書き込み選択コマンドを受信した場合には、書き込みデータ待ち状態に遷移します。ホストから書き込み選択コマンドに続けて、書き込み先頭アドレス、書き込みデータを送信してください。書き込み先頭アドレスを H'FFFF FFFF と設定すると、書き込みが終了して書き込みデータ待ち状態から書き込み / 消去コマンド待ち状態に遷移します。

本 LSI が消去選択コマンドを受信すると消去ブロック指定待ち状態に遷移します。ホストから消去選択コマンドに続けて、消去ブロック番号を送信してください。消去ブロック番号を H'FF と設定すると、消去が終了して消去ブロック指定待ち状態から書き込み / 消去コマンド待ち状態に遷移します。ブートモードで起動してから書き込み / 消去ホストコマンド状態に遷移する間にユーザマット / ユーザブートマット / EEPROM のデータマットの全面が消去されていますので、ブートモードで新たに書き込んだデータをリセットせずに消去したい場合以外には消去を実行する必要はありません。

書き込み / 消去以外に、ユーザマット / ユーザブートマットのサムチェック、ブランクチェック (消去チェック)、メモリアドレス、ステータス情報取得のためのホストコマンドもあります。書き込み / 消去ホストコマンド待ち状態で実行できるホストコマンドの詳細は「24.5.5 書き込み / 消去ホストコマンド待ち状態」を参照してください。

24.5.3 ビットレートの自動調整

本 LSI をブートモードで起動すると、ホストから連続送信される調歩同期式 SCI 通信のデータ H'00 の Low レベル期間を測定します。Low レベル期間測定時のホストの SCI 送受信フォーマットは 8 ビットデータ、1 ストップビット、パリティなし、ビットレートは 9,600bps または 19,200bps に設定してください。本 LSI は測定した Low レベル期間からホストの SCI のビットレートを計算し、ビットレート調整が終了すると H'00 をホストへ送信します。ホストが H'00 を正常に受信した場合には、ホストから本 LSI に H'55 を送信してください。H'00 を正常に受信できなかった場合には、本 LSI をブートモードで再起動し、ビットレートの自動調整を再実行してください。本 LSI は H'55 を正常に受信すると H'E6 を送信し、H'55 を正常に受信できなかった場合には H'FF を送信します。

図 24.7 にビットレート自動調整時の SCI 送受信フォーマット (データ H'00)、図 24.8 にホストと本 LSI 間の通信シーケンスを示します。

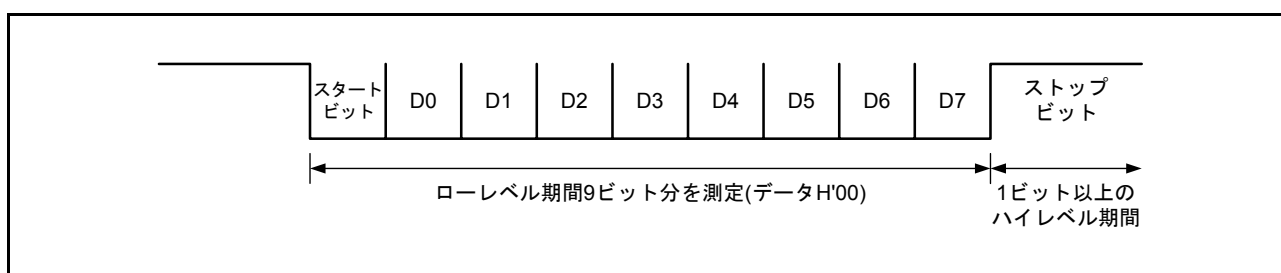


図 24.7 ビットレート自動調整時の SCI 送受信フォーマット (データ H'00)

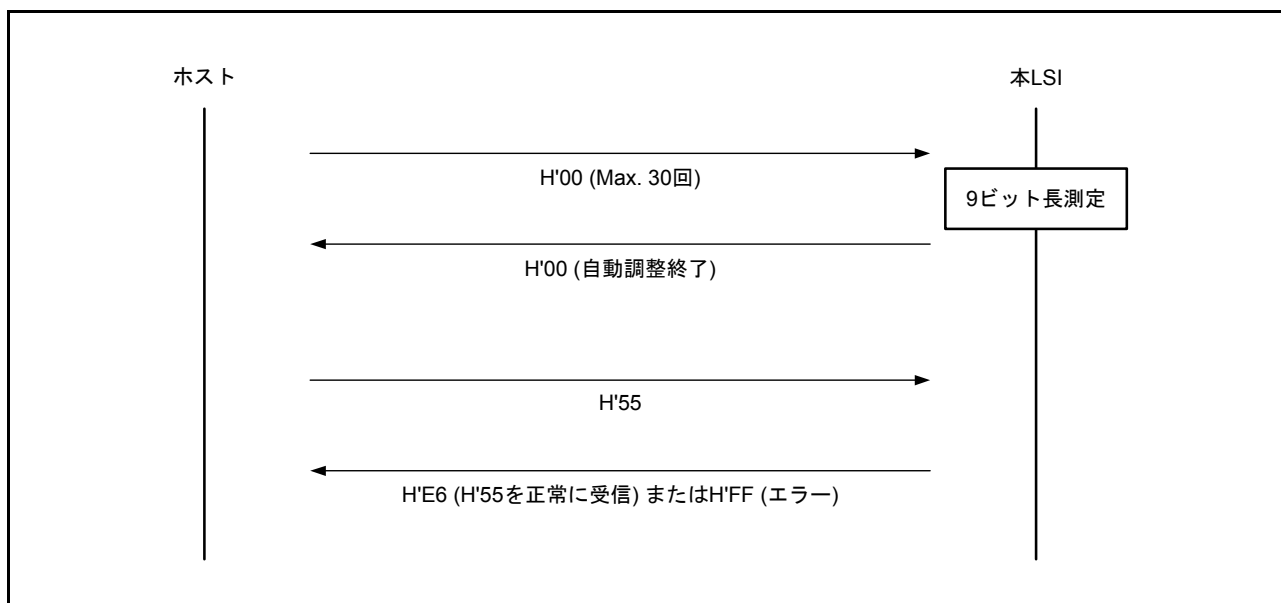


図 24.8 ホストと本 LSI 間の通信シーケンス

ホストの SCI のビットレートや本 LSI の周辺クロックの周波数に依存してビットレートを正常に調整できない場合がありますので、表 24.6 に示した条件で SCI の通信を行うようにしてください。

表 24.6 ビットレート自動調整が可能な条件

ホストの SCI のビットレート	本 LSI の周辺クロックの周波数	
	SH72A2 グループ	SH72A0 グループ
9,600bps	10 ~ 12.5MHz	8 ~ 10MHz
19,200bps	10 ~ 12.5MHz	8 ~ 10MHz

24.5.4 問い合わせ設定ホストコマンド待ち状態

表 24.7 に問い合わせ設定ホストコマンドを示します。ブートプログラムステータス問い合わせコマンドは、書き込み / 消去ホストコマンド待ち状態でも使用可能です。その他のコマンドは、問い合わせ設定ホストコマンド待ち状態でのみ使用可能です。

表 24.7 問い合わせ設定ホストコマンド

ホストコマンド名	機能
サポートデバイス問い合わせ	デバイスコードと組み込みプログラム型名の問い合わせ
デバイス選択	デバイスコードの選択
クロックモード問い合わせ	クロックモードの問い合わせ
クロックモード選択	クロックモードの選択
逡倍比問い合わせ	クロック種類、逡倍比/分周比の種類、逡倍比/分周比の問い合わせ
動作周波数問い合わせ	クロック種類、最大/最低動作周波数の問い合わせ
ユーザブートマツ情報問い合わせ	ユーザブートマツの個数、先頭/最終アドレスの問い合わせ
ユーザマツ情報問い合わせ	ユーザマツの個数、先頭/最終アドレスの問い合わせ
消去ブロック情報問い合わせ	ブロック数、先頭/最終アドレスの問い合わせ
書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
2面同時書き込み情報問い合わせ	2面同時書き込み可否の問い合わせ
新ビットレート選択	ホスト⇄本LSI間のSCI通信のビットレートを変更
キーコード判定ステータス遷移	キーコード判定ステータスに遷移
キーコードチェックコマンド	キーコードを送信
ブートプログラムステータス問い合わせ	本LSIの状態の問い合わせ

ホストが未定義のコマンドを送信した場合は、本 LSI がコマンドエラーのレスポンスを送信します。コマンドエラーのレスポンスの内容は以下のとおりです。コマンドには、ホストが送信したコマンドの先頭バイトが格納されています。

エラーレスポンス	H'80	コマンド
----------	------	------

問い合わせ設定ホストコマンド待ち状態では、問い合わせコマンドのレスポンスを参考にして、デバイス選択 → クロックモード選択 → 新ビットレート選択の順にホストから選択コマンドを送信し、本 LSI の設定を行ってください。また、サポートデバイス問い合わせ / クロックモード問い合わせ以外の問い合わせコマンドは、クロックモード選択コマンドを発行前には使用できません。誤った順番でコマンドを送信した場合には、本 LSI がコマンドエラーのレスポンスを送信します。図 24.9 に問い合わせ設定ホストコマンド待ち状態でのホストコマンド使用例を示します。

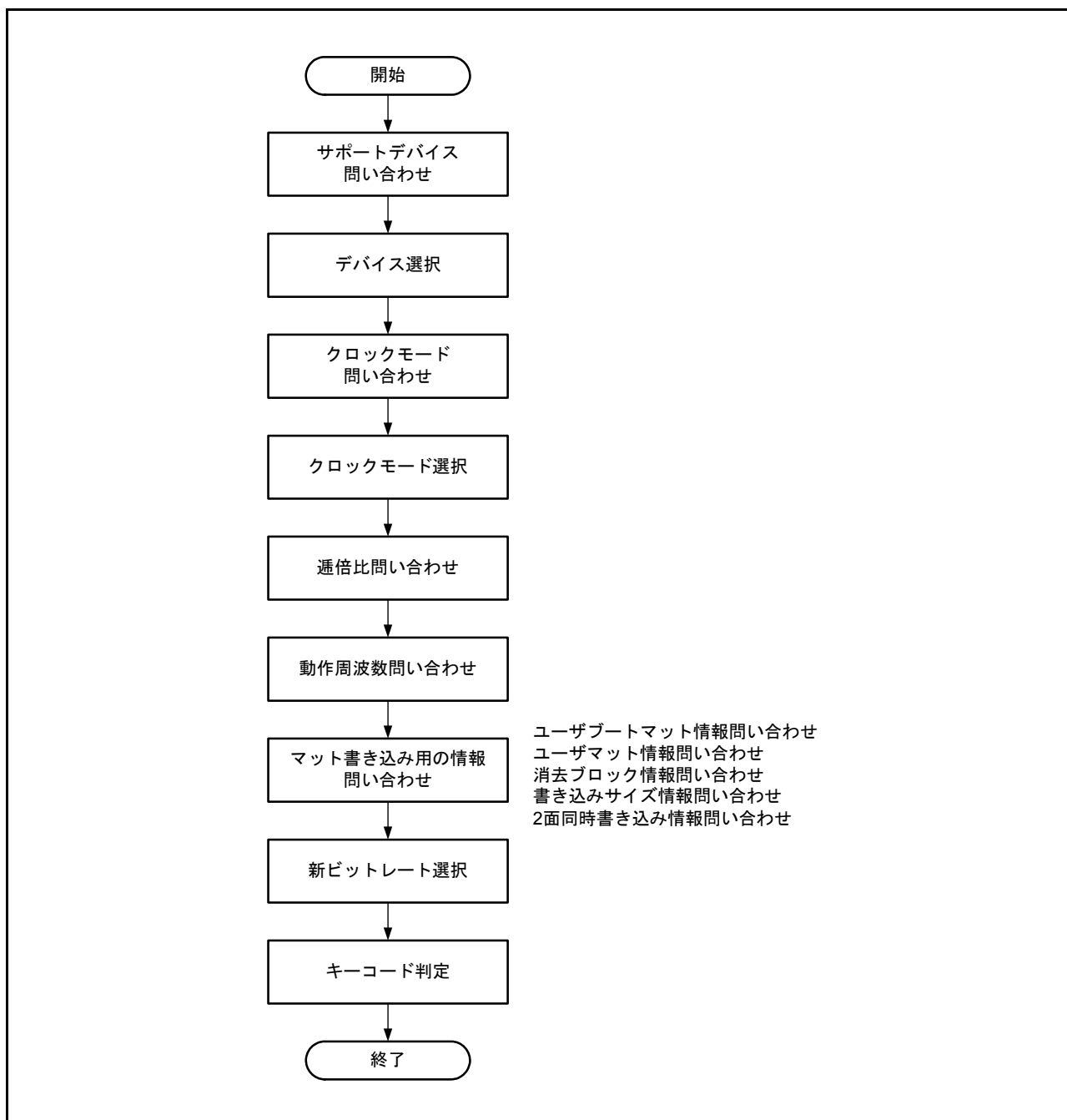


図 24.9 問い合わせ設定ホストコマンドの使用例

各ホストコマンドの詳細を以下に説明します。説明文中の「コマンド」はホストから本 LSI に送信するコマンド、「レスポンス」は本 LSI からホストに送信する応答です。「サムチェック」は、本 LSI が送信した各バイトを合計した場合に H'00 になるように計算されたバイトデータを指します。

(1) サポートデバイス問い合わせ

ホストがサポートデバイス問い合わせコマンドを送信すると、ブートモード用の組み込みプログラムでサポート可能なデバイス情報を本 LSI が送信します。ホストがデバイスを選択した後に、サポートデバイス問い合わせコマンドを送信した場合には、本 LSI は選択したデバイスの情報のみ送信します。

コマンド	H'20			
レスポンス	H'30	サイズ	デバイス数	
	文字数	デバイスコード		品名
	文字数	デバイスコード		品名

	文字数	デバイスコード		品名
	SUM			

【記号説明】

サイズ (1 バイト) : デバイス数、文字数、デバイスコード、品名のデータの総バイト数
 デバイス数 (1 バイト) : ブートモード用の組み込みプログラムがサポートする品種数
 文字数 (1 バイト) : デバイスコードと品名の文字数
 デバイスコード (4 バイト) : チップ品名の ASCII コード
 品名 (n バイト) : サポートデバイス名の ASCII コード
 SUM (1 バイト) : サムチェック (レスポンスで)

(2) デバイス選択

ホストがデバイス選択コマンドを送信すると、本 LSI は指定されたデバイスがサポート可能なデバイスかチェックします。サポート可能なデバイスの場合、本 LSI はサポートデバイスを指定したデバイスに変更し、レスポンス (H'06) を送信します。サポート可能なデバイスでなかった場合や、送信されたコマンドが不正であった場合には、本 LSI はエラーレスポンス (H'90) を送信します。

サポートデバイス問い合わせの結果、デバイス数が H'01 であった場合も、デバイス選択コマンドで問い合わせ結果のデバイスコードの値を設定してください。

コマンド	H'10	サイズ	デバイスコード	SUM
レスポンス	H'06			
エラーレスポンス	H'90	エラー		

【記号説明】

サイズ (1 バイト) : デバイスコードの文字数 (固定値で 2)
 デバイスコード (4 バイト) : チップ品名の ASCII コード (サポートデバイス問い合わせコマンドの応答と同一のコード)
 SUM (1 バイト) : サムチェック
 エラー (1 バイト) : エラーコード
 H'11 : サムチェックエラー (コマンドが不正)
 H'21 : デバイスコード不一致

(3) クロックモード問い合わせ

ホストがクロックモード問い合わせコマンドを送信すると、選択可能なクロックモードを本 LSI が送信します。ホストがクロックモードを選択した後に、クロックモード問い合わせコマンドを送信した場合には、本 LSI は選択したクロックモードの情報のみ送信します。

コマンド	H'21			
レスポンス	H'31	サイズ		
	モード	モード	...	モード
	SUM			

【記号説明】

サイズ (1 バイト) : モード数、モードのデータの総バイト数

モード (1 バイト) : 選択可能なクロックモード (例: H'01 クロックモード 1)

SUM (1 バイト) : サムチェック

(4) クロックモード選択

ホストがクロックモード選択コマンドを送信すると、本 LSI は指定されたクロックモードがサポート可能なモードかをチェックします。サポート可能なモードの場合、本 LSI はクロックモードを指定したモードに変更し、レスポンス (H'06) を送信します。サポート可能なモードではなかった場合や、送信されたコマンドが不正であった場合には、本 LSI はエラーレスポンス (H'91) を送信します。

クロックモード選択コマンドは、デバイス選択コマンドを送信した後に送信してください。クロックモード問い合わせの結果、クロックモード数が H'00 または H'01 であった場合も、クロックモード選択コマンドで、問い合わせ結果のモードの値を設定してください。

コマンド	H'11	サイズ	モード	SUM
レスポンス	H'06			
エラーレスポンス	H'91	エラー		

【記号説明】

サイズ (1 バイト) : モードの文字数 (固定値で 1)

モード (1 バイト) : クロックモード (クロックモード問い合わせコマンドの応答と同一のモード)

SUM (1 バイト) : サムチェック

エラー (1 バイト) : エラーコード

H'11: サムチェックエラー (コマンドが不正)

H'22: クロックモード不一致

(5) 逡倍比問い合わせ

ホストが逡倍比問い合わせコマンドを送信すると、クロック種類、逡倍比 / 分周比の種類、逡倍比 / 分周比の情報を本 LSI が送信します。

コマンド	H'22			
レスポンス	H'32	サイズ	クロック数	
	逡倍比種類	逡倍比	逡倍比	...
	逡倍比種類	逡倍比	逡倍比	逡倍比

	逡倍比種類	逡倍比	逡倍比	逡倍比
	SUM			

【記号説明】

- サイズ (1 バイト) : クロック数、逡倍比種類、逡倍比のデータの総バイト数
 クロック数 (1 バイト) : クロックの種類 (例: H'02 内部クロックと周辺クロックの 2 種類)
 逡倍比種類 (1 バイト) : 選択可能な逡倍比 / 分周比の種類
 (例: H'03 内部クロックは 4 逡倍、6 逡倍、8 逡倍の 3 種類)
 逡倍比 (1 バイト) : 逡倍比 (例: H'04 = 4 4 逡倍) ← 正の数で指定
 分周比 (例: HFE = -2 2 分周) ← 負の数で指定
 SUM (1 バイト) : サムチェック

(6) 動作周波数問い合わせ

ホストが動作周波数問い合わせコマンドを送信すると、各クロックの動作周波数の最小値と最大値の情報を本 LSI が送信します。

コマンド	H'23	
レスポンス	H'33	クロック数
	サイズ	
	最小周波数	最大周波数
	最小周波数	最大周波数

	最小周波数	最大周波数
	最小周波数	最大周波数
SUM		

【記号説明】

- サイズ (1 バイト) : クロック数、最小周波数、最大周波数のデータの総バイト数
 クロック数 (1 バイト) : クロックの種類 (例: H'02 内部クロックと周辺クロックの 2 種類)
 最小周波数 (2 バイト) : 動作周波数の最小値 (例: H'07D0 20.00MHz)
 周波数 (MHz) の小数点第 2 位までの値を 100 倍した値
 最大周波数 (2 バイト) : 動作周波数の最大値で、書式は最小周波数と同様
 SUM (1 バイト) : サムチェック

(7) ユーザブートマット情報問い合わせ

ホストがユーザブートマット情報を問い合わせると、ユーザブートマットのエリア数とアドレスの情報を本 LSI が送信します。

コマンド	H'24		
レスポンス	H'34	サイズ	エリア数
	エリア先頭アドレス		
	エリア最終アドレス		
	エリア先頭アドレス		
	エリア最終アドレス		
	...		
	エリア先頭アドレス		
	エリア最終アドレス		
	SUM		

【記号説明】

サイズ (1 バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスのデータの総バイト数
 エリア数 (1 バイト) : ユーザブートマットのエリア数 (連続したエリアは 1 エリアと数えます)
 エリア先頭アドレス (4 バイト): ユーザブートマットエリアの先頭アドレス
 エリア最終アドレス (4 バイト): ユーザブートマットエリアの最終アドレス
 SUM (1 バイト) : サムチェック

(8) ユーザマット情報問い合わせ

ホストがユーザマット情報を問い合わせると、ユーザマットのエリア数とアドレスの情報を本 LSI が送信します。

コマンド	H'25		
レスポンス	H'35	サイズ	エリア数
	エリア先頭アドレス		
	エリア最終アドレス		
	エリア先頭アドレス		
	エリア最終アドレス		
	...		
	エリア先頭アドレス		
	エリア最終アドレス		
	SUM		

【記号説明】

サイズ (1 バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスのデータの総バイト数
 エリア数 (1 バイト) : ユーザマットのエリア数 (連続したエリアは 1 エリアと数えます)
 エリア先頭アドレス (4 バイト) : ユーザマットエリアの先頭アドレス
 エリア最終アドレス (4 バイト) : ユーザマットエリアの最終アドレス
 SUM (1 バイト) : サムチェック

(9) 消去ブロック情報問い合わせ

ホストが消去ブロック情報を問い合わせると、ユーザマットの消去ブロック数とアドレスの情報を本 LSI が送信します。

コマンド	H'26		
レスポンス	H'36	サイズ	ブロック
	ブロック先頭アドレス		
	ブロック最終アドレス		
	ブロック先頭アドレス		
	ブロック最終アドレス		
	...		
	ブロック先頭アドレス		
	ブロック最終アドレス		
	SUM		

【記号説明】

サイズ (2 バイト) : ブロック数、ブロック先頭アドレス、ブロック最終アドレスのデータの総バイト数
 ブロック数 (1 バイト) : ユーザマットの消去ブロック数
 エリア先頭アドレス (4 バイト) : 消去ブロックの先頭アドレス
 エリア最終アドレス (4 バイト) : 消去ブロックの最終アドレス
 SUM (1 バイト) : サムチェック

(10) 書き込みサイズ問い合わせ

ホストが書き込みサイズを問い合わせると、本 LSI が書き込みサイズの情報を送信します。

コマンド	H'27			
レスポンス	H'37	サイズ	書き込みサイズ	SUM

【記号説明】

サイズ (1 バイト) : 書き込みサイズの文字数 (固定値で 2)
 書き込みサイズ (2 バイト) : 書き込み単位 (バイト数単位)
 SUM (1 バイト) : サムチェック

(11) 2 面同時書き込み情報問い合わせ

ホストが 2 面同時書き込みを問い合わせると、2 面同時書き込みの可否と対象マットの先頭アドレス本 LSI が送信します。本 LSI では、2 面同時に書き込みを行うことができません。

コマンド	H'28		
レスポンス	H'38	サイズ	方式
	1 面目マット先頭アドレス		
	2 面目マット最終アドレス		
	SUM		

【記号説明】

サイズ (1 バイト) : 方式、1 面目マット先頭アドレス、2 面目マット先頭アドレスのデータの総バイト数 (本 LSI では固定値で 5)
 方式 (1 バイト) : 書き込み方式 (本 LSI では H'01)
 H'01 : 1 面書き込み、H'10 : 2 面同時書き込み
 1 面目マット先頭アドレス (1 バイト) : 1 面目マットの先頭アドレス (本 LSI では H'0000 0000)
 2 面目マット先頭アドレス (1 バイト) : 2 面目マットの先頭アドレス (本 LSI では送信されない)
 1 面書き込み方式の場合には送信されません
 SUM (1 バイト) : サムチェック

(12) 新ビットレート選択

ホストが新ビットレート選択コマンドを送信すると、本 LSI は内蔵 SCI を指定された新ビットレートに設定可能かをチェックします。新ビットレートの設定が可能な場合、本 LSI はレスポンス (H'06) を送信し、SCI を新ビットレートに設定します。新ビットレートの設定ができない場合や、送信されたコマンドが不正であった場合には、本 LSI はエラーレスポンス (H'BF) を送信します。ホストはレスポンス (H'06) を受信すると、新ビットレート選択コマンド送信時のビットレートで1ビット期間ウェイトし、ホストのビットレートを新ビットレートに変更します。その後、ホストは新ビットレートで確認用のデータ (H'06) を送信し、本 LSI は確認データをレスポンス (H'06) を送信します。

新ビットレート選択コマンドは、クロックモード選択コマンドを送信した後に送信してください。

図 24.10 に新ビットレート選択のシーケンスを示します。



図 24.10 新ビットレート選択のシーケンス

コマンド	H'3F	サイズ	ビットレート	入力周波数
	クロック数	通倍比 1	通倍比 2	
	SUM			
レスポンス	H'06			
エラーレスポンス	H'BF	エラー		
確認	H'06			
レスポンス	H'06			

【記号説明】

- サイズ (1 バイト) : ビットレート、入力周波数、クロック数、通倍比のデータの総バイト数
- ビットレート (2 バイト) : 新ビットレート (例: H'00C0 19200bps)
ビットレート値を 1/100 した値を設定
- 入力周波数 (2 バイト) : 本 LSI の入力周波数 (例: H'07D0 20.00MHz)
入力周波数の小数点第 2 位までを 100 倍した値を設定
- クロック数 (1 バイト) : クロックの種類 (例: H'02 内部クロックと周辺クロックの 2 種類)
- 通倍比 1 (1 バイト) : 入力周波数に対する内部クロックの通倍比 / 分周比
通倍比 (例: H'04 = 4 4 通倍) ← 正の数で指定
分周比 (例: HFE = -2 2 分周) ← 負の数で指定
- 通倍比 2 (1 バイト) : 入力周波数に対する周辺クロックの通倍比 / 分周比
通倍比 1 と同じフォーマット
- SUM (1 バイト) : サムチェック
- エラー (1 バイト) : エラーコード (「表 24.8 エラー内容」を参照)

表 24.8 エラー内容

コード	エラー内容
H'11	<ul style="list-style-type: none"> サムチェックエラー
H'24	<ul style="list-style-type: none"> ビットレート選択不可エラー 新ビットレート選択コマンドで指定したビットレートを、本LSIのSCIが誤差4%未満で設定できない場合にビットレート選択不可エラーが発生します。新ビットレート選択コマンドで指定したビットレートをB、入力周波数をfEX、通倍比2をMPφ、SCIのSCiBRレジスタの設定値をN、SCiCRレジスタのCKSビットの設定値をnとした場合のビットレート誤差は、以下の計算式で求められます。 $\text{誤差 (\%)} = \left\{ \frac{f_{EX} \times M_{P\phi} \times 10^6}{(N + 1) \times B \times 32 \times 2^{n-1}} - 1 \right\} \times 100$
H'25	<ul style="list-style-type: none"> 入力周波数エラー 新ビットレート選択コマンドで指定した入力周波数が、クロックモード選択コマンドで指定したクロックモードに対応する入力周波数の最小値と最大値の範囲外であった場合に、入力周波数エラーが発生します。
H'26	<ul style="list-style-type: none"> 通倍比エラー 新ビットレート選択コマンドで指定した通倍比が、クロックモード選択コマンドで指定したクロックモードに対応する通倍比でなかった場合に、通倍比エラーが発生します。選択可能な通倍比を確認するためには通倍比問い合わせコマンドを使用してください。
H'27	<ul style="list-style-type: none"> 動作周波数エラー 新ビットレート選択コマンドで指定した動作周波数で本LSIが動作できない場合に動作周波数エラーが発生します。本LSIは、新ビットレート選択コマンドで指定された入力周波数、通倍比から動作周波数を計算し、計算結果が各クロックの動作周波数の最小値から最大値の範囲内であることをチェックします。各クロックの動作周波数の最小値と最大値を確認するためには、動作周波数問い合わせコマンドを使用してください。

(13) キーコード判定ステータス遷移

キーコード判定ステータス遷移コマンドに対して、本LSIはキーコード判定状態へ遷移します。

コマンド	H'40
レスポンス	H'16

(14) キーコードチェックコマンド

キーコードチェックコマンドに対して、本LSIはホストから送信されたキーコードとマット上のキーコードとを比較し、一致したときレスポンス (H'26) を送信し、書き込み消去ステータスになります。キーコードが一致しなかった場合はエラーレスポンス (H'E0) を送信します。

また、本LSIのキーコードが初期状態（書き込まれていない状態）のときは、任意のキーコードでレスポンス (H'26) を送信し、書き込み消去ステータスに遷移します。

コマンド	H'60	サイズ	キーコード
	SUM		
レスポンス	H'26		
エラーレスポンス	H'E0	エラー	

【記号説明】

- サイズ (1 バイト) : キーコードの文字数 (固定値で 16)
 キーコード (16 バイト) : ブートモード認証のためのキーコード
 SUM (1 バイト) : サムチェック (コマンドから SUM まで加算し、H'00 となるように設定)
 エラー (1 バイト) : エラーコード
 H'11: サムチェックエラー
 H'61: キーコード不一致エラー

(15) ブートプログラムステータス問い合わせ

ホストがブートプログラムステータス問い合わせコマンドを送信すると、本 LSI は現在のステータスを送信します。ブートプログラムステータス問い合わせコマンドは、問い合わせ設定ホストコマンド待ち状態と書き込み消去ホストコマンド待ち状態で使用可能です。

コマンド	H'4F			
レスポンス	H'5F	サイズ	ステータス	エラー

【記号説明】

サイズ(1バイト) : ステータス、エラーのデータの総バイト数(固定値で2)

ステータス(1バイト) : 本 LSI の状態(「表 24.9 ステータスの内容」を参照)

エラー(1バイト) : エラーコード(「表 24.10 エラー内容」を参照)

表 24.9 ステータスの内容

コード	内容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	ビットレート選択待ち
H'1F	キーコード判定ステータスへの遷移待ち(ビットレート選択完了)
H'3F	書き込み消去ホストコマンド待ち
H'4F	書き込みデータ受信待ち
H'5F	消去ブロック指定待ち

表 24.10 エラー内容

コード	内容
H'00	エラーなし
H'11	サムチェックエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	通倍比エラー
H'27	動作周波数エラー
H'29	ブロック番号エラー
H'2A	アドレスエラー
H'2B	データ長エラー
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'54	選択処理エラー
H'61	キーコード不一致エラー
H'80	コマンドエラー
H'FF	ビットレート合わせ込み確認エラー

24.5.5 書き込み / 消去ホストコマンド待ち状態

表 24.11 に書き込み / 消去ホストコマンドを示します。また、図 24.11 にブートモードでの ROM 書き込み方法を、図 24.12 にブートモードでの ROM 消去方法を示します。

表 24.11 書き込み/消去ホストコマンド

ホストコマンド名	機能
ユーザブートマット書き込み選択	本LSIはユーザブートマット書き込みプログラムを選択
ユーザマット書き込み選択	本LSIはユーザマット書き込みプログラムを選択
ユーザマット2面同時書き込み選択	本LSIはユーザマット2面同時書き込みプログラムを選択
256バイト書き込み	256バイト書き込み
消去選択	本LSIは消去用プログラムを選択
ブロック消去	ブロックデータの消去
メモリリード	メモリの読み出し
ユーザブートマットサムチェック	ユーザブートマットのサムチェック
ユーザマットサムチェック	ユーザマットのサムチェック
ユーザブートマットブランクチェック	ユーザブートマットのブランクチェック
ユーザマットブランクチェック	ユーザマットのブランクチェック
ブートプログラムステータス問い合わせ	本LSIの問い合わせ

ホストが未定義のコマンドを送信した場合は、本 LSI がコマンドエラーのレスポンスを送信します。コマンドエラーの内容は、「24.5.4 問い合わせ設定ホストコマンド待ち状態」を参照してください。

ROM の書き込みを実行する場合には、ホストから書き込み選択コマンド (ユーザブートマット書き込み選択 / ユーザマット書き込み選択) を送信後、256 バイト書き込みコマンドを送信します。ホストが書き込み選択コマンドを送信すると、本 LSI は書き込みデータ待ち状態になります (「24.5.5 書き込み / 消去ホストコマンド待ち状態」を参照)。書き込みデータ待ちの状態では、ホストが 256 バイト書き込みコマンドを送信すると、本 LSI は ROM にデータを書き込みます。ホストが書き込み先のアドレスを H'FFFF FFFF に設定して 256 バイト書き込みコマンドを送信すると、本 LSI は書き込み終了と判定し、書き込み / 消去ホストコマンド待ち状態に遷移します。

ROM の消去を実行する場合には、ホストから消去選択コマンドを送信後、ブロック消去コマンドを送信します。ホストが消去選択コマンドを送信すると、本 LSI は消去ブロック指定待ち状態になります (「24.5.2 ブートモードの状態遷移」を参照)。消去ブロック指定待ちの状態では、ホストがブロック消去コマンドを送信すると、本 LSI は ROM をブロック消去します。ホストがブロック番号に H'FF を設定してブロック消去コマンドを送信すると、本 LSI は消去終了と判定し、書き込み / 消去ホストコマンド待ち状態に遷移します。

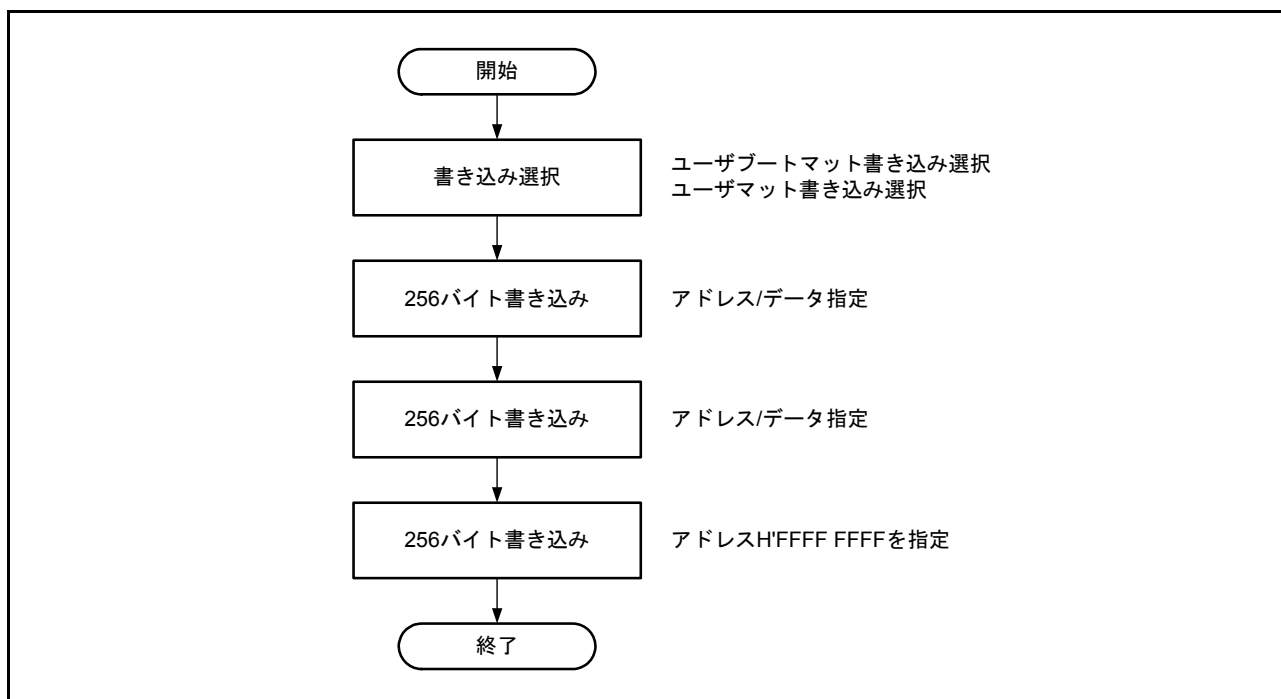


図 24.11 ブートモードでの ROM 書き込み方法

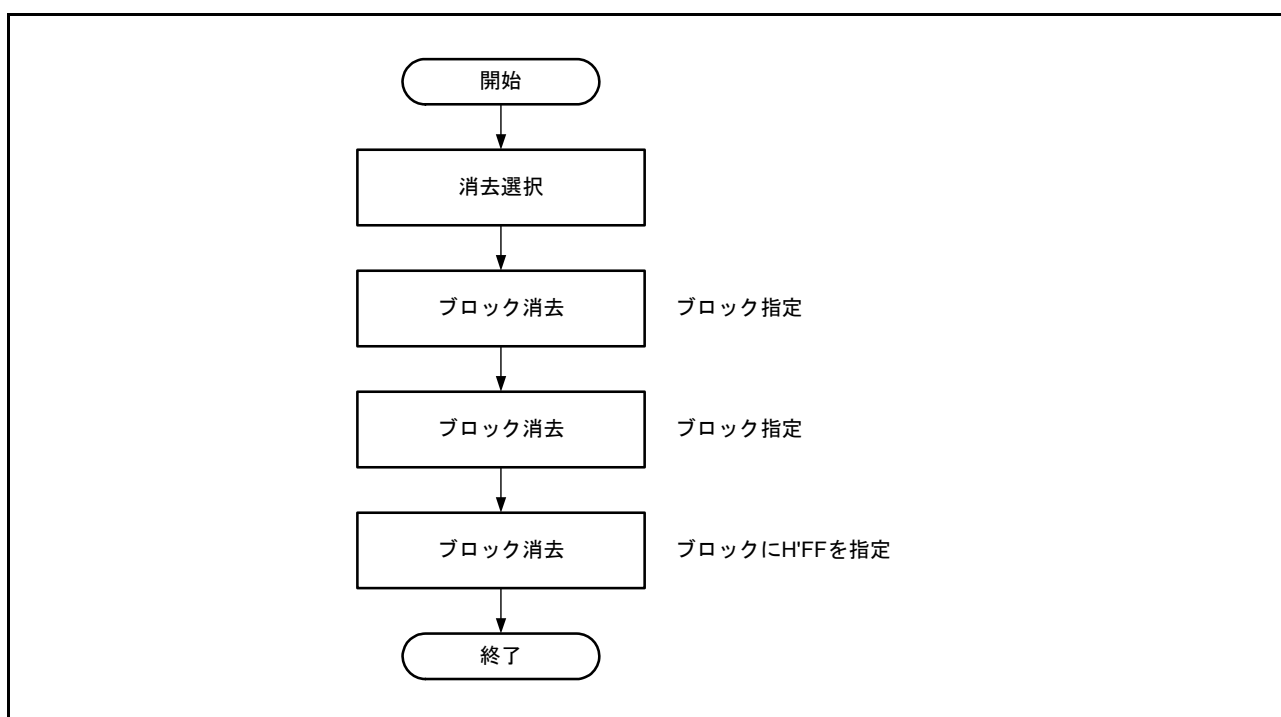


図 24.12 ブートモードでの ROM 消去方法

各ホストコマンドの詳細を以下に説明します。説明文中の「コマンド」はホストから本 LSI に送信するコマンド、「レスポンス」は本 LSI からホストに送信する応答です。「サムチェック」は、送信した各バイトを合計した場合に H'00 になるように計算されたバイトデータを指します。

(1) ユーザブートマット書き込み選択

ホストがユーザブートマット書き込み選択コマンドを送信すると、本 LSI はユーザブートマット書き込みプログラムを選択し、書き込みデータ待ち状態になります。

コマンド	H'42
レスポンス	H'06

(2) ユーザマット書き込み選択

ホストがユーザマット書き込み選択コマンドを送信すると、本 LSI はユーザマット書き込みプログラムを選択し、書き込みデータ待ち状態になります。

コマンド	H'43
コマンド	H'06

(3) ユーザマット 2 面同時書き込み選択

本 LSI ではユーザマット 2 面同時書き込み機能をサポートしていません。ホストがユーザマット 2 面同時書き込み選択コマンドを送信すると、本 LSI はコマンドエラー (H'80 → H'44) を送信します。

コマンド	H'44	
コマンド	H'80	H'44

(4) 256 バイト書き込み

ホストが 256 バイト書き込みコマンドを送信すると、本 LSI は ROM の書き込みを実行します。ROM の書き込みが正常に終了すると、本 LSI はレスポンス (H'06) を送信します。書き込み処理中にエラーが発生すると、本 LSI はエラーレスポンス (H'D0) を送信します。

コマンド	H'50	書き込みアドレス			
	データ	データ	...	データ	
	SUM				
レスポンス	H'06				
エラーレスポンス	H'D0	エラー			

【記号説明】

- 書き込みアドレス (4 バイト) : 書き込み先のアドレス
書き込み実行時には 256 バイト境界にアラインしたアドレス
書き込み終了を指定する場合には H'FFFF FFFF を送信
- データ (256 バイト) : 書き込みデータ
書き込み不要なバイトには H'FF を指定
書き込み終了を指定する場合にはデータの送信は不要
(書き込みアドレス → SUM の順で送信する)
- SUM (1 バイト) : サムチェック
- エラー (1 バイト) : エラーコード
H'11 : サムチェックエラー
H'2A : アドレスエラー (アドレスが指定のマット内でない)
H'53 : 書き込みエラーが発生して書き込めない

- (5) ホストが消去選択コマンドを送信すると、本 LSI は消去プログラムを選択し、消去ブロック指定待ち状態になります。

コマンド	H'48
レスポンス	H'06

(6) ブロック消去

ホストがブロック消去コマンドを送信すると、本 LSI は ROM の消去を実行します。ROM の消去が正常に終了すると、本 LSI はレスポンス (H'06) を送信します。消去処理中にエラーが発生すると、本 LSI はエラーレスポンス (H'D8) を送信します。

コマンド	H'58	サイズ	ブロック	SUM
レスポンス	H'06			
エラーレスポンス	H'D8	エラー		

【記号説明】

- サイズ (1 バイト) : ブロックのデータのバイト数 (固定値で 1)
 ブロック (1 バイト) : 消去する消去ブロックの番号 (16 進数で指定)
 消去終了を指定する場合には H'FF を送信
 SUM (1 バイト) : サムチェック
 エラー (1 バイト) : エラーコード
 H'11: サムチェックエラー
 H'29: ブロック番号エラー (ブロック番号が正しくない)
 H'51: 消去エラーが発生して消去できない

(7) メモリリード

ホストがメモリリードコマンドを送信すると、本 LSI は ROM に対するリードを実行します。正常にリードが実行された場合には、本 LSI はメモリリードコマンドで指定されたアドレスのデータを送信します。正常にリードが実行されなかった場合には、本 LSI はエラーレスポンス (H'D2) を送信します。

コマンド	H'52	サイズ	エリア	読み出し先頭アドレス
	読み出しサイズ			SUM
レスポンス	H'52	読み出しサイズ		
	データ	データ	...	データ
	SUM			
エラーレスポンス	H'D2	エラー		

【記号説明】

サイズ (1 バイト) : エリア、読み出しアドレス、読み出しサイズのデータの総バイト数

エリア (1 バイト) : 読み出し対象のマット

H'00 : ユーザブートマット

H'01 : ユーザマット

読み出し先頭アドレス (4 バイト) : 読み出し対象領域の先頭アドレス

読み出しサイズ (4 バイト) : 読み出すデータのサイズ (バイト単位)

SUM (1 バイト) : サムチェック

データ (1 バイト) : ROM から読み出したデータ

エラー (1 バイト) : エラーコード

H'11 : サムチェックエラー

H'2A : アドレスエラー

エリアの選択で H'00、H'01 以外を指定

読み出し先頭アドレスが指定したマットの領域外

H'2B : サイズエラー

読み出しサイズの選択で H'00 を指定

読み出しサイズがマットのサイズを超えている

読み出し先頭アドレスと読み出しサイズから計算されたアドレスがマットの領域外

(8) ユーザブートマットサムチェック

ホストがユーザブートマットサムチェックコマンドを送信すると、本 LSI はユーザブートマットのデータをバイト単位で加算した結果 (サムチェック) を送信します。

コマンド	H'4A			
レスポンス	H'5A	サイズ	マットのサムチェック	SUM

【記号説明】

サイズ (1 バイト) : マットのサムチェックのバイト数 (固定値で 4)

マットのサムチェック (4 バイト) : ユーザブートマットのサムチェック結果

SUM (1 バイト) : サムチェック (レスポンスデータのサムチェック)

(9) ユーザマットサムチェック

ホストがユーザマットサムチェックコマンドを送信すると、本 LSI はユーザマットのデータをバイト単位で加算した結果 (サムチェック) を送信します。

コマンド	H'4B		
レスポンス	H'5B	サイズ	マットのサムチェック
			SUM

【記号説明】

サイズ (1 バイト) : マットのサムチェックのバイト数 (固定値で 4)

マットのサムチェック (4 バイト) : ユーザマットのサムチェック結果
 ユーザマットにはデバッグ機能認証用のキーコードも含まれています。
 加算結果にキーコード値が含まれることに注意してください。

SUM (1 バイト) : サムチェック (レスポンスデータのサムチェック)

(10) ユーザブートマットブランクチェック

ホストがユーザブートマットブランクチェックコマンドを送信すると、本 LSI はユーザブートマットがすべて消去状態であるかをチェックします。ユーザブートマットがすべて消去状態であった場合には、本 LSI はレスポンス (H'06) を送信します。ユーザブートマットに未消去領域が存在した場合には、本 LSI はエラーレスポンス (H'CC → H'52) を送信します。

コマンド	H'4D	
レスポンス	H'06	
エラーレスポンス	H'CC	H'52

(11) ユーザマットブランクチェック

ホストがユーザマットブランクチェックコマンドを送信すると、本 LSI はユーザマットがすべて消去状態であるかをチェックします。ユーザマットがすべて消去状態であった場合には、本 LSI はレスポンス (H'06) を送信します。ユーザマットに未消去領域が存在した場合には、本 LSI はエラーレスポンス (H'CD → H'52) を送信します。

コマンド	H'4D	
レスポンス	H'06	
エラーレスポンス	H'CD	H'52

(12) ブートプログラムステータス問い合わせ

詳細については「24.5.4 問い合わせ設定ホストコマンド待ち状態」を参照してください。

24.6 ユーザプログラムモード

24.6.1 FCU コマンド一覧

ユーザプログラムモードでは、FCU へ FCU コマンドを発行してユーザマットの書き込み / 消去を実行します。表 24.12 に FCU コマンド一覧 (ROM 関連) を示します。

表 24.12 FCU コマンド一覧 (ROM 関連)

コマンド	機能
ノーマルモード移行	ノーマルモードに遷移(「24.6.2 FCUコマンド受け付け条件」を参照)
ステータスリードモード移行	ステータスリードモードに遷移(「24.6.2 FCUコマンド受け付け条件」を参照)
ロックビットリードモード移行 (ロックビットリード1)	ロックビットリードモードに遷移(「24.6.2 FCUコマンド受け付け条件」を参照)
周辺クロックA通知	周辺クロックAの周波数を設定
プログラム	ROM書き込み(256バイト単位)
ブロックイレーズ	ROM消去(ブロック単位。ロックビットも同時に消去)
P/Eサスペンド	書き込み/消去の中断
P/Eレジューム	書き込み/消去の再開
ステータスレジスタクリア	FSTATR0レジスタのILGLERR、ERSERR、PRGERRビットのクリアとコマンドロック状態の解除
ロックビットリード2	指定した消去ブロックのロックビット読み出し(FSTATR1レジスタのFLOCKSTビットにロックビットを反映)
ロックビットプログラム	指定した消去ブロックのロックビットを書き込み

ロックビットリード2/ロックビットプログラム以外のFCUコマンドは、EEPROM書き込み/消去でも使用可能です。EEPROMに対してロックビットリード2コマンドを発行した場合には、EEPROMのブランクチェックが実行されます。また、EEPROMに対してロックビットプログラムコマンドを発行した場合には、不正コマンド検出によるエラーが発生します(「25. EEPROM」を参照)。

FCUへのコマンド発行は、ROM書き込み/消去用のアドレスに対する周辺バスAライトアクセスで実現されます。表24.13にFCUコマンドのフォーマットを示します。表24.13に示した周辺バスAライトアクセスを特定条件下で実行すると、FCUは各コマンドに対応した処理を実行します。FCUのコマンド受け付け条件については、「24.6.2 FCUコマンド受け付け条件」を参照してください。各FCUコマンドの使用方法については、「24.6.3 FCUコマンド使用方法」を参照してください。

FRDMDビットが“0”(メモリ領域リードモード)でFCUコマンドの1サイクル目がH'71の場合には、FCUはロックビットリードモード移行コマンド(ロックビットリード1)を受け付けます。ロックビットリードモードに移行後にROM書き込み/消去用のアドレスに対して周辺バスAリードアクセスを実行すると、アクセス先に対応する消去ブロックのロックビットが読み出しデータの全ビットにコピーされます。FRDMDビットが“1”(レジスタリードモード)でFCUコマンドの1サイクル目がH'71の場合には、FCUはロックビットリード2コマンドの2サイクル目のコマンド(H'D0)待ちの状態になります。この状態で、ROM書き込み/消去用のアドレスに対して周辺バスAライトアクセスでH'D0を書き込むと、FCUはアクセス先に対応する消去ブロックのロックビットをFSTATR1レジスタのFLOCKSTビットにコピーします。

P/Eサスペンドコマンド発行時のサスペンド動作の詳細は「24.6.4 サスペンド動作」を参照してください。

表24.13 FCUコマンドのフォーマット

コマンド	コマンド サイクル数 (注1)	1 サイクル目		2 サイクル目		3 サイクル目		4~5 サイクル目		6サイクル目		7~130 サイクル目		131 サイクル目	
		アド レス	デー タ	アド レス	デー タ	アド レス	デー タ	アド レス	デー タ	アド レス	デー タ	アド レス	デー タ	アド レス	デー タ
ノーマルモード移行	1	RA	H'FF	—	—	—	—	—	—	—	—	—	—	—	—
ステータスリードモード移行	1	RA	H'70	—	—	—	—	—	—	—	—	—	—	—	—
ロックビットリードモード移行 (ロックビットリード1)	1	RA	H'71	—	—	—	—	—	—	—	—	—	—	—	—
周辺クロックA設定	6	RA	H'E9	RA	H'03	WA	H'0F0F	WA	H'0F0F	RA	H'D0	—	—	—	—
プログラム	131	RA	H'E8	RA	H'80	WA	WDn	WA	WDn	WA	WDn	RA	WDn	RA	H'D0
ブロックイレーズ	2	RA	H'20	BA	H'D0	—	—	—	—	—	—	—	—	—	—
P/Eサスペンド	1	RA	H'B0	—	—	—	—	—	—	—	—	—	—	—	—
P/Eレジューム	1	RA	H'D0	—	—	—	—	—	—	—	—	—	—	—	—
ステータスレジスタクリア	1	RA	H'50	—	—	—	—	—	—	—	—	—	—	—	—
ロックビットリード2	2	RA	H'71	BA	H'D0	—	—	—	—	—	—	—	—	—	—
ロックビットプログラム	2	RA	H'77	BA	H'D0	—	—	—	—	—	—	—	—	—	—

【記号説明】

RA : ROM 書き込み / 消去用のアドレス

FENTRY0 が "1" の場合 : H'8080 0000 ~ H'8087 FFFF の任意アドレス

WA : ROM 書き込み先アドレス

書き込みデータ 256 バイトの先頭アドレス

BA : ROM 消去ブロックアドレス

対象消去ブロック内の任意アドレス (書き込み / 消去用アドレスで指定)

WDn : 書き込みデータ nワード目 (n = 1 ~ 128)

注1. コマンドサイクル数は書き込み/消去アドレスに対する周辺バス(Pバス)ライトアクセス発行回数

24.6.2 FCU コマンド受け付け条件

FCU コマンドの受け付け可否は、FCU のモード / 状態に依存します。図 24.13 に FCU のモード遷移図 (ROM 関連) を示します。

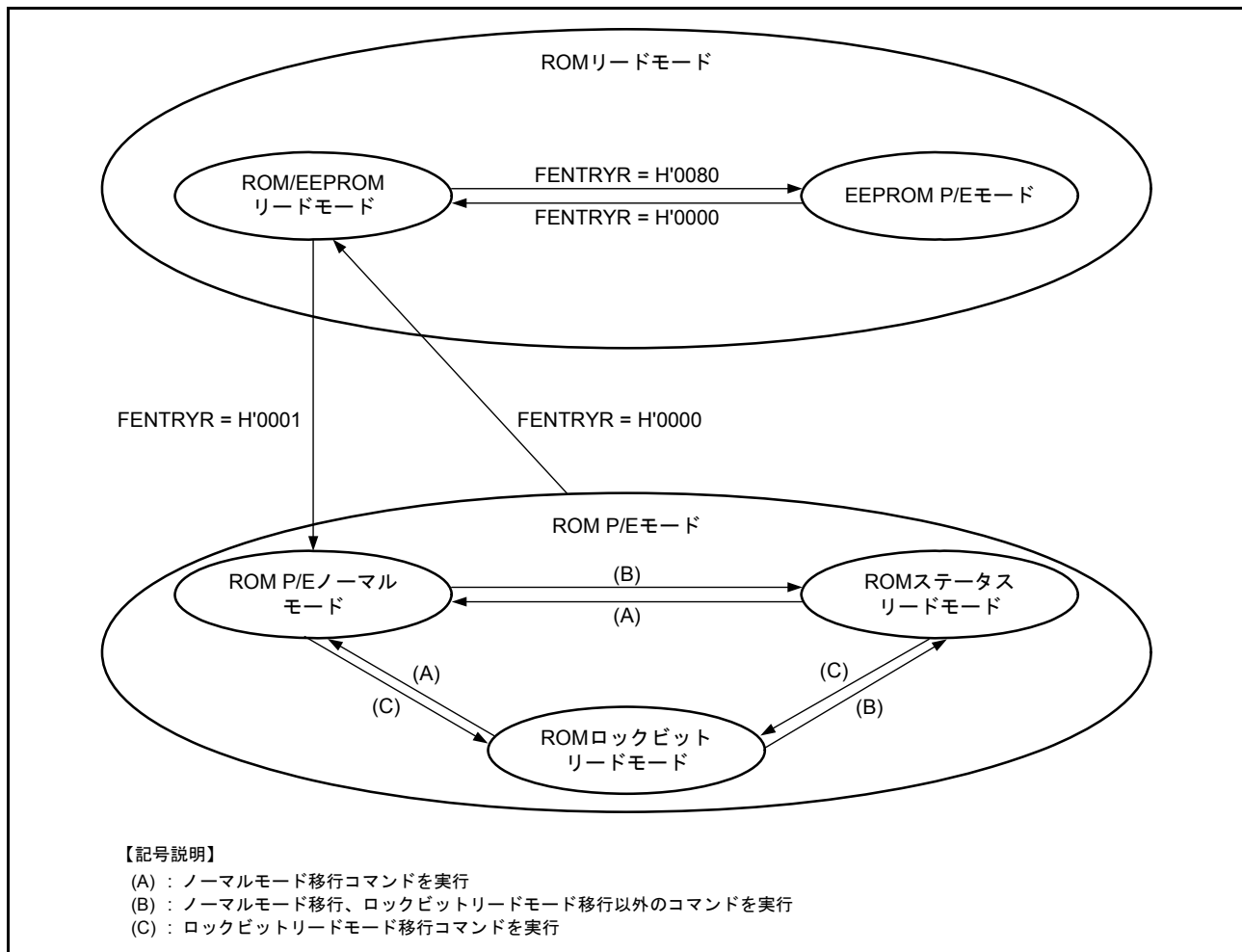


図 24.13 FCU のモード遷移図 (ROM 関連)

注. • FENTRYR レジスタ書き込みによるモードの遷移のときは注意が必要です。

FENTRYR レジスタ書き込み後、FENTRYR レジスタ読み出し命令を実行し、NOP 命令を 5 個以上実行してください。

(1) ROM リードモード

• ROM/EEPROM リードモード

ROM キャッシュ経由で ROM を、周辺バス A 経由で EEPROM を高速読み出し可能なモードです。FCU コマンドは受け付けられません。FENTRYR レジスタの FENTRY0 ビットを“0”に、かつ FENTRYD ビットを“0”に設定した場合に、このモードに遷移します。

• EEPROM P/E モード

ROM キャッシュ経由で ROM を高速読み出し可能なモードです。FCU は EEPROM 関連の FCU コマンドを受け付けますが、ROM に対する FCU コマンドは受け付けません。FENTRYR レジスタの FENTRY0 ビットを“0”に、かつ FENTRYD ビットを“1”に設定した場合に、このモードに遷移します。EEPROM P/E モードの詳細は、「25.6.2 FCU コマンド受け付け条件」を参照してください。

(2) ROM P/E モード

• ROM P/E ノーマルモード

ROM リードモード時に FENTRYR レジスタの FENTRYD ビットを“0”、かつ FENTRY0 ビットを“1”に設定した場合、または ROM P/E モードでノーマルモード移行コマンドを受け付けた場合に遷移するモードです。表 24.14 に受け付け可能なコマンドを示します。ROM の高速読み出しは実行できません。FENTRY0 ビットが“1”の状態では H'8080 0000 ~ H'8087 FFFF に対して周辺バス A リードアクセスを発行した場合には、ROM アクセス違反が発生して FCU はコマンドロック状態になります（「24.8.2 エラープロテクト」を参照）。

• ROM ステータスリードモード

ROM P/E モードでノーマルモード移行、ロックビットリードモード移行以外のコマンドを受け付けた場合に遷移するモードです。FSTATR0 レジスタの FRDY ビットが“0”の状態やエラー発生後のコマンドロック状態も、ROM ステータスリードモード中の状態です。表 24.14 に受け付け可能なコマンドを示します。ROM の高速読み出しは実行できません。FENTRYR レジスタの値は、ROM P/E ノーマルモードと同じ値です。FENTRY0 ビットが“1”の状態では H'8080 0000 ~ H'8087 FFFF に対して周辺バス A リードアクセスを発行した場合には、FSTATR0 レジスタの値が読み出されます。

• ROM ロックビットリードモード

ROM P/E モードでロックビットリードモード移行コマンドを受け付けた場合に遷移するモードです。表 24.14 に受け付け可能なコマンドを示します。ROM の高速読み出しは実行できません。FENTRYR レジスタの値は、ROM P/E ノーマルモードと同じ値です。FENTRY0 ビットが“1”の状態では H'8080 0000 ~ H'8087 FFFF に対して周辺バス A リードアクセスを発行した場合には、読み出しデータの全ビットがアクセス先の消去ブロックのロックビット値になります。

表 24.14 に ROM P/E モードの各モード/状態と受け付け可能なコマンドの関係を示します。受け付け不可能なコマンドが発行された場合には、FCU はコマンドロック状態になります（「24.8.2 エラープロテクト」を参照）。

FCU コマンドを確実に受け付けさせたい場合には、発行するコマンドを受け付け可能なモードに移行し、FSTATR0 レジスタの FRDY、ILGLERR、ERSERR、PRGERR ビットと FSTATR1 レジスタの FCUERR、FRDTCT、FRCRCT ビットの値を確認した後に FCU コマンドを発行してください。FASTAT レジスタの CMDLK ビットの値は、FSTATR0 レジスタの ILGLERR、ERSERR、PRGERR と FSTATR1 レジスタの FCUERR、FRDTCT、FRCRCT ビットの値の論理和です。このため、CMDLK ビットを確認して FCU のエラー発生状況を確認することもできます。次ページの表 24.14 では、エラー発生状況を表すビットに CMDLK ビットを使用しています。書き込み/消去の処理中、書き込み/中断処理の処理中、ロックビットリード 2 処理中には FSTATR0 レジスタの FRDY ビットが“0”になります。FRDY ビットが“0”の場合で P/E サスペンドコマンドが受け付け可能な状態は、FSTATR0 レジスタの SUSRDY ビットが“1”の場合のみです。

表 24.14 では、表を簡素化するために FSTATR0 レジスタの ERSSPD ビット、PRGSPD ビット、FRDY ビットの値を 0/1 と表記しています。ERSSPD ビットは、消去の中断処理中の場合には“1”、書き込みの中断処理中の場合には“0”になります。PRGSPD ビットは、書き込みの中断処理中の場合には“1”、消去の中断処理中の場合には“0”になります。コマンドロック状態の FRDY ビットの値は、コマンドロック状態に遷移する前の FRDY ビットの値が保持されます。

表24.14 FCUのモード/状態と受け付け可能なコマンドの関係

項目	P/Eノーマルモード			ステータスリードモード									ロックビットリードモード		
	書き込みサスペンド中	消去サスペンド中	その他の状態	書き込み/消去の処理中	消去サスペンド中の書き込み処理中	書き込み/消去の中断処理中	ロックビットリード2処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態 (FRDY=0)	コマンドロック状態 (FRDY=1)	その他の状態	書き込みサスペンド中	消去サスペンド中	その他の状態
FSTATR0レジスタのFRDYビット	1	1	1	0	0	0	0	1	1	0	1	1	1	1	1
FSTATR0レジスタのSUSRDYビット	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
FSTATR0レジスタのERSSPDビット	0	1	0	0	1	0/1	0/1	0	1	0/1	0/1	0	0	1	0
FSTATR0レジスタのPRGSPDビット	1	0	0	0	0	0/1	0/1	1	0	0/1	0/1	0	1	0	0
FASTATレジスタのCMDLKビット	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0
ノーマルモード移行	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
ステータスリードモード移行	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
ロックビットリードモード移行(ロックビットリード1)	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
周辺クロックA通知	×	×	○	×	×	×	×	×	×	×	×	○	×	×	○
プログラム	×	△	○	×	×	×	×	×	△	×	×	○	×	△	○
ブロックイレーズ	×	×	○	×	×	×	×	×	×	×	×	○	×	×	○
P/Eサスペンド	×	×	×	○	×	×	×	×	×	×	×	×	×	×	×
P/Eレジューム	○	○	×	×	×	×	×	○	○	×	×	×	○	○	×
ステータスレジスタクリア	○	○	○	×	×	×	×	○	○	×	○	○	○	○	○
ロックビットリード2	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
ロックビットプログラム	×	△	○	×	×	×	×	×	△	×	×	○	×	△	○

【記号説明】

○：受け付け可能

△：消去中断したブロック以外への書き込みのみ受け付け可能

×：受け付け不可能

24.6.3 FCU コマンド使用方法

FCU RAM へのファームウェア転送および FCU コマンド発行時のユーザ処理フロー例を示します。本節で紹介するフローでは、FCU コマンド発行前の FCU 状態確認は実施せず、フロー終了前にコマンド実行結果を確認している場合があります。FCU コマンドを確実に受け付けさせたい場合には、フロー開始前に FCU 状態を確認してください(「24.6.2 FCU コマンド受け付け条件」を参照)。

本節で紹介するフローでは、FSTATR0 レジスタの FRDY/ILGLERR/ERSERR/PRGERR/SUSRDY/ERSSPD/PRGSPD ビットと FSTATR1 レジスタの FCUERR/FRDTCT/FRCRCT ビットを使用して、FCU のコマンド処理状況とエラー発生状況を確認しています。FSTATR0 と FSTATR1 レジスタはワードアクセスで同時に読み出し可能であるため、1 回のレジスタアクセスで FCU の状態を確認できます。FSTATR0 レジスタの FRDY ビットと FSTAT レジスタの CMDLK ビットを使用して FCU の状態を確認する方法を使用する場合には、2 回のレジスタアクセスが必要になりますが、CMDLK ビットのみでエラーの有無を判定が可能です。

FCU がコマンド処理中に FCUERR ビットが“1”または FCDCLE/FRCCLC ビットが“1”にセットされた状態で FRDTCT/FRCRCT ビットが“1”にセットされてコマンドロック状態に遷移した場合には、FRDY ビットは“0”を保持します。コマンドロック状態では FCU の処理が停止するため、FRDY ビットが“0”から“1”にセットされることはありません。書き込み/消去時間やサスペンド遅延時間(「30. 電気的特性」参照)よりも長期間にわたって FRDY ビットが“0”に保持される場合は、コマンドロック状態で FCU の処理が停止するなどの異常動作が発生している可能性があるため、FCU リセットによって FCU を初期化してください。FCU のコマンド処理が完了して FRDY ビットが“1”にセットされた場合には、FCUERR ビットと FRDTCT/FRCRCT ビットは必ず“0”の状態です。このため、コマンド処理完了後のエラー発生状況は、ILGLERR ビット、ERSERR ビット、PRGERR ビットで確認が可能です。

(1) FCU RAM へのファームウェア転送方法

FCU コマンドを使用するためには、FCU RAM に FCU 用のファームウェアを格納する必要があります。チップ起動時には FCU RAM に FCU のファームウェアが格納されていないため、FCU ファーム領域に格納された FCU ファームウェアを FCU RAM にコピーする必要があります。また、FSTATR1 レジスタの FCUERR ビットまたは FRDTCT/FRCRCT ビットが“1”の場合には、FCU RAM に格納されたファームウェアが破壊されている可能性があるため、FCU をリセットし FCU ファームを再コピーする必要があります。

図 24.14 に FCU RAM へのファームウェア転送フローを示します。FCU RAM にデータを書き込む場合には、FENTRYR レジスタを H'0000 に設定して、FENTRYR レジスタ読み出し命令を実行後に NOP 命令を 5 個以上実行し、FCU を停止してください。DMAC 設定方法の詳細は、「12. DMAC」を参照してください。

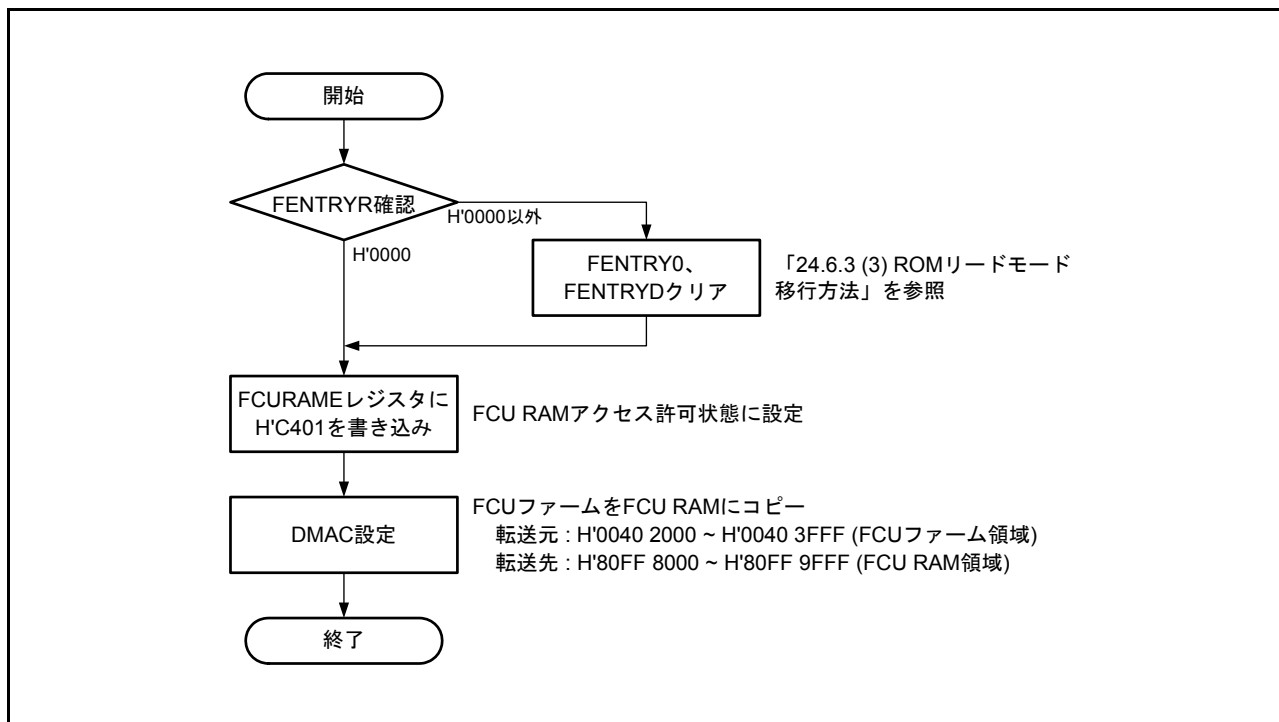


図 24.14 FCU RAM へのファームウェア転送フロー

(2) ROM P/E モード移行方法

ROM 関連の FCU コマンドを実行するためには、FENTRYR レジスタの FENTRY0 ビットを設定して、FENTRYR レジスタ読み出し命令を実行後に NOP 命令を 5 個以上実行し、FCU を ROM P/E モードに設定する必要があります(「24.6.2 FCU コマンド受け付け条件」を参照)。

ROM に対する FCU コマンドを使用したい場合には、FENTRY0 ビットを“1”に設定します。FENTRY0 ビットの書き込み条件については、「24.3.8 フラッシュ P/E モードエントリレジスタ (FENTRYR)」を参照してください。

ROM リードモードから ROM P/E モードに移行した場合には、ROM P/E ノーマルモードになります。

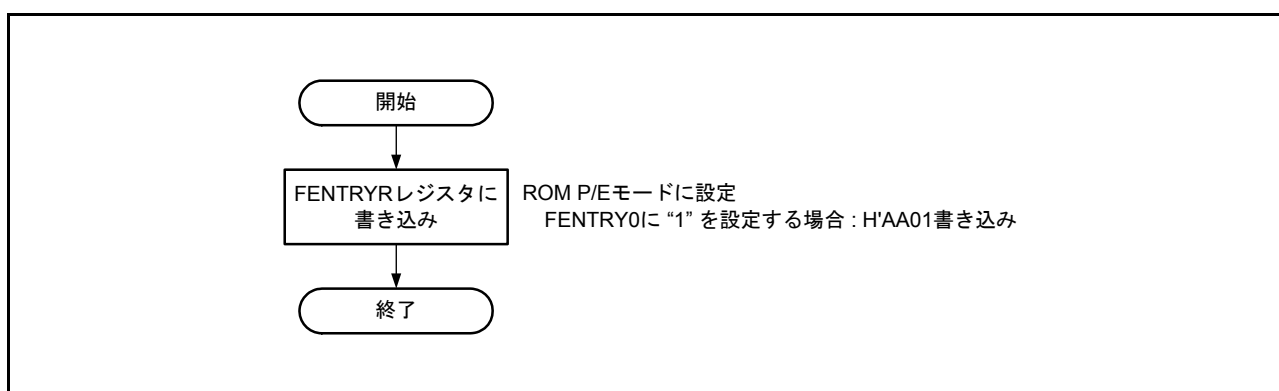


図 24.15 ROM P/E モード移行フロー

(3) ROM リードモード移行方法

ROM キャッシュ経由でROMを高速読み出しするためには、FENTRYRレジスタのFENTRY0ビットをクリアして、FENTRYRレジスタ読み出し命令実行後にNOP命令を5個以上実行し、FCUをROMリードモードに設定する必要があります(「24.6.2 FCU コマンド受け付け条件」を参照)。ROM P/EモードからROMリードモードへの移行は、FCUのコマンド処理が完了し、かつFCUがエラー検出していない状態で実施してください。

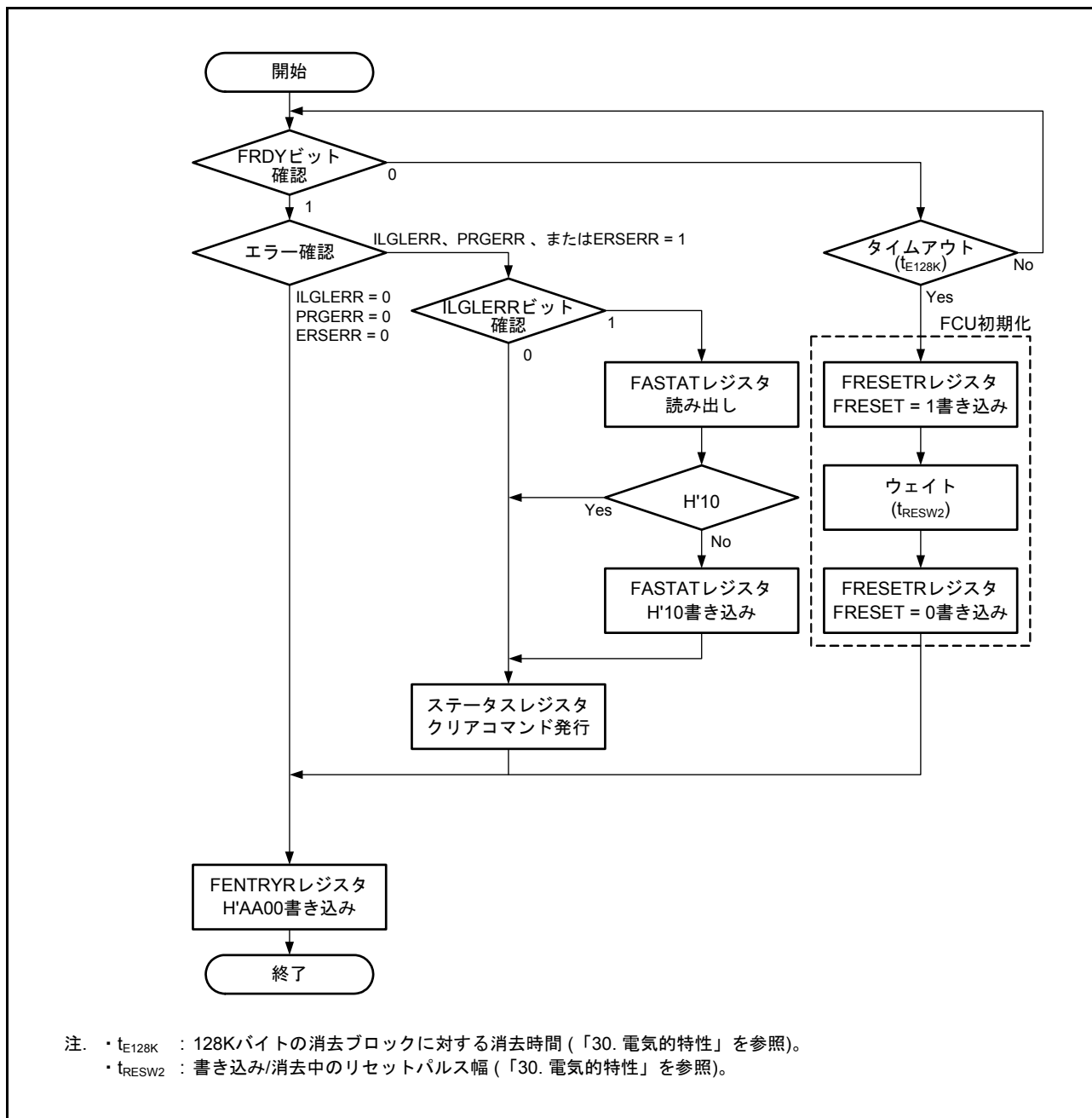


図 24.16 ROM リードモード移行フロー

(4) ROM P/E ノーマルモード移行コマンド使用方法

ROM P/E ノーマルモードへの移行方法には、ROM リードモード時に FENTRYR レジスタを設定する方法 (「24.6.3 (1) FCU RAM へのファームウェア転送方法」を参照) と ROM P/E モード時にノーマルモード移行コマンドを発行する方法 (図 24.17) があります。ステータスリードモード移行、ロックビットリードモード移行コマンドの使用方法もノーマルモード移行コマンドの使用方法と同様です。

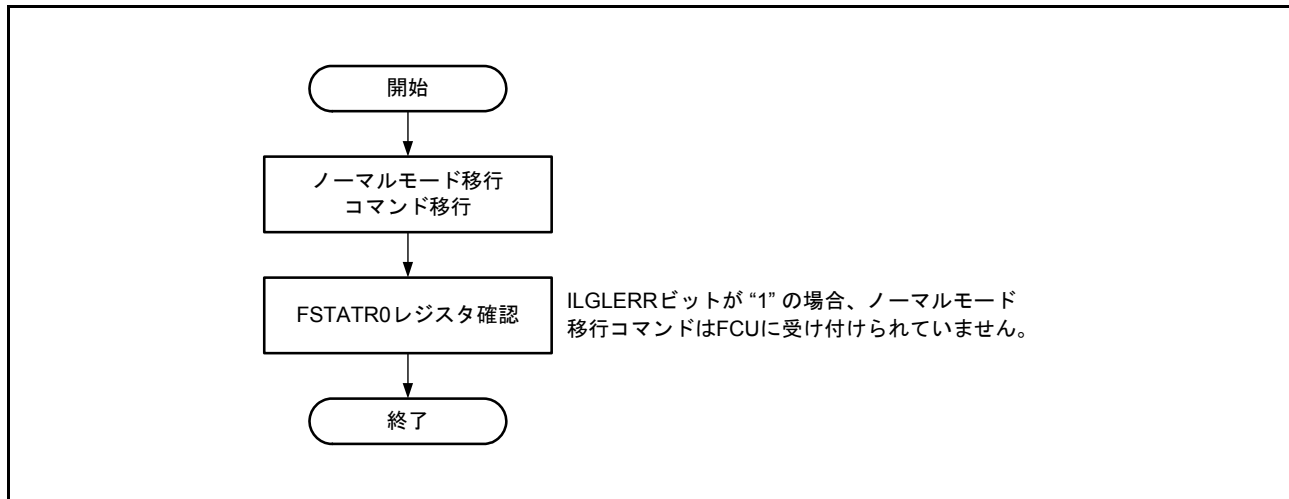


図 24.17 ROM P/E ノーマルモード移行コマンド使用方法

(5) 周辺バスクロック A 通知コマンドの使用法

ROM への書き込み/消去前に使用している周辺バスクロック A の周波数を PBAN レジスタに設定する必要があります。設定可能な周波数の範囲は 8~50MHz です。この範囲以外には設定しないでください。

PBAN レジスタの設定後に周辺バスクロック A 通知コマンドを使用します。周辺バスクロック A 通知コマンドの第 1 サイクルでは H'E9 を、第 2 サイクルでは H'03 を ROM 書き込み/消去用のアドレスにバイト書き込みします。コマンドの第 3 サイクル~第 5 サイクルでは、ワードサイズで書き込みを実行します。この際、先頭アドレスは 4 バイト境界にアラインしたアドレスを使用してください。ROM 書き込み/消去用のアドレスに対して H'0F0F データの 3 回ワード書き込みを実行後、第 6 サイクルで ROM 書き込み/消去用のアドレスに対して H'D0 をバイト書き込みすると、FCU が周辺バスクロック A の周波数設定処理を開始します。設定完了は、FSTATR0 レジスタの FRDY ビットで確認可能です。

第 1 サイクル~第 6 サイクルで指定可能なアドレスは、FENTRYR レジスタの FENTRY0 ビットの設定によって異なります。FENTRYR レジスタの FENTRY0 ビットに対応したアドレスを指定してください。誤った FENTRYR レジスタの FENTRY0 ビットとアドレス指定の組み合わせでコマンドを発行した場合には、FCU はエラーを検出しコマンドロック状態になります (「24.8.2 エラープロテクト」を参照)。

なお、この設定はリセット後、使用している周辺クロックの設定を変更しなければ、1 回の実行で後続の FCU コマンドで有効になります。

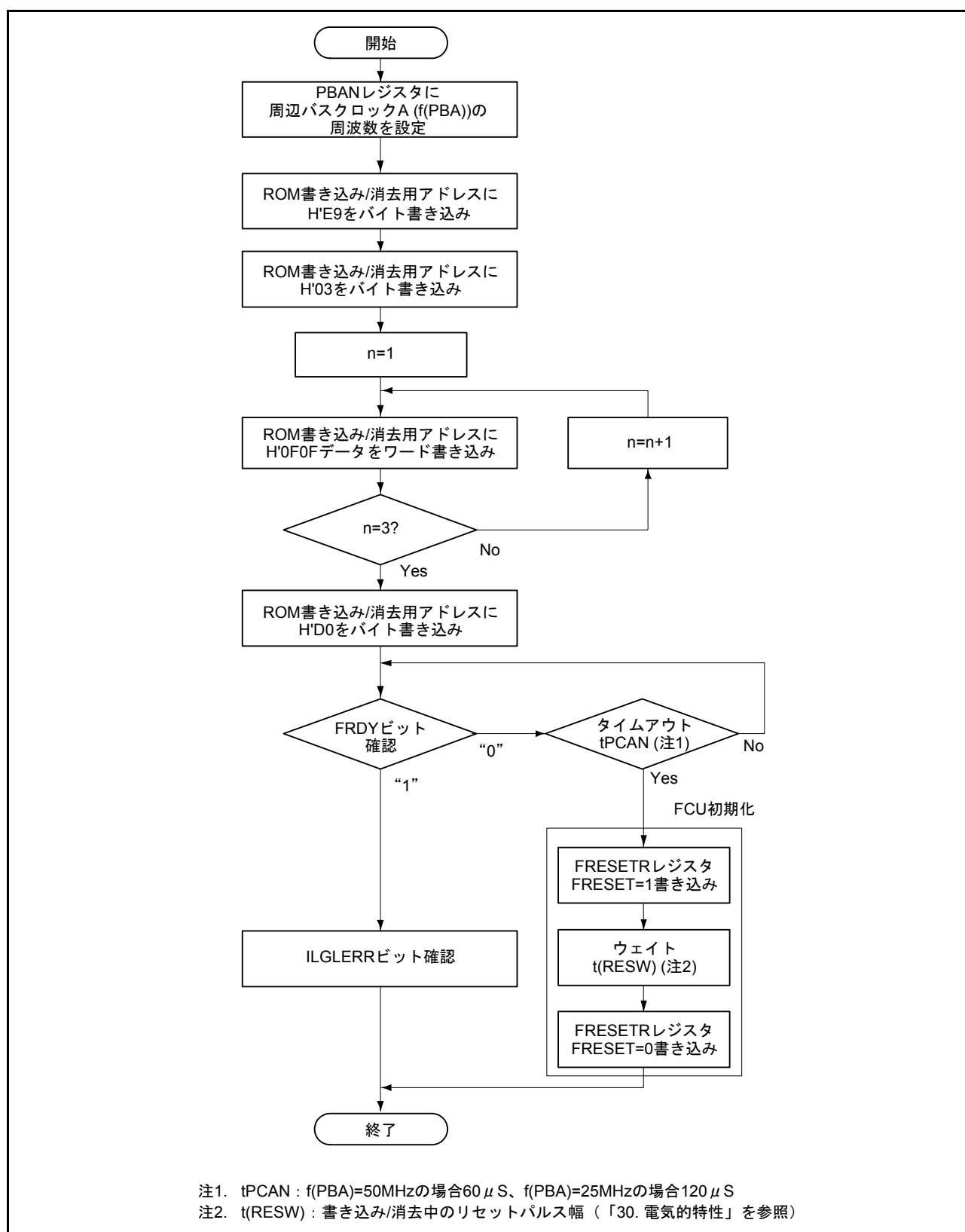


図 24.18 周辺バスクロック A 通知コマンドの使用法

(6) 書き込み方法

ROM へのデータ書き込みには、プログラムコマンドを使用します。プログラムコマンドの第1サイクルでは H'E8 を、第2サイクルでは H'80 を、ROM 書き込み/消去用のアドレスにバイト書き込みします。コマンドの第3~130サイクルでは、ワードサイズで周辺バス A アクセスを実行します。第3サイクルのアクセスでは、プログラム対象領域の先頭アドレスに対して書き込みデータを書き込んでください。この際、先頭アドレスは 256 バイト境界にアラインしたアドレスを使用してください。ROM 書き込み/消去用のアドレスに対して 127 回のワード書き込みを実行後、第131サイクルで ROM 書き込み/消去用のアドレスに対して H'D0 をバイト書き込みすると FCU が ROM の書き込み処理を開始します。書き込みの完了は、FSTATR0 レジスタの FRDY ビットで確認可能です。

第1~第131サイクルで指定可能なアドレスは、FENTRYR レジスタの、FENTRY0 を“1”に設定した場合にはアドレス H'8080 0000 ~ H'8087 FFFF を指定可能です。誤った FENTRY0 ビットとアドレス指定の組み合わせでコマンドを発行した場合には、FCU はエラーを検出しコマンドロック状態になります（「24.8.2 エラープロテクト」を参照）。

第3~第130サイクルでアクセスする領域に書き込み不要なアドレスが含まれる場合は、該当アドレスに対する書き込みデータを H'FFFF にしてください。ロックビットによるプロテクトを無効化して書き込みを実施したい場合には、FPROTR レジスタの FPROTCN ビットを“1”にセットしてから書き込みを行ってください。

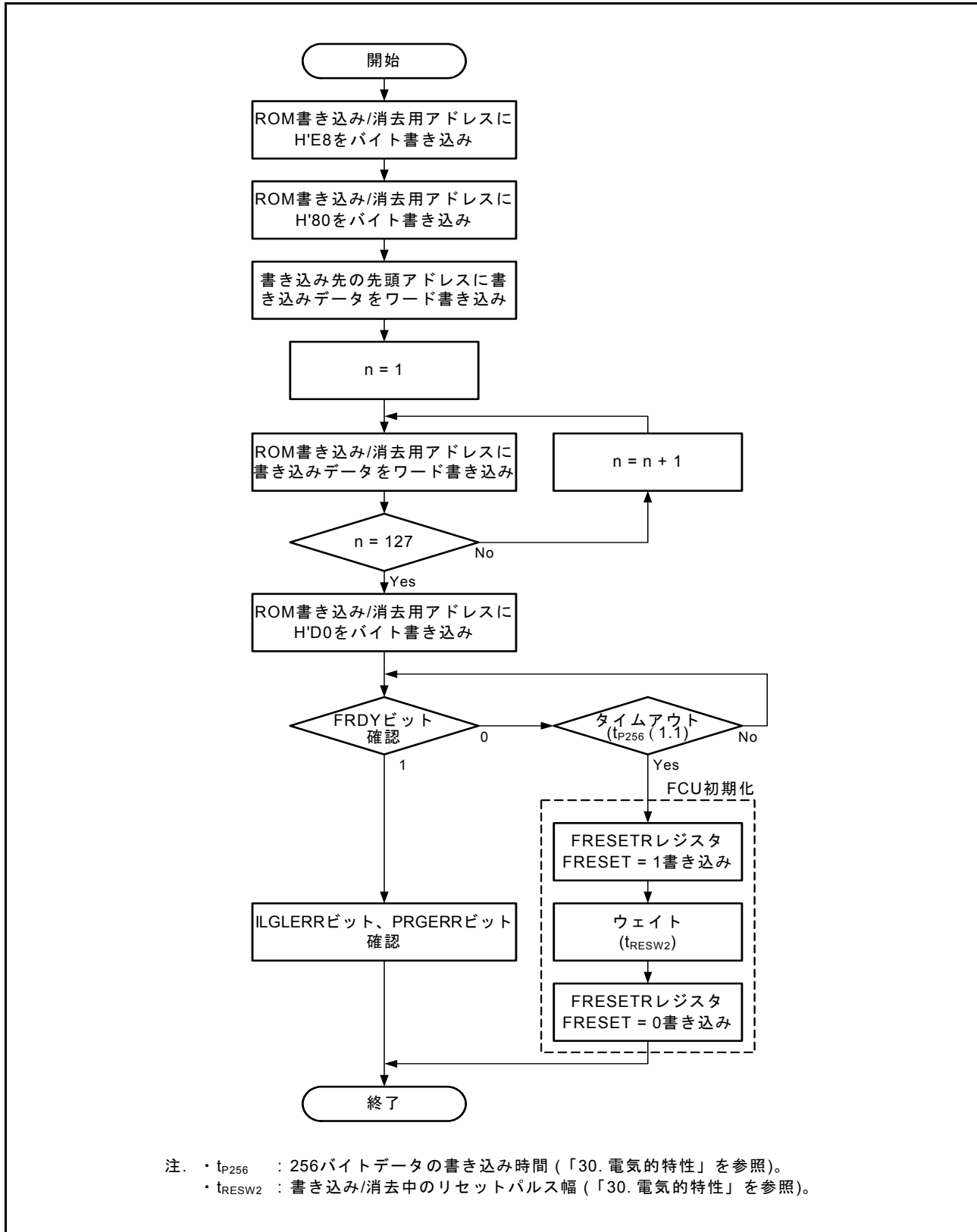


図 24.19 ROM 書き込み方法

(7) 消去方法

ROMの消去には、ブロックイレーズコマンドを使用します。ブロックイレーズコマンドの第1サイクルではH'20をROM書き込み/消去用アドレスにバイト書き込みします。第2サイクルでH'D0を消去対象ブロック内の任意アドレスにバイト書き込みするとFCUがROMの消去処理を開始します。消去の完了は、FSTATR0レジスタのFRDYビットで確認可能です。(FRDYビット=“1”)

ロックビットによるプロテクトを無効化して消去を実施したい場合には、FPROTRレジスタのFPROTCNビットを“1”にセットしてから消去を行ってください。

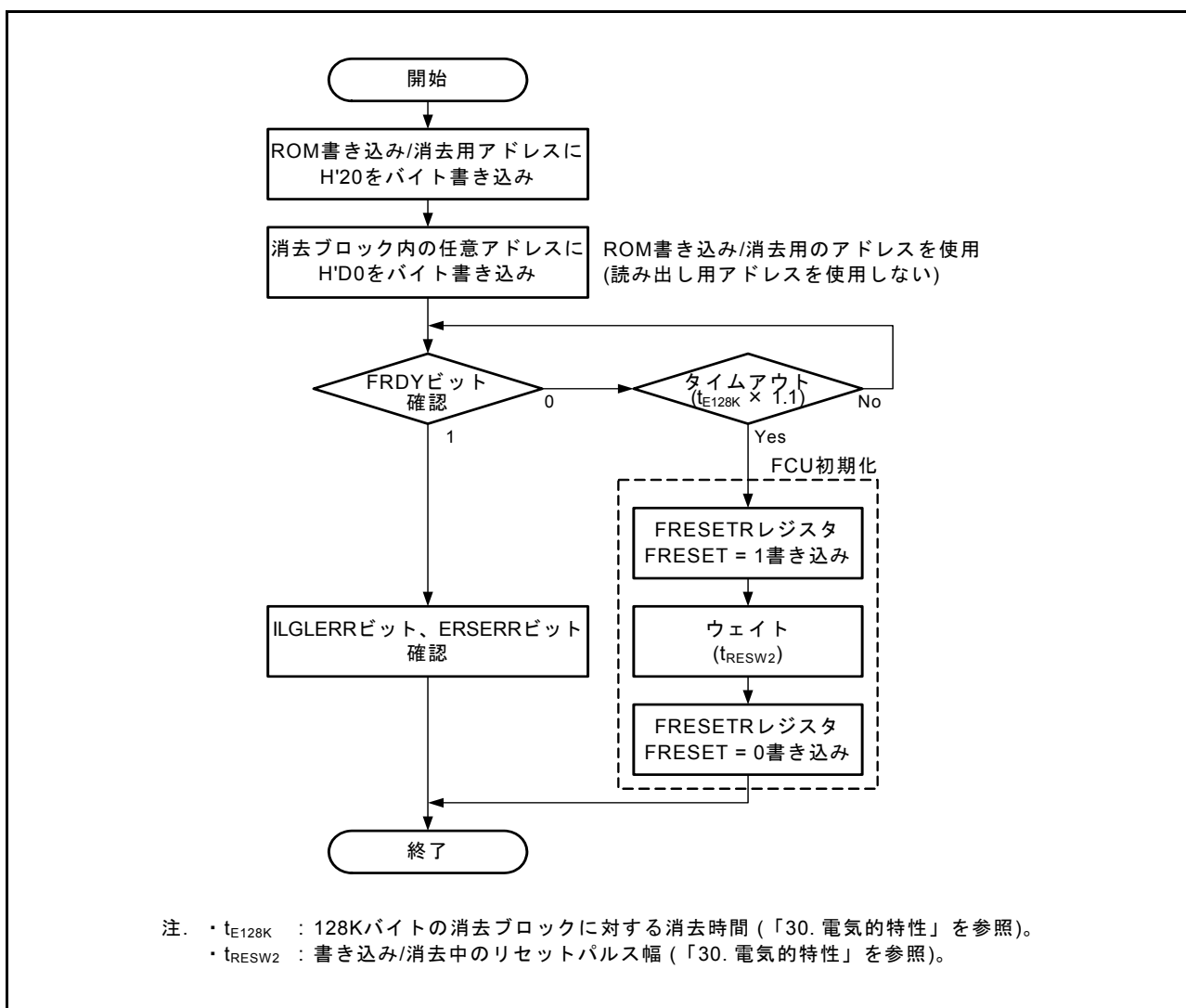


図 24.20 ROM 消去方法

(8) 書き込み / 消去のサスペンド方法

ROMの書き込み/消去の中断には、P/E サスペンドコマンドを使用します。P/E サスペンドコマンドを発行する場合には、事前に FSTATR0 レジスタの ILGLERR/ERSERR/PRGERR ビットと FSTATR1 レジスタの FCUERR/FRDTCT/FRCRCT ビットが“0”で書き込み/消去処理が正常に実行されていることを確認してください。また、サスペンドコマンドが受け付け可能であることを確認するために、FSTATR1 レジスタの SUSRDY ビットが“1”であることも確認してください。P/E サスペンドコマンドの発行後は、FSTATR0 レジスタと FSTATR1 レジスタを読み出してエラーが発生していないことを確認してください。書き込み/消去処理中に異常が発生した場合には、ILGLERR/PRGERR/ERSERR/FCUERR/FRDTCT/FRCRCT ビットのうち少なくとも1つのビットが“1”になります。また、SUSRDY ビットが“1”であることを確認してから P/E サスペンドコマ

消去サスペンド状態に遷移した場合には、消去対象外のブロックに対する書き込みを実行することができません。また、書き込み/消去サスペンド状態ともに、FENTRYRレジスタをクリアすることにより、ROMリードモードに遷移することも可能です。

なお、P/E サスペンドコマンド受け付け時のFCU動作の内容については、「24.6.4 サスペンド動作」を参照してください。

(9) P/E レジューム

サスペンドした書き込み/消去処理を再開したい場合には、P/E レジュームコマンドを使用します。サスペンド中にFENTRYRレジスタの設定を変更した場合には、P/E レジュームコマンドを発行する前にFENTRYRレジスタをP/E サスペンドコマンド発行直前の値に再設定してください。

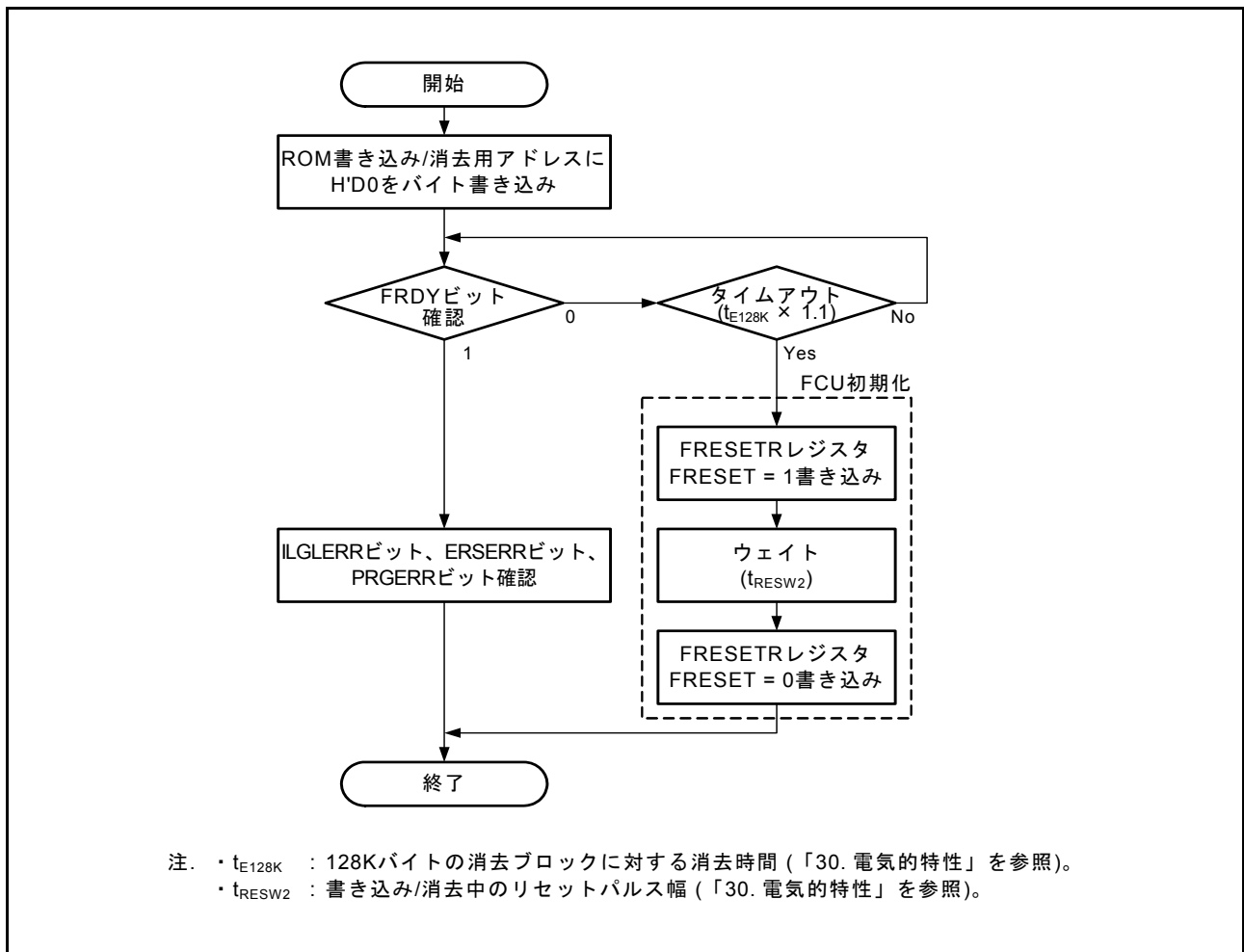


図 24.22 書き込み/消去のレジューム方法

(10) ステータスレジスタ 0 (FSTATR0) のクリア方法

FSTATR0 レジスタの ILGLERR/PRGER/ERSERR ビットをクリアしたい場合には、ステータスレジスタクリアコマンドを使用します。ILGLERR/PRGER/ERSERR ビットのいずれかが“1”である場合、FCU はコマンドロック状態になりステータスレジスタクリアコマンド以外の FCU コマンドを受け付けません。ILGLERR ビットが“1”の場合には、FASTAT レジスタの ROMAE、EEPAAE、EEPIFE、EEPRPE、および EEPWPE ビットの値も確認してください。これらのビットをクリアせずにステータスレジスタクリアコマンドを発行しても、ILGLERR ビットはクリアされません。

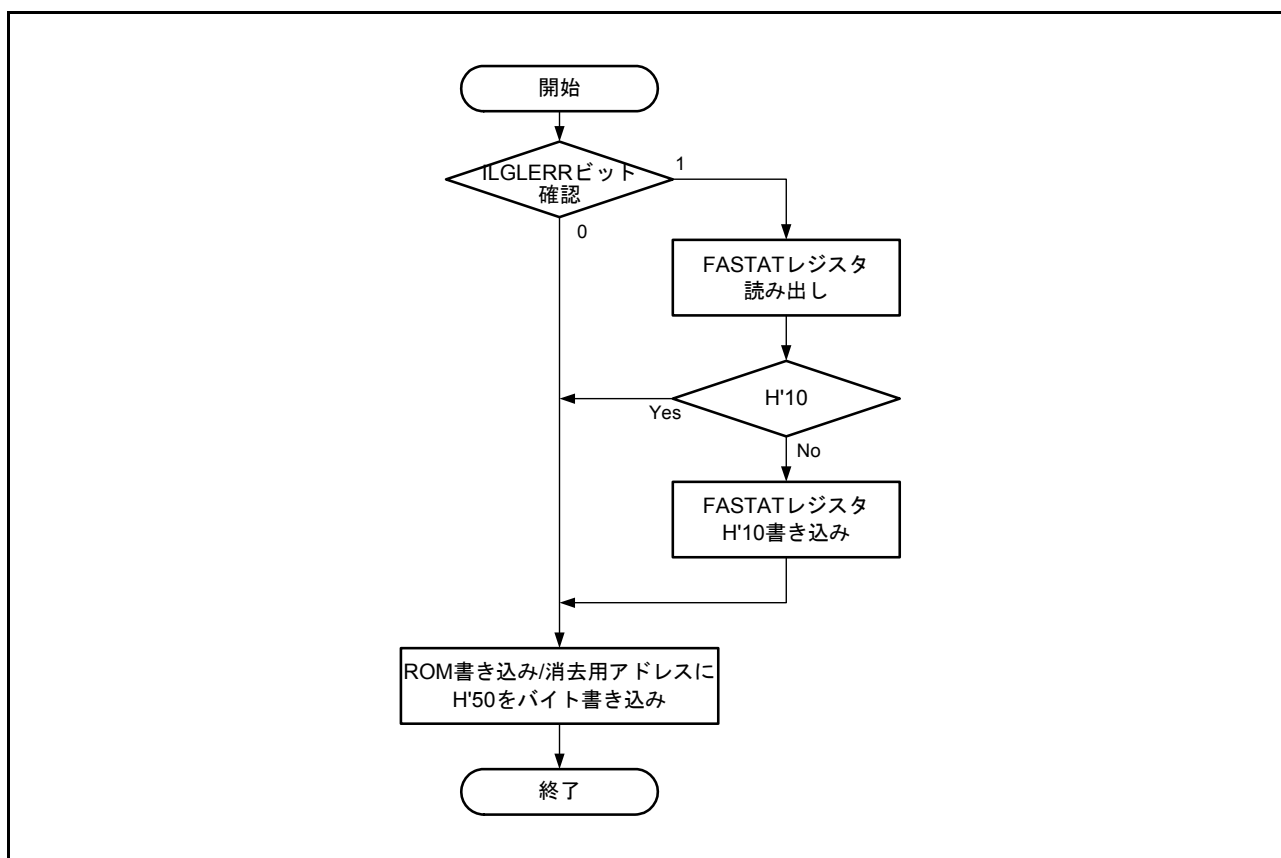


図 24.23 ステータスレジスタ 0 のクリア方法

(11) ステータスレジスタ 0 (FSTATR0) の確認方法

FSTATR0 レジスタの確認方法には、FSTATR0 レジスタを直接読み出す方法と ROM ステータスリードモードで ROM 書き込み / 消去用アドレスを読み出す方法があります。ノーマルモード移行、ロックビットリードモード移行以外の FCU コマンド発行後には、FCU は ROM ステータスリードモードに遷移しています。図 24.24 の例では、ステータスリードモード移行コマンドを発行して ROM ステータスリードモードに移行し、ROM 書き込み / 消去用アドレスを読み出して FSTATR0 の内容を確認しています。

図 24.24 にステータスレジスタの確認方法を示します。

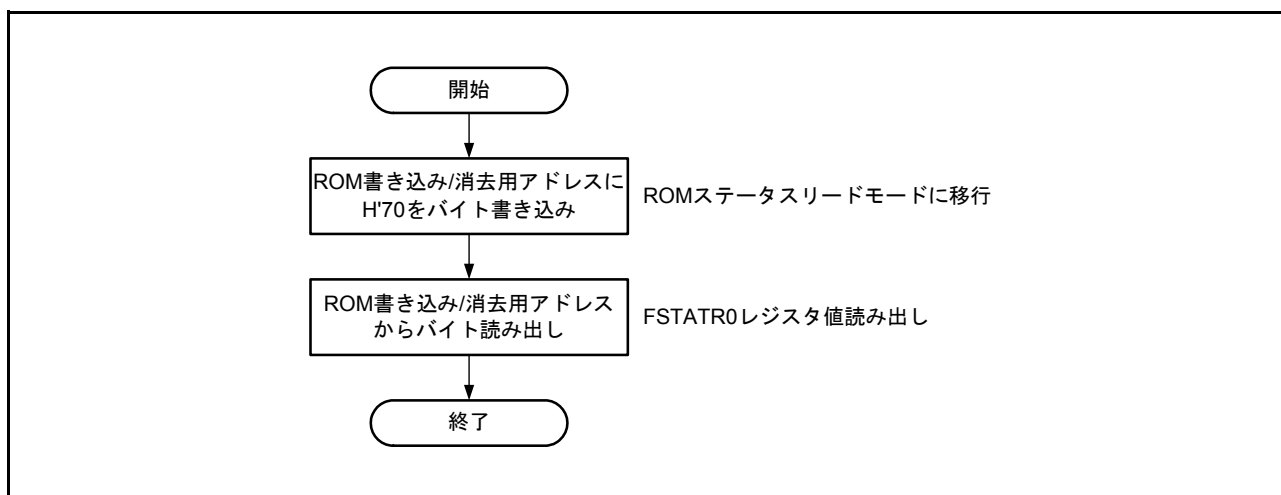


図 24.24 ステータスレジスタの確認方法

(12) ロックビットの読み出し

ユーザマットの各消去ブロックにはロックビットが内蔵されています。FPROTRレジスタのFPROTCNビットが“0”の状態では、ロックビットが“0”に設定された消去ブロックを書き込み/消去することができません。ロックビットの確認方法には、メモリ領域リードモードとレジスタリードモードがあります。メモリ領域リードモード (FMODR レジスタの FRDMD ビットが“0”) の場合には、ROM ロックビットリードモードで ROM 書き込み / 消去用のアドレスに対する読み出しを実行すると、指定した消去ブロックのロックビットが周辺バス A 読み出しデータの全ビットにコピーされます。レジスタリードモード (FMODR の FRDMD が“1”) の場合には、ロックビットリード2 コマンドを発行すると、指定した消去ブロックのロックビットが FSTATR1 レジスタの FLOCKST ビットにコピーされます。

図 24.25 にメモリ領域リードでロックビットを読み出す方法を、図 24.26 にレジスタリードモードでロックビットを読み出す方法を示します。

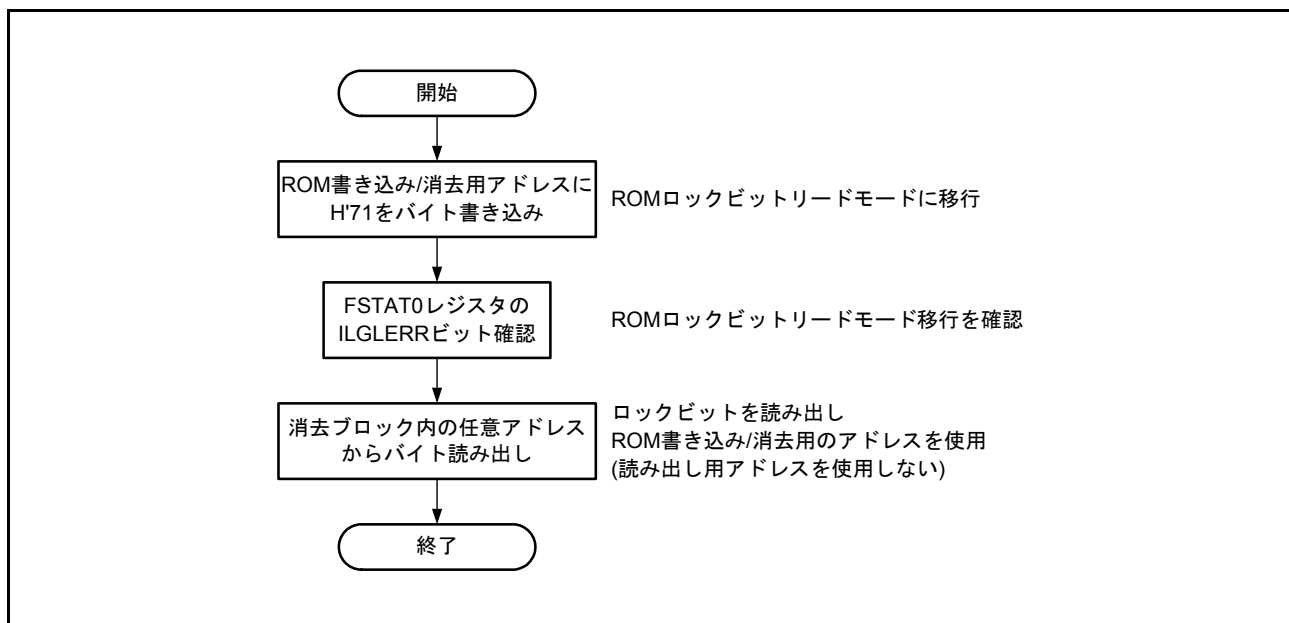


図 24.25 メモリ領域リードでロックビットを読み出す方法

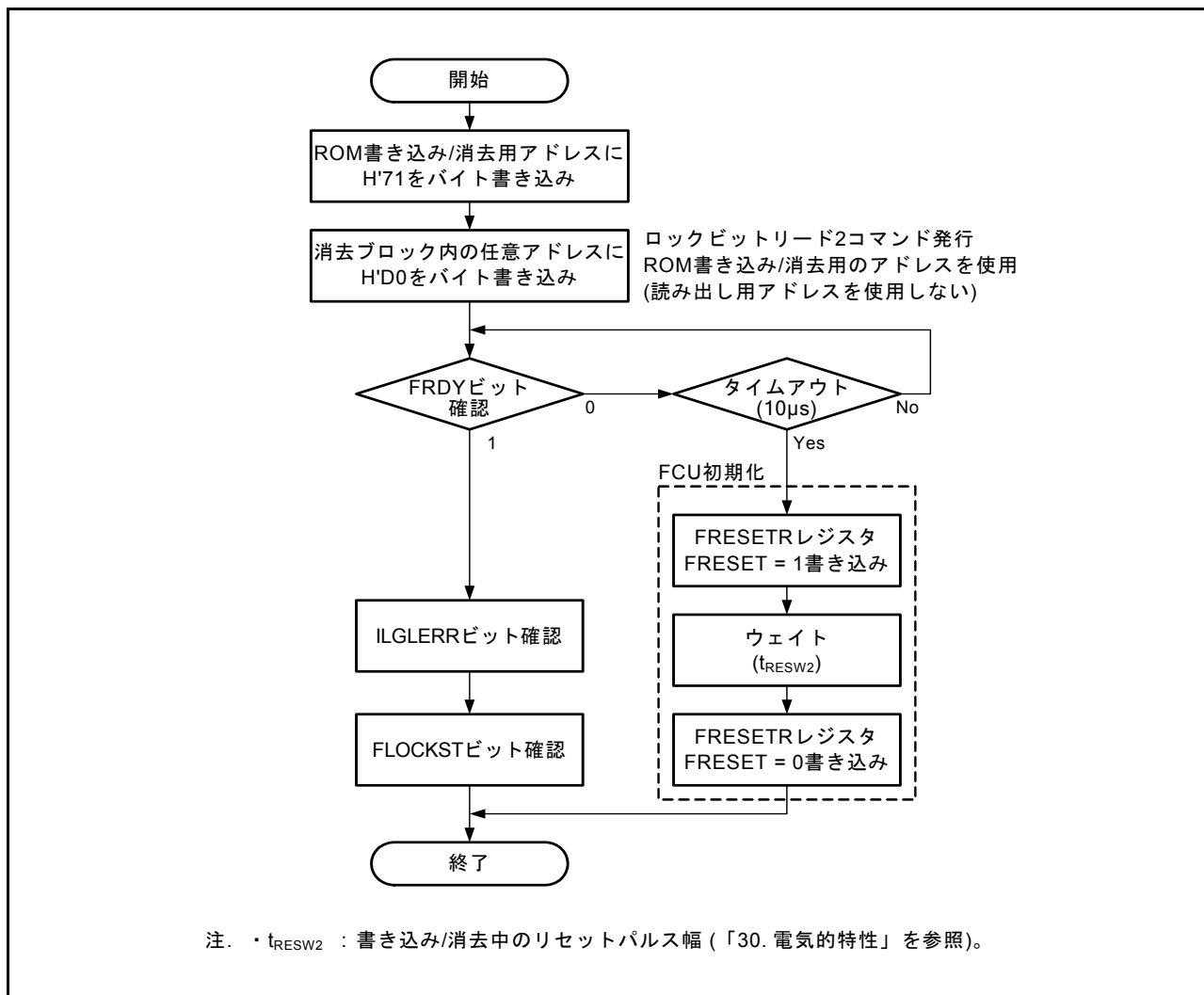


図 24.26 レジスタリードモードでロックビットを読み出す方法

(13) ロックビットの書き込み

ユーザマットの各消去ブロックにはロックビットが内蔵されています。ロックビットに書き込みを行いたい場合にはロックビットプログラムコマンドを使用します。ロックビットプログラムコマンドの第1サイクルではH'77をROM書き込み/消去用アドレスにバイト書き込みします。第2サイクルでロックビットを書き込みたい消去ブロック内の任意アドレスに対してH'D0をバイト書き込みするとFCUがロックビットの書き込み処理を開始します。書き込みの完了は、FSTATR0レジスタのFRDYビットで確認可能です。

図 24.27 にロックビットのプログラム方法を示します。

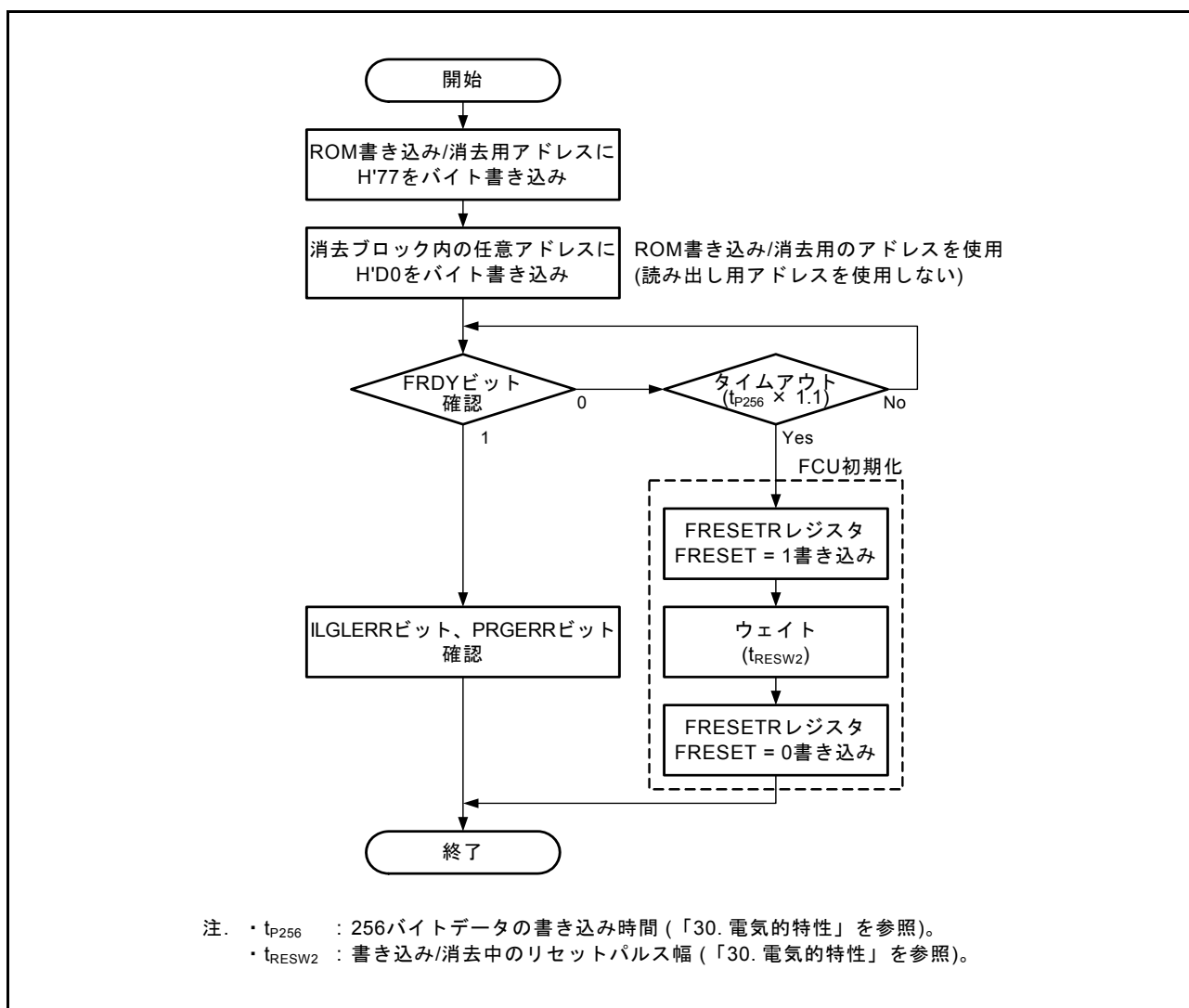


図 24.27 ロックビットのプログラム方法

ロックビットの消去には、ブロックイレーズコマンドを使用します。FPROTR レジスタの FPROTCN ビットが“0”の状態ではロックビットが“0”に設定された消去ブロックを消去することができません。ロックビットを消去する場合には、FPROTCN ビットを“1”にセットした状態でブロックイレーズコマンドを発行してください。ブロックイレーズコマンドを使用すると消去ブロック内の全データが消去されます。ロックビットのみを消去することはできません。

24.6.4 サスペンド動作

ROMの書き込み/消去中にP/Eサスペンドコマンドを発行すると、FCUは書き込み/消去処理を中断します。図24.28に書き込み処理の中断動作を示します。FCUは書き込み系のコマンドを受け付けるとFSTATR0レジスタのFRDYビットを“0”にクリアして書き込み処理を開始します。書き込み処理の開始後にFCUがP/Eサスペンドコマンドを受け付け可能な状態に移行すると、SUSRDYビットが“1”にセットされます。P/Eサスペンドコマンドが発行されると、FCUはサスペンドコマンドを受け付けてSUSRDYビットを“0”にクリアします。書き込みパルス印加中に、FCUがP/Eサスペンドコマンドを受け付けた場合には、FCUはパルスの印加を続けます。所定のパルス印加時間を経過するとFCUはパルスの印加を完了し、書き込みの中断処理を開始してPRGSPDビットを“1”にセットします。中断処理が完了すると、FCUはFRDYビットを“1”にセットして、書き込みサスペンド状態に移行します。書き込みサスペンド状態で、FCUがP/Eレジュームコマンドを受け付けた場合には、FCUはFRDYビットとPRGSPDビットを“0”にクリアして、書き込み処理を再開します。

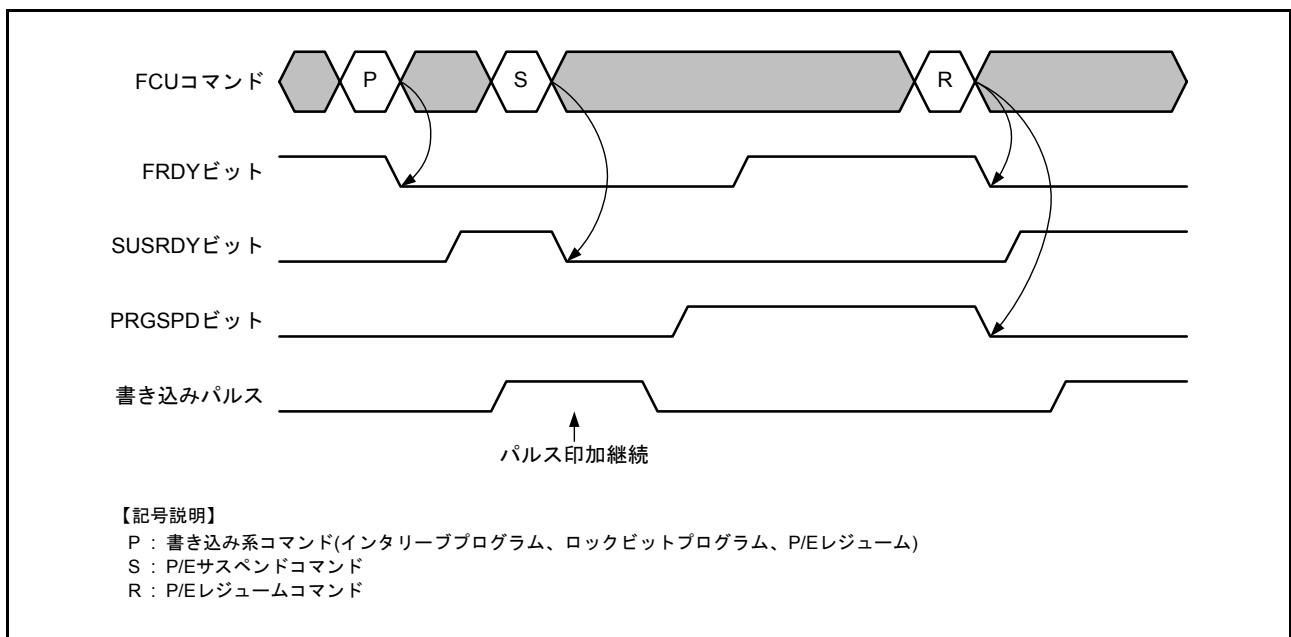


図 24.28 書き込み処理の中断動作

図24.29に消去処理の中断動作を示します。FCUは消去コマンドを受け付けるとFRDYビットを“0”にクリアして消去処理を開始します。消去処理の開始後にFCUがP/Eサスペンドコマンドを受け付け可能な状態に移行すると、SUSRDYビットが“1”にセットされます。P/Eサスペンドコマンドが発行されると、FCUはサスペンドコマンドを受け付けてSUSRDYビットを“0”にクリアします。消去処理中にサスペンドコマンドを受け付けた場合には、FCUはパルス印加中でも中断処理を開始してERSSPDビットを“1”にセットします。中断処理が完了すると、FCUはFRDYビットを“1”にセットして、消去サスペンド状態に移行します。消去サスペンド状態で、FCUがP/Eレジュームコマンドを受け付けた場合には、FCUはFRDYビットとERSSPDビットを“0”にクリアして、消去処理を再開します。消去処理の中断/再開時のFRDYビット/SUSRDYビット/ERSSPDビット動作は、消去サスペンドモードに依存せず同様です。

消去処理の中断は、消去パルスの制御に影響を与えます。P/Eレジュームコマンド発行後、P/Eサスペンドコマンドを発行する場合はP/Eレジュームコマンド発行後から1.7ms以上の間隔を空けてP/Eサスペンドコマンドを発行する必要があります。

消去コマンド発行後、消去パルスを印加中に、FCUが1回目のP/Eサスペンドコマンドを受け付けた場合には、FCUは消去パルスの印加を中断して消去サスペンド状態に移行します。P/Eレジュームコマンドにより、消去処理が再開されますが、次のP/Eサスペンドコマンドの発行までの1.7ms内にFCUは消去パルスの

印加を完了します。1.7ms 以上経過後に、FCU が P/E サスペンドコマンドを受け付けると、消去サスペンド状態に移ります。

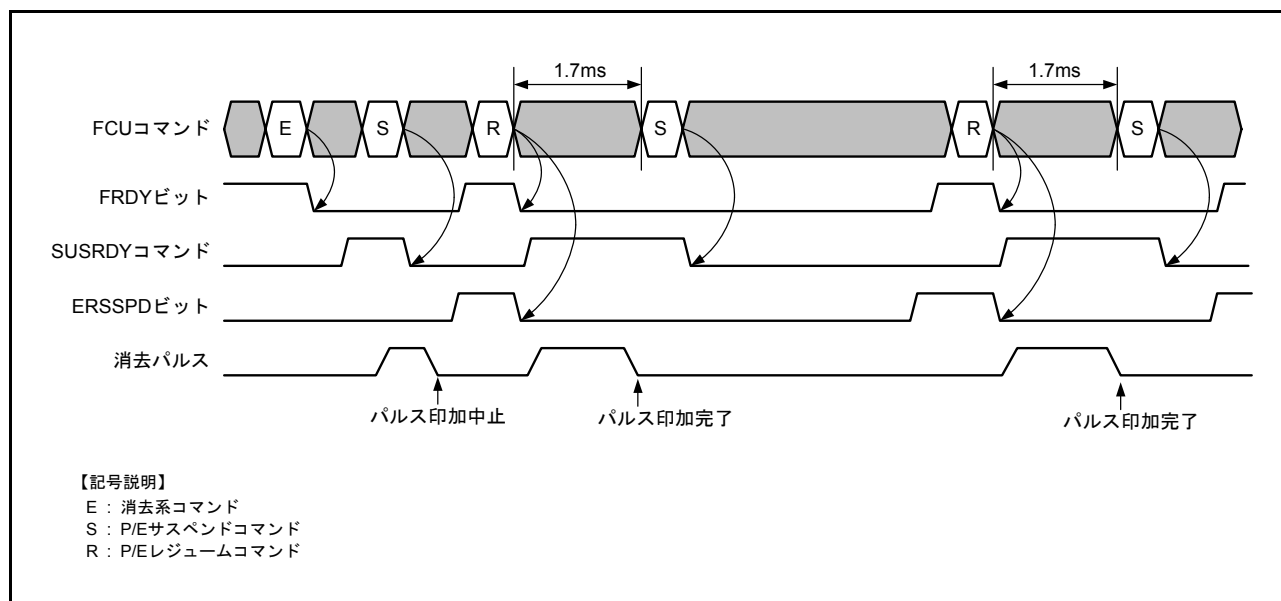


図 24.29 消去処理の中断動作

24.7 ユーザブートモード

ユーザブートモードでは、FCU へ FCU コマンドを発行してユーザマットの書き込み / 消去を実行します。任意の通信インターフェースによる ROM の書き込み / 消去ルーチンをユーザブートマットに書き込んだ後にユーザブートモードで本 LSI を起動することによって、ユーザ任意のブートモードを実現できます。ユーザブートマットの書き込みは、ブートモードで実施してください。

24.7.1 ユーザブートモードの起動シーケンス

本 LSI をユーザブートモードで起動すると、組み込みプログラム格納マットから起動して、FCU RAM への FCU ファーム転送などの処理を実施後、ユーザブートマットのリセットベクタにジャンプします。図 24.30 にユーザブートモードのブートシーケンス概要を示します。

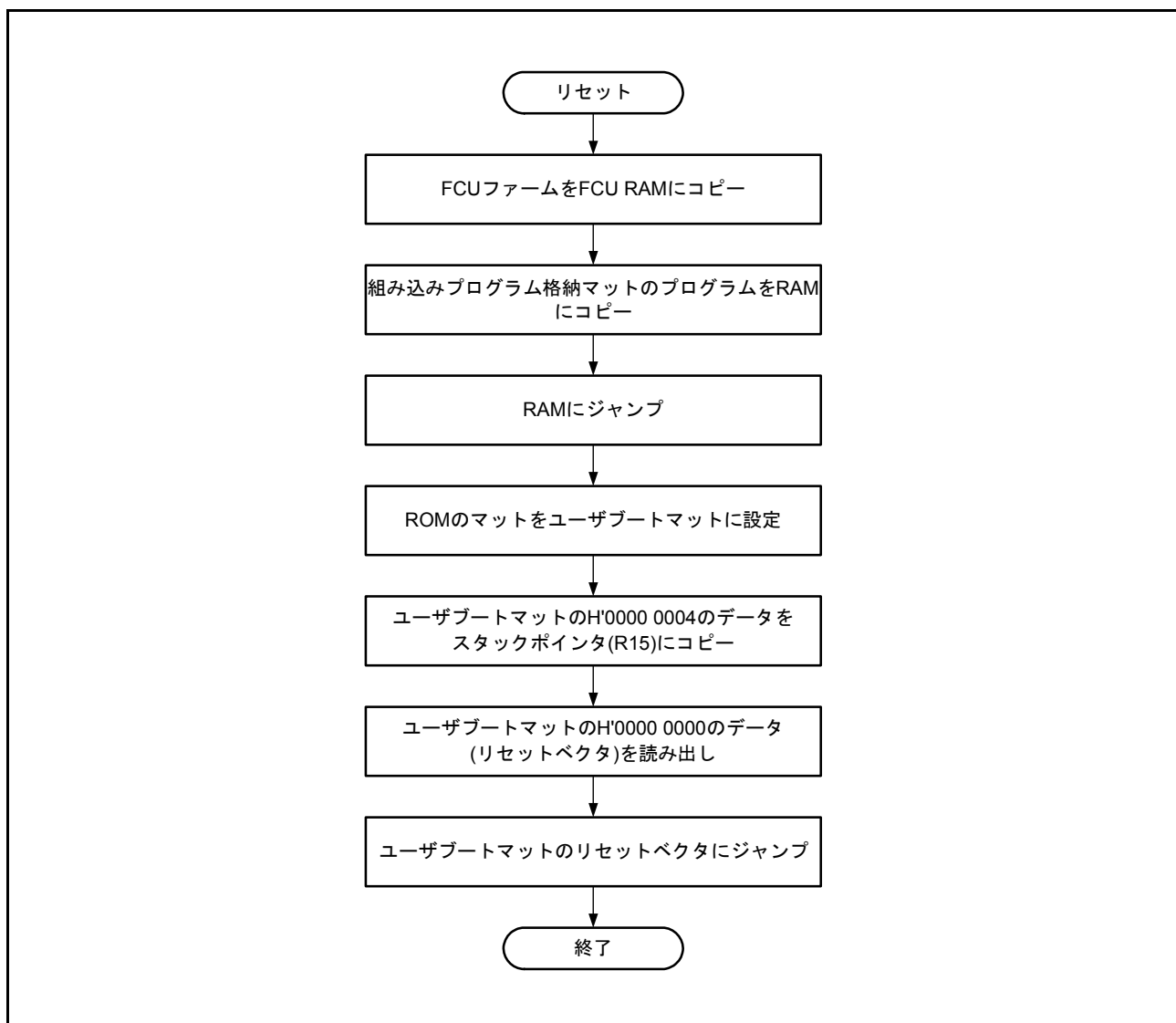


図 24.30 ユーザブートモードのブートシーケンス概要

24.7.2 ユーザマットのプログラミング方法

ユーザブートマットにユーザが作成したユーザマット書き込み/消去ルーチンを格納した状態で、本 LSI をユーザブートモードで起動することにより、ユーザマットのプログラミングを実施することができます。ユーザマット書き込み/消去ルーチンは、RAM にコピーした後に RAM 上で実行してください。ユーザブートモードの初期状態ではユーザブートマットが選択されていますので、必ず ROM のマットをユーザマットに切り替えてからプログラミングを実行してください。ユーザブートマット選択状態で ROM の書き込み/消去用の FCU コマンドを発行しても、FCU は ROM の書き込み/消去を実行しません。図 24.31 にユーザマットのプログラミング例を示します。

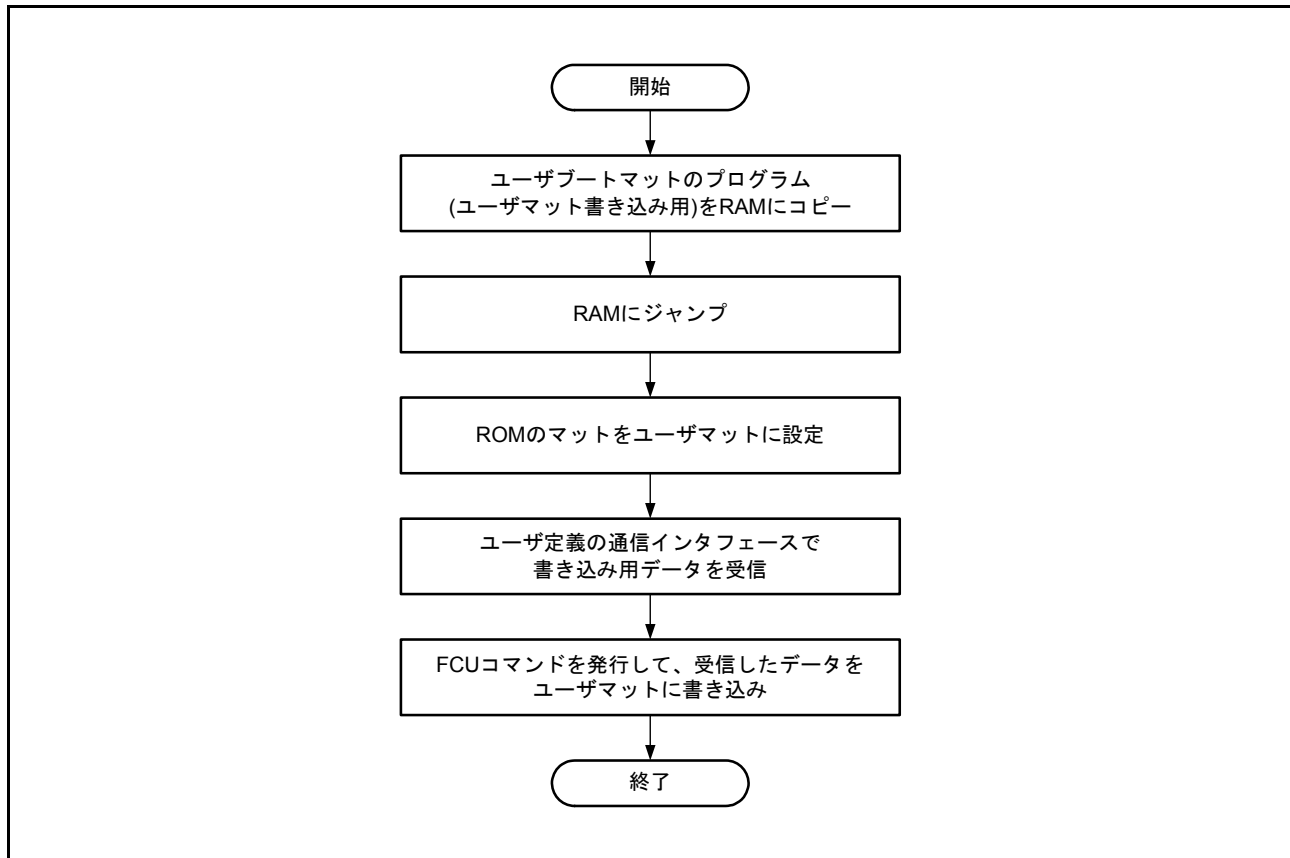


図 24.31 ユーザマットのプログラミング例

24.8 プロテクト

ROM に対する書き込み / 消去のプロテクトには、ソフトウェアプロテクト、エラープロテクトの 2 種類があります。

24.8.1 ソフトウェアプロテクト

ソフトウェアプロテクトは、制御レジスタ設定やユーザマットのロックビット設定によって ROM に対する書き込み / 消去が禁止された状態です。ソフトウェアプロテクトに違反して、ROM に対する書き込み / 消去系コマンドを発行した場合には、FCU がエラーを検出してコマンドロック状態になります。

(1) FENTRYR レジスタによるプロテクト

- FENTRY0 ビットが“0”の場合

ROM 512K バイト (読み出し用アドレス : H'0000 0000 ~ H'0007 FFFF、書き込み / 消去用アドレス : H'8080 0000 ~ H'8087 FFFF) は ROM リードモードになります。ROM リードモードでは FCU コマンドが受け付けられないため、ROM の書き込み / 消去は禁止状態になります。ROM リードモードで FCU コマンドを発行すると、FCU はイリーガルコマンドエラーを検出してコマンドロック状態になります (「24.8.2 エラープロテクト」を参照)。

(2) ロックビットによるプロテクト

ユーザマットの各消去ブロックにはロックビットが内蔵されています。FPROTR レジスタのFPROTCN ビットが“0”の場合には、ロックビットが“0”に設定された消去ブロックに対する書き込み / 消去は禁止状態になります。ロックビットが“0”に設定された消去ブロックを書き込み / 消去したい場合には、FPROTCN ビットを“1”に設定してください。ロックビットによるプロテクトに違反して、ROM に対する書き込み / 消去系コマンドを発行すると、FCU は書き込み / 消去エラーを検出してコマンドロック状態になります (「24.8.2 エラープロテクト」を参照)。

24.8.2 エラープロテクト

エラープロテクトは、FCU コマンドの誤発行 / 禁止アクセスの発生 / FCU の誤動作を検出して FCU コマンドの受け付けを禁止する状態 (コマンドロック状態) です。FCU をコマンドロック状態にすることにより、ROM の書き込み / 消去が禁止されます。コマンドロック状態を解除するためには、FASTAT レジスタが H'10 の状態でステータスレジスタクリアコマンドを発行する必要があります。

FAEINT レジスタの CMDLKIE ビットが “1” の場合には、FCU がコマンドロック状態 (FASTAT レジスタの CMDLK ビットが “1”) になるとフラッシュインタフェースエラー (FIFE) 割り込みが発生します。また、FAEINT レジスタの ROMAEINT が “1” の場合には、FASTAT レジスタの ROMAE ビットが “1” になると FIFE 割り込みが発生します。

表 24.15 から表 24.16 に ROM 専用および ROM と EEPROM 共通のエラープロテクト内容とエラー検出後のステータスビット値 (FSTATR0 レジスタの ILGLERR/ERSERR/PRGERR ビット、FSTATR1 レジスタの FCUERR/FRDTCT/FRCRCT ビット、FASTST レジスタの ROMAE ビット) の関係を示します。書き込み / 消去処理中にサスペンド以外のコマンドが発行されてコマンドロック状態に遷移した場合には、FCU は書き込み / 消去処理を継続します。この状態で P/E サスペンドコマンドを発行して書き込み / 消去を中断することはできません。コマンドロック状態でコマンドが発行された場合には、ILGLERR ビット値は “1” になり、その他のビットの値は以前のエラー検出時に設定された値を保持します。

表 24.15 エラープロテクト一覧 (1)

分類	内容	ILGLERR	ERSERR	PRGERR	FCUERR	FRDTCT	FRCRCT	ROMAE
FENTRYR 設定エラー	FENTRYR レジスタに H'0001、H'0080 以外の値を設定	1	0	0	0	0	0	0
	サスペンド時とレジャーモード時に FENTRYR レジスタ設定が不一致	1	0	0	0	0	0	0
不正コマンドエラー	FCU コマンドの 1 サイクル目で未定義コードを指定	1	0	0	0	0	0	0
	複数サイクルの FCU コマンドの最終サイクルで H'D0 以外を指定	1	0	0	0	0	0	0
	書き込み / 消去処理中にサスペンド以外のコマンドを発行	1	0	0	0	0	0	0
	書き込み / 消去以外の処理中にサスペンドコマンドを発行	1	0	0	0	0	0	0
	サスペンド状態でサスペンドコマンドを発行	1	0	0	0	0	0	0
	サスペンド以外の状態でレジャーモードコマンドを発行	1	0	0	0	0	0	0
	書き込みサスペンド状態で書き込み / 消去系 (プログラム / ロックビットプログラム / ブロックイレーズ) コマンドを発行	1	0	0	0	0	0	0
	消去サスペンド状態でブロックイレーズコマンド発行	1	0	0	0	0	0	0
	消去サスペンド状態で消去サスペンド対象領域へのプログラム / ロックビットプログラムコマンドを発行	1	0	0	0	0	0	0
	プログラムコマンドの 2 サイクル目で H'80 以外を指定	1	0	0	0	0	0	0
コマンドロック状態でコマンド発行	1	0/1	0/1	0/1	0/1 (注 1)	0/1 (注 2)	0/1	
消去エラー	消去処理中のエラー発生	0	1	0	0	0	0	0
	FPROTR レジスタの FPROTCN ビットが “0” の場合に、ロックビットが “0” に設定された消去ブロックにブロックイレーズ “0” コマンドを発行	0	1	0	0	0	0	0
書き込みエラー	書き込み処理中のエラー発生	0	0	1	0	0	0	0
	FPROTR レジスタの FPROTCN ビットが “0” の場合に、ロックビットが “0” に設定された消去ブロックに対してプログラム / ロックビットプログラムコマンドを発行	0	0	1	0	0	0	0
FCU エラー	FCU 内部の CPU 処理でエラー発生	0	0	0	1	0	0	0

注 1. FRAMECCR レジスタの FRDCLE ビットが “1” にセットされていた場合

注 2. FRAMECCR レジスタの FRCLE ビットが “1” にセットされていた場合

表24.16 エラープロテクト一覧(2)

分類	内容	ILGLERR	ERSERR	PRGERR	FCUERR	FRDTCT	FRCRCT	ROMAE
FCU RAM ECCエラー	FCU RAM読み出し時に1ビット誤り訂正発生	0	0	0	0	0	1	0
	FCU RAM読み出し時に2ビット誤り検出発生	0	0	0	0	1	0	0
ROMアクセス違反	FENTRY0 = "1"かつROM P/E ノーマルモードの場合に、 H'8080 0000 ~ H'8087 FFFFに対するリードアクセスを発行。	1	0	0	0	0	0	1
	FENTRY0 = "0"でH'8080 0000 ~ H'8087 FFFFに対するアクセスを 発行	1	0	0	0	0	0	1
	FENTRYRレジスタがH'0000以外の状態で、 H'0000 0000 ~ H'0007 FFFFに対してリードアクセスを発行	1	0	0	0	0	0	1
	ユーザブートマット選択時にROM書き込み/消去系コマンド(プロ グラム/ロックビットプログラム/ブロックイレーズ)を発行	1	0	0	0	0	0	1
	ユーザブートマット選択時にROM書き込み/消去用アドレス H'8080 0000 ~ H'8080 7FFF以外に対するアクセスを発行	1	0	0	0	0	0	1

24.9 ROM の注意事項

24.9.1 ユーザマットとユーザブートマットの切り替え

ユーザマットとユーザブートマットは同じアドレス領域に配置されています。内部バスの状態によって ROM 領域アクセスに要するサイクル数が異なるため、マット切り替え時に ROM 領域をアクセスした場合に常に同一のマットが使用されるとは限らないことに注意してください。また、ROM キャッシュ機能が有効な場合には、マット切り替え後にも ROM キャッシュ内にマット切り替え前のデータが格納されているため、同一アドレスの異なるマットをアクセスした場合にキャッシュヒットする可能性があることに注意してください。これらの注意事項に関連した誤動作を回避するために、マット切り替え前後に以下の処理を実施してください。

1. マット切り替え前に割り込み設定を変更
マット切り替え時の割り込み発生による ROM 領域へのアクセスを回避する方法には、CPU のベクタベースレジスタ (VBR) の設定によって割り込みベクタのフェッチ先を ROM 領域以外に設定する方法と割り込みをマスクする方法があります。本 LSI 内部では NMI 割り込みをマスクすることができないため、割り込みをマスクする方法を採用する場合には、マット切り替え時に NMI 割り込みが発生しないようにシステムを構成してください。
2. マット切り替え処理は ROM 領域以外のプログラムで実施
マット切り替え時に ROM 領域に対する CPU の命令フェッチを発生させないために、マット切り替え処理は ROM 領域以外の領域で実行してください。
3. マット切り替え
ROMMAT レジスタをライトしてマットを切り替えてください。
4. マット切り替え後に ROM キャッシュをフラッシュ
RCCR レジスタの RCF ビットに“1”を書き込んで ROM キャッシュの全ラインをフラッシュしてください(「26. ROM キャッシュ (ROMC)」を参照)。
5. ROMMAT レジスタの読み出し命令実行 (ダミーリード)
ROMMAT レジスタの読み出し命令を実行して、レジスタ値の書き換え(上記3.)を完了させてください。
6. NOP 命令を 5 個以上実行
ROMMAT レジスタの読み出し命令実行後、NOP 命令を 5 個以上実行してください。

図 24.32 にマット切り替え処理を示します。

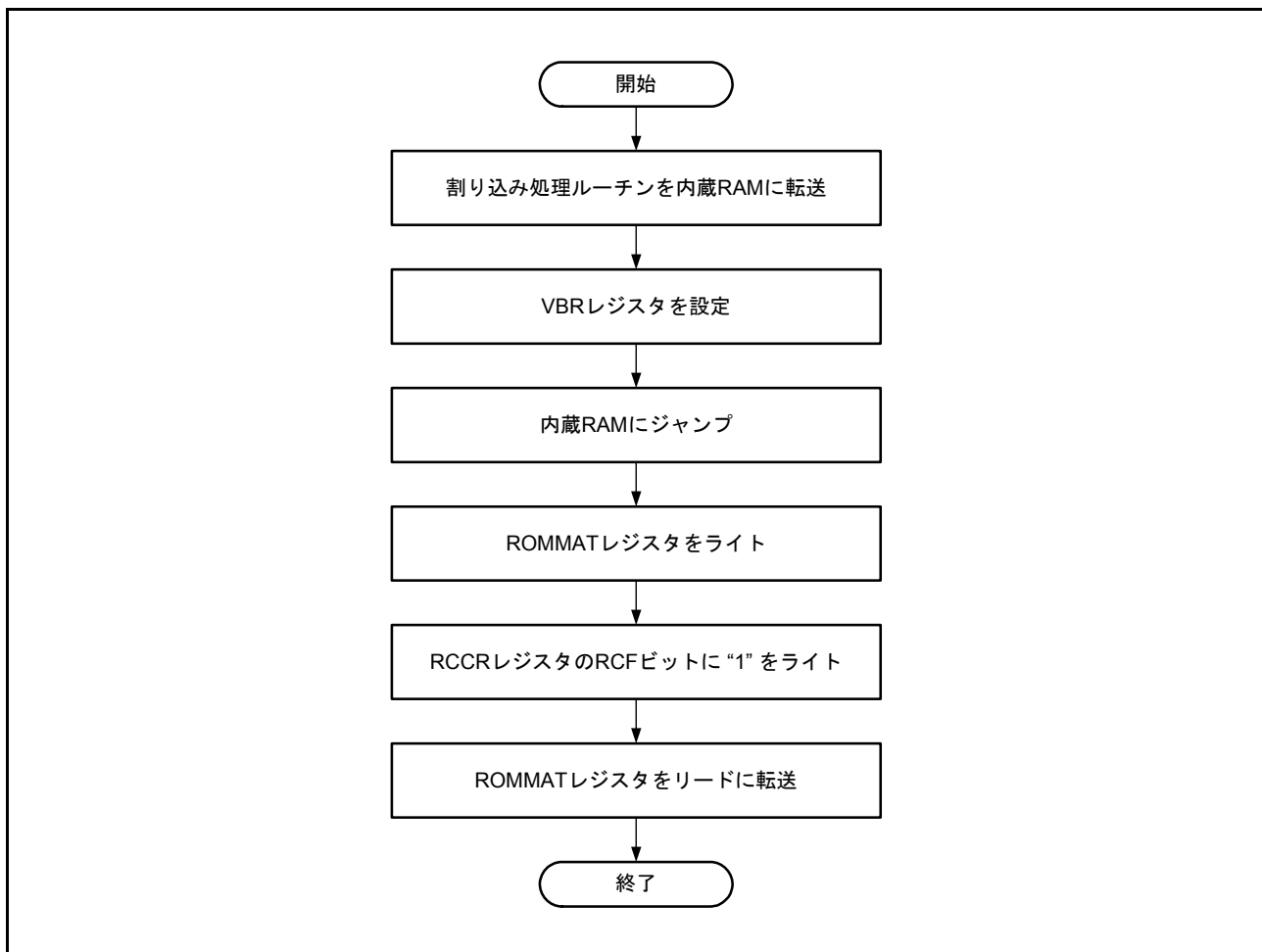


図 24.32 マット切り替え処理

24.9.2 その他のご注意

(1) AUD 動作不可状態、割り込み無視状態

以下の状態では、AUD はモジュールスタンバイ状態となり動作しません。また、NMI やマスカブル割り込みが発生しても無視されます。

- ブートモード動作中
- ユーザブートモード起動直後で、組み込みプログラム格納マットのプログラムを処理中

(2) キーコード格納領域

ユーザマットの H'0000 0050 ~ H'0000 005F の領域には、オンチップデバッガを使用した場合のデバッグ機能認証用のキーコードを格納します。デバッガ機能を制限したい場合には、この領域にキーコードを書き込んでください。デバッガでキーコードを設定した場合には、この領域にキーコードが書き込まれているので、サムチェックなどの実行時には注意してください。

(3) 書き込み / 消去サスペンド対象領域

書き込み / 消去サスペンド中の領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、書き込み / 消去サスペンド対象領域の命令実行や、データ読み出しが発生しないように注意してください。

ROM キャッシュのプリフェッチによって、書き込み/消去サスペンド対象領域に対する命令フェッチが発生しないようにするために、書き込み/消去サスペンド対象領域の先頭アドレスより前の32バイト以内の領域から命令をフェッチしないように注意してください。

ROM キャッシュのプリフェッチでは、分岐命令の分岐先へのアクセスも実行されます。分岐先が書き込み/消去サスペンド対象領域に該当する可能性がある場合には、ROM キャッシュのプリフェッチ機能を無効化してください。

(4) 従来の F-ZTAT SH マイコンとの書き込み/消去プログラムの互換性

従来の F-ZTAT SH マイコンで使用していたフラッシュメモリの書き込み/消去プログラムは、本 LSI では動作しません。

(5) 書き込み/消去中のリセット

書き込み/消去処理中は、リセット(ハードウェアリセット、ウォッチドッグタイマリセット)を発生させないでください。

書き込み/消去処理中に RESET# 端子によるハードウェアリセットを発生させる必要がある場合、リセット期間を t_{RESW2} (「30. 電気的特性」を参照) 保持してください。ハードウェアリセットでは、メモリに印加された電圧の降下に必要な期間だけでなく、ROM 用電源の初期化や ROM 内部回路の初期化に必要な期間を確保する必要があるため、FCU のリセットよりも長期間のリセット状態の保持が必要になります。

書き込み/消去処理中に FRESETR レジスタの FRESET ビットをセットして FCU をリセットする場合には、FCU のリセット状態を t_{RESW2} (「30. 電気的特性」を参照) 保持してください。書き込み/消去中の ROM には高電圧が印加されているため、メモリに印加された電圧の降下に必要な期間を確保するために FCU のリセット状態を保持する必要があります。FCU をリセットしている期間は ROM の読み出しを行わないでください。

(6) 追加書き込み禁止

同一領域に 2 回以上の書き込みを行うことはできません。書き込み済みの領域を書き換えたい場合には、必ず該当領域を消去してください。

(7) オンボードプログラミングモードにおける SLEEP 命令について

オンボードプログラミングモード中は、SLEEP 命令を使用しないでください。

(8) 書き込み/消去サスペンドによる中断

書き込み/消去サスペンドコマンドによって書き込み/消去処理を中断した場合は、必ずレジュームコマンドにより動作を完了させてください。

(9) 消去時の P/E サスペンドコマンド発行タイミング

消去時、P/E レジュームコマンド発行後、P/E サスペンドコマンドを発行する場合は、P/E レジュームコマンド発行後から 1.7ms 以上の間隔を空けて P/E サスペンドコマンドを発行してください。なお、消去コマンド発行後の 1 回目の P/E サスペンドコマンド発行までの時間についての制限はありません。

25. EEPROM

25.1 概要

本 LSI は、32K バイトのデータ格納用のフラッシュメモリ (EEPROM) を内蔵しています。
表 25.1 に EEPROM の仕様を示します。

表 25.1 EEPROM の仕様

項目	仕様
フラッシュメモリマツト	データマツト : 32K バイト 製品情報マツト : 128 バイト
読み出し	データマツト、製品情報マツトともに、周辺バス A 経由の読み出しが可能 バイトアクセス時 : CPU クロックの 5 サイクル ワードアクセス時 : CPU クロックの 9 サイクル
書き込み/消去方式	周辺バス A 経由で ROM/EEPROM 専用のシーケンサ (FCU) にコマンドを発行することにより、データマツトの書き込み/消去を実行可
書き込み/消去単位	書き込み単位 : 8 バイトまたは 128 バイト (ユーザモード、ユーザプログラムモード、ユーザブートモード) 256 バイト (ブートモード) 消去単位 : ブロック単位 (2K バイト)
ブランクチェック機能	EEPROM が消去状態 (ブランク状態) であるかどうかを確認可能
オンボードプログラミングモード	3 種類 (ブートモード、ユーザプログラムモード、ユーザブートモード)
プロテクトモード	ソフトウェアプロテクト
書き込み時間/消去時間/書き換え回数	「30. 電氣的特性」を参照

- フラッシュメモリマツト

EEPROM には、同一アドレス空間に配置される 2 種類のメモリ空間 (以下メモリマツトと呼びます) があり、制御レジスタを使用したバンク切り替えでマツトを切り替えることができます。製品情報マツト選択時の場合でも、H'8010 0080 ~ H'8010 7FFF 領域を読み出すとデータマツトの内容が読み出されます。製品情報マツトは書き込み/消去できません。

データマツト : 32K バイト

製品情報マツト : 128 バイト

図 25.1 に EEPROM のメモリマツト構成を示します。

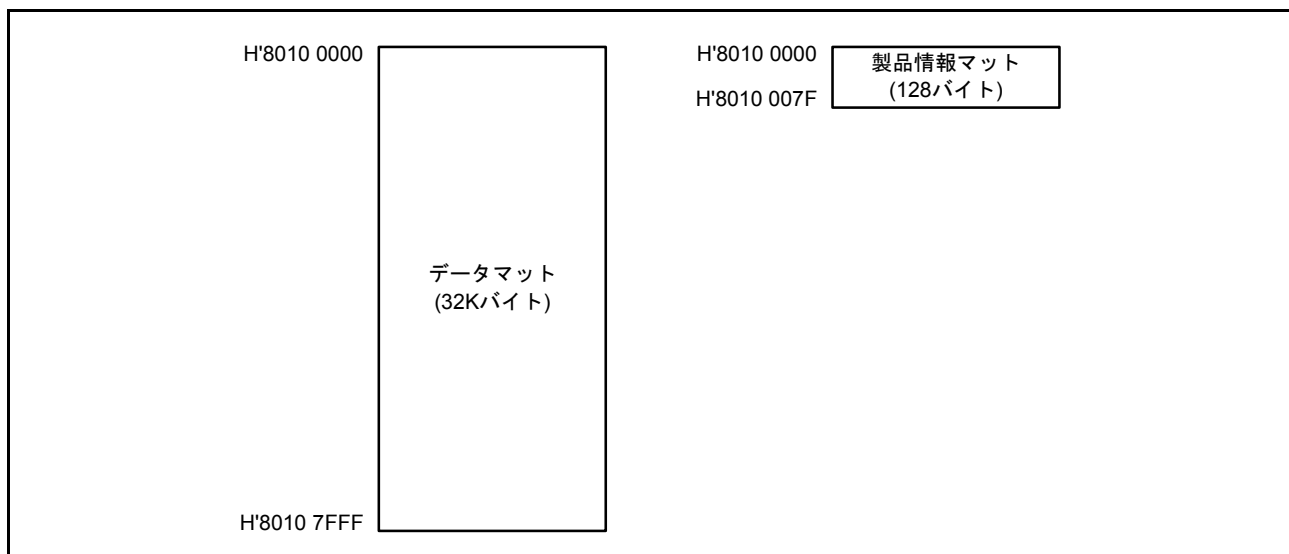


図 25.1 EEPROM のメモリマツト構成

- 周辺バス A 経由で読み出し可能
データマツト、製品情報マツトともに、バイトアクセス時には CPU クロックの 5 サイクル、ワードアクセス時には CPU クロックの 9 サイクルで、周辺バス A 経由の読み出しが可能です。
- 書き込み / 消去方式
周辺バス A 経由で ROM/EEPROM 専用のシーケンサ (FCU) にコマンドを発行することにより、データマツトの書き込み / 消去を実行可能です。FCU がデータマツトの書き込み / 消去を実行している期間でも、CPU は ROM/RAM/ 外部アドレス空間の領域に配置したプログラムを実行可能です。FCU が ROM/データマツトの書き込み / 消去を実行している期間に、データマツトを読み出すことはできません。FCU によるデータマツト書き込み / 消去動作を中断して CPU でデータマツトを読み出した後、データマツト書き込み / 消去を再開することは可能です。消去を中断した場合には、中断した消去の対象ではない領域に書き込みを実施することも可能です。
- 書き込み / 消去単位
ユーザモード / ユーザプログラムモード / ユーザブートモードでのデータフォーマツトの書き込み単位は 8 バイトまたは 128 バイト、消去単位はブロック単位 (2K バイト) です。ブートモードでのデータマツト書き込み単位は 256 バイト、消去単位はブロック単位 (2K バイト) です。製品情報マツトは読み出し専用で、書き込み / 消去はできません。
図 25.2 にデータマツトのブロック分割を示します。
データマツトは、2K バイト (16 ブロック : DB 15~DB30) に分割されています。

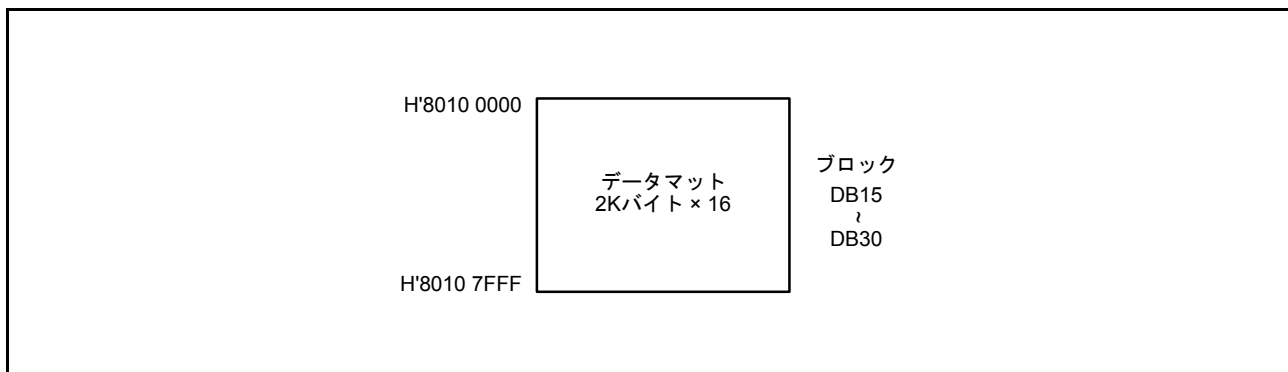


図 25.2 データマツトのブロック分割

- ブランクチェック機能
消去状態の EEPROM を CPU から読み出すと不定データが読み出されます。FCU のブランクチェックコマンドを使用すると、EEPROM が消去状態 (ブランク状態) であるかどうかを確認することができます。1 回のブランクチェックコマンドで確認可能な領域のサイズは 2K バイト (1 消去ブロック) または 8 バイトです。
- オンボードプログラミングモード (3 種類)
[ブートモード]
SCI を使用してデータマツトを書き換え可能なプログラムモードです。ホストと本 LSI 間の SCI 通信のビットレートは自動調整可能です。
[ユーザモード / ユーザプログラムモード]
任意のインタフェースで、データマツトを書き換え可能なプログラムモードです。ユーザモードは、シングルチップモードです。

[ユーザブートモード]

任意のインタフェースで、データマットを書き換え可能なプログラムモードです。ユーザブートモードへの遷移にはリセット起動が必要です。

• プロテクトモード

フラッシュP/Eモードエントリレジスタ (FENTRYR) の FENTRYD ビット /EEPRE0/1 レジスタ /EEPWE0/1 レジスタによるソフトウェアプロテクトモードがあり、書き込み / 消去 / 読み出しに対するプロテクト状態を設定することができます。FENTRYD ビットはFCUによるデータマット書き込み / 消去処理の許可 / 禁止を制御するためのビットです。EEPRE0/1 レジスタはデータマットの各ブロックの読み出しプロテクトを制御するためのレジスタです。EEPWE0/1 レジスタはデータマットの各ブロックの書き込み / 消去プロテクトを制御するためのレジスタです。

書き込み / 消去中に異常動作を検出した場合、書き込み / 消去処理を中断する機能もあります。また、CPUがEEPROM領域から命令をフェッチした場合、読み出しプロテクトする機能もあります。

• 書き込み時間 / 消去時間 / 書き換え回数

詳細は「30. 電気的特性」を参照してください。

図 25.3 に EEPROM のブロック図を示します。

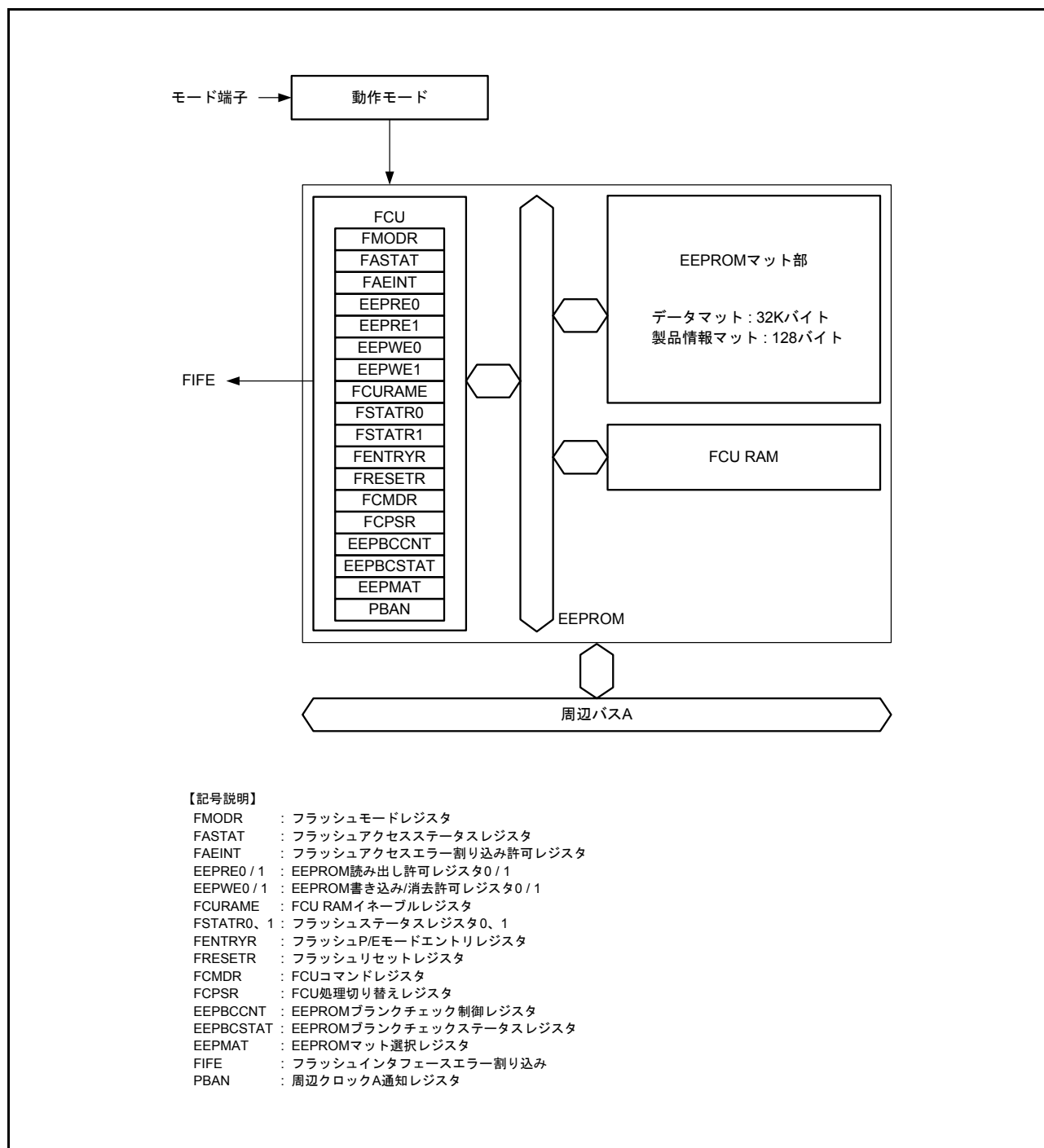


図 25.3 EEPROM のブロック図

25.2 端子構成

表 25.2 に端子構成を示します。MD0～MD1 端子、ASEND 端子の組み合わせによって、EEPROM のプログラミングモードを決定します (「25.4 EEPROM 関連モード概要」 を参照)。ブートモード時には、RXD1、TXD1 端子にホストを接続してEEPROMを書き込み/消去することが可能です(「25.5 ブートモード」を参照)。

表 25.2 端子構成

端子名	入出力	機能
RESET#	入力	この端子がLowレベルになるとハードウェアリセット状態になります。
MD0～MD1、ASEMD	入力	動作モードを決定します。
RXD1	入力	SCI1の受信データ(ホスト通信用)
TXD1	出力	SCI1の送信データ(ホスト通信用)

25.3 レジスタの説明

表 25.3 に EEPROM のレジスタ一覧を示します。一部のレジスタは ROM 関連のビットも持ちます。

表 25.3 EEPROM のレジスタ一覧

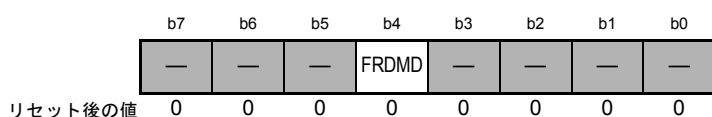
レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
フラッシュモードレジスタ	FMODR	H'00	H'FFFF A802	8
フラッシュアクセスステータスレジスタ	FASTAT	H'00	H'FFFF A810	8
フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	H'9F	H'FFFF A811	8
EEPROM読み出し許可レジスタ0	EEPRE0	H'0000	H'FFFF A840	8(注2)、16
EEPROM読み出し許可レジスタ1	EEPRE1	H'0000	H'FFFF A842	8(注2)、16
EEPROM書き込み/消去許可レジスタ0	EEPWE0	H'0000	H'FFFF A850	8(注2)、16
EEPROM書き込み/消去許可レジスタ1	EEPWE1	H'0000	H'FFFF A852	8(注2)、16
FCU RAMイネーブルレジスタ	FCURAME	H'0000	H'FFFF A854	8(注2)、16
フラッシュステータスレジスタ0	FSTATR0	H'80 (注1)	H'FFFF A900	8、16
フラッシュステータスレジスタ1	FSTATR1	H'00 (注1)	H'FFFF A901	8、16
フラッシュP/Eモードエントリレジスタ	FENTRYR	H'0000 (注1)	H'FFFF A902	8(注2)、16
フラッシュリセットレジスタ	FRESETR	H'0000	H'FFFF A906	8(注2)、16
FCUコマンドレジスタ	FCMDR	H'FFFF (注1)	H'FFFF A90A	8、16
FCU処理切り替えレジスタ	FCPSR	H'0000 (注1)	H'FFFF A918	8、16
EEPROMブランクチェック制御レジスタ	EEPBCCNT	H'0000 (注1)	H'FFFF A91A	8、16
EEPROMブランクチェックステータスレジスタ	EEPBCSTAT	H'0000 (注1)	H'FFFF A91E	8、16
周辺クロックA通知レジスタ	PBAN	H'00 (注1)	H'FFFF A938	8、16
EEPROMマット選択レジスタ	EEPMAT	H'0000	H'FFFF AB00	8(注2)、16

注1. リセットおよびFRESETRレジスタのFRESETビットを“1”にすることによって初期化することができます。

注2. 8ビットでのアクセスでは、リードアクセスのみ有効です。

25.3.1 フラッシュモードレジスタ (FMODR)

アドレス H'FFFF A802



ビット	シンボル	ビット名	機能	R/W
b7-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4	FRDMD	FCUリードモード選択ビット	FCUを使用したROM/EEPROM読み出し処理の方法を選択するためのビットです。EEPROMの場合には、EEPROMロックビットリードモード移行処理かブランクチェック処理を選択するために使用します(「25.6.1 FCUコマンド一覧」,「25.6.3 FCUコマンド使用方法」を参照)。ROMの場合には、ロックビット読み出し方法を選択するためにFRDMDビットを使用します(「24. ROM」を参照)。 0:メモリ領域リードモード EEPROMロックビットリードモードに移行する場合には、メモリ領域モードに設定します。EEPROMにはロックビットが存在しないため、ロックビットリードモードに移行してEEPROM領域から読み出しを実行した場合、不定データが読み出されます。 1:レジスタリードモード ブランクチェックコマンドを使用する場合には、レジスタリードモードに設定します。	R/W
b3-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

FMODR レジスタは、FCU の動作モードを指定します。

25.3.2 フラッシュアクセスステータスレジスタ (FASTAT)

アドレス H'FFFF A810

b7	b6	b5	b4	b3	b2	b1	b0
ROMAE	—	—	CMDLK	EEPAAE	EEPIFE	EEPRPE	EEPWPE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	ROMAE	ROMアクセス違反ビット	「24. ROM」を参照してください。	R/(W) (注1)
b6-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4	CMDLK	FCUコマンドロックビット	FCUがコマンドロック状態であることを示すビットです (「25.7.2 エラープロテクト」を参照)。 0: FCUはコマンドロック状態ではない 1: FCUはコマンドロック状態 [“1”になる条件] • FCUがエラーを検出してコマンドロック状態に遷移後 [“0”になる条件] • FCUがステータスクリアコマンドを処理後	R
b3	EEPAAE	EEPROMアクセス違反ビット	EEPROMに対するアクセス違反の有無を示すビットです。 EEPAAEビットが“1”になるとFSTATR0レジスタのILGLERRビットが“1”にセットされ、FCUはコマンドロック状態になります。 0: EEPROMアクセス違反なし 1: EEPROMアクセス違反あり [“1”になる条件] • FENTRYRレジスタのFENTRYDビットが“1”、かつEEPROM P/Eノーマルモードで、EEPROM領域に対してリードアクセスを発行 • FENTRYDビットが“0”の状態、EEPROM領域に対してライトアクセスを発行 • FENTRYRレジスタのFENTRY0ビットのが“1”の状態、EEPROM領域に対するアクセスを発行 [“0”になる条件] • EEPAAE = “1”を読み出した後に、“0”を書き込み	R/(W) (注1)
b2	EEPIFE	EEPROM命令フェッチ違反ビット	EEPROM命令フェッチ違反の有無を示すビットです。 0: EEPROM命令フェッチ違反なし 1: EEPROM命令フェッチ違反あり [“1”になる条件] • EEPROMに対する命令フェッチを発行 [“0”になる条件] • EEPIFE = “1”を読み出した後に、“0”を書き込み	R/(W) (注1)
b1	EEPRPE	EEPROMリードプロテクト違反ビット	EEPRE0 / 1レジスタで設定した読み出しプロテクトに対する違反の有無を示すビットです。 0: EEPRE0 / 1レジスタ設定に違反したEEPROM読み出しなし 1: EEPRE0 / 1レジスタ設定に違反したEEPROM読み出しあり [“1”になる条件] • EEPRE0 / 1レジスタで読み出し禁止に設定したEEPROM領域に対してリードアクセスを発行 [“0”になる条件] • EEPRPE = “1”を読み出した後に、“0”を書き込み	R/(W) (注1)

ビット	シンボル	ビット名	機能	R/W
b0	EEPWPE	EEPROM書き込み/消去 プロテクト違反ビット	EEPWE0/1レジスタで設定した書き込み/消去プロテクトに対する違反の有無を示すビットです。 0: EEPWE0/1レジスタ設定に違反したEEPROM書き込み/消去系コマンドの発行なし 1: EEPWE0/1レジスタ設定に違反したEEPROM書き込み/消去系コマンドの発行あり ["1"になる条件] • EEPWE0/1レジスタで書き込み/消去禁止に設定したEEPROM領域に対して書き込み/消去系コマンドを発行 ["0"になる条件] • EEPWPE = "1"を読み出した後に、"0"を書き込み	R/(W) (注1)

注1. フラグをクリアするため、“1”を読み出した後に“0”を書き込むことのみ可能です。

FASTAT レジスタは、ROM/EEPROM に対するアクセス違反の有無を示します。FASTAT レジスタのいずれかのビットが“1”にセットされると、FCU はコマンドロック状態になります (「25.7.2 エラープロテクト」を参照)。コマンドロック状態を解除するためには、FASTAT レジスタを H'10 に設定した後、FCU にステータスクリアコマンドを発行する必要があります。

25.3.3 フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)

アドレス H'FFFF A811

b7	b6	b5	b4	b3	b2	b1	b0
ROMAEIE	—	—	CMDLKIE	EEPAAIE	EEPIFEIE	EEPRPEIE	EEPWPEIE

リセット後の値 1 0 0 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
b7	ROMAEIE	ROMアクセス違反割り込みイネーブルビット	「24. ROM」を参照してください。	R/W
b6-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4	CMDLKIE	FCUコマンドロック割り込みイネーブルビット	FCUコマンドロックが発生し、FASTATレジスタのCMDLKビットが“1”になった場合のFIFE割り込み要求の発生を許可/禁止するためのビットです。 0: CMDLK = “1”でFIFE割り込み要求を発生しない 1: CMDLK = “1”でFIFE割り込み要求を発生する	R/W
b3	EEPAAIE	EEPROMアクセス違反割り込みイネーブルビット	EEPROMアクセス違反が発生し、FASTATレジスタのEEPAAIEビットが1になった場合のFIFE割り込み要求の発生を許可/禁止するためのビットです。 0: EEPAAIE = “1”でFIFE割り込み要求を発生しない 1: EEPAAIE = “1”でFIFE割り込み要求を発生する	R/W
b2	EEPIFEIE	EEPROM命令フェッチ違反割り込みイネーブルビット	EEPROM命令フェッチ違反が発生し、FASTATレジスタのEEPIFEIEビットが“1”になった場合のFIFE割り込み要求の発生を許可/禁止するためのビットです。 0: EEPIFEIE = “1”でFIFE割り込み要求を発生しない 1: EEPIFEIE = “1”でFIFE割り込み要求を発生する	R/W
b1	EEPRPEIE	EEPROMリードプロテクト違反割り込みイネーブルビット	EEPROMリードプロテクト違反が発生し、FASTATレジスタのEEPRPEIEビットが“1”になった場合のFIFE割り込み要求の発生を許可/禁止するためのビットです。 0: EEPRPEIE = “1”でFIFE割り込み要求を発生しない 1: EEPRPEIE = “1”でFIFE割り込み要求を発生する	R/W
b0	EEPWPEIE	EEPROM書き込み/消去プロテクト違反割り込みイネーブルビット	EEPROM書き込み/消去プロテクト違反が発生し、FASTATレジスタのEEPWPEIEビットが“1”になった場合のFIFE割り込み要求の発生を許可/禁止するためのビットです。 0: EEPWPEIE = “1”でFIFE割り込み要求を発生しない 1: EEPWPEIE = “1”でFIFE割り込み要求を発生する	R/W

注. • FAEINTレジスタ書き込み後、FAEINTレジスタ読み出し命令を実行し、NOP命令を5個以上実行してください。

FAEINTレジスタは、フラッシュインタフェースエラー割り込み (FIFE) の出力を許可/禁止します。

25.3.4 EEPROM 読み出し許可レジスタ 0 (EEPRE0)

アドレス H'FFFF A840



ビット	シンボル	ビット名	機能	R/W
b15-b8	KEY[7:0]	キーコードビット	DBREiビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。	R/(W) (注1)
b7-b0	DBREi	DB22～DB15ブロック読み出し許可ビット	データマットのDB22～DB15ブロックに対する読み出しの許可/禁止を設定するビットです。DBREiビットをDB22～DB15ブロックの読み出し制御に使用します。DBREビットへの書き込みは、ワードアクセスでKEYがH'2Dの場合のみ有効です。 0：読み出し禁止 1：読み出し許可	R/W

注1. 書き込みデータは保持されません。

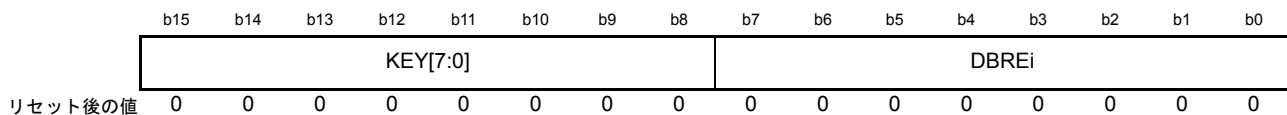
注. ・ i = 07～00

EEPRE0 レジスタは、データマットのDB22～DB15ブロック（「図 25.2 データマットのブロック分割」を参照）の読み出しを許可/禁止します。

ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

25.3.5 EEPROM 読み出し許可レジスタ 1 (EEPRE1)

アドレス H'FFFF A842



ビット	シンボル	ビット名	機能	R/W
b15-b8	KEY[7:0]	キーコードビット	DBREiビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。	R/(W) (注1)
b7-b0	DBREi	DB30～DB23ブロック読み出し許可ビット	データマットのDB30～DB23ブロックに対する読み出しの許可/禁止を設定するビットです。DBREiビットをDB30～DB23ブロックの読み出し制御に使用します。DBREビットへの書き込みは、ワードアクセスでKEYがH'D2の場合のみ有効です。 0：読み出し禁止 1：読み出し許可	R/W

注1. 書き込みデータは保持されません。

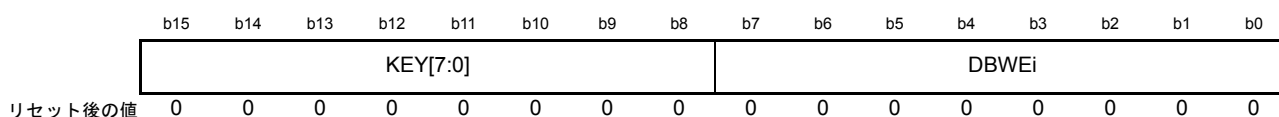
注. ・ i = 15～08

EEPRE1 レジスタは、データマットのDB30～DB23ブロック（「図 25.2 データマットのブロック分割」を参照）の読み出しを許可/禁止します。

ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

25.3.6 EEPROM 書き込み / 消去許可レジスタ 0 (EEPWE0)

アドレス H'FFFF A850



ビット	シンボル	ビット名	機能	R/W
b15-b8	KEY[7:0]	キーコードビット	ROMSELビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。	R/(W) (注1)
b7-b0	DBWEi	DB22～DB15ブロック書き込み/ 消去許可ビット	データマットのDB22～DB15ブロックに対する書き込み/消去の許可/禁止を設定するビットです。DBWEiビットをDB22～DB15ブロックの書き込み/消去制御に使用します。 DBWEiビットへの書き込みは、ワードアクセスでKEYがH'1Eの場合のみ有効です。 0: 書き込み/消去禁止 1: 書き込み/消去許可	R/W

注1. 書き込みデータは保持されません。

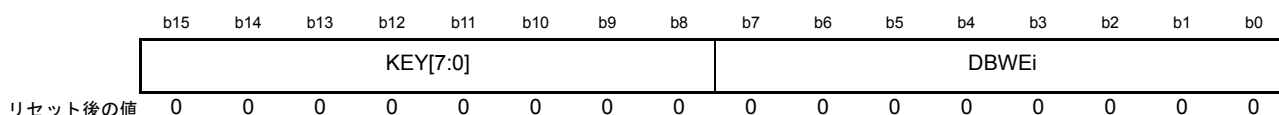
注. • i = 07～00

EEPWE0 レジスタは、データマットのDB22～DB15ブロック（「図 25.2 データマットのブロック分割」）の書き込み/消去を許可/禁止します。

ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

25.3.7 EEPROM 書き込み / 消去許可レジスタ 1 (EEPWE1)

アドレス H'FFFF A852



ビット	シンボル	ビット名	機能	R/W
b15-b8	KEY[7:0]	キーコードビット	ROMSELビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。	R/(W) (注1)
b7-b0	DBWEi	DB30～DB23ブロック書き込み/ 消去許可ビット	データマットのDB30～DB23ブロックに対する書き込み/消去の許可/禁止を設定するビットです。DBWEiビットをDB30～DB23ブロックの書き込み/消去制御に使用します。 DBWEiビットへの書き込みは、ワードアクセスでKEYがH'E1の場合のみ有効です。 0: 書き込み/消去禁止 1: 書き込み/消去許可	R/W

注1. 書き込みデータは保持されません。

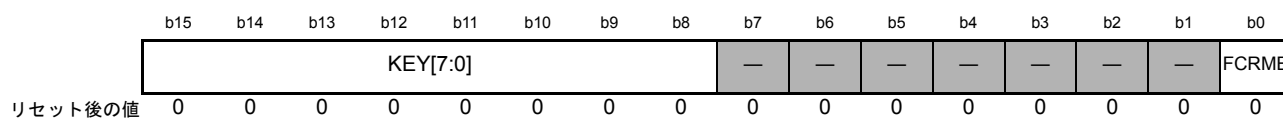
注. • i = 15～08

EEPWE1 レジスタは、データマットのDB30～DB23ブロック（「図 25.2 データマットのブロック分割」）の書き込み/消去を許可/禁止します。

ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

25.3.8 FCU RAM イネーブルレジスタ (FCURAME)

アドレス H'FFFF A854



ビット	シンボル	ビット名	機能	R/W
b15-b8	KEY[7:0]	キーコードビット	FCRMEビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。	R/(W) (注1)
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	FCRME	FCU RAM イネーブルビット	FCU RAMへのアクセスを許可/禁止するためのビットです。FCRMEビットへの書き込みは、ワードアクセスでKEYがH'C4の場合のみ有効です。FCU RAMに書き込む場合は、FENTRYRレジスタをH'0000に設定してFCUを停止してください。 0: FCU RAMへのアクセス禁止 1: FCU RAMへのアクセス許可	R/W

注1. 書き込みデータは保持されません。

FCURAME レジスタは、FCU RAM 領域へのアクセスを許可/禁止します。

ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

25.3.9 フラッシュステータスレジスタ 0 (FSTATR0)

アドレス H'FFFF A900

b7	b6	b5	b4	b3	b2	b1	b0
FRDY	ILGLERR	ERSERR	PRGERR	SUSRDY	—	ERSSPD	PRGSPD

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7	FRDY	フラッシュレディビット	FCUの処理状態を確認するためのビットです。 0: 書き込み/消去処理中 書き込み/消去の中断処理中 ロックビットリード2コマンド処理中 EEPROMのブランクチェック処理中 1: 上記の処理を実行していない	R
b6	ILGLERR	イリーガルコマンドエラービット	FCUが不正なコマンドや不正なROM/EEPROMアクセスなどを検出したことを示すビットです。このビットが“1”の場合には、FCUはコマンドロック状態になります(「25.7.2 エラープロテクト」を参照)。 0: FCUは不正なコマンドやROM/EEPROMアクセスを検出して いない 1: FCUは不正なコマンドやROM/EEPROMアクセスを検出した [“1”になる条件] • FCUが不正なコマンドを検出した • FCUが不正なROM/EEPROMアクセスを検出した(FSTATレジスタのROMAE、EEPAAE、EEPIFE、EEPRPE、EEPWPEビットのいずれかが“1”) • FENTRYRの設定が不正 [“0”になる条件] • FSTATレジスタがH'10の状態でFCUがステータスクリアコマンドを処理後	R
b5	ERSERR	消去エラービット	FCUによるROM/EEPROM消去処理の結果を示すビットです。このビットが“1”の場合には、FCUはコマンドロック状態になります(「25.7.2 エラープロテクト」を参照)。 0: 消去処理は正常終了 1: 消去処理中にエラー発生 [“1”になる条件] • 消去中にエラーが発生した • ロックビットでプロテクトされた領域に対するブロックイ ーズコマンドを発行した [“0”になる条件] • FCUがステータスクリアコマンドを処理後	R
b4	PRGERR	書き込みエラービット	FCUによるROM/EEPROM書き込み処理の結果を示すビットです。このビットが“1”の場合には、FCUはコマンドロック状態になります(「25.7.2 エラープロテクト」を参照)。 0: 書き込み処理は正常終了 1: 書き込み処理中にエラー発生 [“1”になる条件] • 書き込み中にエラーが発生した • ロックビットでプロテクトされた領域に対する書き込みコマ ンドを発行した [“0”になる条件] • FCUがステータスクリアコマンドを処理後	R

ビット	シンボル	ビット名	機能	R/W
b3	SUSRDY	サスペンドレディビット	FCUがP/Eサスペンドコマンドを受け付け可能であることを示すビットです。 0: P/Eサスペンドコマンド受け付け不可能 1: P/Eサスペンドコマンド受け付け可能 ["1"]になる条件 ・書き込み/消去処理を開始後、P/Eサスペンドコマンドの受け付けが可能な状態に遷移した ["0"]になる条件 ・P/Eサスペンドコマンドを受け付けた ・書き込み/消去処理中に、コマンドロック状態に遷移した	R
b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1	ERSSPD	消去サスペンドステータスビット	FCUが消去の中断処理中または消去サスペンド状態に遷移したことを示すビットです(「24. ROM」を参照)。 0: 下記以外の状態 1: 消去の中断処理中または消去サスペンド中 ["1"]になる条件 ・消去の中断処理を開始した ["0"]になる条件 ・レジュームコマンドを受け付けた	R
b0	PRGSPD	書き込みサスペンドステータスビット	FCUが書き込みの中断処理中または書き込みサスペンド状態に遷移したことを示すビットです(「24. ROM」を参照)。 0: 下記以外の状態 1: 書き込みの中断処理中または書き込みサスペンド中 ["1"]になる条件 ・書き込みの中断処理を開始した ["0"]になる条件 ・レジュームコマンドを受け付けた	R

FSTATR0 レジスタは、FCU の状態を示します。

リセットおよび FRESETR レジスタの FRESET ビットを“1”にすることによって初期化されます。

25.3.10 フラッシュステータスレジスタ 1 (FSTATR1)

アドレス H'FFFF A901

b7	b6	b5	b4	b3	b2	b1	b0
FCUERR	—	—	FLOCKST	—	—	FRDTCT	FRCRCT

リセット後の値 0 0 0 0 0 0 0 0

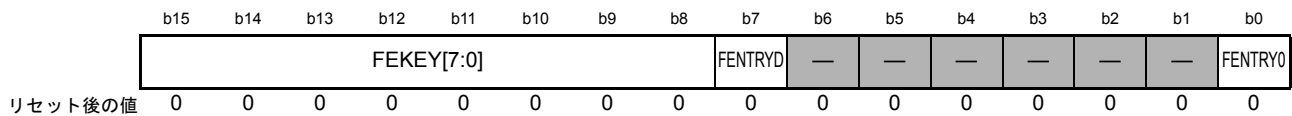
ビット	シンボル	ビット名	機能	R/W
b7	FCUERR	FCUエラービット	FCU内部のCPU処理においてエラーが発生したことを示すビットです。 0: FCUのCPU処理でエラー未発生 1: FCUのCPU処理でエラー発生 ["0"になる条件] • FRESETRレジスタのFRESETビットが"1" FCUERRビットが"1"の場合には、FRESETビットを"1"にして、FCUを初期化してください。また、FCUファームウェアをFCUファーム領域からFCU RAM領域へ再コピーしてください。	R
b6-b5	—	(予約ビット)	読むと"0"が読み出されます。書き込みは"0"としてください。	R
b4	FLOCKST	ロックビットステータスビット	ロックビットリード2コマンドを使用した場合に、ロックビットのリードデータが反映されるビットです。ロックビットリード2コマンド発行後に、FRDYビットが"1"になった時点で、FLOCKSTビットに有効なデータが格納されます。FLOCKSTビットの値は、次のロックビットリード2コマンドの終了まで保持されます。 0: プロテクト状態 1: 非プロテクト状態	R
b3-b2	—	(予約ビット)	読むと"0"が読み出されます。書き込みは"0"としてください。	R
b1	FRDTCT	FCU RAM 2ビット誤り検出モニタビット	FCU RAMの読み出し時に2ビット誤りを検出したことを示すビットです。 0: 2ビット誤りを検出していない 1: 2ビット誤りを検出した FRDTCTビットが"1"の場合には、FRESETビットを"1"にして、FCUを初期化してください。また、FCUファームウェアをFCUファーム領域からFCU RAM領域へ再コピーしてください。	R
b0	FRCRCT	FCU RAM1ビット誤り訂正モニタビット	FCU RAMの読み出し時に1ビット誤りを訂正したことを示すビットです。 0: 1ビット誤りを訂正していない 1: 1ビット誤りを訂正した FRCRCTビットが"1"の場合には、FRESETビットを"1"にして、FCUを初期化してください。また、FCUファームウェアをFCUファーム領域からFCU RAM領域へ再コピーしてください。	R

FSTATR1 レジスタは、FCUの状態を示します。

リセットおよびFRESETRレジスタのFRESETビットを"1"にすることによって初期化されます。

25.3.11 フラッシュ P/E モードエントリレジスタ (FENTRYR)

アドレス H'FFFF A902



ビット	シンボル	ビット名	機能	R/W
b15-b8	FEKEY[7:0]	キーコードビット	FENTRYD、FENTRY0ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。	R/(W) (注1)
b7	FENTRYD	EEPROM P/Eモードエントリビット	EEPROMをP/Eモードに設定するためのビットです。 0: EEPROMはリードモード 1: EEPROMはP/Eモード [書き込み有効条件] 以下の全条件を満たす場合 ・ FSTATR0レジスタのFRDYビットが“1” ・ ワードアクセスでFEKEYにH'AA書き込み [“1”になる条件] ・ 書き込み有効条件を満たし、かつFENTRYRレジスタがH'0000の状態、FENTRYDに“1”を書き込んだ場合 [“0”になる条件] ・ バイトアクセスで書き込んだ場合 ・ ワードアクセスでFEKEYがH'AA以外の状態で書き込んだ場合 ・ 書き込み有効条件を満たした状態で、FENTRYDに“0”を書き込んだ場合 ・ 書き込み有効条件を満たし、かつFENTRYRレジスタがH'0000以外の状態で、FENTRYRレジスタを書き込んだ場合	R/W
b6-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	FENTRY0	ROM P/Eモードエントリ0ビット	「24. ROM」を参照してください。	R/W

注1. 書き込みデータは保持されません。

注. ・ FENTRYRレジスタ書き込み後、FENTRYRレジスタ読み出し命令を実行し、NOP命令を5個以上実行してください。

FENTRYRレジスタは、ROM/EEPROMをP/Eモードに設定するために使用します。ROM/EEPROMをP/EモードにしてFCUのコマンド受け付けを可能にするためには、FENTRYD、FENTRY0ビットのいずれかのビットに“1”を設定する必要があります。

リセットおよびFRESETRレジスタのFRESETビットを“1”にすることによって初期化されます。

注. ・ ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効で、それ以外の書き込みを行った場合には初期化されます。上位バイトへの書き込みデータは保持されません。

25.3.12 フラッシュリセットレジスタ (FRESETR)

アドレス H'FFFF A906



ビット	シンボル	ビット名	機能	R/W
b15-b8	FRKEY [7:0]	キーコードビット	FRESETビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。	R/(W) (注1)
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	FRESET	フラッシュリセットビット	FRESETビットを“1”に設定すると、ROM/EEPROMの書き込み/消去動作が強制終了され、FCUが初期化されます。書き込み/消去中のROM/EEPROMのメモリには高電圧が印加されています。メモリに印加された電圧の降下に必要な期間を確保するために、FCUを初期化する場合には、FRESETビットを“1”にセットした状態を t_{RESW2} (「30. 電気的特性」を参照)保持してください。FRESETビットを“1”に保持している期間はROM/EEPROMへの読み出しを禁止してください。また、FRESETビットが“1”の状態では、FENTRYRレジスタが初期化されているため、FCUコマンドを使用することはできません。FRESETビットへの書き込みは、ワードアクセスでFRKEYがH'CCの場合のみ有効です。 0: FCUはリセットされない 1: FCUはリセットされる	R/W

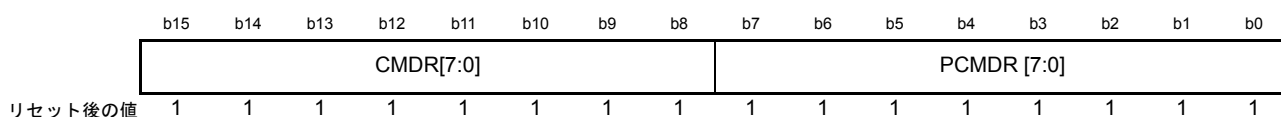
注1. 書き込みデータは保持されません。

FRESETR レジスタは、FCUの初期化に使用します。

ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

25.3.13 FCU コマンドレジスタ (FCMDR)

アドレス H'FFFF A90A



ビット	シンボル	ビット名	機能	R/W
b15-b8	CMDR[7:0]	コマンドレジスタ	FCUが受け付けた最新のコマンドを格納するレジスタです。	R
b7-b0	PCMDR [7:0]	プレコマンドレジスタ	FCUが受け付けた1つ前のコマンドを格納するレジスタです。	R

FCMDR レジスタは、FCU が受け付けたコマンドを格納します。

リセットおよび FRESETR レジスタの FRESET ビットを“1”にすることによって初期化されます。

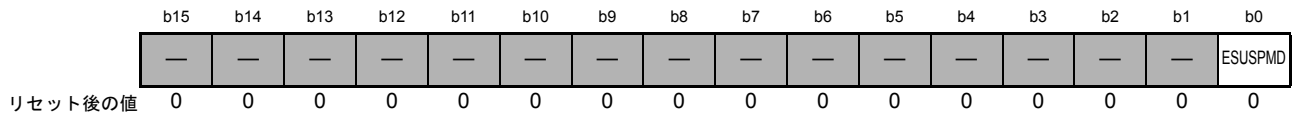
表 25.4 に各コマンド受け付け後の FCMDR レジスタの状態を示します。ブランクチェックの内容は、「25.4 EEPROM 関連モード概要」を参照してください。

表 25.4 各コマンド受け付け後のFCMDRレジスタの状態

コマンド	CMDR	PCMDR
ノーマルモード移行	H'FF	前回コマンド
ステータスリードモード移行	H'70	前回コマンド
ロックビットリードモード移行(ロックビットリード1)	H'71	前回コマンド
プログラム	H'E8	前回コマンド
ブロックイレーズ	H'D0	H'20
P/Eサスペンド	H'B0	前回コマンド
P/Eレジューム	H'D0	前回コマンド
ステータスレジスタクリア	H'50	前回コマンド
ロックビットリード2ブランクチェック	H'D0	H'71
ロックビットプログラム	H'D0	H'77

25.3.14 FCU 処理切り替えレジスタ (FCPSR)

アドレス H'FFFF A918



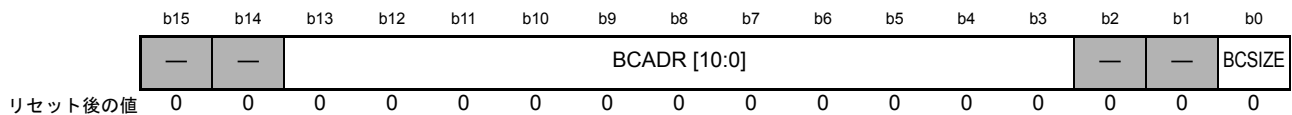
ビット	シンボル	ビット名	機能	R/W
b15-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	ESUSPMD	消去サスペンドモードビット	消去サスペンドモード 本LSIでは使用しません。 書き込む値は常に“0”にしてください。	R/W

FCPSR レジスタは、FCU の消去処理のサスペンド方法を選択します。

リセットおよび FRESETR レジスタの FRESET ビットを“1”にすることによって初期化されます。

25.3.15 EEPROM ブランクチェック制御レジスタ (EEPBCCNT)

アドレス H'FFFF A91A



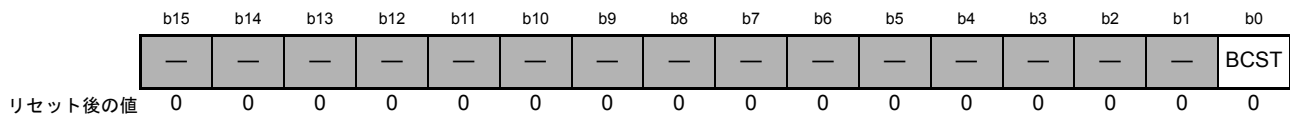
ビット	シンボル	ビット名	機能	R/W
b15-b14	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b13-b3	BCADR [10:0]	ブランクチェックアドレス設定ビット	ブランクチェックコマンドのチェック対象領域のサイズが8バイト (BCSIZE ビットが“0”)の場合に、チェック対象領域のアドレスを設定するためのビットです。BCSIZE が“0”の場合には、EEPBCCNT レジスタの設定値 (BCADR の設定値を MSB 側に3ビットシフトした値) とブランクチェックコマンド発行時に指定した消去ブロック先頭アドレスを加算した値がチェック対象領域の先頭アドレスになります。	R/W
b2-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	BCSIZE	ブランクチェックサイズ設定ビット	ブランクチェックコマンドのチェック対象領域のサイズを設定するためのビットです。 0: ブランクチェック対象領域は8バイト 1: ブランクチェック対象領域は2Kバイト	R/W

EEPBCCNT レジスタは、ブランクチェックコマンドのチェック対象領域のアドレスとサイズを指定します。

リセットおよび FRESETR レジスタの FRESET ビットを“1”にすることによって初期化されます。

25.3.16 EEPROM ブランクチェックステータスレジスタ (EEPBCSTAT)

アドレス H'FFFF A91E



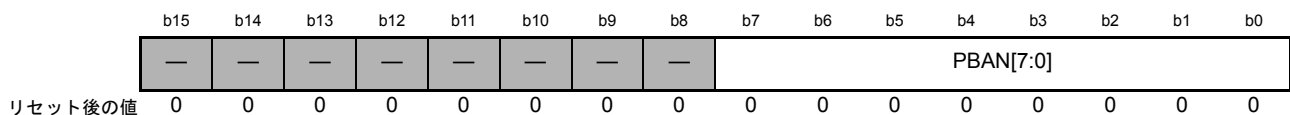
ビット	シンボル	ビット名	機能	R/W
b15-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	BCST	ブランクチェックステータスビット	ブランクチェックの結果を示すビットです。 0: ブランクチェック対象領域は消去状態(ブランク) 1: ブランクチェック対象領域は0データか1データが書き込まれた状態	R

EEPBCSTAT レジスタは、ブランクチェックコマンドの処理結果を格納します。

リセットおよび FRESETR レジスタの FRESET ビットを“1”にすることによって初期化されます。

25.3.17 周辺クロック A 通知レジスタ (PBAN)

アドレス H'FFFF A938



ビット	シンボル	ビット名	機能	R/W
b15-b8	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b7-b0	PBAN[7:0]	周辺クロック A 通知ビット	ROM/EEPROM 専用シーケンサ(FCU)へ周辺バスクロック A の周波数を通知するために使用します。	R/W

リセットおよび FRESETR レジスタの FRESET ビットを“1”にすることによって初期化されます。

PBAN ビット

PBAN ビットは、書き込み / 消去をする前に周辺バスクロック A の周波数を設定してください。設定された値は、周辺バスクロック A 通知コマンドの発行により、FCU へ通知されます。ROM/EEPROM の書き込み / 消去中は、周波数を変更しないでください。

設定値は、MHz 単位で表現した動作周波数を 2 進数に変換した値にしてください。

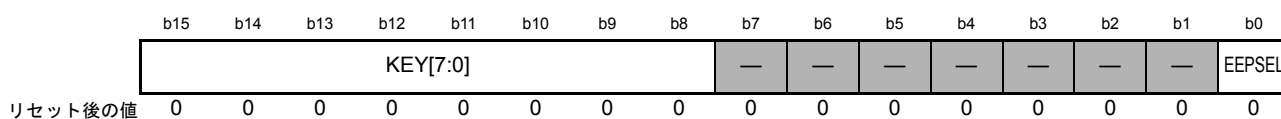
例: 周辺クロック A の動作周波数が 50MHz の場合

50 を 2 進数変換し、H'32 (B'0011 0010) を PBAN ビットに設定

注. • PBAN ビットには、周辺クロック A の周波数を設定してください。実周波数と異なる周波数を設定した場合、ROM/EEPROM のデータを破壊することがあります。

25.3.18 EEPROM マット選択レジスタ (EEPMAT)

アドレス H'FFFF AB00



ビット	シンボル	ビット名	機能	R/W
b15-b8	KEY[7:0]	キーコードビット	EEPSELビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。	R/(W) (注1)
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	EEPSEL	EEPROMマット選択ビット	EEPROMのマットを選択するためのビットです。EEPMATビットへの書き込みは、ワードアクセスでKEYがH'B3の場合のみ有効です。 0: データマット選択 1: 製品情報マット選択	R/W

注1. 書き込みデータは保持されません。

EEPMAT レジスタは、EEPROM のマットの切り替えに使用します。

ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

25.4 EEPROM 関連モード概要

図 25.4 に本 LSI の EEPROM に関するモード遷移図を示します。

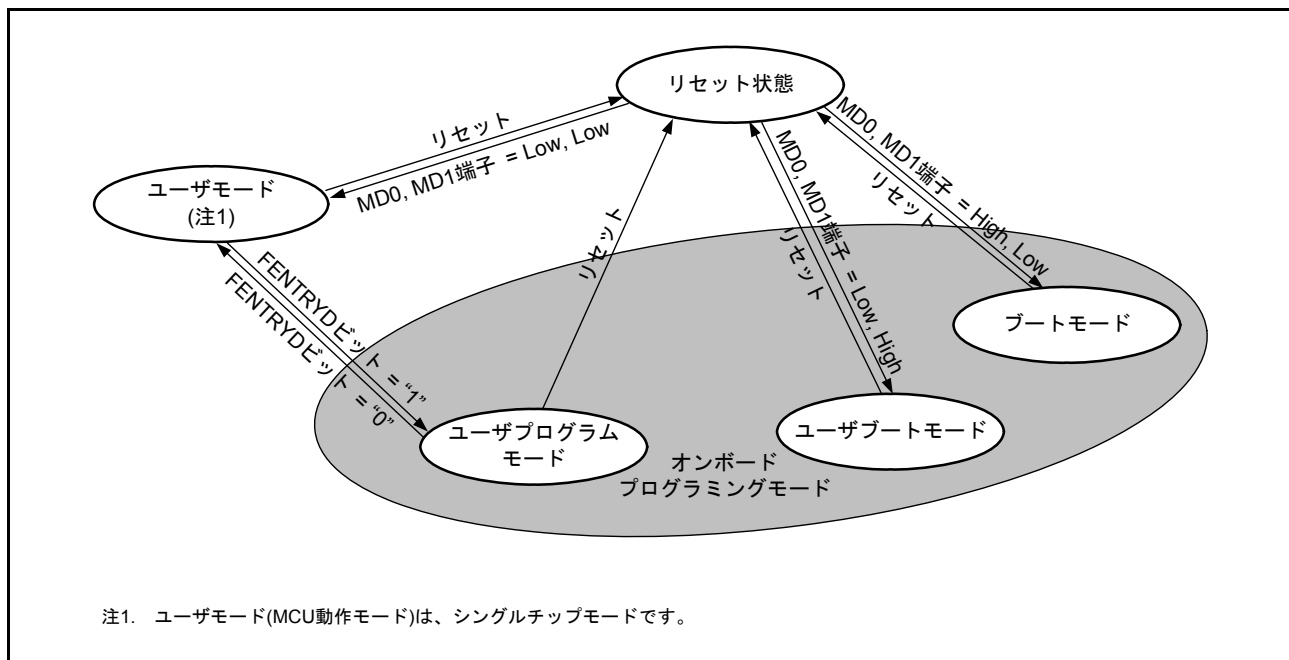


図 25.4 EEPROM に関するモード遷移図 (EEPROM 関連)

- ユーザモード/ユーザプログラムモード/ユーザブートモード/ブートモードでは、オンボードでデータマットの読み出し/書き込み/消去を実施できます。
- ユーザモードでは ROM を書き込み/消去できませんが、EEPROM を書き込み/消去できます。また、EEPROM の書き込み/消去中には ROM を読み出すことができます。このため、書き込み/消去プロテクトされた ROM 上のアプリケーションプログラムを実行しながら、データを EEPROM に書き込むことができます。

表 25.5 にブートモード、ユーザモード、ユーザプログラムモード、ユーザブートモード書き込み / 消去関連項目の比較表を示します。

表 25.5 プログラミングモードの比較

項目	ブートモード	ユーザモード	ユーザプログラムモード	ユーザブートモード
書き込み/消去環境	オンボードプログラミング			
書き込み/消去可能マット	データマット	データマット	データマット	データマット
書き込み/消去制御	ホスト	FCU	FCU	FCU
全面消去	○(自動)	○	○	○
ブロック分割消去	○(注1)	○	○	○
書き込みデータ転送	ホストから SCI 経由	任意のデバイスから RAM 経由	任意のデバイスから RAM 経由	任意のデバイスから RAM 経由
リセット時の起動マット	組み込みプログラム格納マット	ユーザマット	ユーザマット	ユーザブートマット (注2)

注1. 起動時に全面消去されます。その後、特定ブロックの消去を実施可能です。

注2. 組み込みプログラム格納マットから起動し、ルネサス提供のブートプログラムを実行した後にユーザブートマットのリセットベクタから起動します。

- ブートモードでは、起動直後に ROM のユーザマット / ユーザブートマットとデータマットが全面消去されます。その後、ホストから SCI 経由でのデータマットの書き込みが可能になります。データマットの読み出しも、起動直後の全面消去後に可能になります。
- ユーザブートモードでは、ユーザモード / ユーザプログラムモードと異なるモード端子設定で、任意のインタフェースのブート動作を実現できます。
- ブートモード / ユーザブートモードではブートプログラムで内蔵 RAM を使用します。このため、RAM イネーブルレジスタ (RAMEN) の設定で内蔵 RAM を無効にしてリセットし、ブートモード / ユーザブートモードで起動した場合には、リセット前の内蔵 RAM のデータは保持されません (「27. RAM 制御」を参照)。

25.5 ブートモード

ブートモードでは、ホストから制御コマンドや書き込みデータを送信してデータマットの書き込み / 消去を実行可能です。ブートモードのシステム構成や使用方法の詳細は、「24. ROM」を参照してください。本節では、EEPROM 専用のコマンドの説明を記載します。

25.5.1 問い合わせ設定ホストコマンド

表 25.6 に問い合わせ設定ホストコマンド (EEPROM 専用) を示します。データマット有無問い合わせ / データマット情報問い合わせコマンドは、「24.5.4 問い合わせ設定ホストコマンド待ち状態」の図 24.9 に示したフロー中の「マット書き込み用の情報問い合わせ」を実施する箇所で使用します。

表 25.6 問い合わせ設定ホストコマンド (EEPROM 専用)

ホストコマンド名	機能
データマット有無問い合わせ	データマット有無の問い合わせ
データマット情報問い合わせ	データマットの個数、先頭/最終アドレスの問い合わせ

各ホストコマンドの詳細を以下に説明します。説明文中の「コマンド」はホストから本 LSI に送信するコマンド、「レスポンス」は本 LSI からホストに送信する応答です。「サムチェック」は、本 LSI が送信した各バイトを合計した場合に H'00 になるように計算されたバイトデータを指します。

(1) データマット有無問い合わせ

ホストがデータマット有無問い合わせコマンドを送信すると、データマットがあることを示す情報を本 LSI が送信します。

コマンド	H'2A			
レスポンス	H'3A	サイズ	マット有無	SUM

【記号説明】

サイズ (1 バイト): マット有無の文字数 (固定値で "1")

マット有無 (1 バイト): データマットの有無 (固定値で H'01)

H'00 データマットなし

H'01 データマットあり

SUM (1 バイト): サムチェック

(2) データマット情報問い合わせ

ホストがデータマット情報問い合わせコマンドを送信すると、データマットのエリア数とアドレスの情報を本 LSI が送信します。

コマンド	H'2B			
レスポンス	H'3B	サイズ	エリア数	
	エリア先頭アドレス			
	エリア最終アドレス			
	エリア先頭アドレス			
	エリア最終アドレス			
	...			
	エリア先頭アドレス			
	エリア最終アドレス			
	SUM			

【記号説明】

サイズ (1 バイト): エリア数、エリア先頭アドレス、エリア最終アドレスのデータの総バイト数

エリア数 (1 バイト): データマットのエリア数 (連続したエリアは 1 エリアと数えます)

エリア先頭アドレス (4 バイト): データマットエリアの先頭アドレス

エリア最終アドレス (4 バイト): データマットエリアの最終アドレス

SUM (1 バイト): サムチェック

データマットのブロック構成の情報は、消去ブロック情報問い合わせコマンド (「24.5.4 問い合わせ設定
ホストコマンド待ち状態」を参照) のレスポンスに含まれます。

25.5.2 書き込み / 消去ホストコマンド

表 25.7 に書き込み / 消去ホストコマンド (EEPROM) を示します。EEPROM 専用のホストコマンドはデータマットのサムチェック / ブランクチェック用のコマンドのみで、書き込み / 消去 / 読み出し用のコマンドは ROM と共用です。

データマットの書き込みを行う場合は、ユーザマット書き込み選択コマンドを発行後、256 バイト書き込みコマンドで書き込みアドレスにデータマットのアドレスを指定します。データマットの消去を行う場合は、消去選択コマンド発行後、ブロック消去コマンドでデータマットの消去ブロックを指定します。データマットの消去ブロック情報は、消去ブロック問い合わせコマンドのレスポンスに含まれます。データマットの読み出しを行う場合は、メモリリードコマンドでユーザマットを選択し、読み出し対象アドレスにデータマットのアドレスを指定します。

ユーザマット書き込み選択コマンド / ユーザブートマット書き込み選択コマンド / 256 バイト書き込みコマンド / 消去選択コマンド / ブロック消去コマンド / メモリリードコマンドの詳細は、「24.5.5 書き込み / 消去ホストコマンド待ち状態」を参照してください。消去ブロック問い合わせコマンドの詳細は、「24.5.4 問い合わせ設定ホストコマンド待ち状態」を参照してください。

表 25.7 書き込み / 消去ホストコマンド (EEPROM)

ホストコマンド名	機能
データマットサムチェック	データマットのサムチェック
データマットブランクチェック	データマットのブランクチェック

各ホストコマンドの詳細を以下に説明します。説明文中の「コマンド」はホストから本 LSI に送信するコマンド、「レスポンス」は本 LSI からホストに送信する応答です。「サムチェック」は、本 LSI が送信した各バイトを合計した場合に H'00 になるように計算されたバイトデータを指します。

(1) データマットサムチェック

ホストがデータマットサムチェックコマンドを送信すると、本 LSI はデータマットのデータをバイト単位で加算した結果 (サムチェック) を送信します。

コマンド	H'61			
レスポンス	H'71	サイズ	マットのサムチェック	SUM

【記号説明】

サイズ (1 バイト): マットのサムチェックのバイト数 (固定値で 4)

マットのサムチェック (4 バイト): データマットのサムチェック結果

SUM (4 バイト): サムチェック (レスポンスデータのサムチェック)

(2) データマットブランクチェック

ホストがデータマットブランクチェックコマンドを送信すると、本 LSI はデータマットがすべて消去状態であるかをチェックします。データマットがすべて消去状態であった場合には、本 LSI はレスポンス (H'06) を送信します。データマットに未消去領域が存在した場合には、本 LSI はエラーレスポンス (H'E2 → H'52) を送信します。

コマンド	H'62	
レスポンス	H'06	
エラーレスポンス	H'E2	H'52

25.6 ユーザモード/ユーザプログラムモード/ユーザブートモード

25.6.1 FCU コマンド一覧

ユーザモード/ユーザプログラムモード/ユーザブートモードでは、FCU へ FCU コマンドを発行してデータマットの書き込み/消去を実行します。表 25.8 に FCU コマンド一覧 (EEPROM 関連) を示します。

表 25.8 FCU コマンド一覧 (EEPROM 関連)

コマンド名	機能
ノーマルモード移行	ノーマルモードに遷移(「25.6.2 FCU コマンド受け付け条件」を参照)
ステータスリードモード移行	ステータスリードモードに遷移(「25.6.2 FCU コマンド受け付け条件」を参照)
ロックビットリードモード移行 (ロックビットリード1)	ロックビットリードモードに遷移(「25.6.2 FCU コマンド受け付け条件」を参照)
周辺クロック A 通知	周辺クロック A の周波数を設定
プログラム	EEPROM 書き込み(8 バイトまたは 128 バイト単位)
ブロックイレース	EEPROM 消去(ブロック単位)
P/E サスペンド	書き込み/消去の中断
P/E レジューム	書き込み/消去の再開
ステータスレジスタクリア	FSTATR0 レジスタの IGLERR、ERSERR、PRGERR ビットのクリアとコマンドロック状態の解除
ブランクチェック	指定した領域が消去状態(ブランク)であるか確認

ブランクチェックコマンド以外の FCU コマンドは、ROM でも使用します。ROM に対してブランクチェックコマンドを発行した場合には、ROM のロックビット読み出しが実行されます。

FCU へのコマンド発行は、EEPROM 領域に対する周辺バス A アクセスで実現されます。次に、表 25.9 に FCU コマンドのフォーマット (EEPROM 専用コマンド) を示します。プログラムコマンドとブランクチェックコマンド以外の FCU コマンドのフォーマットは、「24.6.1 FCU コマンド一覧」を参照してください。表 25.8 に示した周辺バス A アクセスを特定条件下で実行すると、FCU は各コマンドに対応した処理を実行します。FCU コマンドの受け付け条件については、「25.6.2 FCU コマンド受け付け条件」を参照してください。また、コマンドの使用方法については、「25.6.3 FCU コマンド使用方法」を参照してください。

FRDMD ビットが“0”(メモリ領域モード)で FCU コマンドの 1 サイクル目が H'71 の場合には、FCU はロックビットリードモード移行コマンド(ロックビットリード1)を受け付けます。EEPROM にはロックビットが存在しないため、ロックビットリードモードに移行後に EEPROM 領域に対して周辺バス A リードアクセスを実行すると不定データが読み出されます。この不定データ読み出し時には、FCU はエラーを検出しません。FRDMD が“1”(レジスタリードモード)で FCU コマンドの 1 サイクル目が H'71 の場合には、FCU はブランクチェックコマンドの 2 サイクル目のコマンド(H'D0)待ちの状態になります。この状態で、EEPROM 領域に対して周辺バス A ライトアクセスで H'D0 を書き込むと、FCU は EEPBCCNT レジスタの設定値に従ったブランクチェック処理を実行し、ブランクチェック完了後に EEPBCSTAT レジスタに結果を反映します。

P/E サスペンドコマンド発行時のサスペンド動作の詳細は「24.6.4 サスペンド動作」を参照してください。

表 25.9 FCUコマンドのフォーマット(EEPROM専用コマンド)

コマンド	コマンド サイクル数 (注1)	1サイクル目		2サイクル目		3サイクル目		4～N+2サイク ル目		N+3サイクル目	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
プログラム (8バイト書き込み：N = 4)	7	EA	H'E8	EA	H'04	WA	WD1	EA	WDn	EA	H'D0
プログラム (128バイト書き込み：N = 64)	67	EA	H'E8	EA	H'40	WA	WD1	EA	WDn	EA	H'D0
ブランクチェック	2	EA	H'71	BA	H'D0	—	—	—	—	—	—

【記号説明】

EA： EEPROM 領域のアドレス

H'8010 0000 ~ H'8010 7FFF の任意アドレス

WA： 書き込みデータの先頭アドレス

BA： EEPROM 消去ブロックアドレス

対象消去ブロックの任意アドレス

WDn： 書き込みデータ n ワード目 (n = 1 ~ N)

注1. コマンドサイクル数は書き込み/消去アドレスに対する周辺バス(Pバス)ライトアクセス発行回数

25.6.2 FCU コマンド受け付け条件

FCU コマンドの受け付け可否は、FCU のモード / 状態に依存します。図 25.5 に FCU のモード遷移図を示します。

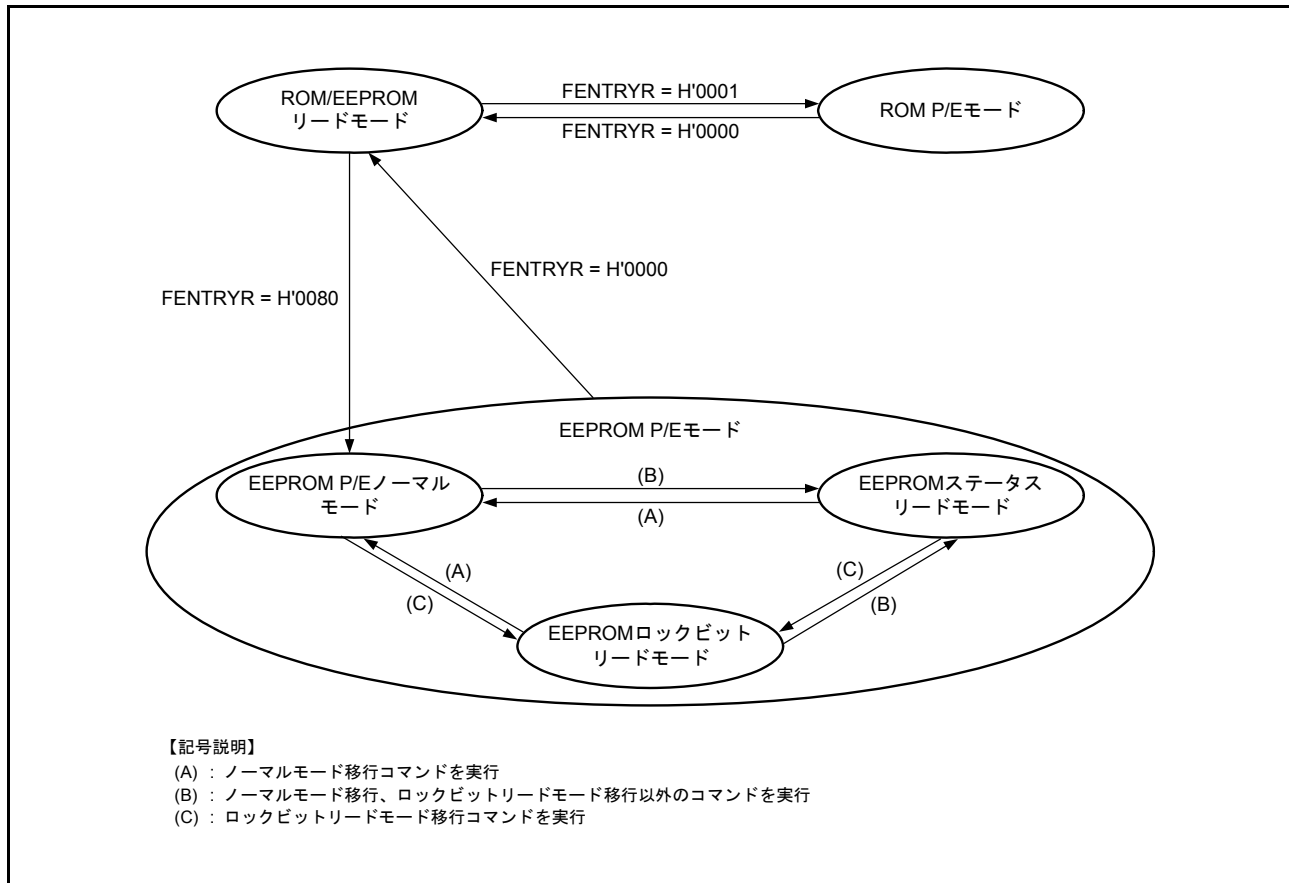


図 25.5 FCU のモード遷移図 (EEPROM 関連)

注・ FENTRYR レジスタ書き込みによるモードの遷移のときは注意が必要です。

FENTRYR レジスタ書き込み後、FENTRYR レジスタ読み出し命令を実行し、NOP 命令を 5 個以上実行してください。

(1) ROM P/E モード

ROM 書き込み / 消去用の FCU コマンドを受け付け可能なモードです。EEPROM を読み出すことはできません。FENTRYR レジスタの FENTRYD ビットを“0”かつ FENTRY0 ビットを“1”に設定した場合に遷移するモードです。ROM P/E モードの詳細は、「24.6.2 FCU コマンド受け付け条件」を参照してください。

(2) ROM/EEPROM リードモード

周辺バス A 経由で EEPROM を、ROM キャッシュ経由で ROM を高速読み出し可能なモードです。FCU コマンドは受け付けられません。FENTRYD ビットを“0”かつ FENTRY0 ビットを“0”に設定した場合に、このモードに遷移します。

(3) EEPROM P/E モード

• EEPROM P/E ノーマルモード

ROM/EEPROM リードモードまたは ROM P/E モード時に FENTRYD ビットを“1”かつ FENTRY0 ビットを“0”に設定した場合、または EEPROM P/E モードでノーマルモード移行コマンドを受け付けた場合に遷移するモードです。EEPROM 領域に対して周辺バス A リードアクセスを発行した場合には、EEPROM ア

クセス違反が発生してFCUはコマンドロック状態になります。ROMは高速読み出し可能です。

- EEPROMステータスリードモード

EEPROM P/E モードでノーマルモード移行、ロックビットリードモード移行以外のコマンドを受け付けた場合に遷移するモードです。FSTATR0レジスタのFRDYビットが“0”の状態やエラー発生後のコマンドロック状態も、EEPROMステータスリードモード中の状態です。EEPROM領域に対して周辺バスAリードアクセスを発行した場合には、FSTATR0レジスタの値が読み出されます。ROMは高速読み出し可能です。

- EEPROMロックビットリードモード

EEPROM P/E モードでロックビットリードモード移行コマンドを受け付けた場合に遷移するモードです。EEPROMにはロックビットが存在しないため、EEPROM領域に対して周辺バスAリードアクセスを発行した場合には、読み出しデータは不定値になりますが、EEPROMアクセス違反は発生しません。ROMは高速読み出し可能です。

表 25.10 に FCU のモード / 状態と受け付け可能なコマンドの関係を示します。受け付け不可能なコマンドが発行された場合には、FCUはコマンドロック状態になります(「25.7.2 エラープロテクト」を参照)。

FCU コマンドを確実に受け付けさせたい場合には、発行するコマンドを受け付け可能なモードに移行し、FSTATR0レジスタのFRDY、ILGLERR、ERSERR、PRGERRビットとFSTATR1レジスタのFCUERRとFRDTCT/FRCRCTビットの値を確認した後にFCUコマンドを発行してください。FASTATレジスタのCMDLKビットの値は、FSTATR0レジスタのILGLERR、ERSERR、PRGERRとFSTATR1レジスタのFCUERR、FRDTCT/FRCRCTビットの値の論理和です。このため、CMDLKビットを確認してFCUのエラー発生状況を確認することもできます。表 25.10 では、エラー発生状況を表すビットにCMDLKビットを使用しています。書き込み/消去の処理中、書き込み/中断処理の処理中、ブランクチェック処理中にはFSTATR0レジスタのFRDYビットが“0”になります。FRDYビットが“0”の場合でP/Eサスペンドコマンドが受け付け可能な状態は、FSTATR0レジスタのSUSRDYビットが“1”の場合のみです。

表 25.10 では、表を簡素化するためにERSSPD、PRGSPD、FRDYビットの値を0/1と表記しています。ERSSPDビットは、消去の中断処理中の場合には“1”、書き込みの中断処理中の場合には“0”になります。PRGSPDビットは、書き込みの中断処理中の場合には“1”、消去の中断処理中の場合には“0”になります。コマンドロック状態のFRDYビットの値は、コマンドロック状態に遷移する前のFRDYビットの値が保持されます。

表25.10 FCUのモード/状態と受け付け可能なコマンドの関係

項目	P/Eノーマルモード			ステータスリードモード								ロックビットリードモード			
	書き込みサスペンド中	消去サスペンド中	その他の状態	書き込み/消去の処理中	消去サスペンド中の書き込み処理中	書き込み/消去の中断処理中	ブランクチェック処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態 (FRDY=0)	コマンドロック状態 (FRDY=1)	その他の状態	書き込みサスペンド中	消去サスペンド中	その他の状態
FSTATR0レジスタのFRDYビット	1	1	1	0	0	0	0	1	1	0	1	1	1	1	1
FSTATR0レジスタのSUSRDYビット	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
FSTATR0レジスタのERSSPDビット	0	1	0	0	1	0/1	0/1	0	1	0/1	0/1	0	0	1	0
FSTATR0レジスタのPRGSPDビット	1	0	0	0	0	0/1	0/1	1	0	0/1	0/1	0	1	0	0
FASTATレジスタのCMDLKビット	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0
ノーマルモード移行	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
ステータスリードモード移行	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
ロックビットリードモード移行(ロックビットリード1)	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
周辺クロックA通知	×	×	○	×	×	×	×	×	×	×	×	○	×	×	○
プログラム	×	△	○	×	×	×	×	×	△	×	×	○	×	△	○
ブロックイレーズ	×	×	○	×	×	×	×	×	×	×	×	○	×	×	○
P/Eサスペンド	×	×	×	○	×	×	×	×	×	×	×	×	×	×	×
P/Eレジューム	○	○	×	×	×	×	×	○	○	×	×	×	○	○	×
ステータスレジスタクリア	○	○	○	×	×	×	×	○	○	×	○	○	○	○	○
ブランクチェック	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○

【記号説明】

○：受け付け可能

△：消去中断したブロック以外への書き込みのみ受け付け可能

×：受け付け不可能

25.6.3 FCU コマンド使用方法

プログラムコマンドとブロックイレーズコマンドを使用して EEPROM を書き込み / 消去する方法とブランクチェックコマンドを使用して EEPROM の消去状態を確認する方法を示します。FCU RAM へのファームウェア転送方法やその他の FCU コマンド使用方法については、「24.6.3 FCU コマンド使用方法」を参照してください。

FCU がコマンド処理中に FSTATR1 レジスタの FCUERR ビットまたは FRDTCT/FCRCRCT ビットが“1”にセットされてコマンドロック状態に遷移した場合には、FSTATR0 レジスタの FRDY ビットは“0”を保持します。コマンドロック状態では FCU の処理が停止するため、FRDY ビットが“0”から“1”にセットされることはありません。書き込み / 消去時間やサスペンド遅延時間（「30. 電気的特性」を参照）よりも長期間にわたって FRDY ビットが“0”に保持される場合は、コマンドロック状態で FCU の処理が停止するなどの異常動作が発生している可能性があるため、FCU リセットによって FCU を初期化してください。FCU のコマンド処理が完了して FRDY ビットが“1”にセットされた場合には、FCUERR ビットと FRDTCT/FCRCRCT ビットの値は必ず“0”の状態です。このため、コマンド処理完了後のエラー発生状況は、ILGLERR、ERSERR、PRGERR ビットで確認可能です。

(1) 書き込み方法

EEPROM へのデータ書き込みには、プログラムコマンドを使用します。プログラムコマンドの第 1 サイクルでは H'E8 を、第 2 サイクルでは書き込みワード数 (N) (注 1) を EEPROM 領域のアドレスにバイト書き込みします。コマンドの第 3 ~ N+2 サイクルでは、ワードサイズで周辺バス A アクセスを実行します。第 3 サイクルのアクセスでは、プログラム対象領域の先頭アドレスに対して書き込みデータを書き込んでください。先頭アドレスは、8 バイト書き込みの場合には 8 バイト境界、128 バイト書き込みの場合には 128 バイト境界にアラインしてください。EEPROM 領域のアドレスに対して N 回のワード書き込みを実行後、第 N+3 サイクルで EEPROM 領域のアドレスに対して H'D0 をバイト書き込みすると FCU が EEPROM の書き込み処理を開始します。書き込みの完了は、FSTATR0 レジスタの FRDY ビットで確認可能です。

第 3 サイクル ~ 第 N+2 サイクルでアクセスする領域に書き込み不要なアドレスが含まれる場合は、該当アドレスに対する書き込みデータを H'FFFF にしてください。EEPWE0 / 1 レジスタによる書き込み / 消去プロテクトを無効化して書き込みを実施したい場合には、書き込み対象ブロック用の書き込み / 消去許可ビットを“1”に設定してから書き込みを行ってください。

図 25.6 に EEPROM 書き込み方法を示します。

注 1. 8 バイト書き込みの場合には $N = H'04$ 、128 バイト書き込みの場合には $N = H'40$ です。

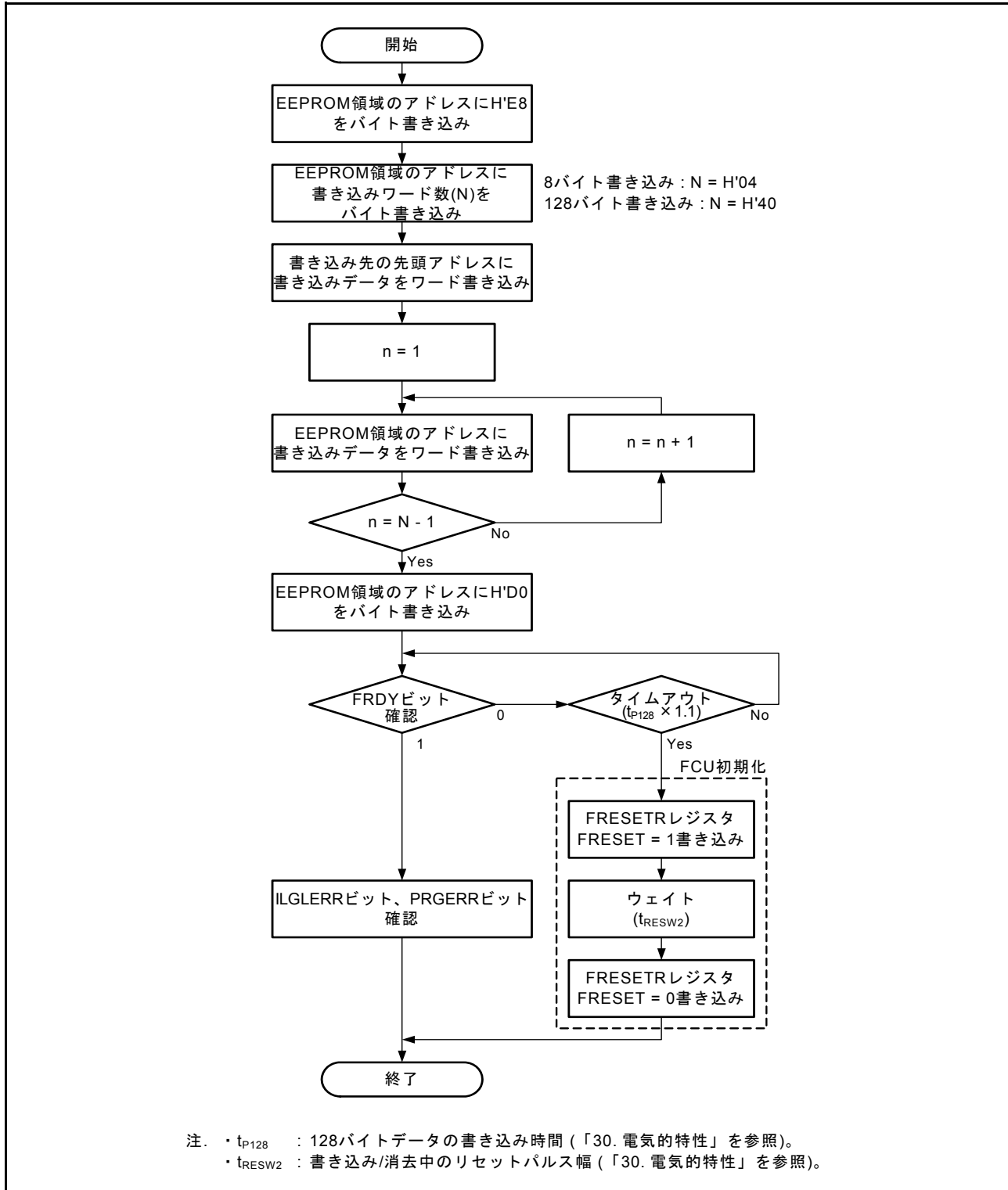


図 25.6 EEPROM 書き込み方法

(2) 消去方法

EEPROM の消去には、ブロックイレーズコマンドを使用します。ブロックイレーズコマンドを使用した消去方法は、ROM の消去方法と同様です (「24. ROM」を参照)。EEPROM には、EEPWE0 / 1 レジスタによる書き込み / 消去プロテクト機能があることに注意してください。EEPWE0 / 1 によるプロテクトを無効化して消去を実施したい場合には、消去対象ブロック用の書き込み / 消去許可ビットを“1”に設定してから消去を行ってください。

(3) 消去状態の確認方法

CPU で消去状態の EEPROM を読み出すと不定値が読み出されますので、消去状態の確認にはブランクチェックコマンドを使用する必要があります。ブランクチェックコマンドを使用する場合には、事前に FMODR レジスタの FRDMD ビットを“1”に設定してブランクチェックコマンドが使用可能な状態にし、EEPBCCNT レジスタにチェック対象領域のサイズとアドレスを設定してください。EEPBCCNT レジスタの BCSIZE ビットが“1”の場合には、ブランクチェックコマンドの第2サイクルで指定した消去ブロック全体(2K バイト)のブランクチェックを実行可能です。BCSIZE ビットが“0”の場合には、ブランクチェックコマンドの第2サイクルで指定した消去ブロックの先頭アドレスとEEPBCCNT レジスタの値を加算したアドレスから8バイト分の領域のブランクチェックを実行可能です。ブランクチェックコマンドの第1サイクルでは、H'71 を EEPROM 領域のアドレスにバイト書き込みします。コマンドの第2サイクルでブランクチェック対象領域を含む消去ブロック内の任意アドレスに H'D0 をバイト書き込みすると、FCU が EEPROM のブランクチェック処理を開始します。ブランクチェックの完了は、FSTATR0 レジスタの FRDY ビットで確認可能です。ブランクチェックの完了後に EEPBCSTAT レジスタの BCST ビットの値を確認すると、チェック対象領域が消去状態であるか“0”データか“1”データを書き込んだ状態であるかを確認することができます。

図 25.7 に EEPROM ブランクチェック方法を示します。

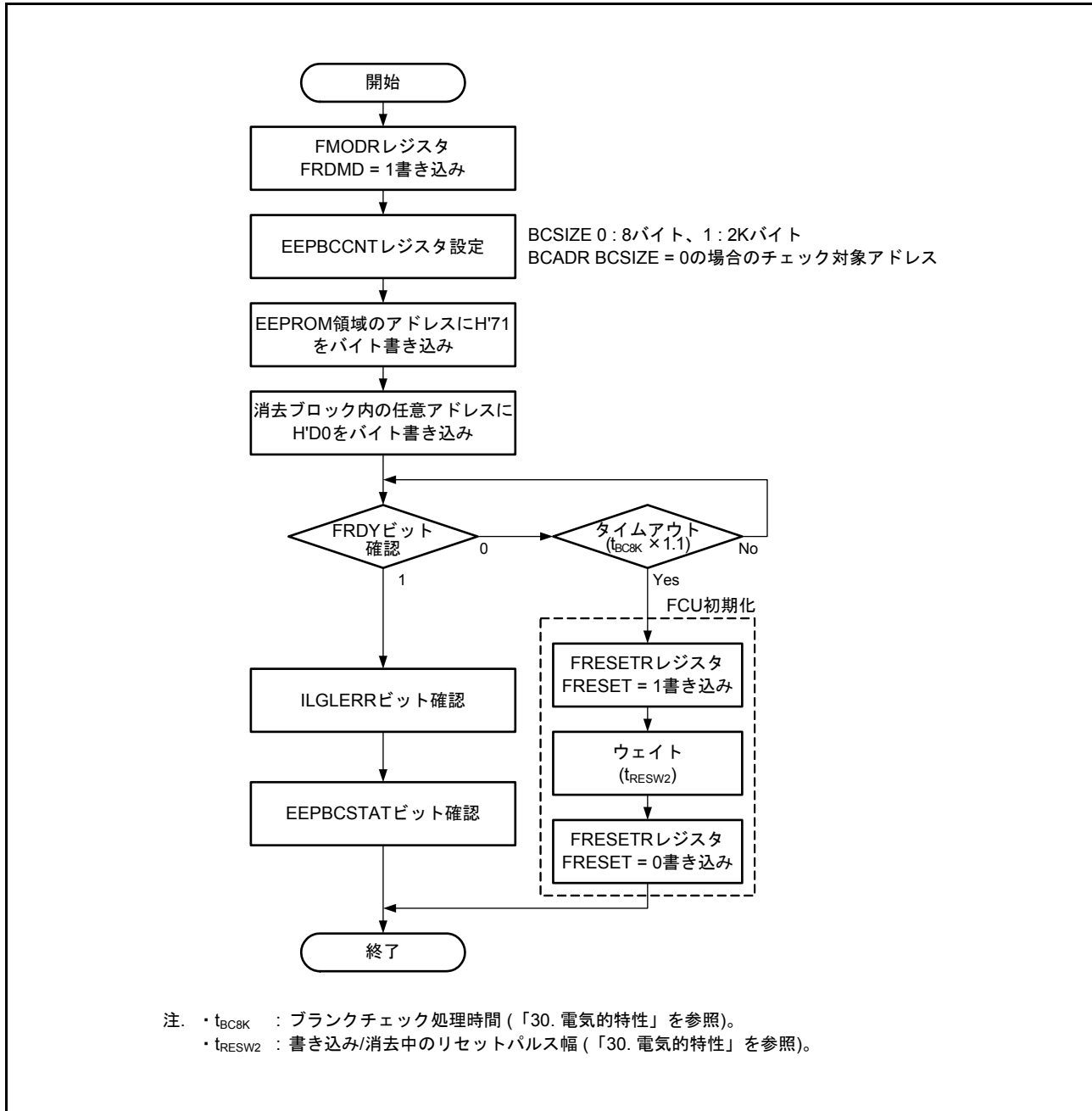


図 25.7 EEPROM ブランクチェック方法

25.7 プロテクト

EEPROM に対する書き込み / 消去のプロテクトには、ソフトウェアプロテクト、エラープロテクトの 2 種類があります。

25.7.1 ソフトウェアプロテクト

ソフトウェアプロテクトは、制御レジスタ設定によって EEPROM に対する書き込み / 消去が禁止された状態です。ソフトウェアプロテクトに違反して、EEPROM に対する書き込み / 消去系コマンドを発行した場合には、FCU がエラーを検出してコマンドロック状態になります。

(1) FENTRYR によるプロテクト

FENTRYR レジスタの FENTRYD ビットが“0”の場合には、EEPROM に対する FCU コマンドが受け付けられないため、EEPROM の書き込み / 消去は禁止状態になります。FENTRYD ビットが“0”の状態では EEPROM に対する FCU コマンドを発行すると、FCU はイリーガルコマンドエラーを検出してコマンドロック状態になります (「25.7.2 エラープロテクト」を参照)。

(2) EEPWE0 / 1 レジスタによるプロテクト

EEPWE0 / 1 レジスタの DBWE i ($i = 00 \sim 15$) ビットが“0”の場合には、データマットの DB i ブロックの書き込み / 消去が禁止状態になります。DBWE i ビットが“0”の状態では DB i ブロックに対する書き込み / 消去を実行すると、FCU は書き込み / 消去プロテクト違反を検出してコマンドロック状態になります (「25.7.2 エラープロテクト」を参照)。

25.7.2 エラープロテクト

エラープロテクトは、FCU コマンドの誤発行 / 禁止アクセスの発生 / FCU の誤動作を検出して FCU コマンドの受け付けを禁止する状態 (コマンドロック状態) です。FCU をコマンドロック状態にすることにより、EEPROM の書き込み / 消去が禁止されます。コマンドロック状態を解除するためには、FASTAT レジスタが H'10 の状態でステータスレジスタクリアコマンドを発行する必要があります。

FAEINT レジスタの CMDLKIE ビットが“1”の場合には、FCU がコマンドロック状態 (FASTAT レジスタの CMDLK ビットが“1”)になるとフラッシュインタフェースエラー (FIFE) 割り込みが発生します。また、FAEINT レジスタの EEPROM 関連の割り込みイネーブルビット (EEPAEIE/EEPIFEIE/EEPRPEIE/EEPWPEIE ビット) が“1”の場合には、FASTAT レジスタの対応するビット (EEPAE/EEPIFE/EEPRPE/EEPWPE ビット) が“1”になると FIFE 割り込みが発生します。

表 25.11 に EEPROM 関連のエラープロテクト内容とエラー検出後のステータスビット値 (FSTATR0 レジスタの ILGLERR/ERSERR/PRGERR ビット、FASTST レジスタの EEPAE/EEPIFE/EEPRPE/EEPWPE ビット) の関係を示します。ROM/EEPROM 共通のエラープロテクト内容 (FENTRYR 設定エラー、不正コマンドの大半、消去エラー、書き込みエラー、FCU エラー、FCU RAM ECC エラー) については、「24.8.2 エラープロテクト」を参照してください。書き込み / 消去処理中にサスペンド以外のコマンドが発行されてコマンドロック状態に遷移した場合には、FCU は書き込み / 消去処理を継続します。この状態で P/E サスペンドコマンドを発行して書き込み / 消去を中断することはできません。コマンドロック状態でコマンドが発行された場合には、ILGLERR ビット値は“1”になり、その他のビットの値は以前のエラー検出時に設定された値を保持します。

表 25.11 エラープロテクト一覧

分類	内 容	ILGLERR	ERSERR	PRGERR	EEPAE	EEPIFE	EEPRPE	EEPWPE
不正コマンド	プログラムコマンドの2サイクル目でH'04、H'40以外を指定	1	0	0	0	0	0	0
	FENTRYRレジスタのFENTRYDビットが“1”の状態、EEPROM領域に対してロックビットプログラムコマンドを発行	1	0	0	0	0	0	0
EEPROMアクセス違反	FENTRYRレジスタのFENTRYDビットが“1”、かつEEPROM P/E ノーマルモードで、EEPROM領域に対してリードアクセスを発行	1	0	0	1	0	0	0
	FENTRYDビットが“0”の状態、EEPROM領域に対してライトアクセスを発行	1	0	0	1	0	0	0
	FENTRYRレジスタのFENTRY0ビットが“1”の状態、EEPROM領域に対するアクセスを発行	1	0	0	1	0	0	0
EEPROM命令フェッチ違反	EEPROMIに対して命令フェッチを実行	1	0	0	0	1	0	0
EEPROMリードプロテクト違反	EEPPE0 / 1レジスタで読み出し禁止に設定したEEPROM領域に対してリードアクセスを発行	1	0	0	0	0	1	0
EEPROMライトプロテクト違反	EEPWE0 / 1レジスタで書き込み/消去禁止に設定したEEPROM領域に対して、プログラム/ブロックイレーズコマンドを発行	1	0	0	0	0	0	1

25.8 製品情報マット

製品情報マットには、デバイス名/デバイスリビジョン/組み込みプログラムリビジョンがASCIIコードで書き込まれています。組み込みプログラムとは、ブートモード/ユーザブートモード時の起動マット(「24.4

ROM 関連モード概要」を参照)に格納されているプログラムです。表 25.12、表 25.13 に製品情報マットに格納される情報の格納アドレスとデータ例を示します。

製品情報マット領域(H'8010 0000 ~ H'8010 007F)のうち、表 25.12、表 25.13 にないアドレスは予約領域です。予約領域の読み出しデータは不定です。

表 25.12 製品情報マット格納データ(SH72A2グループ)

情報	アドレス	データ例
デバイス名	H'8010 0000 ~ H'8010 0007	H'5235463732413238 = R5F72A28
デバイスリビジョン	H'8010 0010 ~ H'8010 0011	H'3031 = 01
組み込みプログラムリビジョン	H'8010 0020 ~ H'8010 0022	H'313030 = 100 (1.00)

表 25.13 製品情報マット格納データ(SH72A0グループ)

情報	アドレス	データ例
デバイス名	H'8010 0000 ~ H'8010 0007	H'5235463732413038 = R5F72A08
デバイスリビジョン	H'8010 0010 ~ H'8010 0011	H'3031 = 01
組み込みプログラムリビジョン	H'8010 0020 ~ H'8010 0022	H'313030 = 100 (1.00)

25.9 EEPROM の注意事項

25.9.1 リセット起動直後のデータマットプロテクト状態

EEPRE0、EEPWE0 レジスタの初期値が H'0000 であるため、リセット起動直後のデータマットの読み出し / 書き込み / 消去は禁止状態です。データマットの読み出しが必要な場合には EEPRE0 レジスタを設定してからデータマットにアクセスしてください。また、データマットの書き込み / 消去が必要な場合には、EEPWE0 を設定してから書き込み / 消去用の FCU コマンドを発行してください。レジスタを設定せずに読み出し / 書き込み / 消去を実行しようとする、FCU がエラーを検出してコマンドロック状態になります。

25.9.2 AUD 動作不可状態、割り込み無視状態

以下の状態では、AUD はモジュールスタンバイ状態となり動作しません。また、NMI やマスカブル割り込みが発生しても無視されます。

- ブートモード動作中
- ユーザブートモード起動直後で、組み込みプログラム格納マットのプログラムを処理中

25.9.3 書き込み / 消去サスペンド対象領域

書き込み / 消去サスペンド中の領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、書き込み / 消去サスペンド対象領域のデータ読み出しが発生しないように注意してください。

25.9.4 従来の F-ZTAT SH マイコンとの書き込み / 消去プログラムの互換性

従来の F-ZTAT SH マイコンで使用していたフラッシュメモリの書き込み / 消去プログラムは、本 LSI では動作しません。

25.9.5 書き込み / 消去中のリセット

書き込み / 消去処理中は、リセット (ハードウェアリセット、ウォッチドッグタイマリセット) を発生させないでください。

書き込み / 消去処理中に RESET# 端子によるハードウェアリセットを発生させる必要がある場合、リセット期間を t_{RESW2} (「30. 電気的特性」を参照) 保持してください。ハードウェアリセットでは、メモリに印加された電圧の降下に必要な期間だけでなく、ROM 用電源の初期化や ROM 内部回路の初期化に必要な期間を確保するため、FCU のリセットよりも長期間のリセット状態の保持が必要になります。

書き込み / 消去処理中に FRESETR レジスタの FRESET ビットをセットして FCU をリセットする場合には、FCU のリセット状態を t_{RESW2} (「30. 電気的特性」を参照) 保持してください。書き込み / 消去中の ROM には高電圧が印加されているため、メモリに印加された電圧の降下に必要な期間を確保するために FCU のリセット状態を保持する必要があります。FCU をリセットしている期間は ROM の読み出しを行わないでください。

25.9.6 追加書き込み禁止

同一領域に 2 回以上の書き込みを行うことはできません。書き込み済みの領域を書き換えたい場合には、必ず該当領域を消去してください。

25.9.7 オンボードプログラミングモードにおける SLEEP 命令について

オンボードプログラミングモード中は、SLEEP 命令を使用しないでください。

25.9.8 製品情報マットへの書き込み / 消去

製品情報マットは読み出し専用で、書き込み / 消去できません。EEPMAT レジスタの EEPSEL ビットを“1”にセットして書き込み / 消去を行った場合、データマットへの書き込み / 消去が実行されます。また、EEPROM アクセス違反などのエラーも発生しません。製品情報マットへの書き込み / 消去は行わないようにしてください。

25.9.9 書き込み / 消去サスペンドによる中断

書き込み / 消去サスペンドコマンドによって書き込み / 消去処理を中断した場合は、必ずレジュームコマンドにより動作を完了させてください。

26. ROM キャッシュ (ROMC)

26.1 概要

ROM キャッシュは、ROM に格納された命令およびデータをキャッシングします。ROM キャッシュにより、ROM 内の命令およびデータの高速度アクセスが可能になります。

26.1.1 仕様

表 26.1 に ROM キャッシュの仕様を示します。

表 26.1 ROM キャッシュの仕様

項目	仕様
構成	命令/データ分離
プリフェッチキャッシュ	8ライン・4ウェイセットアソシアティブ、LRU方式(注1)
プリフェッチミスキャッシュ	4ライン・フルアソシアティブ、LRU方式(注1)
データキャッシュ	4ライン・フルアソシアティブ、LRU方式(注1) ライト時は、常にライトスルー & ライン自動インバリデート
ラインサイズ	16バイト(128ビット)/ライン
ハードウェアプリフェッチ	CPUの命令フェッチに先行してROMを読み出し、プリフェッチキャッシュに格納します

注1. LRU : Least Recently Used

26.2 キャッシュの構成

ROM キャッシュは、命令/データ分離型です。命令キャッシュは、プリフェッチキャッシュ (命令先読みのためのキャッシュ)、プリフェッチミスキャッシュ (プリフェッチキャッシュとプリフェッチミスキャッシュをともにミスした場合にROM読み出しデータを格納するキャッシュ) から構成されます。

図 26.1 にキャッシュ構成を示します。プリフェッチキャッシュは、8 ライン・4 ウェイセットアソシアティブ、プリフェッチミスキャッシュとデータキャッシュは、4 ライン・フルアソシアティブ構成です。すべてのキャッシュのラインサイズは 16 バイトで、ライン置き換えのアルゴリズムは LRU (Least Recently Used) 方式です。各キャッシュのライン置き換え方式については、「26.4.1 データキャッシュの検索」を参照してください。

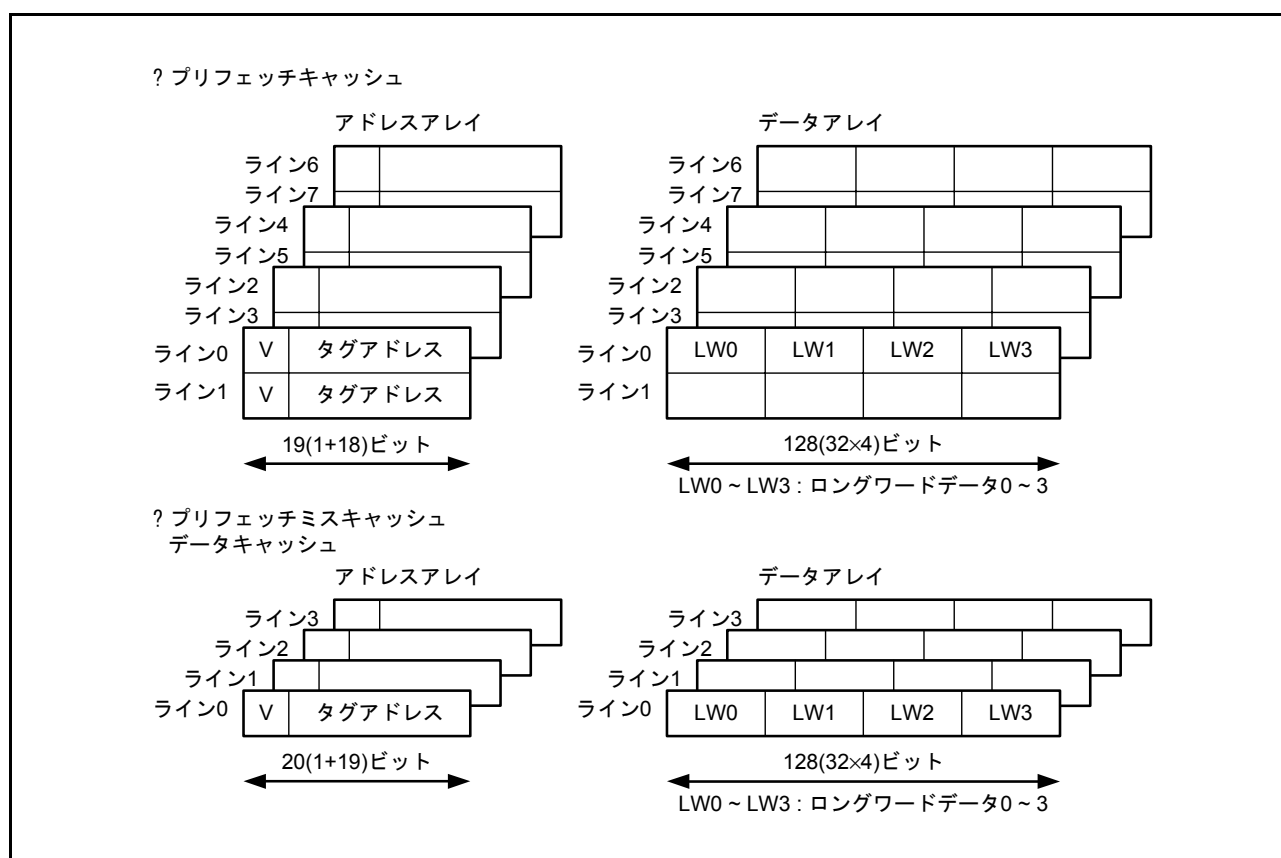


図 26.1 キャッシュ構成

(1) アドレスアレイ

V ビットは、ラインのデータが有効かどうかを示します。V ビットが“1”で有効、“0”で無効を示します。ライトは常にライトスルーとし、同時に該当ラインがキャッシングされている場合は、そのラインを無効化します。

タグアドレスは、ROM キャッシュの検索に使用されるアドレスを保持します。プリフェッチキャッシュの場合には、18 ビット (アクセスアドレスのビット 22~5) から構成されます。プリフェッチミスキャッシュとデータキャッシュの場合には、19 ビット (アクセスアドレスのビット 22~4) から構成されます。アクセスアドレスのビット 31~23 は、空間識別に使用されるため、ROM キャッシュの検索には使用されません。

V ビットは、ROM キャッシュ制御レジスタのビット書き込みおよびリセットで“0”に初期化されます。

(2) データアレイ

16 バイトの命令あるいはデータを保持します。キャッシュへの登録の単位は、ライン単位 (16 バイト単位) で行います。

本製品のラインサイズ(各ラインのデータラインに対応する部分の大きさ)は16バイト(128ビット)です。リセット後、データアレイの値は不定となります。

26.3 レジスタの説明

ROM キャッシュには以下のレジスタがあります。これらのレジスタはロングワードでしかアクセスできません。表 26.2 に ROM キャッシュ関連のレジスタ構成を示します。

表 26.2 ROMキャッシュのレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
ROMキャッシュ制御レジスタ	RCCR	H'0000 0001	H'FFFC 1400	32
ROMキャッシュ制御レジスタ2	RCCR2	H'0000 00F5	H'FFFC 1408	32

26.3.1 ROM キャッシュ制御レジスタ (RCCR)

アドレス H'FFFC 1400

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	—	—	—	—	—	—	—	—	—	—	—	RCF	RCFI	RCFD	RCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b31-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	RCF	ROMキャッシュフラッシュビット	“1”を書き込むと、ROMキャッシュの全ラインのVビットを“0”にクリア(フラッシュ)します。読み出すと“0”が読み出されます。 0: ROMキャッシュのラインのVビットをクリアしない 1: ROMキャッシュのラインのVビットをクリアする [“1”になる条件] • “1”を書き込む [“0”になる条件] • リセット	R/W
b2	RCFI	命令用キャッシュフラッシュビット	“1”を書き込むと、プリフェッチキャッシュおよびプリフェッチミスキャッシュの全ラインのVビットを“0”にクリア(フラッシュ)します。読み出すと“0”が読み出されます。 0: 命令用キャッシュのラインのVビットをクリアしない 1: 命令用キャッシュのラインのVビットをクリアする [“1”になる条件] • “1”を書き込む [“0”になる条件] • リセット	R/W
b1	RCFD	データ用キャッシュフラッシュビット	“1”を書き込むと、データ用キャッシュの全ラインのVビットを“0”にクリア(フラッシュ)します。読み出すと“0”が読み出されます。 0: データ用キャッシュのラインのVビットをクリアしない 1: データ用キャッシュのラインのVビットをクリアする [“1”になる条件] • “1”を書き込む [“0”になる条件] • リセット	R/W
b0	RCE	ROMキャッシュイネーブルビット	ROMキャッシュ機能を使用するかどうかを設定します。 0: ROMキャッシュを使用しない 1: ROMキャッシュを使用する [“1”になる条件] • リセット • “1”を書き込む [“0”になる条件] • “0”を書き込む	R/W

RCCR レジスタには、ROM キャッシュの全ラインの無効化を制御する RCF ビット、命令用キャッシュ(プリフェッチキャッシュおよびプリフェッチミスキャッシュ)の全ラインの無効化を制御する RCFI ビット、データ用キャッシュ(データキャッシュ)の全ラインの無効化を制御する RCFD ビット、および ROM キャッシュ機能の使用の有無を選択する RCE ビットがあります。

26.3.2 ROM キャッシュ制御レジスタ 2 (RCCR2)

アドレス H'FFFC 1408

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	PFECB	PFENB	PFECF	PFE	—	PCE2	—	PCE0
リセット後の値	0	0	0	0	0	0	0	1	1	1	1	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b31-b8	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b7	PFECB	条件分岐プリフェッチイネーブルビット	条件分岐に対するプリフェッチ機能を使用するかどうかを設定します。 0: 条件分岐に対してプリフェッチ機能を使用しない 1: 条件分岐に対してプリフェッチ機能を使用する [“1”になる条件] • リセット • “1”を書き込む [“0”になる条件] • “0”を書き込む	R/W
b6	PFENB	無条件分岐プリフェッチイネーブルビット	無条件分岐に対するプリフェッチ機能を使用するかどうかを設定します。 0: 無条件分岐に対してプリフェッチ機能を使用しない 1: 無条件分岐に対してプリフェッチ機能を使用する [“1”になる条件] • リセット • “1”を書き込む [“0”になる条件] • “0”を書き込む	R/W
b5	PFECF	連続プリフェッチイネーブルビット	連続フェッチに対するプリフェッチ機能を使用するかどうかを設定します。 0: 連続フェッチに対してプリフェッチ機能を使用しない 1: 連続フェッチに対してプリフェッチ機能を使用する [“1”になる条件] • リセット • “1”を書き込む [“0”になる条件] • “0”を書き込む	R/W
b4	PFE	プリフェッチキャッシュイネーブルビット	プリフェッチキャッシュ機能を使用するかどうかを設定します。 0: プリフェッチキャッシュ機能を使用しない 1: プリフェッチキャッシュ機能を使用する [“1”になる条件] • リセット • “1”を書き込む [“0”になる条件] • “0”を書き込む	R/W
b3	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b2	PCE2	プリフェッチミスキャッシュイネーブルビット	プリフェッチミスキャッシュ機能を使用するかどうかを設定します。 0: プリフェッチミスキャッシュ機能を使用しない 1: プリフェッチミスキャッシュ機能を使用する [“1”になる条件] • リセット • “1”を書き込む [“0”になる条件] • “0”を書き込む	R/W

ビット	シンボル	ビット名	機能	R/W
b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	PCE0	データ用キャッシュイネーブルビット	データキャッシュ機能を使用するかどうかを設定します。 0: データキャッシュを使用しない 1: データキャッシュを使用する [“1”になる条件] ・リセット ・“1”を書き込む [“0”になる条件] ・“0”を書き込む	R/W

RCCR2 レジスタの PCE2、PCE0 ビットでそれぞれプリフェッチミスキャッシュ、データキャッシュのイネーブル / ディスエーブルを指定します。また、PFE ビットでプリフェッチのイネーブル、ディスエーブルを指定します。

プリフェッチの各機能については、PFECF、PFENB、PFECB の各ビットでそれぞれ連続プリフェッチ、無条件分岐プリフェッチ、条件分岐プリフェッチに対してプリフェッチを行うかどうかを指定することができます。

26.4 動作説明

26.4.1 データキャッシュの検索

データキャッシュがイネーブルの場合に ROM 領域のデータをリードすると、アドレスアレイのタグアドレス (4 ライン分) とアクセスアドレスの 22~4 ビットが比較されます。比較結果が一致し、かつタグアドレスが有効 (V ビット = “1”) の場合には、データキャッシュがヒットして同一ラインのデータアレイのデータ LW0~LW3 が読み出されます。アクセスアドレスのビット 3、2 の値が “00” の場合は LW0、“01” の場合は LW1、“10” の場合は LW2、“11” の場合は LW3 が CPU に出力されます。

図 26.2 にデータキャッシュのライン 1 がヒットした場合の概念図を示します。

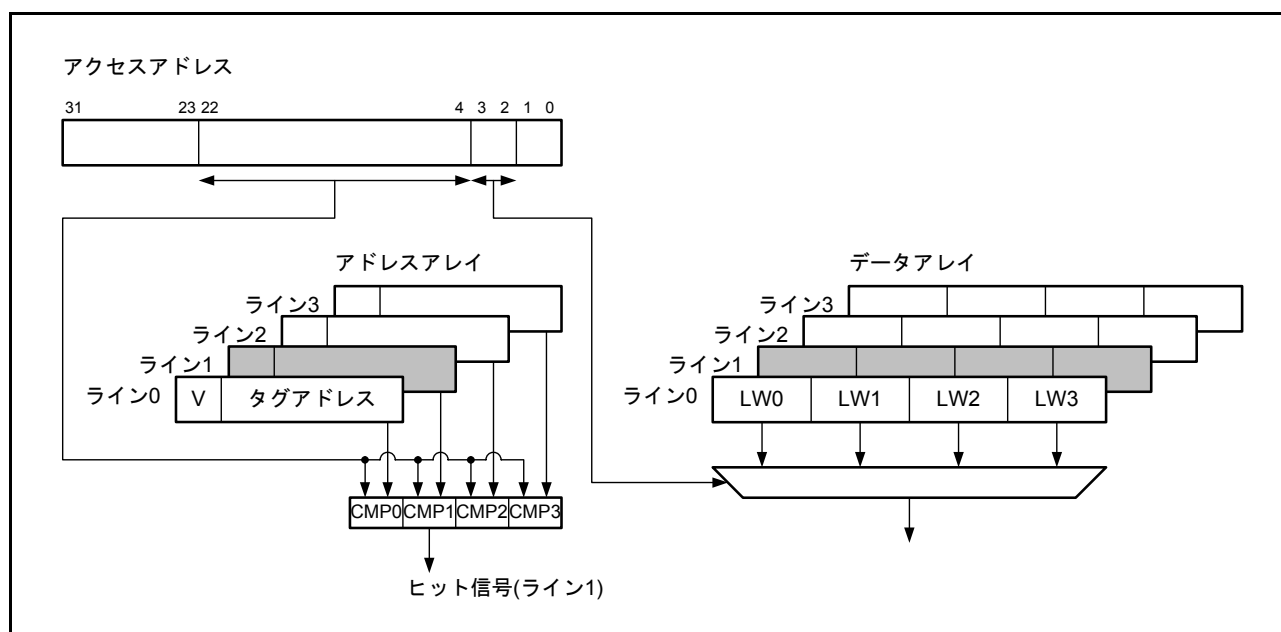


図 26.2 データキャッシュ検索方法の概念図 (ライン 1 ヒット)

データキャッシュがヒットしなかった (ミスした) 場合には、ROM の読み出しが実行され、データキャッシュの最も過去に参照されたラインのアドレスアレイのタグアドレスにリード先アドレスの 22~4 ビット、データアレイに ROM 読み出しデータが格納されます (LRU 方式)。また、データキャッシュへのデータ格納と同時に、CPU に ROM 読み出しデータが出力されます。

26.4.2 命令キャッシュの検索

プリフェッチキャッシュの検索時には、アクセスアドレスのビット4の値が“0”の場合に偶数ライン(ライン0、2、4、6)、“1”の場合に奇数ライン(ライン1、3、5、7)が使用されます。プリフェッチキャッシュがイネーブルの場合にROM領域の命令をフェッチすると、アクセスアドレスのビット4によって選択された4ライン分のタグアドレスと命令フェッチ先のアドレスの22~5ビットが比較されます。比較が一致し、かつタグアドレスが有効(Vビット=“1”)の場合には、プリフェッチキャッシュがヒットして同一ラインのデータアレイのデータLW0~LW3が読み出されます。アクセスアドレスのビット3、2の値が“00”の場合はLW0、“01”の場合はLW1、“10”の場合はLW2、“11”の場合はLW3がCPUに出力されます。

図26.3にプリフェッチキャッシュのライン2がヒットした場合の概念図を示します。

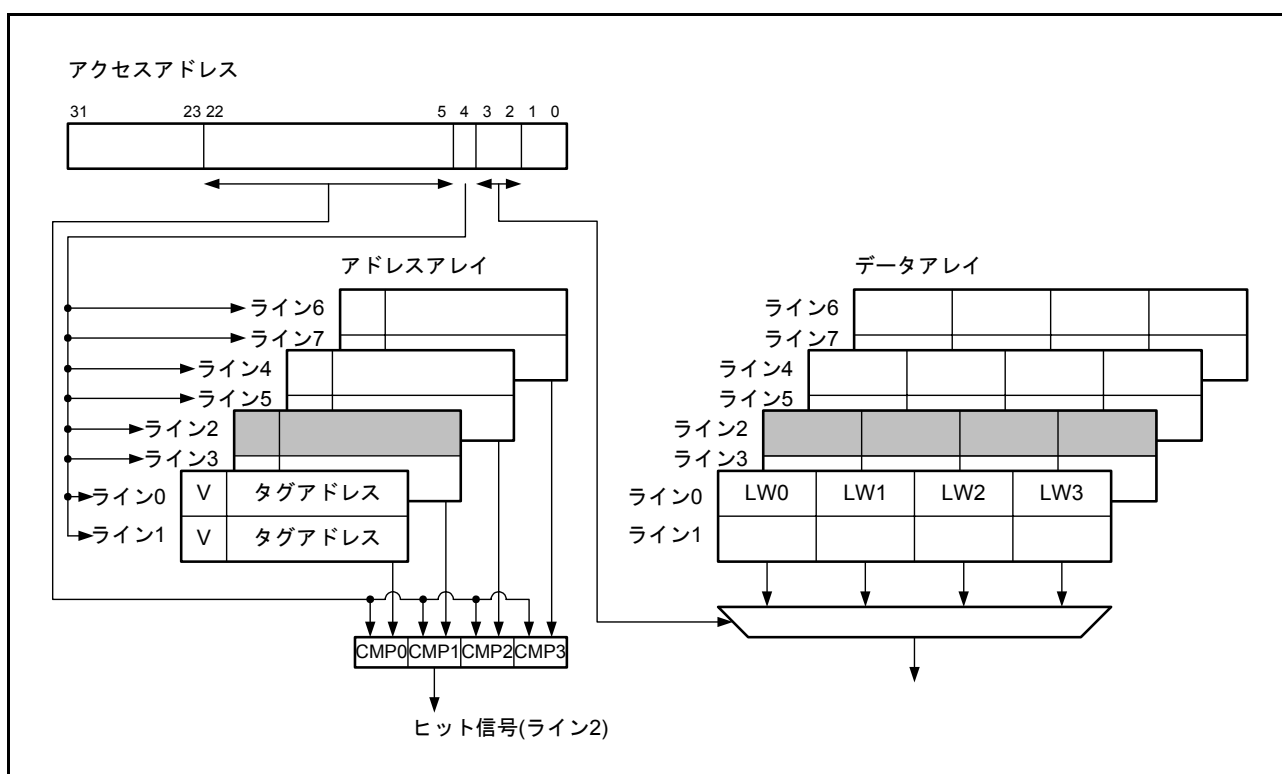


図 26.3 プリフェッチキャッシュ検索方法の概念図 (ライン2 ヒット)

プリフェッチミスキャッシュの検索方法は、データキャッシュと同様です。プリフェッチキャッシュとプリフェッチミスキャッシュの検索結果がともにミスであった場合には、ROMの読み出しが実行され、プリフェッチミスキャッシュの最も過去に参照されたラインのアドレスアレイのタグアドレスに命令フェッチ先アドレスの22~5ビット、データアレイにROM読み出しデータが格納されます(LRU方式)。また、プリフェッチミスキャッシュへのデータ格納と同時に、CPUにもROM読み出しデータが出力されます。

プリフェッチキャッシュは、ハードウェアプリフェッチ時に更新します。プリフェッチ先のアドレスのビット4が“0”の場合には偶数ライン、“1”の場合には奇数ラインのうち、最も過去に参照されたラインのアドレスアレイのタグアドレスにプリフェッチ先アドレスの22~5ビット、データアレイにROM読み出しデータが格納されます(LRU方式)。

26.4.3 ハードウェアプリフェッチ

プリフェッチキャッシュはハードウェアプリフェッチを行い、キャッシュのヒット率を向上します。ハードウェアプリフェッチには連続プリフェッチと分岐プリフェッチがあります。

- (1) 連続プリフェッチ
連続アクセスされる命令について、フェッチにおいてストールを生じないようにプリフェッチを行います。
- (2) 分岐プリフェッチ
フェッチされるデータをCPUに返す際、この命令をデコードし、ターゲットアドレスを算出後、プリフェッチを行います。分岐プリフェッチにおいては、さらに細かく分類されています。
 - (a) 条件分岐プリフェッチ
条件分岐命令(BF、BT、BF/S、BT/S)を発見するとプリフェッチを行います。
 - (b) BRA、BSR 命令
これらの命令に対して無条件分岐プリフェッチを行います。
 - (c) JMP、JSR、JSR/N命令を含む命令列
これらの命令列に対して命令列が下記に示す命令順を満たし、かつ各命令のレジスタインデックスが一致した場合、プリフェッチを行います。

【プリフェッチされる命令例 (JMP の例)】

MOVI20 # imm20, Rn JMP @Rn

27. RAM 制御

27.1 概要

本 LSI は 64 または 32K バイトの RAM を内蔵しています。内蔵 RAM は、F バス (フェッチバス)、M バス (メモリバス)、CPU バス (内部バス) と接続しており、それぞれ独立にアクセスすることができます。図 27.1 に RAM のブロック図、図 27.2 に RAM 関連モジュールのバス接続図を示します。

内蔵 RAM は表 27.1 に示します。64K バイトの場合のアドレスは、H'FFF8 0000 ~ H'FFF8 FFFF (0 ~ 3 ページ) に割り付けられます。32K バイトの場合のアドレスは、H'FFF8 0000 ~ H'FFF8 7FFF (0 ~ 1 ページ) に割り付けられます。

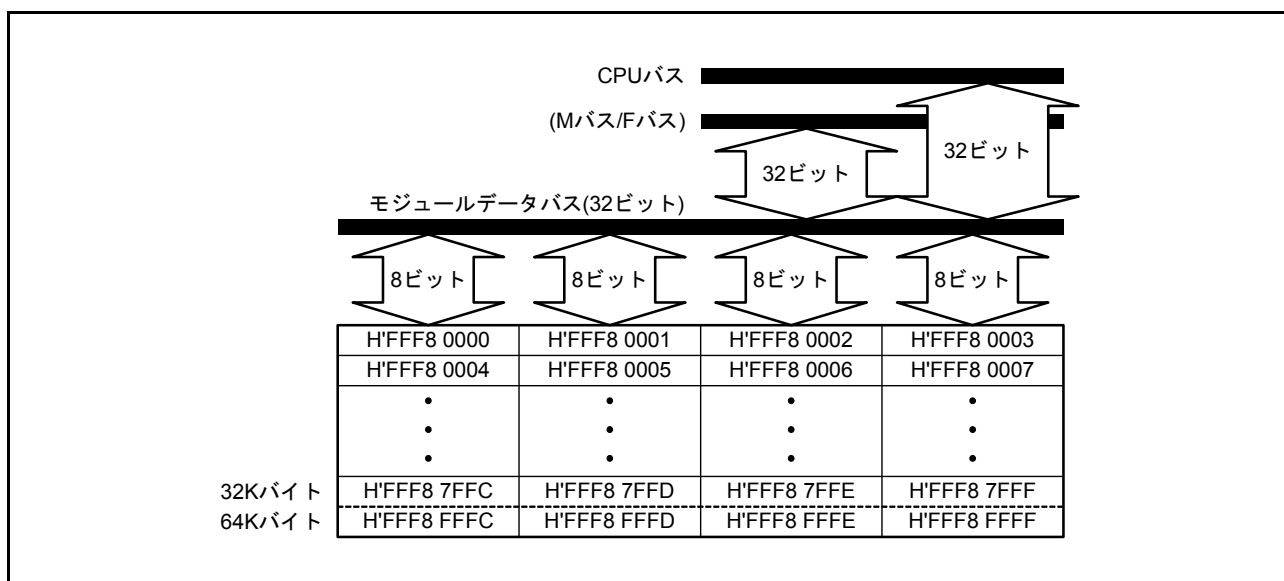


図 27.1 RAM のブロック図

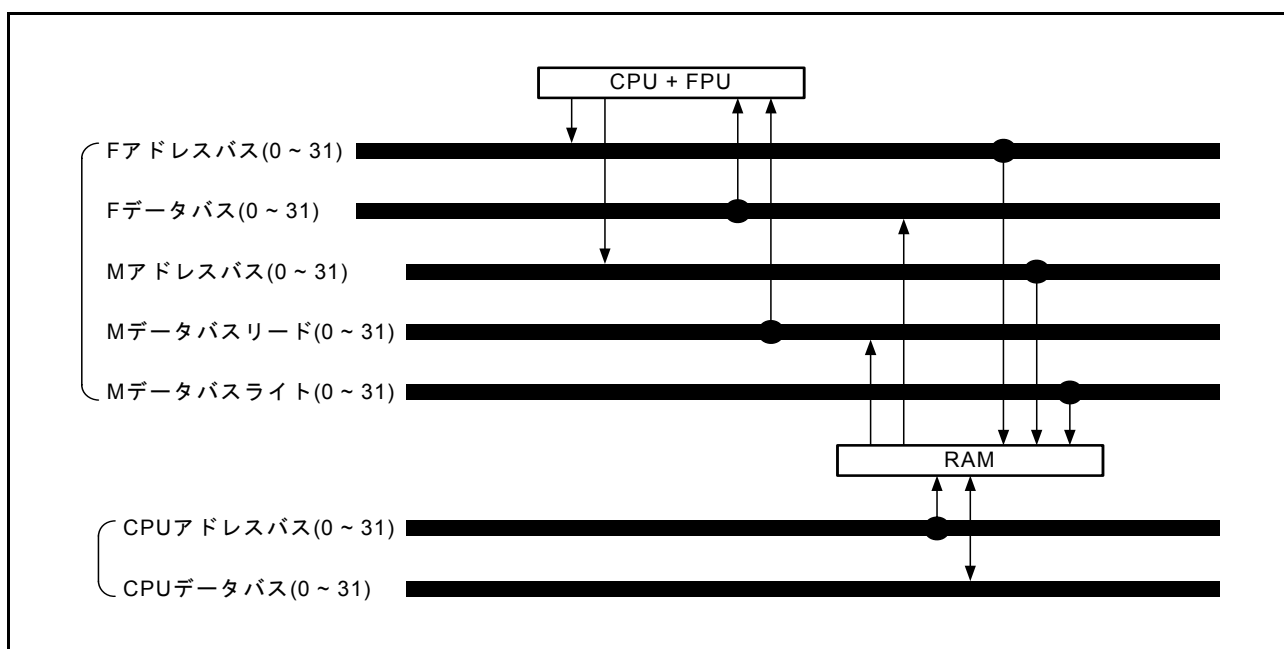


図 27.2 RAM 関連モジュールのバス接続図

表 27.1 内蔵RAMアドレス空間

ページ	アドレス
ページ0	H'FFF8 0000 ~ H'FFF8 3FFF
ページ1	H'FFF8 4000 ~ H'FFF8 7FFF
ページ2	H'FFF8 8000 ~ H'FFF8 BFFF
ページ3	H'FFF8 C000 ~ H'FFF8 FFFF

27.1.1 仕様

表 27.2 に RAM の仕様を示します。

表 27.2 RAMの仕様

項目	内容
アクセス	CPU/FPU、DMAC、AUD- IIは8、16または32ビット幅で内蔵RAMをアクセスすることができます。内蔵RAMのデータは、高速アクセスが必要なプログラムエリア、またはスタックエリアやデータアクセスとしての使用に適しています。 ECC誤り訂正の有効/無効と、動作周波数(PLLの通倍率)に対応して、規定の範囲内でリード時に1または2サイクル、ライト時に2または3サイクルをレジスタにて設定する必要があります。
ECC	レジスタの設定によりECCの有効/無効を選択することができます。初期状態ではECC誤り訂正の状態は有効の状態です。 RAMデータの読み出しに対してECCの誤り訂正が有効の設定のときに、32ビットデータに対して1ビットの誤り訂正、2ビットの誤り検出が可能で、ECCの誤り訂正が無効の設定のときにはパリティエラー検出が可能です。 これらの誤り検出、訂正、パリティエラーを総称してRAMエラーと呼びます。 RAMエラー発生時にそれを示すフラグを持ちます。
割り込み	RAMエラー発生時の割り込み要求の有無をレジスタで設定することができます。
ポート	各ページは2本の独立した読み出し/書き込みポートを持ち、CPUバス、Fバス、Mバスと接続されています。ただしFバスは読み出しポートのみに接続されています。 CPUからのアクセスにはFおよびMバス、外部アドレス空間からのアクセスにはCPUバスが使用されます。
優先順位	同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にCPUバス、Mバス、Fバスとなります。

27.2.2 RAM イネーブルコントロールレジスタ 0 (RAMEN0)

アドレス H'FF46 E102



ビット	シンボル	ビット名	機能	R/W
b15-b8	RNKEY [7:0]	RAMEnの書き込み許可ビット (n = 0 ~ 3)	RAMEnビット (n = 0 ~ 3)の書き換え可否を設定するためのビットです。 書き込みデータは保持されません。 読み出すと常に“0”が読み出されます。 H'96 : RAMEnビット (n = 0 ~ 3)の書き込み許可 H'96以外: RAMEnビット (n = 0 ~ 3)の書き込み不可	R/(W) (注1)
b7-b4	—	(予約ビット)	読むと“1”が読み出されます。書き込みは“1”としてください。	R
b3	RAME3 (注2)	イネーブルコントロールビット	内蔵RAMの分割された空間0~3ページに対して割り当てられたRAMEnビット (n = 0 ~ 3)によってページごとのアクセスの有効/無効を設定できます。 書き込み時は上位バイト (RNKEY)にH'96を同時に書き込む必要があります。初期値はすべて“1”のため全RAMページのアクセスが有効に設定されています。 0: 内蔵RAMのページnが無効 (n = 0 ~ 3) 1: 内蔵RAMのページnが有効 (n = 0 ~ 3)	R/W
b2	RAME2 (注2)			R/W
b1	RAME1			R/W
b0	RAME0			R/W

注1. 書き込みデータは保持されません。

注2. RAM容量32Kバイトの場合は、予約ビットとなります。

注. 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「27.2.8 レジスタアクセス時の注意」を参照してください。

RAMEN0 レジスタは、内蔵RAMへのアクセス有効/無効を設定します。書き込みはワードアクセスのみ可能で、読み出しはワード/バイトどちらでも可能です。

アクセスを有効にするページに対応するRAMEnビット (n = 0 ~ 3)を“1”にセットすると内蔵RAMが有効になります。“0”にクリアするとアクセスできません。アクセス無効状態では、対応するページのリードおよび命令フェッチは不定値が読み出され、ライトは無視されます。初期値は“1”です。

なお、RAMEnビットを書き換える場合には、上位バイトを“H'96”にし、下位バイトを書き込みデータにしてワードサイズで行ってください。

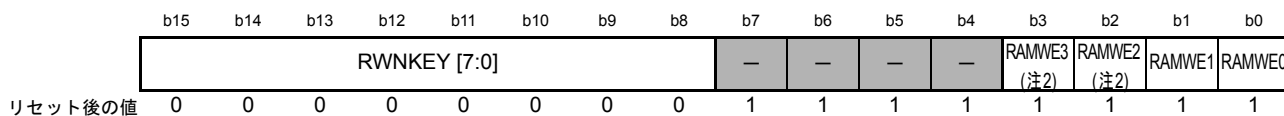
RAMEN0 レジスタの上位バイトの読み出し時には常に“H'00”が読み出されます。

RAMEN0 レジスタへのライト命令の直後に内蔵RAMをアクセスするような命令を置かないでください。もし内蔵RAMアクセス命令を置いた場合、正常なアクセスは保証できません。

RAMEnビットを書き換える場合、ライト命令の直後にRAMEN0レジスタのリード命令とNOP命令を5個以上実行してください。

27.2.3 RAM書き込みイネーブルコントロールレジスタ 0 (RAMWEN0)

アドレス H'FF46 E106



ビット	シンボル	ビット名	機能	R/W
b15-b8	RWNKEY [7:0]	RAMWEnの書き込み許可ビット (n = 0 ~ 3)	RAMWEnビット (n = 0 ~ 3)の書き換え可否を設定するためのビットです。 書き込みデータは保持されません。 読み出すと常に“0”が読み出されます。 H'69 : RAMWEnビット (n = 0 ~ 3)の書き込み許可 H'69以外: RAMWEnビット (n = 0 ~ 3)の書き込み不可	R/(W) (注1)
b7-b4	—	(予約ビット)	読むと“1”が読み出されます。書き込みは“1”としてください。	R
b3	RAMWE3 (注2)	イネーブルコントロールビット	内蔵RAMの分割された空間0~3ページに対して割り当てられたRAMWEnビット (n = 0 ~ 3)によってページごとのアクセスの有効/無効を設定できます。 書き込み時は上位バイト (RWNKEY)にH'69を同時に書き込む必要があります。初期値はすべて“1”のため全RAMページのアクセスが有効に設定されています。 0: 内蔵RAMのページnが無効 (n = 0 ~ 3) 1: 内蔵RAMのページnが有効 (n = 0 ~ 3)	R/W
b2	RAMWE2 (注2)			R/W
b1	RAMWE1			R/W
b0	RAMWE0			R/W

注1. 書き込みデータは保持されません。

注2. RAM容量32Kバイトの場合は、予約ビットとなります。

注. 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「27.2.8 レジスタアクセス時の注意」を参照してください。

RAMWEN0 レジスタは、内蔵RAMへの書き込みの有効/無効を設定します。書き込みはワードアクセスのみ可能で、読み出しはワード/バイトどちらでも可能です。

アクセスを有効にするページに対応するRAMWEnビット (n = 0 ~ 3) を“1”にセットすると内蔵RAMへの書き込みが有効になります。“0”にクリアすると内蔵RAMへの書き込みはできません。書き込み無効状態では、内蔵RAMへのライトは無視されます。初期値は“1”です。

なお、RAMWEnビットを書き換える場合には、上位バイトを“H'69”にし、下位バイトを書き込みデータにしてワードサイズで行ってください。

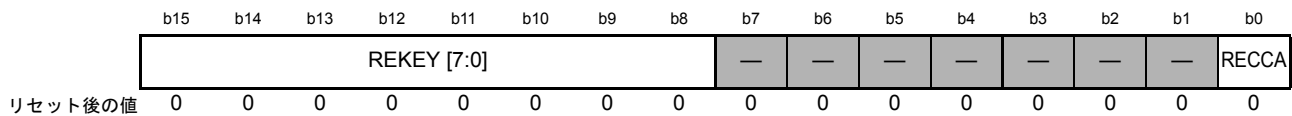
RAMWEN0 レジスタの上位バイト (ビット 15 ~ 8) の読み出し時には常に“H'00”が読み出されます。

RAMWEN0 レジスタへのライト命令の直後に内蔵RAMをアクセスするような命令を置かないでください。もし内蔵RAMアクセス命令を置いた場合、正常なアクセスは保証できません。

RAMWEnビットを書き換える場合、ライト命令の直後にRAMWEN0 レジスタのリード命令とNOP命令を5個以上実行してください。

27.2.4 RAM ECC イネーブルコントロールレジスタ (RAMECC)

アドレス H'FF46 E10A



ビット	シンボル	ビット名	機能	R/W
b15-b8	REKEY [7:0]	RECCAの書き込み許可ビット	RECCAビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。 読み出すと常に“0”が読み出されます。 H'76 : RECCAビットの書き込み許可 H'76以外: RECCAビットの書き込み不可	R/(W) (注1)
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	RECCA	ECCイネーブル制御ビット	内蔵RAMのECCの誤り訂正機能を有効にするか無効にするかを設定できます。 書き込み時は上位バイト(REKEY)にH'76を同時に書き込む必要があります。初期値は“0”のためECCの誤り訂正機能が有効に設定されています。 0 : ECCの誤り訂正機能が有効 1 : ECCの誤り訂正機能が無効	R/W

注1. 書き込みデータは保持されません。

注. • 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「27.2.8 レジスタアクセス時の注意」を参照してください。

RAMECC レジスタの値を変更する場合は、SPR0 レジスタでプロテクトを解除してから変更してください。

RAMECC レジスタはECC 誤り訂正の有効/無効を設定します。

RAMECC レジスタへの書き込みはワードアクセスのみ可能で、読み出しはワード/バイトどちらでも可能です。RAMECC レジスタへの書き込みは、上位バイトを“H'76”にし、下位バイトを書き込みデータにしてワードで行ってください。

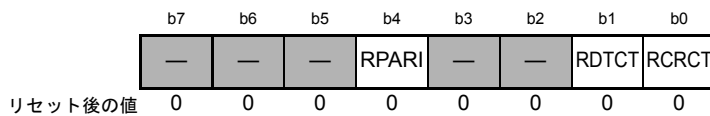
RAMECC レジスタの15~8ビットの読み出し時には常に“H'00”が読み出されます。

RAMECC レジスタへのライト命令の直後に内蔵RAM をアクセスするような命令を置かないでください。もし内蔵RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

RECCA ビットを書き換える場合、ライト命令の直後にRAMECC レジスタのリード命令とNOP 命令を5個以上実行してください。

27.2.5 RAM エラーステータスレジスタ (RAMERR)

アドレス H'FF46 E10F



ビット	シンボル	ビット名	機能	R/W
b7-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4	RPARI	RAMパリティエラーモニタビット	ECC誤り訂正無効時にパリティエラー発生有無をモニタするためのビットです。 0:パリティエラーが未発生 1:パリティエラーが発生 [“0”になる条件] ・リセット ・1読み出し→“0”書き込み [“1”になる条件] ・パリティエラーが発生	R/W
b3-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1	RDTCT	RAM 2ビット誤り検出モニタビット	ECC誤り訂正有効時に2ビット誤り検出発生有無をモニタするためのビットです。 0:2ビット誤り検出が未発生 1:2ビット誤り検出が発生 [“0”になる条件] ・リセット ・1読み出し→“0”書き込み [“1”になる条件] ・2ビット誤り検出が発生	R/W
b0	RCRCT	RAM 1ビット誤り訂正モニタビット	ECC誤り訂正有効時に1ビット誤り訂正発生有無をモニタするためのビットです。 0:1ビット誤り訂正が未発生 1:1ビット誤り訂正が発生 [“0”になる条件] ・リセット ・1読み出し→“0”書き込み [“1”になる条件] ・1ビット誤り訂正が発生	R/W

RAMERR レジスタは、RAM エラーの発生を示します。書き込み/読み出しはバイトアクセスのみ可能です。

ECC 誤り訂正が有効に設定された場合 (RAMECC レジスタの RECCA ビット = “0”) の RAM の読み出し時に 1 ビットの誤り訂正が発生すると RCRCT ビットが “1” がセットされ、2 ビットの誤り検出が発生すると RDTCT に “1” がセットされます。また、ECC 誤り訂正が無効に設定された場合 (RAMECC レジスタの RECCA ビット = “1”) の RAM の読み出し時および書き込み時にパリティエラーが発生すると RPARI ビットが “1” にセットされます。

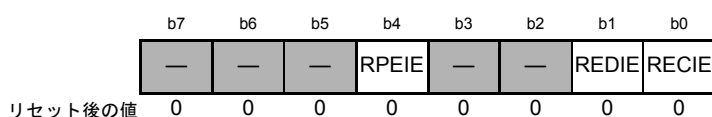
RDTCT、RCRCT ビットが “1” にセットされた後に RAMECC イネーブルコントロールレジスタ (RAMECC) の設定で ECC 誤り訂正を無効にした場合 (RAMECC レジスタの RECCA ビット = “1”) には RDTCT、RCRCT ビットはセットされたままとなります。また、RPARI ビットがセットされた後に RAMECC レジスタの設定で ECC 誤り訂正を有効 (RAMECC レジスタの RECCA ビット = “0”) にした場合には、RPARI ビットは “1” にセットされたままとなります。

RAMERR レジスタをクリアする際は、“H'00” をライトし直後に RAMERR レジスタのリード命令と NOP 命令を 5 個以上実行してください。

“1” にセットされたステータスビットは 1 読み出しが行われたビットのみ “0” 書き込みでクリアされます。

27.2.6 RAM エラー割り込みコントロールレジスタ (RAMINT)

アドレス H'FF46 E117



ビット	シンボル	ビット名	機能	R/W
b7-b5	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b4	RPEIE	RAMパリティエラー割り込みビット	ECC誤り訂正無効時にパリティエラー発生時の割り込みの有効/無効を設定するためのビットです。 0:パリティエラー発生時の割り込みが無効 1:パリティエラー発生時の割り込みが有効	R/W
b3-b2	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b1	REDIE	RAM2ビット誤り検出割り込みビット	ECC誤り訂正有効時に2ビット誤り検出発生時の割り込みの有効/無効を設定するためのビットです。 0:2ビット誤り検出時の割り込みが無効 1:2ビット誤り検出時の割り込みが有効	R/W
b0	RECIE	RAM1ビット誤り訂正割り込みビット	ECC誤り訂正有効時に1ビット誤り訂正発生時の割り込みの有効/無効を設定するためのビットです。 0:1ビット誤り訂正時の割り込みが無効 1:1ビット誤り訂正時の割り込みが有効 (2ビット誤り検出時も割り込みが発生します。)	R/W

RAMINT レジスタは、RAM エラー割り込みの有効/無効を設定します。

RAM ECC イネーブルコントロールレジスタ (RAMECC) により ECC 誤り訂正を有効に設定した場合 (RAMECC レジスタの RECCA ビット = “0”)、本レジスタの RAM1 ビット誤り訂正割り込みビットを有効に設定したとき (RECIE = “1”) に、1 ビット誤り訂正、または2 ビット誤り検出が発生すると割り込みが発生します。また、RAMINT レジスタの RAM2 ビット誤り検出割り込みビットを有効に設定したとき (REDIE = “1”) に、2 ビット誤り検出が発生すると割り込みが発生します。表 27.4 に ECC 誤り訂正有効時の割り込み発生条件を示します。RAMECC レジスタにより ECC 誤り訂正を無効に設定した場合 (RECCA = “1”)、本レジスタの RAM パリティエラー割り込みビットを有効に設定したとき (RAPEIE = “1”) に、パリティエラーが発生すると割り込みが発生します。

RAMINT レジスタへの書き込み/読み出しはバイトアクセスのみ可能です。

RAMINT レジスタを書き換える場合、RAMINT レジスタへのライト命令の直後に RAMINT レジスタのリード命令と NOP 命令を 5 個以上実行してください。

表 27.4 ECC 誤り訂正有効時の割り込み発生条件

REDIE ビット	RECIE ビット	アドレスがセットされる RAM エラー
“0”	“0”	なし
“0”	“1”	1 ビット誤り訂正、または2 ビット誤り検出発生時
“1”	“0”	2 ビット誤り検出発生時
“1”	“1”	1 ビット誤り訂正、または2 ビット誤り検出発生時

27.2.7 RAMアクセスサイクル設定レジスタ (RAMACYC)

アドレス H'FF46_E11A



ビット	シンボル	ビット名	機能	R/W
b15-b8	RAKEY [7:0]	WRCYC1、WRCYC0、RDCYCの書き込み許可ビット	WRCYC1、WRCYC0、RDCYCビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。 読み出すと常に“0”が読み出されます。 H'78 : WRCYC1、WRCYC0、RDCYCビットの書き込み許可 H'78以外: WRCYC1、WRCYC0、RDCYCビットの書き込み不可	R/W
b7-b6	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b5	WRCYC1	ライトサイクル設定ビット	Mバス(メモリバス)によるRAMのライトサイクルを設定するためのビットです。 書き込み時は上位バイト(RAKEY)にH'78を同時に書き込む必要があります。 b5 b4 0 0 : ライトアクセスを4サイクルに設定 (初期状態) 0 1 : ライトアクセスを3サイクルに設定 1 0 : ライトアクセスを2サイクルに設定 1 1 : 設定しないでください	R/W
b4	WRCYC0			
b3-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	RDCYC	リードサイクル設定ビット	Mバス(メモリバス)/F(フェッチバス)バスによるRAMのリードサイクルを設定するためのビットです。 書き込み時は上位バイト(RAKEY)にH'78を同時に書き込む必要があります。 0 : リードアクセスを2サイクルに設定 (初期状態) 1 : リードアクセスを1サイクルに設定	R/W

注. ・本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「27.2.8 レジスタアクセス時の注意」を参照してください。

RAMACYC レジスタの値を変更する場合は、SPR0 レジスタでプロテクトを解除してから変更してください。

RAMACYC レジスタは、RAMのFバス(フェッチバス)およびMバス(メモリバス)のリード/ライトサイクルを設定します。

RAMACYC レジスタへの書き込みは、上位バイトを“H'78”にし、下位バイトを書き込みデータにしてワードで行ってください。書き込みはワードアクセスのみ可能で、読み出しはワード/バイトどちらでも可能です。

RAMアクセス中にはRAMACYC レジスタへの書き込みを行わないでください。

そのためRAMACYC レジスタを書き換える場合はRAM イネーブルコントロールレジスタ (RAMEN0) のRAMEnビット(n=0~3)をすべて“0”にセットし、RAMアクセスを禁止した上で書き換えを行ってください。

また、RAMACYC レジスタへのライト命令の直後に内蔵RAMをアクセスするような命令を置かないでください。もし内蔵RAMアクセス命令を置いた場合、正常なアクセスは保証できません。

WRCYC1、WRCYC0ビットおよびRDCYCビットを書き換える場合、ライト命令の直後にRAMACYC レジスタのリード命令とNOP命令を5個以上実行してください。

27.2.8 レジスタアクセス時の注意

RAM イネーブルコントロールレジスタ (RAMEN0)、RAM 書き込みイネーブルコントロールレジスタ (RAMWEN0)、RAMECC イネーブルコントロールレジスタ (RAMECC)、および RAM アクセスサイクル設定レジスタ (RAMACYC) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。以下の方法で書き込みを行ってください。

- (1) RAMEN0 レジスタへ書き込むときは上位バイトを“H'96”にし、下位バイトを書き込みデータにしてください。
- (2) RAMWEN0 レジスタへ書き込むときは上位バイトを“H'69”にし、下位バイトを書き込みデータにしてください。
- (3) RAMECC レジスタへ書き込むときは上位バイトを“H'76”にし、下位バイトを書き込みデータにしてください。
- (4) RAMACYC レジスタへ書き込むときは上位バイトを“H'78”にし、下位バイトを書き込みデータにしてください。

RAMEN0、RAMWEN0、RAMECC、およびRAMACYC レジスタへ書き込むときは必ずワードでアクセスしてください。バイトおよびロングワード命令では、書き込めません。

図 27.3 に示すように、上位バイトにキーデータを書き込んでください。

RAMEN0、RAMWEN0、RAMECC、およびRAMACYC レジスタの上位バイト (15~8 ビット) の読み出し時には常に“H'00”が読み出されます。

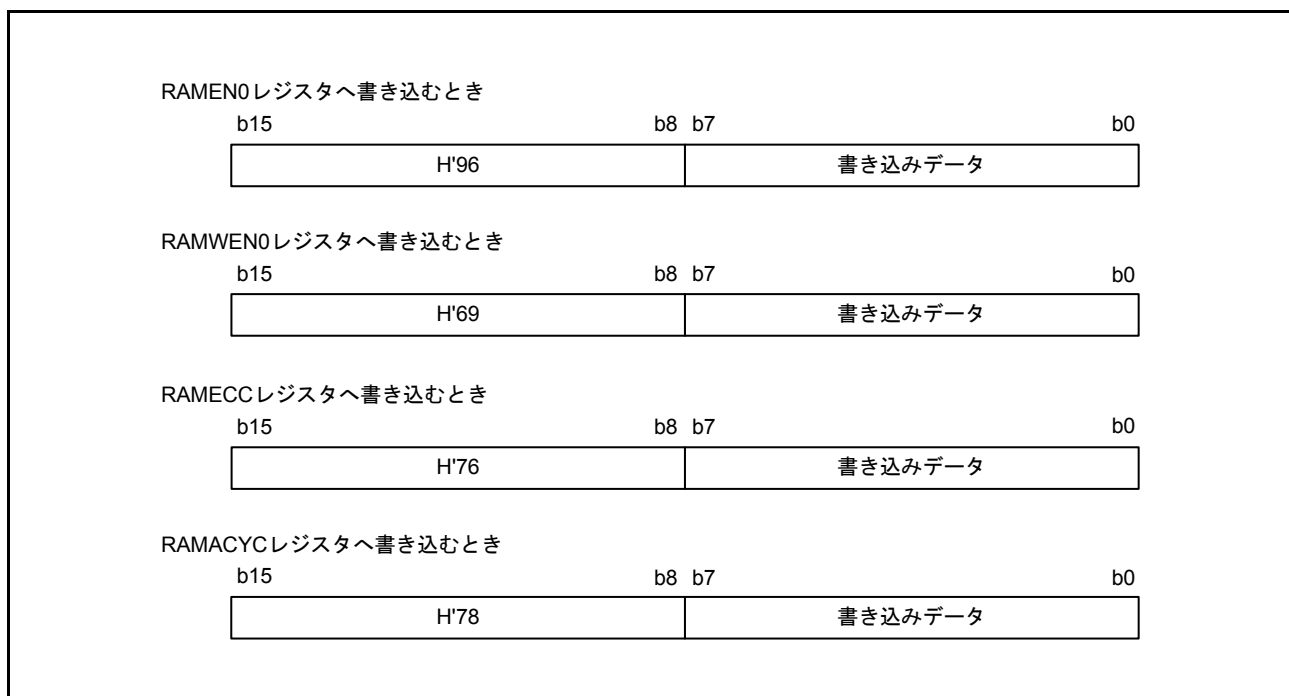


図 27.3 キーコード付きレジスタへの書き込み

27.3 動作説明

- (1) 内蔵 RAM へのアクセスは、RAM イネーブルコントロールレジスタ (RAMEN0) および RAM 書き込みイネーブルコントロールレジスタ (RAMWEN0) で制御されます。
- (2) RAM アクセスのイネーブル/ディスエーブルは RAM イネーブルコントロールレジスタ (RAMEN0) の RAMEn ビット ($n=0\sim 3$) ビットによって内蔵 RAM アドレスのエリアごとに設定できます。
- (3) RAMEN0 レジスタの RAMEn ビットを“0”にクリアすると内蔵 RAM はアクセスできません。読み出すと不定値が読み出され、書き込みは無効です。
- (4) RAM の書き込みイネーブル / ディスエーブルは RAM 書き込みイネーブルコントロールレジスタ (RAMWEN0) の RAMWEn ビットによってエリアごとに設定できます。
- (5) レジスタの設定により ECC の誤り訂正の有効/無効を選択することができます。初期状態では ECC 誤り訂正の機能は有効の状態です。(RAMECC レジスタの RECCA = “0”)
ECC の誤り訂正が有効の時 (RAMECC レジスタの RECCA = “0”)には1ビットの誤り訂正、2ビットの誤り検出が可能です。ECC の誤り訂正が有効のとき (RAMECC レジスタの RECCA = “0”)に1ビットの誤り訂正、2ビットの誤り検出があった場合、または ECC の誤り訂正が無効の設定のとき (RAMECC レジスタの RECCA = “1”)にはパリティエラー発生時に、それを示すフラグ (RAM エラーステータスレジスタ)を持ちます。
- (6) RAM エラーステータスレジスタがセットされたときに割り込みを発生することができます。割り込み発生のイネーブル/ディスエーブルは、RAM エラー割り込みコントロールレジスタ (RAMINT) で設定することができます。

27.4 RAM のデータ保持

27.4.1 リセット時のデータ保持

本 LSI の動作中に外部から RESET# 端子に Low レベル信号を入力すると、本 LSI はハードウェアリセット状態に遷移します。このとき内蔵 RAM をアクセスしていると、バスサイクルが正常終了しないために当該アドレスの RAM データが破壊されることがあります。

本 LSI 外部から内蔵 RAM のアクセスを避けてリセットを入力することは困難なため、リセット時にすべてのデータを保持する必要がある場合は RAM イネーブルレジスタ (RAMEN) により、当該 RAM を無効にする必要があります。

ただしハードウェアリセット状態を経てブートモード、ユーザブートモードへ遷移した場合は、本 LSI 内蔵の組み込みプログラムが RAM を使用するため、RAM の内容は保持されません。

27.5 RAM 制御の注意事項

27.5.1 ページ競合

同じページに対して異なるバスから同時にアクセス要求が発生した場合、ページ競合となり、優先順位に従ってアクセスが処理されます。優先順位は高い順に CPU バス (内部バス)、M バス (メモリバス)、F バス (フェッチバス) となります。

各アクセスは正しく完了しますが、このような競合はメモリアクセスの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえばバスごとに異なるメモリ、異なるページをアクセスすると競合は発生しません。

27.5.2 電源立ち上げ後の状態

電源立ち上げ後は、ECC 誤り訂正データやパリティを含むすべての RAM データが不定値です。そのため RAM データと誤り訂正データやパリティの値の関係は整合が取れていない場合があります。

電源立ち上げ後には RAM データと誤り訂正データの整合をとる (初期化する) ため、使用するすべての RAM エリアについて何らかのデータをロングワード (32 ビット) で書き込む必要があります。もし、初期化せずに RAM の読み出しを行った場合は、RAM エラーが発生することがあります。

28. アドバンストユーザデバッガ-II (AUD-II)

AUD-IIは、製品チップが実装された状態でユーザプログラムの簡易デバッグを支援するための機能を提供します。専用端子を制御することで、内部バスに接続されているモジュールをアクセスできます。

28.1 概要

- 外部から AUDATA3 ~ AUDATA0 端子にアドレスを書き込むと、そのアドレスに対応したデータを出力します。
- 外部から AUDATA3 ~ AUDATA0 端子にアドレス、データを書き込むと、そのアドレスにデータを転送します。

表 28.1 に AUD-II の入出力端子を示します。

表 28.1 AUD-IIの入出力端子

端子名	入出力	機能
AUDMD	入力	本端子は、Highレベルを入力してください。また、何も接続されないときは内部でプルアップします。
AUDRST#	入力	Lowレベル入力時はAUD-IIがリセット状態となり、AUD-II内のバッファおよび処理状態はリセットされます。
AUDCK	入力	本端子は外部クロック入力です。デバッグに使用するクロックを入力してください。入力できる周波数は、20MHz以下かつ、バスクロックの2分周したクロックの周波数以下にしてください。また、何も接続されないときは内部でプルアップします。
AUDSYNC#(注1)	入力	AUDバスコマンド有効信号です。 Lowレベル入力中に、AUDATA3 ~ AUDATA0端子に、DIRコマンド、書き込み/読み出しアドレス、書き込みデータを入力してください。Readyになった後、HighレベルにするとAUDATA3 ~ AUDATA0端子から読み出しデータが出力されます。また、何も接続されないときは内部でプルアップします。
AUDATA3 ~ AUDATA0	入出力	下記情報を時分割で入力します。 <ul style="list-style-type: none"> DIRコマンド入力 書き込み/読み出しアドレス入力 書き込みデータ入力(読み出し時は、AUDSYNC#端子をHighレベルにした後、読み出しデータが出力) リード動作時、外部からDIRコマンド、読み出しアドレスを入力するとReady送信後データを出力します。出力はAUDSYNC#をHighレベルにした後、開始します。また、何も接続されないときは内部でプルアップします。

注1. 本端子は外部からAUDATA3 ~ AUDATA0端子にコマンドが入力されて、必要なデータが準備できるまで(ReadyフラグからB'0001が出力されるまで) Highレベルにしないでください。

28.2 レジスタの説明

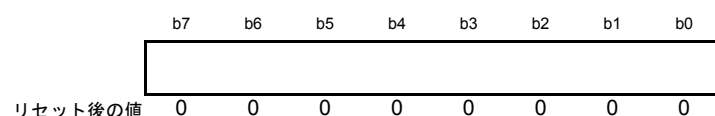
表 28.2 に AUD-II のレジスタ一覧を示します。

表 28.2 AUD-IIのレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
システムプロテクトレジスタ0	SPR0	H'00	H'FF46 E063	8
AUD端子有効レジスタ	AUDEN	H'00	H'FF46 E182	8

28.2.1 システムプロテクトレジスタ 0 (SPR0)

アドレス H'FF46 E063



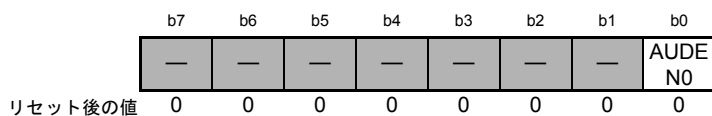
ビット	機能	R/W
b7-b0	書き込み時 B'1111 0001 : プロテクト解除 B'1111 0001 以外 : プロテクト ----- 読み出し時 b0ビット 0 : プロテクト 1 : プロテクト解除 b7 ~ b1ビットは常に“0”が読める	R/W

SPR0 レジスタでは、LOCR、SLCR0、VMCR、VD1LSL、RAMECC、RAMACYC、AUDEN レジスタを簡単に書き換えられないよう保護するプロテクト機能の設定を行います。これらのレジスタの値を変更する場合は、以下の手順で変更を行ってください。

- (1) SPR0 レジスタに“H'F1”を書く (各レジスタへの書き込みを許可)
- (2) LOCR、SLCR0、VMCR、VD1LSL、RAMECC、RAMACYC、AUDEN レジスタの値を変更する
- (3) SPR0 レジスタに“H'F1”以外を書く (各レジスタへの書き込みを禁止)

28.2.2 AUD 端子有効レジスタ (AUDEN)

アドレス H'FF46 E182



ビット	シンボル	ビット名	機能	R/W
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	AUDEN0	AUD 端子有効制御ビット0	0 : AUD-IIの端子の機能が無効 1 : AUD-IIの端子の機能が有効	R/W

AUDEN レジスタの値を変更する場合は、SPR0 レジスタでプロテクトを解除してから変更してください。

AUDEN0 ビット

AUD-II の端子の機能有効 / 無効を設定します。

“0” の場合、機能が無効になります。

“1” の場合、機能が有効になり、マルチプレクスされている他機能を強制的に無効にします。

[対象端子]

- AUDMD、AUDRST#、AUDCK、AUDSYNC#、AUDATA3 ~ AUDATA0 端子

28.3 RAM モニタ機能

専用端子を制御することで、内部バスに接続されているモジュールをアクセスできます。

28.3.1 通信プロトコル

AUD-II は、AUDSYNC# 端子への入力が High レベルから Low レベルになると AUDATA3 ~ AUDATA0 端子から AUDATA を取り込みます。AUDATA は以下のフォーマットで入力してください。

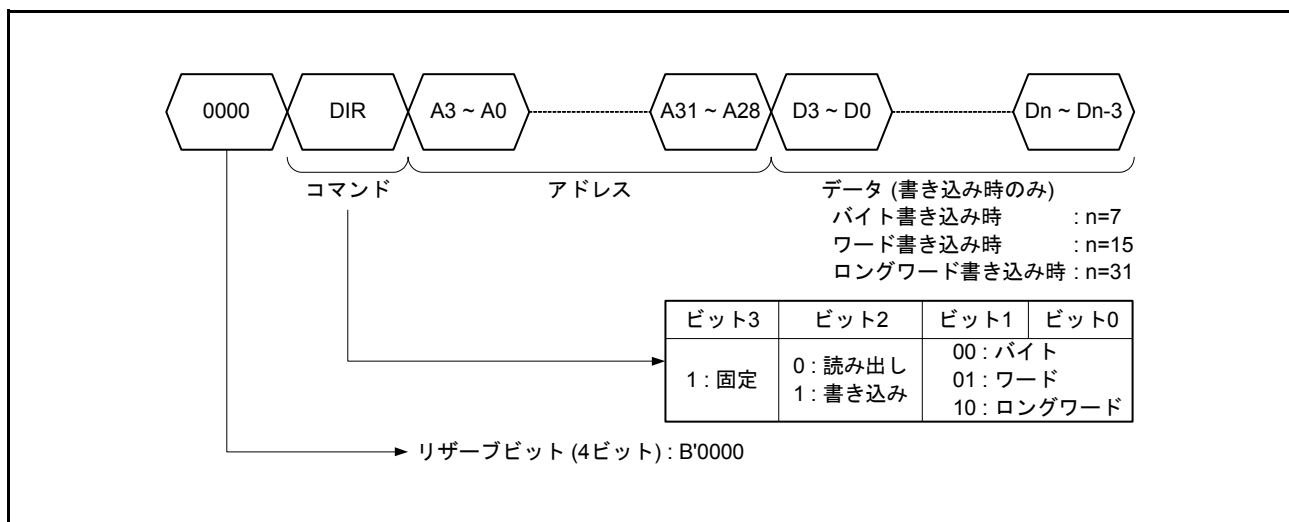


図 28.1 AUDATA 入力フォーマット

28.3.2 動作説明

RAM モニタ機能を使用するためには、AUD 端子有効レジスタで AUD-II の端子機能を有効にします。その後、AUDRST# 端子への入力を Low レベル (AUD-II モジュールのリセット) から High レベル (AUD-II モジュールのリセット解除) にすると、RAM モニタ機能として動作します。図 28.2 にリード動作例、図 28.3 にライト動作例を示します。

AUDSYNC# 端子への入力が High レベルから Low レベルになると、AUDATA3 ~ AUDATA0 端子のデータの取り込みを開始します。図 28.1 に示すフォーマットで DIR コマンド、アドレス、データ (書き込み時のみ) が入力されると、指定されたアドレスの読み出し / 書き込みの実行を開始します。内部実行中 AUD-II は Not Ready (B'0000) を返します。実行が完了すると、Ready フラグ (B'0001) を返します (図 28.2、図 28.3)。表 28.3 に Ready フラグのフォーマットを示します。

読み出し時は、このフラグの検出後、AUDSYNC# 端子への入力が Low レベルから High レベルになると指定されたサイズのデータを出力します (図 28.2)。DIR コマンドに上記以外のコマンドが入力された場合、AUD-II はコマンドエラーとして処理を無効にし、Ready フラグ内のビット 1 を“1”にセットします。また、DIR 内で指定されたコマンドによる読み出し / 書き込み動作がバスエラーを起こすとき、処理を無効にし Ready フラグ内ビット 2 を“1”にセットします (図 28.4)。

ライト動作 / リード動作時、AUDSYNC# 端子への入力が High レベルから Low レベルにするタイミングには条件があります。詳細については、「28.3.3 (3) AUDSYNC# 端子への入力タイミング」を参照してください。

以下にバスエラー条件を示します。

1. $4n+1$ 、 $4n+3$ 番地にワードアクセス
2. $4n+1$ 、 $4n+2$ 、 $4n+3$ 番地にロングワードアクセス

表 28.3 Ready フラグフォーマット

ビット3	ビット2	ビット1	ビット0
0: 固定	0: 正常状態 1: バスエラー発生	0: 正常状態 1: コマンドエラー発生	0: Not Ready 1: Ready

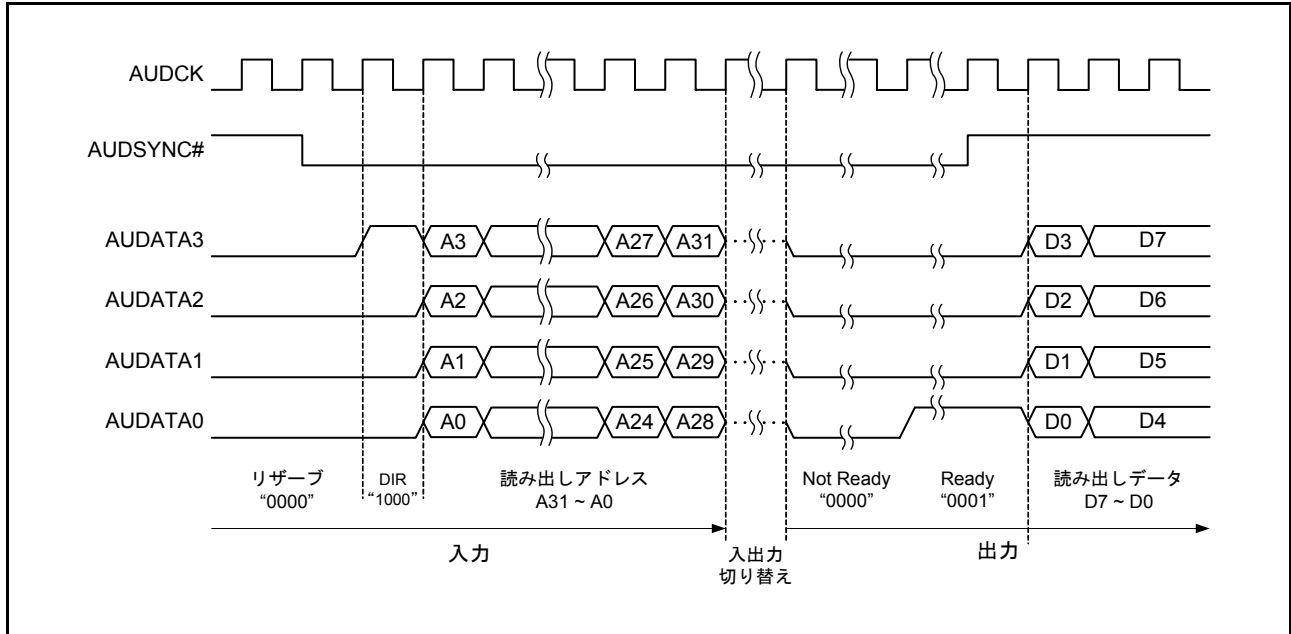


図 28.2 リード動作例 (バイトリード)

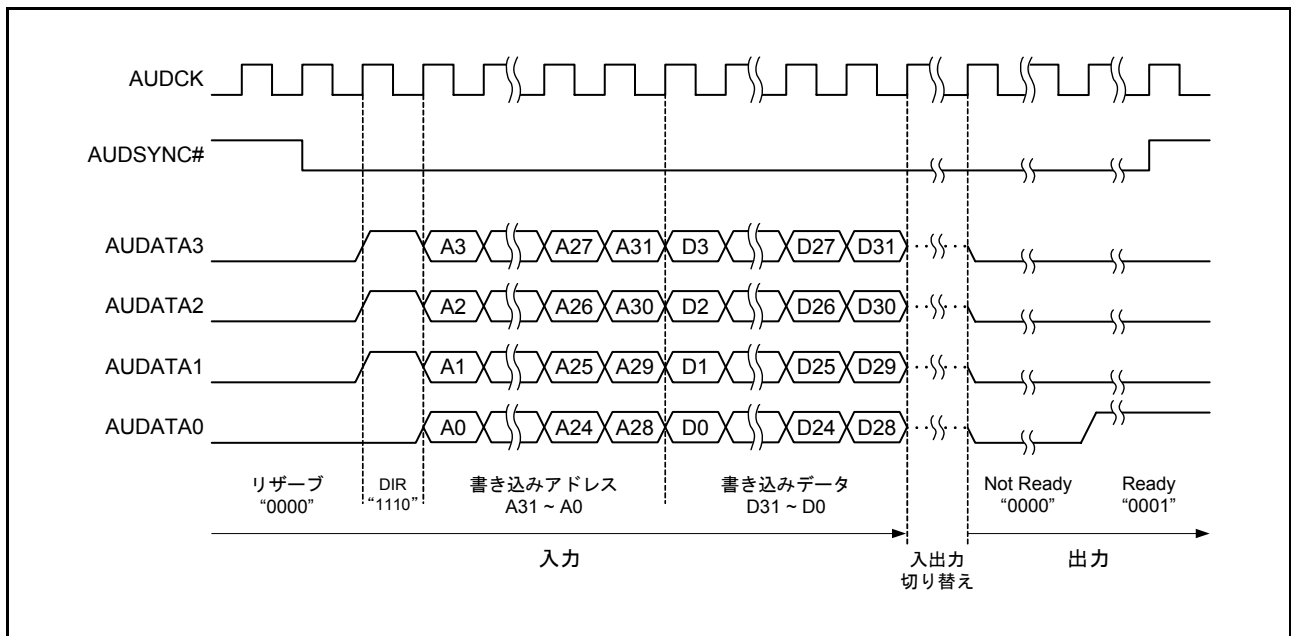


図 28.3 ライト動作例 (ロングワードライト)

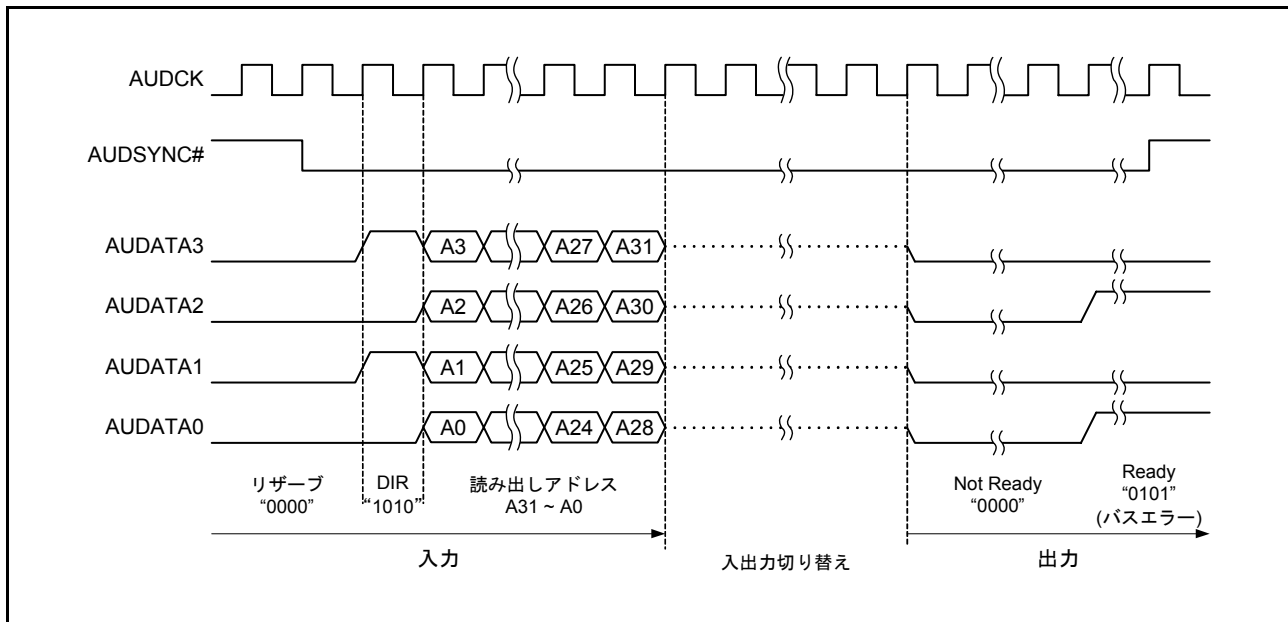


図 28.4 エラー発生例 (ロングワードリード)

28.3.3 RAM モニタ機能に関する注意事項

(1) RAM モニタ機能の初期化に関する規定

本デバッガに内蔵しているバッファおよび処理状態は、以下の条件に入ると初期化されます。

- ハードウェアリセット
- ウォッチドックタイマリセット
- ソフトウェアリセット
- AUDRST# 端子への Low レベル入力

(2) AUDCK 端子の周波数規定

AUDCK 端子は外部クロック入力です。入力できる周波数は、20MHz 以下かつ、バスクロックの 2 分周したクロックの周波数以下にしてください。

(3) AUDSYNC# 端子への入力タイミング

- AUDRST# への入力を Low レベルから High レベルに切り替えた後、AUDSYNC# 端子へ AUDCK クロックの 2 クロック分以上の期間、High レベルを入力してください。
- ライト動作終了後、AUDSYNC# 端子へ AUDCK クロックの 2 クロック分以上の期間、High レベルを入力してください。
- リード動作時は、最終リードデータ送信までの期間、AUDSYNC# 端子へ High レベルを入力してください。
- AUDSYNC# 端子への入力は AUDATA にコマンドが入力されて、Ready が返されるまでは Low レベルから High レベルにしないでください。

(4) その他の注意事項

- RAM モニタ機能は、CPU スリープモード中にも使用できます。

29. メモリプロテクションユニット (MPU)

29.1 概要

本 LSI にはメモリプロテクションユニット (MPU) が内蔵されており、バスマスタ (CPU、DMAC) ごとに、全アドレス空間 (H'0000 0000 ~ H'FFFF FFFF) に 16 の領域を設定し、領域ごとに保護属性を設定することができます。各領域の保護属性は、読み出し許可 / 禁止、書き込み許可 / 禁止、命令実行許可 / 禁止 (CPU のみ) をサポートしています。

本章では、n は 0 ~ 15 を示します。

29.2 仕様

表 29.1 に MPU の仕様一覧表を示します。

表 29.1 MPU の仕様一覧表

項目	仕様
アクセス保護対象領域	H'0000 0000 ~ H'FFFF FFFF
領域数	16 (バスマスタごと)
領域の最小サイズ	4バイト
各領域のアドレス指定	開始アドレス、終了アドレスで設定
各領域の有効/無効設定	領域ごとに有効/無効を設定可能
各領域の保護属性設定	オペランドアクセス : 読み出し許可/禁止、書き込み許可/禁止 CPU 命令アクセス : 命令実行許可/禁止
バックグラウンド領域設定	バックグラウンド領域(全アドレス空間)に対して、保護属性を設定可能
領域オーバーラップの処理	複数の領域がオーバーラップした場合の保護属性は、オーバーラップした領域(バックグラウンド領域を含む)のアクセス制御ビットの論理和
MPUエラー処理	CPU オペランドアクセス : CPU オペランドアクセス MPU エラー例外発生 CPU 命令アクセス : 一般不当命令、または、スロット不当命令と同一の例外発生 DMAC アクセス : DMAC アクセス MPU エラー割り込み発生
MPUエラー発生アドレス	各バスマスタ用のエラーアドレスレジスタに格納
MPUエラー要因判定	各バスマスタ用のエラーステータスレジスタに要因を格納

29.3 レジスタの説明

表 29.2～表 29.4 に MPU のレジスタ一覧を示します。

表 29.2 MPUのレジスタ一覧(1)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
MPUC有効レジスタ	MPCMPEN	H'0000 0000	H'FFF7 8000	32
MPUC読み出しアクセス制御レジスタ	MPCRACR	H'0000 0000	H'FFF7 8010	32
MPUC書き込みアクセス制御レジスタ	MPCWACR	H'0000 0000	H'FFF7 8014	32
MPUC命令アクセス制御レジスタ	MPCACR	H'0000 0000	H'FFF7 8018	32
MPUC領域設定有効レジスタ	MPCVLD	H'0000 0000	H'FFF7 801C	32
MPUCバックグラウンド領域アクセス制御レジスタ	MPCACBCR	H'00	H'FFF7 8020	8
MPUCエラーステータスクリアレジスタ	MPCECLR	H'00	H'FFF7 8024	8
MPUCエラーステータスレジスタ	MPCESR	H'00	H'FFF7 8028	8
MPUC命令アクセスエラーアドレスレジスタ	MPCERADRI	不定	H'FFF7 802C	32
MPUCオペランドアクセスエラーアドレスレジスタ	MPCERADRO	不定	H'FFF7 8030	32
MPUC命令アクセスヒット領域レジスタ	MPCHITI	H'0000 0000	H'FFF7 8034	32
MPUCオペランドアクセスヒット領域レジスタ	MPCHITO	H'0000 0000	H'FFF7 8038	32
MPUC領域サーチアドレスレジスタ	MPCRSADR	不定	H'FFF7 803C	32
MPUC領域サーチオペレーションレジスタ	MPCRSOP	H'00	H'FFF7 8040	8
MPUC領域0開始アドレスレジスタ	MPCSADR0	不定	H'FFF7 8100	32
MPUC領域0終了アドレスレジスタ	MPCEADR0	不定	H'FFF7 8104	32
MPUC領域0アクセス制御レジスタ	MPCACR0	H'00	H'FFF7 8108	8
MPUC領域1開始アドレスレジスタ	MPCSADR1	不定	H'FFF7 8110	32
MPUC領域1終了アドレスレジスタ	MPCEADR1	不定	H'FFF7 8114	32
MPUC領域1アクセス制御レジスタ	MPCACR1	H'00	H'FFF7 8118	8
MPUC領域2開始アドレスレジスタ	MPCSADR2	不定	H'FFF7 8120	32
MPUC領域2終了アドレスレジスタ	MPCEADR2	不定	H'FFF7 8124	32
MPUC領域2アクセス制御レジスタ	MPCACR2	H'00	H'FFF7 8128	8
MPUC領域3開始アドレスレジスタ	MPCSADR3	不定	H'FFF7 8130	32
MPUC領域3終了アドレスレジスタ	MPCEADR3	不定	H'FFF7 8134	32
MPUC領域3アクセス制御レジスタ	MPCACR3	H'00	H'FFF7 8138	8
MPUC領域4開始アドレスレジスタ	MPCSADR4	不定	H'FFF7 8140	32
MPUC領域4終了アドレスレジスタ	MPCEADR4	不定	H'FFF7 8144	32
MPUC領域4アクセス制御レジスタ	MPCACR4	H'00	H'FFF7 8148	8
MPUC領域5開始アドレスレジスタ	MPCSADR5	不定	H'FFF7 8150	32
MPUC領域5終了アドレスレジスタ	MPCEADR5	不定	H'FFF7 8154	32
MPUC領域5アクセス制御レジスタ	MPCACR5	H'00	H'FFF7 8158	8
MPUC領域6開始アドレスレジスタ	MPCSADR6	不定	H'FFF7 8160	32
MPUC領域6終了アドレスレジスタ	MPCEADR6	不定	H'FFF7 8164	32
MPUC領域6アクセス制御レジスタ	MPCACR6	H'00	H'FFF7 8168	8
MPUC領域7開始アドレスレジスタ	MPCSADR7	不定	H'FFF7 8170	32
MPUC領域7終了アドレスレジスタ	MPCEADR7	不定	H'FFF7 8174	32

表 29.3 MPUのレジスタ一覧(2)

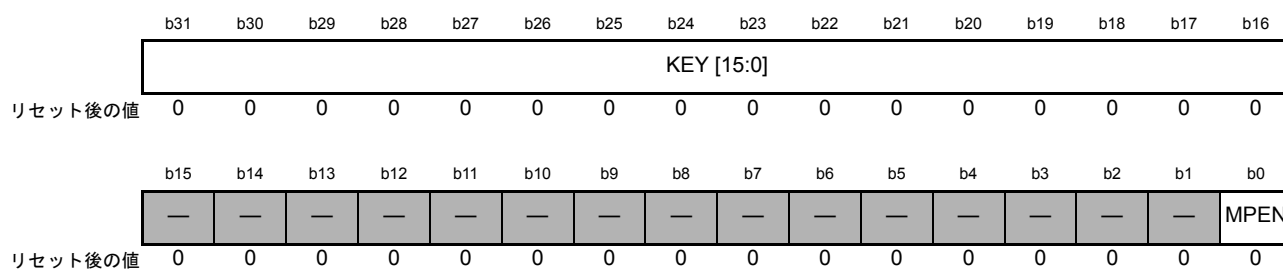
レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
MPUC領域7アクセス制御レジスタ	MPCACR7	H'00	H'FFF7 8178	8
MPUC領域8開始アドレスレジスタ	MPCSADR8	不定	H'FFF7 8180	32
MPUC領域8終了アドレスレジスタ	MPCEADR8	不定	H'FFF7 8184	32
MPUC領域8アクセス制御レジスタ	MPCACR8	H'00	H'FFF7 8188	8
MPUC領域9開始アドレスレジスタ	MPCSADR9	不定	H'FFF7 8190	32
MPUC領域9終了アドレスレジスタ	MPCEADR9	不定	H'FFF7 8194	32
MPUC領域9アクセス制御レジスタ	MPCACR9	H'00	H'FFF7 8198	8
MPUC領域10開始アドレスレジスタ	MPCSADR10	不定	H'FFF7 81A0	32
MPUC領域10終了アドレスレジスタ	MPCEADR10	不定	H'FFF7 81A4	32
MPUC領域10アクセス制御レジスタ	MPCACR10	H'00	H'FFF7 81A8	8
MPUC領域11開始アドレスレジスタ	MPCSADR11	不定	H'FFF7 81B0	32
MPUC領域11終了アドレスレジスタ	MPCEADR11	不定	H'FFF7 81B4	32
MPUC領域11アクセス制御レジスタ	MPCACR11	H'00	H'FFF7 81B8	8
MPUC領域12開始アドレスレジスタ	MPCSADR12	不定	H'FFF7 81C0	32
MPUC領域12終了アドレスレジスタ	MPCEADR12	不定	H'FFF7 81C4	32
MPUC領域12アクセス制御レジスタ	MPCACR12	H'00	H'FFF7 81C8	8
MPUC領域13開始アドレスレジスタ	MPCSADR13	不定	H'FFF7 81D0	32
MPUC領域13終了アドレスレジスタ	MPCEADR13	不定	H'FFF7 81D4	32
MPUC領域13アクセス制御レジスタ	MPCACR13	H'00	H'FFF7 81D8	8
MPUC領域14開始アドレスレジスタ	MPCSADR14	不定	H'FFF7 81E0	32
MPUC領域14終了アドレスレジスタ	MPCEADR14	不定	H'FFF7 81E4	32
MPUC領域14アクセス制御レジスタ	MPCACR14	H'00	H'FFF7 81E8	8
MPUC領域15開始アドレスレジスタ	MPCSADR15	不定	H'FFF7 81F0	32
MPUC領域15終了アドレスレジスタ	MPCEADR15	不定	H'FFF7 81F4	32
MPUC領域15アクセス制御レジスタ	MPCACR15	H'00	H'FFF7 81F8	8
MPUD有効レジスタ	MPDMPEN	H'0000 0000	H'FFF7 8200	32
MPUD読み出しアクセス制御レジスタ	MPDRACR	H'0000 0000	H'FFF7 8210	32
MPUD書き込みアクセス制御レジスタ	MPDWACR	H'0000 0000	H'FFF7 8214	32
MPUD領域設定有効レジスタ	MPDVLD	H'0000 0000	H'FFF7 821C	32
MPUDバックグラウンドアクセス制御レジスタ	MPDACBCR	H'00	H'FFF7 8220	8
MPUDエラーステータスクリアレジスタ	MPDECLR	H'00	H'FFF7 8224	8
MPUDエラーステータスレジスタ	MPDESR	H'00	H'FFF7 8228	8
MPUDエラーアドレスレジスタ	MPDERADR	不定	H'FFF7 8230	32
MPUDアクセスヒット領域レジスタ	MPDHIT	H'0000 0000	H'FFF7 8238	32
MPUD領域0開始アドレスレジスタ	MPDSADR0	不定	H'FFF7 8300	32
MPUD領域0終了アドレスレジスタ	MPDEADR0	不定	H'FFF7 8304	32
MPUD領域0アクセス制御レジスタ	MPDACR0	H'00	H'FFF7 8308	8
MPUD領域1開始アドレスレジスタ	MPDSADR1	不定	H'FFF7 8310	32
MPUD領域1終了アドレスレジスタ	MPDEADR1	不定	H'FFF7 8314	32
MPUD領域1アクセス制御レジスタ	MPDACR1	H'00	H'FFF7 8318	8
MPUD領域2開始アドレスレジスタ	MPDSADR2	不定	H'FFF7 8320	32
MPUD領域2終了アドレスレジスタ	MPDEADR2	不定	H'FFF7 8324	32

表29.4 MPUのレジスタ一覧(3)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
MPUD領域2アクセス制御レジスタ	MPDACR2	H'00	H'FFF7 8328	8
MPUD領域3開始アドレスレジスタ	MPDSADR3	不定	H'FFF7 8330	32
MPUD領域3終了アドレスレジスタ	MPDEADR3	不定	H'FFF7 8334	32
MPUD領域3アクセス制御レジスタ	MPDACR3	H'00	H'FFF7 8338	8
MPUD領域4開始アドレスレジスタ	MPDSADR4	不定	H'FFF7 8340	32
MPUD領域4終了アドレスレジスタ	MPDEADR4	不定	H'FFF7 8344	32
MPUD領域4アクセス制御レジスタ	MPDACR4	H'00	H'FFF7 8348	8
MPUD領域5開始アドレスレジスタ	MPDSADR5	不定	H'FFF7 8350	32
MPUD領域5終了アドレスレジスタ	MPDEADR5	不定	H'FFF7 8354	32
MPUD領域5アクセス制御レジスタ	MPDACR5	H'00	H'FFF7 8358	8
MPUD領域6開始アドレスレジスタ	MPDSADR6	不定	H'FFF7 8360	32
MPUD領域6終了アドレスレジスタ	MPDEADR6	不定	H'FFF7 8364	32
MPUD領域6アクセス制御レジスタ	MPDACR6	H'00	H'FFF7 8368	8
MPUD領域7開始アドレスレジスタ	MPDSADR7	不定	H'FFF7 8370	32
MPUD領域7終了アドレスレジスタ	MPDEADR7	不定	H'FFF7 8374	32
MPUD領域7アクセス制御レジスタ	MPDACR7	H'00	H'FFF7 8378	8
MPUD領域8開始アドレスレジスタ	MPDSADR8	不定	H'FFF7 8380	32
MPUD領域8終了アドレスレジスタ	MPDEADR8	不定	H'FFF7 8384	32
MPUD領域8アクセス制御レジスタ	MPDACR8	H'00	H'FFF7 8388	8
MPUD領域9開始アドレスレジスタ	MPDSADR9	不定	H'FFF7 8390	32
MPUD領域9終了アドレスレジスタ	MPDEADR9	不定	H'FFF7 8394	32
MPUD領域9アクセス制御レジスタ	MPDACR9	H'00	H'FFF7 8398	8
MPUD領域10開始アドレスレジスタ	MPDSADR10	不定	H'FFF7 83A0	32
MPUD領域10終了アドレスレジスタ	MPDEADR10	不定	H'FFF7 83A4	32
MPUD領域10アクセス制御レジスタ	MPDACR10	H'00	H'FFF7 83A8	8
MPUD領域11開始アドレスレジスタ	MPDSADR11	不定	H'FFF7 83B0	32
MPUD領域11終了アドレスレジスタ	MPDEADR11	不定	H'FFF7 83B4	32
MPUD領域11アクセス制御レジスタ	MPDACR11	H'00	H'FFF7 83B8	8
MPUD領域12開始アドレスレジスタ	MPDSADR12	不定	H'FFF7 83C0	32
MPUD領域12終了アドレスレジスタ	MPDEADR12	不定	H'FFF7 83C4	32
MPUD領域12アクセス制御レジスタ	MPDACR12	H'00	H'FFF7 83C8	8
MPUD領域13開始アドレスレジスタ	MPDSADR13	不定	H'FFF7 83D0	32
MPUD領域13終了アドレスレジスタ	MPDEADR13	不定	H'FFF7 83D4	32
MPUD領域13アクセス制御レジスタ	MPDACR13	H'00	H'FFF7 83D8	8
MPUD領域14開始アドレスレジスタ	MPDSADR14	不定	H'FFF7 83E0	32
MPUD領域14終了アドレスレジスタ	MPDEADR14	不定	H'FFF7 83E4	32
MPUD領域14アクセス制御レジスタ	MPDACR14	H'00	H'FFF7 83E8	8
MPUD領域15開始アドレスレジスタ	MPDSADR15	不定	H'FFF7 83F0	32
MPUD領域15終了アドレスレジスタ	MPDEADR15	不定	H'FFF7 83F4	32
MPUD領域15アクセス制御レジスタ	MPDACR15	H'00	H'FFF7 83F8	8

29.3.1 MPUC 有効レジスタ (MPCMPEN)

アドレス H'FFF7 8000



ビット	シンボル	ビット名	機能	R/W
b31-b16	KEY [15:0]	キーコードビット	H'AAAA 書き込み時のみ、MPENビットを書き換え可能	W (注1)
b15-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	MPEN	MPU有効ビット(注2)	0: MPU無効、レジスタプロテクト解除 1: MPU有効、レジスタプロテクト	R/W

注1. 本ビットへの書き込みデータは保持されません。

注2. CPUのアクセスによるMPUエラー例外が発生すると、本ビットは自動的に“0”(MPU無効、レジスタプロテクト解除)になります。

MPCACBCR、MPCECLR、MPCRSADR、MPCRSOP、MPCSADRn、MPCEADRn、MPCACRn レジスタの値を変更する場合は、以下の手順で変更を行ってください。

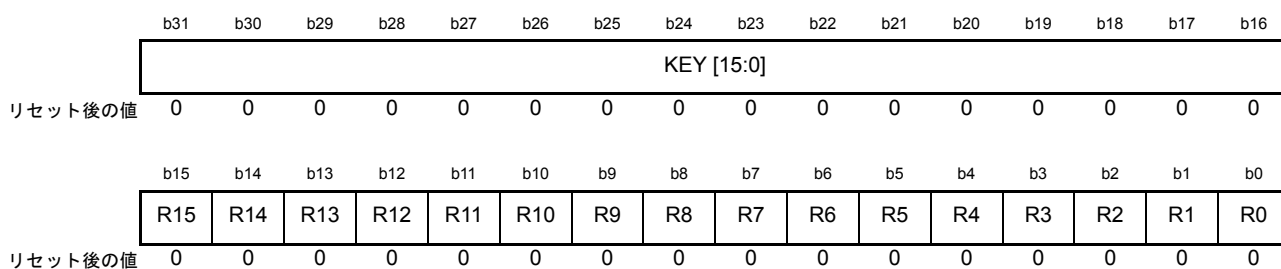
- (1) MPCMPEN レジスタに H'AAAA 0000 を書く (MPU 無効、各レジスタへの書き込みを許可)。
- (2) MPCACBCR、MPCECLR、MPCRSADR、MPCRSOP、MPCSADRn、MPCEADRn、MPCACRn レジスタの値を変更する。
- (3) MPCMPEN レジスタに H'AAAA 0001 を書く (MPU 有効、各レジスタへの書き込みを禁止)。

MPEN ビット

CPU 用 MPU の有効 / 無効を設定します。また、CPU 用 MPU のレジスタを簡単に書き換えられないように保護するレジスタプロテクト機能を設定します。

29.3.2 MPUC 読み出しアクセス制御レジスタ (MPCRACR)

アドレス H'FFF7 8010



ビット	シンボル	ビット名	機能	R/W
b31-b16	KEY [15:0]	キーコードビット	H'AAAA書き込み時のみ、R15～R0ビットを書き換え可能	W (注1)
b15	R15	領域15読み出しアクセス制御ビット	0: 読み出し禁止 1: 読み出し許可	R/W
b14	R14	領域14読み出しアクセス制御ビット		R/W
b13	R13	領域13読み出しアクセス制御ビット		R/W
b12	R12	領域12読み出しアクセス制御ビット		R/W
b11	R11	領域11読み出しアクセス制御ビット		R/W
b10	R10	領域10読み出しアクセス制御ビット		R/W
b9	R9	領域9読み出しアクセス制御ビット		R/W
b8	R8	領域8読み出しアクセス制御ビット		R/W
b7	R7	領域7読み出しアクセス制御ビット		R/W
b6	R6	領域6読み出しアクセス制御ビット		R/W
b5	R5	領域5読み出しアクセス制御ビット		R/W
b4	R4	領域4読み出しアクセス制御ビット		R/W
b3	R3	領域3読み出しアクセス制御ビット		R/W
b2	R2	領域2読み出しアクセス制御ビット		R/W
b1	R1	領域1読み出しアクセス制御ビット		R/W
b0	R0	領域0読み出しアクセス制御ビット		R/W

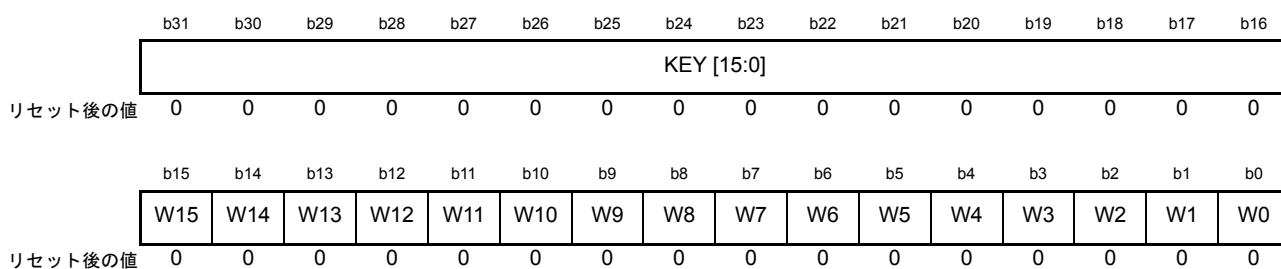
注1. 本ビットへの書き込みデータは保持されません。

R15～R0 ビット

CPU用MPUの領域0～15の読み出しアクセスの許可/禁止を設定します。本ビットの実体は、MPCACRnレジスタのRビットと同一です。

29.3.3 MPUC 書き込みアクセス制御レジスタ (MPCWACR)

アドレス H'FFF7 8014



ビット	シンボル	ビット名	機能	R/W
b31-b16	KEY [15:0]	キーコードビット	H'AAAA書き込み時のみ、W15～W0ビットを書き換え可能	W (注1)
b15	W15	領域15書き込みアクセス制御ビット	0:書き込み禁止 1:書き込み許可	R/W
b14	W14	領域14書き込みアクセス制御ビット		R/W
b13	W13	領域13書き込みアクセス制御ビット		R/W
b12	W12	領域12書き込みアクセス制御ビット		R/W
b11	W11	領域11書き込みアクセス制御ビット		R/W
b10	W10	領域10書き込みアクセス制御ビット		R/W
b9	W9	領域9書き込みアクセス制御ビット		R/W
b8	W8	領域8書き込みアクセス制御ビット		R/W
b7	W7	領域7書き込みアクセス制御ビット		R/W
b6	W6	領域6書き込みアクセス制御ビット		R/W
b5	W5	領域5書き込みアクセス制御ビット		R/W
b4	W4	領域4書き込みアクセス制御ビット		R/W
b3	W3	領域3書き込みアクセス制御ビット		R/W
b2	W2	領域2書き込みアクセス制御ビット		R/W
b1	W1	領域1書き込みアクセス制御ビット		R/W
b0	W0	領域0書き込みアクセス制御ビット		R/W

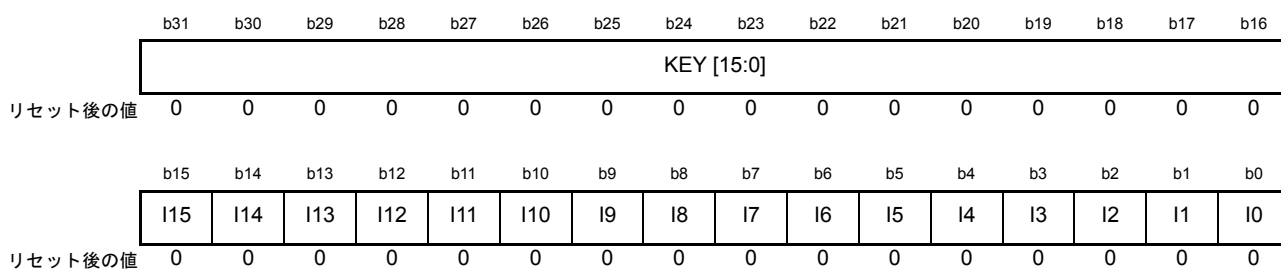
注1. 本ビットへの書き込みデータは保持されません。

W15～W0 ビット

CPU用MPUの領域0～15の書き込みアクセスの許可/禁止を設定します。本ビットの実体は、MPCACRnレジスタのWビットと同一です。

29.3.4 MPUC 命令アクセス制御レジスタ (MPCACR)

アドレス H'FFF7 8018



ビット	シンボル	ビット名	機能	R/W
b31-b16	KEY [15:0]	キーコードビット	H'AAAA 書き込み時のみ、I15 ~ I0 ビットを書き換え可能	W (注1)
b15	I15	領域 15 命令アクセス制御ビット	0: 命令実行禁止 1: 命令実行許可	R/W
b14	I14	領域 14 命令アクセス制御ビット		R/W
b13	I13	領域 13 命令アクセス制御ビット		R/W
b12	I12	領域 12 命令アクセス制御ビット		R/W
b11	I11	領域 11 命令アクセス制御ビット		R/W
b10	I10	領域 10 命令アクセス制御ビット		R/W
b9	I9	領域 9 命令アクセス制御ビット		R/W
b8	I8	領域 8 命令アクセス制御ビット		R/W
b7	I7	領域 7 命令アクセス制御ビット		R/W
b6	I6	領域 6 命令アクセス制御ビット		R/W
b5	I5	領域 5 命令アクセス制御ビット		R/W
b4	I4	領域 4 命令アクセス制御ビット		R/W
b3	I3	領域 3 命令アクセス制御ビット		R/W
b2	I2	領域 2 命令アクセス制御ビット		R/W
b1	I1	領域 1 命令アクセス制御ビット		R/W
b0	I0	領域 0 命令アクセス制御ビット		R/W

注1. 本ビットへの書き込みデータは保持されません。

I15 ~ I0 ビット

CPU 用 MPU の領域 0 ~ 15 の命令アクセスの許可 / 禁止を設定します。本ビットの実体は、MPCACRn レジスタの I ビットと同一です。

29.3.5 MPUC 領域設定有効レジスタ (MPCVLD)

アドレス H'FFF7 801C

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
KEY [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
V15	V14	V13	V12	V11	V10	V9	V8	V7	V6	V5	V4	V3	V2	V1	V0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b16	KEY [15:0]	キーコードビット	H'AAAA 書き込み時のみ、V15～V0ビットを書き換え可能	W (注1)
b15	V15	領域15有効ビット	0: 設定は無効 1: 設定は有効	R/W
b14	V14	領域14有効ビット		R/W
b13	V13	領域13有効ビット		R/W
b12	V12	領域12有効ビット		R/W
b11	V11	領域11有効ビット		R/W
b10	V10	領域10有効ビット		R/W
b9	V9	領域9有効ビット		R/W
b8	V8	領域8有効ビット		R/W
b7	V7	領域7有効ビット		R/W
b6	V6	領域6有効ビット		R/W
b5	V5	領域5有効ビット		R/W
b4	V4	領域4有効ビット		R/W
b3	V3	領域3有効ビット		R/W
b2	V2	領域2有効ビット		R/W
b1	V1	領域1有効ビット		R/W
b0	V0	領域0有効ビット		R/W

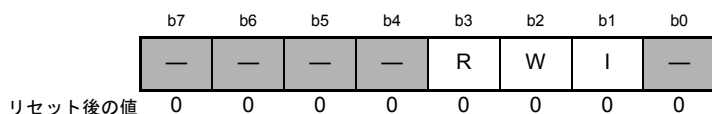
注1. 本ビットへの書き込みデータは保持されません。

V15～V0 ビット

CPU用MPUの領域0～15の設定の許可/禁止を設定します。本ビットの実体は、MPCACRnレジスタのVビットと同一です。

29.3.6 MPUC バックグラウンド領域アクセス制御レジスタ (MPCACBCR)

アドレス H'FFF7 8020



ビット	シンボル	ビット名	機能	R/W
b7-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	R	読み出しアクセス制御ビット	0: 読み出し禁止 1: 読み出し許可	R/W
b2	W	書き込みアクセス制御ビット	0: 書き込み禁止 1: 書き込み許可	R/W
b1	I	命令アクセス制御ビット	0: 命令実行禁止 1: 命令実行許可	R/W
b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

MPCACBCR レジスタの値を変更する場合は、MPCMPEN レジスタでプロテクトを解除してから変更してください。

R ビット

CPU 用 MPU のバックグラウンド領域の読み出しアクセスの許可 / 禁止を設定します。

W ビット

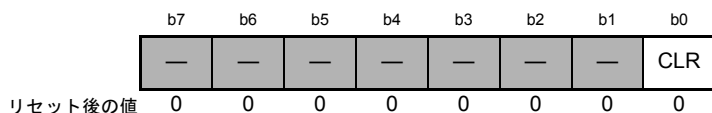
CPU 用 MPU のバックグラウンド領域の書き込みアクセスの許可 / 禁止を設定します。

I ビット

CPU 用 MPU のバックグラウンド領域の命令アクセスの許可 / 禁止を設定します。

29.3.7 MPUC エラーステータスクリアレジスタ (MPCECLR)

アドレス H'FFF7 8024

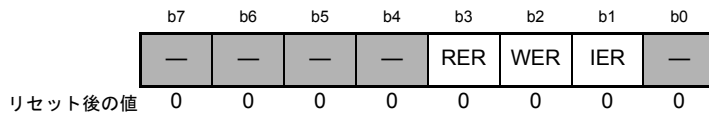


ビット	シンボル	ビット名	機能	R/W
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	CLR	エラーステータスクリアビット	書き込み時 0: 何もしない 1: MPCECSR、MPCHITI、MPCHITO レジスタのすべてのビットを“0”にする ----- 読み出し時、“0”が読み出されます。	R/W

MPCECLR レジスタの値を変更する場合は、MPCMPEN レジスタでプロテクトを解除してから変更してください。

29.3.8 MPUC エラーステータスレジスタ (MPCESR)

アドレス H'FFF7 8028



ビット	シンボル	ビット名	機能	R/W
b7-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	RER	読み出しアクセスエラーフラグ (注1)	0: 読み出しアクセスエラー発生なし 1: 読み出しアクセスエラー発生	R
b2	WER	書き込みアクセスエラーフラグ (注1)	0: 書き込みアクセスエラー発生なし 1: 書き込みアクセスエラー発生	R
b1	IER	命令アクセスエラーフラグ (注1)	0: 命令実行エラー発生なし 1: 命令実行エラー発生	R
b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注1. MPCECLRレジスタのCLRビットを“1”にすることで“0”になります。

MPCESRレジスタは、読み出し専用レジスタです。

RER フラグ

CPU のオペランド読み出しアクセスによる MPU エラー発生状態を示します。

WER フラグが“1”のとき、CPU のオペランド読み出しアクセスによる MPU エラーが発生しても、このフラグは“1”になりません。

WER フラグ

CPU のオペランド書き込みアクセスによる MPU エラー発生状態を示します。

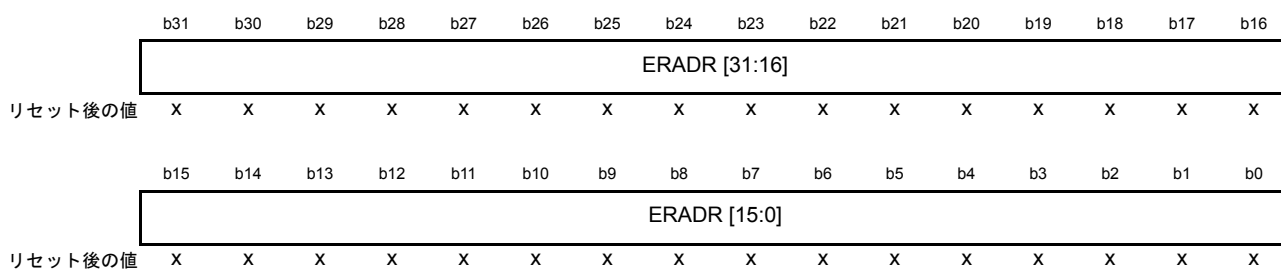
RER フラグが“1”のとき、CPU のオペランド書き込みアクセスによる MPU エラーが発生しても、このフラグは“1”になりません。

IER フラグ

CPU の命令アクセスによる MPU エラー発生状態を示します。

29.3.9 MPUC 命令アクセスエラーアドレスレジスタ (MPCERADRI)

アドレス H'FFF7 802C

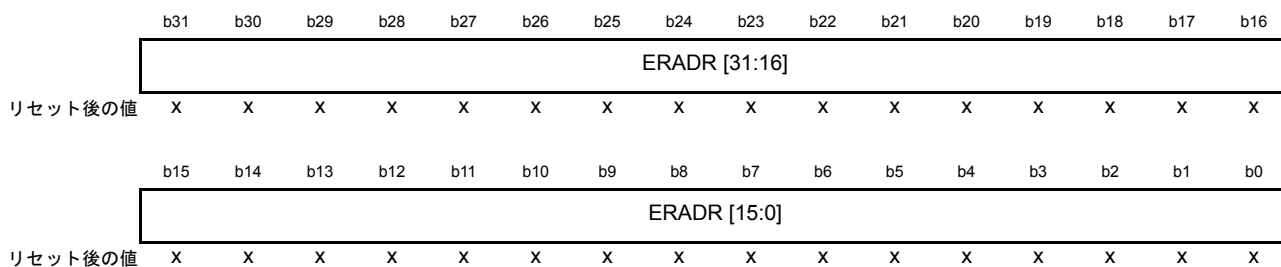


ビット	シンボル	ビット名	機能	R/W
b31-b0	ERADR [31:0]	エラーアドレスビット	MPCECLRレジスタのCLRビットを“1”にし、MPCESRレジスタのIERビットが“0”になった後、最初にMPUエラーを発生したCPUの命令アクセスのアドレスを保持します。	R

MPCERADRI レジスタは、読み出し専用レジスタです。

29.3.10 MPUC オペランドアクセスエラーアドレスレジスタ (MPCERADRO)

アドレス H'FFF7 8030



ビット	シンボル	ビット名	機能	R/W
b31-b0	ERADR [31:0]	エラーアドレスビット	MPCECLRレジスタのCLRビットを“1”にし、MPCESRレジスタのRER、WERフラグが“0”になった後、最初にMPUエラーを発生したCPUのオペランドアクセス(読み出し/書き込み)のアドレスを保持します。	R

MPCERADRO レジスタは、読み出し専用レジスタです。

29.3.11 MPUC 命令アクセスヒット領域レジスタ (MPCHITI)

アドレス H'FFF7 8034

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	H15	H14	H13	H12	H11	H10	H9	H8	H7	H6	H5	H4	H3	H2	H1	H0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	R	W	I	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31	H15	領域 15 命令アクセスヒット表示フラグ(注1)	0: 命令アクセスエラーなし 1: 命令アクセスエラーあり	R
b30	H14	領域 14 命令アクセスヒット表示フラグ(注1)		R
b29	H13	領域 13 命令アクセスヒット表示フラグ(注1)		R
b28	H12	領域 12 命令アクセスヒット表示フラグ(注1)		R
b27	H11	領域 11 命令アクセスヒット表示フラグ(注1)		R
b26	H10	領域 10 命令アクセスヒット表示フラグ(注1)		R
b25	H9	領域 9 命令アクセスヒット表示フラグ(注1)		R
b24	H8	領域 8 命令アクセスヒット表示フラグ(注1)		R
b23	H7	領域 7 命令アクセスヒット表示フラグ(注1)		R
b22	H6	領域 6 命令アクセスヒット表示フラグ(注1)		R
b21	H5	領域 5 命令アクセスヒット表示フラグ(注1)		R
b20	H4	領域 4 命令アクセスヒット表示フラグ(注1)		R
b19	H3	領域 3 命令アクセスヒット表示フラグ(注1)		R
b18	H2	領域 2 命令アクセスヒット表示フラグ(注1)		R
b17	H1	領域 1 命令アクセスヒット表示フラグ(注1)		R
b16	H0	領域 0 命令アクセスヒット表示フラグ(注1)		R
b15-b4	—	(予約ビット)		読むと“0”が読み出されます。書き込みは“0”としてください。
b3	R	命令アクセスヒット領域読み出しアクセス制御ビット保持フラグ(注1)	0: 読み出し禁止状態 1: 読み出し許可状態	R
b2	W	命令アクセスヒット領域書き込みアクセス制御ビット保持フラグ(注1)	0: 書き込み禁止状態 1: 書き込み許可状態	R
b1	I	命令アクセスヒット領域命令アクセス制御ビット保持フラグ(注1)	0: 命令実行禁止状態 1: 命令実行許可状態	R
b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注1. MPCECLRレジスタのCLRビットを“1”にすることで“0”になります。

MPCHITI レジスタは、読み出し専用レジスタです。

H15 ~ H0 フラグ

MPCECLR レジスタの CLR ビットを“1”にし、MPCESR レジスタの IER フラグが“0”になった後、最初に CPU の命令アクセスエラーが発生した領域を示します。バックグラウンド領域のみで命令アクセスエラーが発生したときは、このビットは“1”になりません。

R フラグ

CPU の命令アクセスエラーが発生した領域の読み出しアクセス制御ビットを保持します。オーバーラップした領域でエラーが発生した場合、該当する領域 (バックグラウンド領域も含む) の読み出しアクセス制御ビットの論理和を保持します。

W フラグ

CPU の命令アクセスエラーが発生した領域の書き込みアクセス制御ビットを保持します。オーバーラップした領域でエラーが発生した場合、該当する領域 (バックグラウンド領域も含む) の書き込みアクセス制御ビットの論理和を保持します。

I フラグ

CPU の命令アクセスエラーが発生した領域の命令アクセス制御ビットを保持します。オーバーラップした領域でエラーが発生した場合、該当する領域 (バックグラウンド領域も含む) の命令アクセス制御ビットの論理和を保持します。

29.3.12 MPUC オペランドアクセスヒット領域レジスタ (MPCHITO)

アドレス H'FFF7 8038

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	H15	H14	H13	H12	H11	H10	H9	H8	H7	H6	H5	H4	H3	H2	H1	H0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	R	W	I	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31	H15	領域 15 オペランドアクセスヒット表示フラグ(注1)	0: オペランドアクセスエラーまたは領域サーチヒットなし 1: オペランドアクセスエラーまたは領域サーチヒットあり	R
b30	H14	領域 14 オペランドアクセスヒット表示フラグ(注1)		R
b29	H13	領域 13 オペランドアクセスヒット表示フラグ(注1)		R
b28	H12	領域 12 オペランドアクセスヒット表示フラグ(注1)		R
b27	H11	領域 11 オペランドアクセスヒット表示フラグ(注1)		R
b26	H10	領域 10 オペランドアクセスヒット表示フラグ(注1)		R
b25	H9	領域 9 オペランドアクセスヒット表示フラグ(注1)		R
b24	H8	領域 8 オペランドアクセスヒット表示フラグ(注1)		R
b23	H7	領域 7 オペランドアクセスヒット表示フラグ(注1)		R
b22	H6	領域 6 オペランドアクセスヒット表示フラグ(注1)		R
b21	H5	領域 5 オペランドアクセスヒット表示フラグ(注1)		R
b20	H4	領域 4 オペランドアクセスヒット表示フラグ(注1)		R
b19	H3	領域 3 オペランドアクセスヒット表示フラグ(注1)		R
b18	H2	領域 2 オペランドアクセスヒット表示フラグ(注1)		R
b17	H1	領域 1 オペランドアクセスヒット表示フラグ(注1)		R
b16	H0	領域 0 オペランドアクセスヒット表示フラグ(注1)		R
b15-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	R	オペランドアクセスヒット領域読み出しアクセス制御ビット保持フラグ(注1)	0: 読み出し禁止状態 1: 読み出し許可状態	R
b2	W	オペランドアクセスヒット領域書き込みアクセス制御ビット保持フラグ(注1)	0: 書き込み禁止状態 1: 書き込み許可状態	R

ビット	シンボル	ビット名	機能	R/W
b1	I	オペランドアクセスヒット領域命令アクセス制御ビット保持フラグ(注1)	0: 命令実行禁止状態 1: 命令実行許可状態	R
b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注1. MPCECLRレジスタのCLRビットを“1”にすることで“0”になります。

MPCHITO レジスタは、読み出し専用レジスタです。

H15 ~ H0 フラグ

MPCECLR レジスタの CLR ビットを“1”にし、MPCESR レジスタの RER、WER フラグが“0”になった後、最初に CPU のオペランドアクセスエラーが発生した領域、もしくは、領域サーチでヒットした領域を示します。バックグラウンド領域のみでオペランドアクセスエラーが発生したときは、このビットは“1”になりません。

R フラグ

CPU のオペランドアクセスエラーが発生した領域、もしくは、領域サーチでヒットした領域の読み出しアクセス制御ビットを保持します。オーバーラップした領域でエラーが発生した場合、もしくは、領域サーチでヒットした場合、該当する領域(バックグラウンド領域も含む)の読み出しアクセス制御ビットの論理和を保持します。

W フラグ

CPU のオペランドアクセスエラーが発生した領域、もしくは、領域サーチでヒットした領域の書き込みアクセス制御ビットを保持します。オーバーラップした領域でエラーが発生した場合、もしくは、領域サーチでヒットした場合、該当する領域(バックグラウンド領域も含む)の書き込みアクセス制御ビットの論理和を保持します。

I フラグ

CPU のオペランドアクセスエラーが発生した領域、もしくは、領域サーチでヒットした領域の命令アクセス制御ビットを保持します。オーバーラップした領域でエラーが発生した場合、もしくは、領域サーチでヒットした場合、該当する領域(バックグラウンド領域も含む)の命令アクセス制御ビットの論理和を保持します。

29.3.13 MPUC 領域サーチアドレスレジスタ (MPCRSADR)

アドレス H'FFF7 803C

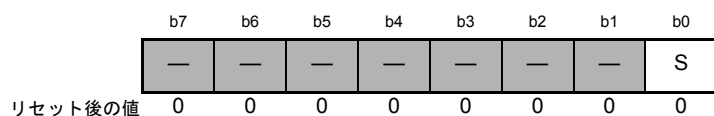


ビット	シンボル	ビット名	機能	R/W
b31-b0	RSADA [31:0]	領域サーチアドレスビット	領域サーチオペレーションで、CPU用MPUの各領域の開始アドレス、終了アドレスと比較するアドレスを設定します。	R/W

MPCRSADR レジスタの値を変更する場合は、MPCMPEN レジスタでプロテクトを解除してから変更してください。

29.3.14 MPUC 領域サーチオペレーションレジスタ (MPCRSOP)

アドレス H'FFF7 8040



ビット	シンボル	ビット名	機能	R/W
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	S	領域サーチオペレーションビット	書き込み時 0: 何もしない 1: 領域サーチオペレーションを行う 読み出し時、“0”が読み出されます。	R/W

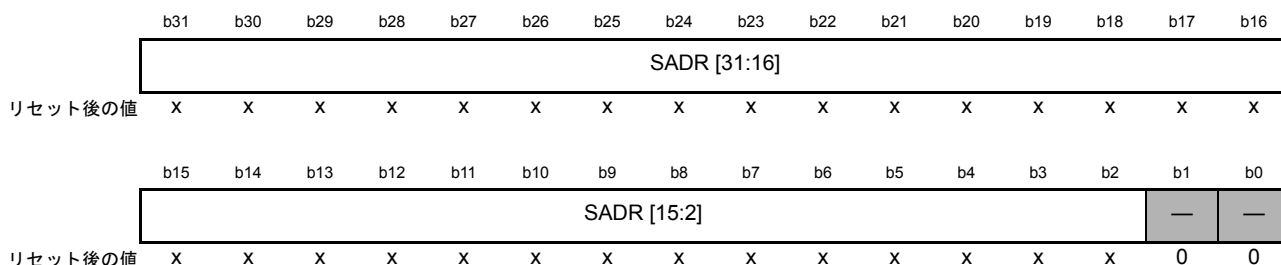
MPCRSOP レジスタの値を変更する場合は、MPCMPEN レジスタでプロテクトを解除してから変更してください。

S ビット

MPCRSADR レジスタで指定したアドレスが含まれる CPU 用 MPU の領域をサーチします。サーチ結果は、MPCHITO レジスタに格納されます。

29.3.15 MPUC 領域 n 開始アドレスレジスタ (MPCSA DRn) (n = 0 ~ 15)

アドレス MPCSA DR0 : H'FFF7 8100、MPCSA DR1 : H'FFF7 8110、MPCSA DR2 : H'FFF7 8120、
MPCSA DR3 : H'FFF7 8130、MPCSA DR4 : H'FFF7 8140、MPCSA DR5 : H'FFF7 8150、
MPCSA DR6 : H'FFF7 8160、MPCSA DR7 : H'FFF7 8170、MPCSA DR8 : H'FFF7 8180、
MPCSA DR9 : H'FFF7 8190、MPCSA DR10 : H'FFF7 81A0、MPCSA DR11 : H'FFF7 81B0、
MPCSA DR12 : H'FFF7 81C0、MPCSA DR13 : H'FFF7 81D0、MPCSA DR14 : H'FFF7 81E0、
MPCSA DR15 : H'FFF7 81F0

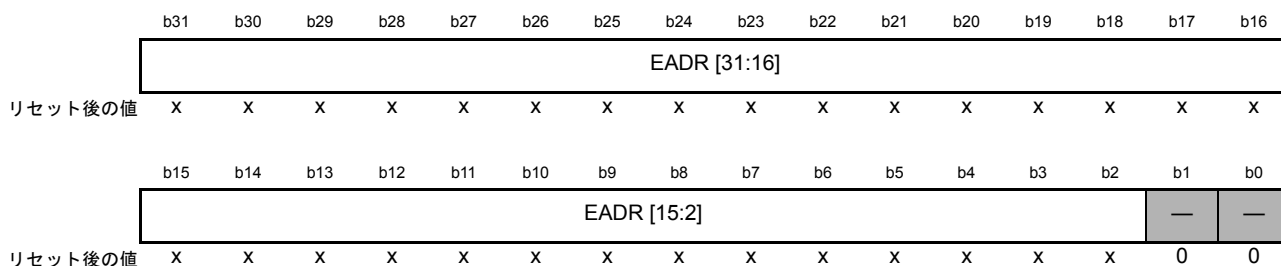


ビット	シンボル	ビット名	機能	R/W
b31-b2	SADR [31:2]	領域 n 開始アドレスビット	CPU用MPUの領域 n の開始アドレスの上位30ビットを設定します。	R/W
b1-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

MPCSA DRn レジスタの値を変更する場合は、MPCMPEN レジスタでプロテクトを解除してから変更してください。

29.3.16 MPUC 領域 n 終了アドレスレジスタ (MPCEADRn) (n = 0 ~ 15)

アドレス MPCEADR0 : H'FFF7 8104、MPCEADR1 : H'FFF7 8114、MPCEADR2 : H'FFF7 8124、
MPCEADR3 : H'FFF7 8134、MPCEADR4 : H'FFF7 8144、MPCEADR5 : H'FFF7 8154、
MPCEADR6 : H'FFF7 8164、MPCEADR7 : H'FFF7 8174、MPCEADR8 : H'FFF7 8184、
MPCEADR9 : H'FFF7 8194、MPCEADR10 : H'FFF7 81A4、MPCEADR11 : H'FFF7 81B4、
MPCEADR12 : H'FFF7 81C4、MPCEADR13 : H'FFF7 81D4、MPCEADR14 : H'FFF7 81E4、
MPCEADR15 : H'FFF7 81F4

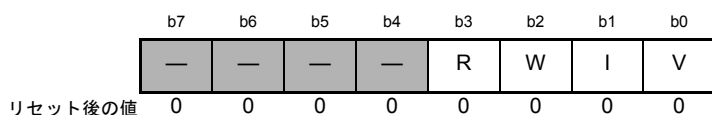


ビット	シンボル	ビット名	機能	R/W
b31-b2	EADR [31:2]	領域 n 終了アドレスビット	CPU用MPUの領域 n の終了アドレスの上位30ビットを設定します。	R/W
b1-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

MPCEADRn レジスタの値を変更する場合は、MPCMPEN レジスタでプロテクトを解除してから変更してください。

29.3.17 MPUC 領域 n アクセス制御レジスタ (MPCACRn) (n = 0 ~ 15)

アドレス MPCACR0 : H'FFF7 8108、MPCACR1 : H'FFF7 8118、MPCACR2 : H'FFF7 8128、
MPCACR3 : H'FFF7 8138、MPCACR4 : H'FFF7 8148、MPCACR5 : H'FFF7 8158、
MPCACR6 : H'FFF7 8168、MPCACR7 : H'FFF7 8178、MPCACR8 : H'FFF7 8188、
MPCACR9 : H'FFF7 8198、MPCACR10 : H'FFF7 81A8、MPCACR11 : H'FFF7 81B8、
MPCACR12 : H'FFF7 81C8、MPCACR13 : H'FFF7 81D8、MPCACR14 : H'FFF7 81E8、
MPCACR15 : H'FFF7 81F8



ビット	シンボル	ビット名	機能	R/W
b7-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	R	読み出しアクセス制御ビット	0: 読み出し禁止 1: 読み出し許可	R/W
b2	W	書き込みアクセス制御ビット	0: 書き込み禁止 1: 書き込み許可	R/W
b1	I	命令アクセス制御ビット	0: 命令実行禁止 1: 命令実行許可	R/W
b0	V	有効ビット	0: 領域設定無効 1: 領域設定有効	R/W

MPCACRn レジスタの値を変更する場合は、MPCMPEN レジスタでプロテクトを解除してから変更してください。

R ビット

CPU 用 MPU の領域 n の読み出しアクセスの許可 / 禁止を設定します。

W ビット

CPU 用 MPU の領域 n の書き込みアクセスの許可 / 禁止を設定します。

I ビット

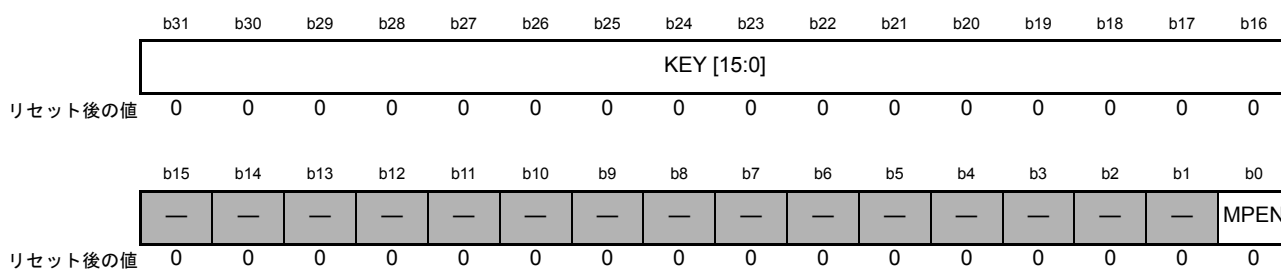
CPU 用 MPU の領域 n の命令アクセスの許可 / 禁止を設定します。

V ビット

CPU 用 MPU の領域 n の設定の有効 / 無効を設定します。

29.3.18 MPUD 有効レジスタ (MPDMPEN)

アドレス H'FFF7 8200



ビット	シンボル	ビット名	機能	R/W
b31-b16	KEY [15:0]	キーコードビット	H'AAAA 書き込み時のみ、MPENビットを書き換え可能	W (注1)
b15-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	MPEN	MPU有効ビット	0: MPU無効、レジスタプロテクト解除 1: MPU有効、レジスタプロテクト	R/W

注1. 本ビットへの書き込みデータは保持されません。

MPDACBCR、MPDECLR、MPDSADR_n、MPDEADR_n、MPDACR_n レジスタの値を変更する場合は、以下の手順で変更を行ってください。

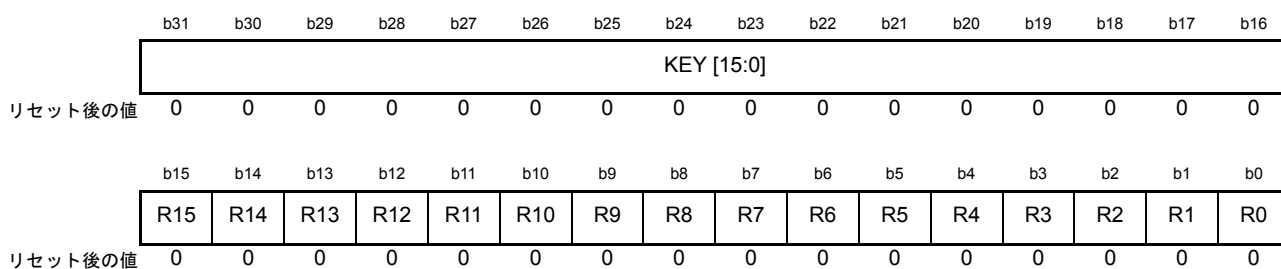
- (1) MPDMPEN レジスタに H'AAAA 0000 を書く (MPU 無効、各レジスタへの書き込みを許可)。
- (2) MPDACBCR、MPDECLR、MPDSADR_n、MPDEADR_n、MPDACR_n レジスタの値を変更する。
- (3) MPDMPEN レジスタに H'AAAA 0001 を書く (MPU 有効、各レジスタへの書き込みを禁止)。

MPEN ビット

DMAC 用 MPU の有効 / 無効を設定します。また、DMAC 用 MPU のレジスタを簡単に書き換えられないように保護するレジスタプロテクト機能を設定します。

29.3.19 MPUD 読み出しアクセス制御レジスタ (MPDRACR)

アドレス H'FFF7 8210



ビット	シンボル	ビット名	機能	R/W
b31-b16	KEY [15:0]	キーコードビット	H'AAAA書き込み時のみ、R15～R0ビットを書き換え可能	W (注1)
b15	R15	領域15読み出しアクセス制御ビット	0: 読み出し禁止 1: 読み出し許可	R/W
b14	R14	領域14読み出しアクセス制御ビット		R/W
b13	R13	領域13読み出しアクセス制御ビット		R/W
b12	R12	領域12読み出しアクセス制御ビット		R/W
b11	R11	領域11読み出しアクセス制御ビット		R/W
b10	R10	領域10読み出しアクセス制御ビット		R/W
b9	R9	領域9読み出しアクセス制御ビット		R/W
b8	R8	領域8読み出しアクセス制御ビット		R/W
b7	R7	領域7読み出しアクセス制御ビット		R/W
b6	R6	領域6読み出しアクセス制御ビット		R/W
b5	R5	領域5読み出しアクセス制御ビット		R/W
b4	R4	領域4読み出しアクセス制御ビット		R/W
b3	R3	領域3読み出しアクセス制御ビット		R/W
b2	R2	領域2読み出しアクセス制御ビット		R/W
b1	R1	領域1読み出しアクセス制御ビット		R/W
b0	R0	領域0読み出しアクセス制御ビット		R/W

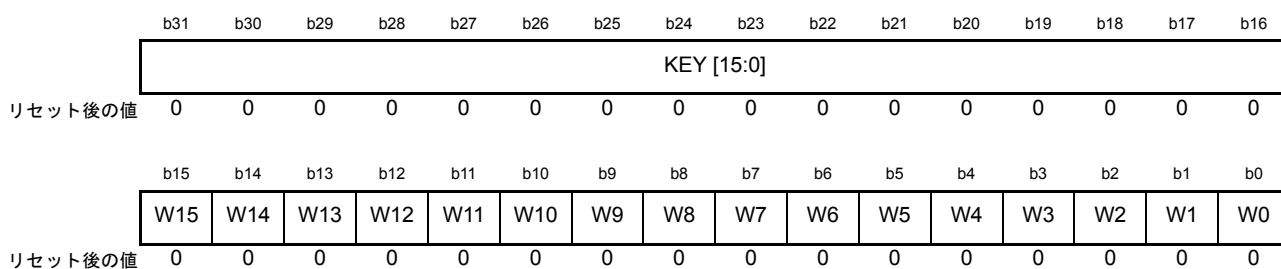
注1. 本ビットへの書き込みデータは保持されません。

R15～R0 ビット

DMAC用MPUの領域0～15の読み出しアクセスの許可/禁止を設定します。本ビットの実体は、MPDACRnレジスタのRビットと同一です。

29.3.20 MPUD 書き込みアクセス制御レジスタ (MPDWACR)

アドレス H'FFF7 8214



ビット	シンボル	ビット名	機能	R/W
b31-b16	KEY [15:0]	キーコードビット	H'AAAA書き込み時のみ、W15～W0ビットを書き換え可能	W (注1)
b15	W15	領域15書き込みアクセス制御ビット	0:書き込み禁止 1:書き込み許可	R/W
b14	W14	領域14書き込みアクセス制御ビット		R/W
b13	W13	領域13書き込みアクセス制御ビット		R/W
b12	W12	領域12書き込みアクセス制御ビット		R/W
b11	W11	領域11書き込みアクセス制御ビット		R/W
b10	W10	領域10書き込みアクセス制御ビット		R/W
b9	W9	領域9書き込みアクセス制御ビット		R/W
b8	W8	領域8書き込みアクセス制御ビット		R/W
b7	W7	領域7書き込みアクセス制御ビット		R/W
b6	W6	領域6書き込みアクセス制御ビット		R/W
b5	W5	領域5書き込みアクセス制御ビット		R/W
b4	W4	領域4書き込みアクセス制御ビット		R/W
b3	W3	領域3書き込みアクセス制御ビット		R/W
b2	W2	領域2書き込みアクセス制御ビット		R/W
b1	W1	領域1書き込みアクセス制御ビット		R/W
b0	W0	領域0書き込みアクセス制御ビット		R/W

注1. 本ビットへの書き込みデータは保持されません。

W15～W0 ビット

DMAC用MPUの領域0～15の書き込みアクセスの許可/禁止を設定します。本ビットの実体は、MPDACRnレジスタのWビットと同一です。

29.3.21 MPUD 領域設定有効レジスタ (MPDVLD)

アドレス H'FFF7 821C

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
KEY [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
V15	V14	V13	V12	V11	V10	V9	V8	V7	V6	V5	V4	V3	V2	V1	V0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b16	KEY [15:0]	キーコードビット	H'AAAA 書き込み時のみ、V15～V0ビットを書き換え可能	W (注1)
b15	V15	領域15有効ビット	0: 設定は無効 1: 設定は有効	R/W
b14	V14	領域14有効ビット		R/W
b13	V13	領域13有効ビット		R/W
b12	V12	領域12有効ビット		R/W
b11	V11	領域11有効ビット		R/W
b10	V10	領域10有効ビット		R/W
b9	V9	領域9有効ビット		R/W
b8	V8	領域8有効ビット		R/W
b7	V7	領域7有効ビット		R/W
b6	V6	領域6有効ビット		R/W
b5	V5	領域5有効ビット		R/W
b4	V4	領域4有効ビット		R/W
b3	V3	領域3有効ビット		R/W
b2	V2	領域2有効ビット		R/W
b1	V1	領域1有効ビット		R/W
b0	V0	領域0有効ビット		R/W

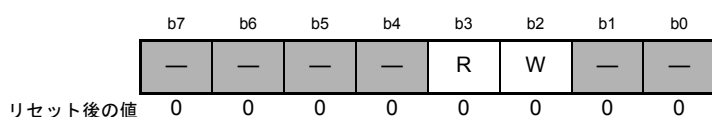
注1. 本ビットへの書き込みデータは保持されません。

V15～V0 ビット

DMAC 用 MPU の領域 0～15 の設定の有効 / 無効を設定します。本ビットの実体は、MPDACRn レジスタの V ビットと同一です。

29.3.22 MPUD バックグラウンドアクセス制御レジスタ (MPDACBCR)

アドレス H'FFF7 8220



ビット	シンボル	ビット名	機能	R/W
b7-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	R	読み出しアクセス制御ビット	0: 読み出し禁止 1: 読み出し許可	R/W
b2	W	書き込みアクセス制御ビット	0: 書き込み禁止 1: 書き込み許可	R/W
b1-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

MPDACBCR レジスタの値を変更する場合は、MPDMPEN レジスタでプロテクトを解除してから変更してください。

R ビット

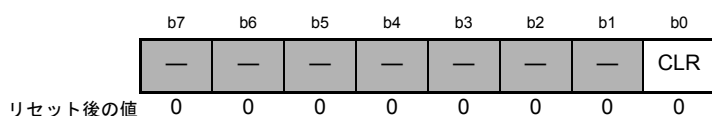
DMAC 用 MPU のバックグラウンド領域の読み出しアクセスの許可 / 禁止を設定します。

W ビット

DMAC 用 MPU のバックグラウンド領域の書き込みアクセスの許可 / 禁止を設定します。

29.3.23 MPUD エラーステータスクリアレジスタ (MPDECLR)

アドレス H'FFF7 8224

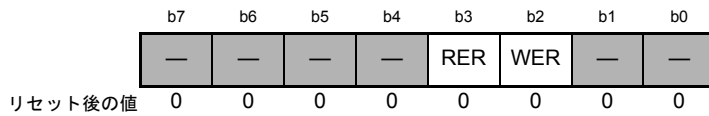


ビット	シンボル	ビット名	機能	R/W
b7-b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	CLR	エラーステータスクリアビット	書き込み時 0: 何もしない 1: MPDESR、MPDHIT レジスタのすべてのビットを“0”にする ----- 読み出し時、“0”が読み出されます。	R/W

MPDECLR レジスタの値を変更する場合は、MPDMPEN レジスタでプロテクトを解除してから変更してください。

29.3.24 MPUD エラーステータスレジスタ (MPDESr)

アドレス H'FFF7 8228



ビット	シンボル	ビット名	機能	R/W
b7-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	RER	読み出しアクセスエラーフラグ (注1)	0: 読み出しアクセスエラー発生なし 1: 読み出しアクセスエラー発生	R
b2	WER	書き込みアクセスエラーフラグ (注1)	0: 書き込みアクセスエラー発生なし 1: 書き込みアクセスエラー発生	R
b1-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注1. MPDECLRレジスタのCLRビットを“1”にすることで“0”になります。

MPDESr レジスタは、読み出し専用レジスタです。

RER フラグ

DMAC の読み出しアクセスによる MPU エラー発生状態を示します。

WER フラグが“1”のとき、DMAC の読み出しアクセスによる MPU エラーが発生しても、このフラグは“1”になりません。

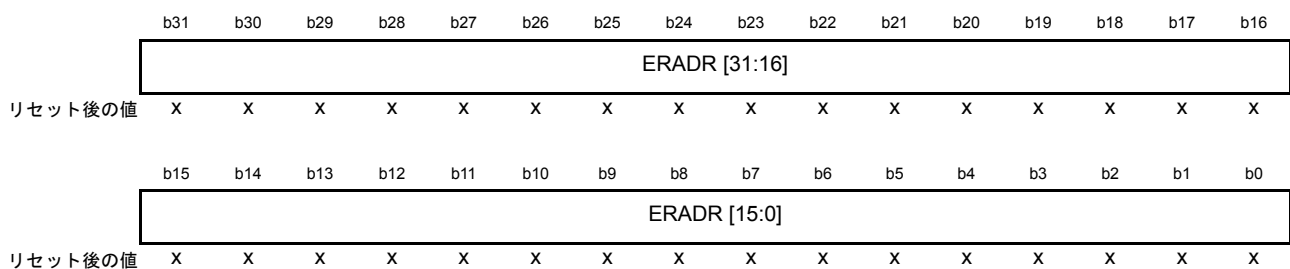
WER フラグ

DMAC の書き込みアクセスによる MPU エラー発生状態を示します。

RER フラグが“1”のとき、DMAC の書き込みアクセスによる MPU エラーが発生しても、このフラグは“1”になりません。

29.3.25 MPUD エラーアドレスレジスタ (MPDERADR)

アドレス H'FFF7 8230



ビット	シンボル	ビット名	機能	R/W
b31-b0	ERADR [31:0]	エラーアドレスビット	MPDECLRレジスタのCLRビットを“1”にし、MPDESrレジスタのRER、WERフラグが“0”になった後、最初にMPUエラーが発生したDMACのアクセス(読み出し/書き込み)のアドレスを保持します。	R

29.3.26 MPUD アクセスヒット領域レジスタ (MPDHIT)

アドレス H'FFF7 8238

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	H15	H14	H13	H12	H11	H10	H9	H8	H7	H6	H5	H4	H3	H2	H1	H0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	R	W	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31	H15	領域 15 アクセスヒット表示フラグ(注1)	0: アクセスエラーなし 1: アクセスエラーあり	R
b30	H14	領域 14 アクセスヒット表示フラグ(注1)		R
b29	H13	領域 13 アクセスヒット表示フラグ(注1)		R
b28	H12	領域 12 アクセスヒット表示フラグ(注1)		R
b27	H11	領域 11 アクセスヒット表示フラグ(注1)		R
b26	H10	領域 10 アクセスヒット表示フラグ(注1)		R
b25	H9	領域 9 アクセスヒット表示フラグ(注1)		R
b24	H8	領域 8 アクセスヒット表示フラグ(注1)		R
b23	H7	領域 7 アクセスヒット表示フラグ(注1)		R
b22	H6	領域 6 アクセスヒット表示フラグ(注1)		R
b21	H5	領域 5 アクセスヒット表示フラグ(注1)		R
b20	H4	領域 4 アクセスヒット表示フラグ(注1)		R
b19	H3	領域 3 アクセスヒット表示フラグ(注1)		R
b18	H2	領域 2 アクセスヒット表示フラグ(注1)		R
b17	H1	領域 1 アクセスヒット表示フラグ(注1)		R
b16	H0	領域 0 アクセスヒット表示フラグ(注1)		R
b15-b4	—	(予約ビット)		読むと“0”が読み出されます。書き込みは“0”としてください。
b3	R	アクセスヒット領域読み出しアクセス制御ビット保持フラグ(注1)	0: 読み出し禁止状態 1: 読み出し許可状態	R
b2	W	アクセスヒット領域書き込みアクセス制御ビット保持フラグ(注1)	0: 書き込み禁止状態 1: 書き込み許可状態	R
b1-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

注1. MPDECLRレジスタのCLRビットを“1”にすることで“0”になります。

MPDHITレジスタは、読み出し専用レジスタです。

H15 ~ H0 フラグ

MPDECLRレジスタのCLRビットを“1”にし、MPDESRレジスタのRER、WERフラグが“0”になった後、最初にDMACのアクセスエラーが発生した領域を示します。バックグラウンド領域のみでアクセスエラーが発生したときは、このビットは“1”になりません。

R フラグ

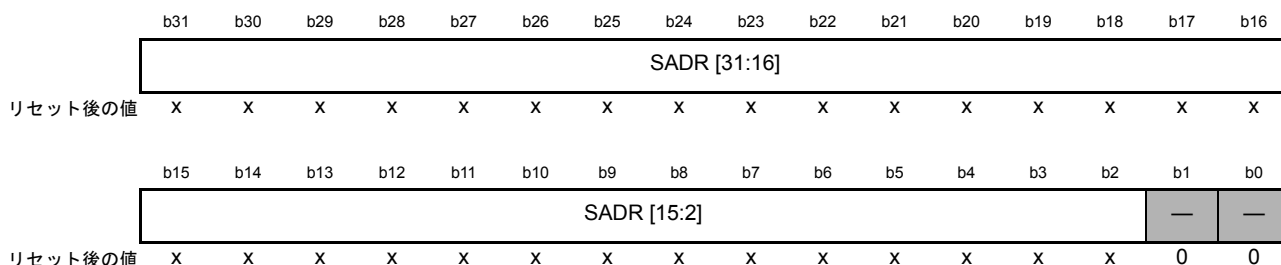
DMAC のアクセスエラーが発生した領域の読み出しアクセス制御ビットを保持します。オーバーラップした領域でエラーが発生した場合、該当する領域 (バックグラウンド領域も含む) の読み出しアクセス制御ビットの論理和を保持します。

W フラグ

DMAC のアクセスエラーが発生した領域の書き込みアクセス制御ビットを保持します。オーバーラップした領域でエラーが発生した場合、該当する領域 (バックグラウンド領域も含む) の書き込みアクセス制御ビットの論理和を保持します。

29.3.27 MPUD 領域 n 開始アドレスレジスタ (MPDSADRn) (n = 0 ~ 15)

アドレス MPDSADR0 : H'FFF7 8300、MPDSADR1 : H'FFF7 8310、MPDSADR2 : H'FFF7 8320、
MPDSADR3 : H'FFF7 8330、MPDSADR4 : H'FFF7 8340、MPDSADR5 : H'FFF7 8350、
MPDSADR6 : H'FFF7 8360、MPDSADR7 : H'FFF7 8370、MPDSADR8 : H'FFF7 8380、
MPDSADR9 : H'FFF7 8390、MPDSADR10 : H'FFF7 83A0、MPDSADR11 : H'FFF7 83B0、
MPDSADR12 : H'FFF7 83C0、MPDSADR13 : H'FFF7 83D0、MPDSADR14 : H'FFF7 83E0、
MPDSADR15 : H'FFF7 83F0

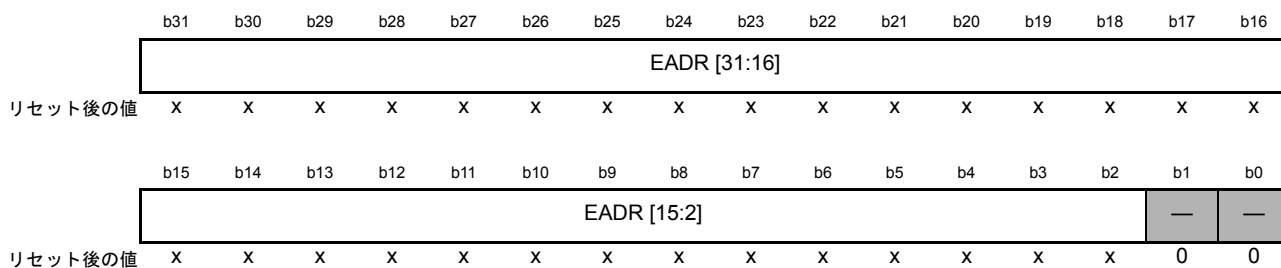


ビット	シンボル	ビット名	機能	R/W
b31-b2	SADR [31:2]	領域n開始アドレスビット	DMAC用MPUの領域nの開始アドレスの上位30ビットを設定します。	R/W
b1-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

MPDSADRn レジスタの値を変更する場合は、MPDMPEN レジスタでプロテクトを解除してから変更してください。

29.3.28 MPUD 領域 n 終了アドレスレジスタ (MPDEADRn) (n = 0 ~ 15)

アドレス MPDEADR0 : H'FFF7 8304、MPDEADR1 : H'FFF7 8314、MPDEADR2 : H'FFF7 8324、
MPDEADR3 : H'FFF7 8334、MPDEADR4 : H'FFF7 8344、MPDEADR5 : H'FFF7 8354、
MPDEADR6 : H'FFF7 8364、MPDEADR7 : H'FFF7 8374、MPDEADR8 : H'FFF7 8384、
MPDEADR9 : H'FFF7 8394、MPDEADR10 : H'FFF7 83A4、MPDEADR11 : H'FFF7 83B4、
MPDEADR12 : H'FFF7 83C4、MPDEADR13 : H'FFF7 83D4、MPDEADR14 : H'FFF7 83E4、
MPDEADR15 : H'FFF7 83F4

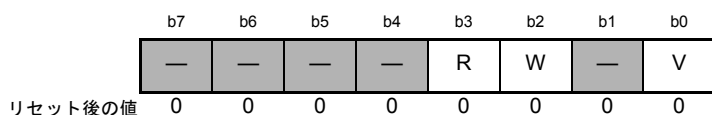


ビット	シンボル	ビット名	機能	R/W
b31-b2	EADR [31:2]	領域n終了アドレスビット	DMAC用MPUの領域nの終了アドレスの上位30ビットを設定します。	R/W
b1-b0	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R

MPDEADRn レジスタの値を変更する場合は、MPDMPEN レジスタでプロテクトを解除してから変更してください。

29.3.29 MPUD 領域 n アクセス制御レジスタ (MPDACRn) (n = 0 ~ 15)

MPDACR0 : H'FFF7 8308、MPDACR1 : H'FFF7 8318、MPDACR2 : H'FFF7 8328、
 MPDACR3 : H'FFF7 8338、MPDACR4 : H'FFF7 8348、MPDACR5 : H'FFF7 8358、
 アドレス MPDACR6 : H'FFF7 8368、MPDACR7 : H'FFF7 8378、MPDACR8 : H'FFF7 8388、
 MPDACR9 : H'FFF7 8398、MPDACR10 : H'FFF7 83A8、MPDACR11 : H'FFF7 83B8、
 MPDACR12 : H'FFF7 83C8、MPDACR13 : H'FFF7 83D8、MPDACR14 : H'FFF7 83E8、
 MPDACR15 : H'FFF7 83F8



ビット	シンボル	ビット名	機能	R/W
b7-b4	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b3	R	読み出しアクセス制御ビット	0: 読み出し禁止 1: 読み出し許可	R/W
b2	W	書き込みアクセス制御ビット	0: 書き込み禁止 1: 書き込み許可	R/W
b1	—	(予約ビット)	読むと“0”が読み出されます。書き込みは“0”としてください。	R
b0	V	有効ビット	0: 領域設定無効 1: 領域設定有効	R/W

MPDACRn レジスタの値を変更する場合は、MPDMPEN レジスタでプロテクトを解除してから変更してください。

R ビット

DMAC 用 MPU の領域 n の読み出しアクセスの許可 / 禁止を設定します。

W ビット

DMAC 用 MPU の領域 n の書き込みアクセスの許可 / 禁止を設定します。

V ビット

DMAC 用 MPU の領域 n の設定の有効 / 無効を設定します。

29.4 動作説明

29.4.1 MPUの有効設定

(1) CPU用MPU

MPCMPENレジスタのMPENビットを“1”にすることで、CPU用MPUが有効になります。ただし、CPUは命令の先読みを行っているため、CPU用MPUを有効にする(MPCMPENレジスタのMPENビットを“1”にする)命令より後にある数命令は、MPUが無効のときにCPUに読み込まれた命令になります。MPUの設定とCPUの動作の整合性をとる必要があります。

図29.1にCPU用MPUの有効設定のプログラム例を示します。

MOV.L	#H'FFF7 8000, R0	; R0 = MPCMPENレジスタのアドレス	
MOV.L	#H'AAAA 0001, R1	; R1 = MPCMPENレジスタへの書き込みデータ	
MOV.L	R1, @R0	; MPCMPENレジスタのMPENビットに“1”を設定	
NOP			} この領域は命令実行禁止に設定しない
NOP			
NOP		; 5個以上のNOPを実行	
NOP			
NOP			
BRA	L1	; 分岐命令を実行	
NOP			
:			
L1:			
:			

図 29.1 CPU用MPUの有効設定のプログラム例

(2) DMAC用MPU

MPDMPENレジスタのMPENビットを“1”にすることで、DMAC用MPUが有効になります。

29.4.2 MPUのレジスタの設定

すべてのMPUのレジスタは、CPUからのみアクセスできます。DMACなどCPU以外のバスマスタからはアクセスできません。また、すべてのMPUのレジスタは、CPU用MPUによるアクセス保護の対象になります。MPCMPENレジスタおよびMPDMPENレジスタのMPENビットが“0”(MPU無効、レジスタプロテクト解除)でないと、書き込みできないレジスタがあります。詳細については、「29.3.1 MPUC有効レジスタ(MPCMPEN)」および「29.3.18 MPUD有効レジスタ(MPDMPEN)」を参照してください。

29.4.3 各領域情報の設定

各領域情報(開始アドレス、終了アドレス、保護属性、領域の有効/無効)の設定は、各バスマスタ用のMPU領域n開始アドレスレジスタ(MPCSADRn、MPDSADRn)、MPU領域n終了アドレスレジスタ(MPCEADRn、MPDEADRn)、MPU領域nアクセス制御レジスタ(MPCACRn、MPDACRn)で行います。

また、各領域の保護属性と領域の有効/無効の設定は、各バスマスタ用のMPU読み出しアクセス制御レジスタ(MPCRACR、MPDRACR)、MPU書き込みアクセス制御レジスタ(MPCWACR、MPDWACR)、MPU命令アクセス制御レジスタ(MPCIACR)、MPU領域設定有効レジスタ(MPCVLD、MPDVLD)でも行うことができます。これらのレジスタを使用することで、同時に複数の領域の保護属性と領域の有効/無効の設定を行うことができます。詳細については、「29.3 レジスタの説明」を参照してください。

29.4.4 領域のオーバラップ

複数の領域がオーバラップした場合の保護属性は、オーバラップした領域(バックグラウンド領域を含む)のアクセス制御ビットの論理和となります。

29.4.5 バックグラウンド領域

バックグラウンド領域は、全アドレス空間(H'0000 0000 ~ H'FFFF FFFF)を対象領域とします。この領域の保護属性は、各バスマスタ用のMPUバックグラウンド領域アクセス制御レジスタ(MPCACBCR、MPDACBCR)で設定します。バックグラウンド領域の保護属性を設定することにより、16領域のいずれにも含まれないアドレスへのアクセスを保護できます。

バックグラウンド領域は、16領域のすべてと重複するため、バックグラウンド領域の保護属性を読み出し許可/書き込み許可/命令実行許可に設定すると、16領域の保護属性の設定にかかわらず、全アドレス空間の保護属性が読み出し許可/書き込み許可/命令実行許可になります。

29.4.6 MPU エラー

(1) CPU オペランドアクセス MPU エラー

CPU のオペランドアクセスが、アクセス対象の領域に設定されている保護属性に違反した場合、CPU オペランドアクセス MPU エラーが発生します。MPU エラーが発生したアクセスが書き込みアクセスの場合、書き込み処理は実行されません。MPU エラーが発生したアクセスが読み出しアクセスの場合、不定値が読み出しデータとしてCPUに返ります。MPU エラーの要因は、MPCESR レジスタに格納されます。MPU エラーが発生したオペランドアクセスのアドレスは、MPCERADRO レジスタに格納されます。MPU エラーが発生した領域の情報は、MPCHITO レジスタに格納されます。これらのレジスタに格納される MPU エラーの情報は、MPCECLR レジスタの CLR ビットを“1”にし、MPCESR レジスタの RER、WER フラグが“0”になった後、最初に発生した CPU オペランドアクセス MPU エラーの情報になります。

CPU オペランドアクセス MPU エラーが発生すると、CPU オペランドアクセス MPU エラー例外処理が開始されます。CPU オペランドアクセス MPU エラーが連続的に複数回発生すると、CPU オペランドアクセス MPU エラー例外処理が連続的に複数回開始される場合があります。例外処理の詳細については、「6. 例外処理」を参照してください。

(2) CPU 命令アクセス MPU エラー

CPU が命令実行禁止に設定されている領域の命令をデコードすると、CPU 命令アクセス MPU エラーが発生します。MPU エラーの要因は、MPCESR レジスタに格納されます。MPU エラーが発生した命令アクセスのアドレスは、MPCERADRI レジスタに格納されます。MPU エラーが発生した領域の情報は、MPCHITI レジスタに格納されます。これらのレジスタに格納される MPU エラーの情報は、MPCECLR レジスタの CLR ビットを“1”にし、MPCESR レジスタの IER フラグが“0”になった後、最初に発生した CPU 命令アクセス MPU エラーの情報になります。

CPU 命令アクセス MPU エラーが発生すると、CPU は、当該命令が遅延分岐命令の直後以外に配置されている場合は、一般不当命令の例外処理が実行されます。また、当該命令が遅延分岐命令の直後に配置されている場合は、スロット不当命令の例外処理が実行されます。例外処理の詳細については、「6. 例外処理」を参照してください。

MOVI20 命令、または MOVI20S 命令の前半 16 ビットの命令コードを命令実行許可に設定した領域に配置し、後半 16 ビットの命令コードを命令実行禁止に設定した領域に配置した場合、CPU がこの MOVI20 命令、または MOVI20S 命令をデコードした直後には一般不当命令例外処理は開始されず、CPU がこの MOVI20 命

令、または MOVI20S 命令の次命令をデコードした直後に一般不当命令例外処理が開始されます。またこの MOVI20 命令、または MOVI20S 命令のデスティネーションレジスタには不定値が格納されます。MPCERADRI レジスタには、この MOVI20 命令、または MOVI20S 命令の後半 16 ビットの命令コードの開始アドレスが格納されます。

(3) DMAC アクセス MPU エラー

DMAC のアクセスが、アクセス対象の領域に設定されている保護属性に違反した場合、DMAC アクセス MPU エラーが発生します。MPU エラーが発生したアクセスが書き込みアクセスの場合、書き込み処理は実行されません。MPU エラーが発生したアクセスが読み出しアクセスの場合、不定値が読み出しデータとして DMAC に返ります。MPU エラーの要因は、MPDESR レジスタに格納されます。MPU エラーが発生したアクセスのアドレスは、MPDERADR レジスタに格納されます。MPU エラーが発生した領域の情報は、MPDHIT レジスタに格納されます。これらのレジスタに格納される MPU エラーの情報は、MPDECLR レジスタの CLR ビットを“1”にし、MPDESR レジスタの RER、WER フラグが“0”になった後、最初に発生した DMAC アクセス MPU エラーの情報になります。

CPU は、DMAC アクセス MPU エラーを割り込みとして処理します。割り込み処理の詳細については、「6. 例外処理」および「8. 割り込みコントローラ (INTC)」を参照してください。

29.4.7 領域サーチ

MPCRSOP レジスタの S ビットを“1”にすることにより、MPCRSADR レジスタに設定したアドレスが含まれる CPU 用 MPU の領域をサーチすることができます。サーチ結果は、MPCHITO レジスタに格納されます。

領域サーチは、MPCMPEN レジスタの MPEN ビットを“0”にした後、実行してください。

29.5 MPUの注意事項

29.5.1 MPUの設定変更

すべてのMPUのレジスタは、CPU用MPUによるアクセス保護の対象になります。したがって、CPU用MPUのレジスタのアドレスやDMAC用MPUのレジスタのアドレスを含む領域の保護属性をCPUからの書き込みアクセス禁止に設定すると、CPU用MPUのレジスタやDMAC用MPUのレジスタの設定変更ができなくなりますので、ご注意ください。

29.5.2 DMAC用MPUの設定変更

DMAC用MPUの設定変更は、DMACが停止した状態で行ってください。

29.5.3 使用上の注意事項

MPUC有効レジスタ(MPCMPEN)のMPU有効ビット(MPEN)が1であっても、MPCRACR、MPCWACR、MPCIACR、MPCVLDの各レジスタは、これらのレジスタへの書き込みがMPU有効ビットによって禁止されていません。これらのレジスタへの書き込みデータの上位ビットが特定の値(キーコード)であれば、値を変更することができます。ただし、CPUは命令の先読みを行っているため、MPCRACR、MPCWACR、MPCIACR、MPCVLDの値を変更する命令より後にある数命令は、各レジスタ値の変更が反映される前にCPUに読み込まれた命令になります。MPUの設定とCPUの動作の整合性を保つため、下記手順でMPCRACR、MPCWACR、MPCIACR、MPCVLDの値を変更してください。

- (1) 領域設定が有効の状態、レジスタMPCRACR、もしくはMPCWACRの値を変更(オペランドアクセスの保護属性を変更)する場合、レジスタ値変更命令の後にNOP命令を3個以上配置してください。

```

MOV.L #H'FFF78010,R0 ; R0 = MPCRACRレジスタのアドレス
MOV.L #H'AAAAFFFE,R1 ; R1 = MPCRACRレジスタへの書き込みデータ
MOV.L R1,@R0        ; MPCRACRレジスタの値変更(領域0の読み出し禁止)
NOP                  ;
NOP                  ;
NOP                  ; NOPを3回以上実行
:

```

この間の命令で禁止領域の読み出しアクセスが実行されても、オペランドアクセスMPUエラー割り込みは発生しない。

注.・CPU用書き込みアクセス制御レジスタMPCWACRも同様の手順で変更してください。

図 29.2 CPU用読み出しアクセス制御レジスタMPCRACRの値変更手順

- (2) 領域設定が有効の状態で、レジスタ MPCIACR を変更 (命令アクセスの保護属性を変更) する場合、もしくは領域の保護属性が設定されている状態で、レジスタ MPCVLD を変更 (領域設定の有効 / 無効を変更) する場合、レジスタ値変更命令の後に NOP 命令を 5 個以上と分岐命令を配置してください。

MOV.L	#H'FFF78018,R0	; R0 = MPCIACRレジスタのアドレス	
MOV.L	#H'AAAAFFFE,R1	; R1 = MPCIACRレジスタへの書き込みデータ	
MOV.L	R1,@R0	; MPCIACRレジスタの値変更(領域0の命令実行禁止)	
NOP		:	}
NOP		:	
NOP		:	
NOP		:	
NOP		:	
NOP		; NOPを5回以上実行	}
BRA	L1	; 分岐命令を実行	
NOP		:	
:		:	
L1:		:	
:		:	

この間を命令実行禁止に設定しても一般不当命令例外処理は発生しない。
注・ただし、レジスタ MPCESR とレジスタ MPCERADRI はセットされる。

注・CPU用 領域設定有効レジスタ MPCVLD も同様の手順で変更してください。

図 29.3 CPU 用 命令アクセス制御レジスタ MPCIACR の値変更手順

30. 電気的特性

30.1 絶対最大定格

絶対最大定格を表 30.1 に示します。

表 30.1 絶対最大定格

項目		記号	定格値	単位	備考
電源電圧	VCC	VCC	-0.3 ~ +6.5	V	
入力電圧(ポートK、L、N以外)(注2)		V _{in}	-0.3 ~ VCC+0.3	V	
入力電圧(ポートK、L)(注2)		V _{in}	-0.3 ~ AVCC1+0.3	V	
入力電圧(ポートN)		V _{in}	-0.3 ~ AVCC0+0.3	V	
アナログ電源電圧	AVCC0, AVCC1	AVCC	-0.3 ~ +6.5V	V	AVCC1 = VCC±0.3V
アナログ基準電圧		VREFH0	-0.3 ~ AVCC0+0.3	V	VREFH0>VREFL0
		VREFL0	-0.3 ~ AVSS0+0.3	V	
アナログ入力電圧(ポートJ、K、L)(注2)		V _{AN}	-0.3 ~ AVCC1+0.3	V	
アナログ入力電圧(ポートN)		V _{AN}	-0.3 ~ AVCC0+0.3	V	
VSS差動電圧		VSS-AVSS0	-0.1 ~ 0.1	V	
		VSS-AVSS1	-0.1 ~ 0.1	V	
		AVSS0-AVSS1	-0.1 ~ 0.1	V	
最大入力電流 (1端子当たり)	デジタル入力端子	I _{max}	-20 ~ +20	mA	同時に1端子のみ
	アナログ入力端子	I _{max}	-20 ~ +20	mA	
動作温度(注1)		Topr	-40 ~ +85	°C	Jバージョン
			-40 ~ +125	°C	Kバージョン
保存温度		tstg	-55 ~ +125	°C	実装前

【使用上の注意】

絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

マニュアルに規定する電源端子の接続、印加電源電圧の組み合わせ条件と、各端子に印加可能な電圧、出力される電圧の条件を守って使用してください。規定と異なる電源の接続や電圧でのLSIの使用はLSIの永久破壊、LSIを実装したシステムへのダメージを生じる場合があります。

注1. 本LSIを85°C以上、125°Cまでの範囲で動作させる場合は、累積動作時間を3000時間以内に行ってください。

注2. SH72A0グループでは、ポートL端子はありません。

30.2 DC 特性

DC 特性を表 30.2 ~ 表 30.10 に示します。

表 30.2 DC 特性(入力電圧)

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目	対象端子	記号	Min.	Typ.	Max.	単位	測定条件
シュミット トリガ入力電圧	周辺機能入力、 AUDRST、AUDMD、 ASEMD、RESET#、 MD0、MD1、XIN	V_{T+} (VIH)	VCC × 0.8 (注1)	—	VCC+0.3 (注1)	V	
		V_{T-} (VIL)	-0.3	—	VCC × 0.2 (注1)	V	
		V_{HS} (V_{T+} - V_{T-})	VCC × 0.08 (注1)	—	—	V	
TTL入力電圧	ポート入力、 NMI、INTi、POE0 ~ 2 (TTLレベル選択時) AUDCK、AUDSYNC、 AUDATA0 ~ 3	V_{IH}	2.2	—	VCC+0.3 (注1)(注2)	V	
		V_{IL}	-0.3	—	0.8	V	
CMOS入力電圧	ポート入力、 NMI、INTi、POE0 ~ 2 (0.5VCCレベル選択時)	V_{IH}	VCC × 0.70 (注1)(注2)	—	VCC+0.3 (注1)(注2)	V	
		V_{IL}	-0.3	—	VCC × 0.30 (注1)(注2)	V	
	ポート入力、 NMI、INTi、POE0 ~ 2 (0.7VCCレベル選択時)	V_{IH}	VCC × 0.85 (注1)(注2)	—	VCC+0.3 (注1)(注2)	V	
		V_{IL}	-0.3	—	VCC × 0.50 (注1)(注2)	V	

注1. ポートK、Lの入力基準電圧はAVCC1です。(SH72A0グループでは、ポートL端子はありません。)

注2. ポートNの入力基準電圧はAVCC0です。

注. ・ INTi (i = 0 ~ 13: SH72A2グループ、i = 0 ~ 8、10: SH72A0グループ)

表 30.3 DC 特性(入力リーク電流)

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目	対象端子	記号	Min.	Typ.	Max.	単位	測定条件
入力リーク 電流	ASEMD, MD0, MD1	表 30.4 プルダウンMOS電流参照					
	ASEMD, MD0, MD1を 除くシュミット入力、 およびTTL入力	$ I_{in} $	—	—	2.0	μA	$V_{in} = 0.3V \sim VCC-0.3V$
	A/Dポート (ポートJ、K、L)(注1)		—	—	0.2	μA	$V_{in} = 0.3V \sim AVCC1-0.3V$
	A/Dポート (ポートN)		—	—	0.2	μA	$V_{in} = 0.3V \sim AVCC0-0.3V$

注1. SH72A0グループでは、ポートL端子はありません。

表 30.4 DC 特性(入力プルアップMOS電流)

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目	対象端子	記号	Min.	Typ.	Max.	単位	測定条件
入力プルアップ MOS電流	ポート入力	$-I_{pu}$	50	—	300	μA	$V_{in} = 0V$

表 30.5 DC特性(入力プルダウンMOS電流)

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目	対象端子	記号	Min.	Typ.	Max.	単位	測定条件
入力プルダウン MOS電流	ASEMD, MD0, MD1	I_{pd}	—	—	300	μA	Vin = VCC
	アナログ入力端子	I_{pd}	—	—	50	μA	Vin = AVCC0または AVCC1

表 30.6 DC特性(出力電圧)

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目	対象端子	記号	Min.	Typ.	Max.	単位	測定条件
出力ハイレベル 電圧	ポートN以外の全出力 端子	V_{OH}	VCC-0.5 (注1)	—	—	V	$I_{OH} = -200\mu A$
			VCC-1.0 (注1)	—	—	V	$I_{OH} = -2mA$
出力ローレベル 電圧	ポートN以外の全出力 端子	V_{OL}	—	—	0.5	V	$I_{OL} = 200\mu A$
			—	—	1	V	$I_{OL} = 2mA$

注1. ポートK、Lの出力基準電圧はAVCC1です。(SH72A0グループでは、ポートL端子はありません。)

表 30.7 DC特性(許容出力電流)

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目	記号	Min.	Typ.	Max.	単位	測定条件
出力ローレベル許容電流(1端子当たり)	I_{OL}	—	—	2	mA	
出力ローレベル許容電流(総和)	ΣI_{OL}	—	—	12	mA	
出力ハイレベル許容電流(1端子当たり)	I_{OH}	—	—	2	mA	
出力ハイレベル許容電流(総和)	ΣI_{OH}	—	—	12	mA	

【使用上の注意】

LSIの信頼性を確保するため、出力電流値は表30.7の値を超えないようにしてください。

表 30.8 DC特性(許容入力電流)

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目	記号	Min.	Typ.	Max.	単位	測定条件
DC注入電流 (1端子当たり)	ロジック端子	-1.0	—	1.0	mA	
	アナログ端子	-3.0	—	3.0	mA	
DC注入電流(総和)	$\Sigma I_{IC} $	—	—	50	mA	

表 30.9 DC特性(入力容量)

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V

項目	記号	Min.	Typ.	Max.	単位	測定条件
入力容量	すべての端子	—	—	20	pF	Vin = 0V, f = 1MHz, Ta = 25°C

表 30.10DC 特性(消費電流)

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目	記号	Min.	Typ.	Max.	単位	測定条件	
VCC消費電流	通常動作	I _{VCC}	—	—	85	mA	f = 100MHz(注1)
			—	—	75		f = 80MHz
	CPUスリープ	I _{VCC_SLP}	—	—	70	mA	f = 100MHz(注1)
			—	—	60		f = 80MHz
	スタンバイ時	I _{VCC_STBY}	—	0.1	1	mA	Ta ≤ 50°C
			—	—	15		50°C < Ta
パワーダウンモード0時		—	30	100	μA	Ta ≤ 50°C	
		—	—	500		50°C < Ta	
パワーダウンモード1時		—	25	100	μA	Ta ≤ 50°C	
		—	—	500		50°C < Ta	
ADC電源電流 (AVCC0消費電流)	A/D変換中	I _{AVCC0}	—	6.1	8.5	mA	AD0動作時
	A/D変換待機中		—	—	100		
	スタンバイ時		—	—	100	μA	AD0非動作時
	パワーダウンモード0/1時		—	—	10		
ADC電源電流 (AVCC1消費電流)	A/D変換中	I _{AVCC1}	—	3.5	5	mA	AD1動作時
	A/D変換待機中		—	—	100		
	スタンバイ時		—	—	10	μA	AD1非動作時
	パワーダウンモード0/1時		—	—	10		
ADC電源電流 (VREFH0消費電流)	A/D変換中	I _{AVREF}	—	1.25	2	mA	AD0動作時
	A/D変換待機中		—	—	1.3		
	スタンバイ時		—	—	1.3	μA	AD0非動作時
	パワーダウンモード0/1時		—	—	10		

【使用上の注意】

- 消費電流値はすべての出力端子を無負荷状態で、VIHmin = VCC、VIL = 0V のときの値です。
- 本 LSI の放熱性を高めるため、4 層以上の基板を使用してください。

注1. SH72A2グループのみ。

30.3 AC 特性

30.3.1 電源投入、リセットタイミング

表 30.11 AC 特性(電源投入、リセットタイミング)

条件: $VCC = 5.0V \pm 0.5V$ 、 $AVCC1 = 5.0V \pm 0.5V$ 、 $AVCC0 = 5.0V \pm 0.5V$ 、 $VREFH0 = 4.5V \sim AVCC0$ 、 $VSS = AVSS1 = AVSS0 = VREFL0 = 0V$ 、 $T_a = -40^\circ C \sim 125^\circ C$

項目	記号	Min.	Max.	単位	参照図
電源立ち上げ時間	tVCCR	50	—	μs	図 30.1
電源立ち上げからリセット解除までのホールド時間	tRESETH	10	—	ms	図 30.5

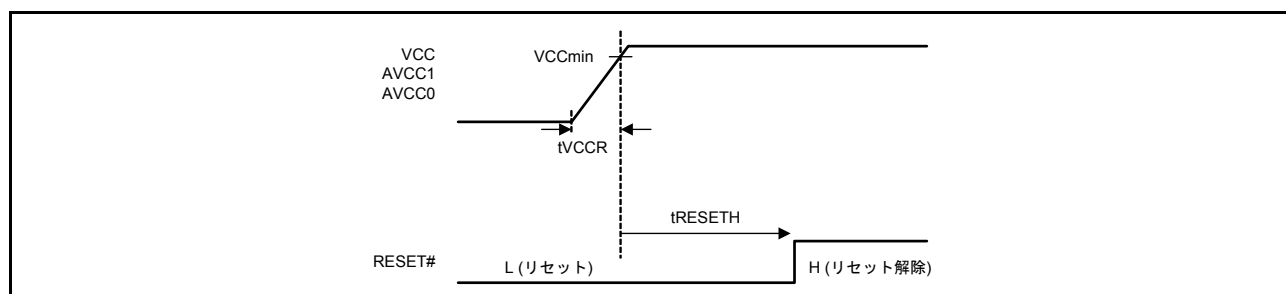


図 30.1 電源投入、リセットタイミング

注 . . パワーオン、パワーオフ時も含め、常に $VREFH0 \leq AVCC0 + 0.3V$ を満足する必要があります。

30.3.2 電源立ち下げ、リセットタイミング

表30.12 AC特性(電源立ち下げ、リセットタイミング)

条件: $VCC = 5.0V \pm 0.5V$ 、 $AVCC1 = 5.0V \pm 0.5V$ 、 $AVCC0 = 5.0V \pm 0.5V$ 、 $VREFH0 = 4.5V \sim AVCC0$ 、 $VSS = AVSS1 = AVSS0 = VREFL0 = 0V$ 、 $T_a = -40^\circ C \sim 125^\circ C$

項目	記号	Min.	Max.	単位	参照図
電源立ち下げ前の リセット期間	内蔵フラッシュ メモリE/W中以外	0	—	ms	図30.2 図30.5
		20	—	μs	
	内蔵フラッシュ メモリE/W中				

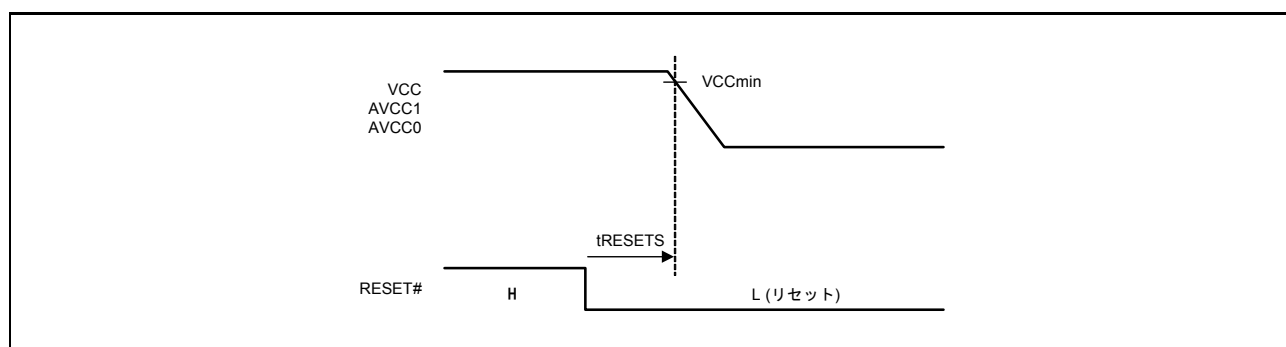


図30.2 電源立ち下げ、リセットタイミング

注. ・ パワーオン、パワーオフ時も含め、常に $VREFH0 \leq AVCC0 + 0.3V$ を満足する必要があります。

30.3.3 クロックタイミング

表 30.13 にクロックタイミングを示します。

表 30.13 クロックタイミング

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項 目	記号	Min.	Max.	単位	参照図
外部入カクロック周波数	f _{EX}	8	10	MHz	図 30.3
外部入カクロックハイレベルパルス幅	t _{EXH}	40		ns	
外部入カクロックローレベルパルス幅	t _{EXL}	40	—	ns	
外部入カクロック立ち上がり時間	t _{EXr}	—	5	ns	
外部入カクロック立ち下がり時間	t _{EXf}	—	5	ns	
CLKOUTクロック ハイレベルパルス幅(注1)	t _{CH}	1/2 t _{cyc} -7.5	—	ns	図 30.4(注1)
CLKOUTクロック ローレベルパルス幅(注1)	t _{CL}	1/2 t _{cyc} -7.5	—	ns	
CLKOUTクロック 立ち上がり時間(注1)	t _{Cr}	—	5	ns	
CLKOUTクロック 立ち下がり時間(注1)	t _{Cf}	—	5	ns	

注1. SH72A0グループには、CLKOUT端子はありません。

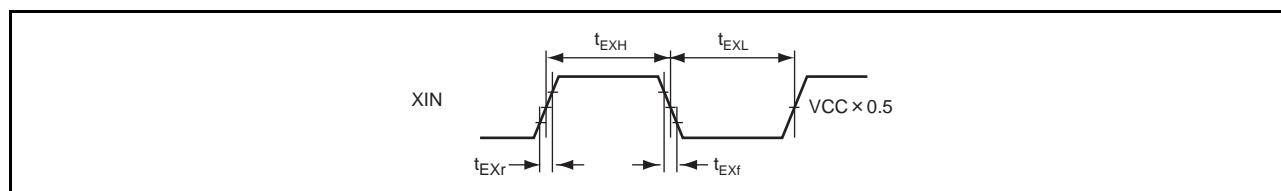


図 30.3 外部入カクロックタイミング

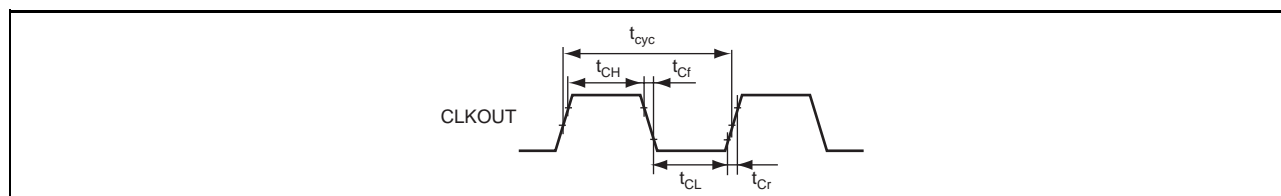


図 30.4 外部バスクロックタイミング

30.3.4 動作モードと発振タイミング

表 30.14 AC特性(動作モードと発振タイミング)

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目	記号	Min.	Max.	単位	参照図
電源立ち上げからリセット解除までホールド時間	tRESETH	10	—	ms	図 30.1 図 30.5
電源立ち下げ前のリセット期間	内蔵フラッシュメモリ E/W中以外	0	—	ms	図 30.2
		内蔵フラッシュメモリ E/W中	20	—	μs
動作モード端子設定に対するVCCセットアップ時間	tVCCMDS	0	—	ms	図 30.5
動作モード端子設定解除に対する、VCCホールド時間	tVCCMDH	0	—	ms	
RESET#H入力に対する動作モードセットアップ時間	tMDS	10	—	ms	
発振安定時間	電源立ち上げ完かつ モード端子確定から	—	10	ms	図 30.5
	スタンバイモードからの 復帰時	—	10	ms	図 30.6

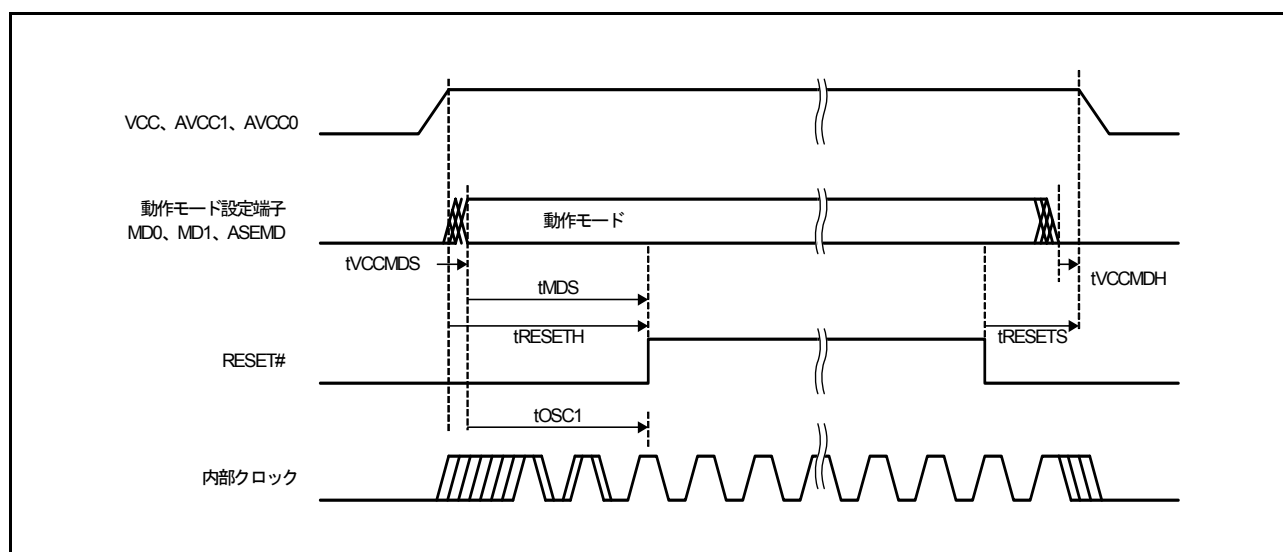


図 30.5 動作モードと発振タイミング

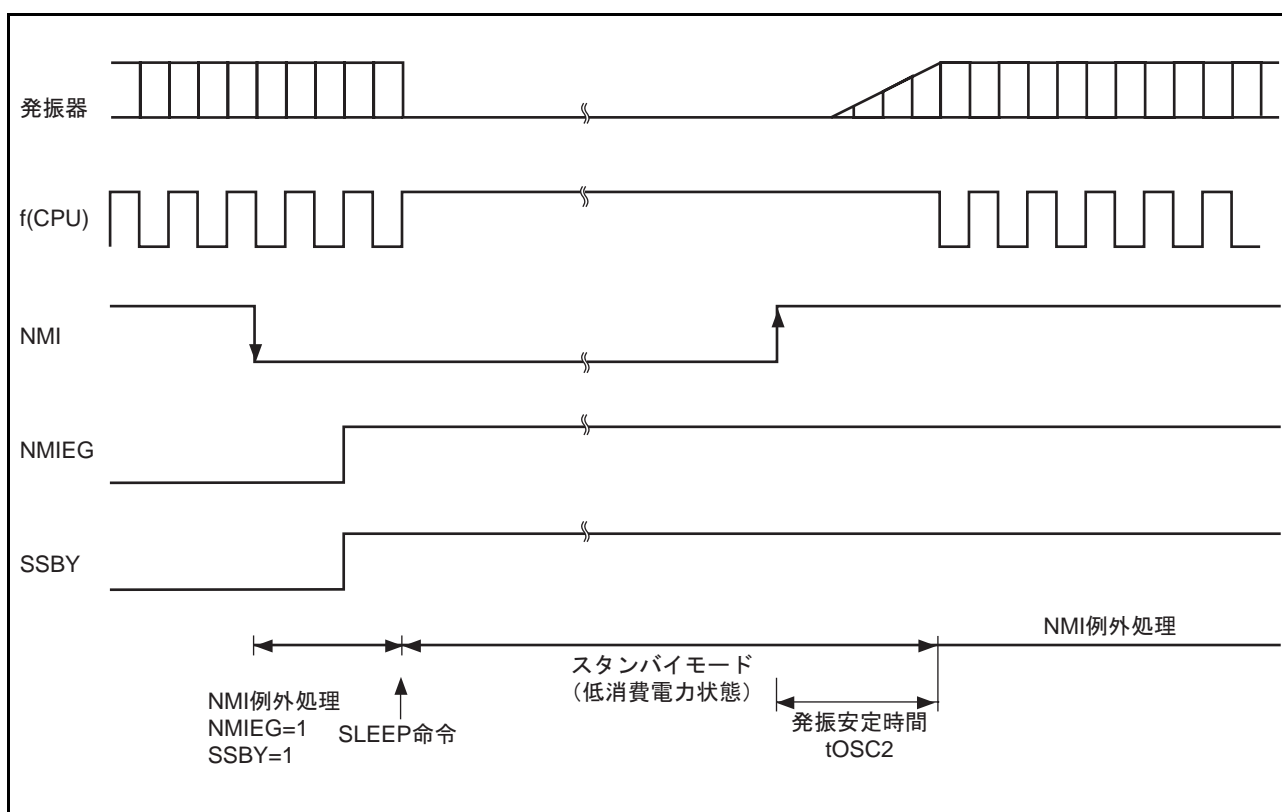


図 30.6 スタンバイ発振安定時間タイミング

30.3.5 リセット信号タイミング

表30.15 AC特性(リセット信号タイミング)

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目	記号	Min.	Max.	単位	参照図
RESET#ローレベル幅	tRESW	100	—	μs	図30.7
RESET#ノイズキャンセル幅	tRESNCW	50	400	ns	

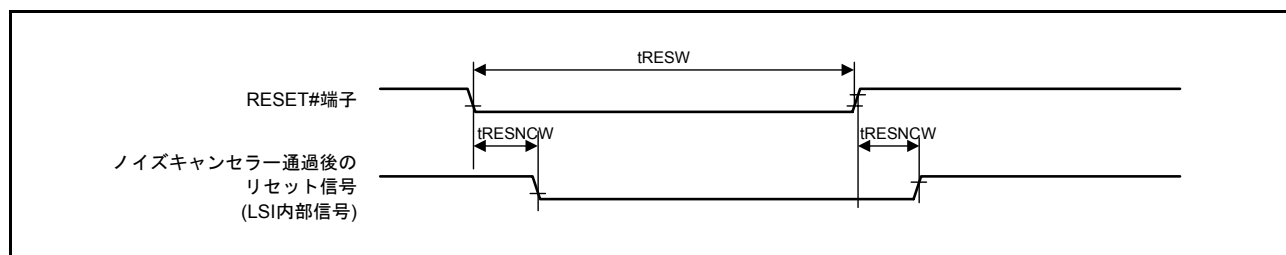


図 30.7 リセット信号タイミング

30.3.6 NMI、外部 INT タイミング

表 30.16 に NMI、外部 INT 入力タイミングを示します。

表 30.16 NMI、外部 INT 入力タイミング (NMI、INT_i (i = 0 ~ 13: SH72A2グループ、i = 0 ~ 8、10: SH72A0グループ))

条件: VCC = 5.0V±0.5V、AVCC1 = 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目	記号	Min.	Max.	単位	参照図
外部割込み入力パルス幅 (デジタルフィルタ OFF)	t _{INTWL/H}	400	—	ns	図 30.8
外部割込み入力パルス幅 (デジタルフィルタ ON 8分周)	t _{INTWL/H}	25 × t _{PBA}	—	ns	
外部割込み入力パルス幅 (デジタルフィルタ ON 16分周)	t _{INTWL/H}	49 × t _{PBA}	—	ns	
外部割込み入力パルス幅 (デジタルフィルタ ON 32分周)	t _{INTWL/H}	97 × t _{PBA}	—	ns	
外部割込み入力パルス幅 (デジタルフィルタ ON 64分周)	t _{INTWL/H}	193 × t _{PBA}	—	ns	

注・ t_{PBA}は周辺機能クロック Aの周期を示します。

・ NMIにはデジタルフィルタ機能はありません。NMIについてはデジタルフィルタ OFFの欄を参照してください。

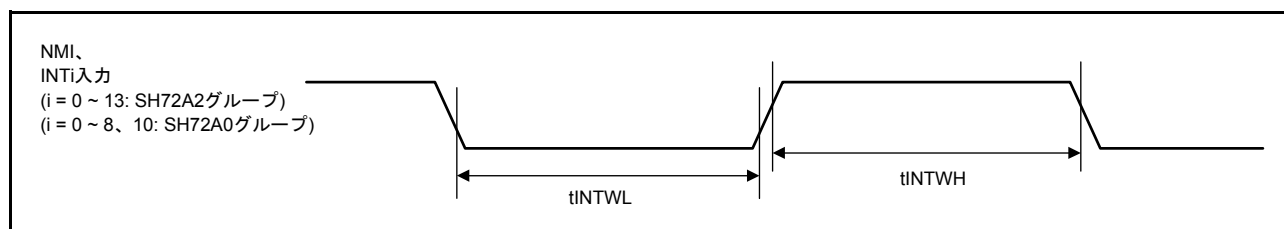


図 30.8 NMI、INT_i 入力タイミング

30.3.7 TPU タイミング

表 30.17 に TPU タイミングを示します。

表 30.17 TPU タイミング

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目		記号	Min.	Max.	単位	測定条件
入力キャプチャ入力パルス幅	単エッジ指定	tTICWH	1.5	—	tBPA	図 30.9
	両エッジ指定	tTICWL	2.5	—	tBPA	

注. • tBPAは周辺機能クロックAの周期を示します。

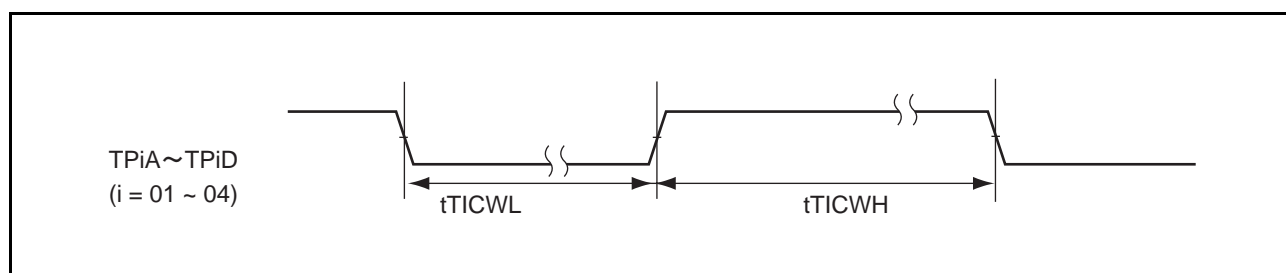


図 30.9 TPU 入力キャプチャ入力タイミング

30.3.8 MTU-III タイミング

表 30.18 に MTU-III タイミングを示します。

表 30.18 MTU-III タイミング

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目	記号	Min.	Max.	単位	参照図
インプットキャプチャ入力パルス幅 (単エッジ指定)	tTICW	1.5	—	tMTU	図 30.10
インプットキャプチャ入力パルス幅 (両エッジ指定)	tTICW	2.5	—	tMTU	
タイマクロックパルス幅 (単エッジ指定)	tTCKWH/L	1.5	—	tMTU	図 30.11
タイマクロックパルス幅 (両エッジ指定)	tTCKWH/L	2.5	—	tMTU	
タイマクロックパルス幅 (位相計数モード)	tTCKWH/L	2.5	—	tMTU	

注. • tMTUはMTU動作クロックの周期を示します。

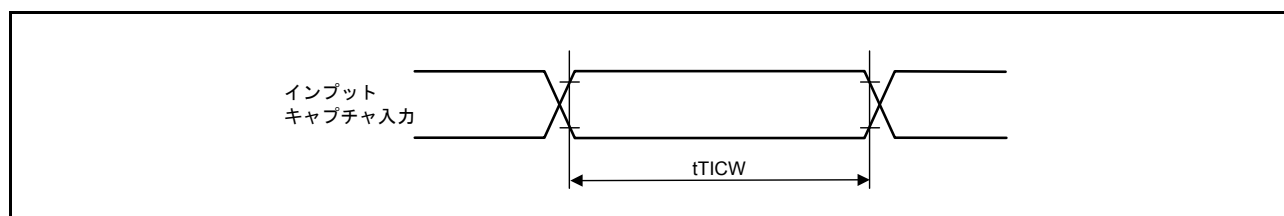


図 30.10 MTU-III インプットキャプチャ入力タイミング

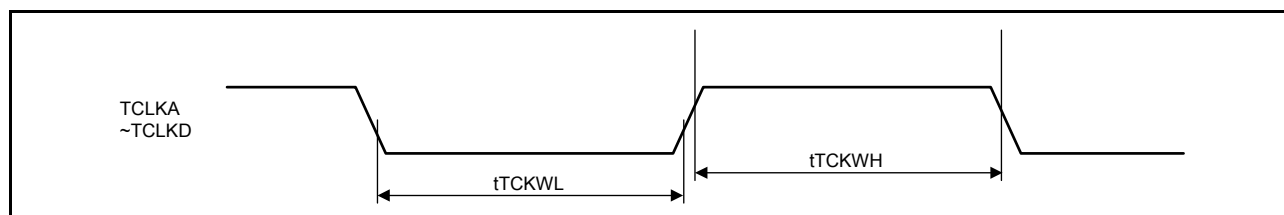


図 30.11 MTU-III 入力タイミング

30.3.9 ポートアウトプットイネーブル (POE) タイミング

表 30.19 に POE 入力タイミングを示します。

表 30.19 POE 入力タイミング (POEi#(i = 0 ~ 2))

条件: VCC = 5.0V±0.5V、AVCC1 = 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目	記号	Min.	Max.	単位	参照図
POE 入力パルス幅 (デジタルフィルタ OFF)	tPOEWL	400	—	ns	図 30.12
POE 入力パルス幅 (デジタルフィルタ ON 128 サイクル)	tPOEWL	129 × tPBA	—	ns	
POE 入力パルス幅 (デジタルフィルタ ON 256 サイクル)	tPOEWL	257 × tPBA	—	ns	
POE 入力パルス幅 (デジタルフィルタ ON 2048 サイクル)	tPOEWL	2049 × tPBA	—	ns	

注. • tPBA は周辺機能クロック A の周期を示します。

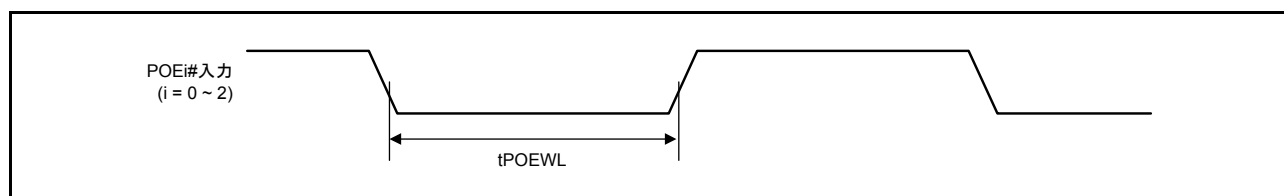


図 30.12 POEi# 入力タイミング

30.3.10 A/D コンバータタイミング

表 30.20 に A/D コンバータ外部トリガ入力タイミング (ADTRG#) を示します。

注. ・ SH72A0 グループには ADTRG# 端子はありません。

表 30.20 A/D コンバータ外部トリガ入力タイミング (ADTRG#)

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目	記号	Min.	Max.	単位	参照図
ADC外部トリガ入力パルス幅	tADTRGWL/H	2	—	tPBA	図 30.13

注. ・ tPBAは周辺機能クロックAの周期を示します。

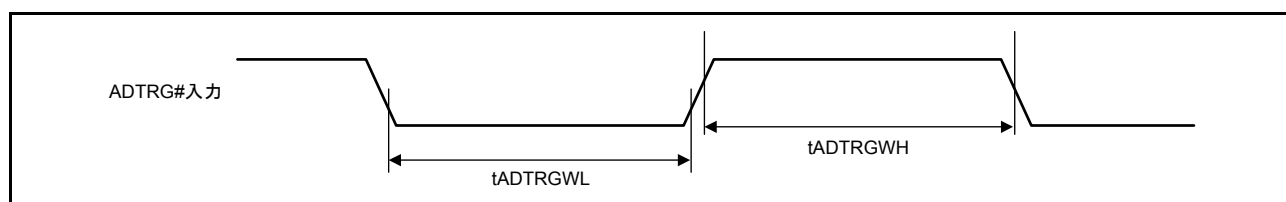


図 30.13 ADTRG# 入力タイミング

30.3.11 SCI タイミング

表 30.21 に SCI タイミングを示します。

表 30.21 SCI タイミング

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目	記号	Min.	Max.	単位	参照図
入力クロックパルス幅	tSCKW	0.4	0.6	tScyc	図 30.14
入力クロックサイクル	調歩同期	4	—	tSCI	
	クロック同期	8	—		
入力クロック立ち上がり時間	tSCKr	—	15	ns	図 30.14
入力クロック立下り時間	tSCKf	—	15	ns	
出力クロックサイクル	調歩同期	32	—	tSCI	図 30.14
	クロック同期	8	—		
出力クロックパルス幅	tSCKW	0.4	0.6	tScyc	
出力クロック立ち上がり時間	tSCKr	—	15	ns	図 30.14
出力クロック立下り時間	tSCKf	—	15	ns	
送信データ遅延時間	tTXD	—	40	ns	図 30.15
受信データセットアップ時間(クロック同期)	tRXS	30	—	ns	
受信データホールド時間(クロック同期)	tRXH	30	—	ns	

注. ・ tSCIはSCI動作クロックの周期を示します。

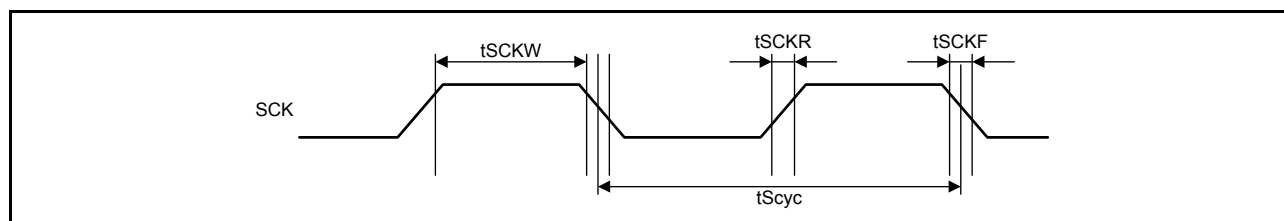


図 30.14 SCK クロック入出力タイミング

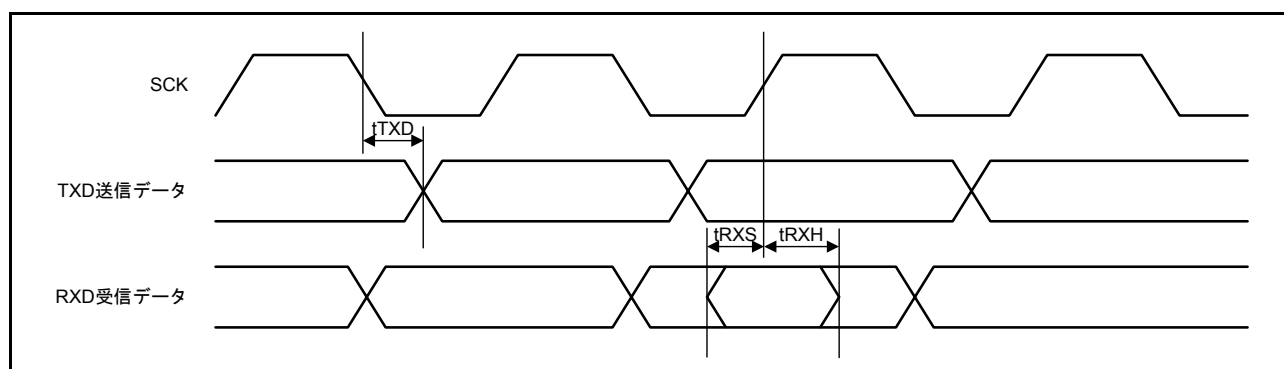


図 30.15 SCI 入出力タイミング / クロック同期式モード

30.3.12 SBI タイミング

表 30.22 に SBI タイミングを示します。

表 30.22 SBI タイミング

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目		記号	Min.	Max.	単位	参照図
RSPCKサイクル	マスタ	tSPcyc	8	4096	tPBB	図 30.16
	スレーブ		8	4096		
RSPIクロックH幅	マスタ	tSPCKWH	$(tSPcyc - tSPCKR - tSPCKF)/2 - 3$	—	ns	
	スレーブ		$(tSPcyc - tSPCKR - tSPCKF)/2$	—		
RSPIクロックL幅	マスタ	tSPCKWL	$(tSPcyc - tSPCKR - tSPCKF)/2 - 3$	—	ns	
	スレーブ		$(tSPcyc - tSPCKR - tSPCKF)/2$	—		
RSPCKクロック立ち上がり/立ち下がり時間	マスタ	tSPCKR、tSPCKF	—	15	ns	
	スレーブ		—	1	μs	
データ入力セットアップ	マスタ	tSU	30	—	ns	図 30.17 ~ 図 30.20
	スレーブ		$20 - 1 \times tPBB$	—		
データ入力ホールド	マスタ	tH	10	—	ns	
	スレーブ		$20 + 2 \times tPBB$	—		
SSLセットアップ	マスタ	tLEAD	1	8	tSPcyc	
	スレーブ		4	—	tPBB	
SSLホールド	マスタ	tLAG	1	8	tSPcyc	
	スレーブ		4	—	tPBB	
データ出力遅延	マスタ	tOD	—	25	ns	
	スレーブ		—	$3 \times tPBB + 40$		
データ出力ホールド	マスタ	tOH	-10	—	ns	
	スレーブ		0	—		
連続送信遅延時間	マスタ	tTD	$tSPcyc + 2 \times tPBB$	$8 \times tSPcyc + 2 \times tPBB$	ns	
	スレーブ		$4 \times tPBB$	—		
MOSI/MISO立ち上がり/立ち下がり時間	出力	tDR、tDF	—	15	ns	
	入力		—	1	μs	
SSL立ち上がり/立ち下がり時間	出力	tSSLR、tSSLF	—	15	ns	
	入力		—	1	μs	
スレーブアクセス時間		tSA	—	4	tPBB	図 30.19、 図 30.20
スレーブ出力開放時間		tREL	—	3	tPBB	

注. • tPBBは周辺機能クロックBの周期を示します。

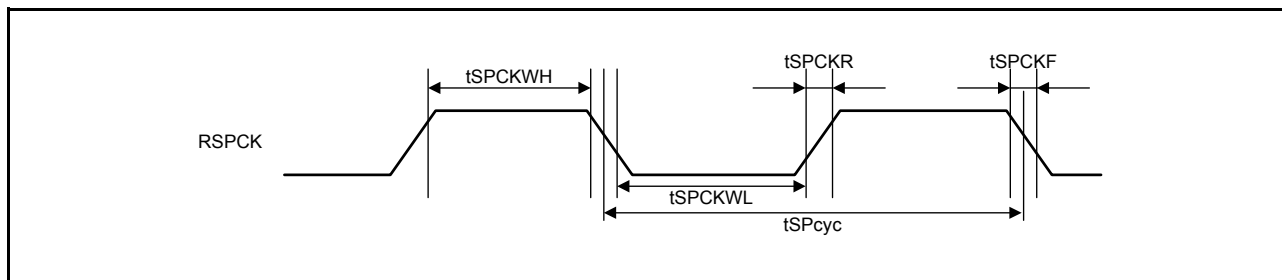


図 30.16 SBI クロックタイミング

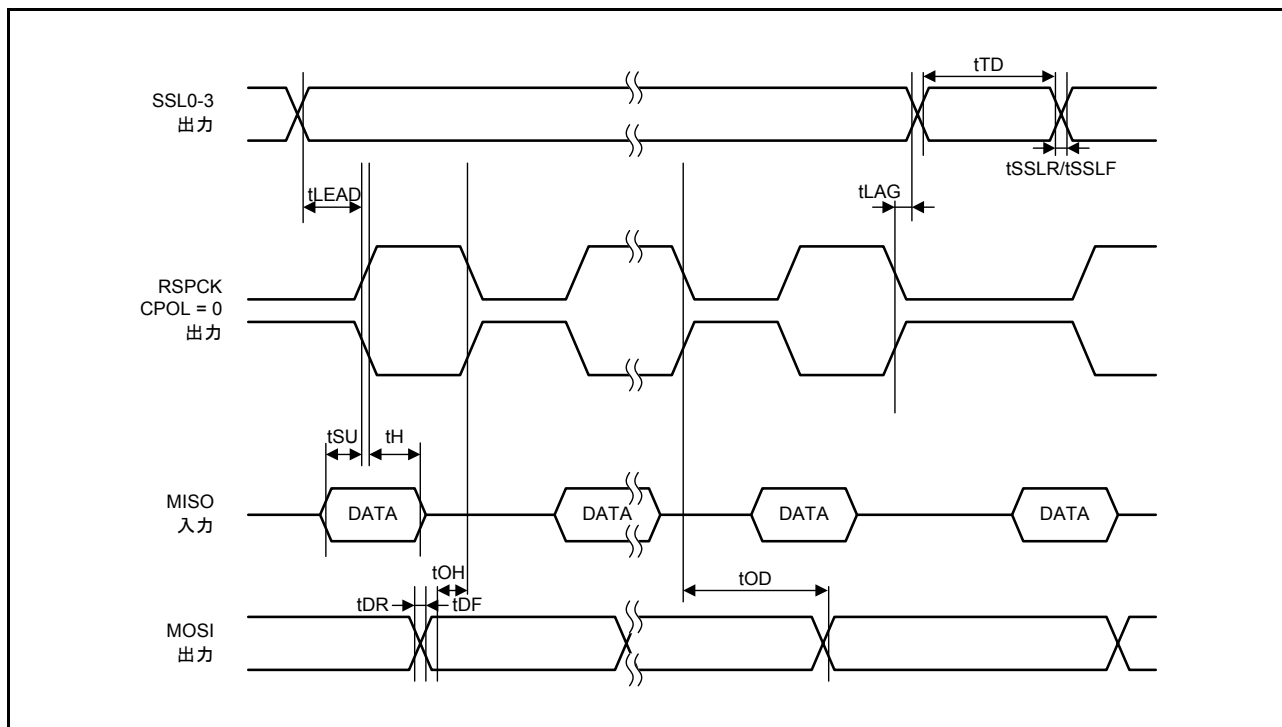


図 30.17 SBI クロックタイミング (マスタ、CPHA = 0)

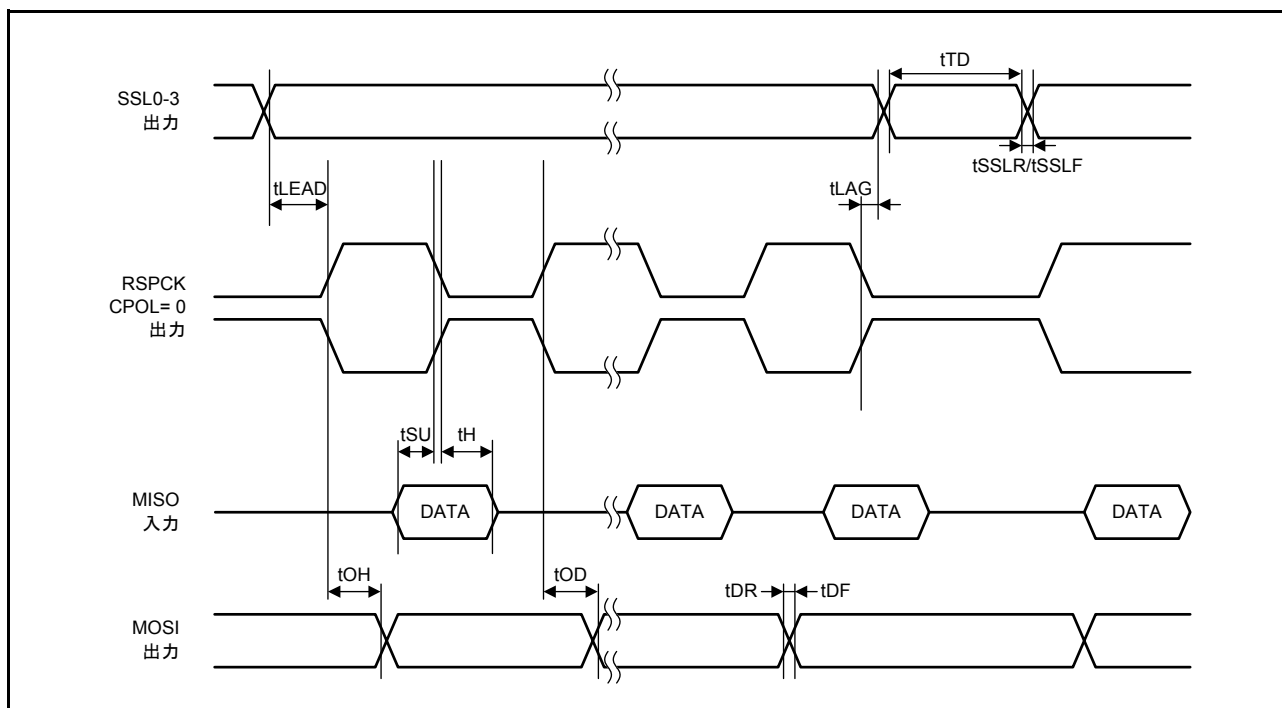


図 30.18 SBI クロックタイミング (マスタ、CPHA = 1)

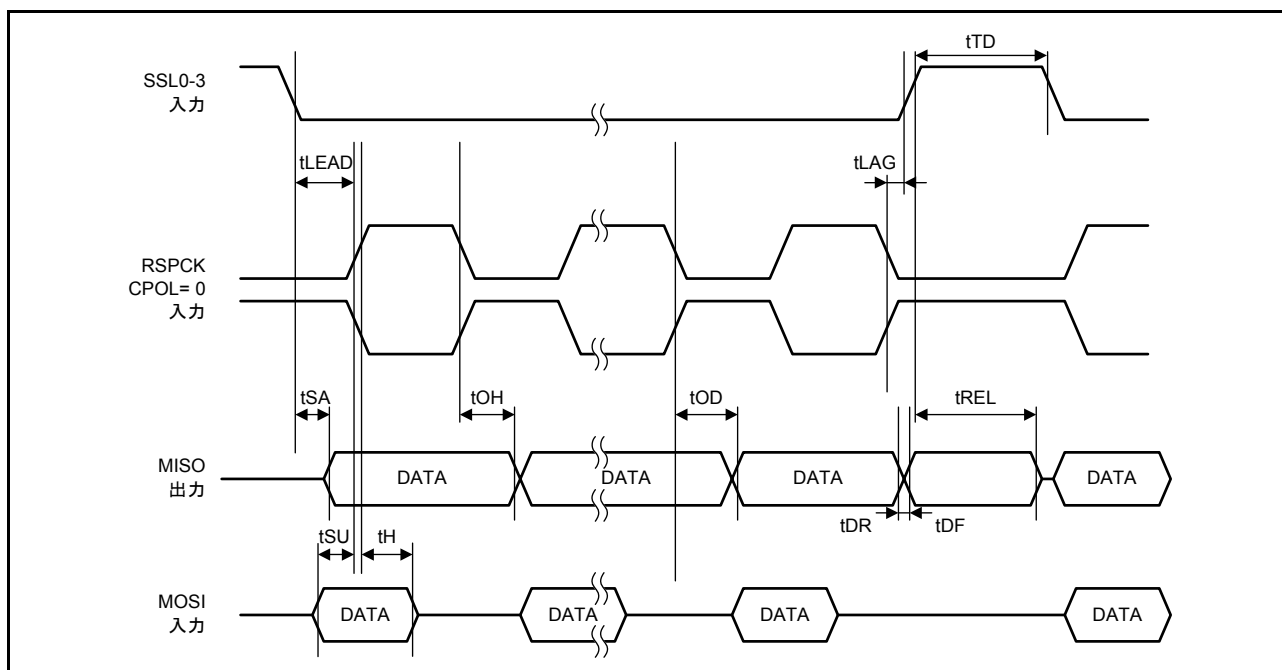


図 30.19 SBI クロックタイミング (スレーブ、CPHA = 0)

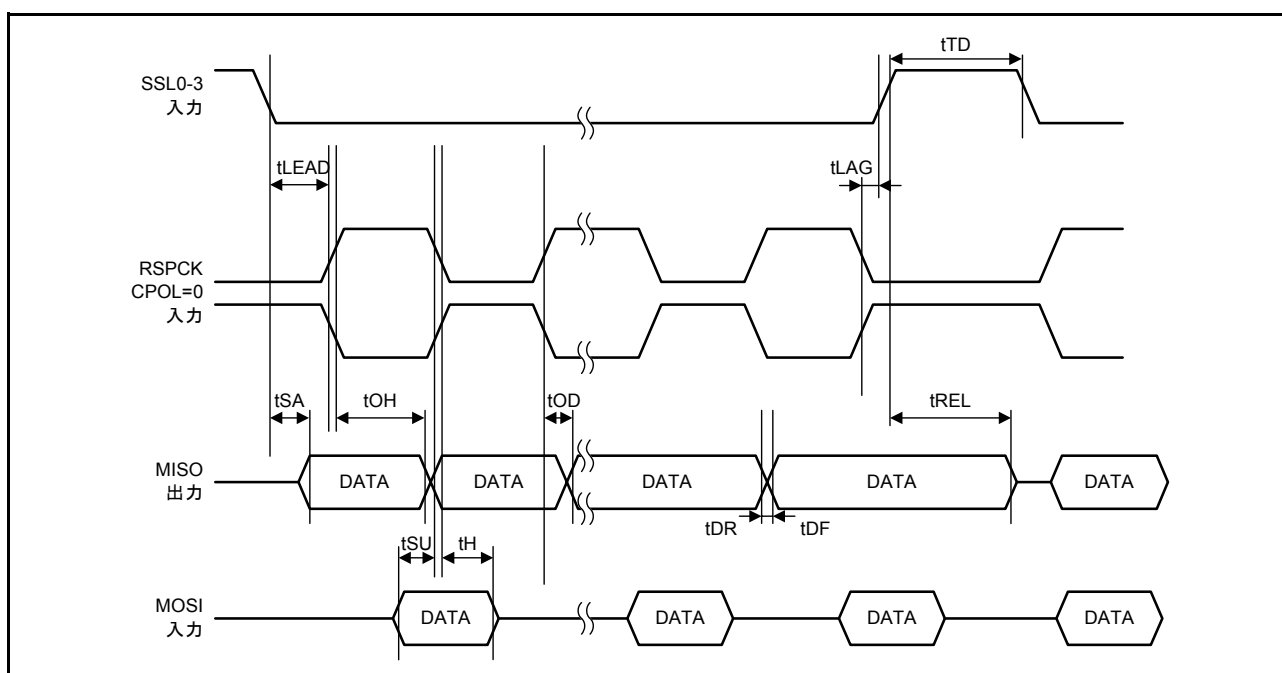


図 30.20 SBI クロックタイミング (スレーブ、CPHA = 1)

30.3.13 CAN タイミング

表 30.23 に CAN タイミングを示します。

表 30.23 CAN タイミング

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目	記号	Min.	Max.	単位	参照図
内部遅延時間	tnode	—	100	ns	図 30.21
送信レート		—	1	Mbps	

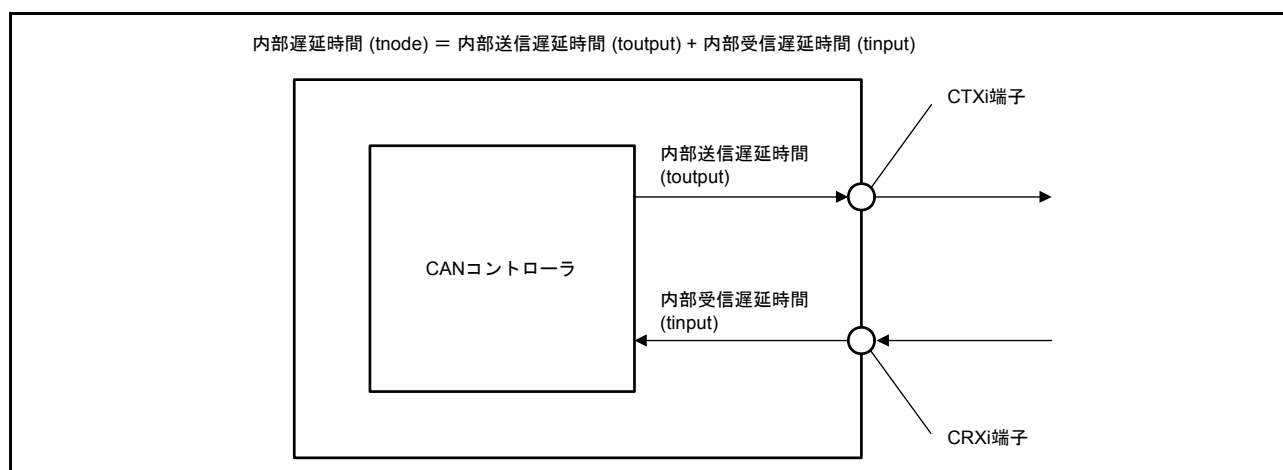


図 30.21 CAN タイミング

30.3.14 AUD-II(モニタモード) タイミング

表 30.24 に AUD-II(モニタモード) タイミングを示します。

表 30.24 AUD-II タイミング(モニタモード)

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目	記号	Min.	Max.	単位	参照図
AUDCK サイクル時間	tAUCKMcyC	50	—	ns	図 30.22
AUDCK ハイレベル幅	tAUCKMH	0.4	—	tAUCKMcyC	
AUDCK ローレベル幅	tAUCKML	0.4	—	tAUCKMcyC	
AUDRST セットアップ時間	tAURSTMS	30	—	ns	
AUDRST パルス幅	tAURSTMW	5	—	tAUCKMcyC	
AUDMD セットアップ時間	tAUMDMS	5	—	tAUCKMcyC	
モニタデータ出力遅延時間	tAUDTMD	—	35	ns	図 30.23
モニタデータ入力セットアップ時間	tAUDTMS	15	—	ns	
モニタデータ入力ホールド時間	tAUDTMH	5	—	ns	
AUDSYNC 入力セットアップ時間	tAUDSYS	15	—	ns	
AUDSYNC 入力ホールド時間	tAUDSYH	5	—	ns	

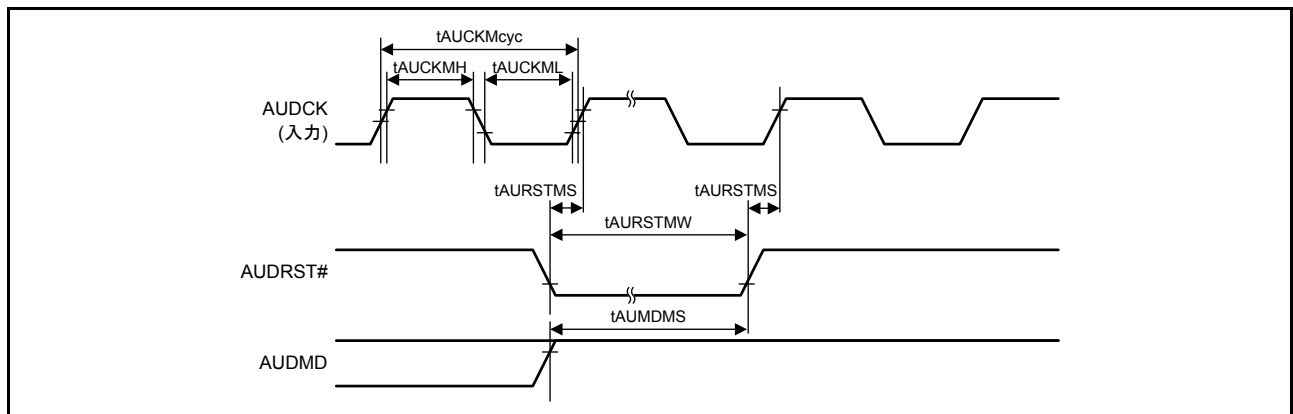


図 30.22 モニタモードリセットタイミング

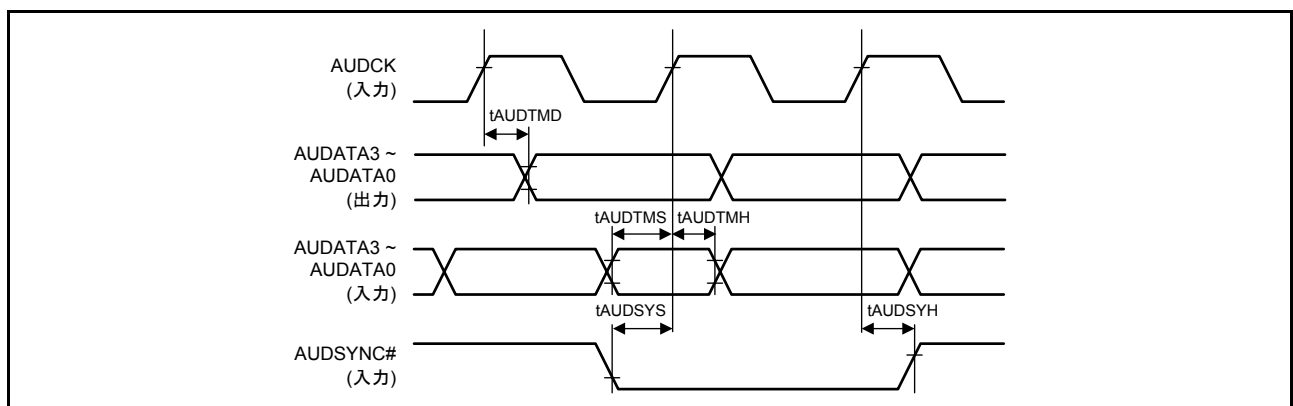


図 30.23 モニタモードタイミング

30.3.15 AC 特性測定条件

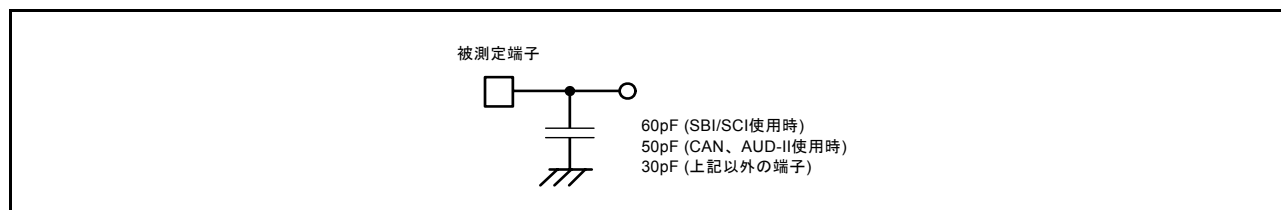


図 30.24 出力スイッチング特性測定回路

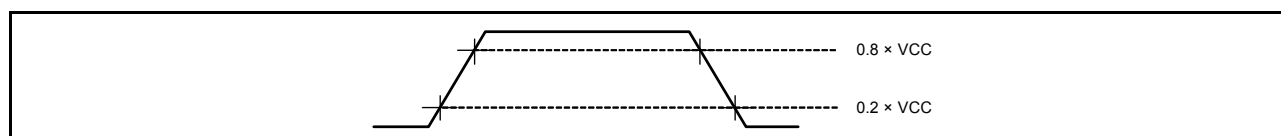


図 30.25 特性測定時出力タイミング判定点

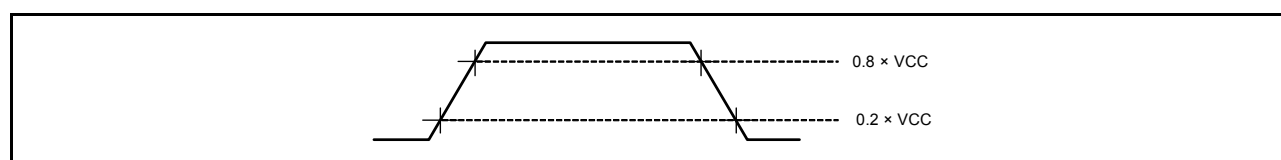


図 30.26 特性測定時入力波形とタイミング判定点 (シュミットタイプ)

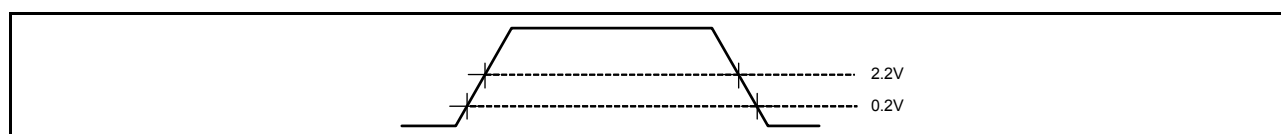


図 30.27 特性測定時入力波形とタイミング判定点 (TTL タイプ)

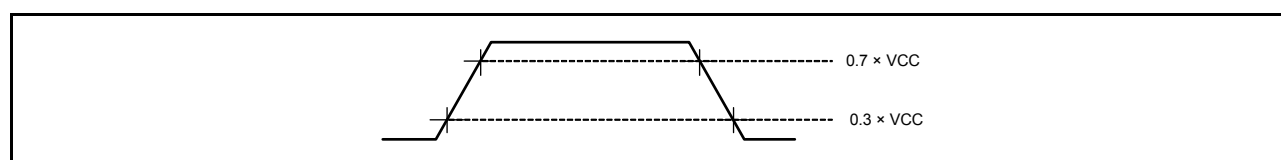


図 30.28 特性測定時入力波形とタイミング判定点 (CMOS タイプ 0.5VCC レベル)

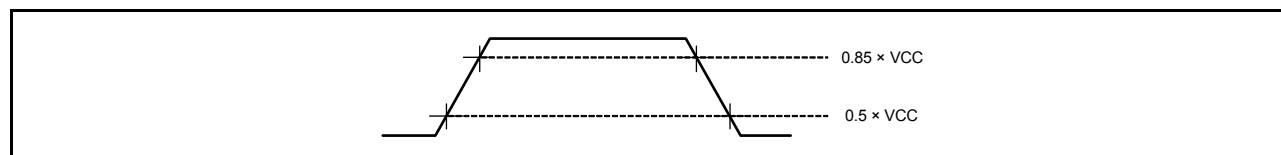


図 30.29 特性測定時入力波形とタイミング判定点 (CMOS タイプ 0.7VCC レベル)

30.4 ROM 特性

表 30.25 ROM 特性

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、f(PBA) = 8MHz ~ 40MHz (SH72A0グループ) 10MHz ~ 50MHz (SH72A2グループ)、
Ta = -40°C ~ 125°C

項目	記号	Min.	Typ.	Max.	単位	測定条件
書き込み時間(注1)(注2)(注4)	256B	—	2	12	ms	
	8KB	—	45	100	ms	
消去時間(注1)(注2)(注4)	8KB	—	50	150	ms	
	32KB(注5)	—	200	560	ms	
	64KB	—	400	1120	ms	
	128KB	—	800	2240	ms	
再書き込み/消去サイクル	N _{PEC}	100(注3)	—	—	回	
書き込み中のサスペンド遅延時間	t _{SPD}	—	—	120	μs	図 30.30
消去中の1回目のサスペンド遅延時間	t _{SESD1}	—	—	120	μs	

注1. 書き込み、消去時間はデータに依存します。

注2. 書き込み、消去時間にはデータ転送時間は含まれません。

注3. 書き換え後のすべての特性を保証するmin回数です(保証は1~min値の範囲です)。

注4. 書き換えがmin値を含む仕様範囲内で行われたときの特性です。

注5. ユーザブート領域のサイズは32KBです。

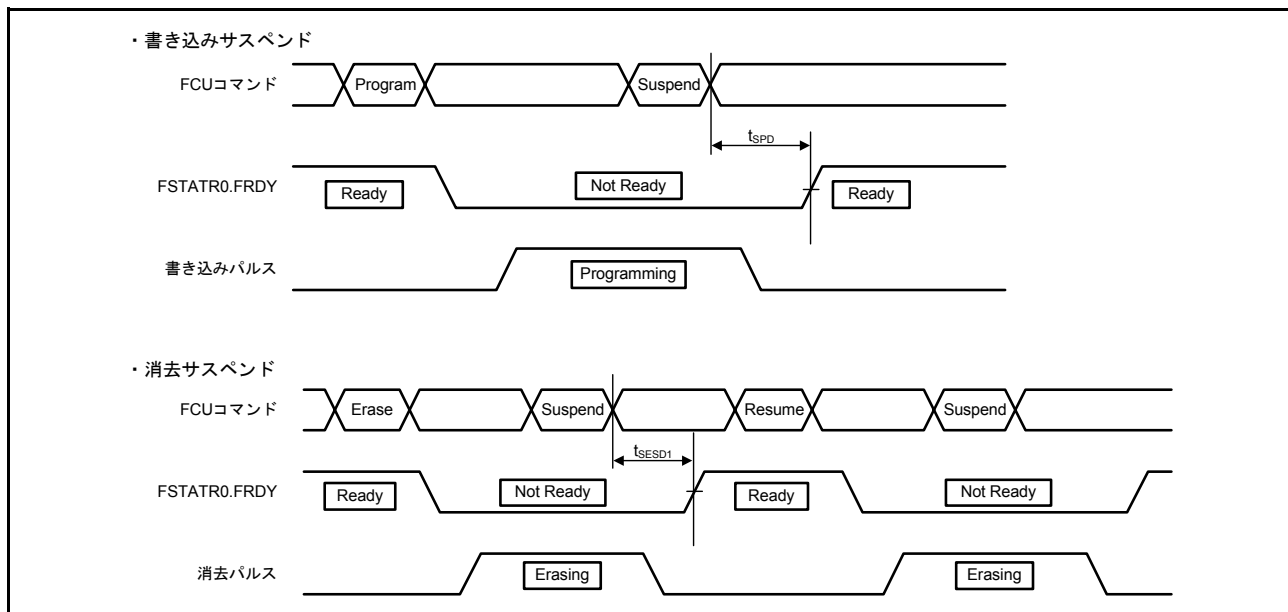


図 30.30 フラッシュメモリ書き込み / 消去サスペンドタイミング

30.5 EEPROM 特性

表 30.26 に EEPROM 特性を示します。

表 30.26 EEPROM 特性

条件: VCC = 5.0V±0.5V、AVCC1 = 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、f(PBA) = 8MHz ~ 40MHz (SH72A0グループ) 10MHz ~ 50MHz (SH72A2グループ)、
Ta = -40°C ~ 125°C

項目	記号	Min.	Typ.	Max.	単位	測定条件
書き込み時間 (注1)(注2)(注4)	8バイト	—	0.4	2	ms	図 30.30
	128バイト	—	1.0	5.0	ms	
消去時間 (注1)(注2)(注4)	2Kバイト	—	70	250	ms	
ブランクチェック時間 (注1)(注4)	8バイト	—	—	30	μs	
	2Kバイト	—	—	0.7	ms	
再書き込み/消去サイクル	N _{PEC_E}	30000 (注3)	—	—	回	
書き込み中のサスペンド遅延時間	t _{SPD_E}	—	—	120	μs	
消去中の1回目のサスペンド遅延時間	t _{SES1_E}	—	—	120	μs	
データ保持時間(注4)	t _{DPR_E}	15	—	—	年	

注1. 書き込み、消去時間はデータに依存します。

注2. 書き込み、消去時間にはデータ転送時間は含みません。

注3. 書き換え後のすべての特性を保証する min 回数です (保証は 1 ~ min 値の範囲です)。

注4. 書き換えが min 値を含む仕様範囲内で行われたときの特性です。

30.6 12ビット A/D コンバータ特性

表 30.27 に A/D 変換器特性を示します。

表 30.27 12ビット A/D 変換器特性

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目	記号	Min.	Max.	単位	参照図
デジタル分解能	—	12	12	bit	
電圧分解能 (注1)	—	1.10	1.34	mV	
サンプル&ホールド サンプルングサイクル	—	30	30	tPBA	
サンプル&ホールド サンプルング時間	SH72A0グループ (f(PBA) = 8 ~ 40MHz)	—	0.75	3.75	μs
	SH72A2グループ (f(PBA) = 10 ~ 50MHz)	—	0.60	3.00	μs
A/D変換サイクル	—	50	50	tPBA	
A/D変換時間	SH72A0グループ (f(PBA) = 8 ~ 40MHz)	—	1.25	6.25	μs
	SH72A2グループ (f(PBA) = 10 ~ 50MHz)	—	1.00	5.00	μs
変換精度保証アナログ入力電圧	—	AVSS0+0.25	AVCC0-0.25	V	
非直線性誤差	—	—	±4.0	LSB	
オフセット誤差	—	—	±7.5	LSB	
フルスケール誤差	—	—	±7.5	LSB	
量子化誤差	—	—	±0.5	LSB	
絶対誤差	—	—	±8.0	LSB	
アナログ入力容量	待機中	—	—	20	pF
	サンプルング中	—	—	40	pF
許容アナログ信号源インピーダンス	—	—	3	kΩ	
自己診断時の絶対精度	—	—	±40	LSB	

注1. VREFH0 - VREFL0 = 4.5Vの場合、分解能は1.10mVです。
VREFH0 - VREFL0 = 5.5Vの場合、分解能は1.34mVです。

注. • tPBAは周辺機能クロックの周期を示します。

30.7 10ビットA/Dコンバータ特性

表30.28 10ビットA/D変換特性

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目	記号	Min.	Max.	単位	
デジタル分解能	—	10	10	ビット	
A/D変換時間 (50 tPBAサイクル)	SH72A0グループ(f(PBA) = 8 ~ 40MHz)	—	1.25	6.25	μs
	SH72A2グループ(f(PBA) = 10 ~ 50MHz)	—	1.00	5.00	μs
アナログ入力容量	—	—	20	pF	
許容アナログ信号源インピーダンス	—	—	1	KΩ	
非直線性誤差	—	—	±3.5	LSB	
オフセット誤差	—	—	±3.5	LSB	
フルスケール誤差	—	—	±3.5	LSB	
量子化誤差	—	—	±0.5	LSB	
絶対精度	—	—	±4.0	LSB	
自己診断時の絶対精度	—	—	±16	LSB	

注. ・ tPBAは周辺機能クロックAの周期を示します。

30.8 その他の特性

30.8.1 電圧監視回路特性

表 30.29 電圧監視回路特性

条件: $VCC = 5.0V \pm 0.5V$ 、 $AVCC1 = 5.0V \pm 0.5V$ 、 $AVCC0 = 5.0V \pm 0.5V$ 、 $VREFH0 = 4.5V \sim AVCC0$ 、 $VSS = AVSS1 = AVSS0 = VREFL0 = 0V$ 、 $T_a = -40^\circ C \sim 125^\circ C$

項目	記号	Min.	Typ.	Max.	単位	測定条件	
電圧監視レベル	電圧監視回路(LVD1)	Vdet1	3.70	3.90	4.10	V	
			3.95	4.15	4.35	V	
			4.10	4.30	4.50	V	
最小VCC低下時間(注1)	t_{VOFF}	200	—	—	μs		
応答遅延時間	t _{det}	—	—	200	μs		

注1. 電源オフ時間は、VCCがLVD1の電圧監視レベルV_{det1}のmin値を下回っている時間です。

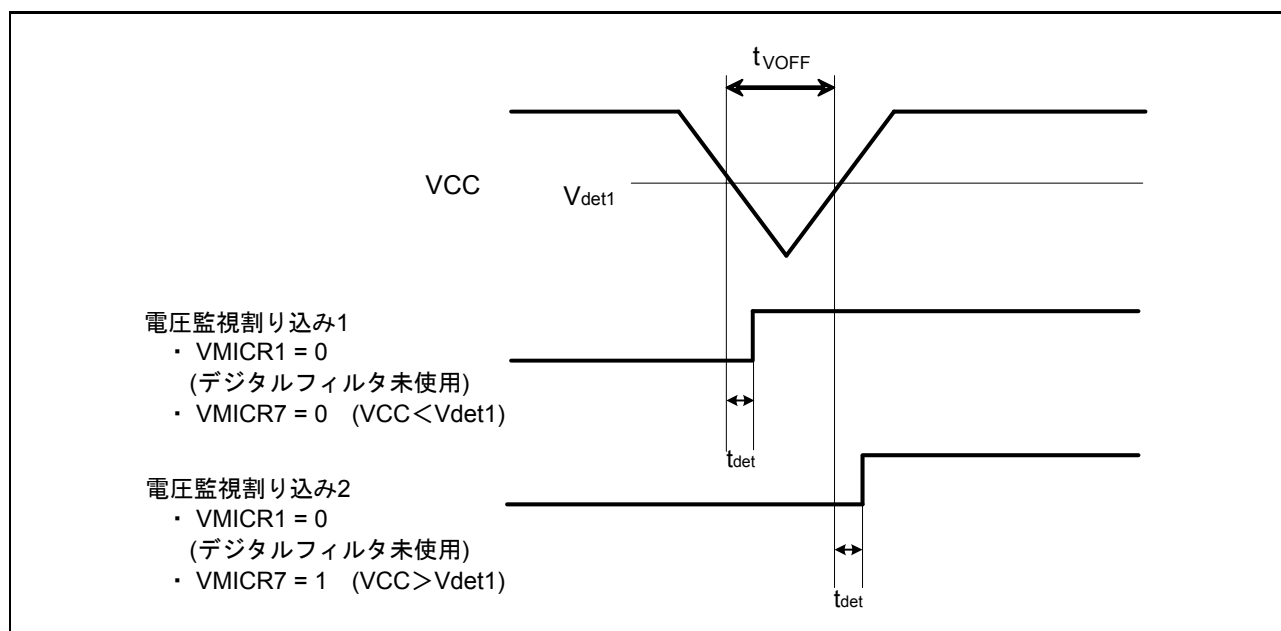


図 30.31 電圧監視回路タイミング (Vdet1)

30.8.2 外部発振停止検出条件

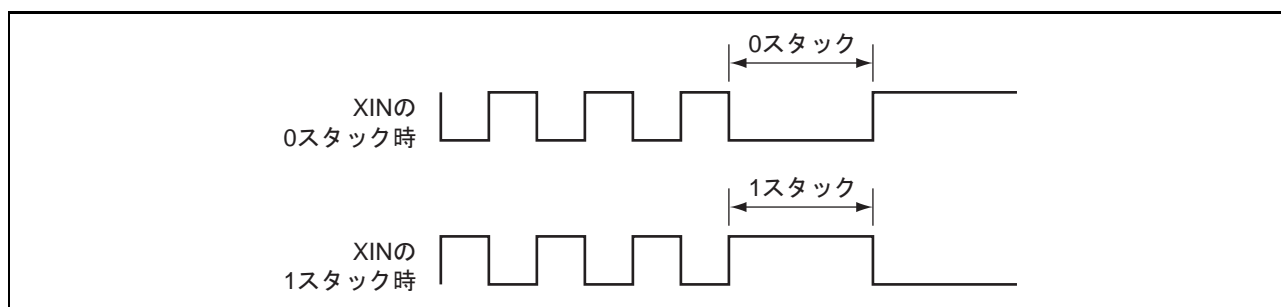


図 30.32 外部発振停止検出条件

表 30.30 外部発振停止検出条件

条件: $VCC = 5.0V \pm 0.5V$ 、 $AVCC1 = 5.0V \pm 0.5V$ 、 $AVCC0 = 5.0V \pm 0.5V$ 、 $VREFH0 = 4.5V \sim AVCC0$ 、 $VSS = AVSS1 = AVSS0 = VREFL0 = 0V$ 、 $Ta = -40^{\circ}C \sim 125^{\circ}C$

項目	測定条件	参照図
発振停止検出条件	0または1スタック時	図30.32

30.8.3 外部発振停止検出タイミング

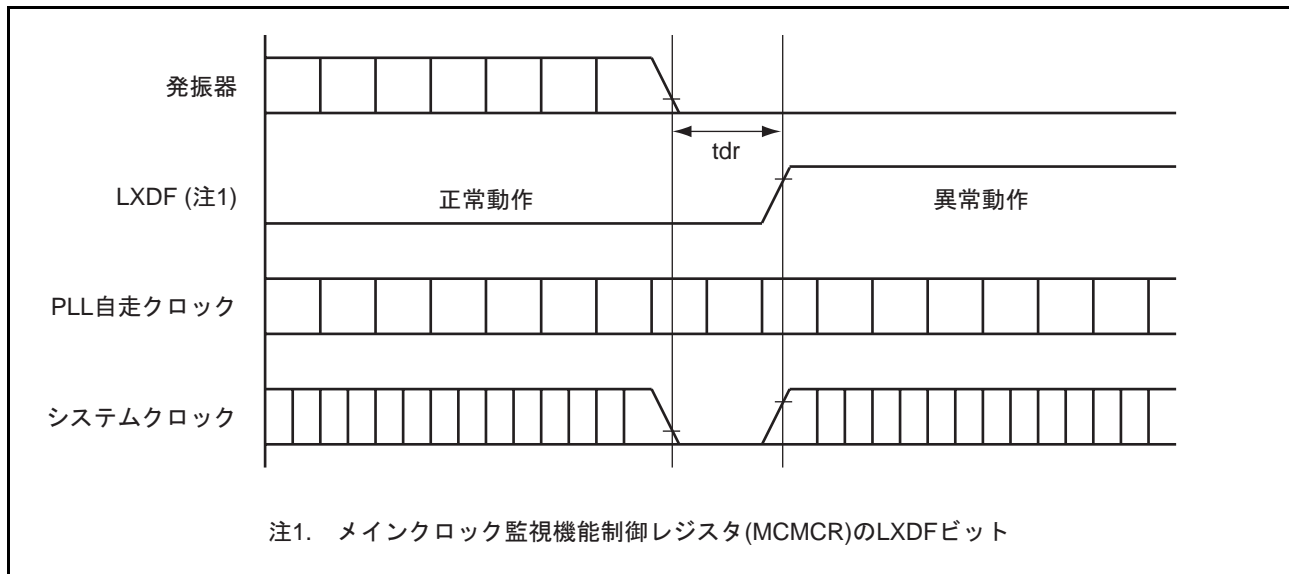


図 30.33 外部発振停止検出タイミング

表 30.31 外部発振停止検出回路の異常動作判定検出

条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目	記号	Min.	Typ.	Max.	単位	参照図
検出時間	tdr	—	—	10	μs	図 30.33

30.8.4 低速オンチップオシレータクロック周波数

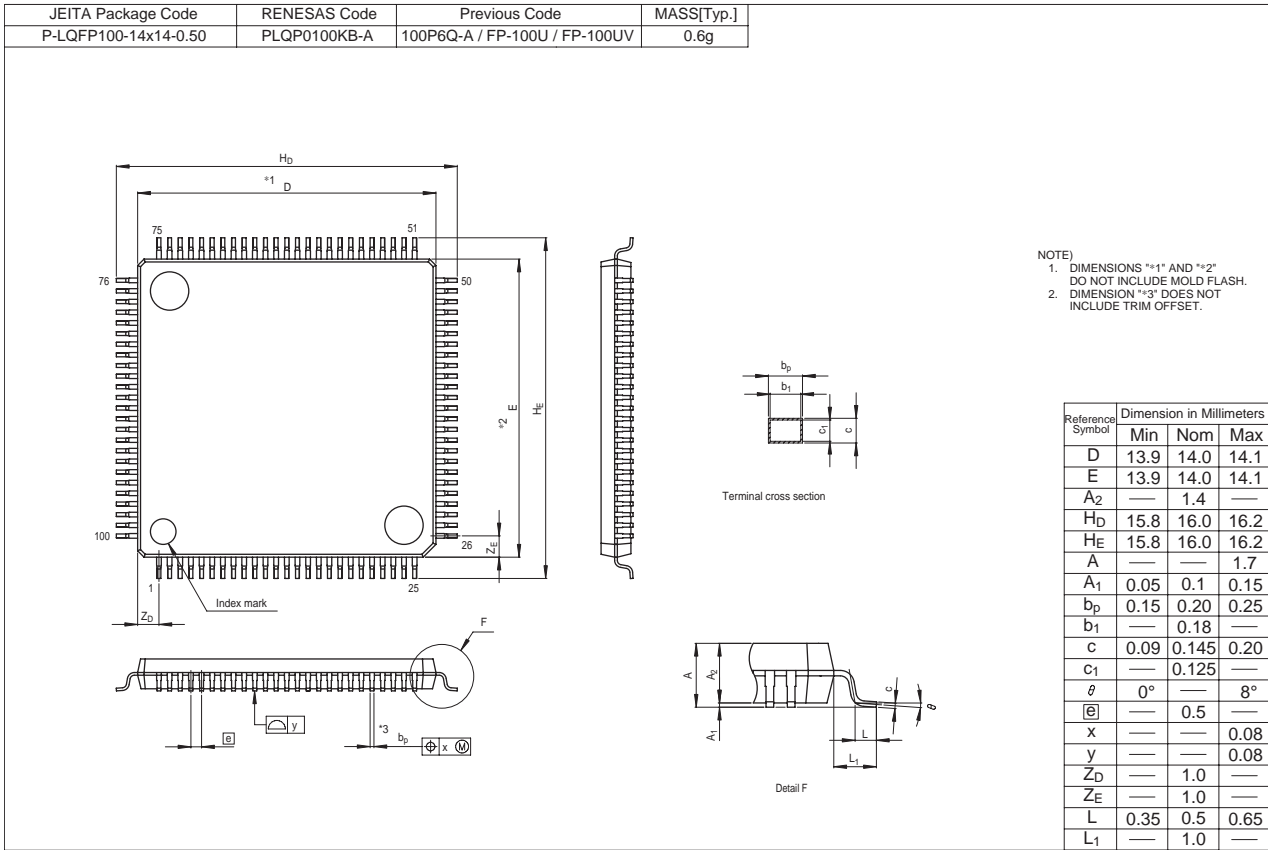
表 30.32 低速オンチップオシレータクロック周波数

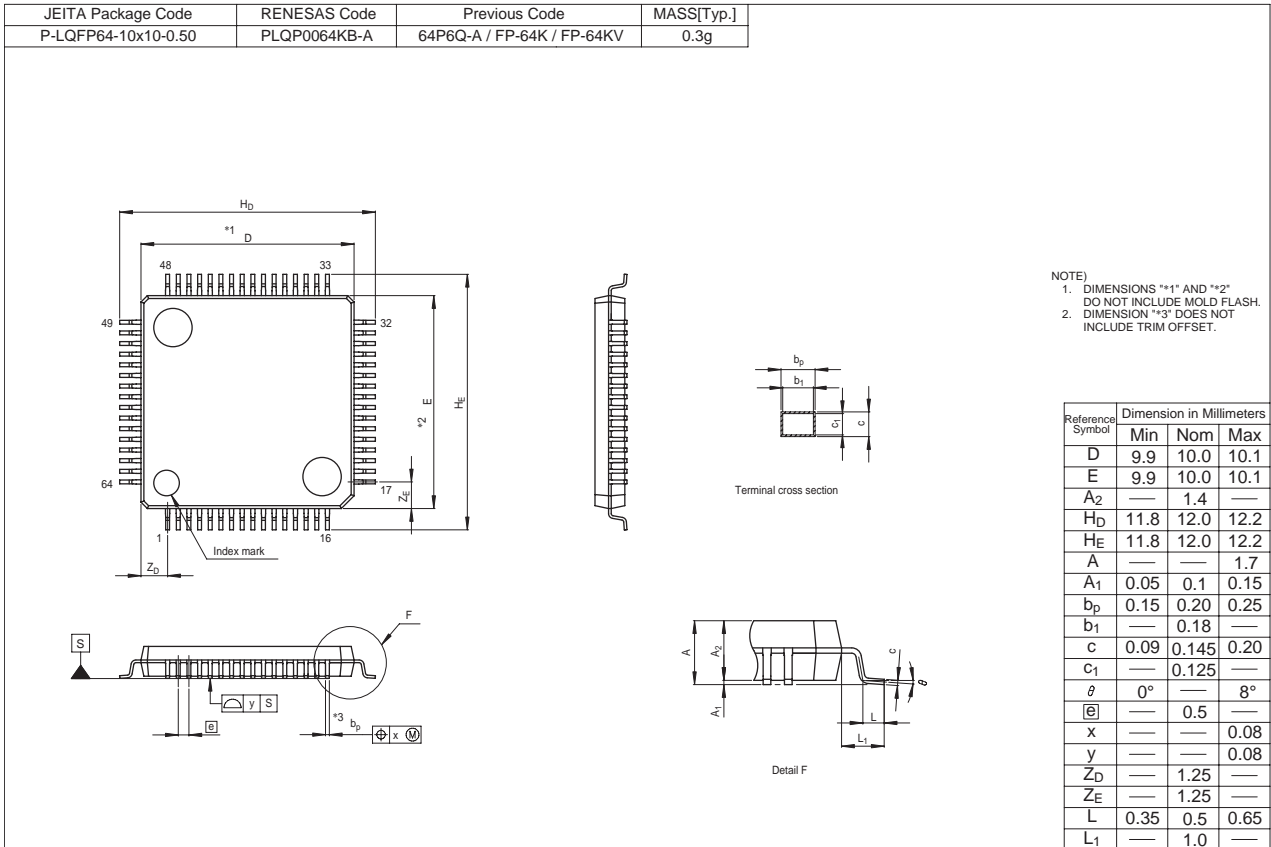
条件: VCC = 5.0V±0.5V、AVCC1= 5.0V±0.5V、AVCC0 = 5.0V±0.5V、VREFH0 = 4.5V ~ AVCC0、
VSS = AVSS1 = AVSS0 = VREFL0 = 0V、Ta = -40°C ~ 125°C

項目	記号	Min.	Typ.	Max.	単位	参照図
低速オンチップオシレータ クロック周波数	$f_{(LOCO)}$	100	125	150	kHz	図 30.33

付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。





SH72A2グループ、SH72A0グループ ユーザーズマニュアル
ハードウェア編

発行年月日 2012年4月20日 Rev.1.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

SH72A2グループ、SH72A0グループ