

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μPD780862サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μPD780861	μPD780861(A1)
μPD780862	μPD780862(A1)
μPD78F0862	μPD78F0862A(A1)
μPD78F0862A	μPD780861(A2)
μPD780861(A)	μPD780862(A2)
μPD780862(A)	μPD78F0862A(A2)
μPD78F0862(A)	
μPD78F0862A(A)	

〔メモ〕

目次要約

第1章	概 説	...	16
第2章	端子機能	...	23
第3章	CPUアーキテクチャ	...	31
第4章	ポート機能	...	61
第5章	クロック発生回路	...	78
第6章	16ビット・タイマ/イベント・カウンタ00	...	101
第7章	8ビット・タイマ50	...	140
第8章	8ビット・タイマH0, H1	...	151
第9章	ウォッチドッグ・タイマ	...	180
第10章	A/Dコンバータ	...	191
第11章	シリアル・インタフェースUART6	...	214
第12章	シリアル・インタフェースCSI10	...	252
第13章	マンチェスタ・コード・ジェネレータ	...	265
第14章	割り込み機能	...	295
第15章	スタンバイ機能	...	313
第16章	リセット機能	...	325
第17章	クロック・モニタ	...	332
第18章	パワーオン・クリア回路	...	339
第19章	低電圧検出回路	...	343
第20章	マスク・オプション/オプション・バイト	...	353
第21章	フラッシュ・メモリ	...	355
第22章	命令セットの概要	...	372
第23章	電気的特性(標準品, (A)水準品)	...	387
第24章	電気的特性((A1)水準品)	...	401
第25章	電気的特性((A2)水準品)	...	415
第26章	外形図	...	429
第27章	半田付け推奨条件	...	430
第28章	ウェイトに関する注意事項	...	432
付録A	開発ツール	...	435
付録B	ターゲット・システム設計上の注意	...	441
付録C	レジスタ索引	...	443
付録D	改版履歴	...	449

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご注意ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

Windows, Windows XPおよびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD78F0862, 78F0862A, 78F0862(A), 78F0862A(A), 78F0862A(A1), 78F0862A(A2)

ユーザ判定品 : μ PD780861, 780862, 780861(A), 780862(A), 780861(A1), 780862(A1), 780861(A2), 780862(A2)

注意： 本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash[®]を使用しています。

- 本資料に記載されている内容は2005年12月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

(1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

(2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

はじめに

対象者 このマニュアルは μ PD780862サブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

対象製品は、次に示すシリーズの各製品です。

- ・ μ PD780862サブシリーズ： μ PD780861, 780862, 78F0862, 78F0862A, 780861(A), 780862(A), 78F0862(A), 78F0862A(A), 780861(A1), 780862(A1), 78F0862A(A1), 780861(A2), 780862(A2), 78F0862A(A2)

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD780862サブシリーズのマニュアルは、このマニュアルと命令編（78K/0シリーズ共通）の2冊に分かれています。

μ PD780862サブシリーズ ユーザーズ・マニュアル	78K/0シリーズ ユーザーズ・マニュアル 命令編
端子機能	CPU機能
内部ブロック機能	命令セット
割り込み	命令の説明
その他の内蔵周辺機能	
電気的特性	

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

(A) 水準品, (A1) 水準品, (A2) 水準品のマニュアルとしてお使いになる方へ
標準製品と(A)水準品, (A1)水準品, (A2)水準品は品質水準のみが異なります。(A)水準品, (A1)水準品, (A2)水準品については品名を次のように読み替えてください。

- ・ μ PD780861 μ PD780861(A), 780861(A1), 780861(A2)
- ・ μ PD780862 μ PD780862(A), 780862(A1), 780862(A2)
- ・ μ PD78F0862 μ PD78F0862(A)
- ・ μ PD78F0862A μ PD78F0862A(A), 78F0862A(A1), 78F0862A(A2)

一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は、本版で改訂された主な箇所を示しています。

この" "をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がRA78K0では予約語に、CC78K0では #pragma sfr指令で、sfr変数として定義されているものです。

レジスタ名が分かっているレジスタの詳細を確認するとき

付録C レジスタ索引を利用してください。

78K/0シリーズの命令機能の詳細を知りたいとき

別冊の78K/0シリーズ ユーザーズ・マニュアル 命令編 (U12326J) を参照してください。

注意 このマニュアル中の使用例は、一般電子機器用の『標準』品質水準用に作成してあります。『特別』品質水準を要求する用途にこのマニュアル中の使用例を使用する場合は、実際に使用する各部分および回路について、その品質水準についてご検討のうえご使用ください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	アクティブ・ロウの表記	: \overline{xxx} (端子, 信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数... $xxx \times x$ または $xxx \times B$
		10進数... $xxx \times x$
		16進数... $xxx \times H$

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和 文	英 文
μ PD780862サブシリーズ ユーザーズ・マニュアル	このマニュアル	U16418E
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E

開発ツール (ソフトウェア) の資料 (ユーザーズ・マニュアル)

資料名	資料番号		
	和 文	英 文	
RA78K0 Ver.3.80 アセンブラ・パッケージ	操作編	U17199J	U17199E
	言語編	U17198J	U17198E
	構造化アセンブリ言語編	U17197J	U17197E
CC78K0 Ver.3.70 Cコンパイラ	操作編	U17201J	U17201E
	言語編	U17200J	U17200E
SM+ システム・シミュレータ	操作編	U17246J	U17246E
	ユーザ・オープン・インタフェース編	U17247J	U17247E
ID78K0-QB Ver.2.90 統合デバッグ	操作編	U17437J	U17437E
PM plus Ver.5.20		U16934J	U16934E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

開発ツール（ハードウェア）の資料（ユーザズ・マニュアル）

資料名	資料番号	
	和文	英文
IE-78K0-NS インサーキット・エミュレータ	U13731J	U13731E
IE-78K0-NS-A インサーキット・エミュレータ	U14889J	U14889E
IE-780862-NS-EM1 エミュレーション・ボード	U16810J	U16810E

フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP4 フラッシュ・メモリ・プログラマ ユーザズ・マニュアル	U15260J	U15260E

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 ... 16

- 1.1 特 徴 ... 16
- 1.2 応用分野 ... 17
- 1.3 オータ情報 ... 17
- 1.4 端子接続図 (Top View) ... 19
- 1.5 ブロック図 ... 20
- 1.6 機能概要 ... 21

第2章 端子機能 ... 23

- 2.1 端子機能一覧 ... 23
- 2.2 端子機能の説明 ... 25
 - 2.2.1 P00-P02 (Port 0) ... 25
 - 2.2.2 P10-P15 (Port 1) ... 26
 - 2.2.3 P20-P23 (Port 2) ... 27
 - 2.2.4 P130 (Port 13) ... 27
 - 2.2.5 AVREF ... 27
 - 2.2.6 RESET ... 27
 - 2.2.7 X1, X2 ... 27
 - 2.2.8 CL1, CL2 ... 27
 - 2.2.9 VDD ... 27
 - 2.2.10 Vss ... 28
 - 2.2.11 FLMD0, FLMD1 (フラッシュ・メモリ製品のみ) ... 28
 - 2.2.12 IC (マスクROM製品のみ) ... 28
- 2.3 端子の入出力回路と未使用端子の処理 ... 29

第3章 CPUアーキテクチャ ... 31

- 3.1 メモリ空間 ... 31
 - 3.1.1 内部プログラム・メモリ空間 ... 35
 - 3.1.2 内部データ・メモリ空間 ... 36
 - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 36
 - 3.1.4 データ・メモリ・アドレッシング ... 37
- 3.2 プロセッサ・レジスタ ... 40
 - 3.2.1 制御レジスタ ... 40
 - 3.2.2 汎用レジスタ ... 43
 - 3.2.3 特殊機能レジスタ (SFR : Special Function Register) ... 45
- 3.3 命令アドレスのアドレッシング ... 49
 - 3.3.1 レラティブ・アドレッシング ... 49
 - 3.3.2 イミーディエト・アドレッシング ... 50
 - 3.3.3 テーブル・インダイレクト・アドレッシング ... 51

- 3.3.4 レジスタ・アドレッシング ... 51
- 3.4 **オペランド・アドレスのアドレッシング** ... 52
 - 3.4.1 インプライド・アドレッシング ... 52
 - 3.4.2 レジスタ・アドレッシング ... 53
 - 3.4.3 ダイレクト・アドレッシング ... 54
 - 3.4.4 ショート・ダイレクト・アドレッシング ... 55
 - 3.4.5 特殊機能レジスタ (SFR) アドレッシング ... 56
 - 3.4.6 レジスタ・インダイレクト・アドレッシング ... 57
 - 3.4.7 ベースト・アドレッシング ... 58
 - 3.4.8 ベースト・インデクスト・アドレッシング ... 59
 - 3.4.9 スタック・アドレッシング ... 60

第4章 ポート機能 ... 61

- 4.1 **ポートの機能** ... 61
- 4.2 **ポートの構成** ... 62
 - 4.2.1 ポート0 ... 63
 - 4.2.2 ポート1 ... 65
 - 4.2.3 ポート2 ... 70
 - 4.2.4 ポート13 ... 70
- 4.3 **ポート機能を制御するレジスタ** ... 71
- 4.4 **ポート機能の動作** ... 77
 - 4.4.1 入出力ポートへの書き込み ... 77
 - 4.4.2 入出力ポートからの読み出し ... 77
 - 4.4.3 入出力ポートでの演算 ... 77

第5章 クロック発生回路 ... 78

- 5.1 **クロック発生回路の機能** ... 78
- 5.2 **クロック発生回路の構成** ... 79
- 5.3 **クロック発生回路を制御するレジスタ** ... 80
- 5.4 **システム・クロック発振回路** ... 86
 - 5.4.1 高速システム・クロック発振回路 ... 86
 - 5.4.2 低速内蔵発振回路 ... 90
 - 5.4.3 プリスケーラ ... 90
- 5.5 **クロック発生回路の動作** ... 91
- 5.6 **低速内蔵発振クロックと高速システム・クロックの切り替えに要する時間** ... 96
- 5.7 **CPUクロックの切り替えに要する時間** ... 97
- 5.8 **クロック切り替えのフロー・チャートとレジスタ設定** ... 98
 - 5.8.1 低速内蔵発振クロックから高速システム・クロックへの切り替え ... 98
 - 5.8.2 高速システム・クロックから低速内蔵発振クロックへの切り替え ... 99
 - 5.8.3 レジスタ設定 ... 100

第6章 16ビット・タイマ/イベント・カウンタ00 ... 101

- 6.1 **16ビット・タイマ/イベント・カウンタ00の機能** ... 101

- 6.2 16ビット・タイマ/イベント・カウンタ00の構成 ... 102
- 6.3 16ビット・タイマ/イベント・カウンタ00を制御するレジスタ ... 106
- 6.4 16ビット・タイマ/イベント・カウンタ00の動作 ... 112
 - 6.4.1 インターバル・タイマとしての動作 ... 112
 - 6.4.2 PPG出力としての動作 ... 115
 - 6.4.3 パルス幅測定としての動作 ... 118
 - 6.4.4 外部イベント・カウンタとしての動作 ... 126
 - 6.4.5 方形波出力としての動作 ... 129
 - 6.4.6 ワンショット・パルス出力としての動作 ... 131
- 6.5 16ビット・タイマ/イベント・カウンタ00の注意事項 ... 136

第7章 8ビット・タイマ50 ... 140

- 7.1 8ビット・タイマ50の機能 ... 140
- 7.2 8ビット・タイマ50の構成 ... 141
- 7.3 8ビット・タイマ50を制御するレジスタ ... 142
- 7.4 8ビット・タイマ50の動作 ... 145
 - 7.4.1 インターバル・タイマとしての動作 ... 145
 - 7.4.2 TMH0とUART6の動作クロックとしての動作 ... 147
- 7.5 8ビット・タイマ50の注意事項 ... 150

第8章 8ビット・タイマH0, H1 ... 151

- 8.1 8ビット・タイマH0, H1の機能 ... 151
- 8.2 8ビット・タイマH0, H1の構成 ... 151
- 8.3 8ビット・タイマH0, H1を制御するレジスタ ... 155
- 8.4 8ビット・タイマH0, H1の動作 ... 163
 - 8.4.1 インターバル・タイマとしての動作 ... 163
 - 8.4.2 PWM出力モードとしての動作 ... 167
 - 8.4.3 キャリア・ジェネレータ・モードとしての動作（8ビット・タイマH1のみ） ... 173

第9章 ウォッチドッグ・タイマ ... 180

- 9.1 ウォッチドッグ・タイマの機能 ... 180
- 9.2 ウォッチドッグ・タイマの構成 ... 182
- 9.3 ウォッチドッグ・タイマを制御するレジスタ ... 183
- 9.4 ウォッチドッグ・タイマの動作 ... 186
 - 9.4.1 マスク・オプションで「低速内蔵発振器は停止不可」を選択した場合のウォッチドッグ・タイマ動作 ... 186
 - 9.4.2 マスク・オプションで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合のウォッチドッグ・タイマ動作 ... 187
 - 9.4.3 STOPモード時の動作（マスク・オプションで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合） ... 188
 - 9.4.4 HALTモード時の動作（マスク・オプションで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合） ... 190

第10章 A/Dコンバータ ... 191

- 10.1 A/Dコンバータの機能 ... 191
- 10.2 A/Dコンバータの構成 ... 193
- 10.3 A/Dコンバータで使用するレジスタ ... 195
- 10.4 A/Dコンバータの動作 ... 199
 - 10.4.1 A/Dコンバータの基本動作 ... 199
 - 10.4.2 入力電圧と変換結果 ... 201
 - 10.4.3 A/Dコンバータの動作モード ... 202
- 10.5 A/Dコンバータ特性表の読み方 ... 206
- 10.6 A/Dコンバータの注意事項 ... 209

第11章 シリアル・インタフェースUART6 ... 214

- 11.1 シリアル・インタフェースUART6の機能 ... 214
- 11.2 シリアル・インタフェースUART6の構成 ... 218
- 11.3 シリアル・インタフェースUART6を制御するレジスタ ... 221
- 11.4 シリアル・インタフェースUART6の動作 ... 230
 - 11.4.1 動作停止モード ... 230
 - 11.4.2 アシンクロナス・シリアル・インタフェース (UART) モード ... 231
 - 11.4.3 専用ボー・レート・ジェネレータ ... 246

第12章 シリアル・インタフェースCSI10 ... 252

- 12.1 シリアル・インタフェースCSI10の機能 ... 252
- 12.2 シリアル・インタフェースCSI10の構成 ... 252
- 12.3 シリアル・インタフェースCSI10を制御するレジスタ ... 253
- 12.4 シリアル・インタフェースCSI10の動作 ... 257
 - 12.4.1 動作停止モード ... 257
 - 12.4.2 3線式シリアルI/Oモード ... 258

第13章 マンチェスタ・コード・ジェネレータ ... 265

- 13.1 マンチェスタ・コード・ジェネレータの機能 ... 265
- 13.2 マンチェスタ・コード・ジェネレータの構成 ... 265
- 13.3 マンチェスタ・コード・ジェネレータを制御するレジスタ ... 268
- 13.4 マンチェスタ・コード・ジェネレータの動作 ... 272
 - 13.4.1 動作停止モード ... 272
 - 13.4.2 マンチェスタ・コード・ジェネレータ・モード ... 273
 - 13.4.3 ビット・シーケンシャル・バッファ・モード ... 284

第14章 割り込み機能 ... 295

- 14.1 割り込み機能の種類 ... 295
- 14.2 割り込み要因と構成 ... 295
- 14.3 割り込み機能を制御するレジスタ ... 298

- 14.4 割り込み処理動作 ... 306
 - 14.4.1 マスカブル割り込み要求の受け付け動作 ... 306
 - 14.4.2 ソフトウェア割り込み要求の受け付け動作 ... 309
 - 14.4.3 多重割り込み処理 ... 309
 - 14.4.4 割り込み要求の保留 ... 312

第15章 スタンバイ機能 ... 313

- 15.1 スタンバイ機能と構成 ... 313
 - 15.1.1 スタンバイ機能 ... 313
 - 15.1.2 スタンバイ機能を制御するレジスタ ... 315
- 15.2 スタンバイ機能の動作 ... 318
 - 15.2.1 HALTモード ... 318
 - 15.2.2 STOPモード ... 321

第16章 リセット機能 ... 325

- 16.1 リセット要因を確認するレジスタ ... 331

第17章 クロック・モニタ ... 332

- 17.1 クロック・モニタの機能 ... 332
- 17.2 クロック・モニタの構成 ... 332
- 17.3 クロック・モニタを制御するレジスタ ... 333
- 17.4 クロック・モニタの動作 ... 334

第18章 パワーオン・クリア回路 ... 339

- 18.1 パワーオン・クリア回路の機能 ... 339
- 18.2 パワーオン・クリア回路の構成 ... 340
- 18.3 パワーオン・クリア回路の動作 ... 340
- 18.4 パワーオン・クリア回路の注意事項 ... 341

第19章 低電圧検出回路 ... 343

- 19.1 低電圧検出回路の機能 ... 343
- 19.2 低電圧検出回路の構成 ... 343
- 19.3 低電圧検出回路を制御するレジスタ ... 344
- 19.4 低電圧検出回路の動作 ... 346
- 19.5 低電圧検出回路の注意事項 ... 350

第20章 マスク・オプション / オプション・バイト ... 353

- 20.1 マスク・オプション (マスクROM製品) ... 353
- 20.2 オプション・バイト (フラッシュ・メモリ製品) ... 354

第21章 フラッシュ・メモリ ... 355

- 21.1 メモリ・サイズ切り替えレジスタ ... 356
- 21.2 フラッシュ・ライターによる書き込み方法 ... 357
- 21.3 プログラミング環境 ... 361
- 21.4 通信方式 ... 361
- 21.5 オンボード上の端子処理 ... 364
 - 21.5.1 FLMD0端子 ... 364
 - 21.5.2 FLMD1端子 ... 364
 - 21.5.3 シリアル・インタフェース端子 ... 365
 - 21.5.4 RESET端子 ... 367
 - 21.5.5 ポート端子 ... 367
 - 21.5.6 その他の信号端子 ... 367
 - 21.5.7 電 源 ... 367
- 21.6 プログラミング方法 ... 368
 - 21.6.1 フラッシュ・メモリ制御 ... 368
 - 21.6.2 フラッシュ・メモリ・プログラミング・モード ... 369
 - 21.6.3 通信方式の選択 ... 370
 - 21.6.4 通信コマンド ... 370

第22章 命令セットの概要 ... 372

- 22.1 凡 例 ... 373
 - 22.1.1 オペランドの表現形式と記述方法 ... 373
 - 22.1.2 オペレーション欄の説明 ... 374
 - 22.1.3 フラグ動作欄の説明 ... 374
- 22.2 オペレーション一覧 ... 375
- 22.3 アドレッシング別命令一覧 ... 383

第23章 電気的特性 (標準品, (A)水準品) ... 387

第24章 電気的特性 ((A1)水準品) ... 401

第25章 電気的特性 ((A2)水準品) ... 415

第26章 外形図 ... 429

第27章 半田付け推奨条件 ... 430

第28章 ウェイトに関する注意事項 ... 432

- 28.1 ウェイトに関する注意事項 ... 432
- 28.2 ウェイトが発生する周辺ハードウェア ... 433
- 28.3 ウェイト発生例 ... 434

付録A 開発ツール ... 435

- A.1 ソフトウェア・パッケージ ... 437
- A.2 言語処理用ソフトウェア ... 437
- A.3 制御ソフトウェア ... 438
- A.4 フラッシュ・メモリ書き込み用ツール ... 438
- A.5 デバッグ用ツール(ハードウェア) ... 439
- A.6 デバッグ用ツール(ソフトウェア) ... 440

付録B ターゲット・システム設計上の注意 ... 441

付録C レジスタ索引 ... 443

- C.1 レジスタ索引(50音順) ... 443
- C.2 レジスタ索引(アルファベット順) ... 446

付録D 改版履歴 ... 449

- D.1 本版で改訂された主な箇所 ... 449
- D.2 前版までの改版履歴 ... 451

第1章 概 説

1.1 特 徴

高速 (0.2 μ s : 高速システム・クロック10 MHz動作時) から低速 (3.2 μ s : 高速システム・クロック10 MHz動作時) まで最小命令実行時間を変更可能

汎用レジスタ : 8ビット×32レジスタ (8ビット×8レジスタ×4バンク)

ROM, RAM容量

品 名	項 目	プログラム・メモリ (ROM)		データ・メモリ (内部高速RAM)
μ PD780861	マスクROM	8 Kバイト	512バイト	
μ PD780862		16 Kバイト	768バイト	
μ PD78F0862, 78F0862A ^{注1}	フラッシュ・メモリ	16 Kバイト ^{注2}		

注1. μ PD78F0862と μ PD78F0862Aの違いは、フラッシュ・メモリの特性のみです。詳細については、電気的特性の章の「フラッシュ・メモリ・プログラミング特性」を参照してください。

- メモリ・サイズ切り替えレジスタ (IMS) により、内部フラッシュ・メモリ、内部高速RAM容量の変更可能。

パワーオン・クリア (POC) 回路, 低電圧検出 (LVI) 回路内蔵

低速内蔵発振によるCPUデフォルト・スタートにより、ショート・スタート・アップが可能

低速内蔵発振によるクロック・モニタ機能内蔵

ウォッチドッグ・タイマ (低速内蔵発振クロックで動作可能) 内蔵

I/Oポート : 14本

タイマ : 5チャンネル

シリアル・インタフェース

UART (LIN (Local Interconnect Network) -bus対応) : 1チャンネル

CSI1 : 1チャンネル

マンチェスタ・コード・ジェネレータ内蔵

10ビット分解能A/Dコンバータ : 4チャンネル

電源電圧 : $V_{DD} = 2.7 \sim 5.5$ V^{注1}

動作周囲温度 : $T_A = -40 \sim +85$ (標準品, (A) 水準品)^{注2}

$T_A = -40 \sim +110$ ((A1) 水準品)

$T_A = -40 \sim +125$ ((A2) 水準品)

注1. パワーオン・クリア (POC) 検出電圧 (V_{POC}) が2.85 V \pm 0.15 Vのため、3.0 ~ 5.5 Vの電圧範囲で使用してください。

- μ PD78F0862は、標準品と(A)水準品のみです。

1.2 応用分野

自動車実装

- ・Body電装系のシステム制御（パワー・ウインドウ，キーレス・エントリ受信など）
- ・制御系のサブマイコン

ホーム・オーディオ，カー・オーディオ

AV機器

PC周辺機器（キーボードなど）

家電製品

- ・エアコン室外機
- ・電子レンジ，炊飯器

産業機器

- ・ポンプ
- ・自動販売機
- ・FA（Factory Automation）

1.3 オーダ情報

(1) マスクROM製品

オーダ名称	パッケージ	品質水準
μ PD780861MC- x x x -5A4	20ピン・プラスチックSSOP（7.62 mm（300））	標準（一般電子機器用）
μ PD780861MC- x x x -5A4-A	”	”
μ PD780862MC- x x x -5A4	”	”
μ PD780862MC- x x x -5A4-A	”	”
μ PD780861MC(A)- x x x -5A4	”	特別（高信頼度電子機器用）
μ PD780861MC(A)- x x x -5A4-A	”	”
μ PD780862MC(A)- x x x -5A4	”	”
μ PD780862MC(A)- x x x -5A4-A	”	”
μ PD780861MC(A1)- x x x -5A4	”	”
μ PD780861MC(A1)- x x x -5A4-A	”	”
μ PD780862MC(A1)- x x x -5A4	”	”
μ PD780862MC(A1)- x x x -5A4-A	”	”
μ PD780861MC(A2)- x x x -5A4	”	”
μ PD780861MC(A2)- x x x -5A4-A	”	”
μ PD780862MC(A2)- x x x -5A4	”	”
μ PD780862MC(A2)- x x x -5A4-A	”	”

備考1. x x xはROMコード番号です。

2. オーダ名称末尾「-A」の製品は，鉛フリー製品です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」（資料番号 C11531J）をご覧ください。

(2) フラッシュ・メモリ製品

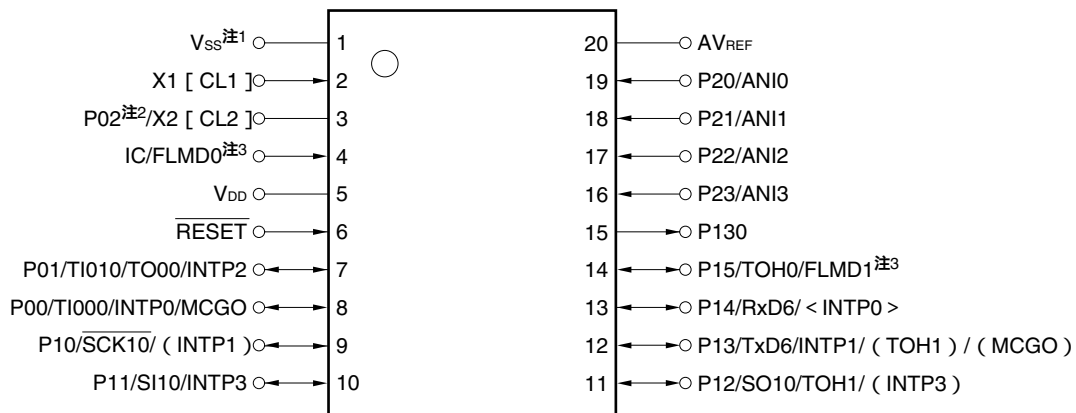
オーダ名称	パッケージ	品質水準
μPD78F0862MC-5A4	20ピン・プラスチックSSOP (7.62 mm (300))	標準 (一般電子機器用)
μPD78F0862MC-5A4-A	〃	〃
μPD78F0862AMC-5A4	〃	〃
μPD78F0862AMC-5A4-A	〃	〃
μPD78F0862MC(A)-5A4	〃	特別 (高信頼度電子機器用)
μPD78F0862MC(A)-5A4-A	〃	〃
μPD78F0862AMC(A)-5A4	〃	〃
μPD78F0862AMC(A)-5A4-A	〃	〃
μPD78F0862AMC(A1)-5A4	〃	〃
μPD78F0862AMC(A1)-5A4-A	〃	〃
μPD78F0862AMC(A2)-5A4	〃	〃
μPD78F0862AMC(A2)-5A4-A	〃	〃

備考 オーダ名称末尾「-A」の製品は、鉛フリー製品です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」
(資料番号 C11531J)をご覧ください。

1.4 端子接続図 (Top View)

・ 20ピン・プラスチックSSOP (7.62 mm (300))



- 注1. μ PD780862サブシリーズはV_{SS}とAV_{SS}を内部接続しています。V_{SS}を必ず安定しているGND (= 0 V) に接続してください。
2. P02は、高速システム・クロックに高速内蔵発振クロックを選択した場合、ポート入力端子として使用できます。
3. FLMD0, FLMD1は μ PD78F0862, 78F0862Aだけに有効です。

注意1. IC (Internally Connected) 端子はV_{SS}に直接接続してください。

2. AV_{REF}端子はV_{DD}に接続してください。

備考1. () 内の機能は、兼用端子切り替えレジスタ (PSEL) の設定により割り当て可能です。

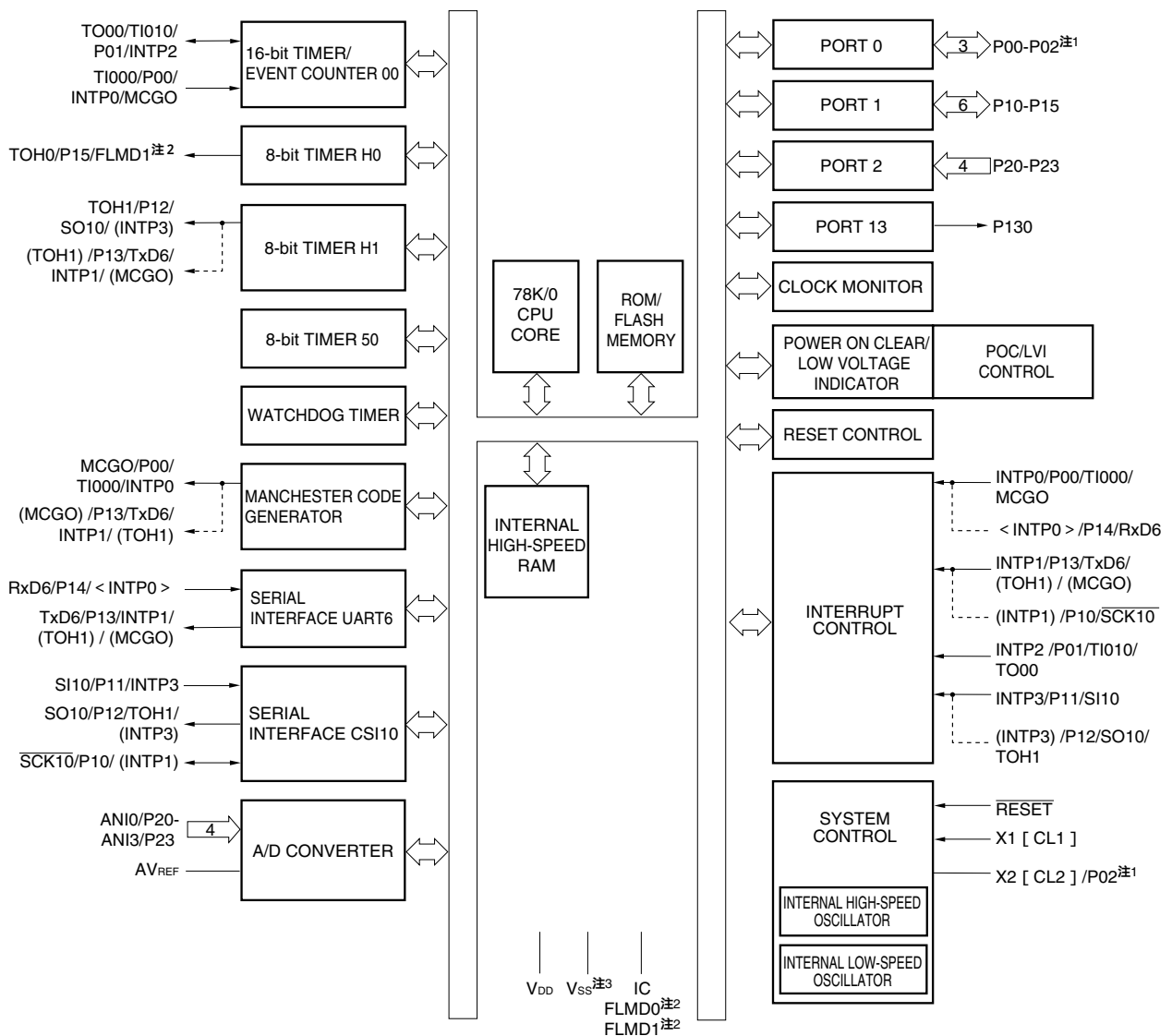
2. < > 内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

3. [] 内は、外部RC発振の場合の端子名です。

端子名称

ANI0-ANI3	: Analog Input	RxD6	: Receive Data
AV _{REF}	: Analog Reference Voltage	$\overline{\text{SCK10}}$: Serial Clock Input/Output
CL1, CL2	: RC Oscillator	SI10	: Serial Data Input
FLMD0, FLMD1	: Flash Programming Mode	SO10	: Serial Data Output
IC	: Internally Connected	TI000, TI010	: Timer Input
INTP0-INTP3	: External Interrupt Input	TO00,	
MCGO	: Manchester Cord Output	TOH0, TOH1	: Timer Output
P00-P02	: Port 0	TxD6	: Transmit Data
P10-P15	: Port 1	V _{DD}	: Power Supply
P20-P23	: Port 2	V _{SS}	: Ground
P130	: Port 13	X1, X2	: Crystal Oscillator (X1 Input clock)
$\overline{\text{RESET}}$: Reset		

1.5 ブロック図



注1. P02は、高速システム・クロックに高速内蔵発振クロックを選択した場合、ポート入力端子として使用できます。

2. FLMD0, FLMD1は、μ PD78F0862, 78F0862Aだけに有効です

3. μ PD780862サブシリーズはV_{SS}とAV_{SS}を内部接続しています。V_{SS}を必ず安定しているGND (= 0 V) に接続してください。

備考1. ()内の機能は、兼用端子切り替えレジスタ (PSEL) の設定により割り当て可能です。

2. < >内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

3. []内は、外部RC発振の場合の端子名です。

1.6 機能概要

(1/2)

項 目		μ PD780861	μ PD780862	μ PD78F0862, 78F0862A ^{注1}
内部メモリ	ROM	8 Kバイト	16 Kバイト	16 Kバイト (フラッシュ・メモリ)
	高速RAM	512バイト	768バイト	
メモリ空間		64 Kバイト		
高速システム・ クロック (発振周波数)	標準品, (A)水準品 注2	・水晶/セラミック/外部クロック発振 (2~10 MHz : V _{DD} = 4.0~5.5 V, 2~8.38 MHz : V _{DD} = 3.3~5.5V, 2~5 MHz : V _{DD} = 2.7~5.5 V) ・外部RC/外部クロック発振 (3~4 MHz : V _{DD} = 2.7~5.5 V) ・高速内蔵発振 (8 MHz (TYP.) : V _{DD} = 4.0~5.5 V)		
	(A1)水準品	・水晶/セラミック/外部クロック発振 (2~10 MHz : V _{DD} = 4.0~5.5 V, 2~5 MHz : V _{DD} = 2.7~5.5 V) ・外部RC/外部クロック発振 (3~4 MHz : V _{DD} = 2.7~5.5 V) ・高速内蔵発振 (8 MHz (TYP.) : V _{DD} = 4.0~5.5 V)		
	(A2)水準品	・水晶/セラミック/外部クロック発振 (2~9.2 MHz : V _{DD} = 4.0~5.5 V, 2~5 MHz : V _{DD} = 2.7~5.5 V) ・外部RC/外部クロック発振 (3~4 MHz : V _{DD} = 2.7~5.5 V) ・高速内蔵発振 (8 MHz (TYP.) : V _{DD} = 4.0~5.5 V)		
低速内蔵発振クロック (発振周波数)	・低速内蔵発振 (240 kHz (TYP.) : V _{DD} = 2.7~5.5 V)			
汎用レジスタ	8ビット×32レジスタ(8ビット×8レジスタ×4バンク)			
最小命令実行時間	0.2 μs/0.4 μs/0.8 μs/1.6 μs/3.2 μs (高速システム・クロック : f _{XH} = 10 MHz動作時)			
	8.3 μs/16.7 μs (TYP.) (低速内蔵発振クロック : f _R = 240 kHz (TYP.)動作時)			
命令セット	・16ビット演算・乗除算(8ビット×8ビット, 16ビット÷8ビット) ・ビット操作(セット, リセット, テスト, プール演算) ・BCD補正など			
I/O ポート	合計 : 14本 CMOS入出力 : 8本 CMOS入力 : 5本 CMOS出力 : 1本			
タイマ	・16ビット・タイマ/イベント・カウンタ : 1チャンネル ・8ビット・タイマ : 3チャンネル ・ウォッチドッグ・タイマ : 1チャンネル			
A/Dコンバータ	10ビット分解能×4チャンネル			

注1. μ PD78F0862とμ PD78F0862Aの違いは、フラッシュ・メモリの特性のみです。詳細については、電氣的特性の章の「フラッシュ・メモリ・プログラミング特性」を参照してください。

2. μ PD78F0862は、標準品と(A)水準品のみです。

項 目	μ PD780861	μ PD780862	μ PD78F0862, 78F0862A ^{注1}
シリアル・インタフェース	・ LIN-bus対応UART モード : 1チャンネル ・ 3線式シリアルI/Oモード : 1チャンネル		
マンチェスタ・コード・ジェネレータ	1チャンネル		
ベクタ割り込み 要因	内部	12	
	外部	4	
リセット	・ RESET端子によるリセット ・ ウォッチドッグ・タイマによる内部リセット ・ クロック・モニタによる内部リセット ・ パワーオン・クリアによる内部リセット ・ 低電圧検出回路による内部リセット		
電源電圧	$V_{DD} = 2.7 \sim 5.5 V$ ^{注2}		
動作周囲温度	標準品, (A) 水準品 ^{注3} : $T_A = -40 \sim +85$ (A1) 水準品 : $T_A = -40 \sim +110$ (A2) 水準品 : $T_A = -40 \sim +125$		
パッケージ	20ピン・プラスチックSSOP (7.62 mm (300))		

注1. μ PD78F0862と μ PD78F0862Aの違いは、フラッシュ・メモリの特性のみです。詳細については、電気的特性の章の「フラッシュ・メモリ・プログラミング特性」を参照してください。

2. パワーオン・クリア (POC) 検出電圧 (V_{POC}) が $2.85 V \pm 0.15 V$ のため、 $3.0 \sim 5.5 V$ の電圧範囲で使用してください。
3. μ PD78F0862は、標準品と (A) 水準品のみです。

次にタイマの概要を示します。

		16ビット・タイマ/ イベント・カウンタ00	8ビット・タイマ50	8ビット・ タイマH0, H1		ウォッチドッグ・ タイマ
				TMH0	TMH1	
動作モード	インターバル・ タイマ	1チャンネル	1チャンネル	1チャンネル	1チャンネル	-
	外部イベント・ カウンタ	1チャンネル	-	-	-	-
	ウォッチドッグ ・タイマ	-	-	-	-	1チャンネル
機能	タイマ出力	1出力	-	1出力	1出力	-
	PPG出力	1出力	-	-	-	-
	PWM出力	-	-	1出力	1出力	-
	パルス幅測定	2入力	-	-	-	-
	方形波出力	1出力	-	-	-	-
	割り込み要因	2	1	1	1	-

第2章 端子機能

2.1 端子機能一覧

端子の入出力バッファ電源には、AVREF、VDDの2系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電源	対応する端子
AVREF	P20-P23
VDD	P20-P23以外の端子

(1) ポート端子

端子名称	入出力	機能		リセット時	兼用端子
P00	入出力	ポート0。 3ビット入出力ポート。	1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	TI000/INTP0/MCGO
P01					TI010/TO00/INTP2
P02 ^{注1}					入力専用
P10	入出力	ポート1。 6ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		入力	SCK10/ (INTP1)
P11					SI10/INTP3
P12					SO10/TOH1/ (INTP3)
P13					TxD6/INTP1/ (TOH1) / (MCGO)
P14					RxD6/ < INTP0 >
P15					TOH0/FLMD1 ^{注2}
P20-P23	入力	ポート2。 4ビット入力専用ポート。		入力	ANI0-ANI3
P130	出力	ポート13。 1ビット出力専用ポート。		出力	-

注1. 高速システム・クロックに高速内蔵発振クロックを選択した場合、ポート入力端子として使用できます。

2. FLMD1は、μPD78F0862、78F0862Aのみ。

備考1. ()内の機能は、兼用端子切り替えレジスタ (PSEL) の設定により割り当て可能です。

2. < >内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

3. []内は、外部RC発振の場合の端子名です。

(2) ポート以外の端子

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入力	有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力	入力	P00/TI000/MCGO
<INTP0>				P14/RxD6
INTP1				P13/TxD6/ (TOH1)/(MCGO)
(INTP1)				P10/SCK10
INTP2				P01/TI010/TO00
INTP3				P11/SI10
(INTP3)				P12/SO10/TOH1
SI10	入力	シリアル・インタフェースのシリアル・データ入力	入力	P11/INTP3
SO10	出力	シリアル・インタフェースのシリアル・データ出力	入力	P12/TOH1/(INTP3)
SCK10	入出力	シリアル・インタフェースのクロック入力/出力	入力	P10/(INTP1)
RxD6	入力	アシンクロナス・シリアル・インタフェースのシリアル・データ入力	入力	P14/<INTP0>
TxD6	出力	アシンクロナス・シリアル・インタフェースのシリアル・データ出力	入力	P13/INTP1/ (TOH1)/(MCGO)
MCGO	出力	マンチェスタ・コード出力	入力	P00/TI000/INTP0
(MCGO)				P13/TxD6/INTP1/ (TOH1)
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ(CR000, CR010)へのキャプチャ・トリガ入力	入力	P00/INTP0/MCGO
TI010		16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ(CR000)へのキャプチャ・トリガ入力		P01/TO00/INTP2
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力	P01/TI010/INTP2
TOH0	出力	8ビット・タイマH出力	入力	P15/FLMD1 ^{注1}
TOH1				P12/SO10/(INTP3)
(TOH1)				P13/TxD6/INTP1/ (MCGO)
ANI0-ANI3	入力	A/Dコンバータのアナログ入力	入力	P20-P23
AV _{REF}	入力	A/Dコンバータの基準電圧入力およびポート2の正電源	-	-
RESET	入力	システム・リセット入力	-	-
X1 [CL1]	入力	高速システム・クロック用発振子接続	-	-
X2 [CL2]	-	[高速システム・クロック用RC接続]	入力	P02
V _{DD}	-	正電源	-	-
V _{SS} ^{注2}	-	グランド電位	-	-
IC	-	内部接続されています。V _{SS} に直接接続してください。	-	-
FLMD0 ^{注1}	-	フラッシュ・メモリ・プログラミング・モード引き込み	-	-
FLMD1 ^{注1}	-		-	P15/TOH0

注1 . FLMD0, FLMD1は, μ PD78F0862, 78F0862Aのみ。

2 . μ PD780862サブシリーズはV_{SS}とAV_{SS}を内部接続しています。V_{SS}を必ず安定しているGND (= 0 V) に接続してください。

備考1 . () 内の機能は, 兼用端子切り替えレジスタ (PSEL) の設定により割り当て可能です。

2 . < > 内の機能は, 入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

3 . [] 内は, 外部RC発振の場合の端子名です。

2.2 端子機能の説明

2.2.1 P00-P02 (Port 0)

3ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、マンチェスタ・コード出力、タイマの入出力、高速システム・クロック発振用水晶/セラミック接続 [RC接続] 機能があります。

1ビット単位で次のような動作モードを指定できます。

注意 P02は、高速システム・クロックに高速内蔵発振クロックを選択した場合、ポート入力端子として使用できます。

(1) ポート・モード

P00, P01は入出力ポート, P02は入力専用ポートとして機能します。P00, P01はポート・モード・レジスタ0 (PM0) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) の設定により, 内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力, マンチェスタ・コード出力, タイマの入出力, 高速システム・クロック発振用水晶/セラミック接続 [RC接続] として機能します。

(a) INTP0, INTP2

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) MCGO

マンチェスタ・コード出力端子です。

(c) TI000

16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ信号入力端子です。

(d) TI010

16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ信号入力端子です。

(e) TO00

タイマ出力端子です。

(f) X2 [CL2]

高速システム・クロック発振用水晶/セラミック接続 [RC接続] 端子です。

2.2.2 P10-P15 (Port 1)

6ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの出力、フラッシュ・メモリ・プログラミング・モード引き込み機能があります。

また、兼用端子切り替えレジスタ (PSEL)、入力切り替え制御レジスタ (ISC) の設定により、外部割り込み要求入力、タイマの出力、マンチェスタ・コード出力を割り当てることができます。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

6ビットの入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの出力、フラッシュ・メモリ・プログラミング・モードの引き込み、マンチェスタ・コード出力として機能します。

(a) SI10

シリアル・インタフェースのシリアル・データの入力端子です。

(b) SOI0

シリアル・インタフェースのシリアル・データの出力端子です。

(c) $\overline{\text{SCK10}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(d) INTP0, INTP1, INTP3

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(e) RxD6

アシンクロナス・シリアル・インタフェースのシリアル・データの入力端子です。

(f) TxD6

アシンクロナス・シリアル・インタフェースのシリアル・データの出力端子です。

(g) TOH0, TOH1

タイマ出力端子です。

(h) MCGO

マンチェスタ・コード出力端子です。

(i) FLMD1^注

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

注 μ PD78F0862, 78F0862Aのみ

2.2.3 P20-P23 (Port 2)

4ビットの入力専用ポートです。入力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入力専用ポートとして機能します。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI3) として機能します。アナログ入力端子として使用する場合, 10.6 A/Dコンバータの注意事項 (5) ANI0/P20-ANI3/P23を参照してください。

2.2.4 P130 (Port 13)

1ビットの出力専用ポートです。

2.2.5 AVREF

A/Dコンバータの基準電圧入力端子および正電源供給端子です。

A/Dコンバータを使用しない場合は, V_{DD} に直接接続してください。

2.2.6 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.7 X1, X2

高速システム・クロック用発振子接続端子です。

外部クロックを供給するときは, X1に入力し, X2にその反転信号を入力してください。

備考 高速システム・クロックに内蔵高速発振クロックを選択した場合に, X2 [CL2] 端子はポート入力端子 (P02) として使用できます。

2.2.8 CL1, CL2

高速システム・クロック用抵抗 (R), コンデンサ (C) 接続端子です。外部クロックを供給するときは, CL1に入力し, CL2にその反転信号を入力してください。

備考 高速システム・クロックに内蔵高速発振クロックを選択した場合に, X2 [CL2] 端子はポート入力端子 (P02) として使用できます。

2.2.9 V_{DD}

正電源供給端子です。

2.2.10 Vss

グランド電位端子です。

注意 μ PD780862サブシリーズはVssとAVssを内部接続しています。Vssを必ず安定しているGND (= 0 V) に接続してください。

2.2.11 FLMD0, FLMD1 (フラッシュ・メモリ製品のみ)

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

通常動作モード時は、FLMD0をVssに接続してください (FLMD1はdon't care)。

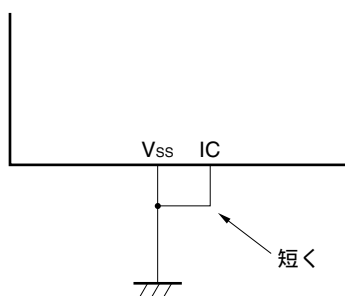
フラッシュ・メモリ・プログラミング・モード時には、フラッシュ・ライタと必ず接続してください。

2.2.12 IC (マスクROM製品のみ)

IC (Internally Connected) 端子は、当社出荷時に μ PD780862サブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作モード時には、IC端子をVss端子に直接接続し、その配線長を極力短くしてください。

IC端子とVss端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とVss端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

IC端子をVss端子に直接接続してください。



2.3 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表2-2に示します。

また、各タイプの入出力回路の構成は、図2-1を参照してください。

表2-2 各端子の入出力回路タイプ

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/TI000/INTP0/MCGO	8-A	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P01/TI010/TO00/INTP2			
P02 ^{注1} /X2 [CL2]	16	入力	V _{SS} に直接接続してください。
P10/SCK10/ (INTP1)	8-A	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P11/SI10/INTP3			
P12/SO10/TOH1/ (INTP3)	5-A		
P13/TxD6/INTP1/ (TOH1)/ (MCGO)			
P14/RxD6/ < INTP0 >	8-A		
P15/TOH0/FLMD1 ^{注2}	5-A		
P20/ANI0-P23/ANI3	9-C	入力	AV _{REF} またはV _{SS} に直接接続してください。
P130	3-C	出力	オープンにしてください。
RESET	2	入力	-
AV _{REF}	-	入力	V _{DD} に直接接続してください。
X1 [CL1]	16	-	
IC	-		V _{SS} に直接接続してください。
FLMD0 ^{注2}			V _{SS} に接続してください。

注1. 高速システム・クロックに高速内蔵発振クロックを選択した場合、ポート入力端子として使用できます。

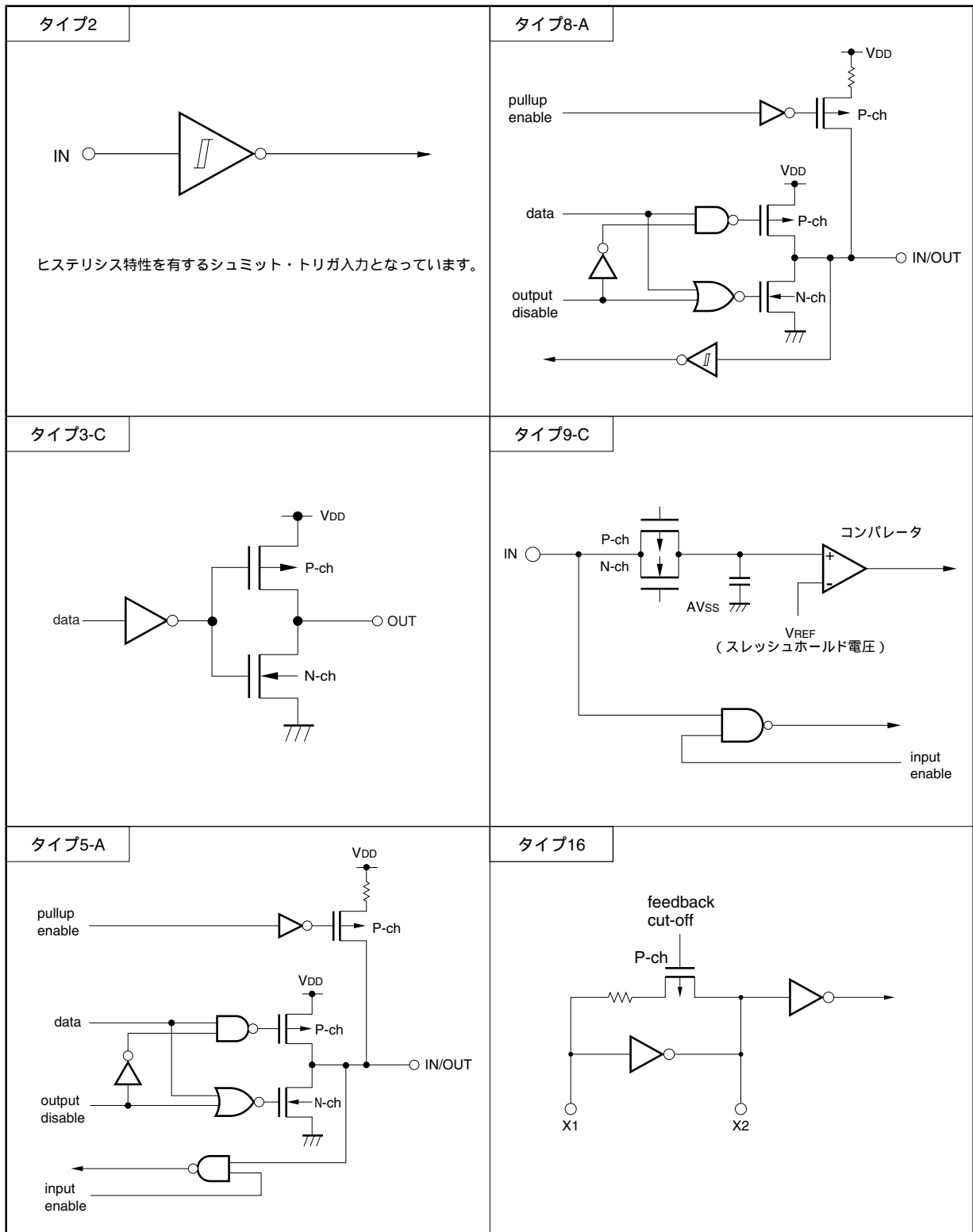
2. FLMD0, FLMD1は、μ PD78F0862, 78F0862Aのみ。

備考1. ()内の機能は、兼用端子切り替えレジスタ (PSEL) の設定により割り当て可能です。

2. < >内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

3. []内は、外部RC発振の場合の端子名です。

図2 - 1 端子の入出力回路一覧



第3章 CPUアーキテクチャ

3.1 メモリ空間

μ PD780862サブシリーズは、それぞれ64 Kバイトのメモリ空間をアクセスできます。図3 - 1から図3 - 3に、メモリ・マップを示します。

注意 メモリ・サイズ切り替えレジスタ (IMS) の初期値は内部メモリ容量にかかわらず、μ PD780862サブシリーズすべての製品において一定 (CFH) となっています。したがって、各製品ごとに次に示す値を必ず設定してください。

表3 - 1 メモリ切り替えレジスタ (IMS) 設定値

	メモリ・サイズ切り替えレジスタ (IMS)
μ PD780861	42H
μ PD780862	04H
μ PD78F0862, 78F0862A	マスクROM製品に対応した値

図3 - 1 メモリ・マップ (μPD780861)

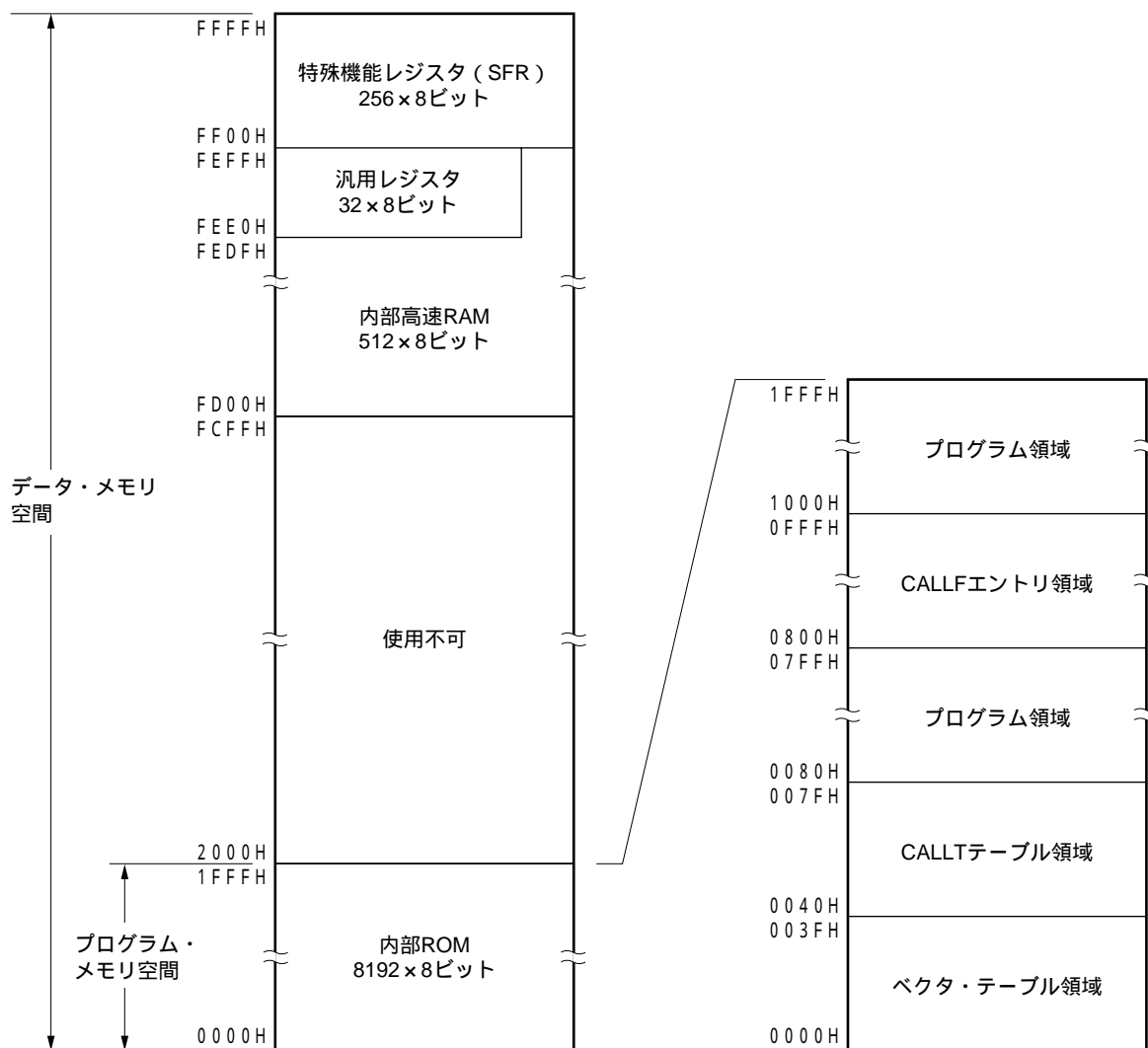


図3-2 メモリ・マップ (μPD780862)

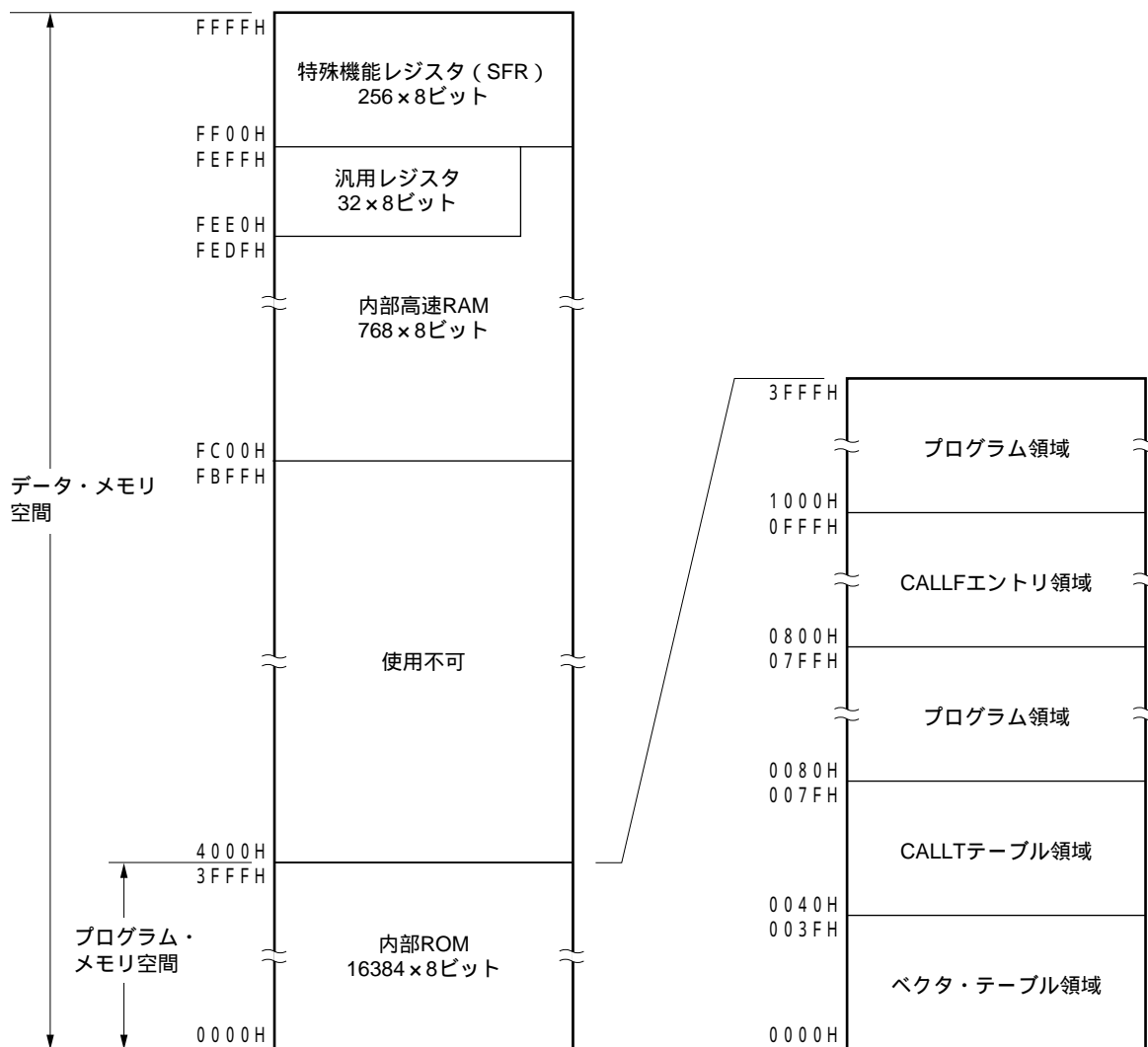
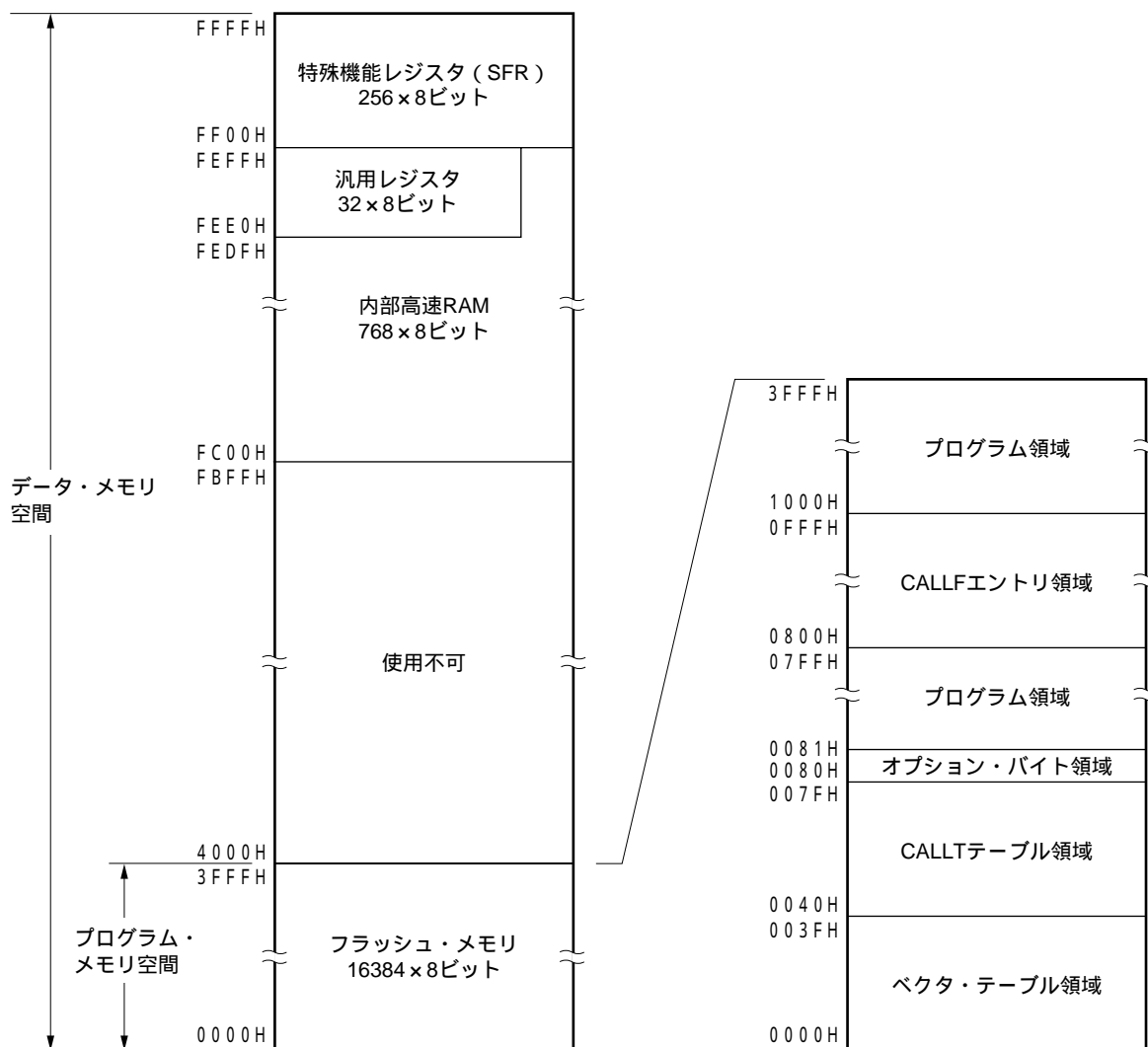


図3 - 3 メモリ・マップ (μ PD78F0862, 78F0862A)



3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μ PD780862サブシリーズは、各製品ごとに次に示す内部ROM（マスクROMまたはフラッシュ・メモリ）を内蔵しています。

表3 - 2 内部メモリ容量

製 品	内部ROM	
	構 造	容 量
μ PD780861	マスクROM	8192 × 8ビット (0000H-1FFFH)
μ PD780862		16384 × 8ビット (0000H-3FFFH)
μ PD78F0862, 78F0862A	フラッシュ・メモリ	

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3 - 3 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス	割り込み要因
0000H	RESET入力, POC, LVI, クロック・モニタ, WDT	0014H	INTSR6
		0016H	INTST6
0004H	INTLVI	0018H	INTCSI10
0006H	INTP0	001AH	INTTMH1
0008H	INTP1	001CH	INTTMH0
000AH	INTP2	001EH	INTTM50
000CH	INTP3	0020H	INTTM000
000EH	INTMCG	0022H	INTTM010
0012H	INTSRE6	0024H	INTAD

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

(3) オプション・バイト領域（フラッシュ・メモリ製品のみ）

0080Hの1バイト領域にオプション・バイト領域を用意しています。詳細は、第20章 マスク・オプション/オプション・バイトを参照してください。

(4) CALLF命令エントリ領域

0800H-0FFFHの領域は、2バイト・コール命令（CALLF）で直接サブルーチン・コールすることができます。

3.1.2 内部データ・メモリ空間

μ PD780862サブシリーズは、次に示す内部高速RAMを内蔵しています。

表3 - 4 内部高速RAM容量

製 品	内部高速RAM
μ PD780861	512×8ビット (FD00H-FEFFFH)
μ PD780862	768×8ビット (FC00H-FEFFFH)
μ PD78F0862, 78F0862A	

このうちFEE0H-FEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。

プログラム領域として命令を書いて実行することはできません。

また、内部高速RAMはスタック・メモリとしても使用できます。

3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (3.2.3 特殊機能レジスタ (SFR : Special Function Register) の表3 - 5 特殊機能レジスタ一覧参照)。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.4 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。次に実行する命令のアドレスはプログラム・カウンタ(PC)によりアドレスされます(詳細については、3.3 命令アドレスのアドレッシングを参照してください)。

一方、命令を実行する際に操作対象となるメモリのアドレッシングについて、 μ PD780862サブシリーズでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ(SFR)や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-4から図3-6にデータ・メモリのアドレッシングを示します。各アドレッシングの詳細については、3.4 オペランド・アドレスのアドレッシングを参照してください。

図3-4 データ・メモリのアドレッシング (μ PD780861)

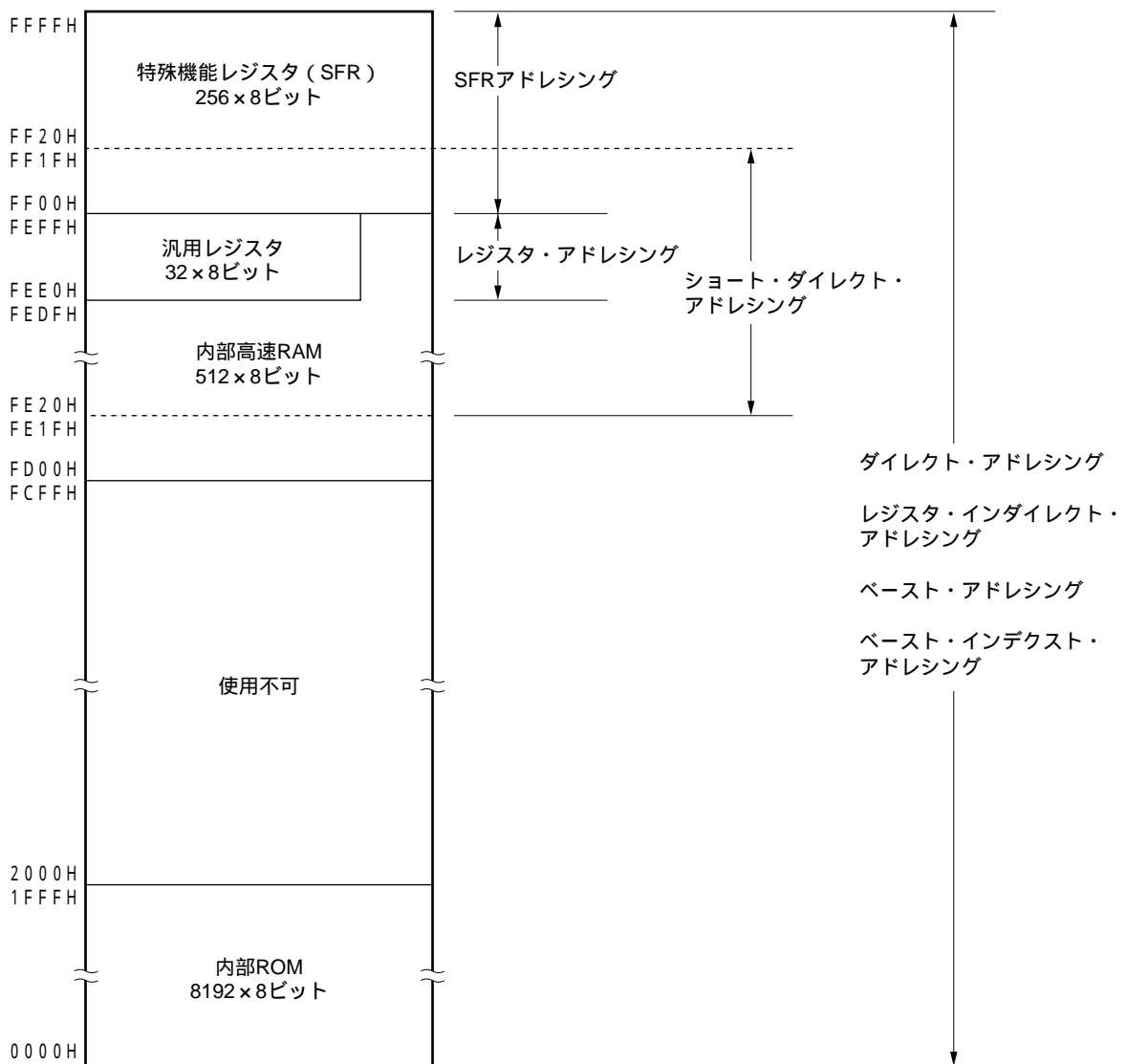


図3-5 データ・メモリのアドレッシング (μ PD780862)

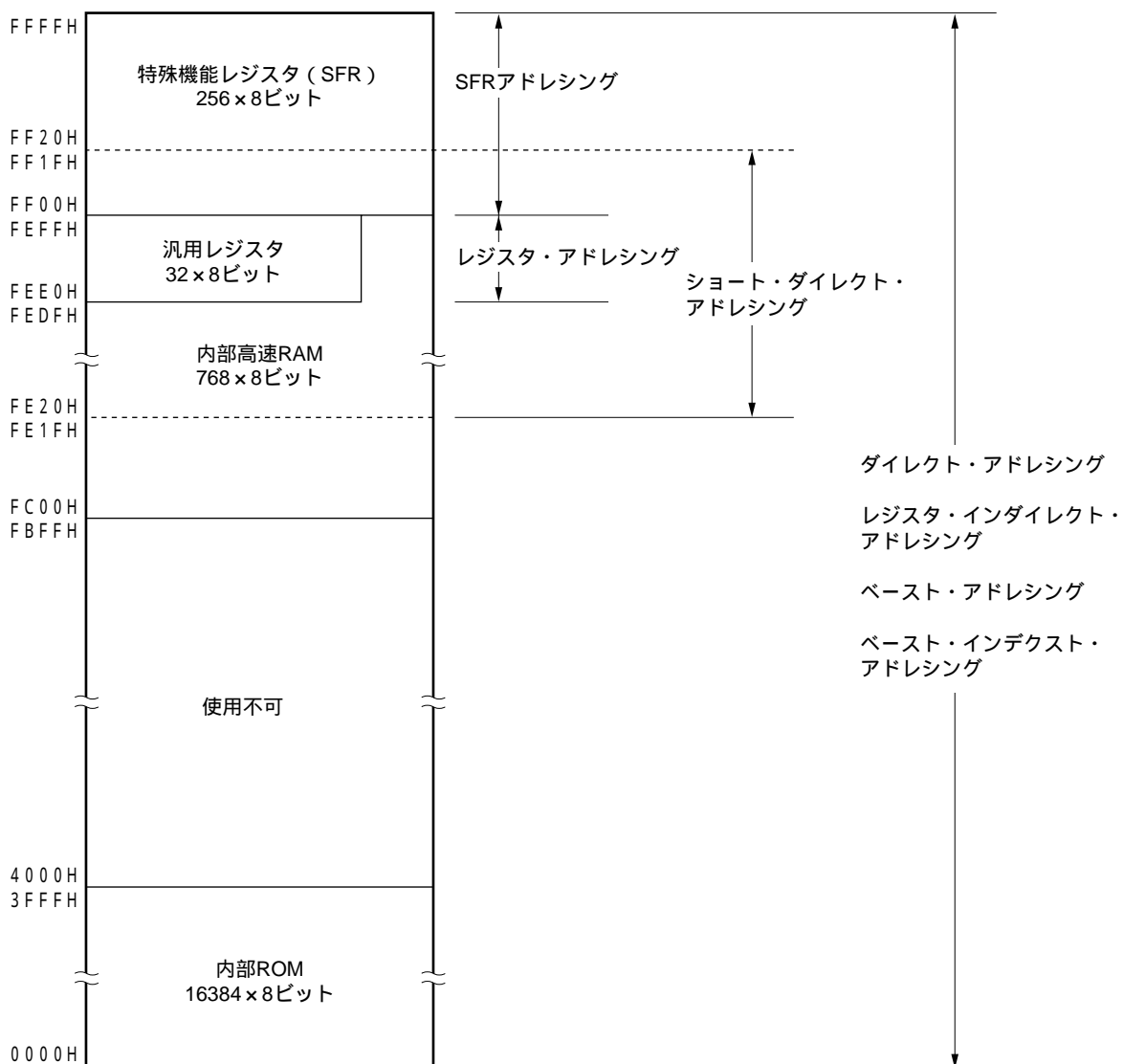
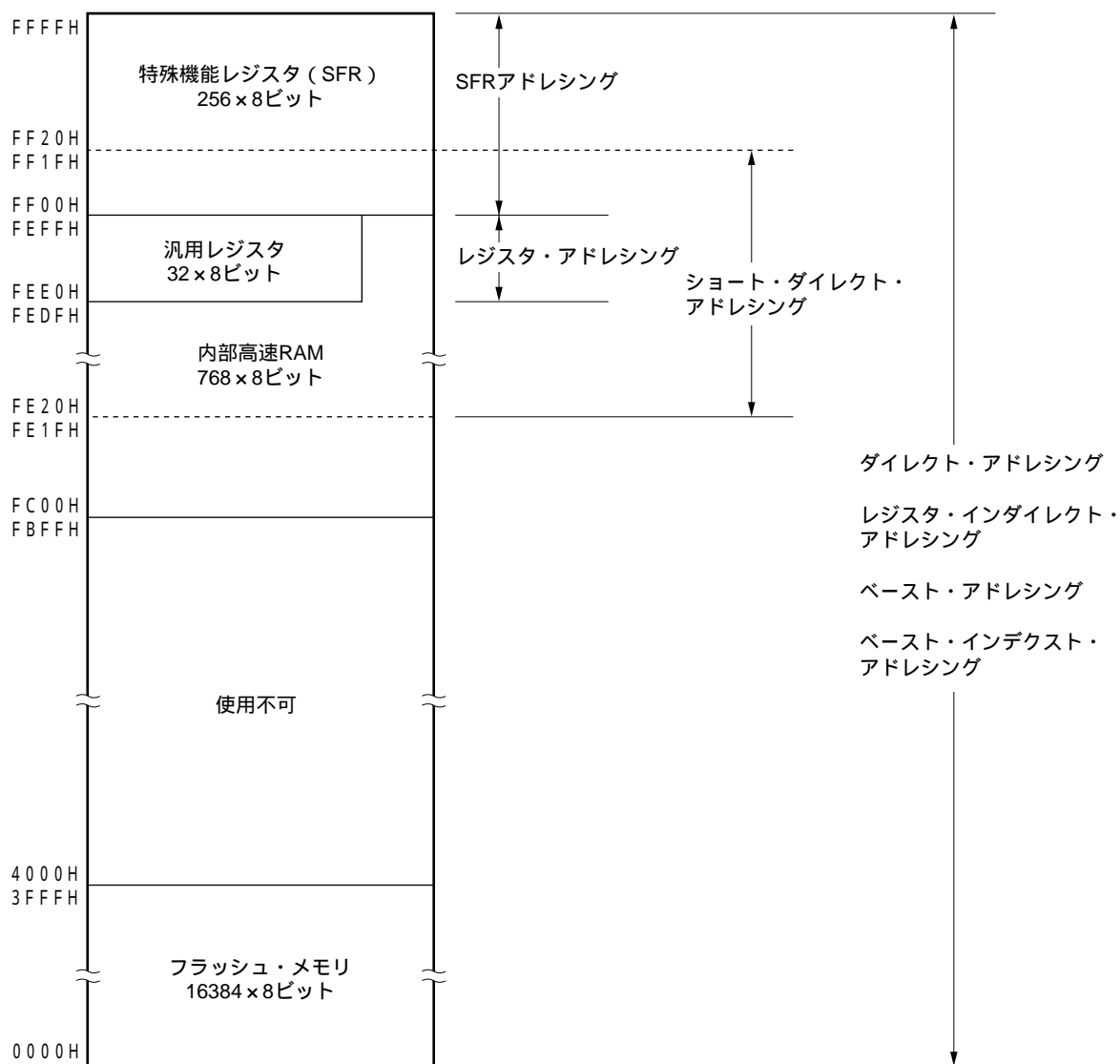


図3-6 データ・メモリのアドレッシング (μ PD78F0862, 78F0862A)



3.2 プロセッサ・レジスタ

μ PD780862サブシリーズは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ (PC)、プログラム・ステータス・ワード (PSW)、スタック・ポインタ (SP) があります。

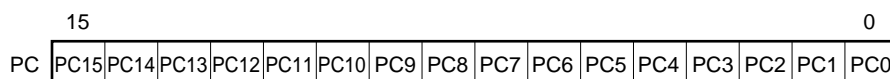
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-7 プログラム・カウンタの構成



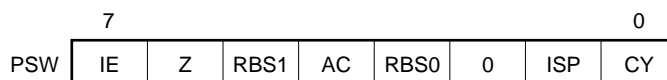
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETB、RETI命令およびPOP PSW命令の実行時に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図3-8 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、マスクブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ (ISP)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット (0) され、EI命令の実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(e) インサービス・プライオリティ・フラグ (ISP)

受け付け可能なマスクブル・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ (PROL, PROH, PR1L) (14. 3(3)優先順位指定フラグ・レジスタ (PROL, PROH, PR1L) 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

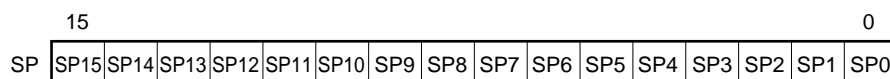
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 9 スタック・ポインタの構成



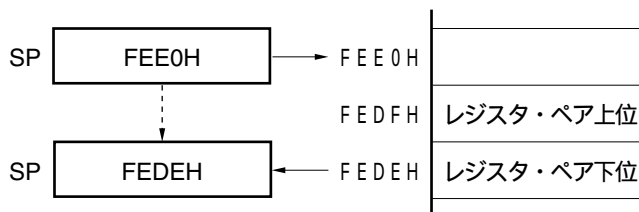
スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図3 - 10, 3 - 11のようになります。

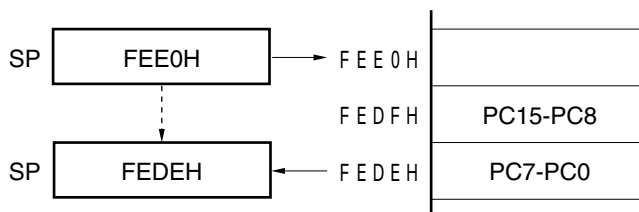
注意 SPの内容はRESET入力により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

図3 - 10 スタック・メモリへ退避されるデータ

(a) PUSH rp命令 (SPがFEE0Hの場合)



(b) CALL, CALLF, CALLT命令 (SPがFEE0Hの場合)



(c) 割り込み, BRK命令 (SPがFEE0Hの場合)

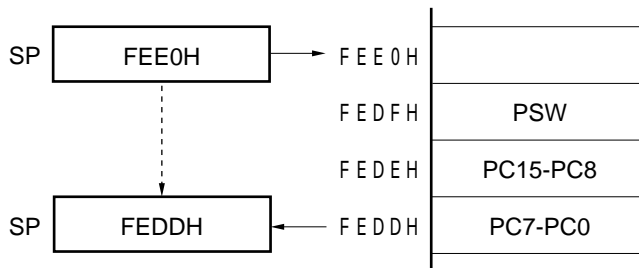
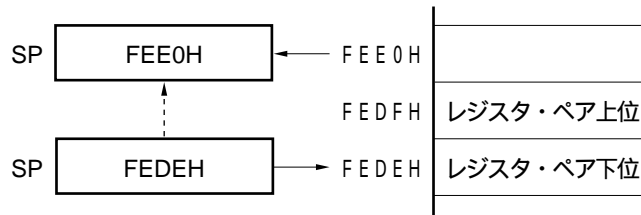
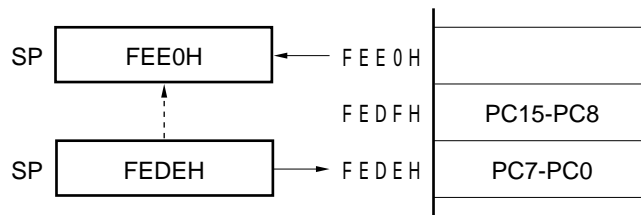


図3 - 11 スタック・メモリから復帰されるデータ

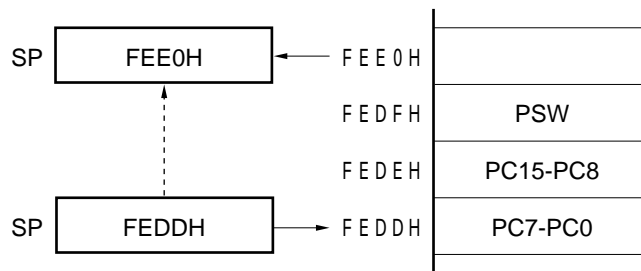
(a) POP rp命令 (SPがFEDEHの場合)



(b) RET命令 (SPがFEDEHの場合)



(c) RETI, RETB命令 (SPがFEDDHの場合)



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地 (FEE0H-FEFFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

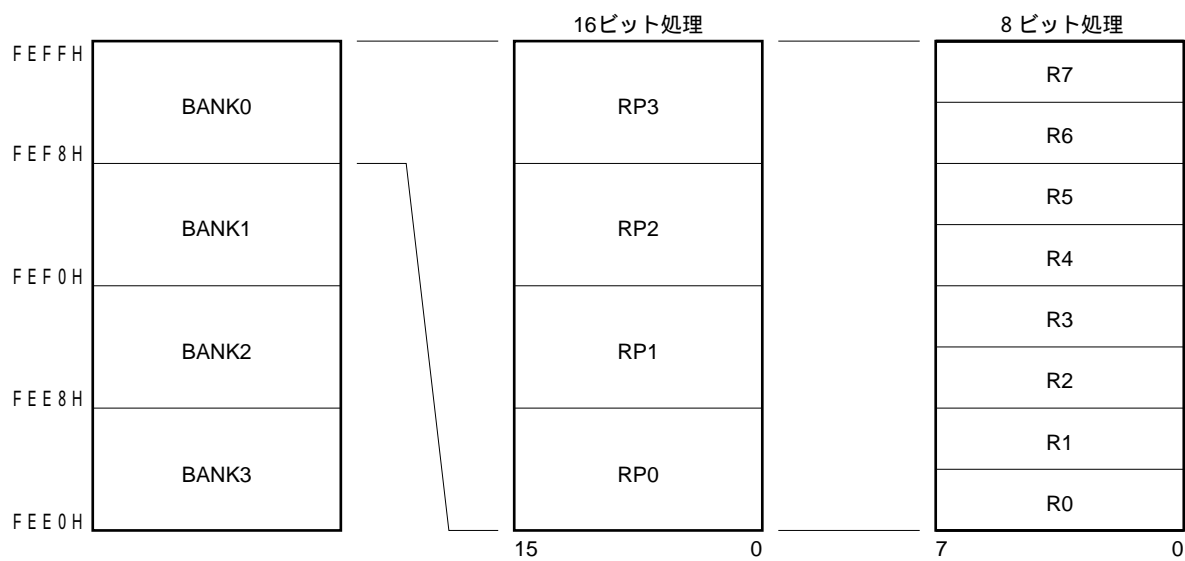
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

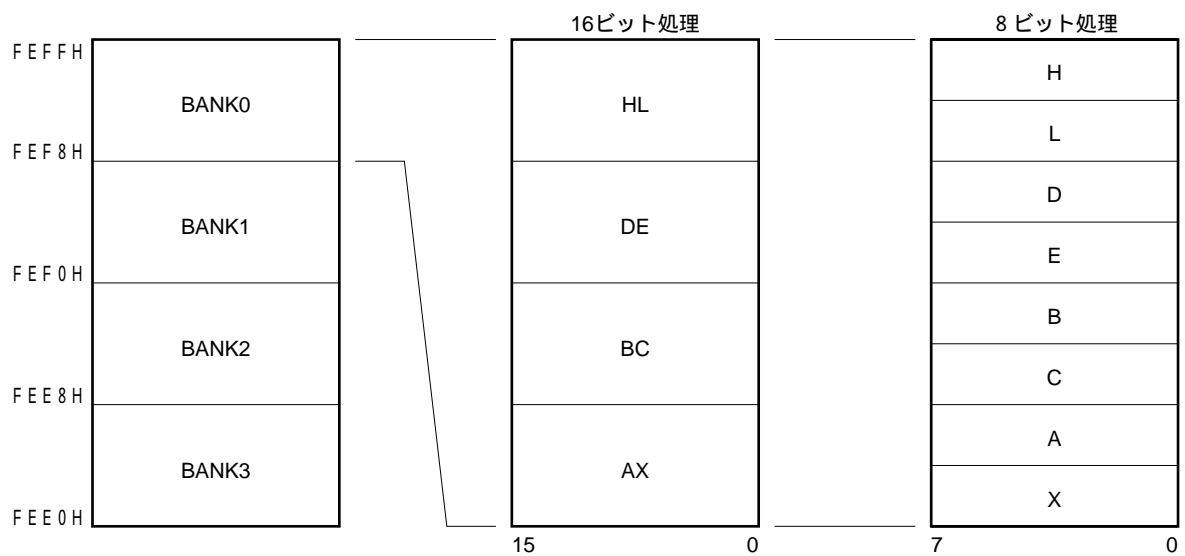
命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図3 - 12 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3.2.3 特殊機能レジスタ (SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

・1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

・8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

・16ビット操作

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 5に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

・略号

特殊機能レジスタのアドレスを示す略号です。RA78K0では予約語に、CC78K0では#pragma sfr指令で、sfr変数として定義されているものです。RA78K0, ID78K0-NS, ID78K0およびSM78K0使用時に命令のオペランドとして記述できます。

・R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

・操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を で示します。- は操作できないビット単位であることを示します。

・リセット時

RESET入力時の各レジスタの状態を示します。

表3-5 特殊機能レジスタ一覧(1/3)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FF00H	ポート・レジスタ0	P0	R/W			-	00H
FF01H	ポート・レジスタ1	P1	R/W			-	00H
FF02H	ポート・レジスタ2	P2	R			-	00H
FF08H	A/D変換結果レジスタ	ADCR	R	-	-		不定
FF09H							
FF0AH	受信バッファ・レジスタ6	RXB6	R	-		-	FFH
FF0BH	送信バッファ・レジスタ6	TXB6	R/W	-		-	FFH
FF0DH	ポート・レジスタ13	P13	R/W			-	00H
FF0FH	シリアルI/Oシフト・レジスタ10	SIO10	R	-		-	00H
FF10H	16ビット・タイマ・カウンタ00	TM00	R	-	-		0000H
FF11H							
FF12H	16ビット・タイマ・キャプチャ/コンペア・レジスタ000	CR000	R/W	-	-		0000H
FF13H							
FF14H	16ビット・タイマ・キャプチャ/コンペア・レジスタ010	CR010	R/W	-	-		0000H
FF15H							
FF16H	8ビット・タイマ・カウンタ50	TM50	R	-		-	00H
FF17H	8ビット・タイマ・コンペア・レジスタ50	CR50	R/W	-		-	00H
FF18H	8ビット・タイマHコンペア・レジスタ00	CMP00	R/W	-		-	00H
FF19H	8ビット・タイマHコンペア・レジスタ10	CMP10	R/W	-		-	00H
FF1AH	8ビット・タイマHコンペア・レジスタ01	CMP01	R/W	-		-	00H
FF1BH	8ビット・タイマHコンペア・レジスタ11	CMP11	R/W	-		-	00H
FF20H	ポート・モード・レジスタ0	PM0	R/W			-	FFH
FF21H	ポート・モード・レジスタ1	PM1	R/W			-	FFH
FF28H	A/Dコンバータ・モード・レジスタ	ADM	R/W			-	00H
FF29H	アナログ入力チャネル指定レジスタ	ADS	R/W			-	00H
FF2AH	パワーフェイル比較モード・レジスタ	PFM	R/W			-	00H
FF2BH	パワーフェイル比較しきい値レジスタ	PFT	R/W	-		-	00H
FF30H	ブルアップ抵抗オプション・レジスタ0	PU0	R/W			-	00H
FF31H	ブルアップ抵抗オプション・レジスタ1	PU1	R/W			-	00H
FF48H	外部割り込み立ち上がりエッジ許可レジスタ	EGP	R/W			-	00H
FF49H	外部割り込み立ち下がりエッジ許可レジスタ	EGN	R/W			-	00H
FF4FH	入力切り替え制御レジスタ	ISC	R/W			-	00H
FF50H	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6	ASIM6	R/W			-	01H
FF53H	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6	ASIS6	R	-		-	00H
FF55H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6	ASIF6	R	-		-	00H
FF56H	クロック選択レジスタ6	CKSR6	R/W	-		-	00H
FF57H	ポー・レート・ジェネレータ・コントロール・レジスタ6	BRGC6	R/W	-		-	FFH
FF58H	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6	ASICL6	R/W			-	16H
FF60H	MCGコントロール・レジスタ0	MC0CTL0	R/W			-	10H
FF61H	MCGコントロール・レジスタ1	MC0CTL1	R/W	-		-	00H

表3-5 特殊機能レジスタ一覧(2/3)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FF62H	MCGコントロール・レジスタ2	MC0CTL2		R/W	-		-	1FH
FF63H	MCGステータス・レジスタ	MC0STR		R			-	00H
FF64H	MCG送信バッファ・レジスタ	MC0TX	MC0TX	R/W	-			FFH
FF65H	MCG送信ビット数指定レジスタ	BW	MC0BIT	R/W	-			07H
FF69H	8ビット・タイマHモード・レジスタ0	TMHMD0		R/W			-	00H
FF6AH	タイマ・クロック選択レジスタ50	TCL50		R/W	-		-	00H
FF6BH	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50		R/W			-	00H
FF6CH	8ビット・タイマHモード・レジスタ1	TMHMD1		R/W			-	00H
FF6DH	8ビット・タイマHキャリア・コントロール・レジスタ1	TMCYC1		R/W			-	00H
FF70H	兼用端子切り替えレジスタ	PSEL		R/W			-	00H
FF71H	タイマ・クロック切り替え制御レジスタ	CSEL		R/W			-	00H
FF80H	シリアル動作モード・レジスタ10	CSIM10		R/W			-	00H
FF81H	シリアル・クロック選択レジスタ10	CSIC10		R/W			-	00H
FF84H	送信バッファ・レジスタ10	SOTB10		R/W	-		-	不定
FF98H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM		R/W	-		-	67H
FF99H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	-		-	9AH
FFA0H	低速内蔵発振モード・レジスタ	RCM		R/W			-	00H
FFA1H	メイン・クロック・モード・レジスタ	MCM		R/W			-	00H
FFA2H	メインOSCコントロール・レジスタ	MOC		R/W			-	00H
FFA3H	発振安定時間カウンタ状態レジスタ	OSTC		R			-	00H
FFA4H	発振安定時間選択レジスタ	OSTS		R/W	-		-	05H
FFA9H	クロック・モニタ・モード・レジスタ	CLM		R/W			-	00H
FFACH	リセット・コントロール・フラグ・レジスタ	RESF		R	-		-	00H ^注
FFBAH	16ビット・タイマ・モード・コントロール・レジスタ00	TMC00		R/W			-	00H
FFBBH	プリスケアラ・モード・レジスタ00	PRM00		R/W			-	00H
FFBCH	キャプチャ/コンペア・コントロール・レジスタ00	CRC00		R/W			-	00H
FFBDH	16ビット・タイマ出力コントロール・レジスタ00	TOC00		R/W			-	00H
FFBEH	低電圧検出レジスタ	LVIM		R/W			-	00H
FFBFH	低電圧検出レベル選択レジスタ	LVIS		R/W	-		-	00H
FFE0H	割り込み要求フラグ・レジスタ0L	IF0	IF0L	R/W				00H
FFE1H	割り込み要求フラグ・レジスタ0H		IF0H	R/W				00H
FFE2H	割り込み要求フラグ・レジスタ1L	IF1L		R/W			-	00H
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L	R/W				FFH
FFE5H	割り込みマスク・フラグ・レジスタ0H		MK0H	R/W				FFH
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L		R/W			-	FFH
FFE8H	優先順位指定フラグ・レジスタ0L	PR0	PR0L	R/W				FFH
FFE9H	優先順位指定フラグ・レジスタ0H		PR0H	R/W				FFH
FFEAH	優先順位指定フラグ・レジスタ1L	PR1L		R/W			-	FFH

注 リセット要因により変化します。

表3 - 5 特殊機能レジスタ一覧 (3/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF0H	メモリ・サイズ切り替えレジスタ ^注	IMS	R/W	-		-	CFH
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC	R/W			-	00H

注 IMSの初期値は内部メモリ容量にかかわらず、 μ PD780862サブシリーズすべての製品において一定 (CFH) となっています。したがって、各製品ごとに次に示す値を必ず設定してください。

	メモリ・サイズ切り替えレジスタ (IMS)
μ PD780861	42H
μ PD780862	04H
μ PD78F0862, 78F0862A	マスクROM製品に対応した値

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください）。

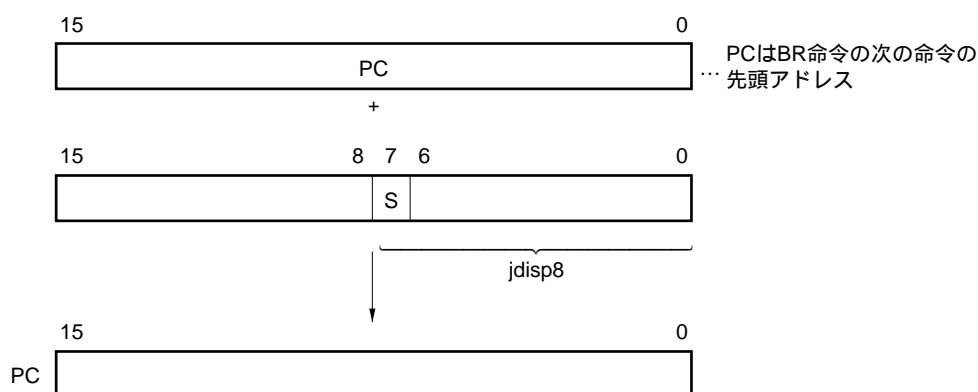
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエイト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



S = 0のとき、 は全ビット 0

S = 1のとき、 は全ビット 1

3.3.2 イミディエト・アドレッシング

【機能】

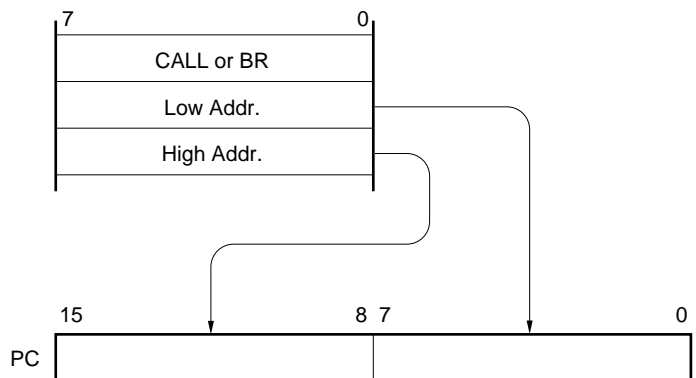
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

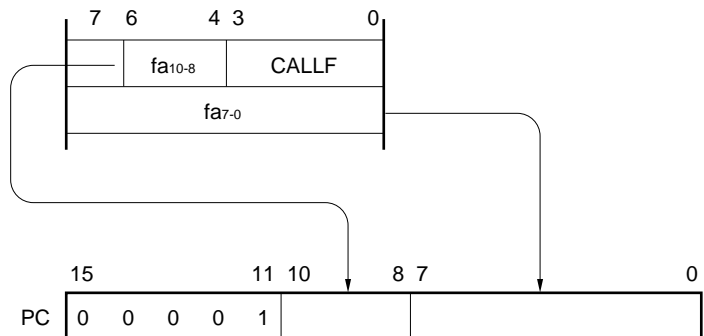
CALL !addr16, BR !addr16命令は、全メモリ空間に分岐できます。CALLF !addr11命令は、0800H-0FFFHの領域に分岐します。

【図解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



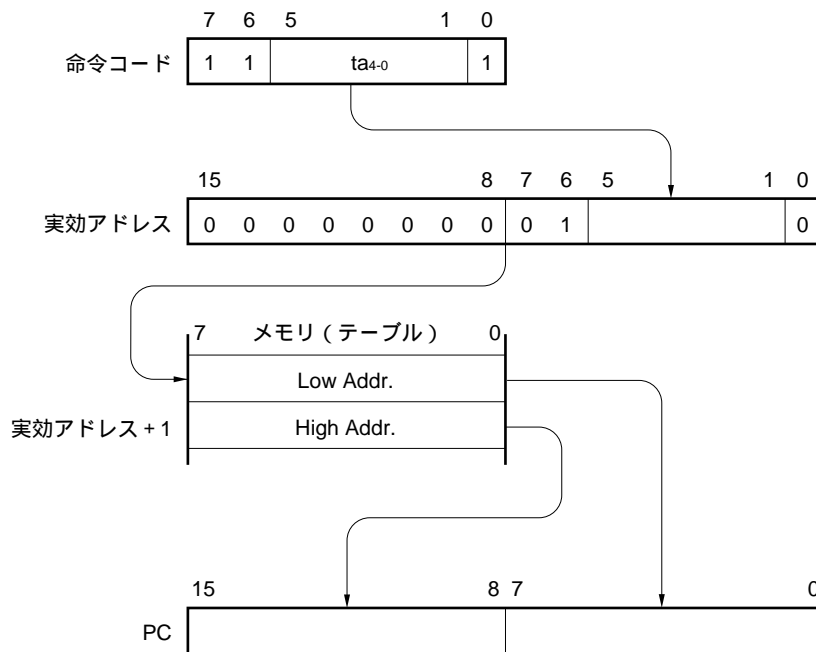
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H-7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



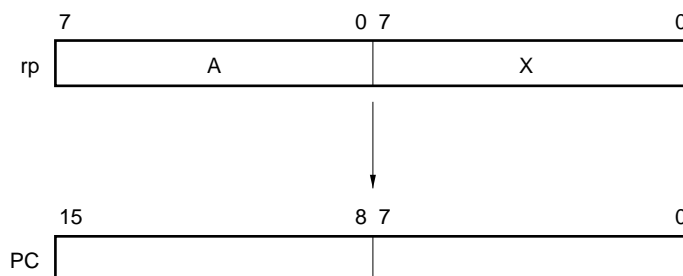
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 インプライド・アドレッシング

【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的に（暗黙的）にアドレスするアドレッシングです。

μPD780862サブシリーズの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ，積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

【オペランド形式】

命令によって自動的に使用できるため，特定のオペランド形式を持ちません。

【記 述 例】

MULU Xの場合

8ビット×8ビットの乗算命令において，AレジスタとXレジスタの積をAXに格納する。ここで，A, AXレジスタがインプライド・アドレッシングで指定されている。

3.4.2 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ指定コード (Rn, PRn) により指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

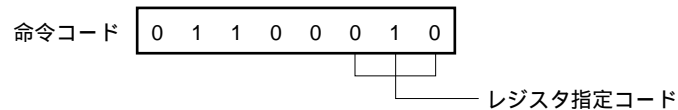
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

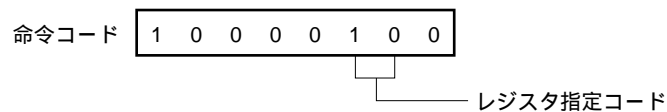
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.3 ダイレクト・アドレッシング

【機能】

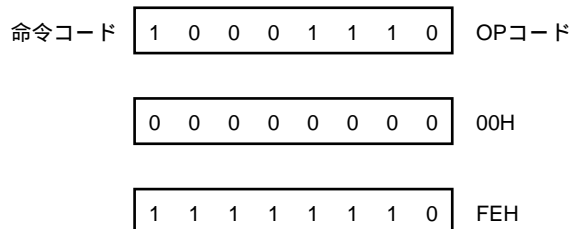
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

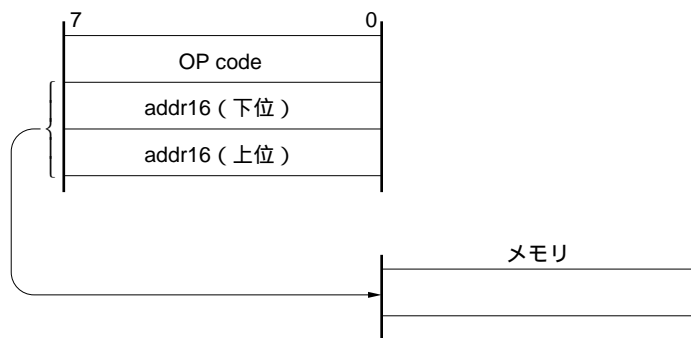
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !0FE00H ; !addr16をFE00Hとする場合



【図解】



3.4.4 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部RAMが、FF00H-FF1FHには特殊機能レジスタ (SFR) がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域 (FF00H-FF1FH) は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

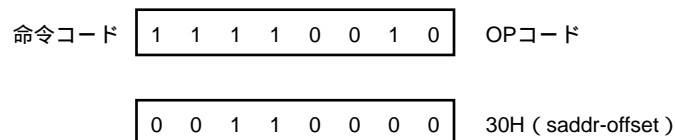
実効アドレスのビット8は、8ビット・イミューディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。【図解】を参照してください。

【オペランド形式】

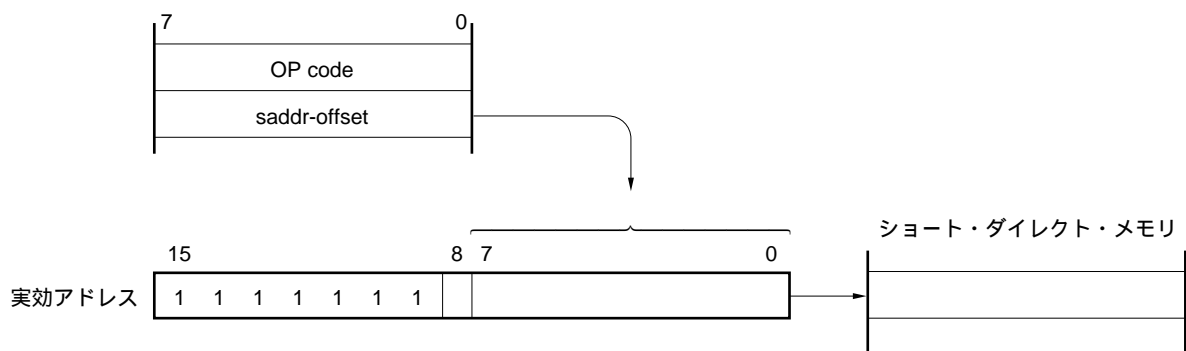
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHを示すイミューディエト・データ
saddrp	ラベルまたはFE20H-FF1FHを示すイミューディエト・データ (偶数アドレスのみ)

【記述例】

MOV 0FE30H, A ; saddr (FE30H) に、Aレジスタの値を転送する場合



【図解】



8ビット・イミューディエト・データが20H-FFHのとき、 = 0

8ビット・イミューディエト・データが00H-1FHのとき、 = 1

3.4.5 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

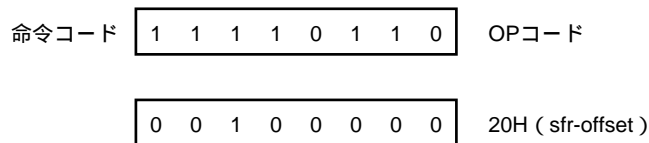
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

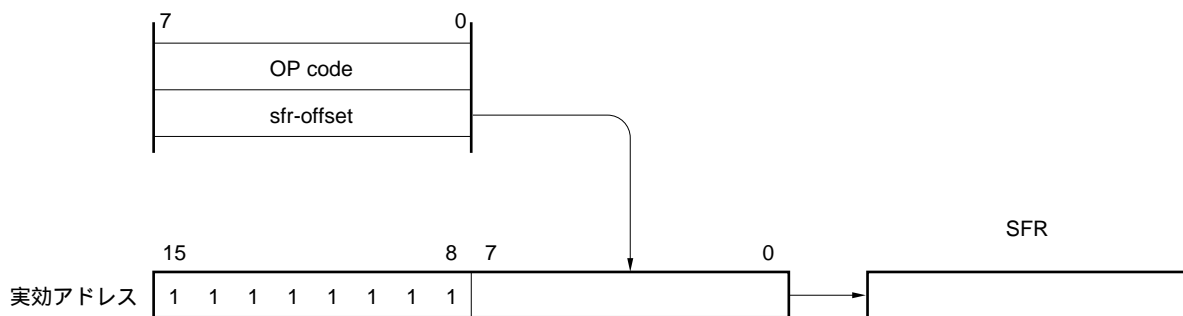
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名 (偶数アドレスのみ)

【記述例】

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合



【図解】



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

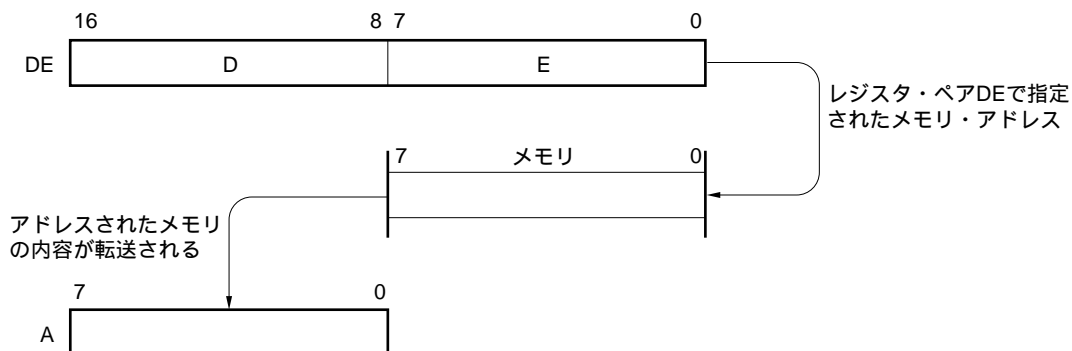
【記述例】

MOV A, [DE]; レジスタ・ペアに [DE] を選択する場合

命令コード

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



3.4.7 ベース・アドレッシング

【機能】

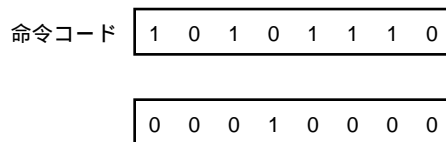
HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のものです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上がりは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

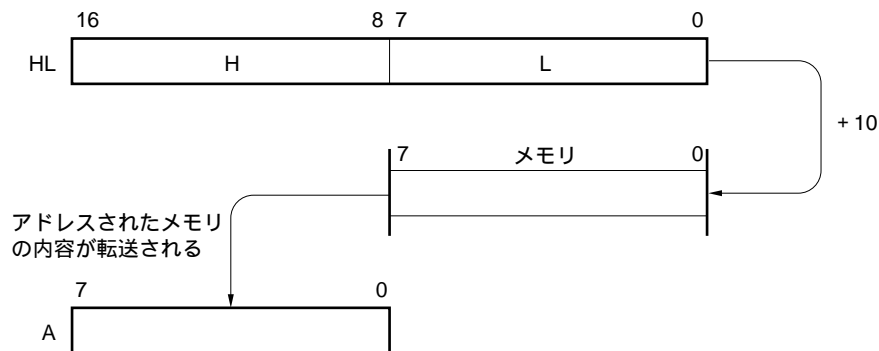
表現形式	記述方法
-	[HL + byte]

【記述例】

MOV A , [HL + 10H] ; byteを10Hとする場合



【図解】



3.4.8 ベース・インデクスト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のレジスタです。加算は、BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL+B], [HL+C]

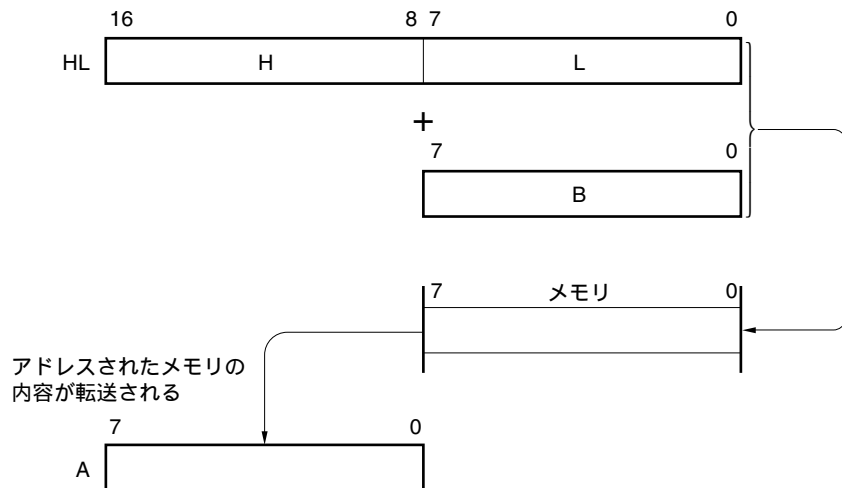
【記述例】

MOV A, [HL+B] ; Bレジスタを選択する場合

命令コード

1	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

【図解】



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により，スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは，内部高速RAM領域のみアクセスできます。

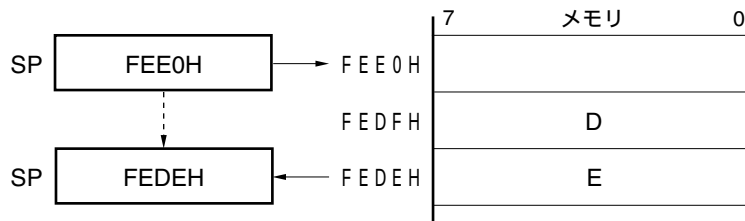
【記述例】

PUSH DE ; DEレジスタをセーブする場合

命令コード

1	0	1	1	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



第4章 ポート機能

4.1 ポートの機能

端子の入出力バッファ電源には、 AV_{REF} 、 V_{DD} の2系統があります。それぞれの電源と端子の関係を次に示します。

表4 - 1 各端子の入出力バッファ電源

電源	対応する端子
AV_{REF}	P20-P23
V_{DD}	P20-P23以外の端子

μ PD780862サブシリーズは、図4 - 1に示すポートを備えており、多様な制御を行うことができます。各ポートの機能は表4 - 1のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

図4 - 1 ポートの種類

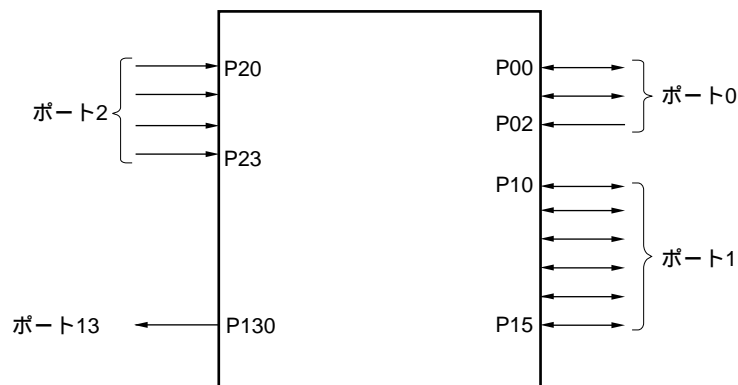


表4 - 2 ポートの機能

端子名称	入出力	機 能		リセット時	兼用端子
P00	入出力	ポート0。 3ビット入出力ポート。	1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	TI000/INTP0/MCGO
P01					TI010/TO00/INTP2
P02 ^{注1}					入力専用
P10	入出力	ポート1。 6ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		入力	SCK10/ (INTP1)
P11					SI10/INTP3
P12					SO10/TOH1/ (INTP3)
P13					TxD6/INTP1/ (TOH1) / (MCGO)
P14					RxD6/ < INTP0 >
P15					TOH0/FLMD1 ^{注2}
P20-P23	入力	ポート2。 4ビット入力専用ポート。		入力	ANI0-ANI3
P130	出力	ポート13。 1ビット出力専用ポート。		出力	-

注1. 高速システム・クロックに高速内蔵発振クロックを選択した場合、ポート入力端子として使用できます。

2. FLMD1は、 μ PD78F0862, 78F0862Aのみ。

備考1. () 内の機能は、兼用端子切り替えレジスタ (PSEL) の設定により割り当て可能です。

2. < > 内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

3. [] 内は、外部RC発振の場合の端子名です。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4 - 3 ポートの構成

項 目	構 成
制御レジスタ	ポート・モード・レジスタ (PM0, PM1) ポート・レジスタ (P0-P02, P13) プルアップ抵抗オプション・レジスタ (PU0, PU1) 兼用切り替えレジスタ (PSEL) 入力切り替えレジスタ (ISC)
ポート	合計：14本 (CMOS入出力：8本, CMOS入力：5本, CMOS出力：1本)
プルアップ抵抗	合計：8本 (ソフトウェア制御のみ)

4.2.1 ポート0

出力ラッチ付き3ビットの入出力ポートです。P00, P01端子はポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。P02端子は入力専用ポートです。P00, P01端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

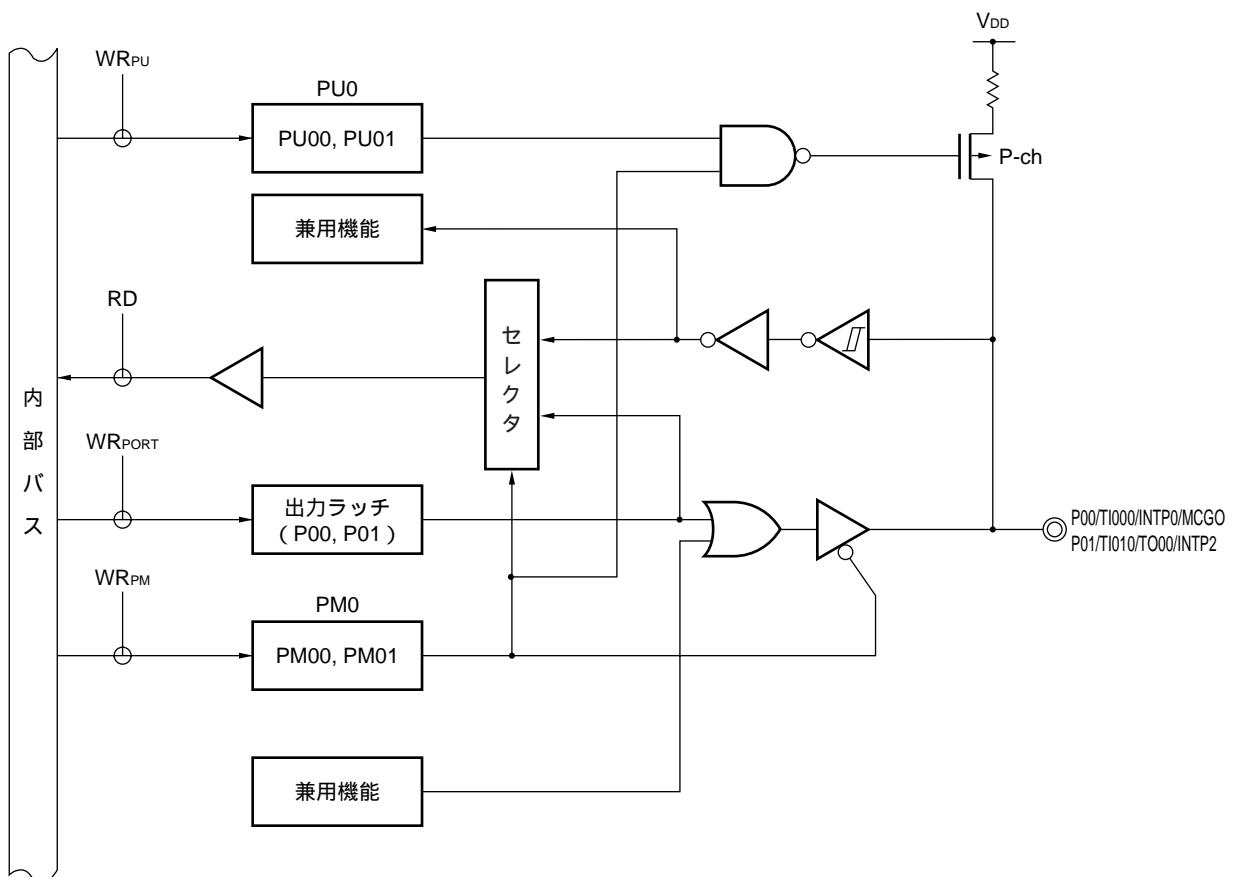
また、兼用機能として、外部割り込み要求入力、マンチェスタ・コード出力、タイマの入出力、高速システム・クロック発振用水晶 / セラミック接続 [RC接続] があります。

RESET入力により、入力モードになります。

図4 - 2, 4 - 3にポート0のブロック図を示します。

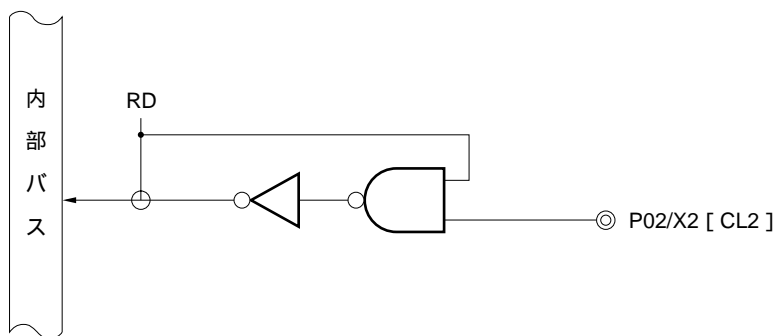
注意 P02は、マスク・オプション (フラッシュ・メモリ製品の場合はオプション・バイト) で高速システム・クロックに高速内蔵発振クロックを選択した場合に、入力専用ポートとして使用可能です (マスク・オプションで高速システム・クロックに水晶 / セラミックまたは外部RC発振を選択した場合には発振子接続端子になります)。

図4 - 2 P00, P01のブロック図



- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 3 P02のブロック図



RD : リード信号

注意 兼用機能の端子 (X2 [CL2]) として使用しているときに、読み出し命令を実行した場合、読み出したデータは不定になります。

4.2.2 ポート1

出力ラッチ付き6ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10-P15端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

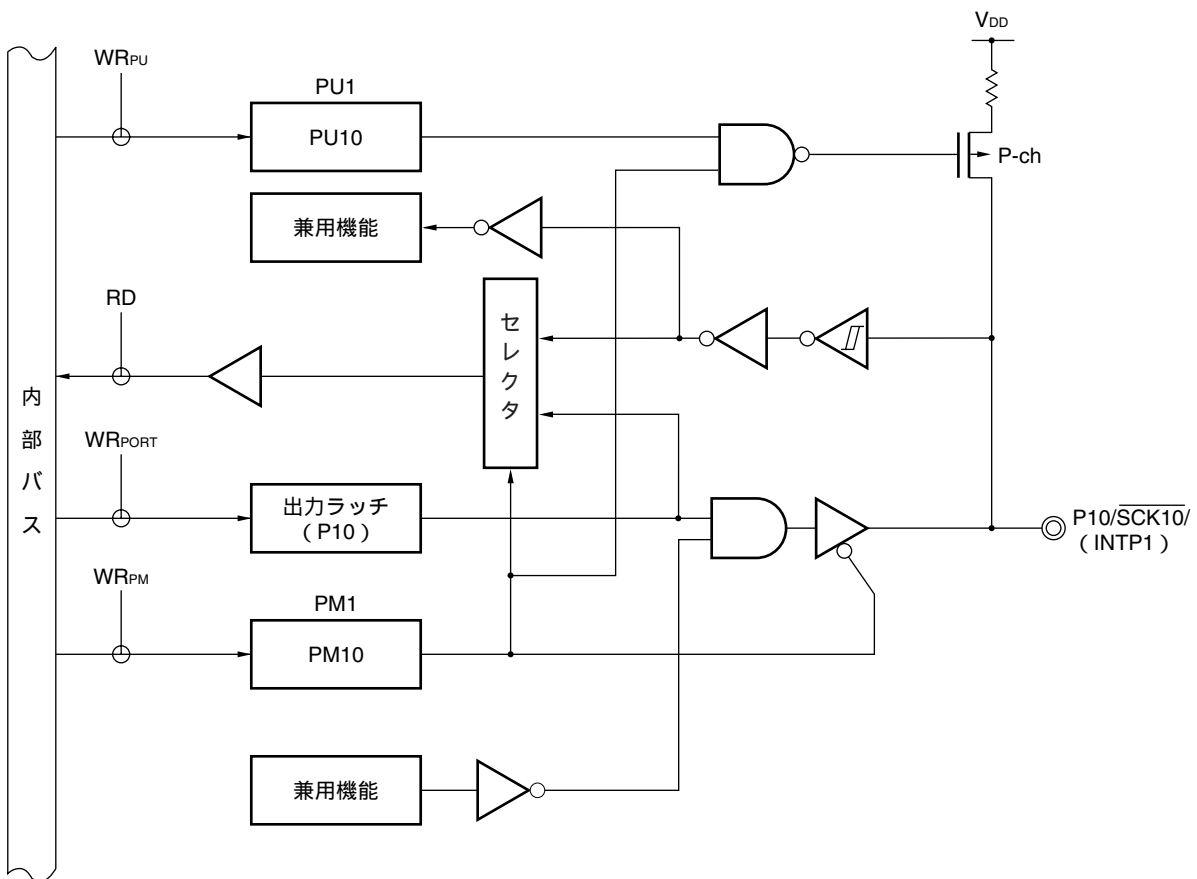
兼用機能として、外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの出力、フラッシュ・メモリ・プログラミング・モード引き込みがあります。また、兼用端子切り替えレジスタ (PSEL)、入力切り替え制御レジスタ (ISC) の設定により、外部割り込み要求入力、タイマの出力、マンチェスタ・コード出力を割り当てることができます。

RESET入力により、入力モードになります。

図4-4~4-8にポート1のブロック図を示します。

注意 P10/ $\overline{\text{SCK10}}$ / (INTP1)、P12/SO10/TOH1/ (INTP3) を汎用ポートとして使用する場合、シリアル動作モード・レジスタ10 (CSIM10) とシリアル・クロック選択レジスタ10 (CSIC10) は初期状態と同じ設定 (00H) にしてください。

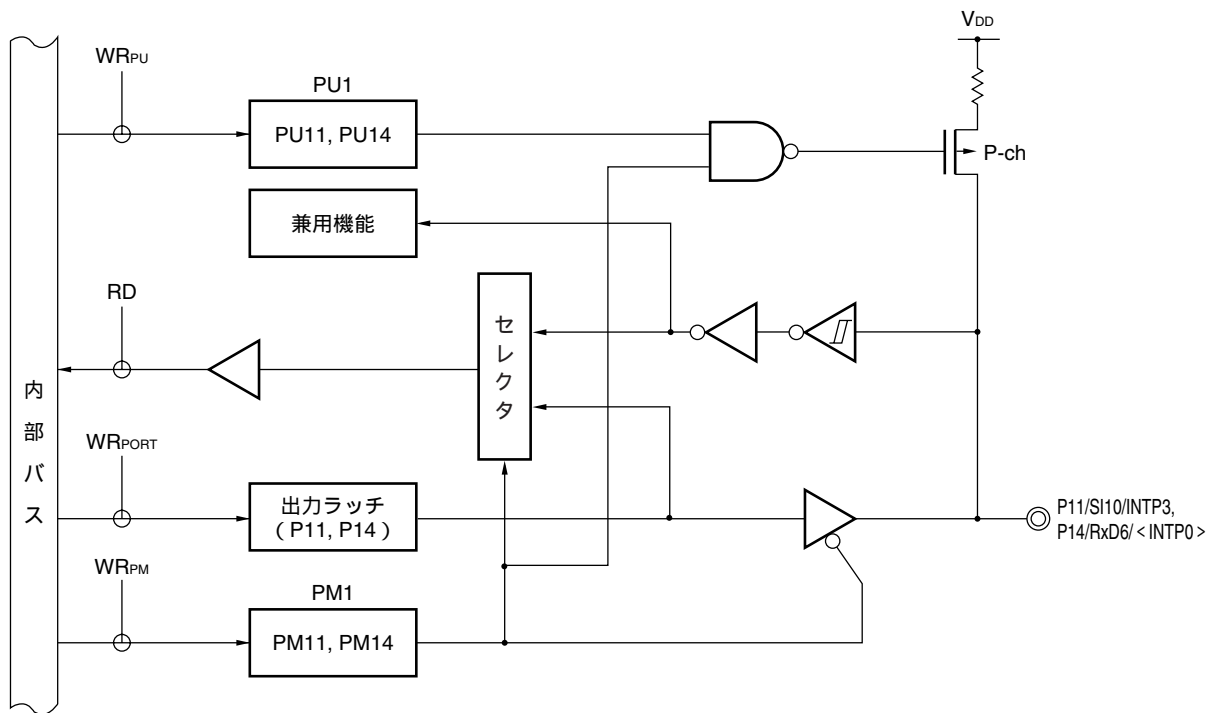
図4-4 P10のブロック図



- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

備考 () 内の機能は、兼用端子切り替えレジスタ (PSEL) の設定により割り当て可能です。

図4 - 5 P11, P14のブロック図



PU1 : ブルアップ抵抗オプション・レジスタ1

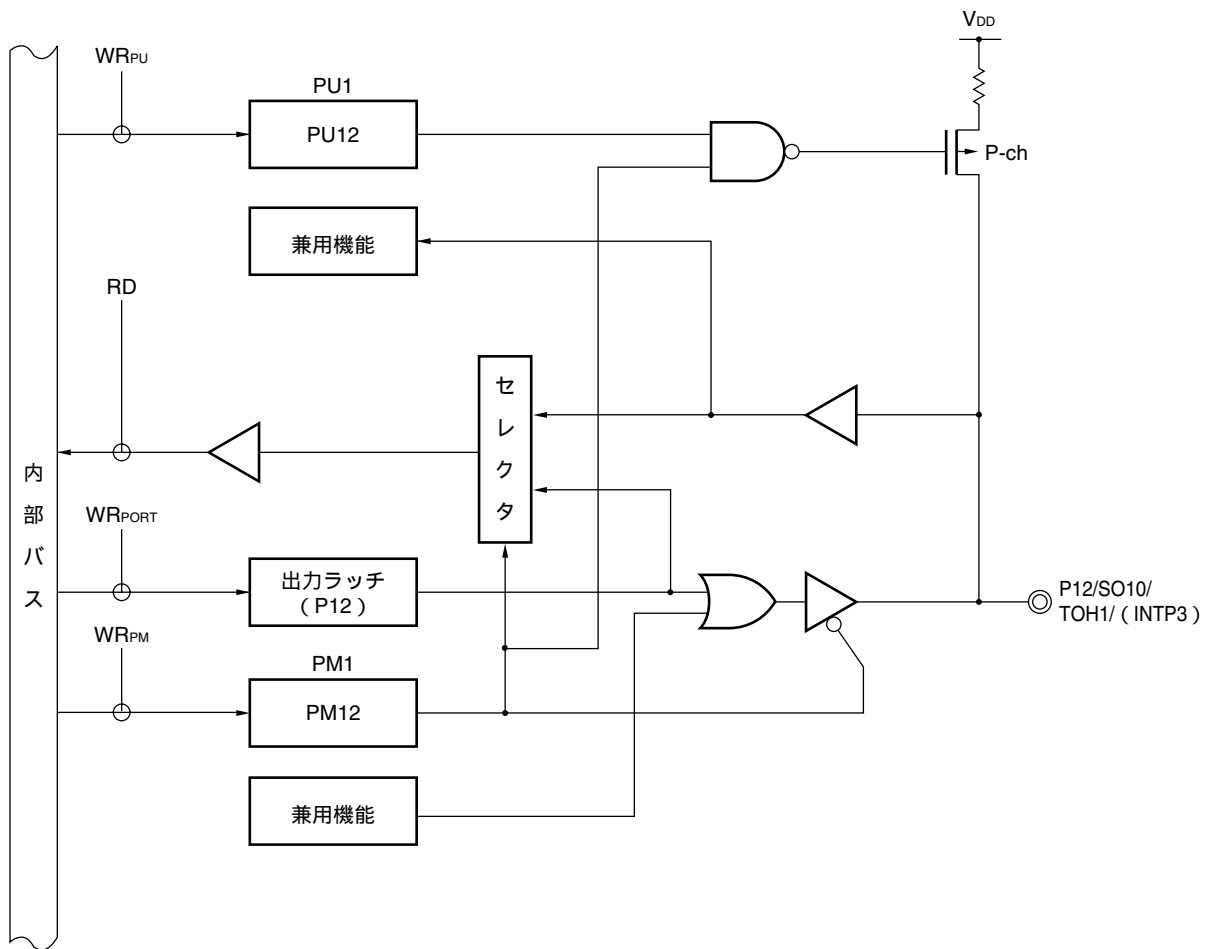
PM1 : ポート・モード・レジスタ1

RD : リード信号

WR_{xx} : ライト信号

備考 < >内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

図4 - 6 P12のブロック図



PU1 : ブルアップ抵抗オプション・レジスタ1

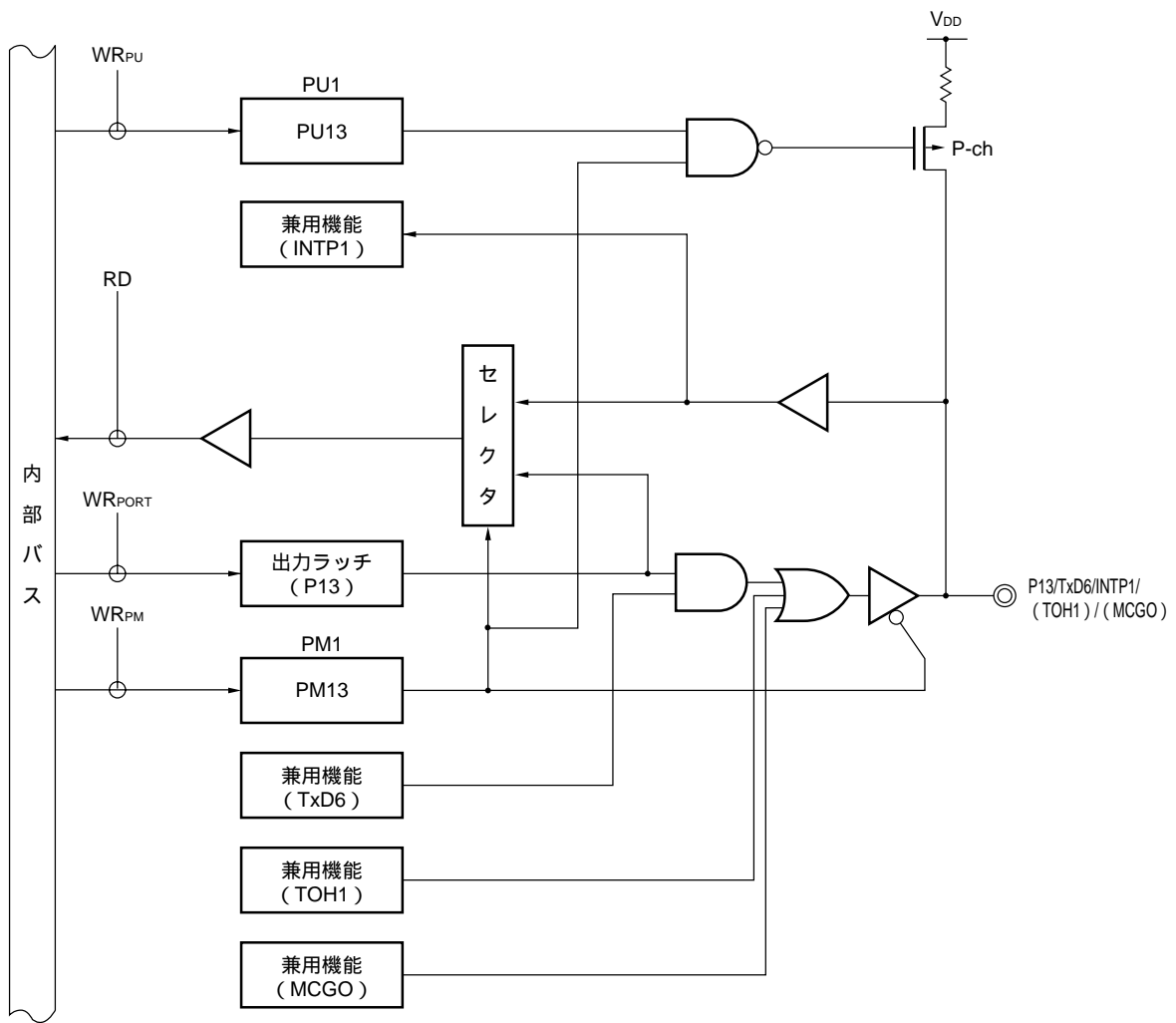
PM1 : ポート・モード・レジスタ1

RD : リード信号

WR_{xx} : ライト信号

備考 ()内の機能は、兼用端子切り替えレジスタ (PSEL) の設定により割り当て可能です。

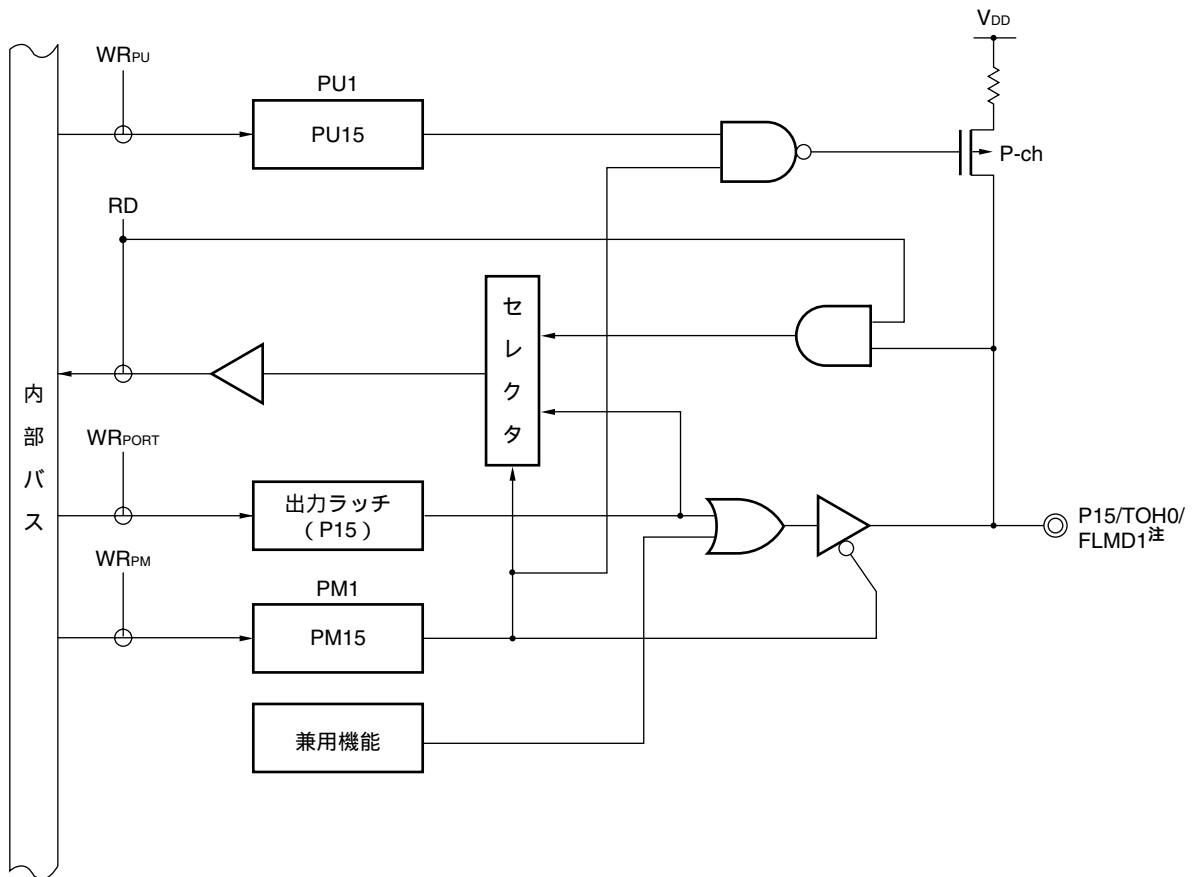
図4 - 7 P13のブロック図



- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

備考 ()内の機能は、兼用端子切り替えレジスタ (PSEL) の設定により割り当て可能です。

図4 - 8 P15のブロック図



- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

注 FLMD1は、μ PD78F0862, 78F0862Aのみ。

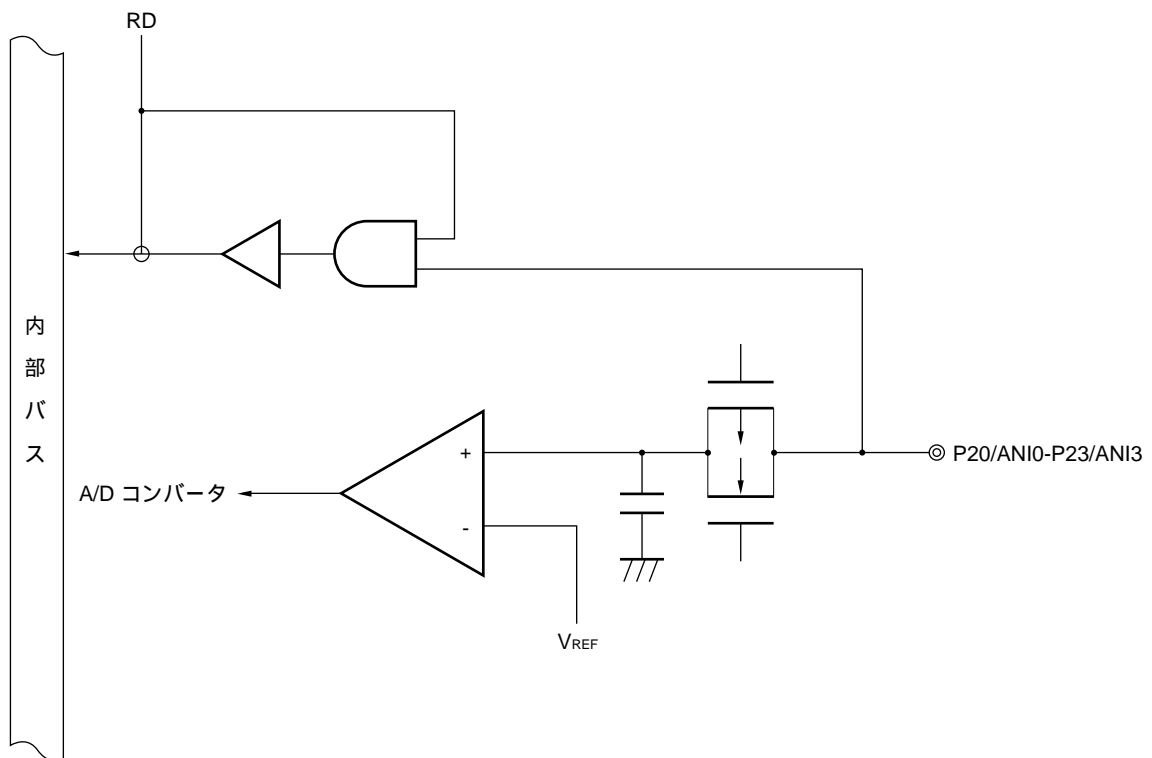
4.2.3 ポート2

4ビットの入力専用ポートです。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

図4 - 9にポート2のブロック図を示します。

図4 - 9 P20-P23のブロック図



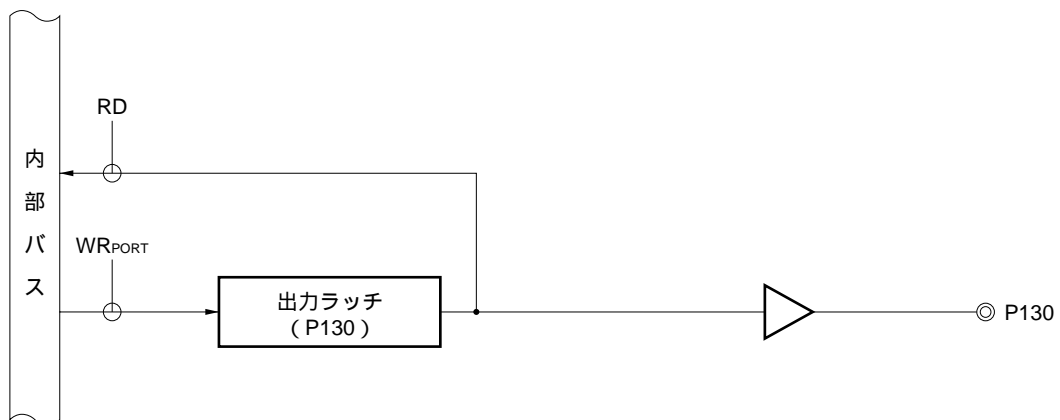
RD : リード信号

4.2.4 ポート13

1ビット出力専用ポートです。

図4 - 10にポート13のブロック図を示します。

図4 - 10 P130のブロック図



RD : リード信号

WR_{xx} : ライト信号

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。

4.3 ポート機能を制御するレジスタ

ポートは、次の5種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0, PM1)
- ・ポート・レジスタ (P0-P2, P13)
- ・プルアップ抵抗オプション・レジスタ (PU0, PU1)
- ・兼用端子切り替えレジスタ (PSEL)
- ・入力切り替え制御レジスタ (ISC)

(1) ポート・モード・レジスタ (PM0, PM1)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表4-3のように設定してください。

- 注意1.** P00, P01, P11, P13は外部割り込み入力と兼用に、P10, P12, P14は兼用端子切り替えレジスタ (PSEL) の設定により外部割り込み入力を割り当て可能になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。
- したがって、出力モードで使用するときは、あらかじめ割り込みマスク・フラグ (PMK0-PMK3) に1を設定してください。
2. P02端子は、入力専用端子です。高速システム・クロックに高速内蔵発振クロックを選択した場合、ポート入力端子として使用できます。
 3. PM0に8ビット・メモリ操作命令で書き込みをする場合、ビット2-7は必ず1に設定してください。PM1に8ビット・メモリ操作命令で書き込みをする場合、ビット6, 7は必ず1に設定してください。

図4 - 11 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	1	PM01	PM00	FF20H	FFH	R/W
PM1	7	6	5	4	3	2	1	0	FF21H	FFH	R/W
	1	1	PM15	PM14	PM13	PM12	PM11	PM10			

PMmn	Pmn端子の入出力モードの選択 (m = 0, 1 ; n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

表4 - 4 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

端子名称	兼用機能		PM x x	P x x
	名 称	入出力		
P00	TI000	入力	1	x
	INTP0	入力	1	x
	MCGO	出力	0	0
P01	TI010	入力	1	x
	TO00	出力	0	0
	INTP2	入力	1	x
P10	SCK10	入力	1	x
		出力	0	1
	(INTP1)	入力	1	x
P11	SI10	入力	1	x
	INTP3	入力	1	x
P12	SO10	出力	0	0
	TOH1	出力	0	0
	(INTP3)	入力	1	x
P13	TxD6	出力	0	1
	INTP1	入力	1	x
	(TOH1)	出力	0	0
	(MCGO)	出力	0	0
P14	RxD6	入力	1	x
	< INTP0 >	入力	1	x
P15	TOH0	出力	0	0

備考1. ()内の機能は，兼用端子切り替えレジスタ (PSEL) の設定により割り当て可能です。

2. < >内の機能は，入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

3. x : don't care

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

(2) ポート・レジスタ (P0-P2, P13)

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合，入力モード時は端子レベルが，出力モード時はポートの出力ラッチの値が読み出されます。

P0-P2, P13は，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET \bar 入力により，00H (P2のみ不定) になります。

図4 - 12 ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	0	P02 ^注	P01	P00	FF00H	00H (出力ラッチ)	R/W
P1	7	6	5	4	3	2	1	0	FF01H	00H (出力ラッチ)	R/W
P2	7	6	5	4	3	2	1	0	FF02H	不定	R
P13	7	6	5	4	3	2	1	0	FF0DH	00H (出力ラッチ)	R/W

Pmn	m = 0-2, 13 ; n = 0-5	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 高速システム・クロックに高速内蔵発振クロックを選択した場合，ポート入力端子として使用できます。

(3) ブルアップ抵抗オプション・レジスタ (PU0, PU1)

P00, P01, P10-P15の内蔵ブルアップ抵抗を使用するか, しないかを設定するレジスタです。PU0, PU1で内蔵ブルアップ抵抗の使用を指定した端子で, 入力モードに設定したビットにのみ, ビット単位で内部ブルアップ抵抗が使用できます。出力モードに設定したビットは, PU0, PU1の設定にかかわらず, 内蔵ブルアップ抵抗を使用できません。兼用機能の出力端子として使用するときも同様です。

PU0, PU1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

注意 P02端子は, ブルアップ抵抗を内蔵していません。

図4 - 13 ブルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0	PU01	PU00	FF30H	00H	R/W
PU1	7	6	5	4	3	2	1	0			
	0	0	PU15	PU14	PU13	PU12	PU11	PU10	FF31H	00H	R/W

PU _m n	P _m nの内蔵ブルアップ抵抗の選択 (m = 0, 1 ; n = 0-5)
0	内蔵ブルアップ抵抗を接続しない
1	内蔵ブルアップ抵抗を接続する

(4) 兼用端子切り替えレジスタ (PSEL)

TOH1, INTP1, INTP3, MCGO端子を選択するレジスタです。

PSELは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図4 - 14 兼用端子切り替えレジスタ (PSEL) のフォーマット

アドレス : FF70H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PSEL	0	0	TOH1SL	MCGSL	0	0	INTP1SL	INTP3SL

TOH1SL	TOH1端子の選択
0	P12/SO10/TOH1/ (INTP3)
1	P13/TxD6/INTP1/ (TOH1) / (MCGO)

MCGSL	MCGO端子の選択
0	P00/TI000/INTP0/MCGO
1	P13/TxD6/INTP1/ (TOH1) / (MCGO)

INTP1SL	INTP1端子の選択
0	P13/TxD6/INTP1/ (TOH1) / (MCGO)
1	P10/SCK10/ (INTP1)

INTP3SL	INTP3端子の選択
0	P11/SI10/INTP3
1	P12/SO10/TOH1/ (INTP3)

注意1 . TOH1SLビットを書き換える場合は、8ビット・タイマHモード・レジスタ1 (TMHMD1) のビット7 (TMHE1) = 0にしてから行ってください。

2 . MCGSL ビットを書き換える場合は、MCGコントロール・レジスタ0 (MC0CTL0) のビット7 (MC0PWR) = 0にしてから行ってください。

(5) 入力切り替え制御レジスタ (ISC)

LIN (Local Interconnect Network) 受信時に、マスタから送信されるステータス信号を受信するときに入力切り替え制御レジスタ (ISC) を使用します。ISCの設定により、入力ソースを切り替えることができます。

ISCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET \bar 入力により、00Hになります。

図4 - 15 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : FF4FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	TI000入力ソースの選択
0	TI000 (P00)
1	RxD6 (P14)

ISC0	INTP0入力ソースの選択
0	INTP0 (P00)
1	RxD6 (P14)

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。リセットによって、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。リセットによって、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。システム・クロック発振回路には、次の2種類があります。

- ・高速システム・クロック発振回路

高速システム・クロック発振回路には次の3つがあります。

- ・水晶 / セラミック発振回路 : 2~10 MHzのクロックを発振
- ・外部RC発振回路 : 3~4 MHzのクロックを発振
- ・高速内蔵発振回路 : 8.0 MHz (TYP.) のクロックを発振

高速システム・クロック発振の選択は、マスクROM製品はマスク・オプションで、フラッシュ・メモリ製品はオプション・バイトで行います。詳細は、**第20章 マスク・オプション / オプション・バイト**を参照してください。

高速システム・クロック発振回路は、STOP命令の実行またはメインOSCコントロール・レジスタ(MOC)の設定により、発振を停止することができます。

- ・低速内蔵発振回路

240 kHz (TYP.) のクロックを発振します。マスク・オプション (フラッシュ・メモリ製品の場合はオプション・バイト) で「ソフトウェアにより停止可能」に設定し、CPUクロックが高速システム・クロックの場合、低速内蔵発振モード・レジスタ (RCM) の設定により、発振を停止することができます。

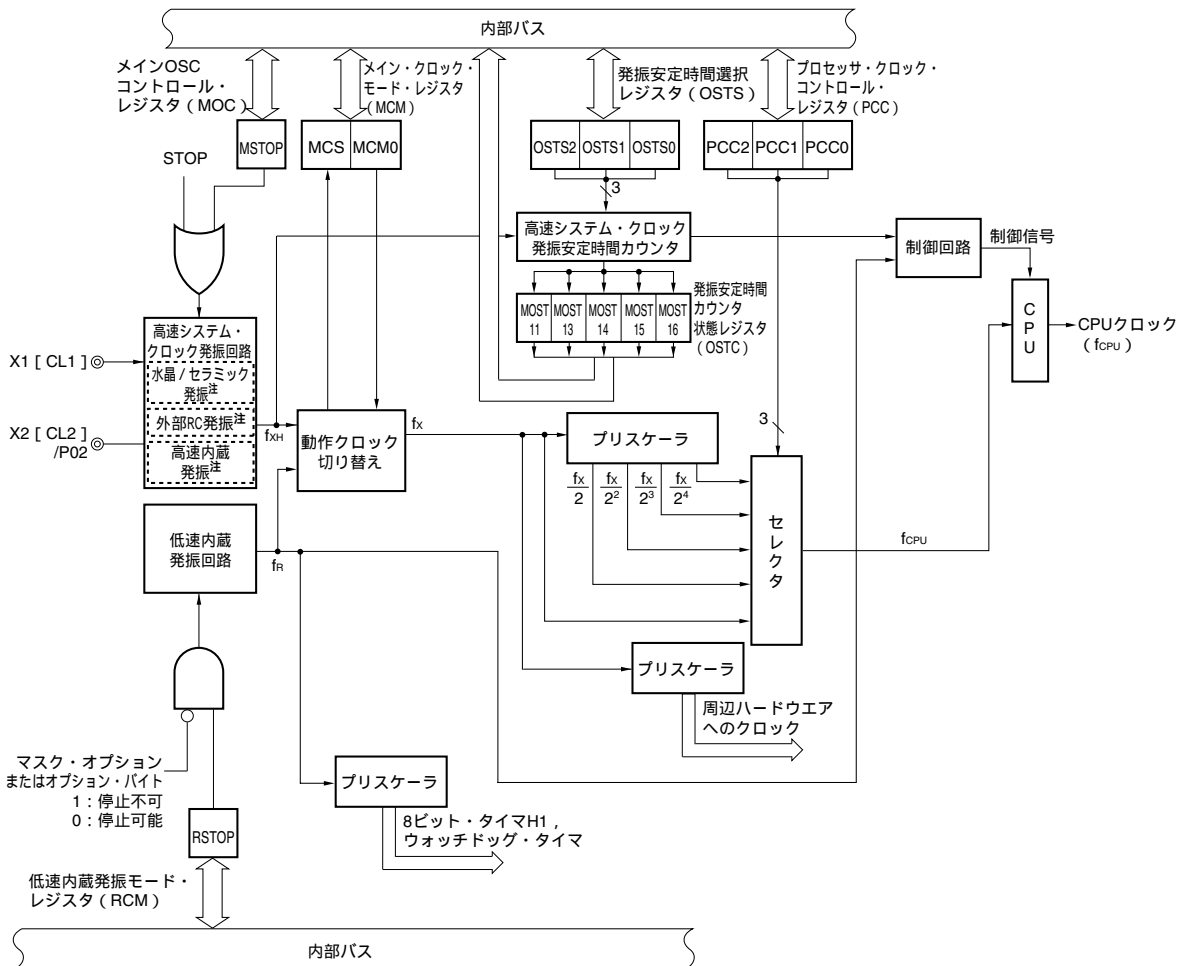
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項目	構成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ (PCC) 低速内蔵発振モード・レジスタ (RCM) メイン・クロック・モード・レジスタ (MCM) メインOSCコントロール・レジスタ (MOC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS)
発振回路	高速システム・クロック発振回路 低速内蔵発振回路

図5-1 クロック発生回路のブロック図



注 マスクROM製品はマスク・オプションで、フラッシュ・メモリ製品はオプション・バイトで、高速システム・クロック発振としていずれかを選択してください。

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の6種類のレジスタで制御します。

- ・ プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・ 低速内蔵発振モード・レジスタ (RCM)
- ・ メイン・クロック・モード・レジスタ (MCM)
- ・ メインOSCコントロール・レジスタ (MOC)
- ・ 発振安定時間カウンタ状態レジスタ (OSTC)
- ・ 発振安定時間選択レジスタ (OSTS)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの分周比を設定するレジスタです。

PCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図5-2 プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマット

アドレス：FFFBH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PCC	0	0	0	0	0	PCC2	PCC1	PCC0

PCC2	PCC1	PCC0	CPUクロックの選択 (f_{CPU})		
			MCM0 = 0		MCM0 = 1
0	0	0	f_x	f_R	f_{XH}
0	0	1	$f_x/2$	$f_R/2^{\text{注}}$	$f_{XH}/2$
0	1	0	$f_x/2^2$	設定禁止	$f_{XH}/2^2$
0	1	1	$f_x/2^3$	設定禁止	$f_{XH}/2^3$
1	0	0	$f_x/2^4$	設定禁止	$f_{XH}/2^4$
上記以外			設定禁止		

注 (A1)水準品, (A2)水準品は設定禁止です。

備考1. MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット0

2. f_x : メイン・システム・クロック発振周波数 (高速システム・クロック発振周波数または低速内蔵発振周波数)

3. f_R : 低速内蔵発振周波数

4. f_{XH} : 高速システム・クロック発振周波数

μ PD780862サブシリーズの一番速い命令はCPUクロック2クロックで実行されます。したがって、CPUクロック (f_{CPU}) と最小命令実行時間の関係は、表5 - 2のようになります。

表5 - 2 CPUクロックと最小命令実行時間の関係

CPUクロック (f_{CPU}) ^{注1}	最小命令実行時間: $2/f_{CPU}$	
	高速システム・クロック (10 MHz動作時 ^{注2})	低速内蔵発振クロック (240 kHz (TYP.) 動作時)
f_x	0.2 μs	8.3 μs (TYP.)
$f_x/2$	0.4 μs	16.7 μs (TYP.) ^{注3}
$f_x/2^2$	0.8 μs	設定禁止
$f_x/2^3$	1.6 μs	設定禁止
$f_x/2^4$	3.2 μs	設定禁止

注1. CPUクロックの設定 (高速システム・クロック / 低速内蔵発振クロック) は、メイン・クロック・モード・レジスタ (MCM) で行います (図5 - 4参照)。

2. 水晶 / セラミック発振の場合
3. (A1)水準品, (A2)水準品は設定禁止です。

(2) 低速内蔵発振モード・レジスタ (RCM)

低速内蔵発振器の動作モードを設定するレジスタです。

このレジスタは、マスク・オプションで低速内蔵発振器を「ソフトウェアにより停止可能」に選択し、CPUクロックに高速システム・クロックを選択しているときに有効となります。マスク・オプションで低速内蔵発振器を「停止不可」に選択している場合、このレジスタへの設定は無効となります。

RCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

\overline{RESET} 入力により、00Hになります。

図5 - 3 低速内蔵発振モード・レジスタ (RCM) のフォーマット

アドレス: FFA0H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	<input type="checkbox"/>
RCM	0	0	0	0	0	0	0	RSTOP

RSTOP	低速内蔵発振器の発振 / 停止
0	低速内蔵発振器の発振
1	低速内蔵発振器の停止

注意 RSTOPを設定するとき、メイン・クロック・モード・レジスタ (MCM) のビット1 (MCS) が1であることを必ず確認してください。

(3) メイン・クロック・モード・レジスタ (MCM)

CPUクロック (高速システム・クロック / 低速内蔵発振クロック) を設定するレジスタです。

MCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図5-4 メイン・クロック・モード・レジスタ (MCM) のフォーマット

アドレス : FFA1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
MCM	0	0	0	0	0	0	MCS	MCM0

MCS	CPUクロックのステータス
0	低速内蔵発振クロックで動作
1	高速システム・クロックで動作

MCM0	CPUへの供給クロック選択
0	低速内蔵発振クロック
1	高速システム・クロック

注意 CPUへの供給クロックに低速内蔵発振クロックを選択する場合、周辺ハードウェアに供給されるクロックは、低速内蔵発振器出力 (f_x) の分周クロックが供給されます ($f_x = 240 \text{ kHz}$ (TYP.) となります)。低速内蔵発振クロックによる周辺ハードウェアの動作保証はできませんので、CPUへの供給クロックに低速内蔵発振クロックを選択する場合は、周辺ハードウェアを使用しないでください。また、CPUへの供給クロックを高速システム・クロックから低速内蔵発振クロックに切り替える場合は、周辺ハードウェアを停止したあとに行ってください。ただし次の周辺ハードウェアはCPUが低速内蔵発振クロックで動作している場合でも使用可能です。

- ・ウォッチドッグ・タイマ
- ・クロック・モニタ
- ・8ビット・タイマH1のカウント・クロックに「 $f_R/2^7$ 」を選択時
- ・クロック・ソースに外部クロックを選択している周辺ハードウェア

(4) メインOSCコントロール・レジスタ (MOC)

高速システム・クロック動作モードを選択するレジスタです。

このレジスタは、低速内蔵発振クロックによるCPU動作時に、高速システム・クロックを停止する場合に使用します。したがって、CPUが低速内蔵発振クロック動作時のみ有効になります。

MOCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図5 - 5 メインOSCコントロール・レジスタ (MOC) のフォーマット

アドレス：FFA2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
MOC	MSTOP	0	0	0	0	0	0	0

MSTOP	高速システム・クロックの発振制御
0	高速システム・クロック発振
1	高速システム・クロック停止

注意 MSTOPを設定するとき、メイン・クロック・モード・レジスタ (MCM) のビット1 (MCS) が0であることを必ず確認してください。

(5) 発振安定時間カウンタ状態レジスタ (OSTC)

高速システム・クロックの発振安定時間カウンタの状態レジスタです。CPUクロックが低速内蔵発振クロックの場合に、高速システム・クロックの発振安定時間を確認することができます。

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット解除時 (RESET入力, POC, LVI, クロック・モニタ, WDTによるリセット), STOP命令, MSTOP (MOCレジスタのビット7) = 1 により、00Hになります。

注意 マスク・オプション (フラッシュ・メモリ製品の場合はオプション・バイト) で高速システム・クロックを外部RC発振クロックまたは高速内蔵発振クロックに選択した場合、発振安定時間のウェイトは必要ありません。したがって、OSTCの値を読み出さずに、CPUクロックを切り替えてもかまいません。

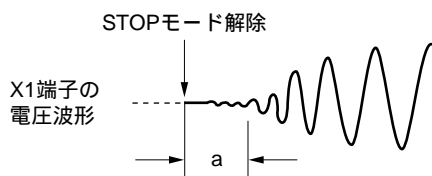
図5 - 6 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFA3H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16	発振安定時間のステータス
1	0	0	0	0	$2^{11}/f_{XH}$ 以上 (204.8 μ s以上)
1	1	0	0	0	$2^{13}/f_{XH}$ 以上 (819.2 μ s以上)
1	1	1	0	0	$2^{14}/f_{XH}$ 以上 (1.64 ms以上)
1	1	1	1	0	$2^{15}/f_{XH}$ 以上 (3.28 ms以上)
1	1	1	1	1	$2^{16}/f_{XH}$ 以上 (6.55 ms以上)

- 注意1. 上記時間経過後, MOST11から順番に“1”となっていく, そのまま“1”を保持します。
2. CPUクロックが低速内蔵発振クロック時に, STOPモードに入り, 解除するときは, 発振安定時間を次のように設定してください。
- ・期待するOSTCの発振安定時間 OSTCで設定する発振安定時間
- 高速システム・クロック発振安定時間カウンタはOSTCで設定した発振安定時間までしかカウントしません。したがって, STOPモード解除後のOSTCは, OSTCで設定している発振安定時間までのステータスしかセットされないの注意してください。
3. STOPモード解除時のウェイト時間は, $\overline{\text{RESET}}$ 入力による場合も, 割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間(下図a)は含みません。



- 備考1. ()内は $f_{XH} = 10$ MHz動作時の参考値
2. f_{XH} : 高速システム・クロック発振周波数

(6) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時の高速システム・クロック発振安定ウエイト時間を選択するレジスタです。OSTSで設定するウエイト時間は、CPUクロックに高速システム・クロックを選択したときのSTOPモード解除後のみ有効となります。CPUクロックに低速内蔵発振クロックを選択したときのSTOPモード解除後は、OSTCにより発振安定時間の確認をしてください。

OSTSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、05Hになります。

図5 - 7 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFA4H リセット時 : 05H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	1	$2^{11}/f_{XH}$ (204.8 μ s)
0	1	0	$2^{13}/f_{XH}$ (819.2 μ s)
0	1	1	$2^{14}/f_{XH}$ (1.64 ms)
1	0	0	$2^{15}/f_{XH}$ (3.28 ms)
1	0	1	$2^{16}/f_{XH}$ (6.55 ms)
上記以外			設定禁止

注意1 . CPUクロックがX1入力クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。

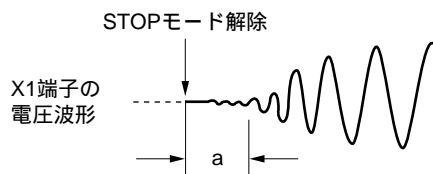
2 . OSTSの設定は、OSTCで期待する発振安定時間が経過したことを確認したあとに行ってください。

3 . CPUクロックが低速内蔵発振クロック時に、STOPモードに入り、解除するときは、発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

高速システム・クロック発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないの注意してください。

4 . STOPモード解除時のウエイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間(下図a)は含みません。



備考1 . ()内は $f_{XH} = 10$ MHz動作時の参考値

2 . f_{XH} : 高速システム・クロック発振周波数

5.4 システム・クロック発振回路

5.4.1 高速システム・クロック発振回路

高速システム・クロック発振回路には次の3つがあります。

- ・水晶/セラミック発振回路 : 2 ~ 10 MHzのクロックを発振
- ・外部RC発振回路 : 3 ~ 4 MHzのクロックを発振
- ・高速内蔵発振回路 : 8.0 MHz (TYP.) のクロックを発振

高速システム・クロック発振の選択は、マスクROM製品はマスク・オプションで、フラッシュ・メモリ製品はオプション・バイトで行います。詳細は、第20章 マスク・オプション/オプション・バイトを参照してください。

(1) 水晶/セラミック発振回路

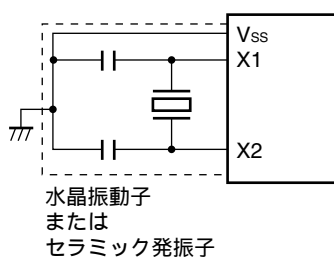
水晶/セラミック発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子によって発振します。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

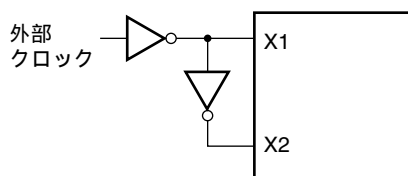
図5 - 8に水晶/セラミック発振回路の外付け回路を示します。

図5 - 8 水晶/セラミック発振回路の外付け回路

(a) 水晶/セラミック発振



(b) 外部クロック



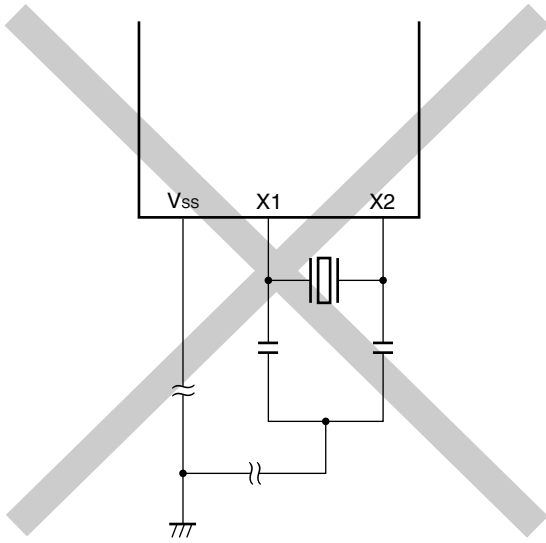
注意 水晶/セラミック発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 9の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

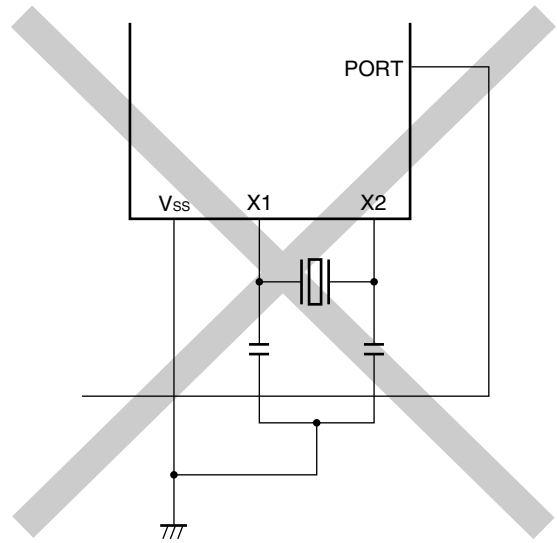
図5 - 9に発振子の接続の悪い例を示します。

図5-9 発振子の接続の悪い例

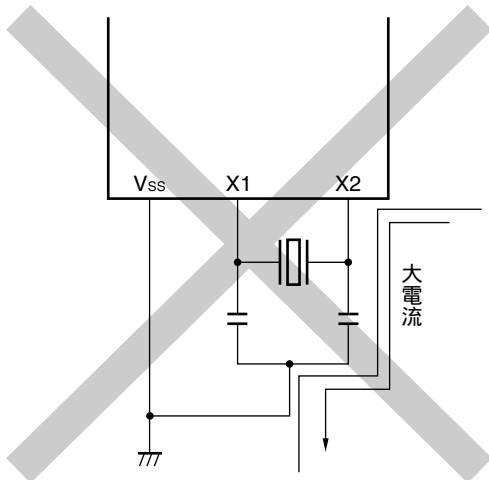
(a) 接続回路の配線が長い



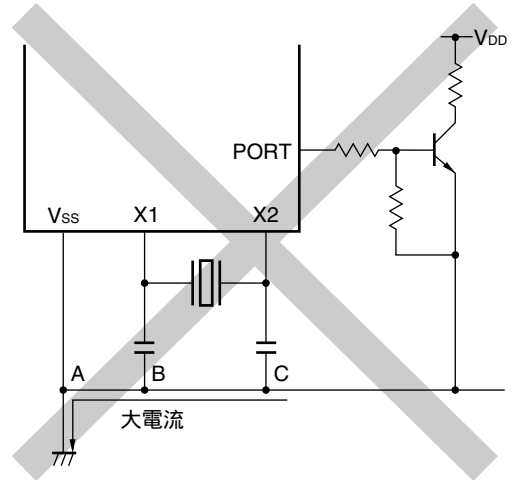
(b) 信号線が交差している



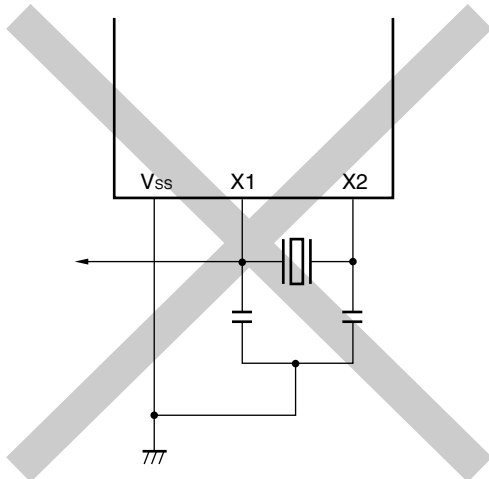
(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(e) 信号を取り出している



(2) 外部RC発振回路

外部RC発振回路はCL1, CL2端子に接続された抵抗 (R) とコンデンサ (C) によって発振します。

また、外部クロックを入力することもできます。その場合、CL1端子にクロック信号を入力し、CL2端子には、その反転した信号を入力してください。

図5 - 10に外部RC発振回路の外付け回路を示します。

図5 - 10 外部RC発振回路の外付け回路



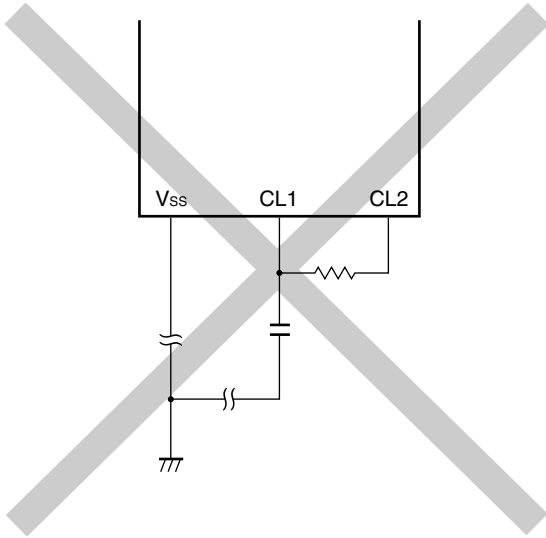
注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 10の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

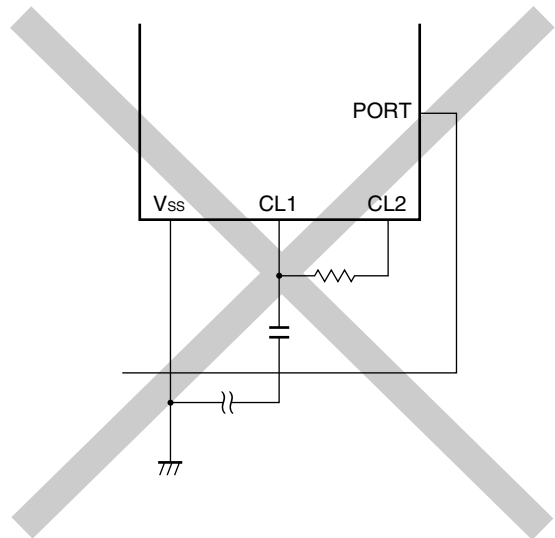
図5 - 11に発振子の接続の悪い例を示します。

図5 - 11 発振子の接続の悪い例

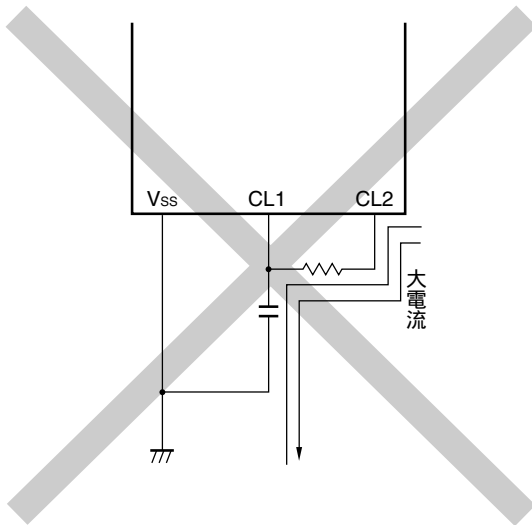
(a) 接続回路の配線が長い



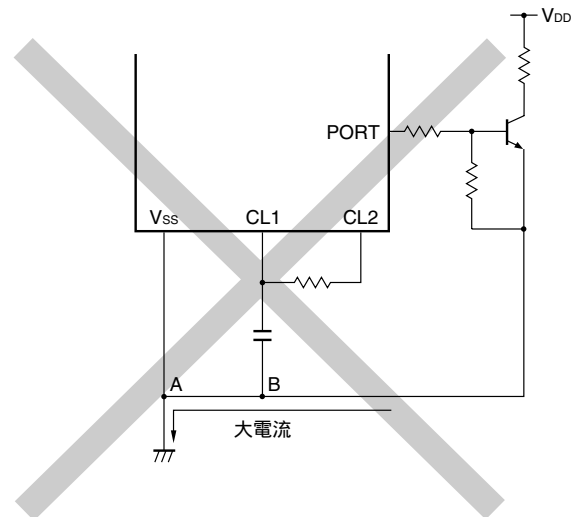
(b) 信号線が交差している



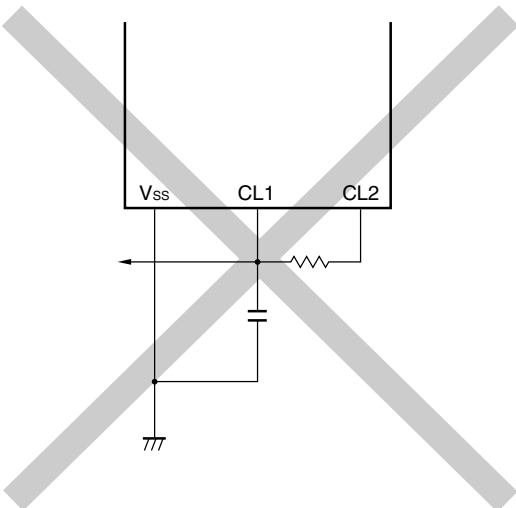
(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点の電位が変動する)



(e) 信号を取り出している



(3) 高速内蔵発振回路

μ PD780862サブシリーズは、高速内蔵発振回路を内蔵しています。

高速内蔵発振回路を使用するときには、X1 [CL1] , X2 [CL2] 端子を次のように処理してください。

X1 [CL1] : V_{DD} に直接接続してください。

X2 [CL2] : V_{SS} に直接接続してください。

備考 X2 [CL2] 端子は、入力専用のポート端子 (P02) として使用できます。

5.4.2 低速内蔵発振回路

μ PD780862サブシリーズは、低速内蔵発振回路を内蔵しています。

マスク・オプションにて「ソフトウェアにより停止可能」または「停止不可」を選択できます。 \overline{RESET} 解除後は必ず低速内蔵発振クロックを発振します (240 kHz (TYP.)) 。

5.4.3 プリスケーラ

プリスケーラは、CPUへの供給クロックに高速システム・クロック選択する場合、高速システム・クロック発振回路出力 (f_x) を分周して、各種クロックを生成します。

注意 CPUへの供給クロックに低速内蔵発振クロックを選択する場合、低速内蔵発振回路出力 (f_x) を分周して、各種クロックを生成します ($f_x = 240 \text{ kHz (TYP.)}$ となります。) 。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・高速システム・クロック f_{XH}
- ・低速内蔵発振クロック f_R
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

μ PD780862サブシリーズでは、リセット解除後、低速内蔵発振回路の出力により動作を開始します。これにより次のことが可能となります。

(1) セキュリティ機能の強化

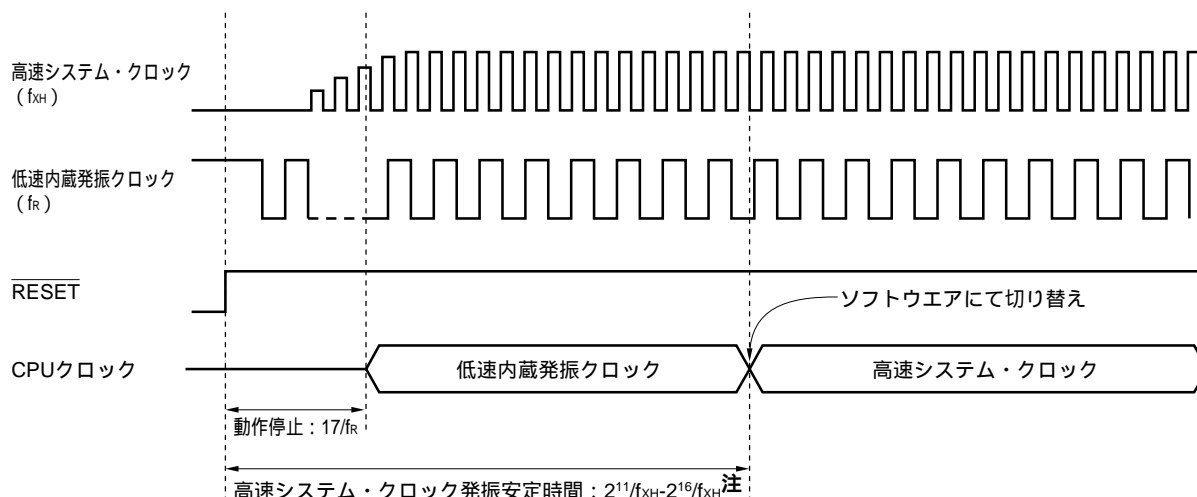
リセット解除後に破壊や接続不良などで高速システム・クロックが動かないとき、デフォルトでCPUクロックが高速システム・クロックの場合では、デバイスはその時点で動作不能となってしまいます。しかしCPUのスタート・クロックが内蔵の低速内蔵発振クロックの場合、クロック・モニタ(高速システム・クロックの停止検出)によるリセット解除後に低速内蔵発振クロックで起動することができます。これにより、リセットの要因をソフトウェアで認識したり、異常時にセーフティ処理を行うなど、最低限の動作でシステムを安全に終了することが可能となります。

(2) パフォーマンスの向上

高速システム・クロックの発振安定時間を待たずにCPUを起動できるため、トータル・パフォーマンスの向上が可能です。

低速内蔵発振によるCPUデフォルト・スタートのタイミング図を、図5 - 12に示します。

図5 - 12 低速内蔵発振によるCPUデフォルト・スタートのタイミング図



注 発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。

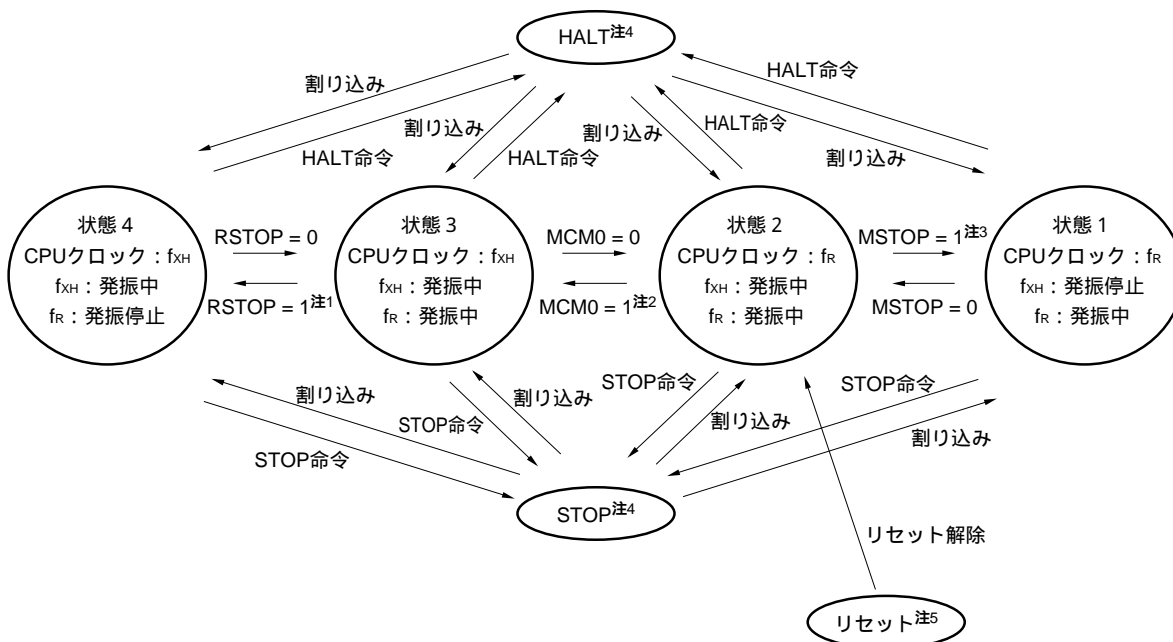
マスク・オプション (フラッシュ・メモリ製品の場合はオプション・バイト) で高速システム・クロックを外部RC発振クロックまたは高速内蔵発振クロックに選択した場合、発振安定時間のウエイトは必要ありません。したがって、OSTCの値を読み出さずに、CPUクロックを切り替えてもかまいません。

- (a) $\overline{\text{RESET}}$ 信号発生により、メイン・クロック・モード・レジスタ (MCM) のビット0 (MCM0) が0になり、CPUクロックが低速内蔵発振クロックになります。ただし、 $\overline{\text{RESET}}$ 解除後、低速内蔵発振クロックが17クロック経過してからCPUに対しクロック供給を行います (または17クロック間はCPUクロックの供給を停止します)。 $\overline{\text{RESET}}$ 期間中は高速システム・クロックと低速内蔵発振クロックの発振は停止します。
- (b) $\overline{\text{RESET}}$ 解除後、高速システム・クロックの発振安定時間が経過してから、メイン・クロック・モード・レジスタ (MCM) のビット0 (MCM0) にて、CPUクロックを低速内蔵発振クロックから高速システム・クロックに切り替えることができます。このとき、発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してから、CPUクロックを切り替えてください。
CPUクロックの状態はMCMのビット1 (MCS) で確認できます。
- (c) マスク・オプション (フラッシュ・メモリ製品の場合はオプション・バイト) で低速内蔵発振器を「ソフトウェアにより停止可能」に設定し、CPUクロックが高速システム・クロックの場合、低速内蔵発振器の停止 / 発振を低速内蔵発振モード・レジスタ (RCM) で設定できます。このときMCSが1であることを必ず確認してください。
- (d) CPUクロックが低速内蔵発振クロックの場合、高速システム・クロックの停止 / 発振をメインOSCコントロール・レジスタ (MOC) で設定できます。このときMCSが0であることを必ず確認してください。
- (e) CPUクロックが高速システム・クロックである場合のSTOPモード解除時は、高速システム・クロックの発振安定時間 ($2^{11}/f_{XH}$, $2^{13}/f_{XH}$, $2^{14}/f_{XH}$, $2^{15}/f_{XH}$, $2^{16}/f_{XH}$) を発振安定時間選択レジスタ (OSTS) で選択してください。また $\overline{\text{RESET}}$ 解除時およびCPUクロックが低速内蔵発振クロックである場合のSTOPモード解除時は、高速システム・クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。

この製品の状態遷移図を図5 - 13に、各動作状態における動作クロックの関係を表5 - 3に、発振制御フラグと各クロックの発振状態を表5 - 4に示します。

図5 - 13 状態遷移図 (1/2)

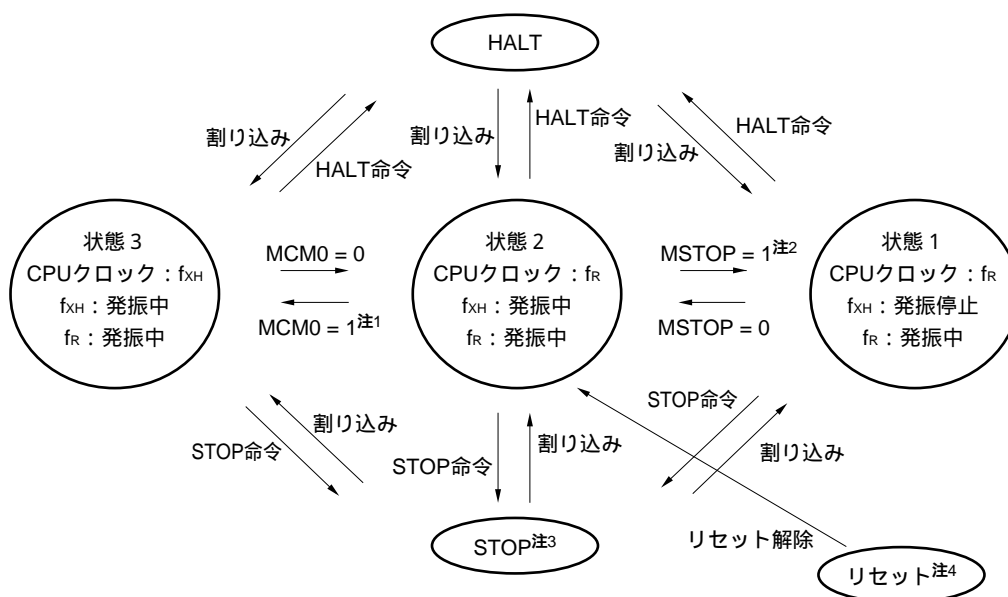
(1) マスク・オプションで「ソフトウェアにより低速内蔵発振器を停止可能」に選択した場合



- 注1. 状態3から状態4に移行する場合は、メイン・クロック・モード・レジスタ (MCM) のビット1 (MCS) が1であることを必ず確認してください。
- 2. リセット解除時およびSTOP解除時に状態2から状態3に移行する場合は、高速システム・クロックの発振安定時間の状態を発振安定時間カウンタ状態レジスタ (OSTC) で確認してから行ってください。
マスク・オプション (フラッシュ・メモリ製品の場合はオプション・バイト) で高速システム・クロックを外部RC発振クロックまたは高速内蔵発振クロックに選択した場合、発振安定時間のウェイトは必要ありません。したがって、OSTCの値を読み出さずに、CPUクロックを切り替えてもかまいません。
- 3. 状態2から状態1に移行する場合は、MCSが0であることを必ず確認してください。
- 4. マスク・オプション (フラッシュ・メモリ製品の場合はオプション・バイト) で「ソフトウェアにより低速内蔵発振器を停止可能」に選択した場合、ウォッチドッグ・タイマのソース・クロックにかかわらず、HALTモード、STOPモード中のウォッチドッグ・タイマの動作は停止します。ただし、低速内蔵発振器はRSTOP = 0ならばHALTモード、STOPモード中も停止しません。
- 5. すべてのリセット要因 (RESET入力、POC, LVI, クロック・モニタ, WDT) です。

図5 - 13 状態遷移図 (2/2)

(2) マスク・オプションで「低速内蔵発振器を停止不可」に選択した場合



注1. リセット解除時およびSTOP解除時に状態2から状態3に移行する場合は、高速システム・クロックの発振安定時間の状態を発振安定時間カウンタ状態レジスタ (OSTC) で確認してから行ってください。

マスク・オプション (フラッシュ・メモリ製品の場合はオプション・バイト) で高速システム・クロックを外部RC発振クロックまたは高速内蔵発振クロックに選択した場合、発振安定時間のウエイトは必要ありません。したがって、OSTCの値を読み出さずに、CPUクロックを切り替えてもかまいません。

2. 状態2から状態1に移行する場合は、MCSが0であることを必ず確認してください。

3. マスク・オプション (フラッシュ・メモリ製品の場合はオプション・バイト) で「低速内蔵発振器を停止不可」の場合、ウォッチドッグ・タイマはSTOPモード中でも低速内蔵発振クロックで動作しています。8ビット・タイマH1 (TMH1) はカウント・ソースに低速内蔵発振クロックの分周を選択できますので、ウォッチドッグ・タイマのオーバーフロー発生前にTMH1の割り込み要求を使用して、ウォッチドッグ・タイマをクリアしてください。この処理を行わない場合は、STOP命令実行後、ウォッチドッグ・タイマのオーバーフローが発生した時点で内部リセット信号を発生します。

4. すべてのリセット要因 (RESET入力, POC, LVI, クロック・モニタ, WDT) です。

表5-3 各動作状態における動作クロックの関係

動作モード	ステータス 高速システム・クロック 発振回路	低速内蔵発振回路			解除後のCPU クロック	周辺へ供給される プリスケアラのクロック	
		注1	注2			MCM0 = 0	MCM0 = 1
			RSTOP = 0	RSTOP = 1			
リセット	停止	停止			低速内蔵発振	停止	
STOP		発振	発振	停止	注3	停止	
HALT	発振				注4	低速内蔵発振ク ロック	高速システム・ クロック

注1. マスク・オプション（フラッシュ・メモリ製品の場合はオプション・バイト）で低速内蔵発振器を「停止不可」に選択時

2. マスク・オプション（フラッシュ・メモリ製品の場合はオプション・バイト）で低速内蔵発振器を「ソフトウェアにより停止可能」に選択時
3. STOP命令実行時のCPUクロックにて動作します。
4. HALT命令実行時のCPUクロックにて動作します。

注意 RSTOPの設定は、マスク・オプション（フラッシュ・メモリ製品の場合はオプション・バイト）で低速内蔵発振器を「ソフトウェアにより停止可能」時にのみ有効です。

備考 RSTOP : 低速内蔵発振モード・レジスタ（RCM）のビット0
MCM0 : メイン・クロック・モード・レジスタ（MCM）のビット0

表5-4 発振制御フラグと各クロックの発振状態

		高速システム・クロック	低速内蔵発振クロック
MSTOP = 1	RSTOP = 0	停止	発振
	RSTOP = 1	設定禁止	
MSTOP = 0	RSTOP = 0	発振	発振
	RSTOP = 1		停止

注意 RSTOPの設定は、マスク・オプション（フラッシュ・メモリ製品の場合はオプション・バイト）で低速内蔵発振器を「ソフトウェアにより停止可能」時にのみ有効です。

備考 MSTOP : メインOSCコントロール・レジスタ（MOC）のビット7
RSTOP : 低速内蔵発振モード・レジスタ（RCM）のビット0

5.6 低速内蔵発振クロックと高速システム・クロックの切り替えに要する時間

低速内蔵発振クロックと高速システム・クロックは、メイン・クロック・モード・レジスタ (MCM) のビット 0 (MCM0) により切り替えることができます。

実際の切り替え動作は、MCM0を書き換えた直後ではなく、MCM0を切り替えたのち、数命令は切り替え前のクロックで動作します (表5 - 5参照)。

低速内蔵発振クロックで動作しているのか、高速システム・クロックで動作しているのかは、MCMのビット1 (MCS) で判定できます。

クロック切り替え後、元のクロックを停止する場合は、表5 - 5に示すクロック分ウエイトしてから停止してください。

表5 - 5 低速内蔵発振クロックと高速システム・クロックの切り替えに要する最大時間

PCC			切り替えに要する最大時間	
PCC2	PCC1	PCC0	高速システム・クロック 低速内蔵発振クロック	低速内蔵発振クロック 高速システム・クロック
0	0	0	$f_{xH}/f_R + 1$ クロック	2クロック
0	0	1	$f_{xH}/2f_R + 1$ クロック ^注	2クロック ^注

注 (A1)水準品, (A2)水準品は、低速内蔵発振クロックのとき設定禁止です。

注意 最大時間を計算する場合は、 $f_R = 120$ kHzで行ってください。

備考1. PCC : プロセッサ・クロック・コントロール・レジスタ

2. f_{xH} : 高速システム・クロック発振周波数

3. f_R : 低速内蔵発振周波数

4. 最大時間は、切り替え前のCPUクロックによるクロック数です。

5.7 CPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット0-2（PCC0-PCC2）により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します（表5 - 6参照）。

表5 - 6 CPUクロックの切り替えに要する最大時間

切り替え前の設定値			切り替え後の設定値														
PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0
			0	0	0	0	0	1	0	1	0	0	1	1	1	0	0
0	0	0	/			16クロック			16クロック			16クロック			16クロック		
0	0	1				8クロック			8クロック			8クロック			8クロック		
0	1	0				4クロック			4クロック			4クロック			4クロック		
0	1	1				2クロック			2クロック			2クロック			2クロック		
1	0	0				1クロック			1クロック			1クロック			1クロック		

注意 CPUが低速内蔵発振クロックで動作している場合、次の値は設定禁止です。

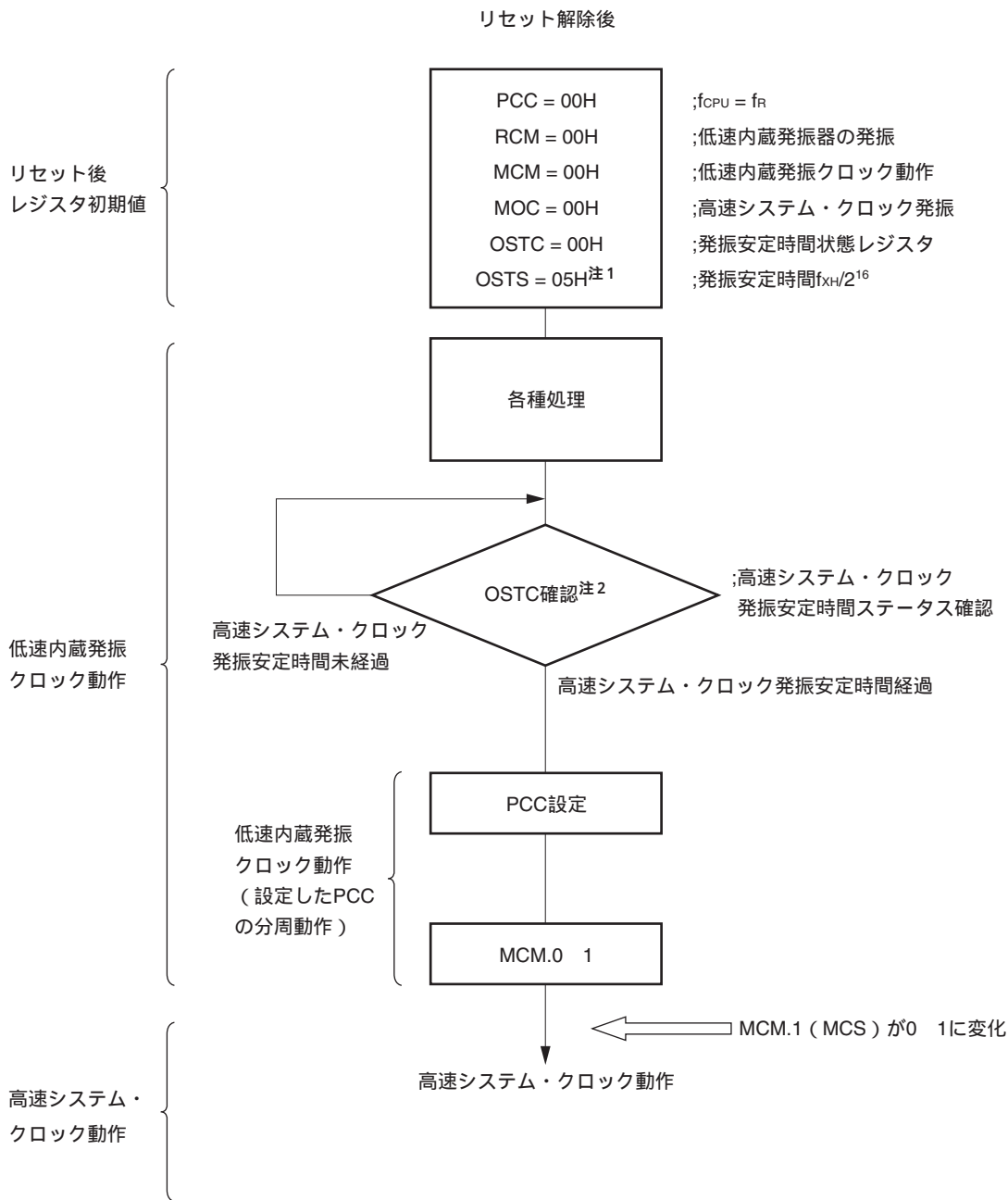
- PCC2, PCC1, PCC0 = 0, 0, 1（標準品，（A）水準品のみ設定可）
- PCC2, PCC1, PCC0 = 0, 1, 0
- PCC2, PCC1, PCC0 = 0, 1, 1
- PCC2, PCC1, PCC0 = 1, 0, 0

備考 最大時間は、切り替え前のCPUクロックのクロック数です。

5.8 クロック切り替えのフロー・チャートとレジスタ設定

5.8.1 低速内蔵発振クロックから高速システム・クロックへの切り替え

図5 - 14 低速内蔵発振クロックから高速システム・クロックへの切り替え (フロー・チャート)

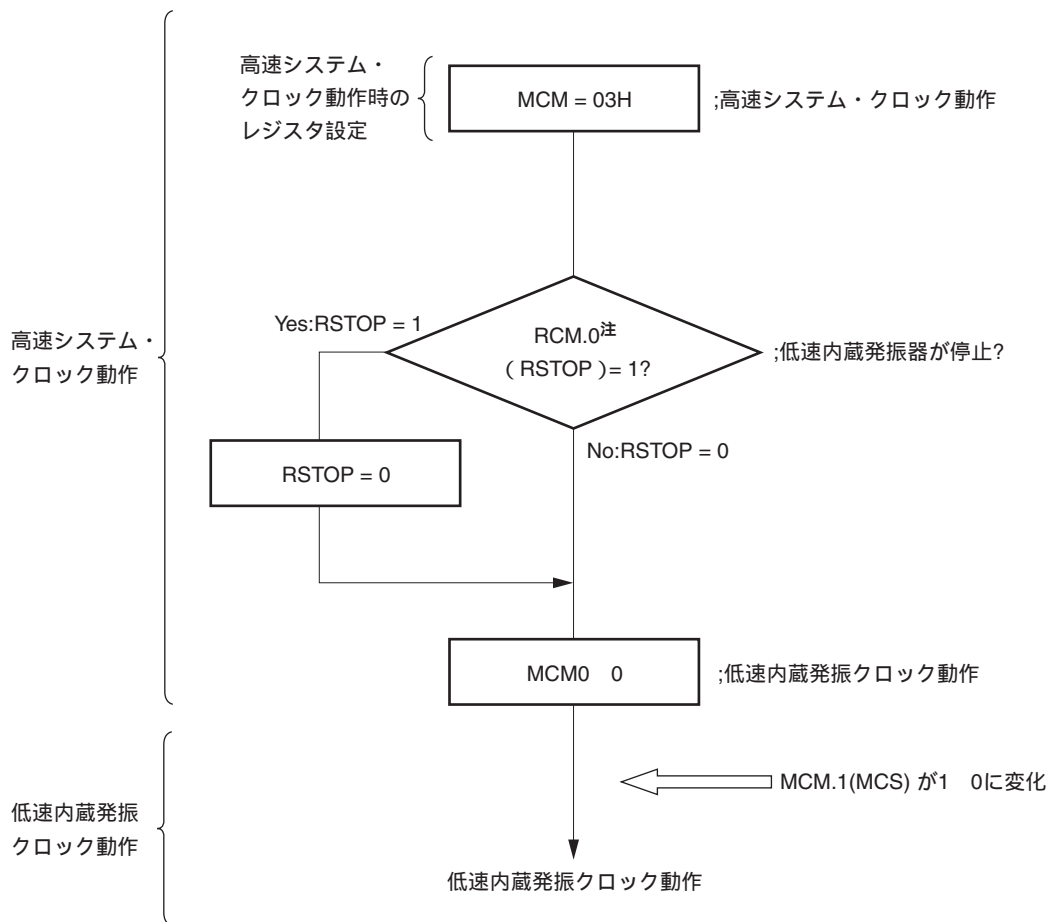


注1 . OSTSレジスタの設定は、高速システム・クロック動作時のSTOP解除後のみ有効となります。

2 . リセット解除後の高速システム・クロック発振回路の発振安定待ち時間は、OSTCレジスタにより確認を行い、任意の発振安定待ち時間経過後に高速システム・クロック動作に切り替えてください。マスク・オプション（フラッシュ・メモリ製品の場合はオプション・バイト）で高速システム・クロックを外部RC発振クロックまたは高速内蔵発振クロックに選択した場合、発振安定時間のウエイトは必要ありません。したがって、OSTCの値を読み出さずに、CPUクロックを切り替えてもかまいません。

5.8.2 高速システム・クロックから低速内蔵発振クロックへの切り替え

図5 - 15 高速システム・クロックから低速内蔵発振, クロックへの切り替え (フロー・チャート)



注 マスク・オプション (フラッシュ・メモリ製品の場合はオプション・バイト) で低速内蔵発振器を「ソフトウェアにより停止可能」を選択した場合のみ必要となります。

5.8.3 レジスタ設定

表5-7 クロックとレジスタの設定

f _{CPU}	モード	設定フラグ			ステータス・フラグ
		MCM レジスタ	MOC レジスタ	RCM レジスタ	MCM レジスタ
		MCM0	MSTOP	RSTOP ^{注1}	MCS
高速システム・ クロック ^{注2}	低速内蔵発振クロック発振	1	0	0	1
	低速内蔵発振クロック停止	1	0	1	1
低速内蔵発振 クロック	高速システム・クロック発振	0	0	0	0
	高速システム・クロック停止	0	1	0	0

注1. マスク・オプション（フラッシュ・メモリ製品の場合はオプション・バイト）
で低速内蔵発振器を「ソフトウェアにより停止可能」を選択した場合のみ有効
となります。

2. 高速システム・クロック動作中にMSTOP = 1に設定しないでください（MSTOP
= 1に設定しても、高速システム・クロックの発振は停止しません）。

第6章 16ビット・タイマ/イベント・カウンタ00

6.1 16ビット・タイマ/イベント・カウンタ00の機能

16ビット・タイマ/イベント・カウンタ00には、次のような機能があります。

- ・インターバル・タイマ
- ・PPG出力
- ・パルス幅測定
- ・外部イベント・カウンタ
- ・方形波出力
- ・ワンショット・パルス出力

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

(2) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

(3) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

(4) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(5) 方形波出力

任意の周波数の方形波出力が可能です。

(6) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

6.2 16ビット・タイマ/イベント・カウンタ00の構成

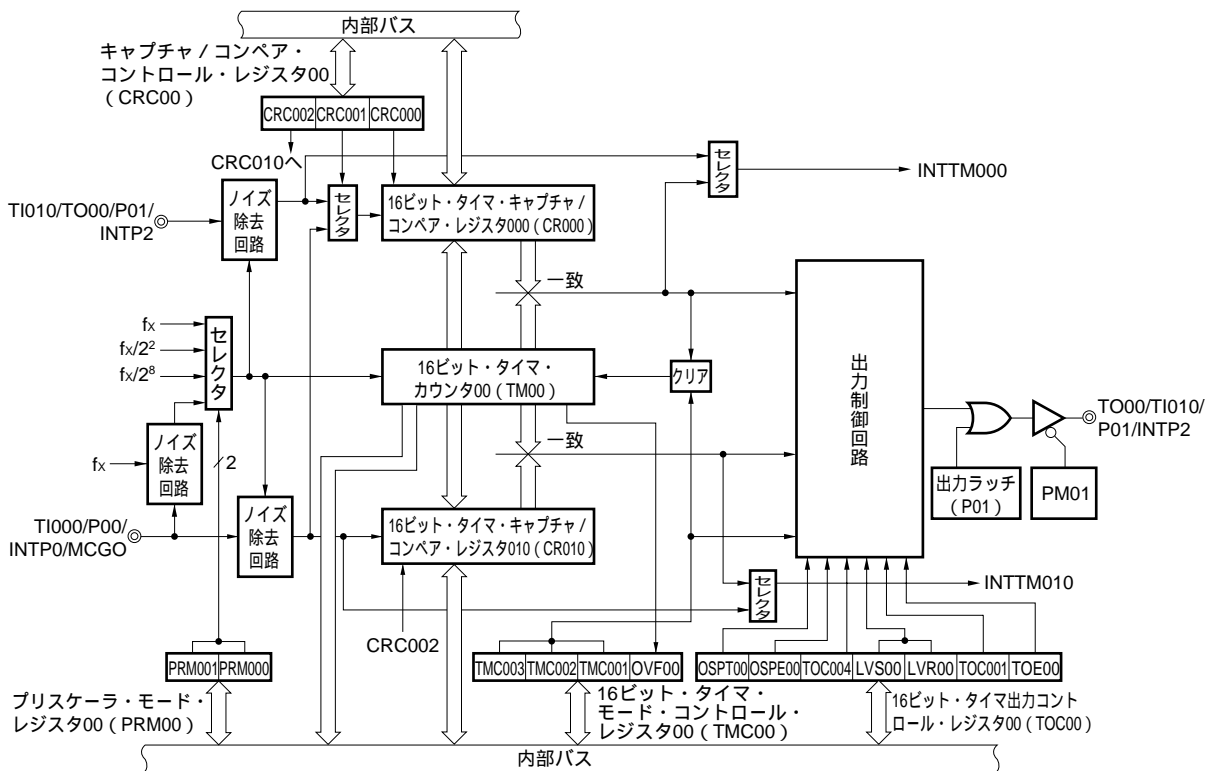
16ビット・タイマ/イベント・カウンタ00は、次のハードウェアで構成されています。

表6 - 1 16ビット・タイマ/イベント・カウンタ00の構成

項目	構成
タイマ/カウンタ	16ビット (TM00)
レジスタ	16ビット・タイマ・キャプチャ/コンペア・レジスタ : 16ビット (CR000, CR010)
タイマ入力	TI000, TI010
タイマ出力	TO00, 出力制御回路
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) プリスケアラ・モード・レジスタ00 (PRM00) ポート・モード・レジスタ0 (PM0) ポート・レジスタ0 (P0)

図6 - 1にブロック図を示します。

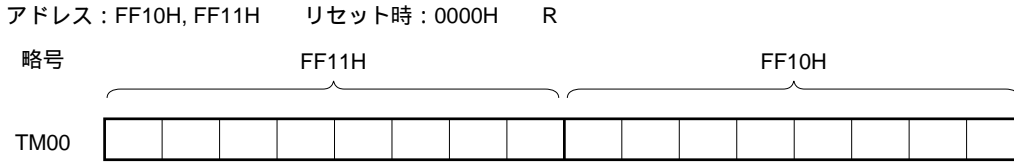
図6 - 1 16ビット・タイマ/イベント・カウンタ00のブロック図



(1) 16ビット・タイマ・カウンタ00 (TM00)

TM00は、カウント・パルスをカウントする16ビットのリード専用レジスタです。
入カクロックの立ち上がりに同期して、カウンタをインクリメントします。

図6-2 16ビット・タイマ・カウンタ00 (TM00) のフォーマット



次の場合、カウント値は0000Hになります。

RESET入力

TMC003, TMC002をクリア

TI000有効エッジ入力でクリア&スタート・モード時のTI000有効エッジが入力されたとき

CR000の一致でクリア&スタート・モード時にTM00とCR000の一致

ワンショット・パルス出力モードで、OSPT00を1にセット

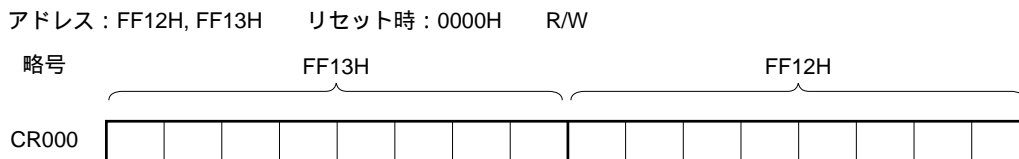
(2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000)

CR000は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。
キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のビット0 (CRC000) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

CR000は、16ビット・メモリ操作命令で設定します。

RESET入力により、0000Hになります。

図6-3 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) のフォーマット



・CR000をコンペア・レジスタとして使用するとき

CR000に設定した値と16ビット・タイマ・カウンタ00 (TM00) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM000) を発生します。CR000を書き換えるまで、設定した値を保持します。

・CR000をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI000端子、またはTI010端子の有効エッジが選択できます。TI000, TI010端子の有効エッジは、プリスケアラ・モード・レジスタ00 (PRM00) で設定します (表6-2を参照)。

表6-2 CR000のキャプチャ・トリガとTI000端子とTI010端子の有効エッジ

(1) キャプチャ・トリガとしてTI000端子の有効エッジを選択 (CRC001 = 1, CRC000 = 1)

CR00nのキャプチャ・トリガ	TI000端子の有効エッジ		
	ES001	ES000	
立ち下がりエッジ	立ち上がりエッジ	0	1
立ち上がりエッジ	立ち下がりエッジ	0	0
キャプチャ動作しない	立ち上がり, 立ち下がりの両エッジ	1	1

(2) キャプチャ・トリガとしてTI010端子の有効エッジを選択 (CRC001 = 0, CRC000 = 1)

CR00nのキャプチャ・トリガ	TI010端子の有効エッジ		
	ES101	ES100	
立ち下がりエッジ	立ち下がりエッジ	0	0
立ち上がりエッジ	立ち上がりエッジ	0	1
立ち上がり, 立ち下がりの両エッジ	立ち上がり, 立ち下がりの両エッジ	1	1

備考1. ES001, ES000 = 1, 0およびES101, ES100 = 1, 0は設定禁止です。

2. ES001, ES000 : プリスケアラ・モード・レジスタ00 (PRM00) のビット5, 4
ES101, ES100 : プリスケアラ・モード・レジスタ00 (PRM00) のビット7, 6
CRC001, CRC000 : キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のビット1, 0

注意1. TM00とCR000の一致でクリア&スタート・モードの場合, CR000には0000H以外の値を設定してください。

2. フリー・ランニング・モードおよびTI000の有効エッジのクリア・モードにおいて, CR000に0000Hを設定した場合は, TM00のオーバフロー (FFFFH) 後, 0000Hから0001Hになるときに割り込み要求 (INTTM000) を発生します。またTM00とCR000の一致後, TI010端子の有効エッジ検出後, ワンショット・トリガによるクリア後にINTTM000を発生します。
3. TI010端子の有効エッジを使用するときは, P01をタイマ出力 (TO00) 端子として使用できません。また, TO00端子を使用するときは, TI010端子の有効エッジは使用できません。
4. CR000をキャプチャ・レジスタとして使用時, レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合, リード・データは不定となります (キャプチャ・データ自体は正常値)。また, タイマのカウント停止とキャプチャ・トリガの入力が競合した場合, キャプチャ・データは不定となります。
5. TM00動作中にCR000を書き換えしないでください。

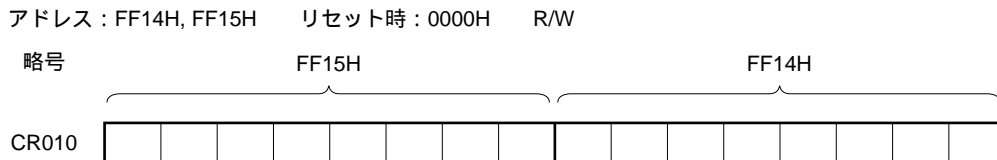
(3) 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010)

キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のビット2 (CRC002) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

CR010は、16ビット・メモリ操作命令で設定します。

RESET入力により0000Hになります。

図6-4 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) のフォーマット



・CR010をコンペア・レジスタとして使用するとき

CR010に設定した値と16ビット・タイマ・カウンタ00 (TM00) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM010) を発生します。CR010を書き換えるまで、設定した値を保持します。

・CR010をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI000端子の有効エッジが選択できます。TI000の有効エッジは、プリスケアラ・モード・レジスタ00 (PRM00) で設定します (表6-3を参照)。

表6-3 CR010のキャプチャ・トリガとTI000端子の有効エッジ (CRC002 = 1)

CR010のキャプチャ・トリガ	TI000端子の有効エッジ		
	ES001	ES000	
立ち下がりエッジ	立ち下がりエッジ	0	0
立ち上がりエッジ	立ち上がりエッジ	0	1
立ち上がり, 立ち下がりの両エッジ	立ち上がり, 立ち下がりの両エッジ	1	1

備考1. ES001, ES000 = 1, 0は設定禁止です。

2. ES001, ES000 : プリスケアラ・モード・レジスタ00 (PRM00) のビット5, 4

CRC002 : キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のビット2

注意1. CR010に0000Hを設定した場合は、TM00のオーバフロー (FFFFH) 後、0000Hから0001Hになるときに割り込み要求 (INTTM010) を発生します。またTM00とCR010の一致後、TI000端子の有効エッジ検出後、ワンショット・トリガによるクリア後にINTTM010を発生します。

2. CR010をキャプチャ・レジスタとして使用時、レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合、リード・データは不定となります (キャプチャ・データ自体は正常値)。

また、カウント停止の入力とキャプチャ・トリガの入力が競合した場合、キャプチャ・データは不定となります。

3. TM00動作中にCR010を書き換えることができます。詳細は図6-15の注意2を参照してください。

6.3 16ビット・タイマ/イベント・カウンタ00を制御するレジスタ

16ビット・タイマ/イベント・カウンタ00を制御するレジスタには、次の6種類があります。

- ・16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)
- ・キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)
- ・16ビット・タイマ出力コントロール・レジスタ00 (TOC00)
- ・プリスケアラ・モード・レジスタ00 (PRM00)
- ・ポート・モード・レジスタ0 (PM0)
- ・ポート・レジスタ0 (P0)

(1) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

16ビット・タイマの動作モード、16ビット・タイマ・カウンタ00 (TM00) のクリア・モード、出力タイミングの設定およびオーバフローを検出するレジスタです。

TMC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

注意 16ビット・タイマ・カウンタ00 (TM00) は、TMC002, TMC003に0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC002, TMC003に0, 0を設定してください。

図6-5 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のフォーマット

アドレス：FFBAH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TMC00	0	0	0	0	TMC003	TMC002	TMC001	OVF00

TMC003	TMC002	TMC001	動作モードおよび クリア・モードの選択	TO00の反転 タイミングの選択	割り込み要求の発生
0	0	0	動作停止 (TM00は0にクリア)	変化なし	発生しない
0	0	1			
0	1	0	フリー・ランニング・モード	TM00とCR000の一致または TM00とCR010の一致	< CR000またはCR010をコンペア・レジスタとして使用時> TM00とCR000の一致または TM00とCR010の一致で発生 < CR000またはCR010をキャプチャ・レジスタとして使用時>
0	1	1		TM00とCR000の一致, TM00とCR010の一致または TI000の有効エッジ	
1	0	0	TI000の有効エッジで クリア&スタート	-	TI000端子, TI010端子の有効エッジで発生
1	0	1	TM00とCR000の一致で クリア&スタート	TM00とCR000の一致または TM00とCR010の一致	
1	1	0		TM00とCR000の一致, TM00とCR010の一致または TI000の有効エッジ	
1	1	1			

OVF00	16ビット・タイマ・カウンタ00 (TM00) のオーバーフロー検出
0	オーバーフローなし
1	オーバーフローあり

- 注意1. OVF00フラグ以外のビットには、タイマ動作を停止してから書き込んでください。
- TI000端子の有効エッジは、プリスケラ・モード・レジスタ00 (PRM00) で設定します。
 - TM00とCR000の一致でクリア&スタート、TI000の有効エッジでクリア&スタート、フリー・ランニングのいずれかのモードを選択した場合、CR000の設定値がFFFFHで、TM00の値がFFFFHから0000Hに変化するとき、OVF00フラグが1に設定されます。

備考 TO00 : 16ビット・タイマ/イベント・カウンタ00の出力端子
 TI000 : 16ビット・タイマ/イベント・カウンタ00の入力端子
 TM00 : 16ビット・タイマ・カウンタ00
 CR000 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ00
 CR010 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ010

(2) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

16ビット・タイマ・キャプチャ/コンペア・レジスタ (CR000, CR010) の動作を制御するレジスタです。

CRC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図6-6 キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のフォーマット

アドレス: FFBCH リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
CRC00	0	0	0	0	0	CRC002	CRC001	CRC000

CRC002	CR010の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC001	CR000のキャプチャ・トリガの選択
0	TI010の有効エッジでキャプチャする
1	TI000の有効エッジの逆相でキャプチャする ^注

CRC000	CR000の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

注 TI000の有効エッジに、立ち上がり、立ち下がりの両エッジを選択した場合には、キャプチャは動作しません。

注意1. CRC00は、必ずタイマ動作を停止させてから設定してください。

2. 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) で、TM00とCR000の一致でクリア&スタート・モードを選択したとき、CR000をキャプチャ・レジスタに指定しないでください。

3. キャプチャを確実に行うためのキャプチャ・トリガは、プリスケラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックの2周期分より長いパルスが必要とします。

(3) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

16ビット・タイマ/イベント・カウンタ00出力制御回路の動作を制御するレジスタです。タイマ出力F/F (LV00) のセット/リセット、出力の反転許可/禁止、16ビット・タイマ/イベント・カウンタ00のタイマ出力許可/禁止、ワンショット・パルス出力動作の許可/禁止およびソフトウェアによるワンショット・パルスの出力トリガを設定します。

TOC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図6-7 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) のフォーマット

アドレス：FFBDH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TOC00	0	OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00

OSPT00	ソフトウェアによるワンショット・パルスの出力トリガの制御	
0	ワンショット・パルス出力トリガなし	
1	ワンショット・パルス出力トリガあり	

OSPE00	ワンショット・パルス出力動作の制御	
0	連続パルス出力モード	
1	ワンショット・パルス出力モード ^注	

TOC004	CR010とTM00の一致によるタイマ出力F/Fの制御	
0	反転動作禁止	
1	反転動作許可	

LVS00	LVR00	タイマ出力F/Fの状態の設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット(0)
1	0	タイマ出力F/Fをセット(1)
1	1	設定禁止

TOC001	CR000とTM00の一致によるタイマ出力F/Fの制御	
0	反転動作禁止	
1	反転動作許可	

TOE00	タイマ出力の制御	
0	出力禁止(出力は0レベルに固定)	
1	出力許可	

注 ワンショット・パルス出力モードは、フリー・ランニング・モード、TI000の有効エッジでクリア & スタート・モードでのみ正常動作します。TM00レジスタとCR000レジスタの一致でクリア & スタート・モードでは、オーバフローしないためワンショット・パルス出力はできません。

注意1. TOC004以外は、必ずタイマ動作を停止させてから設定してください。

2. LVS00, LVR00は読み出すと、0になっています。
3. OSPT00は、データ設定後に自動的にクリアされますので、読み出すと0になっています。
4. OSPT00は、ワンショット・パルス出力モード以外でセット(1)しないでください。
5. OSPT00に連続してライトするとき、プリスケアラ・モード・レジスタ00 (PRM00) を選択したカウント・クロック2周期分以上のライト間隔が必要です。
6. TOE00より先にLVS00に“1”をセットしないでください。または、LVS00とTOE00に同時に“1”をセットしないでください。
7. 次の , の設定は同時に行わないでください。また設定は次の手順で行ってください。
 TOC001, TOC004, TOE00, OSPE00の設定 : タイマ出力動作の設定
 LVS00, LVR00の設定 : タイマ出力F/Fの設定

(4) プリスケアラ・モード・レジスタ00 (PRM00)

16ビット・タイマ・カウンタ00 (TM00) のカウント・クロックおよびTI000, TI010入力の有効エッジを設定するレジスタです。PRM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図6-8 プリスケアラ・モード・レジスタ00 (PRM00) のフォーマット

アドレス：FFBBH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PRM00	ES101	ES100	ES001	ES000	0	0	PRM001	PRM000

ES101	ES100	TI010有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES001	ES000	TI000有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

PRM001	PRM000	カウント・クロックの選択
0	0	f_x (10 MHz)
0	1	$f_x/2^2$ (2.5 MHz)
1	0	$f_x/2^8$ (39.06 kHz)
1	1	TI000有効エッジ ^注

注 外部クロックは内部クロック (f_x) の2周期分より長いパルスを必要とします。

注意1. CPUへの供給クロックに低速内蔵発振クロックを選択する場合、カウント・クロックに低速内蔵発振回路の分周クロックが供給されます。カウント・クロックが低速内蔵発振クロックの場合、16ビット・タイマ/イベント・カウンタ00の動作は保証されません。また外部クロックの場合も、CPUへの供給クロックに低速内蔵発振クロックを選択する場合、ノイズ除去のためのサンプリング・クロックに低速内蔵発振クロックが供給されるため、同様に16ビット・タイマ/イベント・カウンタ00の動作は保証されません。

2. PRM00は、必ずタイマ動作を停止させてからデータを設定してください。
3. カウント・クロックにTI000の有効エッジを設定する場合、TI000有効エッジでクリア&スタート・モードおよびキャプチャ・トリガに設定しないでください。
4. システム・リセット直後にTI000端子またはTI010端子がハイ・レベルの場合、TI000端子またはTI010端子の有効エッジを立ち上がりまたは両エッジに指定し、16ビット・タイマ・カウンタ00 (TM00) の動作を許可すると、その直後に立ち上がりエッジを検出します。TI000端子またはTI010端子をプルアップしている場合などは注意してください。ただし、動作を停止させたあとの再動作許可時にTI000端子またはTI010端子がハイ・レベルの場合は、立ち上がりエッジは検出されません。

注意5 . TI010有効エッジを使用するときは、P01をタイマ出力 (TO00) 端子として使用できません。
 また、TO00端子を使用するときは、TI010有効エッジを使用できません。

備考1 . f_x : 高速システム・クロック発振周波数

2 . TI000, TI010 : 16ビット・タイマ/イベント・カウンタ00の入力端子

3 . () 内は $f_x = 10 \text{ MHz}$ 動作時。

(5) ポート・モード・レジスタ0 (PM0)

ポート0の入力/出力を1ビット単位で設定するレジスタです。

P01/TO00/TI010/INTP2端子をタイマ出力として使用するとき、PM01およびP01の出力ラッチに0を設定してください。

P01/TO00/TI010/INTP2端子をタイマの入力として使用するとき、PM01に1を設定してください。このときP01の出力ラッチは、0または1のどちらでもかまいません。

PM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図6 - 9 ポート・モード・レジスタ0 (PM0) のフォーマット

アドレス : FF20H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	1	1	1	1	1	PM01	PM00

PM0n	P0n端子の入出力モードの選択 (n = 0, 1)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

6.4 16ビット・タイマ/イベント・カウンタ00の動作

6.4.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) と、キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) を図6 - 10のように設定することにより、インターバル・タイマとして動作します。

設定方法

基本的な動作設定手順例は次のようになります。

- CRC00レジスタの設定 (設定値については図6 - 10参照)
- CR000レジスタに任意の値を設定
- PRM00レジスタによりカウント・クロック設定
- TMC00レジスタ設定: 動作開始 (設定値については図6 - 10参照)

注意 TM00動作中にCR000を書き換えしないでください。

備考 INTTM000割り込み許可の設定については、第14章 **割り込み機能**を参照してください。

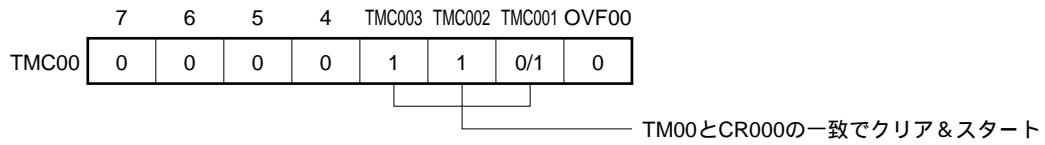
16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生します。

16ビット・タイマ・カウンタ00 (TM00) のカウント値がCR000に設定した値と一致したとき、TM00の値を0にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM000) を発生します。

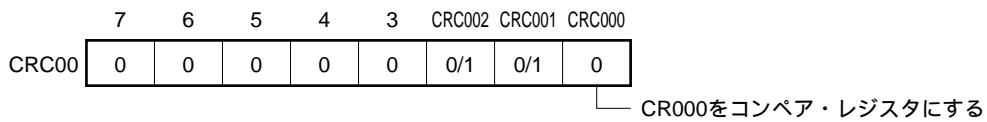
プリスケアラ・モード・レジスタ00 (PRM00) のビット0, 1 (PRM000, PRM001) で16ビット・タイマ/イベント・カウンタ00のカウント・クロックを選択できます。

図6 - 10 インターバル・タイマ動作時の制御レジスタ設定内容

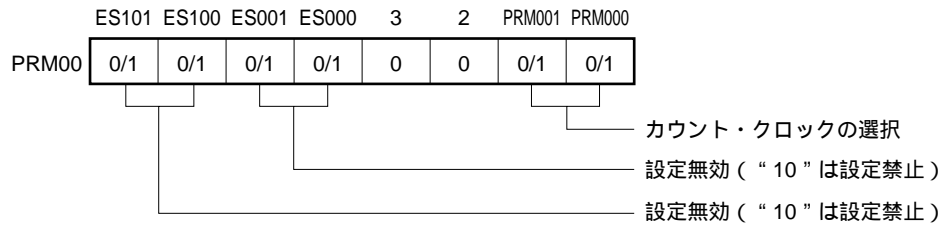
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

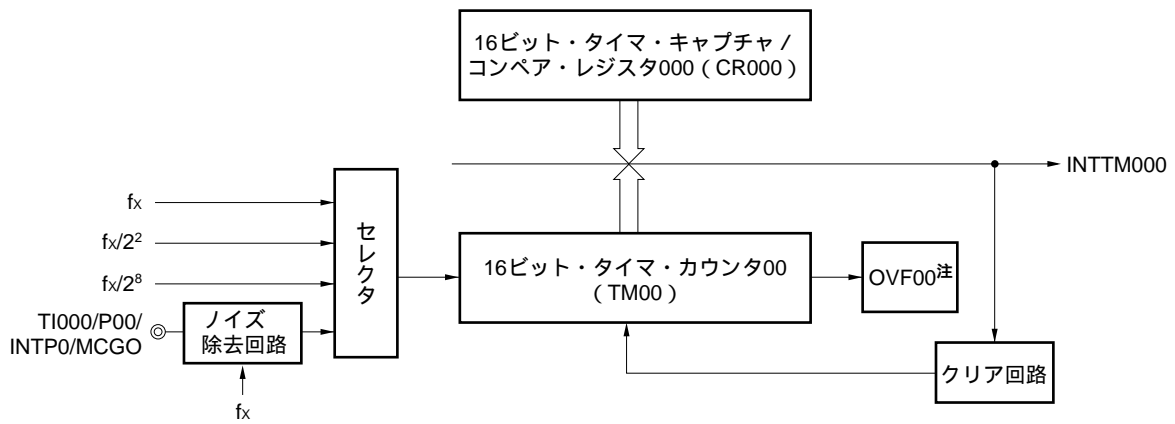


(c) プリスケアラ・モード・レジスタ00 (PRM00)



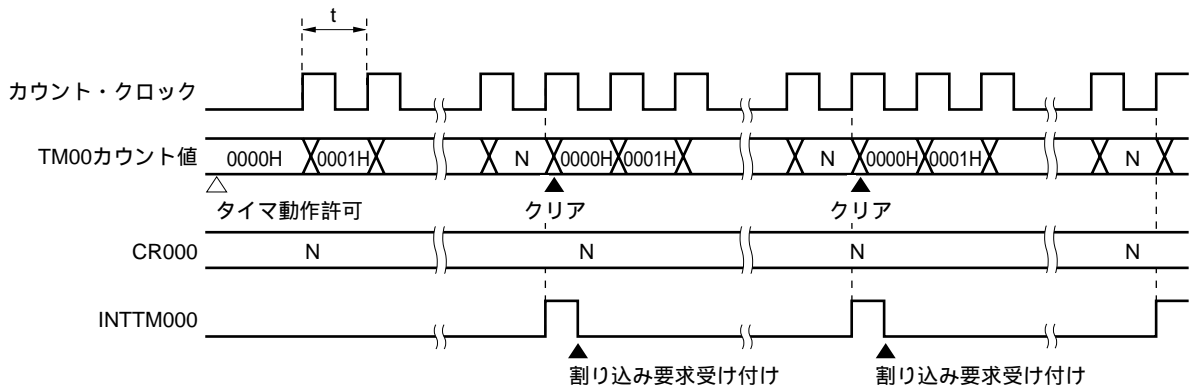
備考 0/1 : 0または1を設定することにより、インターバル・タイマと同時にほかの機能を使用できます。
詳細は、各制御レジスタの説明を参照してください。

図6 - 11 インターバル・タイマの構成図



注 CR000にFFFFHを設定した場合のみ、OVF00は1になります。

図6 - 12 インターバル・タイマ動作のタイミング



備考 インターバル時間 = $(N + 1) \times t$
 $N = 0001H - FFFFH$ (設定可能範囲)

6.4.2 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) と、キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) を図6 - 13のように設定することにより、PPG (Programmable Pulse Generator) 出力として動作します。

設定方法

基本的な動作設定手順例は次のようになります。

- CRC00 レジスタの設定 (設定値については図6 - 13参照)
- CR000 レジスタに周期となる任意の値を設定
- CR010 レジスタにデューティとなる任意の値を設定
- TOC00 レジスタの設定 (設定値は図6 - 13参照)
- PRM00 レジスタによりカウント・クロック設定
- TMC00 レジスタ設定：動作開始 (設定値については図6 - 13参照)

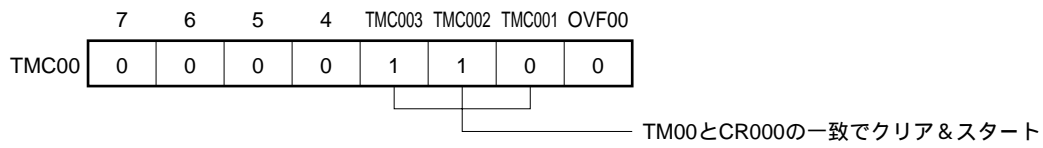
注意 動作中にデューティの値 (CR010レジスタ) を変更する場合は、図6 - 15 PPG出力動作のタイミングの注意2を参照してください。

- 備考1** . TO00端子の設定については、6.3(5)ポート・モード・レジスタ0 (PM0) を参照してください。
2 . INTTM000割り込み許可の設定については、第14章 割り込み機能を参照してください。

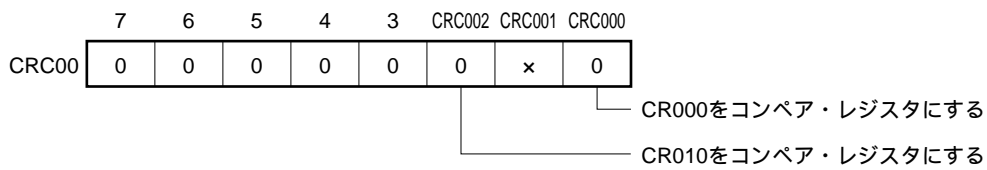
PPG出力パルスは、16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) にあらかじめ設定したカウント値を1周期とし、16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) にあらかじめ設定したカウント値をパルス幅とする矩形波をTO00端子から出力します。

図6 - 13 PPG出力動作時の制御レジスタ設定内容

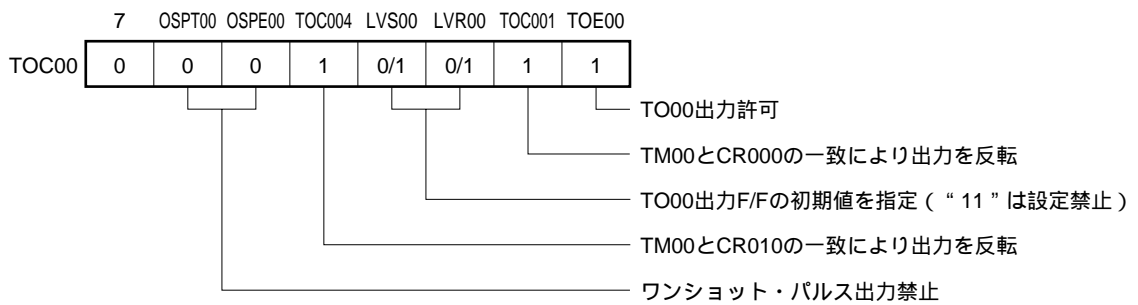
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



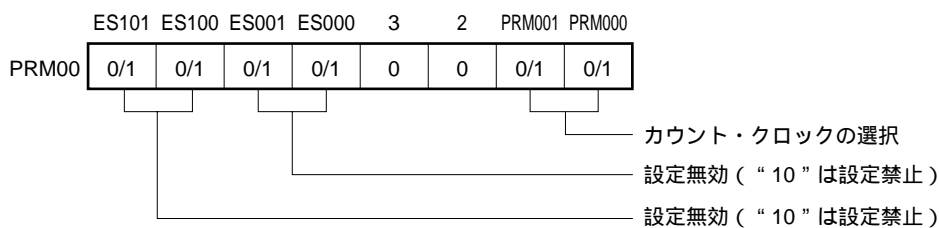
(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)



(d) プリスケアラ・モード・レジスタ00 (PRM00)



注意1 . CR000とCR010には次の範囲の値を設定してください。

0000H CR010 < CR000 FFFFH

2 . PPG出力によって生成されるパルスの周期は (CR000の設定値 + 1) , デューティは (CR010の設定値 + 1) / (CR000の設定値 + 1) になります。

備考 x : don't care

図6 - 14 PPG出力の構成図

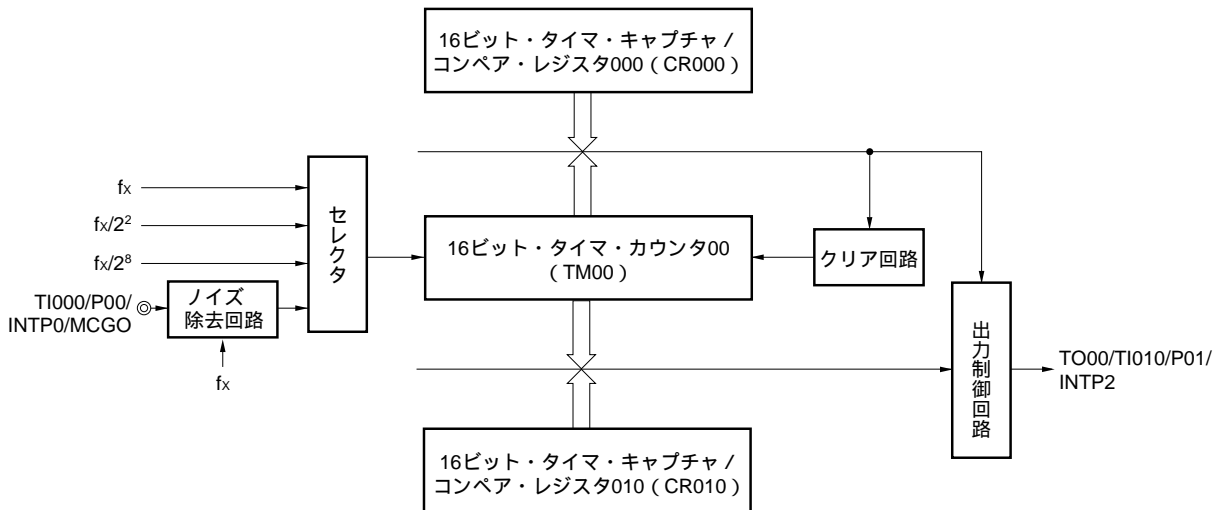
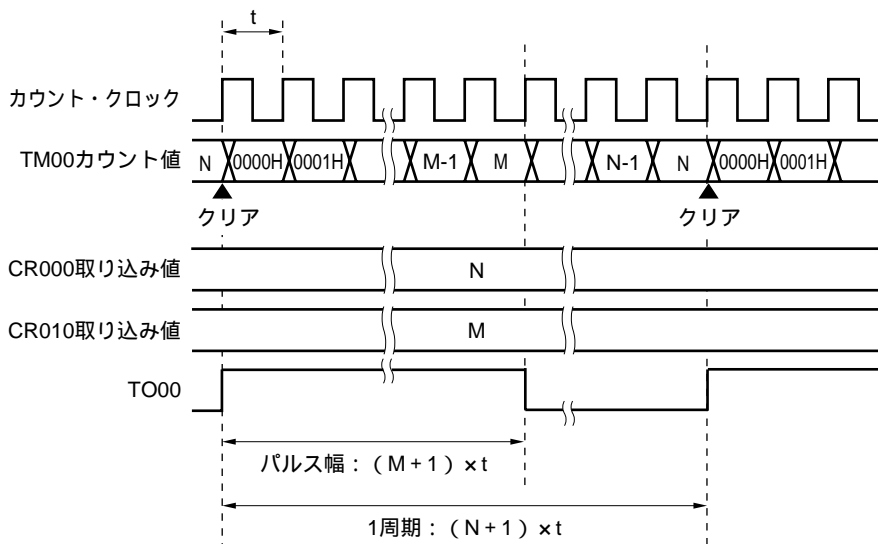


図6 - 15 PPG出力動作のタイミング



注意1. TM00動作中にCR000を書き換えしないでください。

2. PPG出力動作において、TM00の動作中にパルス幅を変更する（CR010を書き換える）場合は、次の手順で行ってください。

TM00とCR010の一致によるタイマ出力反転動作を禁止する（TOC004 = 0）

INTTM010の割り込みを禁止する（TMMK010 = 1）

CR010を書き換える

TM00のカウンタ・クロックの1周期分をウェイトする

TM00とCR010の一致によるタイマ出力反転動作を許可する（TOC004 = 1）

INTTM010の割り込み要求フラグをクリアする（TMIF010 = 0）

INTTM010の割り込みを許可する（TMMK010 = 0）

備考 0000H M < N FFFFH

6.4.3 パルス幅測定としての動作

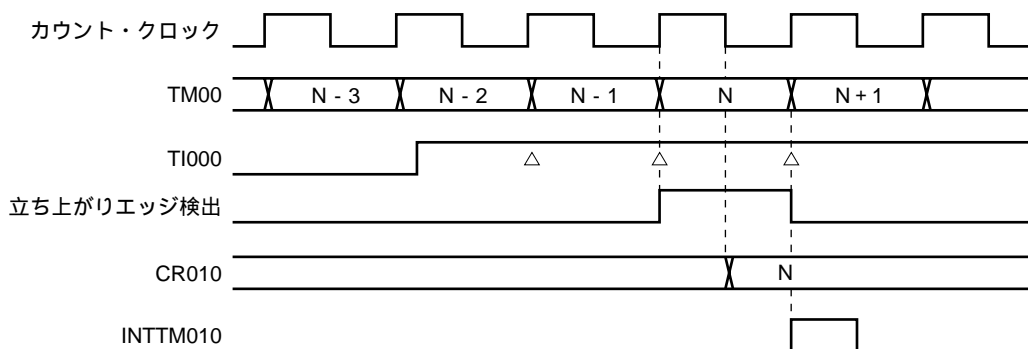
16ビット・タイマ・カウンタ00 (TM00) を使用し、TI000端子およびTI010端子に入力される信号のパルス幅を測定できます。

測定方法は、TM00をフリー・ランニングさせて測定する方法とTI000端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

割り込みが発生したら、有効なキャプチャ・レジスタの値を読み込み、オーバフロー・フラグを確認したあと、必要なパルス幅を計算してください。オーバフロー・フラグは、確認後クリアしてください。

プリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロック周期でサンプリングを行い、TI000端子またはTI010端子の有効レベルを2回検出することで始めてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図6 - 16 立ち上がりエッジ指定時のCR010キャプチャ動作



設定方法

基本的な動作設定手順例は次のようになります。

CRC00レジスタの設定 (設定値については図6 - 17, 6 - 20, 6 - 22, 6 - 24参照)

PRM00レジスタによりカウント・クロック設定

TMC00レジスタ設定: 動作開始 (設定値については図6 - 17, 6 - 20, 6 - 22, 6 - 24参照)

注意 キャプチャ・レジスタを2本使用する場合は、TI000およびTI010端子の設定を行ってください。

備考1 . TI000 (もしくはTI010) 端子の設定については、6.3(5)ポート・モード・レジスタ0 (PM0) を参照してください。

備考2 . INTTM000 (もしくはINTTM010) 割り込み許可の設定については、第14章 割り込み機能を参照してください。

(1) フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定

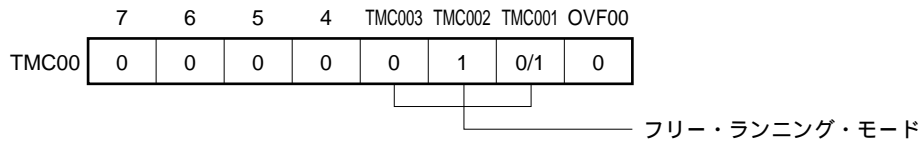
16ビット・タイマ・カウンタ00 (TM00) をフリー・ランニングで動作させているときTI000端子にプリスケアラ・モード・レジスタ00 (PRM00) で指定したエッジが入力されるとTM00の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) に取り込み、外部割り込み要求信号 (INTTM010) をセットします。

TI000端子のエッジはPRM00のビット4, 5 (ES000, ES001) で、立ち上がり、立ち下りの両エッジを指定します。

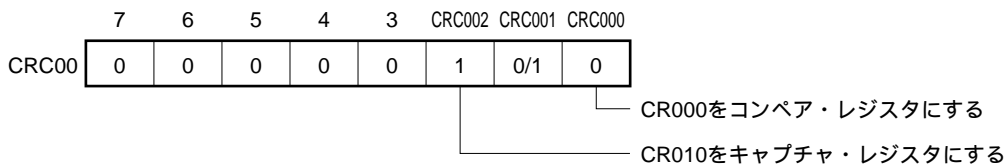
PRM00で選択したカウント・クロックでサンプリングを行い、TI000端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図6 - 17 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容 (TI000とCR010を使用した場合)

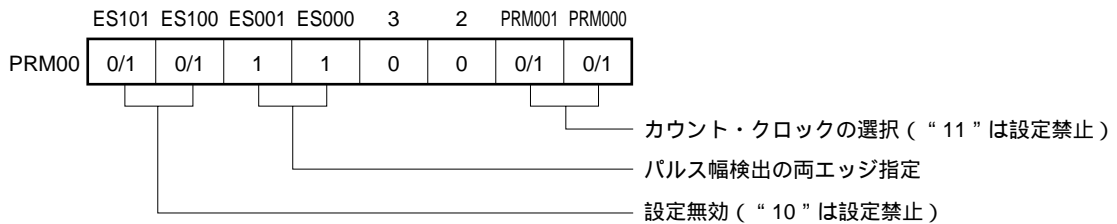
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) プリスケアラ・モード・レジスタ00 (PRM00)



備考 0/1 : 0または1を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

図6 - 18 フリー・ランニング・カウンタによるパルス幅測定の構成図

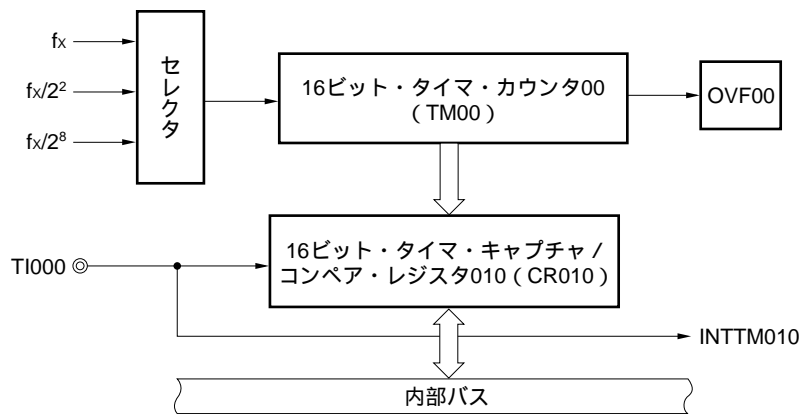
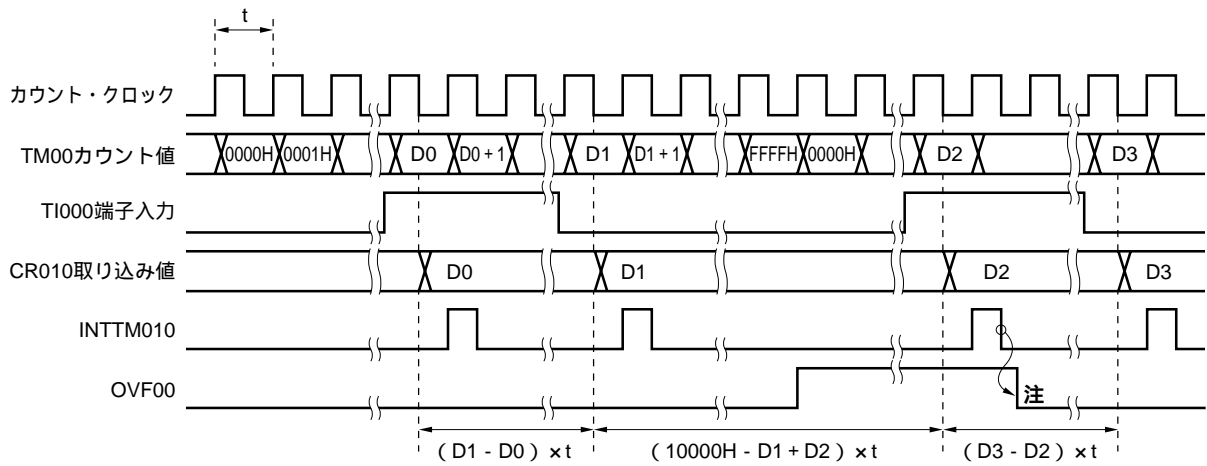


図6 - 19 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時)



注 OVF00のクリアはソフトウェアで行ってください。

(2) フリー・ランニング・カウンタによる2つのパルス幅測定

16ビット・タイマ・カウンタ00 (TM00) をフリー・ランニングで動作させているとき, TI000端子およびTI010端子に入力される2つの信号のパルス幅を同時に測定できます。

TI000端子にプリスケアラ・モード・レジスタ00 (PRM00) のビット4, 5 (ES000, ES001) で指定したエッジが入力されると, TM00の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) に取り込み, 割り込み要求信号 (INTTM010) をセットします。

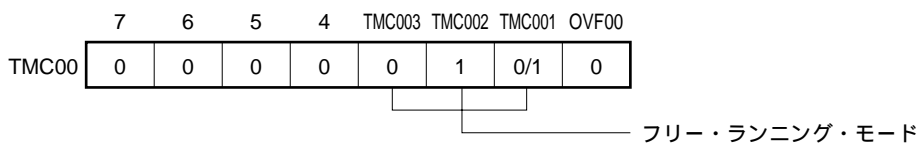
また, TI010端子にPRM00のビット6, 7 (ES100, ES101) で指定したエッジが入力されると, TM00の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) に取り込み, 割り込み要求信号 (INTTM000) をセットします。

TI000端子とTI010端子のエッジは, PRM00のビット4, 5 (ES000, ES001) およびビット6, 7 (ES100, ES101) で, 立ち上がり, 立ち下がりの両エッジを指定します。

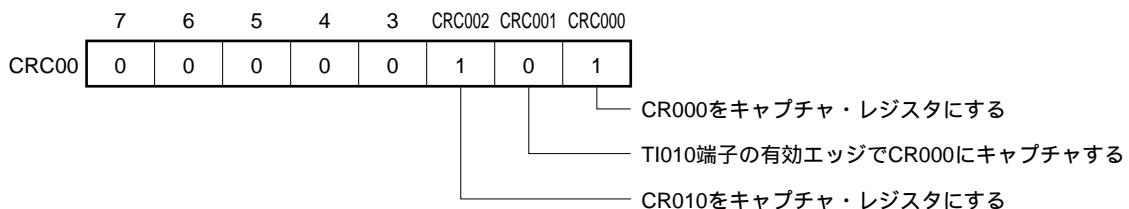
プリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロック周期でサンプリングを行い, TI000端子またはTI010端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

図6 - 20 フリー・ランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容

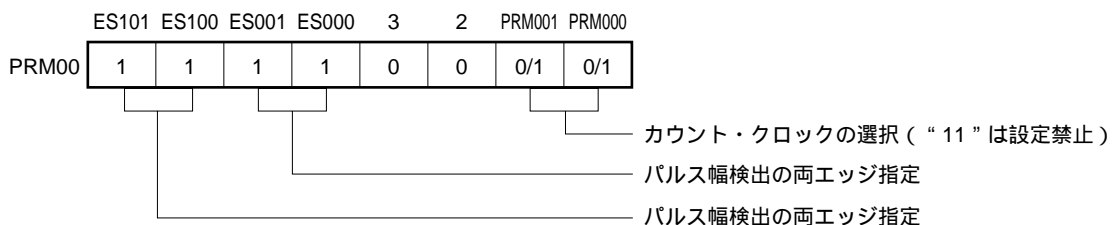
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

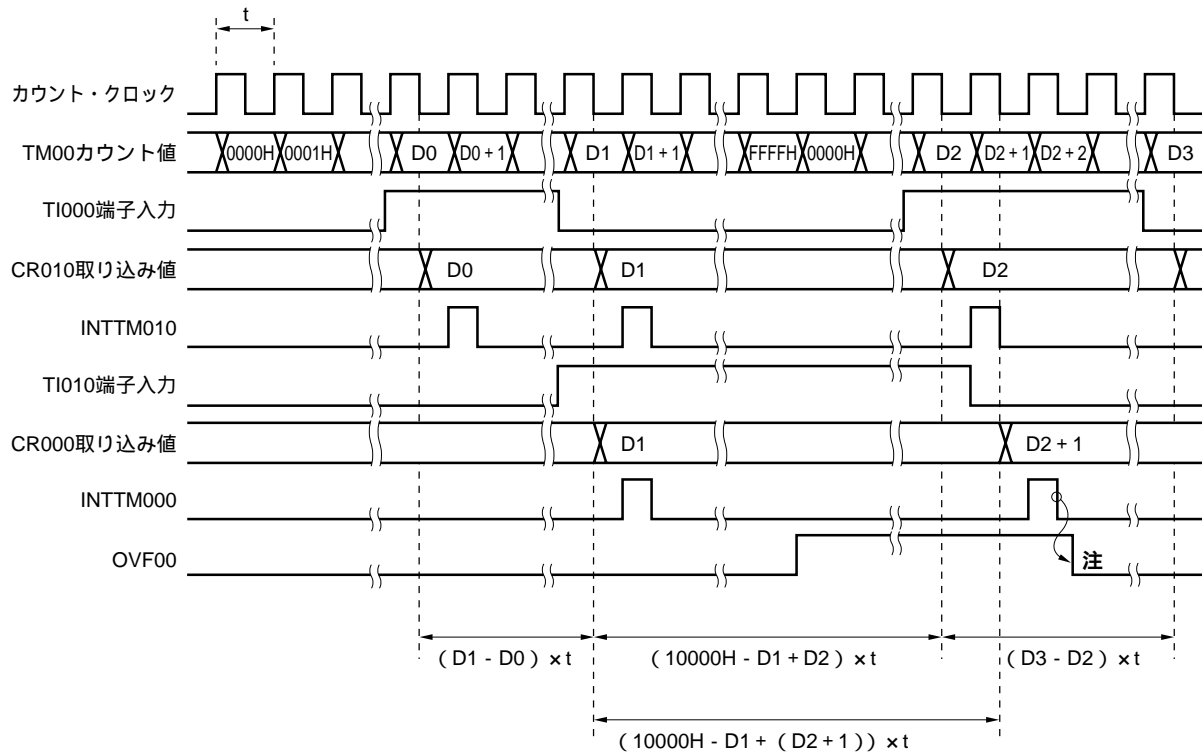


(c) プリスケアラ・モード・レジスタ00 (PRM00)



備考 0/1 : 0または1を設定することにより, パルス幅測定と同時にほかの機能を使用できます。詳細は, **各制御レジスタの説明**を参照してください。

図6-21 フリー・ランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時)



注 OVF00のクリアはソフトウェアで行ってください。

(3) フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定

16ビット・タイマ・カウンタ00 (TM00) をフリー・ランニングで動作させているとき、TI000端子に入力する信号のパルス幅を測定できます。

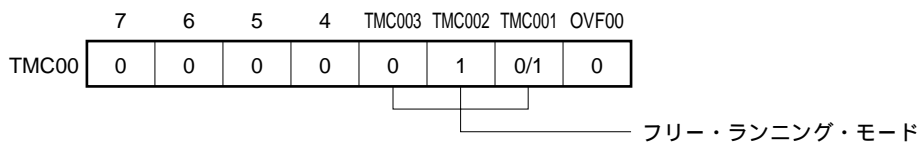
TI000端子にプリスケアラ・モード・レジスタ00 (PRM00) のビット4, 5 (ES000, ES001) で指定した立ち上がりまたは立ち下がりエッジが入力されると、TM00の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) に取り込み、割り込み要求信号 (INTTM010) をセットします。

また、CR010へのキャプチャ動作と逆のエッジ入力で、TM00の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) に取り込みます。

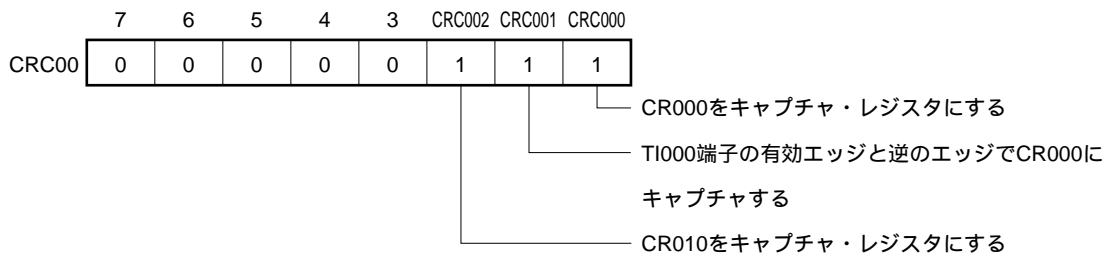
プリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロック周期でサンプリングを行い、TI000端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図6 - 22 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容 (立ち上がりエッジ指定時)

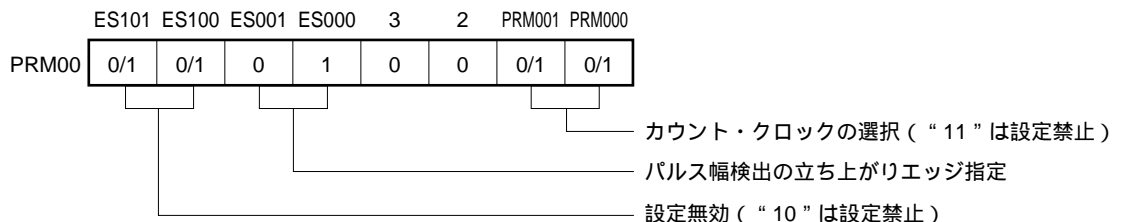
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

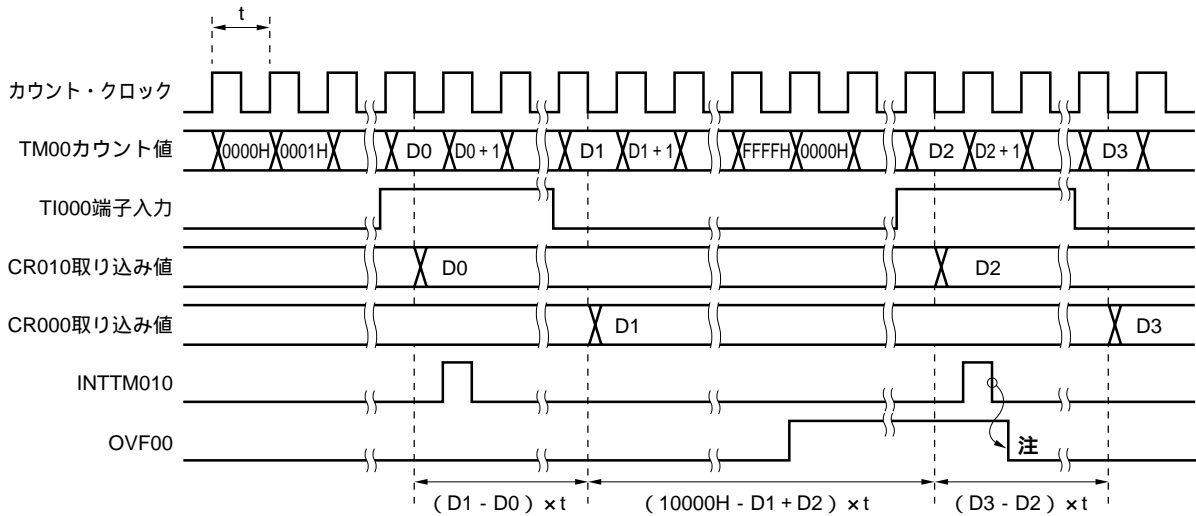


(c) プリスケアラ・モード・レジスタ00 (PRM00)



備考 0/1 : 0または1を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、**各制御レジスタの説明**を参照してください。

図6 - 23 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング
(立ち上がりエッジ指定時)



注 OVF00のクリアはソフトウェアで行ってください。

(4) リスタートによるパルス幅測定

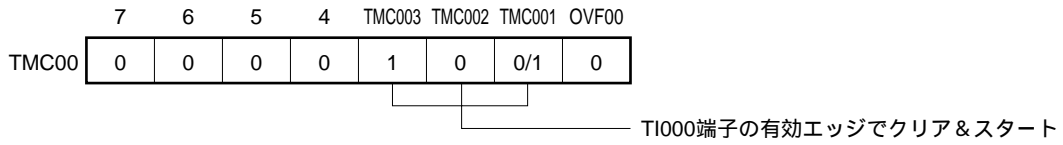
TI000端子への有効エッジを検出したとき、16ビット・タイマ・カウンタ00 (TM00) のカウント値を16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) に取り込んだあと、TM00をクリアしてカウントを再開することにより、TI000端子に入力された信号のパルス幅を測定します。

エッジ指定は、プリスケラ・モード・レジスタ00 (PRM00) のビット4, 5 (ES000, ES001) により、立ち上がりエッジまたは立ち下がりエッジの選択ができます。

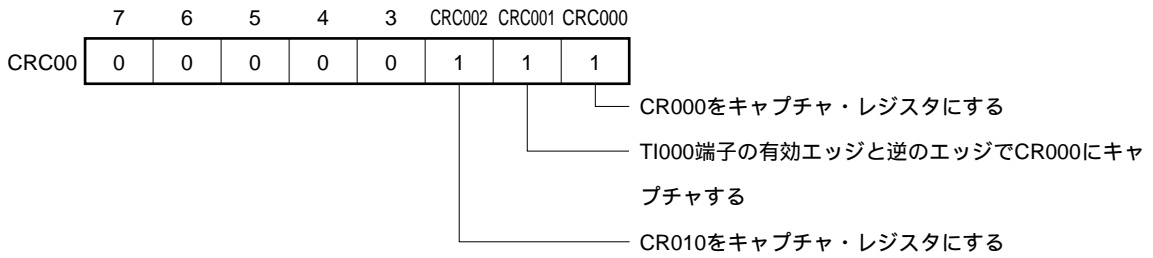
プリスケラ・モード・レジスタ00 (PRM00) で選択したカウント・クロック周期でサンプリングを行い、TI000端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図6 - 24 リスタートによるパルス幅測定時の制御レジスタ設定内容 (立ち上がりエッジ指定時)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) プリスケーラ・モード・レジスタ00 (PRM00)

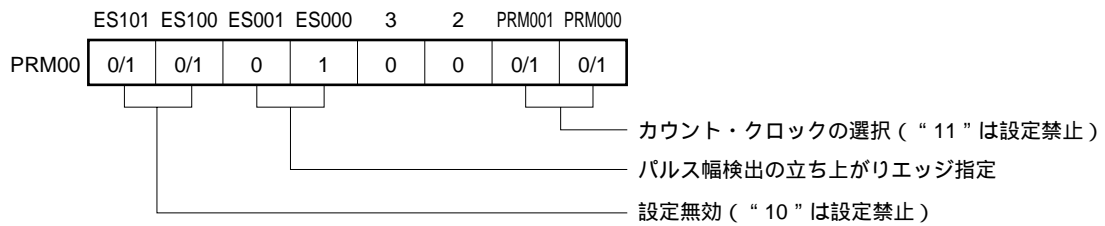
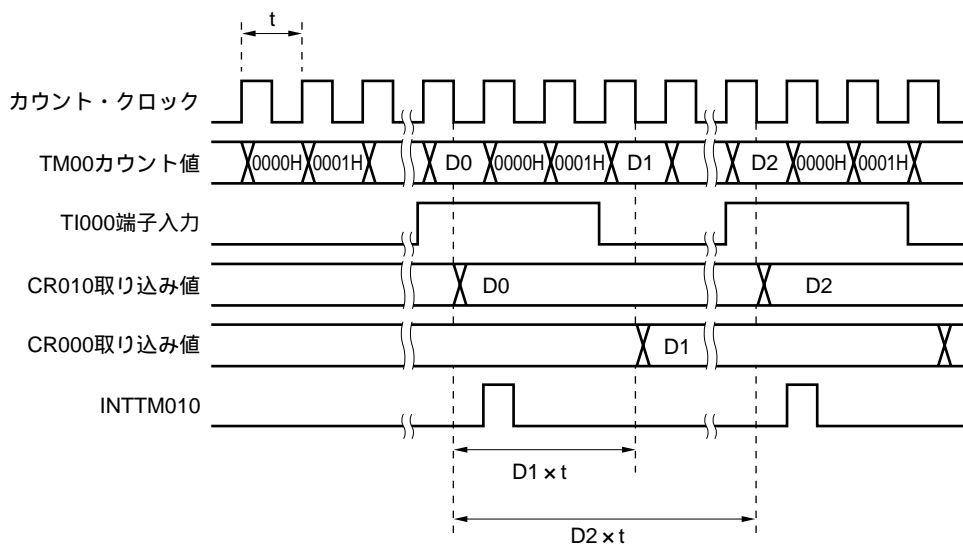


図6 - 25 リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時)



6.4.4 外部イベント・カウンタとしての動作

設定方法

基本的な動作設定手順例は次のようになります。

- CRC00レジスタの設定（設定値については図6 - 26参照）
- PRM00レジスタによりカウント・クロック設定
- CR000レジスタに任意の値（0000Hは設定できません）を設定
- TMC00レジスタ設定：動作開始（設定値については図6 - 26参照）

備考1. TI000端子の設定については、6.3(5)ポート・モード・レジスタ0 (PM0)を参照してください。

2. INTTM000割り込み許可の設定については、第14章 割り込み機能を参照してください。

外部イベント・カウンタは、TI000端子に入力される外部からのクロック・パルス数を16ビット・タイマ・カウンタ00 (TM00) でカウントするものです。

プリスケアラ・モード・レジスタ00 (PRM00) で指定した有効エッジが入力されるたびに、TM00がインクリメントされます。

TM00の計数値が16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) の値と一致すると、TM00は0にクリアされ、割り込み要求信号 (INTTM000) が発生します。

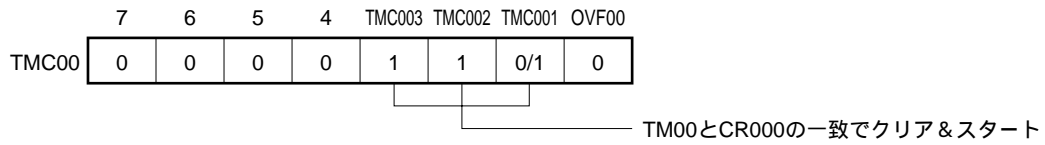
なお、CR000には0000H以外の値を入れてください（1パルスのカウント動作はできません）。

エッジ指定は、プリスケアラ・モード・レジスタ00 (PRM00) のビット4, 5 (ES000, ES001) により、立ち上がり、立ち下がり、両エッジの3種類から選択できます。

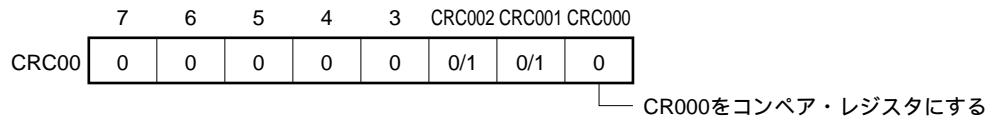
内部クロック (fx) でサンプリングを行い、TI000端子の有効レベルを2回検出することではじめて動作するため、短いパルス幅のノイズを除去できます。

図6 - 26 外部イベント・カウンタ・モード時の制御レジスタ設定内容 (立ち上がりエッジ指定時)

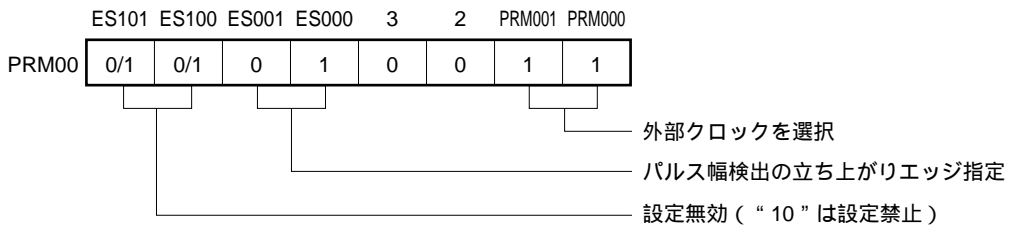
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

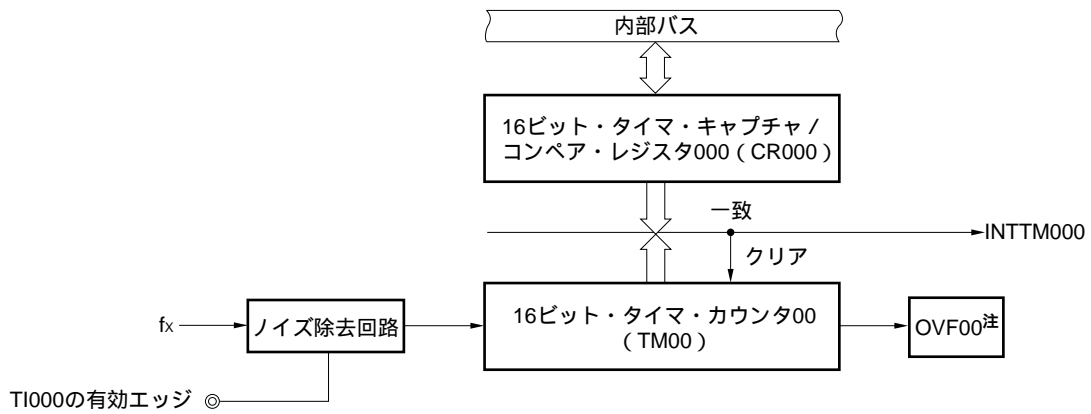


(c) プリスケアラ・モード・レジスタ00 (PRM00)



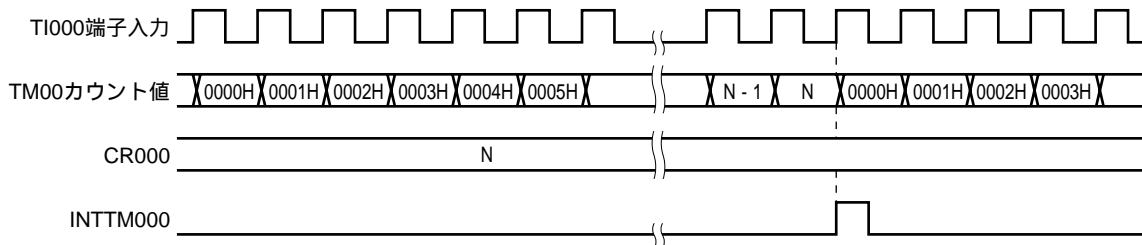
備考 0/1:0または1を設定することにより,外部イベント・カウンタと同時にほかの機能を使用できます。
詳細は, **各制御レジスタの説明**を参照してください。

図6 - 27 外部イベント・カウンタの構成図



注 CR000にFFFFHを設定した場合のみ、OVF00は1になります。

図6 - 28 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



注意 外部イベント・カウンタのカウンタ値を読み出す場合は、TM00を読み出してください。

6.4.5 方形波出力としての動作

設定方法

基本的な動作設定手順例は次のようになります。

- PRM00レジスタによりカウント・クロック設定
- CRC00レジスタの設定（設定値については図6 - 29参照）
- TOC00レジスタの設定（設定値については図6 - 29参照）
- CR000レジスタに任意の値（0000Hは設定できません）を設定
- TMC00レジスタ設定：動作開始（設定値については図6 - 29参照）

注意 TM00動作中にCR000を書き換えないでください。

備考1 .TO00端子の設定については、6.3(5)ポート・モード・レジスタ0(PM0)を参照してください。

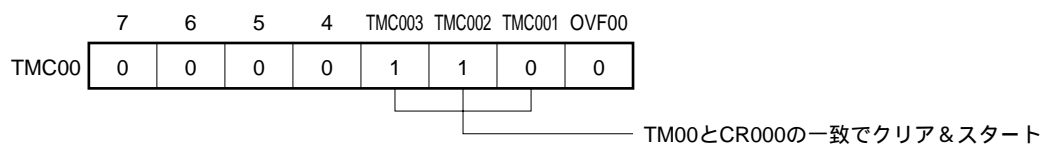
2 .INTTM000割り込み許可の設定については、第14章 割り込み機能を参照してください。

16ビット・タイマ・キャプチャ/コンペア・レジスタ000（CR000）にあらかじめ設定したカウント値で決まるインターバルの、任意の周波数の方形波出力として動作します。

16ビット・タイマ出力コントロール・レジスタ00（TOC00）のビット0（TOE00）とビット1（TOC001）に1を設定することにより、CR000にあらかじめ設定したカウント値+1で決まるインターバルでTO00端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

図6 - 29 方形波出力モード時の制御レジスタ設定内容（1/2）

(a) 16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）



(b) キャプチャ/コンペア・コントロール・レジスタ00（CRC00）

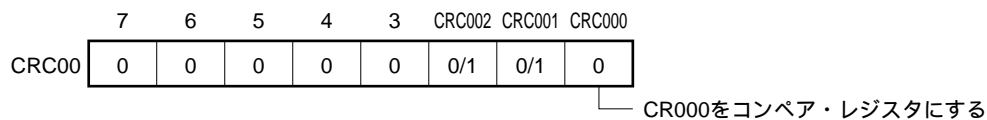
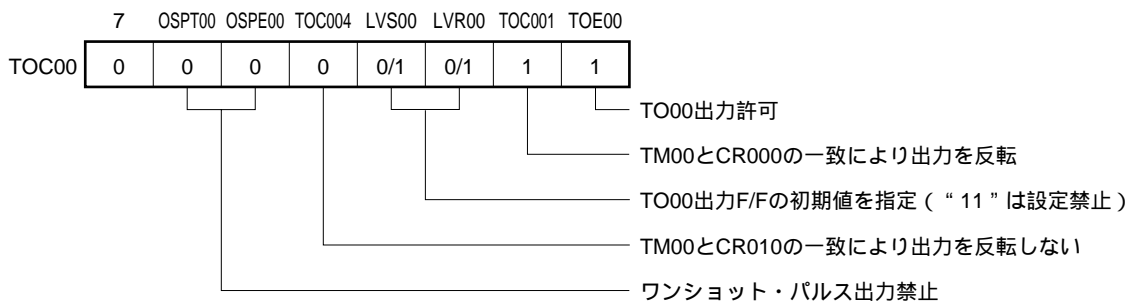
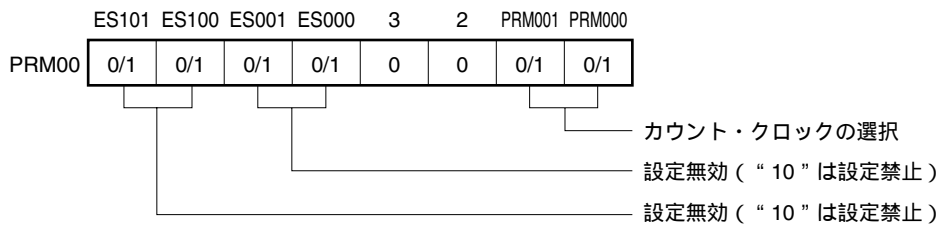


図6 - 29 方形波出力モード時の制御レジスタ設定内容 (2/2)

(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

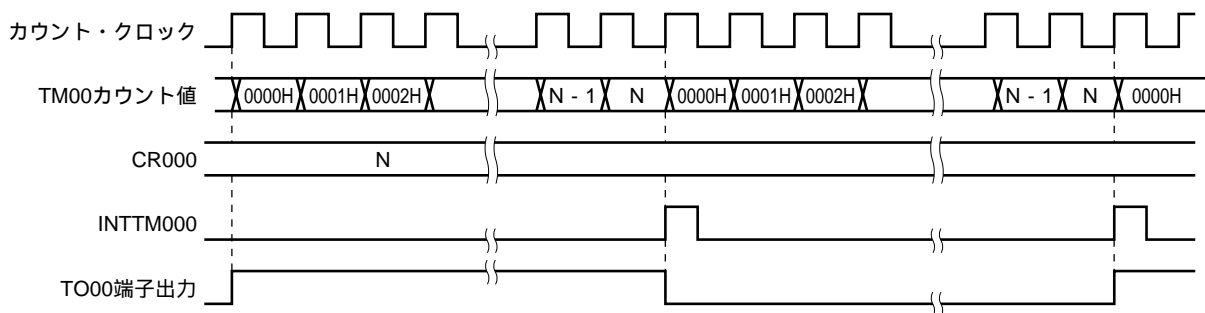


(d) プリスケアラ・モード・レジスタ00 (PRM00)



備考 0/1: 0または1を設定することにより、方形波出力と同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

図6 - 30 方形波出力動作のタイミング



6.4.6 ワンショット・パルス出力としての動作

ソフトウェア・トリガおよび外部トリガ(TI000端子入力)に同期したワンショット・パルスを出力できます。

設定方法

基本的な動作設定手順例は次のようになります。

PRM00レジスタによりカウント・クロック設定

CRC00レジスタの設定(設定値については図6-31, 6-33参照)

TOC00レジスタの設定(設定値については図6-31, 6-33参照)

CR000, CR010レジスタに任意の値(0000Hは設定できません)を設定

TMC00レジスタ設定:動作開始(設定値については図6-31, 6-33参照)

備考1. TO00端子の設定については, 6.3(5)ポート・モード・レジスタ0(PM0)を参照してください。

2. INTTM000(および必要な場合はINTTM010)割り込み許可の設定については, 第14章 割り込み機能を参照してください。

(1) ソフトウェア・トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ00(TMC00), キャプチャ/コンペア・コントロール・レジスタ00(CRC00)および16ビット・タイマ出力コントロール・レジスタ00(TOC00)を図6-31のように設定し, ソフトウェアでTOC00レジスタのビット6(OSPT00)を1にセットすることにより, ワンショット・パルスをTO00端子から出力します。

OSPT00ビットを1にセットすることにより, 16ビット・タイマ/イベント・カウンタ00がクリア&スタートし, 16ビット・タイマ・キャプチャ/コンペア・レジスタ010(CR010)にあらかじめ設定したカウント値(N)で出力がアクティブになります。その後, 16ビット・タイマ・キャプチャ/コンペア・レジスタ000(CR000)にあらかじめ設定したカウント値(M)で出力がインアクティブとなります[※]。

ワンショット・パルス出力後も, TM00レジスタは動作を継続しています。TM00レジスタを停止させるためには, TMC00レジスタのTMC003, TMC002ビットに00を設定する必要があります。

注 ここでは $N < M$ の場合の例です。 $N > M$ のときはCR000レジスタで出力がアクティブになり, CR010レジスタでインアクティブとなります。 $N = M$ は設定しないでください。

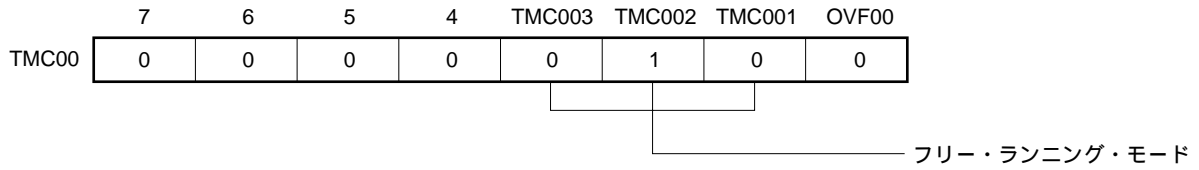
注意1. ワンショット・パルスを出力しているときに, 再度OSPT00ビットを1にセットしないでください。

再度ワンショット・パルスを出力したいときは, 現在のワンショット・パルス出力が終了したあとで行ってください。

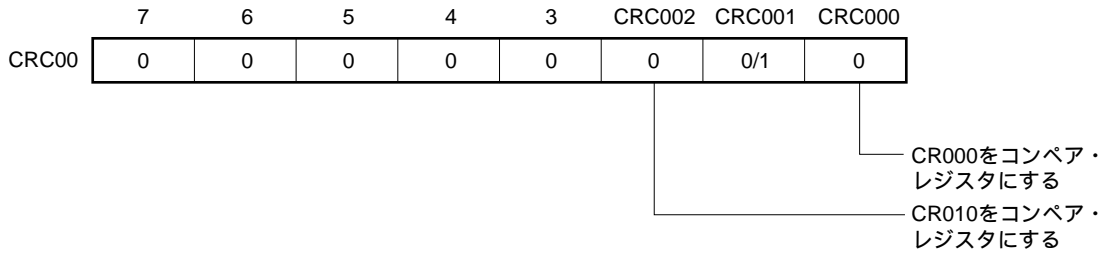
2. 16ビット・タイマ/イベント・カウンタ00のワンショット・パルス出力をソフトウェア・トリガで使用する場合, TI000端子またはその兼用ポート端子のレベルを変化させないでください。この場合でも外部トリガは有効となっているので, TI000端子またはその兼用ポート端子のレベルでもタイマがクリア&スタートしてしまい, 意図しないタイミングでパルスが出力されてしまいます。

図6 - 31 ソフトウェア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

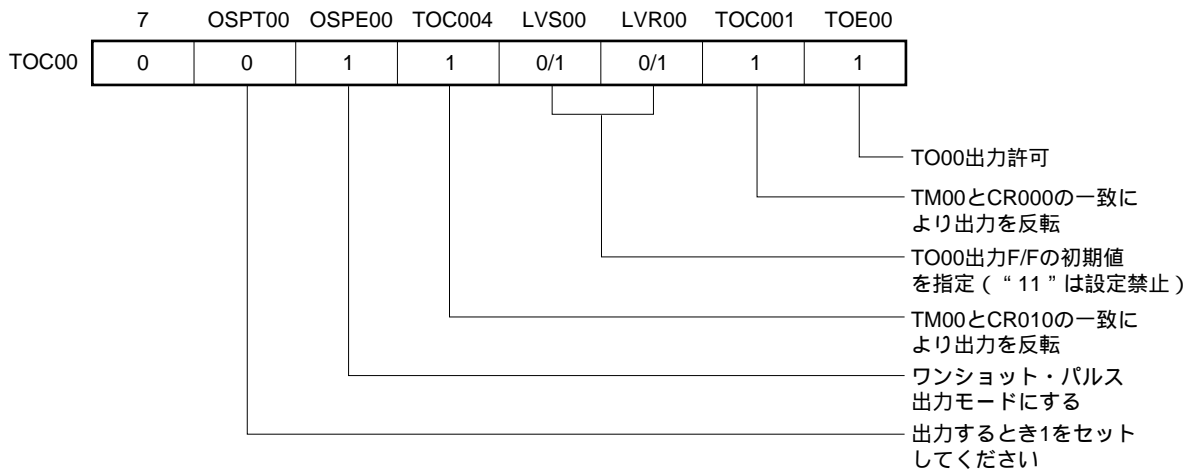
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



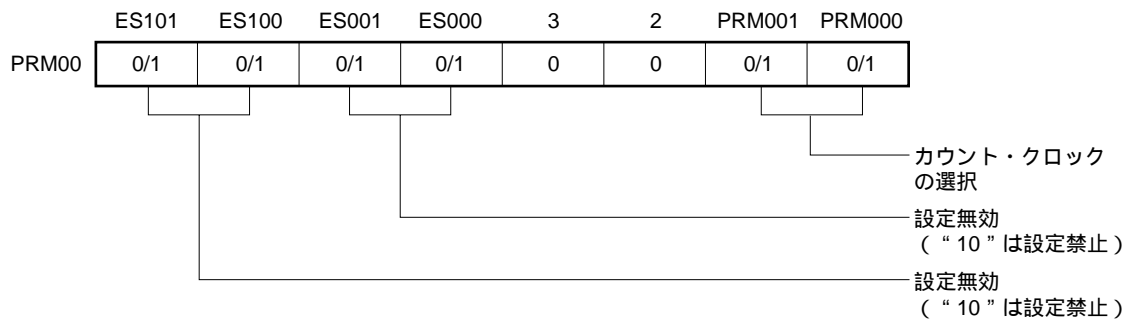
(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

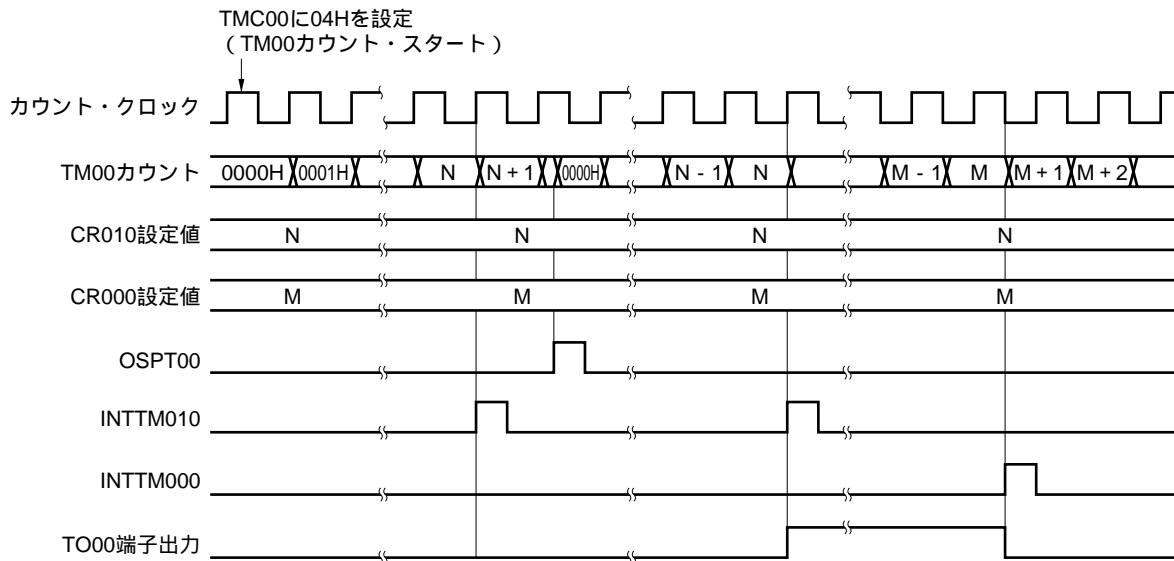


(d) プリスケアラ・モード・レジスタ00 (PRM00)



注意 CR000レジスタとCR010レジスタに0000Hを設定しないでください。

図6 - 32 ソフトウェア・トリガによるワンショット・パルス出力動作のタイミング



注意 16ビット・タイマ・カウンタ00は、TMC003, TMC002ビットに00 (動作停止モード) 以外の値を設定した時点で動作を開始します。

備考 $N < M$

(2) 外部トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) , キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) および16ビット・タイマ出力コントロール・レジスタ00 (TOC00) を図6 - 33のように設定し、TI000端子の有効エッジを外部トリガとしてワンショット・パルスをTO00端子から出力します。

TI000端子の有効エッジ指定は、プリスケアラ・モード・レジスタ00 (PRM00) のビット4, 5 (ES000, ES001) で行い、立ち上がり、立ち下がり、両エッジの3種類の選択ができます。

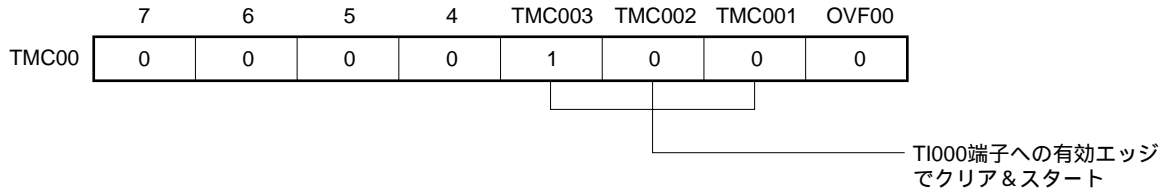
TI000端子への有効エッジで16ビット・タイマ/イベント・カウンタがクリア&スタートし、16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) にあらかじめ設定したカウント値で出力がアクティブになります。その後、16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) にあらかじめ設定したカウント値で出力がインアクティブとなります^注。

注 ここでは $N < M$ の場合の例です。 $N > M$ のときはCR000レジスタで出力がアクティブになり、CR010レジスタでインアクティブとなります。 $N = M$ は設定しないでください。

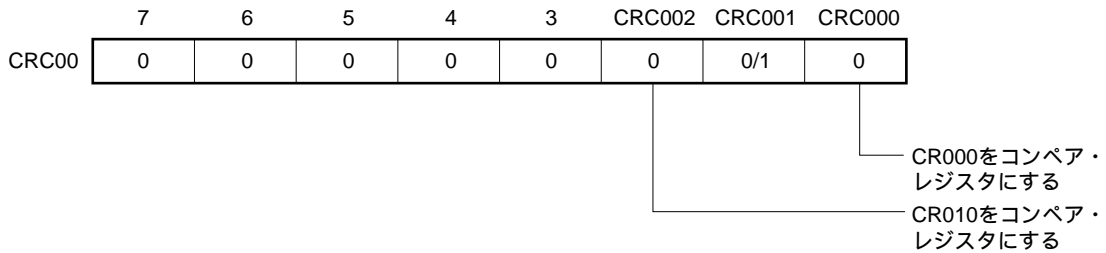
注意 ワンショット・パルスを出力しているときに、再度外部トリガを入力しないでください。再度ワンショット・パルスを出力したいときは、現在のワンショット・パルス出力が終了したあとで行ってください。

図6 - 33 外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容
(立ち上がりエッジ指定時)

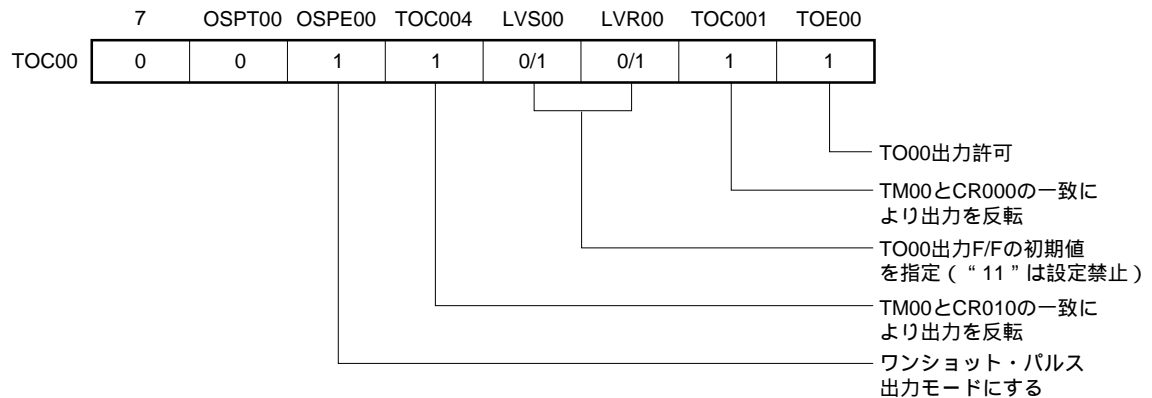
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



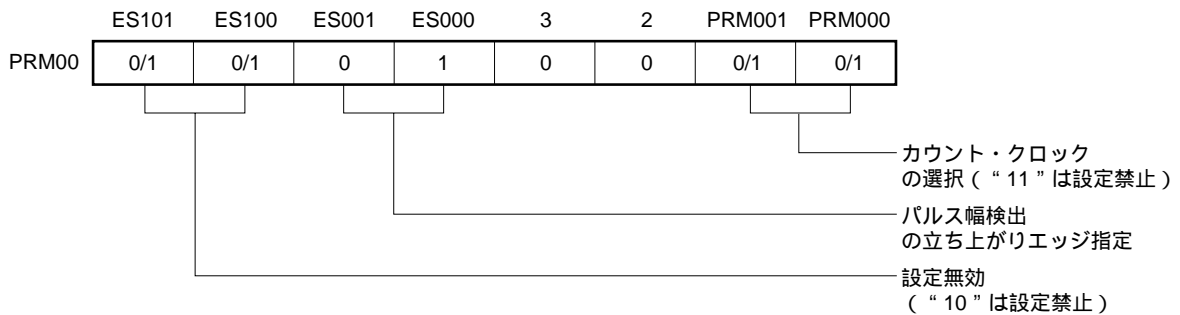
(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

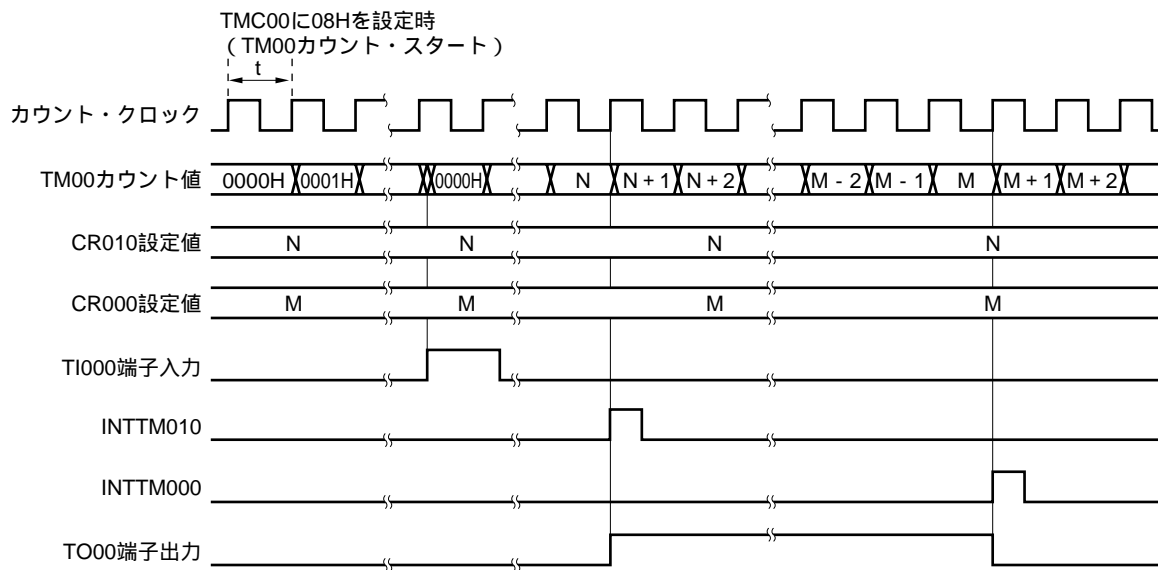


(d) プリスケーラ・モード・レジスタ00 (PRM00)



注意 CR000レジスタとCR010レジスタに0000Hを設定しないでください。

図6 - 34 外部トリガによるワンショット・パルス出力動作のタイミング (立ち上がりエッジ指定時)



注意 16ビット・タイマ・カウンタ00は、TMC003、TMC002ビットに00 (動作停止モード) 以外の値を設定した時点で動作を開始します。

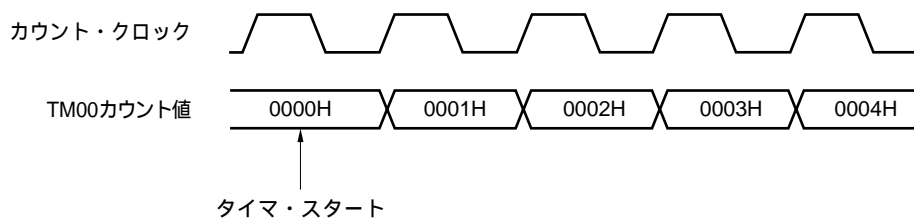
備考 $N < M$

6.5 16ビット・タイマ/イベント・カウンタ00の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後，一致信号が発生するまでの時間は，最大で1クロック分の誤差が生じます。これはカウント・クロックに対して16ビット・タイマ・カウンタ00 (TM00) が非同期でスタートするためです。

図6 - 35 16ビット・タイマ・カウンタ00 (TM00) のスタート・タイミング



(2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ000の設定

TM00とCR000の一致でクリア&スタート・モードの場合，16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) には，0000H以外の値を設定してください。したがって，外部イベント・カウンタとして使用时，1パルスのカウント動作はできません。

(3) キャプチャ・レジスタのデータ保持タイミング

16ビット・タイマ/イベント・カウンタ00停止後の，16ビット・タイマ・キャプチャ/コンペア・レジスタ000, 010 (CR000, CR010) の値は保証されません。

(4) 有効エッジの設定

TI000端子の有効エッジは，16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット2, 3 (TMC002, TMC003) に0, 0を設定し，タイマ動作を停止させたあとに設定してください。有効エッジは，プリスケラ・モード・レジスタ00 (PRM00) のビット4, 5 (ES000, ES001) で設定します。

(5) ワンショット・パルスの再トリガ

(a) ソフトウェアによるワンショット・パルス出力

ワンショット・パルスを出力しているときに、再度OSPT00ビットを1にセットしないでください。
再度ワンショット・パルスを出力したいときは、現在のワンショット・パルス出力が終了したあとで行ってください。

(b) 外部トリガによるワンショット・パルス出力

ワンショット・パルスを出力しているときに、再度、外部トリガを入力しないでください。
再度ワンショット・パルスを出力したいときは、現在のワンショット・パルス出力が終了したあとで行ってください。

(c) ワンショット・パルス出力機能について

16ビット・タイマ/イベント・カウンタ00のワンショット・パルス出力をソフトウェア・トリガで使用する場合、TI000端子またはその兼用ポート端子のレベルを変化させないでください。

この場合でも外部トリガは有効となっているので、TI000端子またはその兼用ポート端子のレベルでもタイマがクリア&スタートしてしまい、意図しないタイミングでパルスが出力されてしまいます。

(6) OVF00フラグの動作

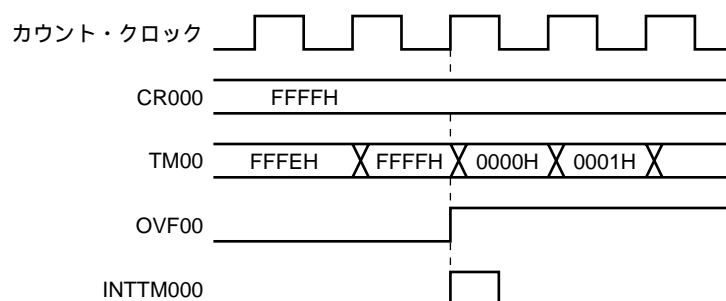
OVF00フラグは、次のときにも“1”に設定されます。

TM00とCR000の一致でクリア&スタート、TI000の有効エッジでクリア&スタート、フリー・ランニングのいずれかのモードを選択

CR000をFFFFHに設定

TM00がFFFFHから0000Hにカウント・アップするとき

図6 - 36 OVF00フラグの動作タイミング

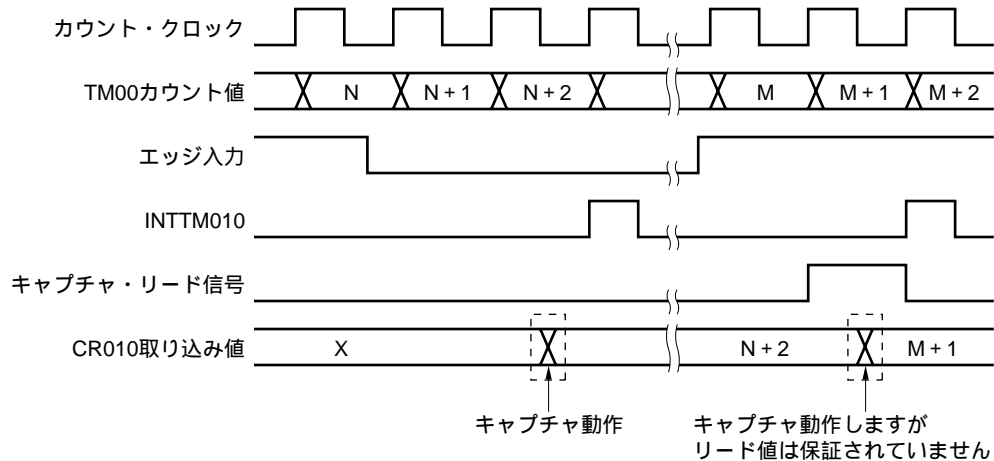


TM00がオーバーフロー後、次のカウント・クロックがカウントされる (TM00が0001Hになる) 前にOVF00フラグをクリアしても、再度セットされ、クリアは無効となります。

(7) 競合動作について

16ビット・タイマ・キャプチャ/コンペア・レジスタ (CR000/CR010) のリード期間とキャプチャ・トリガ入力が入力が競合 (CR000/CR010はキャプチャ・レジスタとして使用) する場合は、キャプチャ・トリガ入力が優先されます。CR000/CR010のリード・データは不定となります。

図6 - 37 キャプチャ・レジスタのデータ保持タイミング



(8) タイマ動作について

16ビット・タイマ・カウンタ00 (TM00) をリードしても、16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) にはキャプチャしません。

CPUの動作モードに関係なく、タイマが停止していると、TI000/TI010端子への入力信号は受け付けられません。

ワンショット・パルス出力は、フリー・ランニング・モードまたはTI000端子の有効エッジでクリア&スタート・モードでのみ正常に動作します。TM00とCR000の一致でクリア&スタート・モードでは、オーバーフローしないため、ワンショット・パルス出力ができません。

(9) キャプチャ動作について

カウント・クロックにTI000の有効エッジを指定した場合、TI000をトリガに指定したキャプチャ・レジスタは正常に動作できません。

確実にキャプチャするためのキャプチャ・トリガは、プリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックの2周期分より長いパルスを必要とします。

キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み要求入力 (INTTM000/INTTM010) は次のカウント・クロックの立ち上がりで発生します。

(10) コンペア動作について

コンペア・モードに設定したCR000/CR010は、キャプチャ・トリガが入力されてもキャプチャ動作を行いません。

(11) エッジ検出について

システム・リセット直後にTI000端子またはTI010端子がハイ・レベルの場合、TI000端子またはTI010端子の有効エッジを立ち上がりまたは両エッジに指定し、16ビット・タイマ・カウンタ00 (TM00) の動作を許可すると、その直後に立ち上がりエッジを検出します。TI000端子またはTI010端子をプルアップしている場合などは注意してください。ただし、動作を停止させたあとの再動作許可時にTI000端子またはTI010端子がハイ・レベルの場合は、立ち上がりエッジは検出されません。

TI000の有効エッジをカウント・クロックで使用する場合とキャプチャ・トリガとして使用する場合とで、ノイズ除去のためのサンプリング・クロックが異なります。前者はfxで、後者はプリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックでサンプリングします。有効エッジをサンプリングして、有効レベルを2回検出することではじめてキャプチャ動作するため、短いパルス幅のノイズを除去できません。

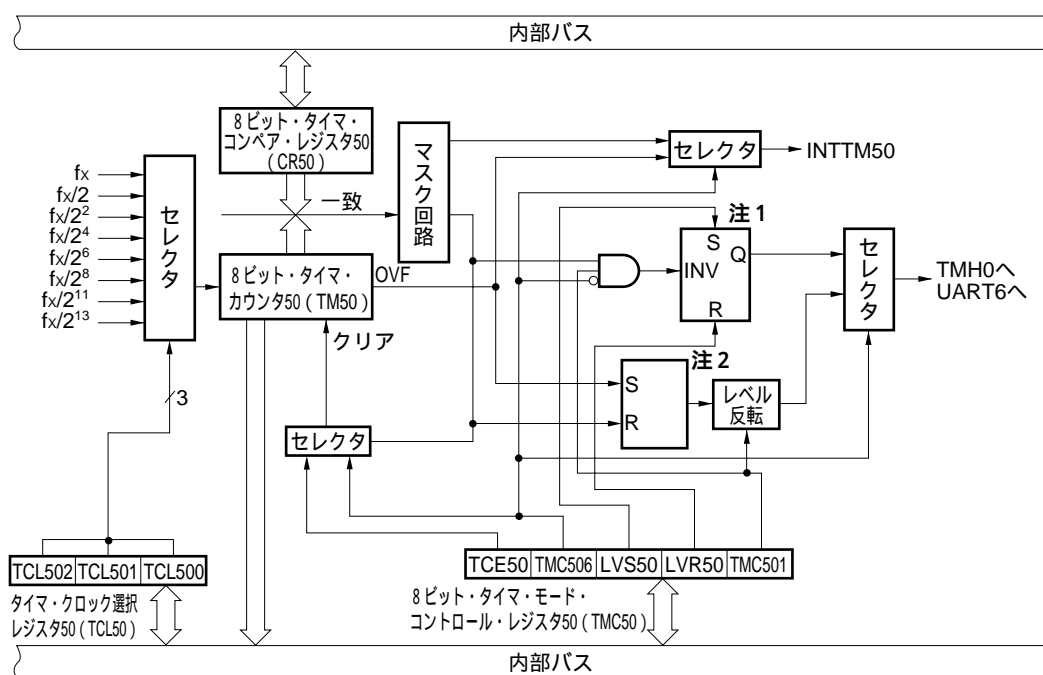
第7章 8ビット・タイマ50

7.1 8ビット・タイマ50の機能

8ビット・タイマ50は、インターバル・タイマまたはTMH0とUART6の動作クロックとして使用できます。

図7-1に、8ビット・タイマ50のブロック図を示します。

図7-1 8ビット・タイマ50のブロック図



注1. タイマ出力F/F

2. PWM出力F/F

7.2 8ビット・タイマ50の構成

8ビット・タイマ50は、次のハードウェアで構成されています。

表7-1 8ビット・タイマ50の構成

項目	構成
タイマ・レジスタ	8ビット・タイマ・カウンタ50 (TM50)
レジスタ	8ビット・タイマ・コンペア・レジスタ50 (CR50)
制御レジスタ	タイマ・クロック選択レジスタ50 (TCL50) タイマ・クロック切り替え制御レジスタ (CSEL) 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50)

(1) 8ビット・タイマ・カウンタ50 (TM50)

TM50は、カウント・パルスをカウントする8ビットのリード専用レジスタです。
カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

図7-2 8ビット・タイマ・カウンタ50 (TM50) のフォーマット

アドレス：FF16H リセット時：00H R

略号	7	6	5	4	3	2	1	0
TM50								

次の場合、カウント値は00Hになります。

$\overline{\text{RESET}}$ 入力

TCE50をクリア

TM50とCR50の一致でクリア&スタート・モード時のTM50とCR50の一致

(2) 8ビット・タイマ・コンペア・レジスタ50 (CR50)

CR50は、8ビット・メモリ操作でリード/ライト可能なレジスタです。

CR50に設定した値と、8ビット・タイマ・カウンタ50 (TM50) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTM50) を発生します。

CR50の値は、00H-FFHの範囲で設定できます。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図7-3 8ビット・タイマ・コンペア・レジスタ50 (CR50) のフォーマット

アドレス：FF17H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CR50								

注意1. TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0) 時は、動作中にCR50に異なる値を書き込まないでください。

2. PWMモード時は、CR50の書き換え間隔をカウント・クロック (TCL50で選択したクロック) の3カウント・クロック以上にしてください。

7.3 8ビット・タイマ50を制御するレジスタ

8ビット・タイマ50を制御するレジスタには、次の3種類があります。

- ・タイマ・クロック選択レジスタ50 (TCL50)
- ・タイマ・クロック切り替え制御レジスタ (CSEL)
- ・8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50)

(1) タイマ・クロック選択レジスタ50 (TCL50)

8ビット・タイマ50のカウンタ・クロックを設定するレジスタです。

TCL50は、8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図7-4 タイマ・クロック選択レジスタ50 (TCL50) のフォーマット

アドレス：FF6AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TCL50	0	0	0	0	0	TCL502	TCL501	TCL500

TCL502	TCL501	TCL500	カウンタ・クロックの選択	
0	0	0	カウンタ停止	
0	0	1		
0	1	0	fx (10 MHz)	
0	1	1	fx/2 (5 MHz)	
1	0	0	fx/2 ² (2.5 MHz)	CSEL2 ^{注1} = 0のとき
			fx/2 ⁴ (625 kHz)	CSEL2 ^{注1} = 1のとき
1	0	1	fx/2 ⁶ (156.25 kHz)	
1	1	0	fx/2 ⁸ (39.06 kHz)	CSEL3 ^{注2} = 0のとき
			fx/2 ¹¹ (4.88 kHz)	CSEL3 ^{注2} = 1のとき
1	1	1	fx/2 ¹³ (1.22 kHz)	

注1. TCL502, TCL501, TCL500に1, 0, 0を設定する場合には、あらかじめタイマ・クロック切り替え制御レジスタ (CSEL) のビット2 (CSEL2) の設定を確認してください (図7-5 タイマ・クロック切り替え制御レジスタ (CSEL) のフォーマットを参照)。TCL502, TCL501, TCL500に1, 0, 0を設定している場合、タイマ動作中にCSEL2を書き換えしないでください。

2. TCL502, TCL501, TCL500に1, 1, 0を設定する場合には、あらかじめタイマ・クロック切り替え制御レジスタ (CSEL) のビット3 (CSEL3) の設定を確認してください (図7-5 タイマ・クロック切り替え制御レジスタ (CSEL) のフォーマットを参照)。TCL502, TCL501, TCL500に1, 1, 0を設定している場合、タイマ動作中にCSEL3を書き換えしないでください。

注意1. TCL50を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考1. fx: 高速システム・クロック発振周波数

2. ()内は、fx = 10 MHz動作時。

(2) タイマ・クロック切り替え制御レジスタ (CSEL)

選択クロックを切り替えるレジスタです。

CSELレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図7-5 タイマ・クロック切り替え制御レジスタ (CSEL) のフォーマット

アドレス : FF71H リセット時 : 00H R/W

略号	7	6	5	4	③	②	①	①
CSEL	0	0	0	0	CSEL3	CSEL2	CSEL1	CSEL0

CSEL3	TCL502, TCL501, TCL500 = 1, 1, 0のときのカウント・クロック
0	$f_x/2^8$ (39.06 kHz)
1	$f_x/2^{11}$ (4.88 kHz)

CSEL2	TCL502, TCL501, TCL500 = 1, 0, 0のときのカウント・クロック
0	$f_x/2^2$ (2.5 MHz)
1	$f_x/2^4$ (625 kHz)

備考1. f_x : 高速システム・クロック発振周波数

- CSELのビット1 (CSEL1) は8ビット・タイマH1で使用します。ビット0 (CSEL0) は8ビット・タイマH0で使用します (8. 3 (2) タイマ・クロック切り替え制御レジスタ (CSEL) を参照)。

(3) 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50)

TMC50は、次の4種類の設定を行うレジスタです。

- 8ビット・タイマ・カウンタ50 (TM50) のカウント動作制御
- 8ビット・タイマ・カウンタ50 (TM50) の動作モードの選択
- タイマ出力F/F (フリップフロップ) の状態設定
- タイマF/Fの制御またはPWM (フリー・ランニング) モード時のアクティブ・レベルの選択

TMC50は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により00Hになります。

図7-6 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のフォーマット

アドレス : FF6BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMC50	TCE50	TMC506	0	0	LVS50	LVR50	TMC501	0

TCE50	TM50のカウント動作制御
0	カウンタを0にクリア後、カウント動作禁止 (カウンタ停止)
1	カウント動作開始

TMC506	TM50の動作モード選択
0	TM50とCR50の一致でクリア&スタート・モード
1	PWM (フリー・ランニング) モード

LVS50	LVR50	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット (0)
1	0	タイマ出力F/Fをセット (1)
1	1	設定禁止

TMC501	PWMモード以外 (TMC506 = 0)	PWMモード (TMC506 = 1)
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

- 注意1** . LVS50とLVR50の設定は、PWMモード時以外で有効になります。
- 2 . 次の ~ の設定は同時に行わないでください。また設定は次の手順で行ってください。
- TMC501, TMC506を設定 : 動作モードの設定
 - LVS50, LVR50を設定 (注意1) : タイマ出力F/Fの設定
 - TCE50を設定
- 3 . TMC506を書き換える場合は、動作を停止してから行ってください。

- 備考1** . PWMモード時は、TCE50 = 0により、PWM出力はインアクティブ・レベルになります。
- 2 . LVS50, LVR50は読み出すと、0になっています。

7.4 8ビット・タイマ50の動作

7.4.1 インターバル・タイマとしての動作

8ビット・タイマ・コンペア・レジスタ50 (CR50) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ50 (TM50) のカウント値がCR50に設定した値と一致したとき、TM50の値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM50) を発生します。

タイマ・クロック選択レジスタ50 (TCL50) のビット0-2 (TCL500-TCL502) とタイマ・クロック切り替え制御レジスタ (CSEL) のビット2, 3 (CSEL2, CSEL3) でTM50のカウント・クロックを選択できます。

設定方法

各レジスタの設定を行います。

- ・ TCL50, CSEL : カウント・クロックの選択
- ・ CR50 : コンペア値
- ・ TMC50 : カウント動作停止を選択
(TMC50 = 000000 × 0B x = don't care)

TCE50 = 1を設定すると、カウント動作を開始します。

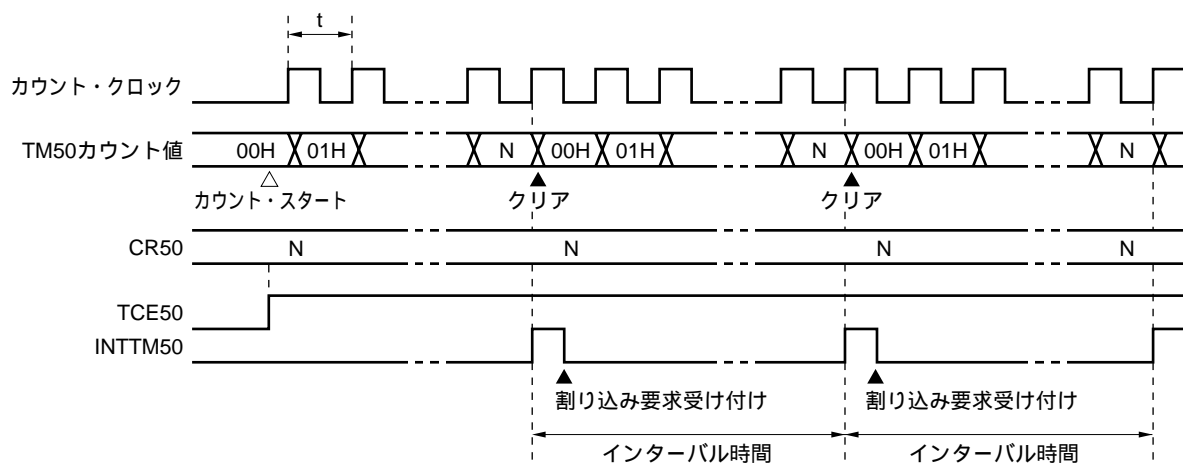
TM50とCR50の値が一致すると、INTTM50が発生します (TM50は00Hにクリアされます)。

以後、同一間隔でINTTM50が繰り返し発生します。カウント動作を停止するときは、TCE50 = 0にしてください

注意 動作中にCR50に異なる値を書き込まないでください。

図7-7 インターバル・タイマ動作のタイミング (1/2)

(a) 基本動作

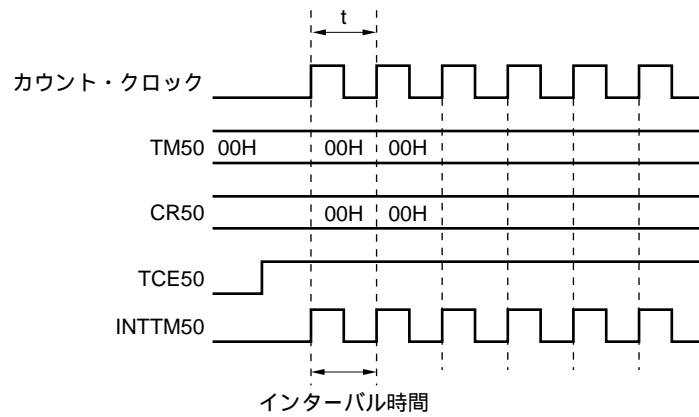


備考 インターバル時間 = $(N+1) \times t$

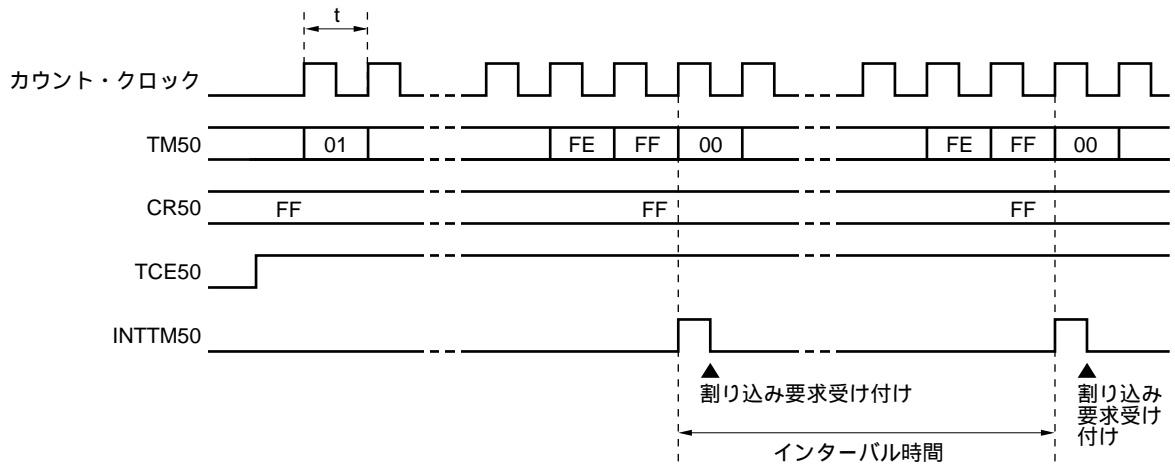
N = 01H-FEH

図7-7 インターバル・タイマ動作のタイミング (2/2)

(b) CR50 = 00Hの場合



(c) CR50 = FFHの場合



7.4.2 TMH0とUART6の動作クロックとしての動作

8ビット・タイマ50は、TMH0とUART6の動作クロックとして使用できます。

(1) TM50 & CR50の一致でクリア&スタート・モード (TMC506 = 0) の場合

CR50にあらかじめ設定したカウント値で決まるインターバルでタイマ出力F/Fが反転します。これにより、任意の周波数の方形波出力 (デューティ = 50 %) が可能です。

設定方法

各レジスタの設定を行います。

- ・TCL50 : カウント・クロックの選択
- ・CR50 : コンペア値
- ・TMC50 : カウント動作停止, TM50とCR50の一致でクリア&スタート・モードを選択

LVS50	LVR50	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

タイマ出力F/Fの反転許可

(TMC50 = 00001010Bまたは00000110B)

TCE50 = 1を設定すると、カウント動作を開始します。

TM50とCR50の値が一致すると、タイマ出力F/Fが反転します。

また、INTTM50が発生し、TM50は00Hにクリアされます。

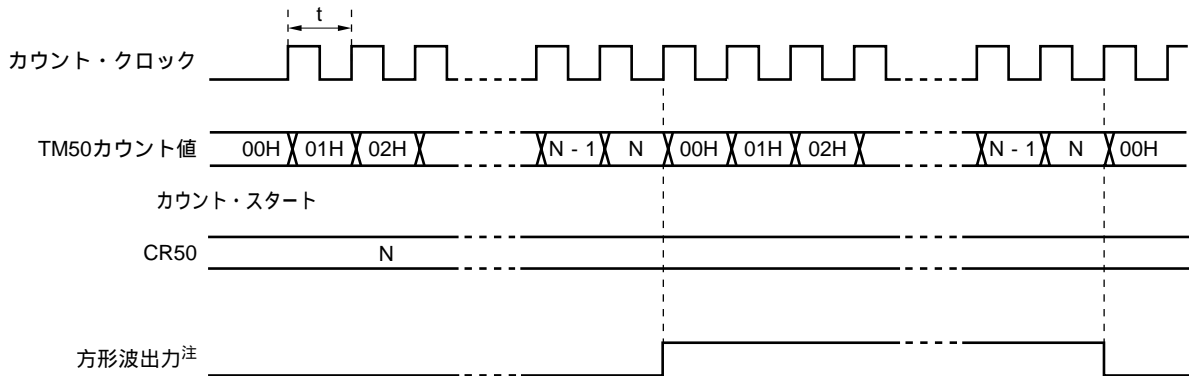
以後、同一間隔でタイマ出力F/Fが反転し、方形波が出力されます。

周波数は次のようになります。

- ・周波数 = $1/2 t (N + 1)$
(N : 00H-FFH)

注意 動作中にCR50に異なる値を書き込まないでください。

図7 - 8 方形波出力動作のタイミング



注 方形波出力の初期値は、8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット 2, 3 (LVR50, LVS50) で設定できます。

(2) PWMモード (TMC506 = 1) の場合

8ビット・タイマ・コンペア・レジスタ50 (CR50) に設定した値で決まるデューティのパルスを出力します。

デューティ50%になるように、PWMパルスのアクティブ・レベルの幅を、CR50で設定 (CR50 = 80H) してください。また、アクティブ・レベルは、TMC50のビット1 (TMC501) により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ50 (TCL50) のビット0-2 (TCL500-TCL502) で選択できます。

注意 PWMモード時は、CR50の書き換え間隔をカウント・クロック (TCL50で選択したクロック) の3カウント・クロック以上にしてください。

設定方法

各レジスタの設定を行います。

- ・TCL50 : カウント・クロックの選択
- ・CR50 : コンペア値 (80H)
- ・TMC50 : カウント動作停止, PWMモード選択, タイマ出力F/F変化なし

TMC501	アクティブ・レベルの選択
0	ハイ・アクティブ
1	ロウ・アクティブ

(TMC50 = 01000000Bまたは01000010B)

TCE50 = 1を設定すると、カウント動作を開始します。

カウント動作を停止するときは、TCE50に“0”を設定してください。

PWM出力の動作

PWM出力はオーバフローが発生するまでインアクティブ・レベルを出力します。

オーバフローが発生すると、アクティブ・レベルを出力します。アクティブ・レベルは、CR50と8ビット・タイマ・カウンタ50 (TM50) のカウント値が一致するまで出力されます。

CR50とカウント値が一致すると、インアクティブ・レベルを出力し、再度オーバフローが発生するまでインアクティブ・レベルを出力します。

以後、カウント動作が停止されるまで、を繰り返します。

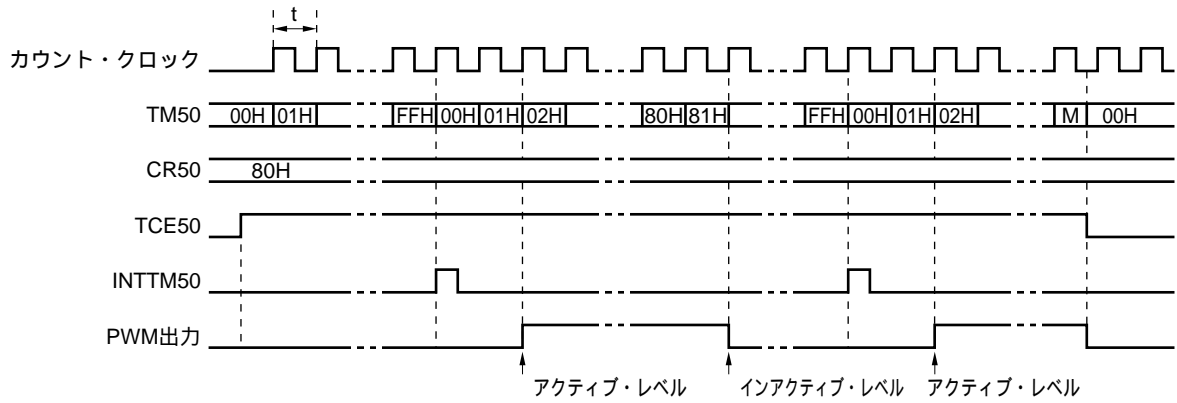
TCE50 = 0によりカウント動作を停止すると、PWM出力はインアクティブ・レベルになります。

詳細なタイミングについては、図7-9を参照してください。

周期、アクティブ・レベル幅、デューティは次のようになります。

- ・周期 = $2^8 t$
 - ・アクティブ・レベル幅 = Nt
 - ・デューティ = $N/2^8$
- (N = 80H)

図7-9 PWM出力動作のタイミング (CR50 = 80H, アクティブ・レベル = Hのとき)



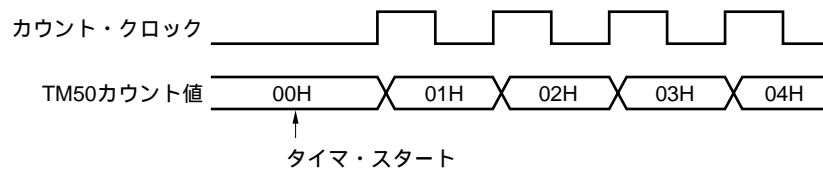
備考 図7-9の - , は , 7.4.2(2) PWMモード (TMC506 = 1) の場合 PWM出力の動作 の - , と対応しています。

7.5 8ビット・タイマ50の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・クロックに対して8ビット・タイマ・カウンタ50 (TM50) が非同期でスタートするためです。

図7 - 10 8ビット・タイマ・カウンタ50のスタート・タイミング



第8章 8ビット・タイマH0, H1

8.1 8ビット・タイマH0, H1の機能

8ビット・タイマH0, H1には、次のような機能があります。

- ・インターバル・タイマ
- ・PWMパルス出力モード
- ・方形波出力
- ・キャリア・ジェネレータ・モード (8ビット・タイマH1のみ)

8.2 8ビット・タイマH0, H1の構成

8ビット・タイマH0, H1は、次のハードウェアで構成されています。

表8 - 1 8ビット・タイマH0, H1の構成

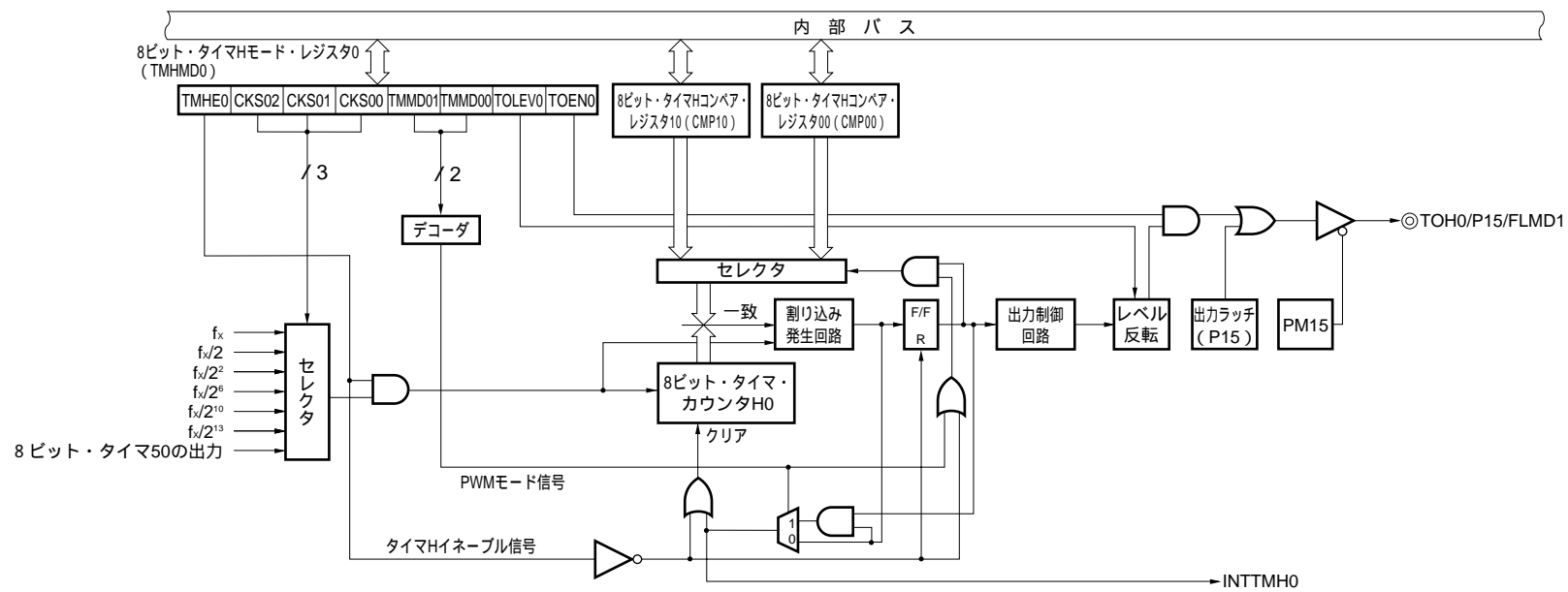
項目	構成
タイマ・レジスタ	8ビット・タイマ・カウンタHn
レジスタ	8ビット・タイマHコンペア・レジスタ0n (CMP0n) 8ビット・タイマHコンペア・レジスタ1n (CMP1n)
タイマ出力	TOHn
制御レジスタ	8ビット・タイマHモード・レジスタn (TMHMDn) タイマ・クロック切り替え制御レジスタ (CSEL) 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) ^注 兼用端子切り替えレジスタ (PSEL) ^注 ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)

注 8ビット・タイマH1のみ。

備考 n = 0, 1

図8 - 1と8 - 2にブロック図を示します。

図8 - 1 8ビット・タイマH0のブロック図



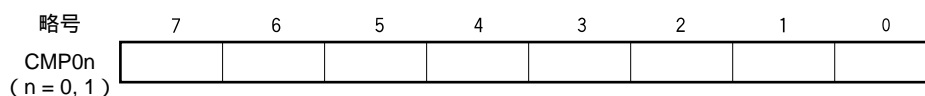
(1) 8ビット・タイマHコンペア・レジスタ0n (CMP0n)

8ビット・メモリ操作命令でリード/ライト可能なレジスタです。

RESET入力により00Hになります。

図8-3 8ビット・タイマHコンペア・レジスタ0n (CMP0n) のフォーマット

アドレス：FF18H (CMP00) , FF1AH (CMP01) リセット時：00H R/W



注意 CMP0nは、タイマ・カウント動作中に値を書き換えることは禁止です。

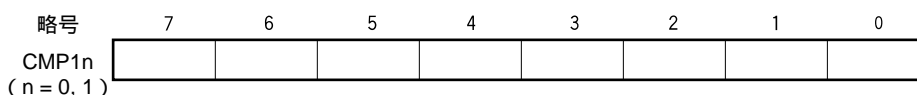
(2) 8ビット・タイマHコンペア・レジスタ1n (CMP1n)

8ビット・メモリ操作命令でリード/ライト可能なレジスタです。

RESET入力により00Hになります。

図8-4 8ビット・タイマHコンペア・レジスタ1n (CMP1n) のフォーマット

アドレス：FF19H (CMP10) , FF1BH (CMP11) リセット時：00H R/W



CMP1nレジスタはタイマ・カウント動作中に値の書き換えが可能です。

キャリア・ジェネレータ・モード時ではCMP1nを設定したあと、タイマ・カウント値とCMP1nの値が一致すると割り込み要求信号 (INTTMHn) が発生します。同じタイミングでタイマ・カウント値はクリアされます。タイマ動作中にCMP1nの値を書き換えた場合、転送タイミングはカウント値とCMP1nの値が一致したタイミングで行います。転送タイミングとCPUからCMP1nへの書き込みが競合した場合、転送はされません。

注意 PWM出力モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウント動作停止 (TMHEn = 0) 設定後、タイマ・カウント動作を開始する (TMHEn = 1) 場合、必ずCMP1nを設定してください (CMP1nへの設定値が同値の場合でも、必ず再設定してください)。

備考 n = 0, 1

8.3 8ビット・タイマH0, H1を制御するレジスタ

8ビット・タイマH0, H1を制御するレジスタには、次の6種類があります。

- ・8ビット・タイマHモード・レジスタn (TMHMDn)
- ・タイマ・クロック切り替え制御レジスタ (CSEL)
- ・8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1)^注
- ・兼用端子切り替えレジスタ (PSEL)^注
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

注 8ビット・タイマH1のみ。

(1) 8ビット・タイマHモード・レジスタn (TMHMDn)

タイマHのモードを制御するレジスタです。

TMHMDnは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

備考 n = 0, 1

図8-5 8ビット・タイマHモード・レジスタ0 (TMHMD0) のフォーマット

アドレス : FF69H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
TMHMD0	TMHE0	CKS02	CKS01	CKS00	TMMD01	TMMD00	TOLEV0	TOEN0

TMHE0	タイマ動作許可
0	タイマ・カウント動作停止 (カウンタは0にクリア)
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)

CKS02	CKS01	CKS00	カウント・クロック (f_{CNT}) の選択
0	0	0	f_x (10 MHz)
0	0	1	$f_x/2$ (5 MHz)
0	1	0	$f_x/2^2$ (2.5 MHz)
0	1	1	$f_x/2^6$ (156.25 kHz)
1	0	0	$f_x/2^{10}$ (9.77 kHz)
1	0	1	TM50の出力 ^{注1} ; CSEL0 ^{注2} = 0のとき
			$f_x/2^{13}$ (1.22 kHz) ; CSEL0 ^{注2} = 1のとき
上記以外			設定禁止

TMMD01	TMMD00	タイマ動作モード
0	0	インターバル・タイマ・モード
1	0	PWM出力モード
上記以外		設定禁止

TOLEV0	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOEN0	タイマ出力制御
0	出力禁止
1	出力許可

注1. TM50の出力をカウント・クロックとして選択する場合、次の内容に注意してください。

- ・PWMモード (TMC506 = 1)

デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

- ・TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)

タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

注2. CKS02, CKS01, CKS00に1, 0, 1を設定する場合には、あらかじめタイマ・クロック切り替え制御レジスタ (CSEL) のビット0 (CSEL0) の設定を確認してください (図8-7 タイマ・クロック切り替え制御レジスタ (CSEL) のフォーマットを参照)。CKS02, CKS01, CKS00に1, 0, 1を設定している場合、タイマ動作中にCSEL0を書き換えしないでください。

- 注意1 . CPUへの供給クロックに低速内蔵発振クロックを選択する場合, カウント・クロックに低速内蔵発振回路の分周クロックが供給されます。カウント・クロックが低速内蔵発振クロックの場合, 8ビット・タイマH0の動作は保証されません。
- 2 . TMHE0 = 1のとき, TMHMD0の他のビットを設定することは禁止です。
 - 3 . PWM出力モードでは, タイマ・カウント動作停止 (TMHE0 = 0) 設定後, タイマ・カウント動作を開始する (TMHE0 = 1) 場合, 必ず8ビット・タイマHコンペア・レジスタ10 (CMP10) を設定してください (CMP10への設定値が同値の場合でも, 必ず再設定してください)。

- 備考1. f_x : 高速システム・クロック発振周波数
2. () 内は, $f_x = 10$ MHz動作時
 3. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6
TMC501 : TMC50のビット1

図8-6 8ビット・タイマHモード・レジスタ1 (TMHMD1) のフォーマット

アドレス：FF6CH リセット時：00H R/W

	7	6	5	4	3	2	1	0
TMHMD1	TMHE1	CKS12	CKS11	CKS10	TMMD11	TMMD10	TOLEV1	TOEN1

TMHE1	タイマ動作許可
0	タイマ・カウント動作停止 (カウンタは0にクリア)
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)

CKS12	CKS11	CKS10	カウント・クロックの選択
0	0	0	f_x (10 MHz)
0	0	1	$f_x/2^2$ (2.5 MHz) CSEL1 ^注 = 0のとき
			$f_x/2$ (5 MHz) CSEL1 ^注 = 1のとき
0	1	0	$f_x/2^4$ (625 kHz)
0	1	1	$f_x/2^6$ (156.25 kHz)
1	0	0	$f_x/2^{12}$ (2.44 kHz)
1	0	1	$f_R/2^7$ (1.88 kHz (TYP.))
上記以外			設定禁止

TMMD11	TMMD10	タイマ動作モード
0	0	インターバル・タイマ・モード
0	1	キャリア・ジェネレータ・モード
1	0	PWM出力モード
1	1	設定禁止

TOLEV1	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOEN1	タイマ出力制御
0	出力禁止
1	出力許可

注 CKS12, CKS11, CKS10に0, 0, 1を設定する場合には、あらかじめタイマ・クロック切り替え制御レジスタ (CSEL) のビット1 (CSEL1) の設定を確認してください (図8-7 タイマ・クロック切り替え制御レジスタ (CSEL) のフォーマットを参照)。CKS12, CKS11, CKS10に0, 0, 1を設定している場合、タイマ動作中にCSEL1を書き換えないでください。

注意1. CPUへの供給クロックに低速内蔵発振クロックを選択する場合、カウント・クロックに低速内蔵発振回路の分周クロックが供給されます。カウント・クロックが低速内蔵発振クロックの場合、8ビット・タイマH1の動作は保証されません (CKS12, CKS11, CKS10 = 1, 0, 1 ($f_R/2^7$) 選択時を除く)。

2. TMHE1 = 1のとき、TMHMD1の他のビットを設定することは禁止です。

- 注意3. PWM出力モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウント動作停止 (TMHE1 = 0) 設定後、タイマ・カウント動作を開始する (TMHE1 = 1) 場合、必ず8ビット・タイマHコンペア・レジスタ11 (CMP11) を設定してください (CMP11への設定値が同値の場合でも、必ず再設定してください)。
4. キャリア・ジェネレータ・モードを使用する場合、TMH1のカウント・クロック周波数をTM50のカウント・クロック周波数の6倍以上になるように設定してください。

- 備考1. f_x : 高速システム・クロック発振周波数
 2. f_R : 低速内蔵発振クロック発振周波数
 3. () 内は、 $f_x = 10 \text{ MHz}$ 動作時、 $f_R = 240 \text{ kHz}$ (TYP.) 動作時

(2) タイマ・クロック切り替え制御レジスタ (CSEL)

選択クロックを切り替えるレジスタです。

CSELレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図8-7 タイマ・クロック切り替え制御レジスタ (CSEL) のフォーマット

アドレス : FF71H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CSEL	0	0	0	0	CSEL3	CSEL2	CSEL1	CSEL0
CSEL1	CKS12, CKS11, CKS10 = 0, 0, 1のときのカウント・クロック							
0	$f_x/2^2$ (2.5 MHz)							
1	$f_x/2$ (5 MHz)							
CSEL0	CKS02, CKS01, CKS00 = 1, 0, 1のときのカウント・クロック							
0	TM50の出力							
1	$f_x/2^{13}$ (1.22 kHz)							

- 備考1. CKS12, CKS11, CKS10 : 8ビット・タイマHモード・レジスタ1 (TMHMD1) のビット6-4
 CKS02, CKS01, CKS00 : 8ビット・タイマHモード・レジスタ0 (TMHMD0) のビット6-4
2. f_x : 高速システム・クロック発振周波数
3. CSELのビット3, 2 (CSEL3, CSEL2) は8ビット・タイマ50で使います (7.3(2) タイマ・クロック切り替え制御レジスタ (CSEL) を参照)。
4. () 内は、 $f_x = 10 \text{ MHz}$ 動作時

(3) 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1)

8ビット・タイマH1のリモコン出力およびキャリア・パルス出力の状態を制御するレジスタです。TMCYC1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。 $\overline{\text{RESET}}$ 入力により、00Hになります。

図8 - 8 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) のフォーマット

アドレス：FF6DH リセット時：00H R/W ^注

	7	6	5	4	3	2	1	0
TMCYC1	0	0	0	0	0	RMC1	NRZB1	NRZ1

RMC1	NRZB1	リモコン出力
0	0	ロウ・レベル出力
0	1	INTTM50信号入力の立ち上がりエッジでハイ・レベル出力
1	0	ロウ・レベル出力
1	1	INTTM50信号入力の立ち上がりエッジでキャリア・パルス出力

NRZ1	キャリア・パルス出力状態フラグ
0	キャリア出力禁止状態 (ロウ・レベル状態)
1	キャリア出力許可状態 (RMC1 = 1 : キャリア・パルス出力, RMC1 = 0 : ハイ・レベル状態)

注 ビット0はRead Onlyです。

(4) 兼用端子切り替えレジスタ (PSEL)

TOH1端子を選択するレジスタです。

PSELは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図8 - 9 兼用端子切り替えレジスタ (PSEL) のフォーマット

アドレス：FF70H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PSEL	0	0	TOH1SL	MCGSL	0	0	INTP1SL	INTP3SL

TOH1SL	TOH1端子の選択
0	P12/SO10/TOH1/ (INTP3)
1	P13/TxD6/INTP1/ (TOH1) / (MCGO)

注意 TOH1SLビットを書き換える場合は、8ビット・タイマHモード・レジスタ1 (TMHMD1) のビット7 (TMHE1) = 0にしてから行ってください。

(5) ポート・モード・レジスタ1 (PM1)

ポート1の入力/出力を1ビット単位で設定するレジスタです。

PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図8 - 10 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス：FF21H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	1	1	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

P12/TOH1/SO10/ (INTP3) , P13/ (TOH1) /TxD6/INTP1/ (MCGO) , P15/TOH0/FLMD1端子をタイマ出力として使用するとき、ポート・モード・レジスタとポートの出力ラッチを次のように設定してください。

- ・ P12/TOH1/SO10/ (INTP3) をタイマ出力として使用 (PSELレジスタのビット5 (TOH1SL) = 0)

ポート・モード・レジスタ1のビット2 (PM12) : 0にクリア

ポート1のビット2 (P12) : 0にクリア
- ・ P13/ (TOH1) /TxD6/INTP1/ (MCGO) をタイマ出力として使用 (PSELレジスタのビット5 (TOH1SL) = 1)

ポート・モード・レジスタ1のビット3 (PM13) : 0にクリア

ポート1のビット3 (P13) : 0にクリア
- ・ P15/TOH0/FLMD1端子をタイマ出力として使用 (PSELレジスタの設定不要)

ポート・モード・レジスタ1のビット5 (PM15) : 0にクリア

ポート1のビット3 (P15) : 0にクリア

8.4 8ビット・タイマH0, H1の動作

8.4.1 インターバル・タイマとしての動作

8ビット・タイマ・カウンタHnとコンペア・レジスタ0n (CMP0n) が一致した場合、割り込み要求信号 (INTTMHn) が発生し、8ビット・タイマ・カウンタHnを00Hにクリアします。

インターバル・タイマ・モードでコンペア・レジスタ1n (CMP1n) は使用しません。CMP1nレジスタを設定しても、8ビット・タイマ・カウンタHnとCMP1nレジスタの一致検出をしないため、タイマ出力に影響しません。

また、タイマHモード・レジスタn (TMHMDn) のビット0 (TOENn) に1を設定することにより、TOHnより任意の周波数の方形波出力 (デューティ= 50 %) が出力されます。

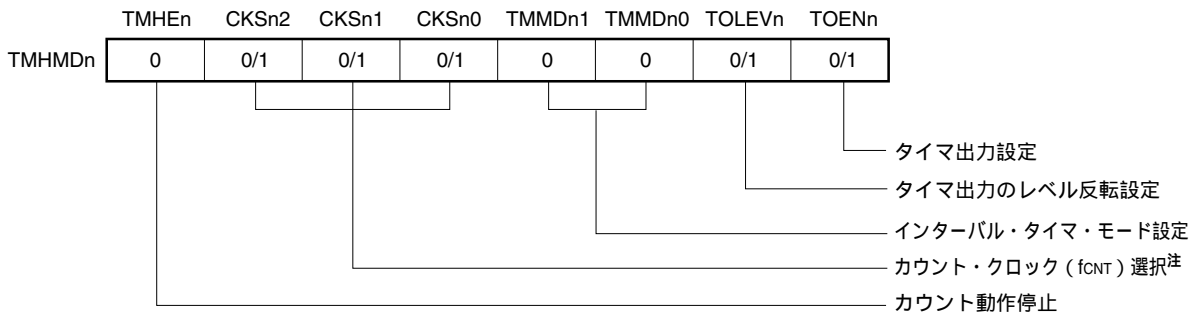
(1) 使用方法

同一間隔でINTTMHn信号を繰り返し発生します。

各レジスタの設定を行います。

図8 - 11 インターバル・タイマ / 方形波出力動作時のレジスタの設定

(i) タイマHモード・レジスタn (TMHMDn) の設定



注 CKS02, CKS01, CKS00に1, 0, 1を設定する場合には、タイマ・クロック切り替え制御レジスタ (CSEL) のビット0 (CSEL0) の設定を、CKS12, CKS11, CKS10に0, 0, 1を設定する場合にはCSELレジスタのビット1 (CSEL1) の設定を、あらかじめ確認してください (図8 - 7 タイマ・クロック切り替え制御レジスタ (CSEL) のフォーマットを参照)。

(ii) CMP0nレジスタの設定

・コンペア値 (N)

TMHEn = 1によりカウント動作を開始します。

8ビット・タイマ・カウンタHnとCMP0nレジスタの値が一致すると、INTTMHn信号が発生し、8ビット・タイマ・カウンタHnは00Hにクリアされます。

$$\text{インターバル時間} = (N + 1) / f_{CNT}$$

以後、同一間隔でINTTMHn信号が発生します。カウント動作を停止するときは、TMHEn = 0にします。

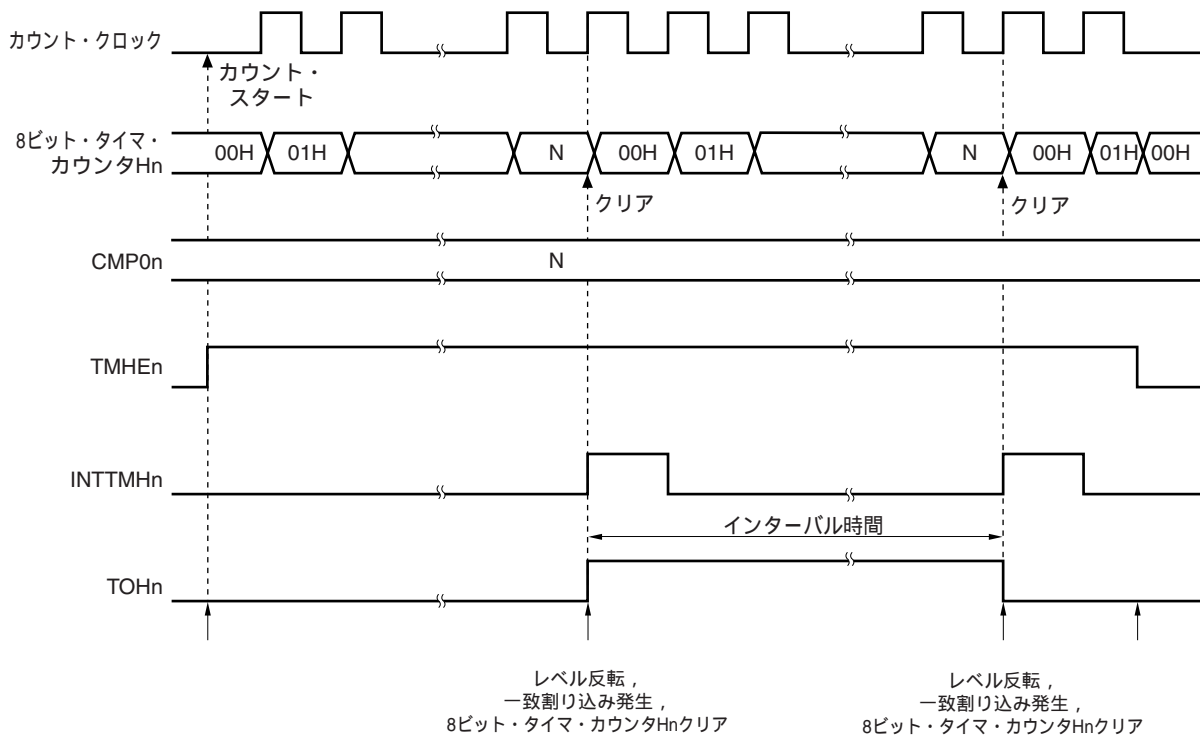
備考 n = 0, 1

(2) タイミング・チャート

インターバル・タイマ / 方形波出力動作のタイミングを次に示します。

図8 - 12 インターバル・タイマ / 方形波出力動作のタイミング (1/2)

(a) 基本動作



TMHEnビットを0から1にすることにより、カウント動作許可状態になります。カウント・クロックは、動作許可後、最大1クロック遅れてカウント・スタートします。

8ビット・タイマ・カウンタHnの値とCMP0nレジスタの値が一致すると、8ビット・タイマ・カウンタHnの値をクリアし、TOHn出力のレベルを反転させ、INTTMHn信号を出力します。

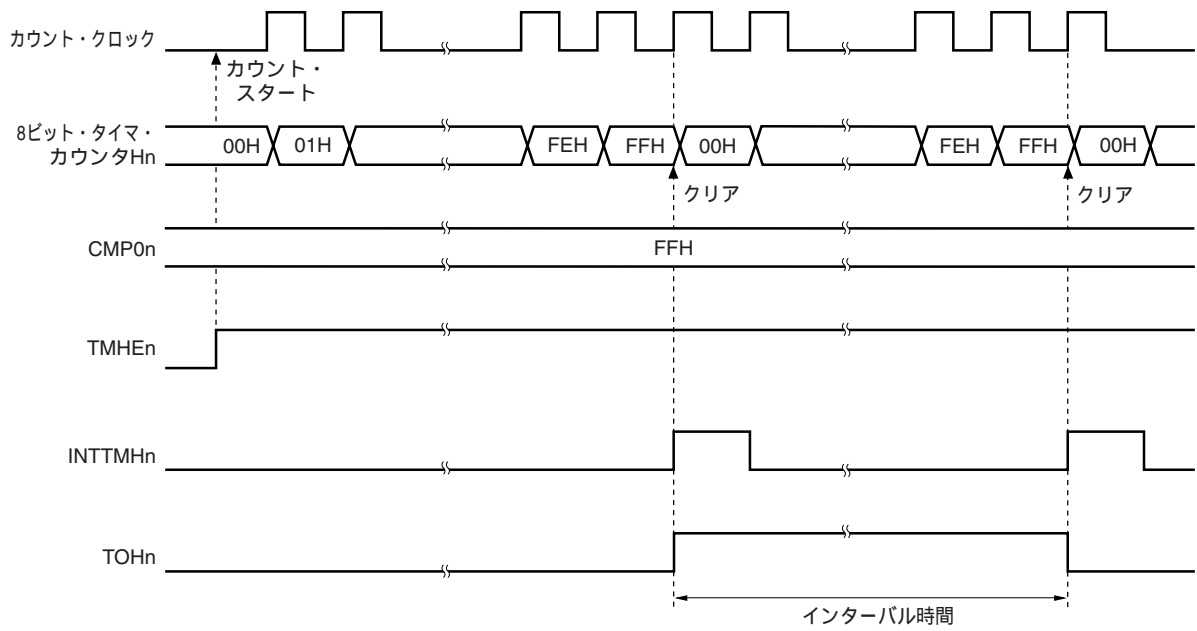
タイマH動作中にTMHEnビットを0にすることで、INTTMHn信号およびTOHn出力がインアクティブになります。はじめからインアクティブの場合はレベルを保持します。

備考 n = 0, 1

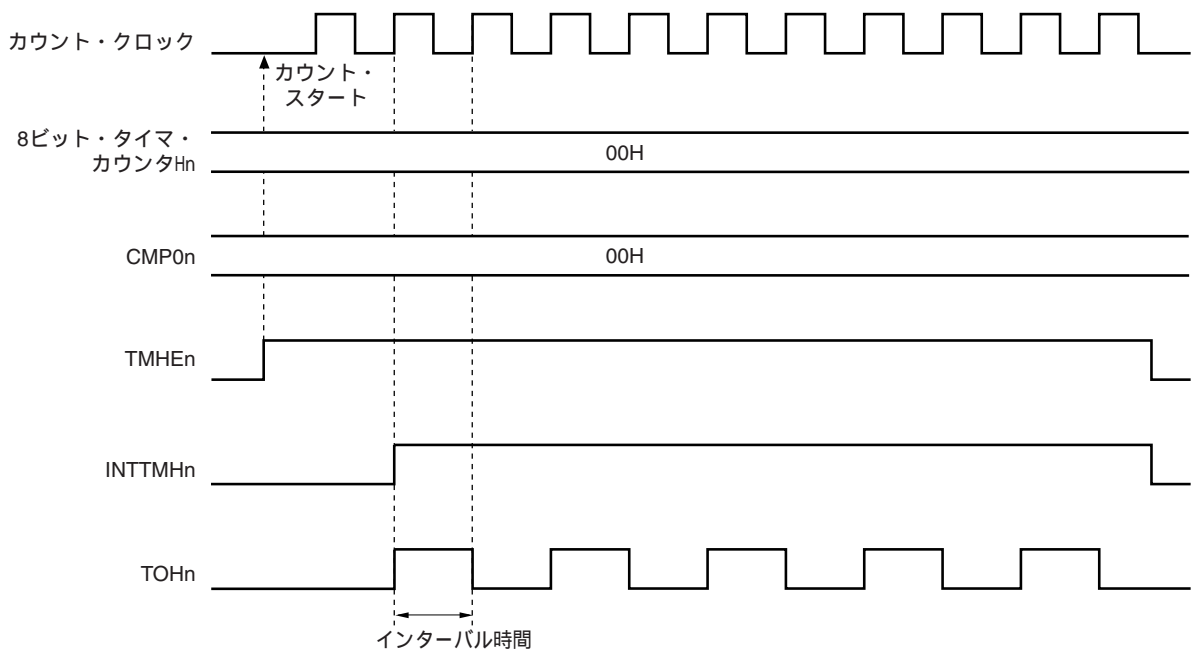
N = 01H-FEH

図8 - 12 インターバル・タイマ / 方形波出力動作のタイミング (2/2)

(b) CMP0n = FFH時の動作



(c) CMP0n = 00H時の動作



備考 n = 0, 1

8.4.2 PWM出力モードとしての動作

PWM出力モードでは、任意のデューティおよび周期が可能なパルスを出力できます。

8ビット・タイマ・コンペア・レジスタ0n (CMP0n) はタイマ出力 (TOHn) の周期を制御します。タイマ動作中のCMP0nレジスタに対する書き換えは禁止です。

8ビット・タイマ・コンペア・レジスタ1n (CMP1n) はタイマ出力 (TOHn) のデューティを制御するレジスタです。タイマ動作中のCMP1nレジスタに対する書き換えが可能です。

PWM出力モードでの動作は次のようになります。

タイマ・カウント・スタート後、8ビット・タイマ・カウンタHnとCMP0nレジスタが一致するとTOHn出力はアクティブとなり、8ビット・タイマ・カウンタHnは0にクリアされます。8ビット・タイマ・カウンタHnとCMP1nレジスタが一致するとTOHn出力はインアクティブとなります。

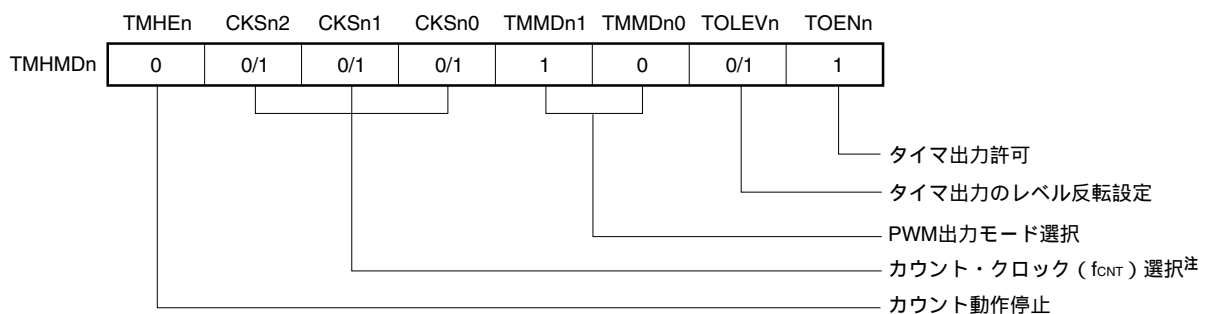
(1) 使用方法

PWM出力モードでは、任意のデューティおよび周期が可能なパルスを出力できます。

各レジスタの設定を行います。

図8 - 13 PWM出力モード時のレジスタの設定

(i) タイマHモード・レジスタn (TMHMDn) の設定



注 CKS02, CKS01, CKS00に1, 0, 1を設定する場合には、タイマ・クロック切り替え制御レジスタ (CSEL) のビット0 (CSEL0) の設定を、CKS12, CKS11, CKS10に0, 0, 1を設定する場合にはCSELレジスタのビット1 (CSEL1) の設定を、あらかじめ確認してください (図8 - 7 タイマ・クロック切り替え制御レジスタ (CSEL) のフォーマットを参照)。

(ii) CMP0nレジスタの設定

- ・コンペア値 (N) : 周期の設定

(iii) CMP1nレジスタの設定

- ・コンペア値 (M) : デューティの設定

備考1 . n = 0, 1

2 . 00H CMP1n (M) < CMP0n (N) FFH

TMHEn = 1によりカウント動作を開始します。

カウント動作を許可したあと、最初の比較対象コンペア・レジスタはCMP0nレジスタです。8ビット・タイマ・カウンタHnとCMP0nレジスタの値が一致すると、8ビット・タイマ・カウンタHnはクリアされ、割り込み要求信号 (INTTMHn) が発生し、TOHn出力がアクティブになります。同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMP0nレジスタからCMP1nレジスタへ切り替えます。

8ビット・タイマ・カウンタHnとCMP1nレジスタが一致すると、TOHn出力がインアクティブになり、同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMP1nレジスタからCMP0nレジスタへ切り替えます。このとき8ビット・タイマ・カウンタHnはクリアされず、INTTMHn信号も発生しません。

以上 と を繰り返し、任意のデューティのパルスを得ることができます。

カウント動作を停止するときは、TMHEn = 0にします。

CMP0nレジスタの設定値を (N) , CMP1nレジスタを (M) , カウント・クロックの周波数を f_{CNT} とすると、PWMパルス出力周期およびデューティは次のとおりになります。

$$\text{PWMパルス出力周期} = (N + 1) / f_{CNT}$$

$$\text{デューティ} = \text{アクティブ幅} : \text{PWM全体の幅} = (M + 1) : (N + 1)$$

注意1 . PWM出力モード時は、CMP1nレジスタを書き換えてからレジスタに転送するのに、動作クロック (TMHMDnレジスタのCKSn2-CKSn0ビットで選択された信号) の3クロック分を必要とします。

2 . タイマ・カウント動作停止 (TMHEn = 0) 設定後、タイマ・カウント動作を開始する (TMHEn = 1) 場合、必ずCMP1nレジスタを設定してください (CMP1nレジスタへの設定値が同値の場合でも、必ず再設定してください)。

(2) タイミング・チャート

PWM出力モード時の動作タイミングを次に示します。

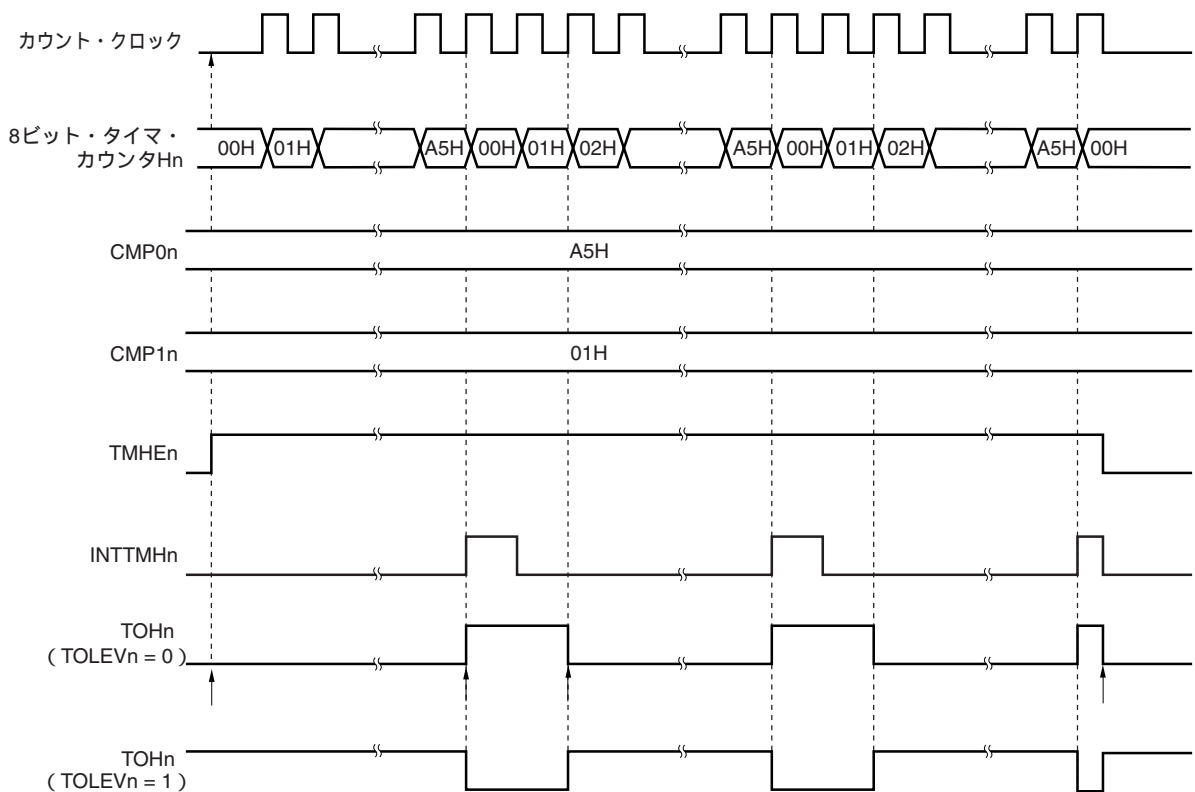
注意 CMP1nレジスタの設定値 (M) , CMP0nレジスタの設定値 (N) は、必ず次の範囲内にしてください。

$$00H \leq \text{CMP1n (M)} < \text{CMP0n (N)} \leq \text{FFH}$$

備考 n = 0, 1

図8 - 14 PWM出力モード動作のタイミング (1/4)

(a) 基本動作



TMHEn = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・タイマ・カウンタHnをスタートさせ、カウント・アップします。そのときTOHn出力はインアクティブ (TOLEVn = 0設定時) を保持します。

8ビット・タイマ・カウンタHnの値がCMP0nレジスタの値と一致したときに、TOHn出力のレベルを反転し、8ビット・タイマ・カウンタHnをクリアし、INTTMHn信号を出力します。

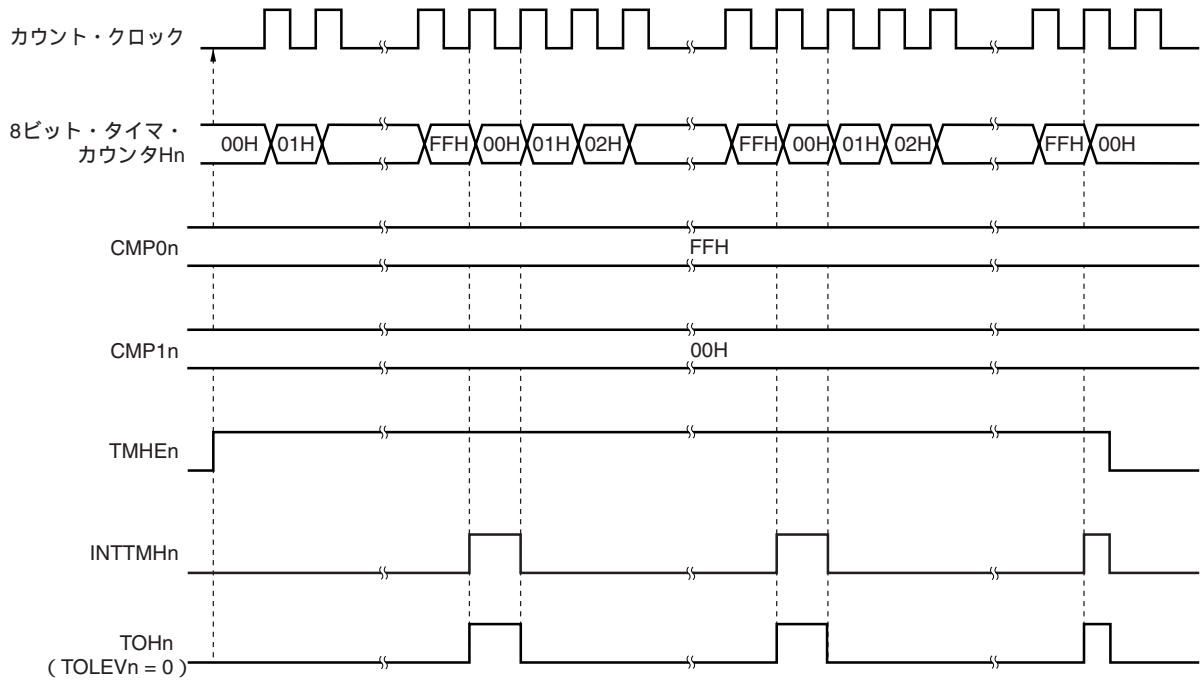
8ビット・タイマ・カウンタHnの値がCMP1nレジスタの値と一致したときに、TOHn出力のレベルを戻します。そのとき8ビット・タイマ・カウンタHnの値はクリアされず、INTTMHn信号は出力しません。

タイマHn動作中にTMHEnビットを0にすることで、INTTMHn信号およびTOHn出力がインアクティブになります。

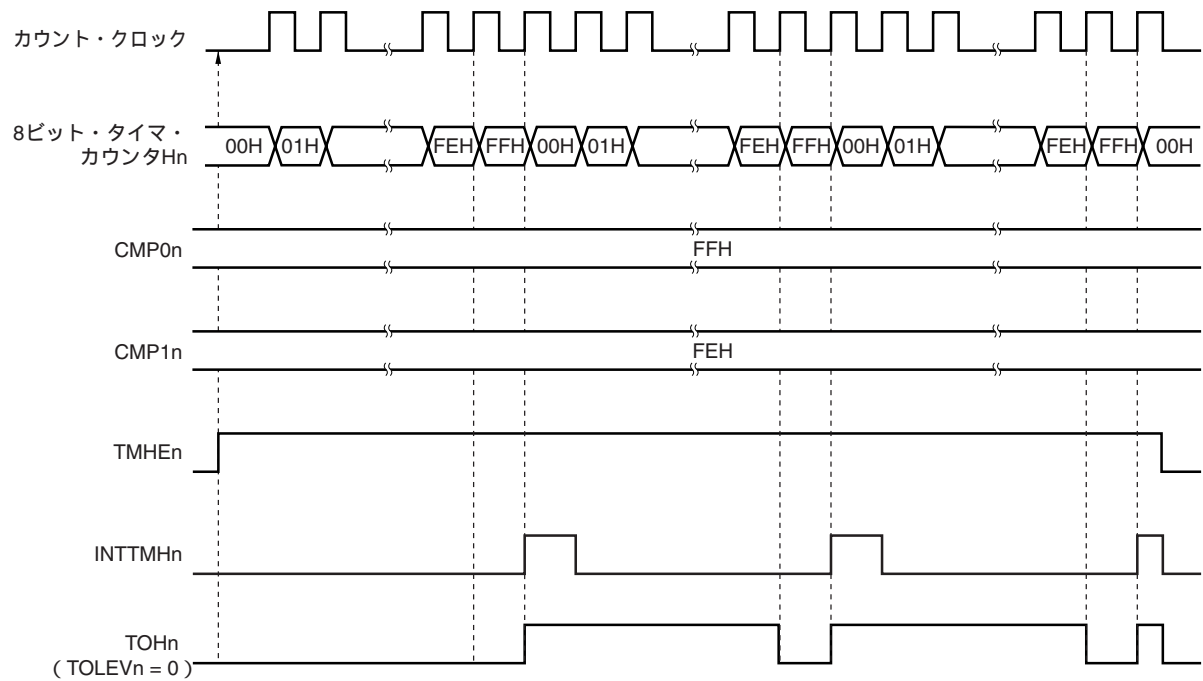
備考 n = 0, 1

図8 - 14 PWM出力モード動作のタイミング (2/4)

(b) CMP0n = FFH, CMP1n = 00H時の動作



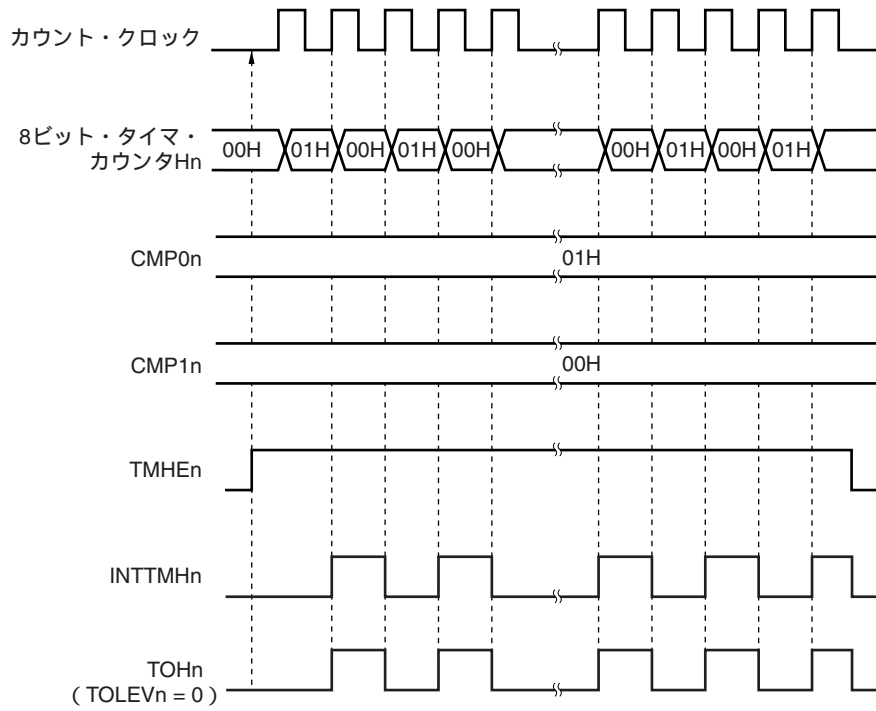
(c) CMP0n = FFH, CMP1n = FEH時の動作



備考 n = 0, 1

図8 - 14 PWM出力モード動作のタイミング (3/4)

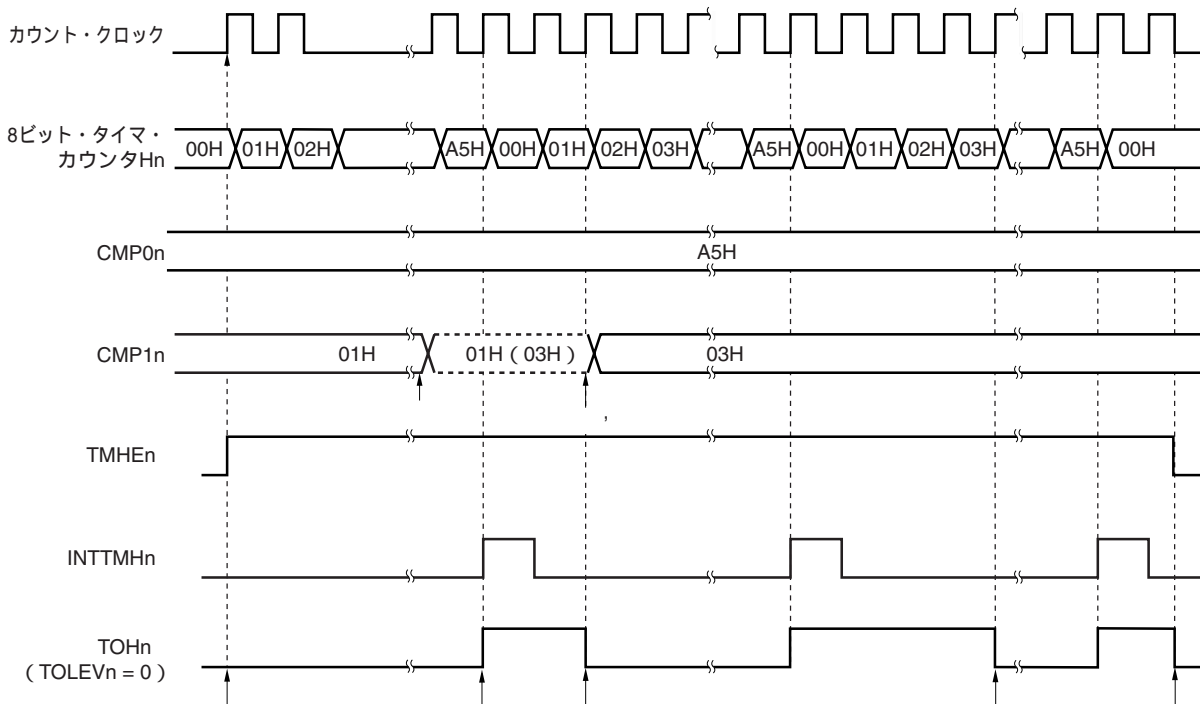
(d) CMP0n = 01H, CMP1n = 00H時の動作



備考 n = 0, 1

図8 - 14 PWM出力モード動作のタイミング (4/4)

(e) CMP1n変更による動作 (CMP1n = 01H 03H, CMP0n = A5H)



TMHEn = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・カウンタをスタートさせ、カウント・アップします。そのとき、TOHn出力はインアクティブ (TOLEVn = 0設定時) を保持します。

タイマ・カウンタ動作中にCMP1nレジスタの設定値を変更することが可能です。この動作はカウント・クロックとは非同期です。

8ビット・タイマ・カウンタHnの値がCMP0nレジスタの値と一致すると、8ビット・タイマ・カウンタHnはクリアされ、TOHn出力をアクティブにし、INTTMHn信号が発生します。

CMP1nレジスタの値を変更しても、その値はラッチされ、レジスタには転送されません。8ビット・タイマ・カウンタHnとCMP1nレジスタの変更前の値が一致すると、CMP1nレジスタに転送されCMP1nレジスタの値が変更されます ()。

ただし、CMP1nレジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号を発生しても、変更値のレジスタへの転送はできません。

8ビット・タイマ・カウンタHnの値が変更後のCMP1nレジスタの値と一致すると、TOHn出力をインアクティブにします。8ビット・タイマ・カウンタHnはクリアされず、INTTMHn信号も発生しません。

タイマHn動作中にTMHEnビットを0にすることで、INTTMHn信号およびTOHn出力がインアクティブになります。

備考 n = 0, 1

8.4.3 キャリア・ジェネレータ・モードとしての動作（8ビット・タイマH1のみ）

8ビット・タイマH1で生成されるキャリア・クロックを、8ビット・タイマ50で設定した周期で出力します。

キャリア・ジェネレータ・モードでは、8ビット・タイマ50で8ビット・タイマH1のキャリア・パルスをどの程度出力するか制御し、TOH1出力からキャリア・パルスを出力します。

（1）キャリアの生成

キャリア・ジェネレータ・モードのとき、8ビット・タイマHコンペア・レジスタ01（CMP01）はキャリア・パルスのロウ・レベル幅の波形を生成し、8ビット・タイマHコンペア・レジスタ11（CMP11）はキャリア・パルスのハイ・レベル幅の波形を生成します。

8ビット・タイマH1動作中に、CMP11レジスタを書き換えることはできますが、CMP01レジスタを書き換えることは禁止です。

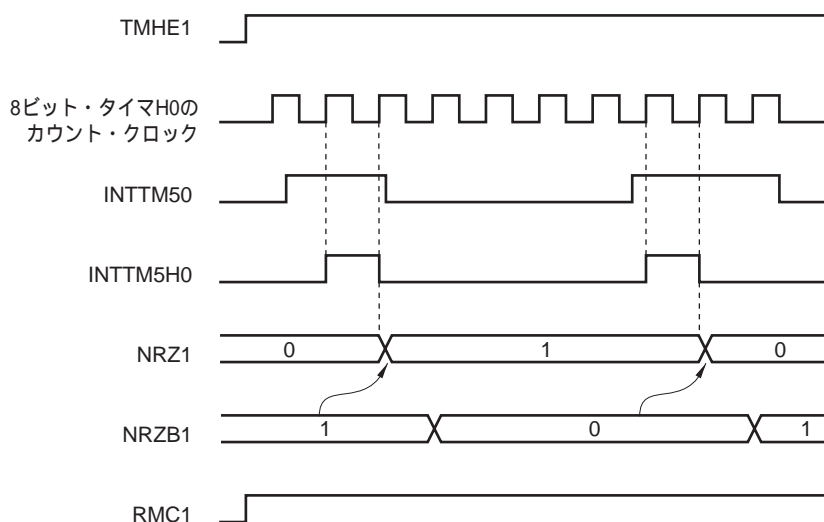
（2）キャリアの出力制御

キャリアの出力制御は8ビット・タイマ50の割り込み要求信号（INTTM50）と8ビット・タイマHキャリア・コントロール・レジスタ1（TMCYC1）のNRZB1ビット、RMC1ビットにより行われます。出力の関係を次に示します。

RMC1ビット	NRZB1ビット	出力
0	0	ロウ・レベル出力
0	1	INTTM50信号入力の立ち上がりエッジでハイ・レベル出力
1	0	ロウ・レベル出力
1	1	INTTM50信号入力の立ち上がりエッジでキャリア・パルス出力

キャリア・パルス出力をカウント動作中に制御するために、TMCYC1レジスタのNRZ1ビットとNRZB1ビットは、マスタとスレーブのビット構成になっています。NRZ1ビットはリードのみですが、NRZB1ビットはリード/ライト可能です。INTTM50信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H0信号として出力します。INTTM5H0信号がNRZ1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。NRZB1ビットからNRZ1ビットへの転送タイミングは、次のとおりです。

図8 - 15 転送タイミング



INTTM50信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H0信号として出力されます。

INTTM5H0信号の立ち上がりから2クロック目で、NRZB1ビットの値がNRZ1ビットに転送されます。

- 注意1.** NRZB1ビットの値を書き換えてから2クロック目までに、再びNRZB1ビットの値を書き換えしないでください。書き換えた場合のNRZB1ビットからNRZ1ビットへの転送動作の保証はできません。
- 2.** 8ビット・タイマ50をキャリア・ジェネレータ・モードで使用する場合、このタイミングで割り込みが発生します。8ビット・タイマ50をキャリア・ジェネレータ・モード以外で使用する場合は、割り込み発生時のタイミングが異なります。

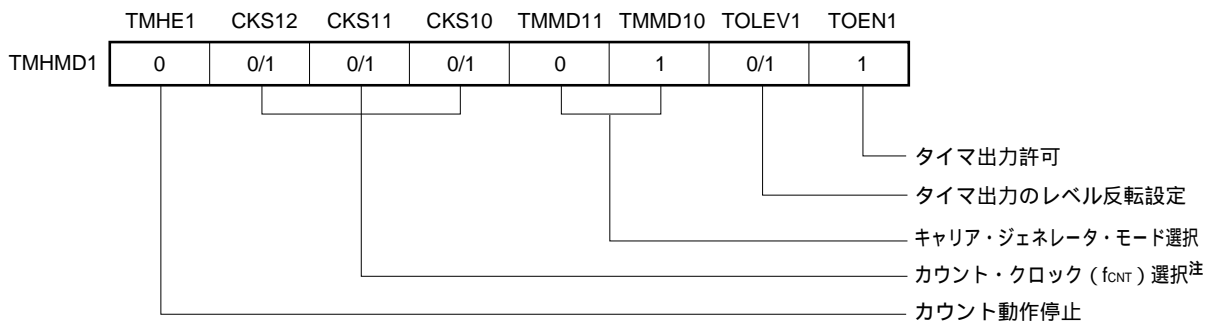
(3) 使用方法

任意のキャリア・クロックをTOH1端子より出力することができます。

各レジスタの設定を行います。

図8 - 16 キャリア・ジェネレータ・モード時のレジスタの設定

(i) 8ビット・タイマHモード・レジスタ1 (TMHMD1) の設定



注 CKS12, CKS11, CKS10に0, 0, 1を設定する場合には, タイマ・クロック切り替え制御レジスタ (CSEL) のビット1 (CSEL1) の設定をあらかじめ確認してください (図8 - 7 タイマ・クロック切り替え制御レジスタ (CSEL) のフォーマットを参照)。

(ii) CMP01レジスタの設定

- ・コンペア値

(iii) CMP11レジスタの設定

- ・コンペア値

(iv) TMCYC1レジスタの設定

- ・RMC1 = 1 ... リモコン出力許可ビット
- ・NRZB1 = 0/1 ... キャリア出力許可ビット

(v) TCL50, TMC50レジスタの設定

- ・7.3 8ビット・タイマ50を制御するレジスタ参照

TMHE1 = 1を設定すると、8ビット・タイマH1のカウンタ動作を開始します。

8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のTCE50 = 1を設定すると、8ビット・タイマ50のカウンタ動作を開始します。

カウンタ動作を許可したあと、最初の比較対象コンペア・レジスタはCMP01レジスタです。8ビット・タイマ・カウンタH1のカウンタ値とCMP01レジスタの値が一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1はクリアされ、同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタをCMP01レジスタからCMP11レジスタへ切り替えます。

8ビット・タイマ・カウンタH1のカウンタ値とCMP11レジスタが一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1はクリアされ、同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタをCMP11レジスタからCMP01レジスタへ切り替えます。

以上 と の繰り返しによって、キャリア・クロックが生成されます。

INTTM50信号が8ビット・タイマH1のカウンタ・クロックで同期化され、INTTM5H0信号として出力されます。その信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。

NRZ1ビットがハイ・レベルのとき、キャリア・クロックがTOH1端子より出力されます。

以上を繰り返し、任意のキャリア・クロックを得ることができます。カウンタ動作を停止するときはTMHE1 = 0にします。

CMP01レジスタの設定値を (N) , CMP11レジスタの設定値を (M) , カウンタ・クロックの周波数を f_{CNT} とすると、キャリア・クロック出力周期およびデューティ比は次のとおりになります。

$$\text{キャリア・クロック出力周期} = (N + M + 2) / f_{CNT}$$

$$\text{デューティ} = \text{ハイ・レベル幅} : \text{キャリア・クロック出力幅} = (M + 1) : (N + M + 2)$$

注意1 . タイマ・カウンタ動作停止 (TMHE1 = 0) 設定後、タイマ・カウンタ動作を開始する (TMHE1 = 1) 場合、必ずCMP11レジスタを設定してください (CMP11レジスタへの設定値が同値の場合でも、必ず再設定してください)。

2 . TMH1のカウンタ・クロック周波数をTM50のカウンタ・クロック周波数の6倍以上になるように設定してください。

(4) タイミング・チャート

キャリアの出力制御タイミングを次に示します。

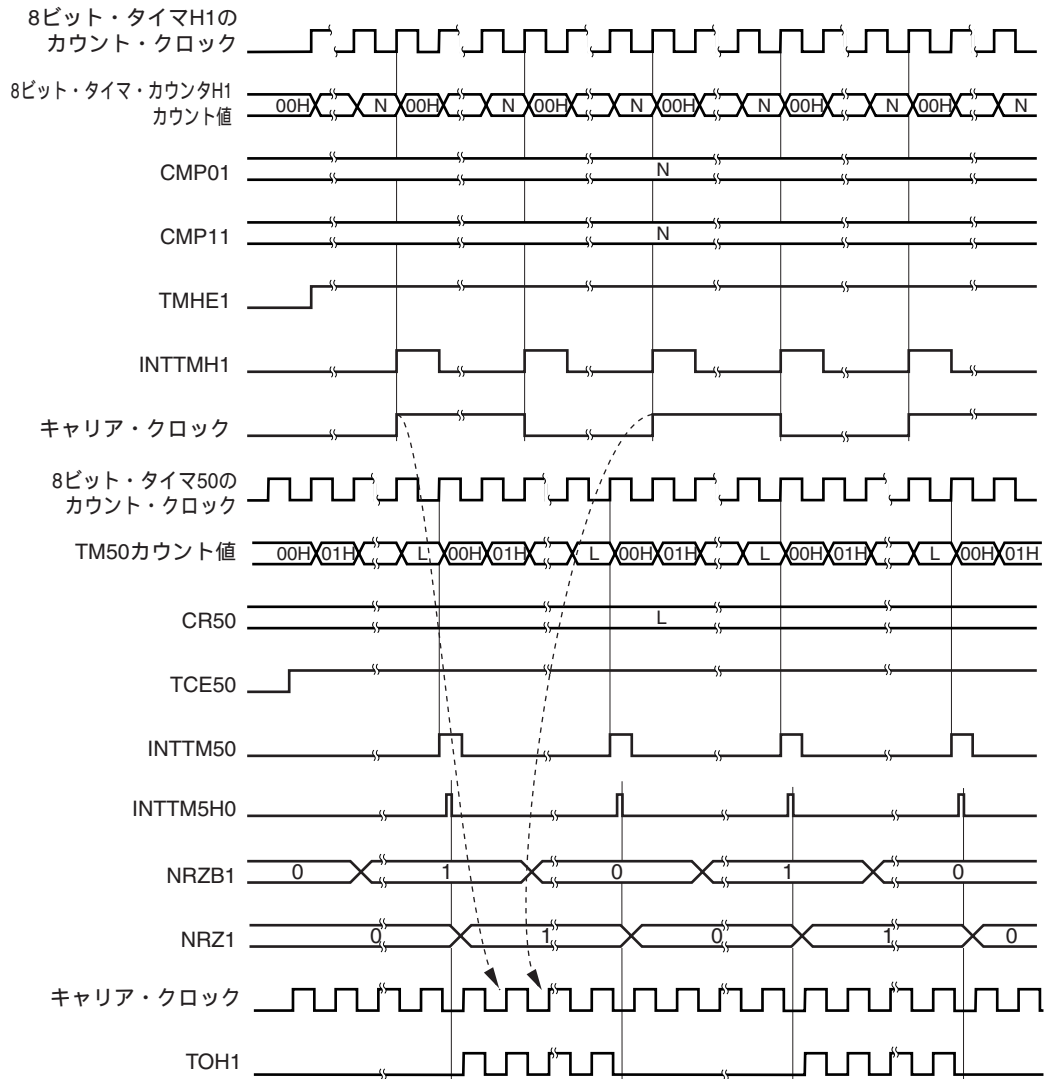
注意1 . CMP01, CMP11レジスタの値は、01H-FFHの範囲で設定してください。

2 . キャリア・ジェネレータ・モード時は、CMP11レジスタを書き換えてから、実際にレジスタに転送するのに動作クロック (TMHMD1レジスタのCKS12-CKS10ビットで選択された信号) の3クロック分を必要とします。

3 . RMC1ビットの設定はカウンタ動作開始前に必ず設定してください。

図8 - 17 キャリア・ジェネレータ・モード動作のタイミング (1/3)

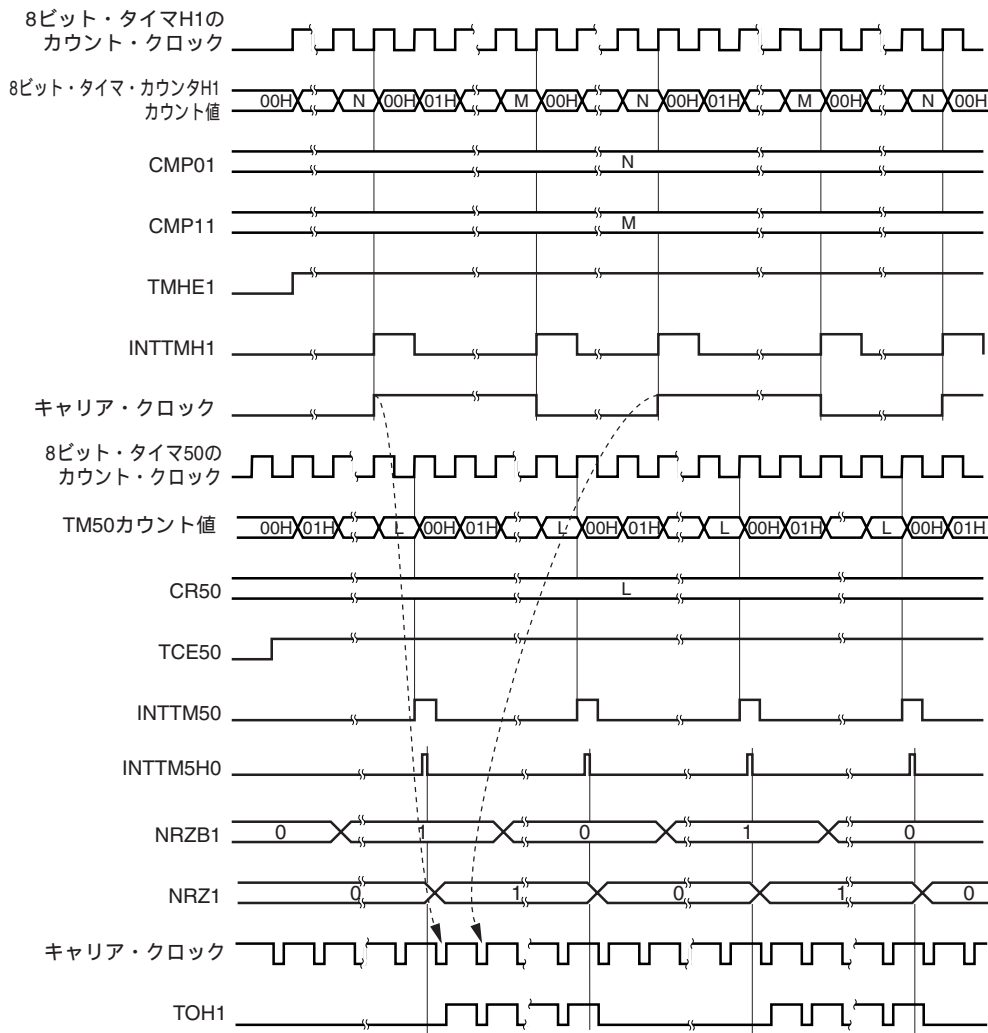
(a) CMP01 = N, CMP11 = Nに設定したときの動作



TMHE1 = 0およびTCE50 = 0のとき、8ビット・タイマ・カウンタH1の動作は停止状態です。
 TMHE1 = 1を設定すると、8ビット・タイマ・カウンタH1はカウント動作を開始します。そのときキャリア・クロックをインアクティブに保持します。
 8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタの値と一致したときに、最初のINTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタをCMP01レジスタからCMP11レジスタに切り替えます。8ビット・タイマ・カウンタH1は00Hにクリアされます。
 8ビット・タイマ・カウンタH1のカウント値がCMP11レジスタと一致したときに、INTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタをCMP11レジスタからCMP01レジスタに切り替えます。8ビット・タイマ・カウンタH1は00Hにクリアされます。
 とを繰り返し、デューティ比50%固定のキャリア・クロックを生成します。
 INTTM50信号が発生すると、その信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H0信号として出力します。
 INTTM5H0信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。
 NRZ1 = 0により、TOH1出力はロウ・レベルになります。

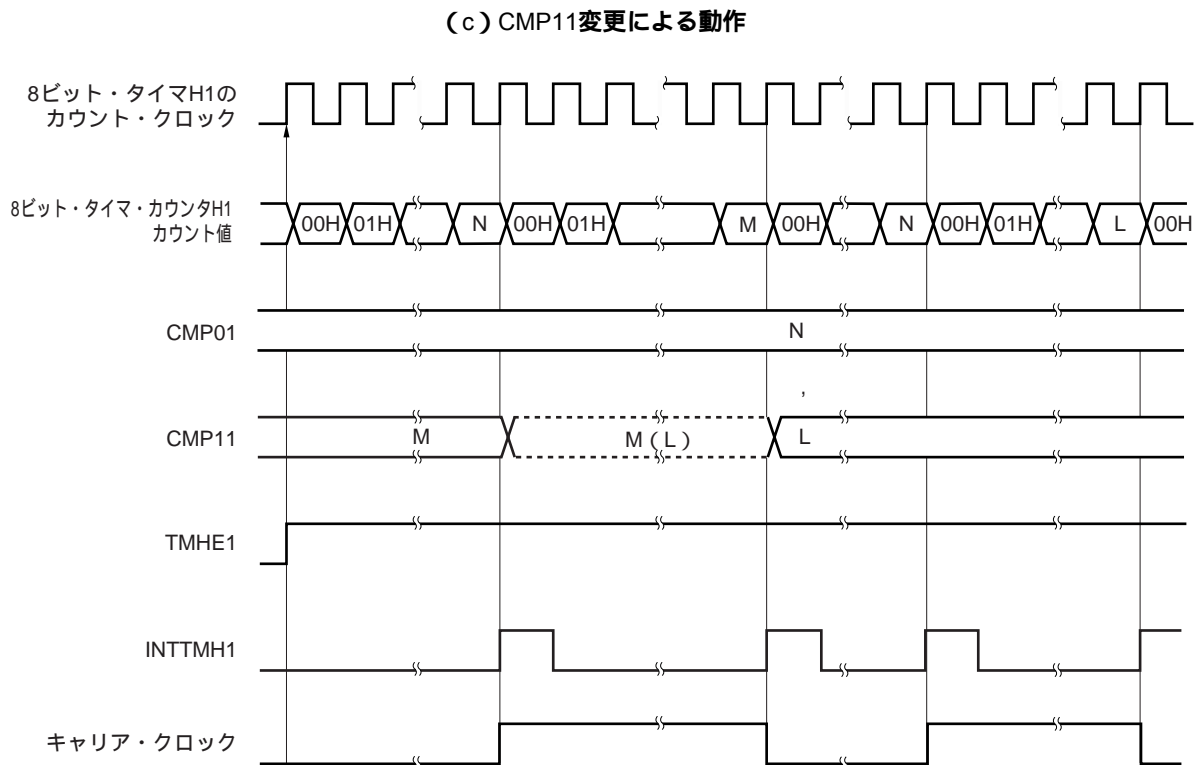
図8 - 17 キャリア・ジェネレータ・モード動作のタイミング (2/3)

(b) CMP01 = N, CMP11 = Mに設定したときの動作



TMHE1 = 0およびTCE50 = 0のとき、8ビット・タイマ・カウンタH1の動作は停止状態です。
 TMHE1 = 1を設定すると、8ビット・タイマ・カウンタH1はカウント動作を開始します。そのときキャリア・クロックをインアクティブに保持します。
 8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタと一致したときに、最初のINTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタをCMP01レジスタからCMP11レジスタに切り替えます。8ビット・タイマ・カウンタH1は00Hにクリアされます。
 8ビット・タイマ・カウンタH1のカウント値がCMP11レジスタと一致したときに、INTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタをCMP11レジスタからCMP01レジスタに切り替えます。8ビット・タイマ・カウンタH1は00Hにクリアされます。
 とを繰り返し、デューティ固定（50 %以外）のキャリア・クロックを生成します。
 INTTM50信号を発生します。その信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H0信号として出力します。
 NRZ1 = 1により、最初のキャリア・クロックの立ち上がりから、キャリアを出力します。
 NRZ1 = 0により、キャリア・クロックのハイ・レベル期間は、TOH1出力もハイ・レベルを保持しロウ・レベルに変化しません（、よりキャリア波形のハイ・レベル幅が保証できます）。

図8 - 17 キャリア・ジェネレータ・モード動作のタイミング (3/3)



TMHE1 = 1を設定すると、カウント動作を開始します。そのときキャリア・クロックをインアクティブに保持します。

8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタと一致したときに、8ビット・タイマ・カウンタH1をクリアし、INTTMH1信号を出力します。

CMP11レジスタは8ビット・タイマH1動作中に値を書き換えることができますが、変更した値(L)はラッチされます。CMP11レジスタが変更されるのは、8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタの変更前の値(M)が一致したとき(')です。

8ビット・タイマ・カウンタH1のカウント値と変更前のCMP11レジスタの値(M)が一致すると、INTTMH1信号を出力し、キャリア信号を反転させ、8ビット・タイマ・カウンタH1を00Hにクリアします。

再度8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタが一致するタイミングは変更後の値(L)です。

第9章 ウォッチドッグ・タイマ

9.1 ウォッチドッグ・タイマの機能

プログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESFの詳細については第16章 **リセット機能**を参照してください。

表9-1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	
低速内蔵発振クロック動作時	高速システム・クロック動作時
$2^{11}/f_R$ (4.27 ms)	$2^{13}/f_{XH}$ (819.2 μ s)
$2^{12}/f_R$ (8.53 ms)	$2^{14}/f_{XH}$ (1.64 ms)
$2^{13}/f_R$ (17.07 ms)	$2^{15}/f_{XH}$ (3.28 ms)
$2^{14}/f_R$ (34.13 ms)	$2^{16}/f_{XH}$ (6.55 ms)
$2^{15}/f_R$ (68.27 ms)	$2^{17}/f_{XH}$ (13.11 ms)
$2^{16}/f_R$ (136.53 ms)	$2^{18}/f_{XH}$ (26.21 ms)
$2^{17}/f_R$ (273.07 ms)	$2^{19}/f_{XH}$ (52.43 ms)
$2^{18}/f_R$ (546.13 ms)	$2^{20}/f_{XH}$ (104.86 ms)

備考1 . f_R : 低速内蔵発振クロック発振周波数

2 . f_{XH} : 高速システム・クロック発振周波数

3 . () 内は $f_R = 480$ kHz (MAX.) , $f_{XH} = 10$ MHz動作時

低速内蔵発振のマスク・オプション (フラッシュ・メモリ製品の場合はオプション・バイト) 設定により、ウォッチドッグ・タイマ (WDT) の動作モードが表9-2に示すように変わります。

表9-2 マスク・オプションの設定とウォッチドッグ・タイマの動作モード

	マスク・オプション	
	低速内蔵発振器停止不可	低速内蔵発振器をソフトウェアにより停止可能
ウォッチドッグ・タイマのクロック・ソース	f_R 固定 ^{注1}	・ソフトで選択可 (f_{XH} または f_R または停止) ・リセット解除時： f_R
リセット後の動作	最長インターバル ($2^{18}/f_R$) で動作開始	最長インターバル ($2^{18}/f_R$) で動作開始
動作モード選択	インターバルを一度だけ変更可能	クロック選択 / インターバルを一度だけ変更可能
特 徴	ウォッチドッグ・タイマ停止不可	スタンバイ時にウォッチドッグ・タイマ停止可能 ^{注2}

注1．電源が供給されているかぎり、低速内蔵発振器の発振を絶対に停止することができません（リセット期間中は除く）。

2．ウォッチドッグ・タイマのクロック・ソースに応じて、ウォッチドッグ・タイマへのクロック供給停止の条件は異なります。

クロック・ソースが f_{XH} の場合、次の条件のときにウォッチドッグ・タイマへのクロック供給停止

- ・ f_{XH} 停止時
- ・ HALT/STOPモード時
- ・ 発振安定時間中

クロック・ソースが f_R の場合、次の条件のときにウォッチドッグ・タイマへのクロック供給停止

- ・ CPUクロックが f_{XH} で、STOP命令実行前に f_R をソフトウェアで停止した場合
- ・ HALT/STOPモード時

備考1． f_R : 低速内蔵発振クロック発振周波数

2． f_{XH} : 高速システム・クロック発振周波数

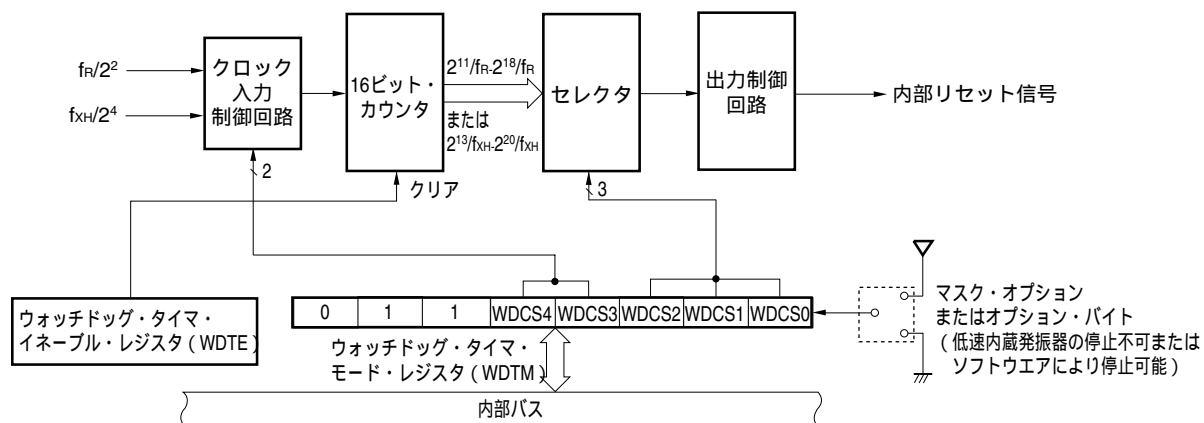
9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表9-3 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

図9-1 ウォッチドッグ・タイマのブロック図



9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するには、次の2種類があります。

- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

(1) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマのオーバフロー時間および動作クロックを設定するレジスタです。

WDTMは8ビット・メモリ操作命令で設定します。読み出しは何回でもできますが、書き込みはリセット解除後に1回のみできます。

RESET入力により67Hになります。

図9-2 ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のフォーマット

アドレス：FF98H リセット時：67H R/W

略号	7	6	5	4	3	2	1	0
WDTM	0	1	1	WDCS4	WDCS3	WDCS2	WDCS1	WDCS0

WDCS4 ^{注1}	WDCS3 ^{注1}	動作クロックの選択
0	0	低速内蔵発振クロック (f_R)
0	1	高速システム・クロック (f_{XH})
1	x	ウォッチドッグ・タイマ動作停止

WDCS2 ^{注2}	WDCS1 ^{注2}	WDCS0 ^{注2}	オーバフロー時間の設定	
			低速内蔵発振クロック動作時	高速システム・クロック動作時
0	0	0	$2^{11}/f_R$ (4.27 ms)	$2^{13}/f_{XH}$ (819.2 μ s)
0	0	1	$2^{12}/f_R$ (8.53 ms)	$2^{14}/f_{XH}$ (1.64 ms)
0	1	0	$2^{13}/f_R$ (17.07 ms)	$2^{15}/f_{XH}$ (3.28 ms)
0	1	1	$2^{14}/f_R$ (34.13 ms)	$2^{16}/f_{XH}$ (6.55 ms)
1	0	0	$2^{15}/f_R$ (68.27 ms)	$2^{17}/f_{XH}$ (13.11 ms)
1	0	1	$2^{16}/f_R$ (136.53 ms)	$2^{18}/f_{XH}$ (26.21 ms)
1	1	0	$2^{17}/f_R$ (273.07 ms)	$2^{19}/f_{XH}$ (52.43 ms)
1	1	1	$2^{18}/f_R$ (546.13 ms)	$2^{20}/f_{XH}$ (104.86 ms)

注1. マスク・オプションで「低速内蔵発振器は停止不可」を選択した場合は、設定できません。どんな値を書いても低速内蔵発振クロックが選択されます。

2. リセット解除時は最大周期 (WDCS2, WDCS1, WDCS0 = 1, 1, 1) となります。

注意1. WDTMにデータを書き込むと、ウェイトが発生します。詳細は第28章 ウェイトに関する注意事項を参照してください。

- ビット7, 6, 5にはそれぞれ“0”, “1”, “1”を設定してください(マスク・オプションで「低速内蔵発振器は停止不可」を選択した場合は、違う値を書いても無視されます)。

- 注意3. リセット解除後，WDTMへの書き込みは8ビット・メモリ操作命令で1回のみ行うことができます。2回目の書き込みを実行しようとした場合，その時点で内部リセット信号が発生します。ただし，ウォッチドッグ・タイマのソース・クロックが停止している場合は，ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で，内部リセット信号が発生します。
4. WDTMは1ビット・メモリ操作命令では設定できません。
 5. マスク・オプションで「低速内蔵発振器はソフトウェアにより停止可能」を選択し，WDCS4を1に設定してウォッチドッグ・タイマを停止させた場合，再びWDCS4を0にクリアしてもウォッチドッグ・タイマは動作しません。また内部リセット信号も発生しません。

- 備考1. f_R : 低速内蔵発振クロック発振周波数
 2. f_{XH} : 高速システム・クロック発振周波数
 3. x : don't care
 4. () 内は， $f_R = 480 \text{ kHz (MAX.)}$ 動作時， $f_{XH} = 10 \text{ MHz}$ 動作時

(2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEに“ACH”を書き込むことにより，ウォッチドッグ・タイマのカウンタをクリアし，再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

RESET入力により9AHになります。

図9 - 3 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス：FF99H リセット時：9AH R/W

略号	7	6	5	4	3	2	1	0
WDTE								

- 注意1. WDTEに“ACH”以外の値を書き込んだ場合，内部リセット信号が発生します。ただし，ウォッチドッグ・タイマのソース・クロックが停止している場合は，ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で，内部リセット信号が発生します。
2. WDTEに1ビット・メモリ操作命令を実行した場合，内部リセット信号が発生します。ただし，ウォッチドッグ・タイマのソース・クロックが停止している場合は，ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で，内部リセット信号が発生します。
 3. WDTEのリード値は，“9AH”（書き込んだ値（“ACH”）とは異なる値）になります。

ウォッチドッグ・タイマ動作とウォッチドッグ・タイマで発生する内部リセット信号の関係を次に示します。

表9-4 ウォッチドッグ・タイマ動作とウォッチドッグ・タイマで発生する内部リセット信号の関係

ウォッチドッグ・タイマの動作 内部リセット 信号発生要因	マスク・オプションで 「低速内蔵発振器は停 止不可」に設定 (ウォッチドッグ・タイ マは常に動作)	マスク・オプションで「低速内蔵発振器はソフトウェアにより停止可能」に設定 ウォッチドッグ・タイ マ動作中	ウォッチドッグ・タイマ停止	
			WDCS4に1を設定	ウォッチドッグ・タイ マのソース・クロック が停止
ウォッチドッグ・タイマ のオーバフロー	内部リセット信号発生	内部リセット信号発生	-	-
WDTMへの2回目の書き 込み	内部リセット信号発生	内部リセット信号発生	内部リセット信号は 発生しない。またウォ ッチドッグ・タイマは 再動作しない。	再びウォッチドッ グ・タイマのソース・ クロックが動作した 時点で内部リセット 信号発生
WDTEへの"ACH"以外の 書き込み	内部リセット信号発生	内部リセット信号発生	内部リセット信号は 発生しない	再びウォッチドッ グ・タイマのソース・ クロックが動作した 時点で内部リセット 信号発生
WDTEへの1ビット・メモ リ操作命令でのアクセス				

9.4 ウォッチドッグ・タイマの動作

9.4.1 マスク・オプションで「低速内蔵発振器は停止不可」を選択した場合のウォッチドッグ・タイマ動作

ウォッチドッグ・タイマの動作クロックは低速内蔵発振クロックに固定となります。

リセット解除後は、最大周期(ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のビット2, 1, 0(WDCS2, WDCS1, WDCS0) = 1, 1, 1)で動作を開始します。ウォッチドッグ・タイマの動作を停止することはできません。

次にリセット解除からのウォッチドッグ・タイマの動作を示します。

1. リセット解除時の状態は次のようになります。
 - ・動作クロック：低速内蔵発振クロック
 - ・周期： $2^{18}/f_R$ (546.13 ms： $f_R = 480$ kHz (MAX.) 動作時)
 - ・カウント開始
2. ウォッチドッグ・タイマ・モード・レジスタ(WDTM)に次の内容を8ビット・メモリ操作命令で設定してください^{注1, 2}。
 - ・周期：ビット2-0(WDCS2-WDCS0)で設定
3. 以後、WDTEに“ACH”を書き込むことによりカウントをクリア(0)し、再カウントすることができます。

注1. 動作クロック(低速内蔵発振クロック)を変更することはできません。WDTMのビット3, 4(WDCS3, WDCS4)にどんな値を書き込んでも無視されます。

2. WDTMへの書き込みを実行した時点でウォッチドッグ・タイマのカウントはいったんクリアされます。

注意 このモードでは、STOP命令実行時でも絶対にウォッチドッグ・タイマの動作を停止できません。8ビット・タイマH1(TMh1)はカウント・ソースに低速内蔵発振クロックの分周を選択できますので、STOP命令実行後はウォッチドッグ・タイマのオーバフロー発生前にTMh1の割り込み要求を使用して、ウォッチドッグ・タイマをクリアしてください。この処理を行わない場合は、STOP命令実行後、ウォッチドッグ・タイマのオーバフローが発生した時点で内部リセット信号が発生します。

9.4.2 マスク・オプションで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合のウォッチドッグ・タイマ動作

ウォッチドッグ・タイマの動作クロックを低速内蔵発振クロックまたは高速システム・クロックに選択できます。

リセット解除後は、低速内蔵発振クロックの最大周期(ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のビット2, 1, 0 (WDCS2, WDCS1, WDCS0) = 1, 1, 1) で動作を開始します。

次にリセット解除からのウォッチドッグ・タイマの動作を示します。

1. リセット解除時の状態は次のようになります。
 - ・動作クロック：低速内蔵発振クロック発振周波数 (f_R)
 - ・周期： $2^{18}/f_R$ (546.13 ms : $f_R = 480$ kHz (MAX.) 動作時)
 - ・カウント開始
2. ウォッチドッグ・タイマ・モード・レジスタ (WDTM) に次の内容を8ビット・メモリ操作命令で設定してください^{注1, 2, 3}。
 - ・動作クロック：ビット3, 4 (WDCS3, WDCS4) で次のうちのいずれかを選択
 - 低速内蔵発振クロック (f_R)
 - 高速システム・クロック (f_{XH})
 - ウォッチドッグ・タイマ動作停止
 - ・周期：ビット2-0 (WDCS2- WDCS0) で設定
3. 以後、WDTEに“ACH”を書き込むことによりカウントをクリア(0)し、再カウントすることができます。

注1 . WDTMへの書き込みを実行した時点でウォッチドッグ・タイマのカウントはいったんクリアされます。

2 . ビット7, 6, 5にはそれぞれ“0” , “1” , “1” を設定してください。それ以外の値を設定しないでください。

3 . WDCS4, WDCS3にそれぞれ“1” , “x” を設定しウォッチドッグ・タイマを停止した場合、次の内容を実行しても内部リセット信号は発生しません。

- ・WDTMへの2回目の書き込み
- ・WDTEへの1ビット・メモリ操作命令実行
- ・WDTEへの“ACH”以外の値の書き込み

注意 このモードでは、HALT/STOP命令実行時のウォッチドッグ・タイマ動作は停止します。HALT/STOPモード解除後、HALT/STOP命令実行前にWDTMで設定したウォッチドッグ・タイマの動作クロックでカウントを再開します。このとき、カウントはクリア(0)されず、値を保持します。

各状態におけるSTOPモードおよびHALTモード中のウォッチドッグ・タイマ動作については9.4.3 STOPモード時の動作、9.4.4 HALTモード時の動作を参照してください。

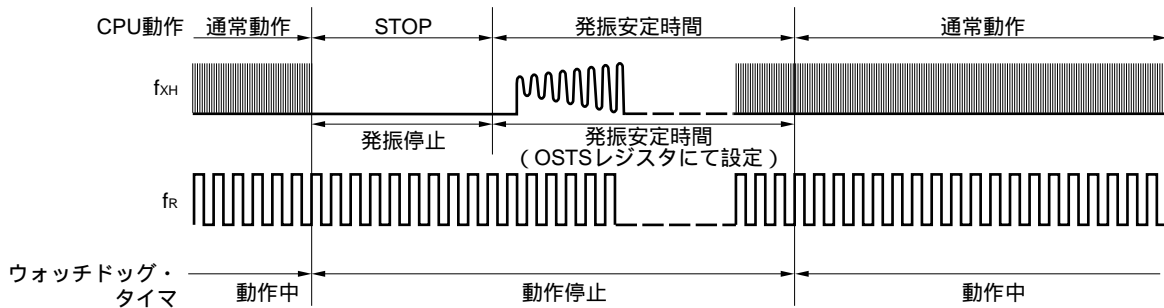
9.4.3 STOPモード時の動作（マスク・オプションで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合）

高速システム・クロック動作時、低速内蔵発振器クロック動作時にかかわらず、STOP命令実行時にウォッチドッグ・タイマはカウントを停止します。

(1) STOP実行時のCPUクロックとウォッチドッグ・タイマの動作クロックが高速システム・クロック (f_{XH}) の場合

STOP命令実行時は、ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は、発振安定時間選択レジスタ (OSTS) で設定した発振安定時間分カウント停止したあとに、動作停止前の動作クロックでカウントを再開します。このとき、カウンタはクリア (0) されず、値を保持します。

図9 - 4 STOPモード時の動作（CPUクロックとWDT動作クロック：高速システム・クロック）



(2) STOP実行時のCPUクロックが高速システム・クロック (f_{XH})、ウォッチドッグ・タイマの動作クロックが低速内蔵発振器クロック (f_R) の場合

STOP命令実行時は、ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は、動作停止前の動作クロックでカウントを再開します。このとき、カウンタはクリア (0) されず、値を保持します。

図9 - 5 STOPモード時の動作

(CPUクロック：高速システム・クロック，WDT動作クロック：低速内蔵発振器クロック)



(3) STOP実行時のCPUクロックが低速内蔵発振クロック (f_R) ,ウォッチドッグ・タイマの動作クロックが高速システム・クロック (f_{XH}) の場合

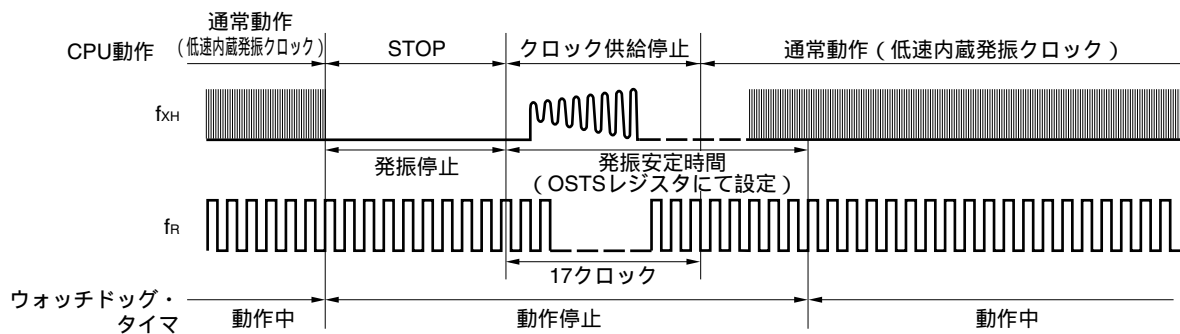
STOP命令実行時は、ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は、 またはのうち早いほうのタイミングまでカウントを停止したあとに、動作停止前の動作クロックでカウントを開始します。このとき、カウンタはクリア (0) されず、値を保持します。

発振安定時間選択レジスタ (OSTS) で設定した発振安定時間経過
CPUクロックを高速システム・クロック (f_{XH}) に切り替え

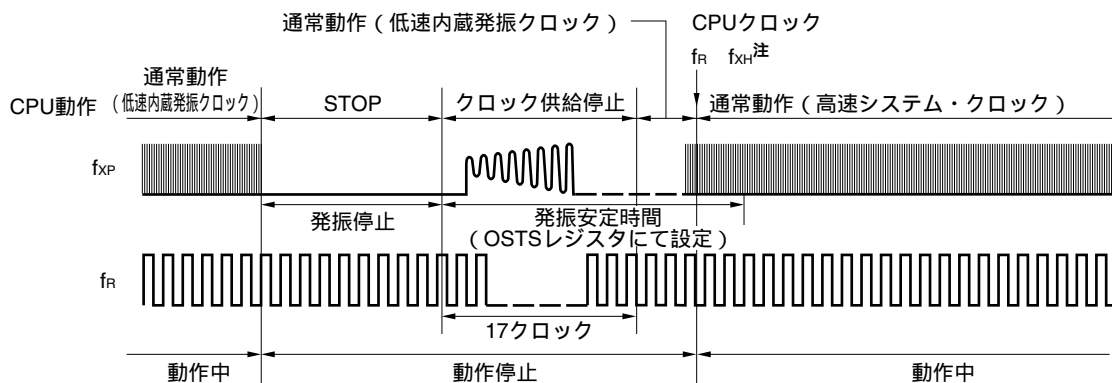
図9 - 6 STOPモード時の動作

(CPUクロック：低速内蔵発振クロック，WDT動作クロック：高速システム・クロック)

発振安定時間選択レジスタ (OSTS) で設定した発振安定時間経過後にカウント開始した場合のタイミング



CPUクロックを高速システム・クロック (f_{XH}) に切り替え後にカウント開始した場合のタイミング

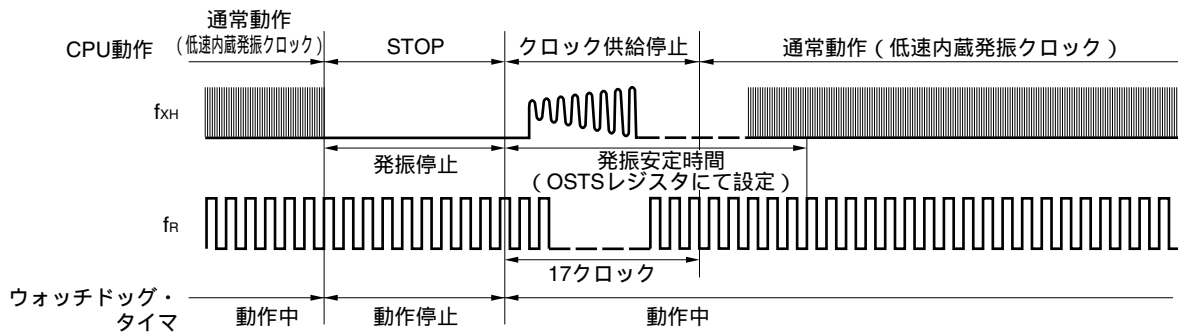


注 f_{XH} の発振安定時間は、発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。

(4) STOP実行時のCPUクロックとウォッチドッグ・タイマの動作クロックが低速内蔵発振クロック (f_R) の場合

STOP命令実行時は、ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は動作停止前の動作クロックでカウントを再開します。このとき、カウンタはクリア (0) されず、値を保持します。

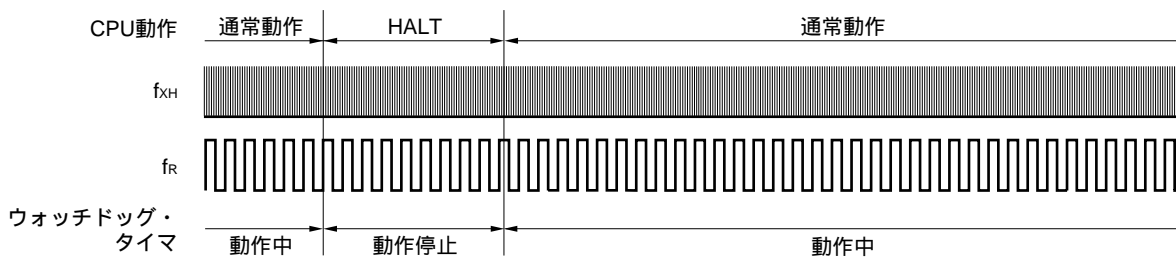
図9 - 7 STOPモード時の動作 (CPUクロックとWDT動作クロック：低速内蔵発振クロック)



9.4.4 HALTモード時の動作 (マスク・オプションで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合)

CPUクロックが高速システム・クロック (f_{XH})、低速内蔵発振クロック (f_R)、およびウォッチドッグ・タイマの動作クロックが高速システム・クロック (f_{XH})、低速内蔵発振クロック (f_R) にかかわらず、HALT命令実行時は、ウォッチドッグ・タイマの動作を停止します。HALTモード解除後は、動作停止前の動作クロックでカウントを再開します。このとき、カウンタはクリア (0) されず、値を保持します。

図9 - 8 HALTモード時の動作



第10章 A/Dコンバータ

10.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能のコンバータで、最大4チャンネル (ANI0-ANI3) のアナログ入力を制御できる構成になっています。

A/Dコンバータには、次のような機能があります。

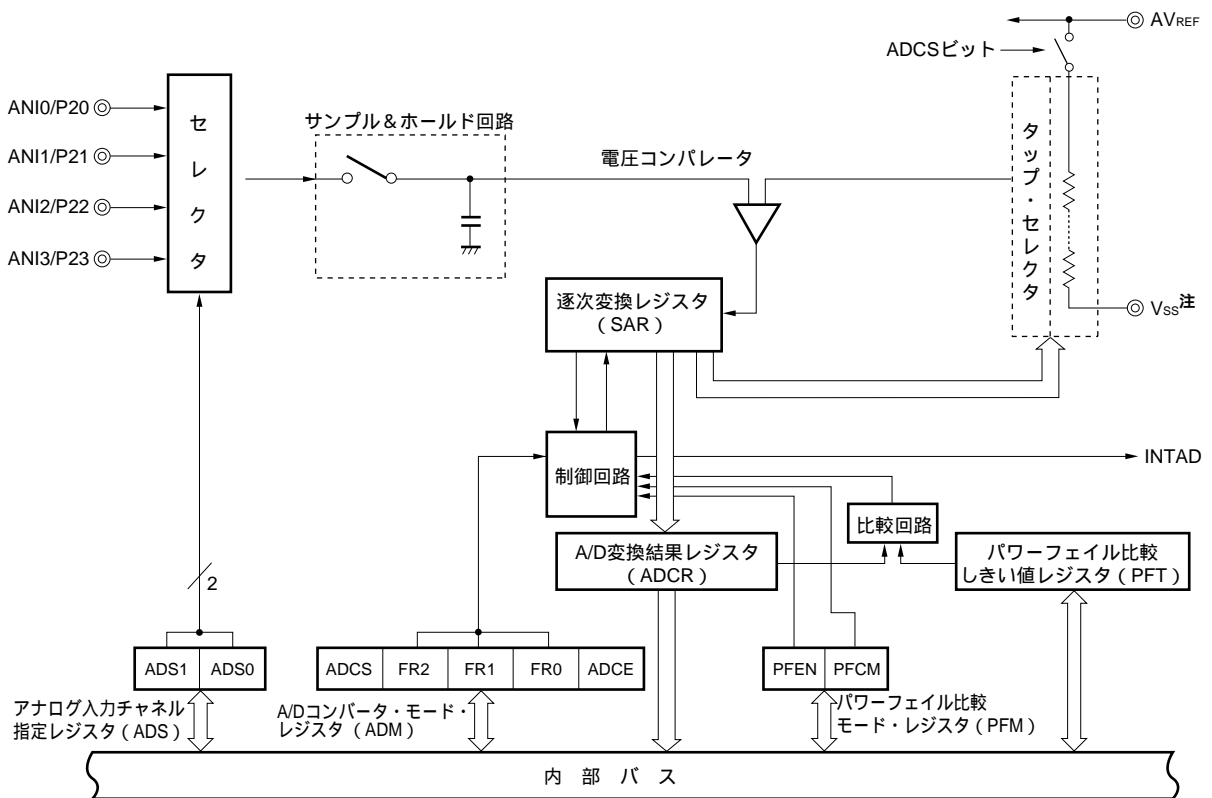
(1) 10ビット分解能A/D変換

アナログ入力をANI0-ANI3から1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求 (INTAD) を発生します。

(2) パワーフェイル検出機能

バッテリー電圧低下を検出するための機能です。A/D変換結果 (ADCRレジスタ値) とパワーフェイル比較しきい値レジスタ (PFT) の値との大小比較を行い、比較条件に合致した場合のみINTADを発生します。

図10 - 1 A/Dコンバータのブロック図



注 μ PD780862サブシリーズはV_{SS}とAV_{SS}を内部接続しています。V_{SS}を必ず安定しているGND (= 0V)に接続してください。

10.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表10 - 1 ソフトウェア上で使用するA/Dコンバータのレジスタ

項 目	構 成
レジスタ	A/D変換結果レジスタ (ADCR) A/Dコンバータ・モード・レジスタ (ADM) アナログ入力チャンネル指定レジスタ (ADS) パワーフェイル比較モード・レジスタ (PFM) パワーフェイル比較しきい値レジスタ (PFT)

(1) ANI0-ANI3端子

A/Dコンバータへの4チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力チャンネル指定レジスタ (ADS) でアナログ入力として選択した端子以外は、入力ポートとして使用できます。

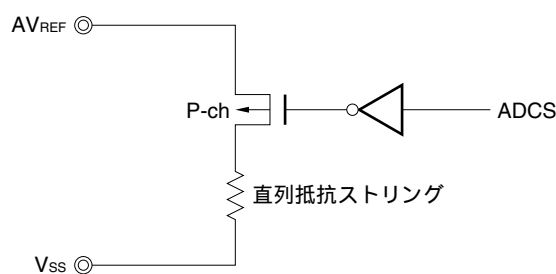
(2) サンプル&ホールド回路

サンプル&ホールド回路は、セレクトで選択されたアナログ入力端子の入力信号をA/D変換開始時にサンプリングし、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(3) 直列抵抗ストリング

直列抵抗ストリングはAVREF-VSS間に接続されており、アナログ入力と比較する電圧を発生します。

図10 - 2 直列抵抗ストリングの回路構成



(4) 電圧コンパレータ

電圧コンパレータは、サンプリングしたアナログ入力電圧と直列抵抗ストリングの出力電圧を比較します。

(5) 逐次変換レジスタ (SAR)

サンプリングされたアナログ電圧値と直列抵抗ストリングからの電圧値を比較し、その結果を最上位ビット (MSB) から変換するレジスタです。

最下位ビット (LSB) までデジタル値に変換すると (A/D変換終了)、SARレジスタの内容はA/D変換結果レジスタ (ADCR) に転送されます。

(6) A/D変換結果レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します（下位6ビットは0に固定）。

(7) 制御回路

A/D変換が終了するか、パワーフェイル検出機能使用時、A/D変換結果（ADCRレジスタ値）とパワーフェイル比較しきい値レジスタ（PFT）の値との大小比較を行い、比較条件に合致した場合のみINTAD発生します。

(8) AV_{REF}端子

A/Dコンバータのアナログ電源端子 / 基準電圧を入力する端子です。A/Dコンバータを使用しないときでも、常にV_{DD}端子と同電位で使用してください。

AV_{REF}, V_{SS}間にかかる電圧に基づいて、ANI0-ANI3に入力される信号をデジタル信号に変換します。

(9) V_{SS}端子

グランド電位端子です。

注意 μ PD780862サブシリーズはV_{SS}とAV_{SS}を内部接続しています。V_{SS}を必ず安定しているGND(=0V)に接続してください。

(10) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止を設定するレジスタです。

(11) アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

(12) パワーフェイル比較モード・レジスタ (PFM)

パワーフェイル監視モードを設定するレジスタです。

(13) パワーフェイル比較しきい値レジスタ (PFT)

A/D変換結果レジスタ（ADCR）と大小比較する場合のしきい値を設定するレジスタです。

10.3 A/Dコンバータで使用するレジスタ

A/Dコンバータは、次の5種類のレジスタを使用します。

- ・ A/Dコンバータ・モード・レジスタ (ADM)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ A/D変換結果レジスタ (ADCR)
- ・ パワーフェイル比較モード・レジスタ (PFM)
- ・ パワーフェイル比較しきい値レジスタ (PFT)

(1) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10-3 A/Dコンバータ・モード・レジスタ (ADM) のフォーマット

アドレス：FF28H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM	ADCS	0	FR2	FR1	FR0	0	0	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

FR2	FR1	FR0	変換時間の選択 ^{注1}			
			fx = 2 MHz	fx = 8.38 MHz	fx = 10 MHz	
0	0	0	288/fx	144 μs	34.3 μs	28.8 μs
0	0	1	240/fx	120 μs	28.6 μs	24.0 μs
0	1	0	192/fx	96 μs	22.9 μs	19.2 μs
1	0	0	144/fx	72 μs	17.2 μs	14.4 μs
1	0	1	120/fx	60 μs	14.3 μs	12.0 μs
1	1	0	96/fx	48 μs	11.5 μs	9.6 μs
上記以外			設定禁止			

ADCE	昇圧基準電圧生成回路の動作制御 ^{注2}
0	基準電圧生成回路の動作停止
1	基準電圧生成回路の動作許可

注1. A/D変換時間が次の時間になるように設定してください。

- ・ 標準品, (A) 水準品 : 14 μs以上100 μs未満
- ・ (A1) 水準品 : 14 μs以上60 μs未満
- ・ (A2) 水準品 : 16 μs以上48 μs未満

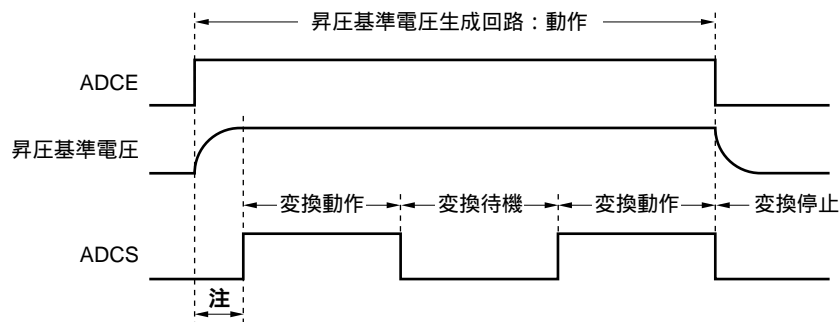
注2. 低電圧動作を実現するために、昇圧回路を内蔵しています。昇圧の基準となる基準電圧を生成する回路は、ADCEで動作制御され、動作開始から安定するまでに、14 μ sかかります。このため、ADCEに1を設定してから14 μ s以上経過したあとに、ADCSに1を設定することで、最初の変換結果より有効となります。

表10 - 2 ADCSとADCEの設定

ADCS	ADCE	A/D変換動作
0	0	停止状態（DC電力消費パスは存在しません）
0	1	変換待機モード（基準電圧生成回路のみ電力を消費）
1	0	変換モード（基準電圧生成回路動作停止 ^注 ）
1	1	変換モード（基準電圧生成回路動作）

注 最初の1変換目のデータは使用禁止です。

図10 - 4 昇圧基準電圧生成回路使用時のタイミング・チャート



注 ADCEビットの立ち上がりから、ADCSビットの立ち上がりまでの時間は基準電圧安定のため14 μ s以上必要です。

- 注意1. FR0-FR2を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。
2. A/Dコンバータのサンプリング時間とA/D変換開始遅延時間については、10. 6 A/Dコンバータの注意事項の(11)を参照してください。
3. ADMにデータを書き込むと、ウエイトが発生します。詳細は第28章 ウェイトに関する注意事項を参照してください。

備考 fx : 高速システム・クロック発振周波数

(2) アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10 - 5 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット

アドレス：FF29H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	0	0	0	0	0	0	ADS1	ADS0

ADS1	ADS0	アナログ入力チャンネルの指定
0	0	ANI0
0	1	ANI1
1	0	ANI2
1	1	ANI3

注意1. ビット2-7には必ず0を設定してください。

2. ADSにデータを書き込むと、ウエイトが発生します。詳細は第28章 ウエイトに関する注意事項を参照してください。

(3) A/D変換結果レジスタ (ADCR)

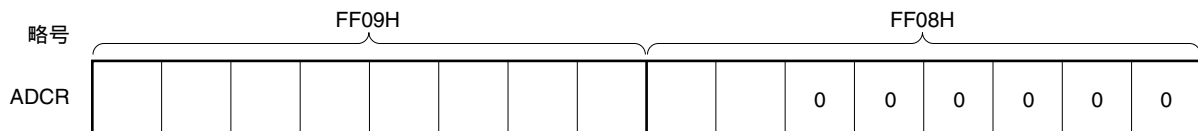
A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。ADCRには最上位ビット (MSB) から順に格納されます。FF09Hには変換結果の上位8ビットが、FF08Hには変換結果の下位2ビットが入ります。

ADCRは、16ビット・メモリ操作命令で読み出せます。

$\overline{\text{RESET}}$ 入力により、不定になります。

図10 - 6 A/D変換レジスタ (ADCR) のフォーマット

アドレス：FF08H, FF09H リセット値：不定 R



注意1. A/Dコンバータ・モード・レジスタ (ADM)，アナログ入力チャンネル指定レジスタ (ADS) に対して書き込み動作を行ったとき，ADCRの内容は不定となることがあります。変換結果は，変換動作終了後，ADM，ADSに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

2. ADCRからデータを読み出すと，ウエイトが発生します。詳細は第28章 ウエイトに関する注意事項を参照してください。

(4) パワーフェイル比較モード・レジスタ (PFM)

パワーフェイル比較モード・レジスタ (PFM) は、A/D変換結果 (ADCRレジスタ値) とパワーフェイル比較しきい値レジスタ (PFT) の値との大小比較の動作を制御するレジスタです。

PFMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10 - 7 パワーフェイル比較モード・レジスタ (PFM) のフォーマット

アドレス：FF2AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFM	PFEN	PFCM	0	0	0	0	0	0

PFEN	パワーフェイル比較許可
0	パワーフェイル比較停止 (通常のA/Dコンバータとして使用)
1	パワーフェイル比較許可 (パワーフェイル検出として使用)

PFCM		パワーフェイル比較モードの選択
0	ADCRの上位 8ビット PFT	割り込み要求信号 (INTAD) 発生
	ADCRの上位 8ビット < PFT	INTAD発生なし
1	ADCRの上位 8ビット PFT	INTAD発生なし
	ADCRの上位 8ビット < PFT	INTAD発生

注意 PFMにデータを書き込むと、ウエイトが発生します。詳細は第28章 ウエイトに関する注意事項を参照してください。

(5) パワーフェイル比較しきい値レジスタ (PFT)

パワーフェイル比較しきい値レジスタ (PFT) は、A/Dの変換結果と大小比較を行う場合のしきい値を設定するレジスタです。

PFTの8ビット・データとA/D変換結果10ビットの上位8ビット (FF09H) が比較されます。

PFTは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10 - 8 パワーフェイル比較しきい値レジスタ (PFT) のフォーマット

アドレス：FF2BH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFT	PFT7	PFT6	PFT5	PFT4	PFT3	PFT2	PFT1	PFT0

注意 PFTにデータを書き込むと、ウエイトが発生します。詳細は第28章 ウエイトに関する注意事項を参照してください。

10.4 A/Dコンバータの動作

10.4.1 A/Dコンバータの基本動作

ADCEをセット(1)してください。

ADS1, ADS0とFR2-FR0で, A/D変換するチャンネルと変換時間を選択してください。

ADCSをセット(1)し, 変換動作を開始します。

(から までハードウェアでの動作)

選択したアナログ入力チャンネルに入力している電圧を, サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり, 入力したアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ(SAR)のビット9をセットし, タップ・セレクタは直列抵抗ストリングの電圧タップを(1/2) AV_{REF} にします。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もしアナログ入力が(1/2) AV_{REF} よりも大きければ, SARのMSBをセットしたままです。また, (1/2) AV_{REF} よりも小さければ, MSBはリセットします。

次にSARのビット8が自動的にセットし, 次の比較に移ります。ここではすでに結果がセットしているビット9の値によって, 次に示すように直列抵抗ストリングの電圧タップを選択します。

・ビット9 = 1: (3/4) AV_{REF}

・ビット9 = 0: (1/4) AV_{REF}

この電圧タップとアナログ入力電圧を比較し, その結果でSARのビット8を次のように操作します。

・アナログ入力電圧 > 電圧タップ: ビット8 = 1

・アナログ入力電圧 < 電圧タップ: ビット8 = 0

このような比較をSARのビット0まで続けます。

10ビットの比較が終了したとき, SARには有効なデジタルの結果が残り, その値がA/D変換結果レジスタ(ADCR)に転送され, ラッチします。

同時に, A/D変換終了割り込み要求(INTAD)を発生させることができます。

以降 から までの動作をADCS = 0になるまで繰り返します。

A/Dコンバータを停止する場合は, ADCS = 0にしてください。

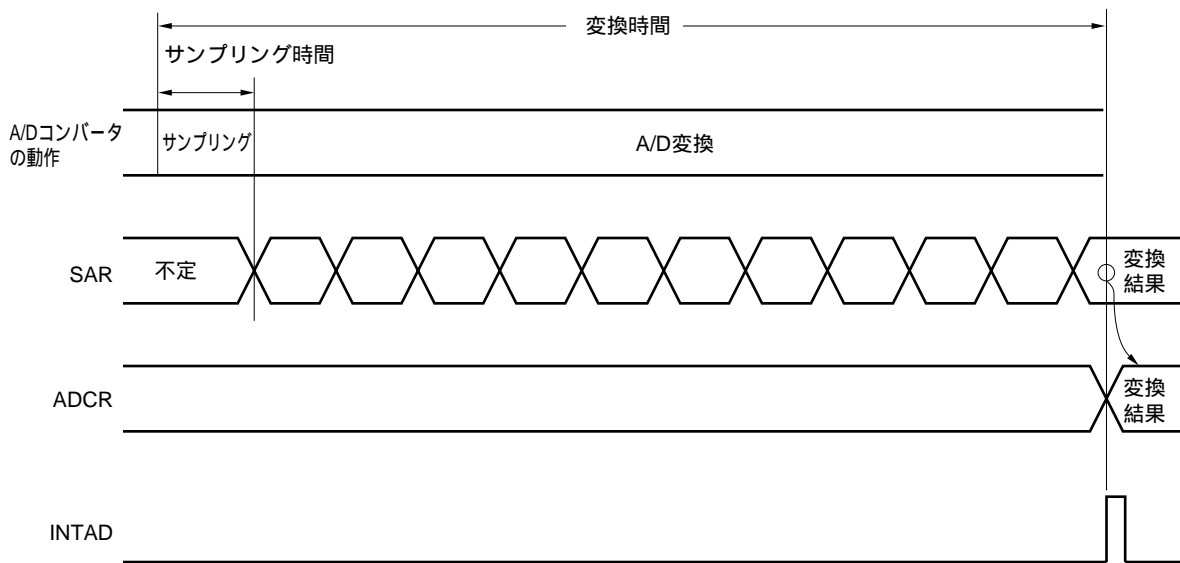
ADCE = 1の状態から, 再度A/D変換する場合は, から開始してください。ただしADCE = 0の状態から, 再度A/Dコンバータを動作させる場合は, から行ってください。

注意1. から までの間は14 μ s以上空けてください。

2. と の順番が逆でも問題ありません。

3. は省略可能です。ただし, この場合には1回目のA/D変換結果は使用しないでください。

図10-9 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADM、アナログ入力チャネル指定レジスタ (ADS)、パワーフェイル比較モード・レジスタ (PFM)、パワーフェイル比較しきい値レジスタ (PFT) のいずれかに対して書き込み操作を行うと変換動作は初期化され、ADCSビットがセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ (ADCR) は、 $\overline{\text{RESET}}$ により不定となります。

10.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI3) に入力されたアナログ入力電圧と理論上のA/D変換結果 (A/D変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$SAR = \text{INT} \left(\frac{V_{AIN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

$$ADCR = SAR \times 64$$

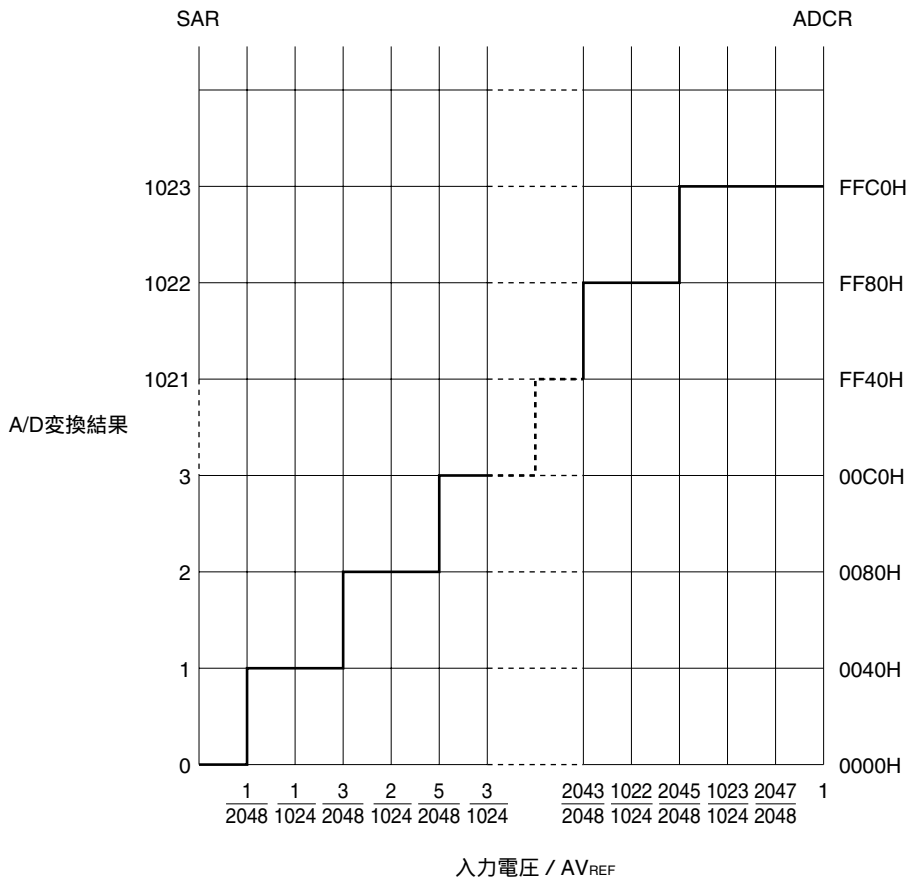
または、

$$\left(ADCR - 0.5 \right) \times \frac{AV_{REF}}{1024} < V_{AIN} < \left(ADCR + 0.5 \right) \times \frac{AV_{REF}}{1024}$$

- INT () : () 内の値の整数部を返す関数
- V_{AIN} : アナログ入力電圧
- AV_{REF} : AV_{REF} 端子電圧
- ADCR : A/D変換結果レジスタ (ADCR) の値
- SAR : 逐次変換レジスタ

図10 - 10にアナログ入力電圧とA/D変換結果の関係を示します。

図10 - 10 アナログ入力電圧とA/D変換結果の関係



10.4.3 A/Dコンバータの動作モード

A/Dコンバータの動作モードは、セレクト・モードになっています。アナログ入力チャンネル指定レジスタ (ADS) によってANI0-ANI3からアナログ入力を1チャンネル選択し、A/D変換を行います。

また、パワーフェイル比較モード・レジスタ (PFM) のビット7 (PFEN) の設定により、次の2種類の機能を選択できます。

- ・通常の10ビットA/Dコンバータ (PFEN = 0)
- ・パワーフェイル検出機能 (PFEN = 1)

(1) A/D変換動作 (PFEN = 0の場合)

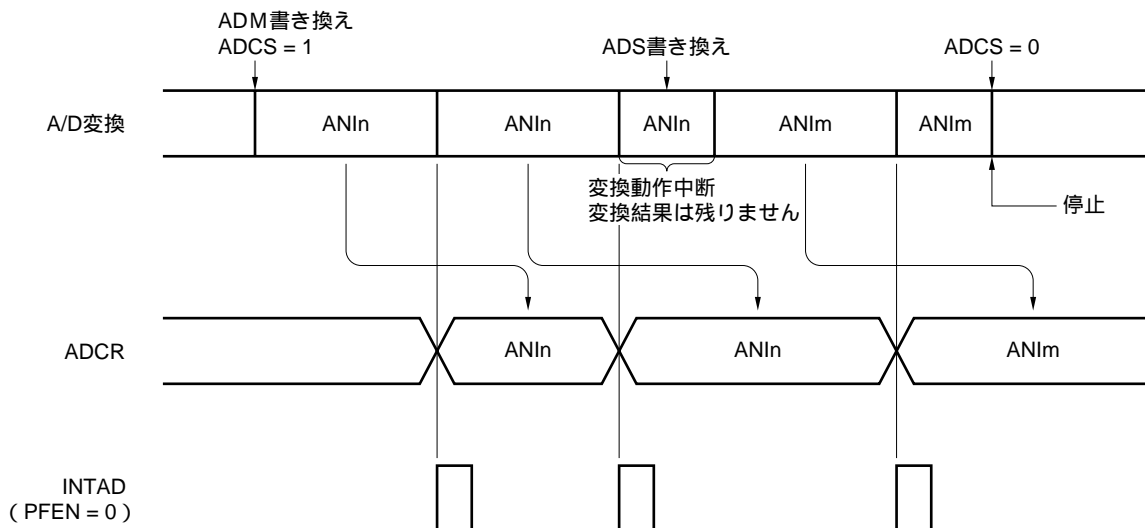
A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) に1、パワーフェイル比較モード・レジスタ (PFM) のビット7 (PFEN) に0を設定することにより、アナログ入力チャンネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ (ADCR) に格納し、割り込み要求信号 (INTAD) を発生します。次のA/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。新たなデータをADSに書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に、ADM、ADS、パワーフェイル比較モード・レジスタ (PFM)、パワーフェイル比較しきい値レジスタ (PFT) を書き換えると、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。

また、A/D変換動作中に、ADCSに0を書き込むと、ただちにA/D変換動作を停止します。このとき変換結果は不定となります。

図10-11 A/D変換動作



備考1 . n = 0-3

2 . m = 0-3

(2) パワーフェイル検出機能 (PFEN=1の場合)

A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) に1, パワーフェイル比較モード・レジスタ (PFM) のビット7 (PFEN) に1を設定することにより, アナログ入力チャネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると, 変換結果をA/D変換結果レジスタ (ADCR) に格納し, パワーフェイル比較しきい値レジスタ (PFT) との大小比較を行い, PFMのビット6 (PFCM) に指定された条件のもとで割り込み要求信号 (INTAD) が発生します。

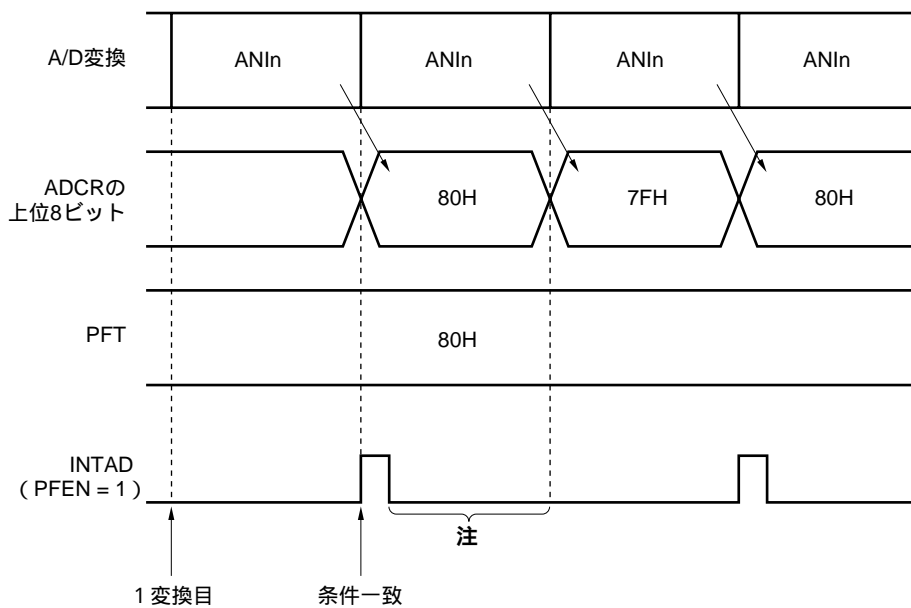
PFEN = 1かつPFCM = 0の場合

A/D変換終了のタイミングで, ADCRの上位8ビットとPFTの値を比較し, 「ADCRの上位8ビット = PFT」の場合のみINTADが発生します。

PFEN = 1かつPFCM = 1の場合

A/D変換終了のタイミングで, ADCRの上位8ビットとPFTの値を比較し, 「ADCRの上位8ビット < PFT」の場合のみINTADが発生します。

図10 - 12 パワーフェイル検出 (PFEN = 1かつPFCM = 0の場合)



注 INTADが出力されてから次の変換終了までの間に変換結果を読み出さないと, 次の変換結果が変わってしまいます。

備考 n = 0-3

次に設定方法を説明します。

・ A/D変換動作として使用する場合

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1)
 アナログ入力チャンネル指定レジスタ (ADS) のビット1, 0 (ADS1, ADS0) とADMのビット5-3
 (FR2-FR0) で、チャンネルと変換時間を選択
 ADMのビット7 (ADCS) をセット (1) し、A/D変換動作開始
 割り込み要求信号 (INTAD) 発生
 A/D変換データをA/D変換結果レジスタ (ADCR) に転送

< チャンネルを変更する >

ADSのビット1, 0 (ADS1, ADS0) で、チャンネルを変更し、A/D変換動作開始
 割り込み要求信号 (INTAD) 発生
 A/D変換データをA/D変換結果レジスタ (ADCR) に転送

< A/D変換を終了する >

ADCSをクリア (0)
 ADCEをクリア (0)

- 注意1.** から までの間は14 μ s以上空けてください。
2. と の順番が逆でも問題ありません。
 3. は省略可能です。ただし、この場合には のあとの1回目のA/D変換結果は使用しないでください。
 4. から までの時間は、ADMのビット5-3 (FR2-FR0) で設定した変換時間とは異なります。 から までの時間が、FR2-FR0で設定した変換時間となります。

・ パワーフェイル機能として使用する場合

パワーフェイル比較モード・レジスタ (PFM) のビット7 (PFEN) をセット (1)
 PFMのビット6 (PFCM) でパワーフェイル比較条件を設定
 A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1)
 アナログ入力チャンネル指定レジスタ (ADS) のビット1, 0 (ADS1, ADS0) とADMのビット5-3
 (FR2-FR0) で、チャンネルと変換時間を選択
 パワーフェイル比較しきい値レジスタ (PFT) にしきい値を設定
 ADMのビット7 (ADCS) をセット (1)
 A/D変換データをA/D変換結果レジスタ (ADCR) に転送
 ADCRの上位8ビットとPFTとの大小比較を行い、条件が一致した場合に割り込み要求信号
 (INTAD) 発生

< チャンネルを変更する >

ADSのビット1, 0 (ADS1, ADS0) で、チャンネルを変更
 A/D変換データをA/D変換結果レジスタ (ADCR) に転送
 ADCRの上位8ビットとパワーフェイル比較しきい値レジスタ (PFT) との大小比較を行い、条件が一致した場合に割り込み要求信号 (INTAD) 発生

< A/D変換を終了する >

ADCSをクリア (0)
 ADCEをクリア (0)

- 注意1. から までの間は14 μ s以上空けてください。
2. , , の順番が入れ替わっても問題ありません。
 3. パワーフェイル機能を使用する場合, を省略することはできません。
 4. から までの時間は, ADMのビット5-3 (FR2-FR0) で設定した変換時間とは異なります。 から までの時間が, FR2-FR0で設定した変換時間となります。

10.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図10 - 13 総合誤差

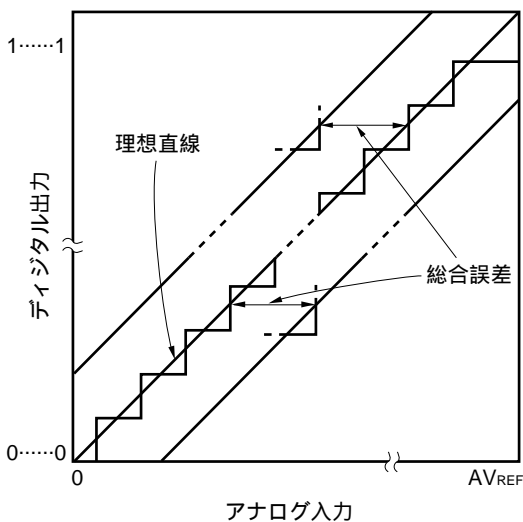
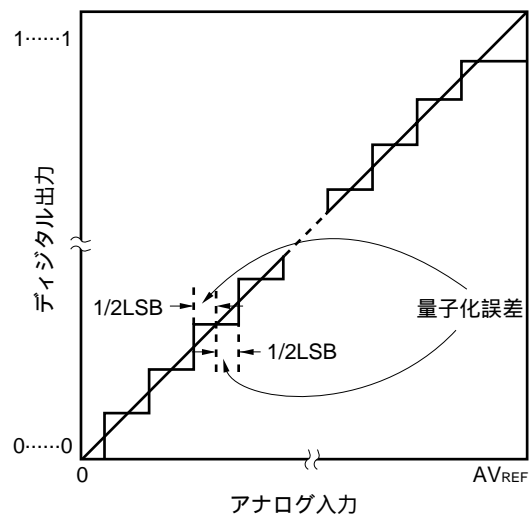


図10 - 14 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 (1/2 LSB) との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値 (3/2 LSB) との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値 (フルスケール - 3/2 LSB) との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図10 - 15 ゼロスケール誤差

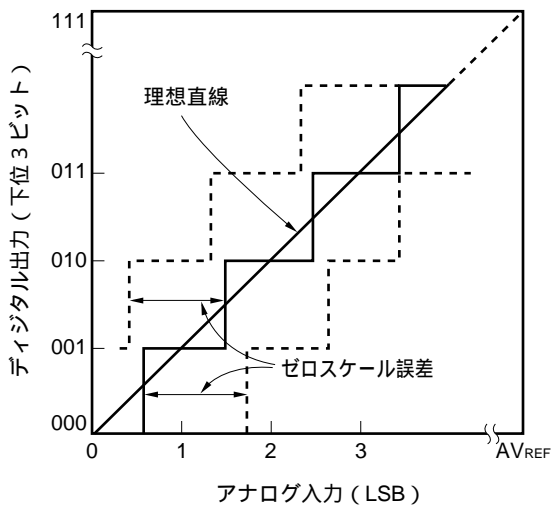


図10 - 16 フルスケール誤差

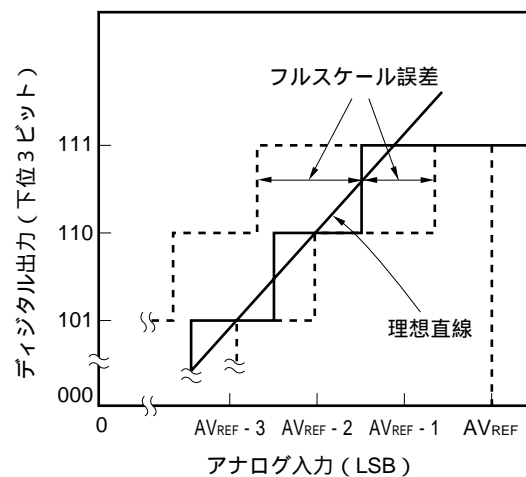


図10 - 17 積分直線性誤差

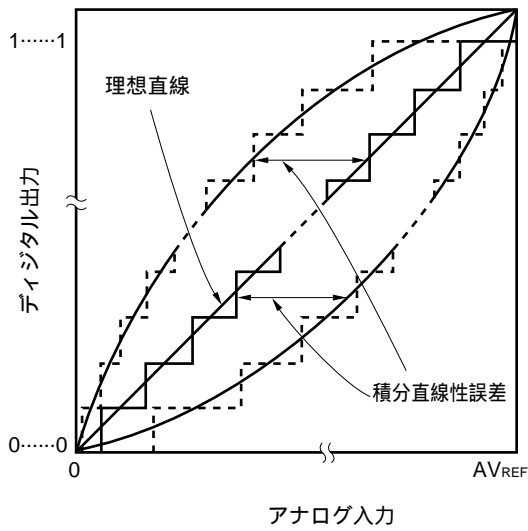
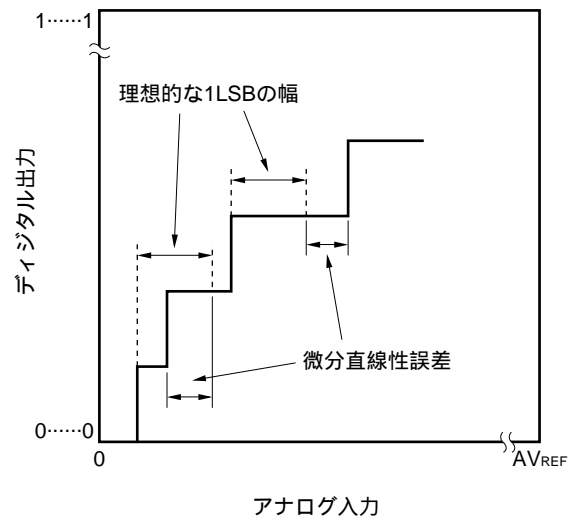


図10 - 18 微分直線性誤差

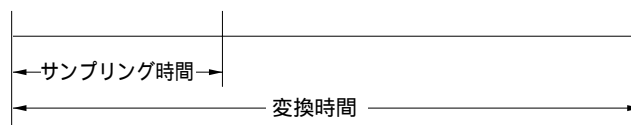


(8) 変換時間

アナログ入力電圧が与えられてから、デジタル出力が得られるまでの時間を表します。
 特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



10.6 A/Dコンバータの注意事項

(1) スタンバイ・モード時の動作電流について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) = 0にすることにより、動作電流を低減させることができます (図10-2を参照)。

(2) ANI0-ANI3入力範囲について

ANI0-ANI3入力電圧は規格の範囲内でご使用ください。特に V_{REF} 以上、 V_{SS} 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ (ADCR) ライトと命令によるADCRリードとの競合
ADCRリードが優先されます。リードしたあと、新しい変換結果がADCRにライトされます。

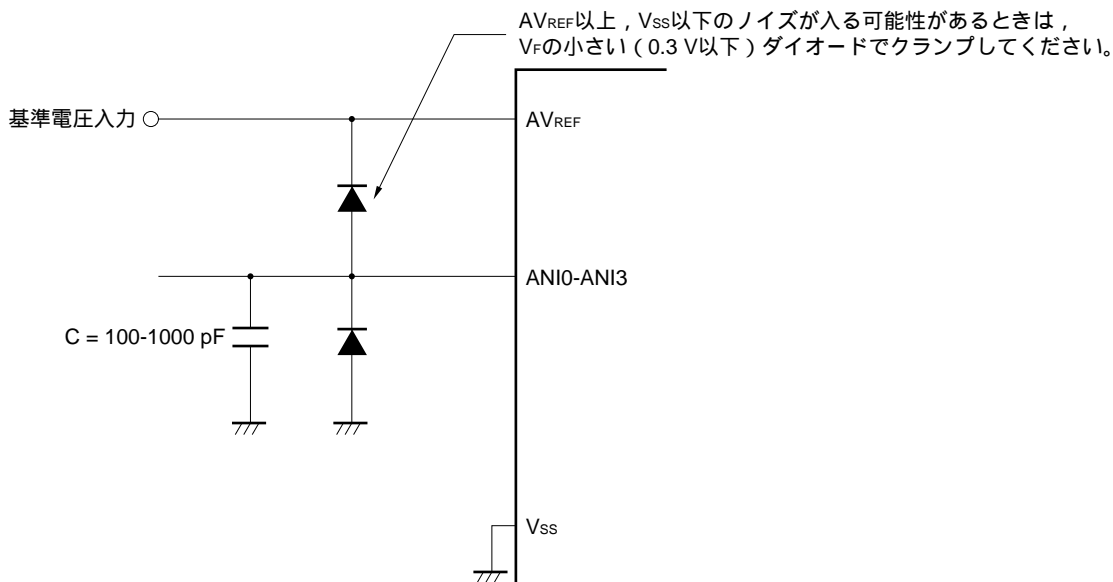
変換終了時のADCRライトとA/Dコンバータ・モード・レジスタ (ADM) ライト、またはアナログ入力チャンネル指定レジスタ (ADS) ライトの競合

ADMまたはADSへのライトが優先されます。ADCRへのライトはされません。また、変換終了割り込み信号 (INTAD) も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、 AV_{REF} 、ANI0-ANI3端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図10 - 19のようにCを外付けすることを推奨します。

図10 - 19 アナログ入力端子の処理



(5) ANI0/P20-ANI3/P23

アナログ入力 (ANI0-ANI3) 端子は入力ポート (P20-P23) 端子と兼用になっています。

ANI0-ANI3のいずれかを選択してA/D変換をする場合、変換中にポート2に対してアクセスしないでください。変換分解能が低下することがあります。

A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(6) ANI0-ANI3端子の入カインピーダンスについて

このA/Dコンバータでは、変換時間の約1/6程度の間、内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスは変動して意味がありません。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10 kΩ以下にするか、ANI0-ANI3端子に100 pF程度のコンデンサを付けることを推奨します (図10 - 19参照)。

(7) AV_{REF} 端子の入カインピーダンスについて

AV_{REF} 端子と V_{SS} 端子の間には数十kΩの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、 AV_{REF} 端子と V_{SS} 端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

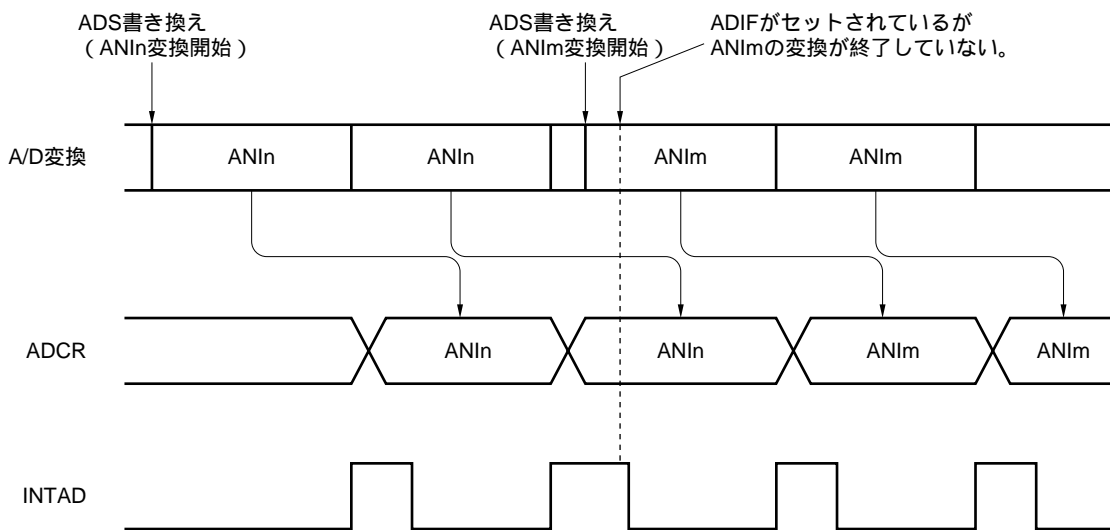
(8) 割り込み要求フラグ (ADIF) について

アナログ入力チャンネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリアしてください。

図10 - 20 A/D変換終了割り込み要求発生タイミング



備考1 . n = 0-3
 2 . m = 0-3

(9) A/D変換スタート直後の変換結果について

ADCEビット = 1にしてから、14 μ s以内にADCSビット= 1にした場合、もしくはADCEビット = 0の状態、ADCSビット = 1にした場合は、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(10) A/D変換結果レジスタ (ADCR) の読み出しについて

A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャンネル指定レジスタ (ADS) に対して書き込み動作を行ったとき、ADCRの内容は不定となることがあります。変換結果は、変換動作終了後、ADM、ADSに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

(11) A/Dコンバータのサンプリング時間とA/D変換開始遅延時間について

A/Dコンバータのサンプリング時間は、A/Dコンバータ・モード・レジスタ (ADM) の設定値によって異なります。また、A/Dコンバータを動作許可してから実際にサンプリングが行われるまで遅延時間が存在します。

A/D変換時間を厳密に必要とするセットの場合、図10 - 21と表10 - 3に示す内容をご確認ください。

図10 - 21 A/DコンバータのサンプリングとA/D変換開始遅延のタイミング

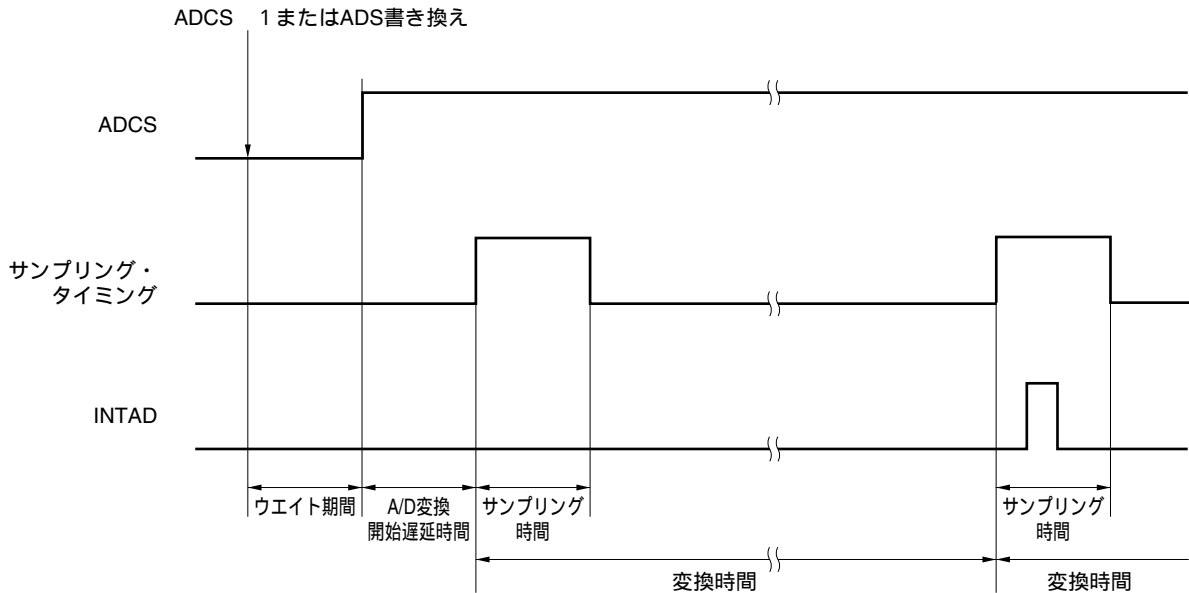


表10 - 3 A/Dコンバータのサンプリング時間とA/D変換開始遅延時間 (ADM設定値)

FR2	FR1	FR0	変換時間	サンプリング時間	A/D変換開始遅延時間 ^注	
					MIN.	MAX
0	0	0	288/f _x	40/f _x	32/f _x	36/f _x
0	0	1	240/f _x	32/f _x	28/f _x	32/f _x
0	1	0	192/f _x	24/f _x	24/f _x	28/f _x
1	0	0	144/f _x	20/f _x	16/f _x	18/f _x
1	0	1	120/f _x	16/f _x	14/f _x	16/f _x
1	1	0	96/f _x	12/f _x	12/f _x	14/f _x
上記以外			設定禁止	-	-	-

注 A/D変換開始遅延時間はウェイト期間後の時間になります。ウェイトについては第28章 **ウェイトに関する注意事項**を参照してください。

備考 f_x : 高速システム・クロック発振周波数

(12) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図10 - 22 ANIn端子内部等価回路

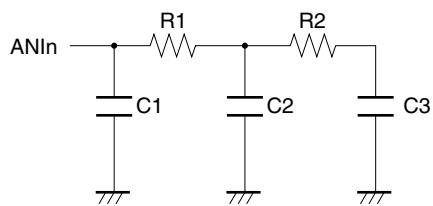


表10 - 4 等価回路の各抵抗と容量値 (参考値)

AV _{REF}	R1	R2	C1	C2	C3	
					マスクROM製品	フラッシュ・メモリ製品
2.7 V	12 k	8 k	8 pF	3 pF	2 pF	0.6 pF
4.5 V	4 k	2.7 k	8 pF	1.4 pF	2 pF	0.6 pF

備考1. 表10 - 4の各抵抗と容量値は保証値ではありません。

2. n = 0-3

第11章 シリアル・インタフェースUART6

11.1 シリアル・インタフェースUART6の機能

シリアル・インタフェースUART6には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

詳細については11.4.1 **動作停止モード**を参照してください。

(2) アシクロナス・シリアル・インタフェース (UART) モード

LIN (Local Interconnect Network) - bus対応のUARTモードです。機能の概要を次に示します。

詳細については11.4.2 **アシクロナス・シリアル・インタフェース (UART) モード**、11.4.3 **専用ポー・レート・ジェネレータ**を参照してください。

- ・2端子構成 TxD6：送信データの出力端子
RxD6：受信データの入力端子
- ・通信データのデータ長は7ビット / 8ビット可変
- ・専用の8ビット・ポー・レート・ジェネレータを内蔵していることにより、任意のポー・レートが設定可能
- ・送信動作と受信動作は独立して動作することが可能
- ・動作クロックは、12本のクロック入力選択可能
- ・MSB/LSBファースト通信選択可能
- ・送信反転動作可能
- ・シンク・ブレイク・フィールド送信は13ビット長出力
- ・シンク・ブレイク・フィールド受信は11ビット以上識別可能 (SBF受信フラグあり)

注意1 . TxD6出力反転機能は、送信側だけ反転して受信側は反転しないので、TxD6出力反転機能を使用する場合、相手側も反転レベルで受信してください。

2. シリアル・インタフェースUART6への供給クロックが停止しない場合 (例：HALTモード) では、正常動作が続きます。シリアル・インタフェースUART6への供給クロックが停止する場合 (例：STOPモード) では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD6端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER6 = 0, RXE6 = 0, TXE6 = 0となるように回路をリセットしてください。

3. 連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信タイミングが通常よりマクロの動作クロックの2クロック分伸びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化を行うので通信結果には影響しません。また、LIN通信動作で使用する場合は連続送信機能を使用しないでください。

備考 LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速(1 ~ 20 kbps)のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

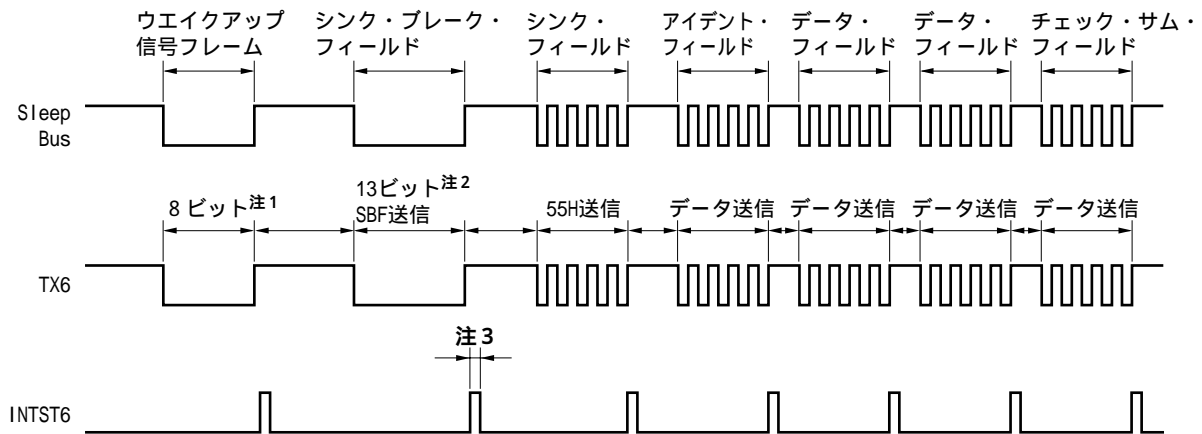
LINのマスタは通常、CAN (Controller Area Network) などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにボー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため、スレーブのボー・レート誤差が±15%以下であれば、通信可能です。

LINの送信操作と受信操作の概略を、図11 - 1, 11 - 2に示します。

図11 - 1 LINの送信操作



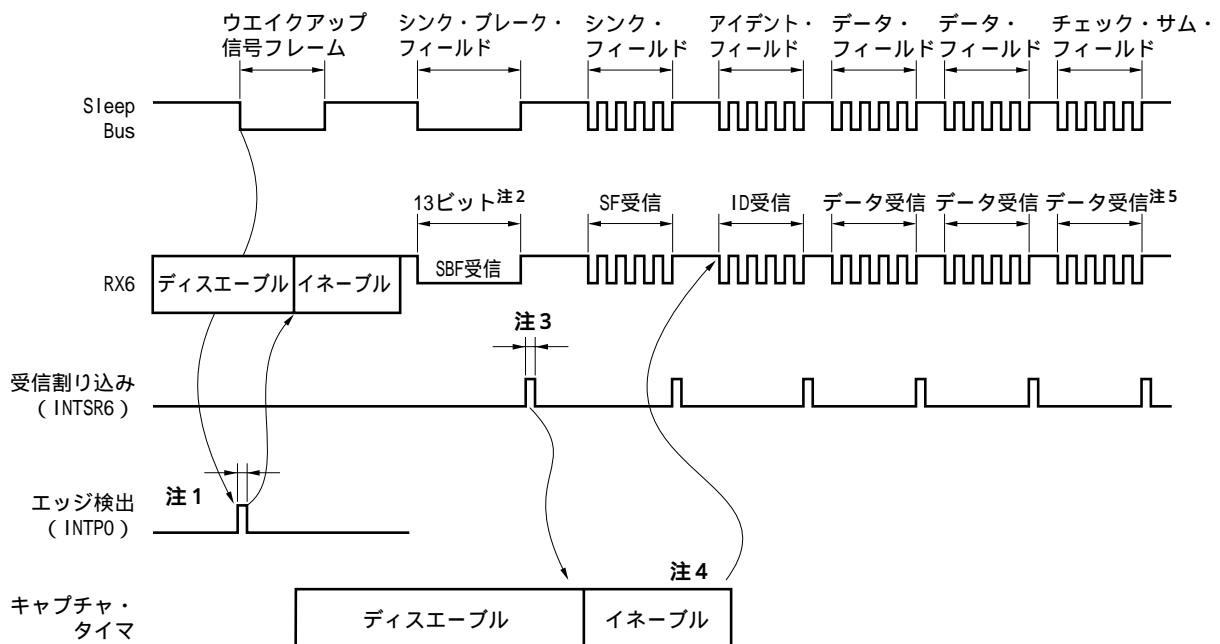
注1. ウェイクアップ信号フレームは、8ビット・モードの80H送信で代用します。

2. シンク・ブレイク・フィールドの出力はハードウェアで行います。出力幅はボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) で調整してください (11.4.2(2)(h) SBF送信を参照)。

3. 各送信終了時にはINTST6を出力します。またSBF送信時もINTST6を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図11-2 LINの受信操作



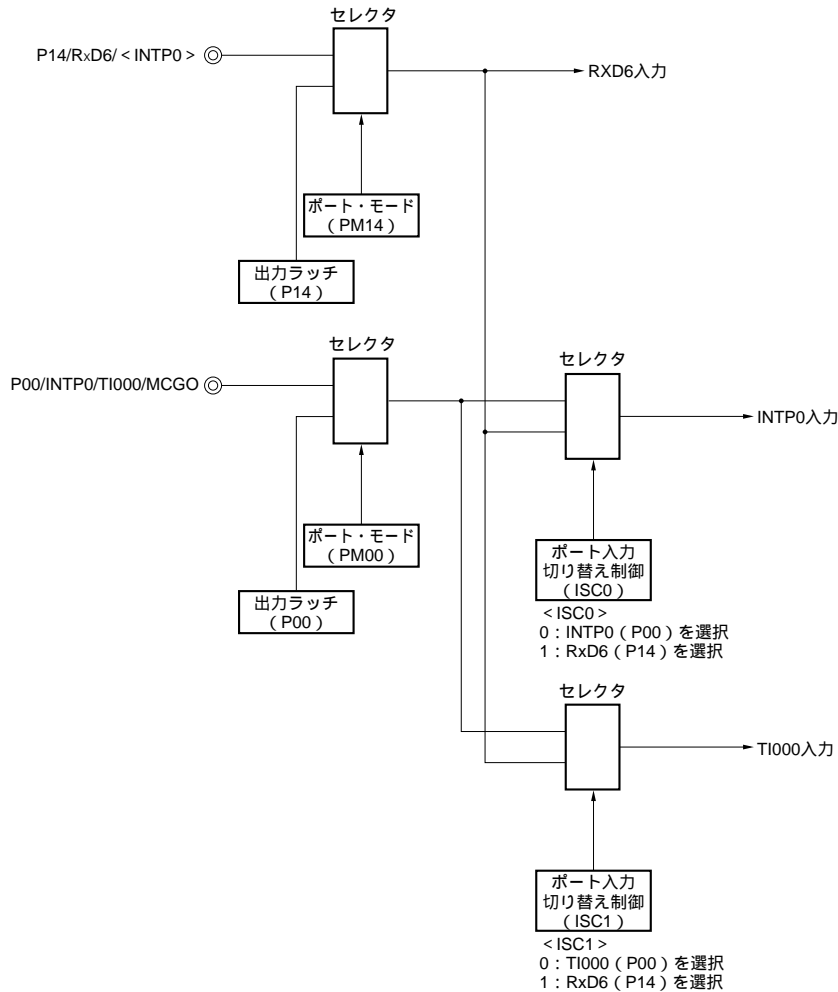
- 注1. ウェイクアップ信号の検出は、端子のエッジ検出で行います。ウェイクアップ信号により、UART6をイネーブルし、SBF受信モードに設定します。
2. STOPビットの検出まで受信動作を行います。SBFを11ビット以上のロウ・レベルのデータを検出したら、SBF受信を正常終了したと判断し、割り込み信号を出力します。SBFを11ビット未満のロウ・レベルのデータを検出したら、SBF受信エラーと判断し、割り込み信号を出力せずにSBF受信モードに戻ります。
3. SBF受信を正常終了した場合、割り込み信号を出力します。SBF受信完了割り込みでキャプチャ・タイマをイネーブルにします。また、OVE6, PE6, FE6の各エラー検出は抑制され、UART通信のエラー検出処理、およびシフト・レジスタとRXB6のデータ転送は行われません。シフト・レジスタはリセット値のFFHを保持します。
4. シンク・フィールドのビット長からボー・レート誤差を算出し、SF受信後にUART6のイネーブルを落としてからボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) を再セットしてください。
5. チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART6を初期化し、再びSBF受信モードに設定する処理もソフトウェアにて行ってください。

LINの受信操作を行う場合は図11 - 3のような構成となります。

LINのマスタから送信されるウエイクアップ信号の受信を、外部割り込み(INTP0)のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さを16ビット・タイマ/イベント・カウンタ00の外部イベント・キャプチャ動作で計測し、ポー・レート誤差を算出することができます。

ポート入力切り替え制御(ISC0/ISC1)により、外部でRxD6とINTP0, TI000の結線をせずに、受信用ポート入力(RxD6)の入力信号を外部割り込み(INTP0)および16ビット・タイマ/イベント・カウンタ00へ入力することができます。

図11 - 3 LINの受信操作のポート構成図



備考 ISC0, ISC1 : 入力切り替え制御レジスタ (ISC) のビット0, 1 (図11 - 11参照)

LIN通信動作で使用する周辺機能を次に示します。

<使用する周辺機能>

- ・外部割り込み(INTP0) ; ウエイクアップ信号検出
用途 : ウエイクアップ信号のエッジを検出し、通信開始を検出
- ・16ビット・タイマ/イベント・カウンタ00 (TI000) ; ポー・レート誤差検出
用途 : シンク・フィールド (SF) の長さを検出し、ビット数で割ることでポー・レート誤差を検出 (TI000 入力エッジの間隔をキャプチャ・モードで測定)
- ・シリアル・インタフェースUART6

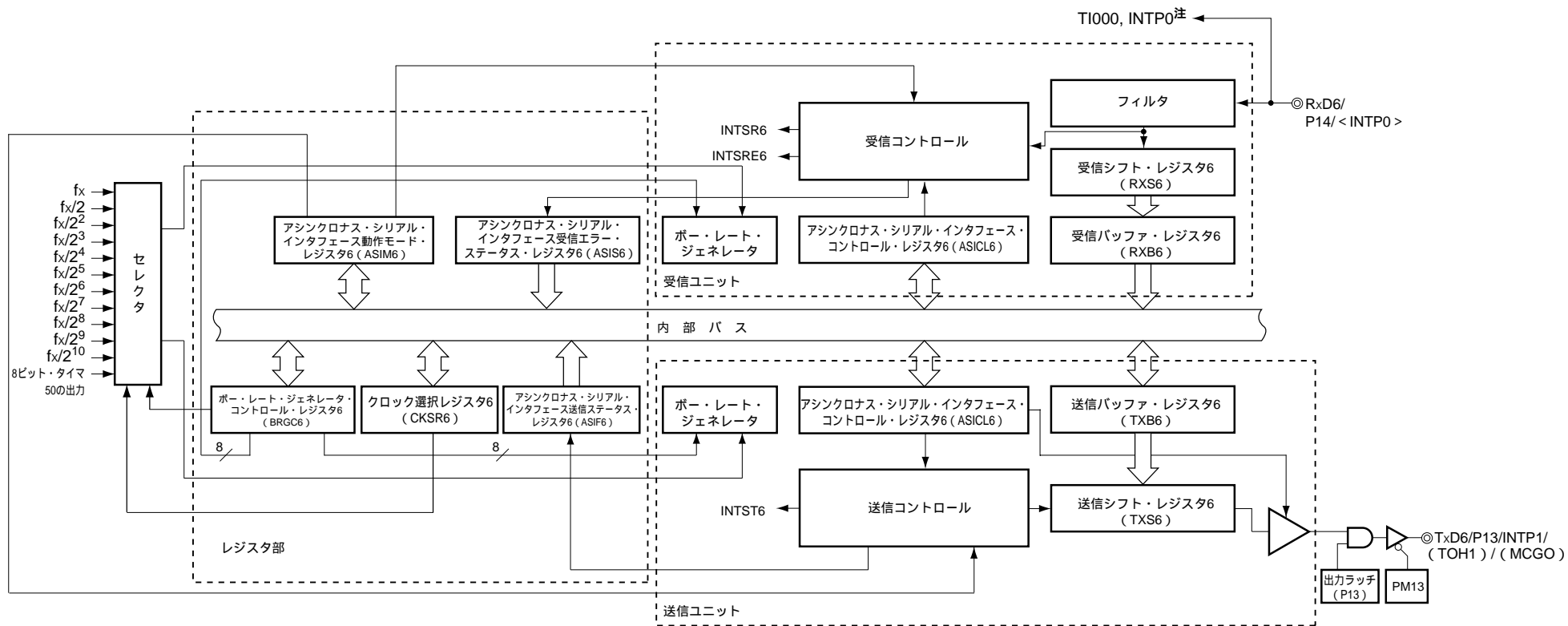
11.2 シリアル・インタフェースUART6の構成

シリアル・インタフェースUART6は、次のハードウェアで構成しています。

表11-1 シリアル・インタフェースUART6の構成

項 目	構 成
レジスタ	受信バッファ・レジスタ6 (RXB6) 受信シフト・レジスタ6 (RXS6) 送信バッファ・レジスタ6 (TXB6) 送信シフト・レジスタ6 (TXS6)
制御レジスタ	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) クロック選択レジスタ6 (CKSR6) ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) 入力切り替え制御レジスタ (ISC) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)

図11-4 シリアル・インタフェースUART6のブロック図



注 入力切り替え制御レジスタ (ISC) にて選択可能。

(1) 受信バッファ・レジスタ6 (RXB6)

受信シフト・レジスタ6 (RXS6) で変換したパラレル・データを格納するための8ビット・レジスタです。データを1バイト受信するごとに受信シフト・レジスタ6 (RXS6) から新たな受信データが転送されます。データ長を7ビットに指定した場合は次のようになります。

- ・LSBファースト受信時では、受信データはRXB6のビット0-6に転送され、RXB6のMSBは必ず0になります。
- ・MSBファースト受信時では、受信データはRXB6のビット1-7に転送され、RXB6のLSBは必ず0になります。

オーバラン・エラー (OVE6) が発生した場合、そのときの受信データはRXB6には転送されません。

RXB6は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

(2) 受信シフト・レジスタ6 (RXS6)

RxD6端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

RXS6はプログラムで直接操作できません。

(3) 送信バッファ・レジスタ6 (TXB6)

送信データを設定する、バッファ・レジスタです。TXB6へ送信データを書き込むことにより、送信動作が開始されます。

TXB6は8ビット・メモリ操作命令で、読み出しと書き込みができます。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意1. アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のビット1 (TXBF6) が1のとき、TXB6にデータを書き込まないでください。

2. 通信動作中 (アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7, 6 (POWER6, TXE6) = 1, 1またはASIM6のビット7, 5 (POWER6, RXE6) = 1, 1) に、ソフトウェアでTXB6へのリフレッシュ (同値書き込み) 動作を行わないでください。

(4) 送信シフト・レジスタ6 (TXS6)

TXB6から転送されたデータをシリアル・データとしてTxD6端子から送信します。TXB6からのデータ転送は、最初の送信時ではTXB6の書き込み直後、連続送信時では1フレーム送信後のINTST6発生直前のタイミングで転送されます。またTXB6からのデータ転送とTxD6端子からの送信は、基本クロックの立ち下がりタイミングで行われます。

TXS6はプログラムで直接操作できません。

11.3 シリアル・インタフェースUART6を制御するレジスタ

シリアル・インタフェースUART6は、次の9種類のレジスタで制御します。

- ・アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)
- ・アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)
- ・アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)
- ・クロック選択レジスタ6 (CKSR6)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)
- ・アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)
- ・入力切り替え制御レジスタ (ISC)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

(1) アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)

シリアル・インタフェースUART6のシリアル通信動作を制御する8ビット・レジスタです。

ASIM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、01Hになります。

備考 通信動作中(ASIM6のビット7, 6(POWER6, TXE6) = 1, 1またはASIM6のビット7, 5(POWER6, RXE6) = 1, 1) に、ソフトウェアでASIM6へのリフレッシュ (同値書き込み) 動作を行うことができます。

図11 - 5 アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット (1/2)

アドレス : FF50H リセット値 : 01H R/W

略号	7	6	5	4	3	2	1	0
ASIM6	POWER6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6

POWER6	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2} 。
1 ^{注3}	内部動作クロックの動作許可

TXE6	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)
1	送信動作許可

注1 . POWER6 = 0で、TxD6端子の出力はハイ・レベルになり、RxD6端子からの入力ハイ・レベルに固定されます。

2 . リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6), アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6), アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット7 (SBRF6) とビット6 (SBRT6), 受信バッファ・レジスタ6 (RXB6) です。

3 . POWER6ビットに1を書き込んでから、基本クロックの2発目で8ビット・カウンタの出力動作が許可になります。

図11 - 5 アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット (2/2)

RXE6	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)
1	受信動作許可

PS61	PS60	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信 ^注
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

CL6	送受信データのキャラクタ長指定
0	データのキャラクタ長 = 7ビット
1	データのキャラクタ長 = 8ビット

SL6	送信データのストップ・ビット数指定
0	ストップ・ビット数 = 1
1	ストップ・ビット数 = 2

ISRM6	エラー発生時の受信完了割り込み発生許可 / 禁止
0	エラー発生時の割り込みに "INTSR6" が発生 (このときINTSR6は発生しない)
1	エラー発生時の割り込みに "INTSR6" が発生 (このときINTSR6は発生しない)

注 「0パリティとして受信」を設定すると、パリティ判定を行いません。したがって、アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のビット2 (PE6) はセットされないため、エラー割り込みも発生しません。

- 注意1. 起動時はPOWER6 = 1にしてから、TXE6 = 1としてください。動作を停止するときにはTXE6 = 0にしてから、POWER6 = 0としてください。
2. 起動時はPOWER6 = 1にしてから、RXE6 = 1としてください。動作を停止するときにはRXE6 = 0にしてから、POWER6 = 0としてください。
3. RxD6端子にハイ・レベルが入力された状態でPOWER6 = 1→RXE6 = 1と設定してください。ロウ・レベルのときにPOWER6 = 1→RXE6 = 1と設定すると、受信を開始してしまいます。
4. PS61, PS60, CL6ビットを書き換えるときは、TXE6, RXE6ビットをクリア (0) してから行ってください。
5. LIN通信動作で使用する場合、PS61, PS60ビットを0に固定してください。
6. SL6ビットを書き換えるときは、TXE6 = 0にしてから行ってください。また、受信は常に「ストップ・ビット数 = 1」として動作するので、SL6ビットの設定値の影響は受けません。
7. ISRM6ビットを書き換えるときは、RXE6 = 0にしてから行ってください。

(2) アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)

シリアル・インタフェースUART6の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PE6, FE6, OVE6) で構成されています。

ASIS6は、8ビット・メモリ操作命令で読み出しのみ可能です。

$\overline{\text{RESET}}$ 入力, ASIM6のビット7 (POWER6) = 0, ビット5 (RXE6) = 0のいずれかにより, 00Hになります。また, 読み出しにより, 00Hになります。

図11 - 6 アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のフォーマット

アドレス : FF53H リセット値 : 00H R

略号	7	6	5	4	3	2	1	0
ASIS6	0	0	0	0	0	PE6	FE6	OVE6

PE6	パリティ・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード
1	受信完了時, 送信データのパリティとパリティ・ビットが一致しないとき

FE6	フレーミング・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード
1	受信完了時, ストップ・ビットが検出されないとき

OVE6	オーバラン・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード
1	RXB6レジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき

注意1 . PE6ビットの動作は, アシクロナス・シリアル・インタフェース・モード・レジスタ6 (ASIM6) のPS61, PS60ビットの設定値により異なります。

- 2 . 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。
- 3 . オーバラン・エラーが発生した場合, 次の受信データは受信バッファ・レジスタ6 (RXB6) に書き込まれず, データは破棄されます。
- 4 . ASIS6からデータを読み出すと, ウェイトが発生します。詳細は第28章 ウェイトに関する注意事項を参照してください。

(3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)

シリアル・インタフェースUART6の送信時のステータスを示すレジスタです。2ビットのステータス・フラグ (TXBF6, TXSF6) で構成されています。

TXB6レジスタからTXS6レジスタへデータが転送されたあとに、次のデータをTXB6レジスタに書き込むことで、割り込み期間中も途切れることなく送信を続けることができます。

ASIF6は、8ビット・メモリ操作命令で読み出しのみ可能です。

$\overline{\text{RESET}}$ 入力、ASIF6のビット7 (POWER6) = 0、ビット6 (TXE6) = 0のいずれかにより、00Hになります。

図11 - 7 アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のフォーマット

アドレス : FF55H リセット値 : 00H R

略号	7	6	5	4	3	2	1	0
ASIF6	0	0	0	0	0	0	TXBF6	TXSF6

TXBF6	送信バッファ・データ・フラグ
0	POWER6 = 0またはTXE6 = 0に設定したとき、または、送信シフト・レジスタ6 (TXS6) にデータを転送したとき
1	送信バッファ・レジスタ6 (TXB6) にデータを書き込んだとき (TXB6にデータが存在するとき)

TXSF6	送信シフト・レジスタ・データ・フラグ
0	POWER6 = 0またはTXE6 = 0に設定したとき、または、転送完了後に送信バッファ・レジスタ6 (TXB6) から次のデータ転送がなかったとき
1	送信バッファ・レジスタ6 (TXB6) よりデータが転送されたとき (データ送信中のとき)

- 注意1.** 連続送信を行う場合は、最初の送信データ (1バイト目) をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ (2バイト目) をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。
- 2.** 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。

(4) クロック選択レジスタ6 (CKSR6)

シリアル・インタフェースUART6の基本クロックを選択するレジスタです。

CKSR6は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

備考 通信動作中(ASIM6のビット7, 6(POWER6, TXE6)= 1, 1またはASIM6のビット7, 5(POWER6, RXE6)= 1, 1)にソフトウェアでCKSR6へのリフレッシュ動作 (同値書き込み) を行うことができます。

図11 - 8 クロック選択レジスタ6 (CKSR6) のフォーマット

アドレス : FF56H リセット値 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKSR6	0	0	0	0	TPS63	TPS62	TPS61	TPS60

TPS63	TPS62	TPS61	TPS60	基本クロック (f_{CLK6}) 選択
0	0	0	0	f_x (10 MHz)
0	0	0	1	$f_x/2$ (5 MHz)
0	0	1	0	$f_x/2^2$ (2.5 MHz)
0	0	1	1	$f_x/2^3$ (1.25 MHz)
0	1	0	0	$f_x/2^4$ (625 kHz)
0	1	0	1	$f_x/2^5$ (312.5 kHz)
0	1	1	0	$f_x/2^6$ (156.25 kHz)
0	1	1	1	$f_x/2^7$ (78.13 kHz)
1	0	0	0	$f_x/2^8$ (39.06 kHz)
1	0	0	1	$f_x/2^9$ (19.53 kHz)
1	0	1	0	$f_x/2^{10}$ (9.77 kHz)
1	0	1	1	TM50の出力 ^注
その他				設定禁止

注 TM50の出力を基本クロックとして選択する場合、次の内容に注意してください。

- ・PWMモード (TMC506 = 1)

デューティ50 %のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

- ・TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)

タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

注意1 . CPUへの供給クロックに低速内蔵発振クロックを選択する場合、カウント・クロックに低速内蔵発振クロックの分周クロックが供給されます。基本クロックが低速内蔵発振クロックの場合、シリアル・インタフェースUART6の動作は保証されません。

2. TPS63-TPS60を書き換える場合は、POWER6 = 0としてから行ってください。

備考1. () 内は $f_x = 10$ MHz動作時

2. f_x : 高速システム・クロック発振周波数

備考3. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6
 TMC501 : TMC50のビット1

(5) ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)

シリアル・インタフェースUART6の8ビット・カウンタの分周値を設定するレジスタです。

BRGC6は、8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

備考 通信動作中(ASIM6のビット7, 6(POWER6, TXE6)= 1, 1またはASIM6のビット7, 5(POWER6, RXE6)= 1, 1) にソフトウェアでBRGC6へのリフレッシュ動作 (同値書き込み) を行うことができます。

図11 - 9 ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) のフォーマット

アドレス : FF57H リセット値 : FFH R/W

略号	7	6	5	4	3	2	1	0
BRGC6	MDL67	MDL66	MDL65	MDL64	MDL63	MDL62	MDL61	MDL60

MDL67	MDL66	MDL65	MDL64	MDL63	MDL62	MDL61	MDL60	k	8ビット・カウンタの出力 クロック選択
0	0	0	0	0	x	x	x	x	設定禁止
0	0	0	0	1	0	0	0	8	f _{XCLK6} /8
0	0	0	0	1	0	0	1	9	f _{XCLK6} /9
0	0	0	0	1	0	1	0	10	f _{XCLK6} /10
.
.
.
.
.
1	1	1	1	1	1	0	0	252	f _{XCLK6} /252
1	1	1	1	1	1	0	1	253	f _{XCLK6} /253
1	1	1	1	1	1	1	0	254	f _{XCLK6} /254
1	1	1	1	1	1	1	1	255	f _{XCLK6} /255

注意1 .MDL67-MDL60ビットを書き換える場合は、ASIM6レジスタのビット6(TXE6)= 0 ,ビット5(RXE6) = 0にしてから行ってください。

2 . 8ビット・カウンタの出力クロックをさらに1/2分周したものが、ボー・レート値となります。

備考1 . f_{XCLK6} : CKSR6レジスタのTPS63-TPS60ビットで選択した基本クロックの周波数

2 . k : MDL67-MDL60ビットで設定した値 (k = 8, 9, 10 , ... , 255)

3 . x : 任意

(6) アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)

シリアル・インタフェースUART6のシリアル通信動作を制御するレジスタです。
 ASICL6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、16Hになります。

注意 通信動作中(ASIM6のビット7, 6(POWER6, TXE6)= 1, 1またはASIM6のビット7, 5(POWER6, RXE6)= 1, 1) にソフトウェアでASICL6へのリフレッシュ動作(同値書き込み)を行うことができます。ただし、SBF受信中(SBRF6 = 1)またはSBF送信中(SBTT6をセット(1)後からINTST6発生までの間)に、リフレッシュ動作でSBRT6 = 1, SBTT6 = 1に設定すると、SBF受信、SBF送信の再トリガ要因となるため、設定しないでください。

図11 - 10 アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のフォーマット

アドレス : FF58H リセット値 : 16H R/W^注

略号	7	6	5	4	3	2	1	0
ASICL6	SBRF6	SBRT6	0	1	0	1	DIR6	TXDLV6

SBRF6	SBF受信状態フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき、またはSBF受信が正常終了したとき
1	SBF受信中

SBRT6	SBF受信トリガ
0	-
1	SBF受信トリガ

DIR6	先頭ビットの指定
0	MSB
1	LSB

TXDLV6	TxD6出力反転許可 / 禁止
0	TxD6通常出力
1	TxD6反転出力

注 ビット2-5, 7はRead Onlyです。

- 注意1. SBF受信エラー時には、再びSBF受信モードに戻ります。SBRF6フラグの状態は保持(1)されます。
- SBRT6ビットは、ASIM6のビット7 (POWER6) = 1、かつビット5 (RXE6) = 1としてからセット(1)にしてください。
 - SBRT6ビットのリード値は常に0です。SBF受信正常終了後、SBRT6は自動的にクリア(0)されます。
 - DIR6, TXDLV6ビットを書き換えるときは、TXE6, RXE6ビットをクリア(0)にしてから行ってください。

(7) 入力切り替え制御レジスタ (ISC)

LIN (Local Interconnect Network) 受信時に、マスタから送信されるステータス信号を受信するときに入力切り替え制御レジスタ (ISC) を使用します。ISCの設定により、入力ソースを切り替えることができます。

ISCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET \bar 入力により、00Hになります。

図11 - 11 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : FF4FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	TI000入力ソースの選択
0	TI000 (P00)
1	RxD6 (P14)

ISC0	INTP0入力ソースの選択
0	INTP0 (P00)
1	RxD6 (P14)

(8) ポート・モード・レジスタ1 (PM1)

ポート1の入力 / 出力を1ビット単位で設定するレジスタです。

P13/TxD6/INTP1/ (TOH1) / (MCGO) 端子をシリアル・インタフェースのデータ出力として使用する
とき、PM13に0を、P13の出力ラッチに1を設定してください。

P14/RxD6/ <INTP0> 端子をシリアル・インタフェースのデータ入力として使用するとき、PM14に1を設
定してください。このときP14の出力ラッチは、0または1のどちらでもかまいません。

PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図11 - 12 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	1	1	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

11.4 シリアル・インタフェースUART6の動作

シリアル・インタフェースUART6は、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

11.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIM6のビット7, 6, 5 (POWER6, TXE6, RXE6) に0を設定してください。

(1) 使用するレジスタ

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)で行います。

ASIM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、01Hになります。

アドレス：FF50H リセット値：01H R/W

略号	7	6	5	4	3	2	1	0
ASIM6	POWER6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6

POWER6	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2} 。

TXE6	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)

RXE6	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)

注1 . POWER6 = 0で、TxD6端子の出力はハイ・レベルになり、RxD6端子からの入力ハイ・レベルに固定されます。

2 . リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6), アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6), アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット7 (SBRF6) とビット6 (SBRT6), 受信バッファ・レジスタ6 (RXB6) です。

注意 動作停止モードにするときは、TXE6 = 0, RXE6 = 0にしてから、POWER6 = 0 にしてください。
起動時はPOWER6 = 1 にしてから、TXE6 = 1, RXE6 = 1にしてください。

備考 RxD6/P14/<INTP0>, TxD6/P13/INTP1/ (TOH1) / (MCG0) 端子を汎用ポートとして使用する場合は、第4章 ポート機能を参照してください。

11.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

(1) 使用するレジスタ

- ・アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)
- ・アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)
- ・アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)
- ・クロック選択レジスタ6 (CKSR6)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)
- ・アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)
- ・入力切り替え制御レジスタ (ISC)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

UARTモードの基本的な動作設定手順例は次のようになります。

CKSR6レジスタを設定 (図11 - 8を参照)

BRGC6レジスタを設定 (図11 - 9を参照)

ASIM6レジスタのビット0-4 (ISRM6, SL6, CL6, PS60, PS61) を設定 (図11 - 5を参照)

ASICL6レジスタのビット0, 1 (TXDLV6, DIR6) を設定 (図11 - 10を参照)

ASIM6レジスタのビット7 (POWER6) をセット (1)

ASIM6レジスタのビット6 (TXE6) をセット (1) 送信可能

ASIM6レジスタのビット5 (RXE6) をセット (1) 受信可能

送信バッファ・レジスタ6 (TXB6) にデータを書き込み データ送信開始

注意 ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表11 - 2 レジスタの設定と端子の関係

POWER6	TXE6	RXE6	PM13	P13	PM14	P14	UART6 の動作	端子機能	
								TxD6/P13/INTP1/ (TOH1) / (MCGO)	RxD6/P14/ < INTP0 >
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	P13	P14
1	0	1	x ^注	x ^注	1	x	受信	P13	RxD6
	1	0	0	1	x ^注	x ^注	送信	TxD6	P14
	1	1	0	1	1	x	送受信	TxD6	RxD6

注 ポート機能として設定することができます。

備考 x : don't care

POWER6 : アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

PM1x : ポート・モード・レジスタ

P1x : ポートの出力ラッチ

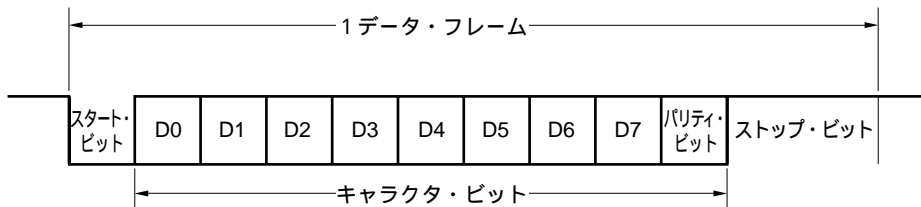
(2) 通信動作

(a) 通常送受信データ・フォーマット

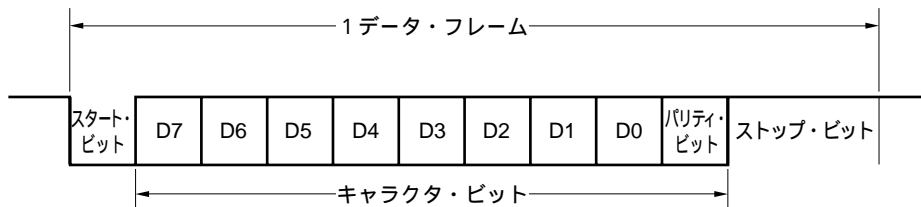
通常送受信データのフォーマットと波形例を図11 - 13に示します。

図11 - 13 通常UART送受信データのフォーマット

1. LSBファーストの場合



2. MSBファーストの場合



1データ・フレームは次に示すビットで構成されています。

- ・ スタート・ビット..... 1ビット
- ・ キャラクタ・ビット..... 7ビット / 8ビット
- ・ パリティ・ビット..... 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ ストップ・ビット..... 1ビット / 2ビット

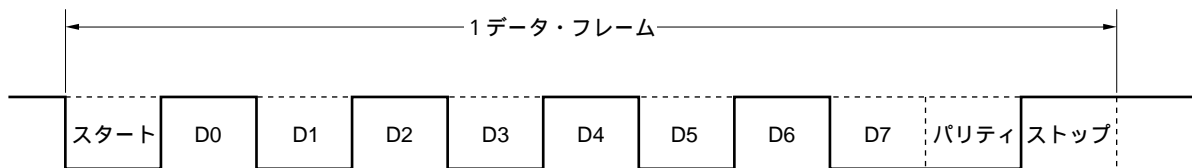
1データ・フレーム内のキャラクタ・ビット長の指定, パリティ選択, ストップ・ビット長の指定は, アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) によって行います。

データはLSBファースト / MSBファーストをアシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット1 (DIR6) で設定して通信します。

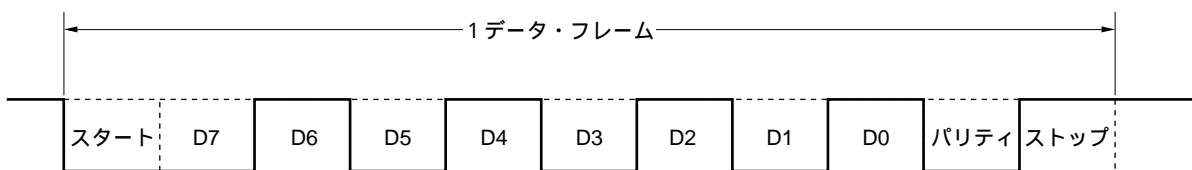
また, TxD6端子の通常出力 / 反転出力をASICL6のビット0 (TXDLV6) で設定します。

図11 - 14 通常UART送受信データの波形例

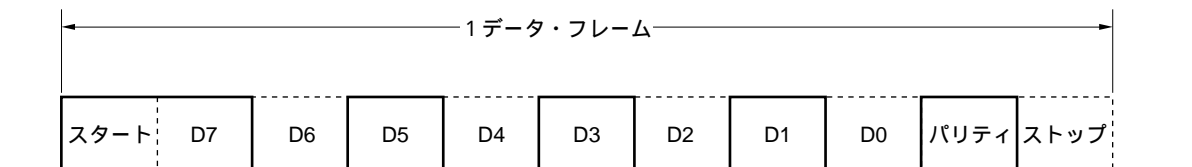
1. データ長：8ビット，LSBファースト，パリティ：偶数パリティ，ストップ・ビット：1ビット，
通信データ：55H



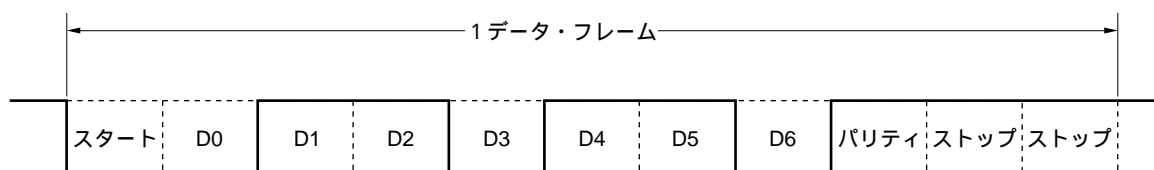
2. データ長：8ビット，MSBファースト，パリティ：偶数パリティ，ストップ・ビット：1ビット，
通信データ：55H



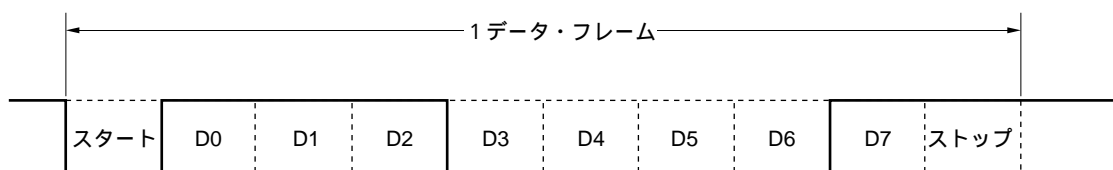
3. データ長：8ビット，MSBファースト，パリティ：偶数パリティ，ストップ・ビット：1ビット，
通信データ：55H, TxD6端子反転出力



4. データ長：7ビット，LSBファースト，パリティ：奇数パリティ，ストップ・ビット：2ビット，
通信データ：36H



5. データ長：8ビット，LSBファースト，パリティ：パリティなし，ストップ・ビット：1ビット，
通信データ：87H



(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしとは、誤りを検出することはできません。

注意 LIN通信動作で使用する場合、PS61, PS60ビットを0に固定してください。

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビット数が奇数個：1

送信データ中に、値が“1”のビット数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ

・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる“1”のビット数を奇数個になるように制御します。

送信データ中に、値が“1”のビット数が奇数個：0

送信データ中に、値が“1”のビット数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 通常送信

アシンクロナス・シリアル・インタフェース・モード・レジスタ6 (ASIM6) のビット7 (POWER6) をセット (1) すると, TxD6端子からハイ・レベル出力されます。次にASIM6のビット6 (TXE6) をセット (1) すると送信許可状態になり, 送信バッファ・レジスタ6 (TXB6) に送信データを書き込むことによって送信動作は起動します。スタート・ビット, パリティ・ビット, ストップ・ビットは自動的に付加されます。

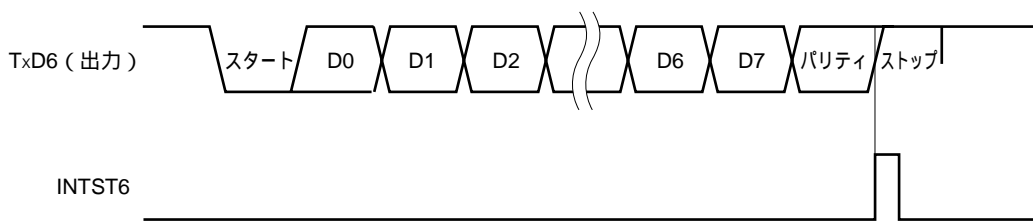
送信動作の開始により, TXB6内のデータは送信シフト・レジスタ6 (TXS6) に転送されます。その後, TXS6から順次, TxD6端子に出力されます。送信が完了すると, ASIM6で設定したパリティ・ビット, ストップ・ビットが付加され, 送信完了割り込み要求 (INTST6) が発生します。

次に送信するデータをTXB6に書き込むまで, 送信動作は中断します。

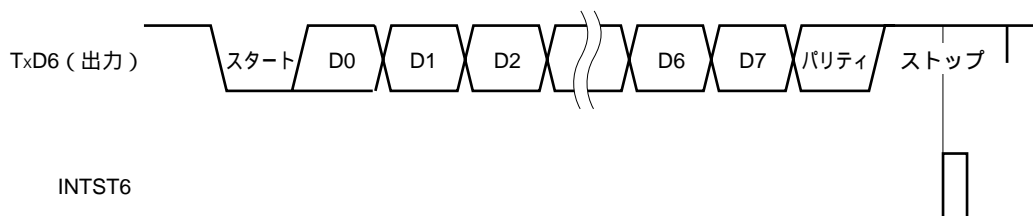
送信完了割り込み要求 (INTST6) のタイミングを図11 - 15に示します。INTST6は, 最後のストップ・ビット出力と同時に発生します。

図11 - 15 通常送信完了割り込み要求タイミング

1. ストップ・ビット長 : 1



2. ストップ・ビット長 : 2



(d) 連続送信

送信シフト・レジスタ6 (TXS6) がシフト動作を開始した時点で、次の送信データを送信バッファ・レジスタ6 (TXB6) へ書き込むことができます。これにより、1データ・フレーム送信後のINTST6割り込み処理時でも連続送信することができ、効率的な通信レートを実現できます。また、送信完了割り込み発生後にアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のビット0 (TXSF6) を読み出すことにより、1データ・フレームの送信時間を待つことなく効率的に2回 (2バイト) のTXB6レジスタへの書き込みができます。

連続送信する場合は、必ずASIF6レジスタを参照し、送信状態とTXB6レジスタへの書き込み可否を確認してから、データの書き込みを行ってください。

- 注意1. 連続送信でASIF6レジスタのTXBF6, TXSF6フラグは、「10」→「11」→「01」と変化します。そのため、ステータスを確認する場合は、TXBF6, TXSF6フラグの組み合わせで判断しないでください。連続送信を行う場合はTXBF6フラグのみを読み出してください。
2. LIN通信動作で使用する場合、連続送信機能を使用することはできません。必ずアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) が00Hになっていることを確認してから、送信バッファ・レジスタ6 (TXB6) に送信データを書き込んでください。

TXBF6	TXB6レジスタへの書き込み可否
0	書き込み可
1	書き込み不可

注意 連続送信を行う場合は、最初の送信データ (1バイト目) をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ (2バイト目) をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。

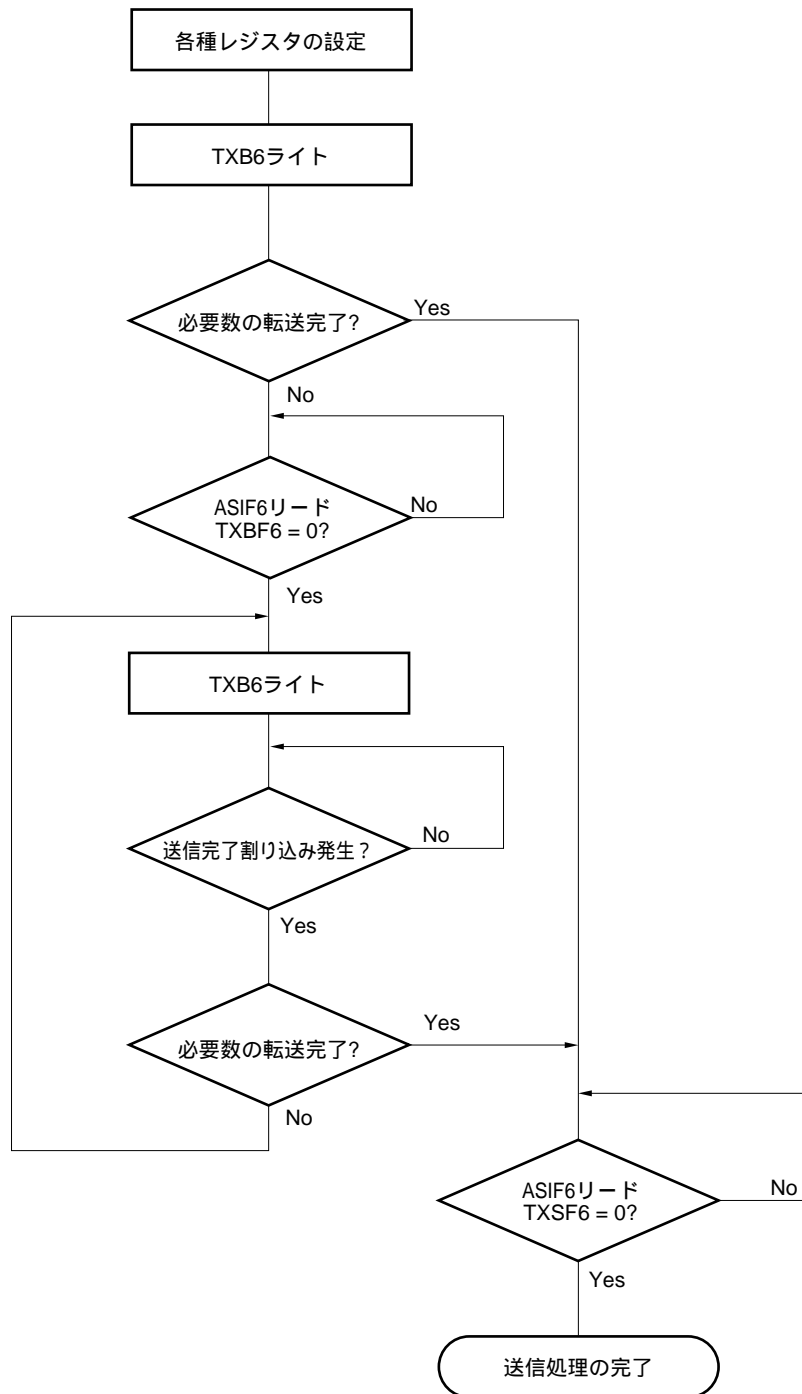
TXSF6フラグで、通信状態を確認することができます。

TXSF6	送信状態
0	送信が終了しています。
1	送信中です。

- 注意1. 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。
2. 連続送信時には、1データ・フレーム送信後のINTST6割り込み処理を実行する前に次の送信が完了してしまうオーバーラン・エラーが発生する可能性があります。オーバーラン・エラーは送信データ数をカウントできるプログラムを組み込むこととTXSF6フラグを参照することで検出できます。

連続送信の処理フロー例を図11 - 16に示します。

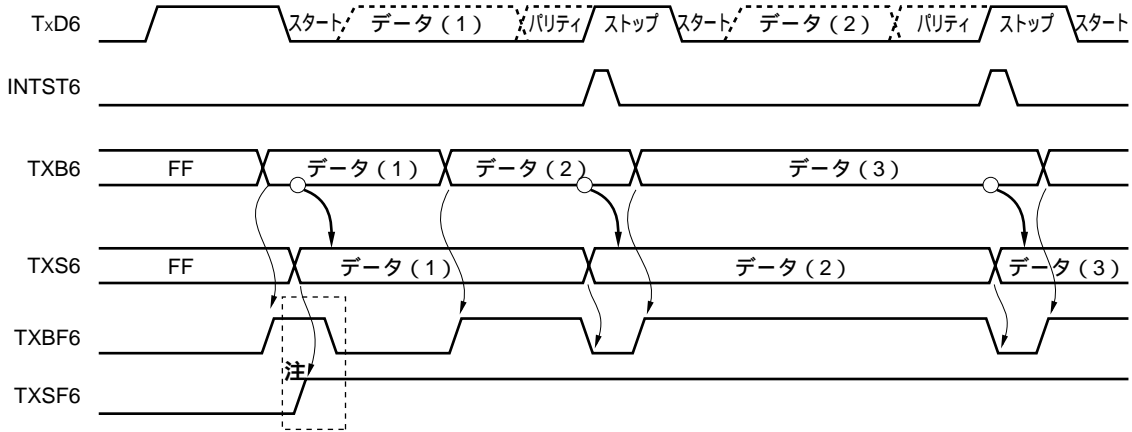
図11 - 16 連続送信の処理フロー例



- 備考** TXB6 : 送信バッファ・レジスタ6
 ASIF6 : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6
 TXBF6 : ASIF6のビット1 (送信バッファ・データ・フラグ)
 TXSF6 : ASIF6のビット0 (送信シフト・レジスタ・データ・フラグ)

連続送信を開始する際のタイミングを図11 - 17に、連続送信を終了する際のタイミングを図11 - 18に示します。

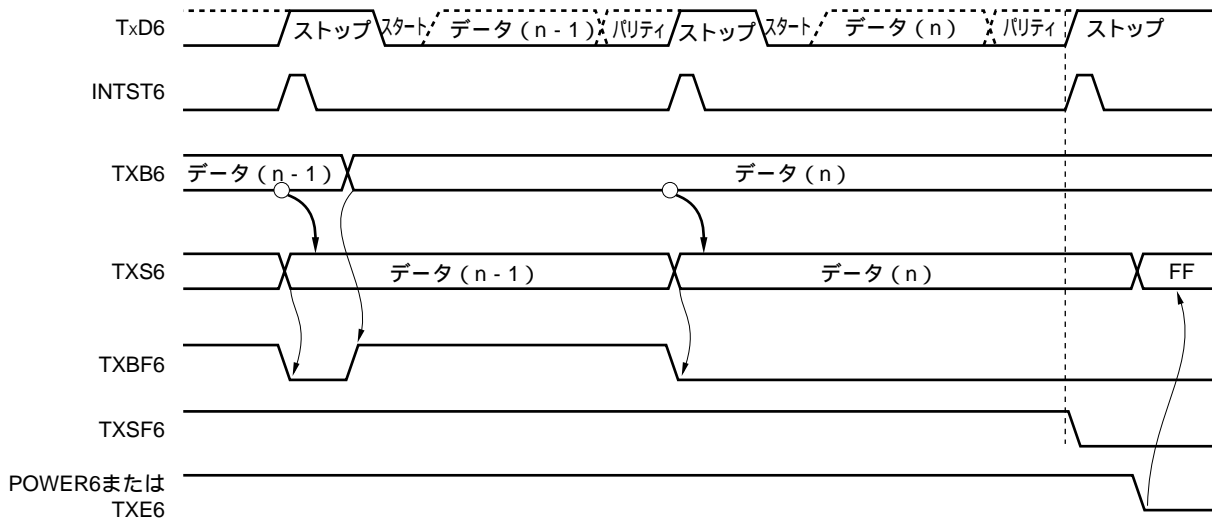
図11 - 17 連続送信を開始する際のタイミング



注 ASIF6をリードした場合、TXBF6, TXSF6 = 1, 1の期間が存在します。したがって、書き込み可否はTXBF6ビットのみで判断してください。

- 備考
- TXD6 : TxD6端子 (出力)
 - INTST6 : 割り込み要求信号
 - TXB6 : 送信バッファ・レジスタ6
 - TXS6 : 送信シフト・レジスタ6
 - ASIF6 : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6
 - TXBF6 : ASIF6のビット1
 - TXSF6 : ASIF6のビット0

図11 - 18 連続送信を終了する際のタイミング



備考	TxD6	: TxD6端子 (出力)
	INTST6	: 割り込み要求信号
	TXB6	: 送信バッファ・レジスタ6
	TXS6	: 送信シフト・レジスタ6
	ASIF6	: アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6
	TXBF6	: ASIF6のビット1
	TXSF6	: ASIF6のビット0
	POWER6	: アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM6) のビット7
	TXE6	: アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM6) のビット6

(e) 通常受信

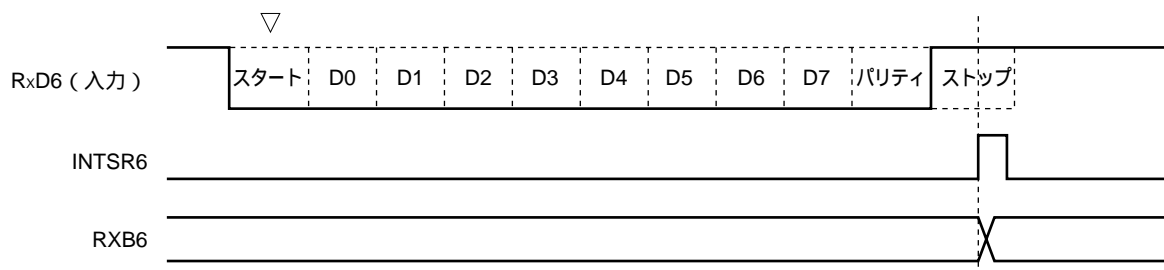
アシクロナス・シリアル・インタフェース・モード・レジスタ6 (ASIM6) のビット7 (POWER6) をセット (1) し、次にASIM6のビット5 (RXE6) をセット (1) すると受信許可状態となり、RxD6端子入力のサンプリングを行います。

RxD6端子入力の立ち下がりを検出すると、ポーレート・ジェネレータの8ビット・カウンタがカウントを開始し、ポーレート・ジェネレータ・コントロール・レジスタ6 (BRGC6) の設定値をカウントした時点で、再度RxD6端子入力をサンプリング (図11 - 19の印に相当) した結果、RxD6端子がロウ・レベルであれば、スタート・ビットと認識します。

スタート・ビットを検出したら、受信動作を開始し、設定されたポーレートに合わせて、シリアル・データを順次、受信シフト・レジスタ (RXS6) に格納していきます。ストップ・ビットを受信したら、受信完了割り込み (INTSR6) を発生すると同時に、RXS6のデータは受信バッファ・レジスタ6 (RXB6) に書き込まれます。ただし、オーバラン・エラー (OVE6) が発生した場合、そのときの受信データはRXB6に書き込みません。

受信途中に、パリティ・エラー (PE6) が発生しても、ストップ・ビットの受信位置までは受信を継続し、受信完了後にエラー割り込み (INTSR6 / INTSRE6) を発生します。

図11 - 19 受信完了割り込み要求タイミング



- 注意1. 受信エラー発生時にも受信バッファ・レジスタ6 (RXB6) は必ず読み出してください。RXB6を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。
2. 受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
3. RXB6を読み出す前に、必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) を読み出してください。

(f) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) 内に立つと、受信エラー割り込み要求 (INTSR6 / INTSRE6) を発生します。

受信エラー割り込み処理内 (INTSR6 / INTSRE6) で、ASIS6の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図11-6参照)。

ASIS6の内容は、ASIS6を読み出すことによって、リセット (0) されます。

表11-3 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタ6 (RXB6) からデータを読み出す前に次のデータ受信完了

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット0 (ISRM6) に0を設定することにより、エラー割り込みを受信完了割り込み (INTSR6) とエラー割り込み (INTSRE6) とに分離することができます。

図11-20 受信エラー割り込み (1/2)

1. ISRM6に0を設定した場合 (受信完了割り込み (INTSR6) とエラー割り込み (INTSRE6) とに分離する)

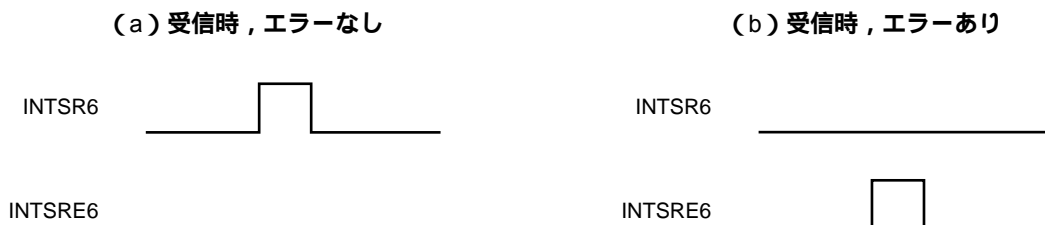
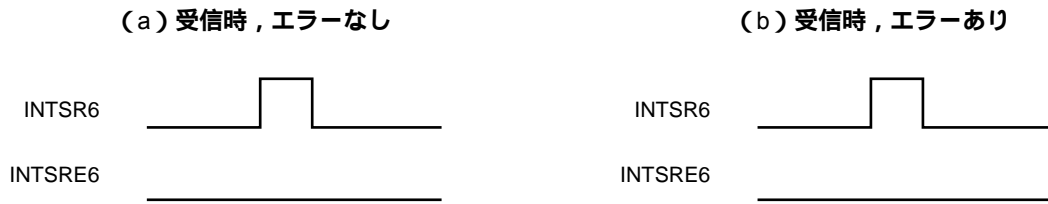


図11 - 20 受信エラー割り込み (2/2)

2. ISRM6に1を設定した場合 (エラー割り込みもINTSR6に含める)



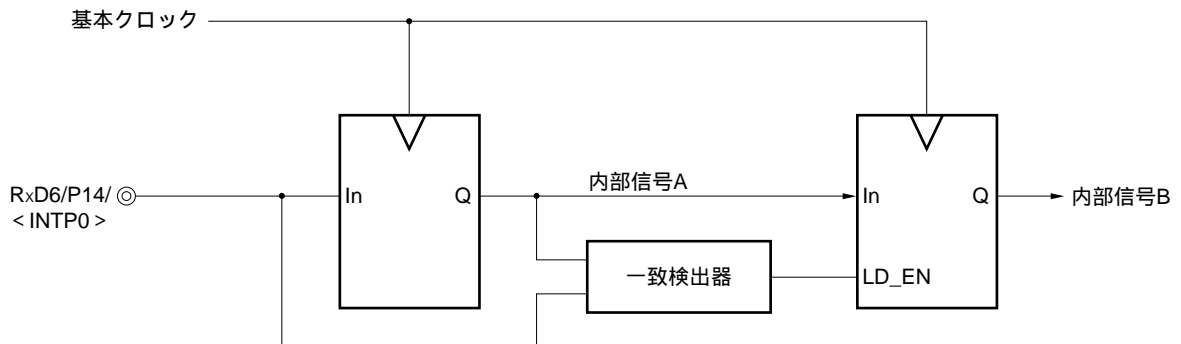
(g) 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロックでRxD6信号をサンプリングします。

サンプリング値が同じ値を2回取ると, 一致検出器の出力が変化し, 入力データとしてサンプリングされます。

また, 回路は図11 - 21のようになっているため, 受信動作の内部での処理は, 外部の信号状態より2クロック分遅れて動作することになります。

図11 - 21 ノイズ・フィルタ回路



(h) SBF送信

LIN通信動作で使用する場合、送信ではSBF(Synchronous Break Field)送信制御機能を使用します。LINの送信操作については図11-1 LINの送信操作を参照してください。

SBF送信は、通常のUART送信機能のボー・レート値を調整することにより、13ビット以上のロウ・レベル幅であるSBF長を送信します。

[設定方法]

データのキャラクタ・ビットを8ビット、パリティ・ビットを0パリティまたは偶数パリティに設定し、00Hを送信します。これにより、1データ・フレームが合計10ビット(1ビット(スタート・ビット) + 8ビット(キャラクタ・ビット) + 1ビット(パリティ・ビット))のロウ・レベル送信ができます。

この10ビットのロウ・レベルを、目標とするSBF長に合わせるために、ボー・レート値を調整します。

例 送信するLINの条件が下記の場合

- ・ UART6の基本クロック = 5 MHz (クロック選択レジスタ6 (CKSR6) にて設定)
- ・ 目標ボー・レート値 = 19200 bps

上記のボー・レート値を実現するために、ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) に130を設定すると、13ビットのSBF長は次のようになります。

$$\cdot 13\text{ビットのSBF長} = 0.2 \mu\text{s} \times 130 \times 2 \times 13 = 676 \mu\text{s}$$

13ビットのSBF長を10ビットで実現するために、BRGC6に目標とするボー・レートの1.3倍の値を設定します。この例では、BRGC6に169を設定します。この場合の10ビットのロウ・レベル送信長は次のようになり、13ビットのSBF長と一致させることができます。

$$\cdot 10\text{ビットのロウ・レベル送信長} = 0.2 \mu\text{s} \times 169 \times 2 \times 10 = 676 \mu\text{s}$$

また、BRGC6による設定だけではビットが足りない場合は、UART6の基本クロックの設定によって、調整してください。

図11 - 22 SBF送信の設定手順例（フロー・チャート）

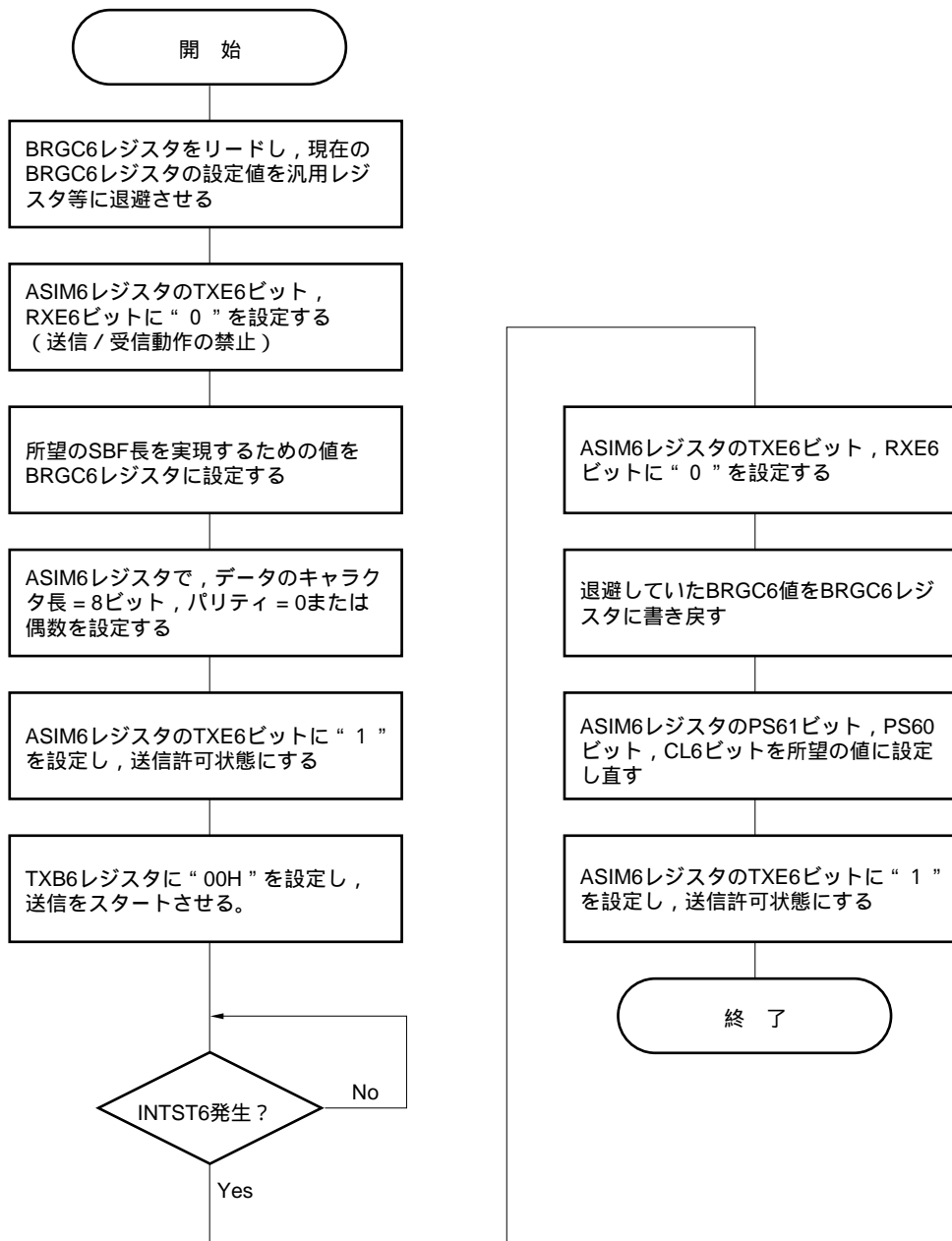
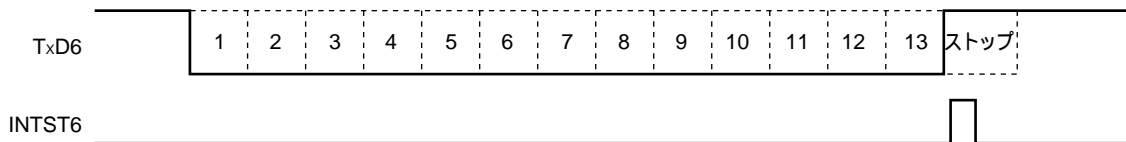


図11 - 23 SBF送信



備考 TxD6 : TxD6端子 (出力)
INTST6 : 送信完了割り込み要求

(i) SBF受信

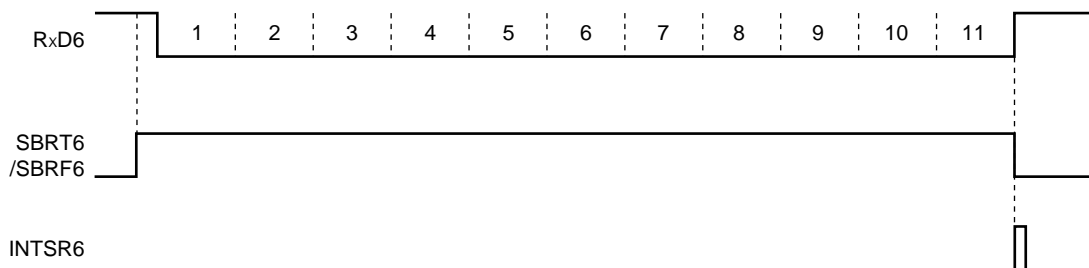
LIN通信動作で使用する場合、受信ではSBF(Synchronous Break Field)受信制御機能を使用します。LINの受信操作については図11 - 2 LINの受信操作を参照してください。

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6(ASIM6)のビット7(POWER6)をセット(1)し、次にASIM6のビット5(RXE6)をセット(1)すると受信許可状態となります。次にアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6(ASICL6)のビット6(SBRT6)をセット(1)するとSBF受信許可状態になります。SBF受信許可状態は通常の受信許可状態と同様、RxD6端子をサンプリングし、スタート・ビットの検出を行います。

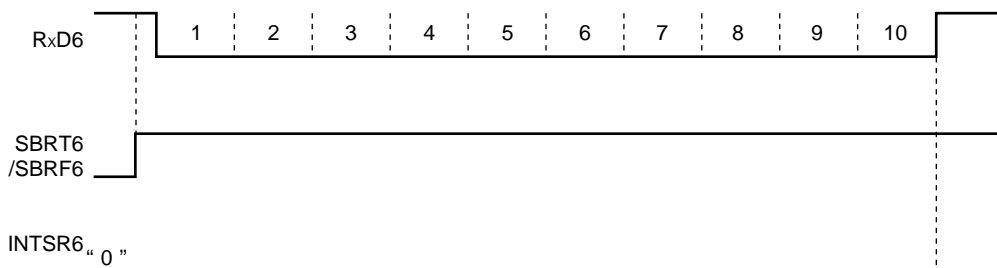
スタート・ビットが検出されたら、受信動作を開始し、設定されたボー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ6(RXS6)に格納していきます。ストップ・ビットを受信したら、SBFの幅が11ビット長以上の場合、正常処理として、受信完了割り込み要求(INTSR6)を発生します。このときSBRF6, SBRT6ビットは自動的にクリアされ、SBF受信を終了します。OVE6, PE6, FE6(アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6(ASIS6)のビット0-2)の各エラー検出は抑制され、UART通信のエラー検出処理は行われません。また受信シフト・レジスタ6(RXS6)と受信バッファ・レジスタ6(RXB6)のデータの転送も行われず、リセット値のFFHを保持します。SBFの幅は10ビット長以下の場合、ストップ・ビット受信後、エラー処理として割り込みを出さずに受信を終了し、再びSBF受信モードに戻ります。この場合、SBRF6, SBRT6ビットはクリアされません。

図11 - 24 SBF受信

1. 正常SBF受信(10.5ビット超でストップ・ビットを検出)



2. SBF受信エラー(10.5ビット以下でストップ・ビットを検出)



備考 RxD6 : RxD6端子(入力)

SBRT6 : アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6(ASICL6)のビット6

SBRF6 : ASICL6のビット7

INTSR6 : 受信完了割り込み要求

11.4.3 専用ボー・レート・ジェネレータ

専用ボー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UART6における送受信時のシリアル・クロックを生成します。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ボー・レート・ジェネレータの構成

・基本クロック

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 1のとき、クロック選択レジスタ6 (CKSR6) のビット3-0 (TPS63-TPS60) で選択したクロックを各モジュールに供給します。このクロックを基本クロックと呼び、その周波数を f_{CLK6} と呼びます。POWER6 = 0のときは、基本クロックはロウ・レベルに固定となります。

・送信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 0またはビット6 (TXE6) = 0のときはクリア (0) の状態で動作を停止します。

POWER6 = 1かつTXE6 = 1でカウントをスタートします。

最初の送信では送信バッファ・レジスタ6 (TXB6) への書き込みでカウンタをクリア (0) します。

連続送信の場合は1フレーム・データの送信完了で、再びカウンタをクリア (0) します。次の送信データがなかった場合、カウンタはクリア (0) されず、POWER6またはTXE6がクリア (0) されるまでカウント動作をそのまま続けます。

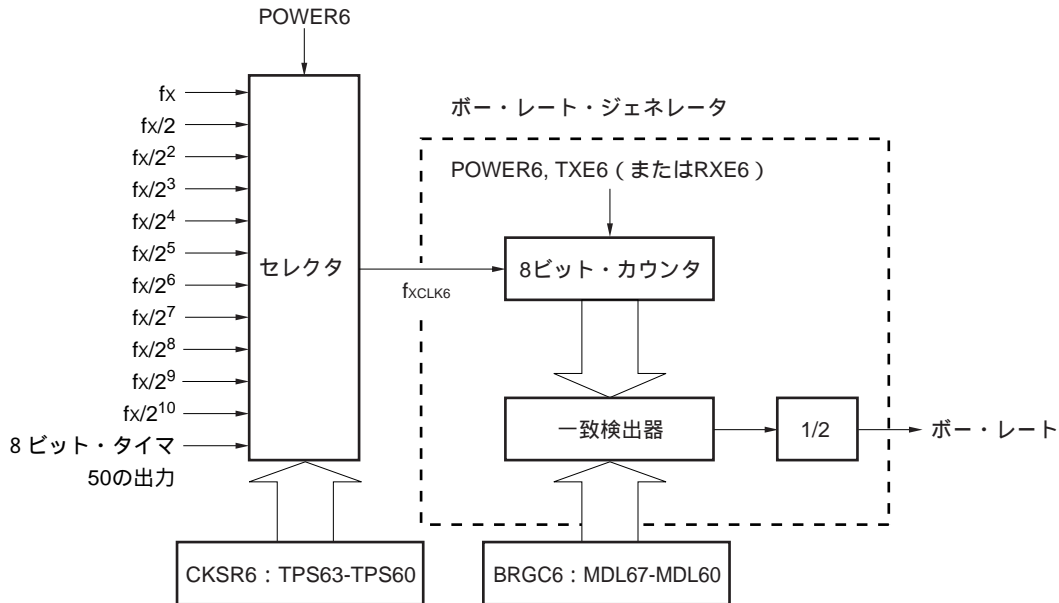
・受信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 0またはビット5 (RXE6) = 0のときはクリア (0) の状態で動作を停止します。

スタート・ビット検出によりカウントをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。

図11 - 25 ポー・レート・ジェネレータの構成



備考 POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

CKSR6 : クロック選択レジスタ6

BRGC6 : ポー・レート・ジェネレータ・コントロール・レジスタ6

(2) シリアル・クロックの生成

クロック選択レジスタ6 (CKSR6) とポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) の設定により、シリアル・クロックを生成できます。

CKSR6のビット3-0 (TPS63-TPS60) により、8ビット・カウンタへの入力クロックを選択します。

BRGC6のビット7-0 (MDL67-MDL60) により、8ビット・カウンタの分周値を設定できます。

(a) ポー・レート

ポー・レートは次の式によって求められます。

$$\cdot \text{ポー・レート} = \frac{f_{XCLK6}}{2 \times k} \text{ [bps]}$$

f_{XCLK6} : CKSR6レジスタのTPS63-TPS60ビットで選択した基本クロックの周波数

k : BRGC6レジスタのMDL67-MDL60ビットで設定した値 ($k = 8, 9, 10, \dots, 255$)

(b) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロックの周波数 = 10 MHz = 10,000,000 Hz

BRGC6レジスタのMDL67-MDL60ビットの設定値 = 00100001B (k = 33)

目標ボー・レート = 153600 bps

$$\begin{aligned} \text{ボー・レート} &= 10 \text{ M} / (2 \times 33) \\ &= 10000000 / (2 \times 33) = 151515 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (151515 / 153600 - 1) \times 100 \\ &= -1.357 \text{ [\%]} \end{aligned}$$

(3) ボー・レート設定例

表11-4 ボー・レート・ジェネレータ設定データ

ボー・ レート [bps]	fx = 10.0 MHz				fx = 8.38 MHz				fx = 4.19 MHz			
	TPS63- TPS60	k	算出値	ERR [%]	TPS63- TPS60	k	算出値	ERR [%]	TPS63- TPS60	k	算出値	ERR [%]
600	6H	130	601	0.16	6H	109	601	0.11	5H	109	601	0.11
1200	5H	130	1202	0.16	5H	109	1201	0.11	4H	109	1201	0.11
2400	4H	130	2404	0.16	4H	109	2403	0.11	3H	109	2403	0.11
4800	3H	130	4808	0.16	3H	109	4805	0.11	2H	109	4805	0.11
9600	2H	130	9615	0.16	2H	109	9610	0.11	1H	109	9610	0.11
10400	2H	120	10417	0.16	2H	101	10371	0.28	1H	101	10475	- 0.28
19200	1H	130	19231	0.16	1H	109	19220	0.11	0H	109	19220	0.11
31250	1H	80	31250	0.00	0H	134	31268	0.06	0H	67	31268	0.06
38400	0H	130	38462	0.16	0H	109	38440	0.11	0H	55	38090	- 0.80
76800	0H	65	76923	0.16	0H	55	76182	- 0.80	0H	27	77593	1.03
115200	0H	43	116279	0.94	0H	36	116389	1.03	0H	18	116389	1.03
153600	0H	33	151515	- 1.36	0H	27	155185	1.03	0H	14	149643	- 2.58
230400	0H	22	227272	- 1.36	0H	18	232778	1.03	0H	9	232778	1.03

- 備考** TPS63-TPS60 : クロック選択レジスタ6 (CKSR6) のビット3-0 (基本クロック (fxCLK6) 設定)
- k : ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) のMDL67-MDL60ビットで設定した値 (k = 8, 9, 10, ..., 255)
- fx : 高速システム・クロック発振周波数
- ERR : ボー・レート誤差

(4) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図11 - 26 受信時の許容ボー・レート範囲

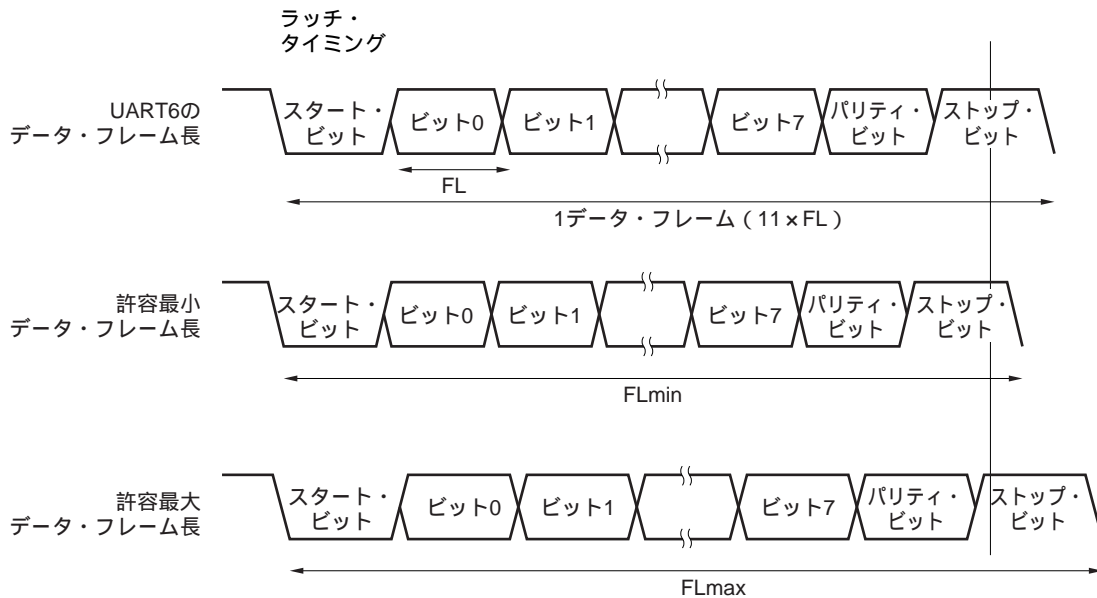


図11 - 26に示すように、スタート・ビット検出後はボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

- Brate : UART6のボー・レート
- k : BRGC6の設定値
- FL : 1ビット・データ長
- ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小データ・フレーム長} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大データ・フレーム長を求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UART6と送信先とのボー・レートの許容誤差を求めると次のようになります。

表11-5 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
8	+3.53 %	-3.61 %
20	+4.26 %	-4.31 %
50	+4.56 %	-4.58 %
100	+4.66 %	-4.67 %
255	+4.72 %	-4.73 %

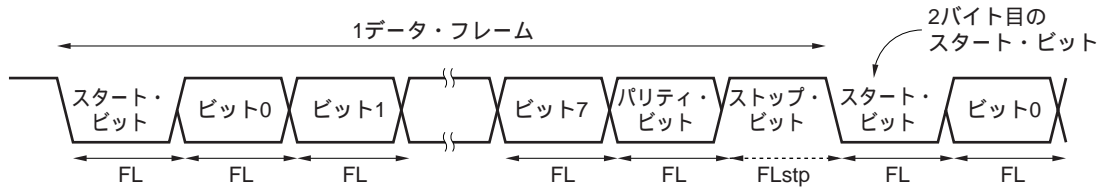
備考1. 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなります。

2. k : BRGC6の設定値

(5) 連続送信時のデータ・フレーム長

連続送信する場合、ストップ・ビットから次のスタート・ビットまでのデータ・フレーム長が通常より基本クロック2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので通信結果には影響しません。

図11 - 27 連続送信時のデータ・フレーム長



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数： f_{CLK6} とすると次の式が成り立ちます。

$$FLstp = FL + 2/f_{CLK6}$$

したがって、連続送信でのデータ・フレーム長は次のようになります。

$$\text{データ・フレーム長} = 11 \times FL + 2/f_{CLK6}$$

第12章 シリアル・インタフェースCSI10

12.1 シリアル・インタフェースCSI10の機能

シリアル・インタフェースCSI10には、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減することができます。

詳細については12.4.1 **動作停止モード**を参照してください。

(2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック (SCK10) とシリアル・データ (SI10, SO10) の3本のラインにより、8ビット・データ通信を行うモードです。

3線式シリアルI/Oモードは同時送受信動作が可能なので、データ通信の処理時間が短くなります。

シリアル通信する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

詳細については12.4.2 **3線式シリアルI/Oモード**を参照してください。

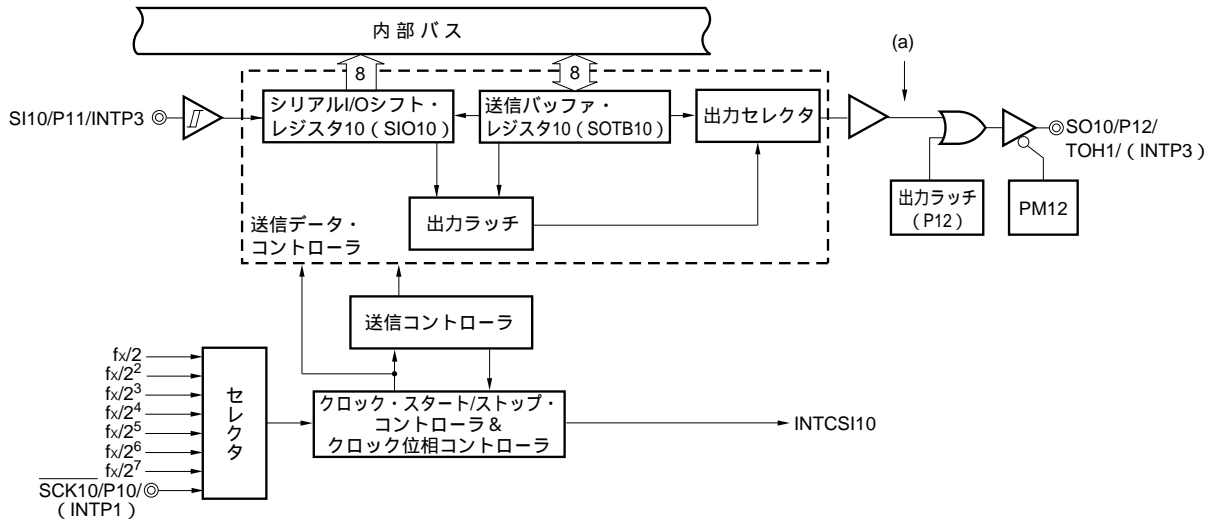
12.2 シリアル・インタフェースCSI10の構成

シリアル・インタフェースCSI10は、次のハードウェアで構成しています。

表12-1 シリアル・インタフェースCSI10の構成

項 目	構 成
レジスタ	送信バッファ・レジスタ10 (SOTB10) シリアルI/Oシフト・レジスタ10 (SIO10)
制御レジスタ	シリアル動作モード・レジスタ10 (CSIM10) シリアル・クロック選択レジスタ10 (CSIC10) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)

図12-1 シリアル・インタフェースCSI10のブロック図



(1) 送信バッファ・レジスタ10 (SOTB10)

送信データを設定するレジスタです。

シリアル動作モード選択レジスタ10 (CSIM10)のビット7 (CSIE10)とビット6 (TRMD10)が1のとき、SOTB10にデータを書き込むことにより送受信動作が開始されます。

SOTB10に書き込まれたデータは、シリアル/Oシフト・レジスタ10でパラレル・データからシリアル・データに変換され、シリアル出力 (SO10) に出力されます。

SOTB10は、8ビット・メモリ操作命令で書き込みと読み出しができます。

RESET入力により、不定になります。

注意 CSOT10 = 1 (シリアル通信中) のとき、SOTB10へのアクセスは行わないでください。

(2) シリアル/Oシフト・レジスタ10 (SIO10)

パラレル-シリアルの変換を行う8ビットのレジスタです。

SIO10は、8ビット・メモリ操作命令で読み出しができます。

シリアル動作モード・レジスタ10 (CSIM10)のビット6 (TRMD10)が0のとき、SIO10からデータを読み出すことにより受信動作が開始されます。

受信時は、データがシリアル入力 (SI10) からSIO10に読み込まれます。

RESET入力により、00Hになります。

注意 CSOT10 = 1 (シリアル通信中) のとき、SIO10へのアクセスは行わないでください。

12.3 シリアル・インタフェースCSI10を制御するレジスタ

シリアル・インタフェースCSI10は、次の4種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ10 (CSIM10)
- ・シリアル・クロック選択レジスタ10 (CSIC10)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

(1) シリアル動作モード・レジスタ10 (CSIM10)

動作モード，動作の許可 / 不許可を設定するレジスタです。

CSIM10は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図12-2 シリアル動作モード・レジスタ10 (CSIM10) のフォーマット

アドレス：FF80H リセット時：00H R/W^{注1}

略号	<input checked="" type="checkbox"/> 7	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	0	DIR10	0	0	0	CSOT10

CSIE10	3線式シリアルI/Oモード時の動作の制御
0	動作禁止 ^{注2} ，内部回路を非同期リセットする ^{注3}
1	動作許可

TRMD10 ^{注4}	送受信モードの制御
0 ^{注5}	受信モード (送信禁止)
1	送受信モード

DIR10 ^{注6}	先頭ビットの指定
0	MSB
1	LSB

CSOT10	動作モード・フラグ
0	通信停止
1	通信中

注1. ビット0はRead Onlyです。

2. P10/SCK10/ (INTP1)，P12/SO10/TOH1/ (INTP3) を汎用ポートとして使用する場合，CSIM10は初期状態と同じ設定 (00H) にしてください。
3. リセットされるのはCSIM10のビット0 (CSOT10) とシリアルI/Oシフト・レジスタ10 (SIO10) です。
4. CSOT10 = 1 (シリアル通信中) のとき，TRMD10を書き換えしないでください。
5. TRMD10が0のとき，SO10出力はロウ・レベルに固定されます。SIO10からデータを読み出すと受信が開始します。
6. CSOT10 = 1 (シリアル通信中) のとき，DIR10を書き換えしないでください。

注意 ビット5には必ず0を設定してください。

(2) シリアル・クロック選択レジスタ10 (CSIC10)

データ・クロックの位相, カウント・クロックを設定するレジスタです。

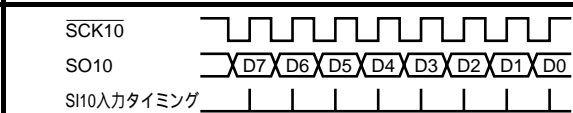
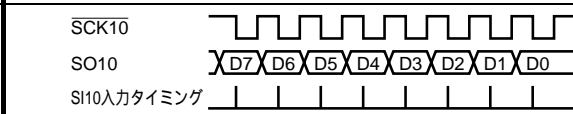
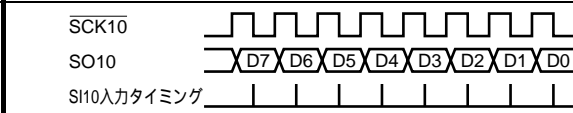
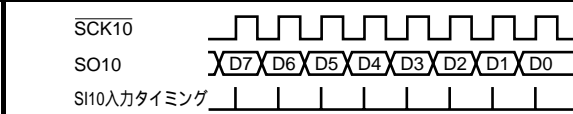
CSIC10は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図12-3 シリアル・クロック選択レジスタ10 (CSIC10) のフォーマット

アドレス : FF81H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CSIC10	0	0	0	CKP10	DAP10	CKS102	CKS101	CKS100

CKP10	DAP10	データ送受信タイミングの指定	タイプ
0	0	$\overline{\text{SCK10}}$ 	1
0	1	$\overline{\text{SCK10}}$ 	2
1	0	$\overline{\text{SCK10}}$ 	3
1	1	$\overline{\text{SCK10}}$ 	4

CKS102	CKS101	CKS100	CSI10のシリアル・クロックの選択	モード
0	0	0	$f_x/2$ (5 MHz)	マスタ・モード
0	0	1	$f_x/2^2$ (2.5 MHz)	マスタ・モード
0	1	0	$f_x/2^3$ (1.25 MHz)	マスタ・モード
0	1	1	$f_x/2^4$ (625 kHz)	マスタ・モード
1	0	0	$f_x/2^5$ (312.5 kHz)	マスタ・モード
1	0	1	$f_x/2^6$ (156.25 kHz)	マスタ・モード
1	1	0	$f_x/2^7$ (78.13 kHz)	マスタ・モード
1	1	1	$\overline{\text{SCK10}}$ への外部クロック入力	スレーブ・モード

注意1. CPUへの供給クロックに低速内蔵発振クロックを選択している場合, シリアル・クロックに低速内蔵発振クロックの分周クロックが供給されます。このとき, シリアル・インタフェースCSI10の動作は保証されません。

2. CSIE10 = 1 (動作許可) のとき, CSIC10への書き込みを行わないでください。

3. P10/ $\overline{\text{SCK10}}$ /(INTP1), P12/SO10/TOH1/(INTP3)を汎用ポートとして使用する場合, CSIC10は初期状態と同じ設定(00H)にしてください。

4. リセット後のデータ・クロックの位相タイプは, タイプ1になります。

備考1. () 内は $f_x = 10$ MHz動作時

2. f_x : 高速システム・クロック発振周波数

(3) ポート・モード・レジスタ1 (PM1)

ポート1の入力/出力を1ビット単位で設定するレジスタです。

P10/ $\overline{\text{SCK10}}$ (INTP1) をシリアル・インタフェースのクロック出力として使用するとき, PM10に0を, P10の出力ラッチに1を設定してください。

P12/SO10/TOH1 (INTP3) をシリアル・インタフェースのデータ出力として使用するとき, PM12およびP12の出力ラッチに0を設定してください。

P10/ $\overline{\text{SCK10}}$ (INTP1) をシリアル・インタフェースのクロック入力, P11/SI10/INTP3をシリアル・インタフェースのデータ入力として使用するとき, PM10, PM11に1を設定してください。このとき, P10, P11の出力ラッチは, 0または1のどちらでもかまいません。

PM1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, FFHになります。

図12 - 4 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	1	1	PM15	PM14	PM013	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

12.4 シリアル・インタフェースCSI10の動作

シリアル・インタフェースCSI10は、次の2種類のモードがあります

- ・動作停止モード
- ・3線式シリアルI/Oモード

12.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。また動作停止モードでは、P10/SCK10/(INTP1)、P11/SI10/INTP3、P12/SO10/TOH1/(INTP3)を通常の入出力ポートとして使用できます。

(1) 使用するレジスタ

動作停止モードの設定は、シリアル動作モード・レジスタ10 (CSIM10) で行います。

動作停止モードにする場合は、CSIM10のビット7 (CSIE10) に0を設定してください。

(a) シリアル動作モード・レジスタ10 (CSIM10)

CSIM10は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

アドレス：FF80H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	0	DIR10	0	0	0	CSOT10

CSIE10	3線式シリアルI/Oモード時の動作の制御
0	動作禁止 ^{注1} 、内部回路を非同期リセットする ^{注2}

注1 . P10/SCK10/(INTP1)、P12/SO10/TOH1/(INTP3)を汎用ポートとして使用する場合、CSIM10は初期状態と同じ設定(00H)にしてください。

2 . リセットされるのはCSIM10のビット0 (CSOT10) とシリアルI/Oシフト・レジスタ10 (SIO10) です。

12.4.2 3線式シリアルI/Oモード

クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

シリアル・クロック ($\overline{\text{SCK10}}$) , シリアル出力 (SO10) , シリアル入力 (SI10) の3本のラインで通信を行います。

(1) 使用するレジスタ

- ・シリアル動作モード・レジスタ10 (CSIM10)
- ・シリアル・クロック選択レジスタ10 (CSIC10)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

3線式シリアルI/Oモードの基本的な動作設定手順例は次のようになります。

CSIC10レジスタを設定 (図12 - 3を参照)

CSIM10レジスタのビット0, 4, 6 (CSOT10, DIR10, TRMD10) を設定 (図12 - 2を参照)

CSIM10レジスタのビット7 (CSIE10) をセット (1) 送受信可能

送信バッファ・レジスタ10 (SOTB10) にデータを書き込み データ送受信開始

シリアルI/Oシフト・レジスタ10 (SIO10) からデータを読み出し データ受信開始

注意 ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表12 - 2 レジスタの設定と端子の関係

CSIE10	TRMD10	PM11	P11	PM12	P12	PM10	P10	CSI10 の動作	端子機能		
									P11/SI10 /INTP3	P12/SO10 /TOH1/ (INTP3)	P10/SCK10 /(INTP1)
0	x	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	停止	P11 /INTP3	P12 /TOH1/ (INTP3)	P10 /(INTP1) ^{注2}
1	0	1	x	x ^{注1}	x ^{注1}	1	x	スレーブ 受信 ^{注3}	SI10	P12 /TOH1/ (INTP3)	SCK10 (入力) ^{注3}
1	1	x ^{注1}	x ^{注1}	0	0	1	x	スレーブ 送信 ^{注3}	P11 /INTP3	SO10	SCK10 (入力) ^{注3}
1	1	1	x	0	0	1	x	スレーブ 送受信 ^{注3}	SI10	SO10	SCK10 (入力) ^{注3}
1	0	1	x	x ^{注1}	x ^{注1}	0	1	マスタ 受信	SI10	P12 /TOH1/ (INTP3)	SCK10 (出力)
1	1	x ^{注1}	x ^{注1}	0	0	0	1	マスタ 送信	P11 /INTP3	SO10	SCK10 (出力)
1	1	1	x	0	0	0	1	マスタ 送受信	SI10	SO10	SCK10 (出力)

注1 . ポート機能として設定することができます。

2 . P10/SCK10/ (INTP1) をポート機能として使用する場合 , CKP10を0に設定してください。

3 . スレーブとして使用する場合 , CKS102, CKS101, CKS100 = 1, 1, 1に設定してください。

- 備考**
- x : don't care
 - CSIE10 : シリアル動作モード・レジスタ10 (CSIM10) のビット7
 - TRMD10 : CSIM10のビット6
 - CKP10 : シリアル・クロック選択レジスタ10 (CSIC10) のビット4
 - CKS102, CKS101, CKS100 : CSIC10のビット2-0
 - PM1 x : ポート・モード・レジスタ
 - P1 x : ポートの出力ラッチ

(2) 通信動作

3線式シリアルI/Oモードでは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアル動作モード・レジスタ10 (CSIM10) のビット6 (TRMD10) が1の場合、データの送受信が可能です。送信バッファ・レジスタ10 (SOTB10) に値を書き込むことにより、送受信が開始されます。またシリアル動作モード・レジスタ10 (CSIM10) のビット6 (TRMD10) が0の場合、データの受信が可能です。シリアルI/Oシフト・レジスタ10 (SIO10) からデータを読み出すことにより、受信動作が開始されます。

通信開始後、CSIM10のビット0 (CSOT10) が1になります。8ビットの通信が終了すると、通信終了割り込み要求フラグ (CSIF10) がセットされ、CSOT10は0にクリアされます。そして次の通信が可能になります。

注意 CSOT10 = 1 (シリアル通信中) のとき、コントロール・レジスタとデータ・レジスタにアクセスしないでください。

図12 - 5 3線式シリアルI/Oモードのタイミング (1/2)

(1) 送受信タイミング (タイプ1 ; TRMD10 = 1, DIR10 = 0, CKP10 = 0, DAP10 = 0)

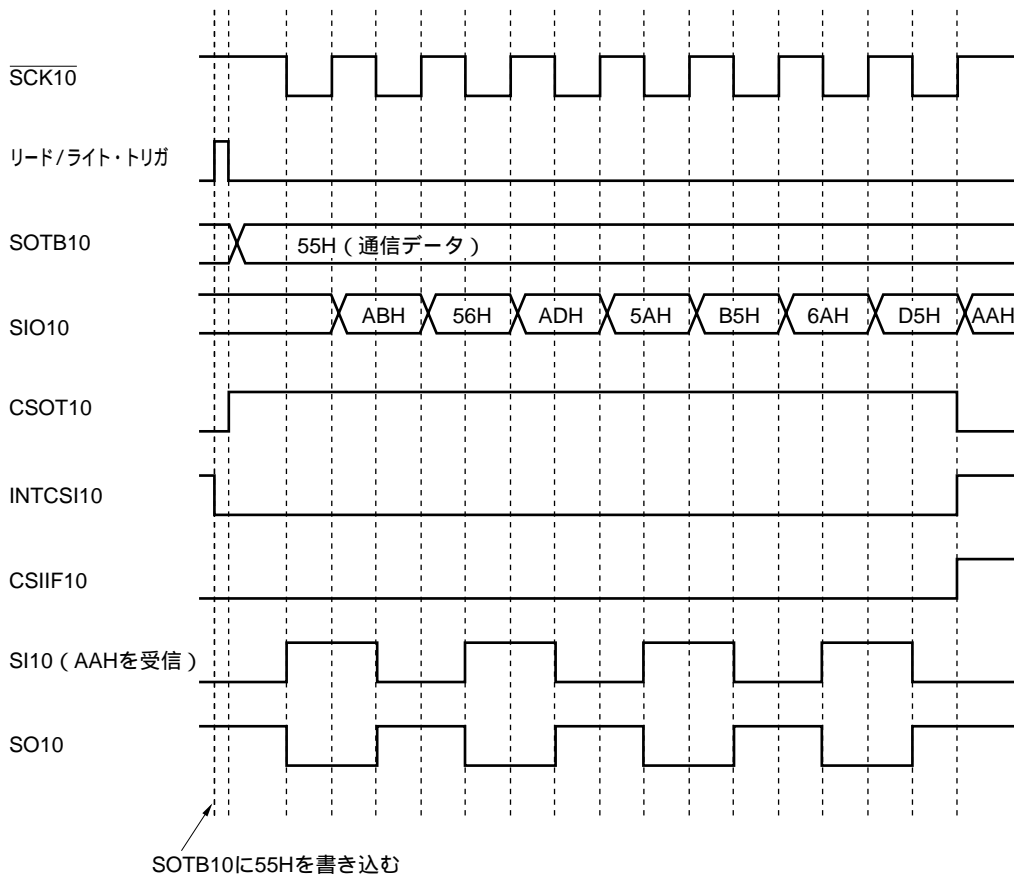


図12 - 5 3線式シリアルI/Oモードのタイミング (2/2)

(2) 送受信タイミング (タイプ2 ; TRMD10 = 1, DIR10 = 0, CKP10 = 0, DAP10 = 1)

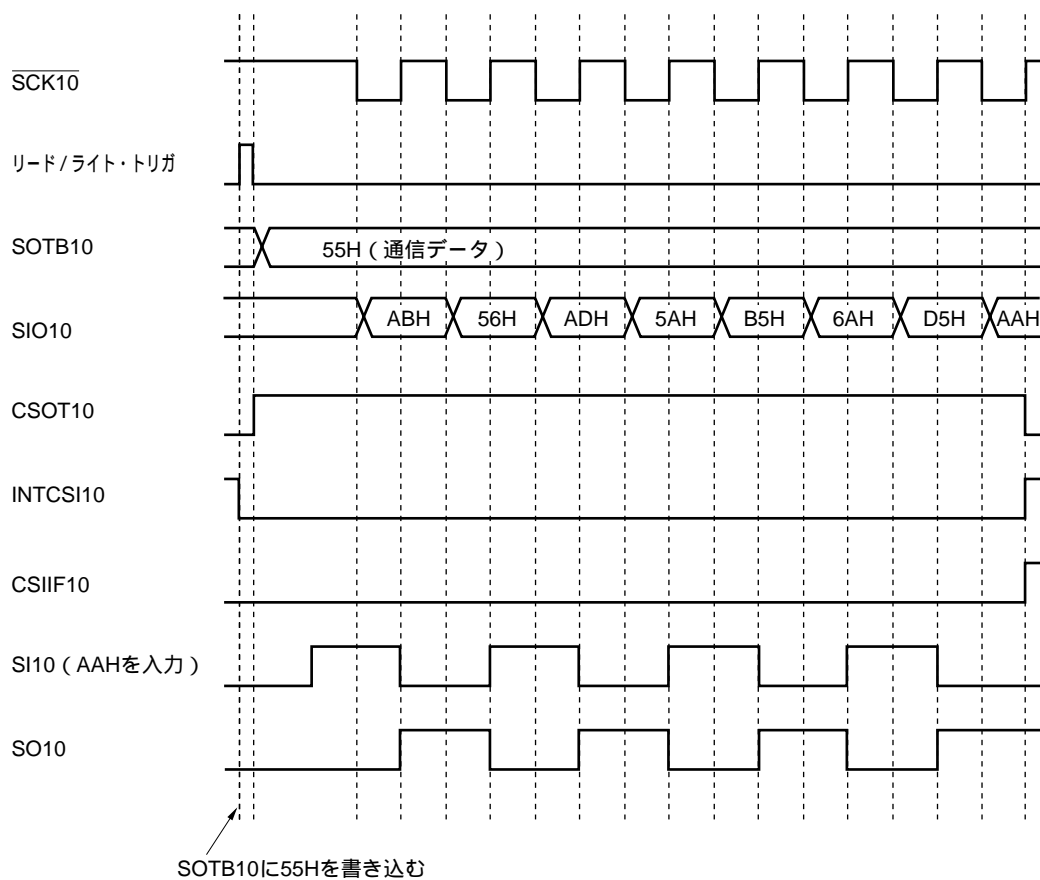
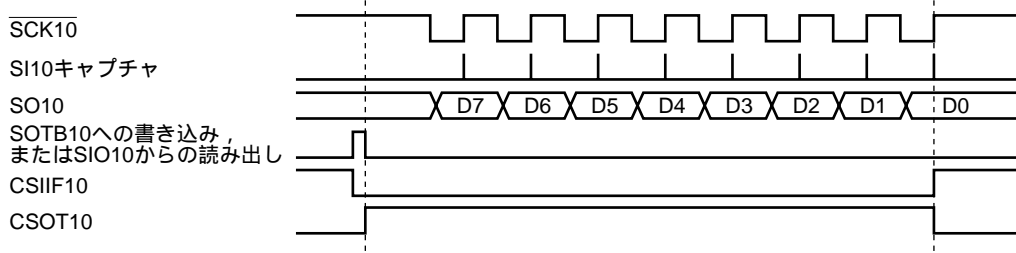
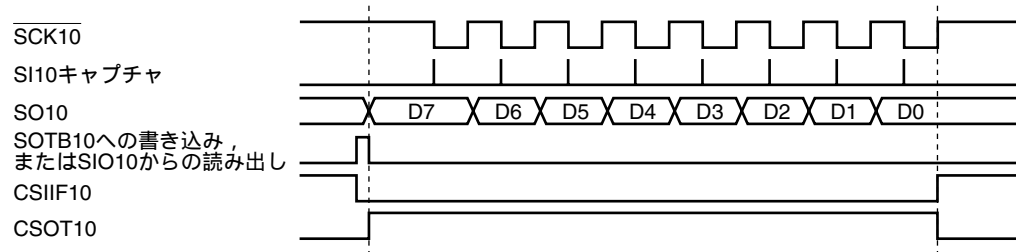


図12-6 クロック/データ位相のタイミング

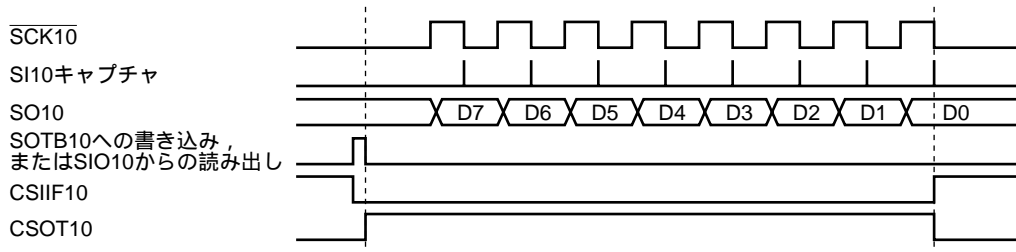
(a) タイプ1 ; CKP10 = 0, DAP10 = 0



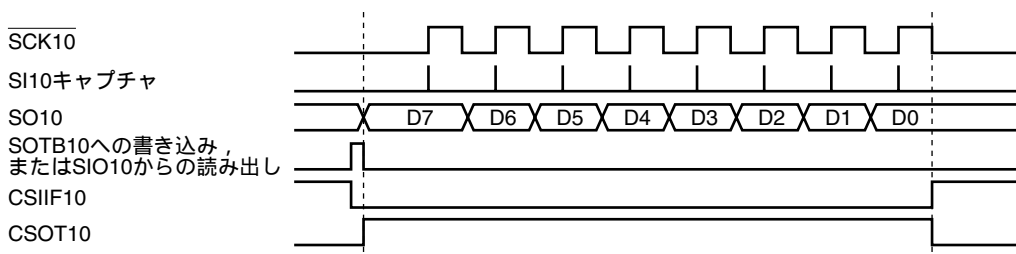
(b) タイプ2 ; CKP10 = 0, DAP10 = 1



(c) タイプ3 ; CKP10 = 1, DAP10 = 0



(d) タイプ4 ; CKP10 = 1, DAP10 = 1

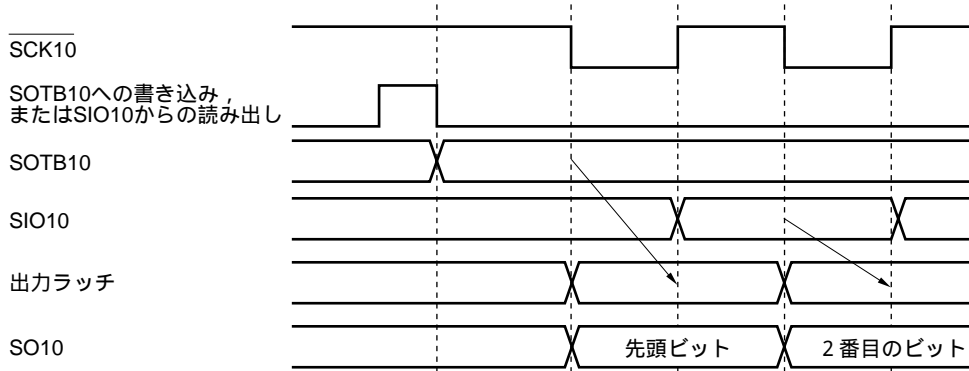


(3) SO10端子への出力タイミング (先頭ビット)

通信開始時、送信バッファ・レジスタ10 (SOTB10) の値は、SO10端子から出力されます。このとき、先頭ビットの出力動作を説明します。

図12 - 7 先頭ビットの出力動作

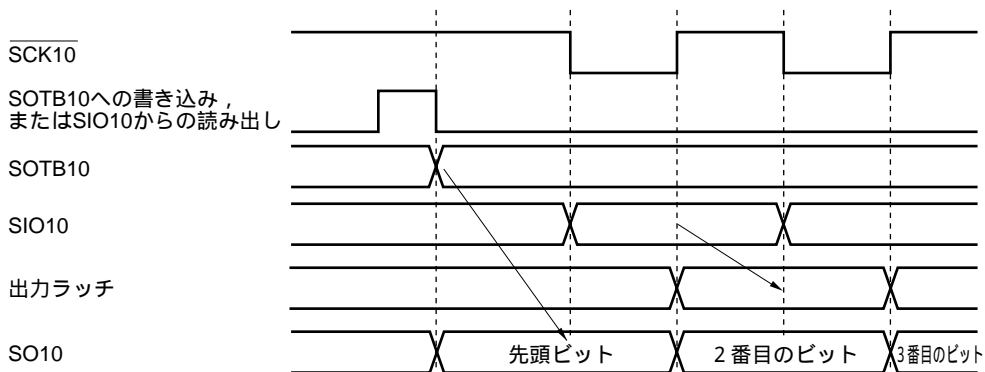
(1) CKP10 = 0, DAP10 = 0 (またはCKP10 = 1, DAP10 = 0)



先頭ビットは、 $\overline{SCK10}$ の立ち下がり (または立ち上がり) エッジでSOTB10レジスタから直接、出力ラッチにラッチされ、さらに出力セレクタを通してSO10端子から出力されます。次の $\overline{SCK10}$ の立ち上がり (または立ち下がり) エッジでSOTB10レジスタの値がSIO10レジスタに転送され、1ビット分シフトします。同時にSIO10端子を通して、受信データの先頭ビットがSIO10レジスタに格納されます。

2番目のビット以降は、次の $\overline{SCK10}$ の立ち下がり (または立ち上がり) エッジでSIO10から出力ラッチにラッチされ、データがSO10端子から出力されます。

(2) CKP10 = 0, DAP10 = 1 (またはCKP10 = 1, DAP10 = 1)



先頭ビットは、SOTB10のライト信号またはSIO10レジスタのリード信号の立ち下がりエッジでSOTB10レジスタから直接、出力セレクタを通してSO10端子から出力されます。次の $\overline{SCK10}$ の立ち下がり (または立ち上がり) エッジでSOTB10レジスタの値がSIO10レジスタに転送され、1ビット分シフトします。同時にSIO10端子を通して、受信データの先頭ビットがSIO10レジスタに格納されます。

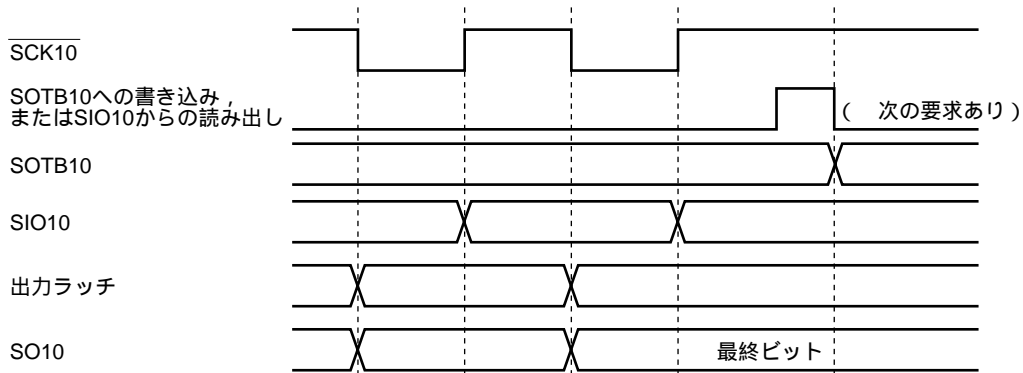
2番目のビット以降は、次の $\overline{SCK10}$ の立ち上がり (または立ち下がり) エッジでSIO10から出力ラッチにラッチされ、データがSO10端子から出力されます。

(4) SO10端子の出力値 (最終ビット)

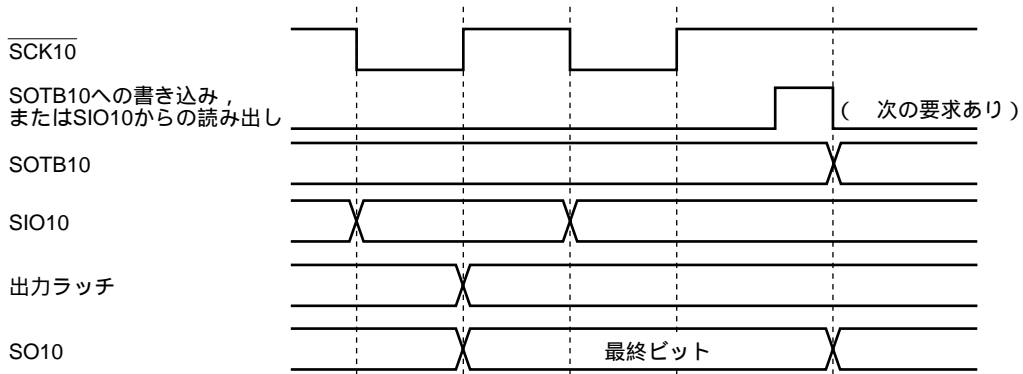
通信終了後, SO10端子の出力は, 最終ビットの出力値を保持します。

図12 - 8 SO10端子の出力値 (最終ビット)

(1) タイプ1 ; CKP10 = 0, DAP10 = 0 (またはCKP10 = 1, DAP10 = 0)



(2) タイプ2 ; CKP10 = 0, DAP10 = 1 (またはCKP10 = 1, DAP10 = 1)



(5) SO10出力 (図12 - 1の (a) を参照) について

シリアル動作モード・レジスタ10 (CSIM10) のビット7 (CSIE10) を0に設定すると, SO10出力は次のようになります。

表12 - 3 SO10出力の状態

TRMD10	DAP10	DIR10	SO10出力 ^{注1}
TRMD10 = 0 ^{注2}	-	-	ロウ・レベル出力 ^{注2}
TRMD10 = 1	DAP10 = 0	-	SO10ラッチの値 (ロウ・レベル出力)
	DAP10 = 1	DIR10 = 0	SOTB10のビット7の値
DIR10 = 1		SOTB10のビット0の値	

注1. 実際のSO10/P12/TOH1/(INTP3) 端子の出力は, SO10出力のほかに, PM12, P12によって決まります。

2. リセット時の状態です。

注意 TRMD10, DAP10, DIR10に値を書き込むと, SO10の出力値が変わります。

第13章 マンチェスタ・コード・ジェネレータ

13.1 マンチェスタ・コード・ジェネレータの機能

マンチェスタ・コード・ジェネレータには、次の3種類のモードがあります。

(1) 動作停止モード

マンチェスタ・コード・ジェネレータ/ビット・シーケンシャル・バッファによる出力を行わないときに使用するモードです。消費電力を低減することができます。

詳細については13.4.1 **動作停止モード**を参照してください。

(2) マンチェスタ・コード・ジェネレータ・モード

MCGO端子からマンチェスタ・コードを送信するモードです。

転送ビット長が設定可能で、様々なビット長の転送が可能です。データ転送間の出力レベル、および8ビット転送データのLSB/MSBファーストを設定することが可能です。

(3) ビット・シーケンシャル・バッファ・モード

MCGO端子からビット・シーケンシャル・データを送信するモードです。

転送ビット長が設定可能で、様々なビット長の転送が可能です。データ転送間の出力レベル、および8ビット転送データのLSB/MSBファーストを設定することが可能です。

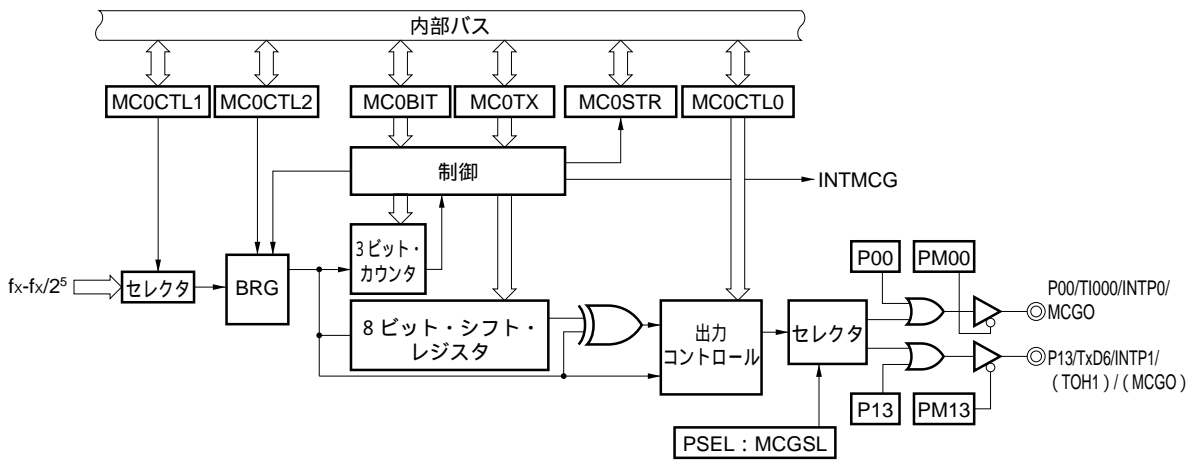
13.2 マンチェスタ・コード・ジェネレータの構成

マンチェスタ・コード・ジェネレータは、次のハードウェアで構成しています。

表13-1 マンチェスタ・コード・ジェネレータの構成

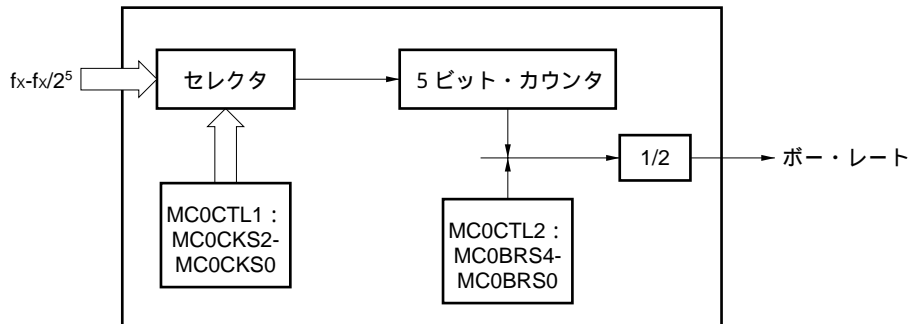
項目	構成
レジスタ	MCG送信バッファ・レジスタ (MC0TX) MCG送信ビット数指定レジスタ (MC0BIT)
制御レジスタ	MCGコントロール・レジスタ0 (MC0CTL0) MCGコントロール・レジスタ1 (MC0CTL1) MCGコントロール・レジスタ2 (MC0CTL2) MCGステータス・レジスタ (MC0STR) ポート・モード・レジスタ0, 1 (PM0, PM1) ポート・レジスタ0, 1 (P0, P1)

図13 - 1 マンチェスタ・コード・ジェネレータのブロック図



- 備考** BRG : ボー・レート・ジェネレータ
 fx : 高速システム・クロック発振周波数
 MC0BIT : MCG送信ビット数指定レジスタ
 MC0CTL2- MC0CTL0 : MCGコントロール・レジスタ2-0
 MC0STR : MCGステータス・レジスタ
 MC0TX : MCG送信バッファ・レジスタ
 MCGSL : PSELレジスタのビット0
 PSEL : 兼用端子切り替えレジスタ

図13 - 2 ボー・レート・ジェネレータのブロック図



- 備考** fx : 高速システム・クロック発振周波数
 MC0CTL2, MC0CTL1 : MCGコントロール・レジスタ2, 1
 MC0CKS2- MC0CKS0 : MC0CTL1レジスタのビット2-0
 MC0BRS4- MC0BRS0 : MC0CTL2レジスタのビット4-0

(1) MCG送信バッファ・レジスタ (MC0TX)

送信データを設定するレジスタです。MCGコントロール・レジスタ0 (MC0CTL0)のビット7 (MC0PWR) が1のときMC0TXにデータを書き込むことにより、送信動作を開始します。

MC0TXに書き込まれたデータは8ビット・シフト・レジスタによりシリアル・データに変換され、MCGO端子に出力されます。

出力コードはMCGコントロール・レジスタ0 (MC0CTL0)のビット1 (MC0OSL)によりマンチェスタ・コードかビット・シーケンシャルかを設定できます。

MC0TXは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

(2) MCG送信ビット数指定レジスタ (MC0BIT)

送信ビット数を設定するレジスタです。

MC0TXに送信データを設定する前に、このレジスタに送信ビット数を設定してください。

連続送信時には、送信開始割り込み (INTMCG)発生後に次の送信ビット数を書き込む必要があります。送信ビット数が前の送信ビット数と同じ場合はこのレジスタに書き込む必要はありません。

MC0BITは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、07Hになります。

図13 - 3 MCG送信ビット数指定レジスタ (MC0BIT) のフォーマット

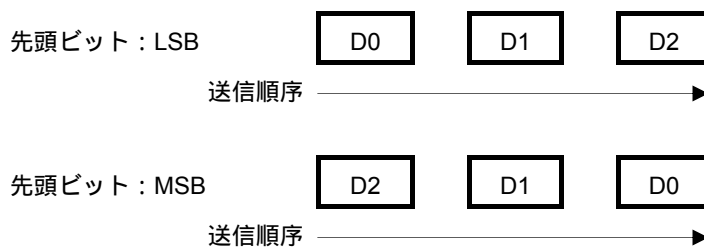
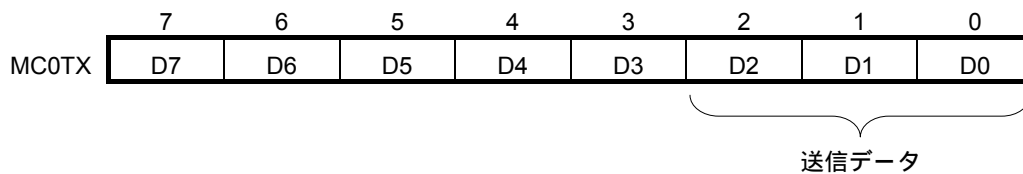
アドレス : FF65H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
MC0BIT	0	0	0	0	0	MC0BIT2	MC0BIT1	MC0BIT0

MC0BIT2	MC0BIT1	MC0BIT0	送信ビット数の設定
0	0	0	1ビット
0	0	1	2ビット
0	1	0	3ビット
0	1	1	4ビット
1	0	0	5ビット
1	0	1	6ビット
1	1	0	7ビット
1	1	1	8ビット

備考 送信ビット数を7ビット以下に選択した場合，MSB / LSBの設定に関わらず，常に下位側のビットが送信データとなります。

例 MCG送信バッファ・レジスタ (MC0TX) にD7-D0を設定し，送信ビット数を3ビットに設定した場合



13.3 マンチェスタ・コード・ジェネレータを制御するレジスタ

マンチェスタ・コード・ジェネレータは，次の6種類のレジスタで制御します。

- ・MCGコントロール・レジスタ0 (MC0CTL0)
- ・MCGコントロール・レジスタ1 (MC0CTL1)
- ・MCGコントロール・レジスタ2 (MC0CTL2)
- ・MCGステータス・レジスタ (MC0STR)
- ・ポート・モード・レジスタ0, 1 (PM0, PM1)
- ・ポート・レジスタ0, 1 (P0, P1)

(1) MCGコントロール・レジスタ0 (MC0CTL0)

動作モードや動作の許可 / 禁止を設定するレジスタです。

MC0CTL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、10Hになります。

図13 - 4 MCGコントロール・レジスタ0 (MC0CTL0) のフォーマット

アドレス : FF60H リセット時 : 10H R/W

略号	[7]	6	5	[4]	3	2	[1]	[0]
MC0CTL0	MC0PWR	0	0	MC0DIR	0	0	MC0OSL	MC0OLV

MC0PWR	動作制御
0	動作停止
1	動作許可

MC0DIR	先頭ビットの指定
0	MSB
1	LSB

MC0OSL	データ・フォーマット
0	マンチェスタ・コード
1	ビット・シーケンシャル・データ

MC0OLV	送信サスペンド時の出力レベル
0	ロウ・レベル
1	ハイ・レベル

注意 MC0DIR, MC0OSL, MC0OLVビットを書き換えるときは、MC0PWRビットをクリア(0)してから行ってください(MC0PWRビットをセット(1)すると同時に8ビット・メモリ操作命令で書き換えることは可能です)。

(2) MCGコントロール・レジスタ1 (MC0CTL1)

マンチェスタ・コード・ジェネレータの基本クロックを設定するレジスタです。

MC0CTL1は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図13-5 MCGコントロール・レジスタ1 (MC0CTL1) のフォーマット

アドレス：FF61H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
MC0CTL1	0	0	0	0	0	MC0CKS2	MC0CKS1	MC0CKS0

MC0CKS2	MC0CKS1	MC0CKS0	基本クロック (f _{XCLK}) 選択
0	0	0	f _x (10 MHz)
0	0	1	f _x /2 (5 MHz)
0	1	0	f _x /2 ² (2.5 MHz)
0	1	1	f _x /2 ³ (1.25 MHz)
1	0	0	f _x /2 ⁴ (625 kHz)
1	0	1	f _x /2 ⁵ (312.5 kHz)
1	1	0	
1	1	1	

注意 MC0CKS2-MC0CKS0ビットを書き換える場合は、MC0CTL0レジスタのビット7 (MC0PWR) = 0にしてから行ってください。

- 備考**1. f_x：高速システム・クロック発振周波数
 2. () 内は、f_x = 10 MHz動作時

(3) MCGコントロール・レジスタ2 (MC0CTL2)

送信ポー・レートを設定するレジスタです。

MC0CTL2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、1FHになります。

図13-6 MCGコントロール・レジスタ2 (MC0CTL2) のフォーマット

アドレス：FF62H リセット時：1FH R/W

略号	7	6	5	4	3	2	1	0
MC0CTL2	0	0	0	MC0BRS4	MC0BRS3	MC0BRS2	MC0BRS1	MC0BRS0

MC0BRS4	MC0BRS3	MC0BRS2	MC0BRS1	MC0BRS0	k	5ビット・カウンタの出カクロック選択
0	0	0	x	x	4	$f_{\text{XCLK}}/4$
0	0	1	0	0	4	$f_{\text{XCLK}}/4$
0	0	1	0	1	5	$f_{\text{XCLK}}/5$
0	0	1	1	0	6	$f_{\text{XCLK}}/6$
0	0	1	1	1	7	$f_{\text{XCLK}}/7$
.
.
.
.
.
1	1	1	0	0	28	$f_{\text{XCLK}}/28$
1	1	1	0	1	29	$f_{\text{XCLK}}/29$
1	1	1	1	0	30	$f_{\text{XCLK}}/30$
1	1	1	1	1	31	$f_{\text{XCLK}}/31$

注意1. MC0BRS4-MC0BRS0 ビットを書き換える場合は、MC0CTL0 レジスタのビット7 (MC0PWR) = 0にしてから行ってください。

2. 5ビット・カウンタの出カクロックをさらに1/2分周したものが、ポー・レート値となります。

備考1. f_{XCLK} : MC0CTL1レジスタのMC0CKS2-MC0CKS0ビットで選択した基本クロックの周波数

2. k : MC0BRS4-MC0BRS0ビットで設定した値 (k = 4, 5, 6, 7, ..., 31)

3. x : 任意

(4) MCGステータス・レジスタ (MC0STR)

マンチェスタ・コード・ジェネレータの動作状態を示すレジスタです。

MC0STRは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$ 入力、またはMC0PWR = 0とすることにより、00Hになります。

図13 - 7 MCGステータス・レジスタ (MC0STR) のフォーマット

アドレス : FF63H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
MC0STR	MC0TSF	0	0	0	0	0	0	0

MC0TSF	データ送信状態
0	<ul style="list-style-type: none"> ・ RESET入力時 ・ MC0PWR = 0時 ・ 送信終了時に次の転送データがMC0TXに書き込まれていないとき
1	送信動作中

注意 連続送信中はこのフラグは常に1になっています。このフラグがクリアされているのを確認せずに送信動作の初期化を行わないでください。

13.4 マンチェスタ・コード・ジェネレータの動作

マンチェスタ・コード・ジェネレータの持つ次の3種類のモードについて説明します。

- ・動作停止モード
- ・マンチェスタ・コード・ジェネレータ・モード
- ・ビット・シーケンシャル・バッファ・モード

13.4.1 動作停止モード

動作停止モードでは送信は行いません。したがって、消費電力を低減することができます。また、動作停止モードでは、P00/TI00/INTP0/MCGO, P13/TxD6/INTP1/(TOH1)/(MCGO)端子を通常の入出力ポートとして使用できます。

(1) レジスタの説明

動作停止モードの設定は、MCGコントロール・レジスタ0 (MC0CTL0) で行います。

動作停止モードにする場合は、MC0CTL0のビット7 (MC0PWR) に0を設定してください。

(a) MCGコントロール・レジスタ0 (MC0CTL0)

MC0CTL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、10Hになります。

アドレス : FF60H リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
MC0CTL0	MC0PWR	0	0	MC0DIR	0	0	MC0OSL	MC0OLV

MC0PWR	動作制御
0	動作停止

13.4.2 マンチェスタ・コード・ジェネレータ・モード

マンチェスタ・コード・フォーマットでのデータ送信を行うモードです。MCGO端子を使用してデータ送信を行います。

(1) レジスタの説明

マンチェスタ・コード・ジェネレータ・モードの設定はMCGコントロール・レジスタ0 (MC0CTL0) , MCGコントロール・レジスタ1 (MC0CTL1) , MCGコントロール・レジスタ2 (MC0CTL2) で行います。

(a) MCGコントロール・レジスタ0 (MC0CTL0)

MC0CTL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、10Hになります。

アドレス：FF60H リセット時：10H R/W

略号	[7]	6	5	[4]	3	2	[1]	[0]
MC0CTL0	MC0PWR	0	0	MC0DIR	0	0	MC0OSL	MC0OLV

MC0PWR	動作制御
0	動作停止
1	動作許可

MC0DIR	先頭ビットの指定
0	MSB
1	LSB

MC0OSL	データ・フォーマット
0	マンチェスタ・コード
1	ビット・シーケンシャル・データ

MC0OLV	送信サスペンド時の出力レベル
0	ロウ・レベル
1	ハイ・レベル

注意 MC0DIR, MC0OSL, MC0OLVビットを書き換えるときは、MC0PWRビットをクリア(0)してから行ってください(MC0PWRビットをセット(1)すると同時に8ビット・メモリ操作命令で書き換えることは可能です)。

(b) MCGコントロール・レジスタ1 (MC0CTL1)

マンチェスタ・コード・ジェネレータの基本クロックを設定するレジスタです。

MC0CTL1は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

アドレス：FF61H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
MC0CTL1	0	0	0	0	0	MC0CKS2	MC0CKS1	MC0CKS0

MC0CKS2	MC0CKS1	MC0CKS0	基本クロック (f _{CLK}) 選択
0	0	0	f _x (10 MHz)
0	0	1	f _x /2 (5 MHz)
0	1	0	f _x /2 ² (2.5 MHz)
0	1	1	f _x /2 ³ (1.25 MHz)
1	0	0	f _x /2 ⁴ (625 kHz)
1	0	1	f _x /2 ⁵ (312.5 kHz)
1	1	0	
1	1	1	

注意 MC0CKS2-MC0CKS0ビットを書き換える場合は、MC0CTL0レジスタのビット7 (MC0PWR) = 0にしてから行ってください。

備考1. f_x：高速システム・クロック発振周波数

2. ()内は、f_x = 10 MHz動作時

(c) MCGコントロール・レジスタ2 (MC0CTL2)

送信ポー・レートを設定するレジスタです。

MC0CTL2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、1FHになります。

アドレス：FF62H リセット時：1FH R/W

略号	7	6	5	4	3	2	1	0
MC0CTL2	0	0	0	MC0BRS4	MC0BRS3	MC0BRS2	MC0BRS1	MC0BRS0

MC0BRS4	MC0BRS3	MC0BRS2	MC0BRS1	MC0BRS0	k	5ビット・カウンタの出カクロック選択
0	0	0	x	x	4	$f_{\text{XCLK}}/4$
0	0	1	0	0	4	$f_{\text{XCLK}}/4$
0	0	1	0	1	5	$f_{\text{XCLK}}/5$
0	0	1	1	0	6	$f_{\text{XCLK}}/6$
0	0	1	1	1	7	$f_{\text{XCLK}}/7$
.
.
.
.
1	1	1	0	0	28	$f_{\text{XCLK}}/28$
1	1	1	0	1	29	$f_{\text{XCLK}}/29$
1	1	1	1	0	30	$f_{\text{XCLK}}/30$
1	1	1	1	1	31	$f_{\text{XCLK}}/31$

注意1. MC0BRS4-MC0BRS0 ビットを書き換える場合は、MC0CTL0 レジスタのビット7 (MC0PWR) = 0にしてから行ってください。

2. 5ビット・カウンタの出カクロックをさらに1/2分周したものが、ポー・レート値となります。

備考1. f_{XCLK} : MC0CTL1レジスタのMC0CKS2-MC0CKS0ビットで選択した基本クロックの周波数

2. k : MC0BRS4-MC0BRS0ビットで設定した値 (k = 4, 5, 6, 7, ..., 31)

3. x : 任意

ボー・レート

ボー・レートは次の式によって求められます。

$$\cdot \text{ボー・レート} = \frac{f_{\text{CLK}}}{2 \times k} \text{ [bps]}$$

f_{CLK} : MC0CTL1レジスタのMC0CKS2-MC0CKS0ビットで選択した基本クロックの周波数

k : MC0CTL2レジスタのMC0BRS4-MC0BRS0ビットで設定した値 ($k = 4, 5, 6, \dots, 31$)

ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\cdot \text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

例 基本クロックの周波数 = 2.5 MHz = 2,500,000 Hz

MC0CTL2レジスタのMC0BRS4-MC0BRS0ビットの設定値 = 10000B ($k = 16$)

目標ボー・レート = 76800 bps

$$\begin{aligned} \text{ボー・レート} &= 2.5 \text{ M} / (2 \times 16) \\ &= 2,500,000 / (2 \times 16) = 78125 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (78125 / 76800 - 1) \times 100 \\ &= 1.725 \text{ [\%]} \end{aligned}$$

ボー・レート設定例

ボー・レート [bps]	fx = 10.0 MHz				fx = 8.38 MHz				fx = 8.0 MHz				fx = 6.0 MHz			
	MC0CKS2- MC0CKS0	k	算出値	ERR [%]	MC0CKS2- MC0CKS0	k	算出値	ERR [%]	MC0CKS2- MC0CKS0	k	算出値	ERR [%]	MC0CKS2- MC0CKS0	k	算出値	ERR [%]
4800	-	-	-	-	5,6, または7	27	4850	1.03	5,6, または7	26	4808	0.16	5,6, または7	20	4688	-2.34
9600	5,6, または7	16	9766	1.73	4	27	9699	1.03	5,6, または7	13	9615	0.16	4	20	9375	-2.34
19200	5	8	19531	1.73	3	27	19398	1.03	4	13	19231	0.16	4	10	18750	-2.34
31250	4	10	31250	0	2	17	30809	-1.41	4	8	31250	0	2	24	31250	0
38400	4	8	39063	1.73	2	27	38796	1.03	3	13	38462	0.16	2	20	37500	-2.34
56000	3	11	56818	1.46	2	19	55132	-1.55	3	9	55556	-0.79	1	27	55556	-0.79
62500	2	20	62500	0	2	17	61618	-1.41	3	8	62500	0	2	12	62500	0
76800	2	16	78125	1.73	1	27	77592	1.03	2	13	76923	0.16	2	10	75000	-2.34
115200	1	22	113636	-1.36	2	9	116389	1.03	1	17	117647	2.12	1	13	115385	0.16
125000	1	20	125000	0	1	17	123235	-1.41	1	16	125000	0	1	12	125000	0
153600	1	16	156250	1.73	2	7	149643	-2.58	1	13	153846	0.16	1	10	150000	-2.34
250000	1	10	250000	0	1	8	261875	4.75	1	8	250000	0	1	6	250000	0
					0	17	246471	-1.41								

備考 MC0CKS2-MC0CKS0 : MCGコントロール・レジスタ1 (MC0CTL1) のビット2-0 (基本クロック (fxCLK) 設定)

k : MCGコントロール・レジスタ2 (MC0CTL2) のビット4-0 (MC0BRS4-MC0BRS0) で設定した値 (k = 4, 5, 6, ..., 31)

fx : 高速システム・クロック発振周波数

ERR : ボー・レート誤差

(d) 兼用端子切り替えレジスタ (PSEL)

MCGO端子を選択するレジスタです。

PSELは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

アドレス：FF70H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PSEL	0	0	TOH1SL	MCGSL	0	0	INTP1SL	INTP3SL

MCGSL	MCGO端子の選択
0	P00/TI000/INTP0/MCGO
1	P13/TxD6/INTP1/(TOH1)/(MCGO)

注意 MCGSLビットを書き換える場合は、MC0CTL0レジスタのビット7 (MC0PWR) = 0にしてから行ってください。

(e) ポート・モード・レジスタ0, 1 (PM0, PM1)

ポート0, 1の入力/出力を1ビット単位で設定するレジスタです。

P00/TI000/INTP0/MCGO, P13/TxD6/INTP1/(TOH1)/(MCGO) 端子をマンチェスタ・コード出力として使用するとき、PM00, PM13に0を、P00, P13の出力ラッチに0を設定してください。

PM0, PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

アドレス：FF20H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	1	1	1	1	1	PM01	PM00

PM0n	P0n端子の入出力モードの選択 (n = 0, 1)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

アドレス：FF21H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	1	1	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) ポートの設定

(a) マンチェスタ・コード出力にP00/TI000/INTP0/MCGOを設定する場合

ポート・モード・レジスタ0のビット0 (PM00) : 0にクリア

ポート0のビット0 (P00) : 0にクリア

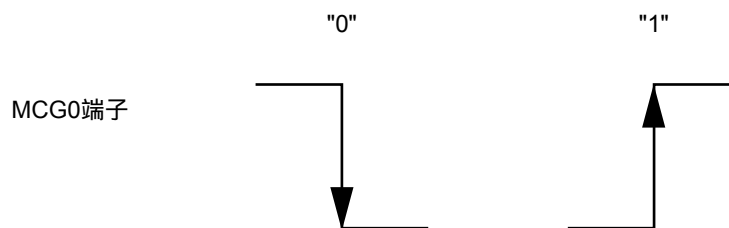
(b) マンチェスタ・コード出力にP13/TxD6/INTP1/ (TOH1) / (MCGO) を設定する場合

ポート・モード・レジスタ1のビット3 (PM13) : 0にクリア

ポート1のビット3 (P13) : 0にクリア

(3) マンチェスタ・コード出力の"0", "1"のフォーマット

μ PD780862サブシリーズでは, マンチェスタ・コード出力の"0", "1"のフォーマットは次のようになります。



(4) 送信動作

マンチェスタ・コード・ジェネレータ・モードでは、データは1-8ビット単位で送信されます。データのビットはマンチェスタ・コード・フォーマットで送信されます。MCGコントロール・レジスタ0(MC0CTL0)のビット7(MC0PWR)を1とすることにより送信可能状態になります。

送信サスペンド時の出力値はMC0CTL0レジスタのビット0(MC0OLV)により設定できます。

MCG送信ビット数指定レジスタ(MC0BIT)に送信データ・ビット長を設定したあとにMCG送信バッファ・レジスタ(MC0TX)に値を書き込むことにより送信が開始します。送信開始タイミングでMC0BITの値は3ビット・カウンタに転送され、MC0TXのデータは8ビット・シフト・レジスタへ転送されます。MC0TXの値が8ビット・シフト・レジスタへ転送されるタイミングで、割り込み要求信号(INTMCG)が発生します。その後、8ビット・シフト・レジスタはポー・レート・クロックにより連続的にシフトされ、ポー・レート・クロックとのEXOR信号がMCGO端子から出力されます。

連続送信を行う場合には、INTMCG発生後、データ送信中にMC0BIT、MC0TXに次のデータを設定することができます。

連続送信を行うためには、MC0TXへの次の転送データの書き込みは図13-8の(3)、(4)に示す期間内に終了しなくてはなりません。また、連続送信時にMC0BITを書き換える場合は、MC0TXの書き込みより前に行うようにしてください。

図13-8 マンチェスタ・コード・ジェネレータ・モードのタイミング(LSB先頭)(1/4)

(1) 送信タイミング(MC0OLV = 1, トータル送信ビット長 = 8ビット)

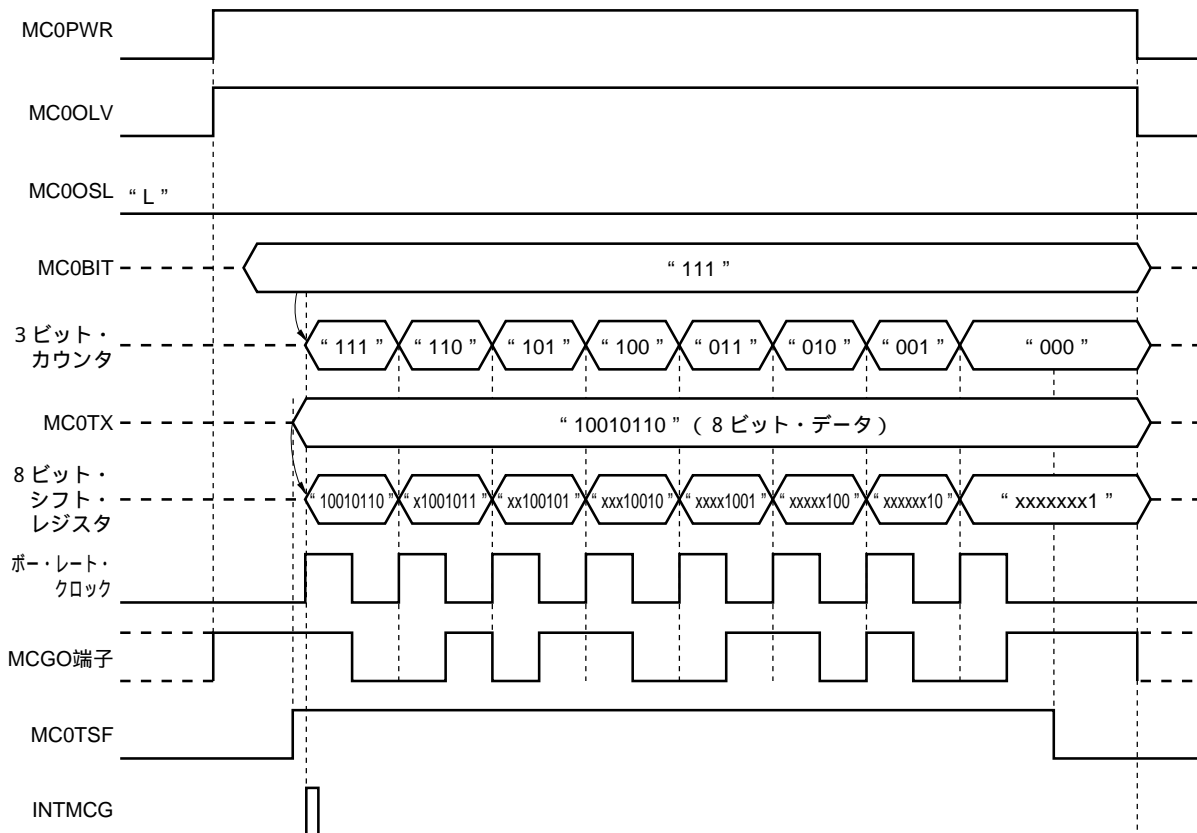


図13 - 8 マンチェスタ・コード・ジェネレータ・モードのタイミング (LSB先頭) (2/4)

(2) 送信タイミング (MC0OLV = 0, トータル送信ビット長 = 8ビット)

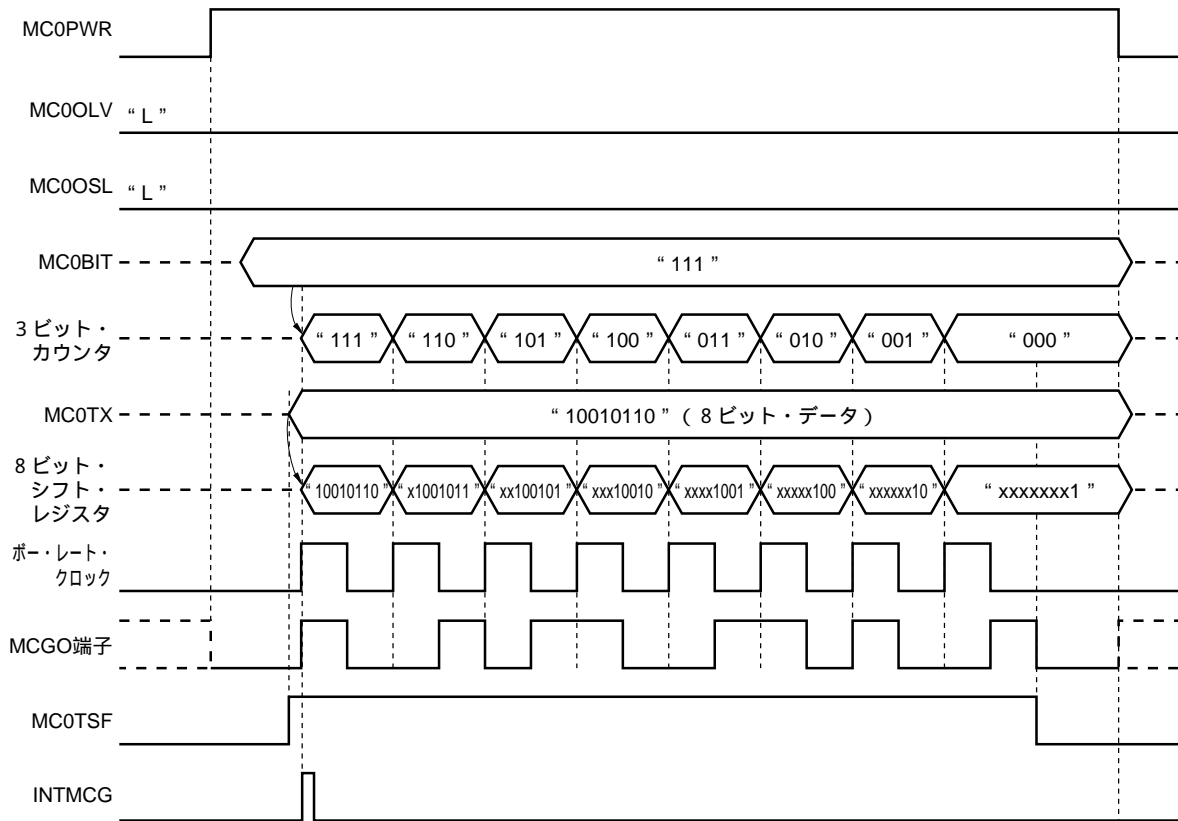
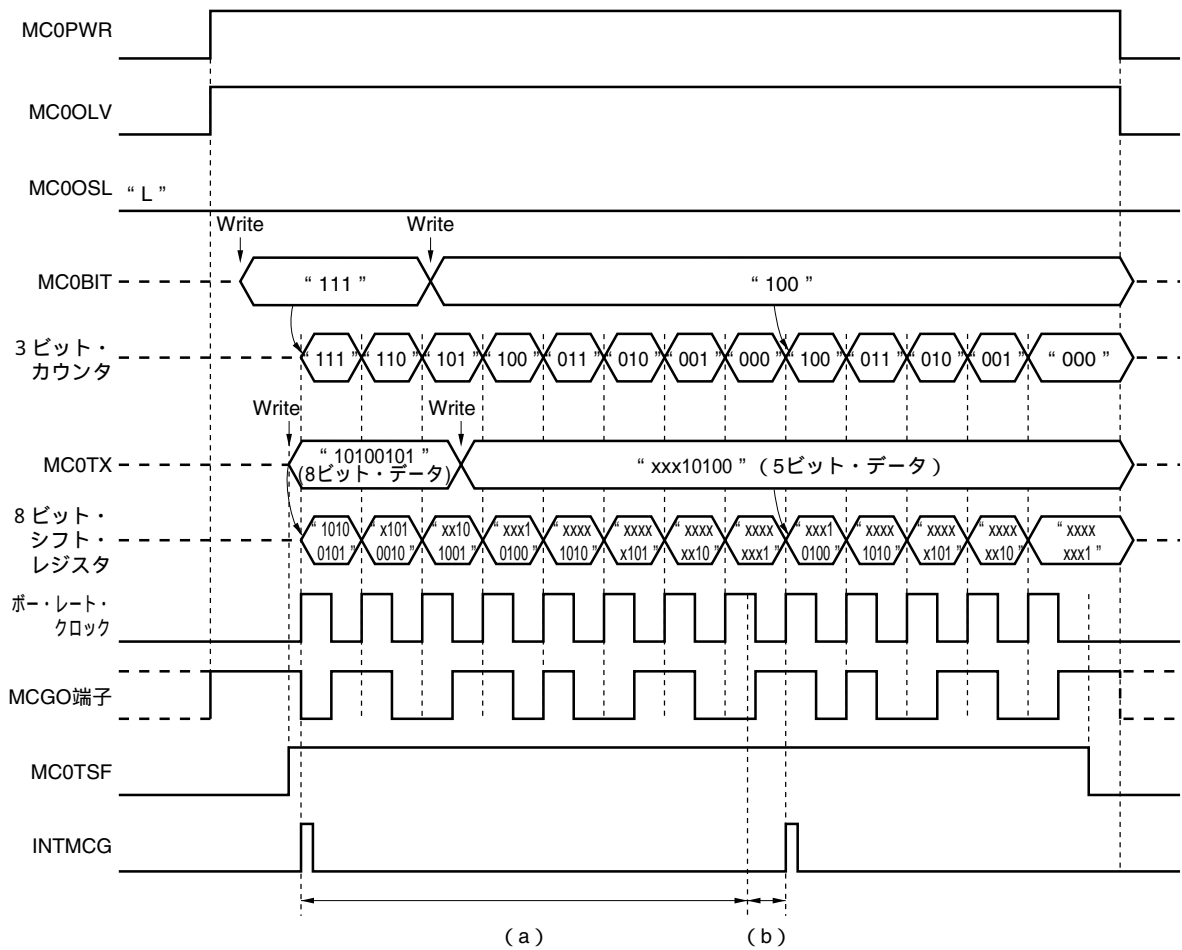


図13 - 8 マンチェスタ・コード・ジェネレータ・モードのタイミング (LSB先頭) (3/4)

(3) 送信タイミング (MC0OLV = 1, トータル送信ビット長 = 13ビット)



(a) : “8ビット転送期間” - (b)

(b) : 送信データの最終ビットの, “ポー・レートの1/2周期” + 1クロック (fxCLK) 前

fxCLK : MC0CTL1レジスタのMC0CKS2-MC0CKS0ビットで選択した動作基本クロックの周波数

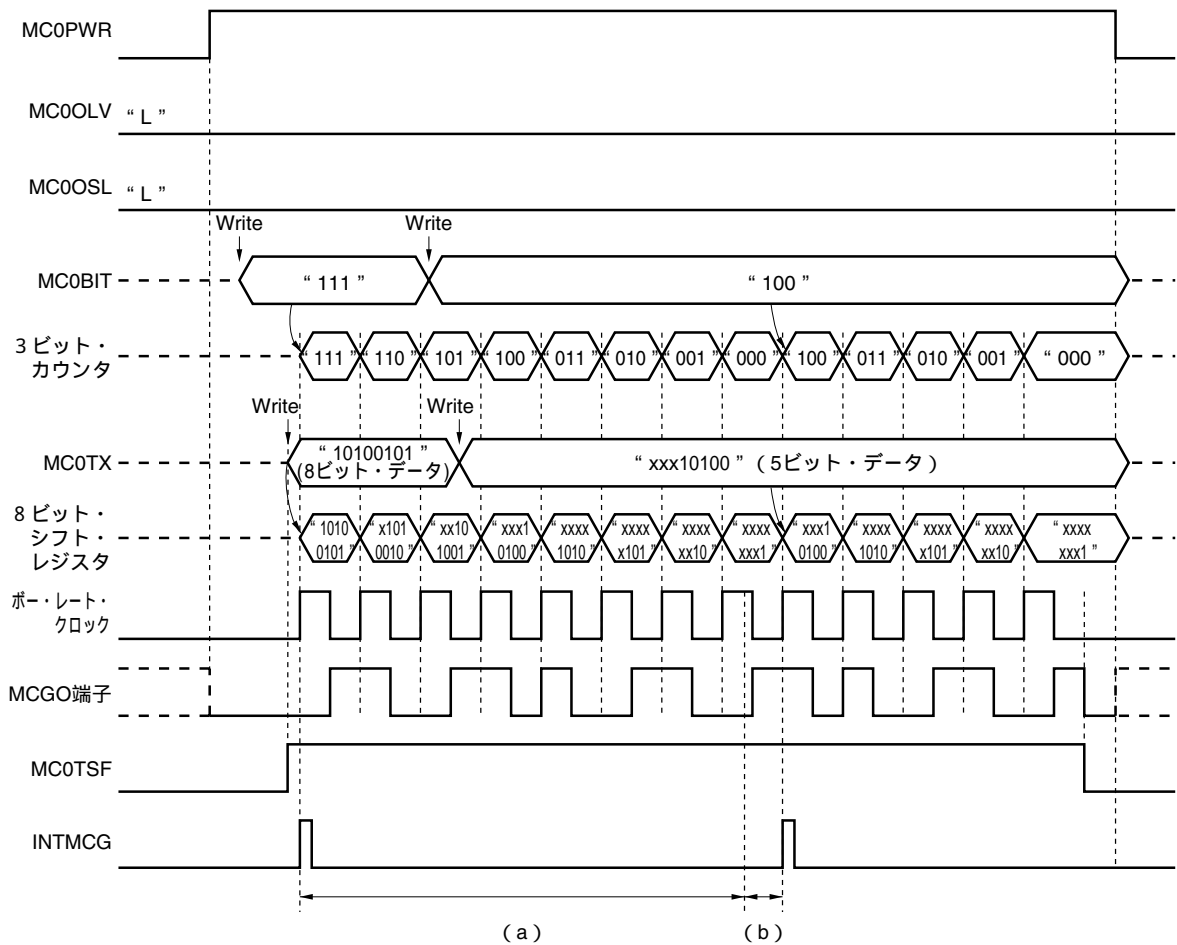
最終ビット : 3ビット・カウンタ = “000” 時の転送ビット

注意 連続送信時, MC0TXへの次の送信データの書き込みは, (a)の期間内に終了する必要があります。MC0TXへの次の送信データの書き込みが (b)の期間に実行されると, 次のデータ送信は最終ビット送信から2クロック (fxCLK) 後に開始します。

また, 連続送信時にMC0BITを書き換える場合は, MC0TXの書き込みより前に行うようにしてください。

図13 - 8 マンチェスタ・コード・ジェネレータ・モードのタイミング (LSB先頭) (4/4)

(4) 送信タイミング (MC0OLV = 0, トータル送信ビット長 = 13ビット)



(a) : "8ビット転送期間" - (b)

(b) : 送信データの最終ビットの, "ポー・レートの1/2周期" + 1クロック (fxCLK) 前

fxCLK : MC0CTL1レジスタのMC0CKS2-MC0CKS0ビットで選択した動作基本クロックの周波数

最終ビット : 3ビット・カウンタ = "000" 時の転送ビット

注意 連続送信時, MC0TXへの次の送信データの書き込みは, (a)の期間内に終了する必要があります。
 MC0TXへの次の送信データの書き込みが (b)の期間に実行されると, 次のデータ送信は最終ビット送信から2クロック (fxCLK) 後に開始します。
 また, 連続送信時にMC0BITを書き換える場合は, MC0TXの書き込みより前に行うようにしてください。

13.4.3 ビット・シーケンシャル・バッファ・モード

ビット・シーケンシャル・バッファ・モードは、シーケンシャルな信号出力を行います。MCGO端子を使用してデータ出力を行います。

(1) レジスタの説明

ビット・シーケンシャル・バッファ・モードの設定はMCGコントロール・レジスタ0 (MC0CTL0) , MCGコントロール・レジスタ1 (MC0CTL1) , MCGコントロール・レジスタ2 (MC0CTL2) で行います。

(a) MCGコントロール・レジスタ0 (MC0CTL0)

MC0CTL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、10Hになります。

アドレス：FF60H リセット時：10H R/W

略号	[7]	6	5	[4]	3	2	[1]	[0]
MC0CTL0	MC0PWR	0	0	MC0DIR	0	0	MC0OSL	MC0OLV

MC0PWR	動作制御
0	動作停止
1	動作許可

MC0DIR	先頭ビットの指定
0	MSB
1	LSB

MC0OSL	データ・フォーマット
0	マンチェスタ・コード
1	ビット・シーケンシャル・データ

MC0OLV	送信サスペンド時の出力レベル
0	ロウ・レベル
1	ハイ・レベル

注意 MC0DIR, MC0OSL, MC0OLVビットを書き換えるときは、MC0PWRビットをクリア(0)してから行ってください(MC0PWRビットをセット(1)すると同時に8ビット・メモリ操作命令で書き換えることは可能です)。

(b) MCGコントロール・レジスタ1 (MC0CTL1)

マンチェスタ・コード・ジェネレータの基本クロックを設定するレジスタです。

MC0CTL1は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

アドレス：FF61H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
MC0CTL1	0	0	0	0	0	MC0CKS2	MC0CKS1	MC0CKS0

MC0CKS2	MC0CKS1	MC0CKS0	基本クロック (f _{CLK}) 選択
0	0	0	f _x (10 MHz)
0	0	1	f _x /2 (5 MHz)
0	1	0	f _x /2 ² (2.5 MHz)
0	1	1	f _x /2 ³ (1.25 MHz)
1	0	0	f _x /2 ⁴ (625 kHz)
1	0	1	f _x /2 ⁵ (312.5 kHz)
1	1	0	
1	1	1	

注意 MC0CKS2-MC0CKS0ビットを書き換える場合は、MC0CTL0レジスタのビット7 (MC0PWR) = 0にしてから行ってください。

備考1. f_x：高速システム・クロック発振周波数

2. ()内は、f_x = 10 MHz動作時

(c) MCGコントロール・レジスタ2 (MC0CTL2)

送信ボー・レートを設定するレジスタです。

MC0CTL2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、1FHになります。

アドレス：FF62H リセット時：1FH R/W

略号	7	6	5	4	3	2	1	0
MC0CTL2	0	0	0	MC0BRS4	MC0BRS3	MC0BRS2	MC0BRS1	MC0BRS0

MC0BRS4	MC0BRS3	MC0BRS2	MC0BRS1	MC0BRS0	k	5ビット・カウンタの出カクロック選択
0	0	0	x	x	4	$f_{\text{XCLK}}/4$
0	0	1	0	0	4	$f_{\text{XCLK}}/4$
0	0	1	0	1	5	$f_{\text{XCLK}}/5$
0	0	1	1	0	6	$f_{\text{XCLK}}/6$
0	0	1	1	1	7	$f_{\text{XCLK}}/7$
.
.
.
.
1	1	1	0	0	28	$f_{\text{XCLK}}/28$
1	1	1	0	1	29	$f_{\text{XCLK}}/29$
1	1	1	1	0	30	$f_{\text{XCLK}}/30$
1	1	1	1	1	31	$f_{\text{XCLK}}/31$

注意1. MC0BRS4-MC0BRS0 ビットを書き換える場合は、MC0CTL0 レジスタのビット7 (MC0PWR) = 0にしてから行ってください。

2. 5ビット・カウンタの出カクロックをさらに1/2分周したものが、ボー・レート値となります。

備考1. f_{XCLK} : MC0CTL1レジスタのMC0CKS2-MC0CKS0ビットで選択した基本クロックの周波数

2. k : MC0BRS4-MC0BRS0ビットで設定した値 (k = 4, 5, 6, 7, ..., 31)

3. x : 任意

ボー・レート

ボー・レートは次の式によって求められます。

$$\cdot \text{ボー・レート} = \frac{f_{\text{CLK}}}{2 \times k} \text{ [bps]}$$

f_{CLK} : MC0CTL1レジスタのMC0CKS2-MC0CKS0ビットで選択した基本クロックの周波数

k : MC0CTL2レジスタのMC0BRS4-MC0BRS0ビットで設定した値 ($k = 4, 5, 6, \dots, 31$)

ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\cdot \text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

例 基本クロックの周波数 = 2.5 MHz = 2,500,000 Hz

MC0CTL2レジスタのMC0BRS4-MC0BRS0ビットの設定値 = 10000B ($k = 16$)

目標ボー・レート = 76800 bps

$$\begin{aligned} \text{ボー・レート} &= 2.5 \text{ M} / (2 \times 16) \\ &= 2,500,000 / (2 \times 16) = 78125 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (78125 / 76800 - 1) \times 100 \\ &= 1.725 \text{ [\%]} \end{aligned}$$

ボー・レート設定例

ボー・レート [bps]	fx = 10.0 MHz				fx = 8.38 MHz				fx = 8.0 MHz				fx = 6.0 MHz			
	MC0CKS2- MC0CKS0	k	算出値	ERR [%]	MC0CKS2- MC0CKS0	k	算出値	ERR [%]	MC0CKS2- MC0CKS0	k	算出値	ERR [%]	MC0CKS2- MC0CKS0	k	算出値	ERR [%]
4800	-	-	-	-	5,6, または7	27	4850	1.03	5,6, または7	26	4808	0.16	5,6, または7	20	4688	-2.34
9600	5,6, または7	16	9766	1.73	4	27	9699	1.03	5,6, または7	13	9615	0.16	4	20	9375	-2.34
19200	5	8	19531	1.73	3	27	19398	1.03	4	13	19231	0.16	4	10	18750	-2.34
31250	4	10	31250	0	2	17	30809	-1.41	4	8	31250	0	2	24	31250	0
38400	4	8	39063	1.73	2	27	38796	1.03	3	13	38462	0.16	2	20	37500	-2.34
56000	3	11	56818	1.46	2	19	55132	-1.55	3	9	55556	-0.79	1	27	55556	-0.79
62500	2	20	62500	0	2	17	61618	-1.41	3	8	62500	0	2	12	62500	0
76800	2	16	78125	1.73	1	27	77592	1.03	2	13	76923	0.16	2	10	75000	-2.34
115200	1	22	113636	-1.36	2	9	116389	1.03	1	17	117647	2.12	1	13	115385	0.16
125000	1	20	125000	0	1	17	123235	-1.41	1	16	125000	0	1	12	125000	0
153600	1	16	156250	1.73	2	7	149643	-2.58	1	13	153846	0.16	1	10	150000	-2.34
250000	1	10	250000	0	1	8	261875	4.75	1	8	250000	0	1	6	250000	0
					0	17	246471	-1.41								

備考 MC0CKS2-MC0CKS0 : MCGコントロール・レジスタ1 (MC0CTL1) のビット2-0 (基本クロック (fxCLK) 設定)

k : MCGコントロール・レジスタ2 (MC0CTL2) のビット4-0 (MC0BRS4-MC0BRS0) で設定した値 (k = 4, 5, 6, ..., 31)

fx : 高速システム・クロック発振周波数

ERR : ボー・レート誤差

(d) 兼用端子切り替えレジスタ (PSEL)

MCGO端子を選択するレジスタです。

PSELは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

アドレス：FF70H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PSEL	0	0	TOH1SL	MCGSL	0	0	INTP1SL	INTP3SL

MCGSL	MCGO端子の選択
0	P00/TI000/INTP0/MCGO
1	P13/TxD6/INTP1/(TOH1)/(MCGO)

注意 MCGSLビットを書き換える場合は、MC0CTL0レジスタのビット7 (MC0PWR) = 0にしてから行ってください。

(e) ポート・モード・レジスタ0, 1 (PM0, PM1)

ポート0, 1の入力/出力を1ビット単位で設定するレジスタです。

P00/TI000/INTP0/MCGO, P13/TxD6/INTP1/(TOH1)/(MCGO) 端子をビット・シーケンシャル・データ出力として使用するとき、PM00, PM13に0を、P00, P13の出力ラッチに0を設定してください。

PM0, PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

アドレス：FF20H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	1	1	1	1	1	PM01	PM00

PM0n	P0n端子の入出力モードの選択 (n = 0, 1)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

アドレス：FF21H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	1	1	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) ポートの設定

(a) ビット・シーケンシャル・データ出力にP00/TI000/INTP0/MCGOを設定する場合

ポート・モード・レジスタ0のビット0 (PM00) : 0にクリア

ポート0のビット0 (P00) : 0にクリア

(b) ビット・シーケンシャル・データ出力にP13/TxD6/INTP1/ (TOH1) / (MCGO) を設定する場合

ポート・モード・レジスタ1のビット3 (PM13) : 0にクリア

ポート1のビット3 (P13) : 0にクリア

(3) 送信動作

ビット・シーケンシャル・バッファ・モードでは、データは1-8ビット単位で送信されます。MCGコントロール・レジスタ0 (MC0CTL0) のビット7 (MC0PWR) を1とすることにより送信可能状態になります。

送信サスペンド時の出力値はMC0CTL0レジスタのビット0 (MC0OLV) により設定できます。

MCG送信ビット数指定レジスタ (MC0BIT) に送信データ・ビット長を設定したあとにMCG送信バッファ・レジスタ (MC0TX) に値を書き込むことにより送信が開始します。送信開始タイミングでMC0BITの値は3ビット・カウンタに転送され、MC0TXのデータは8ビット・シフト・レジスタへ転送されます。MC0TXの値が8ビット・シフト・レジスタへ転送されるタイミングで、割り込み要求信号 (INTMCG) が発生します。その後、8ビット・シフト・レジスタはポー・レート・クロックにより連続的にシフトされ、MCGO端子から出力されます。

連続送信を行う場合には、INTMCG発生後、データ送信中にMC0BIT、MC0TXに次のデータを設定することができます。

連続送信を行うためには、MC0TXへの次の転送データの書き込みは図13-9の(3)、(4)に示す期間内に終了しなくてはなりません。また、連続送信時にMC0BITを書き換える場合は、MC0TXの書き込みより前に行うようにしてください。

図13-9 ビット・シーケンシャル・バッファ・モードのタイミング (LSB先頭) (1/4)

(1) 送信タイミング (MC0OLV = 1, トータル送信ビット長 = 8ビット)

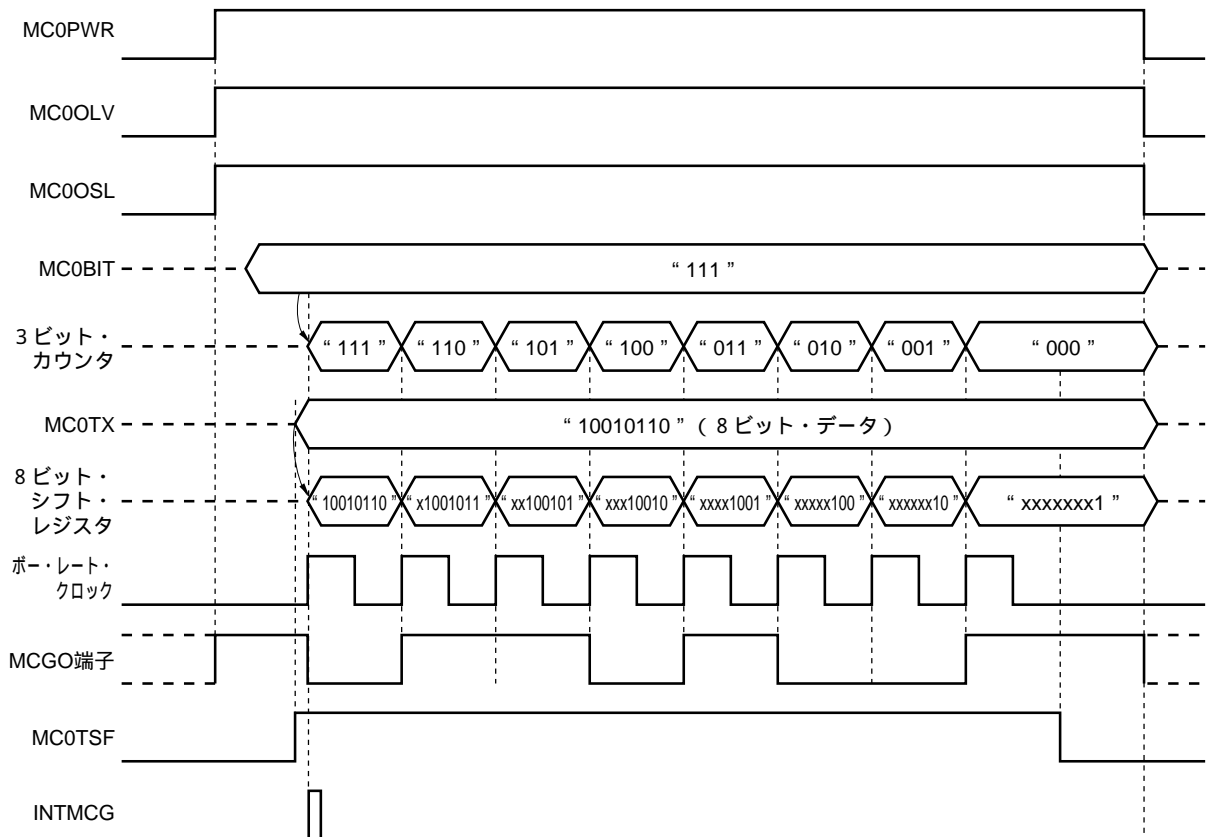


図13-9 ビット・シーケンシャル・バッファ・モードのタイミング (LSB先頭) (2/4)

(2) 送信タイミング (MC0OLV = 0, トータル送信ビット長 = 8ビット)

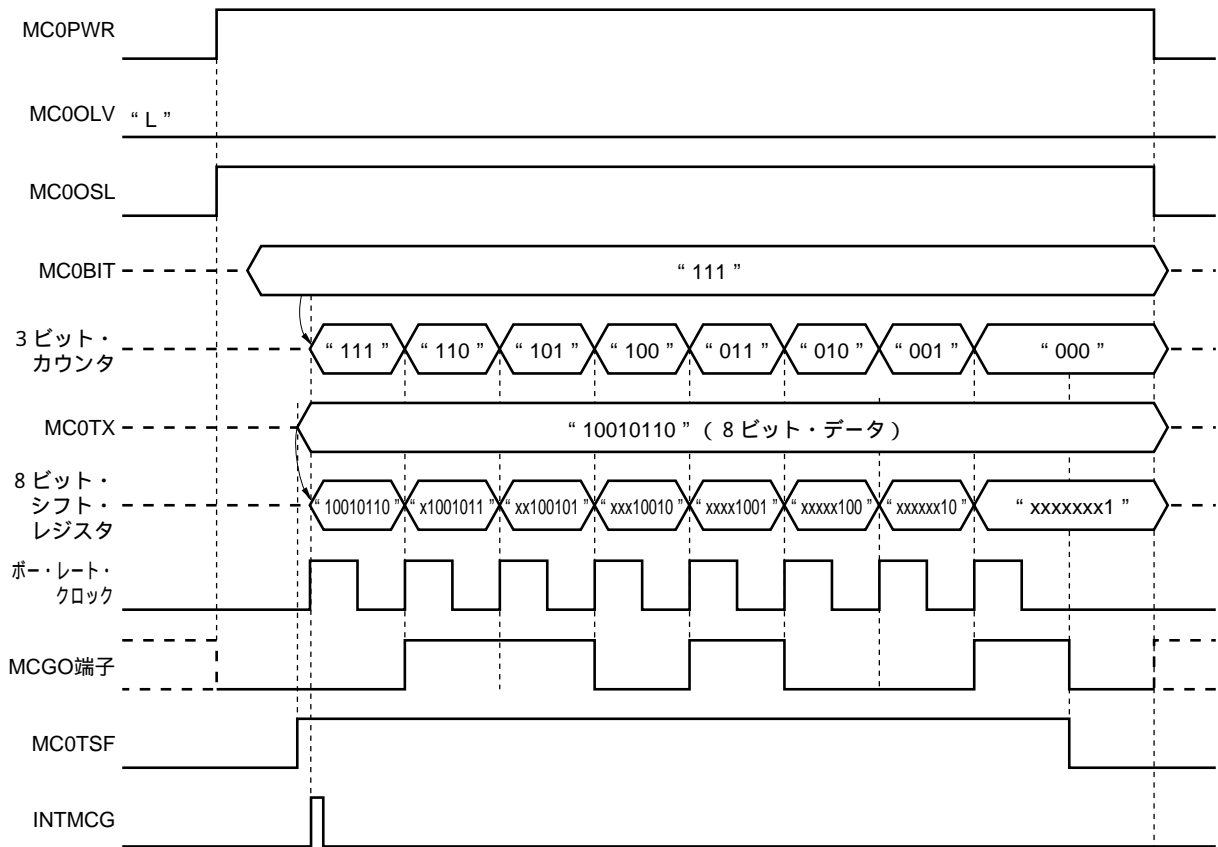
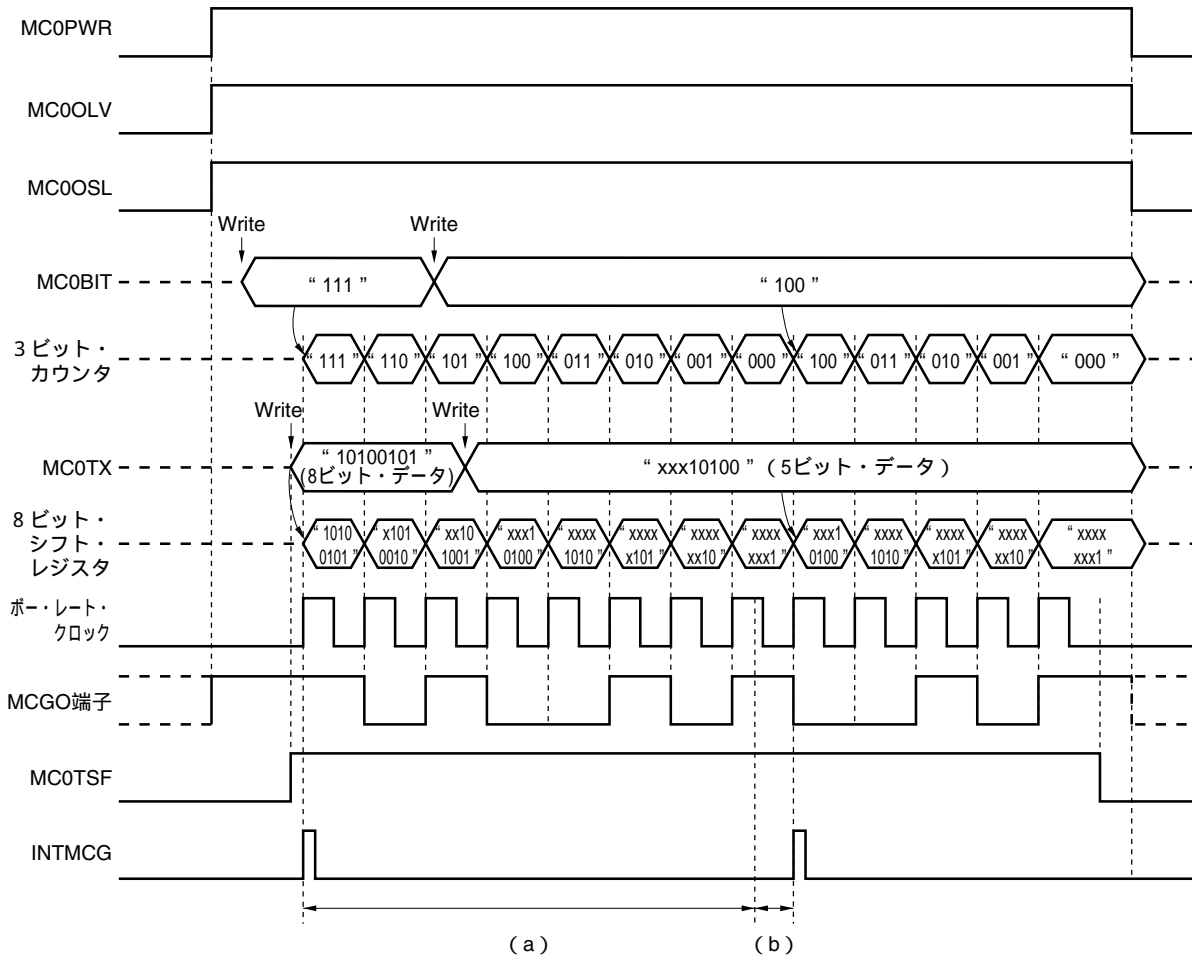


図13-9 ビット・シーケンシャル・バッファ・モードのタイミング (LSB先頭) (3/4)

(3) 送信タイミング (MC0OLV = 1, トータル送信ビット長 = 13ビット)



(a) : “ 8ビット転送期間 ” - (b)

(b) : 送信データの最終ビットの, “ ポーレートの1/2周期 ” + 1クロック (f_{CLK}) 前

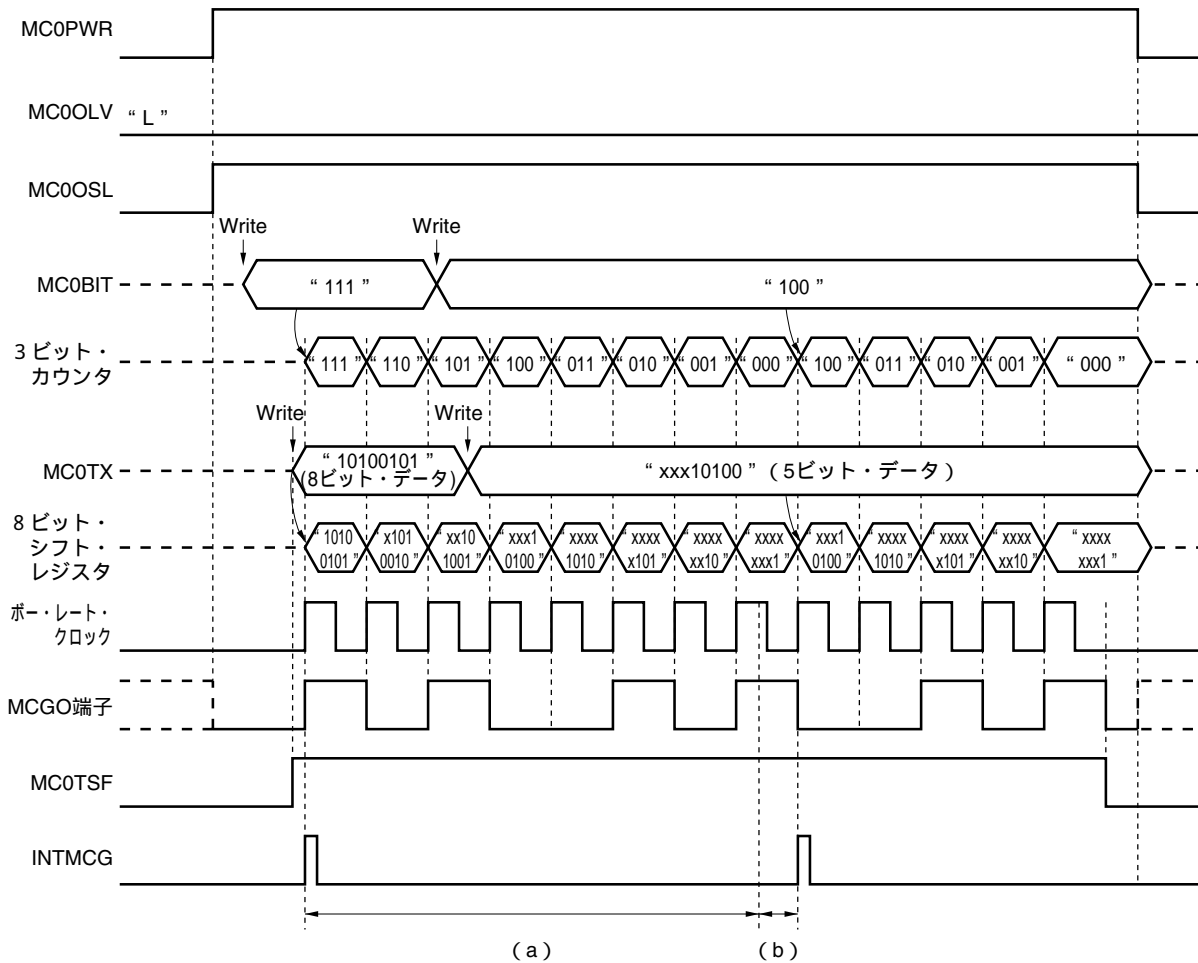
f_{CLK} : MC0CTL1レジスタのMC0CKS2-MC0CKS0ビットで選択した動作基本クロックの周波数

最終ビット : 3ビット・カウンタ = “ 000 ” 時の転送ビット

注意 連続送信時, MC0TXへの次の送信データの書き込みは, (a) の期間内に終了する必要があります。
 MC0TXへの次の送信データの書き込みが (b) の期間に実行されると, 次のデータ送信は最終ビット送信から2クロック (f_{CLK}) 後に開始します。
 また, 連続送信時にMC0BITを書き換える場合は, MC0TXの書き込みより前に行うようにしてください。

図13-9 ビット・シーケンシャル・バッファ・モードのタイミング (LSB先頭) (4/4)

(4) 送信タイミング (MC0OLV = 0, トータル送信ビット長 = 13ビット)



(a) : “8ビット転送期間” - (b)

(b) : 送信データの最終ビットの, “ポーレートの1/2周期” + 1クロック (f_{xCLK}) 前

f_{xCLK} : MC0CTL1レジスタのMC0CKS2-MC0CKS0ビットで選択した動作基本クロックの周波数

最終ビット : 3ビット・カウンタ = “000” 時の転送ビット

注意 連続送信時, MC0TXへの次の送信データの書き込みは, (a) の期間内に終了する必要があります。
 MC0TXへの次の送信データの書き込みが (b) の期間に実行されると, 次のデータ送信は最終ビット送信から2クロック (f_{xCLK}) 後に開始します。
 また, 連続送信時にMC0BITを書き換える場合は, MC0TXの書き込みより前に行うようにしてください。

第14章 割り込み機能

14.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ(PR0L, PR0H, PR1L)の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときの優先順位が決められています(表14 - 1 参照)。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

マスカブル割り込みには、外部割り込み要求が4要因、内部割り込み要求が12要因あります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

14.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計17要因あります。また、それ以外にリセット要因が最大で合計5要因あります(表14 - 1参照)。

表14 - 1 割り込み要因一覧

割り込みの種類	デフォルト・プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}
		名称	トリガ			
マスカブル	0	INTLVI	低電圧検出 ^{注3}	内部	0004H	(A)
	1	INTP0	端子入力エッジ検出	外部	0006H	(B)
	2	INTP1			0008H	
	3	INTP2			000AH	
	4	INTP3			000CH	
	5	INTMCG	マンチェスタ・コード送信完了	内部	000EH	(A)
	6	INTSRE6	UART6の受信エラー発生		0012H	
	7	INTSR6	UART6の受信完了		0014H	
	8	INTST6	UART6の送信完了		0016H	
	9	INTCSI10	CSI10の通信完了		0018H	
	10	INTTMH1	TMH1とCMP01の一致 (コンペア・レジスタ指定時)		001AH	
	11	INTTMH0	TMH0とCMP00の一致 (コンペア・レジスタ指定時)		001CH	
	12	INTTM50	TM50とCR50の一致 (コンペア・レジスタ指定時)		001EH	
	13	INTTM000	TM00とCR000の一致 (コンペア・レジスタ指定時) , TI010端子の有効エッジ検出 (キャプチャ・レジスタ指定時)		0020H	
	14	INTTM010	TM00とCR010の一致 (コンペア・レジスタ指定時) , TI000端子の有効エッジ検出 (キャプチャ・レジスタ指定時)		0022H	
15	INTAD	A/D変換終了	0024H			
ソフトウェア	-	BRK	BRK命令の実行	-	003EH	(C)
リセット	-	RESET	リセット入力	-	0000H	-
		POC	パワーオン・クリア			
		LVI	低電圧検出 ^{注4}			
		クロック・モニタ	高速システム・クロック停止検出			
		WDT	WDTのオーバフロー			

注1. デフォルト・プライオリティは、複数のマスカブル割り込みが同時に発生している場合に優先する順位で、0が最高順位、15が最低順位です。

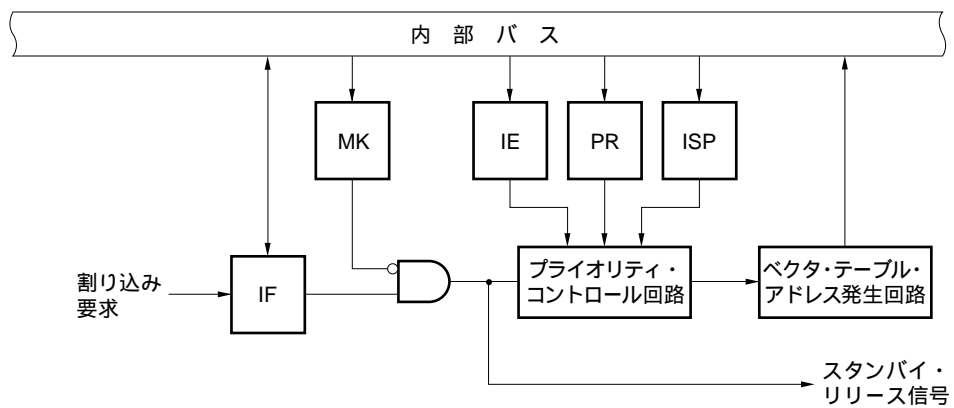
2. 基本構成タイプの(A)-(C)は、それぞれ図14-1の(A)-(C)に対応しています。

3. 低電圧検出レジスタ(LVIM)のビット1(LVIMD) = 0選択時。

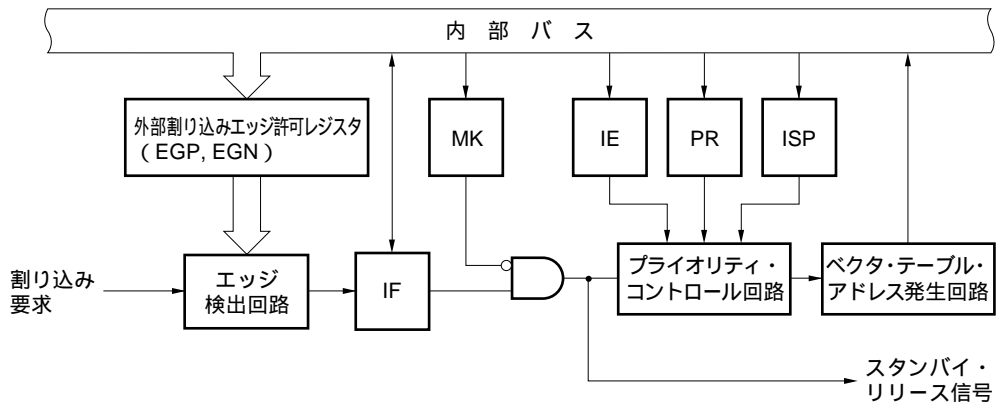
4. LVIMD = 1選択時。

図14 - 1 割り込み機能の基本構成

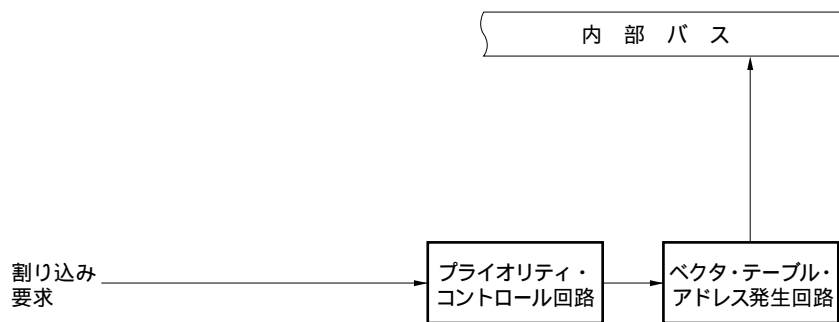
(A) 内部マスク割り込み



(B) 外部マスク割り込み (INTP0-INTP3)



(C) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサーピス・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ

14.3 割り込み機能を制御するレジスタ

割り込み機能は、次の8種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN)
- ・プログラム・ステータス・ワード (PSW)
- ・入力切り替え制御レジスタ (ISC)
- ・兼用端子切り替えレジスタ (PSEL)

また、外部割り込み要求で使用するINTP0, INTP1, INTP3端子を次のレジスタで選択します。

- ・入力切り替え制御レジスタ (ISC) : INTP0
- ・兼用端子切り替えレジスタ (PSEL) : INTP1, INTP3

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表14 - 2に示します。

表14 - 2 割り込み要求ソースに対応する各種フラグ

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTLVI	LVIF	IF0L	LVIMK	MK0L	LVIPR	PR0L
INTP0	PIF0		PMK0		PPR0	
INTP1	PIF1		PMK1		PPR1	
INTP2	PIF2		PMK2		PPR2	
INTP3	PIF3		PMK3		PPR3	
INTMCG	MCGIF		MCGMK		MCGPR	
INTSRE6	SREIF6		SREMK6		SREPR6	
INTSR6	SRIF6	IF0H	SRMK6	MK0H	SRPR6	PR0H
INTST6	STIF6		STMK6		STPR6	
INTCSI10	CSIIF10		CSIMK10		CSIPR10	
INTTMH1	TMIFH1		TMMKH1		TMPRH1	
INTTMH0	TMIFH0		TMMKH0		TMPRH0	
INTTM50	TMIF50		TMMK50		TMPR50	
INTTM000	TMIF000		TMMK000		TMPR000	
INTTM010	TMIF010		TMMK010		TMPR010	
INTAD	ADIF	IF1L	ADMK	MK1L	ADPR	PR1L

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、RESET入力時、命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0Hをあわせて16ビット・レジスタIF0として使用するときには、16ビット・メモリ操作命令で設定します。RESET入力により、00Hになります。

図14 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L) のフォーマット

アドレス : FFE0H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF0L	SREIF6	0	MCGIF	PIF3	PIF2	PIF1	PIF0	LVIIF

アドレス : FFE1H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF0H	TMIF010	TMIF000	TMIF50	TMIFH0	TMIFH1	CSIF10	STIF6	SRIF6

アドレス : FFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	[0]
IF1L	0	0	0	0	0	0	0	ADIF

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

- 注意1. IF0Lのビット6, IF1Lのビット1-7には、必ず0を設定してください。
2. タイマ, シリアル・インタフェース, A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。
 3. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L, 0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。

MK0L, MK0H, MK1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LとMK0Hをあわせて16ビット・レジスタMK0として使用するときには、16ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図14 - 3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L) のフォーマット

アドレス : FFE4H リセット時 : FFH R/W

略号	[7]	6	[5]	[4]	[3]	[2]	[1]	[0]
MK0L	SREMK6	1	MCGMK	PMK3	PMK2	PMK1	PMK0	LVIMK

アドレス : FFE5H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK0H	TMMK010	TMMK000	TMMK50	TMMKH0	TMMKH1	CSIMK10	STMK6	SRMK6

アドレス : FFE6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	[0]
MK1L	1	1	1	1	1	1	1	ADMK

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 MK0Lのビット6, MK1Lのビット1-7には、必ず1を設定してください。

(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR0LとPR0Hをあわせて16ビット・レジスタPR0として使用するときには、16ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図14-4 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) のフォーマット

アドレス：FFE8H リセット時：FFH R/W

略号	[7]	6	[5]	[4]	[3]	[2]	[1]	[0]
PR0L	SREPR6	1	MCGPR	PPR3	PPR2	PPR1	PPR0	LVIPR

アドレス：FFE9H リセット時：FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR0H	TMPR010	TMPR000	TMPR50	TMPRH0	TMPRH1	CSIPR10	STPR6	SRPR6

アドレス：FFEAH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	[0]
PR1L	1	1	1	1	1	1	1	ADPR

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注意 PR0Lのビット6, PR1Lのビット1-7には、必ず1を設定してください。

(4)外部割り込み立ち上がりエッジ許可レジスタ(EGP),外部割り込み立ち下がりエッジ許可レジスタ(EGN)

INTP0-INTP3の有効エッジを設定するレジスタです。

EGP, EGNは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14 - 5 外部割り込み立ち上がりエッジ許可レジスタ (EGP) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット

アドレス : FF48H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP	0	0	0	0	EGP3	EGP2	EGP1	EGP0

アドレス : FF49H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN	0	0	0	0	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n= 0-3)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

EGPnとEGNnに対応するポートを表14 - 3に示します。

表14 - 3 EGPnとEGNnに対応するポート

検出許可レジスタ		エッジ検出ポート		割り込み要求信号
EGP0	EGN0	P00 (ISC0 = 0)	P14 (ISC0 = 1)	INTP0
EGP1	EGN1	P13 (INTP1SL = 0)	P10 (INTP1SL = 1)	INTP1
EGP2	EGN2	P01		INTP2
EGP3	EGN3	P11 (INTP3SL = 0)	P12 (INTP3SL = 1)	INTP3

注意 外部割り込み機能からポート機能に切り替える場合に、エッジ検出を行う可能性があるため、EGPnとEGNnを0に設定してからポート・モードに切り替えてください。

備考 n = 0-3

ISC0 : 入力切り替え制御レジスタ (ISC) のビット0

INTP1SL : 兼用端子切り替えレジスタ (PSEL) のビット1

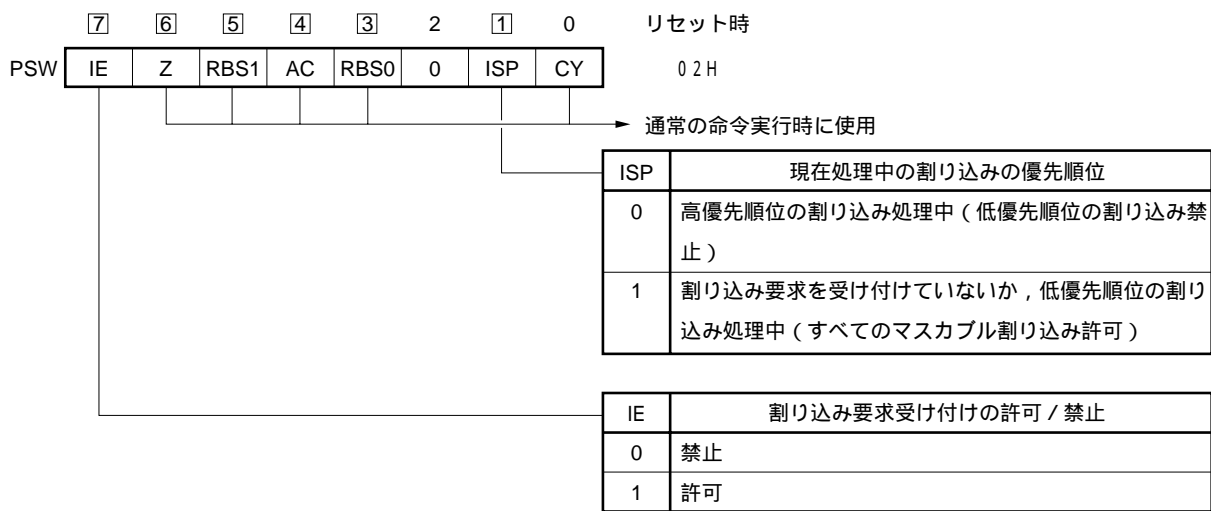
INTP3SL : " のビット0

(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク可能割り込みの許可 / 禁止を設定するIEフラグと多重割り込み処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット(0)されます。また、マスク可能割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。 $\overline{\text{RESET}}$ 入力により、PSWは02Hとなります。

図14 - 6 プログラム・ステータス・ワードの構成



(6) 入力切り替え制御レジスタ (ISC)

ISCの設定により、入力ソースを切り替えることができます。

- ・ P00/INTP0/TI000/MCGOを外部割り込み入力端子として使用する場合
ISC0 = 0
- ・ P14/<INTP0>/RxD6を外部割り込み入力端子として使用する場合
ISC0 = 1

ISCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図14 - 7 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス：FF4FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC0	INTP0入力ソースの選択
0	INTP0 (P00)
1	RxD6 (P14)

備考 P00/INTP0/TI000/MCGO, P14/<INTP0>/RxD6端子を外部割り込み要求入力として使用する
とき、PM00, PM14に1をそれぞれ設定してください。

(7) 兼用端子切り替えレジスタ (PSEL)

INTP1, INTP3端子を選択するレジスタです。

PSELは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14 - 8 兼用端子切り替えレジスタ (PSEL) のフォーマット

アドレス : FF70H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PSEL	0	0	TOH1SL	MCGSL	0	0	INTP1SL	INTP3SL

INTP1SL	INTP1端子の選択
0	P13/TxD6/INTP1/ (TOH1) / (MCGO)
1	P10/ $\overline{\text{SCK10}}$ / (INTP1)

INTP3SL	INTP3端子の選択
0	P11/SI10/INTP3
1	P12/SO10/TOH1/ (INTP3)

備考 P10/SCK10(INTP1) , P11/SI10/INTP3, P12/TOH1/SO10(INTP3) , P13(TOH1)TxD6/INTP1/ (MCGO) 端子を外部割り込み要求入力として使用するとき , PM10-PM13に1をそれぞれ設定してください。

14.4 割り込み処理動作

14.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込み要求のマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込みを処理中(ISPフラグがリセット(0)されているとき)に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してから割り込み処理が行われるまでの時間は表14-4のようになります。割り込み要求の受け付けタイミングについては、図14-10、14-11を参照してください。

表14-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
x × PR = 0のとき	7クロック	32クロック
x × PR = 1のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

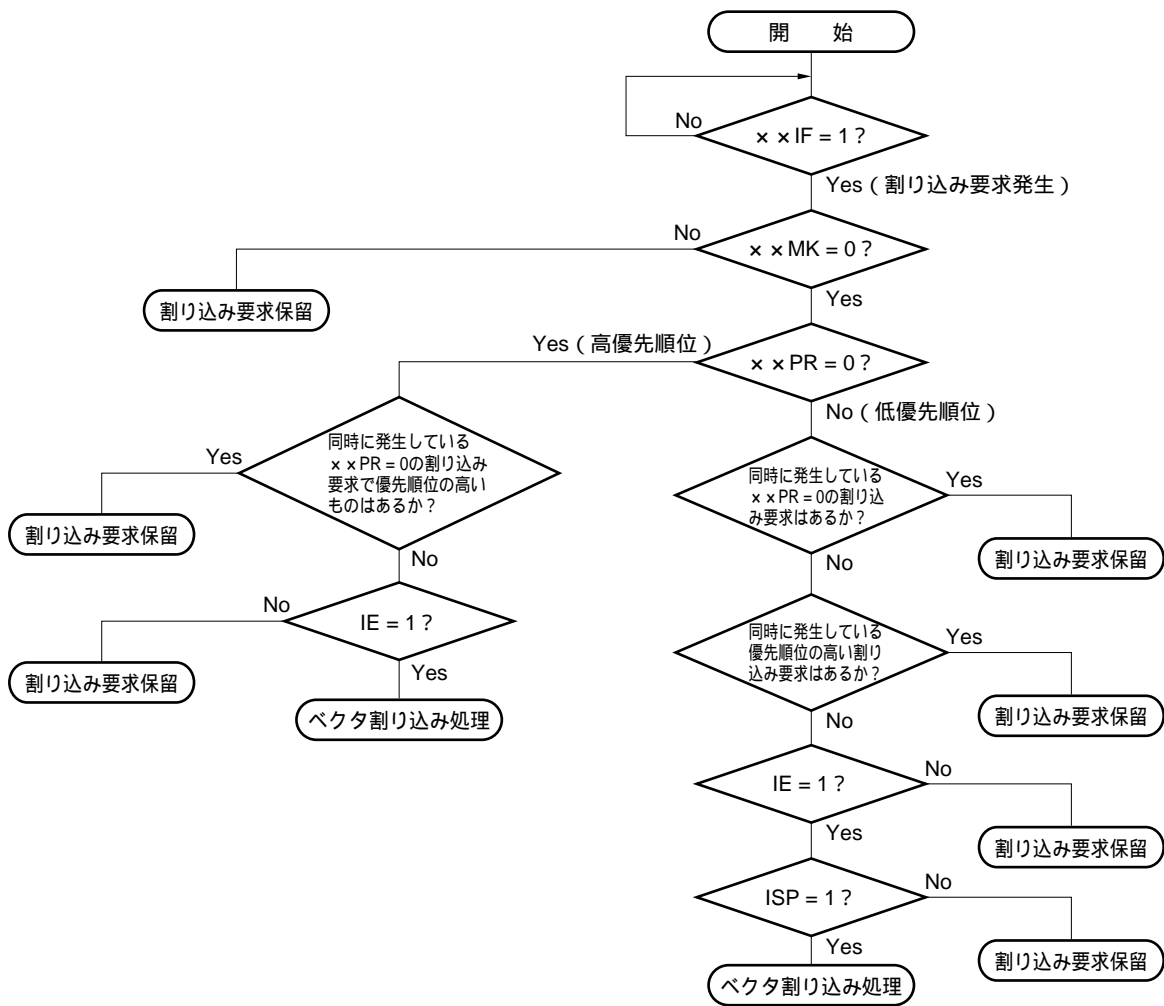
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図14-9に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込みの優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図14 - 9 割り込み要求受け付け処理アルゴリズム



x x IF : 割り込み要求フラグ

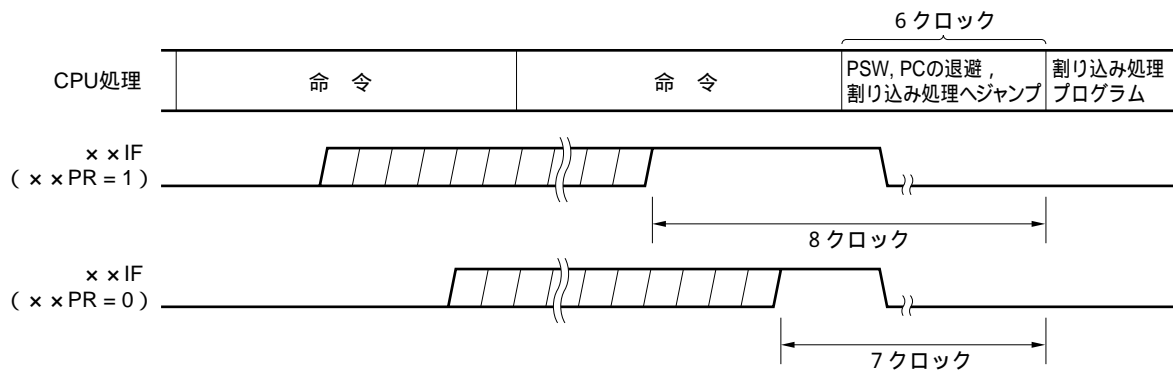
x x MK : 割り込みマスク・フラグ

x x PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

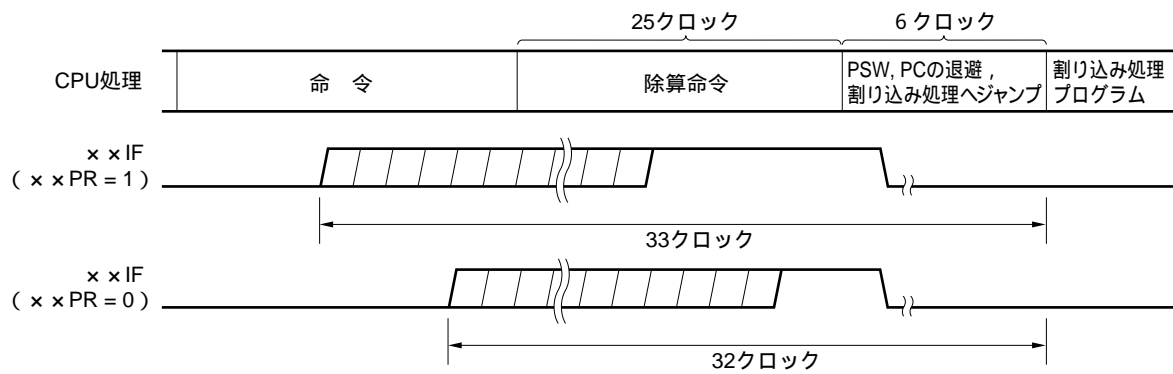
ISP : 現在処理中の割り込みの優先順位を示すフラグ (0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中)

図14 - 10 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

図14 - 11 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

14.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブル(003EH, 003FH)の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

14.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を1命令実行後に受け付けられます。

表14 - 5に多重割り込み可能な割り込み要求の関係を、図14 - 12に多重割り込みの例を示します。

表14 - 5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求				ソフトウェア 割り込み要求
		PR = 0		PR = 1		
		IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP = 0		x	x	x	
	ISP = 1		x		x	
ソフトウェア割り込み			x		x	

備考1. : 多重割り込み可能。

2. x : 多重割り込み不可能。

3. ISP, IEはPSWに含まれるフラグです。

ISP = 0 : 高優先順位の割り込み処理中

ISP = 1 : 割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

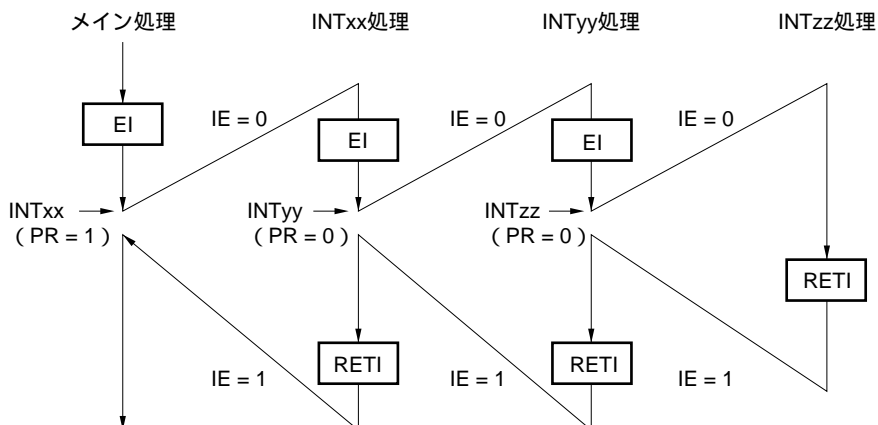
4. PRはPR0L, PR0H, PR1Lに含まれるフラグです。

PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

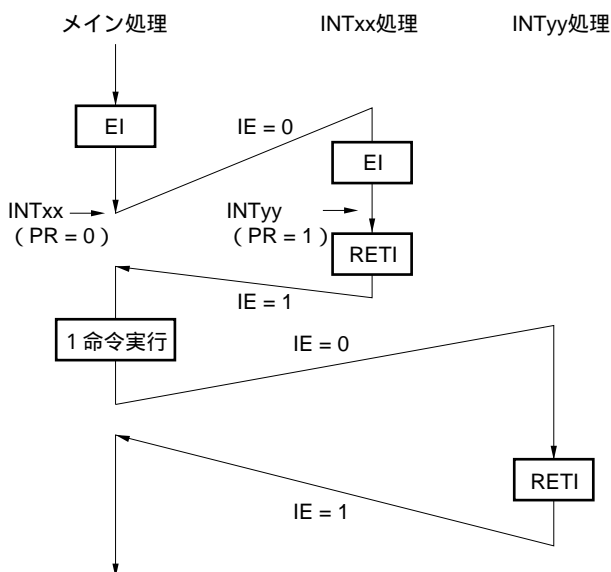
図14 - 12 多重割り込みの例 (1/2)

例1 . 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2 . 優先順位制御により、多重割り込みが発生しない例

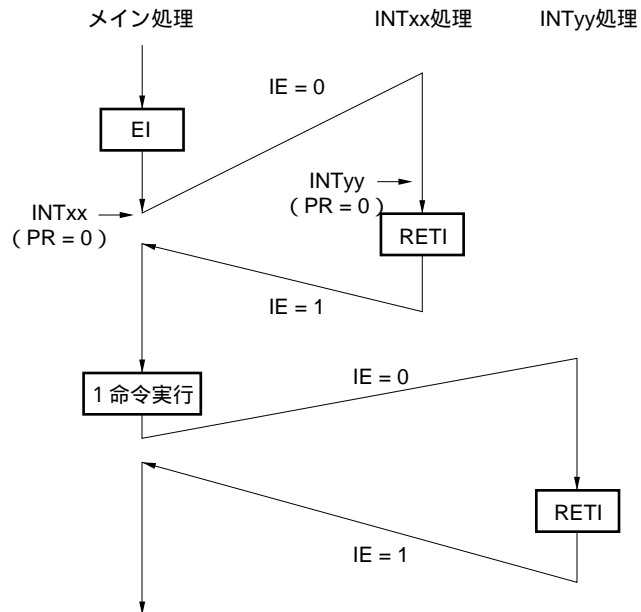


割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 0 : 高優先順位レベル
- PR = 1 : 低優先順位レベル
- IE = 0 : 割り込み要求受け付け禁止

図14 - 12 多重割り込みの例 (2/2)

例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 0 : 高優先順位レベル
- IE = 0 : 割り込み要求受け付け禁止

14.4.4 割り込み要求の保留

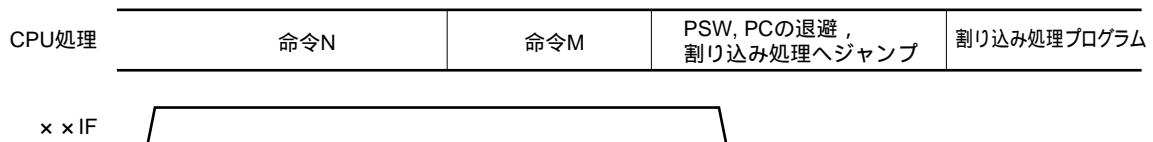
命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, # byte
- ・ MOV A, PSW
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ MOV1 CY, PSW. bit
- ・ AND1 CY, PSW. bit
- ・ OR1 CY, PSW. bit
- ・ XOR1 CY, PSW. bit
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ PUSH PSW
- ・ POP PSW
- ・ BT PSW. bit, \$addr16
- ・ BF PSW. bit, \$addr16
- ・ BTCLR PSW. bit, \$addr16
- ・ EI
- ・ DI
- ・ IF0L, IF0H, IF1L, MK0L, MK0H, MK1L, PR0L, PR0H, PR1Lの各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスクابل割り込み要求が発生しても、割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図14 - 13に示します。

図14 - 13 割り込み要求の保留



備考1 . 命令N：割り込み要求の保留命令

2 . 命令M：割り込み要求の保留命令以外の命令

3 . x x IF（割り込み要求）の動作は、x x PR（優先順位レベル）の値の影響を受けません。

第15章 スタンバイ機能

15.1 スタンバイ機能と構成

15.1.1 スタンバイ機能

表15-1 各動作状態における動作クロックの関係

動作モード	高速システム・クロック 発振回路		低速内蔵発振回路			解除後のCPU クロック	周辺へ供給される プリスケアラのクロック	
	MSTOP = 0	MSTOP = 1	注1	注2			MCM0 = 0	MCM0 = 1
				RSTOP = 0	RSTOP = 1			
リセット	停止	停止	停止			低速内蔵発振 クロック	停止	
STOP	発振		発振	発振	停止	注3	停止	
HALT			注4	低速内蔵発振ク ロック	高 速 シ ス テ ム・クロック			

注1. マスク・オプション（フラッシュ・メモリ製品の場合はオプション・バイト）で低速内蔵発振器を「停止不可」に選択時

2. マスク・オプション（フラッシュ・メモリ製品の場合はオプション・バイト）で低速内蔵発振器を「ソフトウェアにより停止可能」に選択時

3. STOP命令実行時のCPUクロックにて動作します。

4. HALT命令実行時のCPUクロックにて動作します。

注意 RSTOPの設定は、マスク・オプション（フラッシュ・メモリ製品の場合はオプション・バイト）で低速内蔵発振器を「ソフトウェアにより停止可能」時にのみ有効です。

備考 MSTOP : メインOSCコントロール・レジスタ（MOC）のビット7

RSTOP : 低速内蔵発振モード・レジスタ（RCM）のビット0

MCM0 : メイン・クロック・モード・レジスタ（MCM）のビット0

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路および低速内蔵発振回路が動作している場合、高速システム・クロックおよび低速内蔵発振クロックの発振は続きます。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、かなり低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意**
1. STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。
 2. A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ(ADM)のビット7(ADCS)を0にクリアし、A/D変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。
 3. STOPモード設定前に低速内蔵発振回路が動作している場合、STOPモードでは低速内蔵発振回路を停止することはできません。ただしCPUクロックが低速内蔵発振クロックの場合、STOP動作解除後 $17/f_R$ (s)間は動作停止になります。

15.1.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタには、次の2種類があります。

- ・ 発振安定時間カウンタ状態レジスタ (OSTC)
- ・ 発振安定時間選択レジスタ (OSTS)

備考 クロックの動作 / 停止, 切り替えを制御するレジスタについては, **第5章 クロック発生回路**を参照してください。

(1) 発振安定時間カウンタ状態レジスタ (OSTC)

高速システム・クロックの発振安定時間カウンタの状態レジスタです。CPUクロックが低速内蔵発振クロックの場合に、高速システム・クロックの発振安定時間を確認することができます。

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット解除時 ($\overline{\text{RESET}}$ 入力, POC, LVI, クロック・モニタ, WDTによるリセット), STOP命令, MSTOP (MOCレジスタのビット7) = 1のいずれかにより, 00Hになります。

注意 マスク・オプション (フラッシュ・メモリ製品の場合はオプション・バイト) で高速システム・クロックを外部RC発振クロックまたは高速内蔵発振クロックに選択した場合, 発振安定時間のウエイトは必要ありません。したがって, OSTCの値を読み出さずに, CPUクロックを切り替えてもかまいません。

図15 - 1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFA3H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16	発振安定時間のステータス
1	0	0	0	0	$2^{11}/f_{XH}$ 以上 (204.8 μ s以上)
1	1	0	0	0	$2^{13}/f_{XH}$ 以上 (819.2 μ s以上)
1	1	1	0	0	$2^{14}/f_{XH}$ 以上 (1.64 ms以上)
1	1	1	1	0	$2^{15}/f_{XH}$ 以上 (3.28 ms以上)
1	1	1	1	1	$2^{16}/f_{XH}$ 以上 (6.55 ms以上)

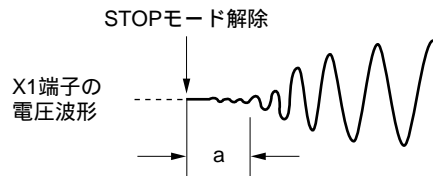
注意1. 上記時間経過後, MOST11から順番に“1”となっていき, そのまま“1”を保持します。

- CPUクロックが低速内蔵発振クロック時に, STOPモードに入り, 解除するときは, 発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTCで設定する発振安定時間

高速システム・クロック発振安定時間カウンタはOSTCで設定した発振安定時間までしかカウントしません。したがって, STOPモード解除後のOSTCは, OSTCで設定している発振安定時間までのステータスしかセットされないの注意してください。

- STOPモード解除時のウェイト時間は, RESET入力による場合も, 割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間(下図a)は含みません。



- 備考1. ()内は $f_{XH} = 10$ MHz動作時の参考値
- f_{XH} : 高速システム・クロック発振周波数

(2) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時の高速システム・クロック発振安定ウエイト時間を選択するレジスタです。OSTSで設定するウエイト時間は、CPUクロックに高速システム・クロックを選択したときのSTOPモード解除後のみ有効となります。CPUクロックに低速内蔵発振クロックを選択したときのSTOPモード解除後は、OSTCにより発振安定時間の確認をしてください。

OSTSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、05Hになります。

図15 - 2 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス：FFA4H リセット時：05H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	1	$2^{11}/f_{XH}$ (204.8 μ s)
0	1	0	$2^{13}/f_{XH}$ (819.2 μ s)
0	1	1	$2^{14}/f_{XH}$ (1.64 ms)
1	0	0	$2^{15}/f_{XH}$ (3.28 ms)
1	0	1	$2^{16}/f_{XH}$ (6.55 ms)
上記以外			設定禁止

注意1. CPUクロックが高速システム・クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。

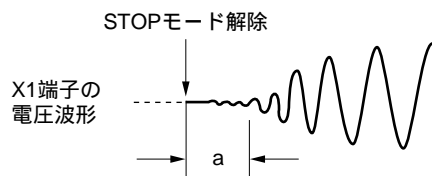
2. OSTSの設定は、OSTCで期待する発振安定時間が経過したことを確認したあとに行ってください。

3. CPUクロックが低速内蔵発振クロック時に、STOPモードに入り、解除するときは、発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

高速システム・クロック発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。

4. STOPモード解除時のウエイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間(下図a)は含みません。



備考1. ()内は $f_{XH} = 10$ MHz動作時の参考値

2. f_{XH} : 高速システム・クロック発振周波数

15.2 スタンバイ機能の動作

15.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、低速内蔵発振クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表15-2 HALTモード時の動作状態

HALTモードの設定		高速システム・クロックでCPU動作中のHALT命令実行時		低速内蔵発振クロックでCPU動作中のHALT命令実行時	
		低速内蔵発振クロック発振継続時	低速内蔵発振クロック発振停止時 ^{注1}	高速システム・クロック発振継続時	高速システム・クロック発振停止時
項	目				
システム・クロック		CPUへのクロック供給は停止			
CPU		動作停止			
ポート（出力ラッチ）		HALTモード設定前の状態を保持			
16ビット・タイマ/イベント・カウンタ00		動作可能		動作保証不可	
8ビット・タイマ50		動作可能		動作保証不可	
8ビット・タイマH0		動作可能		動作保証不可	
8ビット・タイマH1		動作可能		カウント・クロックを $f_{R/2^7}$ 選択時以外は動作保証不可	
ウォッチドッグ・タイマ	低速内蔵発振器停止不可 ^{注2}	動作可能	-	動作保証不可	
	低速内蔵発振器停止可 ^{注2}	動作停止			
A/Dコンバータ		動作可能		動作保証不可	
シリアル・インタフェース	UART6	動作可能		動作保証不可	
	CSI10	動作可能		シリアル・クロックに外部SCK10選択時以外は動作保証不可	
マンチェスタ・コード・ジェネレータ		動作可能		動作保証不可	
クロック・モニタ		動作可能	動作停止	動作可能	動作停止
パワーオン・クリア機能		動作可能			
低電圧検出機能		動作可能			
外部割り込み		動作可能			

注1. マスク・オプション（フラッシュ・メモリ製品の場合はオプション・バイト）で低速内蔵発振器を「ソフトウェアにより停止可能」を選択し、ソフトウェアで低速内蔵発振器を停止した場合（マスク・オプションとオプション・バイトについては第20章 マスク・オプション/オプション・バイト参照）。

2. マスク・オプション（フラッシュ・メモリ製品の場合はオプション・バイト）で低速内蔵発振器を「停止不可」または「ソフトウェアにより停止可能」を選択できます。

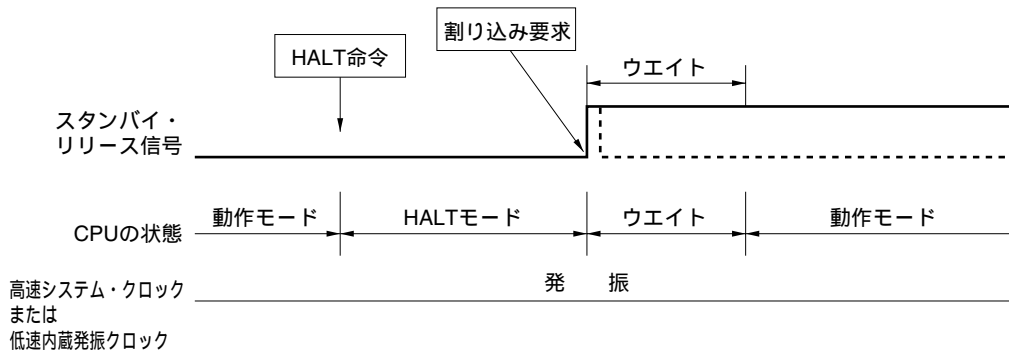
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図15 - 3 HALTモードの割り込み要求発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウェイト時間は次のようになります。

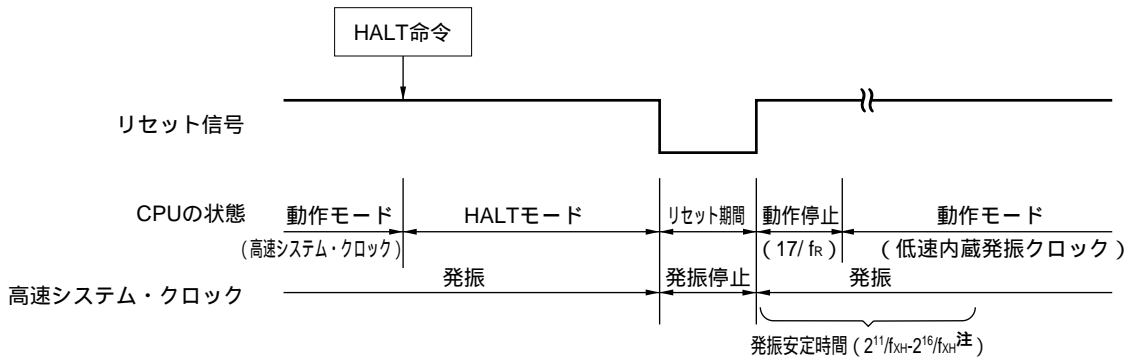
- ・ベクタ割り込み処理を行う場合 : 8~9クロック
- ・ベクタ割り込み処理を行わない場合 : 2~3クロック

(b) リセット (RESET端子によるリセット, WDT, クロック・モニタ, POC, LVIによるリセット) による解除

リセット信号が発生すると, HALTモードは解除されます。そして, 発振安定時間経過後リセット動作を行います。

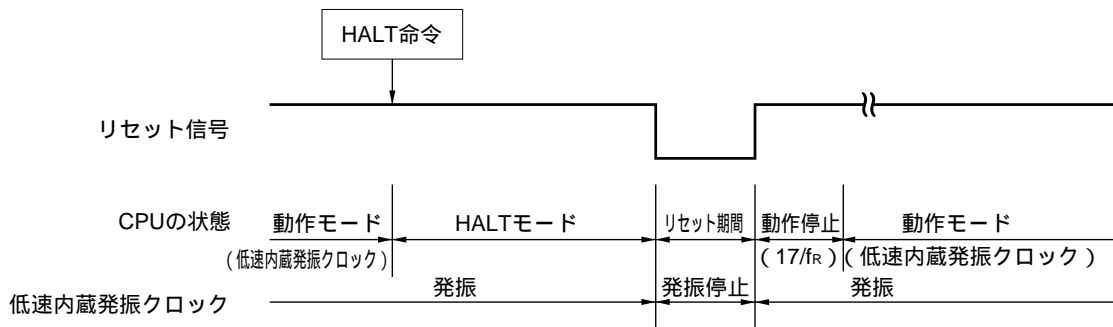
図15 - 4 HALTモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



注 マスク・オプション (フラッシュ・メモリ製品の場合はオプション・バイト) で高速システム・クロックを外部RC発振クロックまたは高速内蔵発振クロックに選択した場合, 発振安定時間のウエイトは必要ありません。したがって, OSTCの値を読み出さずに, CPUクロックを切り替えてもかまいません。

(2) CPUクロックが低速内蔵発振クロックの場合



備考1. f_{XH} : 高速システム・クロック発振周波数

2. f_R : 低速内蔵発振クロック発振周波数

表15 - 3 HALTモード時の割り込み要求に対する動作

解除ソース	MKxx	PRxx	IE	ISP	動作
マスクブル割り込み要求	0	0	0	x	次アドレス命令実行
	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	
	0	1	1	1	割り込み処理実行
	1	x	x	x	HALTモード保持
リセット信号	-	-	x	x	リセット処理

x : don't care

15.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、低速内蔵発振クロックのいずれの場合でも設定可能です。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されません。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ (OSTS) による設定時間だけウェイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表15-4 STOPモード時の動作状態

項目	HALTモードの設定		高速システム・クロックでCPU動作中のSTOP命令実行時	低速内蔵発振クロックでCPU動作中のSTOP命令実行時
	低速内蔵発振クロック発振継続時	低速内蔵発振クロック発振停止時 ^{注1}		
システム・クロック	高速システム・クロック発振回路のみ発振停止 CPUへのクロック供給は停止			
CPU	動作停止			
ポート (出力ラッチ)	STOPモード設定前の状態を保持			
16ビット・タイマ/イベント・カウンタ00	動作停止			
8ビット・タイマ50	動作停止			
8ビット・タイマH0	動作停止			
8ビット・タイマH1	動作可能 ^{注2}	動作停止	動作可能 ^{注2}	
ウォッチドッグ・タイマ	低速内蔵発振停止不可 ^{注3}	動作可能	-	動作可能
	低速内蔵発振停止可 ^{注3}	動作停止		
A/Dコンバータ	動作停止			
シリアル・インタフェース	UART6	動作停止		
	CSI10	シリアル・クロックに外部SCK10選択時のみ動作可能		
マンチェスタ・コード・ジェネレータ	動作停止			
クロック・モニタ	動作停止			
パワーオン・クリア機能	動作可能			
低電圧検出機能	動作可能			
外部割り込み	動作可能			

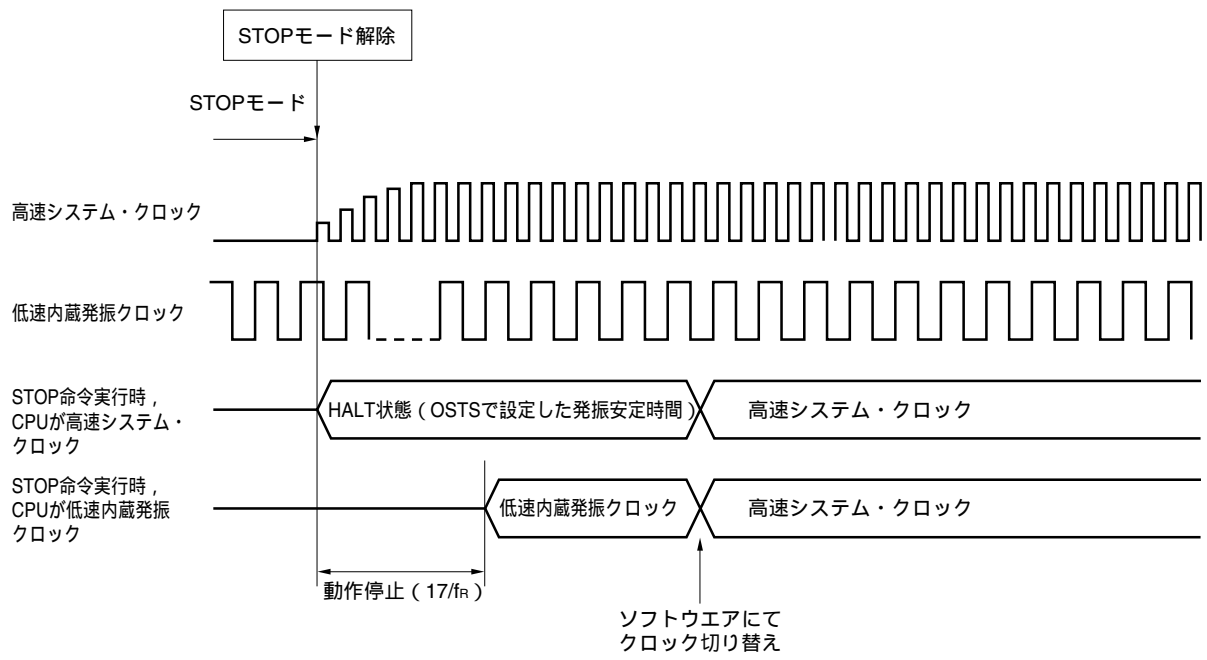
注1. マスク・オプション (フラッシュ・メモリ製品の場合はオプション・バイト) で低速内蔵発振器を「ソフトウェアにより停止可能」を選択し、ソフトウェアで低速内蔵発振器を停止した場合 (マスク・オプションとオプション・バイトについては第20章 マスク・オプション/オプション・バイト参照)

2. カウント・クロックを $f_{r/2}$ 選択時のみ動作継続です。

3. マスク・オプション (フラッシュ・メモリ製品の場合はオプション・バイト) で低速内蔵発振器を「停止不可」または「ソフトウェアにより停止可能」を選択できます。

(2) STOPモードの解除

図15-5 STOPモード解除時の動作タイミング



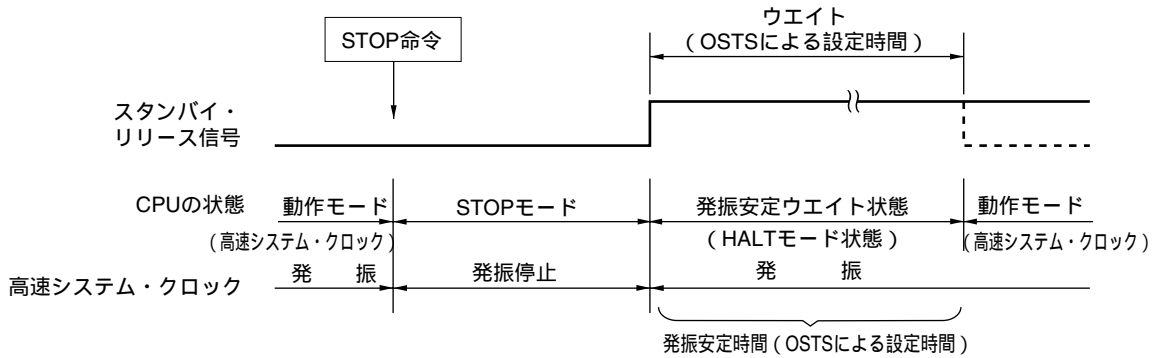
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

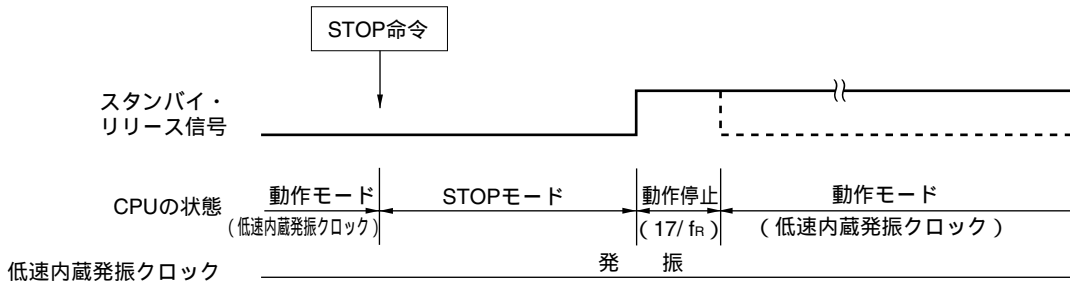
マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図15-6 STOPモードの割り込み要求発生による解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが低速内蔵発振クロックの場合



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

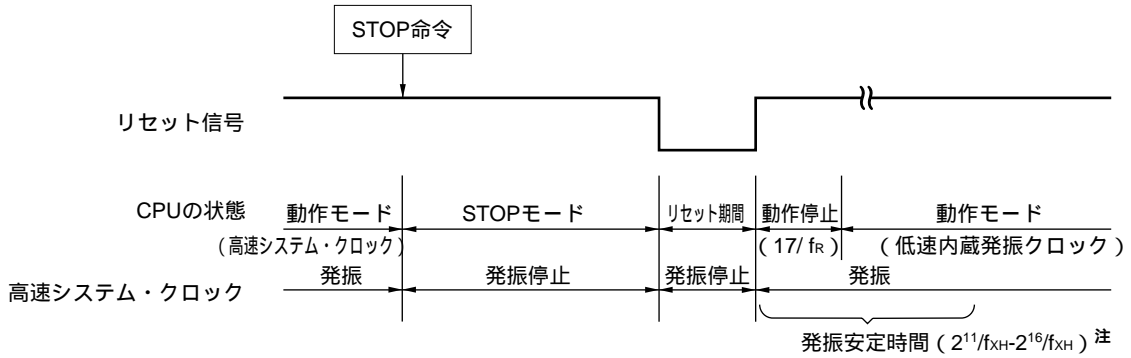
2. f_R : 低速内蔵発振クロック発振周波数

(b) リセット (RESET端子によるリセット, WDT, クロック・モニタ, POC, LVIによるリセット) による解除

リセット信号が発生すると, STOPモードを解除し, 発振安定時間経過後リセット動作を行います。

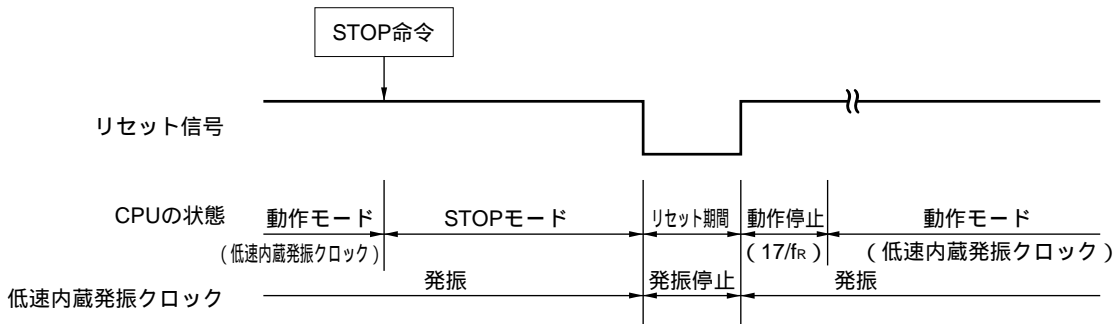
図15-7 STOPモードのRESET入力による解除

(1) CPUクロックが高速システム・クロックの場合



注 マスク・オプション (フラッシュ・メモリ製品の場合はオプション・バイト) で高速システム・クロックを外部RC発振クロックまたは高速内蔵発振クロックに選択した場合, 発振安定時間のウエイトは必要ありません。したがって, OSTCの値を読み出さずに, CPUクロックを切り替えてもかまいません。

(2) CPUクロックが低速内蔵発振クロックの場合



備考1. f_{xH} : 高速システム・クロック発振周波数

2. f_{r} : 低速内蔵発振クロック発振周波数

表15-5 STOPモード時の割り込み要求に対する動作

解除ソース	MKxx	PRxx	IE	ISP	動作
マスクブル割り込み要求	0	0	0	x	次アドレス命令実行
	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	
	0	1	1	1	割り込み処理実行
	1	x	x	x	STOPモード保持
リセット信号	-	-	x	x	リセット処理

x : don't care

第16章 リセット機能

リセット信号を発生させる方法には、次の5種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット
- (3) クロック・モニタの高速システム・クロック発振停止検出による内部リセット
- (4) パワーオン・クリア (POC) 回路の電源電圧と検出電圧との比較による内部リセット
- (5) 低電源検出回路 (LVI) の電源電圧と検出電圧との比較による内部リセット

外部リセットと内部リセットは機能面での差はなく、リセット信号入力により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

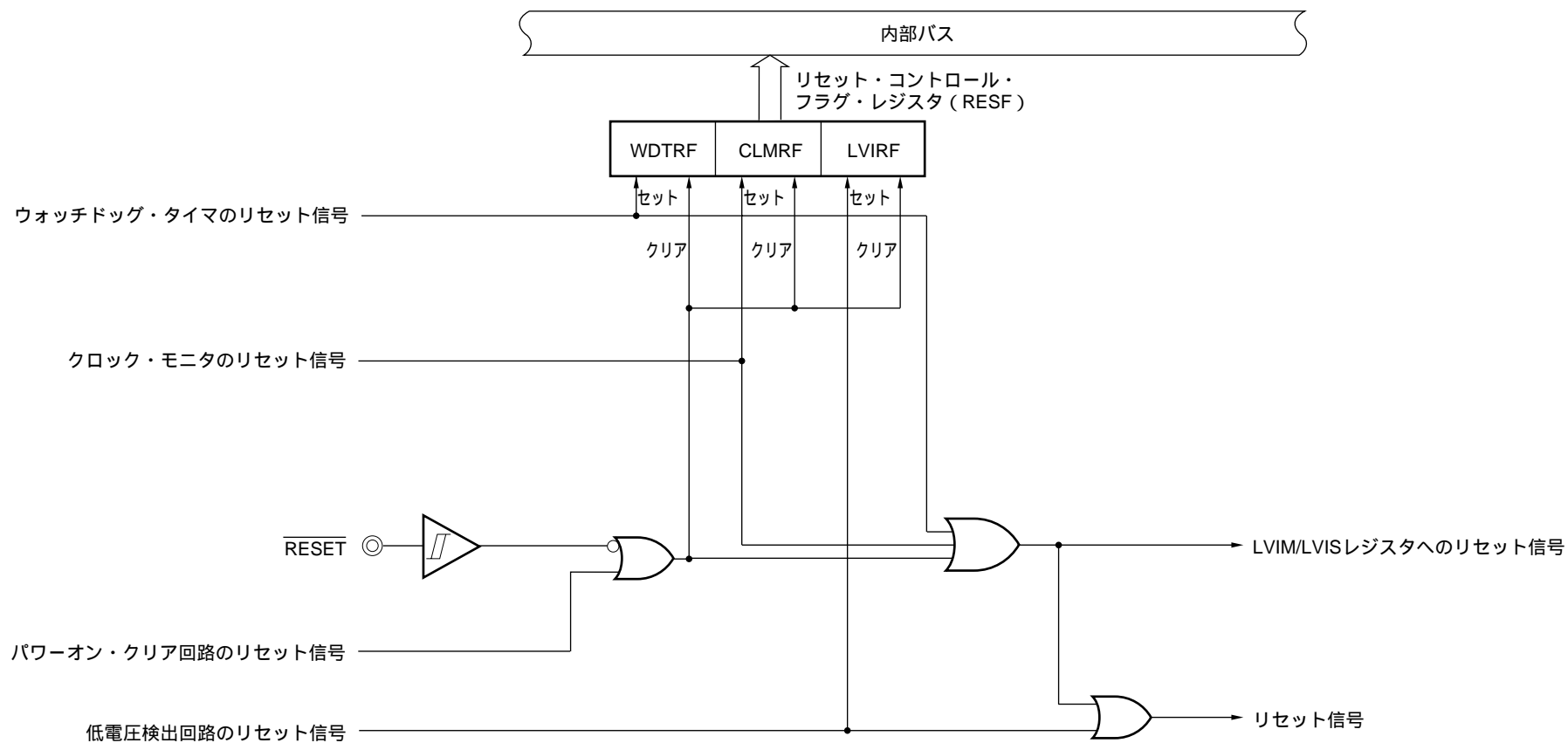
$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマのオーバフローが発生するか、クロック・モニタで高速システム・クロック発振停止を検出するか、またはPOC回路、LVI回路の電圧検出により、リセットがかかり、各ハードウェアは表16 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、P130のみロウ・レベル出力に、それ以外はハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、 $17/f_R$ (s) 間CPUクロック動作停止後、低速内蔵発振クロックでプログラムの実行を開始します。ウォッチドッグ・タイマ、クロック・モニタのそれぞれの要因によるリセットは、リセット後、自動的にリセットが解除され、 $17/f_R$ (s) 間CPUクロック動作停止後、低速内蔵発振クロックでプログラムの実行を開始します (図16 - 2から図16 - 4参照)。POC回路、LVI回路の電源検出によるリセットは、リセット後 $V_{DD} > V_{POC}$ または $V_{DD} > V_{LVI}$ になったときにリセットが解除され、 $17/f_R$ (s) 間CPUクロック動作停止後、低速内蔵発振クロックでプログラムの実行を開始します (第18章 パワーオン・クリア回路と第19章 低電圧検出回路参照)。

注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に $10 \mu\text{s}$ 以上のロウ・レベルを入力してください。

2. リセット入力中は、高速システム・クロック、低速内蔵発振クロックともに発振を停止します。
3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、P130はロウ・レベル出力に、それ以外はハイ・インピーダンスとなります。

図16 - 1 リセット機能のブロック図

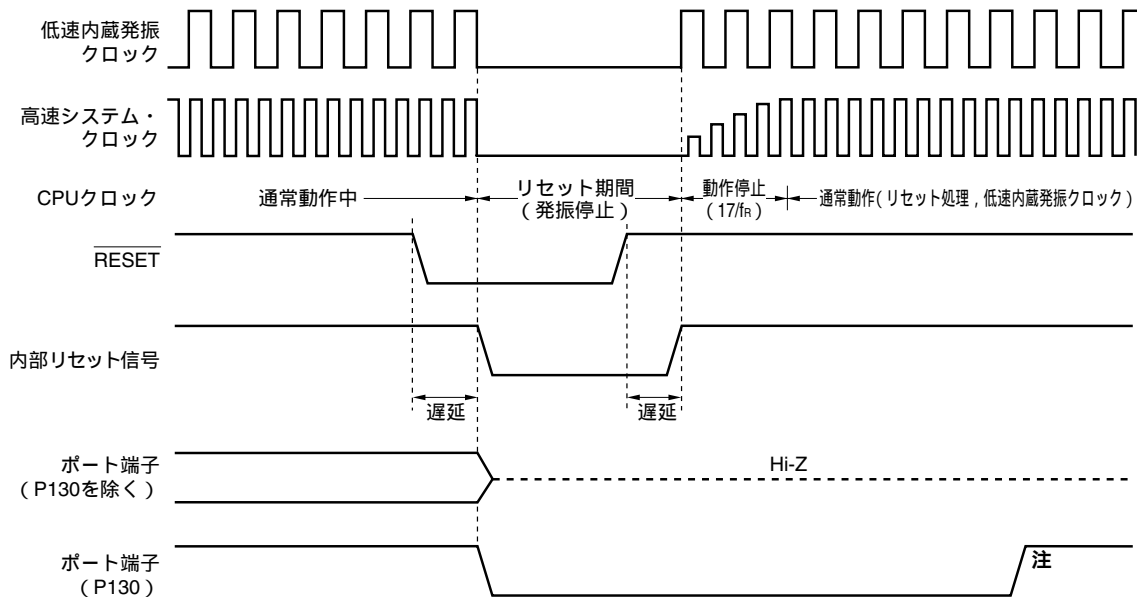


注意 LVI回路の内部リセットの場合、LVI回路はリセットされません。

備考1. LVIM：低電圧検出レジスタ

2. LVIS：低電圧検出レベル選択レジスタ

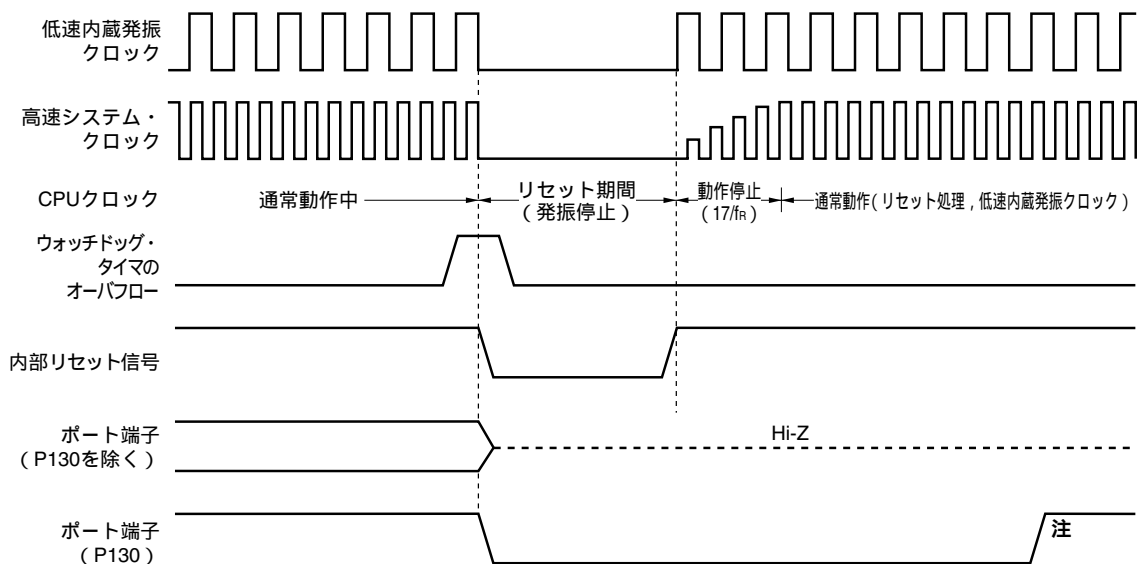
図16 - 2 RESET入力によるリセット・タイミング



注 ソフトウェアでハイ・レベル出力にしてください。

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができません。

図16 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

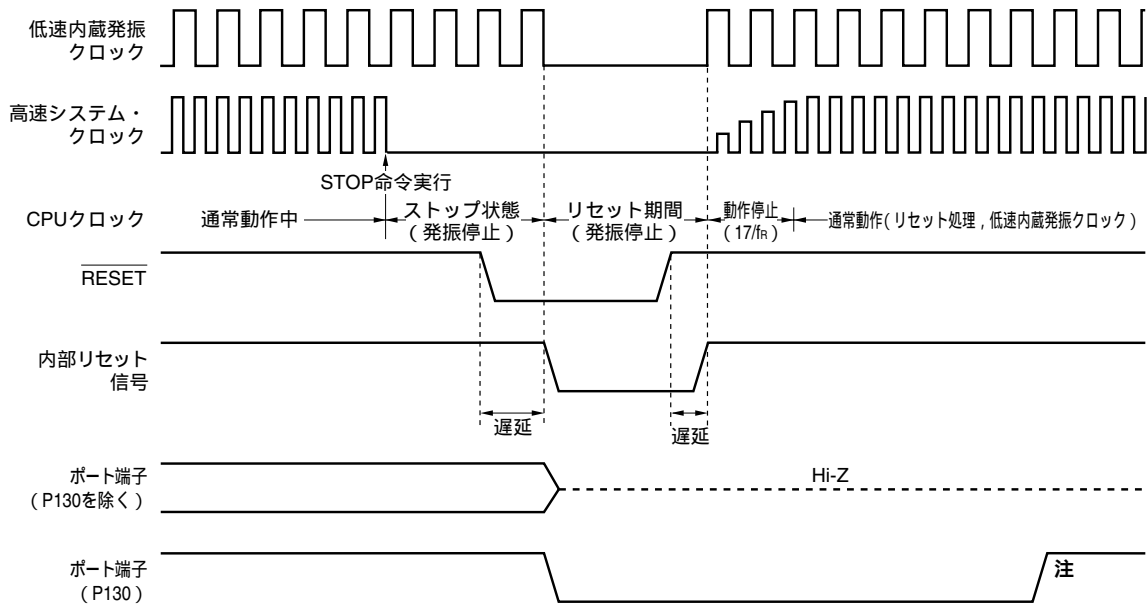


注 ソフトウェアでハイ・レベル出力にしてください。

注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができません。

図16-4 STOPモード中のRESET入力によるリセット・タイミング



注 ソフトウェアでハイ・レベル出力にしてください。

- 備考1.** リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。
- 2.** パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは、**第18章 パワーオン・クリア回路**と**第19章 低電圧検出回路**を参照してください。

表16 - 1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) ^{注1}		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート・レジスタ (P0-P2, P13) (出力ラッチ)		00H (P2のみ不定)
ポート・モード・レジスタ (PM0, PM1)		FFH
ブルアップ抵抗オプション・レジスタ (PU0, PU1)		00H
兼用端子切り替えレジスタ (PSEL)		00H
入力切り替え制御レジスタ (ISC)		00H
メモリ・サイズ切り替えレジスタ (IMS)		CFH
プロセッサ・クロック・コントロール・レジスタ (PCC)		00H
低速内蔵発振モード・レジスタ (RCM)		00H
メイン・クロック・モード・レジスタ (MCM)		00H
メインOSCコントロール・レジスタ (MOC)		00H
発振安定時間選択レジスタ (OSTS)		05H
発振安定時間カウンタ状態レジスタ (OSTC)		00H
16ビット・タイマ/ イベント・カウンタ00	タイマ・カウンタ00 (TM00)	0000H
	キャプチャ/コンペア・レジスタ000, 010 (CR000, CR010)	0000H
	モード・コントロール・レジスタ00 (TMC00)	00H
	プリスケアラ・モード・レジスタ00 (PRM00)	00H
	キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)	00H
	タイマ出力コントロール・レジスタ00 (TOC00)	00H
8ビット・タイマ50	タイマ・カウンタ50 (TM50)	00H
	コンペア・レジスタ (CR50)	00H
	タイマ・クロック選択レジスタ50 (TCL50)	00H
	タイマ・クロック切り替えレジスタ (CSEL)	00H
	モード・コントロール・レジスタ (TMC50)	00H
8ビット・タイマ/イベント・ カウンタH0, H1	コンペア・レジスタ00, 10, 01, 11 (CMP00, CMP10, CMP01, CMP11)	00H
	モード・レジスタ (TMHMD0, TMHMD1)	00H
	タイマ・クロック切り替えレジスタ (CSEL)	00H
	キャリア・コントロール・レジスタ1 (TMCYC1) ^{注3}	00H
ウォッチドッグ・タイマ	モード・レジスタ (WDTM)	67H
	イネーブル・レジスタ (WDTE)	9AH
A/Dコンバータ	変換結果レジスタ (ADCR)	不定
	モード・レジスタ (ADM)	00H
	アナログ入力チャネル指定レジスタ (ADS)	00H
	パワーフェイル比較モード・レジスタ (PFM)	00H
	パワーフェイル比較しきい値レジスタ (PFT)	00H

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。

その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

3. 8ビット・タイマH1のみ。

表16 - 1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		リセット後の状態
シリアル・インタフェース UART0	受信バッファ・レジスタ6 (RXB6)	FFH
	送信バッファ・レジスタ6 (TXB6)	FFH
	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)	01H
	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)	00H
	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)	00H
	クロック選択レジスタ6 (CKSR6)	00H
	ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)	FFH
	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)	16H
シリアル・インタフェース CSI10	送信バッファ・レジスタ10 (SOTB10)	不定
	シリアルI/Oソフト・レジスタ10 (SIO10)	00H
	シリアル動作モード・レジスタ10 (CSIM10)	00H
	シリアル・クロック選択レジスタ10 (CSIC10)	00H
マンチェスタ・コード・ ジェネレータ	送信バッファ・レジスタ (MC0TX)	FFH
	送信ビット数指定レジスタ (MC0BIT)	07H
	コントロール・レジスタ0 (MC0CTL0)	10H
	コントロール・レジスタ1 (MC0CTL1)	00H
	コントロール・レジスタ2 (MC0CTL2)	1FH
	ステータス・レジスタ (MC0STR)	00H
クロック・モニタ	モード・レジスタ (CLM)	00H
リセット機能	リセット・コントロール・フラグ・レジスタ (RESF)	00H ^注
低電圧検出回路	低電圧検出レジスタ (LVIM)	00H ^注
	低電圧検出レベル選択レジスタ (LVIS)	00H ^注
割り込み	要求フラグ・レジスタ0L, 0H, 1L (IF0L, IF0H, IF1L)	00H
	マスク・フラグ・レジスタ0L, 0H, 1L (MK0L, MK0H, MK1L)	FFH
	優先順位指定フラグ・レジスタ0L, 0H, 1L (PROL, PROH, PR1L)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ (EGP)	00H
	外部割り込み立ち下がりエッジ許可レジスタ (EGN)	00H

注 リセット要因により、次のように変化します。

リセット要因		RESET入力	POCによる リセット	WDTによる リセット	CLMによる リセット	LVIによる リセット
レジスタ	RESF	クリア (00H)	クリア (00H)	セット (1)	保持	保持
	CLMRF			保持	セット (1)	保持
	LVIRF			保持	保持	セット (1)
LVIM				クリア (00H)	クリア (00H)	保持
LVIS						

16.1 リセット要因を確認するレジスタ

μ PD780862サブシリーズは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・クリア (POC) 回路によるリセット入力およびRESFのデータを読み出すことにより、00Hになります。

図16-5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス：FFACH リセット時：00H^注 R

略号	7	6	5	4	3	2	1	0
RESF	0	0	0	WDTRF	0	0	CLMRF	LVIRF

WDTRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

CLMRF	クロック・モニタ (CLM) による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

LVIRF	低電圧検出 (LVI) 回路による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

注 リセット要因により異なります。

注意 1ビット・メモリ操作命令でデータを読み出さないでください。

リセット要求時のRESFの状態を表16-2に示します。

表16-2 リセット要求時のRESFの状態

リセット要因 フラグ	$\overline{\text{RESET}}$ 入力	POCによる リセット	WDTによる リセット	CLMによる リセット	LVIによる リセット
WDTRF	クリア (0)	クリア (0)	セット (1)	保持	保持
CLMRF			保持	セット (1)	保持
LVIRF			保持	保持	セット (1)

第17章 クロック・モニタ

17.1 クロック・モニタの機能

クロック・モニタは、低速内蔵発振クロックにて、高速システム・クロックのサンプリングを行い、高速システム・クロックの発振停止時に、内部リセット信号を発生する、という機能を持ちます。

クロック・モニタによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット1 (CLMRF) がセット (1) されます。RESFの詳細については第16章 リセット機能を参照してください。

次の条件のとき、クロック・モニタは自動的に停止します。

- ・リセット解除～発振安定時間
- ・STOPモード時～発振安定時間
- ・ソフトウェアにより高速システム・クロック停止時 (MSTOP = 1) ～発振安定時間
- ・低速内蔵発振クロック停止時

備考 MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

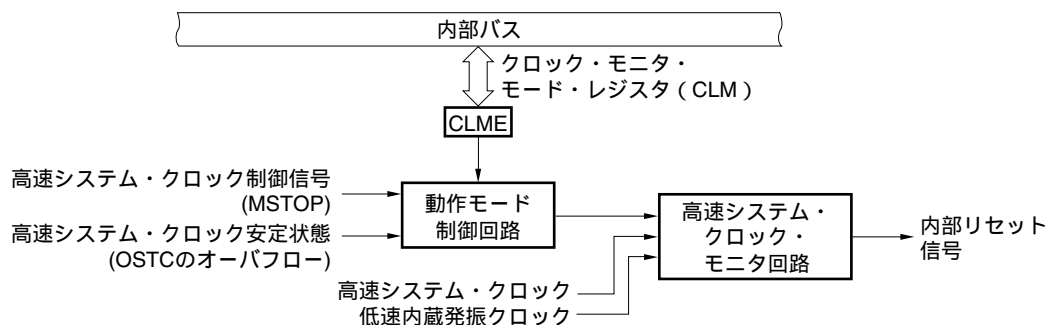
17.2 クロック・モニタの構成

クロック・モニタは、次のハードウェアで構成しています。

表17-1 クロック・モニタの構成

項目	構成
制御レジスタ	クロック・モニタ・モード・レジスタ (CLM)

図17-1 クロック・モニタのブロック図



備考 MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

OSTC : 発振安定時間カウンタ状態レジスタ (OSTC)

17.3 クロック・モニタを制御するレジスタ

クロック・モニタは、クロック・モニタ・モード・レジスタ (CLM) で制御します。

(1) クロック・モニタ・モード・レジスタ (CLM)

クロック・モニタの動作モードの設定を行うレジスタです。

CLMIは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図17-2 クロック・モニタ・モード・レジスタ (CLM) のフォーマット

アドレス：FFA9H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CLM	0	0	0	0	0	0	0	CLME

CLME	クロック・モニタの動作許可 / 禁止
0	クロック・モニタの動作禁止
1	クロック・モニタの動作許可

- 注意1. 一度ビット0 (CLME) をセット (1) したら、 $\overline{\text{RESET}}$ 入力または内部リセット信号以外ではクリア (0) することはできません。
- クロック・モニタによるリセットが発生した場合、CLMEは0になり、リセット・コントロール・フラグ・レジスタ (RESF) のビット1 (CLMRF) がセット (1) されます。CLMRFはソフトウェアで読み出したあと、自動的にクリア (0) されます。
 - クロック・モニタは、発振安定時間選択レジスタ (OSTS) で設定した発振安定時間中では、動作停止します。

17.4 クロック・モニタの動作

クロック・モニタの持つ機能について説明します。モニタ開始条件，モニタ停止条件は次のようになります。

<モニタ開始条件>

クロック・モニタ・モード・レジスタ (CLM) のビット0 (CLME) を動作許可 (1) に設定

<モニタ停止条件>

- ・リセット解除～発振安定時間
- ・STOPモード時～発振安定時間
- ・ソフトウェアにより高速システム・クロック停止時 (MSTOP = 1) ～発振安定時間
- ・低速内蔵発振クロック停止時

備考 MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

表17-2 クロック・モニタの動作状態 (CLME = 1設定時)

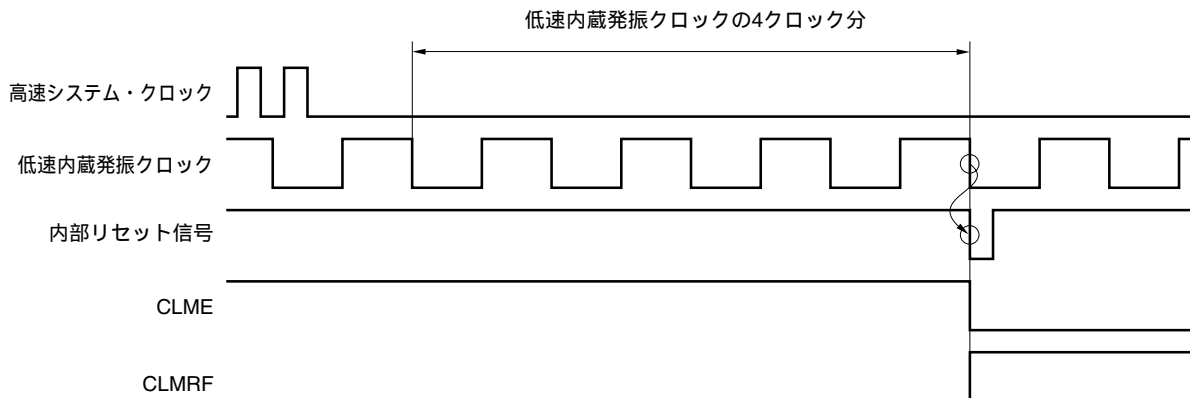
CPU動作クロック	動作モード	高速システム・クロックの状態	低速内蔵発振クロックの状態	クロック・モニタの状態
高速システム・クロック	STOPモード	停止	発振	停止
			停止 ^注	
	RESET入力		発振	
			停止 ^注	
	通常動作モード	発振	発振	動作
	HALTモード		停止 ^注	停止
低速内蔵発振クロック	STOPモード	停止	発振	停止
	RESET入力			
	通常動作モード	発振		動作
	HALTモード	停止		停止

注 マスク・オプション (フラッシュ・メモリ製品の場合はオプション・バイト) で「低速内蔵発振器はソフトウェアにより停止可能」に選択した場合のみ，低速内蔵発振クロックを停止することができます。「低速内蔵発振器は停止不可」に選択した場合，低速内蔵発振クロックを停止することができません。

クロック・モニタのタイミングは，図17-3のようになります。

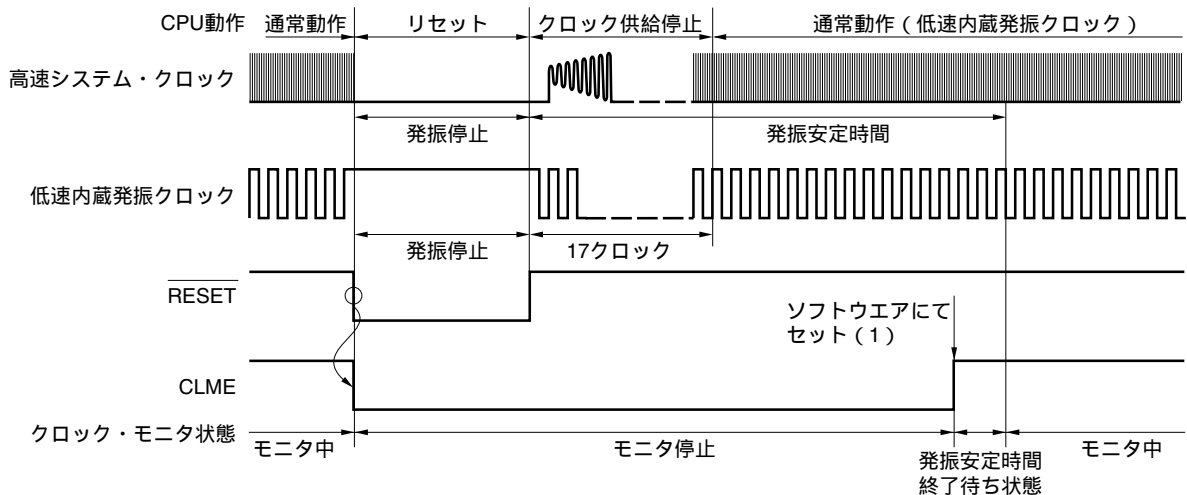
図17-3 クロック・モニタのタイミング (1/4)

(1) 高速システム・クロック発振停止によって、内部リセットがかかる場合



(2) $\overline{\text{RESET}}$ 入力後のクロック・モニタの状態

($\overline{\text{RESET}}$ 入力後、高速システム・クロックの発振安定時間中に、CLME = 1を設定)



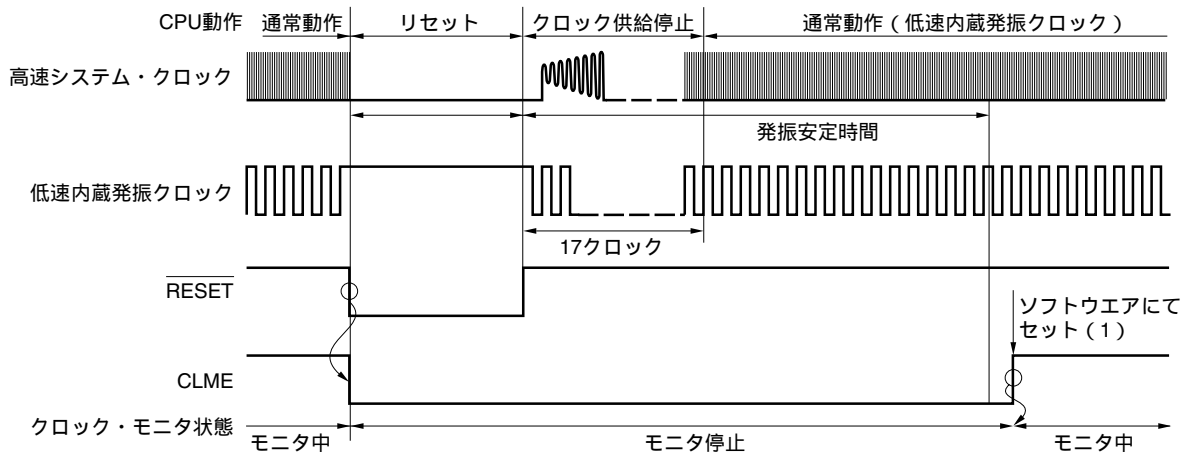
$\overline{\text{RESET}}$ 入力により、クロック・モニタ・モード・レジスタ (CLM) のビット0 (CLME) はクリア (0) されて、クロック・モニタは動作停止します。高速システム・クロックの発振安定時間 (OSTSレジスタのリセット値 = 05H ($2^{16}/f_{XH}$)) 中にソフトウェアでCLMEをセット (1) しても、高速システム・クロックの発振安定時間が終了するまでは、モニタ動作を行わず、発振安定時間後に自動的に開始します。

注意 マスク・オプション (フラッシュ・メモリ製品の場合はオプション・バイト) で高速システム・クロックを外部RC発振クロックまたは高速内蔵発振クロックに選択した場合、発振安定時間のウエイトは必要ありません。したがって、OSTCの値を読み出さずに、CPUクロックを切り替えてもかまいません。ただしクロック・モニタは、発振安定時間 (OSTSレジスタのリセット値 = 05H ($2^{16}/f_{XH}$)) 後に、動作を開始します。

図17-3 クロック・モニタのタイミング (2/4)

(3) RESET入力後のクロック・モニタの状態

(RESET入力後、高速システム・クロックの発振安定時間終了後に、CLME = 1を設定)

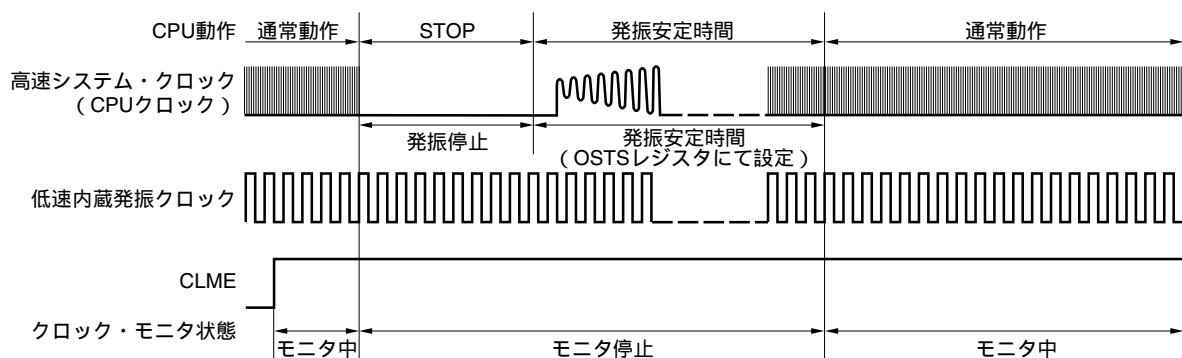


RESET入力により、クロック・モニタ・モード・レジスタ (CLM) のビット0 (CLME) はクリア (0) されて、クロック・モニタは動作停止します。高速システム・クロックの発振安定時間 (OSTSレジスタのリセット値 = 05H ($2^{16}/f_{XH}$)) 後にソフトウェアでCLMEをセット (1) すると、モニタ動作を開始します。

注意 マスク・オプション (フラッシュ・メモリ製品の場合はオプション・バイト) で高速システム・クロックを外部RC発振クロックまたは高速内蔵発振クロックに選択した場合、発振安定時間のウエイトは必要ありません。したがって、OSTCの値を読み出さずに、CPUクロックを切り替えてもかまいません。ただしクロック・モニタは、発振安定時間 (OSTSレジスタのリセット値 = 05H ($2^{16}/f_{XH}$)) 後に、動作を開始します。

(4) STOPモード解除後のクロック・モニタの状態

(CPUクロックが高速システム・クロック、STOPモードに入る前に、CLME = 1を設定)

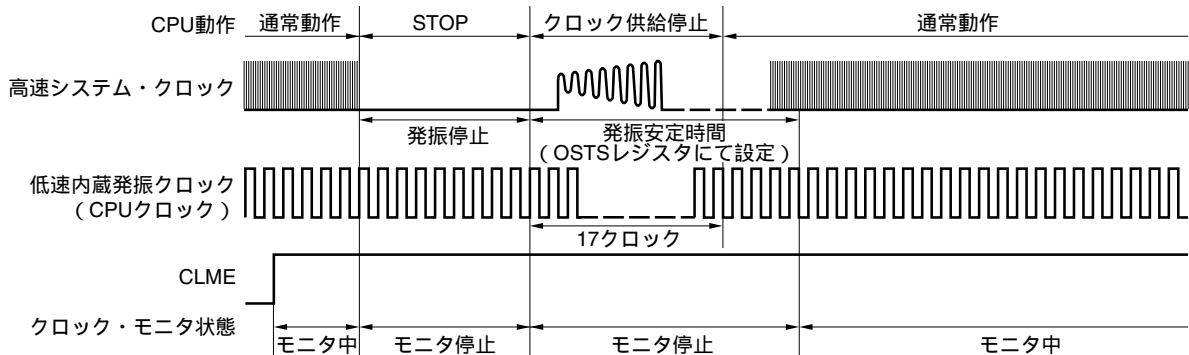


STOPモードに入る前に、クロック・モニタ・モード・レジスタ (CLM) のビット0 (CLME) に1を設定している場合、高速システム・クロックの発振安定時間終了時に自動的にモニタ動作を開始します。STOPモードおよび発振安定時間中はモニタ動作を停止します。

図17-3 クロック・モニタのタイミング (3/4)

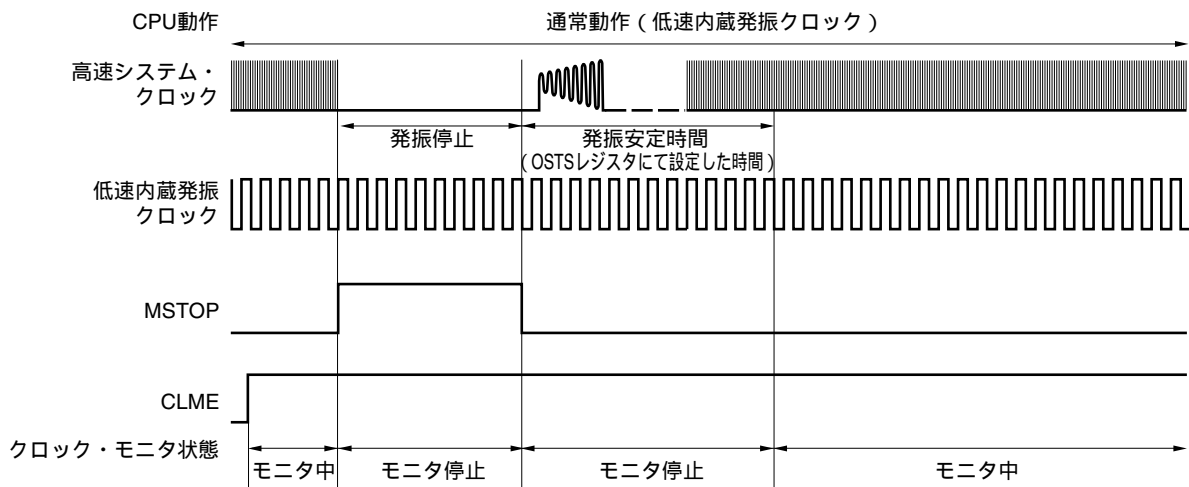
(5) STOPモード解除後のクロック・モニタの状態

(CPUクロックが低速内蔵発振クロック, STOPモードに入る前に, CLME = 1を設定)



STOPモードに入る前に, クロック・モニタ・モード・レジスタ (CLM) のビット0 (CLME) に1を設定している場合, 高速システム・クロックの発振安定時間終了時に自動的にモニタ動作を開始します。STOPモードおよび発振安定時間中はモニタ動作を停止します。

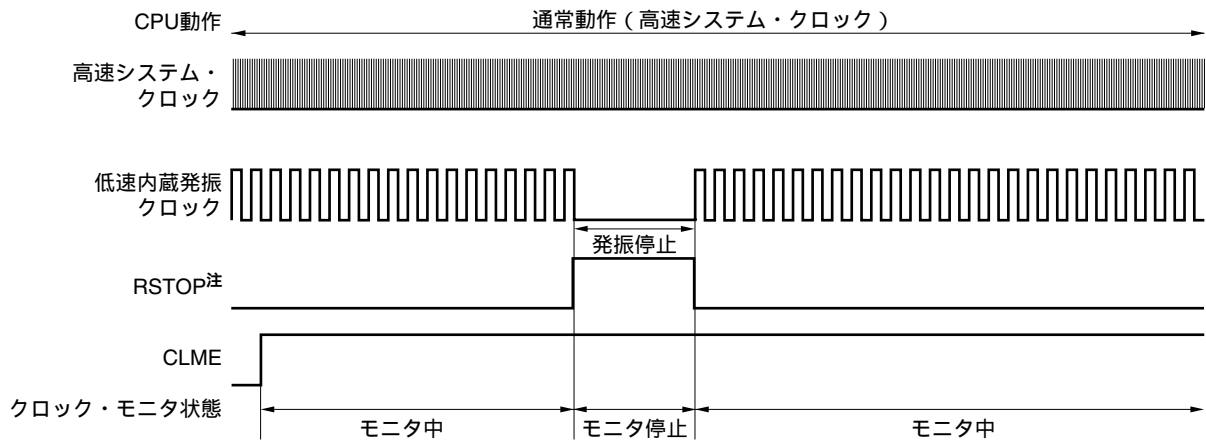
(6) ソフトウェアによる高速システム・クロック発振停止後のクロック・モニタの状態



高速システム・クロック発振停止前または停止中に, クロック・モニタ・モード・レジスタ (CLM) のビット0 (CLME) に1を設定している場合, 高速システム・クロックの発振安定時間終了時に自動的にモニタ動作を開始します。高速システム・クロック発振停止時および発振安定時間中はモニタ動作を停止します。

図17-3 クロック・モニタのタイミング (4/4)

(7) ソフトウェアによる低速内蔵発振クロック発振停止後のクロック・モニタの状態



低速内蔵発振クロック発振停止前または停止中に、クロック・モニタ・モード・レジスタ (CLM) のビット0 (CLME) に1を設定している場合、低速内蔵発振クロック停止後、自動的にモニタ動作を開始します。低速内蔵発振クロック停止時はモニタ動作を停止します。

注 マスク・オプション (フラッシュ・メモリ製品の場合はオプション・バイト) で、低速内蔵発振器を「停止不可」に選択している場合、低速内蔵発振モード・レジスタ (RCM) のビット0 (RSTOP) の設定は無効となります。またRSTOPを設定するときは、メイン・クロック・モード・レジスタ (MCM) のビット1 (MCS) が1であることを必ず確認してください。

第18章 パワーオン・クリア回路

18.1 パワーオン・クリア回路の機能

パワーオン・クリア (POC) 回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。
- ・電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 2.85\text{ V} \pm 0.15\text{ V}$) を比較し、 $V_{DD} < V_{POC}$ になったとき、内部リセット信号を発生します。

注意1. POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) がクリア (00H) されます。

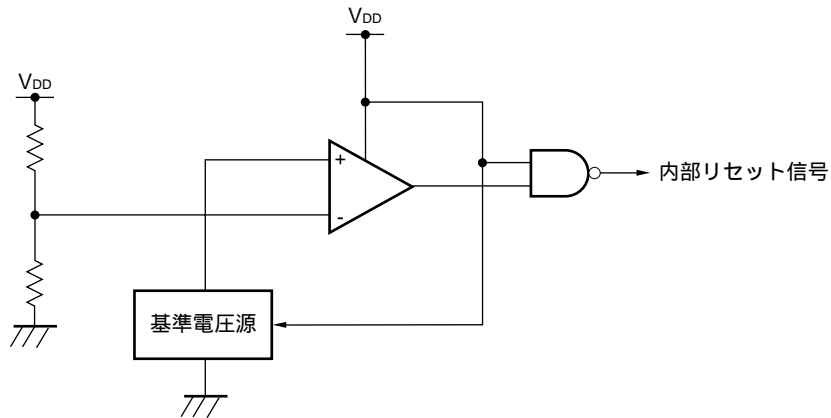
2. 電源電圧は $V_{DD} = 2.7 \sim 5.5\text{ V}$ ですが、POC回路の検出電圧 (V_{POC}) が $2.85\text{ V} \pm 0.15\text{ V}$ のため、 $3.0 \sim 5.5\text{ V}$ の電圧範囲で使用してください。

備考 本製品には内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 低電圧検出 (LVI) 回路 / クロック・モニタによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ (RESF) に配置されています。RESFはWDT / LVI / クロック・モニタのいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFの詳細については、**第16章 リセット機能**を参照してください。

18.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図18 - 1に示します。

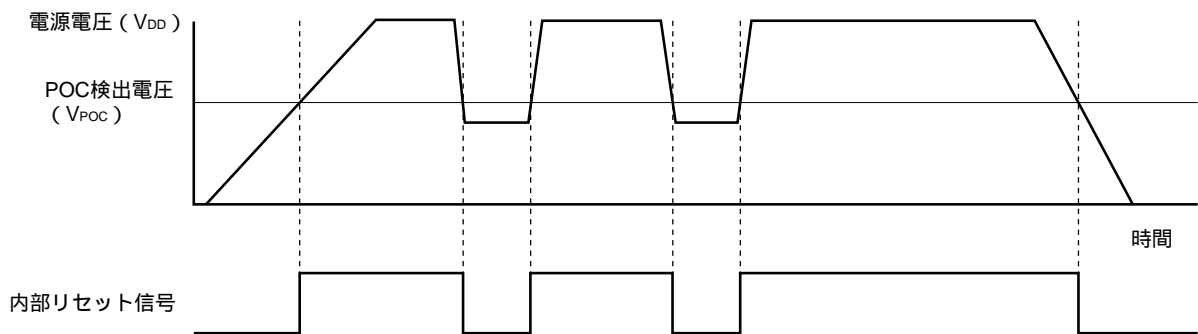
図18 - 1 パワーオン・クリア回路のブロック図



18.3 パワーオン・クリア回路の動作

パワーオン・クリア回路では、電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 2.85 \text{ V} \pm 0.15 \text{ V}$) を比較し、 $V_{DD} < V_{POC}$ のとき内部リセット信号を発生します。

図18 - 2 パワーオン・クリア回路の内部リセット信号発生タイミング



18.4 パワーオン・クリア回路の注意事項

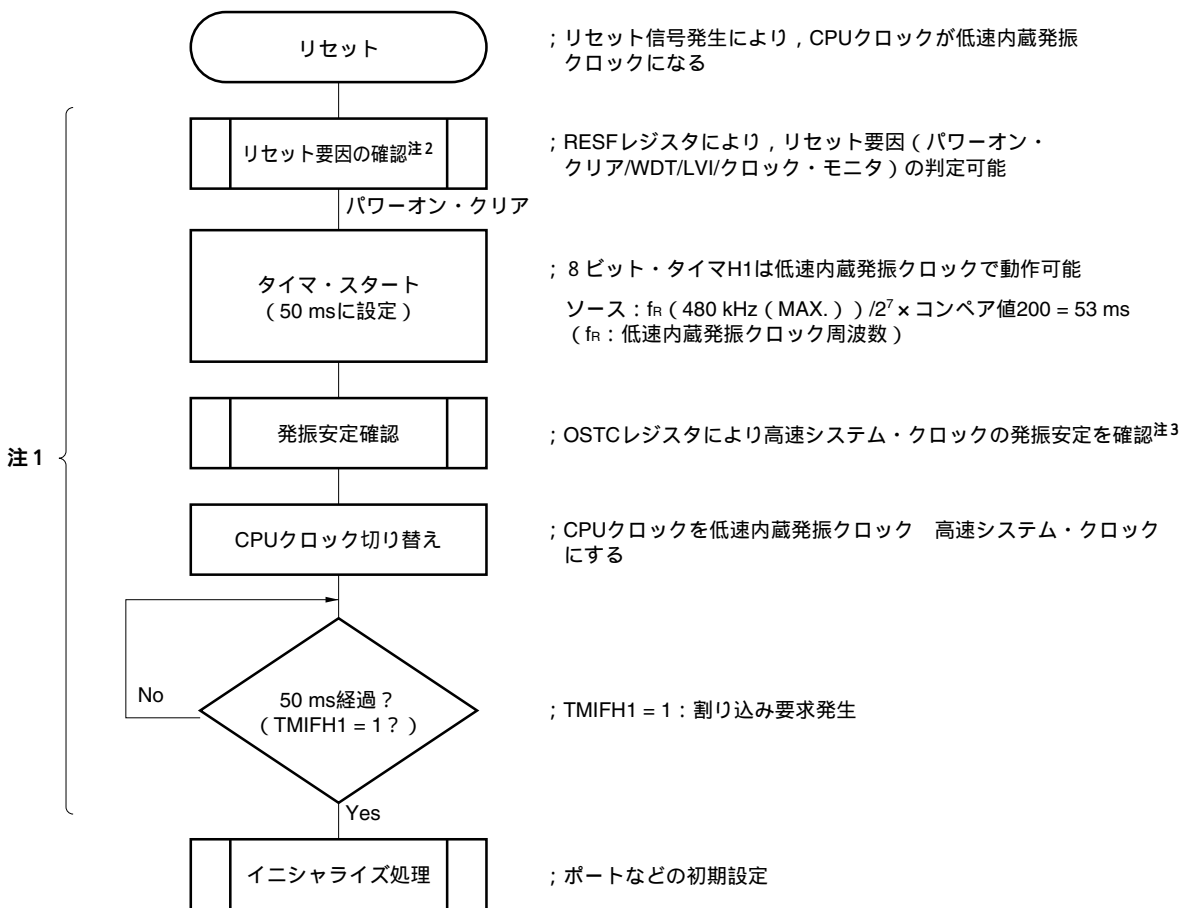
電源電圧 (V_{DD}) がPOC検出電圧 ($V_{POC} = 2.85 \text{ V} \pm 0.15 \text{ V}$) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図18-3 リセット解除後のソフト処理例 (1/2)

・ POC検出電圧付近での電源電圧変動が50 ms以下の場合



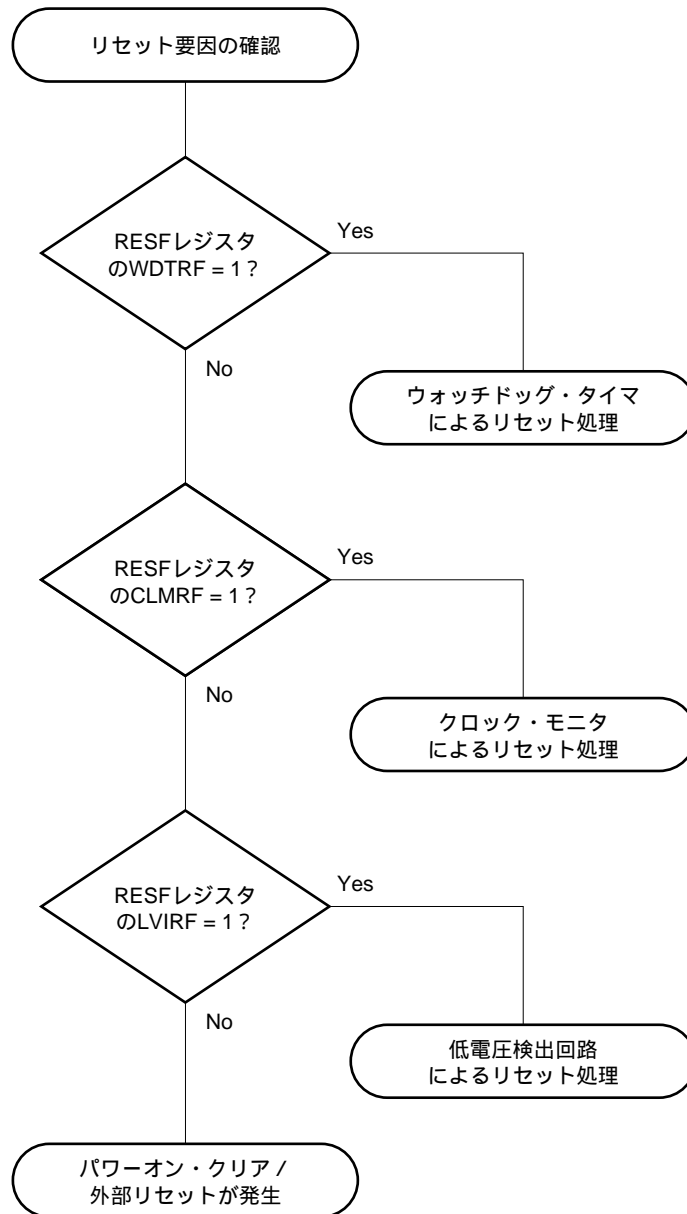
注1. この間に再度リセットが発生した場合、イニシャライズ処理には移行しません。

2. 次頁にフロー・チャートを示します。

3. マスク・オプション (フラッシュ・メモリ製品の場合はオプション・バイト) で高速システム・クロックを外部RC発振クロックまたは高速内蔵発振クロックに選択した場合、発振安定時間のウエイトは必要ありません。したがって、OSTCの値を読み出さずに、CPUクロックを切り替えてもかまいません。

図18 - 3 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



第19章 低電圧検出回路

19.1 低電圧検出回路の機能

低電圧検出 (LVI) 回路は次のような機能を持ちます。

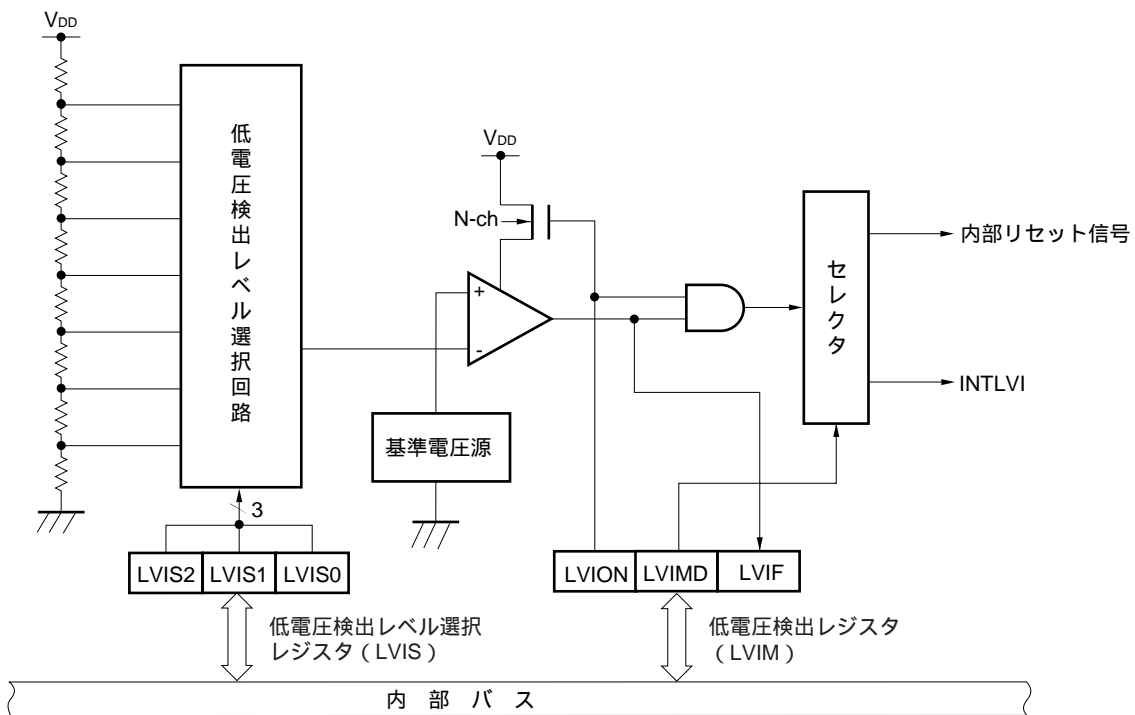
- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ になったとき、内部割り込み信号もしくは内部リセット信号を発生します。
- ・電源電圧の検出レベル (7段階) をソフトウェアにて変更できます。
- ・割り込み / リセットをソフトウェアにて選択できます。
- ・STOPモード時においても動作可能です。

低電圧検出回路をリセットとして使用した場合に、リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット0 (LVIRF) がセット (1) されます。RESFについての詳細は、第16章 リセット機能を参照してください。

19.2 低電圧検出回路の構成

低電圧検出回路のブロック図を図19 - 1に示します。

図19 - 1 低電圧検出回路のブロック図



19.3 低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)

(1) 低電圧検出レジスタ (LVIM)

低電圧検出，動作モードを設定するレジスタです。

LVIMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図19-2 低電圧検出レジスタ (LVIM) のフォーマット

アドレス：FFBEH リセット時：00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
LVIM	LVION	0	0	0	0	0	LVIMD	LVIF

LVION ^{注2,3}	低電圧検出動作許可
0	動作禁止
1	動作許可

LVIMD ^{注2}	低電圧検出の動作モード選択
0	電源電圧 (V _{DD}) < 検出電圧 (V _{LVI}) 時に割り込み信号発生
1	電源電圧 (V _{DD}) < 検出電圧 (V _{LVI}) 時に内部リセット信号発生

LVIF ^{注4}	低電圧検出フラグ
0	電源電圧 (V _{DD}) 検出電圧 (V _{LVI})，または動作禁止時
1	電源電圧 (V _{DD}) < 検出電圧 (V _{LVI})

注1．ビット0はRead Onlyです。

- 2．LVION, LVIMDはLVIリセット以外のリセット時にクリア (0) されます。LVIリセットではクリア (0) されません。
- 3．LVIONをセット (1) すると，LVI回路内のコンパレータの動作を開始します。LVIONをセット (1) してからLVIFで電圧を確認するまでに0.2 ms以上ソフトウェアでウェイトしてください。
- 4．LVIFの値は，LVION = 1かつLVIMD = 0の場合に，割り込み要求信号INTLVIとして出力されず。

注意1．LVIを停止する場合は，次のいずれかの手順を行ってください。

- ・8ビット・メモリ操作命令の場合：LVIMに“00H”を書き込む
- ・1ビット・メモリ操作命令の場合：LVIONをクリア (0)

2．ビット2-6には，必ず0を設定してください。

(2) 低電圧検出レベル選択レジスタ (LVIS)

低電圧検出レベルを選択するレジスタです。

LVISは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図19 - 3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット

アドレス : FFBFH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	0	LVIS2	LVIS1	LVIS0

LVIS2	LVIS1	LVIS0	検出レベル
0	0	0	$V_{LV10} (4.3 V \pm 0.2 V)$
0	0	1	$V_{LV11} (4.1 V \pm 0.2 V)$
0	1	0	$V_{LV12} (3.9 V \pm 0.2 V)$
0	1	1	$V_{LV13} (3.7 V \pm 0.2 V)$
1	0	0	$V_{LV14} (3.5 V \pm 0.2 V)$
1	0	1	$V_{LV15} (3.3 V \pm 0.15 V)$
1	1	0	$V_{LV16} (3.1 V \pm 0.15 V)$
1	1	1	設定禁止

注意 ビット3-7には必ず“0”を設定してください。

19.4 低電圧検出回路の動作

低電圧検出回路は、次の2種類の動作モードがあります。

- ・リセットとして使用
電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ のとき内部リセット信号を発生します。
- ・割り込みとして使用
電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ のとき割り込み信号 (INTLVI) を発生します。

動作設定方法は次のとおりです。

(1) リセットとして使用する場合

動作開始時

- LVIMの割り込みをマスクする ($LVIMK = 1$)
- 低電圧検出レベル選択レジスタ (LVIS) のビット2-0 ($LVIS2-LVIS0$) で検出電圧を設定する
- LVIMのビット7 ($LVION$) に “1” (LVI動作許可) を設定する
- 0.2 ms以上ソフトウェアでウエイトする
- LVIMのビット0 ($LVIF$) で、「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であることを確認する
- LVIMのビット1 ($LVIMD$) に “1” (電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) 時に、内部リセット信号発生) を設定する

図19-4に ~ と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

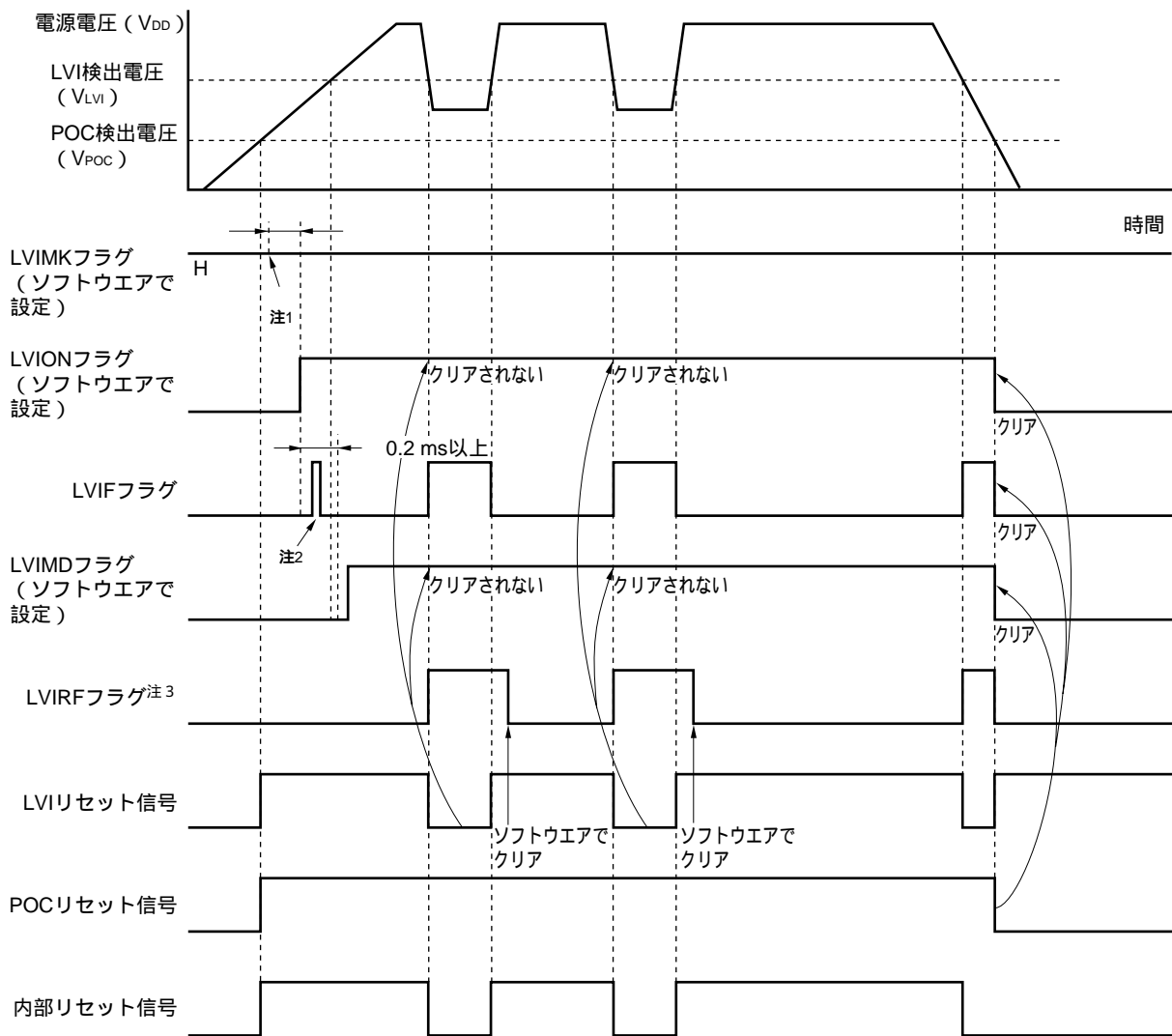
- 注意1.** は必ず行ってください。LVIMK = 0になっている場合、 の処理を行った時点で割り込みが発生する場合があります。
2. LVIM = 1とした時点で、「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であれば内部リセット信号は発生しません。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：
LVIMに “00H” を書き込む
- ・1ビット・メモリ操作命令の場合：
LVIMDをクリア (0) LVIONをクリア (0)

図19-4 低電圧検出回路の内部リセット信号発生タイミング



注1. LVIMKフラグはRESET入力により、“1”になっています。

2. LVIFフラグがセット(1)される可能性があります。

3. LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は、第16章 リセット機能を参照してください。

備考 図19-4の ~ は、19.4(1)リセットとして使用する場合 動作開始時の ~ と対応しています。

(2) 割り込みとして使用する場合

動作開始時

- LVIMの割り込みをマスクする (LVIMK = 1)
- 低電圧検出レベル選択レジスタ (LVIS) のビット2-0 (LVIS2-LVIS0) で検出電圧を設定する
- LVIMのビット7 (LVION) に “ 1 ” (LVI動作許可) を設定する
- 0.2 ms以上ソフトウェアでウエイトする
- LVIMのビット0 (LVIF) で, 「電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) 」であることを確認するまで待つ
- LVIMの割り込み要求フラグ (LVIIF) をクリア (0) する
- LVIMの割り込みマスク・フラグ (LVIMK) を解除する
(ベクタ割り込みを使用する場合) EI命令を実行する

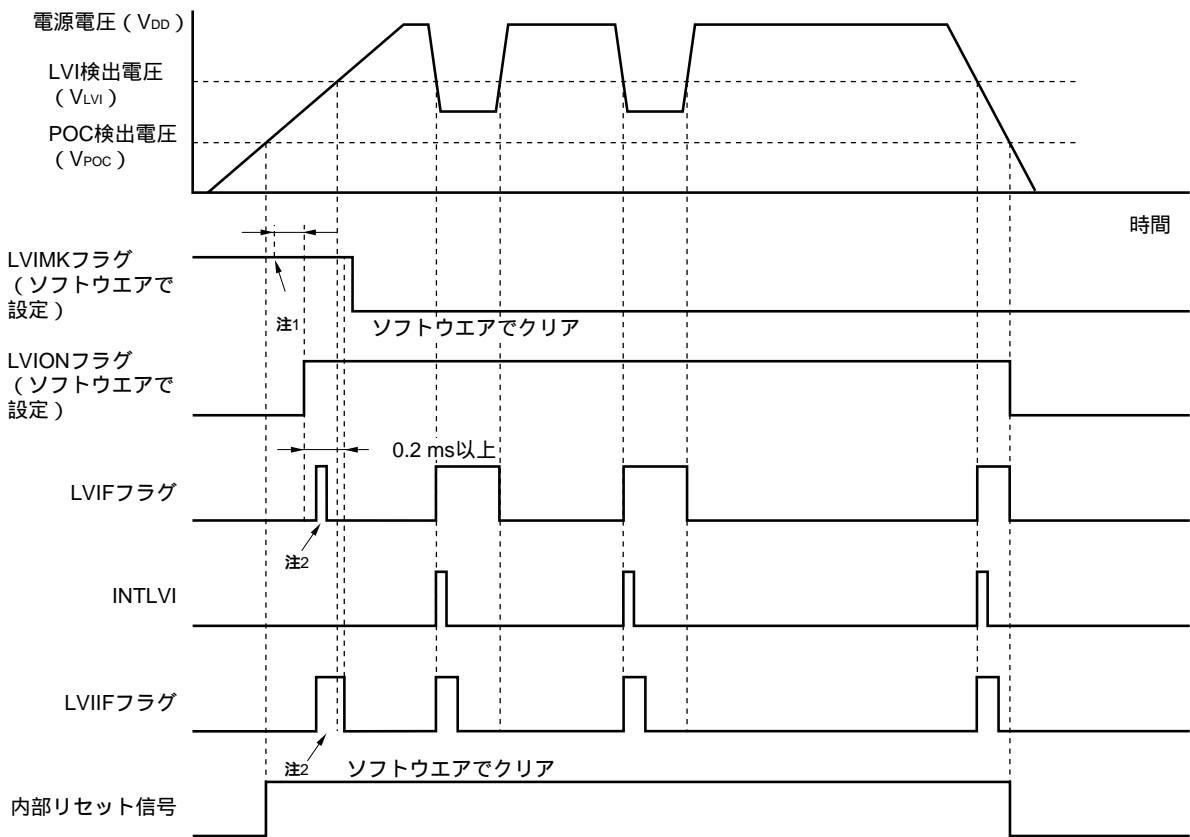
図19 - 5に ~ と対応した低電圧検出回路の割り込み信号発生タイミングを示します。

動作停止時

次のいずれかの手順を, 必ず実行してください。

- ・ 8ビット・メモリ操作命令の場合 :
LVIMに “ 00H ” を書き込む
- ・ 1ビット・メモリ操作命令の場合 :
LVIONをクリア (0)

図19 - 5 低電圧検出回路の割り込み信号発生タイミング



- 注1. LVIMKフラグはRESET入力により、“1”になっています。
 2. LVIFフラグ、LVIIFフラグがセット(1)される可能性があります。

備考 図19 - 5の ~ は、19.4(2)割り込みとして使用する場合 動作開始時の ~ と対応しています。

19.5 低電圧検出回路の注意事項

電源電圧 (V_{DD}) がLVI検出電圧 (V_{LVI}) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。

(1) リセットとして使用する場合

リセット状態 / リセット解除状態を繰り返すことがあります。

後述の処置 (a) に示す処理を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。

(2) 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。後述の処置 (b) に示す処理を行うようにしてください。

このようなシステム構成の場合、次の処置をしてください。

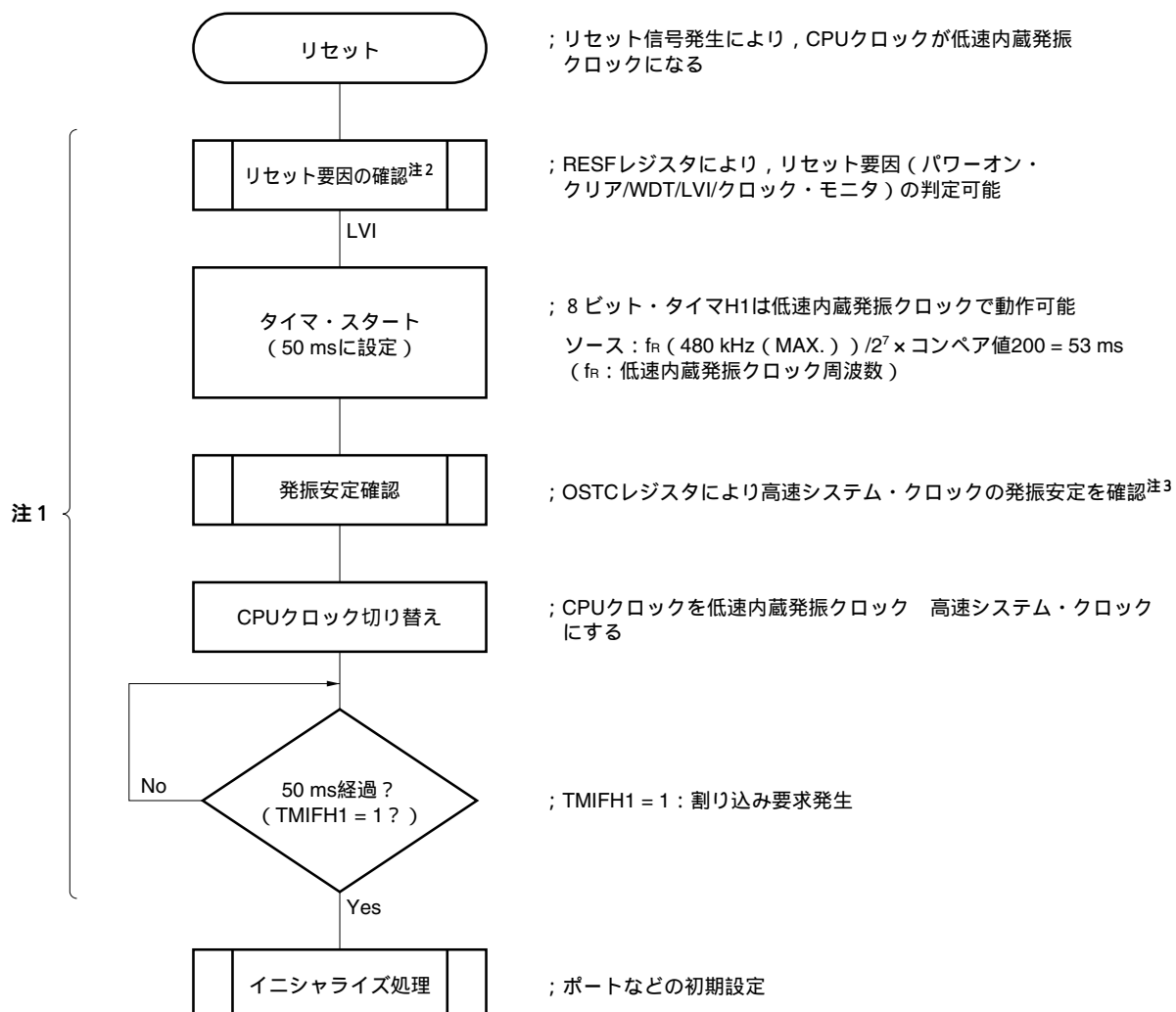
< 処 置 >

(a) リセットとして使用する場合

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図19 - 6 リセット解除後のソフト処理例 (1/2)

・ LVI検出電圧付近での電源電圧変動が50 ms以下の場合



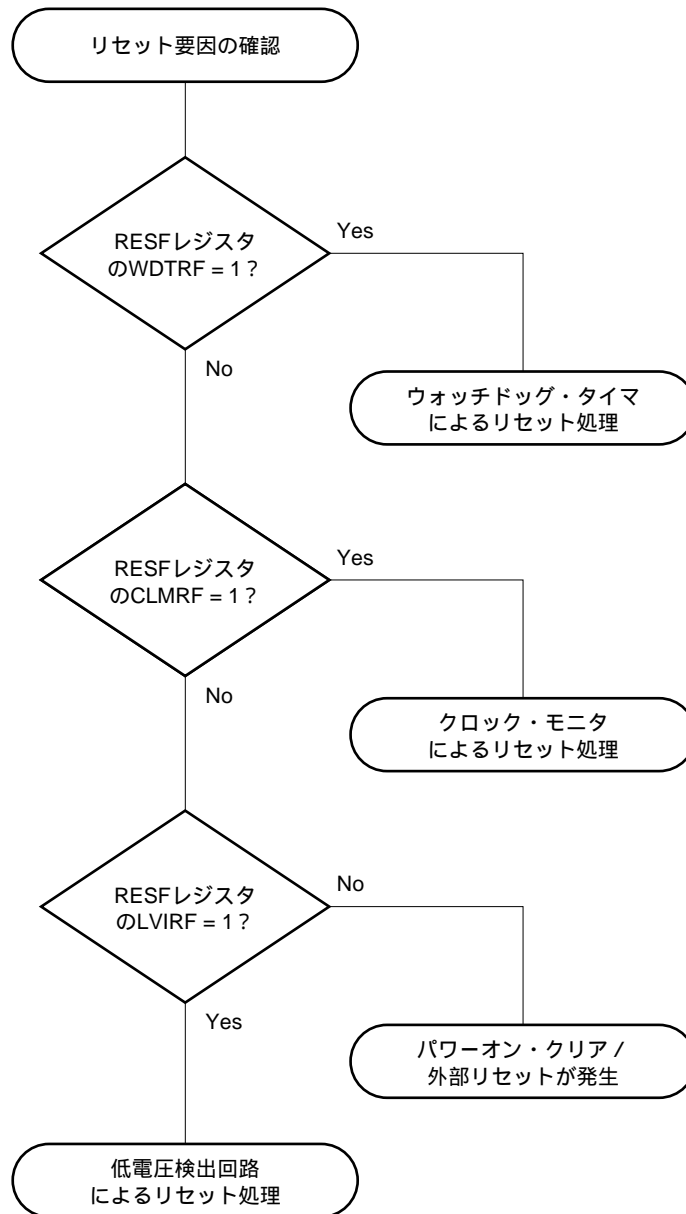
注1. この間に再度リセットが発生した場合, イニシャライズ処理には移行しません。

2. 次頁にフロー・チャートを示します。

3. マスク・オプション (フラッシュ・メモリ製品の場合はオプション・バイト) で高速システム・クロックを外部RC発振クロックまたは高速内蔵発振クロックに選択した場合, 発振安定時間のウエイトは必要ありません。したがって, OSTCの値を読み出さずに, CPUクロックを切り替えてもかまいません。

図19 - 6 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



(b) 割り込みとして使用する場合

LVI割り込みの処理ルーチン内で、低電圧検出レジスタ (LVIM) のビット0 (LVIF) で、“電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) ”を確認し、割り込み要求フラグ・レジスタ0L (IF0L) のビット0 (LVIF) をクリア (0) してから、EI (割り込み許可) にしてください。

また、LVI検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウエイトしたあとに、LVIFフラグで“電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) ”を確認してから、EI (割り込み許可) にしてください。

第20章 マスク・オプション / オプション・バイト

20.1 マスク・オプション (マスクROM製品)

マスクROM製品には、次のマスク・オプションがあります。

1. 高速システム・クロック発振の選択

- ・水晶 / セラミック発振
- ・外部RC発振
- ・高速内蔵発振

2. 低速内蔵発振器の動作

- ・停止不可^注
- ・ソフトウェアにより停止可能

注 「低速内蔵発振器を停止不可」を選択した場合、ウォッチドッグ・タイマのソース・クロックは低速内蔵発振クロックに固定されます。変更はできません。

注意 外部クロックを使用する場合、水晶 / セラミック発振または外部RC発振を選択してください。

20.2 オプション・バイト (フラッシュ・メモリ製品)

フラッシュ・メモリ製品では、マスクROM製品のマスク・オプションを、オプション・バイトでの設定で実現できます。

フラッシュ・メモリの0080Hに、オプション・バイトを用意しています。

製品使用の際には、必ずオプション・バイトにマスク・オプション情報を設定してください。

図20 - 1 オプション・バイトの位置 (フラッシュ・メモリ製品)

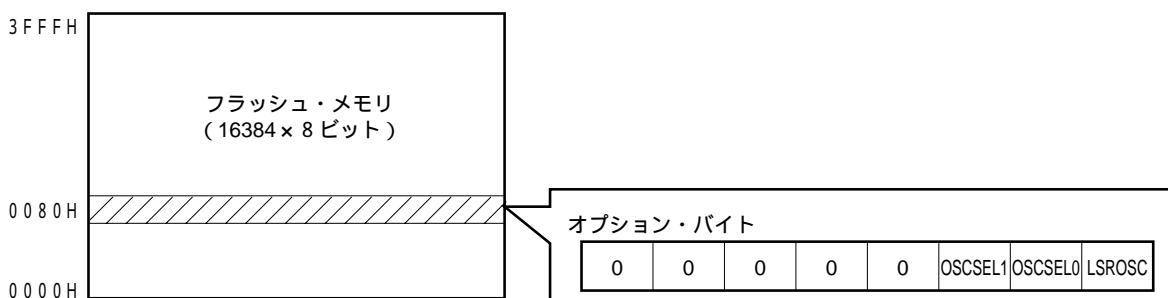


図20 - 2 オプション・バイトのフォーマット (フラッシュ・メモリ製品)

アドレス : 0080H

7	6	5	4	3	2	1	0
0	0	0	0	0	OSCSEL1	OSCSEL0	LSROSC

OSCSEL1	OSCSEL0	高速システム・クロック発振の選択
0	0	水晶 / セラミック発振
0	1	外部RC発振
1	x	高速内蔵発振

LSROSC	低速内蔵発振器の動作
0	ソフトウェアにより停止可能
1	停止不可

注意 外部クロックを使用する場合、水晶 / セラミック発振または外部RC発振を選択してください。

備考 オプション・バイト設定のソフトウェア記述例を次に示します。

OPT CSEG AT 0080H

OPTION : DB 03H ; オプション・バイトに設定

(外部RC発振を使用 / 低速内蔵発振器を停止不可)

第21章 フラッシュ・メモリ

μ PD780862サブシリーズのフラッシュ・メモリ製品には、 μ PD78F0862, 78F0862Aがあります。

μ PD78F0862, 78F0862Aは、 μ PD780862の内蔵マスクROMを、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリに置き換えた製品です。 μ PD78F0862, 78F0862AとマスクROM製品の違いを表21 - 1に示します。

表21 - 1 μ PD78F0862, 78F0862AとマスクROM製品の違い

項 目	μ PD78F0862, 78F0862A	マスクROM製品
内部ROM構造	フラッシュ・メモリ	マスクROM
内部ROM容量	16 Kバイト ^注	μ PD780861 : 8 Kバイト μ PD780862 : 16 Kバイト
内部高速RAM容量	768バイト ^注	μ PD780861 : 512バイト μ PD780862 : 768バイト
IC端子	なし	あり
FLMD0, FLMD1端子	あり	なし
電気的特性	電気的特性の章を参照してください。	

注 メモリ・サイズ切り替えレジスタ (IMS) により、マスクROM製品と同一の容量に設定できます。

- 注意1. フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品 (ES製品ではなく) で十分に評価してください。
2. μ PD78F0862と μ PD78F0862Aの違いは、フラッシュ・メモリの特性のみです。詳細については、電気的特性の章の「フラッシュ・メモリ・プログラミング特性」を参照してください。

21.1 メモリ・サイズ切り替えレジスタ

μ PD78F0862, 78F0862Aは、メモリ・サイズ切り替えレジスタ（IMS）により、内部メモリ容量を選択できます。IMSを設定することにより、内部メモリ容量の異なるマスクROM製品のメモリ・マップと同一のメモリ・マップにできます。

IMSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、CFHになります。

注意 IMSの初期値は設定禁止（CFH）です。必ず初期設定で対象のマスクROM製品の値を設定してください。

図21 - 1 メモリ・サイズ切り替えレジスタ（IMS）のフォーマット

アドレス：FFF0H リセット時：CFH R/W

略号	7	6	5	4	3	2	1	0
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0
	RAM2	RAM1	RAM0	内部高速RAM容量の選択				
	0	0	0	768バイト				
	0	1	0	512バイト				
	上記以外			設定禁止				
	ROM3	ROM2	ROM1	ROM0	内部ROM容量の選択			
	0	0	1	0	8 Kバイト			
	0	1	0	0	16 Kバイト			
	上記以外				設定禁止			

マスクROM製品と同一のメモリ・マップにするIMSの設定値を表21 - 2に示します。

表21 - 2 メモリ・サイズ切り替えレジスタの設定値

対象のマスクROM製品	IMSの設定値
μ PD780861	42H
μ PD780862	04H

注意 マスクROM製品を使用する場合、IMSには表21 - 2に示す値を必ず設定してください。

21.2 フラッシュ・ライターによる書き込み方法

専用フラッシュ・ライター (FlashPro4) により、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上に μ PD78F0862, 78F0862A を実装後、フラッシュ・メモリの内容を書き換えます。
ターゲット・システム上には、専用フラッシュ・ライターを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上に μ PD78F0862, 78F0862A を実装する前に専用プログラム・アダプタ (FAシリーズ) などでフラッシュ・メモリに書き込みます。

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

表21-3 μ PD78F0862, 78F0862Aと専用フラッシュ・ライターの配線表

専用フラッシュ・ライター接続端子			CSI10 + HS使用時		CSI10使用時		UART6使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SO10/P12/ TOH1/ (INTP3)	11	SO10/P12/ TOH1/ (INTP3)	11	TxD6/P13/INTP1/ (TOH1) / (MCGO)	12
SO/TxD	出力	送信信号	SI10/P11/INTP3	10	SI10/P11/INTP3	10	RxD6/P14/ < INTP0 >	13
SCK	出力	転送クロック	SCK10/P10/ (INTP1)	9	SCK10/P10/ (INTP1)	9	必要なし	必要なし
CLK	出力	μ PD78F0862, 78F0862A へのク ロック	X1 [CL1]	2	X1 [CL1]	2	X1 [CL1]	2
			X2 [CL2] / P02 ^注	3	X2 [CL2] / P02 ^注	3	X2 [CL2] / P02 ^注	3
/RESET	出力	リセット信号	RESET	6	RESET	6	RESET	6
FLMD0	出力	モード信号	FLMD0	4	FLMD0	4	FLMD0	4
FLMD1	出力	モード信号	HS/P15/TOH0/ FLMD1	14	HS/P15/TOH0/ FLMD1	14	HS/P15/TOH0/ FLMD1	14
H/S	入力	CSI10 + HS信号のハ ンド・シェーク信号	HS/P15/TOH0/ FLMD1	14	必要なし	必要なし	必要なし	必要なし
V _{DD}	入出力	V _{DD} 電圧生成	V _{DD}	5	V _{DD}	5	V _{DD}	5
			AV _{REF}	20	AV _{REF}	20	AV _{REF}	20
GND	-	グランド	V _{SS}	1	V _{SS}	1	V _{SS}	1

注 フラッシュ・ライターのクロック・アウトを使用する際は、ライターのCLKとX1を接続し、X2にはその反転信号を接続してください。

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図21 - 2 3線式シリアルI/O (CSI10) 方式でのフラッシュ書き込み用アダプタ配線例

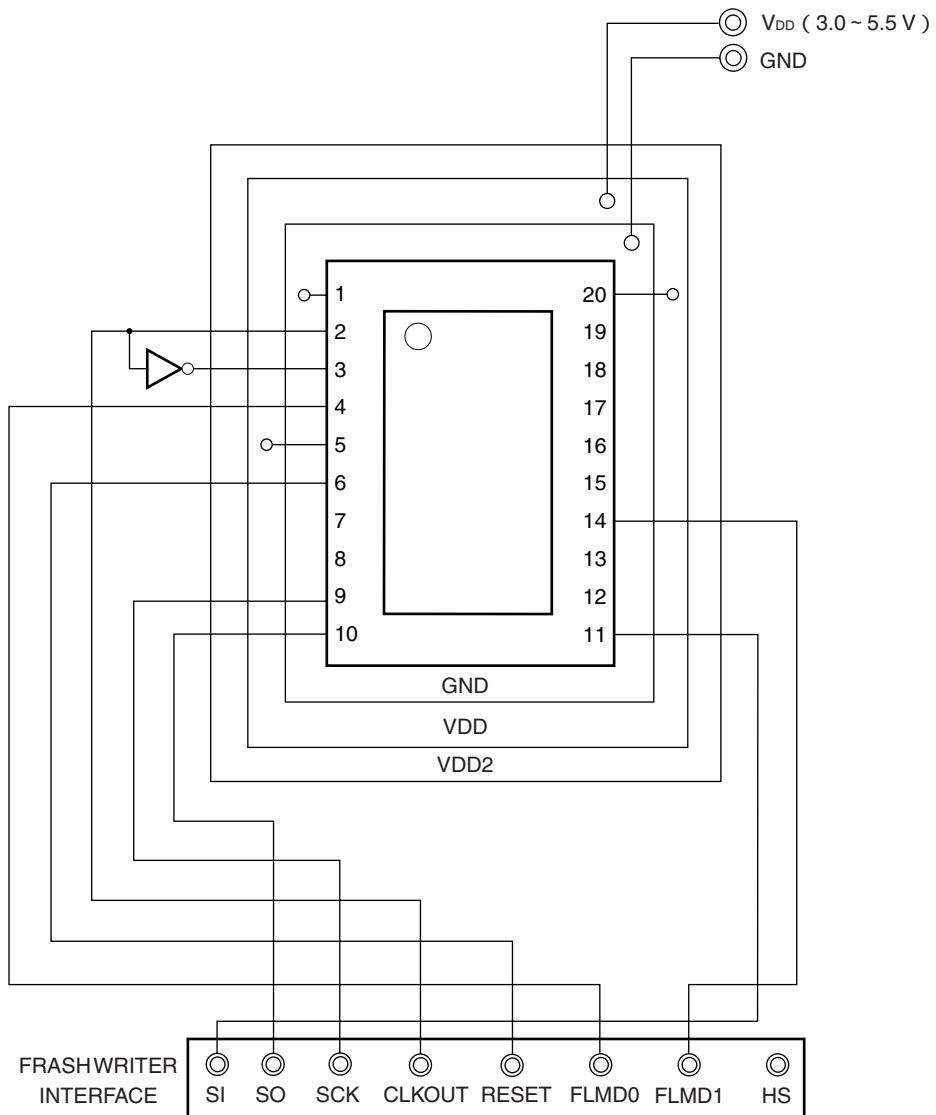


図21 - 3 3線式シリアルI/O (CS10 + HS) 方式でのフラッシュ書き込み用アダプタ配線例

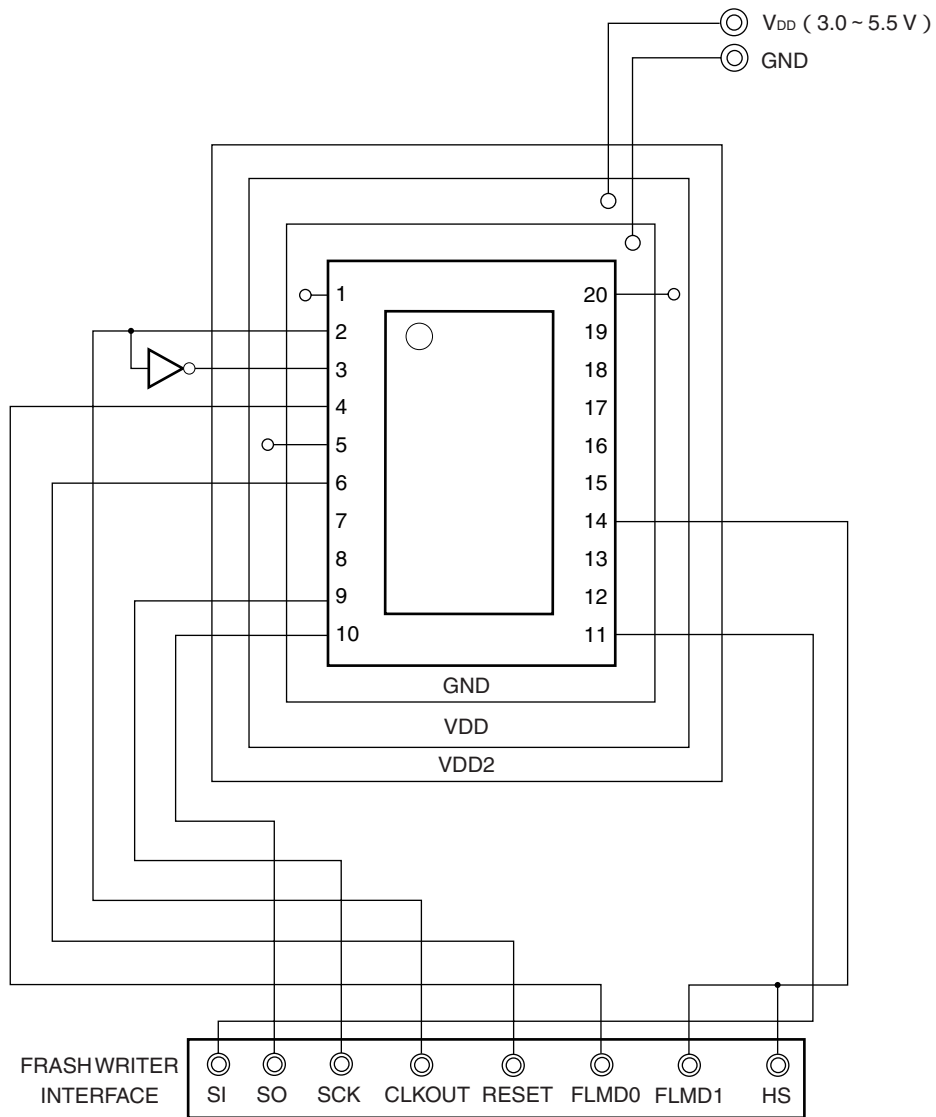
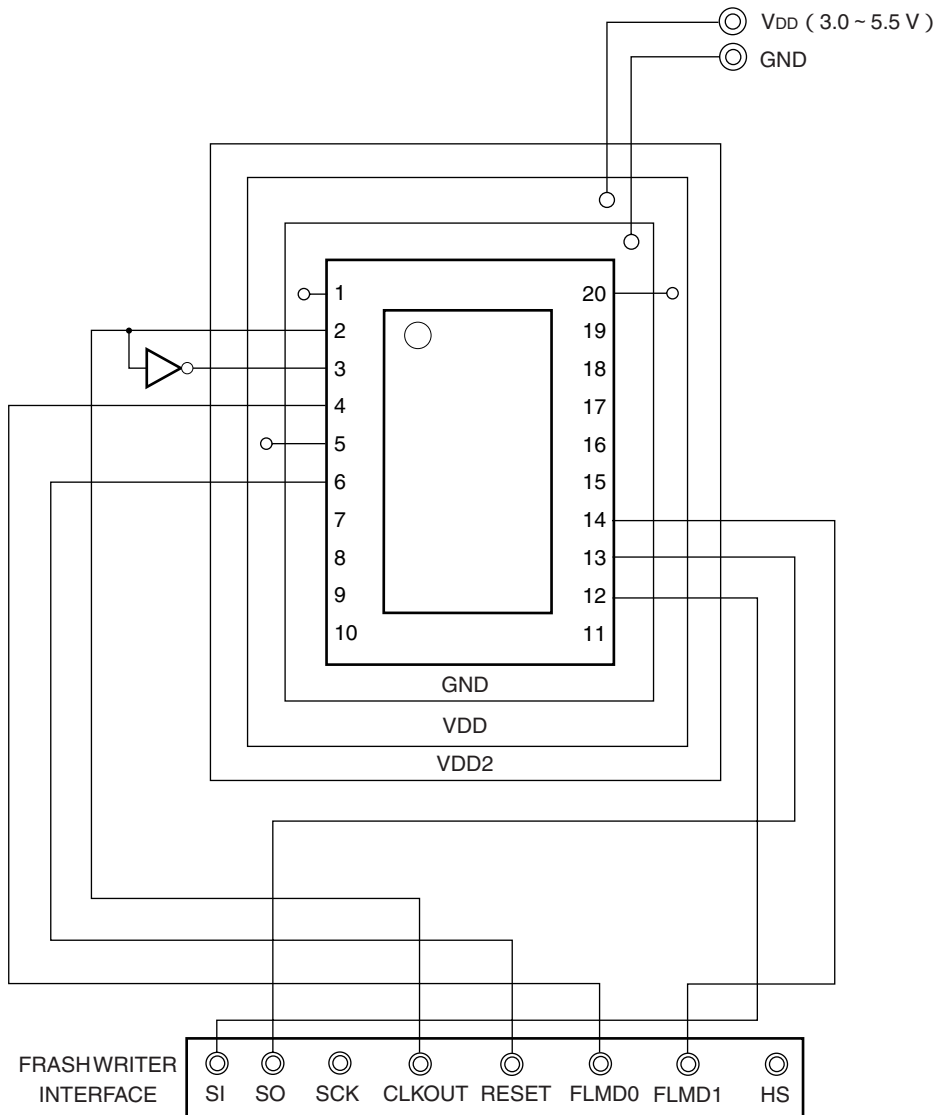


図21 - 4 UART (UART6) 方式でのフラッシュ書き込み用アダプタ配線例



21.3 プログラミング環境

μ PD78F0862, 78F0862Aのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図21-5 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・ライターと μ PD78F0862, 78F0862AとのインターフェースはCSI10またはUART6を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

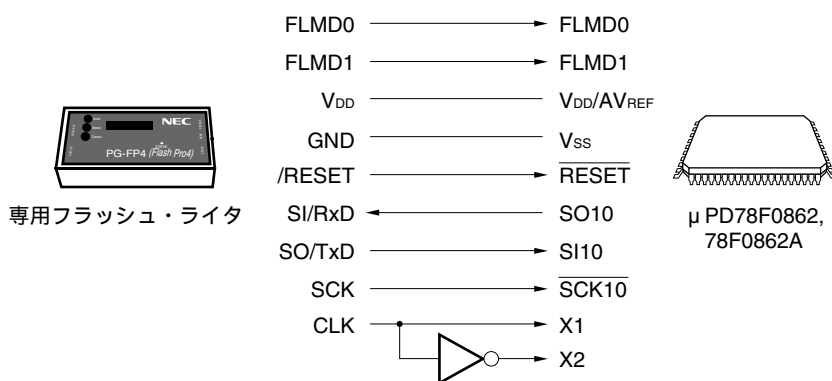
21.4 通信方式

専用フラッシュ・ライターと μ PD78F0862, 78F0862Aとの通信は、 μ PD78F0862, 78F0862AのCSI10またはUART6によるシリアル通信で行います。

(1) CSI10

転送レート：2.4 kHz ~ 2.5 MHz

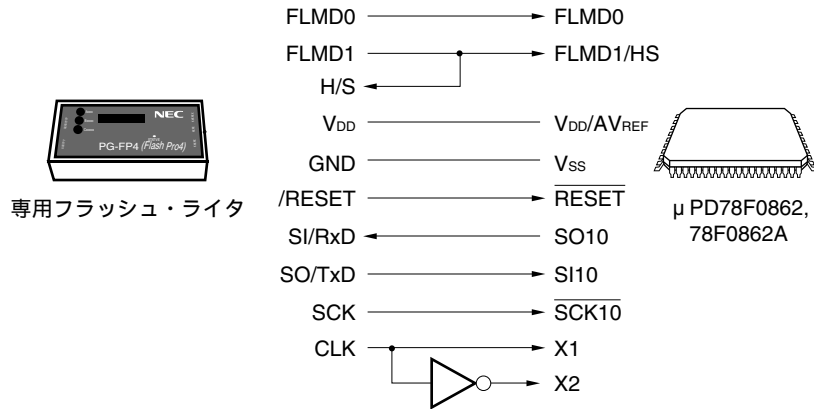
図21-6 専用フラッシュ・ライターとの通信 (CSI10)



(2) ハンドシェイク対応CSI通信方式

転送レート：2.4 kHz～2.5 MHz

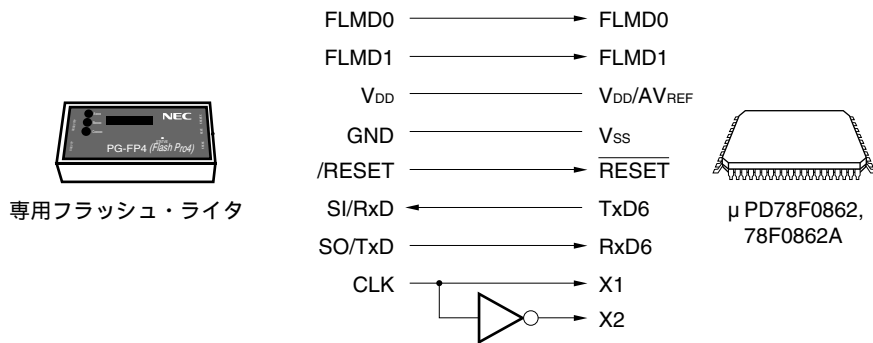
図21-7 専用フラッシュ・ライターとの通信 (CSI10+HS)



(3) UART6

転送レート：9600, 19200, 31250, 38400, 76800, 153600^注 bps

図21-8 専用フラッシュ・ライターとの通信 (UART6)



注 153600 bpsは、周辺ハードウェア・クロック周波数が2.5 MHz以下の場合には、選択できません。

専用フラッシュ・ライターとしてFlashPro4を使用した場合，FlashPro4は μ PD78F0862, 78F0862Aに対して次の信号を生成します。詳細はFlashPro4のマニュアルを参照してください。

表21 - 4 端子接続一覧

FlashPro4			μ PD78F0862, 78F0862A	接続時の処置	
信号名	入出力	端子機能	端子名	CSI10	UART6
FLMD0	入力	モード信号	FLMD0		
FLMD1	出力	モード信号	FLMD1		
V _{DD}	入出力	V _{DD} 電圧生成	V _{DD} , AV _{REF}		
GND	-	グランド	V _{SS}		
CLK	出力	μ PD78F0862へのクロック出力	X1, X2 ^注		
/RESET	出力	リセット信号	RESET $\bar{}$		
SI/RxD	入力	受信信号	SO10/TxD6		
SO/TxD	出力	送信信号	SI10/RxD6		
SCK	出力	転送クロック	SCK10		×
H/S	入力	ハンドシェーク信号	HS		×

注 フラッシュ・ライターのクロック・アウトを使用する際は，ライターのCLKとX1を接続し，X2にはその反転信号を接続してください。

- 備考** : 必ず接続してください。
 : ターゲット・ボード上で生成されていれば，接続の必要はありません。
 × : 接続の必要はありません。
 : ハンドシェーク・モード時

21.5 オンボード上の端子処理

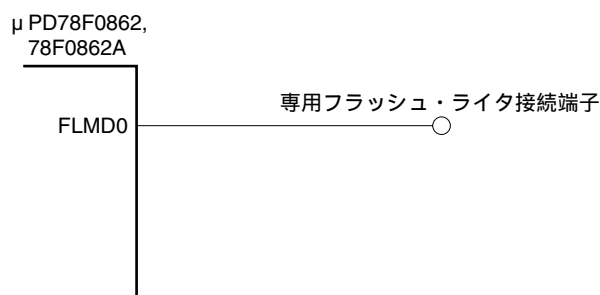
オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・ライタと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

21.5.1 FLMD0端子

通常動作モード時は、FLMD0端子に0 Vを入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子に V_{DD} の書き込み電圧を供給します。FLMD0端子の接続例を次に示します。

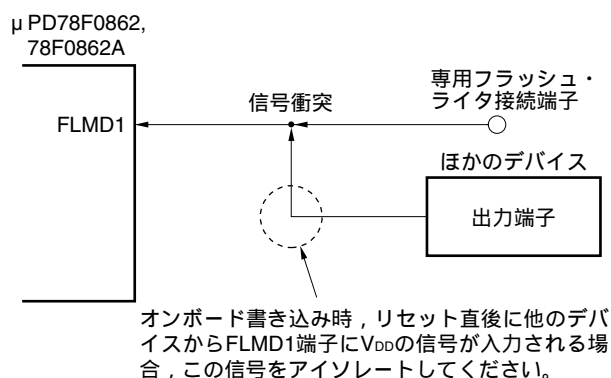
図21 - 9 FLMD0端子の接続例



21.5.2 FLMD1端子

FLMD0端子に0 Vを入力された場合、FLMD1端子は機能しません。FLMD0端子に V_{DD} が供給された場合、フラッシュ・メモリ・プログラミング・モードに引き込むため、FLMD1端子を V_{SS} と同じ電圧にする必要があります。FLMD1端子の接続例を次に示します。

図21 - 10 FLMD1端子の接続例



21.5.3 シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表21-5 各シリアル・インタフェースが使用する端子

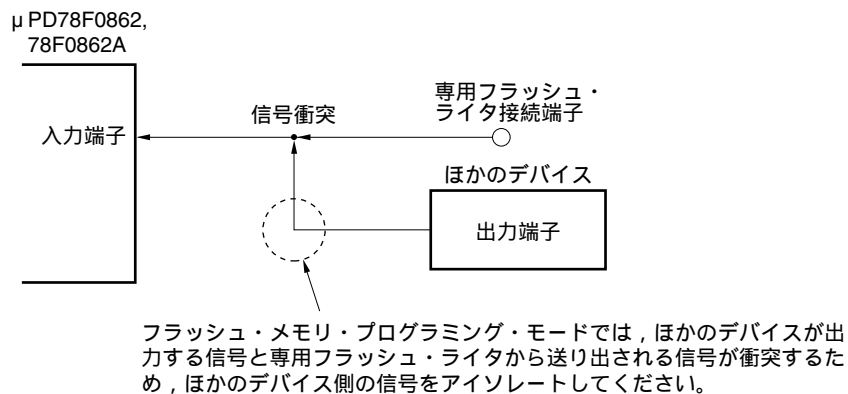
シリアル・インタフェース	使用端子
CSI10	SO10, SI10, SCK10
CSI10 + HS	SO10, SI10, SCK10, HS
UART6	TxD6, RxD6

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライタを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

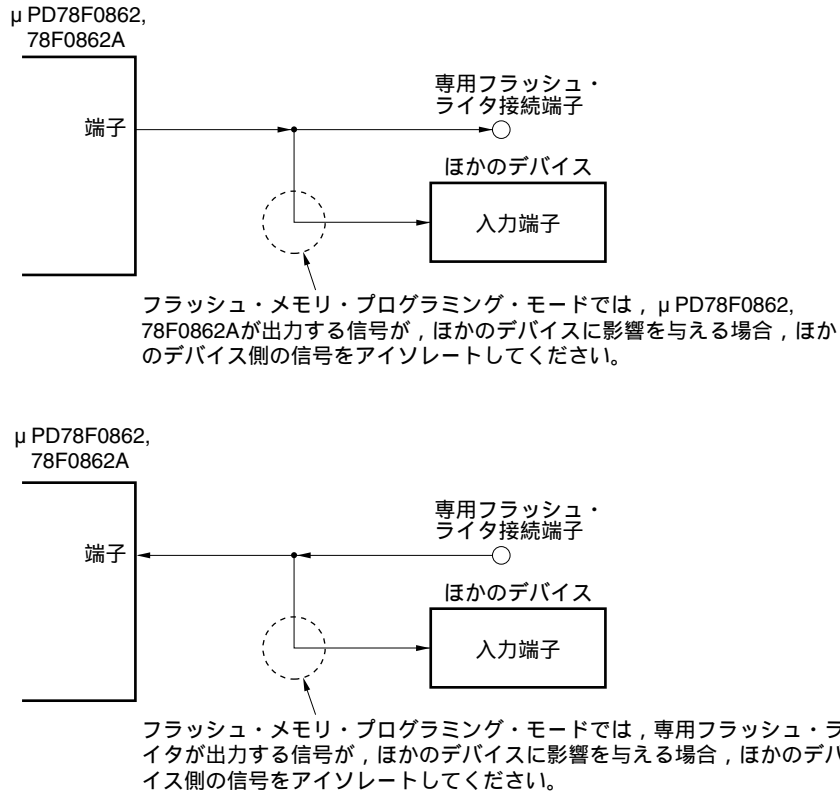
図21-11 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・ライター（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図21 - 12 ほかのデバイスの異常動作

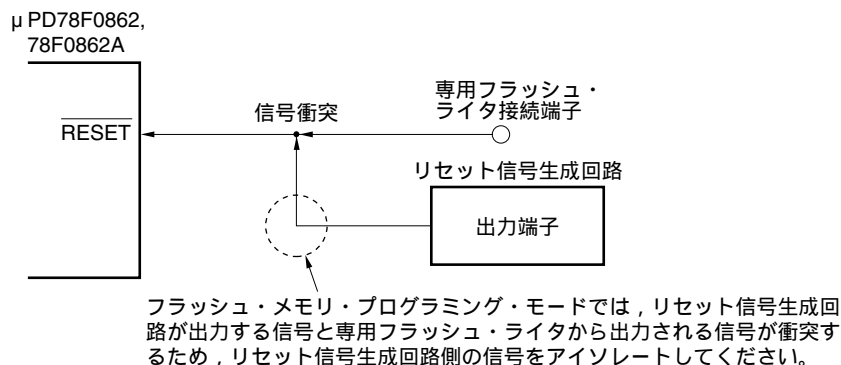


21.5.4 $\overline{\text{RESET}}$ 端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図21-13 信号の衝突 ($\overline{\text{RESET}}$ 端子)



21.5.5 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介して V_{DD} に接続するか、または抵抗を介して V_{SS} に接続するなどの端子処理が必要です。

21.5.6 その他の信号端子

オンボード上のクロックを使用する場合、X1, X2は、通常動作モード時と同じ状態に接続してください。

ただし、ライタから動作クロックを入力する場合、ライタのクロック・アウトとX1を、またX2には、その反転信号を接続してください。

21.5.7 電 源

フラッシュ・ライタの電源出力を使用する場合は、 V_{DD} 端子はフラッシュ・ライタの V_{DD} に、 V_{SS} 端子はフラッシュ・ライタの V_{SS} に、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

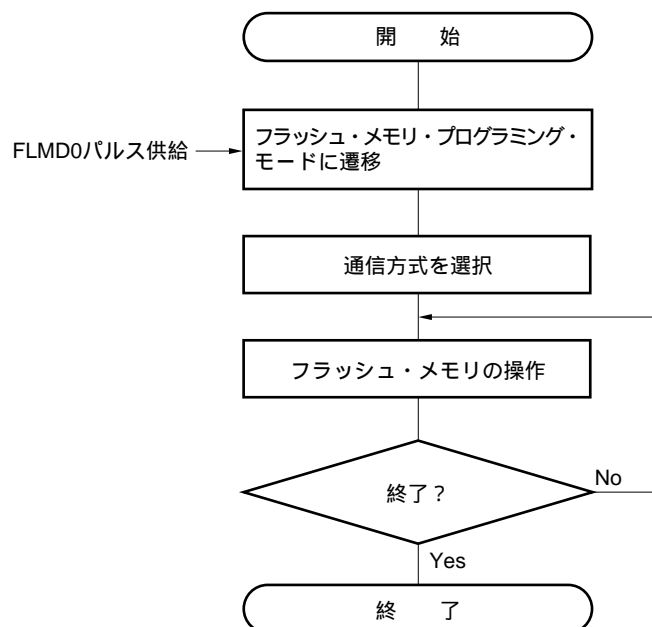
その他の電源 (AV_{REF}) は、通常動作モード時と同じ電源を供給してください。

21.6 プログラミング方法

21.6.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図21 - 14 フラッシュ・メモリの操作手順



21.6.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・ライタを使用してフラッシュ・メモリの内容を書き換えるときは、 μ PD78F0862, 78F0862A をフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、FLMD0端子を V_{DD} に設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

図21 - 15 フラッシュ・メモリ・プログラミング・モード

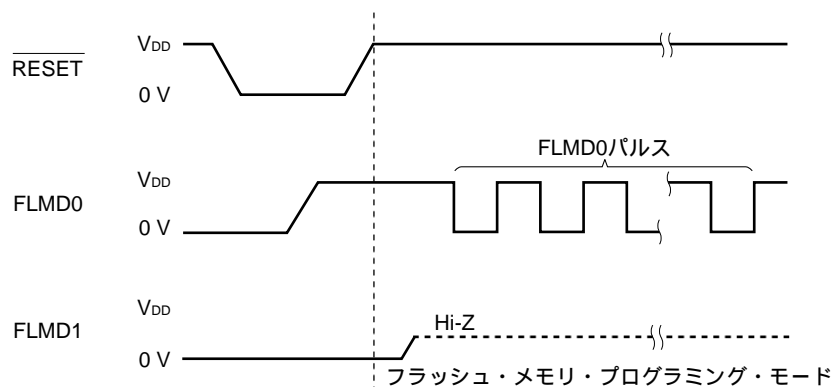


表21 - 6 FLMD0, FLMD1端子の動作モードの関係

FLMD0	FLMD1	動作モード
0	x	通常動作モード
V_{DD}	0	フラッシュ・メモリ・プログラミング・モード
V_{DD}	V_{DD}	設定禁止

21.6.3 通信方式の選択

μ PD78F0862, 78F0862Aでは、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルス（最大11パルス）を入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・ライタが生成します。

パルス数と通信方式の関係を次に示します。

表21-7 通信方式一覧

通信方式	Standard設定 ^{注1}					使用端子	FLMD0 パルス数
	Port	Speed	On Target	Frequency	Multiply Rate		
UART (UART6)	UART-ch0	9600, 19200, 31250, 38400, 76800, 153600 bps ^{注3, 4}	任意	2 M-10 MHz ^{注2}	1.0	TxD6, RxD6	0
3線式シリアルI/O (CSI10)	SIO-ch0	2.4 k-2.5 MHz				SO10, SI10, SCK10	8
3線式シリアルI/O ハンドシェイク対応 (CSI10 + HS)	SIO-H/S	2.4 k-2.5 MHz				SO10, SI10, SCK10, HS/P15	11

注1 . FlashPro4上のStandard設定における設定項目です。

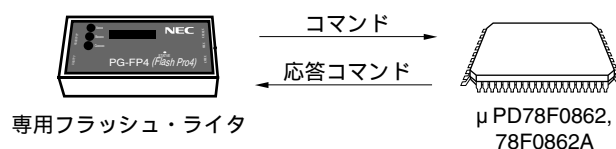
- 2 . 電圧により設定可能な範囲が異なります。詳細は電気的特性の章を参照してください。
- 3 . 153600 bpsは、周辺ハードウェア・クロック周波数が2.5 MHz以下の場合には、選択できません。
- 4 . UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

注意 UART6選択時、受信クロックは、FLMD0パルス受信後に専用フラッシュ・ライタから送られてくるリセット・コマンドを基準に計算します。

21.6.4 通信コマンド

μ PD78F0862, 78F0862Aと専用フラッシュ・ライタは、コマンドを介して通信します。専用フラッシュ・ライタから μ PD78F0862, 78F0862Aへ送られる信号を「コマンド」と呼び、 μ PD78F0862, 78F0862Aから専用フラッシュ・ライタへ送られる応答信号を「応答コマンド」と呼びます。

図21-16 通信コマンド



μ PD78F0862, 78F0862Aのフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてライタから発行され、 μ PD78F0862, 78F0862Aがコマンドに対応した各処理を行います。

表21-8 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	一括ベリファイ・コマンド	全メモリの内容と入力したデータを比較
消去	一括消去コマンド	全メモリの内容を消去
ブランク・チェック	一括ブランク・チェック・コマンド	全メモリの消去状態を確認
データ・ライト	高速書き込みコマンド	書き込みアドレス、書き込みバイト数の指定によりデータを書き込み、ベリファイ・チェックを実行
	連続書き込みコマンド	直前に実行された高速書き込みコマンドに続くアドレスからデータを書き込み、ベリファイ・チェックを実行
システム設定, 制御	ステータス読み出しコマンド	動作状況のステータスを得る
	発振周波数設定コマンド	発振周波数の設定
	消去時間設定コマンド	一括消去の消去時間設定
	書き込み時間設定コマンド	データ書き込み時の書き込み時間設定
	ポー・レート設定コマンド	UART使用時のポー・レート設定
	シリコン・シグネチャ・コマンド	シリコン・シグネチャ情報を読み出す
	リセット・コマンド	各状態からの脱出

また、 μ PD78F0862, 78F0862Aは、専用フラッシュ・ライタから発行されたコマンドに対して、応答コマンドを返します。 μ PD78F0862, 78F0862Aが送出する応答コマンドを次に示します。

表21-9 応答コマンド

応答コマンド名称	機能
ACK	コマンド/データなどのアクノリッジ
NAK	不正なコマンド/データなどのアクノリッジ

第22章 命令セットの概要

μ PD780862サブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください。

22.1 凡 例

22.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・ # : イミーディエト・データ指定
- ・ ! : 絶対アドレス指定
- ・ \$: 相対アドレス指定
- ・ [] : 間接アドレス指定

イミーディエト・データの場合は、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表22 - 1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r rp	X (R0) , A (R1) , C (R2) , B (R3) , E (R4) , D (R5) , L (R6) , H (R7)
sfr	AX (RP0) , BC (RP1) , DE (RP2) , HL (RP3)
sfrp	特殊機能レジスタ略号 ^注 特殊機能レジスタ略号 (16ビット操作可能なレジスタの偶数アドレスのみ) ^注
saddr	FE20H-FF1FH イミーディエト・データまたはラベル
saddrp	FE20H-FF1FH イミーディエト・データまたはラベル (偶数アドレスのみ)
addr16	0000H-FFFFH イミーディエト・データまたはラベル (16ビット・データ転送命令時は偶数アドレスのみ)
addr11	0800H-0FFFH イミーディエト・データまたはラベル
addr5	0040H-007FH イミーディエト・データまたはラベル (偶数アドレスのみ)
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3 - 5 特殊機能レジスタ一覧を参照してください。

22.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
x ^H , x ^L	: 16ビット・レジスタの上位8ビット, 下位8ビット
	: 論理積 (AND)
	: 論理和 (OR)
	: 排他的論理和 (exclusive OR)
	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

22.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

22.2 オペレーション一覧

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	4	-	r byte			
		saddr, #byte	3	6	7	(saddr) byte			
		sfr, #byte	3	-	7	sfr byte			
		A, r ^{注3}	1	2	-	A r			
		r, A ^{注3}	1	2	-	r A			
		A, saddr	2	4	5	A (saddr)			
		saddr, A	2	4	5	(saddr) A			
		A, sfr	2	-	5	A sfr			
		sfr, A	2	-	5	sfr A			
		A, !addr16	3	8	9	A (addr16)			
		!addr16, A	3	8	9	(addr16) A			
		PSW, #byte	3	-	7	PSW byte	x	x	x
		A, PSW	2	-	5	A PSW			
		PSW, A	2	-	5	PSW A	x	x	x
		A, [DE]	1	4	5	A (DE)			
		[DE], A	1	4	5	(DE) A			
		A, [HL]	1	4	5	A (HL)			
		[HL], A	1	4	5	(HL) A			
		A, [HL + byte]	2	8	9	A (HL + byte)			
		[HL + byte], A	2	8	9	(HL + byte) A			
	A, [HL + B]	1	6	7	A (HL + B)				
	[HL + B], A	1	6	7	(HL + B) A				
	A, [HL + C]	1	6	7	A (HL + C)				
	[HL + C], A	1	6	7	(HL + C) A				
	XCH	A, r ^{注3}	1	2	-	A r			
		A, saddr	2	4	6	A (saddr)			
		A, sfr	2	-	6	A sfr			
		A, !addr16	3	8	10	A (addr16)			
A, [DE]		1	4	6	A (DE)				
A, [HL]		1	4	6	A (HL)				
A, [HL + byte]		2	8	10	A (HL + byte)				
A, [HL + B]		2	8	10	A (HL + B)				
A, [HL + C]	2	8	10	A (HL + C)					

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	rp, #word	3	6	-	rp word			
		saddrp, #word	4	8	10	(saddrp) word			
		sfrp, #word	4	-	10	sfrp word			
		AX, saddrp	2	6	8	AX (saddrp)			
		saddrp, AX	2	6	8	(saddrp) AX			
		AX, sfrp	2	-	8	AX sfrp			
		sfrp, AX	2	-	8	sfrp AX			
		AX, rp <small>注3</small>	1	4	-	AX rp			
		rp, AX <small>注3</small>	1	4	-	rp AX			
		AX, !addr16	3	10	12	AX (addr16)			
!addr16, AX	3	10	12	(addr16) AX					
XCHW	AX, rp <small>注3</small>	1	4	-	AX rp				
8ビット演算	ADD	A, #byte	2	4	-	A, CY A + byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte	x	x	x
		A, r <small>注4</small>	2	4	-	A, CY A + r	x	x	x
		r, A	2	4	-	r, CY r + A	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B)	x	x	x
		A, [HL + C]	2	8	9	A, CY A + (HL + C)	x	x	x
	ADDC	A, #byte	2	4	-	A, CY A + byte + CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte + CY	x	x	x
		A, r <small>注4</small>	2	4	-	A, CY A + r + CY	x	x	x
		r, A	2	4	-	r, CY r + A + CY	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr) + CY	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16) + CY	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL) + CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte) + CY	x	x	x
A, [HL + B]	2	8	9	A, CY A + (HL + B) + CY	x	x	x		
A, [HL + C]	2	8	9	A, CY A + (HL + C) + CY	x	x	x		

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

- 2 . 内部高速RAM以外の領域をアクセスしたとき。
- 3 . rp = BC, DE, HLのときのみ。
- 4 . r = Aを除く。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

- 2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUB	A, #byte	2	4	-	A, CY A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte	x	x	x
		A, r <small>注3</small>	2	4	-	A, CY A - r	x	x	x
		r, A	2	4	-	r, CY r - A	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B)	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C)	x	x	x
	SUBC	A, #byte	2	4	-	A, CY A - byte - CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte - CY	x	x	x
		A, r <small>注3</small>	2	4	-	A, CY A - r - CY	x	x	x
		r, A	2	4	-	r, CY r - A - CY	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr) - CY	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16) - CY	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL) - CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte) - CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B) - CY	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C) - CY	x	x	x
	AND	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r <small>注3</small>	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
		A, [HL + C]	2	8	9	A A (HL + C)	x		

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
		A, [HL + C]	2	8	9	A A (HL + C)	x		
	XOR	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
		A, [HL + C]	2	8	9	A A (HL + C)	x		
	CMP	A, #byte	2	4	-	A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr) - byte	x	x	x
		A, r ^{注3}	2	4	-	A - r	x	x	x
		r, A	2	4	-	r - A	x	x	x
		A, saddr	2	4	5	A - (saddr)	x	x	x
		A, !addr16	3	8	9	A - (addr16)	x	x	x
		A, [HL]	1	4	5	A - (HL)	x	x	x
A, [HL + byte]		2	8	9	A - (HL + byte)	x	x	x	
A, [HL + B]		2	8	9	A - (HL + B)	x	x	x	
A, [HL + C]		2	8	9	A - (HL + C)	x	x	x	
16ビット演算	ADDW	AX, #word	3	6	-	AX, CY AX + word	x	x	x
	SUBW	AX, #word	3	6	-	AX, CY AX - word	x	x	x
	CMPW	AX, #word	3	6	-	AX - word	x	x	x
乗除算	MULU	X	2	16	-	AX A × X			
	DIVUW	C	2	25	-	AX (商), C (余り) AX ÷ C			

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	2	-	r r+1	x	x	
		saddr	2	4	6	(saddr) (saddr) + 1	x	x	
	DEC	r	1	2	-	r r - 1	x	x	
		saddr	2	4	6	(saddr) (saddr) - 1	x	x	
	INCW	rp	1	4	-	rp rp + 1			
DECW	rp	1	4	-	rp rp - 1				
ローデータ	ROR	A, 1	1	2	-	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
	ROL	A, 1	1	2	-	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
	RORC	A, 1	1	2	-	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
	ROLC	A, 1	1	2	-	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x
	ROR4	[HL]	2	10	12	A ₃₋₀ (HL) ₃₋₀ , (HL) ₇₋₄ A ₃₋₀ , (HL) ₃₋₀ (HL) ₇₋₄			
	ROL4	[HL]	2	10	12	A ₃₋₀ (HL) ₇₋₄ , (HL) ₃₋₀ A ₃₋₀ , (HL) ₇₋₄ (HL) ₃₋₀			
BCD補正	ADJBA		2	4	-	Decimal Adjust Accumulator after Addition	x	x	x
	ADJBS		2	4	-	Decimal Adjust Accumulator after Subtract	x	x	x
ビット操作	MOV1	CY, saddr.bit	3	6	7	CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY sfr.bit			x
		CY, A.bit	2	4	-	CY A.bit			x
		CY, PSW.bit	3	-	7	CY PSW.bit			x
		CY, [HL].bit	2	6	7	CY (HL).bit			x
		saddr.bit, CY	3	6	8	(saddr.bit) CY			
		sfr.bit, CY	3	-	8	sfr.bit CY			
		A.bit, CY	2	4	-	A.bit CY			
		PSW.bit, CY	3	-	8	PSW.bit CY	x	x	
	[HL].bit, CY	2	6	8	(HL).bit CY				
	AND1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY, [HL].bit	2	6	7	CY CY (HL).bit			x
	OR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY, [HL].bit	2	6	7	CY CY (HL).bit			x

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY, [HL].bit	2	6	7	CY CY (HL).bit			x
	SET1	saddr.bit	2	4	6	(saddr.bit) 1			
		sfr.bit	3	-	8	sfr.bit 1			
		A.bit	2	4	-	A.bit 1			
		PSW.bit	2	-	6	PSW.bit 1	x	x	x
		[HL].bit	2	6	8	(HL).bit 1			
	CLR1	saddr.bit	2	4	6	(saddr.bit) 0			
		sfr.bit	3	-	8	sfr.bit 0			
		A.bit	2	4	-	A.bit 0			
		PSW.bit	2	-	6	PSW.bit 0	x	x	x
		[HL].bit	2	6	8	(HL).bit 0			
SET1	CY	1	2	-	CY 1			1	
CLR1	CY	1	2	-	CY 0			0	
NOT1	CY	1	2	-	CY $\overline{\text{CY}}$			x	
コントロール・リターン	CALL	!addr16	3	7	-	(SP-1) (PC+3) _H , (SP-2) (PC+3) _L , PC addr16, SP SP-2			
	CALLF	!addr11	2	5	-	(SP-1) (PC+2) _H , (SP-2) (PC+2) _L , PC ₁₅₋₁₁ 00001, PC ₁₀₋₀ addr11, SP SP-2			
	CALLT	[addr5]	1	6	-	(SP-1) (PC+1) _H , (SP-2) (PC+1) _L , PC _H (00000000, addr5+1), PC _L (00000000, addr5), SP SP-2			
	BRK		1	6	-	(SP-1) PSW, (SP-2) (PC+1) _H , (SP-3) (PC+1) _L , PC _H (003FH), PC _L (003EH), SP SP-3, IE 0			
	RET		1	6	-	PC _H (SP+1), PC _L (SP), SP SP+2			
	RETI		1	6	-	PC _H (SP+1), PC _L (SP), PSW (SP+2), SP SP+3	R	R	R
	RETB		1	6	-	PC _H (SP+1), PC _L (SP), PSW (SP+2), SP SP+3	R	R	R

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	1	2	-	(SP - 1) PSW, SP SP - 1			
		rp	1	4	-	(SP - 1) rp _H , (SP - 2) rp _L , SP SP - 2			
	POP	PSW	1	2	-	PSW (SP), SP SP + 1	R	R	R
		rp	1	4	-	rp _H (SP + 1), rp _L (SP), SP SP + 2			
	MOVW	SP, #word	4	-	10	SP word			
		SP, AX	2	-	8	SP AX			
AX, SP		2	-	8	AX SP				
無条件分岐	BR	laddr16	3	6	-	PC addr16			
		\$addr16	2	6	-	PC PC + 2 + jdisp8			
		AX	2	8	-	PC _H A, PC _L X			
条件付き分岐	BC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 0			
	BT	saddr.bit, \$addr16	3	8	9	PC PC + 3 + jdisp8 if (saddr.bit) = 1			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr16	3	-	9	PC PC + 3 + jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 1			
	BF	saddr.bit, \$addr16	4	10	11	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 0			
	BTCLR	saddr.bit, \$addr16	4	10	12	PC PC + 4 + jdisp8 if (saddr.bit) = 1 then reset (saddr.bit)			
		sfr.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x
		[HL].bit, \$addr16	3	10	12	PC PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	DBNZ	B, \$addr16	2	6	-	B B - 1, then PC PC + 2 + jdisp8 if B 0			
		C, \$addr16	2	6	-	C C - 1, then PC PC + 2 + jdisp8 if C 0			
		saddr, \$addr16	3	8	10	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) 0			
CPU制御	SEL	RBn	2	4	-	RBS1, 0 n			
	NOP		1	2	-	No Operation			
	EI		2	-	6	IE 1 (Enable Interrupt)			
	DI		2	-	6	IE 0 (Disable Interrupt)			
	HALT		2	6	-	Set HALT Mode			
	STOP		2	6	-	Set STOP Mode			

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

22.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r ^注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte] [HL + B] [HL + C]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROL4	
r	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL + byte] [HL + B] [HL + C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド \ 第1オペランド	#word	AX	rp ^注	sfrp	saddrp	!addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド \ 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第1オペランド \ 第2オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

第23章 電気的特性（標準品，(A)水準品）

対象製品：μPD780861, 780862, 78F0862, 78F0862A, 780861(A), 780862(A), 78F0862(A), 78F0862A(A)

絶対最大定格（ $T_A = 25$ ）

項目	略号	条件	定格	単位
電源電圧	V_{DD}		- 0.3 ~ + 6.5	V
	V_{SS}		- 0.3 ~ + 0.3	V
	AV_{REF}		- 0.3 ~ $V_{DD} + 0.3$ ^注	V
入力電圧	V_{I1}	P00, P01, P10-P15, P20-P23, X1, X2, \overline{RESET}	- 0.3 ~ $V_{DD} + 0.3$ ^注	V
出力電圧	V_O		- 0.3 ~ $V_{DD} + 0.3$ ^注	V
アナログ入力電圧	V_{AN}		$V_{SS} - 0.3 \sim AV_{REF} + 0.3$ ^注 かつ - 0.3 ~ $V_{DD} + 0.3$ ^注	V
ハイ・レベル出力電流	I_{OH}	1端子	- 10	mA
		P00, P01, P10-P15, P130 端子合計	- 30	mA
ロウ・レベル出力電流	I_{OL}	1端子	20	mA
		P00, P01, P10-P15, P130 端子合計	35	mA
動作周囲温度	T_A	通常動作時	- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時	- 40 ~ + 85	
保存温度	T_{stg}	マスクROM製品	- 65 ~ + 150	
		フラッシュ・メモリ製品	- 40 ~ + 150	

注 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

水晶/セラミック発振回路特性 (水晶/セラミック発振選択時)

($T_A = -40 \sim +85$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq AV_{REF} \leq V_{DD}$, $V_{SS} = 0\text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f_{XH}) 注	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.0		10	MHz
			$3.3\text{ V} \leq V_{DD} < 4.0\text{ V}$	2.0		8.38	
			$2.7\text{ V} \leq V_{DD} < 3.3\text{ V}$	2.0		5.0	
セラミック発振子		発振周波数 (f_{XH}) 注	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.0		10	MHz
			$3.3\text{ V} \leq V_{DD} < 4.0\text{ V}$	2.0		8.38	
			$2.7\text{ V} \leq V_{DD} < 3.3\text{ V}$	2.0		5.0	
外部クロック		X1入力周波数 (f_{XH}) 注	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.0		10	MHz
			$3.3\text{ V} \leq V_{DD} < 4.0\text{ V}$	2.0		8.38	
			$2.7\text{ V} \leq V_{DD} < 3.3\text{ V}$	2.0		5.0	
		X1入力ハイ、ロウ・レベル幅 (t_{XH} , t_{XL})	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	46		250	ns
			$3.3\text{ V} \leq V_{DD} < 4.0\text{ V}$	56		250	
			$2.7\text{ V} \leq V_{DD} < 3.3\text{ V}$	96		250	

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

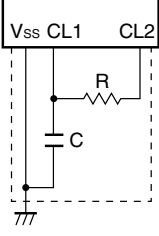
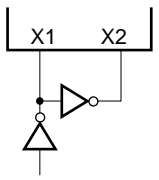
注意 水晶/セラミック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

外部RC発振回路特性 (外部RC発振選択時)

($T_A = -40 \sim +85$, 2.7 V V_{DD} 5.5 V , 2.7 V AV_{REF} V_{DD} , $V_{SS} = 0\text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
RC発振		発振周波数 (f_{XH}) ^注		3.0		4.0	MHz
外部クロック		X1入力周波数 (f_{XH}) ^注	4.0 V V_{DD} 5.5 V	2.0		10	MHz
			3.3 V $V_{DD} < 4.0\text{ V}$	2.0		8.38	
			2.7 V $V_{DD} < 3.3\text{ V}$	2.0		5.0	
		X1入力ハイ、ロウ・レベル幅 (t_{XH} , t_{XL})	4.0 V V_{DD} 5.5 V	46		250	ns
			3.3 V $V_{DD} < 4.0\text{ V}$	56		250	
			2.7 V $V_{DD} < 3.3\text{ V}$	96		250	

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意 RC発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

外部RC発振周波数特性 (外部RC発振選択時)

($T_A = -40 \sim +85$, 2.7 V V_{DD} 5.5 V , 2.7 V AV_{REF} V_{DD} , $V_{SS} = 0\text{ V}$)

項目	条件	MIN.	TYP.	MAX.	単位
発振周波数 (f_{XH}) ^注	$R = 6.8\text{ k}$, $C = 22\text{ pF}$ ターゲット : 3 MHz	2.5	3.0	3.5	MHz
	$R = 4.7\text{ k}$, $C = 22\text{ pF}$ ターゲット : 4 MHz	3.5	4.0	4.7	MHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意 上記のいずれかの値でRとCを設定してください。

高速内蔵発振回路特性 (高速内蔵発振選択時)

(TA = -40 ~ +85 , 4.0 V VDD 5.5 V, 4.0 V AVREF VDD, VSS = 0 V)

発振子	項目	条件	MIN.	TYP.	MAX.	単位
高速内蔵発振器	発振周波数 (f _{X1}) ^注		6.80	8.00	9.20	MHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

低速内蔵発振回路特性

(TA = -40 ~ +85 , 2.7 V VDD 5.5 V, 2.7 V AVREF VDD, VSS = 0 V)

発振子	項目	条件	MIN.	TYP.	MAX.	単位
低速内蔵発振器	発振周波数 (f _R) ^注		120	240	480	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

DC特性 (TA = -40 ~ +85 , 2.7 V VDD 5.5 V, 2.7 V AVREF VDD, VSS = 0 V) (1/3)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流	IOH	1端子	4.0 V VDD 5.5 V			- 5	mA
		P00, P01, P10-P15, P130	4.0 V VDD 5.5 V			- 25	mA
		合計	2.7 V VDD < 4.0 V			- 10	mA
ロウ・レベル出力電流	IOL	1端子	4.0 V VDD 5.5 V			10	mA
		P00, P01, P10-P15, P130	4.0 V VDD 5.5 V			30	mA
		合計	2.7 V VDD < 4.0 V			10	mA
ハイ・レベル入力電圧	VIH1	P02 ^{注1} , P12, P13, P15		0.7VDD		VDD	V
	VIH2	P00, P01, P10, P11, P14, RESET		0.8VDD		VDD	V
	VIH3	P20-P23 ^{注2}		0.7AVREF		AVREF	V
	VIH4	X1, X2		VDD - 0.5		VDD	V
ロウ・レベル入力電圧	VIL1	P02 ^{注1} , P12, P13, P15		0		0.3VDD	V
	VIL2	P00, P01, P10, P11, P14, RESET		0		0.2VDD	V
	VIL3	P20-P23 ^{注2}		0		0.3AVREF	V
	VIL4	X1, X2		0		0.4	V
ハイ・レベル出力電圧	VOH	P00, P01, P10-P15, P130	4.0 V VDD 5.5 V,	VDD - 1.0			V
		端子合計 IOH = - 25 mA	IOH = - 5 mA				
ロウ・レベル出力電圧	VOL	P00, P01, P10-P15, P130	4.0 V VDD 5.5 V,			1.3	V
		端子合計 IOL = 30 mA	IOL = 10 mA				
ハイ・レベル入力リーク電流	ILIH1	Vi = VDD	P00, P01, P10-P15, RESET			3	μA
		Vi = AVREF	P20-P23			3	μA
ロウ・レベル入力リーク電流	ILIL1	Vi = 0 V	P00, P01, P10-P15, P20-P23, RESET			- 3	μA
			X1, X2 ^{注3}			- 20	μA
ハイ・レベル出力リーク電流	ILOH	Vo = VDD				3	μA
ロウ・レベル出力リーク電流	ILOL	Vo = 0 V				- 3	μA
プルアップ抵抗値	R	Vi = 0 V		10	30	100	k
FLMD0電源電圧 (フラッシュ・メモリ製品のみ)	FImd	通常動作時		0		0.2VDD	V

注1. 高速システム・クロックに高速内蔵発振クロックを選択した場合、ポート入力端子として使用できます。

2. デジタル入力ポートとして使用する場合は、AVREF = VDDにしてください。
3. X2にX1の反転入力レベルを印加している場合。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (2/3) : フラッシュ・メモリ製品

($T_A = -40 \sim +85$, $2.7 V \leq V_{DD} \leq 5.5 V$, $2.7 V \leq AV_{REF} \leq V_{DD}$, $V_{SS} = 0 V$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	水晶 / セラミック発振動作モード ^{注2, 6}	$f_{XH} = 10 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$ ^{注3}	A/Dコンバータ停止時	7.8	15.4	mA
				A/Dコンバータ動作時 ^{注4}	8.8	17.4	mA
			$f_{XH} = 5 \text{ MHz}$, $V_{DD} = 3.0 \text{ V} \pm 10 \%$ ^{注3}	A/Dコンバータ停止時	2.4	5.1	mA
				A/Dコンバータ動作時 ^{注4}	3.0	6.3	mA
	IDD2	水晶 / セラミック発振HALTモード ^{注6}	$f_{XH} = 10 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$	周辺機能停止時	1.7	3.8	mA
				周辺機能動作時		6.7	mA
			$f_{XH} = 5 \text{ MHz}$, $V_{DD} = 3.0 \text{ V} \pm 10 \%$	周辺機能停止時	0.48	1.0	mA
				周辺機能動作時		2.1	mA
	IDD3	外部RC発振動作モード ^{注2, 7}	$f_X = 4 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$	A/Dコンバータ停止時	4.5	9.5	mA
				A/Dコンバータ動作時 ^{注4}	5.5	11.5	mA
			$f_X = 4 \text{ MHz}$, $V_{DD} = 3.0 \text{ V} \pm 10 \%$	A/Dコンバータ停止時	2.4	5.1	mA
				A/Dコンバータ動作時 ^{注4}	3.0	6.3	mA
	IDD4	外部RC発振HALTモード ^{注7}	$f_X = 4 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$	周辺機能停止時	1.6	3.5	mA
				周辺機能動作時		5.3	mA
			$f_X = 4 \text{ MHz}$, $V_{DD} = 3.0 \text{ V} \pm 10 \%$	周辺機能停止時	0.87	2.0	mA
				周辺機能動作時		3.0	mA
	IDD5	高速内蔵発振動作モード ^{注2, 8}	$f_{XH} = 8 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$	A/Dコンバータ停止時	6.9	14.4	mA
				A/Dコンバータ動作時 ^{注4}	7.9	16.4	mA
IDD6	高速内蔵発振HALTモード ^{注8}	$f_{XH} = 8 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$	周辺機能停止時	1.4	3.2	mA	
			周辺機能動作時		5.9	mA	
IDD7	低速内蔵発振動作モード ^{注5}	$V_{DD} = 5.0 \text{ V} \pm 10 \%$		1.8	7.2	mA	
		$V_{DD} = 3.0 \text{ V} \pm 10 \%$		0.88	3.5	mA	
IDD8	低速内蔵発振HALTモード ^{注5}	$V_{DD} = 5.0 \text{ V} \pm 10 \%$		0.08	0.32	mA	
		$V_{DD} = 3.0 \text{ V} \pm 10 \%$		0.06	0.24	mA	
IDD9	STOPモード	$V_{DD} = 5.0 \text{ V} \pm 10 \%$	低速内蔵発振 : OFF	3.5	35.5	μA	
			低速内蔵発振 : ON	17.5	63.5	μA	
		$V_{DD} = 3.0 \text{ V} \pm 10 \%$	低速内蔵発振 : OFF	3.5	15.5	μA	
			低速内蔵発振 : ON	11.0	30.5	μA	

注1. 内部電源 (V_{DD}) に流れるトータル電流です。周辺動作電流を含みます (ただし, ポートのプルアップ抵抗に流れる電流は含みません)。

2. 周辺動作電流を含みます。
3. PCC = 00Hに設定したとき。
4. V_{DD} 端子, AV_{REF} 端子に流れる電流の合計です。
5. 高速システム・クロックを停止させたとき。
6. オプション・バイトで高速システム・クロックの発振を水晶 / セラミックに選択したとき。
7. オプション・バイトで高速システム・クロックの発振を外部RCに選択したとき。
8. オプション・バイトで高速システム・クロックの発振を高速内蔵発振器に選択したとき。

DC特性 (3/3) : マスクROM製品

($T_A = -40 \sim +85$, $2.7 V \leq V_{DD} \leq 5.5 V$, $2.7 V \leq AV_{REF} \leq V_{DD}$, $V_{SS} = 0 V$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD1}	水晶 / セラミック発振動作モード ^{注2, 6}	$f_{XH} = 10 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$ ^{注3}	A/Dコンバータ停止時		6.1	11.9	mA
				A/Dコンバータ動作時 ^{注4}		7.1	13.9	mA
			$f_{XH} = 5 \text{ MHz}$, $V_{DD} = 3.0 \text{ V} \pm 10 \%$ ^{注3}	A/Dコンバータ停止時		1.7	3.6	mA
				A/Dコンバータ動作時 ^{注4}		2.3	4.8	mA
	I _{DD2}	水晶 / セラミック発振HALTモード ^{注6}	$f_{XH} = 10 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$	周辺機能停止時		1.6	3.6	mA
				周辺機能動作時			6.5	mA
			$f_{XH} = 5 \text{ MHz}$, $V_{DD} = 3.0 \text{ V} \pm 10 \%$	周辺機能停止時		0.41	0.96	mA
				周辺機能動作時			2.1	mA
	I _{DD3}	外部RC発振動作モード ^{注2, 7}	$f_X = 4 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$	A/Dコンバータ停止時		3.2	6.4	mA
				A/Dコンバータ動作時 ^{注4}		4.2	8.4	mA
			$f_X = 4 \text{ MHz}$, $V_{DD} = 3.0 \text{ V} \pm 10 \%$	A/Dコンバータ停止時		1.7	3.6	mA
				A/Dコンバータ動作時 ^{注4}		2.3	4.8	mA
	I _{DD4}	外部RC発振HALTモード ^{注7}	$f_X = 4 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$	周辺機能停止時		1.6	3.5	mA
				周辺機能動作時			5.3	mA
			$f_X = 4 \text{ MHz}$, $V_{DD} = 3.0 \text{ V} \pm 10 \%$	周辺機能停止時		0.87	2.0	mA
				周辺機能動作時			3.0	mA
	I _{DD5}	高速内蔵発振動作モード ^{注2, 8}	$f_{XH} = 8 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$	A/Dコンバータ停止時		4.98	10.1	mA
				A/Dコンバータ動作時 ^{注4}		5.98	12.1	mA
I _{DD6}	高速内蔵発振HALTモード ^{注8}	$f_{XH} = 8 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$	周辺機能停止時		1.24	2.8	mA	
			周辺機能動作時			5.5	mA	
I _{DD7}	低速内蔵発振動作モード ^{注5}	$V_{DD} = 5.0 \text{ V} \pm 10 \%$			0.17	0.68	mA	
		$V_{DD} = 3.0 \text{ V} \pm 10 \%$			0.11	0.44	mA	
I _{DD8}	低速内蔵発振HALTモード ^{注5}	$V_{DD} = 5.0 \text{ V} \pm 10 \%$			0.04	0.16	mA	
		$V_{DD} = 3.0 \text{ V} \pm 10 \%$			0.03	0.12	mA	
I _{DD9}	STOPモード	$V_{DD} = 5.0 \text{ V} \pm 10 \%$	低速内蔵発振 : OFF		3.5	35.5	μA	
			低速内蔵発振 : ON		17.5	63.5	μA	
		$V_{DD} = 3.0 \text{ V} \pm 10 \%$	低速内蔵発振 : OFF		3.5	15.5	μA	
			低速内蔵発振 : ON		11.0	30.5	μA	

注1. 内部電源 (V_{DD}) に流れるトータル電流です。周辺動作電流を含みます (ただし, ポートのプルアップ抵抗に流れる電流は含みません)。

2. 周辺動作電流を含みます。
3. PCC = 00Hに設定したとき。
4. V_{DD} 端子, AV_{REF} 端子に流れる電流の合計です。
5. 高速システム・クロックを停止させたとき。
6. マスク・オプションで高速システム・クロックの発振を水晶 / セラミックに選択したとき。
7. マスク・オプションで高速システム・クロックの発振を外部RCに選択したとき。
8. マスク・オプションで高速システム・クロックの発振を高速内蔵発振器に選択したとき。

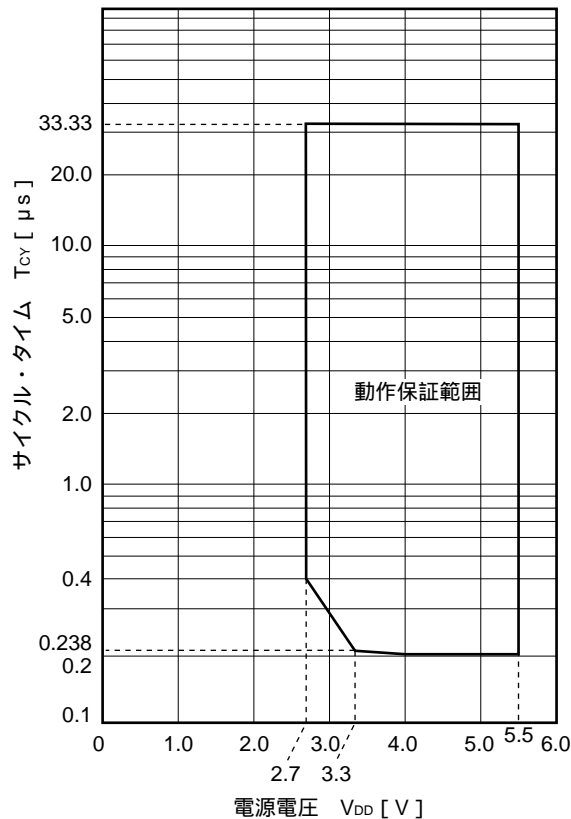
AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_{REF} \leq V_{DD}$, $V_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T_{CY}	メイン・高速システム・クロック動作	水晶/セラミック発振クロック	4.0 V $V_{DD} \leq 5.5\text{ V}$	0.2	16	μs
		システム・クロック	3.3 V $V_{DD} < 4.0\text{ V}$	0.238	16	μs	
		クロック	2.7 V $V_{DD} < 3.3\text{ V}$	0.4	16	μs	
		外部RC発振クロック	2.7 V $V_{DD} \leq 5.5\text{ V}$	0.426	12.8	μs	
		高速内蔵発振クロック	4.0 V $V_{DD} \leq 5.5\text{ V}$	0.217	0.25	4.7	μs
		低速内蔵発振クロック	2.7 V $V_{DD} \leq 5.5\text{ V}$	4.17	8.33	33.33	μs
TI00入力ハイ・レベル幅, ロウ・レベル幅	t_{TIHO} , t_{TILO}	4.0 V $V_{DD} \leq 5.5\text{ V}$	$2f_{sam} + 0.1$ ^注			μs	
		2.7 V $V_{DD} < 4.0\text{ V}$	$2f_{sam} + 0.2$ ^注			μs	
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t_{INTH} , t_{INTL}		1			μs	
RESETロウ・レベル幅	t_{RSL}		10			μs	

注 プリスケアラ・モード・レジスタ00 (PRM00) のビット0, 1 (PRM000, PRM001) により, $f_{sam} = f_{XH}$, $f_{XH}/4$, $f_{XH}/256$ の選択が可能です。ただし, カウント・クロックとしてTI000有効エッジを選択した場合は, $f_{sam} = f_{XH}$ となります。

T_{CY} vs V_{DD} (メイン・システム・クロック動作時)



(2) シリアル・インタフェース ($T_A = -40 \sim +85$, 2.7 V $V_{DD} = 5.5 V, 2.7 V$ $V_{REF} = V_{DD}, V_{SS} = 0 V$)

(a) UARTモード (UART6, 専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					312.5	kbps

(b) 3線式シリアルI/Oモード (SCK10...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10サイクル・タイム	t_{CY1}	4.0 V $V_{DD} = 5.5 V$	200			ns
		3.3 V $V_{DD} < 4.0 V$	240			ns
		2.7 V $V_{DD} < 3.3 V$	400			ns
SCK10ハイ, ロウ・レベル幅	$t_{KH1},$ t_{KL1}		$t_{CY1}/2 - 10$			ns
SI10セットアップ時間 (対SCK10)	t_{SIK1}		30			ns
SI10ホールド時間 (対SCK10)	t_{KSI1}		30			ns
SCK10 SO10出力遅延時間	t_{KSO1}	$C = 100 \text{ pF}^{\text{注}}$			30	ns

注 Cは, SCK10, SO10出力ラインの負荷容量です。

(c) 3線式シリアルI/Oモード (SCK10...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10サイクル・タイム	t_{CY2}		400			ns
SCK10ハイ, ロウ・レベル幅	$t_{KH2},$ t_{KL2}		$t_{CY2}/2$			ns
SI10セットアップ時間 (対SCK10)	t_{SIK2}		80			ns
SI10ホールド時間 (対SCK10)	t_{KSI2}		50			ns
SCK10 SO10出力遅延時間	t_{KSO2}	$C = 100 \text{ pF}^{\text{注}}$			120	ns

注 Cは, SO10出力ラインの負荷容量です。

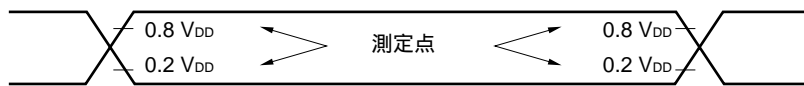
(3) マンチェスタ・コード・ジェネレータ

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = 5.5 V, 2.7 V$ $V_{REF} = V_{DD}, V_{SS} = 0 V$)

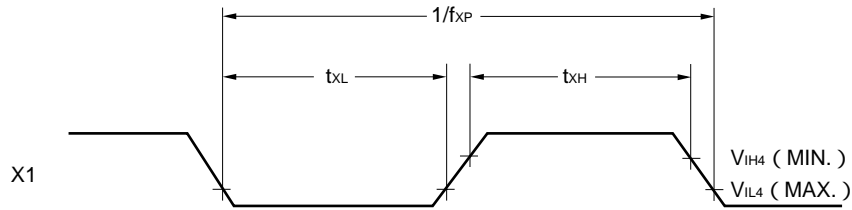
(a) 専用ポー・レート・ジェネレータ出力

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					250.0	kbps

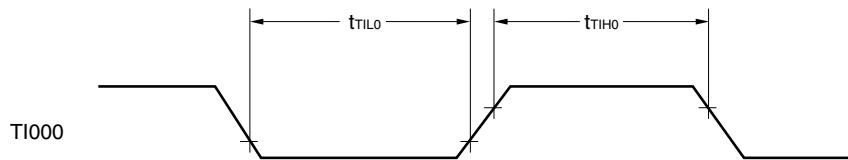
ACタイミング測定点 (X1を除く)



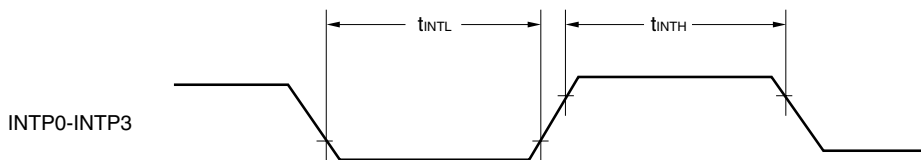
クロック・タイミング



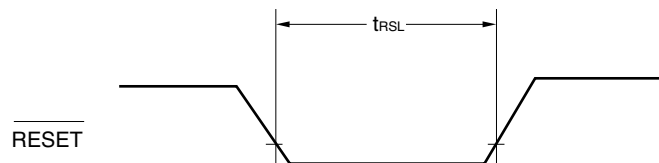
TIタイミング



割り込み要求入力タイミング

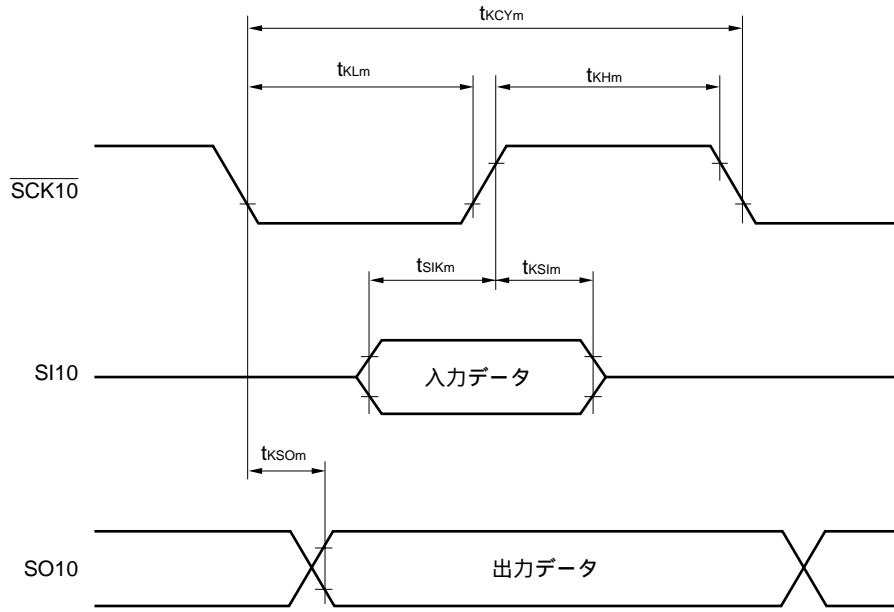


$\overline{\text{RESET}}$ 入力タイミング



シリアル転送タイミング

3線式シリアルI/Oモード :



備考 $m = 1, 2$

A/Dコンバータ特性 (TA = -40 ~ +85 , 2.7 V VDD 5.5 V, 2.7 V AVREF VDD, VSS = 0 V^{注1})

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差 ^{注2, 3}		4.0 V AVREF 5.5 V		±0.2	±0.4	%FSR
		2.7 V AVREF < 4.0 V		±0.3	±0.6	%FSR
変換時間	t _{CONV}	4.0 V AVREF 5.5 V	14		100	μs
		2.7 V AVREF < 4.0 V	17		100	μs
ゼロスケール誤差 ^{注2, 3}		4.0 V AVREF 5.5 V			±0.4	%FSR
		2.7 V AVREF < 4.0 V			±0.6	%FSR
フルスケール誤差 ^{注2, 3}		4.0 V AVREF 5.5 V			±0.4	%FSR
		2.7 V AVREF < 4.0 V			±0.6	%FSR
積分直線性誤差 ^{注2}		4.0 V AVREF 5.5 V			±2.5	LSB
		2.7 V AVREF < 4.0 V			±4.5	LSB
微分直線性誤差 ^{注2}		4.0 V AVREF 5.5 V			±1.5	LSB
		2.7 V AVREF < 4.0 V			±2.0	LSB
アナログ入力電圧	V _{AIN}		V _{SS} ^{注1}		AV _{REF}	V

注1 .μ PD780862サブシリーズはV_{SS}とAV_{SS}を内部接続しています。上記のスペックはA/Dコンバータのみ動作させた場合のものです。

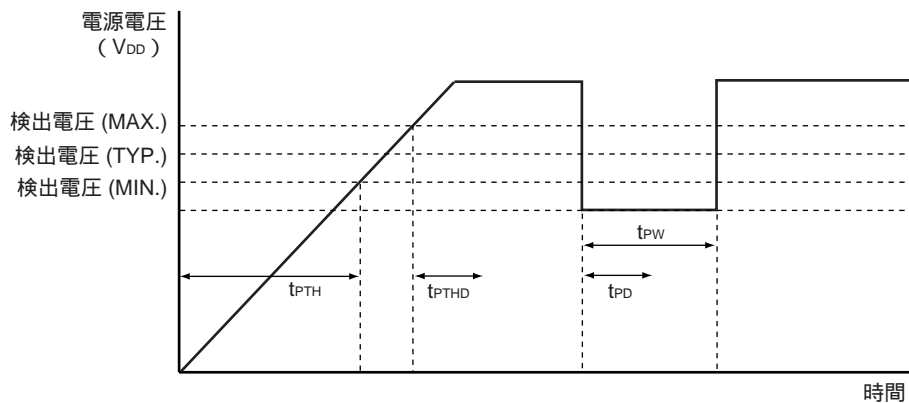
- 2. 量子化誤差 (± 1/2 LSB) を含みません。
- 3. フルスケール値に対する比率 (%FSR) で表します。

POC回路特性 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{POC}		2.7	2.85	3.0	V
電源立ち上げ時間	t _{PTH}	V _{DD} : 0 V 2.7 V	0.0015			ms
応答ディレイ時間 ^{1注}	t _{PTH_D}	電源立ち上げ時, 検出電圧 (MAX.) に達したあと			3.0	ms
応答ディレイ時間 ^{2注}	t _{PD}	V _{DD} 降下時			1.0	ms
最小パルス幅	t _{PW}		0.2			ms

注 検出電圧を検出してからリセットを解除するまでの時間です。

POC回路タイミング



LVI回路特性 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{LVI0}		4.1	4.3	4.5	V
	V _{LVI1}		3.9	4.1	4.3	V
	V _{LVI2}		3.7	3.9	4.1	V
	V _{LVI3}		3.5	3.7	3.9	V
	V _{LVI4}		3.3	3.5	3.7	V
	V _{LVI5}		3.15	3.3	3.45	V
	V _{LVI6}		2.95	3.1	3.25	V
応答時間 ^{注1}	t _{LD}			0.2	2.0	ms
最小パルス幅	t _{LW}		0.2			ms
動作安定待ち時間 ^{注2}	t _{LWAIT}			0.1	0.2	ms

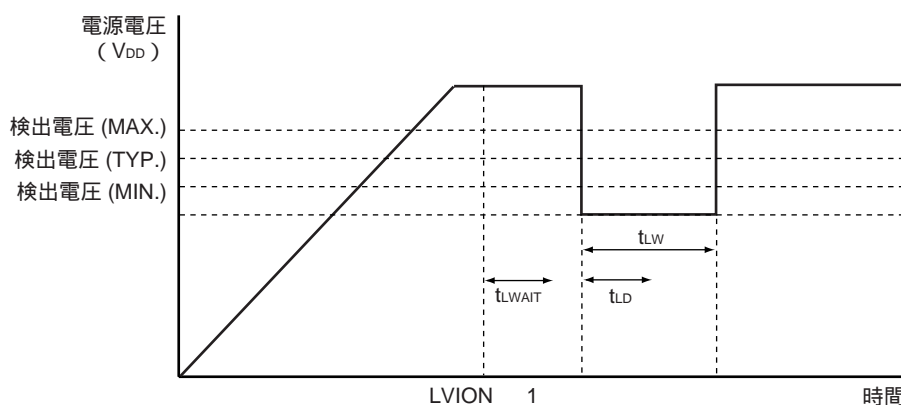
注1. 検出電圧を検出して割り込みまたはリセットを出力するまでの時間です。

2. LVIONに1を設定してから、動作が安定するまでの時間です。

備考1. V_{LVI0} > V_{LVI1} > V_{LVI2} > V_{LVI3} > V_{LVI4} > V_{LVI5} > V_{LVI6}

2. V_{POC} < V_{LVI_m} (m = 0-6)

LVI回路タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		2.7		5.5	V
リリース信号セット時間	t _{SREL}		0			μs

フラッシュ・メモリ・プログラミング特性：フラッシュ・メモリ製品

($T_A = 10 \sim 65$, $3.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $3.0\text{ V} \leq AV_{REF} \leq V_{DD}$, $V_{SS} = 0\text{ V}$)

(1) μ PD78F0862, 78F0862(A)

項目	略号	条件	MIN.	TYP.	MAX.	単位
V_{DD} 電源電流	I_{DD}	$f_x = 10\text{ MHz}$, $V_{DD} = 5.5\text{ V}$ 時			45	mA
ステップ 消去時間	チップ単位	T_{erac}	100			ms
	セクタ単位	T_{eras}	100			ms
消去時間 ^{注1}	チップ単位	T_{eraca}			25.5	s
	セクタ単位	T_{erasa}			25.5	s
ステップ書き込み時間	T_{wrw}		50			μs
書き込み時間	T_{wrwa}				500	μs
1チップあたりの書き換え回数	C_{erwr}	消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする ^{注2}			100 ^{注3}	回

注1. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含まれません。

- 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。
- (A)品は、10回 (MAX.) です。

(2) μ PD78F0862A, 78F0862A(A)

項目	略号	条件	MIN.	TYP.	MAX.	単位
V_{DD} 電源電流	I_{DD}	$f_x = 10\text{ MHz}$, $V_{DD} = 5.5\text{ V}$ 時			30.5	mA
ステップ 消去時間	チップ単位	T_{erac}		10		ms
	セクタ単位	T_{eras}		10		ms
消去時間 ^{注1}	チップ単位	T_{eraca}			2.55	s
	セクタ単位	T_{erasa}			2.55	s
ステップ書き込み時間	T_{wrw}				500	μs
書き込み時間	T_{wrwa}				500	μs
1チップあたりの書き換え回数	C_{erwr}	消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする ^{注2}			100	回

注1. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含まれません。

- 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

第24章 電気的特性 (A1)水準品)

対象製品：μPD780861(A1), 780862(A1), 78F0862A(A1)

絶対最大定格 (T_A = 25)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.3 ~ + 6.5	V
	V _{SS}		- 0.3 ~ + 0.3	V
	AV _{REF}		- 0.3 ~ V _{DD} + 0.3 ^注	V
入力電圧	V _{I1}	P00, P01, P10-P15, P20-P23, X1, X2, RESET [¯]	- 0.3 ~ V _{DD} + 0.3 ^注	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3 ^注	V
アナログ入力電圧	V _{AN}		V _{SS} - 0.3 ~ AV _{REF} + 0.3 ^注 かつ - 0.3 ~ V _{DD} + 0.3 ^注	V
ハイ・レベル出力電流	I _{OH}	1端子	- 8	mA
		P00, P01, P10-P15, P130 端子合計	- 24	mA
ロウ・レベル出力電流	I _{OL}	1端子	16	mA
		P00, P01, P10-P15, P130 端子合計	28	mA
動作周囲温度	T _A	通常動作時	- 40 ~ + 110	
		フラッシュ・メモリ・プログラミング時	- 40 ~ + 85	
保存温度	T _{stg}	マスクROM製品	- 65 ~ + 150	
		フラッシュ・メモリ製品	- 40 ~ + 150	

注 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

水晶/セラミック発振回路特性 (水晶/セラミック発振選択時)

($T_A = -40 \sim +110$, 2.7 V $V_{DD} 5.5\text{ V}, 2.7\text{ V}$ $AV_{REF} V_{DD}, V_{SS} = 0\text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f_{XH}) 注	4.0 V $V_{DD} 5.5\text{ V}$	2.0		10	MHz
			2.7 V $V_{DD} < 4.0\text{ V}$	2.0		5.0	
セラミック発振子		発振周波数 (f_{XH}) 注	4.0 V $V_{DD} 5.5\text{ V}$	2.0		10	MHz
			2.7 V $V_{DD} < 4.0\text{ V}$	2.0		5.0	
外部クロック		X1入力周波数 (f_{XH}) 注	4.0 V $V_{DD} 5.5\text{ V}$	2.0		10	MHz
			2.7 V $V_{DD} < 4.0\text{ V}$	2.0		5.0	
		X1入力ハイ、ロウ・レベル幅 (t_{XH}, t_{XL})	4.0 V $V_{DD} 5.5\text{ V}$	46		250	ns
			2.7 V $V_{DD} < 4.0\text{ V}$	96		250	

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

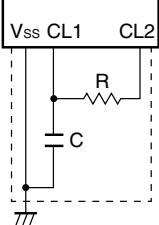
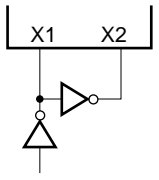
注意 水晶/セラミック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

外部RC発振回路特性 (外部RC発振選択時)

($T_A = -40 \sim +110$, $2.7\text{ V } V_{DD} 5.5\text{ V}, 2.7\text{ V } AV_{REF} V_{DD}, V_{SS} = 0\text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
RC発振		発振周波数 (f_{XH}) ^注		3.0		4.0	MHz
外部クロック		X1入力周波数 (f_{XH}) ^注	4.0 V $V_{DD} 5.5\text{ V}$	2.0		10	MHz
			2.7 V $V_{DD} < 4.0\text{ V}$	2.0		5.0	
		X1入力ハイ、ロウ・レベル幅 (t_{XH}, t_{XL})	4.0 V $V_{DD} 5.5\text{ V}$	46		250	ns
			2.7 V $V_{DD} < 4.0\text{ V}$	96		250	

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意 RC発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

外部RC発振周波数特性 (外部RC発振選択時)

($T_A = -40 \sim +110$, $2.7\text{ V } V_{DD} 5.5\text{ V}, 2.7\text{ V } AV_{REF} V_{DD}, V_{SS} = 0\text{ V}$)

項目	条件	MIN.	TYP.	MAX.	単位
発振周波数 (f_{XH}) ^注	$R = 6.8\text{ k}$, $C = 22\text{ pF}$ ターゲット : 3 MHz	2.5	3.0	3.5	MHz
	$R = 4.7\text{ k}$, $C = 22\text{ pF}$ ターゲット : 4 MHz	3.5	4.0	4.7	MHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意 上記のいずれかの値でRとCを設定してください。

高速内蔵発振回路特性 (高速内蔵発振選択時)

($T_A = -40 \sim +110$, 4.0 V V_{DD} 5.5 V , 4.0 V AV_{REF} V_{DD} , $V_{SS} = 0\text{ V}$)

発振子	項目	条件	MIN.	TYP.	MAX.	単位
高速内蔵発振器	発振周波数 (f_{XH}) ^注		6.80	8.00	9.20	MHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

低速内蔵発振回路特性

($T_A = -40 \sim +110$, 2.7 V V_{DD} 5.5 V , 2.7 V AV_{REF} V_{DD} , $V_{SS} = 0\text{ V}$)

発振子	項目	条件	MIN.	TYP.	MAX.	単位
低速内蔵発振器	発振周波数 (f_R) ^注		120	240	490	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

DC特性 (TA = -40 ~ +110, 2.7 V VDD 5.5 V, 2.7 V AVREF VDD, VSS = 0 V) (1/3)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流	IOH	1端子	4.0 V VDD 5.5 V			- 4	mA
		P00, P01, P10-P15, P130	4.0 V VDD 5.5 V			- 20	mA
		合計	2.7 V VDD < 4.0 V			- 8	mA
ロウ・レベル出力電流	IOL	1端子	4.0 V VDD 5.5 V			8	mA
		P00, P01, P10-P15, P130	4.0 V VDD 5.5 V			24	mA
		合計	2.7 V VDD < 4.0 V			8	mA
ハイ・レベル入力電圧	VIH1	P02 ^{注1} , P12, P13, P15		0.7VDD		VDD	V
	VIH2	P00, P01, P10, P11, P14, RESET		0.8VDD		VDD	V
	VIH3	P20-P23 ^{注2}		0.7AVREF		AVREF	V
	VIH4	X1, X2		VDD - 0.5		VDD	V
ロウ・レベル入力電圧	VIL1	P02 ^{注1} , P12, P13, P15		0		0.3VDD	V
	VIL2	P00, P01, P10, P11, P14, RESET		0		0.2VDD	V
	VIL3	P20-P23 ^{注2}		0		0.3AVREF	V
	VIL4	X1, X2		0		0.4	V
ハイ・レベル出力電圧	VOH	P00, P01, P10-P15, P130	4.0 V VDD 5.5 V,	VDD - 1.0			V
		端子合計 IOH = - 20 mA IOH = - 100 μA	IOH = - 4 mA 2.7 V VDD < 4.0 V	VDD - 0.5			V
ロウ・レベル出力電圧	VOL	P00, P01, P10-P15, P130	4.0 V VDD 5.5 V,			1.3	V
		端子合計 IOL = 24 mA IOL = 400 μA	IOL = 8 mA 2.7 V VDD < 4.0 V			0.4	μA
ハイ・レベル入力リーク電流	ILIH1	Vi = VDD	P00, P01, P10-P15, RESET			10	μA
		Vi = AVREF	P20-P23			10	μA
	ILIH2	Vi = VDD	X1, X2 ^{注3}			20	μA
ロウ・レベル入力リーク電流	ILIL1	Vi = 0 V	P00, P01, P10-P15, P20-P23, RESET			- 10	μA
			X1, X2 ^{注3}			- 20	μA
ハイ・レベル出力リーク電流	ILOH	Vo = VDD				10	μA
ロウ・レベル出力リーク電流	ILOL	Vo = 0 V				- 10	μA
プルアップ抵抗値	R	Vi = 0 V		10	30	120	k
FLMD0電源電圧 (フラッシュ・メモリ製品のみ)	FImd	通常動作時		0		0.2VDD	V

注1. 高速システム・クロックに高速内蔵発振クロックを選択した場合、ポート入力端子として使用できます。

2. デジタル入力ポートとして使用する場合は、AVREF = VDDにしてください。
3. X2にX1の反転入力レベルを印加している場合。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (2/3) : フラッシュ・メモリ製品

($T_A = -40 \sim +110$, $2.7 V \leq V_{DD} \leq 5.5 V$, $2.7 V \leq AV_{REF} \leq V_{DD}$, $V_{SS} = 0 V$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1	水晶 / セラミック発振動作モード ^{注2, 6}	$f_{XH} = 10 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$ ^{注3}	A/Dコンバータ停止時		7.8	16.2	mA
				A/Dコンバータ動作時 ^{注4}		8.8	18.2	mA
			$f_{XH} = 5 \text{ MHz}$, $V_{DD} = 3.0 \text{ V} \pm 10 \%$ ^{注3}	A/Dコンバータ停止時		2.4	5.5	mA
				A/Dコンバータ動作時 ^{注4}		3.0	6.7	mA
	IDD2	水晶 / セラミック発振HALTモード ^{注6}	$f_{XH} = 10 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$	周辺機能停止時		1.7	4.6	mA
				周辺機能動作時			7.5	mA
			$f_{XH} = 5 \text{ MHz}$, $V_{DD} = 3.0 \text{ V} \pm 10 \%$	周辺機能停止時		0.48	1.4	mA
				周辺機能動作時			2.5	mA
	IDD3	外部RC発振動作モード ^{注2, 7}	$f_X = 4 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$	A/Dコンバータ停止時		4.5	10.3	mA
				A/Dコンバータ動作時 ^{注4}		5.5	12.3	mA
			$f_X = 4 \text{ MHz}$, $V_{DD} = 3.0 \text{ V} \pm 10 \%$	A/Dコンバータ停止時		2.4	5.5	mA
				A/Dコンバータ動作時 ^{注4}		3.0	6.7	mA
	IDD4	外部RC発振HALTモード ^{注7}	$f_X = 4 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$	周辺機能停止時		1.6	4.3	mA
				周辺機能動作時			6.1	mA
			$f_X = 4 \text{ MHz}$, $V_{DD} = 3.0 \text{ V} \pm 10 \%$	周辺機能停止時		0.87	2.4	mA
				周辺機能動作時			3.4	mA
	IDD5	高速内蔵発振動作モード ^{注2, 8}	$f_{XH} = 8 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$	A/Dコンバータ停止時		6.9	15.2	mA
				A/Dコンバータ動作時 ^{注4}		7.9	17.2	mA
IDD6	高速内蔵発振HALTモード ^{注8}	$f_{XH} = 8 \text{ MHz}$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$	周辺機能停止時		1.4	4.0	mA	
			周辺機能動作時			6.7	mA	
IDD7	低速内蔵発振動作モード ^{注5}	$V_{DD} = 5.0 \text{ V} \pm 10 \%$			1.8	8.0	mA	
		$V_{DD} = 3.0 \text{ V} \pm 10 \%$			0.88	3.9	mA	
IDD8	低速内蔵発振HALTモード ^{注5}	$V_{DD} = 5.0 \text{ V} \pm 10 \%$			0.08	1.12	mA	
		$V_{DD} = 3.0 \text{ V} \pm 10 \%$			0.06	0.64	mA	
IDD9	STOPモード	$V_{DD} = 5.0 \text{ V} \pm 10 \%$	低速内蔵発振 : OFF		3.5	800	μA	
			低速内蔵発振 : ON		17.5	900	μA	
		$V_{DD} = 3.0 \text{ V} \pm 10 \%$	低速内蔵発振 : OFF		3.5	400	μA	
			低速内蔵発振 : ON		11.0	500	μA	

注1. 内部電源 (V_{DD}) に流れるトータル電流です。周辺動作電流を含みます (ただし, ポートのプルアップ抵抗に流れる電流は含みません)。

2. 周辺動作電流を含みます。
3. PCC = 00Hに設定したとき。
4. V_{DD} 端子, AV_{REF} 端子に流れる電流の合計です。
5. 高速システム・クロックを停止させたとき。
6. オプション・バイトで高速システム・クロックの発振を水晶 / セラミックに選択したとき。
7. オプション・バイトで高速システム・クロックの発振を外部RCに選択したとき。
8. オプション・バイトで高速システム・クロックの発振を高速内蔵発振器に選択したとき。

DC特性 (3/3) : マスクROM製品

($T_A = -40 \sim +110$, $2.7 V \leq V_{DD} \leq 5.5 V, 2.7 V \leq AV_{REF} \leq V_{DD}, V_{SS} = 0 V$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD1}	水晶 / セラミック発振動作モード ^{注2, 6}	$f_{XH} = 10 \text{ MHz},$ $V_{DD} = 5.0 \text{ V} \pm 10 \%$ ^{注3}	A/Dコンバータ停止時		6.1	12.7	mA
				A/Dコンバータ動作時 ^{注4}		7.1	14.7	mA
			$f_{XH} = 5 \text{ MHz},$ $V_{DD} = 3.0 \text{ V} \pm 10 \%$ ^{注3}	A/Dコンバータ停止時		1.7	4.0	mA
				A/Dコンバータ動作時 ^{注4}		2.3	5.2	mA
	I _{DD2}	水晶 / セラミック発振HALTモード ^{注6}	$f_{XH} = 10 \text{ MHz},$ $V_{DD} = 5.0 \text{ V} \pm 10 \%$	周辺機能停止時		1.6	4.4	mA
				周辺機能動作時			7.3	mA
			$f_{XH} = 5 \text{ MHz},$ $V_{DD} = 3.0 \text{ V} \pm 10 \%$	周辺機能停止時		0.41	1.36	mA
				周辺機能動作時			2.5	mA
	I _{DD3}	外部RC発振動作モード ^{注2, 7}	$f_X = 4 \text{ MHz},$ $V_{DD} = 5.0 \text{ V} \pm 10 \%$	A/Dコンバータ停止時		3.2	7.2	mA
				A/Dコンバータ動作時 ^{注4}		4.2	9.2	mA
			$f_X = 4 \text{ MHz},$ $V_{DD} = 3.0 \text{ V} \pm 10 \%$	A/Dコンバータ停止時		1.7	4.0	mA
				A/Dコンバータ動作時 ^{注4}		2.3	5.2	mA
	I _{DD4}	外部RC発振HALTモード ^{注7}	$f_X = 4 \text{ MHz},$ $V_{DD} = 5.0 \text{ V} \pm 10 \%$	周辺機能停止時		1.6	4.3	mA
				周辺機能動作時			6.1	mA
			$f_X = 4 \text{ MHz},$ $V_{DD} = 3.0 \text{ V} \pm 10 \%$	周辺機能停止時		0.87	2.4	mA
				周辺機能動作時			3.4	mA
	I _{DD5}	高速内蔵発振動作モード ^{注2, 8}	$f_{XH} = 8 \text{ MHz},$ $V_{DD} = 5.0 \text{ V} \pm 10 \%$	A/Dコンバータ停止時		4.98	10.9	mA
				A/Dコンバータ動作時 ^{注4}		5.98	12.9	mA
I _{DD6}	高速内蔵発振HALTモード ^{注8}	$f_{XH} = 8 \text{ MHz},$ $V_{DD} = 5.0 \text{ V} \pm 10 \%$	周辺機能停止時		1.24	3.6	mA	
			周辺機能動作時			6.3	mA	
I _{DD7}	低速内蔵発振動作モード ^{注5}	$V_{DD} = 5.0 \text{ V} \pm 10 \%$			0.17	1.48	mA	
		$V_{DD} = 3.0 \text{ V} \pm 10 \%$			0.11	0.84	mA	
I _{DD8}	低速内蔵発振HALTモード ^{注5}	$V_{DD} = 5.0 \text{ V} \pm 10 \%$			0.04	0.96	mA	
		$V_{DD} = 3.0 \text{ V} \pm 10 \%$			0.03	0.52	mA	
I _{DD9}	STOPモード	$V_{DD} = 5.0 \text{ V} \pm 10 \%$	低速内蔵発振 : OFF		3.5	800	μA	
			低速内蔵発振 : ON		17.5	900	μA	
		$V_{DD} = 3.0 \text{ V} \pm 10 \%$	低速内蔵発振 : OFF		3.5	400	μA	
			低速内蔵発振 : ON		11.0	500	μA	

注1. 内部電源 (V_{DD}) に流れるトータル電流です。周辺動作電流を含みます (ただし、ポートのプルアップ抵抗に流れる電流は含みません)。

2. 周辺動作電流を含みます。
3. PCC = 00Hに設定したとき。
4. V_{DD} 端子, AV_{REF} 端子に流れる電流の合計です。
5. 高速システム・クロックを停止させたとき。
6. マスク・オプションで高速システム・クロックの発振を水晶 / セラミックに選択したとき。
7. マスク・オプションで高速システム・クロックの発振を外部RCに選択したとき。
8. マスク・オプションで高速システム・クロックの発振を高速内蔵発振器に選択したとき。

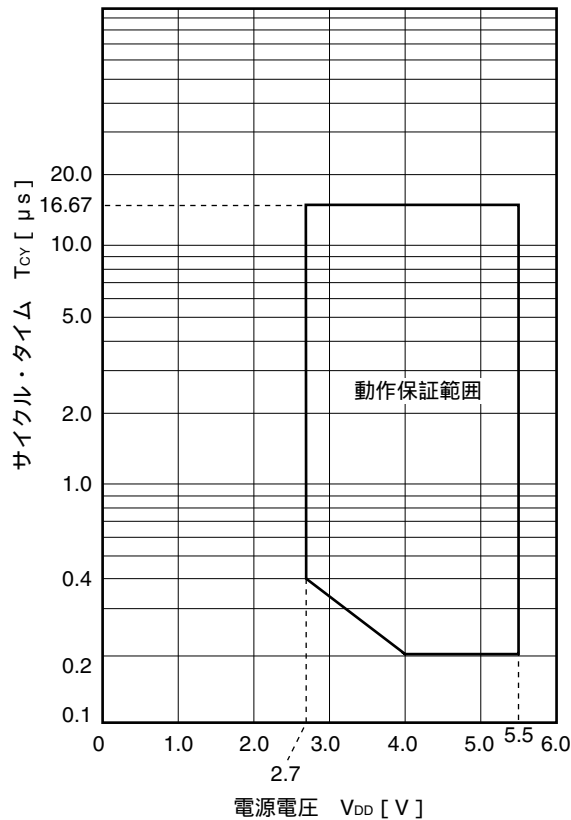
AC特性

(1) 基本動作 ($T_A = -40 \sim +110$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_{AVREF} \leq V_{DD}$, $V_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
命令サイクル (最小命令実行時間)	T_{CY}	メイン・高速システム・クロック動作	水晶/セラミック発振クロック	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	0.2		16	$\mu\text{ s}$
		外部RC発振クロック	$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	0.4		16	$\mu\text{ s}$	
		高速内蔵発振クロック	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	0.217	0.25	4.7	$\mu\text{ s}$	
		低速内蔵発振クロック	$2.7\text{ V} \leq V_{DD} < 5.5\text{ V}$	4.09	8.33	16.67	$\mu\text{ s}$	
TI00入力ハイ・レベル幅, ロウ・レベル幅	t_{TIH0} , t_{TIL0}	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$2/f_{sam} + 0.1$ ^注			$\mu\text{ s}$		
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	$2/f_{sam} + 0.2$ ^注			$\mu\text{ s}$		
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t_{INTH} , t_{INTL}		1			$\mu\text{ s}$		
RESETロウ・レベル幅	t_{RSL}		10			$\mu\text{ s}$		

注 プリスケアラ・モード・レジスタ00 (PRM00) のビット0, 1 (PRM000, PRM001) により, $f_{sam} = f_{XH}$, $f_{XH}/4$, $f_{XH}/256$ の選択が可能です。ただし, カウント・クロックとしてTI000有効エッジを選択した場合は, $f_{sam} = f_{XH}$ となります。

T_{CY} vs V_{DD} (メイン・システム・クロック動作時)



(2) シリアル・インタフェース ($T_A = -40 \sim +110$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq AV_{REF} \leq V_{DD}$, $V_{SS} = 0\text{ V}$)

(a) UARTモード (UART6, 専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					312.5	kbps

(b) 3線式シリアルI/Oモード (SCK10...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10サイクル・タイム	t _{KCY1}	4.0 V $\leq V_{DD} \leq 5.5\text{ V}$	200			ns
		2.7 V $\leq V_{DD} < 4.0\text{ V}$	400			ns
SCK10ハイ, ロウ・レベル幅	t _{KH1} , t _{KL1}		t _{KCY1} /2 - 10			ns
SI10セットアップ時間 (対SCK10)	t _{SIK1}		30			ns
SI10ホールド時間 (対SCK10)	t _{KSI1}		30			ns
SCK10 SO10出力遅延時間	t _{KSO1}	C = 100 pF ^注			30	ns

注 Cは, SCK10, SO10出力ラインの負荷容量です。

(c) 3線式シリアルI/Oモード (SCK10...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10サイクル・タイム	t _{KCY2}		400			ns
SCK10ハイ, ロウ・レベル幅	t _{KH2} , t _{KL2}		t _{KCY2} /2			ns
SI10セットアップ時間 (対SCK10)	t _{SIK2}		80			ns
SI10ホールド時間 (対SCK10)	t _{KSI2}		50			ns
SCK10 SO10出力遅延時間	t _{KSO2}	C = 100 pF ^注			120	ns

注 Cは, SO10出力ラインの負荷容量です。

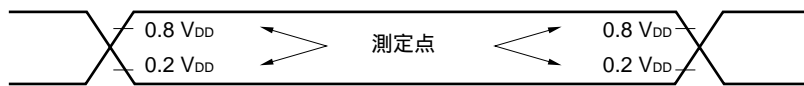
(3) マンチェスタ・コード・ジェネレータ

($T_A = -40 \sim +110$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq AV_{REF} \leq V_{DD}$, $V_{SS} = 0\text{ V}$)

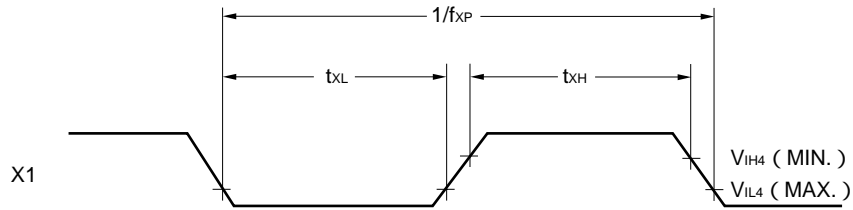
(a) 専用ポー・レート・ジェネレータ出力

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					250.0	kbps

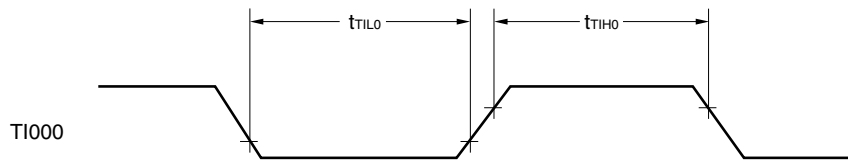
ACタイミング測定点 (X1を除く)



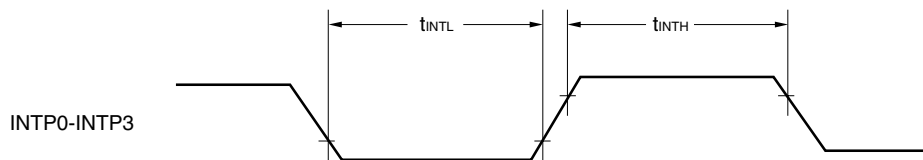
クロック・タイミング



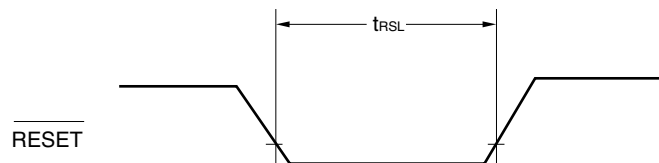
TIタイミング



割り込み要求入力タイミング

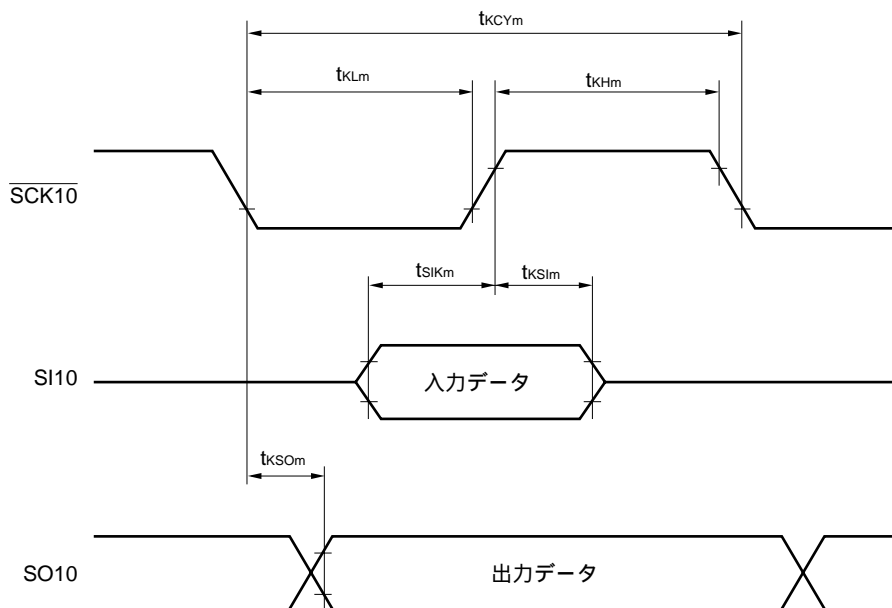


$\overline{\text{RESET}}$ 入力タイミング



シリアル転送タイミング

3線式シリアルI/Oモード :



備考 $m = 1, 2$

A/Dコンバータ特性 (TA = -40 ~ +110 , 2.7 V VDD 5.5 V, 2.7 V AVREF VDD, VSS = 0 V^{注1})

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差 ^{注2,3}		4.0 V AVREF 5.5 V		±0.2	±0.6	%FSR
		2.7 V AVREF < 4.0 V		±0.3	±0.8	%FSR
変換時間	t _{CONV}	4.0 V AVREF 5.5 V	14		60	μs
		2.7 V AVREF < 4.0 V	19		60	μs
ゼロスケール誤差 ^{注2,3}		4.0 V AVREF 5.5 V			±0.6	%FSR
		2.7 V AVREF < 4.0 V			±0.8	%FSR
フルスケール誤差 ^{注2,3}		4.0 V AVREF 5.5 V			±0.6	%FSR
		2.7 V AVREF < 4.0 V			±0.8	%FSR
積分直線性誤差 ^{注2}		4.0 V AVREF 5.5 V			±4.5	LSB
		2.7 V AVREF < 4.0 V			±6.5	LSB
微分直線性誤差 ^{注2}		4.0 V AVREF 5.5 V			±2.0	LSB
		2.7 V AVREF < 4.0 V			±2.5	LSB
アナログ入力電圧	V _{AIN}		V _{SS} ^{注1}		AV _{REF}	V

注1 .μ PD780862サブシリーズはV_{SS}とAV_{SS}を内部接続しています。上記のスペックはA/Dコンバータのみ動作させた場合のものです。

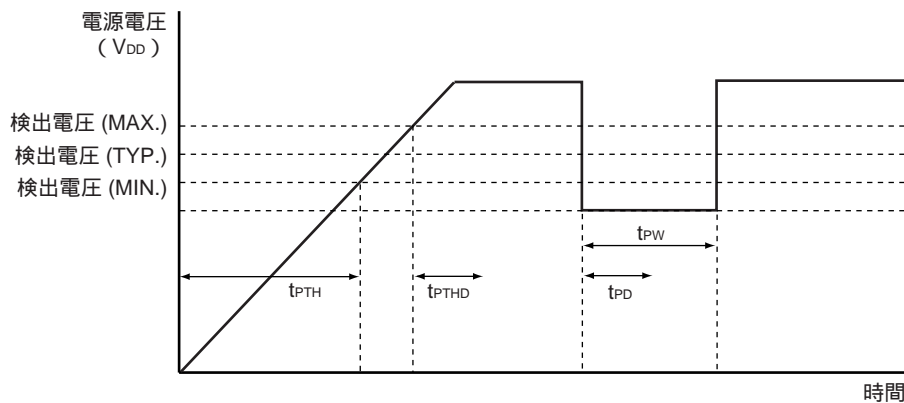
- 量子化誤差 (± 1/2 LSB) を含みません。
- フルスケール値に対する比率 (%FSR) で表します。

POC回路特性 (TA = -40 ~ +110)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{POC}		2.7	2.85	3.02	V
電源立ち上げ時間	t _{PTH}	V _{DD} : 0 V 2.7 V	0.0015			ms
応答ディレイ時間 ^{注1}	t _{PTH_D}	電源立ち上げ時, 検出電圧 (MAX.) に達したあと			3.0	ms
応答ディレイ時間 ^{注2}	t _{PD}	V _{DD} 降下時			1.0	ms
最小パルス幅	t _{PW}		0.2			ms

- 検出電圧を検出してから, リセットを解除するまでの時間です。
- 検出電圧を検出してから, 内部リセットを出力するまでの時間です。

POC回路タイミング



LVI回路特性 (TA = -40 ~ +110)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{LV10}		4.1	4.3	4.52	V
	V _{LV11}		3.9	4.1	4.32	V
	V _{LV12}		3.7	3.9	4.12	V
	V _{LV13}		3.5	3.7	3.92	V
	V _{LV14}		3.3	3.5	3.72	V
	V _{LV15}		3.15	3.3	3.47	V
	V _{LV16}		2.95	3.1	3.27	V
応答時間 ^{注1}	t _{LD}			0.2	2.0	ms
最小パルス幅	t _{LW}		0.2			ms
動作安定待ち時間 ^{注2}	t _{LWAIT}			0.1	0.2	ms

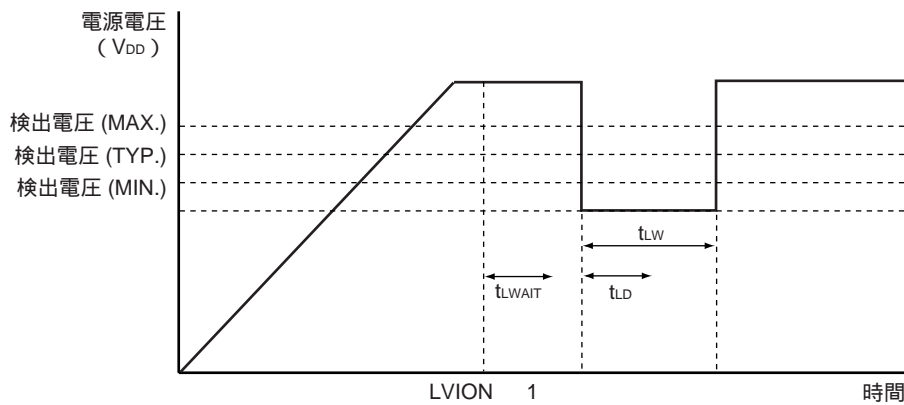
注1. 検出電圧を検出して割り込みまたはリセットを出力するまでの時間です。

2. LVIONに1を設定してから、動作が安定するまでの時間です。

備考1. V_{LV10} > V_{LV11} > V_{LV12} > V_{LV13} > V_{LV14} > V_{LV15} > V_{LV16}

2. V_{POC} < V_{LV1m} (m = 0-6)

LVI回路タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +110)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		2.7		5.5	V
リリース信号セット時間	t _{SREL}		0			μs

フラッシュ・メモリ・プログラミング特性：フラッシュ・メモリ製品

($T_A = 10 \sim 65$, 3.0 V $V_{DD} = 5.5\text{ V}, 3.0\text{ V}$ $AV_{REF} = V_{DD}, V_{SS} = 0\text{ V}$)

項目		略号	条件	MIN.	TYP.	MAX.	単位
V _{DD} 電源電流		I _{DD}	f _x = 10 MHz, V _{DD} = 5.5 V時			30.5	mA
ステップ 消去時間	チップ単位	T _{erac}			10		ms
	セクタ単位	T _{eras}			10		ms
消去時間 ^{注1}	チップ単位	T _{eraca}				2.55	s
	セクタ単位	T _{erasa}				2.55	s
ステップ書き込み時間		T _{wrw}				500	μs
書き込み時間		T _{wrwa}				500	μs
1チップあたりの書き換え回数		C _{erwr}	消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする ^{注2}			100	回

注1. 消去前のプリライトおよび消去ベリファイ時間（ライトバック時間）は含まれません。

- 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

第25章 電気的特性 ((A2)水準品)

対象製品：μPD780861(A2), 780862(A2), 78F0862A(A2)

絶対最大定格 (T_A = 25)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.3 ~ + 6.5	V
	V _{SS}		- 0.3 ~ + 0.3	V
	AV _{REF}		- 0.3 ~ V _{DD} + 0.3 ^注	V
入力電圧	V _{I1}	P00, P01, P10-P15, P20-P23, X1, X2, RESET _̄	- 0.3 ~ V _{DD} + 0.3 ^注	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3 ^注	V
アナログ入力電圧	V _{AN}		V _{SS} - 0.3 ~ AV _{REF} + 0.3 ^注 かつ - 0.3 ~ V _{DD} + 0.3 ^注	V
ハイ・レベル出力電流	I _{OH}	1端子	- 7	mA
		P00, P01, P10-P15, P130 端子合計	- 21	mA
ロウ・レベル出力電流	I _{OL}	1端子	14	mA
		P00, P01, P10-P15, P130 端子合計	24.5	mA
動作周囲温度	T _A	通常動作時	- 40 ~ + 125	
		フラッシュ・メモリ・プログラミング時	- 40 ~ + 85	
保存温度	T _{stg}	マスクROM製品	- 65 ~ + 150	
		フラッシュ・メモリ製品	- 40 ~ + 150	

注 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

水晶/セラミック発振回路特性 (水晶/セラミック発振選択時)

($T_A = -40 \sim +125$, 2.7 V V_{DD} 5.5 V, 2.7 V AV_{REF} V_{DD} , $V_{SS} = 0$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f_{XH}) 注	4.0 V V_{DD} 5.5 V	2.0		9.2	MHz
			2.7 V $V_{DD} < 4.0$ V	2.0		5.0	
セラミック発振子		発振周波数 (f_{XH}) 注	4.0 V V_{DD} 5.5 V	2.0		9.2	MHz
			2.7 V $V_{DD} < 4.0$ V	2.0		5.0	
外部クロック		X1入力周波数 (f_{XH}) 注	4.0 V V_{DD} 5.5 V	2.0		9.2	MHz
			2.7 V $V_{DD} < 4.0$ V	2.0		5.0	
		X1入力ハイ、ロウ・レベル幅 (t_{XH} , t_{XL})	4.0 V V_{DD} 5.5 V	51		250	ns
			2.7 V $V_{DD} < 4.0$ V	96		250	

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

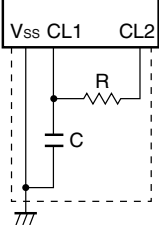
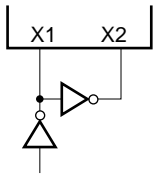
注意 水晶/セラミック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

外部RC発振回路特性 (外部RC発振選択時)

($T_A = -40 \sim +125$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq AV_{REF} \leq V_{DD}$, $V_{SS} = 0\text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
RC発振		発振周波数 (f_{XH}) ^注		3.0		4.0	MHz
外部クロック		X1入力周波数 (f_{XH}) ^注	4.0 V $V_{DD} \leq 5.5\text{ V}$	2.0		9.2	MHz
			2.7 V $V_{DD} < 4.0\text{ V}$	2.0		5.0	
		XT1入力ハイ、ロウ・レベル幅 (t_{XH} , t_{XL})	4.0 V $V_{DD} \leq 5.5\text{ V}$	51		250	ns
			2.7 V $V_{DD} < 4.0\text{ V}$	96		250	

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意 RC発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

外部RC発振周波数特性 (外部RC発振選択時)

($T_A = -40 \sim +125$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq AV_{REF} \leq V_{DD}$, $V_{SS} = 0\text{ V}$)

項目	条件	MIN.	TYP.	MAX.	単位
発振周波数 (f_{XH}) ^注	$R = 6.8\text{ k}$, $C = 22\text{ pF}$ ターゲット : 3 MHz	2.5	3.0	3.5	MHz
	$R = 4.7\text{ k}$, $C = 22\text{ pF}$ ターゲット : 4 MHz	3.5	4.0	4.7	MHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意 上記のいずれかの値でRとCを設定してください。

高速内蔵発振回路特性 (高速内蔵発振選択時)

($T_A = -40 \sim +125$, 4.0 V V_{DD} 5.5 V , 4.0 V AV_{REF} V_{DD} , $V_{SS} = 0\text{ V}$)

発振子	項目	条件	MIN.	TYP.	MAX.	単位
高速内蔵発振器	発振周波数 (f_{XH}) ^注		6.80	8.00	9.20	MHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

低速内蔵発振回路特性

($T_A = -40 \sim +125$, 2.7 V V_{DD} 5.5 V , 2.7 V AV_{REF} V_{DD} , $V_{SS} = 0\text{ V}$)

発振子	項目	条件	MIN.	TYP.	MAX.	単位
低速内蔵発振器	発振周波数 (f_R) ^注		120	240	495	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

DC特性 (TA = -40 ~ +125, 2.7 V VDD 5.5 V, 2.7 V AVREF VDD, VSS = 0 V) (1/3)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流	IOH	1端子	4.0 V VDD 5.5 V			- 3.5	mA
		P00, P01, P10-P15, P130	4.0 V VDD 5.5 V			- 17.5	mA
		合計	2.7 V VDD < 4.0 V			- 7	mA
ロウ・レベル出力電流	IOL	1端子	4.0 V VDD 5.5 V			7	mA
		P00, P01, P10-P15, P130	4.0 V VDD 5.5 V			21	mA
		合計	2.7 V VDD < 4.0 V			7	mA
ハイ・レベル入力電圧	VIH1	P02 ^{注1} , P12, P13, P15		0.7VDD		VDD	V
	VIH2	P00, P01, P10, P11, P14, RESET		0.8VDD		VDD	V
	VIH3	P20-P23 ^{注2}		0.7AVREF		AVREF	V
	VIH4	X1, X2		VDD - 0.5		VDD	V
ロウ・レベル入力電圧	VIL1	P02 ^{注1} , P12, P13, P15		0		0.3VDD	V
	VIL2	P00, P01, P10, P11, P14, RESET		0		0.2VDD	V
	VIL3	P20-P23 ^{注2}		0		0.3AVREF	V
	VIL4	X1, X2		0		0.4	V
ハイ・レベル出力電圧	VOH	P00, P01, P10-P15, P130	4.0 V VDD 5.5 V,	VDD - 1.0			V
		端子合計 IOH = - 17.5 mA IOH = - 100 μA	IOH = - 3.5 mA 2.7 V VDD < 4.0 V	VDD - 0.5			V
ロウ・レベル出力電圧	VOL	P00, P01, P10-P15, P130	4.0 V VDD 5.5 V,			1.3	V
		端子合計 IOL = 21 mA IOL = 400 μA	IOL = 7 mA 2.7 V VDD < 4.0 V			0.4	μA
ハイ・レベル入力リーク電流	ILIH1	Vi = VDD	P00, P01, P10-P15, RESET			10	μA
		Vi = AVREF	P20-P23			10	μA
	ILIH2	Vi = VDD	X1, X2 ^{注2}			20	μA
ロウ・レベル入力リーク電流	ILIL1	Vi = 0 V	P00, P01, P10-P15, P20-P23, RESET			- 10	μA
			X1, X2 ^{注2}			- 20	μA
ハイ・レベル出力リーク電流	ILOH	Vo = VDD				10	μA
ロウ・レベル出力リーク電流	ILOL	Vo = 0 V				- 10	μA
プルアップ抵抗値	R	Vi = 0 V		10	30	120	k
FLMD0電源電圧 (フラッシュ・メモリ製品のみ)	FImd	通常動作時		0		0.2VDD	V

注1. 高速システム・クロックに高速内蔵発振クロックを選択した場合、ポート入力端子として使用できます。

2. デジタル入力ポートとして使用する場合は、AVREF = VDDにしてください。
3. X2にX1の反転入力レベルを印加している場合。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (2/3) : フラッシュ・メモリ製品

($T_A = -40 \sim +125$, $2.7 V \leq V_{DD} \leq 5.5 V, 2.7 V \leq AV_{REF} \leq V_{DD}, V_{SS} = 0 V$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD1}	水晶 / セラミック発振動作モード ^{注2, 6}	$f_{XH} = 9.2 \text{ MHz},$ $V_{DD} = 5.0 \text{ V} \pm 10 \%$ ^{注3}	A/Dコンバータ停止時		7.2	15.9	mA
				A/Dコンバータ動作時 ^{注4}		8.2	17.9	mA
			$f_{XH} = 5 \text{ MHz},$ $V_{DD} = 3.0 \text{ V} \pm 10 \%$ ^{注3}	A/Dコンバータ停止時		2.4	5.7	mA
				A/Dコンバータ動作時 ^{注4}		3.0	6.9	mA
	I _{DD2}	水晶 / セラミック発振HALTモード ^{注6}	$f_{XH} = 9.2 \text{ MHz},$ $V_{DD} = 5.0 \text{ V} \pm 10 \%$	周辺機能停止時		1.7	4.7	mA
				周辺機能動作時			7.4	mA
			$f_{XH} = 5 \text{ MHz},$ $V_{DD} = 3.0 \text{ V} \pm 10 \%$	周辺機能停止時		0.48	1.6	mA
				周辺機能動作時			2.7	mA
	I _{DD3}	外部RC発振動作モード ^{注2, 7}	$f_X = 4 \text{ MHz},$ $V_{DD} = 5.0 \text{ V} \pm 10 \%$	A/Dコンバータ停止時		4.5	10.7	mA
				A/Dコンバータ動作時 ^{注4}		5.5	12.7	mA
			$f_X = 4 \text{ MHz},$ $V_{DD} = 3.0 \text{ V} \pm 10 \%$	A/Dコンバータ停止時		2.4	5.7	mA
				A/Dコンバータ動作時 ^{注4}		3.0	6.9	mA
	I _{DD4}	外部RC発振HALTモード ^{注7}	$f_X = 4 \text{ MHz},$ $V_{DD} = 5.0 \text{ V} \pm 10 \%$	周辺機能停止時		1.6	4.7	mA
				周辺機能動作時			6.5	mA
			$f_X = 4 \text{ MHz},$ $V_{DD} = 3.0 \text{ V} \pm 10 \%$	周辺機能停止時		0.87	2.6	mA
				周辺機能動作時			3.6	mA
	I _{DD5}	高速内蔵発振動作モード ^{注2, 8}	$f_{XH} = 8 \text{ MHz},$ $V_{DD} = 5.0 \text{ V} \pm 10 \%$	A/Dコンバータ停止時		6.9	15.6	mA
				A/Dコンバータ動作時 ^{注4}		7.9	17.6	mA
I _{DD6}	高速内蔵発振HALTモード ^{注8}	$f_{XH} = 8 \text{ MHz},$ $V_{DD} = 5.0 \text{ V} \pm 10 \%$	周辺機能停止時		1.4	4.4	mA	
			周辺機能動作時			7.1	mA	
I _{DD7}	低速内蔵発振動作モード ^{注5}	$V_{DD} = 5.0 \text{ V} \pm 10 \%$			1.8	8.4	mA	
		$V_{DD} = 3.0 \text{ V} \pm 10 \%$			0.88	4.1	mA	
I _{DD8}	低速内蔵発振HALTモード ^{注5}	$V_{DD} = 5.0 \text{ V} \pm 10 \%$			0.08	1.52	mA	
		$V_{DD} = 3.0 \text{ V} \pm 10 \%$			0.06	0.84	mA	
I _{DD9}	STOPモード	$V_{DD} = 5.0 \text{ V} \pm 10 \%$	低速内蔵発振 : OFF		3.5	1200	μA	
			低速内蔵発振 : ON		17.5	1300	μA	
		$V_{DD} = 3.0 \text{ V} \pm 10 \%$	低速内蔵発振 : OFF		3.5	600	μA	
			低速内蔵発振 : ON		11.0	700	μA	

注1. 内部電源 (V_{DD}) に流れるトータル電流です。周辺動作電流を含みます (ただし、ポートのプルアップ抵抗に流れる電流は含みません)。

2. 周辺動作電流を含みます。
3. PCC = 00Hに設定したとき。
4. V_{DD} 端子, AV_{REF} 端子に流れる電流の合計です。
5. 高速システム・クロックを停止させたとき。
6. マスク・オプションで高速システム・クロックの発振を水晶 / セラミックに選択したとき。
7. マスク・オプションで高速システム・クロックの発振を外部RCに選択したとき。
8. マスク・オプションで高速システム・クロックの発振を高速内蔵発振器に選択したとき。

DC特性 (3/3) : マスクROM製品

($T_A = -40 \sim +125$, $2.7 V \leq V_{DD} \leq 5.5 V, 2.7 V \leq AV_{REF} \leq V_{DD}, V_{SS} = 0 V$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD1}	水晶 / セラミック発振動作モード ^{注2, 6}	$f_{XH} = 9.2 \text{ MHz},$ $V_{DD} = 5.0 \text{ V} \pm 10 \%$ ^{注3}	A/Dコンバータ停止時		5.3	11.6	mA
				A/Dコンバータ動作時 ^{注4}		6.3	13.6	mA
			$f_{XH} = 5 \text{ MHz},$ $V_{DD} = 3.0 \text{ V} \pm 10 \%$ ^{注3}	A/Dコンバータ停止時		1.7	4.2	mA
				A/Dコンバータ動作時 ^{注4}		2.3	5.4	mA
	I _{DD2}	水晶 / セラミック発振HALTモード ^{注6}	$f_{XH} = 9.2 \text{ MHz},$ $V_{DD} = 5.0 \text{ V} \pm 10 \%$	周辺機能停止時		1.5	4.3	mA
				周辺機能動作時			7.0	mA
			$f_{XH} = 5 \text{ MHz},$ $V_{DD} = 3.0 \text{ V} \pm 10 \%$	周辺機能停止時		0.41	1.56	mA
				周辺機能動作時			2.7	mA
	I _{DD3}	外部RC発振動作モード ^{注2, 7}	$f_X = 4 \text{ MHz},$ $V_{DD} = 5.0 \text{ V} \pm 10 \%$	A/Dコンバータ停止時		3.2	7.6	mA
				A/Dコンバータ動作時 ^{注4}		4.2	9.6	mA
			$f_X = 4 \text{ MHz},$ $V_{DD} = 3.0 \text{ V} \pm 10 \%$	A/Dコンバータ停止時		1.7	4.2	mA
				A/Dコンバータ動作時 ^{注4}		2.3	5.4	mA
	I _{DD4}	外部RC発振HALTモード ^{注7}	$f_X = 4 \text{ MHz},$ $V_{DD} = 5.0 \text{ V} \pm 10 \%$	周辺機能停止時		1.6	4.7	mA
				周辺機能動作時			6.5	mA
			$f_X = 4 \text{ MHz},$ $V_{DD} = 3.0 \text{ V} \pm 10 \%$	周辺機能停止時		0.87	2.6	mA
				周辺機能動作時			3.6	mA
	I _{DD5}	高速内蔵発振動作モード ^{注2, 8}	$f_{XH} = 8 \text{ MHz},$ $V_{DD} = 5.0 \text{ V} \pm 10 \%$	A/Dコンバータ停止時		4.98	11.3	mA
				A/Dコンバータ動作時 ^{注4}		5.98	13.3	mA
I _{DD6}	高速内蔵発振HALTモード ^{注8}	$f_{XH} = 8 \text{ MHz},$ $V_{DD} = 5.0 \text{ V} \pm 10 \%$	周辺機能停止時		1.24	4.0	mA	
			周辺機能動作時			6.7	mA	
I _{DD7}	低速内蔵発振動作モード ^{注5}	$V_{DD} = 5.0 \text{ V} \pm 10 \%$			0.17	1.88	mA	
		$V_{DD} = 3.0 \text{ V} \pm 10 \%$			0.11	1.04	mA	
I _{DD8}	低速内蔵発振HALTモード ^{注5}	$V_{DD} = 5.0 \text{ V} \pm 10 \%$			0.04	1.36	mA	
		$V_{DD} = 3.0 \text{ V} \pm 10 \%$			0.03	0.72	mA	
I _{DD9}	STOPモード	$V_{DD} = 5.0 \text{ V} \pm 10 \%$	低速内蔵発振 : OFF		3.5	1200	μA	
			低速内蔵発振 : ON		17.5	1300	μA	
		$V_{DD} = 3.0 \text{ V} \pm 10 \%$	低速内蔵発振 : OFF		3.5	600	μA	
			低速内蔵発振 : ON		11.0	700	μA	

注1 . 内部電源 (V_{DD}) に流れるトータル電流です。周辺動作電流を含みます (ただし、ポートのプルアップ抵抗に流れる電流は含みません)。

- 2 . 周辺動作電流を含みます。
- 3 . PCC = 00Hに設定したとき。
- 4 . V_{DD}端子 , AV_{REF}端子に流れる電流の合計です。
- 5 . 高速システム・クロックを停止させたとき。
- 6 . マスク・オプションで高速システム・クロックの発振を水晶 / セラミックに選択したとき。
- 7 . マスク・オプションで高速システム・クロックの発振を外部RCに選択したとき。
- 8 . マスク・オプションで高速システム・クロックの発振を高速内蔵発振器に選択したとき。

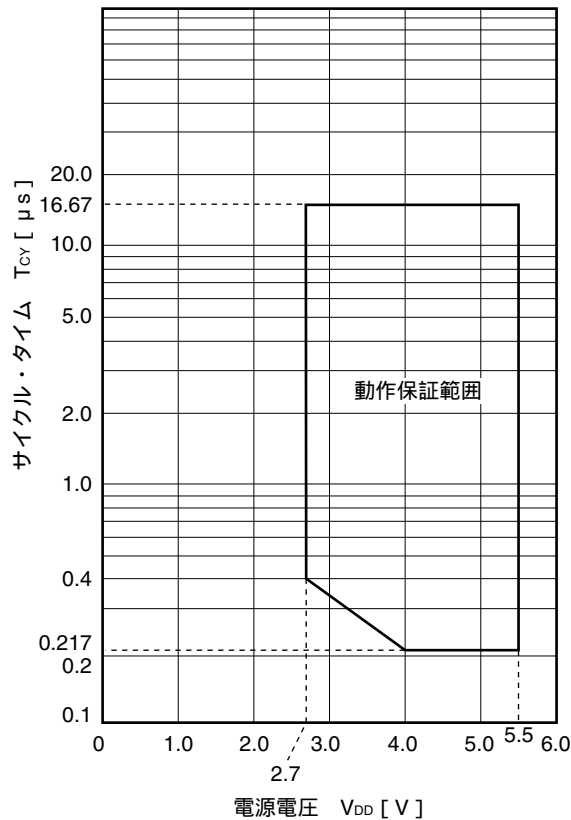
AC特性

(1) 基本動作 ($T_A = -40 \sim +125$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_{AVREF} \leq V_{DD}$, $V_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
命令サイクル (最小命令実行時間)	T_{CY}	メイン・高速システム・クロック動作	水晶/セラミック発振クロック	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	0.217		16	μs
		外部RC発振クロック	$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	0.4		16	μs	
		高速内蔵発振クロック	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	0.217	0.25	4.7	μs	
		低速内蔵発振クロック	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	4.04	8.33	16.67	μs	
TI00入力ハイ・レベル幅, ロウ・レベル幅	t_{TIH0} , t_{TIL0}	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$2/f_{sam} + 0.1$ ^注			μs		
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	$2/f_{sam} + 0.2$ ^注			μs		
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t_{INTH} , t_{INTL}		1			μs		
RESETロウ・レベル幅	t_{RSL}		10			μs		

注 プリスケアラ・モード・レジスタ00 (PRM00)のビット0, 1 (PRM000, PRM001)により, $f_{sam} = f_{XH}$, $f_{XH}/4$, $f_{XH}/256$ の選択が可能です。ただし, カウント・クロックとしてTI000有効エッジを選択した場合は, $f_{sam} = f_{XH}$ となります。

T_{CY} vs V_{DD} (メイン・システム・クロック動作時)



(2) シリアル・インタフェース ($T_A = -40 \sim +125$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_{REF} \leq V_{DD}$, $V_{SS} = 0\text{ V}$)

(a) UARTモード (UART6, 専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					312.5	kbps

(b) 3線式シリアルI/Oモード (SCK10...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10サイクル・タイム	t _{KCY1}	4.0 V $\leq V_{DD} \leq 5.5\text{ V}$	200			ns
		2.7 V $\leq V_{DD} < 4.0\text{ V}$	400			ns
SCK10ハイ, ロウ・レベル幅	t _{KH1} , t _{KL1}		t _{KCY1} /2 - 10			ns
SI10セットアップ時間 (対SCK10)	t _{SIK1}		30			ns
SI10ホールド時間 (対SCK10)	t _{KSI1}		30			ns
SCK10 SO10出力遅延時間	t _{KSO1}	C = 100 pF ^注			30	ns

注 Cは, SCK10, SO10出力ラインの負荷容量です。

(c) 3線式シリアルI/Oモード (SCK10...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10サイクル・タイム	t _{KCY2}		400			ns
SCK10ハイ, ロウ・レベル幅	t _{KH2} , t _{KL2}		t _{KCY2} /2			ns
SI10セットアップ時間 (対SCK10)	t _{SIK2}		80			ns
SI10ホールド時間 (対SCK10)	t _{KSI2}		50			ns
SCK10 SO10出力遅延時間	t _{KSO2}	C = 100 pF ^注			120	ns

注 Cは, SO10出力ラインの負荷容量です。

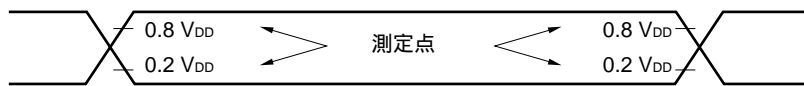
(3) マンチェスタ・コード・ジェネレータ

($T_A = -40 \sim +125$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_{REF} \leq V_{DD}$, $V_{SS} = 0\text{ V}$)

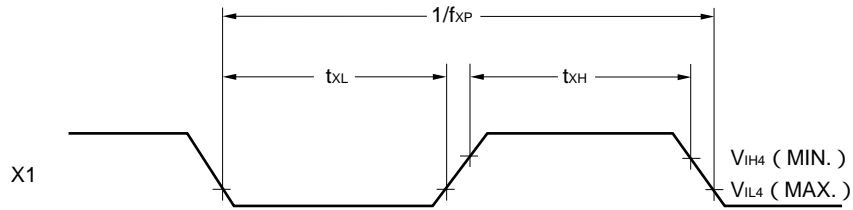
(a) 専用ポー・レート・ジェネレータ出力

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					250.0	kbps

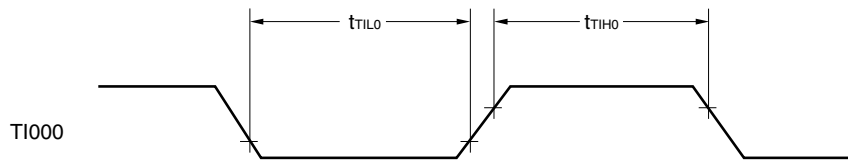
ACタイミング測定点 (X1を除く)



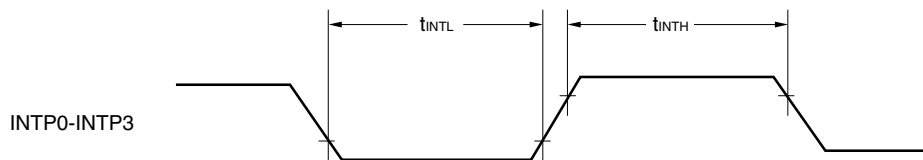
クロック・タイミング



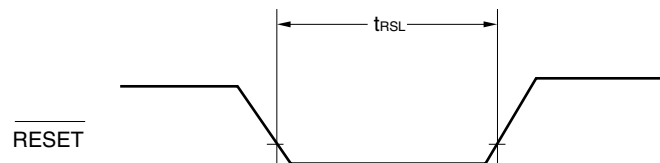
TIタイミング



割り込み要求入力タイミング

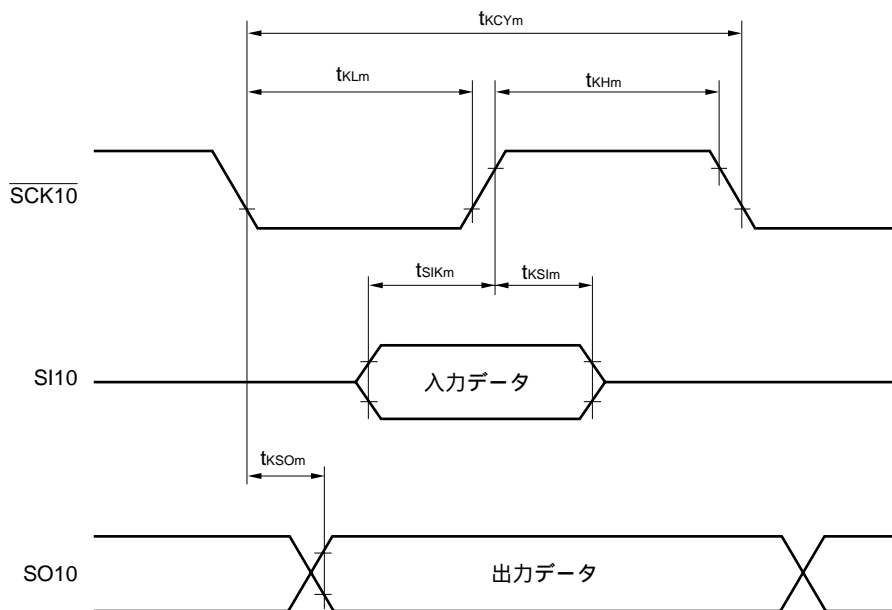


$\overline{\text{RESET}}$ 入力タイミング



シリアル転送タイミング

3線式シリアルI/Oモード :



備考 $m = 1, 2$

A/Dコンバータ特性 (TA = -40 ~ +125 , 2.7 V VDD 5.5 V, 2.7 V AVREF VDD, VSS = 0 V^{注1})

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差 ^{注2,3}		4.0 V AVREF 5.5 V		±0.2	±0.7	%FSR
		2.7 V AVREF < 4.0 V		±0.3	±0.9	%FSR
変換時間	tCONV	4.0 V AVREF 5.5 V	16		48	μs
		2.7 V AVREF < 4.0 V	19		48	μs
ゼロスケール誤差 ^{注2,3}		4.0 V AVREF 5.5 V			±0.7	%FSR
		2.7 V AVREF < 4.0 V			±0.9	%FSR
フルスケール誤差 ^{注2,3}		4.0 V AVREF 5.5 V			±0.7	%FSR
		2.7 V AVREF < 4.0 V			±0.9	%FSR
積分直線性誤差 ^{注2}		4.0 V AVREF 5.5 V			±5.5	LSB
		2.7 V AVREF < 4.0 V			±7.5	LSB
微分直線性誤差 ^{注2}		4.0 V AVREF 5.5 V			±2.5	LSB
		2.7 V AVREF < 4.0 V			±3.0	LSB
アナログ入力電圧	VAIN		VSS ^{注1}		AVREF	V

注1 .μ PD780862サブシリーズはVSSとAVSSを内部接続しています。上記のスペックはA/Dコンバータのみ動作させた場合のものです。

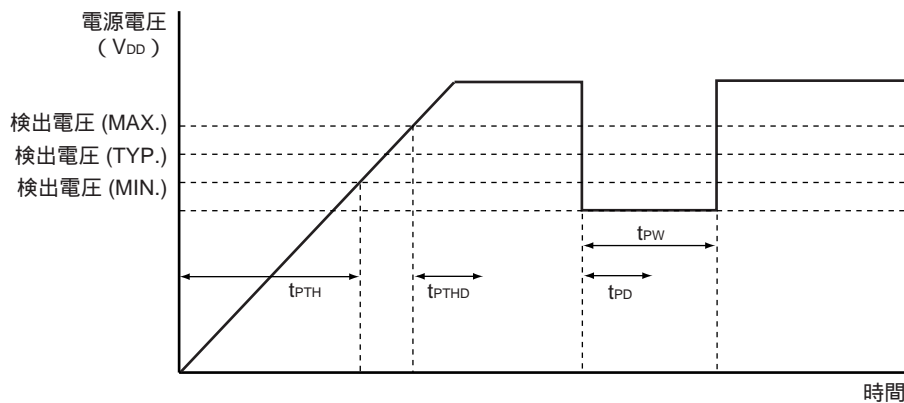
- 量子化誤差 (± 1/2 LSB) を含みません。
- フルスケール値に対する比率 (%FSR) で表します。

POC回路特性 (TA = -40 ~ +125)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VPOC		2.7	2.85	3.06	V
電源立ち上げ時間	tPTH	VDD : 0 V 2.7 V	0.0015			ms
応答ディレイ時間 ^{注1}	tPTHd	電源立ち上げ時, 検出電圧 (MAX.) に達したあと			3.0	ms
応答ディレイ時間 ^{注2}	tPD	VDD降下時			1.0	ms
最小パルス幅	tPW		0.2			ms

- 検出電圧を検出してから, リセットを解除するまでの時間です。
- 検出電圧を検出してから, 内部リセットを出力するまでの時間です。

POC回路タイミング



LVI回路特性 (TA = -40 ~ +125)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{LVI0}		4.1	4.3	4.56	V
	V _{LVI1}		3.9	4.1	4.36	V
	V _{LVI2}		3.7	3.9	4.16	V
	V _{LVI3}		3.5	3.7	3.96	V
	V _{LVI4}		3.3	3.5	3.76	V
	V _{LVI5}		3.15	3.3	3.51	V
	V _{LVI6}		2.95	3.1	3.31	V
応答時間 ^{注1}	t _{LD}			0.2	2.0	ms
最小パルス幅	t _{LW}		0.2			ms
動作安定待ち時間 ^{注2}	t _{LWAIT}			0.1	0.2	ms

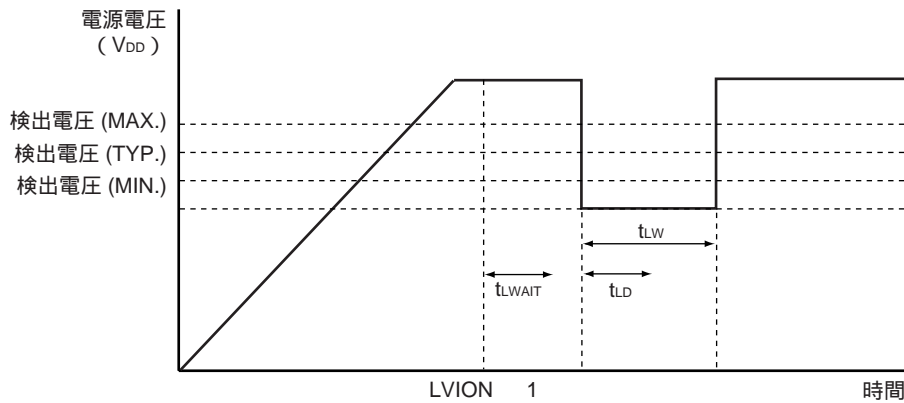
注1. 検出電圧を検出して割り込みまたはリセットを出力するまでの時間です。

2. LVIONに1を設定してから、動作が安定するまでの時間です。

備考1. V_{LVI0} > V_{LVI1} > V_{LVI2} > V_{LVI3} > V_{LVI4} > V_{LVI5} > V_{LVI6}

2. V_{POC} < V_{LVI_m} (m = 0-6)

LVI回路タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +125)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		2.7		5.5	V
リリース信号セット時間	t _{SREL}		0			μs

フラッシュ・メモリ・プログラミング特性：フラッシュ・メモリ製品

($T_A = 10 \sim 65$, 3.0 V $V_{DD} = 5.5\text{ V}, 3.0\text{ V}$ $AV_{REF} = V_{DD}, V_{SS} = 0\text{ V}$)

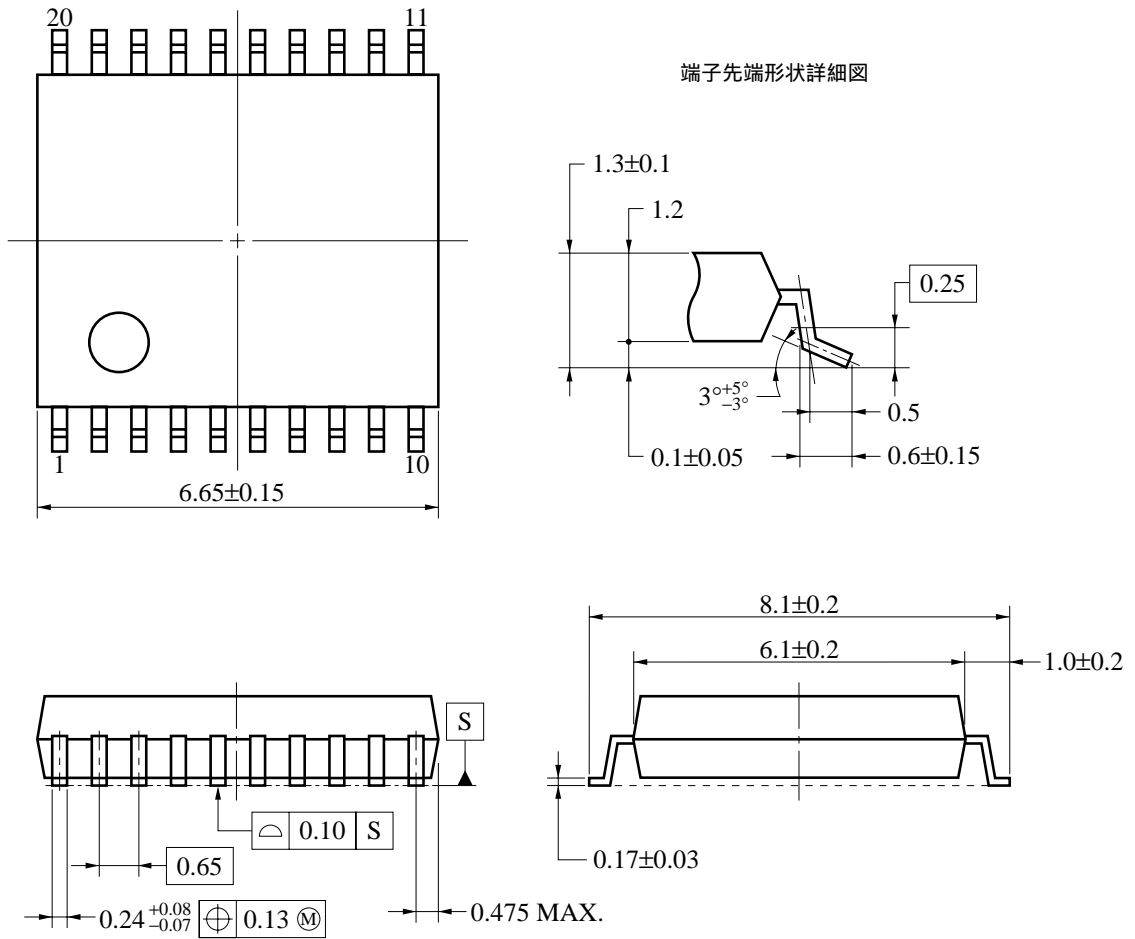
項目	略号	条件	MIN.	TYP.	MAX.	単位
V_{DD} 電源電流	I_{DD}	$f_x = 10\text{ MHz}, V_{DD} = 5.5\text{ V}$ 時			30.5	mA
ステップ	チップ単位	T_{erac}		10		ms
消去時間	セクタ単位	T_{eras}		10		ms
消去時間 ^{注1}	チップ単位	T_{eraca}			2.55	s
	セクタ単位	T_{erasa}			2.55	s
ステップ書き込み時間		T_{wrw}			500	$\mu\text{ s}$
書き込み時間		T_{wrwa}			500	$\mu\text{ s}$
1チップあたりの書き換え回数	C_{erwr}	消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする ^{注2}			100	回

注1. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含まれません。

- 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

第26章 外形図

20ピン・プラスチック・SSOP (7.62 mm (300)) 外形図 (単位: mm)



S20MC-65-5A4-2

第27章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

表27 - 1 表面実装タイプの半田付け条件 (1/2)

(1) 20ピン・プラスチックSSOP (7.62 mm (300))

μ PD780861MC- x x x -5A4, 780862MC- x x x -5A4,

μ PD780861MC(A)- x x x -5A4, 780862MC(A)- x x x -5A4,

μ PD780861MC(A1)- x x x -5A4, 780862MC(A1)- x x x -5A4,

μ PD780861MC(A2)- x x x -5A4, 780862MC(A2)- x x x -5A4,

μ PD78F0862MC-5A4, 78F0862AMC-5A4, 78F0862MC(A)-5A4, 78F0862AMC(A)-5A4,

μ PD78F0862AMC(A1)-5A4, 78F0862AMC(A2)-5A4

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125℃プリバーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-207-3
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125℃プリバーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-207-3
ウェーブ・ソルダリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回， 予備加熱温度：120℃MAX.（パッケージ表面温度） 制限日数：7日間 ^注 （以降は125℃プリバーク20～72時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装でのベーキングができません。	WS60-207-1
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライバック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

表27 - 1 表面実装タイプの半田付け条件 (2/2)

(2) 20ピン・プラスチックSSOP (7.62 mm (300))

- μ PD780861MC-x x x -5A4-A, 780862MC-x x x -5A4-A,
- μ PD780861MC(A)-x x x -5A4-A, 780862MC(A)-x x x -5A4-A,
- μ PD780861MC(A1)-x x x -5A4-A, 780862MC(A1)-x x x -5A4-A,
- μ PD780861MC(A2)-x x x -5A4-A, 780862MC(A2)-x x x -5A4-A,
- μ PD78F0862MC-5A4-A, 78F0862AMC-5A4-A, 78F0862MC(A)-5A4-A, 78F0862AMC(A)-5A4-A,
- μ PD78F0862AMC(A1)-5A4-A, 78F0862AMC(A2)-5A4-A

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：30秒以内（220 以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125 プリバーク20～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
ウェーブ・ソルダリング	ウェーブ・ソルダリングにつきましては，当社販売員にお問い合わせください。	-
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

備考 オーダ名称末尾「-A」の製品は，鉛フリー製品です。

第28章 ウェイトに関する注意事項

28.1 ウェイトに関する注意事項

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。

したがって、競合の恐れがある周辺ハードウェアへのアクセス時には、CPUは正しいデータの受け渡しが行われるまで、処理を繰り返し実行します。

その結果、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となるため、このウェイトが発生した場合、命令の実行クロック数がウェイト・クロック数分長くなります（ウェイト・クロック数については表28-1を参照）。リアルタイム性が要求される処理を行う場合は、注意してください。

28.2 ウェイトが発生する周辺ハードウェア

CPUからのアクセス時にウェイト要求が発生するレジスタとCPUのウェイト・クロック数を表28 - 1に示します。

表28 - 1 ウェイトが発生するレジスタとCPUのウェイト・クロック数

周辺ハードウェア	対象レジスタ	対象アクセス	ウェイト・クロック数
ウォッチドッグ・タイマ	WDTM	ライト	3クロック (固定)
シリアル・インタフェース UART6	ASIS6	リード	1クロック (固定)
A/Dコンバータ	ADM	ライト	2~5クロック ^注
	ADS	ライト	(ADM.5 = "1" 選択時)
	PFM	ライト	2~9クロック ^注
	PFT	ライト	(ADM.5 = "0" 選択時)
	ADCR	リード	1~5クロック (ADM.5フラグ = "1" 選択時) 1~9クロック (ADM.5フラグ = "0" 選択時)
最大ウェイト・クロック数算出式			
$\cdot \frac{2 f_{CPU}}{f_{MACRO}} + 1$ <p>小数点以下は、(1/f_{CPU})をかけてt_{CPUL}以下であれば切り捨て、t_{CPUL}を越える場合には切り上げる。</p> <p>f_{MACRO} : マクロ動作周波数 (ADMのビット5 (FR2) = "1" のとき : f_x/2, ADMのビット5 (FR2) = "0" のとき : f_x/2²)</p> <p>f_{CPU} : CPUクロック周波数</p> <p>t_{CPUL} : CPUクロックのロウ・レベル幅</p>			

注 算出式によりウェイト・クロック数が1クロックとなる場合は、CPUに対するウェイトは発生しません。

備考 クロックは、CPUクロック (f_{CPU}) を示します。

28.3 ウェイト発生例

ウォッチドッグ・タイマ

MOV WDTM, A 実行時

実行クロック数：8クロック

(ウェイトが発生しないレジスタへの書き込み時は (MOV sfr, A) の場合, 5クロック)

MOV WDTM, #byte 実行時

実行クロック数：10クロック

(ウェイトが発生しないレジスタへの書き込み時は (MOV sfr, #byte) の場合, 7クロック)

シリアル・インタフェースUART6

MOV A, ASIS6 実行時

実行クロック数：6クロック

(ウェイトが発生しないレジスタからの読み出し時は (MOV A, sfr) の場合, 5クロック)

A/Dコンバータ

表28 - 2 ウェイト発生時のウェイト・クロック数と実行クロック数 (A/Dコンバータ)

< MOV ADM, A実行時, MOV ADS, A実行時, MOV A, ADCR実行時 >

・ $f_x = 10 \text{ MHz}$, $t_{\text{CPUL}} = 50 \text{ ns}$ 時

ADMレジスタのビット5 (FR2) の値	f_{CPU}	ウェイト・クロック数	実行クロック数
0	f_x	9クロック	14クロック
	$f_x/2$	5クロック	10クロック
	$f_x/2^2$	3クロック	8クロック
	$f_x/2^3$	2クロック	7クロック
	$f_x/2^4$	0クロック (1クロック ^注)	5クロック (6クロック ^注)
1	f_x	5クロック	10クロック
	$f_x/2$	3クロック	8クロック
	$f_x/2^2$	2クロック	7クロック
	$f_x/2^3$	0クロック (1クロック ^注)	5クロック (6クロック ^注)
	$f_x/2^4$	0クロック (1クロック ^注)	5クロック (6クロック ^注)

注 MOV A, ADCR実行時。

備考 クロックは, CPUクロック (f_{CPU}) を示します。

f_x : 高速システム・クロック発振周波数

t_{CPUL} : CPUクロックのロウ・レベル幅

付録A 開発ツール

μ PD780862サブシリーズを使用するシステム開発のために次のような開発ツールを用意しています。

図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

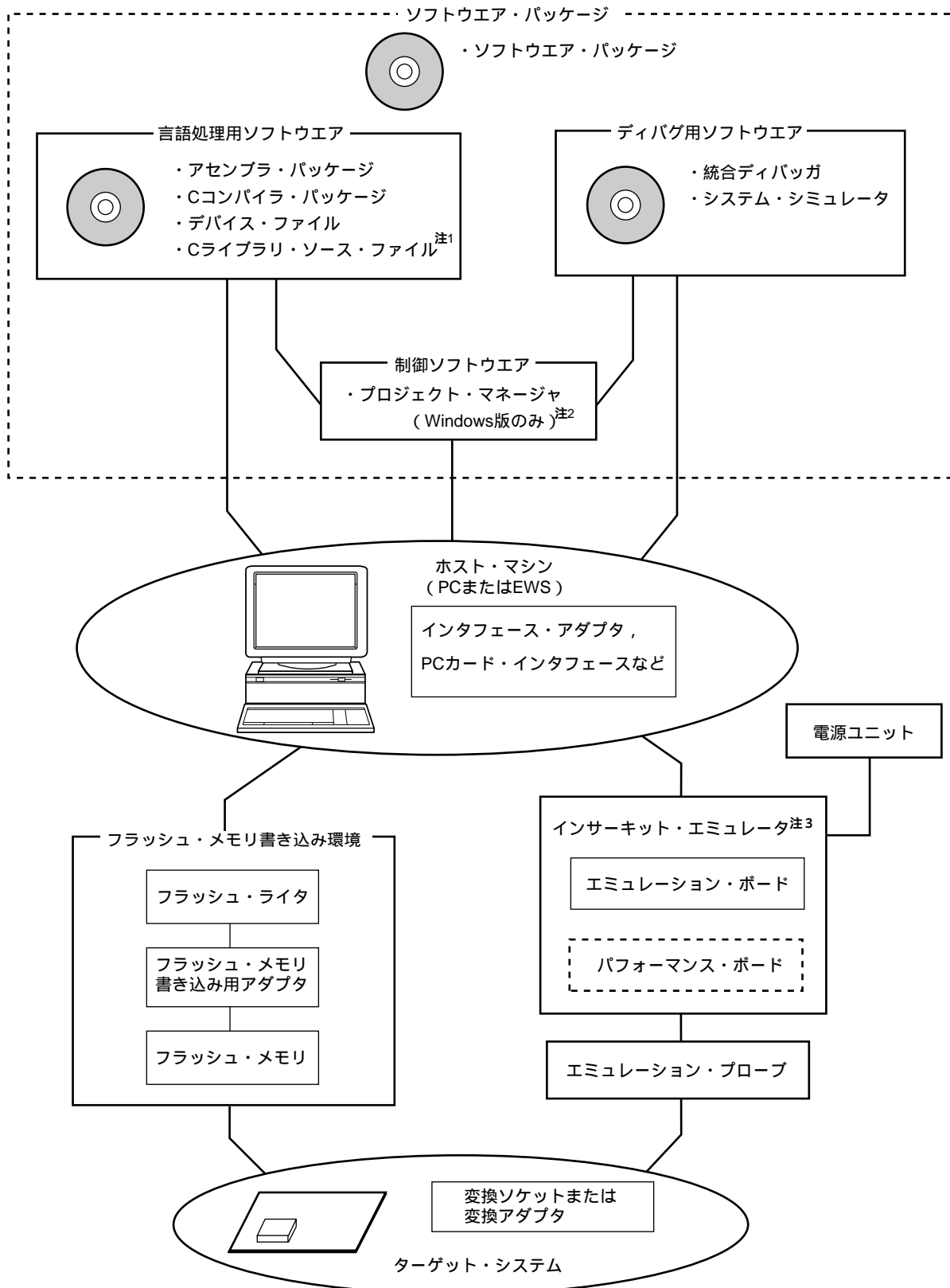
特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

Windows[®]について

特に断りのないかぎり、「Windows」は次のOSを示しています。

- ・ Windows 3.1
- ・ Windows 95
- ・ Windows 98
- ・ Windows NT[®]
- ・ Windows 2000
- ・ Windows XP[®]

図A-1 開発ツール構成



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャPM plusは、アセンブラ・パッケージに入っています。
また、Windows以外ではPM plusは使用しません。

3. インサーキット・エミュレータIE-78K0-NS, IE-78K0-NS-A以外の製品は、すべてオプションです。

A.1 ソフトウェア・パッケージ

SP78K0 78K0シリーズ・ソフトウェア・ パッケージ	78K0シリーズ共通の開発ツール（ソフトウェア）を1つのパッケージにした製品です。 オーダー名称： μ S x x x x SP78K0
-------------------------------------	---

備考 オーダー名称の x x x x は、使用するホスト・マシン，OSにより異なります。

μ S x x x x SP78K0

x x x x	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

RA78K0 アセンブラ・パッケージ	<p>二モニクで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に実行する機能を備えています。</p> <p>別売のデバイス・ファイル（DF780862）と組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。</p> <p>オーダー名称：μS x x x x RA78K0</p>
CC78K0 Cコンパイラ・パッケージ	<p>C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。</p> <p>オーダー名称：μS x x x x CC78K0</p>
DF780862 ^{注1} デバイス・ファイル	<p>デバイス固有の情報が入ったファイルです。</p> <p>別売の各ツール（RA78K0, CC78K0, SM78K0, ID78K0-NS, ID78K0）と組み合わせて使用します。</p> <p>対応OS，ホスト・マシンは組み合わせられる各ツールに依存します。</p> <p>オーダー名称：μS x x x x DF780862</p>
CC78K0-L ^{注2} Cライブラリ・ソース・ファイル	<p>Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。</p> <p>Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。</p> <p>ソース・ファイルのため、動作環境はOSに依存しません。</p> <p>オーダー名称：μS x x x x CC78K0-L</p>

注1 . DF780862は、RA78K0, CC78K0, SM78K0, ID78K0-NS, ID78K0のすべての製品に共通に使用できます。

2 . CC78K0-Lは、ソフトウェア・パッケージ（SP78K0）には含まれていません。

備考 オータ名称の××××は、使用するソフト・マシン、OSにより異なります。

μS××××RA78K0

μS××××CC78K0

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700 TM	HP-UX TM (Rel.10.10)	
3K17	SPARCstation TM	SunOS TM (Rel.4.1.4) , Solaris TM (Rel.2.5.1)	

μS××××DF780862

μS××××CC78K0-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel.4.1.4) ,	3.5インチ2HD FD
3K15		Solaris (Rel.2.5.1)	1/4インチCGMT

A. 3 制御ソフトウェア

PM plus プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。PM plus上から、エディタの起動、ビルド、ディバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> PM plusはアセンブラ・パッケージ (RA78K0) の中に入っています。 Windows以外の環境では使用できません。
-------------------------	---

A. 4 フラッシュ・メモリ書き込み用ツール

FlashPro4 (型番 FL-PR4, PG-FP4) フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
FA-20MC-5A4-A フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。FlashPro4に接続して使用します。 20ピン・プラスチックSSOP (MC-5A4タイプ) 用です。

備考 FL-PR4, FA-20MC-5A4-Aは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

A.5 ディバグ用ツール(ハードウェア)

IE-78K0-NS インサーキット・エミュレータ	78K0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータです。統合ディバグガ(ID78K0-NS)に対応しています。電源ユニット、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-78K0-NS-PA パフォーマンス・ボード	IE-78K0-NSの機能を拡張するためのボードです。IE-78K0-NSに接続して使用します。このボードを追加することにより、カバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、ディバグ機能がより強化されます。
IE-78K0-NS-A インサーキット・エミュレータ	IE-78K0-NSとIE-78K0-NS-PAを組み合わせたもの
IE-70000-MC-PS-B 電源ユニット	AC100～240Vのコンセントから電源を供給するためのアダプタです。
IE-70000-98-IF-C インタフェース・アダプタ	IE-78K0-NS(-A)のホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときに必要なアダプタです(Cバス対応)。
IE-70000-CD-IF-A PCカード・インタフェース	IE-78K0-NS(-A)のホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです(PCMCIAソケット対応)。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-78K0-NS(-A)のホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです(ISAバス対応)。
IE-70000-PCI-IF-A インタフェース・アダプタ	IE-78K0-NS(-A)のホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
IE-780862-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。
NP-30MC エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。30ピン・プラスチックSSOP(MC-5A4タイプ)用です。
NSPACK20BK YSPACK30BK HSPACK30BK YQ-Guide 変換ソケット	20ピン・プラスチックSSOP(MC-5A4タイプ)を実装できるように作られたターゲット・システムの基板と、NP-30MCを接続するための変換ソケットです。 <ul style="list-style-type: none"> ・NSPACK20BK : ターゲット接続用ソケット ・YSPACK30BK : エミュレータ接続用ソケット ・HSPACK30BK : デバイス実装用カバー ・YQ-Guide : ガイド・ピン

備考1. NP-30MCは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所(TEL(045)475-4191)

2. NSPACK20BK, YSPACK30BK, HSPACK30BK, YQ-Guideは東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部(TEL(03)3820-7112)

大阪電子部(TEL(06)6244-6672)

A.6 デバッグ用ツール(ソフトウェア)

SM78K0 システム・シュミレータ	ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 SM78K0はWindows上で動作します。 SM78K0を使用することにより、インサーキット・エミュレータを使用しなくても、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。開発効率やソフトウェアの品質の向上が図れます。 別売のデバイス・ファイル(DF780862)と組み合わせて使用します。 オーダ名称: μ SxxxxSM78K0
ID78K0-NS 統合デバッガ (インサーキット・エミュレータ IE-78K0-NS, IE-78K0-NS-A対応)	78K0シリーズをデバッグするためのコントロール・プログラムです。ID78K0-NSは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をC言語レベルで表示させることもできます。 別売のデバイス・ファイルと組み合わせて使用します。 オーダ名称: μ SxxxxID78K0-NS

備考 オーダ名称のxxxxは、使用するホスト・マシン、OSにより異なります。

μ SxxxxSM78K0

μ SxxxxID78K0-NS

xxxx	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

付録B ターゲット・システム設計上の注意

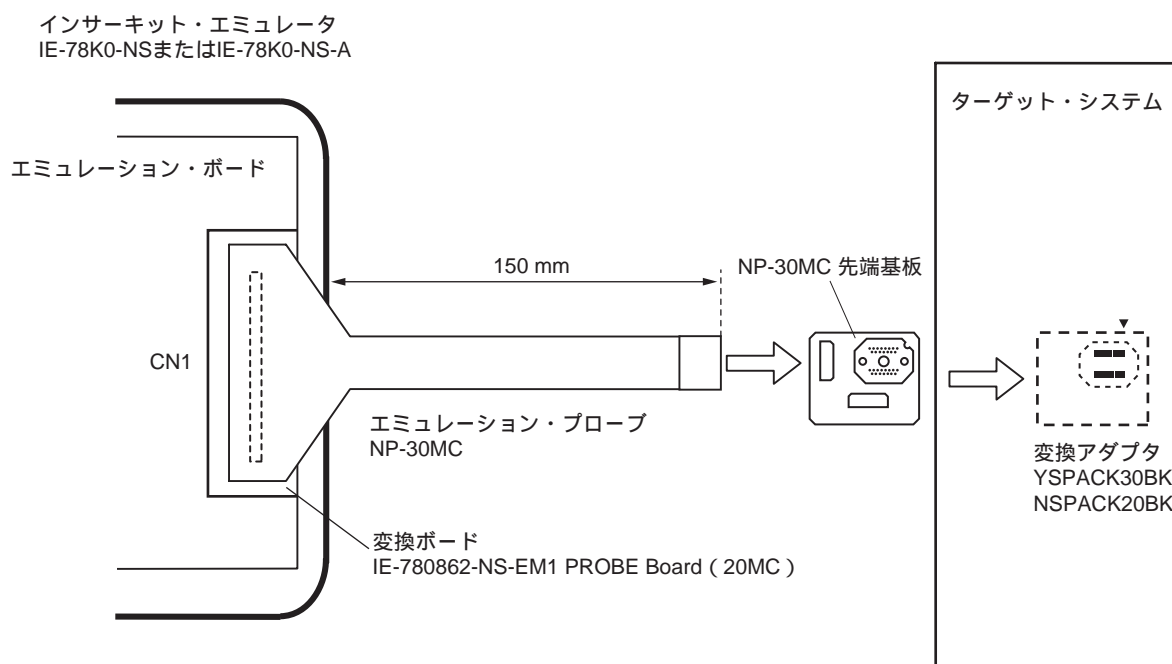
エミュレーション・プローブと変換アダプタとの接続条件図を次に示します。ターゲット・システム上に実装する部品の形状などを考慮したうえで、この構成によってシステム設計をしてください。

なお、この付録に記載されている製品名のうちNP-30MCは、株式会社内藤電誠町田製作所の製品です。また、YSPACK30BK, NSPACK20BK, YQ-Guideは、東京エレクトック株式会社の製品です。

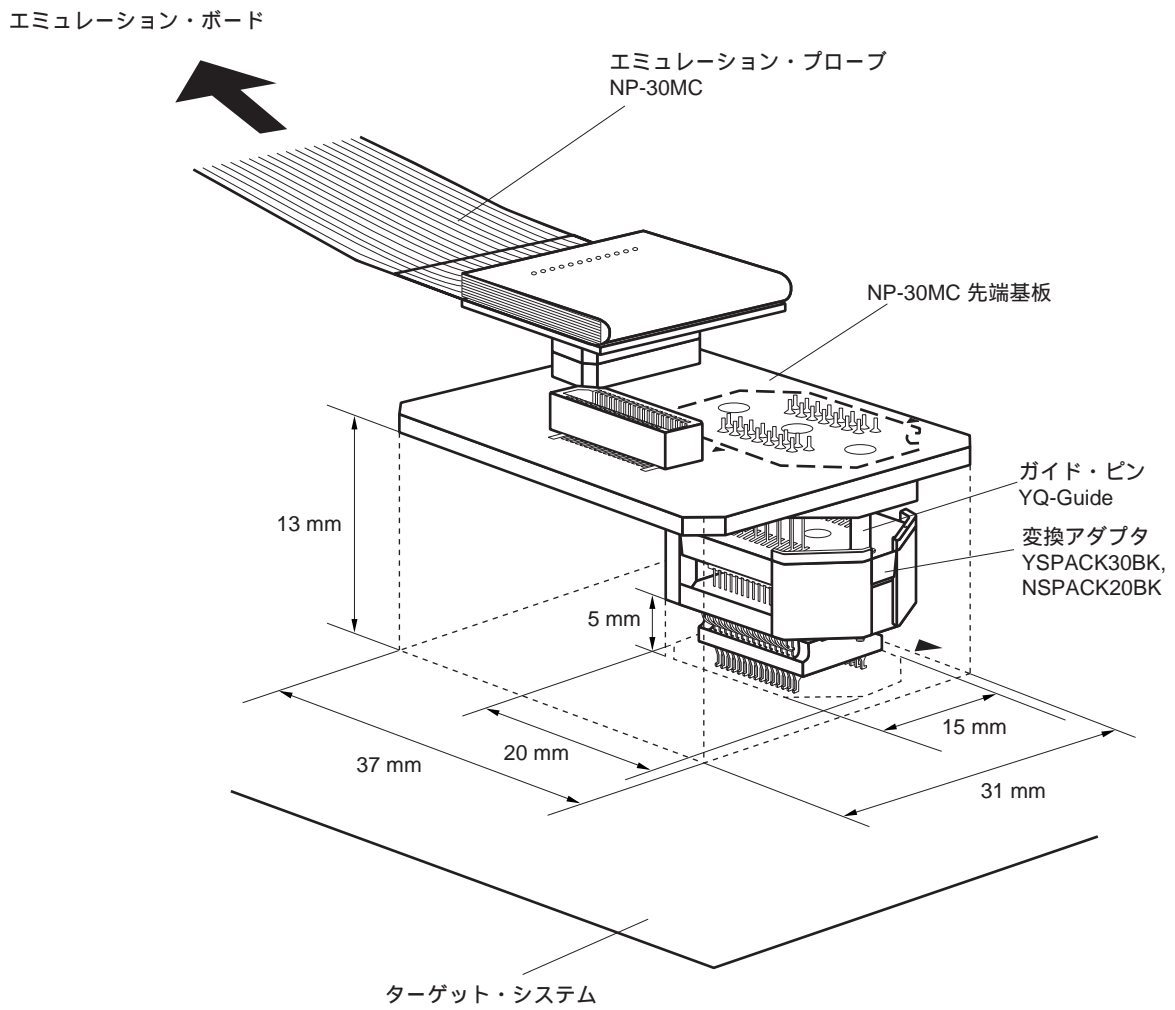
表B - 1 IEシステムから変換アダプタまでの距離

エミュレーション・プローブ	変換アダプタ	IEシステムから変換アダプタまでの距離
NP-30MC	YSPACK30BK NSPACK20BK YQ-Guide	150 mm

図B - 1 インサーキット・エミュレータから変換アダプタまでの距離



図B-2 ターゲット・システムの接続条件



付録C レジスタ索引

C.1 レジスタ索引 (50音順)

【あ行】

アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) ...	227
アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) ...	223
アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) ...	224
アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) ...	221, 230
アナログ入力チャンネル指定レジスタ (ADS) ...	197
ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) ...	184
ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ...	183
A/Dコンバータ・モード・レジスタ (ADM) ...	195
A/D変換結果レジスタ (ADCR) ...	197
MCGコントロール・レジスタ0 (MC0CTL0) ...	269, 272, 273, 284
MCGコントロール・レジスタ1 (MC0CTL1) ...	270, 274, 285
MCGコントロール・レジスタ2 (MC0CTL2) ...	271, 275, 286
MCGステータス・レジスタ (MC0STR) ...	271
MCG送信バッファ・レジスタ (MC0TX) ...	267
MCG送信ビット数指定レジスタ (MC0BIT) ...	267

【か行】

外部割り込み立ち上がりエッジ許可レジスタ (EGP) ...	302
外部割り込み立ち下がりエッジ許可レジスタ (EGN) ...	302
キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) ...	108
クロック選択レジスタ6 (CKSR6) ...	225
クロック・モニタ・モード・レジスタ (CLM) ...	333
兼用端子切り替えレジスタ (PSEL) ...	75, 161, 278, 289, 305

【さ行】

16ビット・タイマ・カウンタ00 (TM00) ...	103
16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) ...	103
16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) ...	105
16ビット・タイマ出力コントロール・レジスタ00 (TOC00) ...	108
16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) ...	106
受信バッファ・レジスタ6 (RXB6) ...	220
シリアルI/Oシフト・レジスタ10 (SIO10) ...	253
シリアル・クロック選択レジスタ10 (CSIC10) ...	255
シリアル動作モード・レジスタ10 (CSIM10) ...	254, 257
送信バッファ・レジスタ10 (SOTB10) ...	253
送信バッファ・レジスタ6 (TXB6) ...	220

【た行】

- タイマ・クロック選択レジスタ50 (TCL50) ... 142
- タイマ・クロック切り替え制御レジスタ (CSEL) ... 143, 159
- 低速内蔵発振モード・レジスタ (RCM) ... 81
- 低電圧検出レジスタ (LVIM) ... 344
- 低電圧検出レベル選択レジスタ (LVIS) ... 345

【な行】

- 入力切り替え制御レジスタ (ISC) ... 76, 228, 304

【は行】

- 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) ... 160
- 8ビット・タイマHコンペア・レジスタ00 (CMP00) ... 154
- 8ビット・タイマHコンペア・レジスタ01 (CMP01) ... 154
- 8ビット・タイマHコンペア・レジスタ10 (CMP10) ... 154
- 8ビット・タイマHコンペア・レジスタ11 (CMP11) ... 154
- 8ビット・タイマHモード・レジスタ0 (TMHMD0) ... 155
- 8ビット・タイマHモード・レジスタ1 (TMHMD1) ... 155
- 8ビット・タイマ・カウンタ50 (TM50) ... 141
- 8ビット・タイマ・コンペア・レジスタ50 (CR50) ... 141
- 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) ... 144
- 発振安定時間カウンタ状態レジスタ (OSTC) ... 83, 315
- 発振安定時間選択レジスタ (OSTS) ... 85, 317
- パワーフェイル比較しきい値レジスタ (PFT) ... 198
- パワーフェイル比較モード・レジスタ (PFM) ... 198
- プリスケアラ・モード・レジスタ00 (PRM00) ... 110
- プルアップ抵抗オプション・レジスタ0 (PU0) ... 74
- プルアップ抵抗オプション・レジスタ1 (PU1) ... 74
- プロセッサ・クロック・コントロール・レジスタ (PCC) ... 80
- ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) ... 226
- ポート・モード・レジスタ0 (PM0) ... 71, 111, 278, 289
- ポート・モード・レジスタ1 (PM1) ... 71, 162, 229, 256, 278, 289
- ポート・レジスタ0 (P0) ... 73
- ポート・レジスタ1 (P1) ... 73
- ポート・レジスタ2 (P2) ... 73
- ポート・レジスタ13 (P13) ... 73

【ま行】

- メインOSCコントロール・レジスタ (MOC) ... 83
- メイン・クロック・モード・レジスタ (MCM) ... 82
- メモリ・サイズ切り替えレジスタ (IMS) ... 356

【や行】

優先順位指定フラグ・レジスタ0H (PR0H) ...	301
優先順位指定フラグ・レジスタ0L (PR0L) ...	301
優先順位指定フラグ・レジスタ1L (PR1L) ...	301

【ら行】

リセット・コントロール・フラグ・レジスタ (RESF) ...	331
---------------------------------	-----

【わ行】

割り込みマスク・フラグ・レジスタ0H (MK0H) ...	300
割り込みマスク・フラグ・レジスタ0L (MK0L) ...	300
割り込みマスク・フラグ・レジスタ1L (MK1L) ...	300
割り込み要求フラグ・レジスタ0H (IF0H) ...	299
割り込み要求フラグ・レジスタ0L (IF0L) ...	299
割り込み要求フラグ・レジスタ1L (IF1L) ...	299

C.2 レジスタ索引 (アルファベット順)

[A]

ADCR	: A/D変換結果レジスタ ...	197
ADM	: A/Dコンバータ・モード・レジスタ ...	195
ADS	: アナログ入力チャンネル指定レジスタ ...	197
ASICL6	: アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 ...	227
ASIF6	: アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 ...	224
ASIM6	: アシクロナス・シリアル・インタフェース動作モード・レジスタ6 ...	221, 230
ASIS6	: アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 ...	223

[B]

BRGC6	: ボー・レート・ジェネレータ・コントロール・レジスタ6 ...	226
-------	----------------------------------	-----

[C]

CKSR6	: クロック選択レジスタ6 ...	225
CLM	: クロック・モニタ・モード・レジスタ ...	333
CMP00	: 8ビット・タイマHコンペア・レジスタ00 ...	154
CMP01	: 8ビット・タイマHコンペア・レジスタ01 ...	154
CMP10	: 8ビット・タイマHコンペア・レジスタ10 ...	154
CMP11	: 8ビット・タイマHコンペア・レジスタ11 ...	154
CR000	: 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 ...	103
CR010	: 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 ...	105
CR50	: 8ビット・タイマ・コンペア・レジスタ50 ...	141
CRC00	: キャプチャ/コンペア・コントロール・レジスタ00 ...	108
CSEL	: タイマ・クロック切り替え制御レジスタ ...	143, 159
CSIC10	: シリアル・クロック選択レジスタ10 ...	255
CSIM10	: シリアル動作モード・レジスタ10 ...	254, 257

[E]

EGN	: 外部割り込み立ち下がりエッジ許可レジスタ ...	302
EGP	: 外部割り込み立ち上がりエッジ許可レジスタ ...	302

[I]

IF0H	: 割り込み要求フラグ・レジスタ0H ...	299
IF0L	: 割り込み要求フラグ・レジスタ0L ...	299
IF1L	: 割り込み要求フラグ・レジスタ1L ...	299
IMS	: メモリ・サイズ切り替えレジスタ ...	356
ISC	: 入力切り替え制御レジスタ ...	76, 228, 304

[L]

LVIM	: 低電圧検出レジスタ ...	344
LVIS	: 低電圧検出レベル選択レジスタ ...	345

[M]

MC0BIT	: MCG送信ビット数指定レジスタ ...	267
MC0CTL0	: MCGコントロール・レジスタ0 ...	269, 272, 273, 284
MC0CTL1	: MCGコントロール・レジスタ1 ...	270, 274, 285
MC0CTL2	: MCGコントロール・レジスタ2 ...	271, 275, 286
MC0STR	: MCGステータス・レジスタ ...	271
MC0TX	: MCG送信バッファ・レジスタ ...	267
MCM	: メイン・クロック・モード・レジスタ ...	82
MK0H	: 割り込みマスク・フラグ・レジスタ0H ...	301
MK0L	: 割り込みマスク・フラグ・レジスタ0L ...	301
MK1L	: 割り込みマスク・フラグ・レジスタ1L ...	301
MOC	: メインOSCコントロール・レジスタ ...	83

[O]

OSTC	: 発振安定時間カウンタ状態レジスタ ...	83, 315
OSTS	: 発振安定時間選択レジスタ ...	85, 317

[P]

P0	: ポート・レジスタ0 ...	73
P1	: ポート・レジスタ1 ...	73
P2	: ポート・レジスタ2 ...	73
P13	: ポート・レジスタ13 ...	73
PCC	: プロセッサ・クロック・コントロール・レジスタ ...	80
PFM	: パワーフェイル比較モード・レジスタ ...	198
PFT	: パワーフェイル比較しきい値レジスタ ...	198
PM0	: ポート・モード・レジスタ0 ...	71, 111, 278, 289
PM1	: ポート・モード・レジスタ1 ...	71, 162, 229, 256, 278, 289
PR0H	: 優先順位指定フラグ・レジスタ0H ...	301
PR0L	: 優先順位指定フラグ・レジスタ0L ...	301
PR1L	: 優先順位指定フラグ・レジスタ1L ...	301
PRM00	: プリスケラ・モード・レジスタ00 ...	110
PSEL	: 兼用端子切り替えレジスタ ...	75, 161, 278, 289, 305
PU0	: プルアップ抵抗オプション・レジスタ0 ...	74
PU1	: プルアップ抵抗オプション・レジスタ1 ...	74

[R]

RCM	: 低速内蔵発振モード・レジスタ ...	81
RESF	: リセット・コントロール・フラグ・レジスタ ...	331
RXB6	: 受信バッファ・レジスタ6 ...	220

【S】

- SIO10 : シリアルI/Oシフト・レジスタ10 ... 253
SOTB10 : 送信バッファ・レジスタ10 ... 253

【T】

- TCL50 : タイマ・クロック選択レジスタ50 ... 142
TM00 : 16ビット・タイマ・カウンタ00 ... 103
TM50 : 8ビット・タイマ・カウンタ50 ... 141
TMC00 : 16ビット・タイマ・モード・コントロール・レジスタ00 ... 106
TMC50 : 8ビット・タイマ・モード・コントロール・レジスタ50 ... 144
TMCYC1 : 8ビット・タイマHキャリア・コントロール・レジスタ1 ... 160
TMHMD0 : 8ビット・タイマHモード・レジスタ0 ... 155
TMHMD1 : 8ビット・タイマHモード・レジスタ1 ... 155
TOC00 : 16ビット・タイマ出力コントロール・レジスタ00 ... 108
TXB6 : 送信バッファ・レジスタ6 ... 220

【W】

- WDTE : ウォッチドッグ・タイマ・イネーブル・レジスタ ... 184
WDTM : ウォッチドッグ・タイマ・モード・レジスタ ... 183

付録D 改版履歴

D.1 本版で改訂された主な箇所

(1/2)

箇 所	内 容
全 般	次のオーダ名称を追加 μ PD780861MC- x x x -5A4-A, 780862MC- x x x -5A4-A, 780861MC(A)- x x x -5A4-A, 780862MC(A)- x x x -5A4-A, 780861MC(A1)- x x x -5A4-A, 780862MC(A1)- x x x -5A4-A, 780861MC(A2)- x x x -5A4-A, 780862MC(A2)- x x x -5A4, 78F0862MC-5A4-A, 78F0862AMC-5A4, 78F0862AMC-5A4-A, 78F0862MC(A)-5A4-A, 78F0862AMC(A)-5A4, 78F0862AMC(A)-5A4-A, 78F0862AMC(A1)-5A4, 78F0862AMC(A1)-5A4-A, 78F0862AMC(A2)-5A4, 78F0862AMC(A2)-5A4-A
p.16	1. 1 特徴に注を追加
pp.21, 22	1. 6 機能概要の高速システム・クロック（発振周波数）に，（A1）水準品と（A2）水準品を追加，注を追加
p.45	3. 2. 3 特殊機能レジスタ（SFR：Special Function Register）の略号の説明を変更
p.65	4. 2. 2 ポート1の注意を変更
p.76	4. 3 (5) 入力切り替えレジスタ（ISC）を追加
p.85	図5 - 7 発振安定時間選択レジスタ（OSTS）のフォーマットに注意1と2を追加
p.107	図6 - 5 16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）のフォーマットの割り込み要求発生に，キャプチャ・レジスタとして使用時の説明を追加
p.110	図6 - 8 プリスケアラ・モード・レジスタ00（PRM00）のフォーマットの注意4を変更
pp.131, 133	6. 4. 6 ワンショット・パルス出力としての動作 ・（1）ソフトウェア・トリガによるワンショット・パルス出力の注意1を変更 ・（2）外部トリガによるワンショット・パルス出力の注意を変更
p.137	6. 5 16ビット・タイマ/イベント・カウンタ00の注意事項の（5）ワンショット・パルスの再トリガの（a）ソフトウェアによるワンショット・パルス出力と（b）外部トリガによるワンショット・パルス出力を変更
p.139	6. 5 16ビット・タイマ/イベント・カウンタ00の注意事項の（11）エッジ検出についての の記述を変更
p.143	図7 - 5 タイマ・クロック切り替え制御レジスタ（CSEL）のフォーマットに備考2を追加
p.159	図8 - 7 タイマ・クロック切り替え制御レジスタ（CSEL）のフォーマットに備考3を追加
p.160	図8 - 8 8ビット・タイマHキャリア・コントロール・レジスタ1（TMCYC1）のフォーマットのRMC1ビット，NRZB1ビットの説明を変更
p.166	図8 - 12 インターバル・タイマ/方形波出力動作のタイミングの（c）CMP0n = 00Hの動作を変更
p.173	8. 4. 3 （2）キャリアの出力制御のRMC1ビット，NRZB1ビットの説明を変更
p.180	表9 - 1 ウォッチドッグ・タイマの暴走検出時間を修正
p.183	図9 - 2 ウォッチドッグ・タイマ・モード・レジスタ（WDTM）のフォーマットのオーバフロー時間の設定を変更
p.199	10. 4. 1 A/Dコンバータの基本動作を変更
p.227	図11 - 10 アシクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6）のフォーマットの注意1を変更
p.254	図12 - 2 シリアル動作モード・レジスタ10（CSIM10）のフォーマットの注2を変更
p.255	図12 - 3 シリアル・クロック選択レジスタ10（CSIC10）のフォーマットの注意3を変更

箇所	内容
p.257	12.4.1(1)(a) シリアル動作モード・レジスタ10 (CSIM10) の注1を変更
p.262	図12-6 クロック/データ位相タイミングの (b) タイプ2と (d) タイプ4を変更
p.268	13.2(2) MCG送信ビット数指定レジスタ (MC0BIT) に備考を追加
p.279	13.4.2(3) マンチェスタ・コード出力の"0", "1"のフォーマットを追加
pp.282, 283	図13-8(3) 送信タイミング (MC0OLV = 1, トータル送信ビット長 = 13ビット) と (4) 送信タイミング (MC0OLV = 0, トータル送信ビット長 = 13ビット) を変更
pp.293, 294	図13-9(3) 送信タイミング (MC0OLV = 1, トータル送信ビット長 = 13ビット) と (4) 送信タイミング (MC0OLV = 0, トータル送信ビット長 = 13ビット) を変更
p.296	図14-1 割り込み要因一覧のINTTM000とINTTM010の説明を変更
p.313	表15-1 各動作状態における動作クロックの関係を変更
p.317	図15-2 発振安定時間選択レジスタ (OSTS) のフォーマットに注意1と2を追加
p.320	15.2.1 HALTモードの (2) (b) を変更
p.324	15.2.2 STOPモードの (2) (b) を変更
p.330	表16-1 各ハードウェアのリセット後の状態の注の表にWDTRF, CLMRF, LVIRFの説明を追加
p.355	表21-1 μ PD78F0862, 78F0862AとマスクROM製品の違いに注意2を追加
pp.361, 362	21.4(1) CSI10, (2) ハンドシェイク対応CSI通信方式, (3) UART6の転送レートを変更, 注を追加
p.370	表21-7 通信方式一覧を変更
pp.387-389, 391, 399, 400	<p>第23章 電気的特性 (標準品, (A)水準品) のうち, 次の内容を追加, 変更</p> <ul style="list-style-type: none"> ・対象製品に, μ PD78F0862A, 78F0862A(A)を追加 ・外部クロックのX1入力ハイ, ロウ・レベル幅 (t_{XH}, t_{XL}) のMAX.値を変更 ・DC特性 (1/3) に注1を追加 ・データ保持電源電圧のMIN.値を変更 ・フラッシュ・メモリ・プログラミング特性 <ul style="list-style-type: none"> (1) μ PD78F0862, 78F0862(A)のV_{DD}電源電流 (I_{DD}) を変更, 注3を追加 (2) μ PD78F0862A, 78F0862A(A)を追加
pp.401-403, 405, 406, 408, 413, 414	<p>第24章 電気的特性 ((A1)水準品) のうち, 次の内容を追加, 変更</p> <ul style="list-style-type: none"> ・対象製品に, μ PD78F0862A(A1)を追加し, フラッシュ・メモリ製品の項目を追加 ・外部クロックのX1入力ハイ, ロウ・レベル幅 (t_{XH}, t_{XL}) のMAX.値を変更 ・DC特性 (1/3) に注1を追加 ・AC特性 メイン・システム・クロックが低速内蔵発振クロックで動作時の命令サイクル時間を変更 ・データ保持電源電圧のMIN.値を変更
pp.415-417, 419, 420, 421, 422, 427, 428	<p>第25章 電気的特性 ((A2)水準品) のうち, 次の内容を追加, 変更</p> <ul style="list-style-type: none"> ・対象製品に, μ PD78F0862A(A2)を追加し, フラッシュ・メモリ製品の項目を追加 ・外部クロックのX1入力ハイ, ロウ・レベル幅 (t_{XH}, t_{XL}) のMAX.値を変更 ・DC特性 (1/3) に注1を追加 ・DC特性 (3/3) のI_{DD1}とI_{DD2}の値を変更 ・AC特性 メイン・システム・クロックが低速内蔵発振クロックで動作時の命令サイクル時間を変更 ・データ保持電源電圧のMIN.値を変更
pp.430, 431	表27-1 表面実装タイプの半田付け条件を変更
p.438	A.3 制御ソフトウェアに「PM plus」を追加, A.4 フラッシュ・メモリ書き込み用ツールのフラッシュ・メモリ書き込み用アダプタの製品名を変更
p.451	D.2 前版までの改版履歴を追加

D.2 前版までの改版履歴

前版までの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/6)

版数	前版からの主な改版内容	適用箇所	
第2版	次のパッケージが開発中→量産中 μPD780861MC(A)-x x x -5A4, 780862MC(A)-x x x -5A4, 780861MC(A1)-x x x -5A4, μPD780862MC(A1)-x x x -5A4, 780861MC(A2)-x x x -5A4, 780862MC(A2)-x x x -5A4, μPD78F0862MC-5A4	全般	
	1.1 特徴 注と動作周囲温度の記述を追加	第1章 概 説	
	1.4 端子接続図 (Top View) 注3を追加		
	1.5 ブロック図 注3を追加		
	1.6 機能概要 注を追加		
	表2-1 各端子の入出力バッファ電源 追加	第2章 端子機能	
	2.1 (1) ポート端子 注1を追加		
	2.1 (2) ポート以外の端子 AV _{REF} の記述変更		
	2.2.1 P00-P02 (Port 0) 注意を追加		
	2.2.11 FLMD0, FLMD1 (フラッシュ・メモリ製品のみ) 説明を追加		
	表2-2 各端子の入出力回路タイプ 注1を追加		
	図3-3 メモリ・マップ (μPD78F0862) 図を変更	第3章 CPUアーキテクチャ	
	3.1.1 内部プログラム・メモリ空間 (3) オプション・バイト領域 (フラッシュ・メモリ製品のみ) を追加		
	図3-10 スタック・メモリへ退避されるデータ 図を変更		
	図3-11 スタック・メモリから復帰されるデータ 図を変更		
	3.4.4 ショート・ダイレクト・アドレッシング 【記述例】を変更		
	3.4.7 ベースト・アドレッシング 【図解】を追加		
	3.4.8 ベースト・インデクスト・アドレッシング 【図解】を追加		
	3.4.9 スタック・アドレッシング 【図解】を追加		
	表4-1 各端子の入出力バッファ電源 を追加		第4章 ポート機能
	表4-2 ポートの機能 注1を追加		
	4.2.1 ポート0 注意を追加		
	図4-6 P12のブロック図 変更		
	図4-7 P13のブロック図 変更		
	4.3 (1) ポート・モード・レジスタ (PM0, PM1) 注意2を変更, 注意3を追加		
	4.3 (2) ポート・レジスタ (P0-P2, P13) 追加		
	4.4.1 (1) 出力モードの場合 記述を追加		
	4.4.3 (1) 出力モードの場合 記述を追加, (2) 入力モードの場合 記述を変更		
	図5-2 プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマット 変更	第5章 クロック発生回路	
	表5-2 CPUクロックと最小命令実行時間の関係 変更		
	図5-6 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット 注意2, 3を追加		
	表5-5 低速内蔵発振クロックと高速システム・クロックの切り替えに要する最大時間 変更		
	5.7 CPUクロックの切り替えに要する時間 追加		
	表6-1 16ビット・タイマ/イベント・カウンタ00の構成 変更	第6章 16ビット・タイマ/イベント・カウンタ00	
	図6-1 16ビット・タイマ/イベント・カウンタ00のブロック図 変更		
	図6-2 16ビット・タイマ・カウンタ00 (TM00) のフォーマット 追加		
	6.2 (2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CRC000) 記述を変更		

版数	前版からの改版内容	適用箇所
第2版	図6-3 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CRC000) のフォーマット 追加	第6章 16ビット・タイマ/イベント・カウンタ00
	表6-2 CR000のキャプチャ・トリガとTI000端子とTI010端子の有効エッジ 変更	
	6.2(3) 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) 記述を変更	
	表6-3 CR010のキャプチャ・トリガとTI000端子の有効エッジ (CRC002 = 1) 変更	
	図6-6 キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のフォーマット 注意3を追加	
	図6-7 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) のフォーマット 注意5を変更, 注意6, 7を追加	
	図6-8 プリスケラ・モード・レジスタ00 (PRM00) のフォーマット 注意1を追加	
	6.3(5) ポート・モード・レジスタ0 (PM0) 記述を追加	
	6.4.1 インターバル・タイマとしての動作 記述を変更	
	図6-10(c) プリスケラ・モード・レジスタ00 (PRM00) 追加	
	図6-12 インターバル・タイマ動作のタイミング 変更	
	6.4.2 PPG出力としての動作 記述を変更	
	図6-13(d) プリスケラ・モード・レジスタ00 (PRM00) 追加	
	図6-15 PPG出力動作のタイミング 変更	
	6.4.3 パルス幅測定としての動作 記述を変更	
	6.4.3(1) フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定 記述を変更	
	図6-17(c) プリスケラ・モード・レジスタ00 (PRM00) 追加	
	図6-19 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時) 注を追加	
	6.4.3(2) フリー・ランニング・カウンタによる2つのパルス幅測定 記述を変更	
	図6-20(c) プリスケラ・モード・レジスタ00 (PRM00) 追加	
	図6-21 フリー・ランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時) 注を追加	
	図6-22(c) プリスケラ・モード・レジスタ00 (PRM00) 追加	
	図6-23 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) 注を追加	
	図6-24(c) プリスケラ・モード・レジスタ00 (PRM00) 追加	
	6.4.4 外部イベント・カウンタとしての動作 記述を変更	
	図6-26(c) プリスケラ・モード・レジスタ00 (PRM00) 追加	
	図6-27 外部イベント・カウンタの構成図 変更	
	6.4.5 方形波出力としての動作 記述を変更	
	図6-29(d) プリスケラ・モード・レジスタ00 (PRM00) 追加	
	6.4.6 ワンショット・パルス出力としての動作 記述を変更	
	6.4.6(1) ソフトウェア・トリガによるワンショット・パルス出力 注を変更	
	図6-31(d) プリスケラ・モード・レジスタ00 (PRM00) 追加	
	6.4.6(2) 外部トリガによるワンショット・パルス出力 注を変更	
	図6-33(d) プリスケラ・モード・レジスタ00 (PRM00) 追加	
図6-34 外部トリガによるワンショット・パルス出力動作のタイミング (立ち上がりエッジ指定時) 変更		

版数	前版からの改版内容	適用箇所
第2版	図7-1 8ビット・タイマ50のブロック図 変更	第7章 8ビット・タイマ50
	図7-2 8ビット・タイマ・カウンタ50 (TM50) のフォーマット 追加	
	図7-3 8ビット・タイマ・コンペア・レジスタ50 (CR50) のフォーマット 追加	
	図7-6 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のフォーマット 変更	
	図7-7 (a) 基本動作 変更	
	7.4.2 TMH0とUART6の動作クロックとしての動作 追加	
	図8-2 8ビット・タイマH1のブロック図 変更	
	図8-5 8ビット・タイマHモード・レジスタ0 (TMHMD0) のフォーマット 注1を追加, 注意1を追加	
	図8-6 8ビット・タイマHモード・レジスタ1 (TMHMD1) のフォーマット 注意1を追加	
	8.4.1 インターバル・タイマとしての動作 記述を追加	
	図8-12 インターバル・タイマ/方形波出力動作のタイミング 変更	
	8.4.2 (1) 使用方法 デューティの記述を変更	
	図8-14 PWM出力モード動作のタイミング 変更	
	8.4.3 (3) 使用方法 キャリア・クロック出力同期とデューティの記述を変更	
	図8-17 キャリア・ジェネレータ・モード動作のタイミング (a)と(b)の図を変更	
	図9-2 ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のフォーマット 注意3を変更, 注意5を追加	第9章 ウォッチドッグ・タイマ
	図9-3 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット 注意1, 2を変更	
	表9-4 ウォッチドッグ・タイマ動作とウォッチドッグ・タイマで発生する内部リセット信号の関係 追加	
	9.4.1 マスク・オプションで「低速内蔵発振器は停止不可」を選択した場合のウォッチドッグ・タイマ動作 注意を変更	
	図10-1 A/Dコンバータのブロック図 変更	
	10.2 A/Dコンバータの構成 変更	
	図10-3 A/Dコンバータ・モード・レジスタ (ADM) のフォーマット 注1を変更	
	図10-4 昇圧基準電圧生成回路使用時のタイミング・チャート 注を変更	
	10.3 (3) A/D変換結果レジスタ (ADCR) 追加	
	10.3 (4) パワーフェイル比較モード・レジスタ (PFM) 記述を変更	
	10.4.1 A/Dコンバータの基本動作 記述を変更	
	10.4.2 入力電圧と変換結果 記述を追加	
	図10-10 アナログ入力電圧とA/D変換結果の関係 変更	
	10.4.3 (1) A/D変換動作 (PFEN = 0の場合) 記述を変更	
	10.4.3 (2) パワーフェイル検出機能 (PFEN = 1の場合) 記述を変更	
	10.4.3 ・パワーフェイル機能として使用する場合 注意3を変更	
	10.6 (6) ANI0-ANI3端子の入カインピーダンスについて 記述を変更	
10.6 (9) A/D変換スタート直後の変換結果について 記述を変更		
図10-21 A/DコンバータのサンプリングとA/D変換開始遅延のタイミング 変更		
10.6 (12) 内部等価回路について 追加		
11.1 (2) アシクロナス・シリアル・インタフェース (UART) モード 注意1, 3を変更	第11章 シリアル・インタフェースUART6	
図11-1 LINの送信操作 変更		
図11-2 LINの受信操作 変更		

版数	前版からの改版内容	適用箇所
第2版	図11-3 LINの受信操作のポート構成図 変更	第11章 シリアル・インタフェースUART6
	11.2(3)送信バッファ・レジスタ6(TXB6) 注意2を変更	
	図11-5 アシンクロナス・シリアル・インタフェース動作モード・レジスタ6(ASIM6)のフォーマット(1/2) 注2を追加,注3を変更	
	図11-5 アシンクロナス・シリアル・インタフェース動作モード・レジスタ6(ASIM6)のフォーマット(2/2) 注意1を追加,注意2を変更,注意3を追加	
	図11-8 クロック選択レジスタ6(CKSR6)のフォーマット 注と注意1を追加	
	図11-10 アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6(ASICL6)のフォーマット 変更	
	11.3(7)入力切り替え制御レジスタ(ISC) 追加	
	11.3(8)ポート・モード・レジスタ1(PM1) 追加	
	11.4.1(1)使用するレジスタ 注2を変更	
	11.4.2(1)使用するレジスタ 記述を変更	
	11.4.2(2)(c)通常送信 記述を変更	
	11.4.2(2)(d)連続送信 記述を変更	
	図11-16 連続送信の処理フロー例 変更	
	11.4.2(2)(e)通常受信 記述を変更	
	11.4.2(2)(h)SBF送信 記述を変更	
	11.4.3(2)(b)ポー・レートの誤差 例を変更	
	図12-2 シリアル動作モード・レジスタ10(CSIM10)のフォーマット 変更	第12章 シリアル・インタフェースCSI10
	図12-3 シリアル・クロック選択レジスタ10(CSIC10)のフォーマット 変更	
	12.3(3)ポート・モード・レジスタ1(PM1) 変更	
	12.4.1(1)使用するレジスタ 記述を変更	
12.4.2(1)使用するレジスタ 記述を変更		
表12-2 レジスタの設定と端子の関係 追加		
12.4.2(5)SO10出力について 追加		
13.4.2(1)(c)ポー・レート, ポー・レートの誤差, ポー・レート設定例 追加	第13章 マンチスター・コード・ジェネレータ	
13.4.2(1)(e)ポート・モード・レジスタ0,1(PM0,PM1) 追加		
13.4.2(2)(b)マンチスター・コード出力にP13/TxD6/INTP1/(TOH1)/(MCGO)を設定する場合 記述を変更		
13.4.3(1)(c)ポー・レート, ポー・レートの誤差, ポー・レート設定例 追加		
13.4.3(1)(e)ポート・モード・レジスタ0,1(PM0,PM1) 追加		
図14-1 割り込み機能の基本構成 変更	第14章 割り込み機能	
図14-2 割り込み要求フラグ・レジスタ(IF0L, IF0H, IF1L)のフォーマット 注意3を追加		
図14-5 外部割り込み立ち上がりエッジ許可レジスタ(EGP),外部割り込み立ち下がりエッジ許可レジスタ(EGN)のフォーマット 変更		
表14-3 EGPnとEGNnに対応するポート 追加		
表14-5 割り込み処理中に多重割り込み可能な割り込み要求の関係 変更		
表15-1 各動作状態における動作クロックの関係 変更		第15章 スタンバイ機能
図15-1 発振安定時間カウンタ状態レジスタ(OSTC)のフォーマット 注意2,3を追加		
表15-2 HALTモード時の動作状態 変更		
表15-4 STOPモード時の動作状態 UART6を変更		

版 数	前版からの改版内容	適用箇所
第2版	図16 - 1 リセット機能のブロック図 変更	第16章 リセット機能
	図16 - 2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング 変更	
	図16 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング 変更	
	図16 - 4 STOPモード中の $\overline{\text{RESET}}$ 入力によるリセット・タイミング 変更	
	17. 1 クロック・モニタの機能 記述を変更	第17章 クロック・モニタ
	図17 - 1 クロック・モニタのブロック図 変更	
	図17 - 2 クロック・モニタ・モード・レジスタ (CLM) のフォーマット 注意3を追加	
	図17 - 3 (6) ソフトウェアによる高速システム・クロック発振停止後のクロック・モニタの状態 追加	
	図17 - 3 (7) ソフトウェアによる低速内蔵発振クロック発振停止後のクロック・モニタの状態 追加	
	18. 1 パワーオン・クリア回路の機能 注意2を追加	第18章 パワーオン・クリア機能
	図18 - 1 パワーオン・クリア回路のブロック図 変更	
	図18 - 3 リセット解除後のソフト処理例 変更	
	19. 1 低電圧検出回路の機能 注を追加	第19章 低電圧検出機能
	図19 - 3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット 注意を追加	
	図19 - 4 低電圧検出回路の内部リセット信号発生のタイミング 変更	
	図19 - 5 低電圧検出回路の割り込み信号発生のタイミング 変更	
	図19 - 6 リセット解除後のソフト処理例 変更	
	19. 5 低電圧検出回路の注意事項<処置> (2) 割り込みとして使用する場合 記述を変更	
	図20 - 2 オプション・バイトのフォーマット (フラッシュ・メモリ製品) 変更	第20章 マスク・オプション/オプション・バイト
	表21 - 3 μ PD78F0862と専用フラッシュ・ライタの配線表 変更	第21章 フラッシュ・メモリ
	図21 - 2 3線式シリアルI/O (CSI10) 方式でのフラッシュ書き込み用アダプタ配線例 変更	
	図21 - 3 3線式シリアルI/O (CSI10 + HS) 方式でのフラッシュ書き込み用アダプタ配線例 変更	
	図21 - 4 UART (UART6) 方式でのフラッシュ書き込み用アダプタ配線例 変更	
	21. 3 プログラミング環境 追加	
	21. 4 通信方式 追加	
	21. 5 オンボード上の端子処理 追加	
	21. 6 プログラミング方法 追加	
	第23章 電気的特性 (標準品, (A)水準品) 変更	第23章 電気的特性(標準品, (A)水準品)
	第24章 電気的特性 ((A1)水準品) 追加	第24章 電気的特性 ((A1)水準品)
	第25章 電気的特性 ((A2)水準品) 追加	第25章 電気的特性 ((A2)水準品)
	第27章 半田付け推奨条件 追加	第27章 半田付け推奨条件

版 数	前版からの改版内容	適用箇所
第2版	図A - 1 開発ツール構成 変更	付録A 開発ツール
	A. 3 制御ソフトウェア 追加	
	A. 5 デバッグ用ツール(ハードウェア) 変更	
	付録B ターゲット・システム設計上の注意 追加	付録B ターゲット・システム設計上の注意
	付録D 改版履歴 追加	付録D 改版履歴

[メモ]

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。
