

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザース・マニュアル

μPD789026サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μPD789022

μPD789024

μPD789025

μPD789026

μPD78F9026A

〔メモ〕

目次要約

第1章	概 説	...	21
第2章	端子機能	...	29
第3章	CPUアーキテクチャ	...	37
第4章	ポート機能	...	65
第5章	クロック発生回路	...	80
第6章	16ビット・タイマ20	...	87
第7章	8ビット・タイマ/イベント・カウンタ00	...	101
第8章	ウォッチドッグ・タイマ	...	112
第9章	シリアル・インタフェース00	...	118
第10章	割り込み機能	...	148
第11章	スタンバイ機能	...	163
第12章	リセット機能	...	170
第13章	μ PD78F9026A	...	173
第14章	命令セットの概要	...	184
第15章	電気的特性	...	195
第16章	特性曲線 (マスクROM製品)	...	207
第17章	外形図	...	208
第18章	半田付け推奨条件	...	209
付録A	開発ツール	...	211
付録B	ターゲット・システム設計上の注意	...	218
付録C	レジスタ索引	...	220
付録D	改版履歴	...	224

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIPは、日本電気株式会社の登録商標です。

EEPROMは、日本電気株式会社の商標です。

Windows, Windows XPおよびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD78F9026A

ユーザ判定品 : μ PD789022, 789024, 789025, 789026

- 本資料に記載されている内容は2005年5月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

(1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。

(2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

〔メモ〕

はじめに

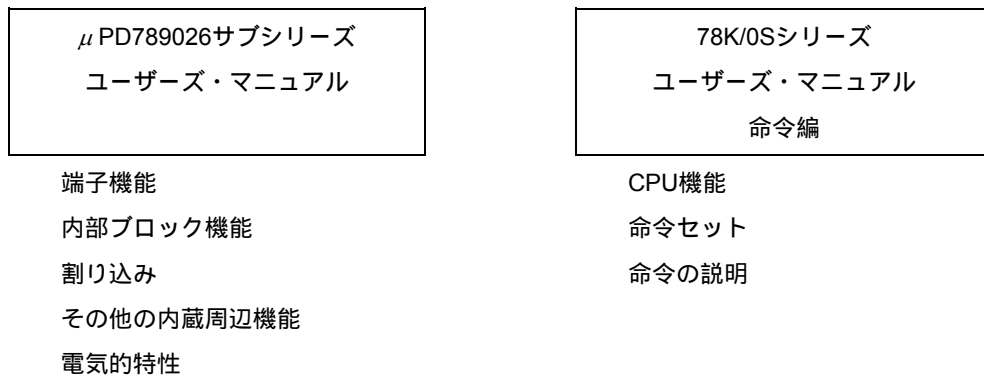
対象者 このマニュアルは μ PD789026サブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

対象製品は、次に示すサブシリーズの各製品です。

・ μ PD789026サブシリーズ： μ PD789022, 789024, 789025, 789026, 78F9026A

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD789026サブシリーズのマニュアルは、このマニュアルと命令編（78K/0Sシリーズ共通）の2冊に分かれています。



読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がアセンブラでは予約語に、Cコンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。

レジスタ名が分かっているレジスタの詳細を確認するとき

付録C レジスタ索引を利用してください。

78K/0Sシリーズの命令機能の詳細を知りたいとき

別冊の**78K/0Sシリーズ ユーザーズ・マニュアル 命令編 (U11047J)**を参照してください。

μ PD789026サブシリーズの電気的特性を知りたいとき

第15章 電気的特性を参照してください。

凡 例

データ表記の重み	: 左が上位桁, 右が下位桁
アクティブ・ロウの表記	: $\overline{\text{xxx}}$ (端子, 信号名称に上線)
注	: 本文中につけた注の説明
注意	: 気をつけて読んでいただきたい内容
備考	: 本文の補足説明
数の表記	: 2進数... xxxxB 10進数... xxxx 16進数... xxxxH

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μPD789026サブシリーズ ユーザーズ・マニュアル	このマニュアル	U11919E
78K0Sシリーズ ユーザーズ・マニュアル 命令編	U11047J	U11047E

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号		
	和文	英文	
RA78K0S アセンブラ・パッケージ	操作編	U17391J	U17391E
	言語編	U17390J	U17390E
	構造化アセンブリ言語編	U17389J	U17389E
CC78K0S Cコンパイラ	操作編	U16654J	U16654E
	言語編	U16655J	U16655E
SM+ システム・シミュレータ	操作編	U17246J	U17246E
	ユーザ・オープン・インタフェース編	U17247J	U17247E
SM78Kシリーズ Ver.2.52 システム・シミュレータ	操作編	U16768J	U16768E
	外部部品ユーザ・オープン・インタフェース仕様編	U15802J	U15802E
ID78K0S-NS Ver.2.52 統合ディバッガ	操作編	U16584J	U16584E
PM plus Ver.5.20		U16934J	U16934E

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
IE-78K0S-NS インサーキット・エミュレータ	U13549J	U13549E
IE-78K0S-NS-A インサーキット・エミュレータ	U15207J	U15207E
IE-789026-NS-EM1 エミュレーション・ボード	U14362J	U14362E

フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U13502J	U13502E
PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U15260J	U15260E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE - Products and Packages -	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文 : <http://www.necel.com/pkg/ja/jissou/index.html>

英文 : <http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 ... 21

- 1.1 特 徴 ... 21
- 1.2 応用分野 ... 21
- 1.3 オーダ情報 ... 22
- 1.4 端子接続図 (Top View) ... 23
- 1.5 78K/0Sシリーズの展開 ... 24
- 1.6 ブロック図 ... 27
- 1.7 機能概要 ... 28

第2章 端子機能 ... 29

- 2.1 端子機能一覧 ... 29
- 2.2 端子機能の説明 ... 31
 - 2.2.1 P00-P07 (Port0) ... 31
 - 2.2.2 P10-P17 (Port1) ... 31
 - 2.2.3 P20-P22 (Port2) ... 31
 - 2.2.4 P30-P32 (Port3) ... 32
 - 2.2.5 P40-P47 (Port4) ... 32
 - 2.2.6 P50-P53 (Port5) ... 33
 - 2.2.7 $\overline{\text{RESET}}$... 33
 - 2.2.8 X1, X2 ... 33
 - 2.2.9 NC ... 33
 - 2.2.10 V_{DD} ... 33
 - 2.2.11 V_{SS} ... 33
 - 2.2.12 V_{PP} ($\mu\text{PD78F9026A}$ のみ) ... 34
 - 2.2.13 IC (マスクROM製品のみ) ... 34
- 2.3 端子の入出力回路と未使用端子の処理 ... 35

第3章 CPUアーキテクチャ ... 37

- 3.1 メモリ空間 ... 37
 - 3.1.1 内部プログラム・メモリ空間 ... 42
 - 3.1.2 内部データ・メモリ (内部高速RAM) 空間 ... 43
 - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 43
 - 3.1.4 データ・メモリ・アドレッシング ... 44
- 3.2 プロセッサ・レジスタ ... 49
 - 3.2.1 制御レジスタ ... 49
 - 3.2.2 汎用レジスタ ... 52
 - 3.2.3 特殊機能レジスタ (SFR) ... 53
- 3.3 命令アドレスのアドレッシング ... 56
 - 3.3.1 レラティブ・アドレッシング ... 56
 - 3.3.2 イミーディエト・アドレッシング ... 57
 - 3.3.3 テーブル・インダイレクト・アドレッシング ... 58

- 3.3.4 レジスタ・アドレッシング ... 58
- 3.4 オペランド・アドレスのアドレッシング ... 59
 - 3.4.1 ダイレクト・アドレッシング ... 59
 - 3.4.2 ショート・ダイレクト・アドレッシング ... 60
 - 3.4.3 特殊機能レジスタ (SFR) アドレッシング ... 61
 - 3.4.4 レジスタ・アドレッシング ... 62
 - 3.4.5 レジスタ・インダイレクト・アドレッシング ... 63
 - 3.4.6 ベースト・アドレッシング ... 64
 - 3.4.7 スタック・アドレッシング ... 64

第4章 ポート機能 ... 65

- 4.1 ポートの機能 ... 65
- 4.2 ポートの構成 ... 67
 - 4.2.1 ポート0 ... 67
 - 4.2.2 ポート1 ... 68
 - 4.2.3 ポート2 ... 69
 - 4.2.4 ポート3 ... 72
 - 4.2.5 ポート4 ... 73
 - 4.2.6 ポート5 ... 74
- 4.3 ポート機能を制御するレジスタ ... 77
- 4.4 ポート機能の動作 ... 79
 - 4.4.1 入出力ポートへの書き込み ... 79
 - 4.4.2 入出力ポートからの読み出し ... 79
 - 4.4.3 入出力ポートでの演算 ... 79

第5章 クロック発生回路 ... 80

- 5.1 クロック発生回路の機能 ... 80
- 5.2 クロック発生回路の構成 ... 80
- 5.3 クロック発生回路を制御するレジスタ ... 81
- 5.4 システム・クロック発振回路 ... 82
 - 5.4.1 システム・クロック発振回路 ... 82
 - 5.4.2 発振子の接続の悪い例 ... 83
 - 5.4.3 分周回路 ... 84
- 5.5 クロック発生回路の動作 ... 85
- 5.6 CPUクロックの設定の変更 ... 86
 - 5.6.1 CPUクロックの切り替えに要する時間 ... 86
 - 5.6.2 CPUクロックの切り替え手順 ... 86

第6章 16ビット・タイマ20 ... 87

- 6.1 16ビット・タイマ20の機能 ... 87
- 6.2 16ビット・タイマ20の構成 ... 88
- 6.3 16ビット・タイマ20を制御するレジスタ ... 90
- 6.4 16ビット・タイマ20の動作 ... 93
 - 6.4.1 タイマ割り込みとしての動作 ... 93
 - 6.4.2 タイマ出力としての動作 ... 95

- 6.4.3 キャプチャ動作 ... 97
- 6.4.4 16ビット・タイマ・カウンタ20の読み出し ... 98
- 6.5 16ビット・タイマ20の注意事項 ... 99
 - 6.5.1 16ビット・コンペア・レジスタ20を書き換える際の制限事項 ... 99

第7章 8ビット・タイマ/イベント・カウンタ00 ... 101

- 7.1 8ビット・タイマ/イベント・カウンタ00の機能 ... 101
- 7.2 8ビット・タイマ/イベント・カウンタ00の構成 ... 102
- 7.3 8ビット・タイマ/イベント・カウンタ00を制御するレジスタ ... 104
- 7.4 8ビット・タイマ/イベント・カウンタ00の動作 ... 106
 - 7.4.1 インターバル・タイマとしての動作 ... 106
 - 7.4.2 外部イベント・カウンタとしての動作 ... 108
 - 7.4.3 方形波出力としての動作 ... 109
- 7.5 8ビット・タイマ/イベント・カウンタ00の注意事項 ... 111

第8章 ウォッチドッグ・タイマ ... 112

- 8.1 ウォッチドッグ・タイマの機能 ... 112
- 8.2 ウォッチドッグ・タイマの構成 ... 113
- 8.3 ウォッチドッグ・タイマを制御するレジスタ ... 114
- 8.4 ウォッチドッグ・タイマの動作 ... 116
 - 8.4.1 ウォッチドッグ・タイマとしての動作 ... 116
 - 8.4.2 インターバル・タイマとしての動作 ... 117

第9章 シリアル・インタフェース00 ... 118

- 9.1 シリアル・インタフェース00の機能 ... 118
- 9.2 シリアル・インタフェース00の構成 ... 119
- 9.3 シリアル・インタフェース00を制御するレジスタ ... 123
- 9.4 シリアル・インタフェース00の動作 ... 130
 - 9.4.1 動作停止モード ... 130
 - 9.4.2 アシンクロナス・シリアル・インタフェース (UART) モード ... 132
 - 9.4.3 3線式シリアルI/Oモード ... 144

第10章 割り込み機能 ... 148

- 10.1 割り込み機能の種類 ... 148
- 10.2 割り込み要因と構成 ... 148
- 10.3 割り込み機能を制御するレジスタ ... 151
- 10.4 割り込み処理動作 ... 157
 - 10.4.1 ノンマスカブル割り込み要求の受け付け動作 ... 157
 - 10.4.2 マスカブル割り込み要求の受け付け動作 ... 159
 - 10.4.3 多重割り込み処理 ... 161
 - 10.4.4 割り込み要求の保留 ... 162

第11章 スタンバイ機能 ... 163

11.1	スタンバイ機能と構成	...	163
11.1.1	スタンバイ機能	...	163
11.1.2	スタンバイ機能を制御するレジスタ	...	164
11.2	スタンバイ機能の動作	...	165
11.2.1	HALTモード	...	165
11.2.2	STOPモード	...	168
第12章	リセット機能	...	170
第13章	μPD78F9026A	...	173
13.1	フラッシュ・メモリの特徴	...	174
13.1.1	プログラミング環境	...	174
13.1.2	通信方式	...	175
13.1.3	オンボード上の端子処理	...	178
13.1.4	フラッシュ書き込み用アダプタ上の接続	...	181
第14章	命令セットの概要	...	184
14.1	オペレーション	...	184
14.1.1	オペランドの表現形式と記述方法	...	184
14.1.2	オペレーション欄の説明	...	185
14.1.3	フラグ動作欄の説明	...	185
14.2	オペレーション一覧	...	186
14.3	アドレッシング別命令一覧	...	192
第15章	電気的特性	...	195
第16章	特性曲線（マスクROM製品）	...	207
第17章	外形図	...	208
第18章	半田付け推奨条件	...	209
付録A	開発ツール	...	211
A.1	ソフトウェア・パッケージ	...	213
A.2	言語処理用ソフトウェア	...	213
A.3	制御ソフトウェア	...	214
A.4	フラッシュ・メモリ書き込み用ツール	...	214
A.5	ディバグ用ツール（ハードウェア）	...	215
A.6	ディバグ用ツール（ソフトウェア）	...	216
A.7	変換アダプタ（TGB-044SAP）の外形図	...	217
付録B	ターゲット・システム設計上の注意	...	218

付録C レジスタ索引 ... 220

C.1 レジスタ索引 (50音順) ... 220

C.2 レジスタ索引 (アルファベット順) ... 222

付録D 改版履歴 ... 224

★ D.1 本版で改訂された主な箇所 ... 224

★ D.2 前版までの改版履歴 ... 225

図の目次 (1/4)

図番号	タイトル, ページ
2 - 1	端子の入出力回路一覧 ... 36
3 - 1	メモリ・マップ (μ PD789022) ... 37
3 - 2	メモリ・マップ (μ PD789024) ... 38
3 - 3	メモリ・マップ (μ PD789025) ... 39
3 - 4	メモリ・マップ (μ PD789026) ... 40
3 - 5	メモリ・マップ (μ PD78F9026A) ... 41
3 - 6	データ・メモリのアドレッシング (μ PD789022) ... 44
3 - 7	データ・メモリのアドレッシング (μ PD789024) ... 45
3 - 8	データ・メモリのアドレッシング (μ PD789025) ... 46
3 - 9	データ・メモリのアドレッシング (μ PD789026) ... 47
3 - 10	データ・メモリのアドレッシング (μ PD78F9026A) ... 48
3 - 11	プログラム・カウンタの構成 ... 49
3 - 12	プログラム・ステータス・ワードの構成 ... 49
3 - 13	スタック・ポインタの構成 ... 51
3 - 14	スタック・メモリへ退避されるデータ ... 51
3 - 15	スタック・メモリから復帰されるデータ ... 51
3 - 16	汎用レジスタの構成 ... 52
4 - 1	ポートの種類 ... 65
4 - 2	P00-P07のブロック図 ... 67
4 - 3	P10-P17のブロック図 ... 68
4 - 4	P20のブロック図 ... 69
4 - 5	P21のブロック図 ... 70
4 - 6	P22のブロック図 ... 71
4 - 7	P30-P32のブロック図 ... 72
4 - 8	P40-P47のブロック図 ... 73
4 - 9	P50のブロック図 ... 74
4 - 10	P51のブロック図 ... 75
4 - 11	P52, P53のブロック図 ... 76
4 - 12	ポート・モード・レジスタのフォーマット ... 78
4 - 13	プルアップ抵抗オプション・レジスタのフォーマット ... 78
5 - 1	クロック発生回路のブロック図 ... 80
5 - 2	プロセッサ・クロック・コントロール・レジスタのフォーマット ... 81
5 - 3	システム・クロック発振回路の外付け回路 ... 82
5 - 4	発振子の接続の悪い例 ... 83
5 - 5	CPUクロックの切り替え ... 86

図の目次 (2/4)

図番号	タイトル, ページ
6 - 1	16ビット・タイマ20のブロック図 ... 88
6 - 2	16ビット・タイマ・モード・コントロール・レジスタ20のフォーマット ... 91
6 - 3	ポート・モード・レジスタ5のフォーマット ... 92
6 - 4	タイマ割り込み動作時の16ビット・タイマ・モード・コントロール・レジスタ20の設定内容 ... 93
6 - 5	タイマ割り込み動作のタイミング ... 94
6 - 6	タイマ出力動作時の16ビット・タイマ・モード・コントロール・レジスタ20の設定内容 ... 95
6 - 7	タイマ出力のタイミング ... 96
6 - 8	キャプチャ動作時の16ビット・タイマ・モード・コントロール・レジスタ20の設定内容 ... 97
6 - 9	キャプチャ動作のタイミング (CPT2端子の両エッジ指定時) ... 97
6 - 10	16ビット・タイマ・カウンタ20の読み出しのタイミング ... 98
7 - 1	8ビット・タイマ/イベント・カウンタ00のブロック図 ... 103
7 - 2	8ビット・タイマ・モード・コントロール・レジスタ00のフォーマット ... 104
7 - 3	ポート・モード・レジスタ5のフォーマット ... 105
7 - 4	インターバル・タイマ動作のタイミング ... 107
7 - 5	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 108
7 - 6	方形波出力のタイミング ... 110
7 - 7	8ビット・タイマ・カウンタ00のスタート・タイミング ... 111
7 - 8	1パルスのカウント動作時のタイミング ... 111
8 - 1	ウォッチドッグ・タイマのブロック図 ... 113
8 - 2	タイマ・クロック選択レジスタ2のフォーマット ... 114
8 - 3	ウォッチドッグ・タイマ・モード・レジスタのフォーマット ... 115
9 - 1	シリアル・インタフェース00のブロック図 ... 120
9 - 2	ポー・レート・ジェネレータのブロック図 ... 121
9 - 3	シリアル動作モード・レジスタ00のフォーマット ... 123
9 - 4	アシンクロナス・シリアル・インタフェース・モード・レジスタ00のフォーマット ... 124
9 - 5	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00のフォーマット ... 126
9 - 6	ポー・レート・ジェネレータ・コントロール・レジスタ00のフォーマット ... 127
9 - 7	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 137
9 - 8	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング ... 139
9 - 9	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング ... 140
9 - 10	受信エラー・タイミング ... 141
9 - 11	3線式シリアルI/Oモードのタイミング ... 147
10 - 1	割り込み機能の基本構成 ... 150
10 - 2	割り込み要求フラグ・レジスタのフォーマット ... 152

図の目次 (3/4)

図番号	タイトル, ページ
10 - 3	割り込みマスク・フラグ・レジスタのフォーマット ... 153
10 - 4	外部割り込みモード・レジスタ0のフォーマット ... 154
10 - 5	プログラム・ステータス・ワードの構成 ... 155
10 - 6	キー・リターン・モード・レジスタ00のフォーマット ... 156
10 - 7	立ち下がりエッジ検出回路のブロック図 ... 156
10 - 8	ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャート ... 158
10 - 9	ノンマスクابل割り込み要求の受け付けタイミング ... 158
10 - 10	ノンマスクابل割り込み要求の受け付け動作 ... 158
10 - 11	割り込み要求受け付け処理アルゴリズム ... 159
10 - 12	割り込み要求の受け付けタイミング (MOV A, rの例) ... 160
10 - 13	割り込み要求の受け付けタイミング (命令実行中の最終クロックで割り込み要求フラグが発生したとき) ... 160
10 - 14	多重割り込みの例 ... 161
11 - 1	発振安定時間選択レジスタのフォーマット ... 164
11 - 2	HALTモードの割り込み発生による解除 ... 166
11 - 3	HALTモードのRESET入力による解除 ... 167
11 - 4	STOPモードの割り込み発生による解除 ... 168
11 - 5	STOPモードのRESET入力による解除 ... 169
12 - 1	リセット機能のブロック図 ... 170
12 - 2	RESET入力によるリセット・タイミング ... 171
12 - 3	ウォッチドッグ・タイマのオーバフローによるリセット・タイミング ... 171
12 - 4	STOPモード中のRESET入力によるリセット・タイミング ... 171
13 - 1	フラッシュ・メモリにプログラムを書き込むための環境 ... 174
13 - 2	通信方式選択フォーマット ... 175
13 - 3	専用フラッシュ・ライターとの接続例 ... 176
13 - 4	V _{PP} 端子の接続例 ... 178
13 - 5	信号の衝突 (シリアル・インタフェースの入力端子) ... 179
13 - 6	ほかのデバイスの異常動作 ... 179
13 - 7	信号の衝突 (RESET端子) ... 180
13 - 8	3線式シリアルI/O方式でのフラッシュ書き込み用アダプタ配線例 ... 181
13 - 9	UART方式でのフラッシュ書き込み用アダプタ配線例 ... 182
13 - 10	疑似3線式方式でのフラッシュ書き込み用アダプタ配線例 (P0を使用する場合) ... 183
A - 1	開発ツール構成 ... 212
A - 2	TGB-044SAP 外形図 (参考) (単位: mm) ... 217

図の目次 (4/4)

図番号	タイトル, ページ
B - 1	インサーキット・エミュレータから変換アダプタまでの距離 ... 218
B - 2	ターゲット・システムの接続条件 (NP-H44GB-TQの場合) ... 219

表の目次 (1/2)

表番号	タイトル, ページ
2 - 1	各端子の入出力回路タイプと未使用端子の処理 ... 35
3 - 1	内部ROM容量 ... 42
3 - 2	ベクタ・テーブル ... 42
3 - 3	内部高速RAM容量 ... 43
3 - 4	特殊機能レジスタ一覧 ... 54
4 - 1	ポートの機能 ... 66
4 - 2	ポートの構成 ... 67
4 - 3	兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 ... 77
5 - 1	クロック発生回路の構成 ... 80
5 - 2	CPUクロックの切り替えに要する最大時間 ... 86
6 - 1	16ビット・タイマ20の構成 ... 88
6 - 2	16ビット・タイマ20のインターバル時間 ... 93
6 - 3	キャプチャ・エッジの設定内容 ... 97
7 - 1	8ビット・タイマ/イベント・カウンタ00のインターバル時間 ... 101
7 - 2	8ビット・タイマ/イベント・カウンタ00の方形波出力範囲 ... 101
7 - 3	8ビット・タイマ/イベント・カウンタ00の構成 ... 102
7 - 4	8ビット・タイマ/イベント・カウンタ00のインターバル時間 ... 106
7 - 5	8ビット・タイマ/イベント・カウンタ00の方形波出力範囲 ... 109
8 - 1	ウォッチドッグ・タイマの暴走検出時間 ... 112
8 - 2	インターバル時間 ... 112
8 - 3	ウォッチドッグ・タイマの構成 ... 113
8 - 4	ウォッチドッグ・タイマの暴走検出時間 ... 116
8 - 5	インターバル・タイマのインターバル時間 ... 117
9 - 1	シリアル・インタフェース00の構成 ... 119
9 - 2	シリアル・インタフェース00の動作モードの設定一覧 ... 125
9 - 3	システム・クロックとポー・レートの関係例 ... 128
9 - 4	ASCK端子入力周波数とポー・レートの関係 (BRGC00 = 80H設定時) ... 129
9 - 5	システム・クロックとポー・レートの関係例 ... 136
9 - 6	ASCK端子入力周波数とポー・レートの関係 (BRGC00 = 80H設定時) ... 136
9 - 7	受信エラーの要因 ... 141

表の目次 (2/2)

表番号	タイトル, ページ
10 - 1	割り込み要因一覧 ... 149
10 - 2	割り込み要求信号名に対する各種フラグ ... 151
10 - 3	マスカブル割り込み要求発生から処理までの時間 ... 159
11 - 1	HALTモード時の動作状態 ... 165
11 - 2	HALTモードの解除後の動作 ... 167
11 - 3	STOPモード時の動作状態 ... 168
11 - 4	STOPモードの解除後の動作 ... 169
12 - 1	各ハードウェアのリセット後の状態 ... 172
13 - 1	μPD78F9026AとマスクROM製品の違い ... 173
13 - 2	通信方式一覧 ... 175
13 - 3	端子接続一覧 ... 177
14 - 1	オペランドの表現形式と記述方法 ... 184
18 - 1	表面実装タイプの半田付け条件 ... 209

第1章 概 説

1.1 特 徴

ROM, RAM容量

品 名	項 目	プログラム・メモリ	データ・メモリ
μ PD789022	ROM	4 Kバイト	256バイト
μ PD789024		8 Kバイト	
μ PD789025		12 Kバイト	512バイト
μ PD789026		16 Kバイト	
μ PD78F9026A	フラッシュ・メモリ	16 Kバイト	

高速 (0.4 μ s) と低速 (1.6 μ s) に最小命令実行時間を変更可能 (システム・クロック : 5.0 MHz動作時)

I/Oポート : 34本

シリアル・インタフェース : 1チャンネル

3線式シリアルI/Oモード / UARTモード選択可能

タイマ : 3チャンネル

・16ビット・タイマ : 1チャンネル

・8ビット・タイマ / イベント・カウンタ : 1チャンネル

・ウォッチドッグ・タイマ : 1チャンネル

ベクタ割り込み : 10

電源電圧 : $V_{DD} = 1.8 \sim 5.5$ V

動作周囲温度 : $T_A = -40 \sim +85$

1.2 応用分野

小型家電, カー・アクセサリ, エアコン, ゲームなど

1.3 オーダ情報

	オーダ名称	パッケージ	内部ROM
	μ PD789022GB-x x x -8ES	44ピン・プラスチックLQFP (10x10)	マスクROM
	μ PD789024GB-x x x -8ES	44ピン・プラスチックLQFP (10x10)	"
	μ PD789025GB-x x x -8ES	44ピン・プラスチックLQFP (10x10)	"
	μ PD789026GB-x x x -8ES	44ピン・プラスチックLQFP (10x10)	"
	μ PD78F9026AGB-8ES	44ピン・プラスチックLQFP (10x10)	フラッシュ・メモリ
★	μ PD789022GB-x x x -8ES-A	44ピン・プラスチックLQFP (10x10)	マスクROM
★	μ PD789024GB-x x x -8ES-A	44ピン・プラスチックLQFP (10x10)	"
★	μ PD789025GB-x x x -8ES-A	44ピン・プラスチックLQFP (10x10)	"
★	μ PD789026GB-x x x -8ES-A	44ピン・プラスチックLQFP (10x10)	"
★	μ PD78F9026AGB-8ES-A	44ピン・プラスチックLQFP (10x10)	フラッシュ・メモリ

備考1. x x x はROMコード番号です。

2. オーダ名称末尾「-A」の製品は、鉛フリー製品です。

1.4 端子接続図 (Top View)

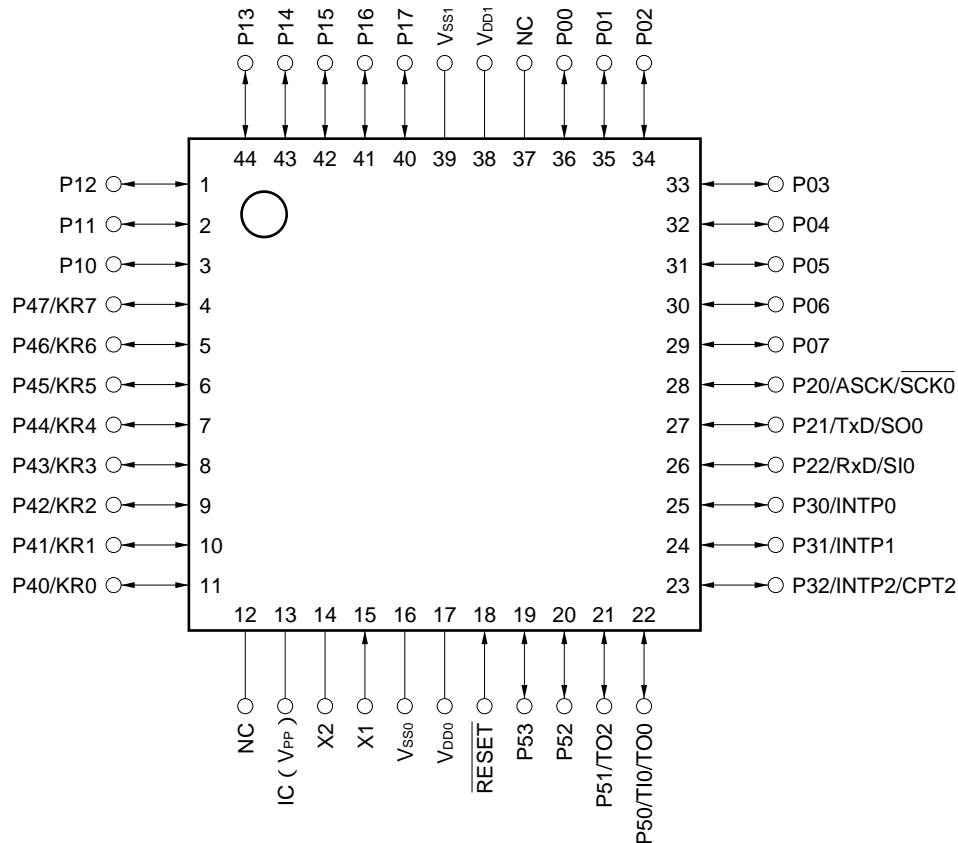
・44ピン・プラスチックLQFP (10x10)

μ PD789022GB- x x x -8ES μ PD789024GB- x x x -8ES μ PD789025GB- x x x -8ES

μ PD789026GB- x x x -8ES μ PD78F9026AGB-8ES

★ μ PD789022GB- x x x -8ES-A μ PD789024GB- x x x -8ES-A μ PD789025GB- x x x -8ES-A

★ μ PD789026GB- x x x -8ES-A μ PD78F9026AGB-8ES-A



注意 IC端子はVSS0またはVSS1に直接接続してください。

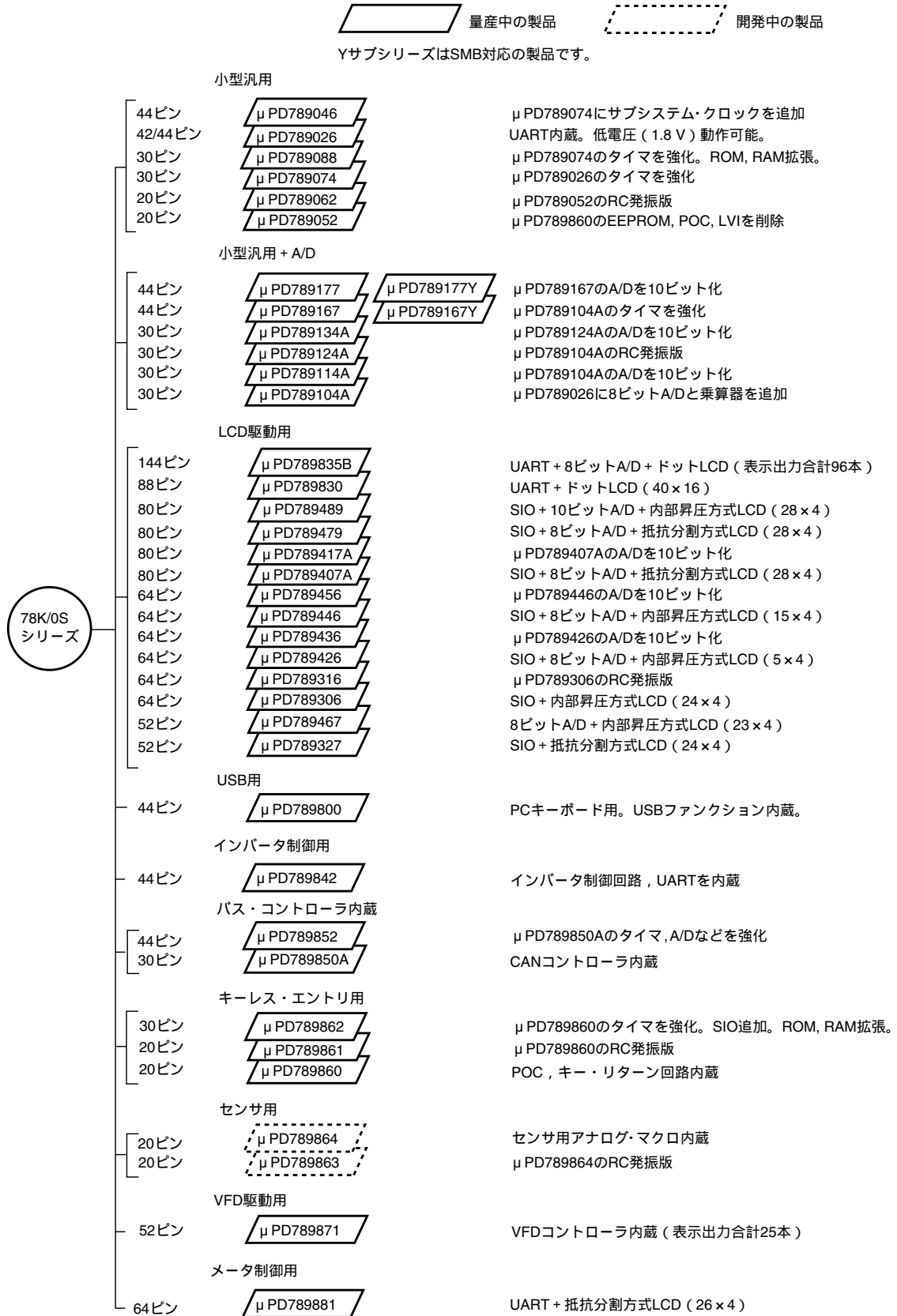
備考1. ()内は、 μ PD78F9026Aのとき

2. オーダ名称末尾「-A」の製品は、鉛フリー製品です。

ASCK	: Asynchronous Serial Clock	$\overline{\text{RESET}}$: Reset
CPT2	: Capture Trigger Input	RxD	: Receive Data
IC	: Internally Connected	$\overline{\text{SCK0}}$: Serial Clock
INTP0-INTP2	: Interrupt from Peripherals	SI0	: Serial Input
KR0-KR7	: Key Return	SO0	: Serial Output
NC	: Non-connection	TI0	: Timer Input
P00-P07	: Port0	TO0, TO2	: Timer Output
P10-P17	: Port1	TxD	: Transmit Data
P20-P22	: Port2	VDD0, VDD1	: Power Supply
P30-P32	: Port3	VPP	: Programming Power Supply
P40-P47	: Port4	VSS0, VSS1	: Ground
P50-P53	: Port5	X1, X2	: Crystal

★ 1.5 78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



備考 蛍光表示管の一般的な英語名称はVFD（Vacuum Fluorescent Display）ですが、ドキュメントによってはFIP®（Fluorescent Indicator Panel）と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを次に示します。

汎用，LCD駆動用シリーズ

サブシリーズ名	機 能	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考
			8-bit	16-bit	時計	WDT	A/D	A/D			最小値	
小型 汎用	μPD789046	16 K	1 ch	1 ch	1 ch	1 ch	-	-	1 ch(UART : 1ch)	34本	1.8 V	-
	μPD789026	4 K-16 K										
	μPD789088	16 K-32 K	3 ch							24本		
	μPD789074	2 K-8 K	1 ch									
	μPD789062	4 K	2 ch	-					-	14本		RC発振版
	μPD789052											-
小型 汎用 + A/D	μPD789177	16 K-24 K	3 ch	1 ch	1 ch	1ch	-	8 ch	1 ch(UART : 1ch)	31本	1.8 V	-
	μPD789167						8 ch	-				
	μPD789134A	2 K-8 K	1 ch				-	4 ch		20本		RC発振版
	μPD789124A						4 ch	-				
	μPD789114A						-	4 ch				-
	μPD789104A						4 ch	-				
LCD 駆動用	μPD789835B	24 K-60 K	6 ch	-	1 ch	1 ch	3 ch	-	1 ch(UART : 1ch)	37本	1.8 V ^注	ドットLCD
	μPD789830	24 K	1 ch	1 ch			-			30本	2.7 V	対応
	μPD789489	32 K-48 K	3 ch					8 ch	2 ch(UART : 1ch)	45本	1.8 V	-
	μPD789479	24 K-48 K					8 ch	-				
	μPD789417A	12 K-24 K					-	7 ch	1 ch(UART : 1ch)	43本		
	μPD789407A						7 ch	-				
	μPD789456	12 K-16 K	2 ch				-	6 ch		30本		
	μPD789446						6 ch	-				
	μPD789436						-	6 ch		40本		
	μPD789426						6 ch	-				
	μPD789316	8 K-16 K					-		2 ch(UART : 1ch)	23本		RC発振版
	μPD789306											-
	μPD789467	4 K-24 K					1 ch		-	18本		
	μPD789327						-		1 ch	21本		

注 フラッシュ・メモリ版 : 3.0 V

ASSP用シリーズ

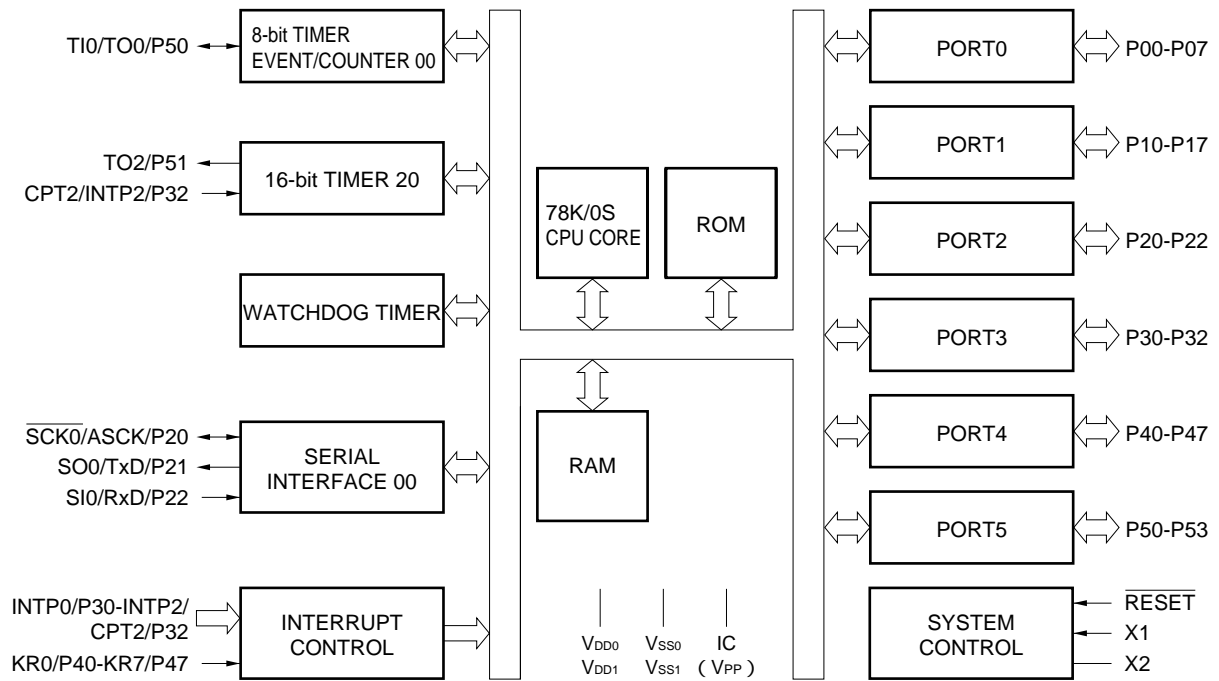
機能 サブシリーズ名	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考					
		8-bit	16-bit	時計	WDT	A/D	A/D			最小値						
USB用 μPD789800	8K	2 ch	-	-	1 ch	-	-	2 ch (USB : 1 ch)	31本	4.0 V	-					
インバー タ制御用 μPD789842	8 K-16 K	3 ch	注1	1 ch	1 ch	8 ch	-	1 ch (UART : 1ch)	30本	4.0 V	-					
バス・コント ローラ内蔵 μPD789852 μPD789850A	24 K-32 K	3 ch	1 ch	-	1 ch	-	8ch	3 ch (UART : 2ch)	31本	4.0 V	-					
	16 K	1 ch				4 ch	-	2 ch (UART : 1ch)	18本							
キーレス ・エント リ用 μPD789861 μPD789860 μPD789862	4 K	2 ch	-	-	1 ch	-	-	-	14本	1.8 V	RC発振版， EEPROM内蔵					
	16 K	1 ch						2 ch	-		-	-	-	1 ch (UART : 1ch)	22本	EEPROM内蔵
		1 ch						2 ch						1 ch (UART : 1ch)	22本	EEPROM内蔵
センサ 用 μPD789864 μPD789863	4 K	1 ch	注2	-	1 ch	-	4 ch	-	5本	1.9 V	EEPROM内蔵					
	4 K	1 ch	注2	-	1 ch	-	4 ch	-	5本		RC発振版， EEPROM内蔵					
VFD 駆動用 μPD789871	4 K-8 K	3 ch	-	1 ch	1 ch	-	-	1 ch	33本	2.7 V	-					
メータ 制御用 μPD789881	16 K	2 ch	1 ch	-	1 ch	-	-	1 ch (UART : 1ch)	28本	2.7 V ^{注3}	-					

注1. 10ビット・タイマ：1チャンネル

2. 12ビット・タイマ：1チャンネル

3. フラッシュ・メモリ版：3.0 V

1.6 ブロック図



備考1. 内部ROM容量，内部高速RAM容量は製品によって異なります。

2. ()内は， μ PD78F9026Aのとき。

1.7 機能概要

項 目		品 名				
		μ PD789022	μ PD789024	μ PD789025	μ PD789026	μ PD78F9026A
内部メモリ	ROM	マスクROM				フラッシュ・メモリ
		4 Kバイト	8 Kバイト	12 Kバイト	16 Kバイト	16 Kバイト
	高速RAM	256バイト		512バイト		
最小命令実行時間		0.4 μs/1.6 μs (システム・クロック : 5.0 MHz動作時)				
命令セット		<ul style="list-style-type: none"> ・ 16ビット演算 ・ ビット操作 (セット, リセット, テスト) など 				
I/Oポート		合計 : 34本 ・ CMOS入出力 : 34本				
シリアル・インタフェース		・ 3線式シリアルI/Oモード/UARTモード選択可能 : 1チャンネル				
タイマ		<ul style="list-style-type: none"> ・ 16ビット・タイマ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 				
タイマ出力		2本				
ベクタ	マスカブル	内部 : 5, 外部 : 4				
	割り込み要因	内部 : 1				
電源電圧		V _{DD} = 1.8 ~ 5.5 V				
動作周囲温度		T _A = - 40 ~ + 85				
パッケージ		44ピン・プラスチックLQFP (10x10)				

次にタイマの概要を示します。

		16ビット・タイマ20	8ビット・タイマ/ イベント・カウンタ00	ウォッチドッグ・タイマ
動作 モード	インターバル・タイマ	-	1チャンネル	1チャンネル ^注
	外部イベント・カウンタ	-	1チャンネル	-
機能	タイマ出力	1出力	1出力	-
	キャプチャ	1入力	-	-
	割り込み要因	1	1	2

注 ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

第2章 端子機能

2.1 端子機能一覧

(1) ポート端子

端子名称	入出力	機 能	リセット時	兼用端子
P00-P07	入出力	ポート0。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PUO) の設定により、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	-
P10-P17	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PUO) の設定により、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	-
P20	入出力	ポート2。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PUO) の設定により、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	SCK0/ASCK
P21				SO0/TxD
P22				SI0/RxD
P30	入出力	ポート3。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PUO) の設定により、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	INTP0
P31				INTP1
P32				INTP2/CPT2
P40-P47	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PUO) の設定により、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	KR0-KR7
P50	入出力	ポート5。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PUO) の設定により、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	TI0/TO0
P51				TO2
P52, P53				-

(2) ポート以外の端子

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力。	入力	P30
INTP1				P31
INTP2				P32/CPT2
KR0-KR7	入力	キー・リターン信号検出。	入力	P40-P47
SI0	入力	3線式シリアル・インタフェースのシリアル・データ入力。	入力	P22/RxD
SO0	出力	3線式シリアル・インタフェースのシリアル・データ出力。	入力	P21/TxD
SCK0	入出力	3線式シリアル・インタフェースのシリアル・クロック入力/出力。	入力	P20/ASCK
ASCK	入力	アシンクロナス・シリアル・インタフェース用シリアル・クロック入力。	入力	P20/SCK0
RxD	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力。	入力	P22/SI0
TxD	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力。	入力	P21/SO0
TO2	出力	16ビット・タイマ20出力。	入力	P51
CPT2	入力	16ビット・タイマ・キャプチャ・エッジ入力。	入力	P32/INTP2
TI0	入力	8ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力。	入力	P50/TO0
TO0	出力	8ビット・タイマ/イベント・カウンタ00出力。	入力	P50/TI0
X1	入力	システム・クロック発振用クリスタル接続。	-	-
X2	-		-	-
RESET	入力	システム・リセット入力。	入力	-
NC	-	内部接続していません。V _{SS0} またはV _{SS1} 接続（オープンも可）してください。	-	-
V _{DD0}	-	ポート部の正電源。	-	-
V _{DD1}	-	正電源（ポート部を除く）。	-	-
V _{SS0}	-	ポート部のグランド電位。	-	-
V _{SS1}	-	グランド電位（ポート部を除く）。	-	-
IC	-	内部接続されています。V _{SS0} またはV _{SS1} に直接接続してください。	-	-
V _{PP}	-	フラッシュ・メモリ・プログラミング・モード設定。 プログラム書き込み/ベリファイ時の高電圧印加。	-	-

2.2 端子機能の説明

2.2.1 P00-P07 (Port0)

8ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PUO) により、内蔵プルアップ抵抗を使用できます。

LEDを直接駆動可能です。

2.2.2 P10-P17 (Port1)

8ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PUO) により、内蔵プルアップ抵抗を使用できます。

LEDを直接駆動可能です。

2.2.3 P20-P22 (Port2)

3ビット入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力機能があります。

LEDを直接駆動可能です。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

3ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ (PUO) により内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) SI0, SO0

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) $\overline{\text{SCK0}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) RxD, TxD

アシンクロナス・シリアル・インタフェース用シリアル・データ入出力端子です。

(d) ASCK

アシンクロナス・シリアル・インタフェース用シリアル・クロック入力端子です。

注意 シリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については表9-2 シリアル・インタフェース00の動作モードの設定一覧を参照してください。

2.2.4 P30-P32 (Port3)

3ビットの入出力ポートです。入出力ポートのほかに外部割り込み入力、キャプチャ・エッジ入力機能があります。

LEDを直接駆動可能です。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

3ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ (PUO) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み入力として機能します。

(a) INTP0-INTP2

有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み入力端子です。

(b) CPT2

キャプチャ・エッジ入力端子です。

2.2.5 P40-P47 (Port4)

8ビットの入出力ポートです。入出力ポートのほかにキー・リターン信号検出機能があります。

LEDを直接駆動可能です。

1ビットの単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ4 (PM4) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ (PUO) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

キー・リターン信号検出端子 (KR0-KR7) として機能します。

2.2.6 P50-P53 (Port5)

4ビットの入出力ポートです。入出力ポートのほかに、タイマの入出力機能があります。

LEDを直接駆動可能です。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ5 (PM5) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ (PUO) により内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力として機能します。

(a) TI0

8ビット・タイマ/イベント・カウンタ00への外部クロック入力端子です。

(b) TO0

8ビット・タイマ/イベント・カウンタ00出力端子です。

(c) TO2

16ビット・タイマ20出力端子です。

2.2.7 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.8 X1, X2

システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

2.2.9 NC

NC (Non-connection) は内部接続をしていません。V_{SS0}またはV_{SS1}接続してください (オープンも可能)。

2.2.10 V_{DD}

正電源供給端子です。

2.2.11 V_{SS}

グランド電位端子です。

2.2.12 V_{PP} (μ PD78F9026Aのみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

次のどちらかの端子処理をしてください。

個別に10 kΩのプルダウン抵抗を接続する

ボード上のジャンパで、プログラミング・モード時は専用フラッシュ・ライターに、通常動作モード時はV_{SS0}またはV_{SS1}に直接接続するように切り替える

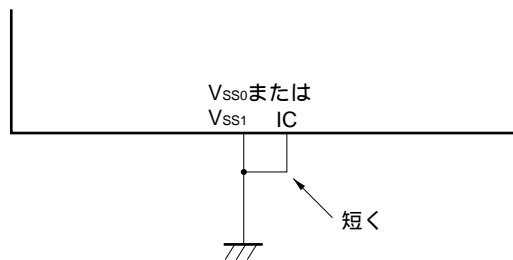
- ★ V_{PP}端子とV_{SS}端子間の配線の引き回しが長い場合や、V_{PP}端子に外来ノイズが加わったときには、お客様のプログラムが正常に動作しないことがあります。

2.2.13 IC (マスクROM製品のみ)

IC (Internally Connected) 端子は、当社出荷時にμ PD789026サブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作時には、IC端子をV_{SS0}またはV_{SS1}端子に直接接続し、その配線長を極力短くしてください。

IC端子とV_{SS0}またはV_{SS1}端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とV_{SS0}またはV_{SS1}端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

IC端子をV_{SS0}またはV_{SS1}端子に直接接続してください。



2.3 端子の入出力回路と未使用端子の処理

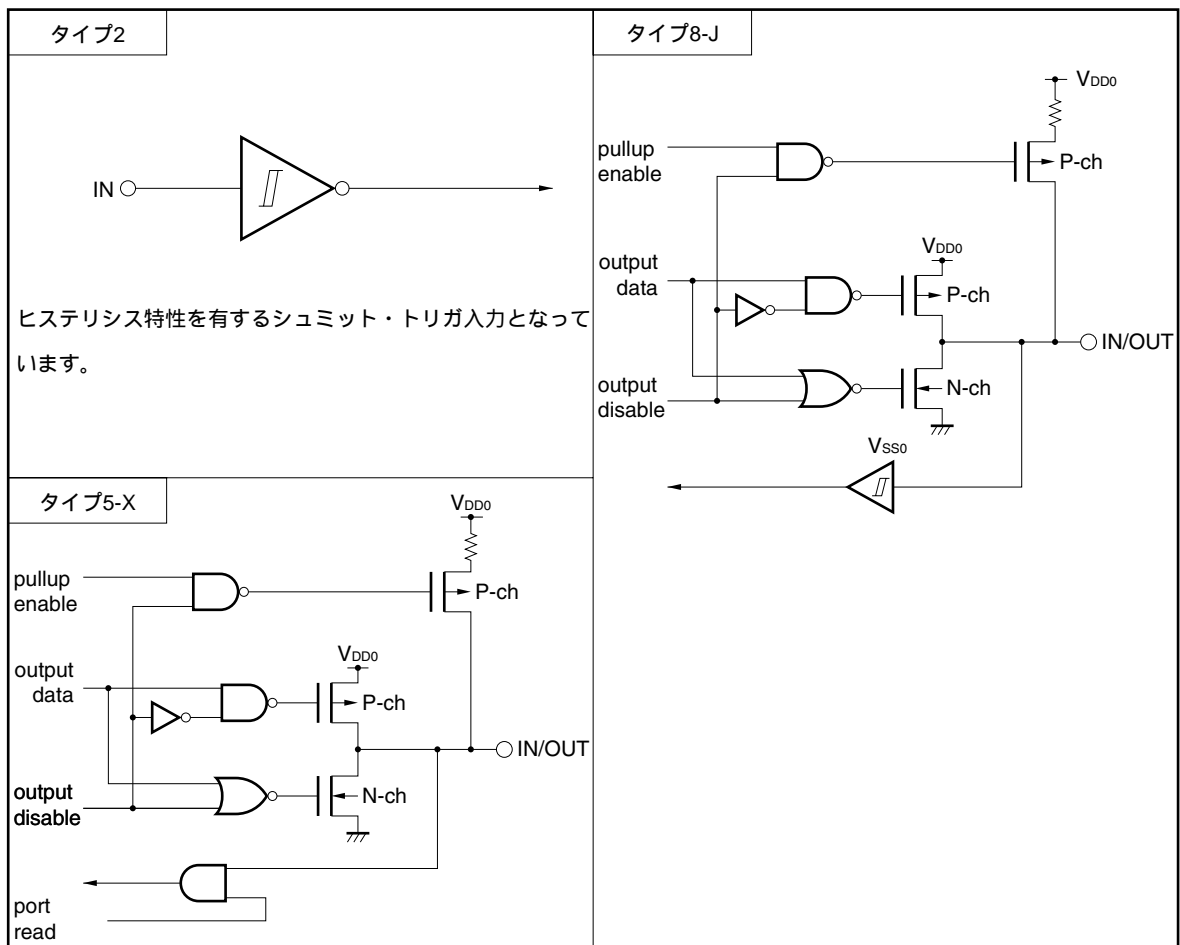
各端子の入出力回路タイプと、未使用端子の処理を表2 - 1に示します。

また、各タイプの入出力回路の構成は、図2 - 1を参照してください。

表2 - 1 各端子の入出力回路タイプと未使用端子の処理

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00-P07	5-X	入出力	入力時：個別に抵抗を介して、 V_{DD0} 、 V_{DD1} 、 V_{SS0} 、 V_{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P10-P17			
P20/ASCK/SCK $\overline{0}$	8-J		
P21/TxD/SO0	5-X		
P22/RxD/SI0	8-J		
P30/INTP0			
P31/INTP1			
P32/INTP2/CPT2			
P40/KR0-P47/KR7			
P50/TI0/TO0			
P51/TO2			
P52, P53			
RESET $\overline{}$	2		
NC	-	-	V_{SS0} または V_{SS1} に直接接続してください（オープンも可）。
IC(マスクROM製品)			V_{SS0} または V_{SS1} に直接接続してください。
V_{PP} (μ PD78F9026A)			個別に10 k Ω のプルダウン抵抗を接続するか、 V_{SS0} または V_{SS1} に直接接続してください。

図2 - 1 端子の入出力回路一覧



第3章 CPUアーキテクチャ

3.1 メモリ空間

μ PD789026サブシリーズは、64 Kバイトのメモリ空間をアクセスできます。図3 - 1から図3 - 5に、メモリ・マップを示します。

図3 - 1 メモリ・マップ (μ PD789022)

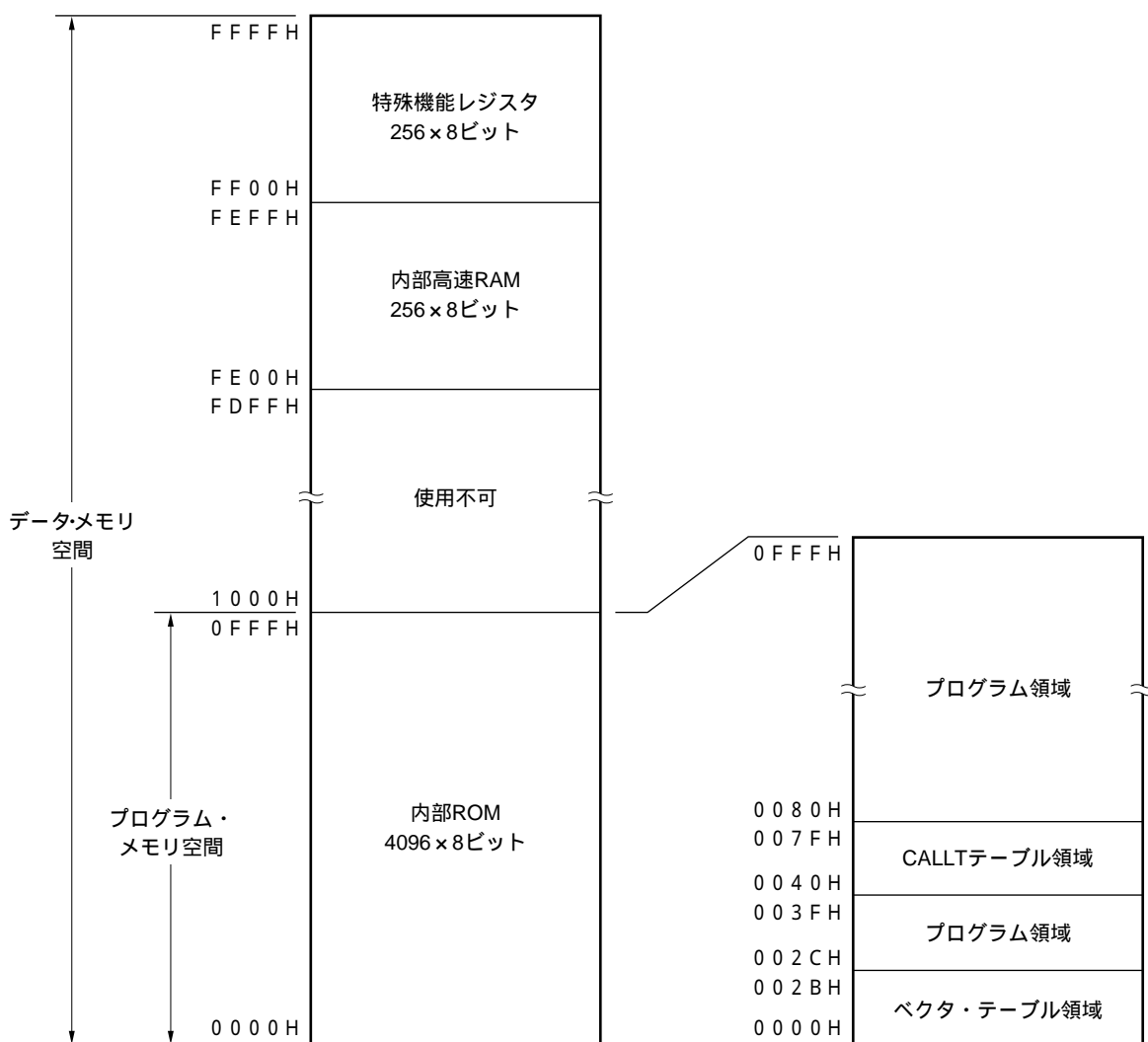


図3 - 2 メモリ・マップ (μ PD789024)

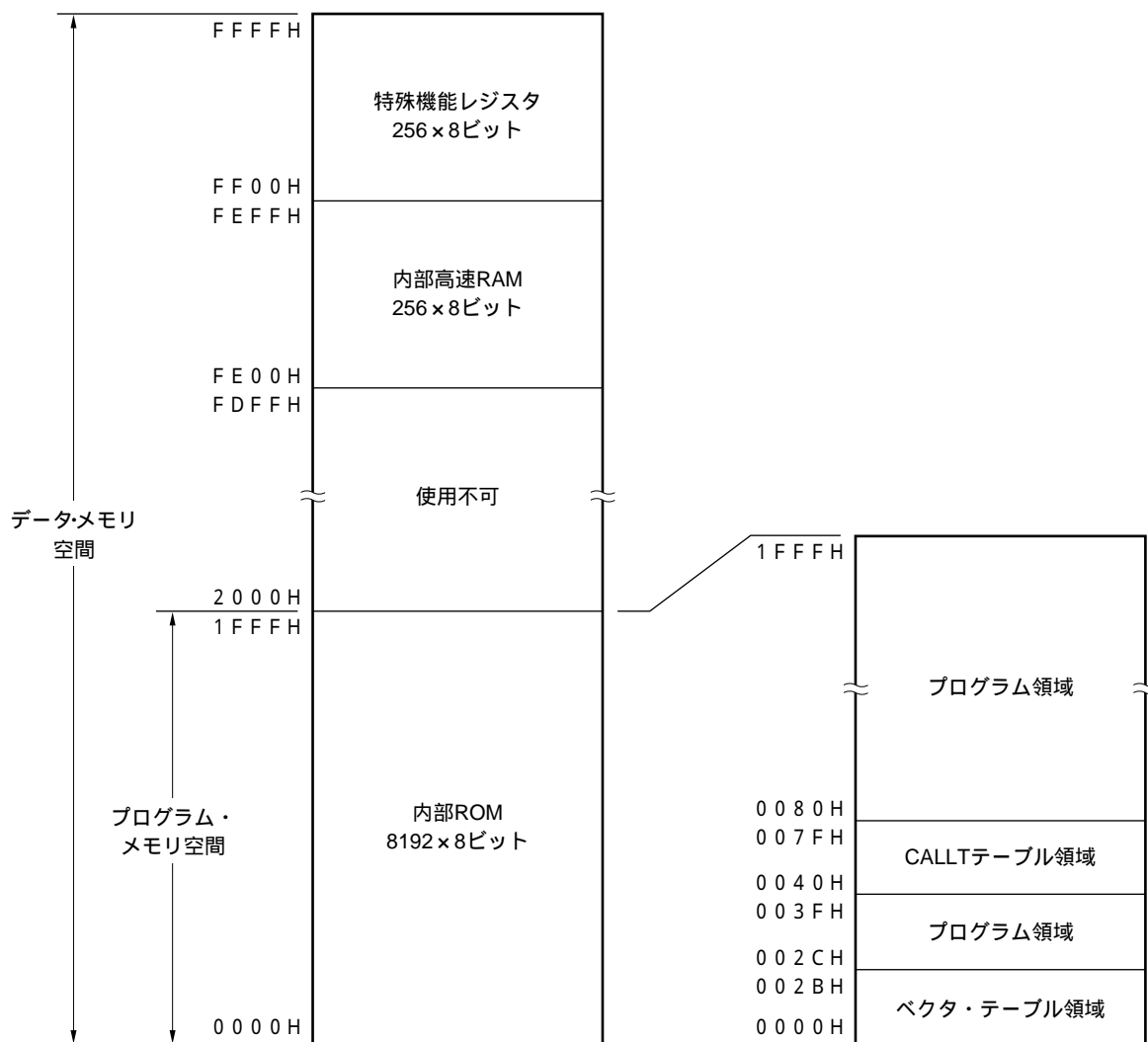


図3-3 メモリ・マップ (μPD789025)

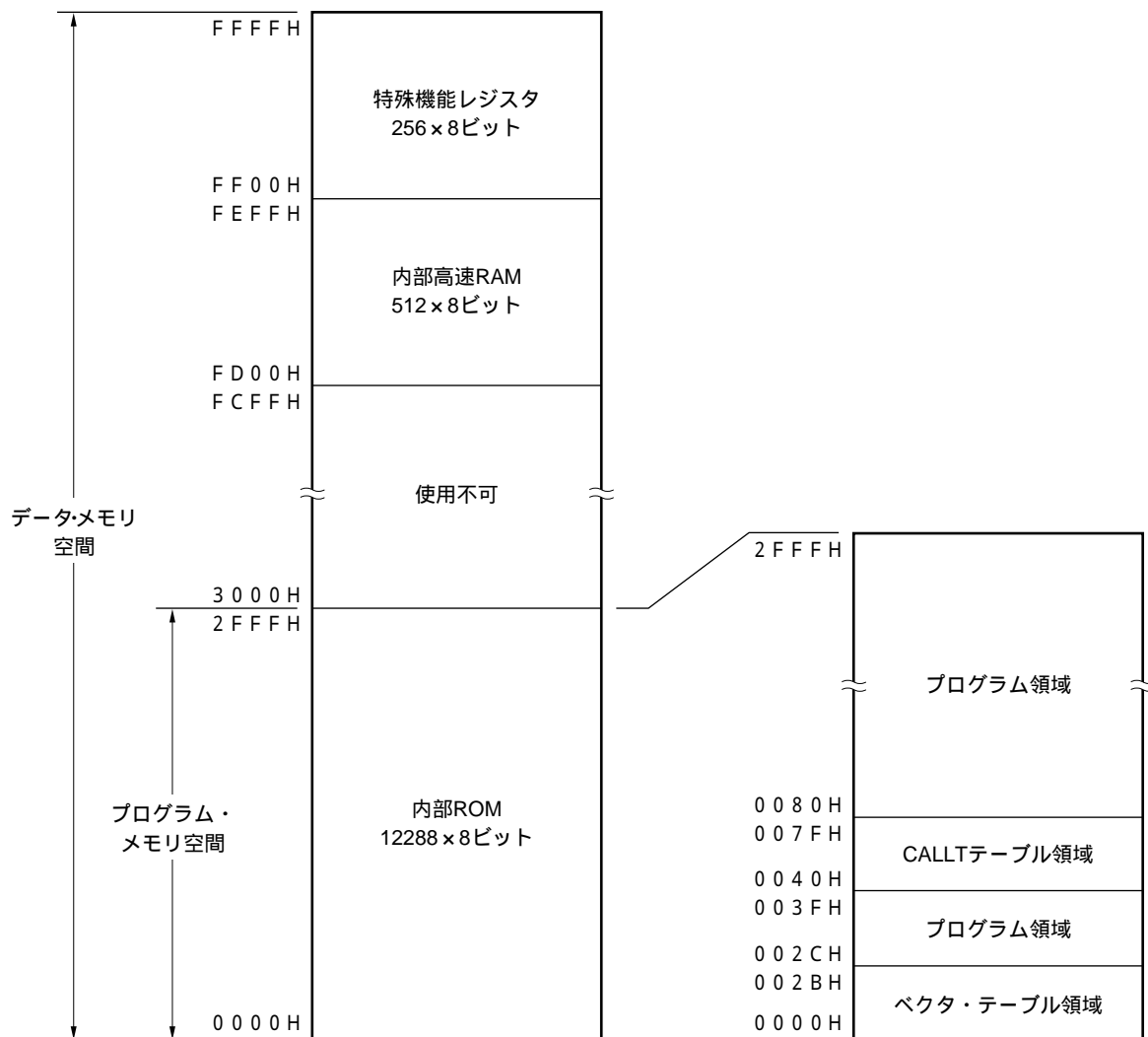


図3-4 メモリ・マップ (μPD789026)

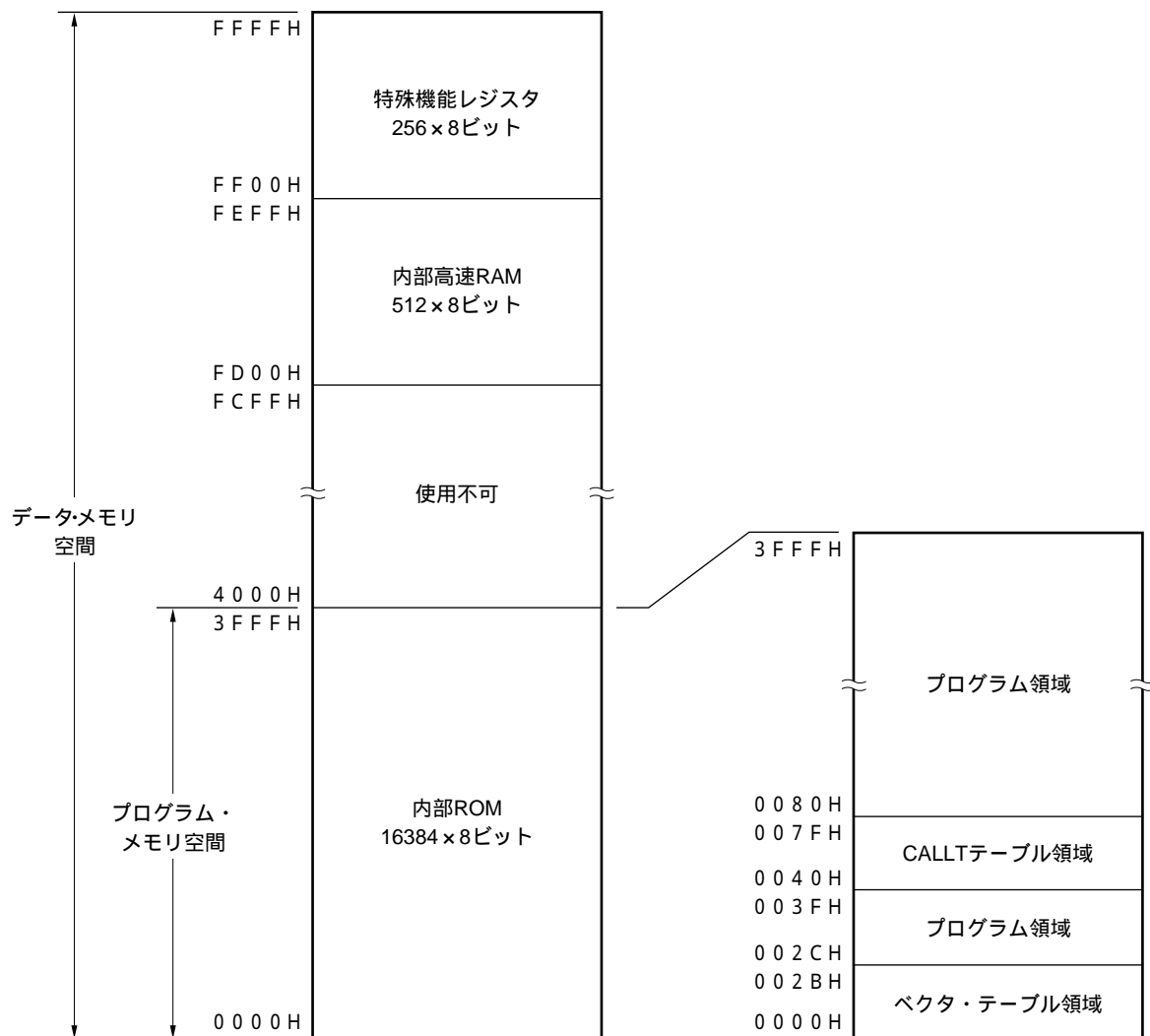
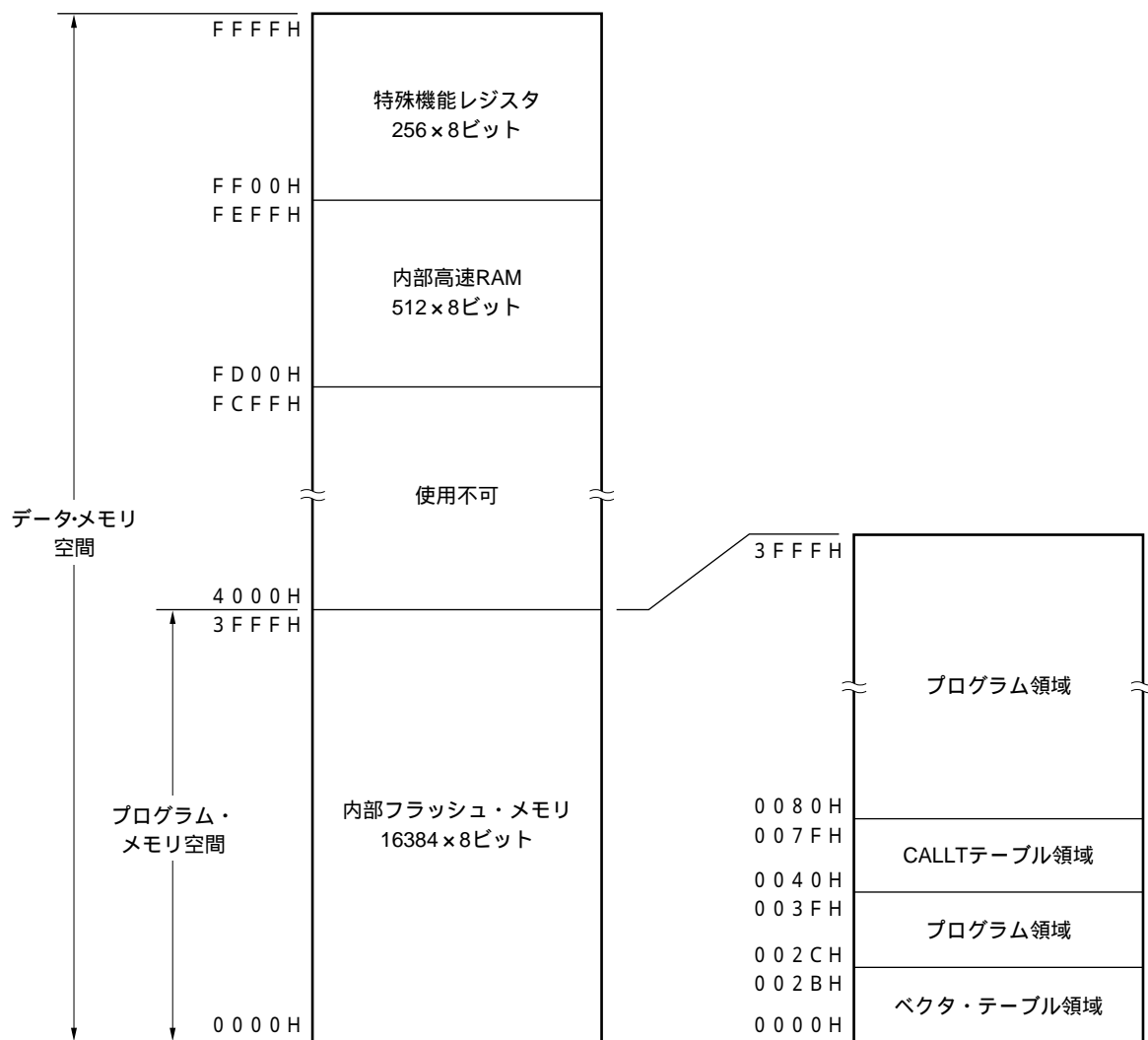


図3 - 5 メモリ・マップ (μ PD78F9026A)



3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μ PD789026サブシリーズでは、各製品ごとに次の容量の内部ROM（またはフラッシュ・メモリ）を内蔵しています。

表3 - 1 内部ROM容量

品 名	内部ROM	
	構 造	容 量
μ PD789022	マスクROM	4096 × 8ビット
μ PD789024		8192 × 8ビット
μ PD789025		12288 × 8ビット
μ PD789026		16384 × 8ビット
μ PD78F9026A	フラッシュ・メモリ	16384 × 8ビット

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-002BHの44バイトの領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、 $\overline{\text{RESET}}$ 入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3 - 2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求	ベクタ・テーブル・アドレス	割り込み要求
0000H	RESET入力	000CH	INTSR/INTCSI0
0004H	INTWDT	000EH	INTST
0006H	INTP0	0010H	INTTM0
0008H	INTP1	0014H	INTTM2
000AH	INTP2	002AH	INTKR

(2) CALLT命令テーブル領域

0040H-007FHの64バイトの領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

3.1.2 内部データ・メモリ（内部高速RAM）空間

μ PD789026サブシリーズの製品は、各製品ごとに次の容量の内部高速RAMを内蔵しています。

プログラム領域として命令を書いて実行することはできません。

また、内部高速RAMはスタックとしても使用します。

表3 - 3 内部高速RAM容量

品 名	容 量
μ PD789022	256 × 8ビット
μ PD789024	
μ PD789025	512 × 8ビット
μ PD789026	
μ PD78F9026A	

3.1.3 特殊機能レジスタ（SFR : Special Function Register）領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（表3 - 4参照）。

3.1.4 データ・メモリ・アドレッシング

μ PD789026サブシリーズは、メモリの操作性などを考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域(FE00H-FFFFH^{注1}, FD00H-FFFFH^{注2})では、特殊機能レジスタ(SFR)など、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3 - 6から図3 - 10にデータ・メモリのアドレッシングを示します。

注1. μ PD789022, 789024のとき。

2. μ PD789025, 789026, 78F9026Aのとき。

図3 - 6 データ・メモリのアドレッシング (μ PD789022)

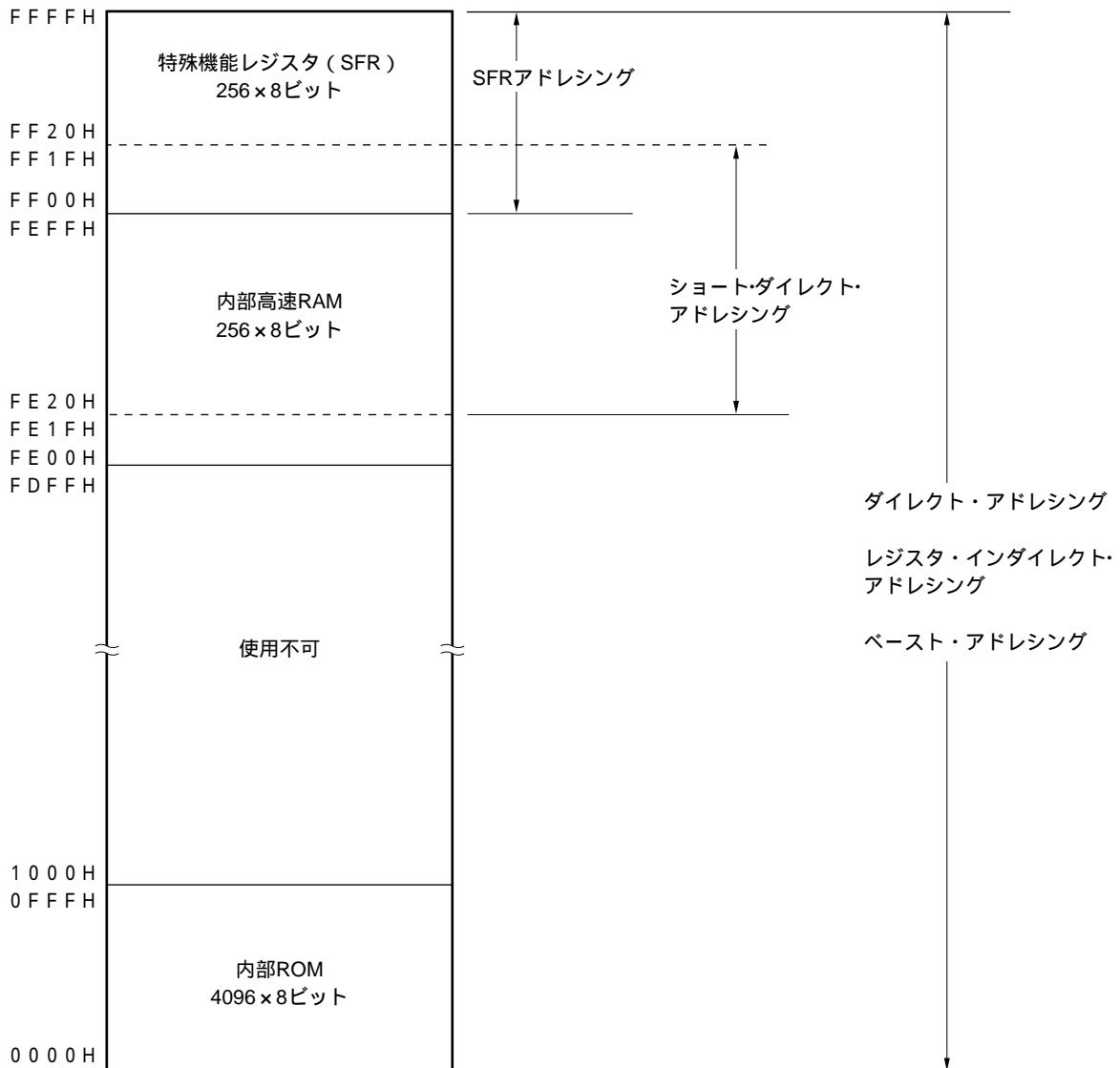


図3-7 データ・メモリのアドレッシング (μ PD789024)

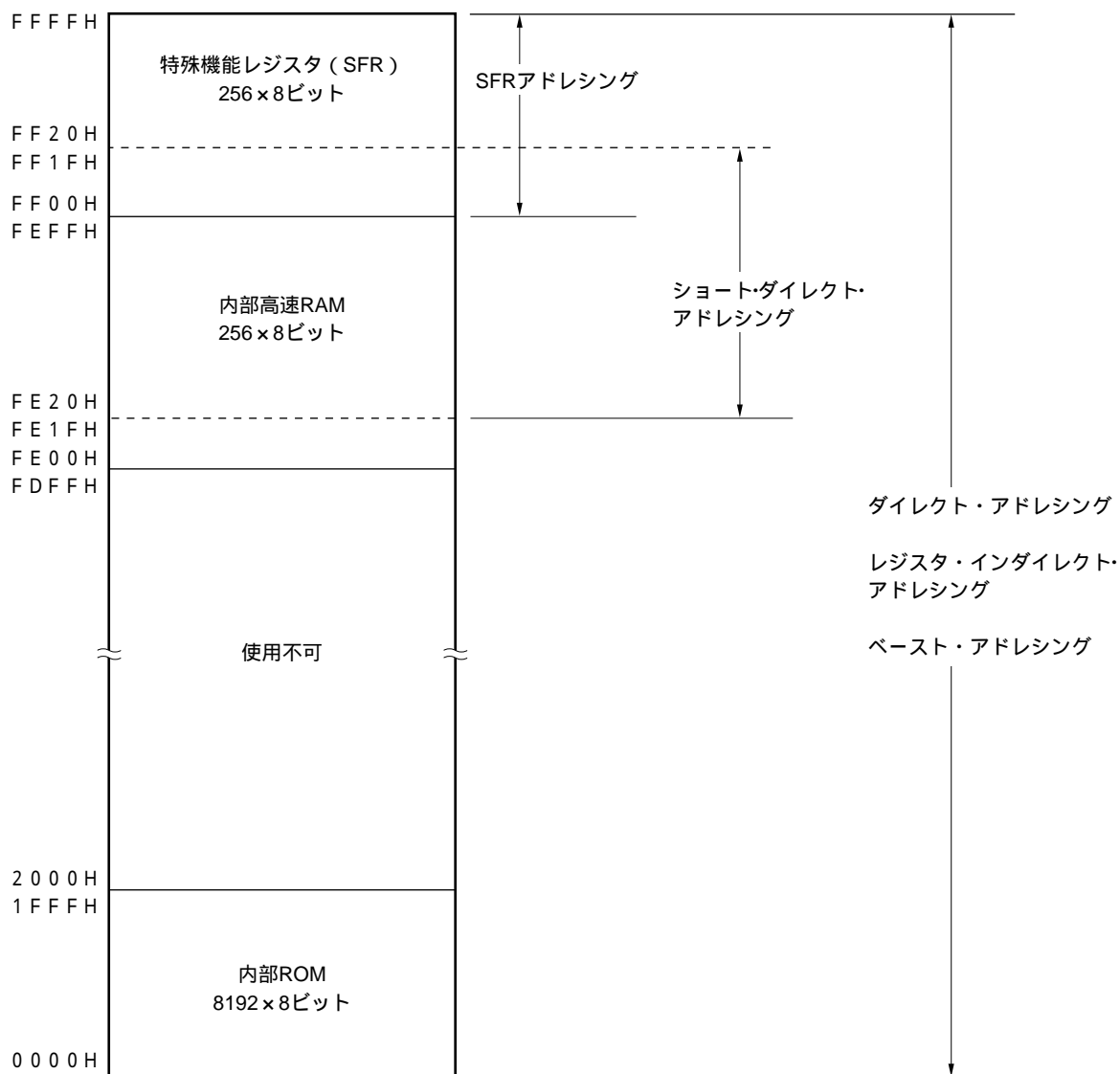


図3-8 データ・メモリのアドレッシング (μ PD789025)

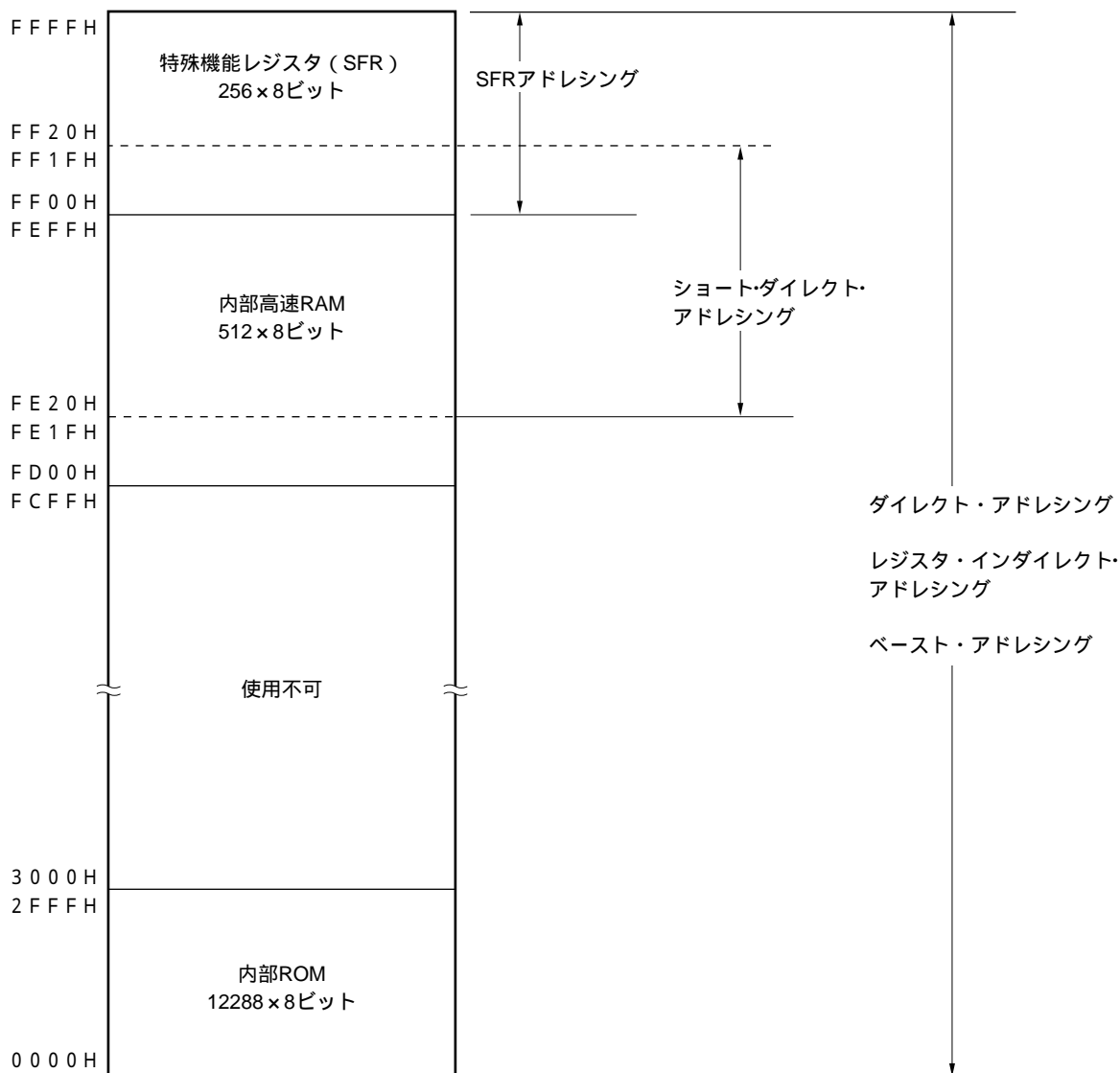


図3 - 9 データ・メモリのアドレッシング (μ PD789026)

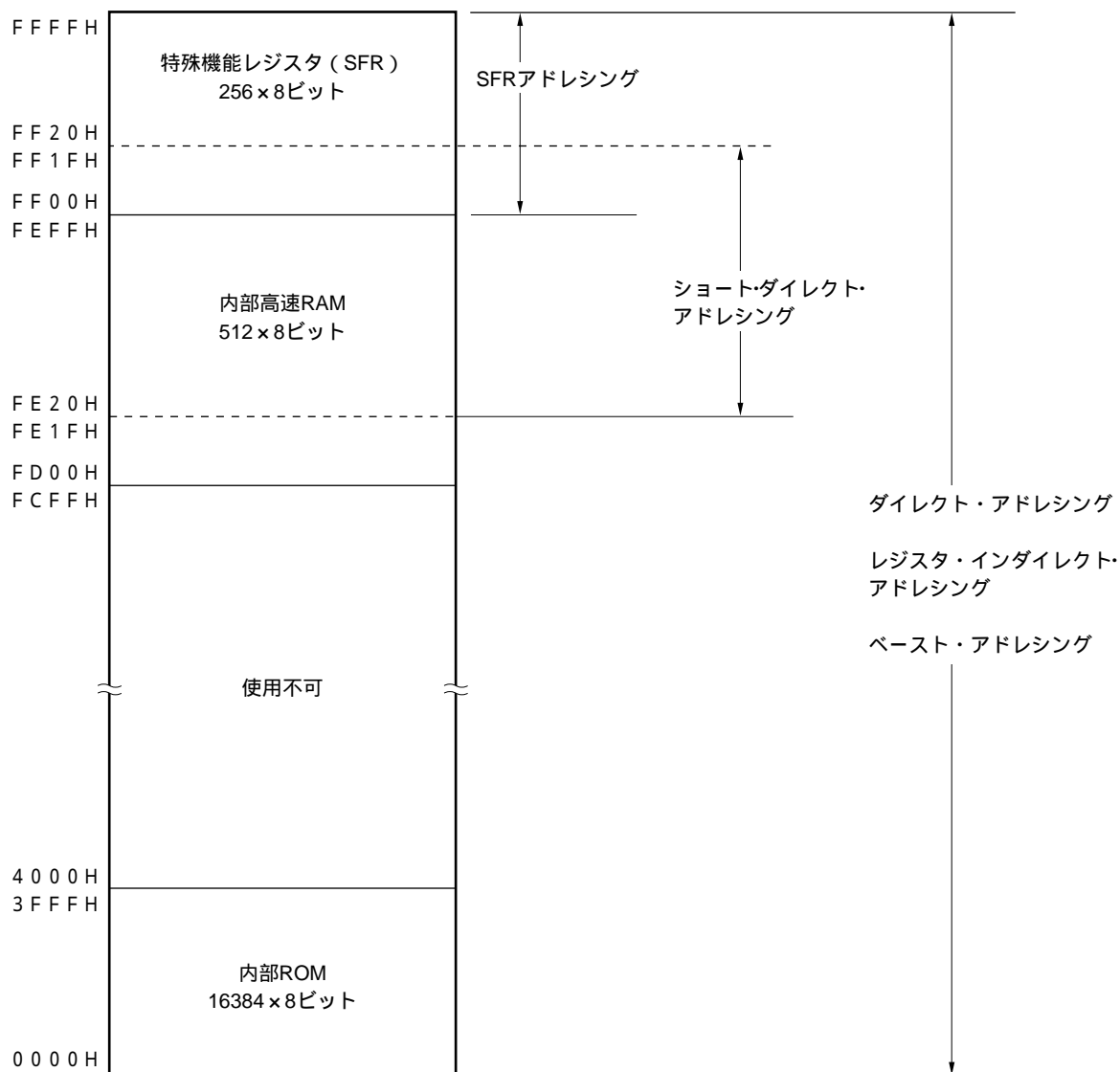
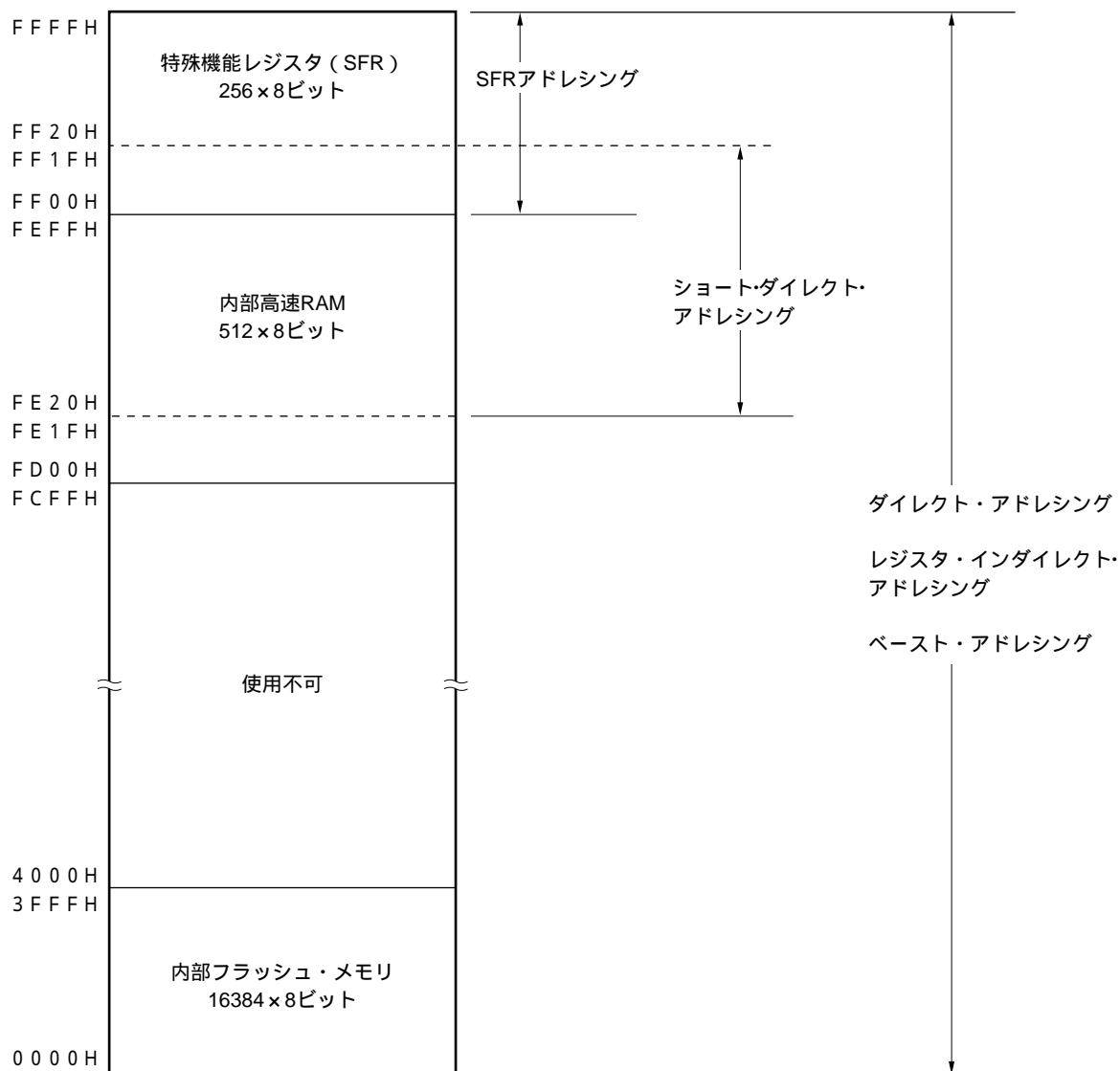


図3 - 10 データ・メモリのアドレッシング (μ PD78F9026A)



3.2 プロセッサ・レジスタ

μ PD789026サブシリーズは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス・ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ、プログラム・ステータス・ワード、スタック・ポインタがあります。

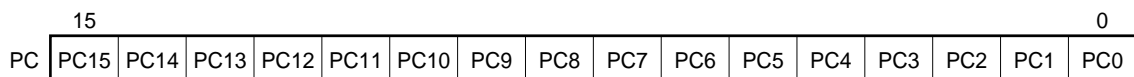
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 11 プログラム・カウンタの構成



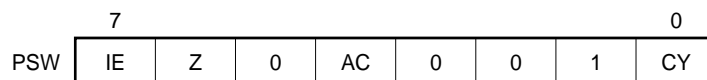
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図3 - 12 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスクابل割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このときの割り込み要求の受け付けは、各割り込み要因に対する割り込みマスク・フラグにより制御されます。

このフラグはDI命令実行または割り込みの受け付けでリセット (0) され、EI命令実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

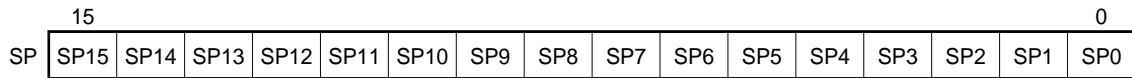
(d) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 13 スタック・ポインタの構成



スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避／復帰されるデータは図3 - 14 , 3 - 15 のようになります。

注意 SPの内容はRESET入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

図3 - 14 スタック・メモリへ退避されるデータ

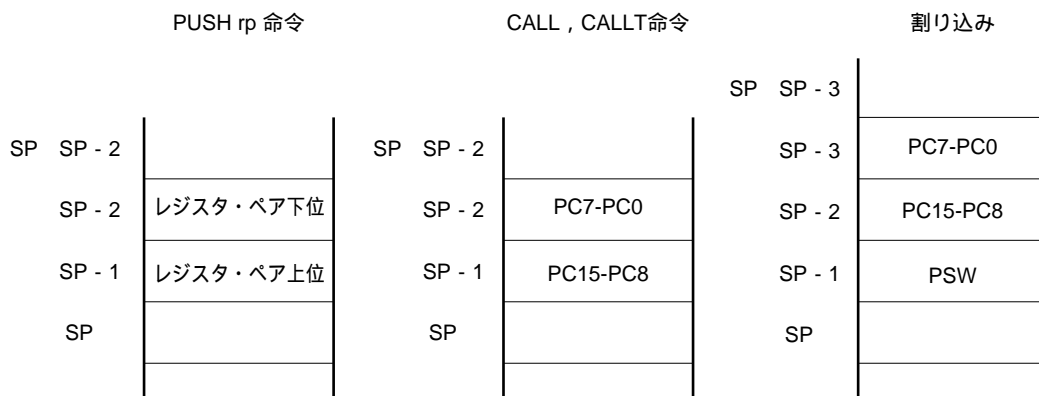
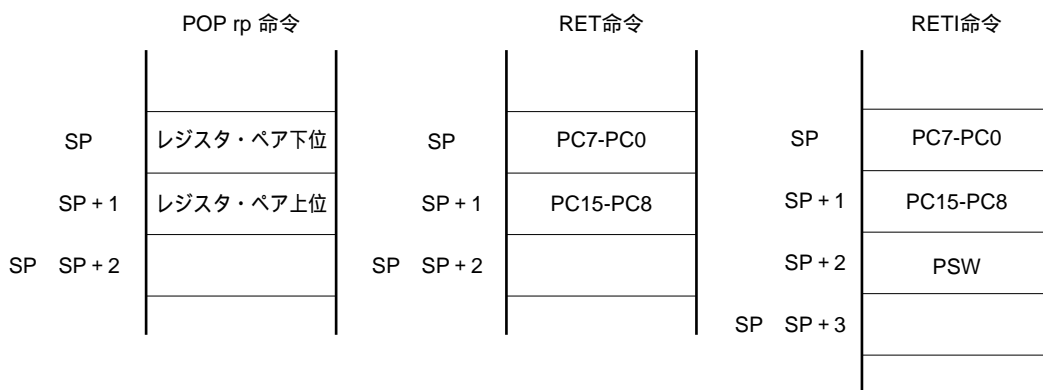


図3 - 15 スタック・メモリから復帰されるデータ



3.2.2 汎用レジスタ

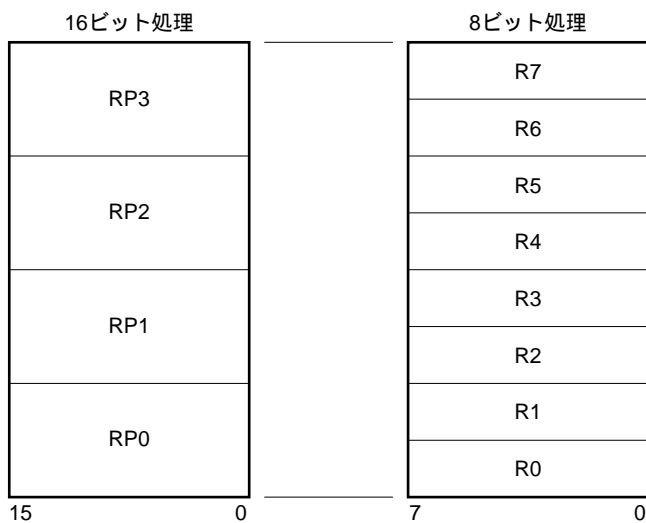
汎用レジスタは、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）で構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

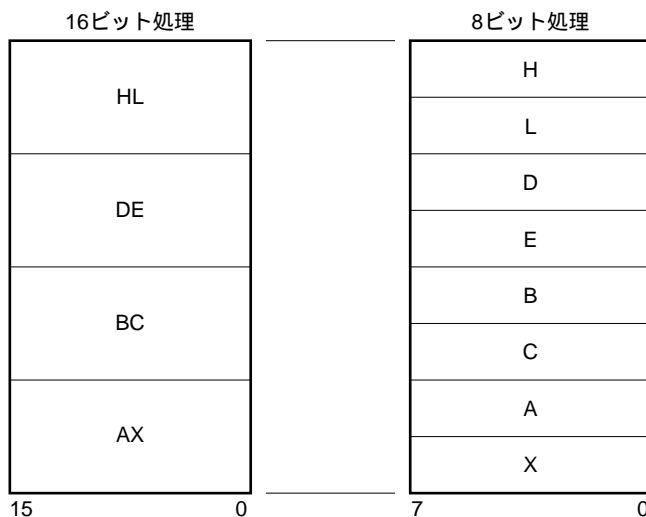
また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

図3 - 16 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3.2.3 特殊機能レジスタ (SFR)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの256バイトの空間に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとに指定方法を次に示します。

- ・ 1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 16ビット操作

16ビット操作命令のオペランドにアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 4に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- ・ 略号

内蔵された特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、Cコンパイラでは #pragma sfr 指令で、sfr変数として定義されているものです。アセンブラ、統合ディバッガ使用時に命令のオペランドとして記述できます。

- ・ R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・ 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を示します。

- ・ リセット時

$\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

表3-4 特殊機能レジスタ一覧(1/2)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
FF00H	ポート0	P0		R/W			-	00H
FF01H	ポート1	P1					-	
FF02H	ポート2	P2					-	
FF03H	ポート3	P3					-	
FF04H	ポート4	P4					-	
FF05H	ポート5	P5					-	
FF10H	送信シフト・レジスタ00	TXS00	SIO00	W	-		-	FFH
	受信バッファ・レジスタ00	RXB00		R	-		-	不定
FF16H	16ビット・コンペア・レジスタ20	CR20		W	-	注1	注2	FFFFH
FF17H								
FF18H	16ビット・タイマ・カウンタ20	TM20		R	-	注1	注2	0000H
FF19H								
FF1AH	16ビット・キャプチャ・レジスタ20	TCP20			-	注1	注2	不定
FF1BH								
FF20H	ポート・モード・レジスタ0	PM0		R/W			-	FFH
FF21H	ポート・モード・レジスタ1	PM1					-	
FF22H	ポート・モード・レジスタ2	PM2					-	
FF23H	ポート・モード・レジスタ3	PM3					-	
FF24H	ポート・モード・レジスタ4	PM4					-	
FF25H	ポート・モード・レジスタ5	PM5					-	
FF42H	タイマ・クロック選択レジスタ2	TCL2			-		-	00H
FF50H	8ビット・コンペア・レジスタ00	CR00		W	-		-	不定
FF51H	8ビット・タイマ・カウンタ00	TM00		R	-		-	00H
FF53H	8ビット・タイマ・モード・コントロール・レジスタ00	TMC00		R/W			-	
FF5BH	16ビット・タイマ・モード・コントロール・レジスタ20	TMC20					-	
FF70H	アシンクロナス・シリアル・インタフェース・モード・レジスタ00	ASIM00					-	
FF71H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00	ASIS00		R			-	
FF72H	シリアル動作モード・レジスタ00	CSIM00		R/W			-	
FF73H	ポー・レート・ジェネレータ・コントロール・レジスタ00	BRGC00				-		

注1. CR20, TM20, TCP20は16ビット・アクセス専用のレジスタですが,8ビット・アクセスも可能です。8ビット・アクセスをするときは,ダイレクト・アドレッシングでアクセスしてください。

2. ショート・ダイレクト・アドレッシングでのみ16ビット・アクセス可能です。

表3 - 4 特殊機能レジスタ一覧 (2/2)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FFE0H	割り込み要求フラグ・レジスタ0	IF0	R/W			-	00H
FFE1H	割り込み要求フラグ・レジスタ1	IF1				-	
FFE4H	割り込みマスク・フラグ・レジスタ0	MK0				-	FFH
FFE5H	割り込みマスク・フラグ・レジスタ1	MK1				-	
FFECH	外部割り込みモード・レジスタ0	INTM0		-		-	00H
FFF5H	キー・リターン・モード・レジスタ00	KRM00				-	
FFF7H	ブルアップ抵抗オプション・レジスタ	PUO				-	
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM				-	
FFFAH	発振安定時間選択レジスタ	OSTS		-		-	04H
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC				-	02H

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント(1バイトに対して+1)されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0Sシリーズ ユーザーズ・マニュアル命令編（U11047J）を参照してください）。

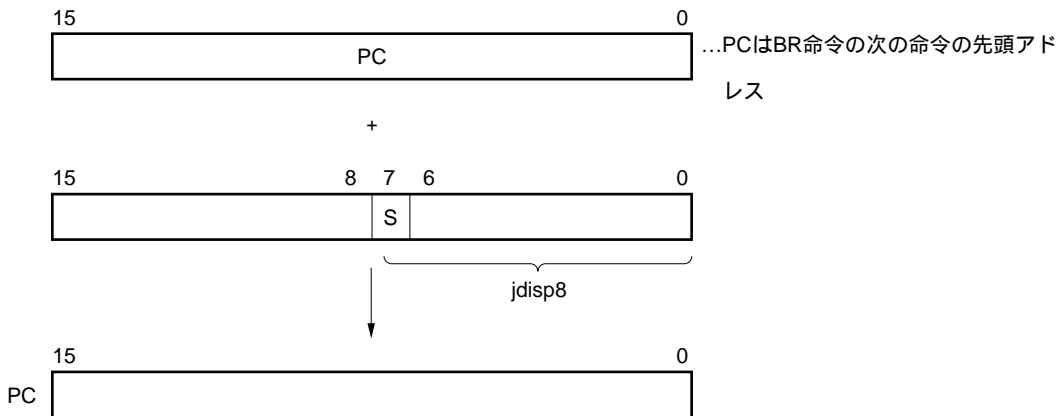
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエイト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するという事です。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



S = 0 のとき、 は全ビット 0

S = 1 のとき、 は全ビット 1

3.3.2 イミディエト・アドレッシング

【機能】

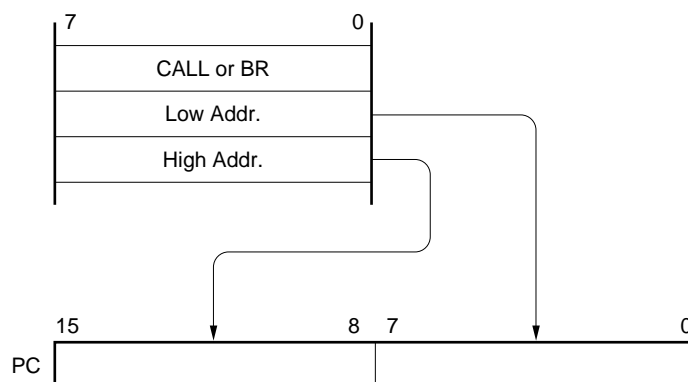
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全メモリに分岐できます。

【図解】

CALL !addr16, BR !addr16命令の場合



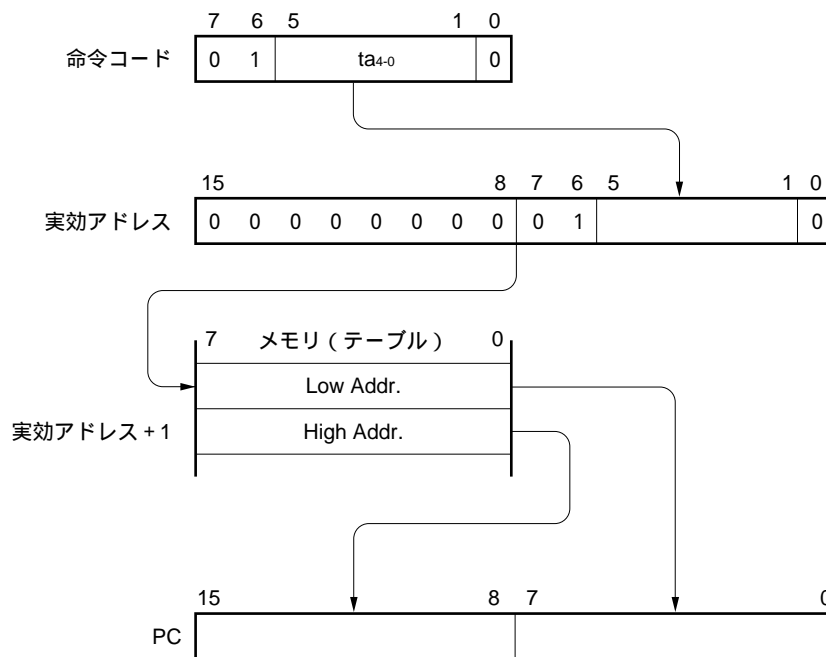
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H～7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



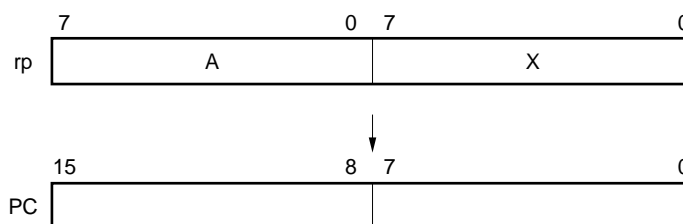
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 ダイレクト・アドレッシング

【機能】

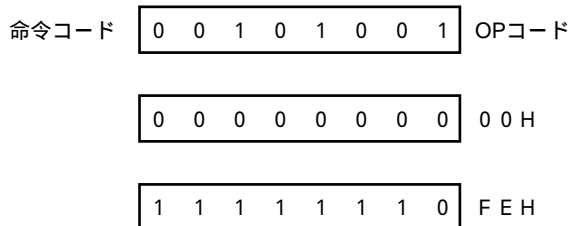
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

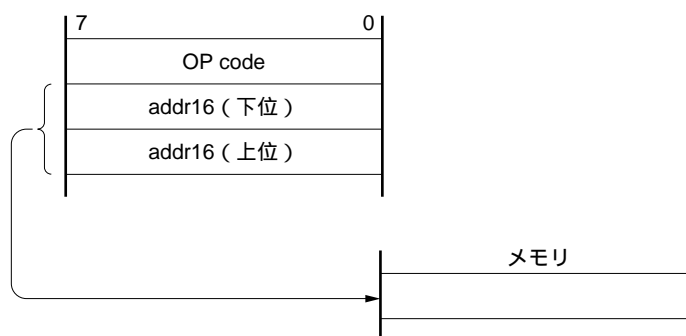
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !FE00H ; !addr16をFE00Hとする場合



【図解】



3.4.2 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部高速RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作することができます。

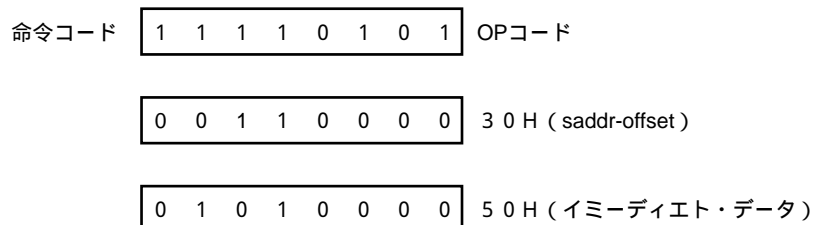
実効アドレスのビット8には、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次の【図解】を参照してください。

【オペランド形式】

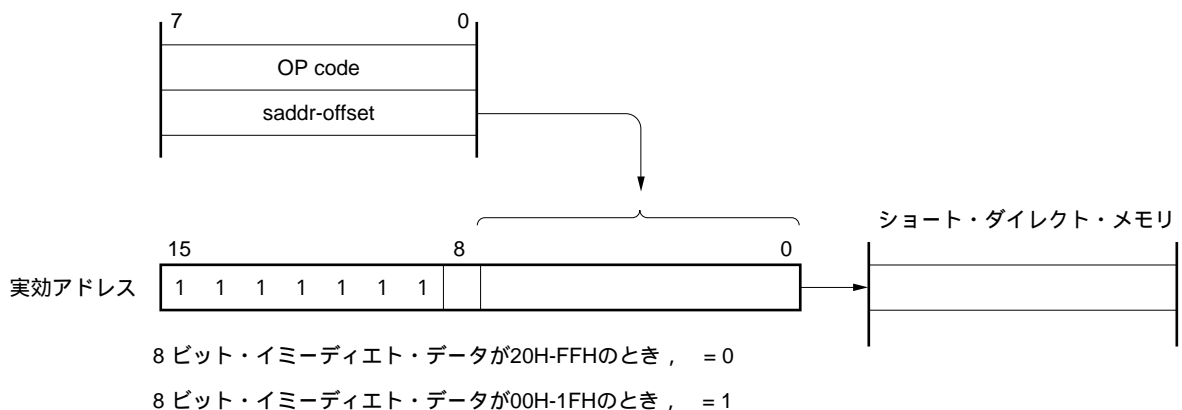
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	ラベルまたはFE20H-FF1FHのイミディエト・データ（偶数アドレスのみ）

【記述例】

MOV FE30H, #50H ; saddrをFE30H、イミディエト・データを50Hとする場合



【図解】



3.4.3 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

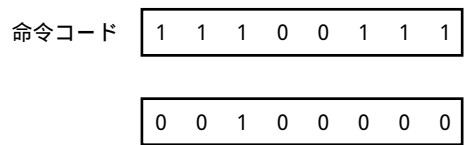
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

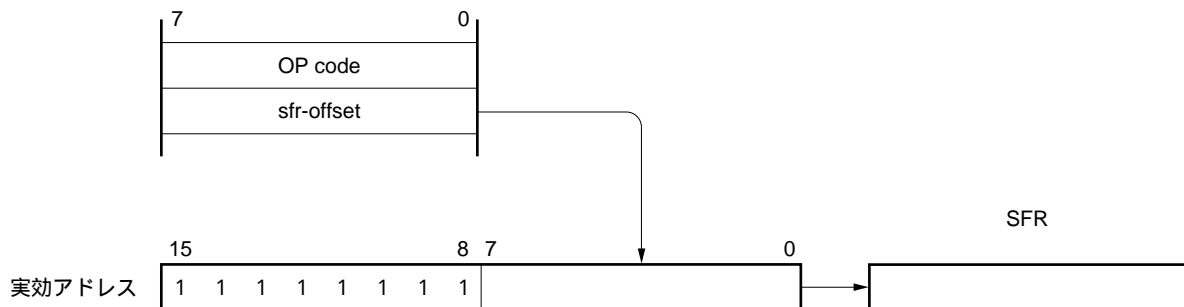
表現形式	記述方法
sfr	特殊機能レジスタ名

【記述例】

MOV PM0, A ; sfrにPM0を選択する場合



【図解】



3.4.4 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。

アクセスされる汎用レジスタは、命令コード中のレジスタ指定コードや機能名称で指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

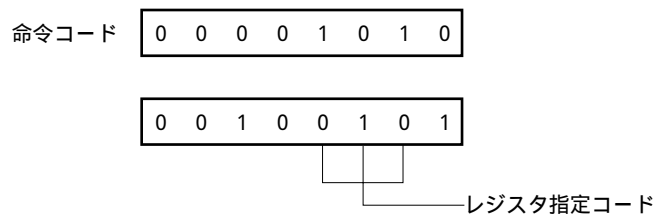
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

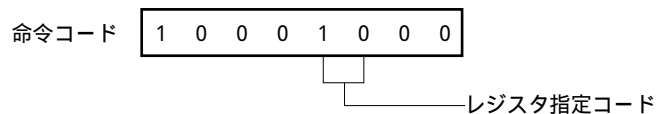
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.5 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

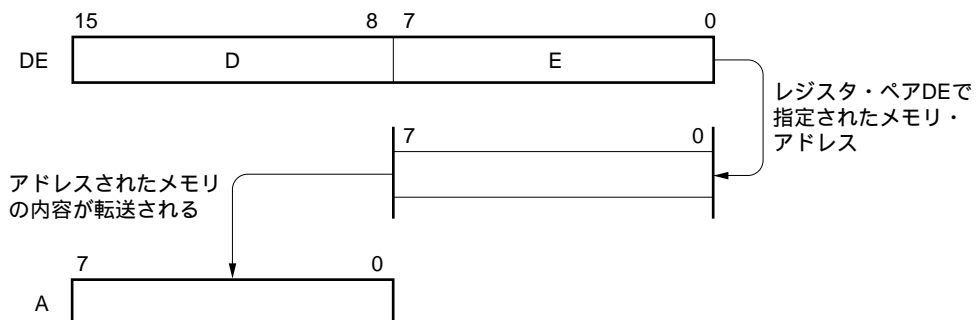
【記述例】

MOV A, [DE] ; レジスタ・ペア [DE] を選択する場合

命令コード

0	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

【図解】



3.4.6 ベースト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード

0	0	1	0	1	1	0	1
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

3.4.7 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

【記述例】

PUSH DEの場合

命令コード

1	0	1	0	1	0	1	0
---	---	---	---	---	---	---	---

第4章 ポート機能

4.1 ポートの機能

μ PD789026サブシリーズは図4 - 1に示すポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

図4 - 1 ポートの種類

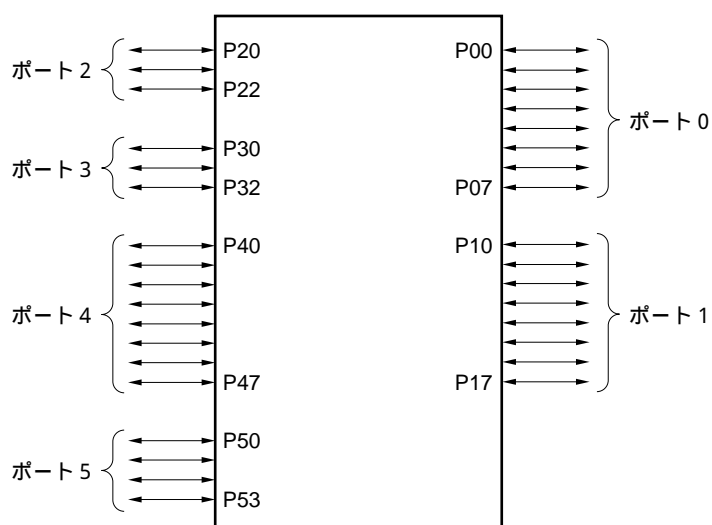


表4 - 1 ポートの機能

端子名称	入出力	機 能	リセット時	兼用端子
P00-P07	入出力	ポート0。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PUO) の設定により、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	-
P10-P17	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PUO) の設定により、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	-
P20	入出力	ポート2。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PUO) の設定により、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	$\overline{\text{SCK0/ASCK}}$
P21				SO0/TxD
P22				SI0/RxD
P30	入出力	ポート3。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PUO) の設定により、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	INTP0
P31				INTP1
P32				INTP2/CPT2
P40-P47	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PUO) の設定により、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	KR0-KR7
P50	入出力	ポート5。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PUO) の設定により、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	TI0/TO0
P51				TO2
P52, P53				-

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-2 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM _m : m = 0-5) プルアップ抵抗オプション・レジスタ (PUO)
ポート	合計 : 34本 (入出力 : 34本)
プルアップ抵抗	合計 : 34本 (ソフトウェアで内蔵プルアップ抵抗を使用可能)

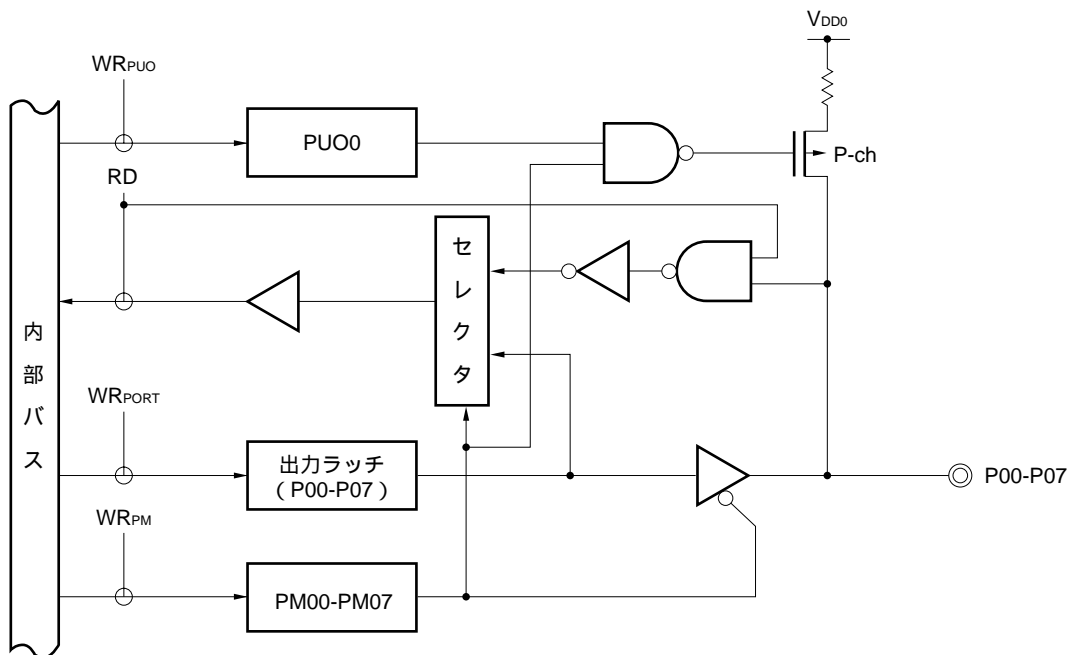
4.2.1 ポート0

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード/出力モードの指定ができます。P00-P07端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ (PUO) により8ビット単位で内蔵プルアップ抵抗を使用できます。

RESET入力により、入力モードになります。

図4-2にポート0のブロック図を示します。

図4-2 P00-P07のブロック図



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号

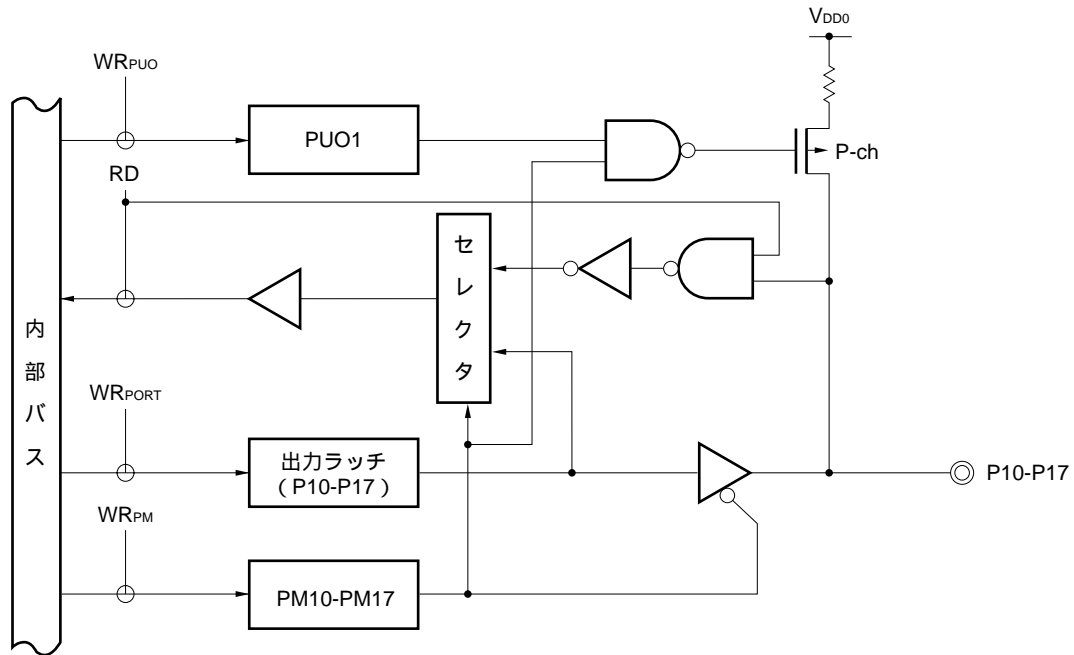
4.2.2 ポート1

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10-P17端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ (PUO) により8ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-3にポート1のブロック図を示します。

図4-3 P10-P17のブロック図



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート1のリード信号

WR : ポート1のライト信号

4.2.3 ポート2

出力ラッチ付き3ビットの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。P20-P22端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ (PUO) により3ビット単位で内蔵プルアップ抵抗を使用できます。

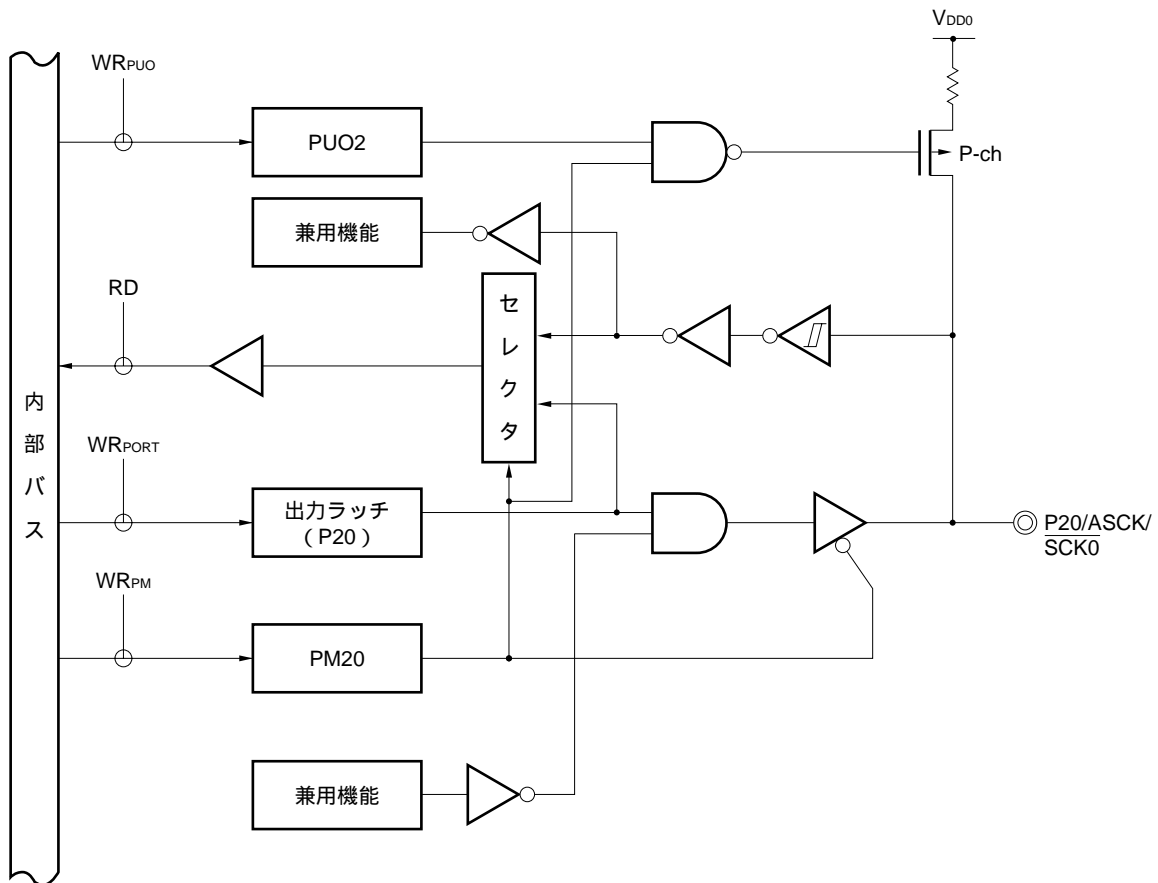
また、兼用機能としてシリアル・インタフェースの入出力、クロックの入出力があります。

RESET \bar 入力により、入力モードになります。

図4 - 4から図4 - 6にポート2のブロック図を示します。

注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要になります。設定方法については、表9 - 2 シリアル・インタフェース00の動作モードの設定一覧を参照してください。

図4 - 4 P20のブロック図



PUO : プルアップ抵抗オプション・レジスタ

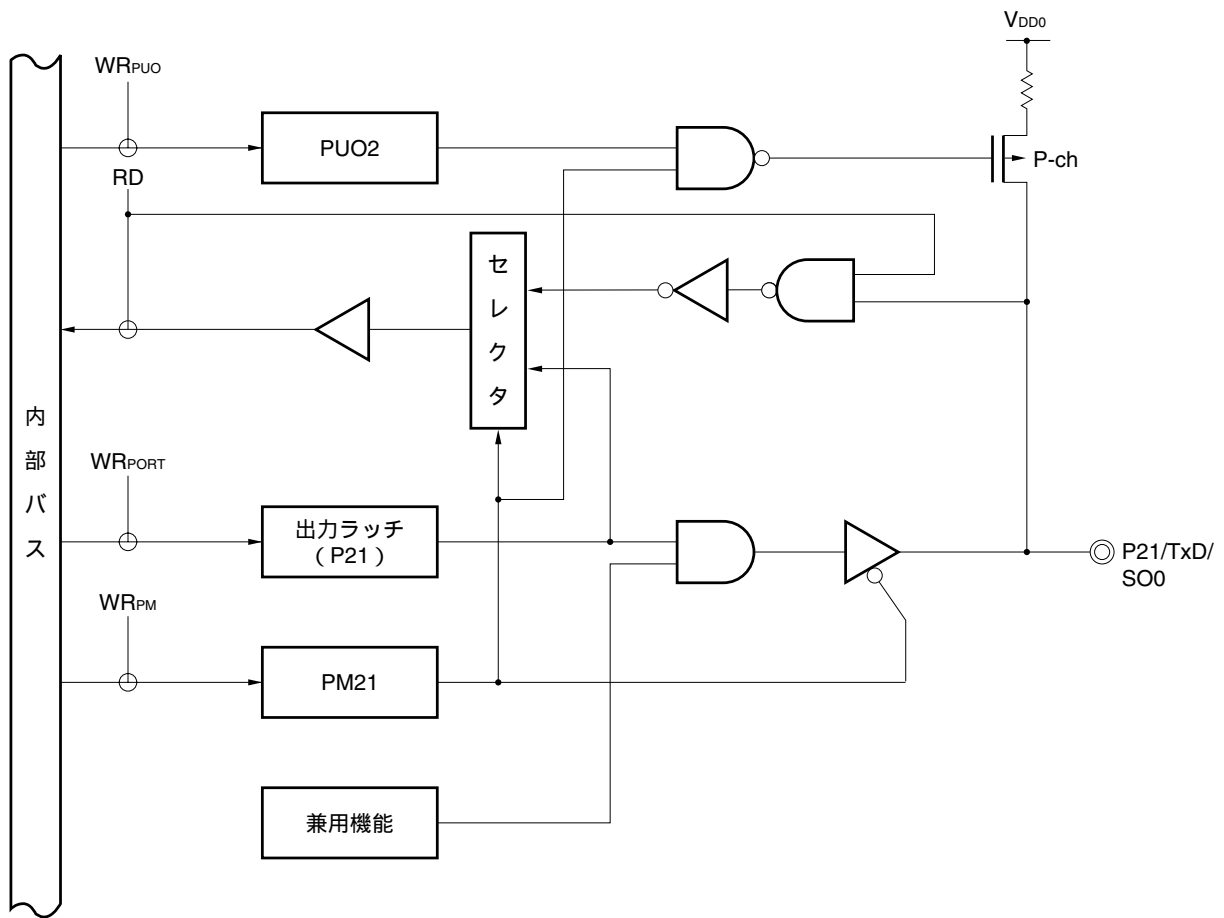
PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

★

図4 - 5 P21のブロック図



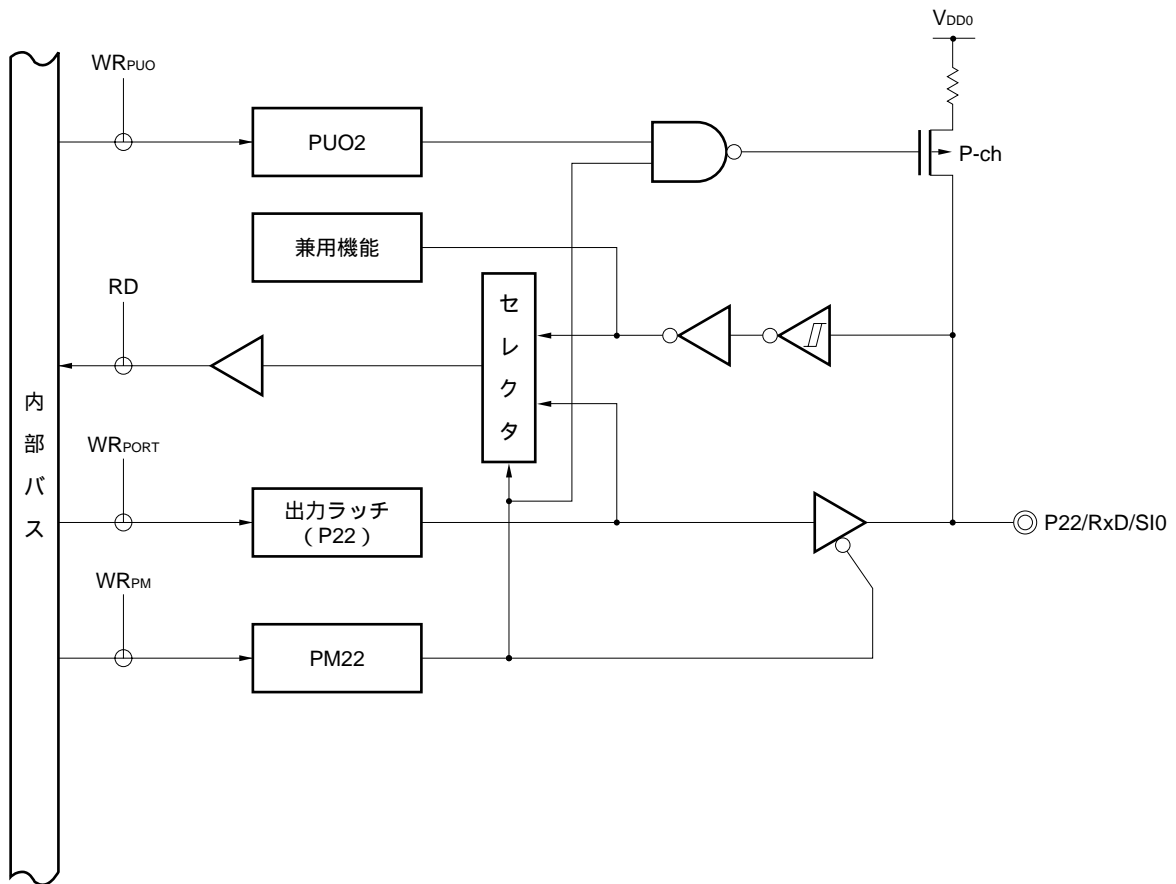
PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 6 P22のブロック図



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

4.2.4 ポート3

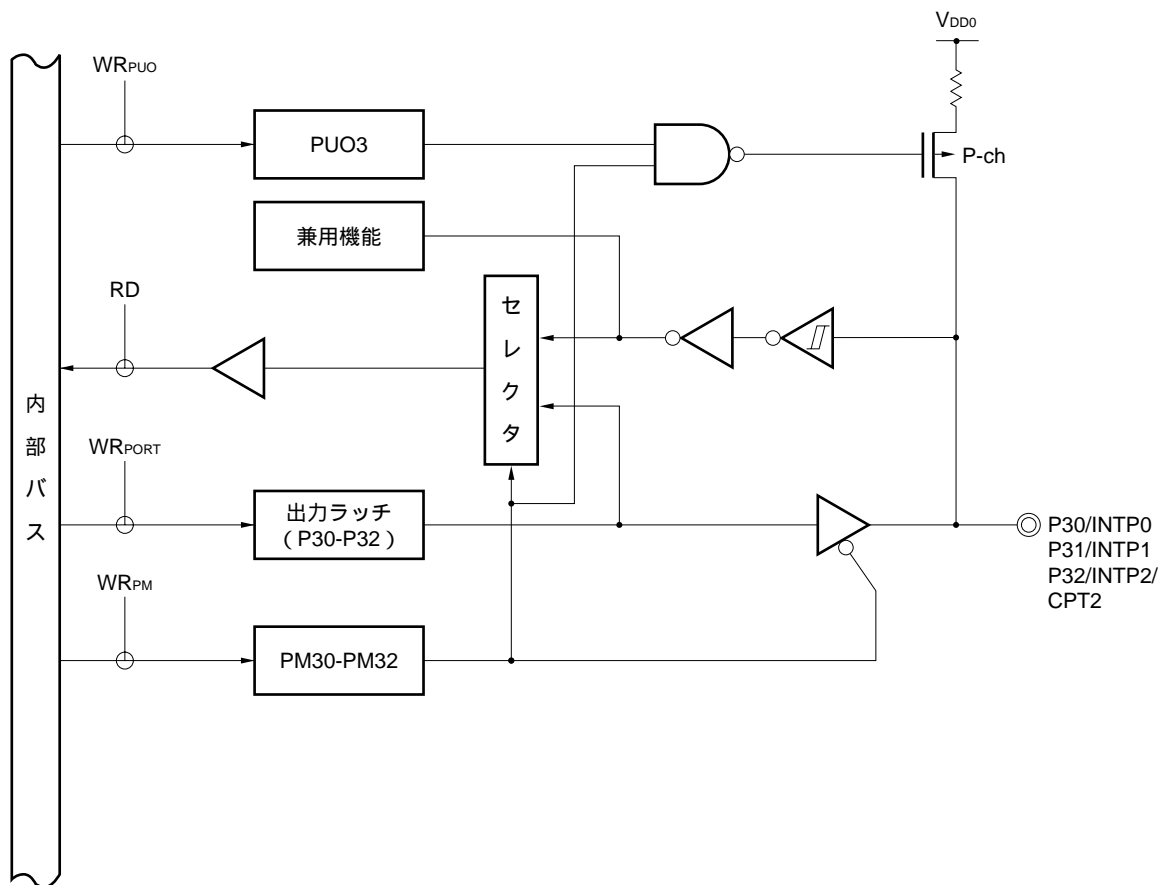
出力ラッチ付き3ビット入出力ポートです。ポート・モード・レジスタ3 (PM3) により, 1ビット単位で入力モード / 出力モードの指定ができます。P30-P32端子を入力ポートとして使用するとき, プルアップ抵抗オプション・レジスタ (PUO) により, 3ビット単位で内蔵プルアップ抵抗を使用できます。

また, 兼用機能として外部割り込み入力, キャプチャ・エッジ入力があります。

RESET \bar 入力により, 入力モードになります。

図4 - 7にポート3のブロック図を示します。

図4 - 7 P30-P32のブロック図



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

4.2.5 ポート4

出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ4 (PM4) により, 1ビット単位で入力モード / 出力モードの指定ができます。P40-P47端子を入力ポートとして使用するとき, プルアップ抵抗オプション・レジスタ (PUO) により, 8ビット単位で内蔵プルアップ抵抗を使用できます。

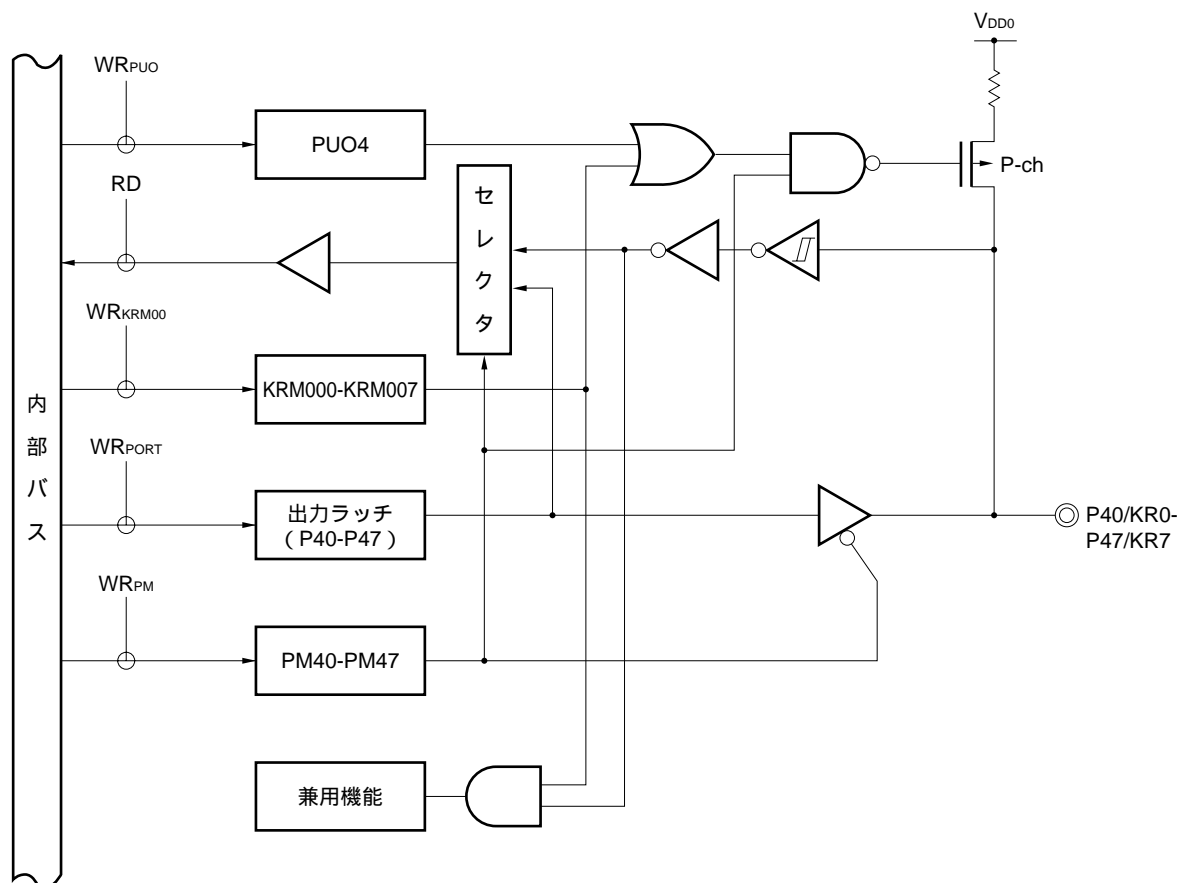
また, 兼用機能としてキー・リターン入力があります。

RESET \bar 入力により, 入力モードになります。

図4 - 8にポート4のブロック図を示します。

注意 キー・リターンとして使用する場合は, その機能に応じてキー・リターン・モード・レジスタ00の設定が必要になります。設定方法については, 10.3(5)キー・リターン・モード・レジスタ00(KRM00)を参照してください。

図4 - 8 P40-P47のブロック図



- KRM00 : キー・リターン・モード・レジスタ00
- PUO : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート4のリード信号
- WR : ポート4のライト信号

4.2.6 ポート5

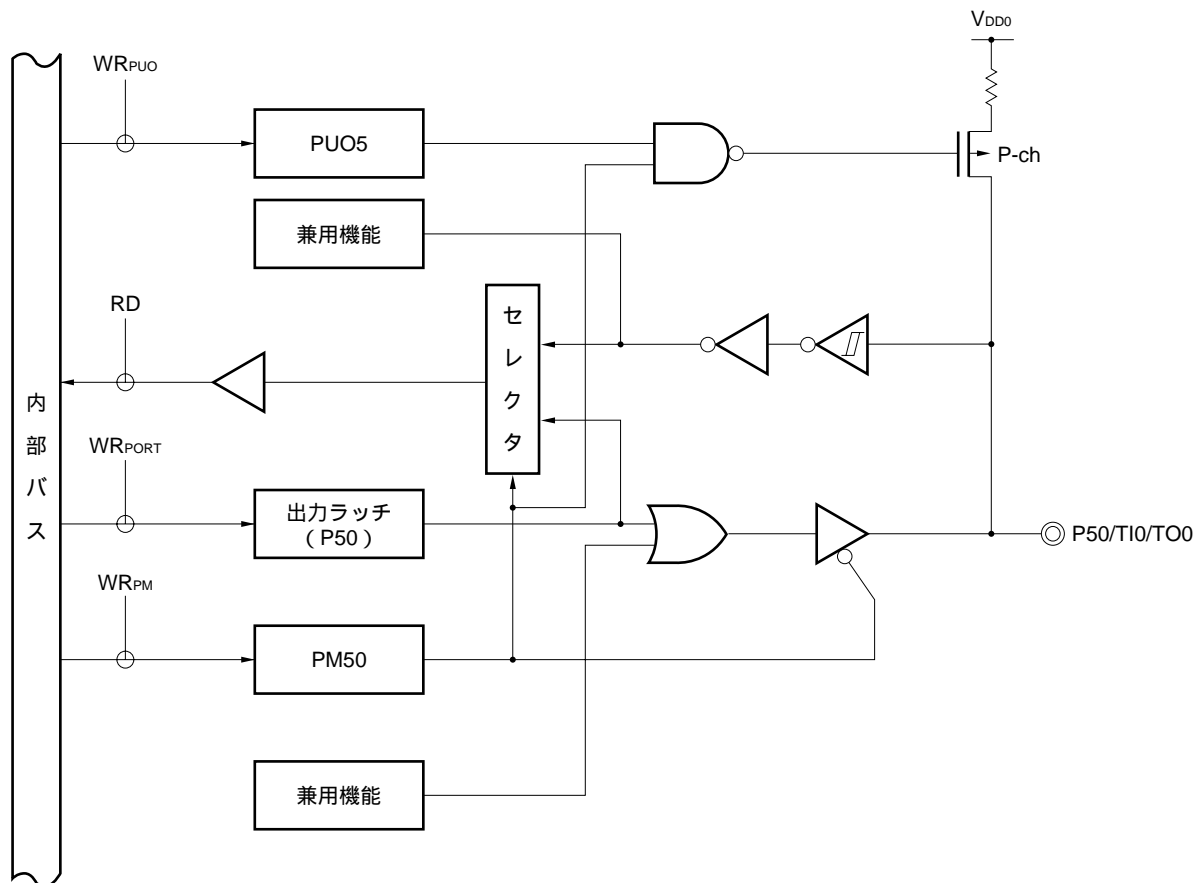
出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ5 (PM5) により1ビット単位で入力モード / 出力モードの指定ができます。P50-P53端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ (PUO) により4ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマの入出力があります。

RESET \bar 入力により、入力モードになります。

図4 - 9から図4 - 11にポート5のブロック図を示します。

図4 - 9 P50のブロック図



PUO : プルアップ抵抗オプション・レジスタ

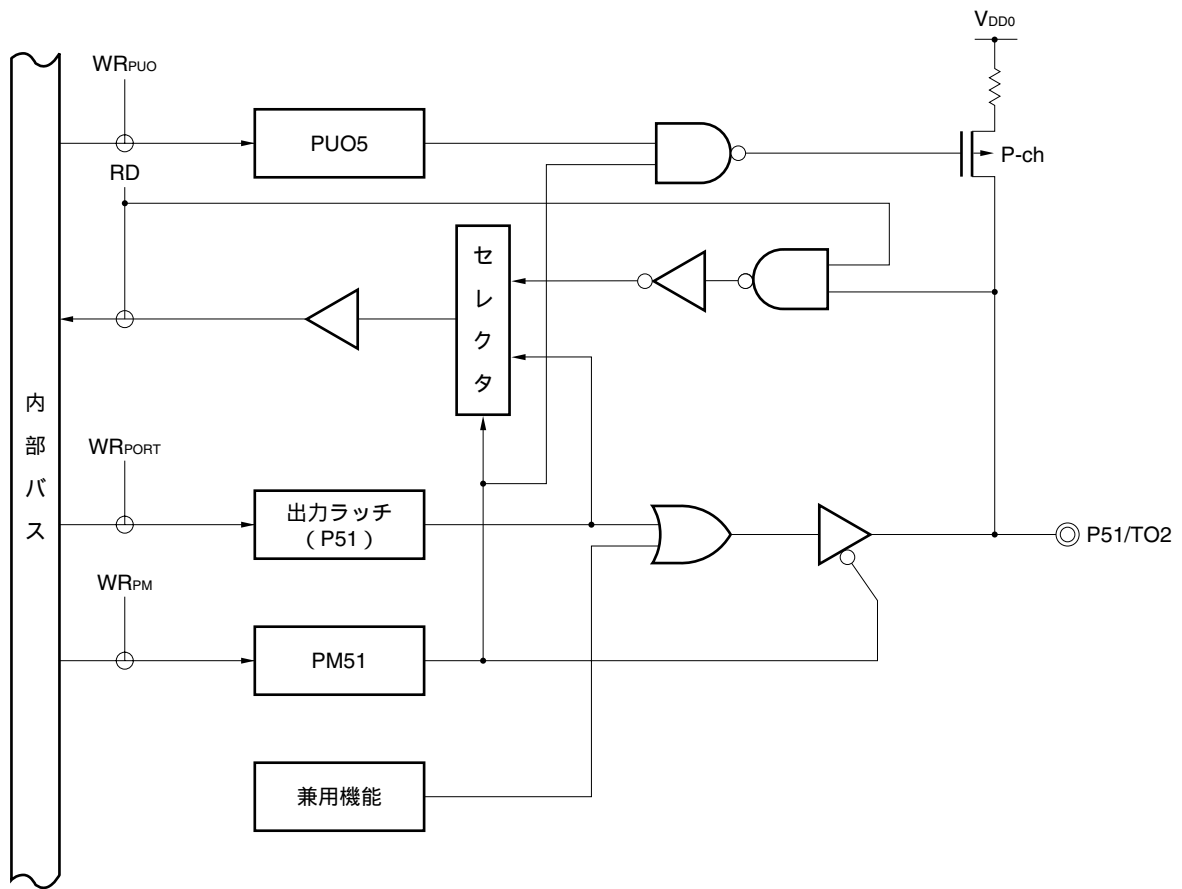
PM : ポート・モード・レジスタ

RD : ポート5のリード信号

WR : ポート5のライト信号

★

図4 - 10 P51のブロック図



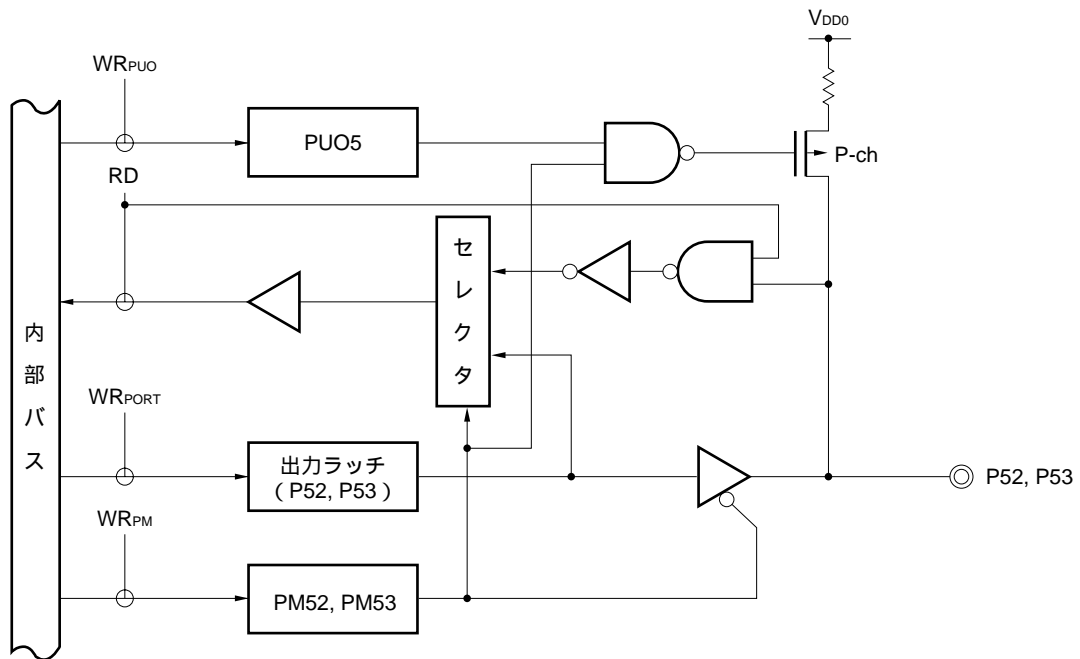
PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート5のリード信号

WR : ポート5のライト信号

図4 - 11 P52, P53のブロック図



- PUO : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート5のリード信号
- WR : ポート5のライト信号

4.3 ポート機能を制御するレジスタ

ポートは、次の2種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0-PM5)
- ・プルアップ抵抗オプション・レジスタ (PUO)

(1) ポート・モード・レジスタ (PM0-PM5)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表4-3のように設定してください。

注意 ポート3は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

表4-3 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

端子名称	兼用機能		PM x x	P x x
	名称	入出力		
P30	INTP0	入力	1	x
P31	INTP1	入力	1	x
P32	INTP2	入力	1	x
	CPT2	入力	1	x
P40-P47 ^注	KR0-KR7	入力	1	x
P50	TI0	入力	1	x
	TO0	出力	0	0
P51	TO2	出力	0	0

注 兼用機能使用時は、キー・リターン・モード・レジスタ00 (KRM00) に1を設定してください (10.3(5)キー・リターン・モード・レジスタ00 (KRM00) 参照)。

注意 ポート2をシリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、表9-2 シリアル・インタフェース00の動作モードの設定一覧を参照してください。

備考 x : don't care

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

図4 - 12 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	1	1	1	1	1	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	1	1	PM32	PM31	PM30	FF23H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FF24H	FFH	R/W
PM5	1	1	1	1	PM53	PM52	PM51	PM50	FF25H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 $\left(\begin{array}{l} m = 0, 1, 4 : n = 0-7 \\ m = 2, 3 : n = 0-2 \\ m = 5 : n = 0-3 \end{array} \right)$
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) プルアップ抵抗オプション・レジスタ (PUO)

各ポートの内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。PUOで内蔵プルアップ抵抗の使用を指定したポートで、入力モードに設定したビットにのみ、内部でプルアップ抵抗が使用できます。出力モードに設定したビットは、PUOの設定にかかわらず、内蔵プルアップ抵抗を使用できません。兼用機能の出力端子として使用するときも同様です。

PUOは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図4 - 13 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUO	0	0	PUO5	PUO4	PUO3	PUO2	PUO1	PUO0	FFF7H	00H	R/W

PUOm	ポートmの内蔵プルアップ抵抗の選択 (m = 0-5)
0	内蔵プルアップ抵抗を使用しない
1	内蔵プルアップ抵抗を使用する

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロック発振回路には、次の1種類があります。

- ・システム・クロック発振回路

1.0～5.0 MHzの周波数を発振します。STOP命令の実行により、発振を停止できます。

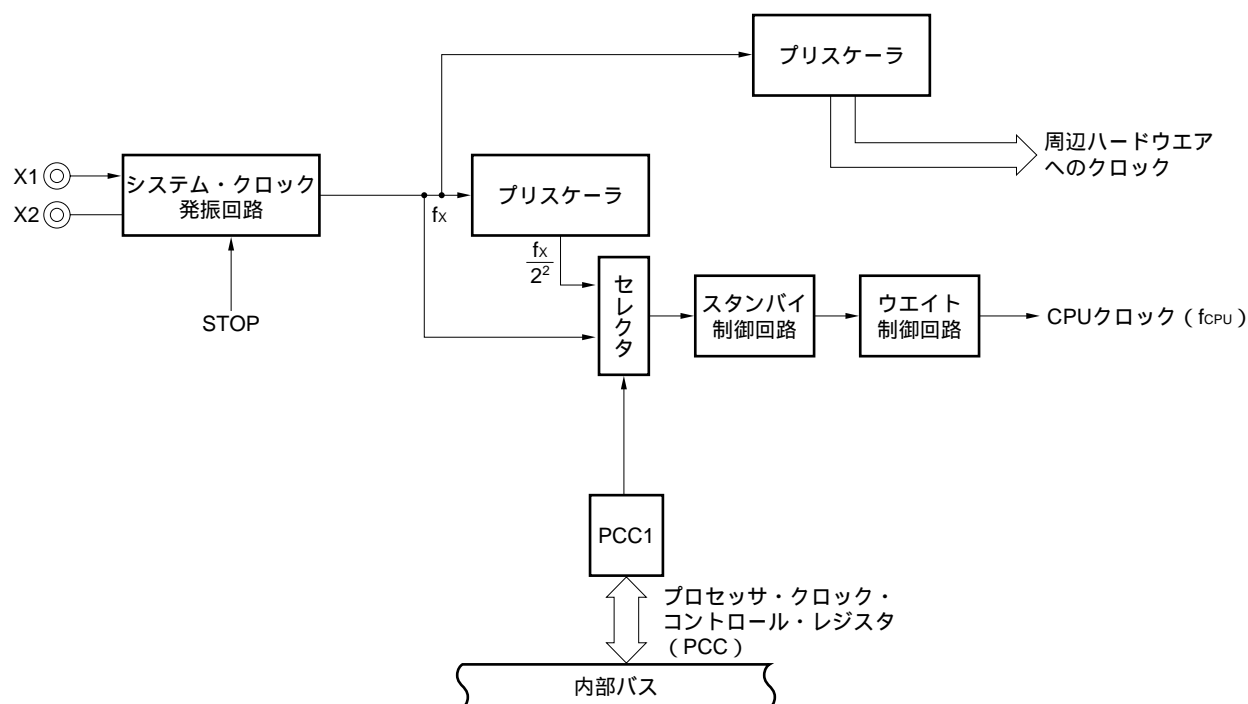
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項目	構成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ (PCC)
発振回路	システム・クロック発振回路

図5-1 クロック発生回路のブロック図



5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- ・プロセッサ・クロック・コントロール・レジスタ (PCC)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択，分周比を設定するレジスタです。

PCCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，02Hになります。

図5 - 2 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	0	0	0	0	0	0	PCC1	0	FFF BH	02 H	R/W

PCC1	CPUクロック (f_{CPU}) の選択		最小命令実行時間: $2/f_{\text{CPU}}$
			$f_x = 5.0 \text{ MHz}$ 動作時
0	f_x		$0.4 \mu\text{s}$
1	$f_x/2^2$		$1.6 \mu\text{s}$

注意 ビット0，2-7には必ず0を設定してください。

備考 f_x : システム・クロック発振周波数

5.4 システム・クロック発振回路

5.4.1 システム・クロック発振回路

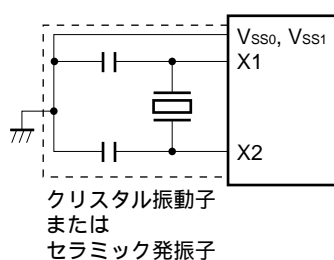
システム・クロック発振回路はX1, X2端子に接続されたクリスタル振動子またはセラミック発振子（標準：5.0 MHz）によって発振します。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

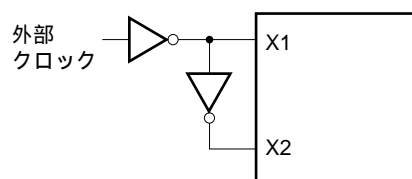
図5 - 3にシステム・クロック発振回路の外付け回路を示します。

図5 - 3 システム・クロック発振回路の外付け回路

(a) クリスタル, セラミック発振



(b) 外部クロック



注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 3の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

5.4.2 発振子の接続の悪い例

図5-4に発振子の接続の悪い例を示します。

図5-4 発振子の接続の悪い例 (1/2)

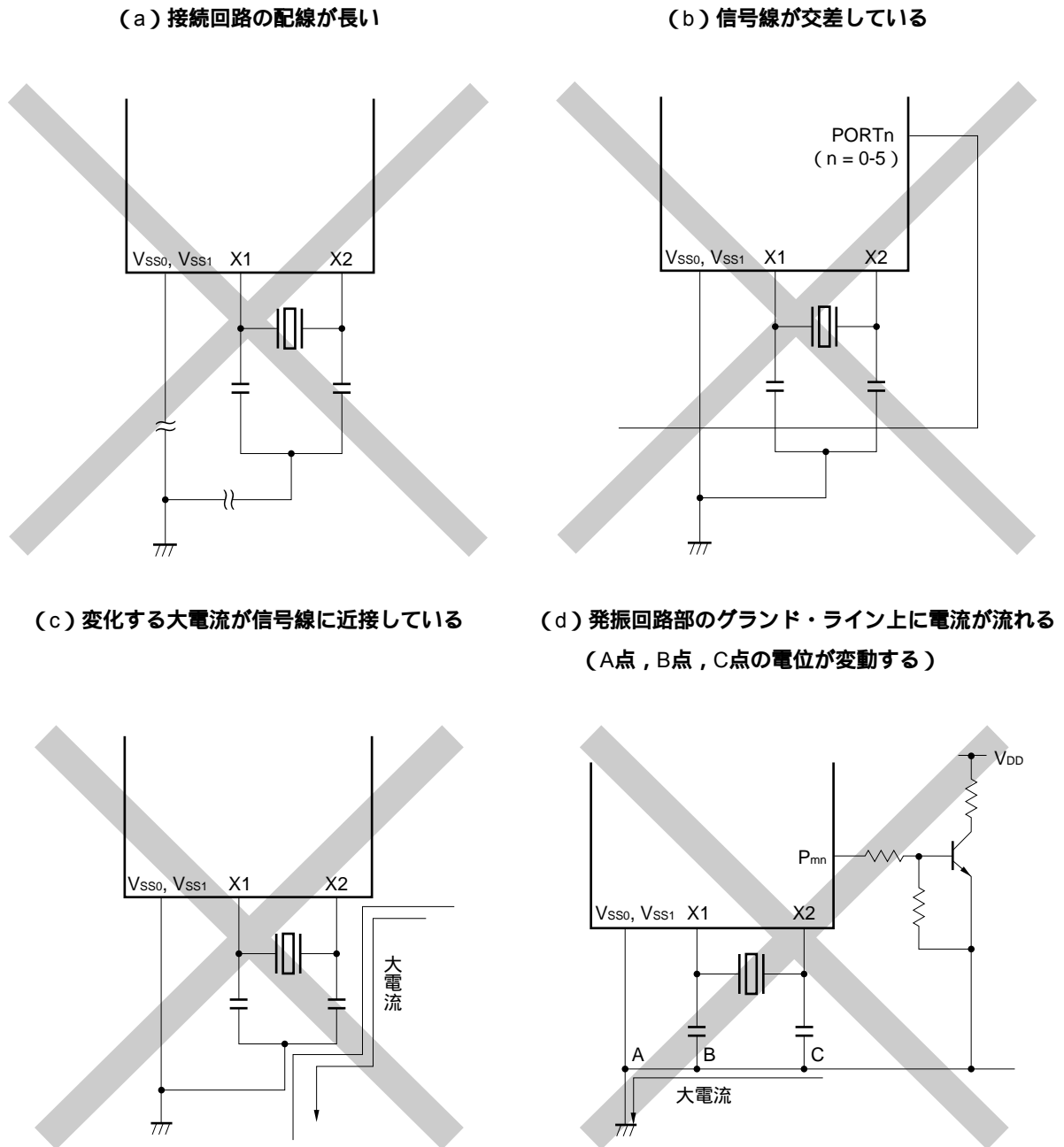
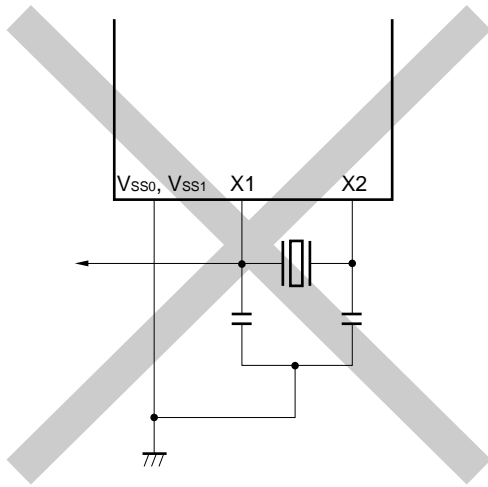


図5 - 4 発振子の接続の悪い例 (2/2)

(e) 信号を取り出している



5.4.3 分周回路

分周回路は、システム・クロック発振回路出力 (fx) を分周して、各種クロックを生成します。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・システム・クロック f_x
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC) により決定され、次のような機能、動作となります。

- (a) $\overline{\text{RESET}}$ 信号発生によりシステム・クロックの低速モード ($1.6 \mu\text{s} : 5.0 \text{ MHz}$ 動作時) が選択されます (PCC = 02H)。なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、システム・クロックの発振は停止します。
- (b) PCCの設定により2段階の最小命令実行時間 ($0.4 \mu\text{s}$, $1.6 \mu\text{s} : 5.0 \text{ MHz}$ 動作時) を選択することができます。
- (c) STOPモード、HALTモードの2つのスタンバイ・モードが使用できます。
- (d) 周辺ハードウェアへのクロックはシステム・クロックを分周して供給されます。このため、システム・クロックを停止させたときは周辺ハードウェアも停止します (ただし、外部からの入力クロック動作は除く)。

5.6 CPUクロックの設定の変更

5.6.1 CPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット1（PCC1）により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します（表5-2参照）。

表5-2 CPUクロックの切り替えに要する最大時間

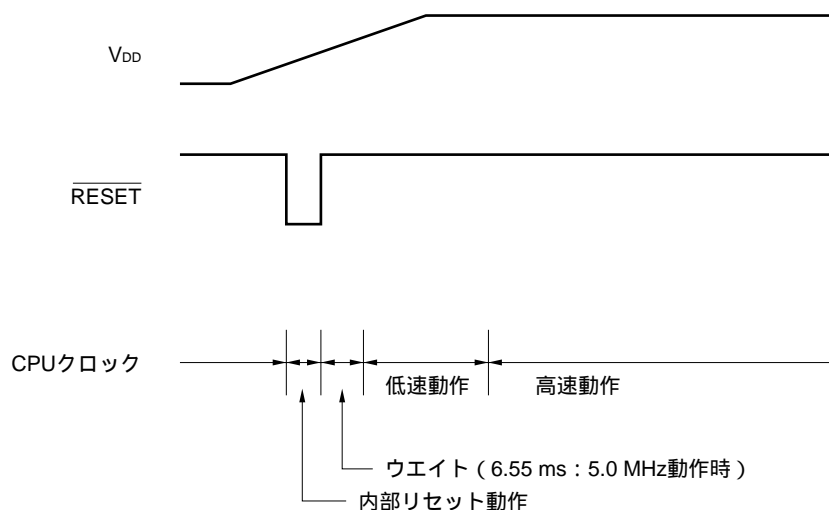
切り替え前の設定値	切り替え後の設定値	
PCC1	PCC1	PCC1
	0	1
0		4クロック
1	2クロック	

備考 2クロックは、切り替え前のCPUクロックの最小命令実行時間となります。

5.6.2 CPUクロックの切り替え手順

CPUクロックの切り替えについて説明します。

図5-5 CPUクロックの切り替え



電源投入後、RESET端子をロウ・レベルにすることでCPUにリセットがかかります。その後、RESET端子をハイ・レベルにするとリセットが解除され、システム・クロックが発振開始します。このとき、自動的に発振安定時間（ $2^{15}/f_x$ ）を確保します。

その後、CPUはシステム・クロックの低速（ $1.6 \mu s : 5.0 \text{ MHz}$ 動作時）で命令の実行を開始します。V_{DD}電圧が高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ（PCC）を書き換えて高速動作を行います。

第6章 16ビット・タイマ20

6.1 16ビット・タイマ20の機能

16ビット・タイマ20には、次のような機能があります。

- ・タイマ割り込み
- ・タイマ出力
- ・カウント値のキャプチャ

(1) タイマ割り込み

カウント値とコンペア値の一致で割り込みを発生します。

(2) タイマ出力

カウント値とコンペア値の一致でタイマ出力制御が可能です。

(3) カウント値のキャプチャ

キャプチャ・トリガに同期してTM20のカウント値をキャプチャ・レジスタに取り込み、保持します。

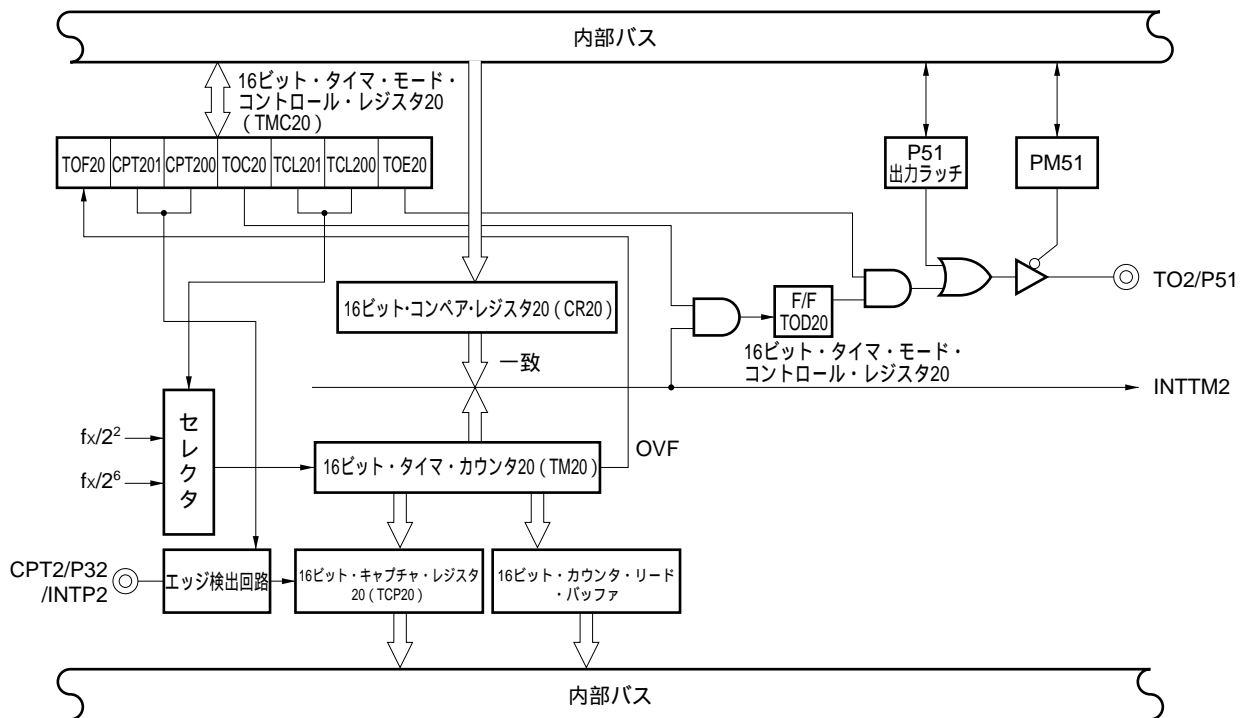
6.2 16ビット・タイマ20の構成

16ビット・タイマ20は、次のハードウェアで構成しています。

表6-1 16ビット・タイマ20の構成

項目	構成
タイマ・カウンタ	16ビット×1本 (TM20)
レジスタ	コンペア・レジスタ : 16ビット×1本 (CR20) キャプチャ・レジスタ : 16ビット×1本 (TCP20)
タイマ出力	1本 (TO2)
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ20 (TMC20) ポート・モード・レジスタ5 (PM5)

図6-1 16ビット・タイマ20のブロック図



(1) 16ビット・コンペア・レジスタ20 (CR20)

CR20に設定した値と16ビット・タイマ・カウンタ20 (TM20) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM2) を発生する16ビットのレジスタです。

CR20は、16ビット・メモリ操作命令で設定します。0000H-FFFFHの設定が可能です。

$\overline{\text{RESET}}$ 入力により、FFFFHになります。

- 注意1.** 16ビット・メモリ操作命令で操作するレジスタですが、8ビット・メモリ操作命令も使用できます。ただし、8ビット・メモリ操作命令をするときは、ダイレクト・アドレッシングでアクセスしてください。また16ビット・メモリ操作命令をするときは、ショート・ダイレクト・アドレッシングでのみアクセス可能です。
2. カウント動作中にCR20を書き換える場合は、あらかじめ、割り込みマスク・フラグ・レジスタ1 (MK1) で割り込み禁止にしてください。また、16ビット・タイマ・モード・コントロール・レジスタ20 (TMC20) でタイマ出力データを反転禁止に設定してください。割り込みを許可している状態でCR20を書き換えた場合、その時点で割り込み要求が発生することがあります。

(2) 16ビット・タイマ・カウンタ20 (TM20)

カウント・パルスをカウントする16ビットのレジスタです。

TM20は、16ビット・メモリ操作命令で読み出します。

カウント・クロックが入力されている間、フリーランニングします。

$\overline{\text{RESET}}$ 入力により、0000Hになり、再びフリーランニングします。

- 注意1.** ストップ解除後のカウント値は、発振安定時間中にカウント動作するため不定となります。
2. 16ビット・メモリ操作命令で操作するレジスタですが、8ビット・メモリ操作命令も使用できます。ただし、8ビット・メモリ操作命令をするときは、ダイレクト・アドレッシングでアクセスしてください。また16ビット・メモリ操作命令をするときは、ショート・ダイレクト・アドレッシングでのみ操作可能です。
3. 8ビット・メモリ操作命令を使用する場合、下位バイト 上位バイトの順で必ずペアで読み出してください。

(3) 16ビット・キャプチャ・レジスタ20 (TCP20)

16ビット・タイマ・カウンタ20 (TM20) の内容をキャプチャする16ビットのレジスタです。

TCP20は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

- 注意** 16ビット・メモリ操作命令で操作するレジスタですが、8ビット・メモリ操作命令も使用できます。ただし、8ビット・メモリ操作命令をするときは、ダイレクト・アドレッシングでアクセスしてください。また16ビット・メモリ操作命令をするときは、ショート・ダイレクト・アドレッシングでのみ操作可能です。

(4) 16ビット・カウンタ・リード・バッファ

16ビット・タイマ・カウンタ20 (TM20) のカウンタ値をラッチし、カウント値を保持します。

6.3 16ビット・タイマ20を制御するレジスタ

16ビット・タイマ20 (TM20) は、次の2種類のレジスタで制御します。

- ・ 16ビット・タイマ・モード・コントロール・レジスタ20 (TMC20)
- ・ ポート・モード・レジスタ5 (PM5)

(1) 16ビット・タイマ・モード・コントロール・レジスタ20 (TMC20)

16ビット・タイマ・モード・コントロール・レジスタ20 (TMC20) は、カウント・クロック設定、キャプチャ・エッジなどの設定を制御するレジスタです。

TMC20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図6-2 16ビット・タイマ・モード・コントロール・レジスタ20のフォーマット

略号	7	5	4	3	2	1	0	アドレス	リセット時	R/W	
TMC20	TOD20	TOF20	CPT201	CPT200	TOC20	TCL201	TCL200	TOE20	FF5BH	00H	R/W ^注

TOD20	タイマ出力データ
0	タイマ出力データが“0”
1	タイマ出力データが“1”

TOF20	オーバフロー・フラグのセット
0	リセットおよびソフトウェアでクリア
1	16ビット・タイマのオーバフローでセット

CPT201	CPT200	キャプチャ・エッジの選択
0	0	キャプチャ動作禁止
0	1	CPT2端子の立ち上がりエッジ
1	0	CPT2端子の立ち下がりエッジ
1	1	CPT2端子の両エッジ

TOC20	タイマ出力データの反転制御
0	反転禁止
1	反転許可

TCL201	TCL200	16ビット・タイマ・カウンタ20のカウント・クロックの選択
0	0	$f_x/2^2$ (1.25 MHz)
0	1	$f_x/2^6$ (78.1 kHz)
上記以外		設定禁止

TOE20	16ビット・タイマ20の出力の制御
0	出力禁止 (ポート・モード)
1	出力許可

注 ビット7は、Read Onlyです。

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 5.0$ MHz動作時。

(2) ポート・モード・レジスタ5 (PM5)

ポート5の入力 / 出力を1ビット単位で設定するレジスタです。

P51/TO2端子をタイマ出力として使用するとき, PM51およびP51の出力ラッチに0を設定してください。

PM5は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, FFHになります。

図6 - 3 ポート・モード・レジスタ5のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM5	1	1	1	1	PM53	PM52	PM51	PM50	FF25H	FFH	R/W

PM51	P51端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

6.4 16ビット・タイマ20の動作

6.4.1 タイマ割り込みとしての動作

フリーランニングのカウンタの値が、CR20に設定した値になるたびに繰り返し割り込みを発生することができます。割り込みを発生後もカウンタはクリアされずカウントを継続するので、インターバル時間はTCL201とTCL200で設定したカウント・クロックの1周期分となります。

16ビット・タイマ20をタイマ割り込みとして動作させるには次の設定をします。

- ・CR20にカウンタ値を設定
- ・16ビット・タイマ・モード・コントロール・レジスタ20 (TMC20) を図6 - 4のように設定

図6 - 4 タイマ割り込み動作時の16ビット・タイマ・モード・コントロール・レジスタ20の設定内容

	TOD20	TOF20	CPT201	CPT200	TOC20	TCL201	TCL200	TOE20
TMC20	-	0/1	0/1	0/1	0/1	0	0/1	0/1

注意 CPT201フラグとCPT200フラグの両方に0を設定するとキャプチャ・エッジは動作禁止になります。

16ビット・タイマ・カウンタ20 (TM20) のカウント値がCR20に設定した値と一致したとき、TM20のカウントをそのまま継続するとともに、割り込み要求信号 (INTTM2) を発生します。

表6 - 2にインターバル時間を、図6 - 5にタイマ割り込み動作のタイミングを示します。

注意 カウント動作中にCR20を書き換える場合は必ず次の処理を行ってください。

- 割り込みを禁止に設定 (TMMK20 (割り込みマスク・フラグ・レジスタ1 (MK1) のビット7) = 1)
- タイマ出力データの反転制御を禁止に設定 (TOC20 = 0)
- 割り込みを許可している状態で、CR20を書き換えた場合、その時点で割り込み要求が発生することがあります。

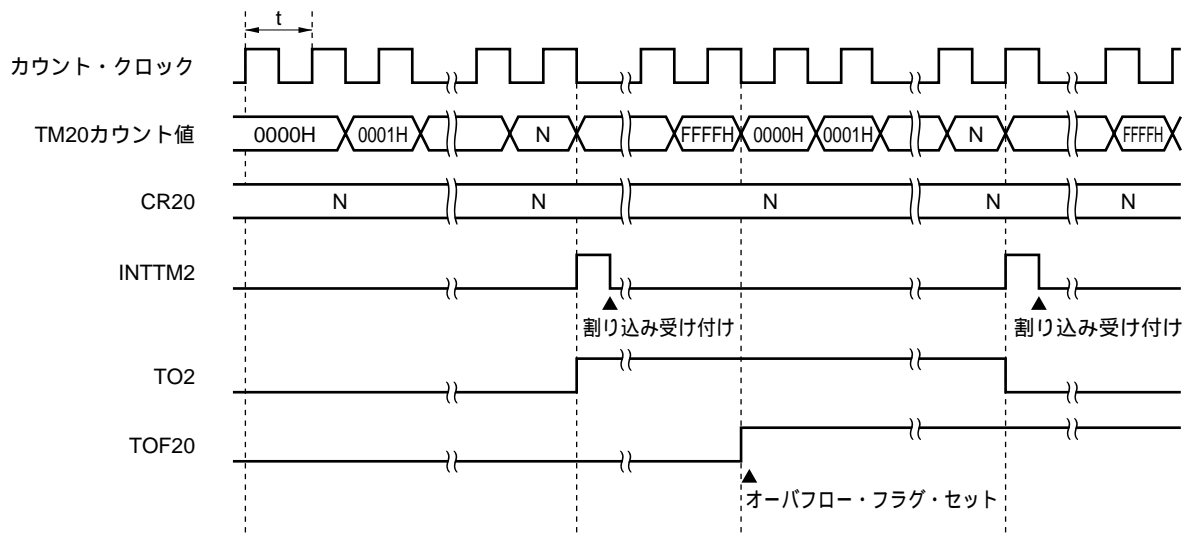
表6 - 2 16ビット・タイマ20のインターバル時間

TCL201	TCL200	カウント・クロック	インターバル時間
0	0	$2^2/f_x$ (0.8 μ s)	$2^{18}/f_x$ (52.4 ms)
0	1	$2^6/f_x$ (12.8 μ s)	$2^{22}/f_x$ (838.9 ms)
上記以外		設定禁止	

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 5.0$ MHz動作時。

図6-5 タイマ割り込み動作のタイミング



備考 N = 0000H-FFFFH

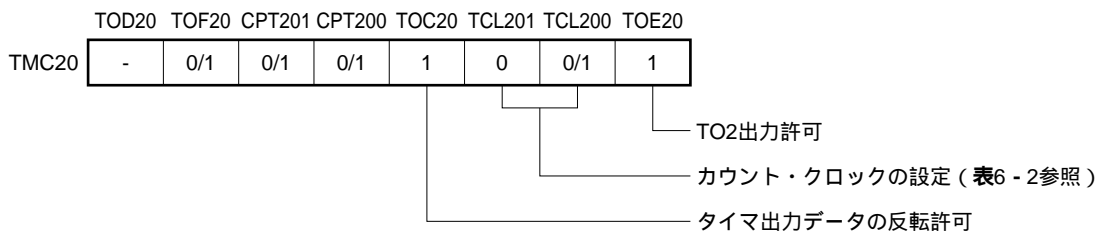
6.4.2 タイマ出力としての動作

フリーランニングのカウンタの値が、CR20に設定した値になるたびに繰り返しタイマ出力を反転することができます。タイマ出力を反転後もカウンタはクリアされずカウントを継続するので、インターバル時間はTCL201とTCL200で設定したカウント・クロックの1周期分となります。

16ビット・タイマ20をタイマ出力として動作させるには次の設定をします。

- ・ P51を出力モード (PM51 = 0) に設定
- ・ P51の出力ラッチに0を設定
- ・ CR20にカウント値を設定
- ・ 16ビット・タイマ・モード・コントロール・レジスタ20 (TMC20) を図6 - 6のように設定

図6 - 6 タイマ出力動作時の16ビット・タイマ・モード・コントロール・レジスタ20の設定内容

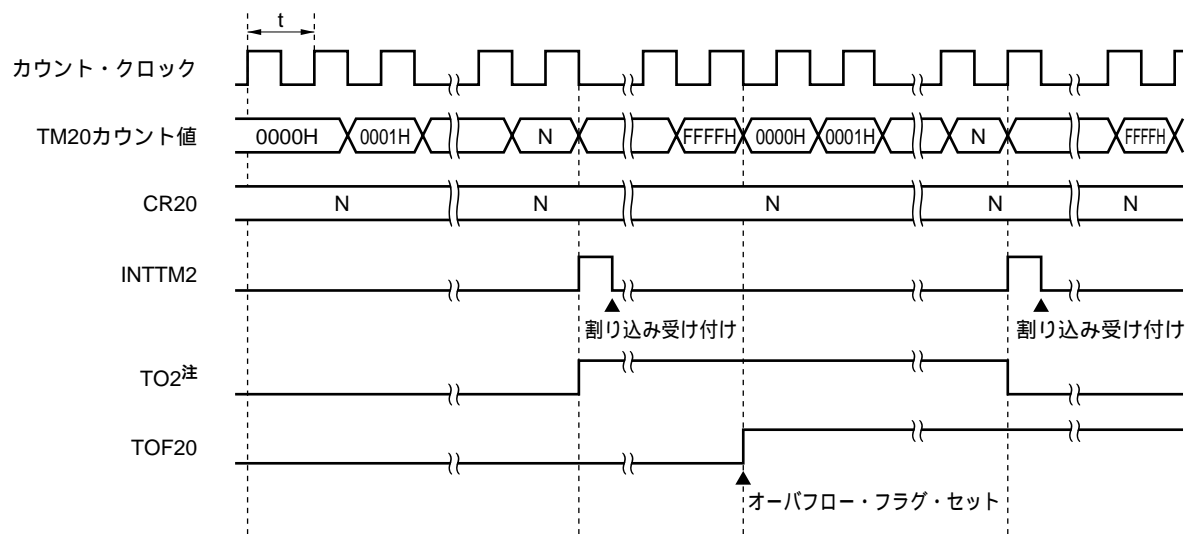


注意 CPT201フラグとCPT200フラグの両方に0を設定するとキャプチャ・エッジは動作禁止になります。

16ビット・タイマ・カウンタ20 (TM20) のカウント値がCR20に設定した値と一致したとき、TO2/P51端子の出力状態が反転します。これによりタイマ出力が可能で、また、このとき、TM20のカウントをそのまま継続するとともに、割り込み要求信号 (INTTM2) を発生します。

図6 - 7にタイマ出力のタイミングを示します (16ビット・タイマのインターバル時間は表6 - 2を参照してください)。

図6-7 タイマ出力のタイミング



注 出力許可 (TOE20 = 1) 時のTO2の初期値はロウ・レベルになります。

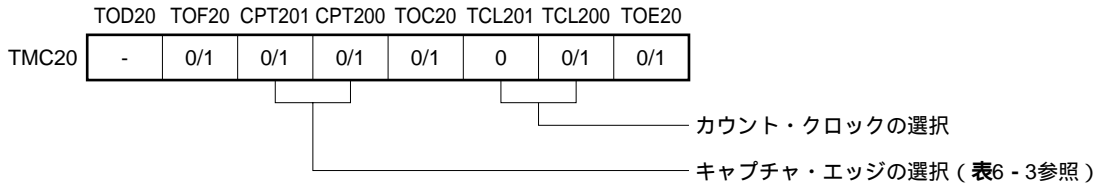
備考 N = 0000H-FFFFH

6.4.3 キャプチャ動作

キャプチャ・トリガに同期して、16ビット・タイマ・カウンタ20 (TM20) のカウント値をキャプチャ・レジスタに取り込み、カウント値を保持するキャプチャ動作を行います。

16ビット・タイマ20をキャプチャ動作させるには図6-8のように設定します。

図6-8 キャプチャ動作時の16ビット・タイマ・モード・コントロール・レジスタ20の設定内容



16ビット・キャプチャ・レジスタ20 (TCP20) は、CPT2のキャプチャ・トリガ・エッジが検出されたあと、キャプチャ動作を開始し、16ビット・タイマ・カウンタ20のカウント値をラッチし、保持します。TCP20は、2クロック以内にカウント値をフェッチし、次のキャプチャ・エッジが検出されるまでカウント値を保持します。

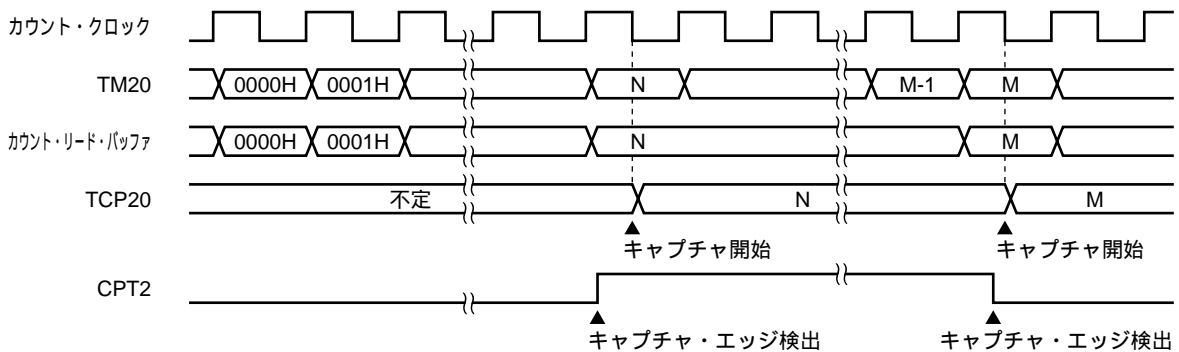
表6-3にキャプチャ・エッジの設定内容を、図6-9にキャプチャ動作のタイミングを示します。

表6-3 キャプチャ・エッジの設定内容

CPT201	CPT200	キャプチャ・エッジの選択
0	0	キャプチャ動作禁止
0	1	CPT2端子の立ち上がりエッジ
1	0	CPT2端子の立ち下がりエッジ
1	1	CPT2端子の両エッジ

注意 TCP20のリード期間中にキャプチャ・トリガ・エッジが検出されると、TCP20は書き換えられるので、TCP20のリード期間中はキャプチャ・トリガ・エッジ検出を禁止にしてください。

図6-9 キャプチャ動作のタイミング (CPT2端子の両エッジ指定時)



6.4.4 16ビット・タイマ・カウンタ20の読み出し

16ビット・タイマ・カウンタ20 (TM20) のカウント値は16ビット操作命令で読み出します。

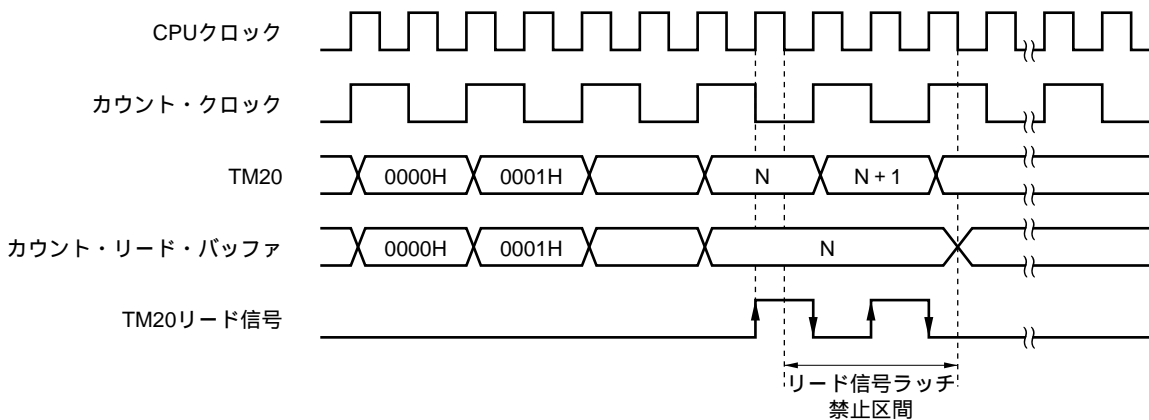
TM20の読み出しは、カウンタ・リード・バッファを介して行います。カウンタ・リード・バッファはTM20のカウント値をラッチします。そして、TM20の下位バイトのリード信号が立ち上がったあとのCPUクロックの立ち下がりによってバッファ動作を保留し、カウント値を保持します。この保持状態のカウンタ・リード・バッファの値をカウント値として読み出すことができます。

保留の解除は、TM20の上位バイトのリード信号が立ち下がったあとのCPUクロックの立ち下がりで行います。TM20は、RESET入力により0000Hになり、再びフリーランニングします。

図6-10に16ビット・タイマ・カウンタ20の読み出しのタイミングを示します。

- 注意1.** ストップ解除後のカウント値は、発振安定時間中にカウント動作をするため不定となります。
- TM20は16ビット転送命令専用のレジスタですが、8ビット転送命令も使用できます。8ビット転送命令を使用する場合、ダイレクト・アドレッシングで行ってください。
 - 8ビット転送命令を使用するとき、下位バイト 上位バイトの順で必ずペアで行ってください。下位バイトのみの読み出しは、カウンタ・リード・バッファの保留状態が解除されず、また、上位バイトのみの読み出しは不定となったカウント値を読み込んでしまいます。

図6-10 16ビット・タイマ・カウンタ20の読み出しのタイミング



6.5 16ビット・タイマ20の注意事項

6.5.1 16ビット・コンペア・レジスタ20を書き換える際の制限事項

- (1) コンペア・レジスタ (CR20) を書き換える場合は、必ず割り込みを禁止 (TMMK20 = 1) し、タイマ出力の反転制御を禁止 (TOC20 = 0) してから行ってください。
割り込みを許可している状態で、CR20を書き換えた場合、その時点で割り込み要求が発生することがあります。
- (2) コンペア・レジスタ (CR20) を書き換えるタイミングによっては、インターバル時間が意図する時間の2倍となる場合があります。同様に、タイマ出力波形が意図する出力よりも短い波形や2倍の波形が出力されてしまう場合があります。
これを回避するために、次のどちらかの手順で書き換えを行ってください。

<回避策A> 8ビット・アクセスで書き換える場合

割り込みを禁止 (TMMK20 = 1) し、タイマ出力の反転制御を禁止 (TOC20 = 0) に設定
先にCR20 (16ビット) の上位1バイトを書き換える
次にCR20 (16ビット) の下位1バイトを書き換える
割り込み要求フラグ (TMIF20) をクリアする
割り込みの先頭からカウント・クロックの半周期分以上経過したあとで、
タイマ割り込み許可 / タイマ出力反転許可する。

<プログラム例A> (カウント・クロック = $64/f_x$, CPUクロック = f_x の場合)

```

TM20_VCT: SET1  TMMK20      ; タイマ割り込み禁止 (6クロック)
           CLR1  TMC20.3    ; タイマ出力反転禁止 (6クロック)
           MOV   A, #xxH    ; 上位バイト書き換え値設定 (6クロック)
           MOV   !0FF17H, A ; CR20上位バイト書き換え (8クロック)
           MOV   A, #yyH    ; 下位バイト書き換え値設定 (6クロック)
           MOV   !0FF16H, A ; CR20下位バイト書き換え (8クロック)
           CLR1  TMIF20     ; 割り込み要求フラグをクリア (6クロック)
           CLR1  TMMK20     ; タイマ割り込み許可 (6クロック)
           SET1  TMC20.3    ; タイマ出力反転許可

```

} 合計32クロック
以上[※]

注 INTTM2信号は、割り込み発生してからカウント・クロックの半周期の期間、ハイ・レベルになっているので、この期間にTOC20を1にセットすると出力が反転してしまうため。

<回避策B> 16ビット・アクセスで書き換える場合

割り込みを禁止 (TMMK20 = 1) し、タイマ出力の反転制御を禁止 (TOC20 = 0) に設定
 CR20 (16ビット) を書き換える
 カウント・クロックの1周期分以上ウエイトする
 割り込み要求フラグ (TMIF20) をクリアする
 タイマ割り込み許可 / タイマ出力反転許可する。

<プログラム例B> (カウント・クロック = $64/f_x$, CPUクロック = f_x の場合)

```

TM20_VCT  SET1  TMMK20      ; タイマ割り込み禁止
          CLR1  TMC20.3     ; タイマ出力反転禁止
          MOVW  AX,#xyyyH   ; CR20書き換え値設定
          MOVW  CR20,AX     ; CR20書き換え

          NOP
          NOP
          :
          NOP
          NOP
          } ; NOP32個 (64/fx分のウエイト)注
          CLR1  TMIF20      ; 割り込み要求フラグをクリア
          CLR1  TMMK20      ; タイマ割り込み許可
          SET1  TMC20.3     ; タイマ出力反転許可

```

注 CR20を書き換える命令 (MOVW CR20,AX) から、カウント・クロックの1周期分以上ウエイトしたあとで、割り込み要求フラグ (TMIF20) をクリアしてください。

第7章 8ビット・タイマ/イベント・カウンタ00

7.1 8ビット・タイマ/イベント・カウンタ00の機能

8ビット・タイマ/イベント・カウンタ00には、次のような機能があります。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・方形波出力

(1) 8ビット・インターバル・タイマ

あらかじめ設定した任意の間隔で割り込みを発生します。

表7-1 8ビット・タイマ/イベント・カウンタ00のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$1/f_x$ (200 ns)	$2^8/f_x$ (51.2 μ s)	$1/f_x$ (200 ns)
$2^5/f_x$ (6.4 μ s)	$2^{13}/f_x$ (1.64 ms)	$2^5/f_x$ (6.4 μ s)

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 5.0$ MHz動作時。

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(3) 方形波出力

任意の周波数の方形波出力が可能です。

表7-2 8ビット・タイマ/イベント・カウンタ00の方形波出力範囲

最小パルス幅	最大パルス幅	分解能
$1/f_x$ (200 ns)	$2^8/f_x$ (51.2 μ s)	$1/f_x$ (200 ns)
$2^5/f_x$ (6.4 μ s)	$2^{13}/f_x$ (1.64 ms)	$2^5/f_x$ (6.4 μ s)

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 5.0$ MHz動作時

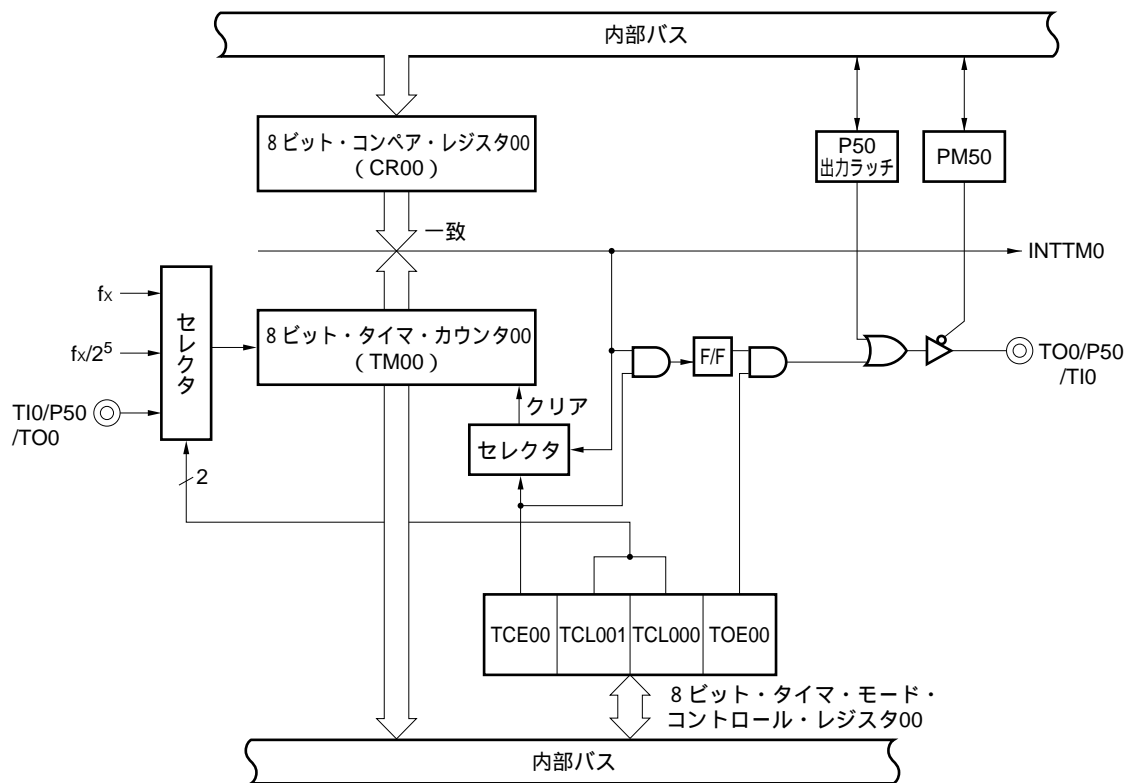
7.2 8ビット・タイマ/イベント・カウンタ00の構成

8ビット・タイマ/イベント・カウンタ00は、次のハードウェアで構成しています。

表7-3 8ビット・タイマ/イベント・カウンタ00の構成

項 目	構 成
タイマ・カウンタ	8ビット×1本 (TM00)
レジスタ	コンペア・レジスタ : 8ビット×1本 (CR00)
タイマ出力	1本 (TO0)
制御レジスタ	8ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) ポート・モード・レジスタ5 (PM5)

図7-1 8ビット・タイマ/イベント・カウンタ00のブロック図



(1) 8ビット・コンペア・レジスタ00 (CR00)

CR00に設定した値と8ビット・タイマ・レジスタ00 (TM00)のカウント値を常に比較し、一致したときに割り込み要求 (INTTMO) を発生する8ビットのレジスタです。

CR00は、8ビット・メモリ操作命令で書き込みます。00H-FFHの値が設定可能です。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 CR00を書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR00を書き換えた場合、その時点で一致割り込み要求信号が発生する場合があります。

(2) 8ビット・タイマ・カウンタ00 (TM00)

カウント・パルスのカウントする8ビットのレジスタです。

TM00は、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

7.3 8ビット・タイマ/イベント・カウンタ00を制御するレジスタ

8ビット・タイマ/イベント・カウンタ00は、次の2種類のレジスタで制御します。

- ・8ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)
- ・ポート・モード・レジスタ5 (PM5)

(1) 8ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

8ビット・タイマ・カウンタ00 (TM00) の動作許可/停止, TM00のカウンタ・クロックの設定, および8ビット・タイマ/イベント・カウンタ00の出力制御回路の動作を制御するレジスタです。

TMC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図7-2 8ビット・タイマ・モード・コントロール・レジスタ00のフォーマット

略号	⑦	6	5	4	3	2	1	①	アドレス	リセット時	R/W
TMC00	TCE00	0	0	0	0	TCL001	TCL000	TOE00	FF53H	00H	R/W

TCE00	8ビット・タイマ・カウンタ00の動作の制御
0	動作停止 (TM00は0にクリア)
1	動作許可

TCL001	TCL000	8ビット・タイマ・カウンタ00のカウンタ・クロックの選択
0	0	fx (5.0 MHz)
0	1	fx/2 ⁵ (156 kHz)
1	0	TI0の立ち上がりエッジ ^注
1	1	TI0の立ち下がりエッジ ^注

TOE00	8ビット・タイマ/イベント・カウンタ00の出力の制御
0	出力禁止 (ポート・モード)
1	出力許可

注 外部からクロックを入力する場合は、タイマ出力を使用できません。

注意 TMC00の設定は、必ずタイマ動作を停止させたのちに行ってください。

備考1. fx: システム・クロック発振周波数

2. () 内は、fx = 5.0 MHz動作時。

(2) ポート・モード・レジスタ5 (PM5)

ポート5の入力/出力を1ビット単位で設定するレジスタです。

P50/TI0/TO0端子をタイマ出力として使用するとき,PM50およびP50の出力ラッチに0を設定してください。

PM5は,1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により,FFHになります。

図7-3 ポート・モード・レジスタ5のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM5	1	1	1	1	PM53	PM52	PM51	PM50	FF25H	FFH	R/W

PM50	P50端子の入出力モードの設定
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

7.4 8ビット・タイマ/イベント・カウンタ00の動作

7.4.1 インターバル・タイマとしての動作

インターバル・タイマは、あらかじめ8ビット・コンペア・レジスタ00 (CR00) に設定したカウント値をインターバルとし、繰り返し割り込みを発生させることができます。

8ビット・タイマ/イベント・カウンタ00をインターバル・タイマとして動作させるには次の設定をします。

8ビット・タイマ・カウンタ00 (TM00) を動作禁止 (TCE00 (8ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット7) = 0) に設定

8ビット・タイマ/イベント・カウンタ00のカウント・クロックを設定 (表7-4参照)

CR00にカウント値を設定

TM00を動作許可 (TCE00 = 1) に設定

8ビット・タイマ・カウンタ00 (TM00) のカウント値がCR00に設定した値と一致したとき、TM00の値を0にクリアしてカウントを継続するとともに、割り込み要求信号 (INTTM0) を発生します。

表7-4にインターバル時間を、図7-4にインターバル・タイマ動作のタイミングを示します。

- 注意1.** CR00を書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR00を書き換えた場合、その時点で一致割り込み要求信号が発生する場合があります。
- 2.** TMC00でカウント・クロックの設定とTM00の動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため、インターバル・タイマとして動作させる際には、必ず上記の順序で設定してください。

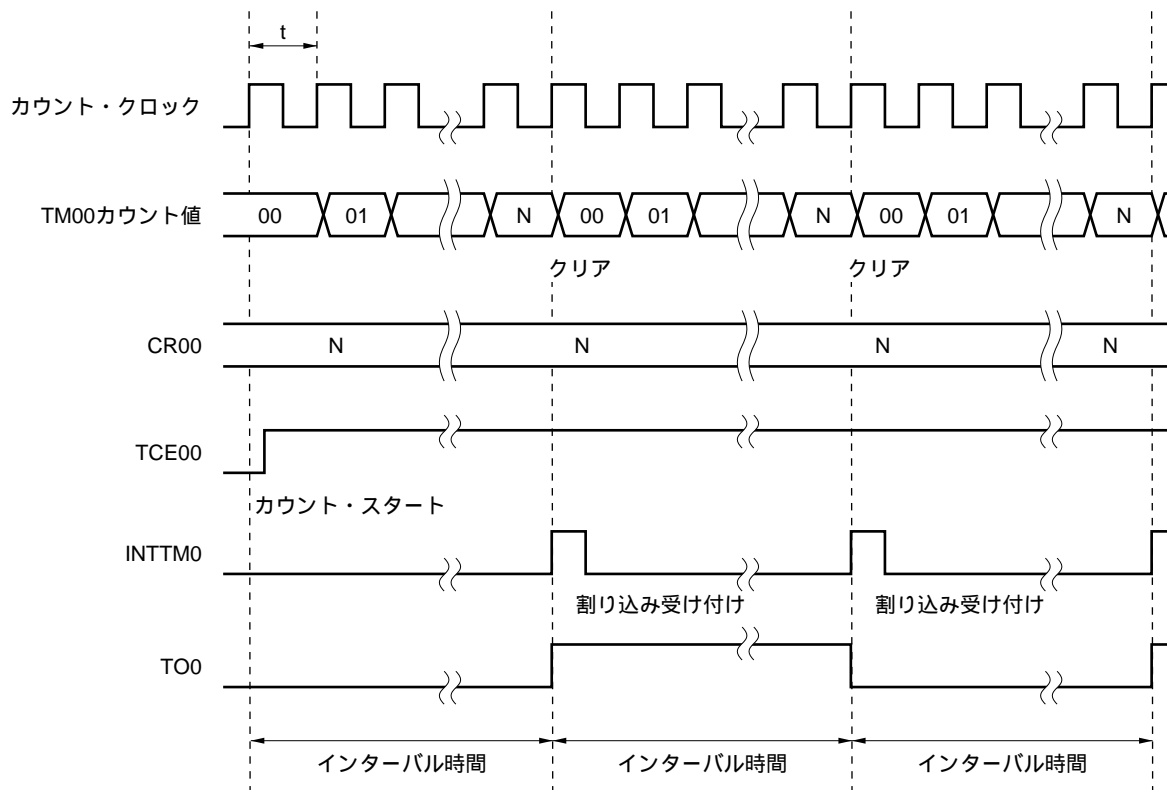
表7-4 8ビット・タイマ/イベント・カウンタ00のインターバル時間

TCL001	TCL000	最小インターバル時間	最大インターバル時間	分解能
0	0	$1/f_x$ (200 ns)	$2^8/f_x$ (51.2 μ s)	$1/f_x$ (200 ns)
0	1	$2^5/f_x$ (6.4 μ s)	$2^{13}/f_x$ (1.64 ms)	$2^5/f_x$ (6.4 μ s)
1	0	TIO入力周期	$2^8 \times$ TIO入力周期	TIO入力エッジ周期
1	1	TIO入力周期	$2^8 \times$ TIO入力周期	TIO入力エッジ周期

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 5.0$ MHz動作時。

図7-4 インターバル・タイマ動作のタイミング



備考 インターバル時間 = $(N + 1) \times t$: $N = 00H\text{--}FFH$

7.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、T10/P50/TO0端子に入力される外部からのクロック・パルス数をタイマ・カウンタ00 (TM00) でカウントするものです。

8ビット・タイマ/イベント・カウンタ00を外部イベント・カウンタとして動作させるには次の設定をします。

P50を入力モード (PM50 = 1) に設定

8ビット・タイマ・カウンタ00 (TM00) を動作禁止 (TCE00 (8ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット7) = 0) に設定

T10の立ち上がり/立ち下がりエッジを指定 (表7-4参照)

CR00にカウント値を設定

TM00を動作許可 (TCE00 = 1) に設定

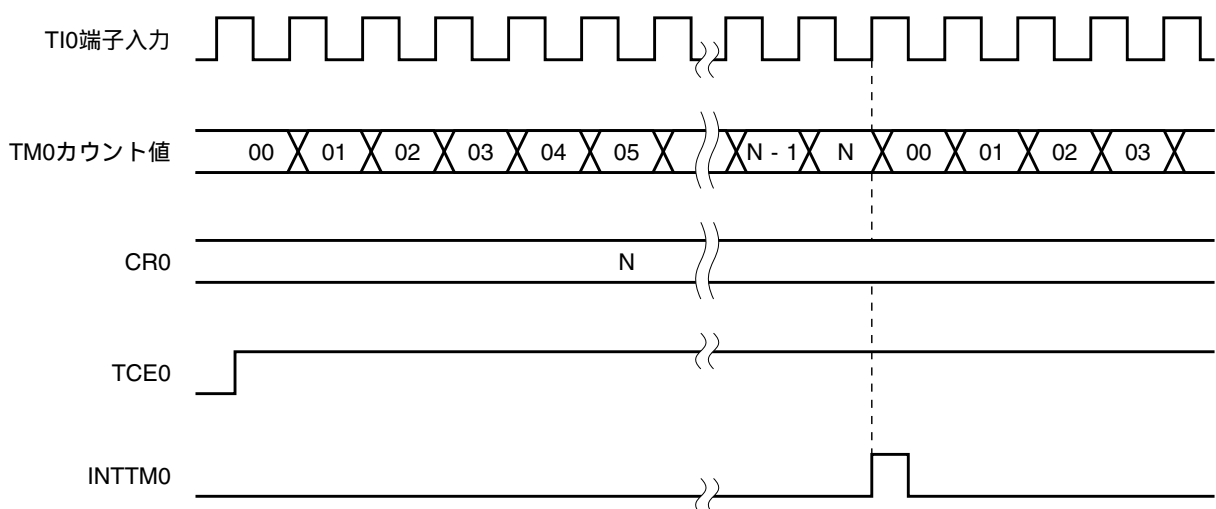
TMC00のビット1, 2 (TCL001, TCL000) で指定した有効エッジが入力されるたびに8ビット・タイマ・カウンタ00 (TM00) がインクリメントされます。

TM00のカウント値がCR00に設定した値と一致したとき、TM00の値を0にクリアしてカウントを継続するとともに、割り込み要求信号 (INTTM0) を発生します。

図7-5に外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) を示します。

- 注意1.** CR00を書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR00を書き換えた場合、その時点で一致割り込み要求信号が発生する場合があります。
- 2.** TMC00でカウント・クロックの設定とTM00の動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため、外部イベント・カウンタとして動作させる際には、必ず上記の順序で設定してください。

図7-5 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



備考 N = 00H-FFH

7.4.3 方形波出力としての動作

8ビット・コンペア・レジスタ00 (CR00) にあらかじめ設定した値をインターバルとし、任意の周波数の方形波出力を発生させることができます。

8ビット・タイマ/イベント・カウンタ00を方形波出力として動作させるには次の設定をします。

- P50を出力モード (PM50 = 0) に設定
- P50の出力ラッチに0を設定
- 8ビット・タイマ・カウンタ00 (TM00) を動作禁止 (TCE00 (8ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット7) = 1) に設定
- 8ビット・タイマ/イベント・カウンタ00のカウント・クロックを設定し、TO0を出力許可 (TOE00 (TMC00のビット0) = 1) に設定
- CR00にカウント値を設定
- TM00を動作許可 (TCE00 = 1) に設定

8ビット・タイマ・カウンタ00 (TM00) のカウント値がCR00に設定した値と一致したとき、TO0/P50/TI0端子の出力状態が反転します。これにより任意の周波数の方形波出力が可能です。また、このとき、TM00の値は、0にクリアされてカウントを継続するとともに、割り込み要求信号 (INTTM0) を発生します。

方形波出力は、TMC00のビット7 (TCE00) に0を設定するとクリア (0) されます。

表7 - 5に方形波出力範囲を、図7 - 6に方形波出力のタイミングを示します。

- 注意1.** CR00を書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR00を書き換えた場合、その時点で一致割り込み要求信号が発生する場合があります。
- 2.** TMC00でカウント・クロックの設定とTM00の動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため、方形波出力として動作させる際には、必ず上記の順序で設定してください。

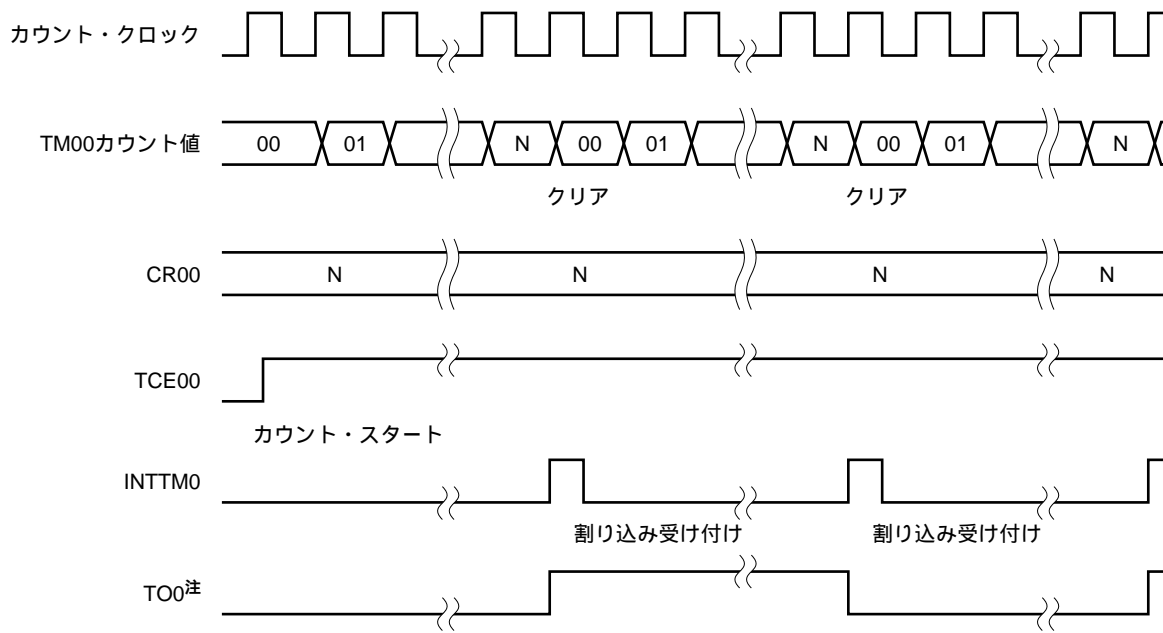
表7 - 5 8ビット・タイマ/イベント・カウンタ00の方形波出力範囲

TCL001	TCL000	最小パルス幅	最大パルス幅	分解能
0	0	$1/f_x$ (200 ns)	$2^8/f_x$ (51.2 μ s)	$1/f_x$ (200 ns)
0	1	$2^5/f_x$ (6.4 μ s)	$2^{13}/f_x$ (1.64 ms)	$2^5/f_x$ (6.4 μ s)

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 5.0$ MHz動作時

図7-6 方形波出力のタイミング



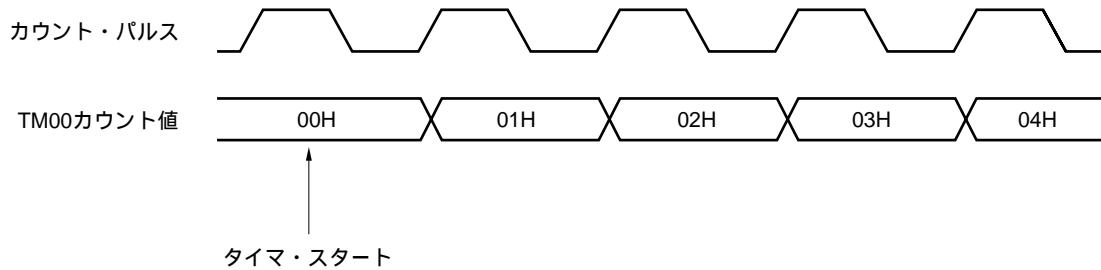
注 出力許可 (TOE00 = 1) 時のTO0の初期値は、ロウ・レベルになります。

7.5 8ビット・タイマ/イベント・カウンタ00の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後，一致信号が発生するまでの時間は，最大で1クロック分の誤差が生じます。これはカウント・パルスに対して8ビット・タイマ・カウンタ00 (TM00) のスタートが非同期で行われるためです。

図7-7 8ビット・タイマ・カウンタ00のスタート・タイミング

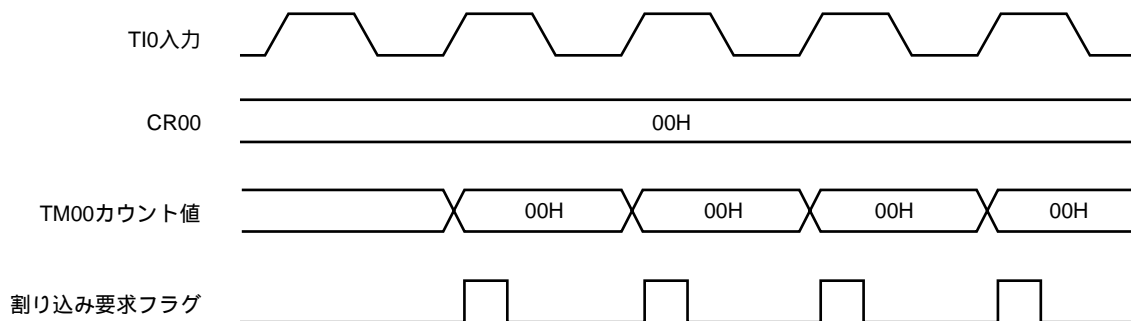


(2) 8ビット・コンペア・レジスタの設定

8ビット・コンペア・レジスタ00 (CR00) には，00Hの設定が可能です。

したがって，イベント・カウンタとして使用時，1パルスのカウント動作が可能です。

図7-8 1パルスのカウント動作時のタイミング



第8章 ウォッチドッグ・タイマ

8.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください。

(1) ウォッチドッグ・タイマ

プログラムの暴走を検出します。暴走検出時、ノンマスクابل割り込みまたは $\overline{\text{RESET}}$ を発生することができます。

表8-1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	$f_x = 5.0 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	410 μs
$2^{13} \times 1/f_x$	1.64 ms
$2^{15} \times 1/f_x$	6.55 ms
$2^{17} \times 1/f_x$	26.2 ms

f_x : システム・クロック発振周波数

(2) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

表8-2 インターバル時間

インターバル時間	$f_x = 5.0 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	410 μs
$2^{13} \times 1/f_x$	1.64 ms
$2^{15} \times 1/f_x$	6.55 ms
$2^{17} \times 1/f_x$	26.2 ms

f_x : システム・クロック発振周波数

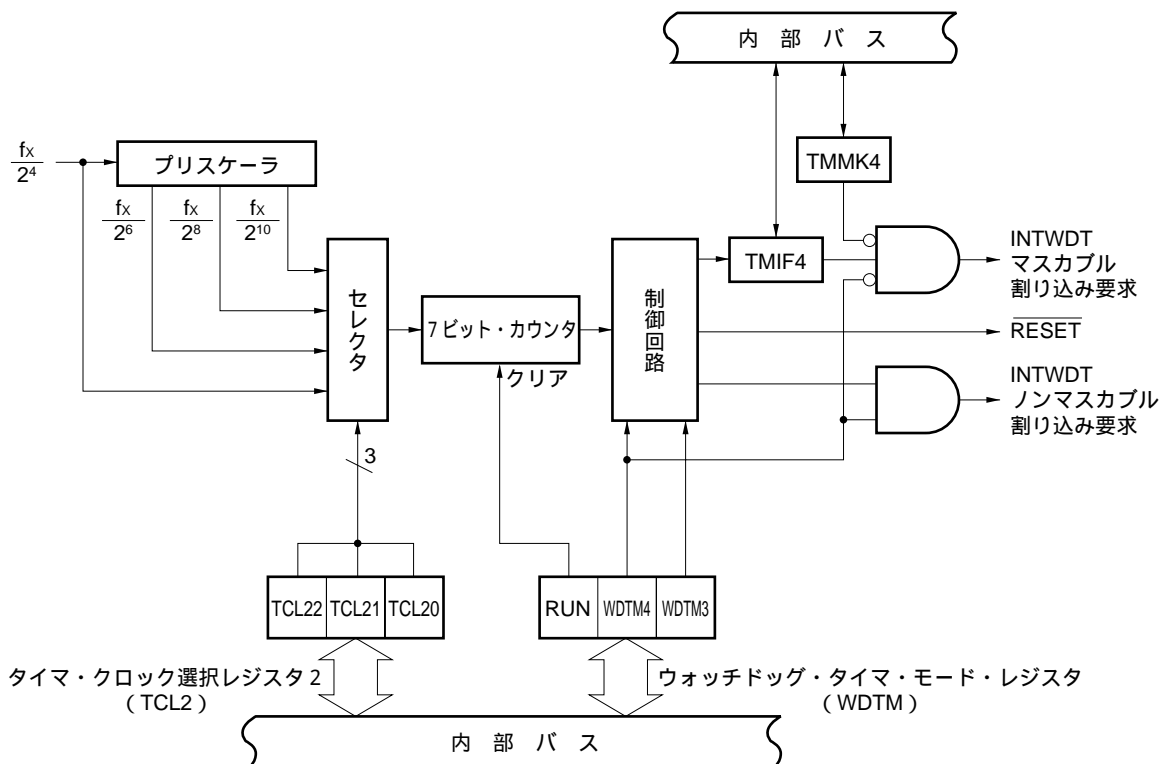
8.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表8-3 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	タイマ・クロック選択レジスタ2 (TCL2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

図8-1 ウォッチドッグ・タイマのブロック図



8.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ2 (TCL2)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) タイマ・クロック選択レジスタ2 (TCL2)

ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図8-2 タイマ・クロック選択レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	0	0	0	0	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウント・クロックの選択	インターバル時間
0	0	0	$f_x/2^4$ (312.5 kHz)	$2^{11}/f_x$ (410 μ s)
0	1	0	$f_x/2^6$ (78.1 kHz)	$2^{13}/f_x$ (1.64 ms)
1	0	0	$f_x/2^8$ (19.5 kHz)	$2^{15}/f_x$ (6.55 ms)
1	1	0	$f_x/2^{10}$ (4.88 kHz)	$2^{17}/f_x$ (26.2 ms)
上記以外			設定禁止	

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 5.0$ MHz動作時。

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可 / 禁止を設定するレジスタです。
 WDTMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により，00Hになります。

図8-3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット

略号		6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0	FFF9H	00H	R/W

RUN	ウォッチドッグ・タイマの動作の選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし，カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	0	動作停止
0	1	インターバル・タイマ・モード (オーバーフロー発生時，マスクブル割り込み発生) ^{注3}
1	0	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時，ノンマスクブル割り込み発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時，リセット動作を起動)

- 注1. RUNは，一度セット (1) されると，ソフトウェアでクリア (0) することはできません。したがって，
 カウントを開始すると， $\overline{\text{RESET}}$ 入力以外で停止させることはできません。
2. WDTM3, WDTM4は，一度セット (1) されると，ソフトウェアでクリア (0) することはできません。
3. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

- 注意1. RUNに1を設定し，ウォッチドッグ・タイマをクリアしたとき，実際のオーバーフロー時間は，タイマ・
 クロック選択レジスタ2 (TCL2) で設定した時間より最大0.8%短くなります。
2. ウォッチドッグ・タイマ・モード1, 2を使用する場合は，TMIF4 (割り込み要求フラグ・レジスタ0
 (IF0) のビット0) が0になっていることを確認してからWDTM4を1にセットしてください。TMIF4
 が1の状態では，ウォッチドッグ・タイマ・モード1, 2を選択すると書き換え終了と同時にノンマスク
 ブル割り込みが発生します。

8.4 ウォッチドッグ・タイマの動作

8.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2) のビット0-2 (TCL20-TCL22) でウォッチドッグ・タイマのカウンタ・クロック (暴走検出時間間隔) を選択できます。WDTMのビット7 (RUN) に1を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走検出時間間隔内にRUNに1を設定してください。RUNに1を設定することにより、ウォッチドッグ・タイマをクリアし、カウンタを開始させることができます。RUNに1がセットされず、暴走検出時間を越えてしまったときは、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスクابل割り込みが発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

注意 実際の暴走検出時間は設定時間に対して最大0.8%短くなる場合があります。

表8-4 ウォッチドッグ・タイマの暴走検出時間

TCL22	TCL21	TCL20	暴走検出時間	$f_x = 5.0 \text{ MHz}$ 時
0	0	0	$2^{11} \times 1/f_x$	410 μs
0	1	0	$2^{13} \times 1/f_x$	1.64 ms
1	0	0	$2^{15} \times 1/f_x$	6.55 ms
1	1	0	$2^{17} \times 1/f_x$	26.2 ms

f_x : システム・クロック発振周波数

8.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0, ビット3 (WDTM3) に1を設定することにより, あらかじめ設定したカウント値をインターバルとし, 繰り返し割り込みを発生するインターバル・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2) のビット0-2 (TCL20-TCL22) でカウント・クロック (インターバル時間) を選択できます。WDTMのビット7 (RUN) に1を設定することにより, インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき, 割り込みマスク・フラグ (TMMK4) が有効となり, マスカブル割り込み (INTWDT) を発生させることができます。INTWDTの優先順位は, マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは, HALTモード時では動作を継続しますが, STOPモード時では動作を停止します。したがって, STOPモードに入る前にRUNを1に設定し, インターバル・タイマをクリアしたあと, STOP命令を実行してください。

- 注意1. 一度WDTMのビット4 (WDTM4) に1をセットする (ウォッチドッグ・タイマ・モードを選択する) と $\overline{\text{RESET}}$ 入力されないかぎり, インターバル・タイマ・モードになりません。
2. WDTMで設定した直後のインターバル時間は, 設定時間に対して最大0.8 %短くなる場合があります。

表8 - 5 インターバル・タイマのインターバル時間

TCL22	TCL21	TCL20	インターバル時間	$f_x = 5.0 \text{ MHz}$ 時
0	0	0	$2^{11} \times 1/f_x$	410 μs
0	1	0	$2^{13} \times 1/f_x$	1.64 ms
1	0	0	$2^{15} \times 1/f_x$	6.55 ms
1	1	0	$2^{17} \times 1/f_x$	26.2 ms

f_x : システム・クロック発振周波数

第9章 シリアル・インタフェース00

9.1 シリアル・インタフェース00の機能

シリアル・インタフェース00には、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード
- ・3線式シリアルI/Oモード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減することができます。

(2) アシンクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

また、ASCK端子への入力クロックを分周してボー・レートを定義することもできます。

(3) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{SCK0}$) と、シリアル・データ (SI0, SO0) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、75XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

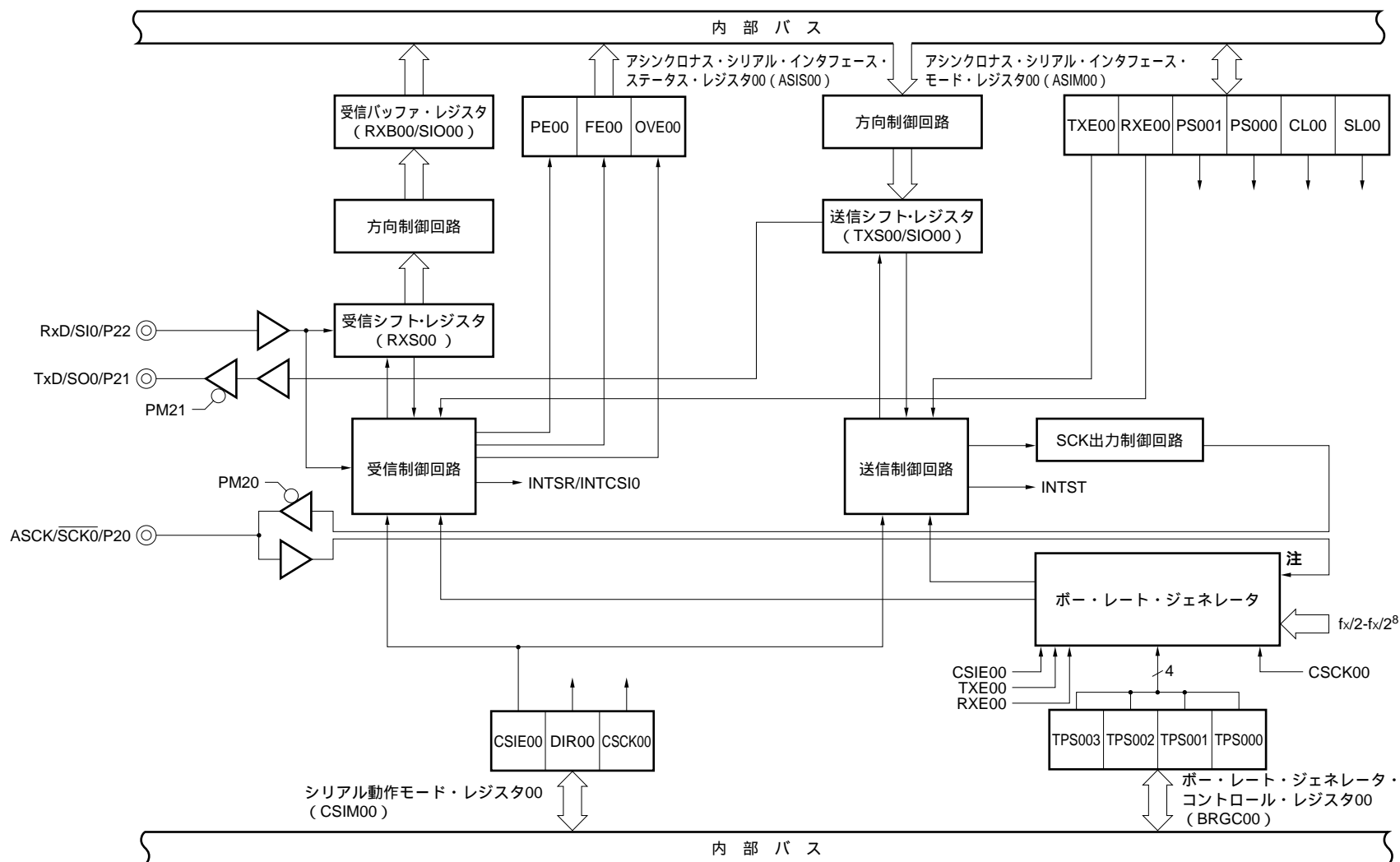
9.2 シリアル・インタフェース00の構成

シリアル・インタフェース00は、次のハードウェアで構成しています。

表9 - 1 シリアル・インタフェース00の構成

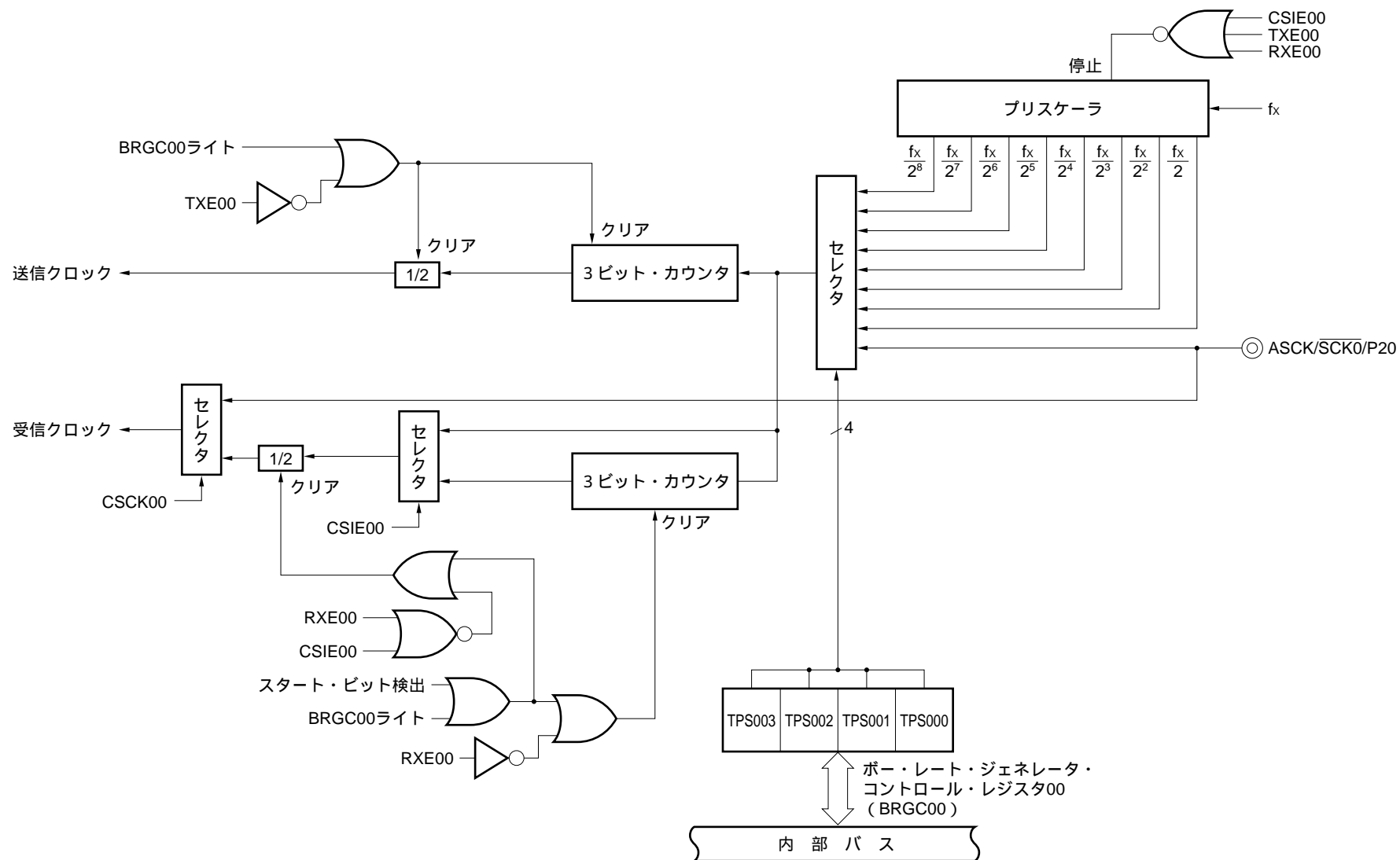
項 目	構 成
レジスタ	送信シフト・レジスタ00 (TXS00) 受信シフト・レジスタ00 (RXS00) 受信バッファ・レジスタ00 (RXB00)
制御レジスタ	シリアル動作モード・レジスタ00 (CSIM00) アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

図9-1 シリアル・インタフェース00のブロック図



注 ポー・レート・ジェネレータの構成は、図9-2を参照してください。

図9-2 ポー・レート・ジェネレータのブロック図



(1) 送信シフト・レジスタ00 (TXS00)

送信データを設定するレジスタです。TXS00に書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合、TXS00に書き込んだデータのビット0-6が送信データとして転送されます。TXS00にデータを書き込むことにより、送信動作を開始します。

TXS00は、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

RESET入力により、FFHになります。

注意 送信動作中は、TXS00への書き込みを行わないでください。

TXS00と受信バッファ・レジスタ00 (RXB00) は同一アドレスに割り当てられており、読み出しを行った場合にはRXB00の値が読み出されます。

(2) 受信シフト・レジスタ00 (RXS00)

RxD端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ00 (RXB00) へ転送します。

RXS00はプログラムで直接操作することはできません。

(3) 受信バッファ・レジスタ00 (RXB00)

受信データを保持するレジスタです。データを1バイト受信するごとに受信シフト・レジスタ00 (RXS00) から新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB00のビット0-6に転送され、RXB00のMSBは必ず0になります。

RXB00は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

RESET入力により、不定になります。

注意 RXB00と送信シフト・レジスタ00 (TXS00) は同一アドレスに割り当てられており、書き込みを行った場合にはTXS00に値が書き込まれます。

(4) 送信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) に設定された内容に従って、送信シフト・レジスタ00 (TXS00) に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

(5) 受信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) に設定された内容に従って、受信動作を制御します。また受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) にセットします。

9.3 シリアル・インタフェース00を制御するレジスタ

シリアル・インタフェース00は、次の4種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ00 (CSIM00)
- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

(1) シリアル動作モード・レジスタ00 (CSIM00)

シリアル・インタフェース00を3線式シリアルI/Oモードで使用するときを設定するレジスタです。

CSIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図9-3 シリアル動作モード・レジスタ00のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM00	CSIE00	0	0	0	0	DIR00	CSCK00	0	FF72H	00H	R/W

CSIE00	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

DIR00	先頭ビットの指定
0	MSB
1	LSB

CSCK00	3線式シリアルI/Oモード時のクロックの選択
0	$\overline{\text{SCK0}}$ 端子への外部からの入力クロック
1	専用ポー・レート・ジェネレータの出力

注意1. ビット0, 3-6には、必ず0を設定してください。

2. UARTモード選択時は、CSIM00に00Hを設定してください。

(2) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)

シリアル・インタフェース00をアシクロナス・シリアル・インタフェース・モードで使用するとき
設定するレジスタです。

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図9-4 アシクロナス・シリアル・インタフェース・モード・レジスタ00のフォーマット

略号		5	4	3	2	1	0	アドレス	リセット時	R/W	
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	0	0	FF70H	00H	R/W

TXE00	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE00	受信動作の制御
0	受信動作停止
1	受信動作許可

PS001	PS000	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL00	キャラクタ長の指定
0	7ビット
1	8ビット

SL00	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

注意1. ビット0, 1には、必ず0を設定してください。

2. 3線式シリアルI/Oモード選択時は、ASIM00に00Hを設定してください。

3. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

表9-2 シリアル・インタフェース00の動作モードの設定一覧

(1) 動作停止モード

ASIM00		CSIM00			PM22	P22	PM21	P21	PM20	P20	先頭 ビット	シフト・ クロック	P22/SI0/RxD 端子の機能	P21/SO0/TxD 端子の機能	P20/ $\overline{\text{SCK0}}$ /ASCK 端子の機能
TXE00	RXE00	CSIE00	DIR00	CSCK00											
0	0	0	x	x	x注1	x注1	x注1	x注1	x注1	x注1	-	-	P22	P21	P20
上記以外											設定禁止				

(2) 3線式シリアルI/Oモード

ASIM00		CSIM00			PM22	P22	PM21	P21	PM20	P20	先頭 ビット	シフト・ クロック	P22/SI0/RxD 端子の機能	P21/SO0/TxD 端子の機能	P20/ $\overline{\text{SCK0}}$ /ASCK 端子の機能		
TXE00	RXE00	CSIE00	DIR00	CSCK00													
0	0	1	0	0	1注2	x注2	0	1	1	x	MSB	外部 クロック	SI0注2	SO0 (CMOS出力)	$\overline{\text{SCK0}}$ 入力		
				1											0	1	内部 クロック
		1	1	0							1	x			LSB	外部 クロック	$\overline{\text{SCK0}}$ 入力
																	1
上記以外											設定禁止						

(3) アシクロナス・シリアル・インタフェース・モード

ASIM00		CSIM00			PM22	P22	PM21	P21	PM20	P20	先頭 ビット	シフト・ クロック	P22/SI0/RxD 端子の機能	P21/SO0/TxD 端子の機能	P20/ $\overline{\text{SCK0}}$ /ASCK 端子の機能
TXE00	RXE00	CSIE00	DIR00	CSCK00											
1	0	0	0	0	x注1	x注1	0	1	1	x	LSB	外部 クロック	P22	TxD (CMOS出力)	ASCK入力
															x注1
0	1	0	0	0	1	x	x注1	x注1	1	x	外部 クロック	RxD	P21	ASCK入力	
															x注1
1	1	0	0	0	1	x	0	1	1	x	外部 クロック	P22	TxD (CMOS出力)	ASCK入力	
														x注1	x注1
上記以外											設定禁止				

注1. ポート機能として自由に使用できます。

2. 送信のみ使用する場合は、P22 (CMOS入出力) として使用できます。

備考 x : don't care

(3) アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)

アシクロナス・シリアル・インタフェース・モードで受信エラー発生時、エラーの種類を表示するレジスタです。

ASIS00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

3線式シリアルI/Oモードでは、ASIS00の内容は不定となります。

RESET入力により、00Hになります。

図9 - 5 アシクロナス・シリアル・インタフェース・ステータス・レジスタ00のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS00	0	0	0	0	0	PE00	FE00	OVE00	FF71H	00H	R

PE00	バリティ・エラー・フラグ
0	バリティ・エラー未発生
1	バリティ・エラー発生 (送信バリティと受信バリティが一致しないとき)

FE00	フレーミング・エラー・フラグ
0	フレーミング・エラー未発生
1	フレーミング・エラー発生 (ストップ・ビットが検出されないとき) ^{注1}

OVE00	オーバラン・エラー・フラグ
0	オーバラン・エラー未発生
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

- 注1. アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット2 (SL00) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。
2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ00 (RXB00) を必ず読み出してください。RXB00を読み出すまでデータ受信のたびにオーバラン・エラーが発生し続けます。

(4) ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

シリアル・インタフェース00のシリアル・クロックを設定するレジスタです。

BRGC00は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図9 - 6 ボー・レート・ジェネレータ・コントロール・レジスタ00のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC00	TPS003	TPS002	TPS001	TPS000	0	0	0	0	FF73H	00H	R/W

TPS003	TPS002	TPS001	TPS000	ボー・レート・ジェネレータへのソース・クロックの選択	n
0	0	0	0	$f_x/2$ (2.5 MHz)	1
0	0	0	1	$f_x/2^2$ (1.25 MHz)	2
0	0	1	0	$f_x/2^3$ (625 kHz)	3
0	0	1	1	$f_x/2^4$ (313 kHz)	4
0	1	0	0	$f_x/2^5$ (156 kHz)	5
0	1	0	1	$f_x/2^6$ (78.1 kHz)	6
0	1	1	0	$f_x/2^7$ (39.1 kHz)	7
0	1	1	1	$f_x/2^8$ (19.5 kHz)	8
1	0	0	0	ASCK端子への外部からの入力クロック ^注	
上記以外				設定禁止	

注 UARTモード時にのみ使用できます。

注意1. 通信動作中にBRGC00への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC00への書き込みを行わないでください。

- ★
- UARTモード時で $f_x > 2.5$ MHzの場合、 $n = 1$ はボー・レートの規格値を越えてしまうため選択しないでください。
 - 外部からの入力クロックを選択したときは、ポート・モード・レジスタ2 (PM2) を入力モードに設定してください。

備考1. f_x : システム・クロック発振周波数

2. n : TPS000-TPS003の設定で決定される値 (1 ~ 8)

3. () 内は、 $f_x = 5.0$ MHz動作時。

生成するボー・レート用の送受信クロックは、システム・クロックを分周した信号か、ASCK端子から入力したクロックを分周した信号になります。

(a) システム・クロックによるボー・レート用の送受信クロックの生成

システム・クロックを分周して送受信クロックを生成します。システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1} \times 8} [\text{Hz}]$$

f_x : システム・クロック発振周波数

n : TPS000-TPS003の値で決定される図9 - 6中の値 (2 ≤ n ≤ 8)

表9 - 3 システム・クロックとボー・レートの関係例

ボー・レート (bps)	n	BRGC00の設定値	誤差 (%)	
			$f_x = 5.0 \text{ MHz}$	$f_x = 4.9152 \text{ MHz}$
1200	8	70H	1.73	0
2400	7	60H		
4800	6	50H		
9600	5	40H		
19200	4	30H		
38400	3	20H		
76800	2	10H		

★ 注意 $f_x > 2.5 \text{ MHz}$ の場合、 $n = 1$ はボー・レートの規格値を越えてしまうため選択しないでください。

(b) ASCK端子からの外部クロックによるボー・レート用の送受信クロックの生成

ASCK端子から入力したクロックを分周して送受信クロックを生成します。ASCK端子から入力したクロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{16} \text{ [Hz]}$$

f_{ASCK} : ASCK端子に入力したクロックの周波数

表9 - 4 ASCK端子入力周波数とボー・レートの関係 (BRGC00 = 80H設定時)

ボー・レート (bps)	ASCK端子入力周波数 (kHz)
75	1.2
150	2.4
300	4.8
600	9.6
1200	19.2
2400	38.4
4800	76.8
9600	153.6
19200	307.2
31250	500.0
38400	614.4

★ (c) システム・クロックによる3線式シリアル/Oモードのシリアル・クロックの生成

システム・クロックを分周してシリアル・クロックを生成します。シリアル・クロック周波数は、次の式によって求められます。外部からSCK0端子にシリアル・クロックを入力する場合はBRGC00の設定は必要ありません。

$$[\text{シリアル・クロック周波数}] = \frac{f_x}{2^{n+1}} \text{ [Hz]}$$

f_x : システム・クロック発振周波数

n : TPS000-TPS003の設定で決定される図9 - 6中の値 (1 ≤ n ≤ 8)

9.4 シリアル・インタフェース00の動作

シリアル・インタフェース00は、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード
- ・3線式シリアルI/Oモード

9.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減することができます。また、動作停止モードでは、P20/SCK0/ASCK, P21/SO0/TxD, P22/SI0/RxD端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ00 (CSIM00) とアシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) で行います。

(a) シリアル動作モード・レジスタ00 (CSIM00)

CSIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM00	CSIE00	0	0	0	0	DIR00	CSCK00	0	F F 7 2 H	0 0 H	R/W

CSIE00	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

注意 ビット0, 3-6には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	5	4	3	2	1	0	アドレス	リセット時	R/W		
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	0	0	FF70H	00H	R/W

TXE00	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE00	受信動作の制御
0	受信動作停止
1	受信動作許可

注意 ビット0, 1には必ず0を設定してください。

9.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。また、ASCK端子への入力クロックを分周してポー・レートを定義することもできます。

UART専用ポー・レート・ジェネレータを利用してMIDI規格のポー・レート (31.25 kbps) を使用することもできます。

(1) レジスタの設定

UARTモードの設定は、シリアル動作モード・レジスタ00 (CSIM00)、アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)、アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)、ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) で行います。

(a) シリアル動作モード・レジスタ00 (CSIM00)

CSIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

UARTモード選択時は、CSIM00に00Hを設定してください。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM00	CSIE00	0	0	0	0	DIR00	CSCK00	0	FF72H	00H	R/W

CSIE00	3 線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

DIR00	先頭ビットの指定
0	MSB
1	LSB

CSCK00	3 線式シリアルI/Oモード時のクロックの選択
0	SCK0端子への外部からの入力クロック
1	専用ポー・レート・ジェネレータの出力

注意 ビット0, 3-6には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号			5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	0	0	FF70H	00H	R/W

TXE00	送信動作の制御	
0	送信動作停止	
1	送信動作許可	

RXE00	受信動作の制御	
0	受信動作停止	
1	受信動作許可	

PS001	PS000	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL00	キャラクタ長の指定
0	7ビット
1	8ビット

SL00	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

注意1. ビット0, 1には、必ず0を設定してください。

2. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

(c) アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)

ASIS00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS00	0	0	0	0	0	PE00	FE00	OVE00	FF71H	00H	R

PE00	パリティ・エラー・フラグ
0	パリティ・エラー未発生
1	パリティ・エラー発生 (送信パリティと受信パリティが一致しないとき)

FE00	フレーミング・エラー・フラグ
0	フレーミング・エラー未発生
1	フレーミング・エラー発生 (ストップ・ビットが検出されないとき) ^{注1}

OVE00	オーバラン・エラー・フラグ
0	オーバラン・エラー未発生
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

- 注1. アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット2 (SL00) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。
2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ00 (RXB00) を必ず読み出してください。RXB00を読み出すまでデータ受信のたびにオーバラン・エラーが発生し続けます。

(d) ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

BRGC00は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC00	TPS003	TPS002	TPS001	TPS000	0	0	0	0	FF73H	00H	R/W

TPS003	TPS002	TPS001	TPS000	ボー・レート・ジェネレータへのソース・クロックの選択	n
0	0	0	0	$f_x/2$ (2.5 MHz)	1
0	0	0	1	$f_x/2^2$ (1.25 MHz)	2
0	0	1	0	$f_x/2^3$ (625 kHz)	3
0	0	1	1	$f_x/2^4$ (313 kHz)	4
0	1	0	0	$f_x/2^5$ (156 kHz)	5
0	1	0	1	$f_x/2^6$ (78.1 kHz)	6
0	1	1	0	$f_x/2^7$ (39.1 kHz)	7
0	1	1	1	$f_x/2^8$ (19.5 kHz)	8
1	0	0	0	ASCK端子への外部からの入力クロック	
上記以外				設定禁止	

注意1. 通信動作中にBRGC00への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC00への書き込みを行わないでください。

- ★
2. $f_x > 2.5$ MHzの場合、 $n = 1$ はボー・レートの規格値を越えてしまうため選択しないでください。
 3. 外部からの入力クロックを選択したときは、ポート・モード・レジスタ2 (PM2) を入力モードに設定してください。

備考1. f_x : システム・クロック発振周波数

2. n : TPS000-TPS003の設定で決定される値 (1 n 8)

3. () 内は、 $f_x = 5.0$ MHz動作時。

生成するボー・レート用の送受信クロックは、システム・クロックを分周した信号か、ASCK端子から入力したクロックを分周した信号になります。

(i) システム・クロックによるボー・レート用の送受信クロックの生成

システム・クロックを分周して送受信クロックを生成します。システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1} \times 8} \text{ [Hz]}$$

f_x : システム・クロック発振周波数

n : TPS000-TPS003の設定で決定される上記の表中の値 (2 n 8)

表9 - 5 システム・クロックとボー・レートの関係例

ボー・レート (bps)	n	BRGC00の設定値	誤差 (%)	
			f _x = 5.0 MHz	f _x = 4.9152 MHz
1200	8	70H	1.73	0
2400	7	60H		
4800	6	50H		
9600	5	40H		
19200	4	30H		
38400	3	20H		
76800	2	10H		

★ 注意 f_x > 2.5 MHzの場合、n = 1はボー・レートの規格値を越えてしまうため
選択しないでください。

(ii) ASCK端子からの外部クロックによるボー・レート用の送受信クロックの生成

ASCK端子から入力したクロックを分周して送受信クロックを生成します。ASCK端子から入力したクロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{16} [\text{Hz}]$$

f_{ASCK} : ASCK端子に入力したクロックの周波数

表9 - 6 ASCK端子入力周波数とボー・レートの関係 (BRGC00 = 80H設定時)

ボー・レート (bps)	ASCK端子入力周波数 (kHz)
75	1.2
150	2.4
300	4.8
600	9.6
1200	19.2
2400	38.4
4800	76.8
9600	153.6
19200	307.2
31250	500.0
38400	614.4

(2) 通信動作

(a) データ・フォーマット

送受信データのフォーマットは図9-7に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) によって行います。

図9-7 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



- ・スタート・ビット.....1ビット
- ・キャラクタ・ビット.....7ビット / 8ビット
- ・パリティ・ビット.....偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット.....1ビット / 2ビット

キャラクタ・ビットとして7ビットを選択した場合、下位7ビット (ビット0-6) のみが有効となり、送信の場合は最上位ビット (ビット7) は無視され、受信の場合は必ず最上位ビット (ビット7) は“0”になります。

シリアル転送レートの設定は、ASIM00とボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) によって行います。

また、シリアルデータの受信エラーが発生した場合、アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) の状態を読むことによって受信エラーの内容を判定することができます。

(b) パリティの種類と動作

パリティ・ビットは、通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

(i) 偶数パリティ**・送信時**

パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：1

送信データ中に、値が“1”のビットの数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ**・送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：0

送信データ中に、値が“1”のビットの数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

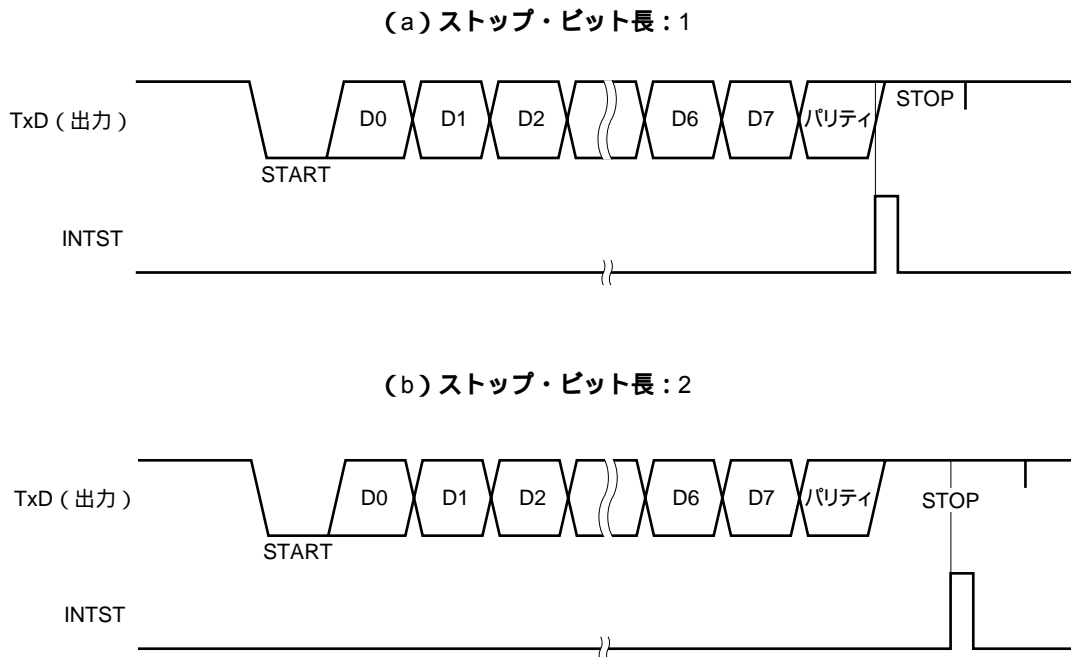
受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

送信シフト・レジスタ00 (TXS00) に送信データを書き込むことによって送信動作は起動します。スタート・ビット, パリティ・ビット, ストップ・ビットは自動的に付加されます。

送信動作の開始により, TXS00内のデータがシフト・アウトされ, TXS00が空になると送信完了割り込み (INTST) が発生します。

図9 - 8 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング



注意 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) の書き換えは行わないでください。送信中にASIM00レジスタの書き換えを行うと, それ以降の送信動作ができなくなる場合があります (RESET入力により, 正常になります)。送信中かどうかは, 送信完了割り込み (INTST) またはINTSTによりセットされる割り込み要求フラグ (STIF00) を用いて, ソフトウェアにより判断することができます。

(d) 受信

受信動作は、アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット6 (RXE00) がセット (1) されると許可状態となり、RxD端子入力のサンプリングを行います。

RxD端子入力のサンプリングはASIM00で指定したシリアル・クロックで行います。

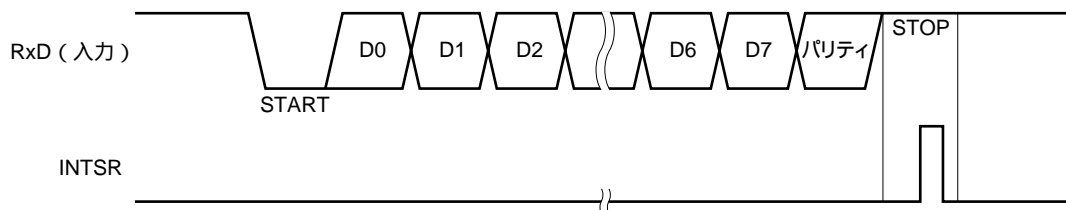
RxD端子入力がロウ・レベルになると、3ビット・カウンタがカウントを開始し、設定したボー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD端子入力をサンプリングした結果、ロウ・レベルであれば、スタート・ビットとして認識し、3ビット・カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットに続いて、キャラクタ・データ、パリティ・ビットおよび1ビットのストップ・ビットが検出されると、1フレームのデータ受信が終了します。

1フレームのデータ受信が終了すると、シフト・レジスタ内の受信データを受信バッファ・レジスタ00 (RXB00) に転送し、受信完了割り込み (INTSR) を発生します。

また、エラーが発生しても、RXB00にエラーの発生した受信データを転送し、INTSRを発生します。

なお、受信動作中にRXE00ビットをリセット (0) すると、ただちに受信動作を停止します。このとき、RXB00およびアシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) の内容は変化せず、また、INTSRも発生しません。

図9 - 9 アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング



注意 受信エラー発生時にも、受信バッファ・レジスタ00 (RXB00) は必ず読み出してください。RXB00を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) 内に立ちます。受信エラーの要因を表9 - 7に示します。

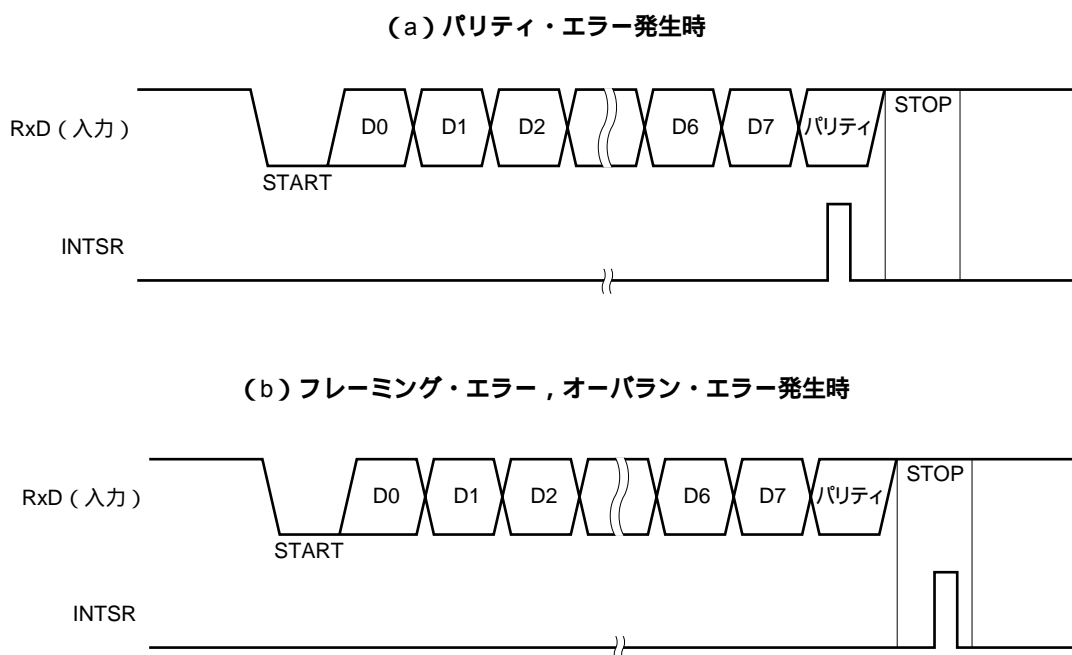
受信エラー割り込み処理内で、ASIS00の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (表9 - 7, 図9 - 10参照)。

ASIS00の内容は、受信バッファ・レジスタ00 (RXB00) を読み出すか、次のデータを受信することでリセット (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表9 - 7 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタからデータを読み出す前に次のデータ受信完了

図9 - 10 受信エラー・タイミング



- 注意1. ASIS00レジスタの内容は、受信バッファ・レジスタ00 (RXB00) を読み出すか、次のデータを受信することにより、リセット (0) されます。エラーの内容が知りたい場合には、必ずRXB00を読み出す前にASIS00を読み出してください。
2. 受信エラー発生時にも、受信バッファ・レジスタ00 (RXB00) は必ず読み出してください。RXB00を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(f) 受信データの読み出し

受信完了割り込み (INTSR) が発生したら、受信バッファ・レジスタ00 (RXB00) の値をリードすることで受信データを読み出します。

受信バッファ・レジスタ00 (RXB00) に格納された受信データをリードするときには、受信動作許可 (RXE00 = 1) の状態で読み出してください。

備考 ただし、受信動作停止 (RXE00 = 0) してから受信データを読み出す必要がある場合は、次のどちらかの方法で行ってください。

(a) BRGC00で選択したソース・クロックの1周期分以上のウェイト後にRXE00 = 0にして、リードする。

(b) シリアル動作モード・レジスタ00 (CSIM00) のビット2 (DIR00) をセット(1)して、リードする。

(a) のプログラム例 (BRGC00 = 00H (ソース・クロック = $f_x/2$) の場合)

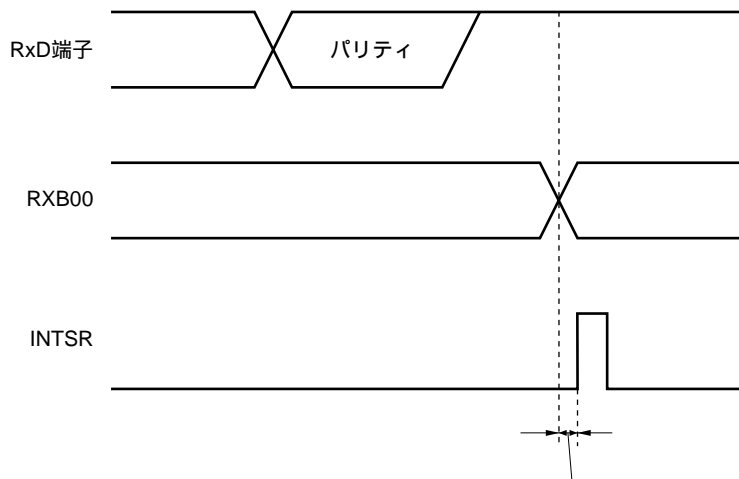
```
INTRXE:                                ; <受信完了割り込みルーチン>
      NOP                                ; 2クロック
      CLR1 RXE00                          ; 受信動作停止
      MOV  A, RXB00                        ; 受信データをリード
```

(b) のプログラム例

```
INTRXE:                                ; <受信完了割り込みルーチン>
      SET1 CSIM00.2                       ; DIR00フラグをLSBファーストに設定
      CLR1 RXE00                          ; 受信動作停止
      MOV  A, RXB00                        ; 受信データをリード
```


(3) UARTモードの注意事項

- (a) 送信中にアシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット7 (TXE00) をクリアした場合、次の送信を行う前に必ず送信シフト・レジスタ00 (TXS00) にFFHを設定したのちに、TXE00に1を設定してください。
- (b) 受信中にアシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット6 (RXE00) をクリアした場合、受信バッファ・レジスタ00 (RXB00)、受信完了割り込み (INTSR00) は、次のようになります。



の区間でRXE00に0を設定した場合、RXB00は前のデータを保持し、INTSRも発生しません。
 の区間でRXE00に0を設定した場合、RXB00はデータを更新し、INTSRは発生しません。
 の区間でRXE00に0を設定した場合、RXB00はデータを更新し、INTSRも発生します。

9.4.3 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック（ $\overline{SCK0}$ ）、シリアル出力（SO0）、シリアル入力（SI0）の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ00（CSIM00）、アシンクロナス・シリアル・インタフェース・モード・レジスタ00（ASIM00）、ポー・レート・ジェネレータ・コントロール・レジスタ00（BRGC00）で行います。

(a) シリアル動作モード・レジスタ00（CSIM00）

CSIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

\overline{RESET} 入力により、00Hになります。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM00	CSIE00	0	0	0	0	DIR00	CSCK00	0	FF72H	00H	R/W

CSIE00	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

DIR00	先頭ビットの指定
0	MSB
1	LSB

CSCK00	3線式シリアルI/Oモード時のクロックの選択
0	$\overline{SCK0}$ 端子への外部からの入力クロック
1	専用ポー・レート・ジェネレータの出力

注意 ビット0, 3-6には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

3線式シリアルI/Oモード選択時は、ASIM00に00Hを設定してください。

略号			5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	0	0	FF70H	00H	R/W

TXE00	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE00	受信動作の制御
0	受信動作停止
1	受信動作許可

PS001	PS000	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL00	キャラクタ長の指定
0	7ビット
1	8ビット

SL00	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

注意1. ビット0, 1には、必ず0を設定してください。

2. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

(c) ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

BRGC00は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC00	TPS003	TPS002	TPS001	TPS000	0	0	0	0	FF73H	00H	R/W

TPS003	TPS002	TPS001	TPS000	ポー・レート・ジェネレータへのソース・クロックの選択	n
0	0	0	0	$f_x/2$ (2.5 MHz)	1
0	0	0	1	$f_x/2^2$ (1.25 MHz)	2
0	0	1	0	$f_x/2^3$ (625 kHz)	3
0	0	1	1	$f_x/2^4$ (313 kHz)	4
0	1	0	0	$f_x/2^5$ (156 kHz)	5
0	1	0	1	$f_x/2^6$ (78.1 kHz)	6
0	1	1	0	$f_x/2^7$ (39.1 kHz)	7
0	1	1	1	$f_x/2^8$ (19.5 kHz)	8
上記以外				設定禁止	

- 注意1. 通信動作中にBRGC00への書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC00への書き込みを行わないでください。
2. 外部からの入力クロックを選択したときは、ポート・モード・レジスタ2 (PM2) を入力モードに設定してください。

- 備考1. f_x : システム・クロック発振周波数
2. n : TPS000-TPS003で決定される値 (1 n 8)
3. () 内は、 $f_x = 5.0$ MHz動作時。

3線式シリアルI/Oモードのシリアル・クロックに内部クロックを使用する場合、TPS000-TPS003でシリアル・クロック周波数を設定します。シリアル・クロック周波数は、次の式によって求められます。外部からシリアル・クロックを入力する場合はBRGC00の設定は必要ありません。

$$\text{シリアル・クロック周波数} = \frac{f_x}{2^{n+1}} \text{ [Hz]}$$

f_x : システム・クロック発振周波数

n : TPS000-TPS003の設定で決定される上記の表中の値 (1 n 8)

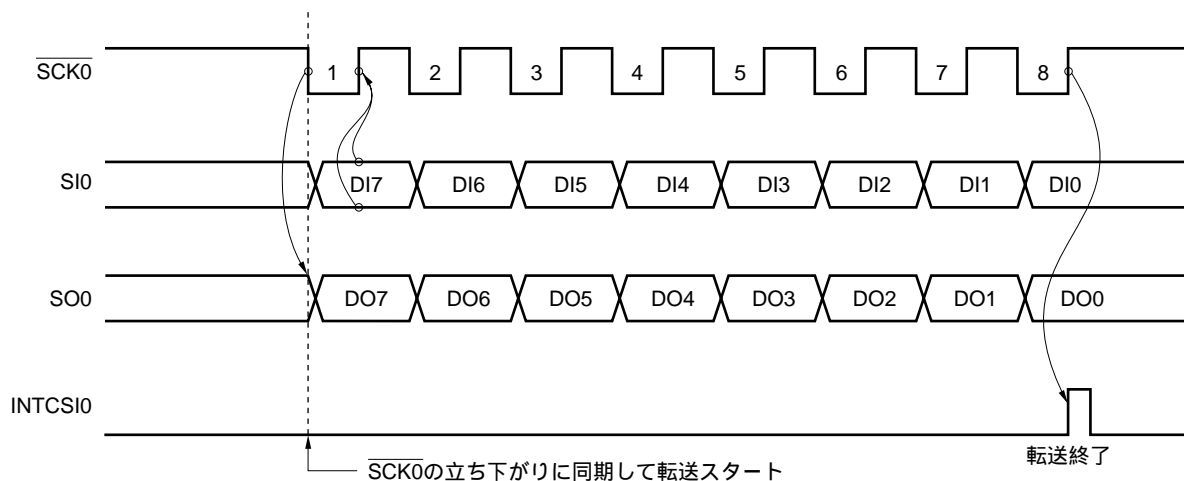
(2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

送信シフト・レジスタ00 (TXS00/SIO00)、受信シフト・レジスタ00 (RXS00) のシフト動作は、シリアル・クロック ($\overline{\text{SCK0}}$) の立ち下がりに同期して行われます。そして、送信データがSO0ラッチに保持され、SO0端子から出力されます。また、 $\overline{\text{SCK0}}$ の立ち上がりで、SI0端子に入力された受信データが受信バッファ・レジスタ00 (RXB00/SIO00) にラッチされます。

8ビット転送終了により、TXS00/SIO00, RXS00の動作は自動的に停止し、割り込み要求信号 (INTCSI0) を発生します。

図9 - 11 3線式シリアルI/Oモードのタイミング



(3) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、送信シフト・レジスタ00 (TXS00/SIO00) に転送データをセットすることで開始します。

- ・シリアル動作モード・レジスタ00 (CSIM00) のビット7 (CSIE00) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK0}}$ がハイ・レベルの状態

注意 TXS00/SIO00にデータを書き込んだあと、CSIE00を“1”にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求信号 (INTCSI0) を発生します。

第10章 割り込み機能

10.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みは、ウォッチドッグ・タイマからの割り込みが1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。同時に複数の割り込み要求が同時に発生しているときの優先順位(プライオリティ)は、表10 - 1のように決められています。

スタンバイ・リリース信号を発生します。

マスカブル割り込みは、外部割り込みが4要因、内部割り込みが5要因あります。

10.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込みをあわせて、合計10要因あります(表10 - 1参照)。

表10 - 1 割り込み要因一覧

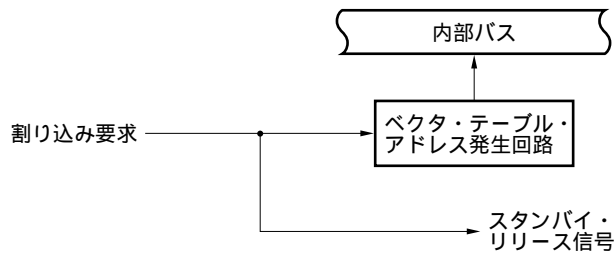
割り込みタイプ	プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成タイプ ^{注2}
		名 称	トリガ			
ノンマスクブル	-	INTWDT	ウォッチドッグ・タイマのオーバーフロー（ウォッチドッグ・タイマ・モード1選択時）	内部	0004H	(A)
マスクブル	0	INTWDT	ウォッチドッグ・タイマのオーバーフロー（インターバル・タイマ・モード選択時）			外部
	1	INTP0	端子入力エッジ検出	外部	0006H 0008H 000AH	
	2	INTP1				
	3	INTP2				
	4	INTSR	シリアル・インタフェース00のUART受信終了	内部	000CH	(B)
		INTCSI0	シリアル・インタフェース00の3線式転送終了			
	5	INTST	シリアル・インタフェース00のUART送信終了	内部	000EH 0010H 0014H	(B)
	6	INTTM0	8ビット・タイマ/イベント・カウンタ00の一致信号発生			
	7	INTTM2	16ビット・タイマ20の一致信号発生			
	8	INTKR	キー・リターン信号検出	外部	002AH	(C)

注1. プライオリティは、複数のマスクブル割り込みが同時に発生している場合に、優先する順位です。0が最高順位，8が最低順位です。

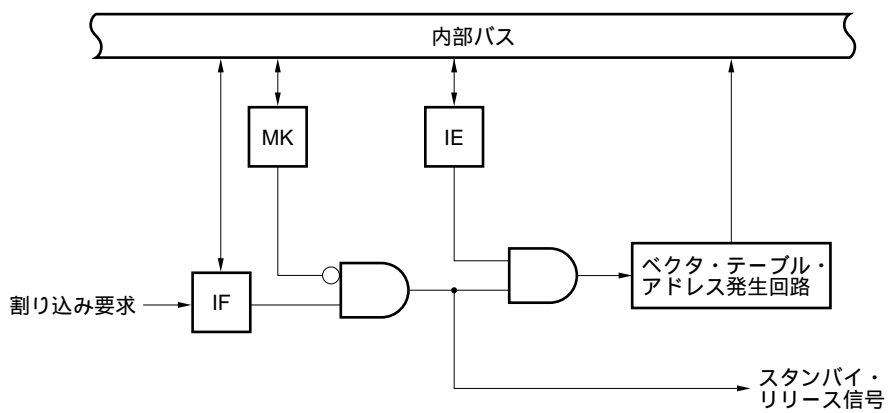
2. 基本構成タイプの(A)-(C)は、それぞれ図10 - 1の(A)-(C)に対応しています。

図10 - 1 割り込み機能の基本構成

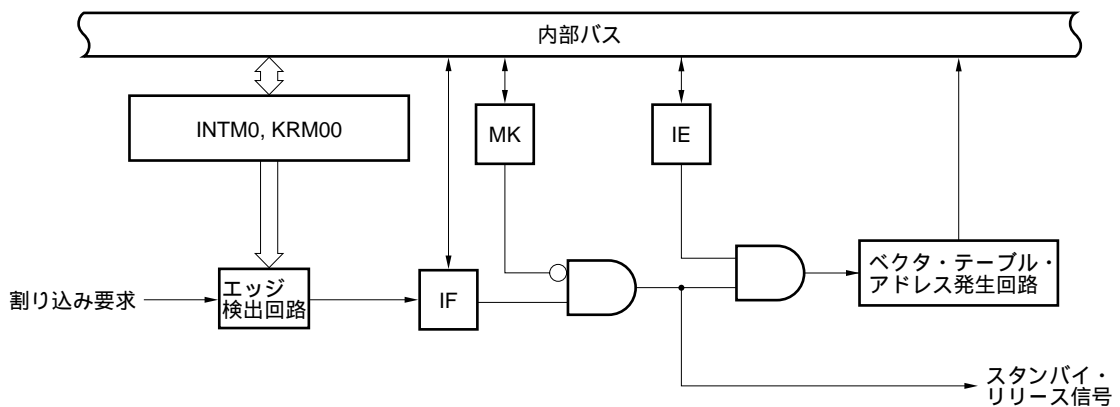
(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み



- INTM0 : 外部割り込みモード・レジスタ0
- KRM00 : キー・リターン・モード・レジスタ00
- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- MK : 割り込みマスク・フラグ

10.3 割り込み機能を制御するレジスタ

割り込み機能は、次の5種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0, IF1)
- ・割り込みマスク・フラグ・レジスタ (MK0, MK1)
- ・外部割り込みモード・レジスタ0 (INTM0)
- ・プログラム・ステータス・ワード (PSW)
- ・キー・リターン・モード・レジスタ00 (KRM00)

各割り込み要求に対する割り込み要求フラグ、割り込みマスク・フラグ名称を表10 - 2に示します。

表10 - 2 割り込み要求信号名に対する各種フラグ

割り込み要求信号名	割り込み要求フラグ	割り込みマスク・フラグ
INTWDT	TMIF4	TMMK4
INTP0	PIF0	PMK0
INTP1	PIF1	PMK1
INTP2	PIF2	PMK2
INTSR/INTCSI0	SRIF00	SRMK00
INTST	STIF00	STMK00
INTTM0	TMIF00	TMMK00
INTTM2	TMIF20	TMMK20
INTKR	KRIF00	KRMK00

(1) 割り込み要求フラグ・レジスタ (IF0, IF1)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時およびRESET入力時、命令の実行によりクリア (0) されるフラグです。

IF0, IF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図10 - 2 割り込み要求フラグ・レジスタのフォーマット

略号	7							0	アドレス	リセット時	R/W
IF0	0	TMIF00	STIF00	SRIF00	PIF2	PIF1	PIF0	TMIF4	F F E 0 H	0 0 H	R/W

		6	5	4	3	2	1	0			
IF1	TMIF20	0	0	0	0	0	0	KRIF00	F F E 1 H	0 0 H	R/W

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. IF0のビット7, IF1のビット1-6には、必ず0を設定してください。

2. TMIF4フラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1, 2で使用する場合は、TMIF4フラグに0を設定してください。
3. ポート3は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。
4. 割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

(2) 割り込みマスク・フラグ・レジスタ (MK0, MK1)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。
 MK0, MK1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、FFHになります。

図10-3 割り込みマスク・フラグ・レジスタのフォーマット

略号	7							0	アドレス	リセット時	R/W
MK0	1	TMMK00	STMK00	SRMK00	PMK2	PMK1	PMK0	TMMK4	FFE4H	FFH	R/W
		6	5	4	3	2	1	0			
MK1	TMMK20	1	1	1	1	1	1	KRMK00	FFE5H	FFH	R/W

XXMKX	割り込み処理の制御	
0	割り込み処理許可	
1	割り込み処理禁止	

- 注意1. MK0のビット7, MK1のビット1-6には、必ず1を設定してください。
- ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1, 2で使用しているとき、TMMK4フラグを読み出すと不定になっています。
 - ポート3は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

(3) 外部割り込みモード・レジスタ0 (INTM0)

INTP0-INTP2の有効エッジを設定するレジスタです。

INTM0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10-4 外部割り込みモード・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM0	ES21	ES20	ES11	ES10	ES01	ES00	0	0	FFECH	00H	R/W

ES21	ES20	INTP2の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES11	ES10	INTP1の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES01	ES00	INTP0の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

注意1. ビット0, 1には必ず0を設定してください。

2. INTM0レジスタの設定は、必ず該当する割り込みマスク・フラグをセット ($\times \times \text{MK} \times = 1$) し、割り込みを禁止してから行ってください。その後、割り込み要求フラグをクリア ($\times \times \text{IF} \times = 0$) してから、割り込みマスク・フラグをクリア ($\times \times \text{MK} \times = 0$) し、割り込みを許可してください。

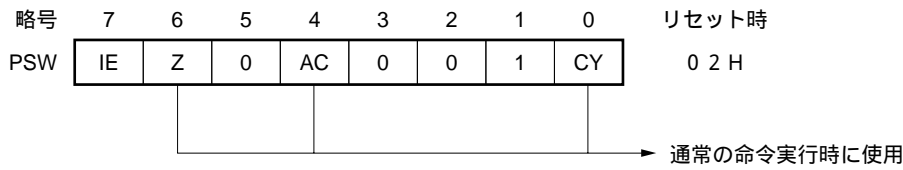
(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク可能割り込みの許可/禁止を設定するIEフラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時には、PSWは自動的にスタックに退避され、IEフラグはリセット (0) されます。RETI, POP PSW命令により、スタックから復帰します。

RESET入力により、PSWは02Hになります。

図10 - 5 プログラム・ステータス・ワードの構成



IE	割り込み受け付けの許可/禁止
0	禁止
1	許可

(5) キー・リターン・モード・レジスタ00 (KRM00)

キー・リターン信号を検出する端子を設定するレジスタです。

KRM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

ビット0 (KRM000) は、KR0/P40-KR3/P43端子について4ビット単位で設定します。ビット4-7 (KRM004-KRM007) は、それぞれKR4/P44-KR7/P47端子について1ビット単位で設定します。

RESET入力により、00Hになります。

図10 - 6 キー・リターン・モード・レジスタ00のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
KRM00	KRM007	KRM006	KRM005	KRM004	0	0	0	KRM000	FFF5H	00H	R/W

KRM00n	キー・リターン信号検出の選択
0	未検出
1	検出 (ポート4の立ち下がりエッジ検出)

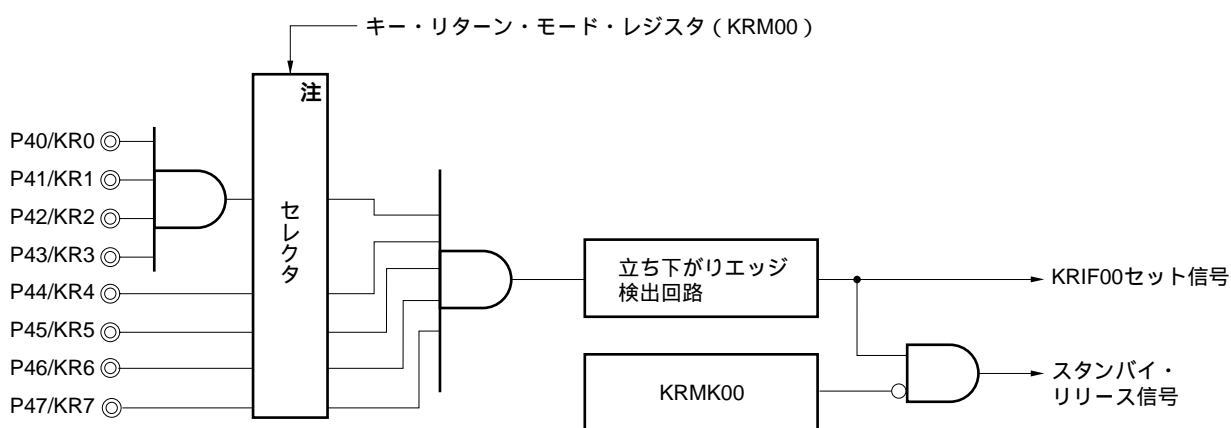
注意1. ビット1-3には、必ず0を設定してください。

2. KRM00nを(1)に設定すると強制的にプルアップ抵抗が接続されます。ただし、その端子が出力モードであればプルアップ抵抗は切断されます。

3. KRM00の設定は、必ずMK1のビット0をセット (KRMK00 = 1) し、割り込みを禁止してから行ってください。KRM00の設定後、IF1のビット0をクリア (KRIF00 = 0) にしてからMK1のビット0をクリア (KRMK00 = 0) し、割り込みを許可してください。

備考 n = 0, 4-7

図10 - 7 立ち下がりエッジ検出回路のブロック図



注 立ち下がりエッジ入力として使用する端子を選択するセレクタ

10.4 割り込み処理動作

10.4.1 ノンマスカブル割り込み要求の受け付け動作

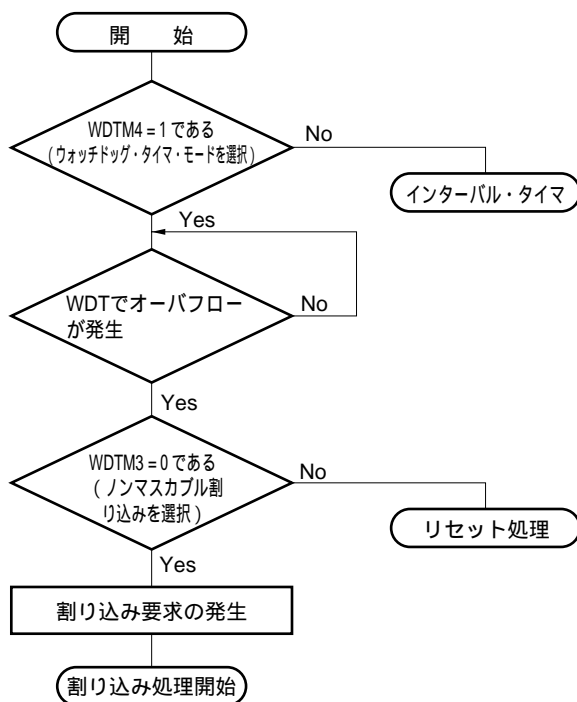
ノンマスカブル割り込み要求は、割り込み受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求が受け付けられると、PSW、PCの順にスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャートを図10 - 8に、ノンマスカブル割り込み要求の受け付けタイミングを図10 - 9に、ノンマスカブル割り込みが多量に発生した場合の受け付け動作を図10 - 10に示します。

注意 ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求をしないでください。割り込みサービス・プログラム実行中でも新たに発生したノンマスカブル割り込み要求を受け付けてしまいます。

図10 - 8 ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャート



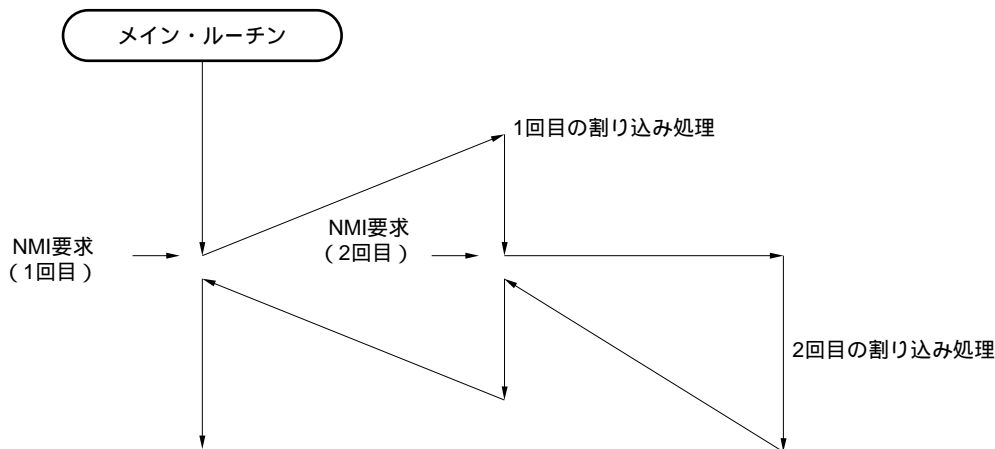
WDTM : ウォッチドッグ・タイマ・モード・レジスタ

WDT : ウォッチドッグ・タイマ

図10 - 9 ノンマスカブル割り込み要求の受け付けタイミング



図10 - 10 ノンマスカブル割り込み要求の受け付け動作



10.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込みの割り込みマスク・フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。

マスカブル割り込み要求が発生してから割り込み処理が行われる時間は表10-3のようになります。割り込み要求の受け付けのタイミングについては、図10-12、10-13を参照してください。

表10-3 マスカブル割り込み要求発生から処理までの時間

最小時間	最大時間 ^注
9クロック	19クロック

注 BT, BF命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ (f_{CPU}: CPUクロック)

マスカブル割り込み要求が同時に発生したときは、優先順位の高い割り込み要求から受け付けられます。

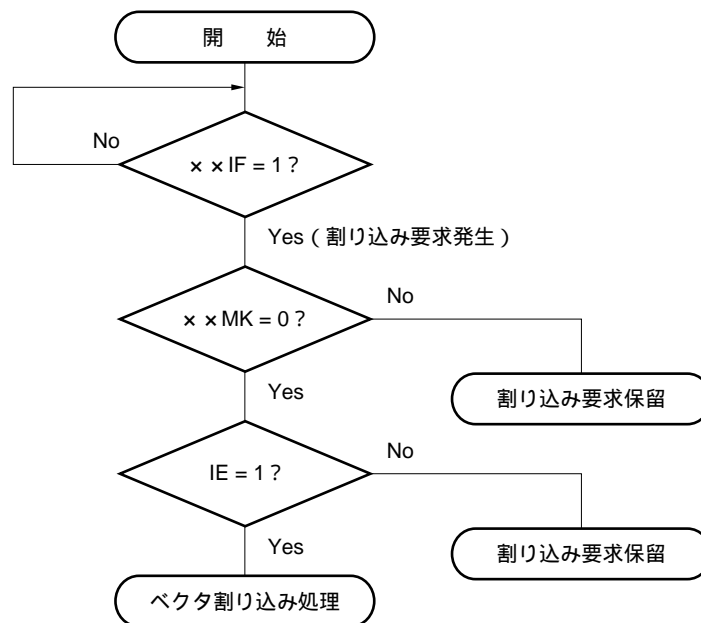
保留された割り込みは受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図10-11に示します。

マスカブル割り込み要求が受け付けられると、PSW, PCの順に内容をスタックに退避し、IEフラグをリセット(0)し、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図10-11 割り込み要求受け付け処理アルゴリズム

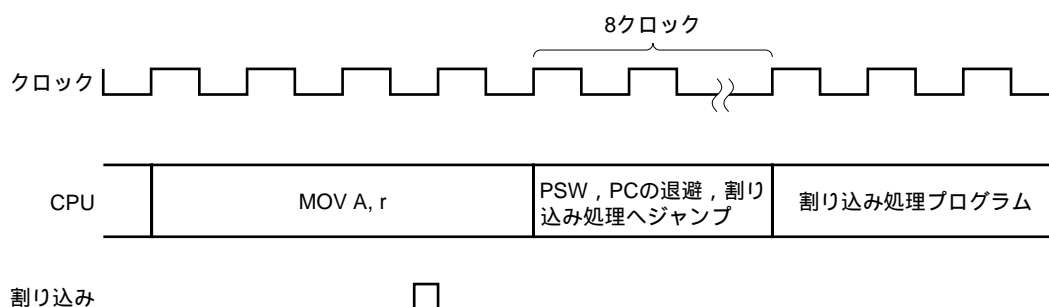


x x IF : 割り込み要求フラグ

x x MK : 割り込みマスク・フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ(1 = 許可, 0 = 禁止)

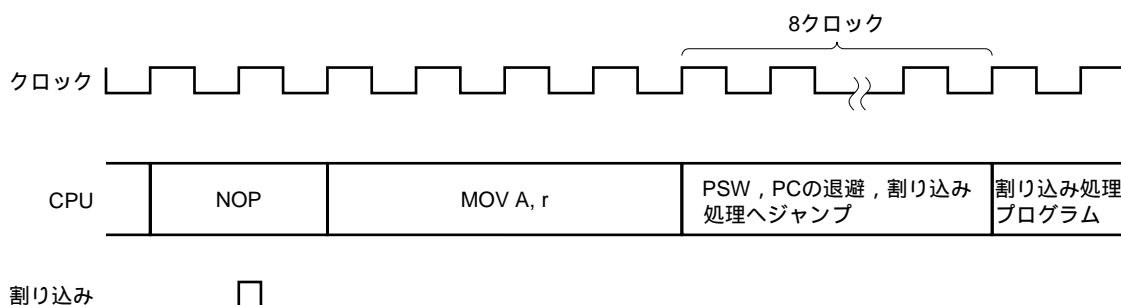
図10 - 12 割り込み要求の受け付けタイミング (MOV A, rの例)



割り込みは実行中の命令クロック n ($n = 4-10$) が $n - 1$ までに割り込み要求フラグ ($\times \times IF$) が発生すると、実行中の命令終了後に割り込み受け付け処理となります。図10 - 12では8ビット・データ転送命令MOV A, rの例です。この命令は4クロックで実行するので実行してから3クロックの間に割り込みが発生するとMOV A, rの終了後、割り込み受け付け処理を行います。

図10 - 13 割り込み要求の受け付けタイミング

(命令実行中の最終クロックで割り込み要求フラグが発生したとき)



割り込み要求フラグ ($\times \times IF$) が命令の最後のクロックのときに発生すると、次の命令の実行後に割り込み受け付け処理を始めます。

図10 - 13ではNOP (2クロックの命令) の2クロック目に発生した場合の例です。この場合、NOP命令のあとのMOV A, rを実行後、割り込みの受け付けの処理を行います。

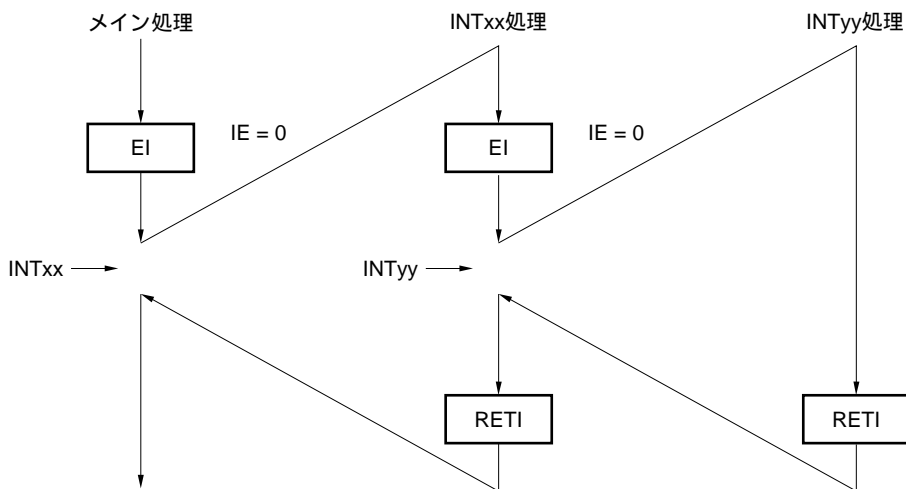
注意 割り込み要求フラグ・レジスタ (IF0, IF1) または割り込みマスク・フラグ・レジスタ (MK0, MK1) にアクセス中は割り込み要求は保留されます。

10.4.3 多重割り込み処理

割り込み処理中にさらに別の割り込みを受け付ける多重割り込みは、優先順位によって処理できます。複数の割り込みが同時に発生しているとき、各割り込み要求にあらかじめ割り付けてある優先順位に従って割り込み処理を行います（表10-1参照）。

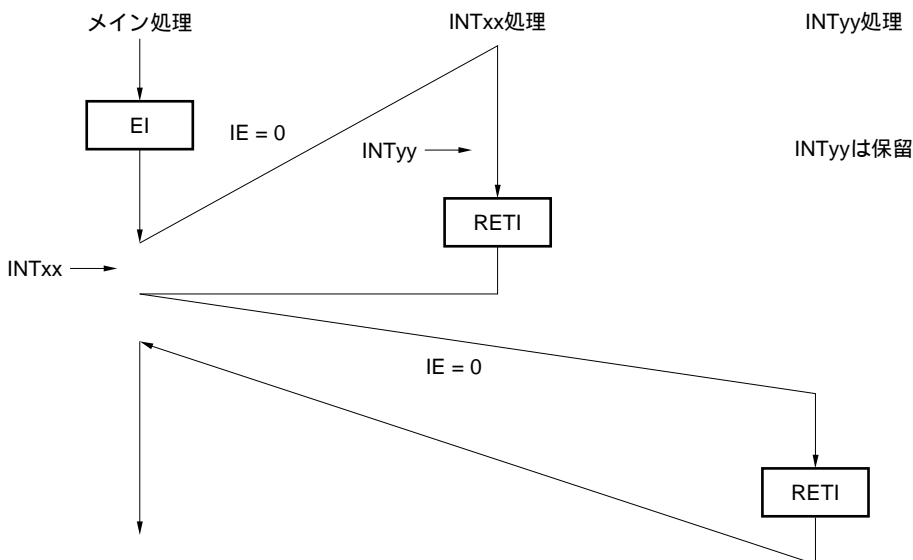
図10-14 多重割り込みの例

例1. 多重割り込みが受け付けられる例



割り込みINTxx処理中に、割り込み要求INTyyが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例2. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、INTxx処理終了後に受け付けられる。

IE = 0 : 割り込み要求受け付け禁止

10.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求（マスカブル割り込み、ノンマスカブル割り込み、外部割り込み）が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・割り込み要求フラグ・レジスタ0, 1 (IF0, IF1) に対する操作命令
- ・割り込みマスク・フラグ・レジスタ0, 1 (MK0, MK1) に対する操作命令

第11章 スタンバイ機能

11.1 スタンバイ機能と構成

11.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、メイン・システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電流を、かなり低減することができます。

また、データ・メモリの低電圧 ($V_{DD} = 1.8 \text{ V}$ まで) 保持が可能です。したがって、超低消費電流でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意 STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

11.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

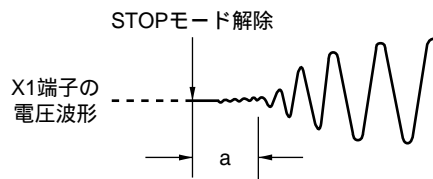
$\overline{\text{RESET}}$ 入力により、04Hになります。ただし、 $\overline{\text{RESET}}$ 入力後の発振安定時間は $2^{17}/f_x$ ではなく、 $2^{15}/f_x$ となります。

図11-1 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	0	$2^{12}/f_x$ (819 μ s)
0	1	0	$2^{15}/f_x$ (6.55 ms)
1	0	0	$2^{17}/f_x$ (26.2 ms)
上記以外			設定禁止

注意 STOPモード解除時のウェイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間(下図a)は含みません。



備考1. f_x : システム・クロック発振周波数

2. ()内は、 $f_x = 5.0$ MHz動作時。

11.2 スタンバイ機能の動作

11.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表11-1 HALTモード時の動作状態

項目	HALTモード時の動作状態
クロック発生回路	システム・クロックの発振が可能 CPUへのクロック供給が停止
CPU	動作停止
ポート（出力ラッチ）	HALTモード設定前の状態を保持
16ビット・タイマ・カウンタ	動作可能
8ビット・タイマ/イベント・カウンタ	動作可能
ウォッチドッグ・タイマ	動作可能
シリアル・インタフェース	動作可能
外部割り込み	動作可能
キー・リターン	キー・リターン・モードに設定されている端子のみ動作可能

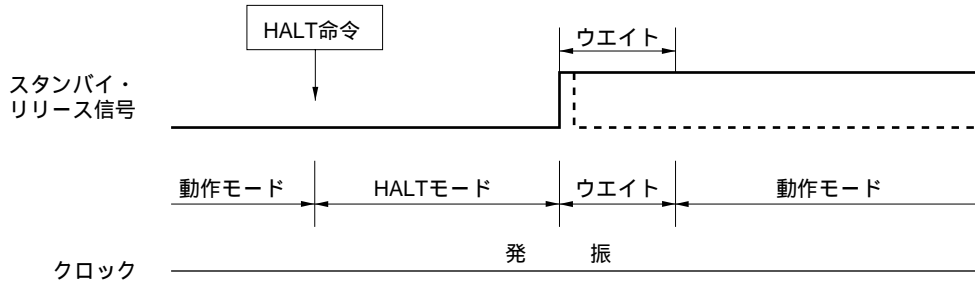
(2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、HALTモードを解除します。割り込み要求受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図11-2 HALTモードの割り込み発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウエイト時間は次のようになります。

- ・ベクタに分岐した場合 : 9~10クロック
- ・ベクタに分岐しなかった場合 : 1~2クロック

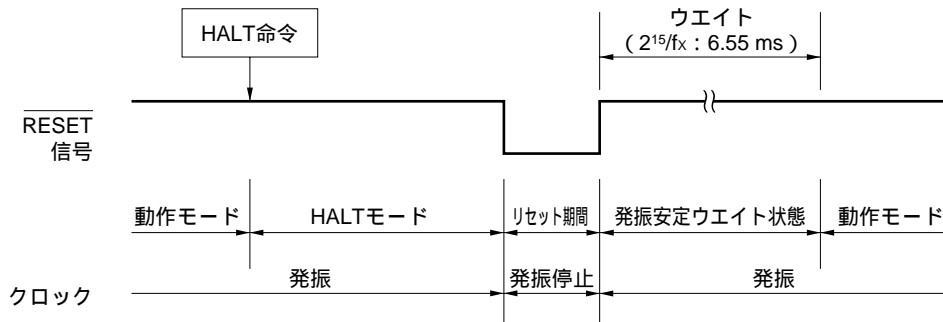
(b) ノンマスクابل割り込み要求による解除

割り込み受け付け許可、禁止の状態に関係なく、HALTモードを解除し、ベクタ割り込み処理を行います。

(c) RESET入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムを実行します。

図11 - 3 HALTモードのRESET入力による解除



- 備考1. f_x : システム・クロック発振周波数
 2. () 内は, $f_x = 5.0 \text{ MHz}$ 動作時

表11 - 2 HALTモードの解除後の動作

解除ソース	MKxx	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	HALTモード保持
ノンマスカブル割り込み要求	-	x	割り込み処理実行
RESET入力	-	-	リセット処理

x : don't care

11.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されません。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表11-3 STOPモード時の動作状態

項目	STOPモード時の動作状態
クロック発生回路	システム・クロックの発振が停止
CPU	動作停止
ポート（出力ラッチ）	STOPモード設定前の状態を保持
16ビット・タイマ	動作停止
8ビット・タイマ/イベント・カウンタ	カウント・クロックにTIO選択時のみ動作可能
ウォッチドッグ・タイマ	動作停止
シリアル・インタフェース	シリアル・クロックに外部からの入力クロック選択時のみ、動作可能
外部割り込み	動作可能
キー・リターン	キー・リターン・モードに設定されている端子のみ動作可能

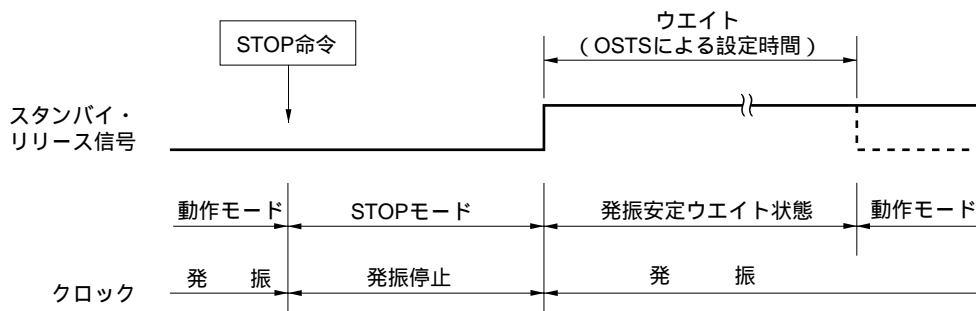
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図11-4 STOPモードの割り込み発生による解除

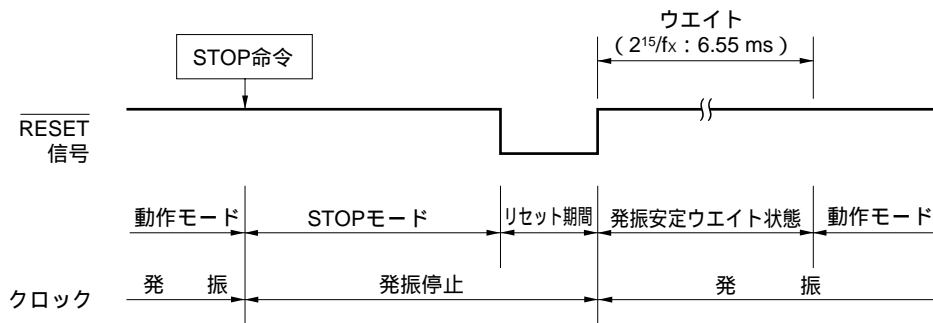


備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) $\overline{\text{RESET}}$ 入力による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図11 - 5 STOPモードの $\overline{\text{RESET}}$ 入力による解除



備考1. f_x : システム・クロック発振周波数

2. ()内は, $f_x = 5.0 \text{ MHz}$ 動作時

表11 - 4 STOPモードの解除後の動作

解除ソース	MK x x	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	STOPモード保持
$\overline{\text{RESET}}$ 入力	-	-	リセット処理

x : don't care

第12章 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、リセット信号入力により、ともに0000H、0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバーフローが発生することによってリセットがかかり、各ハードウェアは表12 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後 ($2^{15}/f_x$) プログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバーフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後 ($2^{15}/f_x$) プログラムの実行を開始します (図12 - 2から図12 - 4参照)。

- 注意1.** 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。
2. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図12 - 1 リセット機能のブロック図

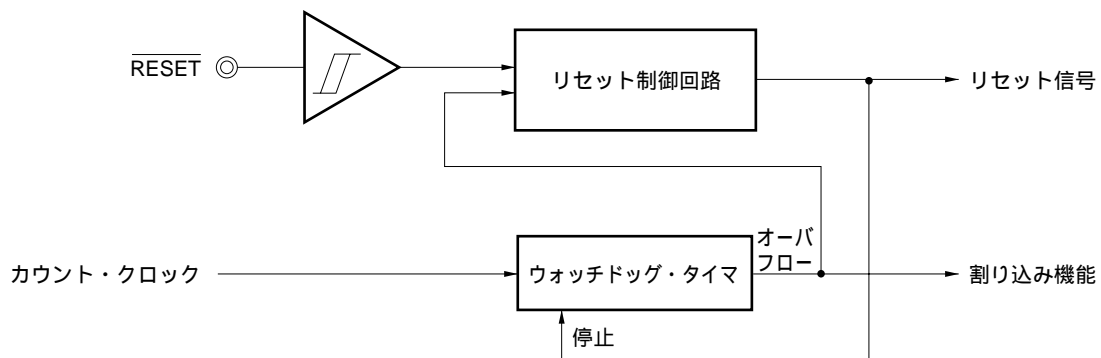


図12-2 RESET入力によるリセット・タイミング

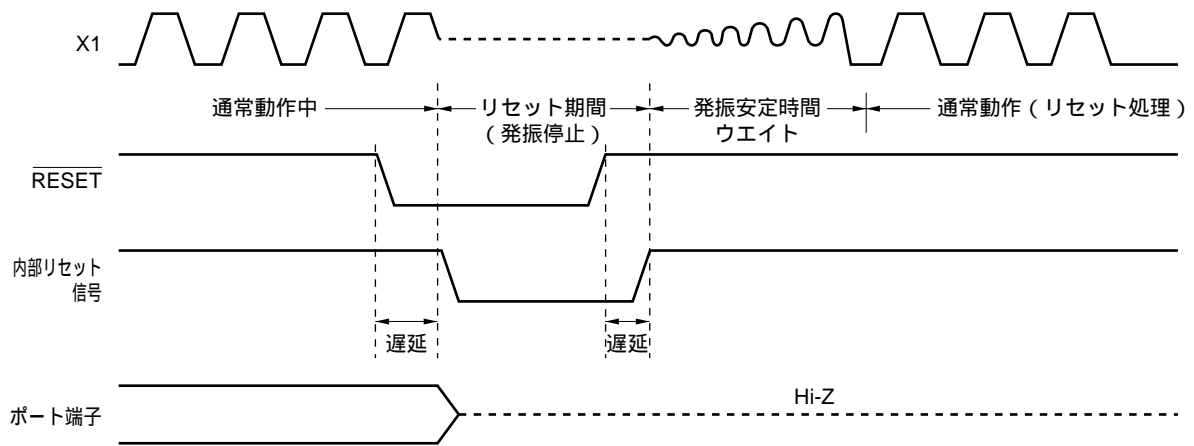


図12-3 ウォッチドッグ・タイマのオーバフローによるリセット・タイミング

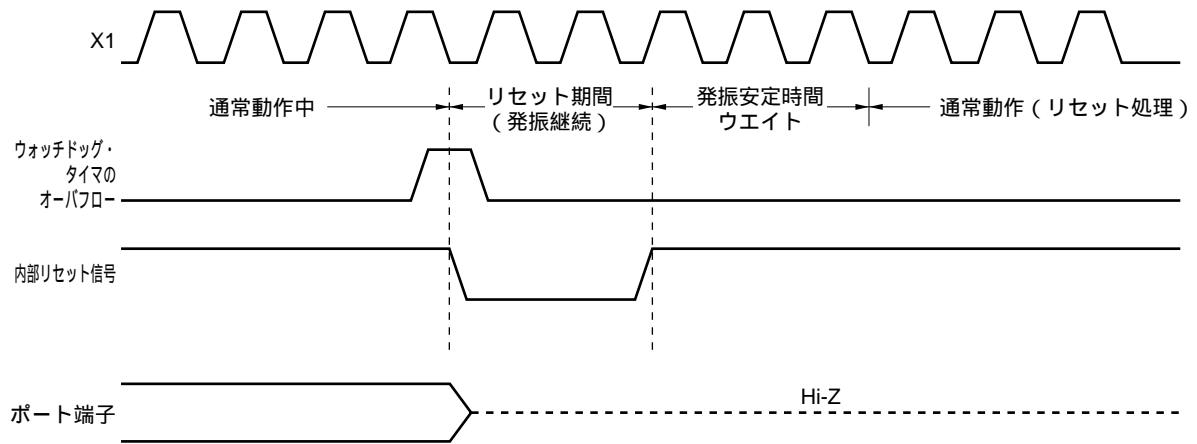


図12-4 STOPモード中のRESET入力によるリセット・タイミング

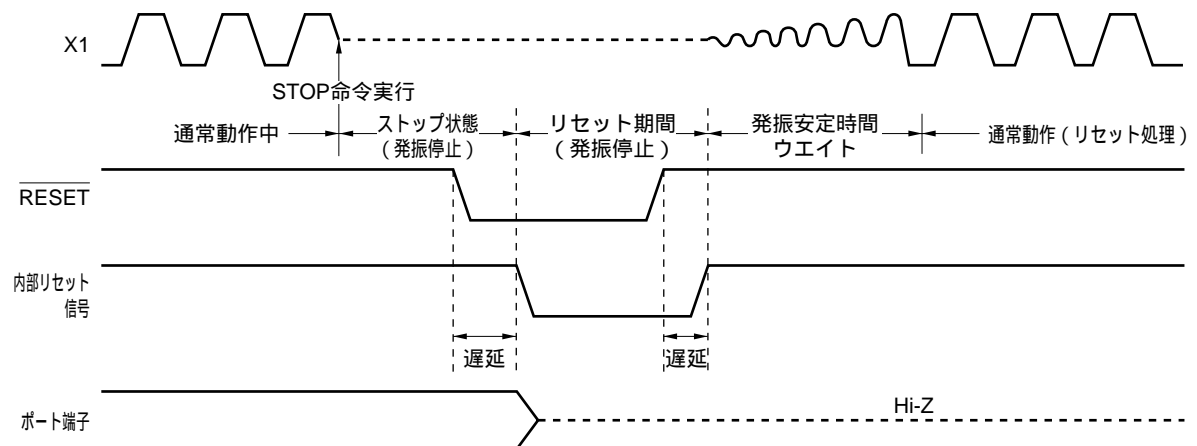


表12-1 各ハードウェアのリセット後の状態

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) ^{注1}		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート (P0-P5) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0-PM5)		FFH
ブルアップ抵抗オプション・レジスタ (PUO)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		02H
発振安定時間選択レジスタ (OSTS)		04H
16ビット・タイマ20	タイマ・カウンタ (TM20)	0000H
	コンペア・レジスタ (CR20)	FFFFH
	モード・コントロール・レジスタ (TMC20)	00H
	キャプチャ・レジスタ (TCP20)	不定
8ビット・タイマ/イベント・カウンタ00	タイマ・カウンタ (TM00)	00H
	コンペア・レジスタ (CR00)	不定
	モード・コントロール・レジスタ (TMC00)	00H
ウォッチドッグ・タイマ	タイマ・クロック選択レジスタ (TCL2)	00H
	モード・レジスタ (WDTM)	00H
シリアル・インタフェース	モード・レジスタ (CSIM00)	00H
	アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM00)	00H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS00)	00H
	ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC00)	00H
	送信シフト・レジスタ (TXS00)	FFH
	受信パッファ・レジスタ (RXB00)	不定
割り込み	要求フラグ・レジスタ (IF0, IF1)	00H
	マスク・フラグ・レジスタ (MK0, MK1)	FFH
	外部割り込みモード・レジスタ (INTM0)	00H
	キー・リターン・モード・レジスタ (KRM00)	00H

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

第13章 μ PD78F9026A

μ PD78F9026Aは、マスクROM製品の内部ROMをフラッシュ・メモリに置き換えた製品です。

μ PD78F9026AとマスクROM製品の違いを表13 - 1に示します。

表13 - 1 μ PD78F9026AとマスクROM製品の違い

項 目		フラッシュ・メモリ製品	マスクROM製品			
		μ PD78F9026A	μ PD789022	μ PD789024	μ PD789025	μ PD789026
内部メモリ	ROM	16 Kバイト (フラッシュ・メモリ)	4 Kバイト	8 Kバイト	12 Kバイト	16 Kバイト
	内部高速RAM	512バイト	256バイト		512バイト	
IC端子		なし	あり			
V_{PP} 端子		あり	なし			
電気的特性		第15章 電気的特性を参照してください。				

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品 (ES製品でなく) で十分な評価を行ってください。

13.1 フラッシュ・メモリの特徴

フラッシュ・メモリへのプログラミングは、 μ PD78F9026Aを実装した状態（オンボード）のターゲット・システムに、専用のフラッシュ・ライター（Flashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4））を接続して行います。またプログラミング専用のターゲット・ボードであるプログラム・アダプタ（FAアダプタ）を用意しています。

備考 FL-PR3, FL-PR4, プログラム・アダプタは、株式会社内藤電誠町田製作所（TEL（045）475-4191）の製品です。

フラッシュ・メモリによるプログラミングには、次のような利点があります。

ターゲット・システムにマイコンを半田実装後、ソフトウェアの変更可能
ソフトウェアを区別することで少量多品種生産が容易
量産立ち上げ時のデータ調整が容易

13.1.1 プログラミング環境

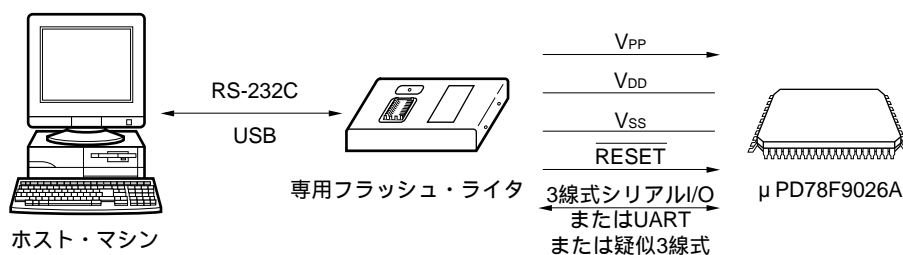
μ PD78F9026Aのフラッシュ・メモリ・プログラミングに必要な環境を示します。

専用フラッシュ・ライターとして（Flashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4））を使用した場合、専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。ホスト・マシンとフラッシュ・ライター間の通信は、RS-232C/USB（Rev1.1）で行います。

詳細はFlashpro / Flashpro のマニュアルを参照してください。

備考 USBはFlashpro のみ対応

図13-1 フラッシュ・メモリにプログラムを書き込むための環境



13.1.2 通信方式

専用フラッシュ・ライタと μ PD78F9026Aとの通信は、表13 - 2に示す通信方式から選択して行います。

表13 - 2 通信方式一覧

通信方式	TYPE設定 ^{注1}				使用端子	V _{PP} パルス数	
	COMM PORT	SIOクロック	CPU CLOCK				Multiple Rate
			In Flashpro	On Target Board			
3線式シリアルI/O	SIO ch-0 (3wired, sync.)	100 Hz- 1.25 MHz ^{注2}	1, 2, 4, 5 MHz ^{注2, 3}	1-5 MHz ^{注2}	1.0	SI0/RxD/P22 SO0/TxD/P21 SCK0/ASCK/P20	0
UART	UART ch-0 (Async.)	4800-76800 bps ^{注2, 4}	5 MHz ^{注5}	4.91, 5 MHz ^{注2}	1.0	RxD/SI0/P22 TxD/SO0/P21	8
疑似3線式	Port A (Pseudo- 3wired)	100 Hz- 1 kHz	1, 2, 4, 5 MHz ^{注2, 3}	1-5 MHz ^{注2}	1.0	P02 P01 P00	12
	Port B (Pseudo- 3wired)					P40/KR0 P41/KR1 P42/KR2	13

注1. 専用フラッシュ・ライタ (Flashpro (型番 FL-PR3, PG-FP3) / Flashpro (型番 FL-PR4, PG-FP4)) 上のTYPE設定における選択項目です。

2. 電圧により設定可能な範囲が異なります。詳細は第15章 電気的特性を参照してください。
3. Flashpro の場合は、2, 4 MHzのみ
4. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。
5. Flashpro の場合のみ。Flashpro の場合は必ずオンボード上の発振子のクロックを選択してください。Flashpro から供給されるクロックでは対応できません。

図13 - 2 通信方式選択フォーマット

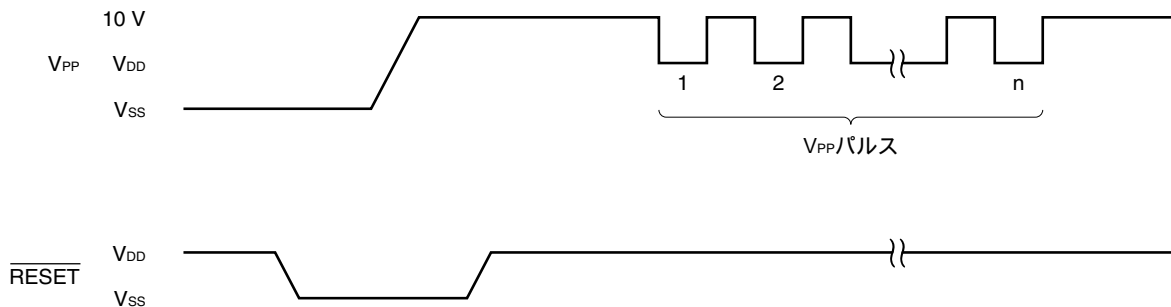
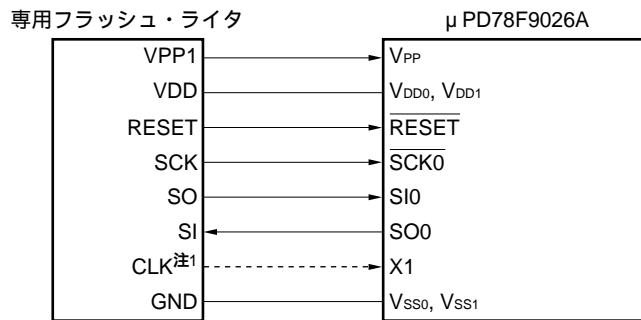
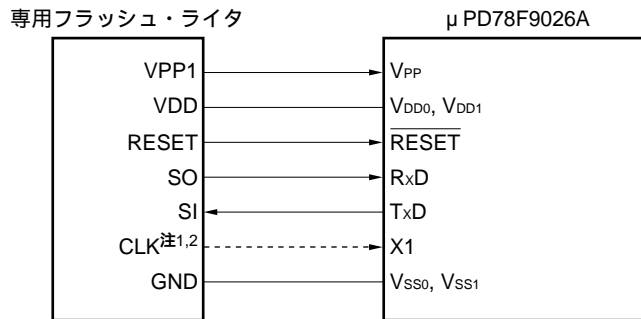


図13-3 専用フラッシュ・ライタとの接続例

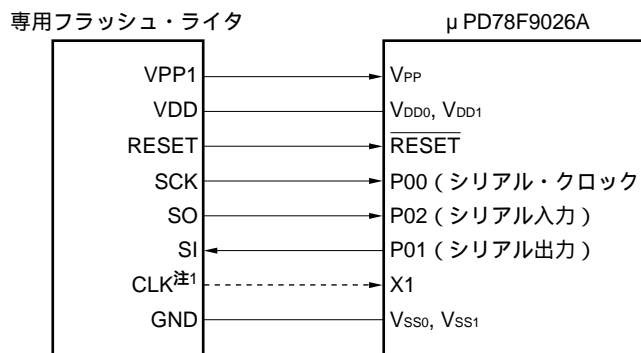
(a) 3線式シリアルI/O



(b) UART



(c) 疑似3線式 (P0を使用する場合)



- 注1. 専用フラッシュ・ライタからシステム・クロックを供給する場合に接続します。X1端子にすでに振動子が接続されている場合は、CLK端子と接続する必要はありません。
2. Flashpro でUARTを使用する場合は必ずX1端子に接続された振動子のクロックを使わなければならないので、CLK端子と接続する必要はありません。

注意 VDD端子は、すでに電源が接続されている場合でも、必ず専用フラッシュ・ライタのVDD端子と接続してください。またその電源を使用する場合は、必ずプログラミング開始前に電圧を供給してください。

専用フラッシュ・ライタとしてFlashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4）を使用した場合、 μ PD78F9026Aに対して次の信号を生成します。詳細はFlashpro / Flashpro のマニュアルを参照してください。

表13-3 端子接続一覧

信号名	入出力	端子機能	端子名	3線式シリアルI/O	UART	疑似3線式
VPP1	出力	書き込み電圧	V _{PP}			
VPP2	-	-	-	x	x	x
VDD	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD0} , V _{DD1}	注	注	注
GND	-	グランド	V _{SS0} , V _{SS1}			
CLK	出力	クロック出力	X1			
RESET	出力	リセット信号	RESET			
SI	入力	受信信号	SO0/TxD/P01/P41			
SO	出力	送信信号	SI0/RxD/P02/P42			
SCK	出力	転送クロック	SCK0/P00/P40		x	
HS	入力	ハンドシェイク信号	-	x	x	x

注 V_{DD}電圧はプログラミング開始前に供給する必要があります。

備考 : 必ず接続してください。

: ターゲット・ボード上で供給されていれば、接続の必要はありません。

x : 接続の必要はありません。

13.1.3 オンボード上の端子処理

ターゲット・システム上でプログラミングを行う場合は、ターゲット・システム上に専用フラッシュ・ライターと接続するためのコネクタを設けます。

また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能が必要になる場合があります。

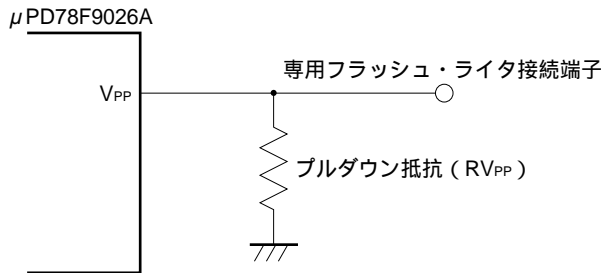
<V_{PP}端子>

通常動作モード時は、V_{PP}端子に0 Vを入力します。またフラッシュ・メモリ・プログラミング・モード時は、V_{PP}端子に10.0 V (TYP.) の書き込み電圧を供給しますので、次に示す(1)か(2)の端子処理を行ってください。

- (1) V_{PP}端子にプルダウン抵抗R_{VPP} = 10 k Ω を接続してください。
- (2) ボード上のジャンパで、V_{PP}端子の入力をライター側または直接GNDのどちらかに切り替えてください。

V_{PP}端子の接続例を次に示します。

図13-4 V_{PP}端子の接続例



<シリアル・インタフェース端子>

各シリアル・インタフェースが使用する端子を次に示します。

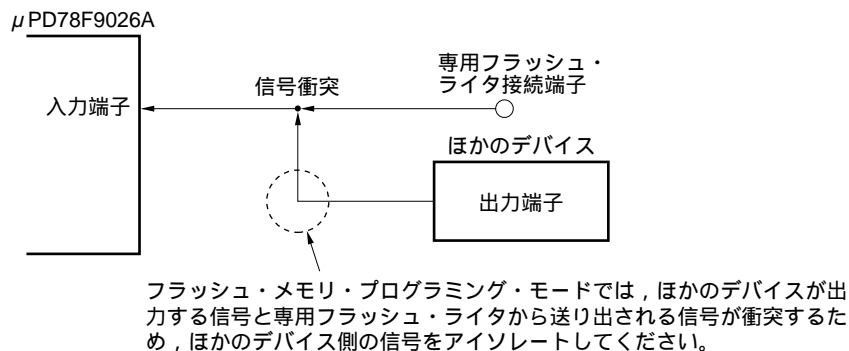
シリアル・インタフェース	使用端子
3線式シリアルI/O	SI0, SO0, SCK0
UART	RxD, TxD
疑似3線式	P00, P01, P02
	P40, P41, P42

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライターを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

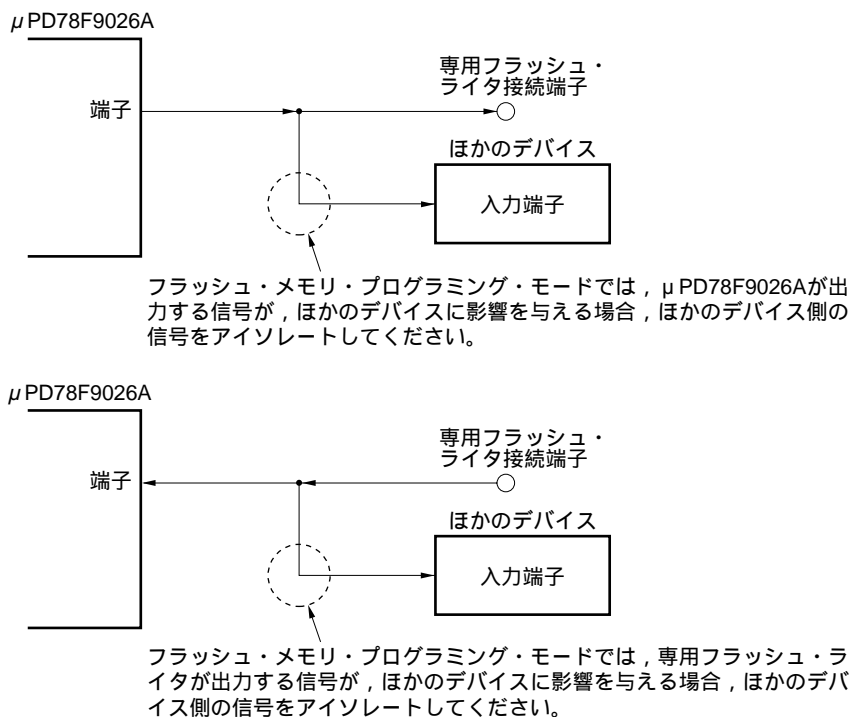
図13 - 5 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・ライタ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。

図13 - 6 ほかのデバイスの異常動作

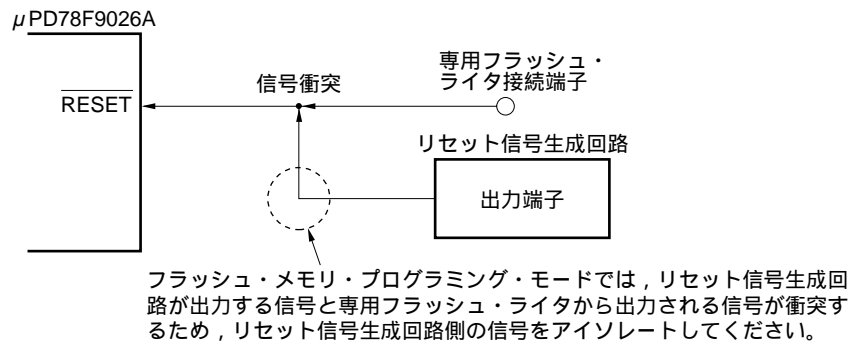


<RESET端子>

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図13-7 信号の衝突 (RESET端子)



<ポート端子>

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・ライタと通信する端子を除くすべての端子は、すべてリセット直後と同じ状態になります。

したがって、外部デバイスが出力ハイ・インピーダンス状態などの初期状態を認めない場合は、抵抗を介して V_{DD0} 、 V_{DD1} 、 V_{SS0} 、 V_{SS1} のいずれかに接続するなどの処置をしてください。

<発振端子>

オンボード上のクロックを使用する場合は、X1、X2は、通常動作モード時に準拠した接続をしてください。

フラッシュ・ライタのクロック出力を使用する場合は、オンボード上のメイン発振子を切り離し、X1端子に直接接続し、X2端子はオープンにしてください。

<電 源>

フラッシュ・ライタの電源出力を使用する場合は、 V_{DD0} 、 V_{DD1} 端子はフラッシュ・ライタのVDDに、 V_{SS0} 、 V_{SS1} 端子はフラッシュ・ライタのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。ただし、フラッシュ・ライタで電圧監視をするので、フラッシュ・ライタのVDDは必ず接続してください。

13.1.4 フラッシュ書き込み用アダプタ上の接続

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図13 - 8 3線式シリアルI/O方式でのフラッシュ書き込み用アダプタ配線例

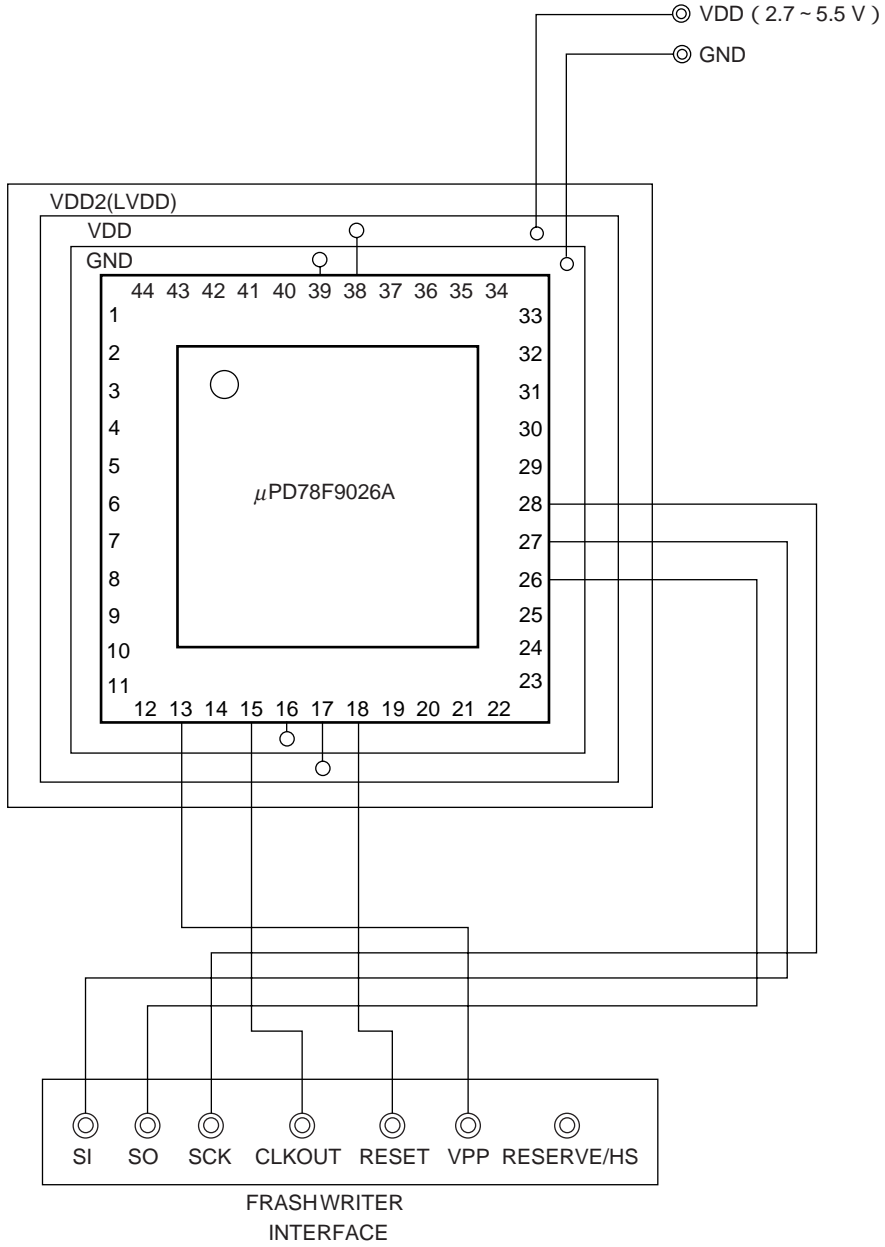


図13 - 9 UART方式でのフラッシュ書き込み用アダプタ配線例

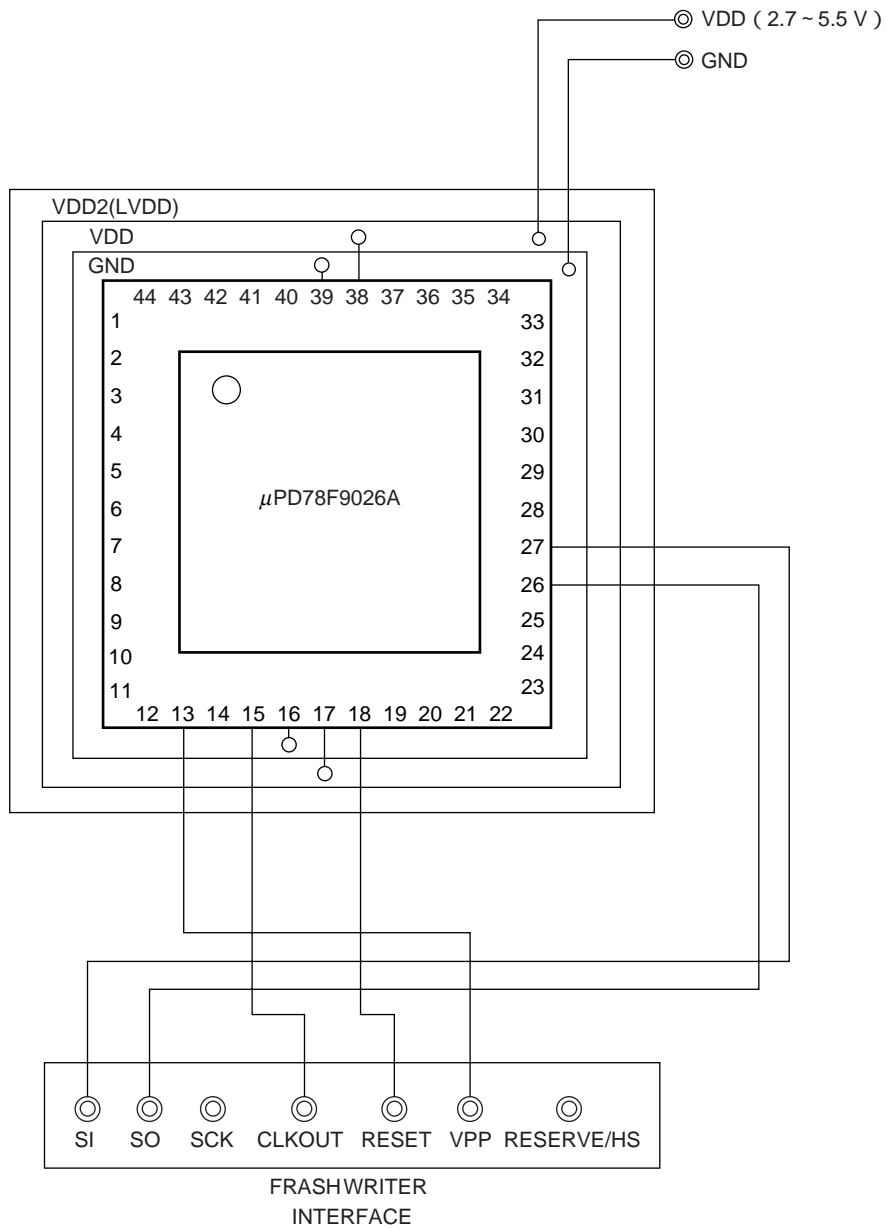
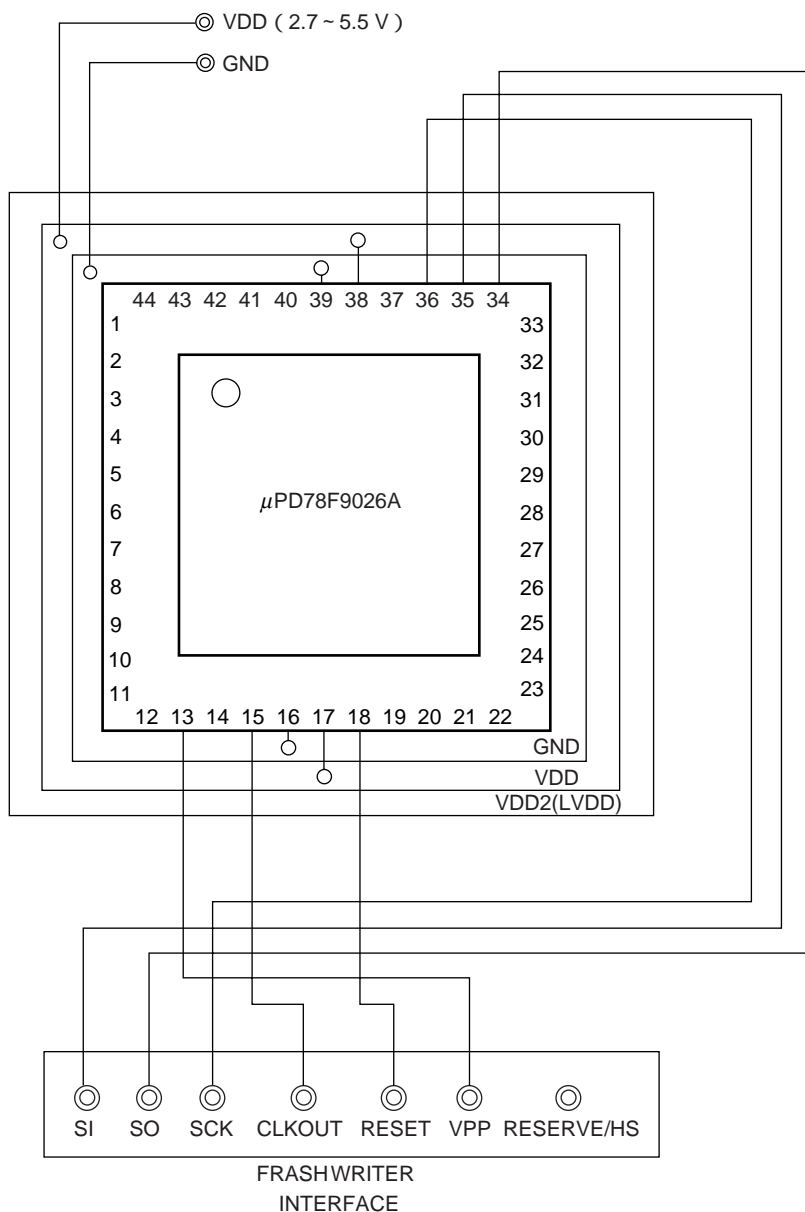


図13 - 10 疑似3線式方式でのフラッシュ書き込み用アダプタ配線例 (P0を使用する場合)



第14章 命令セットの概要

μPD789026サブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください。

14.1 オペレーション

14.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・#：イミディエト・データ指定
- ・\$：相対アドレス指定
- ・!：絶対アドレス指定
- ・[]：間接アドレス指定

イミディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表14-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7)
rp	AX (RP0), BC (RP1), DE (RP2), HL (RP3)
sfr	特殊機能レジスタ略号
saddr	FE20H-FF1FH イミディエト・データまたはラベル
saddrp	FE20H-FF1FH イミディエト・データまたはラベル（偶数アドレスのみ）
addr16	0000H-FFFFH イミディエト・データまたはラベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr5	0040H-007FH イミディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミディエト・データまたはラベル
byte	8ビット・イミディエト・データまたはラベル
bit	3ビット・イミディエト・データまたはラベル

備考 特殊機能レジスタの略号は表3-4 特殊機能レジスタ一覧を参照してください。

14.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
IE	: 割り込み要求許可フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
x _H , x _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
⊕	: 排他的論理和 (exclusive OR)
——	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

14.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

14.2 オペレーション一覧

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOV	r, #byte	3	6	r byte			
	saddr, #byte	3	6	(saddr) byte			
	sfr, #byte	3	6	sfr byte			
	A, r <small>注1</small>	2	4	A r			
	r, A <small>注1</small>	2	4	r A			
	A, saddr	2	4	A (saddr)			
	saddr, A	2	4	(saddr) A			
	A, sfr	2	4	A sfr			
	sfr, A	2	4	sfr A			
	A, laddr16	3	8	A (addr16)			
	laddr16, A	3	8	(addr16) A			
	PSW, #byte	3	6	PSW byte	x	x	x
	A, PSW	2	4	A PSW			
	PSW, A	2	4	PSW A	x	x	x
	A, [DE]	1	6	A (DE)			
	[DE], A	1	6	(DE) A			
	A, [HL]	1	6	A (HL)			
	[HL], A	1	6	(HL) A			
A, [HL + byte]	2	6	A (HL + byte)				
[HL + byte], A	2	6	(HL + byte) A				
XCH	A, X	1	4	A X			
	A, r <small>注2</small>	2	6	A r			
	A, saddr	2	6	A (saddr)			
	A, sfr	2	6	A sfr			
	A, [DE]	1	8	A (DE)			
	A, [HL]	1	8	A (HL)			
	A, [HL, byte]	2	8	A (HL + byte)			

注1. r = Aを除く。

2. r = A, Xを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOVW	rp, #word	3	6	rp word			
	AX, saddrp	2	6	AX (saddrp)			
	saddrp, AX	2	8	(saddrp) AX			
	AX, rp <small>注</small>	1	4	AX rp			
	rp, AX <small>注</small>	1	4	rp AX			
XCHW	AX, rp <small>注</small>	1	8	AX rp			
ADD	A, #byte	2	4	A, CY A + byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte	x	x	x
	A, r	2	4	A, CY A + r	x	x	x
	A, saddr	2	4	A, CY A + (saddr)	x	x	x
	A, laddr16	3	8	A, CY A + (addr16)	x	x	x
	A, [HL]	1	6	A, CY A + (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte)	x	x	x
ADDC	A, #byte	2	4	A, CY A + byte + CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte + CY	x	x	x
	A, r	2	4	A, CY A + r + CY	x	x	x
	A, saddr	2	4	A, CY A + (saddr) + CY	x	x	x
	A, laddr16	3	8	A, CY A + (addr16) + CY	x	x	x
	A, [HL]	1	6	A, CY A + (HL) + CY	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte) + CY	x	x	x
SUB	A, #byte	2	4	A, CY A - byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte	x	x	x
	A, r	2	4	A, CY A - r	x	x	x
	A, saddr	2	4	A, CY A - (saddr)	x	x	x
	A, laddr16	3	8	A, CY A - (addr16)	x	x	x
	A, [HL]	1	6	A, CY A - (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte)	x	x	x

注 rp = BC, DE, HLのときのみ。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
SUBC	A, #byte	2	4	A, CY A - byte - CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte - CY	x	x	x
	A, r	2	4	A, CY A - r - CY	x	x	x
	A, saddr	2	4	A, CY A - (saddr) - CY	x	x	x
	A, laddr16	3	8	A, CY A - (addr16) - CY	x	x	x
	A, [HL]	1	6	A, CY A - (HL) - CY	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte) - CY	x	x	x
AND	A, #byte	2	4	A A ∧ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∧ byte	x		
	A, r	2	4	A A ∧ r	x		
	A, saddr	2	4	A A ∧ (saddr)	x		
	A, laddr16	3	8	A A ∧ (addr16)	x		
	A, [HL]	1	6	A A ∧ (HL)	x		
	A, [HL + byte]	2	6	A A ∧ (HL + byte)	x		
OR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, laddr16	3	8	A A ∨ (addr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		
XOR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, laddr16	3	8	A A ∨ (addr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
CMP	A, #byte	2	4	A - byte	x	x	x
	saddr, #byte	3	6	(saddr) - byte	x	x	x
	A, r	2	4	A - r	x	x	x
	A, saddr	2	4	A - (saddr)	x	x	x
	A, laddr16	3	8	A - (addr16)	x	x	x
	A, [HL]	1	6	A - (HL)	x	x	x
	A, [HL + byte]	2	6	A - (HL + byte)	x	x	x
ADDW	AX, #word	3	6	AX, CY AX + word	x	x	x
SUBW	AX, #word	3	6	AX, CY AX - word	x	x	x
CMPW	AX, #word	3	6	AX - word	x	x	x
INC	r	2	4	r r + 1	x	x	
	saddr	2	4	(saddr) (saddr) + 1	x	x	
DEC	r	2	4	r r - 1	x	x	
	saddr	2	4	(saddr) (saddr) - 1	x	x	
INCW	rp	1	4	rp rp + 1			
DECW	rp	1	4	rp rp - 1			
ROR	A, 1	1	2	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
ROL	A, 1	1	2	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
RORC	A, 1	1	2	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
ROLC	A, 1	1	2	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x
SET1	saddr.bit	3	6	(saddr.bit) 1			
	sfr.bit	3	6	sfr.bit 1			
	A.bit	2	4	A.bit 1			
	PSW.bit	3	6	PSW.bit 1	x	x	x
	[HL].bit	2	10	(HL).bit 1			
CLR1	saddr.bit	3	6	(saddr.bit) 0			
	sfr.bit	3	6	sfr.bit 0			
	A.bit	2	4	A.bit 0			
	PSW.bit	3	6	PSW.bit 0	x	x	x
	[HL].bit	2	10	(HL).bit 0			
SET1	CY	1	2	CY 1			1
CLR1	CY	1	2	CY 0			0

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
NOT1	CY	1	2	$CY \overline{CY}$			x
CALL	laddr16	3	6	$(SP - 1) (PC + 3)_H, (SP - 2) (PC + 3)_L,$ PC addr16, SP SP - 2			
CALLT	[addr5]	1	8	$(SP - 1) (PC + 1)_H, (SP - 2) (PC + 1)_L,$ PC _H (00000000, addr5 + 1), PC _L (00000000, addr5), SP SP - 2			
RET		1	6	PC _H (SP + 1), PC _L (SP), SP SP + 2			
RETI		1	8	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3,	R	R	R
PUSH	PSW	1	2	$(SP - 1) PSW, SP SP - 1$			
	rp	1	4	$(SP - 1) rp_H, (SP - 2) rp_L,$ SP SP - 2			
POP	PSW	1	4	PSW (SP), SP SP + 1	R	R	R
	rp	1	6	rp _H (SP + 1), rp _L (SP), SP SP + 2			
MOVW	SP, AX	2	8	SP AX			
	AX, SP	2	6	AX SP			
BR	laddr16	3	6	PC addr16			
	\$addr16	2	6	PC PC + 2 + jdisp8			
	AX	1	6	PC _H A, PC _L X			
BC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 1			
BNC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 0			
BZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 1			
BNZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 0			
BT	saddr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 1			
	sfr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 1			
	A.bit, \$addr16	3	8	PC PC + 3 + jdisp8 if A.bit = 1			
	PSW.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 1			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
BF	saddr.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
	sfr.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 0			
	A.bit, \$saddr16	3	8	PC PC + 3 + jdisp8 if A.bit = 0			
	PSW.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 0			
DBNZ	B, \$saddr16	2	6	B B - 1, then PC PC + 2 + jdisp8 if B 0			
	C, \$saddr16	2	6	C C - 1, then PC PC + 2 + jdisp8 if C 0			
	saddr, \$saddr16	3	8	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) 0			
NOP		1	2	No Operation			
EI		3	6	IE 1 (Enable Interrupt)			
DI		3	6	IE 0 (Disable interrupt)			
HALT		1	2	Set HALT Mode			
STOP		1	2	Set STOP Mode			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

14.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV , XCH , ADD , ADDC , SUB , SUBC , AND , OR , XOR , CMP , INC , DEC , ROR , ROL , RORC ,
 ROLC , PUSH , POP , DBNZ

第2オペランド 第1オペランド	#byte	A	r	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV ^注 XCH ^注	MOV XCH	MOV XCH	MOV	MOV	MOV XCH	MOV XCH	MOV XCH		ROR ROL RORC ROLC	
r	MOV	MOV											INC DEC
B , C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											
[HL + byte]		MOV											

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	saddrp	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	
rp	MOVW	MOVW ^注				INCW DECW PUSH POP
saddrp		MOVW				
sp		MOVW				

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

SET1, CLR1, NOT1, BT, BF

第2オペランド 第1オペランド	\$addr16	なし
A.bit	BT BF	SET1 CLR1
sfr.bit	BT BF	SET1 CLR1
saddr.bit	BT BF	SET1 CLR1
PSW.bit	BT BF	SET1 CLR1
[HL] .bit		SET1 CLR1
CY		SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL , CALLT , BR , BC , BNC , BZ , BNZ , DBNZ

第2オペランド 第1オペランド	AX	!addr16	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLT	BR BC BNC BZ BNZ
複合命令				DBNZ

(5) その他の命令

RET , RETI , NOP , EI , DI , HALT , STOP

第15章 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.3 ~ + 6.5	V
	V _{PP}	μPD78F9026Aのみ ^注	- 0.3 ~ + 10.5	V
入力電圧	V _I		- 0.3 ~ V _{DD} + 0.3	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3	V
ハイ・レベル出力電流	I _{OH}	1端子	- 10	mA
		全端子合計	- 30	mA
ロウ・レベル出力電流	I _{OL}	1端子	30	mA
		全端子合計	160	mA
動作周囲温度	T _A	通常動作モード時	- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時	10 ~ 40	
保存温度	T _{stg}	マスクROM製品	- 65 ~ + 150	
		μPD78F9026A	- 40 ~ + 125	

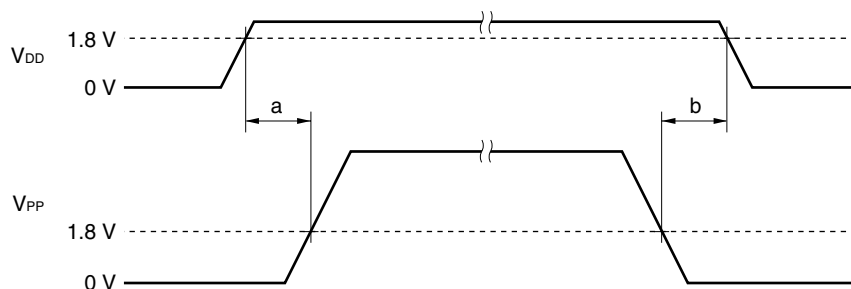
注 フラッシュ・メモリ書き込み時、V_{PP}の電圧印加タイミングについては、必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD}が動作電圧範囲の下限電圧 (1.8 V) に達してから10 μs以上経過後、V_{PP}がV_{DD}を越えること (下図の a)。

・電源電圧立ち下がり時

V_{PP}がV_{DD}の動作電圧範囲の下限電圧 (1.8 V) を下回ってから10 μs以上経過後、V_{DD}を立ち下げること (下図の b)。

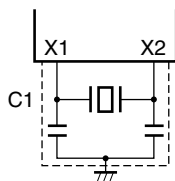
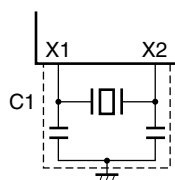
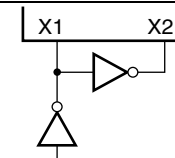
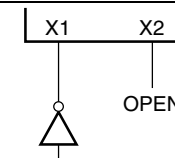


注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

システム・クロック発振回路特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 V$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (f_x) ^{注1}	$V_{DD} =$ 発振電圧範囲	1.0		5.0	MHz
		発振安定時間 ^{注2}	V_{DD} が発振電圧範囲のMIN.に達したあと			4	ms
水晶振動子		発振周波数 (f_x) ^{注1}		1.0		5.0	MHz
		発振安定時間 ^{注2}	$V_{DD} = 4.5 \sim 5.5 V$			10	ms
			$V_{DD} = 1.8 \sim 5.5 V$			30	
外部クロック		X1入力周波数 (f_x) ^{注1}		1.0		5.0	MHz
		X1入力ハイ、ロウ・レベル幅 (t_{xH} , t_{xL})		85		500	ns
		X1入力周波数 (f_x) ^{注1}	$V_{DD} = 2.7 \sim 5.5 V$	1.0		5.0	MHz
		X1入力ハイ、ロウ・レベル幅 (t_{xH} , t_{xL})	$V_{DD} = 2.7 \sim 5.5 V$	85		500	ns

注1．発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

- リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振安定ウェイト時間内に発振安定する発振子 / 振動子を使用してください。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

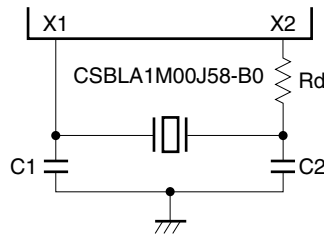
- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

推奨発振回路定数

(1) セラミック発振子 (TA = -40 ~ +85) (マスクROM製品)

メーカー	品名	周波数 (MHz)	推奨回路定数 (pF)		発振電圧範囲 (V _{DD})		備考
			C1	C2	MIN.	MAX.	
村田製作所	CSBLA1M00J58-B0 ^注	1.0	100	100	2.2	5.5	Rd = 4.7 kΩ
TDK	CCR4.19MC3	4.19	-	-	2.0	5.5	コンデンサ内蔵品
	FCR4.19MC5		-	-			コンデンサ内蔵品
	CCR5.0MC3	5.0	-	-	2.0	5.5	コンデンサ内蔵品
	FCR5.0MC5		-	-			コンデンサ内蔵品

注 セラミック発振子として村田製作所のCSBLA1M00J58-B0(1.0 MHz)を使用する場合には,制限抵抗(Rd = 4.7 kΩ)が必要です(下図参照)。その他の推奨発振子を使用する場合は制限抵抗は不要です。



注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は,実装回路上での評価を発振子メーカーに依頼してください。また,発振電圧,発振周波数はあくまで発振回路特性を示すものであり,μPD78902xの内部動作条件についてはDC, AC特性の規格内で使用してください。

備考 上記以外の村田製作所の発振子については,現在評価中です。

(2) セラミック発振子 (TA = -40 ~ +85) (μPD78F9026A)

メーカー	品名	周波数 (MHz)	推奨回路定数 (pF)		発振電圧範囲 (VDD)		備考
			C1	C2	MIN.	MAX.	
村田製作所	CSBLA1M00J58-B0	1.0	100	100	2.3	5.5	-
	CSBFB1M00J58-R1						
	CST2.00MG	2.0	-	-	2.4	5.5	コンデンサ内蔵品
	CSTLS2M00G56-B0				2.0	5.5	
	CSTCC2M00G56-R0	4.0	-	-	2.1	5.5	
	CSTLS4M00G53-B0				2.0	5.5	
	CSTCR4M00G53-R0	4.194	-	-	2.1	5.5	
	CSTLS4M19G53-B0				2.0	5.5	
	CSTCR4M19G53-R0	4.915	-	-	2.2	5.5	
	CSTLS4M91G53-B0				2.1	5.5	
	CSTCR4M91G53-R0	5.0	-	-	2.2	5.5	
	CSTLS5M00G53-B0				2.1	5.5	
	CSTCR5M00G53-R0				2.2	5.5	

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、μPD78F9026Aの内部動作条件についてはDC、AC特性の規格内で使用してください。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流	IOH	1端子				- 1	mA
		全端子合計				- 15	mA
ロウ・レベル出力電流	IOL	1端子				10	mA
		全端子合計				80	mA
ハイ・レベル入力電圧	VIH1	P00-P07, P10-P17, P21, P51-P53	VDD = 2.7 ~ 5.5 V	0.7 VDD		VDD	V
			VDD = 1.8 ~ 5.5 V	0.9 VDD		VDD	V
	VIH2	P20, P22, P30-P32, P40-P47, P50, RESET	VDD = 2.7 ~ 5.5 V	0.8 VDD		VDD	V
			VDD = 1.8 ~ 5.5 V	0.9 VDD		VDD	V
	VIH3	X1, X2	VDD = 4.5 ~ 5.5 V	VDD - 0.5		VDD	V
			VDD = 1.8 ~ 5.5 V	VDD - 0.1		VDD	V
ロウ・レベル入力電圧	VIL1	P00-P07, P10-P17, P21, P51-P53	VDD = 2.7 ~ 5.5 V	0		0.3 VDD	V
			VDD = 1.8 ~ 5.5 V	0		0.1 VDD	V
	VIL2	P20, P22, P30-P32, P40-P47, P50, RESET	VDD = 2.7 ~ 5.5 V	0		0.2 VDD	V
			VDD = 1.8 ~ 5.5 V	0		0.1 VDD	V
	VIL3	X1, X2	VDD = 4.5 ~ 5.5 V	0		0.4	V
			VDD = 1.8 ~ 5.5 V	0		0.1	V
ハイ・レベル出力電圧	VOH	VDD = 4.5 ~ 5.5 V, IOH = - 1 mA		VDD - 1.0			V
		VDD = 1.8 ~ 5.5 V, IOH = - 100 μA		VDD - 0.5			V
ロウ・レベル出力電圧	VOL	VDD = 4.5 ~ 5.5 V, IOL = 10 mA				1.0	V
		VDD = 1.8 ~ 5.5 V, IOL = 400 μA				0.5	V
ハイ・レベル入力リーク電流	ILIH1	VIN = VDD	X1, X2以外の端子			3	μA
	ILIH2			X1, X2			20
ロウ・レベル入力リーク電流	ILIL1	VIN = 0 V	X1, X2以外の端子			- 3	μA
	ILIL2			X1, X2			- 20
ハイ・レベル出カリーク電流	ILOH	VOUT = VDD				3	μA
ロウ・レベル出カリーク電流	ILOL	VOUT = 0 V				- 3	μA
ソフトウェア・プルアップ抵抗	R	VIN = 0 V		50	100	200	kΩ

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流 ^{注1} (マスクROM製品)	IDD1	5.0 MHz 水晶発振動作モード	VDD = 5.0 V ± 10 % ^{注2}	1.3	2.5	mA
			VDD = 3.0 V ± 10 % ^{注3}	0.26	0.45	mA
			VDD = 2.0 V ± 10 % ^{注3}	0.14	0.30	mA
	IDD2	5.0 MHz 水晶発振HALTモード	VDD = 5.0 V ± 10 % ^{注2}	0.41	0.85	mA
			VDD = 3.0 V ± 10 % ^{注3}	0.16	0.35	mA
			VDD = 2.0 V ± 10 % ^{注3}	0.07	0.15	mA
	IDD3	STOPモード	VDD = 5.0 V ± 10 %	0.1	10	μA
			VDD = 3.0 V ± 10 %	0.05	5.0	μA
			TA = 25	0.05	3.0	μA
電源電流 ^{注1} (μPD78F9026A)	IDD1	5.0 MHz 水晶発振動作モード (C1 = C2 = 22 pF)	VDD = 5.0 V ± 10 % ^{注2}	4.0	15.0	mA
			VDD = 3.0 V ± 10 % ^{注3}	1.0	5.0	mA
			VDD = 2.0 V ± 10 % ^{注3}	0.8	3.0	mA
	IDD2	5.0 MHz 水晶発振HALTモード (C1 = C2 = 22 pF)	VDD = 5.0 V ± 10 % ^{注2}	0.8	5.0	mA
			VDD = 3.0 V ± 10 % ^{注3}	0.5	2.5	mA
			VDD = 2.0 V ± 10 % ^{注3}	0.3	1.0	mA
	IDD3	STOPモード	VDD = 5.0 V ± 10 %	0.1	30	μA
			VDD = 3.0 V ± 10 %	0.05	10	μA
			VDD = 2.0 V ± 10 %	0.05	10	μA

注1. ポート電流 (内蔵プルアップ抵抗に流れる電流も含む) は含みません。

2. 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき)
3. 低速モード動作時 (PCCを02Hに設定したとき)

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

フラッシュ・メモリ書き込み / 消去特性

(TA = 10 ~ 40 , VDD = 1.8 ~ 5.5 V , 5.0 MHz水晶発振動作モード時)

項目	略号	条件	MIN.	TYP.	MAX.	単位
書き込み電流 ^注 (VDD端子)	IDDW	VPP電源電圧 = VPP1時			18	mA
書き込み電流 ^注 (VPP端子)	Ippw	VPP電源電圧 = VPP1時			22.5	mA
消去電流 ^注 (VDD端子)	IDDE	VPP電源電圧 = VPP1時			18	mA
消去電流 ^注 (VPP端子)	Ippe	VPP電源電圧 = VPP1時			115	mA
単位消去時間	ter		0.5	1	1	s
Total消去時間	tera				20	s
書き込み回数		消去 / 書き込みを1サイクルとする	20	20	20	回
VPP電源電圧	VPP0	通常動作時	0		0.2 VDD	V
	VPP1	フラッシュ・メモリ・プログラミング時	9.7	10.0	10.3	V

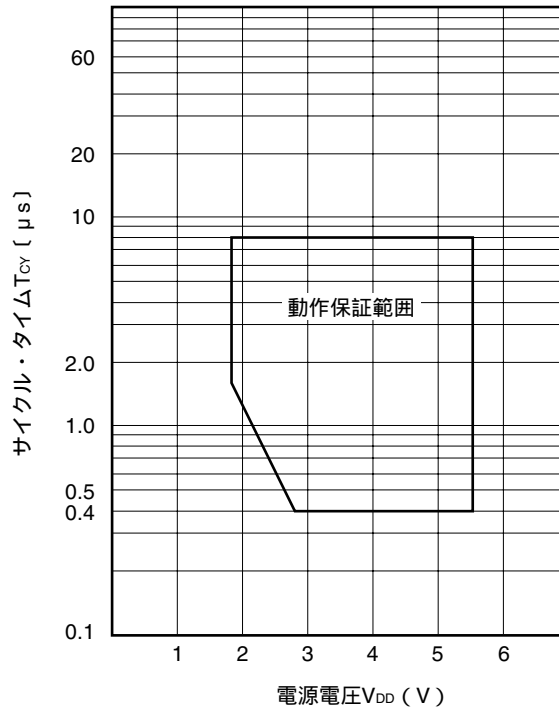
注 ポート電流 (内蔵プルアップ抵抗に流れる電流も含む) は含みません。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T_{CY}	$V_{DD} = 2.7 \sim 5.5$ V	0.4		8	μ s
		$V_{DD} = 1.8 \sim 5.5$ V	1.6		8	μ s
TIO入力 ハイ, ロウ・レベル幅	t_{TIH} ,	$V_{DD} = 2.7 \sim 5.5$ V	0.1			μ s
	t_{TIL}	$V_{DD} = 1.8 \sim 5.5$ V	1.8			μ s
TIO 入力周波数	f_{Ti}	$V_{DD} = 2.7 \sim 5.5$ V	0		4	MHz
		$V_{DD} = 1.8 \sim 5.5$ V	0		275	kHz
割り込み入力 ハイ, ロウ・レベル幅	t_{INTH} ,	INTP0-INTP2	10			μ s
	t_{INTL}					
RESET ロウ・レベル幅	t_{RSL}		10			μ s

T_{CY} vs V_{DD} (システム・クロック)



(2) シリアル・インタフェース00 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 V$)

(i) 3線式シリアルI/Oモード ($\overline{SCK0}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK0}$ サイクル・タイム	t_{KCY1}	$V_{DD} = 2.7 \sim 5.5 V$	800			ns
		$V_{DD} = 1.8 \sim 5.5 V$	3200			ns
$\overline{SCK0}$ ハイ、ロウ・レベル幅	t_{KH1} ,	$V_{DD} = 2.7 \sim 5.5 V$	$t_{KCY1}/2-50$			ns
	t_{KL1}	$V_{DD} = 1.8 \sim 5.5 V$	$t_{KCY1}/2-150$			ns
SIOセットアップ時間 (対 $\overline{SCK0}$)	t_{SIK1}	$V_{DD} = 2.7 \sim 5.5 V$	150			ns
		$V_{DD} = 1.8 \sim 5.5 V$	500			ns
SIOホールド時間 (対 $\overline{SCK0}$)	t_{KSI1}	$V_{DD} = 2.7 \sim 5.5 V$	400			ns
		$V_{DD} = 1.8 \sim 5.5 V$	600			ns
$\overline{SCK0}$ SO0 出力遅延時間	t_{KSO1}	$R = 1 k\Omega$, $C = 100 pF$ ^注	$V_{DD} = 2.7 \sim 5.5 V$	0	250	ns
			$V_{DD} = 1.8 \sim 5.5 V$	0	1000	ns

注 R, Cは, SO0出力ラインの負荷抵抗, 負荷容量です。

(ii) 3線式シリアルI/Oモード ($\overline{SCK0}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK0}$ サイクル・タイム	t_{KCY2}	$V_{DD} = 2.7 \sim 5.5 V$	900			ns
		$V_{DD} = 1.8 \sim 5.5 V$	3500			ns
$\overline{SCK0}$ ハイ、ロウ・レベル幅	t_{KH2} ,	$V_{DD} = 2.7 \sim 5.5 V$	400			ns
	t_{KL2}	$V_{DD} = 1.8 \sim 5.5 V$	1600			ns
SIOセットアップ時間 (対 $\overline{SCK0}$)	t_{SIK2}	$V_{DD} = 2.7 \sim 5.5 V$	100			ns
		$V_{DD} = 1.8 \sim 5.5 V$	150			ns
SIOホールド時間 (対 $\overline{SCK0}$)	t_{KSI2}	$V_{DD} = 2.7 \sim 5.5 V$	400			ns
		$V_{DD} = 1.8 \sim 5.5 V$	600			ns
$\overline{SCK0}$ SO0 出力遅延時間	t_{KSO2}	$R = 1 k\Omega$, $C = 100 pF$ ^注	$V_{DD} = 2.7 \sim 5.5 V$	0	300	ns
			$V_{DD} = 1.8 \sim 5.5 V$	0	1000	ns

注 R, Cは, SO0出力ラインの負荷抵抗, 負荷容量です。

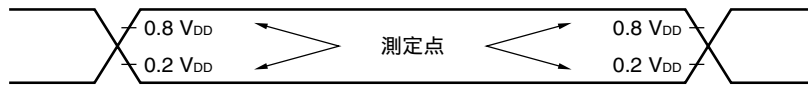
(iii) UARTモード (専用ポーレート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		$V_{DD} = 2.7 \sim 5.5 V$			78125	bps
		$V_{DD} = 1.8 \sim 5.5 V$			19531	bps

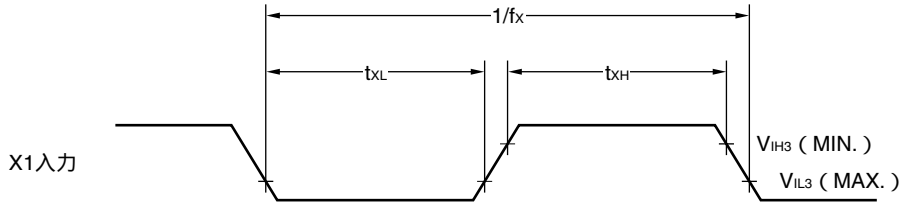
(iv) UARTモード (外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ASCKサイクル・ タイム	t _{KCY3}	V _{DD} = 2.7 ~ 5.5 V	900			ns
		V _{DD} = 1.8 ~ 5.5 V	3500			ns
ASCK ハイ, ロウ・レベル幅	t _{KH3} ,	V _{DD} = 2.7 ~ 5.5 V	400			ns
	t _{KL3}	V _{DD} = 1.8 ~ 5.5 V	1600			ns
転送レート		V _{DD} = 2.7 ~ 5.5 V			39063	bps
		V _{DD} = 1.8 ~ 5.5 V			9766	bps
ASCK立ち上がり, 立ち下がり時間	t _R ,				1	μs
	t _F					

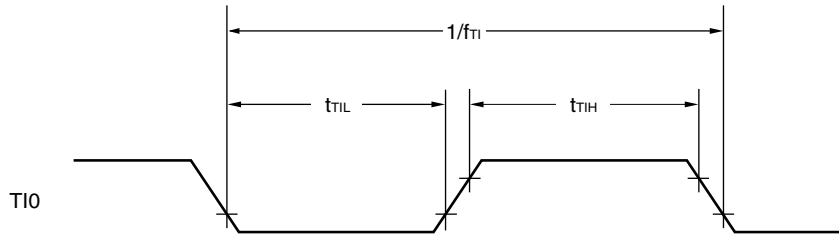
ACタイミング測定点 (X1入力を除く)



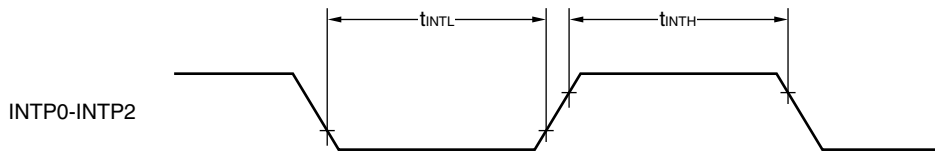
クロック・タイミング



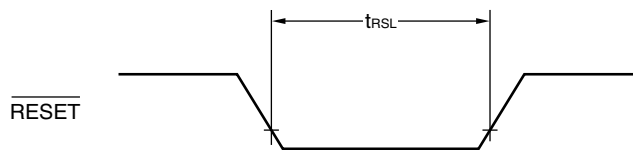
TIタイミング



割り込み入力タイミング

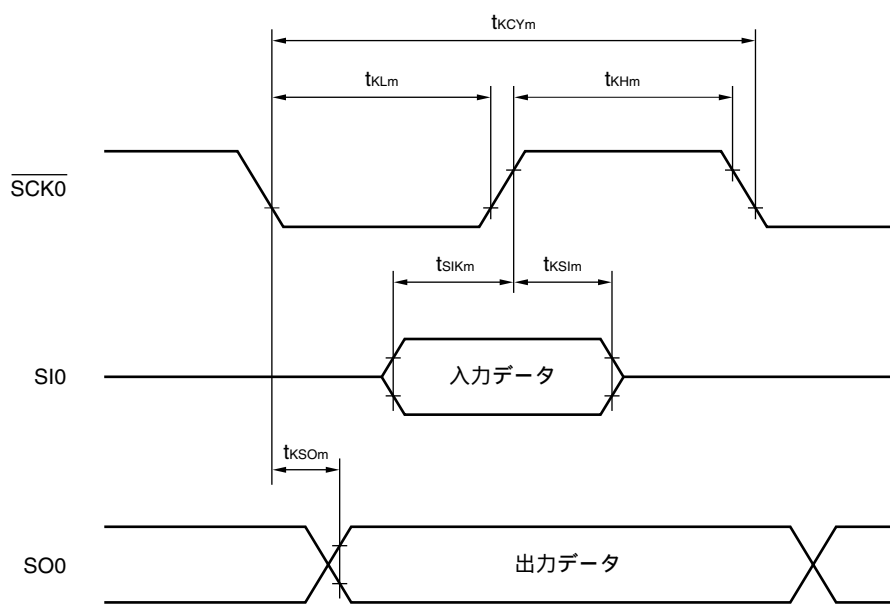


RESET入力タイミング



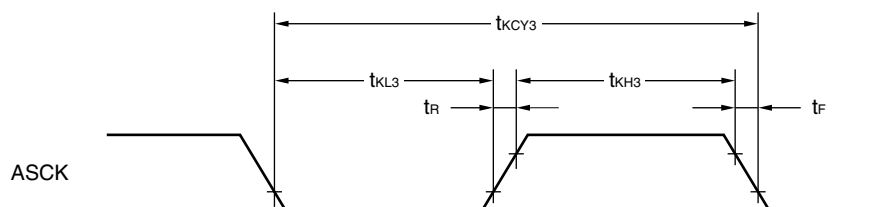
シリアル転送タイミング

3線式シリアルI/Oモード :



$m = 1, 2$

UARTモード (外部クロック入力) :



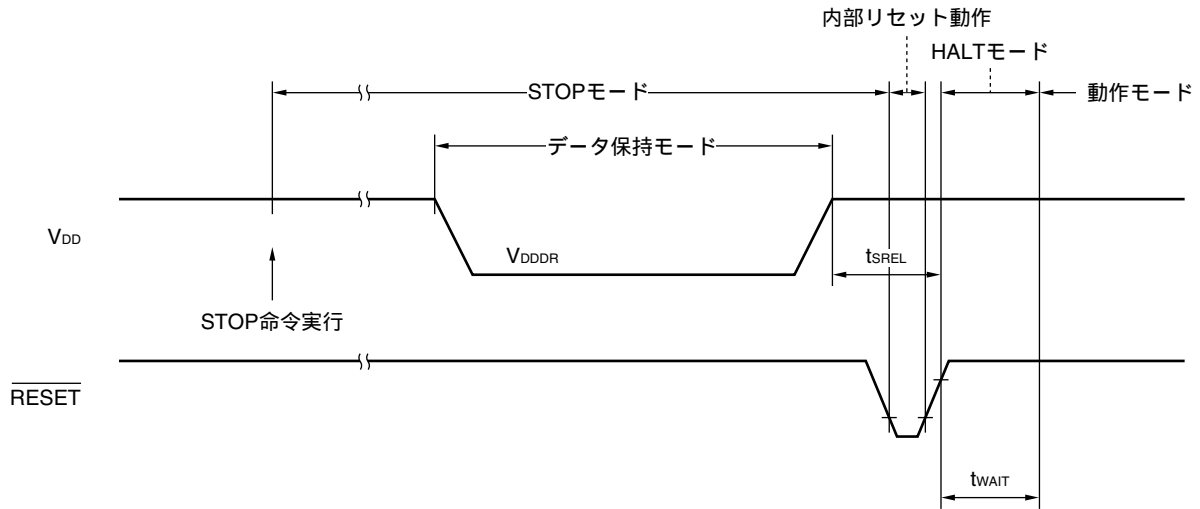
データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.8		5.5	V
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間	t _{WAIT}	RESETによる解除		2 ¹⁵ /f _x		ms
		割り込みによる解除		注		ms

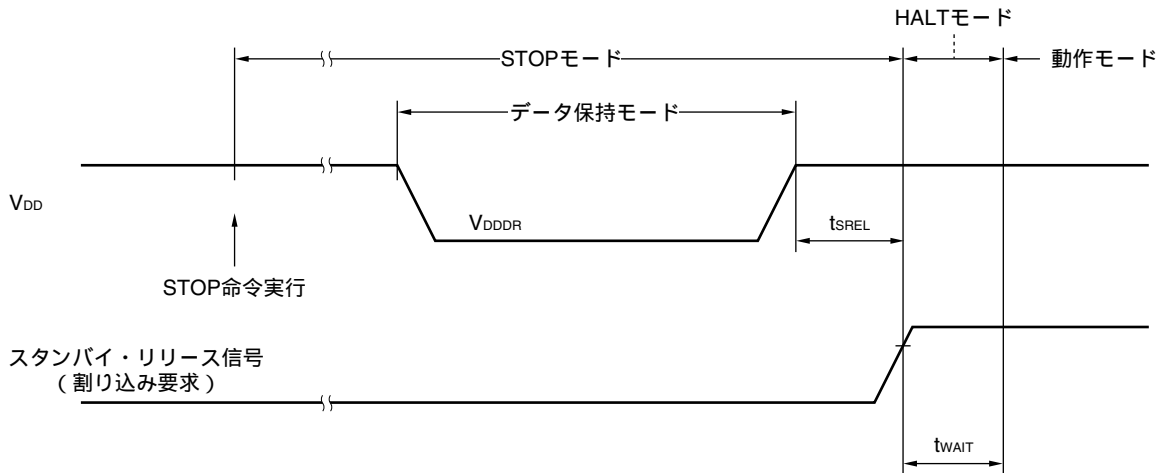
注 発振安定時間選択レジスタのビット0-2 (OSTS0-OSTS2) により, 2¹²/f_x, 2¹⁵/f_x, 2¹⁷/f_xの選択が可能です。

備考 f_x: システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)

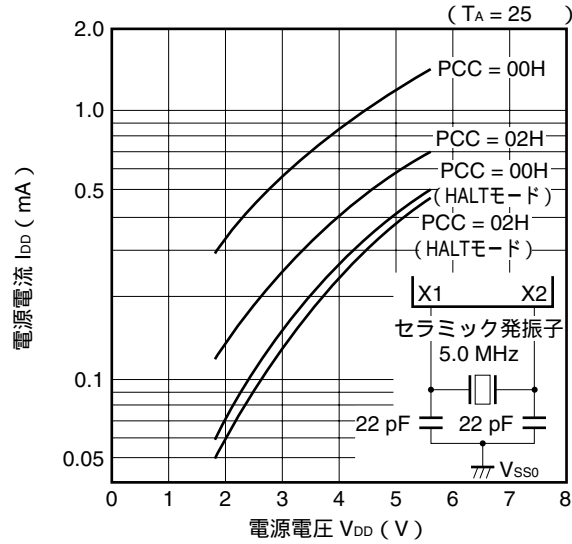


データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)

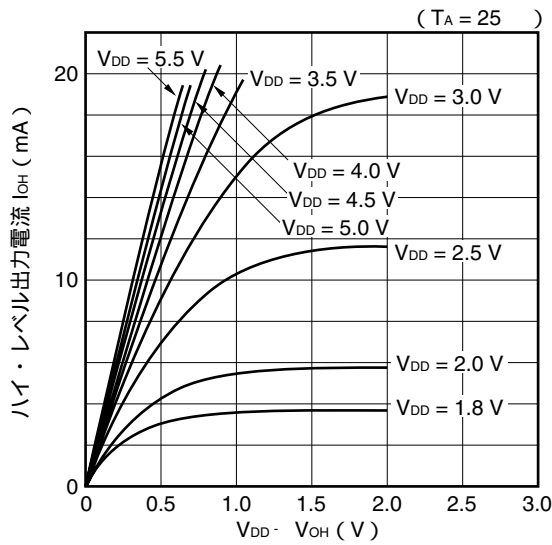


第16章 特性曲線 (マスクROM製品)

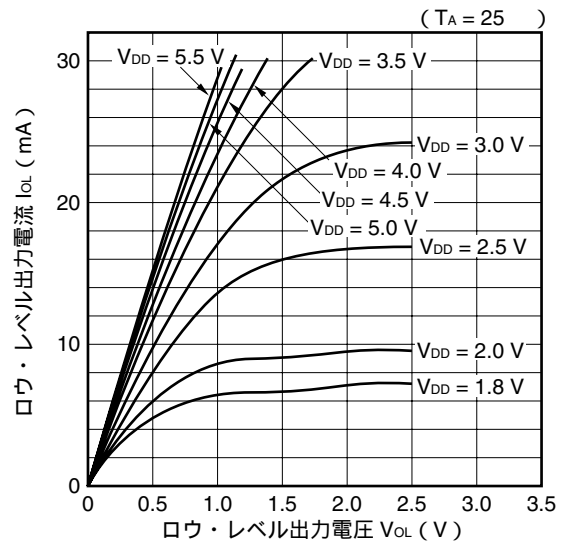
I_{DD} vs V_{DD} (システム・クロック : 5.0 MHz水晶振動子)



I_{OH} vs $V_{DD} - V_{OH}$

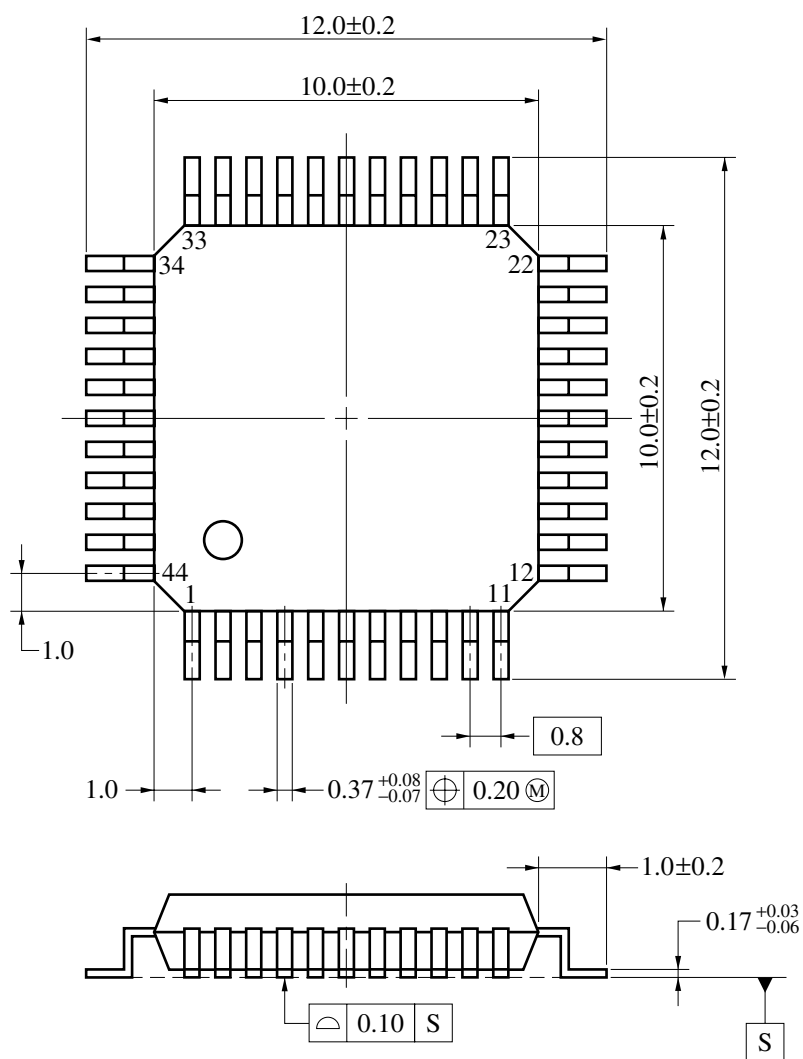


I_{OL} vs V_{OL}

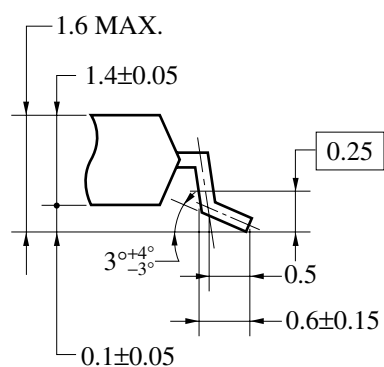


第17章 外形図

44ピン・プラスチック LQFP (10x10) 外形図 (単位: mm)



端子先端形状詳細図



S44GB-80-8ES-2

第18章 半田付け推奨条件

μ PD789026サブシリーズの半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.ic.nec.co.jp/pkg/ja/jissou/index.html>)

表18 - 1 表面実装タイプの半田付け条件 (1/2)

μ PD789022GB- x x x -8ES : 44ピン・プラスチックLQFP (10x10)

μ PD789024GB- x x x -8ES : "

μ PD789025GB- x x x -8ES : "

μ PD789026GB- x x x -8ES : "

μ PD78F9026AGB-8ES : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上）， 回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上）， 回数：2回以内	VP15-00-2
ウエーブ・ソルダリング	半田槽温度：260 以下，時間：10秒以内，回数1回， 予備加熱温度：120 MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	—

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

★

表18 - 1 表面実装タイプの半田付け条件 (2/2)

μ PD789022GB- x x x -8ES-A : 44ピン・プラスチックLQFP (10x10)

μ PD789024GB- x x x -8ES-A : "

μ PD789025GB- x x x -8ES-A : "

μ PD789026GB- x x x -8ES-A : "

μ PD78F9026AGB-8ES-A : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内， 制限日数：7日間 [※] （以降は125 プリベーク20～72時間必要） （留意事項） 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
ウエーブ・ソルダリング	0.65mmピッチ以上のパッケージでは，ウエーブ・ソルダリングも対応可能です。詳細については，当社販売員にご相談ください。	-
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライバック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

備考1．オーダ名称末尾「-A」の製品は，鉛フリー製品です。

2．推奨条件以外の半田付け方式および半田付け条件については，当社販売員にご相談ください。

付録A 開発ツール

μPD789026サブシリーズを使用するシステム開発のために次のような開発ツールを用意しております。図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

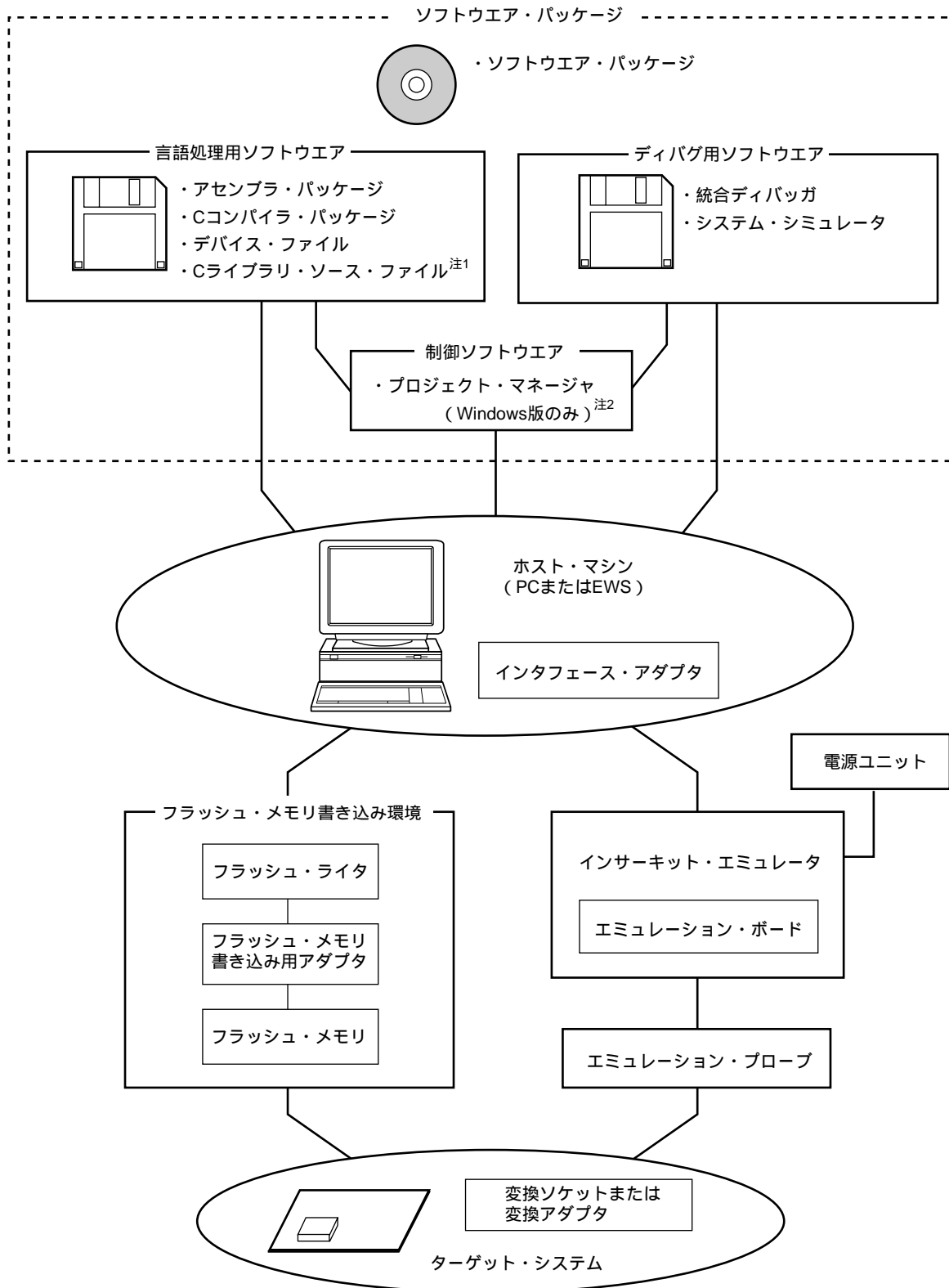
特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

Windows[®] について

特に断りのないかぎり、「Windows」は次のOSを示しています。

- ・ Windows 3.1
- ・ Windows 95
- ・ Windows 98
- ・ Windows NT[®] Version 4.0
- ・ Windows 2000
- ・ Windows XP[®]

図A - 1 開発ツール構成



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャは、アセンブラ・パッケージに入っています。
また、Windows以外ではプロジェクト・マネージャは使用しません。

A.1 ソフトウェア・パッケージ

SP78K0S ソフトウェア・パッケージ	78K/0Sシリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 次のツールが入っています。 RA78K0S, CC78K0S, ID78K0S-NS, SM78K0S, デバイス・ファイル各種 オーダ名称: $\mu S \times \times \times \times$ SP78K0S
-------------------------	---

備考 オーダ名称の $\times \times \times \times$ は、使用するOSにより異なります。

$\mu S \times \times \times \times$ SP78K0S

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

RA78K0S アセンブラ・パッケージ	二モニクで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。別売のデバイス・ファイル (DF789026) と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ RA78K0S
CC78K0S Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージ (RA78K0S) およびデバイス・ファイル (DF789026) と組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S
DF789026 ^{注1} デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ DF789026
CC78K0S-L ^{注2} Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S-L

注1. DF789026は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

2. CC78K0S-Lは、ソフトウェア・パッケージ (SP78K0S) には含まれていません。

備考 オータ名称の××××は、使用するホスト・マシン，OSにより異なります。

μS××××RA78K0S

μS××××CC78K0S

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700 TM	HP-UX TM (Rel.10.10)	
3K17	SPARCstation TM	SunOS TM (Rel.4.1.4) ， Solaris TM (Rel.2.5.1)	

μS××××DF789026

μS××××CC78K0S-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel.4.1.4) ，	3.5インチ2HD FD
3K15		Solaris (Rel.2.5.1)	1/4インチCGMT

A. 3 制御ソフトウェア

PM plus プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。PM plus上から，エディタの起動，ビルド，デバッグの起動など，ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> PM plusはアセンブラ・パッケージ (RA78K0S) の中に入っています。 Windows以外の環境では使用できません。
-------------------------	--

A. 4 フラッシュ・メモリ書き込み用ツール

Flashpro (FL-PR3, PG-FP3) Flashpro (FL-PR4, PG-FP4) フラッシュ・ライタ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライタ
FA-44GB-8ES フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro またはFlashpro に接続して使用します。 FA-44GB-8ES : 44ピン・プラスチックLQFP (GB-8ESタイプ) 用

備考 FL-PR3, FL-PR4, FA-44GB-8ESは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

A.5 ディバグ用ツール(ハードウェア)

IE-78K0S-NS インサーキット・エミュレータ	78K/0Sシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータ。統合ディバガ(ID78K0S-NS)に対応しています。ACアダプタ、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-78K0S-NS-A インサーキット・エミュレータ	IE-78K0S-NSの機能にカバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、ディバグ機能がより強化されています。
IE-70000-MC-PS-B ACアダプタ	AC100~240Vのコンセントから電源を供給するためのアダプタ
IE-70000-98-IF-C インタフェース・アダプタ	ホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときに必要なアダプタ(Cバス対応)
IE-70000-CD-IF-A PCカード・インタフェース	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブル(PCMCIAソケット対応)
IE-70000-PC-IF-C インタフェース・アダプタ	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタ(ISAバス対応)
IE-70000-PCI-IF-A インタフェース・アダプタ	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタ
IE-789026-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボード。インサーキット・エミュレータと組み合わせて使用します。
NP-44GB-TQ NP-H44GB-TQ エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのケーブルです。TGB-044SAPと組み合わせて使用します。
TGB-044SAP 変換アダプタ	44ピン・プラスチックLQFP(GB-8ESタイプ)を実装できるように作られたターゲット・システムの基板とNP-44GB-TQまたはNP-H44GB-TQを接続するための変換アダプタ

備考1. NP-44GB-TQ, NP-H44GB-TQは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

2. TGB-044SAPは、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部 (TEL (03) 3820-7112)

大阪電子部 (TEL (06) 6244-6672)

A.6 デバッグ用ツール(ソフトウェア)

ID78K0S-NS 統合ディバッガ	78K/0Sシリーズ用のインサーキット・エミュレータ IE-78K0S-NS, IE-78K0S-NS-Aに対応したディバッガです。ID78K0S-NSは、Windowsベースのソフトウェアです。 C言語対応のディバッガ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイル(DF789026)と組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ ID78K0S-NS
SM78K0S システム・シミュレータ	78K/0Sシリーズ用のシステム・シミュレータです。SM78K0Sは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのディバッガが可能です。 SM78K0Sを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル(DF789026)と組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ SM78K0S
DF789026 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ DF789026

注 DF789026は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

備考 オーダ名称の $\times \times \times \times$ は、使用するOS、供給媒体により異なります。

$\mu S \times \times \times \times$ ID78K0S-NS

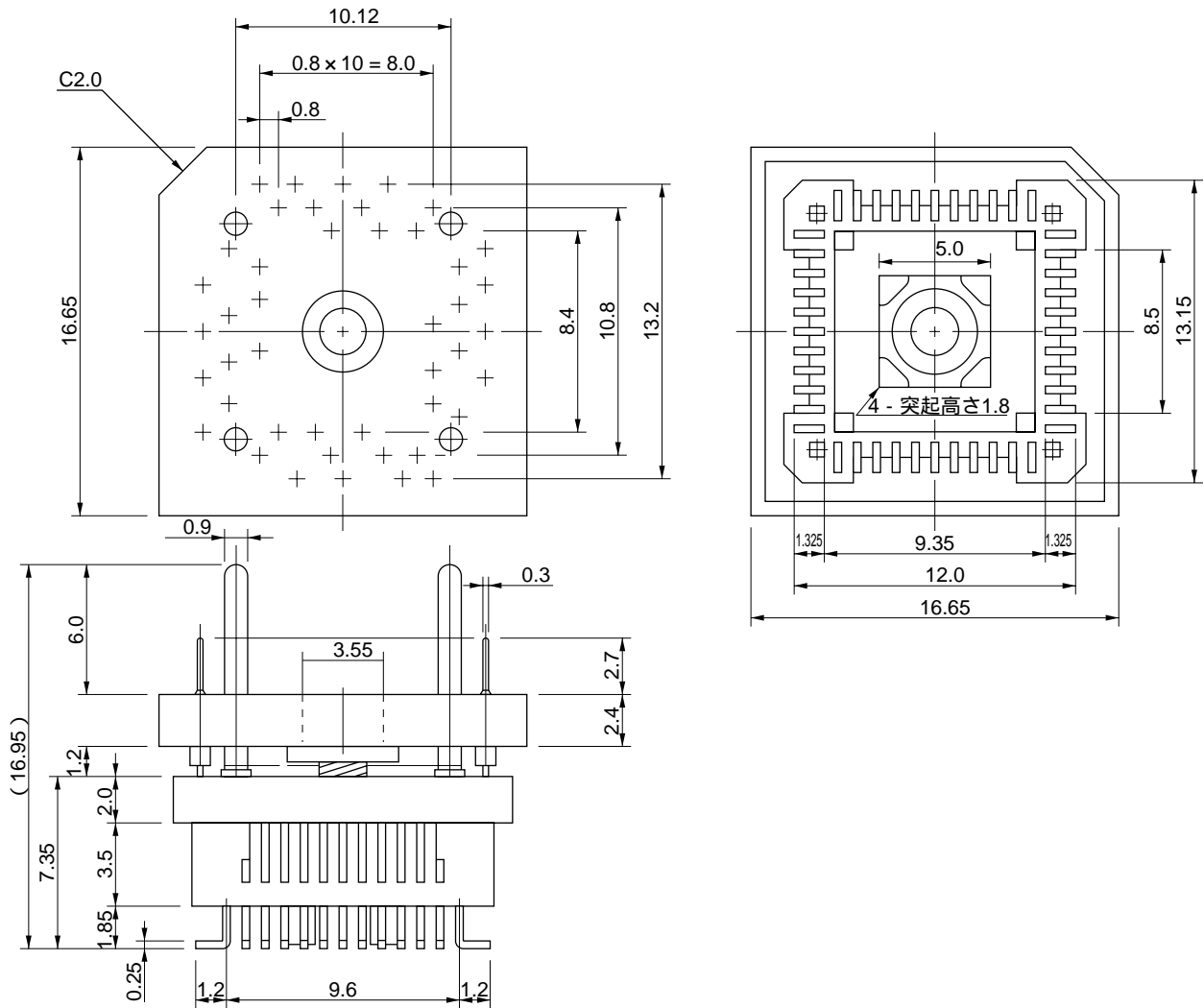
$\mu S \times \times \times \times$ SM78K0S

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17	IBM PC/AT互換機	日本語Windows	CD-ROM
BB17		英語Windows	

A. 7 変換アダプタ (TGB-044SAP) の外形図

図A - 2 TGB-044SAP 外形図 (参考) (単位 : mm)

参考図 : TGB-044SAP (TQPACK044SA + TQSOCKET044SAP)
外形図 (単位 : mm)



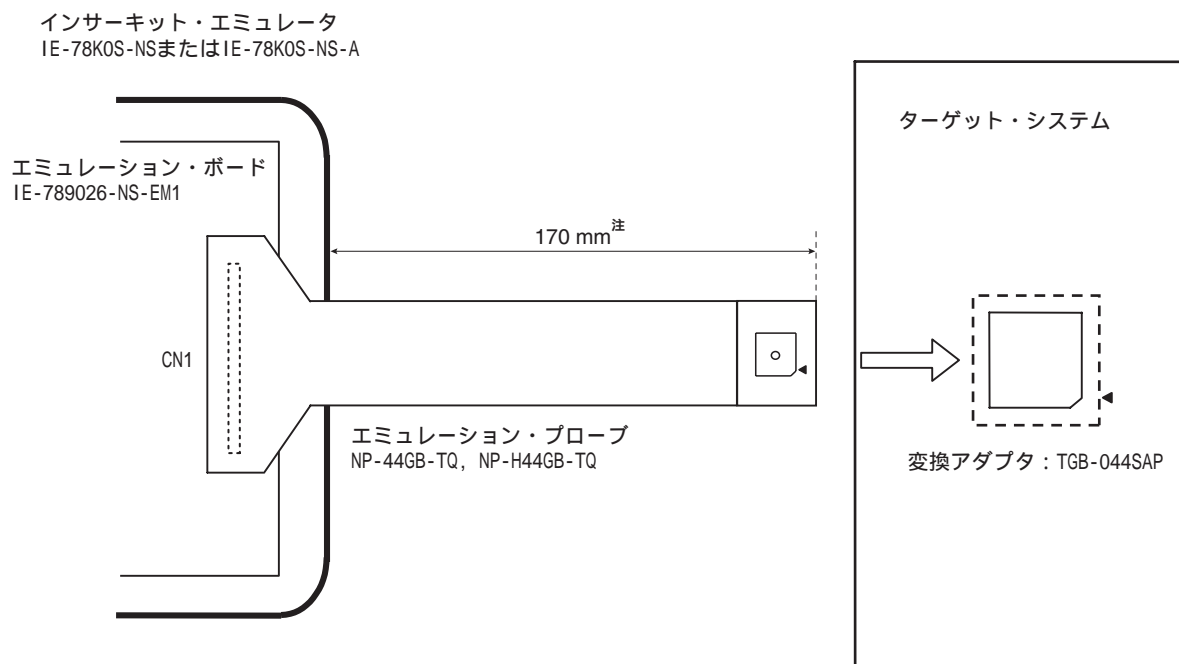
TGB-044SAP-G0

備考 東京エレテック株式会社の製品です。

付録B ターゲット・システム設計上の注意

エミュレーション・プローブと変換アダプタとの接続条件図を図B - 1, 図B - 2に示します。ターゲット・システム上に実装する部品の形状などを考慮したうえで、この構成によってシステム設計をしてください。

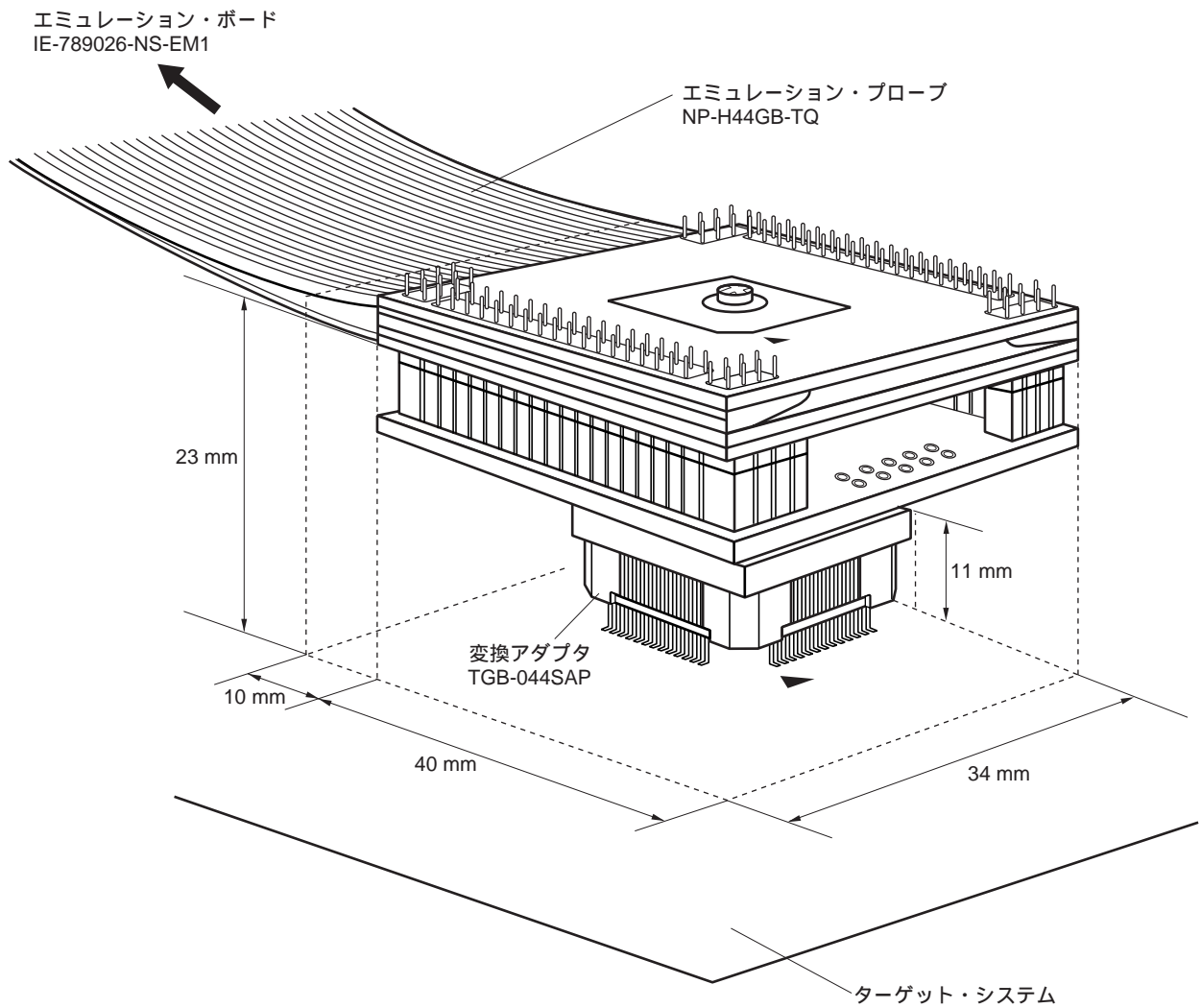
図B - 1 インサーキット・エミュレータから変換アダプタまでの距離



注 NP-44GB-TQの場合の距離です。NP-H44GB-TQの場合は、370 mmです。

備考 NP-44GB-TQ, およびNP-H44GB-TQは、株式会社内藤電誠町田製作所の製品です。
TGB-044SAPは、東京エレテック株式会社の製品です。

図B - 2 ターゲット・システムの接続条件 (NP-H44GB-TQの場合)



- 備考1. NP-H44GB-TQは、株式会社内藤電誠町田製作所の製品です。
 2. TGB-044SAPは、東京エレクトック株式会社の製品です。

付録C レジスタ索引

C.1 レジスタ索引 (50音順)

[あ行]

- アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) ... 126
- アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) ... 124
- ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ... 115

[か行]

- 外部割り込みモード・レジスタ0 (INTM0) ... 154
- キー・リターン・モード・レジスタ00 (KRM00) ... 156

[さ行]

- 16ビット・キャプチャ・レジスタ20 (TCP20) ... 89
- 16ビット・コンペア・レジスタ20 (CR20) ... 89
- 16ビット・タイマ・カウンタ20 (TM20) ... 89
- 16ビット・タイマ・モード・コントロール・レジスタ20 (TMC20) ... 90
- 受信バッファ・レジスタ00 (RXB00) ... 122
- シリアル動作モード・レジスタ00 (CSIM00) ... 123
- 送信シフト・レジスタ00 (TXS00) ... 122

[た行]

- タイマ・クロック選択レジスタ2 (TCL2) ... 114

[は行]

- 8ビット・コンペア・レジスタ00 (CR00) ... 103
- 8ビット・タイマ・カウンタ00 (TM00) ... 103
- 8ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) ... 104
- 発振安定時間選択レジスタ (OSTS) ... 164
- プルアップ抵抗オプション・レジスタ (PUO) ... 78
- プロセッサ・クロック・コントロール・レジスタ (PCC) ... 81
- ポート0 (P0) ... 67
- ポート1 (P1) ... 68
- ポート2 (P2) ... 69
- ポート3 (P3) ... 72
- ポート4 (P4) ... 73
- ポート5 (P5) ... 74
- ポート・モード・レジスタ0 (PM0) ... 77
- ポート・モード・レジスタ1 (PM1) ... 77

ポート・モード・レジスタ2 (PM2) ...	77
ポート・モード・レジスタ3 (PM3) ...	77
ポート・モード・レジスタ4 (PM4) ...	77
ポート・モード・レジスタ5 (PM5) ...	77, 92, 105
ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) ...	127

[わ行]

割り込みマスク・フラグ・レジスタ0 (MK0) ...	153
割り込みマスク・フラグ・レジスタ1 (MK1) ...	153
割り込み要求フラグ・レジスタ0 (IF0) ...	152
割り込み要求フラグ・レジスタ1 (IF1) ...	152

C.2 レジスタ索引 (アルファベット順)

[A]

- ASIM00 : アシクロナス・シリアル・インタフェース・モード・レジスタ00 ... 124
ASIS00 : アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 ... 126

[B]

- BRGC00 : ボー・レート・ジェネレータ・コントロール・レジスタ00 ... 127

[C]

- CR00 : 8ビット・コンペア・レジスタ00 ... 103
CR20 : 16ビット・コンペア・レジスタ20 ... 89
CSIM00 : シリアル動作モード・レジスタ00 ... 123

[I]

- IF0 : 割り込み要求フラグ・レジスタ0 ... 152
IF1 : 割り込み要求フラグ・レジスタ1 ... 152
INTM0 : 外部割り込みモード・レジスタ0 ... 154

[K]

- KRM00 : キー・リターン・モード・レジスタ00 ... 156

[M]

- MK0 : 割り込みマスク・フラグ・レジスタ0 ... 153
MK1 : 割り込みマスク・フラグ・レジスタ1 ... 153

[O]

- OSTS : 発振安定時間選択レジスタ ... 164

[P]

- P0 : ポート0 ... 67
P1 : ポート1 ... 68
P2 : ポート2 ... 69
P3 : ポート3 ... 72
P4 : ポート4 ... 73
P5 : ポート5 ... 74
PCC : プロセッサ・クロック・コントロール・レジスタ ... 81
PM0 : ポート・モード・レジスタ0 ... 77
PM1 : ポート・モード・レジスタ1 ... 77
PM2 : ポート・モード・レジスタ2 ... 77
PM3 : ポート・モード・レジスタ3 ... 77
PM4 : ポート・モード・レジスタ4 ... 77
PM5 : ポート・モード・レジスタ5 ... 77, 92, 105

PUO : プルアップ抵抗オプション・レジスタ ... 78

[R]

RXB00 : 受信バッファ・レジスタ00 ... 122

[T]

TCL2 : タイマ・クロック選択レジスタ2 ... 114

TCP20 : 16ビット・キャプチャ・レジスタ20 ... 89

TM00 : 8ビット・タイマ・カウンタ00 ... 103

TM20 : 16ビット・タイマ・カウンタ20 ... 89

TMC00 : 8ビット・タイマ・モード・コントロール・レジスタ00 ... 104

TMC20 : 16ビット・タイマ・モード・コントロール・レジスタ20 ... 89

TXS00 : 送信シフト・レジスタ00 ... 122

[W]

WDTM : ウォッチドッグ・タイマ・モード・レジスタ ... 115

付録D 改版履歴

D.1 本版で改訂された主な箇所

箇所	内容
pp.22, 23, 24-26	第1章 概 説 <ul style="list-style-type: none"> ・鉛フリー製品を追加 μ PD789022GB-xxx-8ES-A, μ PD789024GB-xxx-8ES-A, μ PD789025GB-xxx-8ES-A, μ PD789026GB-xxx-8ES-A, μ PD78F9026AGB-8ES-A ・1.5 78K/0Sシリーズの展開を最新の内容に変更
p.34	第2章 端子機能 <ul style="list-style-type: none"> ・2.2.12 VPP (μ PD78F9026Aのみ) の記述を修正
pp.70, 75	第4章 ポート機能 <ul style="list-style-type: none"> ・図4-5 P21のブロック図を修正 ・図4-10 P51のブロック図を修正
pp.127-129, 135, 136	第9章 シリアル・インタフェース00 <ul style="list-style-type: none"> ・図9-6 ポー・レート・ジェネレータ・コントロール・レジスタ00のフォーマットの注意文を修正 ・9.3(4) ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) に3線シリアルI/Oモードの説明を追加 ・9.4.2(d) ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) の注意文を修正 ・表9-3, 表9-5 システム・クロックとポー・レートの関係例の注意文を修正
p.210	第18章 半田付け推奨条件 <ul style="list-style-type: none"> ・表18-1 表面実装タイプの半田付け条件に鉛フリー製品の条件を追加

D.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/2)

版数	前版からの改版内容	適用箇所
第2版	μ PD789025, 789026を開発中から開発済みに変更	全般
	特殊機能レジスタ一覧で略号を変更	第3章 CPUアーキテクチャ
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00で1ビット操作が可能に変更	
	各ポートのブロック図を変更	第4章 ポート機能
	16ビット・タイマ・モード・コントロール・レジスタ20の略号とフラグ名称を変更	第6章 16ビット・タイマ・カウンタ
	8ビット・タイマ・モード・コントロール・レジスタ00の略号とフラグ名称を変更	第7章 8ビット・タイマ / イベント・カウンタ
	シリアル動作モード・レジスタ00の略号とフラグ名称を変更	第9章 シリアル・インタフェース00
	アシンクロナス・シリアル・インタフェース・モード・レジスタ00の略号とフラグ名称を変更	
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00の略号とフラグ名称を変更	
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00で1ビット・メモリ操作命令が可能に変更	
	ポー・レート・ジェネレータ・コントロール・レジスタ00の略号とフラグ名称を変更	
	割り込み要求フラグ・レジスタのフラグ名称を変更	第10章 割り込み機能
	割り込みマスク・フラグ・レジスタのフラグ名称を変更	
	キー・リターン・モード・レジスタ00の略号とフラグ名称を変更	
	マスクブル割り込みで割り込み要求受け付けのタイミングに対する説明文を追加	
Flashpro での設定を追加	第13章 μ PD78F9026	
第3版	μ PD789022, 789024を開発中から開発済みに変更	全般
	μ PD78F9026をμ PD78F9026Aに品名変更	
	次の製品を削除 μ PD789022CU- x x x , 789024CU- x x x	
	全品種にGB-8ESタイプのパッケージを追加	
	各端子の入出力回路タイプと未使用端子の処理で回路タイプと未使用時の推奨接続方法を変更	第2章 端子機能
	タイマ割り込みとしての動作でCR20の書き換えに対する注意事項を追加	第6章 16ビット・タイマ
	8ビット・コンペア・レジスタ00 (CR00) でCR00の書き換えに対する注意事項を追加	第7章 8ビット・タイマ / イベント・カウンタ
	インターバル・タイマとしての動作に操作方法の説明文を追加	
	外部イベント・カウンタとしての動作に操作方法の説明文を追加	
	方形波出力としての動作に操作方法の説明文を追加	
	フラッシュ・ライタをFlashpro からFlashpro に変更	第13章 μ PD78F9026A
	組み込み用ソフトウェアでMX78K0Sのオーダ名称を追加	付録B 組み込み用ソフトウェア

版数	前版からの改版内容	適用箇所
第4版	次のパッケージを削除 ・42ピン・プラスチック・シュリンクDIP (CUタイプ) ・44ピン・プラスチックQFP (GB-3BS-MTXタイプ)	全般
	V _{PP} 端子の端子処理を変更	第2章 端子機能
	6.4.1 タイマ割り込みとしての動作, 6.4.2 タイマ出力としての動作の記述を修正	第6章 16ビット・タイマ20
	6.4.1 タイマ割り込みとしての動作で CR20 の書き換えについての注意事項を修正	
	6.5 16ビット・タイマ20の注意事項を追加	
	図9-5 アシクロナス・シリアル・インタフェース・ステータス・レジスタ00のフォーマットで, PE00フラグの説明を修正	第9章 シリアル・インタフェース00
	UARTの受信データ読み出しの説明を追加	
	図10-2 割り込み要求フラグ・レジスタのフォーマットに注意文を追加	第10章 割り込み機能
	フラッシュ・メモリ・プログラミングに関する内容を, 13.1 フラッシュ・メモリの特徴として全面改定	第13章 μ PD78F9026A
	電気的特性を追加	第15章 電気的特性
	マスクROM製品の特性曲線を追加	第16章 特性曲線 (マスクROM製品)
	外形図を追加	第17章 外形図
	半田付け推奨条件を追加	第18章 半田付け推奨条件
	開発ツールの内容を全面改訂 組み込み用ソフトウェアを削除	付録A 開発ツール
ターゲット・システム設計上の注意を追加	付録B ターゲット・システム設計上の注意	

[メモ]

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。
