

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザース・マニュアル

μPD789842サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μPD789841

μPD789842

μPD78F9842

〔メモ〕

目次要約

第1章	概 説	...	14	
第2章	端子機能	...	21	
第3章	CPUアーキテクチャ	...	28	
第4章	ポート機能	...	53	
第5章	クロック発生回路	...	63	
第6章	10ビット・インバータ制御用タイマ	...	70	
第7章	8ビット・タイマ/イベント・カウンタ	80, 81, 82	...	82
第8章	時計用タイマ	...	98	
第9章	ウォッチドッグ・タイマ	...	103	
第10章	A/Dコンバータ	...	109	
第11章	シリアル・インタフェース	...	122	
第12章	乗算器	...	141	
第13章	スワッピング (SWAP)	...	144	
第14章	割り込み機能	...	146	
第15章	スタンバイ機能	...	159	
第16章	リセット機能	...	166	
第17章	μ PD78F9842	...	170	
第18章	命令セットの概要	...	180	
第19章	電気的特性	...	191	
第20章	外形図	...	199	
第21章	半田付け推奨条件	...	201	
付録A	開発ツール	...	202	
付録B	ターゲット・システム設計上の注意	...	208	
付録C	レジスタ索引	...	210	
付録D	改版履歴	...	215	

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIIは、NECエレクトロニクス株式会社の登録商標です。

EEPROMは、NECエレクトロニクス株式会社の商標です。

WindowsおよびWindowsNTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700、HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD78F9842

ユーザ判定品 : μ PD789841, 789842

- 本資料に記載されている内容は2005年8月現在のものです。今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

はじめに

- 対象者** このマニュアルは μ PD789842サブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
・ μ PD789842サブシリーズ： μ PD789841, 789842, 78F9842
- 目的** このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。
- 構成** μ PD789842サブシリーズのマニュアルは、このマニュアルと命令編（78K/0Sシリーズ共通）の2冊に分かれています。

μ PD789842サブシリーズ ユーザーズ・マニュアル	78K/0Sシリーズ ユーザーズ・マニュアル 命令編
端子機能	CPU機能
内部ブロック機能	命令セット
割り込み	命令の説明
その他の内蔵周辺機能	
電気的特性	

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は、本版で改訂された主な箇所を示しています。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がアセンブラでは予約語に、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

レジスタ名が分かっているレジスタの詳細を確認するとき

付録C レジスタ索引を利用してください。

78K/0Sシリーズの命令機能の詳細を知りたいとき

別冊の**78K/0Sシリーズ ユーザーズ・マニュアル 命令編 (U11047J)**を参照してください。

μ PD789842サブシリーズの電気的特性を知りたいとき

第19章 電気的特性を参照してください。

- 凡例**
- | | |
|-------------|--|
| データ表記の重み | : 左が上位桁, 右が下位桁 |
| アクティブ・ロウの表記 | : $\overline{\text{xxx}}$ (端子, 信号名称に上線) |
| 注 | : 本文中につけた注の説明 |
| 注意 | : 気をつけて読んでいただきたい内容 |
| 備考 | : 本文の補足説明 |
| 数の表記 | : 2進数... xxx または xxx B
10進数... xxx
16進数... xxx H |

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μPD789842サブシリーズ ユーザーズ・マニュアル	このマニュアル	U13776E
78K0Sシリーズ ユーザーズ・マニュアル 命令編	U11047J	U11047E

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号		
	和文	英文	
RA78K0S アセンブラ・パッケージ	操作編	U14876J	U14876E
	言語編	U14877J	U14877E
	構造化アセンブリ言語編	U11623J	U11623E
CC78K0S Cコンパイラ	操作編	U14871J	U14871E
	言語編	U14872J	U14872E
SM78Kシリーズ システム・シミュレータ Ver.2.30以上	操作編（Windows®ベース）	U15373J	U15373E
	外部部品ユーザ・オープン・インタフェース仕様編	U15802J	U15802E
ID78Kシリーズ 統合ディバッガ Ver.2.30以上	操作編（Windowsベース）	U15185J	U15185E
プロジェクト・マネージャ Ver.3.12以上（Windowsベース）	U14610J	U14610E	

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
IE-78K0S-NS インサーキット・エミュレータ	U13549J	U13549E
IE-78K0S-NS-A インサーキット・エミュレータ	U15207J	U15207E
IE-789842-NS-EM1 エミュレーション・ボード	U14545J	U14545E

フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U13502J	U13502E
PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U15260J	U15260E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE - Products and Packages -	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 ... 14

- 1.1 特 徴 ... 14
- 1.2 応用分野 ... 14
- 1.3 オータ情報 ... 14
- 1.4 端子接続図 (Top View) ... 15
- 1.5 78K/0Sシリーズの展開 ... 16
- 1.6 ブロック図 ... 19
- 1.7 機能概要 ... 20

第2章 端子機能 ... 21

- 2.1 端子機能一覧 ... 21
- 2.2 端子機能の説明 ... 23
 - 2.2.1 P00-P07 (Port0) ... 23
 - 2.2.2 P10-P17 (Port1) ... 23
 - 2.2.3 P20-P25 (Port2) ... 23
 - 2.2.4 P60-P67 (Port6) ... 24
 - 2.2.5 TO70-TO75 ... 24
 - 2.2.6 $\overline{\text{RESET}}$... 24
 - 2.2.7 X1, X2 ... 24
 - 2.2.8 AVDD ... 24
 - 2.2.9 AVSS ... 24
 - 2.2.10 VDD ... 24
 - 2.2.11 VSS ... 24
 - 2.2.12 VPP (μ PD78F9842のみ) ... 25
 - 2.2.13 IC ... 25
- 2.3 端子の入出力回路と未使用端子の処理 ... 26

第3章 CPUアーキテクチャ ... 28

- 3.1 メモリ空間 ... 28
 - 3.1.1 内部プログラム・メモリ空間 ... 31
 - 3.1.2 内部データ・メモリ (内部高速RAM) 空間 ... 31
 - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 31
 - 3.1.4 データ・メモリ・アドレッシング ... 32
- 3.2 プロセッサ・レジスタ ... 35
 - 3.2.1 制御レジスタ ... 35
 - 3.2.2 汎用レジスタ ... 39
 - 3.2.3 特殊機能レジスタ (SFR) ... 40
- 3.3 命令アドレスのアドレッシング ... 43
 - 3.3.1 レラティブ・アドレッシング ... 43
 - 3.3.2 イミューディエト・アドレッシング ... 44
 - 3.3.3 テーブル・インダイレクト・アドレッシング ... 45

- 3.3.4 レジスタ・アドレッシング ... 45
- 3.4 オペランド・アドレスのアドレッシング ... 46
 - 3.4.1 ダイレクト・アドレッシング ... 46
 - 3.4.2 ショート・ダイレクト・アドレッシング ... 47
 - 3.4.3 特殊機能レジスタ (SFR) アドレッシング ... 48
 - 3.4.4 レジスタ・アドレッシング ... 49
 - 3.4.5 レジスタ・インダイレクト・アドレッシング ... 50
 - 3.4.6 ベースト・アドレッシング ... 51
 - 3.4.7 スタック・アドレッシング ... 52

第4章 ポート機能 ... 53

- 4.1 ポートの機能 ... 53
- 4.2 ポートの構成 ... 54
 - 4.2.1 ポート0 ... 54
 - 4.2.2 ポート1 ... 55
 - 4.2.3 ポート2 ... 56
 - 4.2.4 ポート6 ... 58
- 4.3 ポート機能を制御するレジスタ ... 59
- 4.4 ポート機能の動作 ... 62
 - 4.4.1 入出力ポートへの書き込み ... 62
 - 4.4.2 入出力ポートからの読み出し ... 62
 - 4.4.3 入出力ポートでの演算 ... 62

第5章 クロック発生回路 ... 63

- 5.1 クロック発生回路の機能 ... 63
- 5.2 クロック発生回路の構成 ... 63
- 5.3 クロック発生回路を制御するレジスタ ... 64
- 5.4 システム・クロック発振回路 ... 65
 - 5.4.1 システム・クロック発振回路 ... 65
 - 5.4.2 分周回路 ... 67
- 5.5 クロック発生回路の動作 ... 68
- 5.6 CPUクロックの設定の変更 ... 69
 - 5.6.1 CPUクロックの切り替えに要する時間 ... 69
 - 5.6.2 CPUクロックの切り替え手順 ... 69

第6章 10ビット・インバータ制御用タイマ ... 70

- 6.1 10ビット・インバータ制御用タイマの機能 ... 70
- 6.2 10ビット・インバータ制御用タイマの構成 ... 70
- 6.3 10ビット・インバータ制御用タイマを制御するレジスタ ... 73
- 6.4 10ビット・インバータ制御用タイマの動作 ... 76

第7章 8ビット・タイマ/イベント・カウンタ80, 81, 82 ... 82

- 7.1 8ビット・タイマ/イベント・カウンタ80, 81, 82の機能 ... 82
- 7.2 8ビット・タイマ/イベント・カウンタ80, 81, 82の構成 ... 83
- 7.3 8ビット・タイマ/イベント・カウンタ80, 81, 82を制御するレジスタ ... 86

7.4	8ビット・タイマ/イベント・カウンタ80, 81, 82の動作	...	90
7.4.1	インターバル・タイマとしての動作	...	90
7.4.2	外部イベント・カウンタとしての動作	...	92
7.4.3	方形波出力としての動作	...	93
7.5	8ビット・タイマ/イベント・カウンタ80, 81, 82の注意事項	...	95
第8章 時計用タイマ ... 98			
8.1	時計用タイマの機能	...	98
8.2	時計用タイマの構成	...	99
8.3	時計用タイマを制御するレジスタ	...	100
8.4	時計用タイマの動作	...	101
8.4.1	時計用タイマとしての動作	...	101
8.4.2	インターバル・タイマとしての動作	...	101
第9章 ウォッチドッグ・タイマ ... 103			
9.1	ウォッチドッグ・タイマの機能	...	103
9.2	ウォッチドッグ・タイマの構成	...	104
9.3	ウォッチドッグ・タイマを制御するレジスタ	...	105
9.4	ウォッチドッグ・タイマの動作	...	107
9.4.1	ウォッチドッグ・タイマとしての動作	...	107
9.4.2	インターバル・タイマとしての動作	...	108
第10章 A/Dコンバータ ... 109			
10.1	A/Dコンバータの機能	...	109
10.2	A/Dコンバータの構成	...	109
10.3	A/Dコンバータを制御するレジスタ	...	112
10.4	A/Dコンバータの動作	...	114
10.4.1	A/Dコンバータの基本動作	...	114
10.4.2	入力電圧と変換結果	...	116
10.4.3	A/Dコンバータの動作モード	...	117
10.5	A/Dコンバータの注意事項	...	118
第11章 シリアル・インタフェース ... 122			
11.1	シリアル・インタフェースの機能	...	122
11.2	シリアル・インタフェースの構成	...	123
11.3	シリアル・インタフェースを制御するレジスタ	...	125
11.4	シリアル・インタフェースの動作	...	129
11.4.1	動作停止モード	...	129
11.4.2	アシンクロナス・シリアル・インタフェース (UART) モード	...	130
第12章 乗算器 ... 141			
12.1	乗算器の機能	...	141
12.2	乗算器の構成	...	141
12.3	乗算器を制御するレジスタ	...	143

第13章	スワッピング (SWAP)	...	144	
13.1	SWAPの機能	...	144	
13.2	SWAPの構成	...	144	
第14章	割り込み機能	...	146	
14.1	割り込み機能の種類	...	146	
14.2	割り込み要因と構成	...	147	
14.3	割り込み機能を制御するレジスタ	...	149	
14.4	割り込み処理動作	...	153	
14.4.1	ノンマスカブル割り込み要求の受け付け動作	...	153	
14.4.2	マスカブル割り込み要求の受け付け動作	...	155	
14.4.3	多重割り込み処理	...	157	
14.4.4	割り込み要求の保留	...	158	
第15章	スタンバイ機能	...	159	
15.1	スタンバイ機能と構成	...	159	
15.1.1	スタンバイ機能	...	159	
15.1.2	スタンバイ機能を制御するレジスタ	...	160	
15.2	スタンバイ機能の動作	...	161	
15.2.1	HALTモード	...	161	
15.2.2	STOPモード	...	164	
第16章	リセット機能	...	166	
第17章	μPD78F9842	...	170	
17.1	フラッシュ・メモリの特徴	...	171	
17.1.1	プログラミング環境	...	171	
17.1.2	通信方式	...	172	
17.1.3	オンボード上の端子処理	...	175	
17.1.4	フラッシュ書き込み用アダプタ上の接続	...	178	
第18章	命令セットの概要	...	180	
18.1	オペレーション	...	180	
18.1.1	オペランドの表現形式と記述方法	...	180	
18.1.2	オペレーション欄の説明	...	181	
18.1.3	フラグ動作欄の説明	...	181	
18.2	オペレーション一覧	...	182	
18.3	アドレッシング別命令一覧	...	188	
★	第19章	電気的特性	...	191
★	第20章	外形図	...	199
★	第21章	半田付け推奨条件	...	201

付録A 開発ツール ... 202

- A.1 ソフトウェア・パッケージ ... 204
- A.2 言語処理用ソフトウェア ... 204
- A.3 制御ソフトウェア ... 205
- A.4 フラッシュ・メモリ書き込み用ツール ... 205
- A.5 デバッグ用ツール(ハードウェア) ... 206
- A.6 デバッグ用ツール(ソフトウェア) ... 207

★ 付録B ターゲット・システム設計上の注意 ... 208

付録C レジスタ索引 ... 210

- C.1 レジスタ索引(50音順) ... 210
- C.2 レジスタ索引(アルファベット順) ... 212

付録D 改版履歴 ... 215

- D.1 本版で改訂された主な箇所 ... 215
- D.2 前版までの改版履歴 ... 216

第1章 概 説

1.1 特 徴

ROM, RAM容量

項 目 品 名	プログラム・メモリ (ROM/フラッシュ・メモリ)	データ・メモリ (高速RAM)
μ PD789841	8 Kバイト	256バイト
μ PD789842	16 Kバイト	
μ PD78F9842	16 Kバイト	

高速 (0.24 μ s) と低速 (0.96 μ s) に最小命令実行時間を変更可能 (システム・クロック 8.38 MHz動作時)

I/Oポート : 30本

シリアル・インタフェース (UART00) : 1チャンネル

タイマ : 6チャンネル

・10ビット・インバータ制御用タイマ : 1チャンネル

・8ビット・タイマ/イベント・カウンタ : 2チャンネル

・8ビット・タイマ : 1チャンネル

・時計用タイマ : 1チャンネル

・ウォッチドッグ・タイマ : 1チャンネル

8ビット分解能A/Dコンバータ : 8チャンネル

乗算器 : 10ビット \times 10ビット = 20ビット

SWAP : 8ビット・レジスタの上位4ビットの内容と下位4ビットの内容の入れ替えが可能

ベクタ割り込み要因 : 15

電源電圧 : $V_{DD} = 4.0 \sim 5.5$ V

1.2 応用分野

インバータ・エアコンなど

★ 1.3 オータ情報

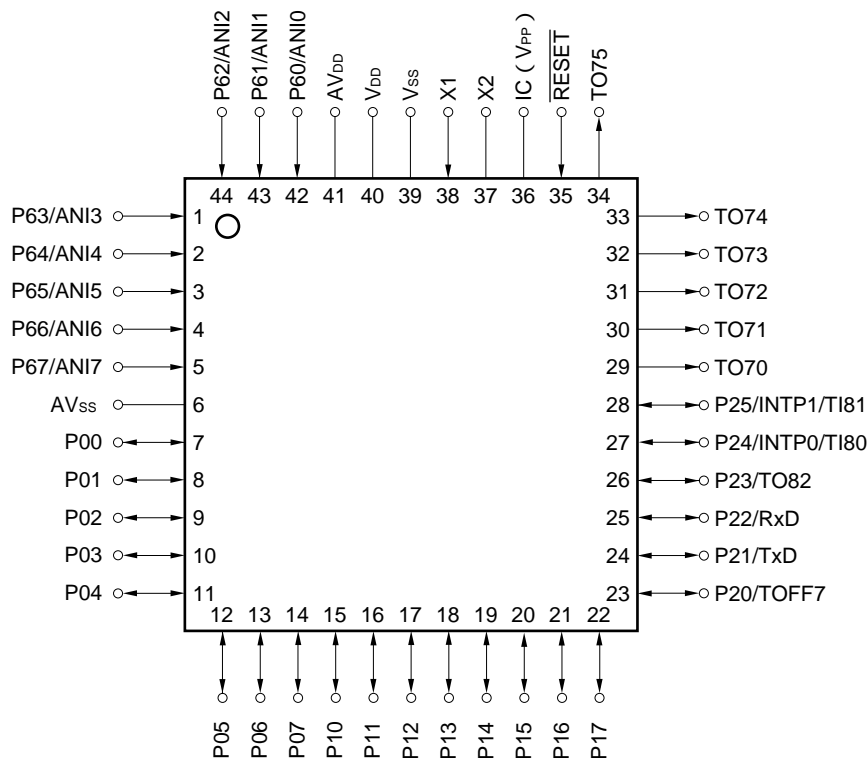
オータ名称	パッケージ	内部ROM
μ PD789841GB- $\times \times \times$ -3BS-MTX	44ピン・プラスチックQFP (10 \times 10)	マスクROM
μ PD789841GB- $\times \times \times$ -8ES	44ピン・プラスチックLQFP (10 \times 10)	"
μ PD789841GB- $\times \times \times$ -8ES-A	"	"
μ PD789842GB- $\times \times \times$ -3BS-MTX	44ピン・プラスチックQFP (10 \times 10)	"
μ PD789842GB- $\times \times \times$ -8ES	44ピン・プラスチックLQFP (10 \times 10)	"
μ PD789842GB- $\times \times \times$ -8ES-A	"	"
μ PD78F9842GB-3BS-MTX	44ピン・プラスチックQFP (10 \times 10)	フラッシュ・メモリ
μ PD78F9842GB-8ES	44ピン・プラスチックLQFP (10 \times 10)	"
μ PD78F9842GB-8ES-A	"	"

備考1. $\times \times \times$ はROMコード番号です。

2. オータ名称末尾「-A」の製品は、鉛フリー製品です。

1.4 端子接続図 (Top View)

- ・ 44ピン・プラスチックQFP (10 x 10)
- ・ 44ピン・プラスチックLQFP (10 x 10)



注意1. IC端子は、V_{SS}に直接接続してください。

2. AV_{DD}端子は、V_{DD}に接続してください。

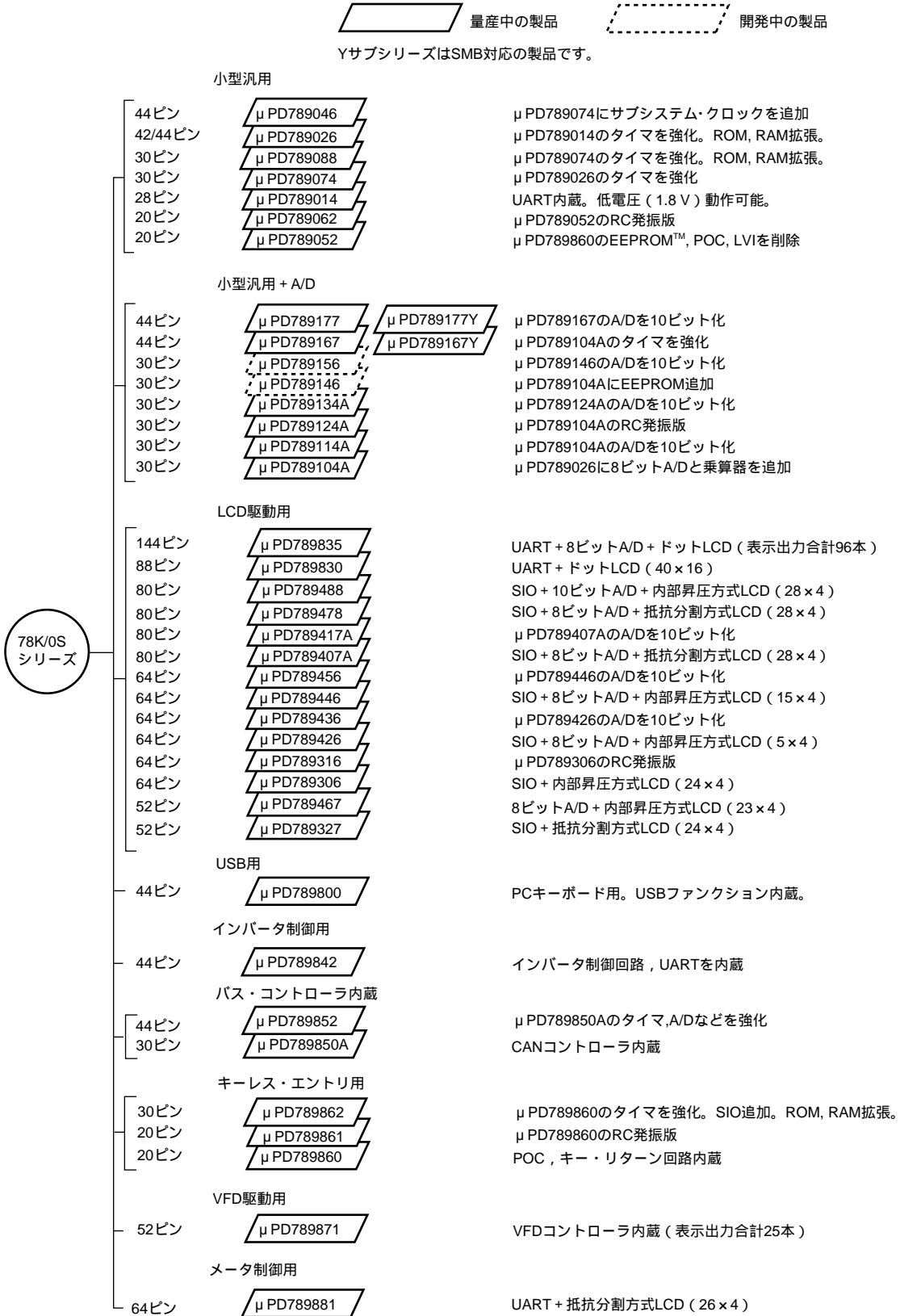
3. AV_{SS}端子は、V_{SS}に接続してください。

備考 () 内は、 μ PD78F9842のとき

ANI0-ANI7	: Analog Input	RxD	: Receive Data
AV _{DD}	: Analog Power Supply	TI80, TI81	: Timer Input
AV _{SS}	: Analog Ground	TO70-TO75, TO82	: Timer Output
IC	: Internally Connected	TOFF7	: Timer Output Off
INTP0, INTP1	: External Interrupt Input	TxD	: Transmit Data
P00-P07	: Port0	V _{DD}	: Power Supply
P10-P17	: Port1	V _{PP}	: Programming Power Supply
P20-P25	: Port2	V _{SS}	: Ground
P60-P67	: Port6	X1, X2	: Crystal
RESET	: Reset		

★ 1.5 78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



備考 蛍光表示管の一般的な英語名称はVFD（Vacuum Fluorescent Display）ですが、ドキュメントによってはFIP®（Fluorescent Indicator Panel）と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを次に示します。

汎用，LCD駆動用シリーズ

サブシリーズ名	機 能	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考	
			8-bit	16-bit	時計	WDT	A/D	A/D			最小値		
小型 汎用	μPD789046	16 K	1 ch	1 ch	1 ch	1 ch	-	-	1 ch (UART : 1ch)	34本	1.8 V	-	
	μPD789026	4 K-16 K											
	μPD789088	16 K-32 K	3 ch							24本			
	μPD789074	2 K-8 K	1 ch										
	μPD789014	2 K-4 K	2 ch	-						22本			
	μPD789062	4 K							-	14本		RC発振版	
	μPD789052										-		
小型 汎用 + A/D	μPD789177	16 K-24 K	3 ch	1 ch	1 ch	1ch	-	8 ch	1 ch (UART : 1ch)	31本	1.8 V	-	
	μPD789167						8 ch	-				-	
	μPD789156	8 K-16 K	1 ch				-	4 ch		20本		EEPROM内蔵	
	μPD789146						4 ch	-				-	
	μPD789134A	2 K-8 K					-	4 ch				RC発振版	
	μPD789124A						4 ch	-				-	
	μPD789114A						-	4 ch				-	
	μPD789104A						4 ch	-				-	
LCD 駆動用	μPD789835	24 K-60 K	6 ch	-	1 ch	1 ch	3 ch	-	1 ch (UART : 1ch)	37本	1.8 V ^注	ドットLCD	
	μPD789830	24 K	1 ch	1 ch			-					30本	2.7 V
	μPD789488	32 K-48 K	3 ch				8 ch	-	2 ch (UART : 1ch)	45本	1.8 V	-	
	μPD789478	24 K-48 K					8 ch	-				-	
	μPD789417A	12 K-24 K	2 ch				-	7 ch	1 ch (UART : 1ch)	43本		-	
	μPD789407A						7 ch	-				-	
	μPD789456	12 K-16 K					-	6 ch				-	30本
	μPD789446						6 ch	-				-	
	μPD789436						-	6 ch				-	40本
	μPD789426						6 ch	-				-	
	μPD789316	8 K-16 K					-	-	2 ch (UART : 1ch)	23本		RC発振版	
	μPD789306						-	-				-	
	μPD789467	4 K-24 K					1 ch	-				-	18本
	μPD789327						-	-				-	21本

注 フラッシュ・メモリ版 : 3.0 V

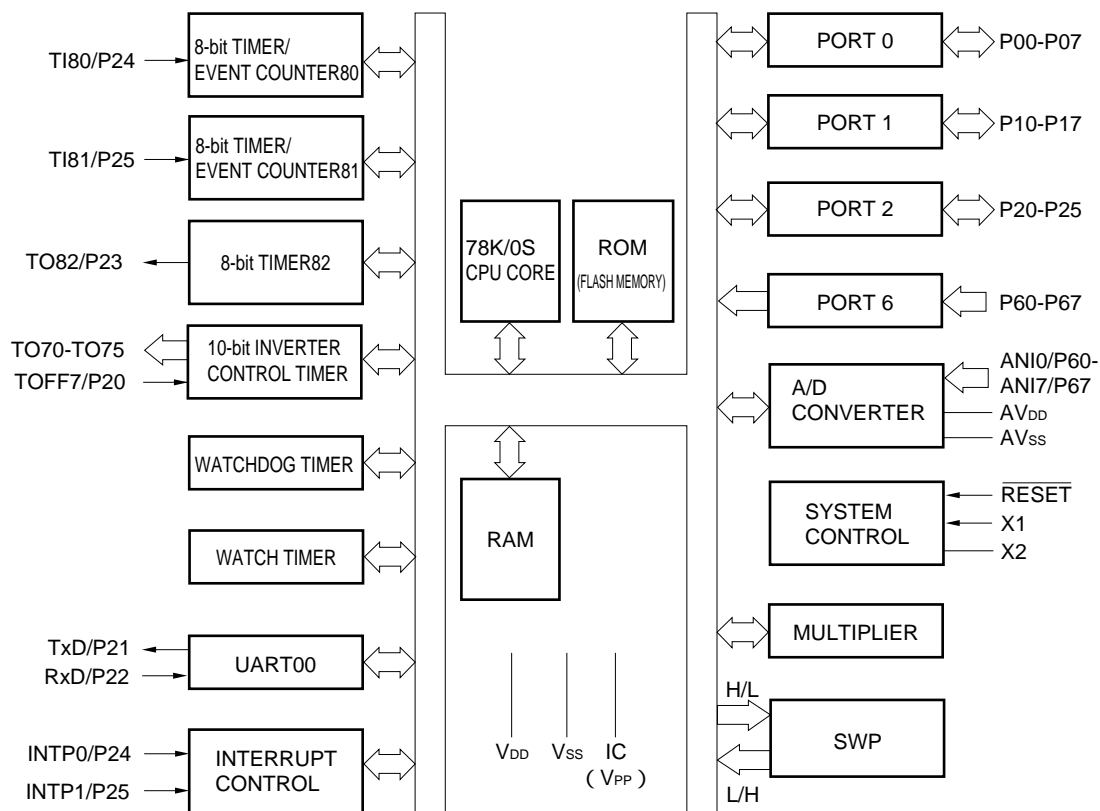
ASSP用シリーズ

機能 サブシリーズ名	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考
		8-bit	16-bit	時計	WDT	A/D	A/D			最小値	
USB用 μPD789800	8K	2 ch	-	-	1 ch	-	-	2 ch (USB : 1 ch)	31本	4.0 V	-
インバー タ制御用 μPD789842	8 K-16 K	3 ch	注1	1 ch	1 ch	8 ch	-	1 ch (UART : 1ch)	30本	4.0 V	-
バス・コント ローラ内蔵 μPD789852	24 K-32 K	3 ch	1 ch	-	1 ch	-	8ch	3 ch (UART : 2ch)	31本	4.0 V	-
μPD789850A	16 K	1 ch				4 ch	-	2 ch (UART : 1ch)	18本		
キース ・エント リ用 μPD789861	4 K	2 ch	-	-	1 ch	-	-	-	14本	1.8 V	RC発振版, EEPROM内蔵
μPD789860	4 K	2 ch						-	22本		EEPROM内蔵
μPD789862	16 K	1 ch						2 ch	1 ch (UART : 1ch)		22本
VFD 駆動用 μPD789871	4 K-8 K	3 ch	-	1 ch	1 ch	-	-	1 ch	33本	2.7 V	-
メータ 制御用 μPD789881	16 K	2 ch	1 ch	-	1 ch	-	-	1 ch (UART : 1ch)	28本	2.7 V ^{注2}	-

注1. 10ビット・タイマ : 1チャンネル

2. フラッシュ・メモリ版 : 3.0 V

1.6 ブロック図



備考 ()内は, μ PD78F9842のとき

1.7 機能概要

項 目		μ PD789841	μ PD789842	μ PD78F9842
内部メモリ	ROM構造	マスクROM		フラッシュ・メモリ
	ROM	8 Kバイト	16 Kバイト	16 Kバイト
	RAM	256バイト		
最小命令実行時間		0.24 μs/0.96 μs (システム・クロック : 8.38 MHz動作時)		
命令セット		<ul style="list-style-type: none"> ・ 16ビット演算 ・ ビット操作 (セット, リセット, テスト) など 		
I/Oポート		合計 : 30本 CMOS入出力 : 22本 CMOS入力 : 8本		
シリアル・インタフェース		UART : 1チャンネル		
タイマ		<ul style="list-style-type: none"> ・ 10ビット・インバータ制御用タイマ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル ・ 8ビット・タイマ : 1チャンネル ・ 時計用タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 		
A/Dコンバータ		8ビット分解能 × 8チャンネル		
乗算器		10ビット × 10ビット = 20ビット		
SWAP		8ビット・レジスタの上位4ビットの内容と下位4ビットの内容の入れ替えが可能		
ベクタ 割り込み要因	マスカブル	内部 : 12, 外部 : 2		
	ノンマスカブル	内部 : 1		
電源電圧		V _{DD} = 4.0 ~ 5.5 V		
動作周囲温度		T _A = -40 ~ +85		
パッケージ		<ul style="list-style-type: none"> ・ 44ピン・プラスチックQFP (10 × 10) ・ 44ピン・プラスチックLQFP (10 × 10) 		

次に、タイマの概要を示します。

		TM7	TM80	TM81	TM82	WT ^{注1}	WDT ^{注2}
動作 モード	インターバル・タイマ	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル
	外部イベント・カウンタ	-	1チャンネル	1チャンネル	-	-	-
機能	タイマ出力	1出力	-	-	1出力	-	-
	方形波出力	-	-	-	1出力	-	-
	割り込み要因	1	1	1	1	2	2

注1. 時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2. ウォッチドッグ・タイマは、ウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

第2章 端子機能

2.1 端子機能一覧

(1) ポート端子

端子名称	入出力	機 能	リセット時	兼用端子
P00-P07	入出力	ポート0。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P10-P17	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P20	入出力	ポート2。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 プルアップ抵抗オプション・レジスタB2 (PUB2) の設定により、内蔵プルアップ抵抗を使用可能。	入力	TOFF7
P21				TxD
P22				RxD
P23				TO82
P24				INTP0/TI80
P25				INTP1/TI81
P60-P67	入力	ポート6。 8ビット入力ポート。	入力	ANI0-ANI7

(2) ポート以外の端子

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み入力	入力	P24/TI80
INTP1				P25/TI81
RxD	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力	入力	P22
TxD	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力	入力	P21
TO70-TO75	出力	10ビット・インバータ制御用タイマのタイマ出力	出力	-
TOFF7	入力	タイマ出力（TO70-TO75）停止外部入力	入力	P20
TI80	入力	TM80の外部カウント・クロック入力	入力	P24/INTP0
TI81		TM81の外部カウント・クロック入力		P25/INTP1
TO82	出力	TM82のタイマ出力	入力	P23
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	入力	P60-P67
AV _{SS}	-	A/Dコンバータのグランド電位	-	-
AV _{DD}		A/Dコンバータのアナログ電源	-	-
X1	入力	システム・クロック発振用クリスタル接続	-	-
X2	-		-	-
RESET	入力	システム・リセット入力	入力	-
V _{DD}	-	ポート部の正電源	-	-
V _{SS}	-	ポート部のグランド電位	-	-
IC	-	内部接続されています。V _{SS} に直接接続してください。	-	-
★ V _{PP}	-	フラッシュ・メモリ・プログラミング・モード設定。 プログラム書き込み/ベリファイ時の高電圧印加。	-	-

2.2 端子機能の説明

2.2.1 P00-P07 (Port0)

8ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

2.2.2 P10-P17 (Port1)

8ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

2.2.3 P20-P25 (Port2)

6ビットの入出力ポートです。入出力ポートのほかに、外部割り込み入力、タイマ入出力、UARTのデータ入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

6ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタB2 (PUB2) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み入力、タイマ入出力、UARTのデータ入出力として機能します。

(a) INTP0, INTP1

有効エッジ (立ち上がりエッジ, 立ち下がりエッジおよび立ち上がり立ち下がりの両エッジ) 指定可能な外部割り込み入力端子です。

(b) TOFF7

10ビット・インバータ制御用タイマのタイマ出力 (TO70-TO75) 停止外部入力端子です。

(c) TI80, TI81

8ビット・タイマ/イベント・カウンタ80, 81の外部カウント・クロック入力端子です。

(d) TO82

8ビット・タイマ82のタイマ出力端子です。

(e) RxD, TxD

UARTのシリアル・データの入出力端子です。

注意 UARTのデータ入出力端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については11.3(1) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) を参照してください。

2.2.4 P60-P67 (Port6)

8ビット入力専用ポートです。汎用入力ポートのほかにA/Dコンバータのアナログ入力機能があります。

(1) ポート・モード

8ビットの入力専用ポートとして機能します。

(2) コントロール・モード

A/Dコンバータのアナログ入力 (ANI0-ANI7) として機能します。

2.2.5 TO70-TO75

10ビット・インバータ制御用タイマのタイマ出力端子です。

2.2.6 RESET

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.7 X1, X2

システム・クロック発振用クリスタル振動子接続端子です。

2.2.8 AVDD

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常にV_{DD}端子と同電位で使用してください。

2.2.9 AVSS

A/Dコンバータのグラウンド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS}端子と同電位で使用してください。

2.2.10 VDD

正電源供給端子です。

2.2.11 VSS

グラウンド電位端子です。

2.2.12 V_{PP} (μ PD78F9842のみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

- ★ 次のどちらかの端子処理をしてください。
- ・個別に10 k Ω のプルダウン抵抗を接続する
 - ・ボード上のジャンパで、プログラミング・モード時は専用フラッシュ・ライターに、通常動作モード時はV_{SS}に直接接続するように切り替える

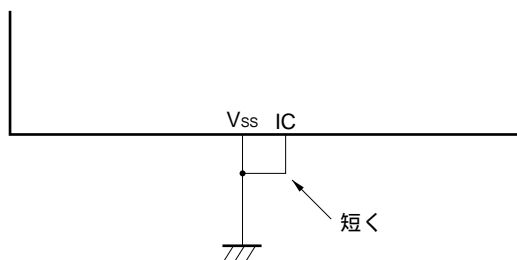
V_{PP}端子とV_{SS}端子間の配線の引き回しが長い場合や、V_{PP}端子に外来ノイズが加わったときには、お客様のプログラムが正常に動作しないことがあります。

2.2.13 IC

IC (Internally Connected) 端子は、当社出荷時に μ PD789842サブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作時には、IC端子をV_{SS}端子に直接接続し、その配線長を極力短くしてください。

IC端子とV_{SS}端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とV_{SS}端子間に電位差が生じたときは、お客様のプログラムが正常に動作しないことがあります。

IC端子をV_{SS}端子に直接接続してください。



2.3 端子の入出力回路と未使用端子の処理

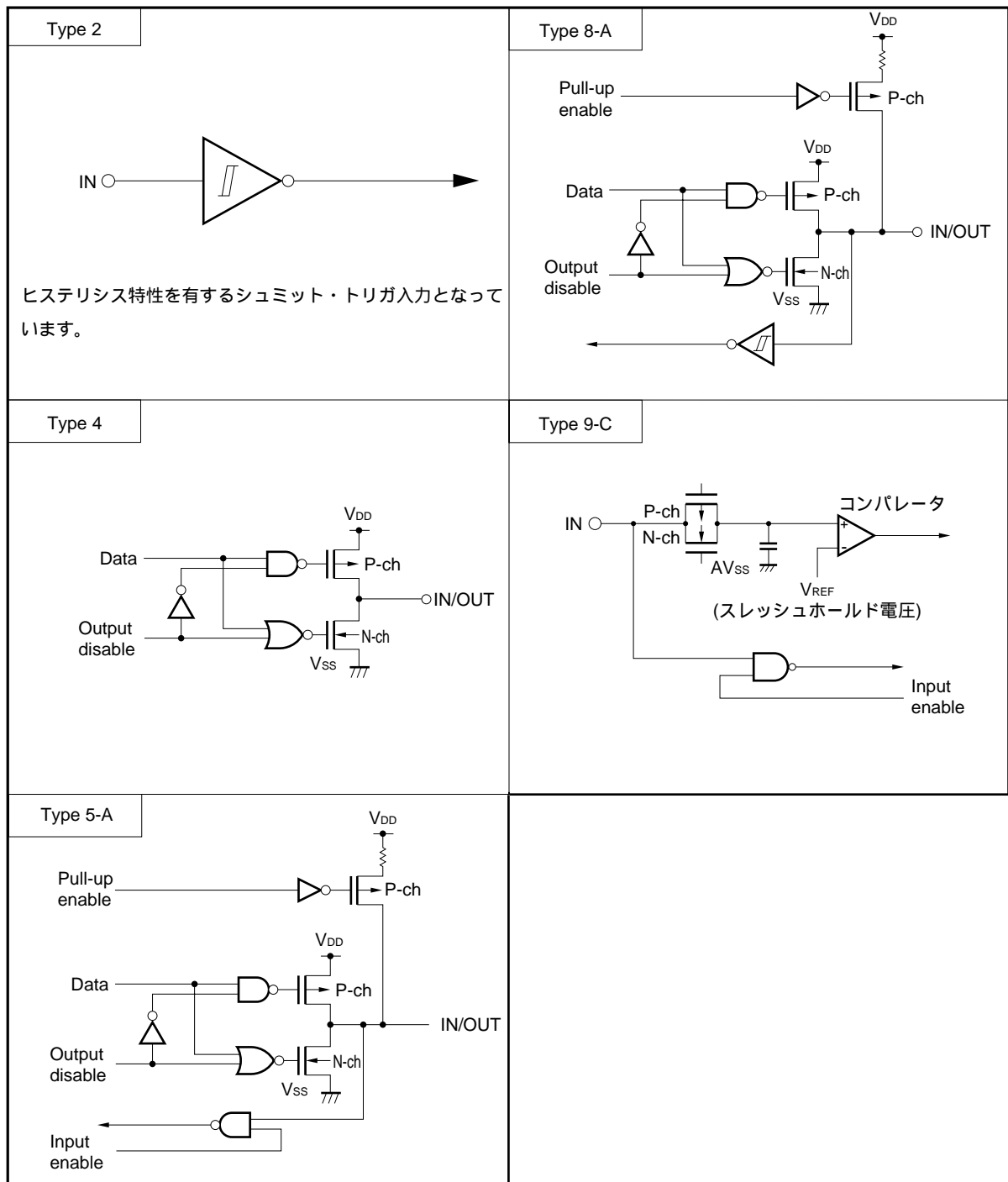
各端子の入出力回路タイプと、未使用端子の処理を表2 - 1に示します。

また、各タイプの入出力回路の構成は、図2 - 1を参照してください。

表2 - 1 各端子の入出力回路タイプと未使用端子の処理

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00-P07	5 - A	入出力	入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P10-P17			
P20/TOFF7	8 - A		
P21/TxD			
P22/RxD			
P23/TO82			
P24/INTP0/TI80			
P25/INTP1/TI81			
P60/ANI0-P67/ANI7			
TO70-TO75	4	出力	個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。
AV_{DD}	-	-	V_{DD} に直接接続してください。
AV_{SS}	-	-	V_{SS} に直接接続してください。
RESET	2	入力	-
IC (マスクROM製品)	-	-	V_{SS} に直接接続してください
★ V_{PP} (フラッシュ・メモリ製品)	-	-	個別に10 k Ω のプルダウン抵抗を接続するか、 V_{SS} に直接接続してください。

図2 - 1 端子の入出力回路一覧



第3章 CPUアーキテクチャ

3.1 メモリ空間

μ PD789842サブシリーズは、64 Kバイトのメモリ空間をアクセスできます。

図3 - 1から図3 - 3にメモリ・マップを示します。

図3 - 1 メモリ・マップ (μ PD789841)

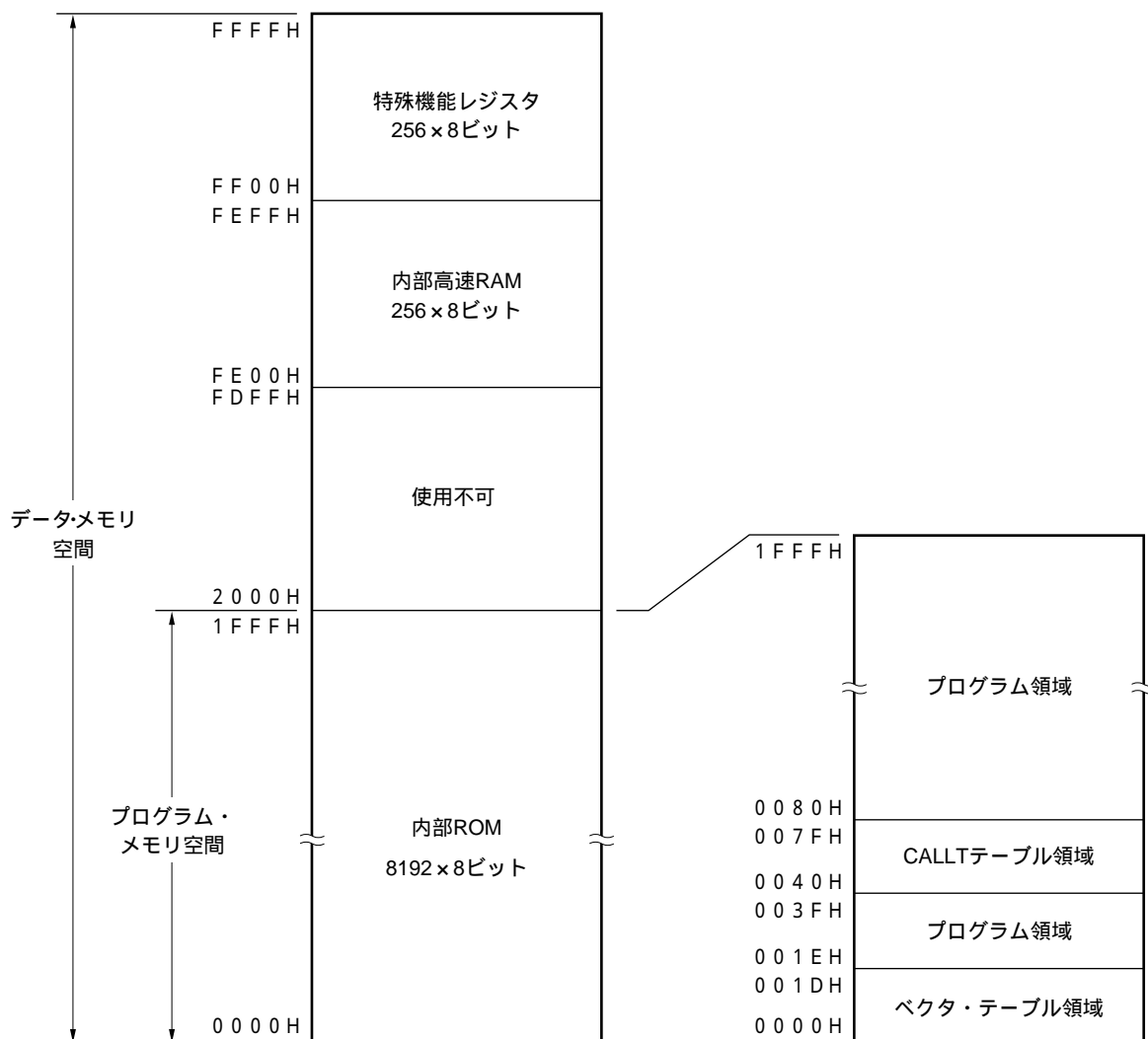


図3 - 2 メモリ・マップ (μPD789842)

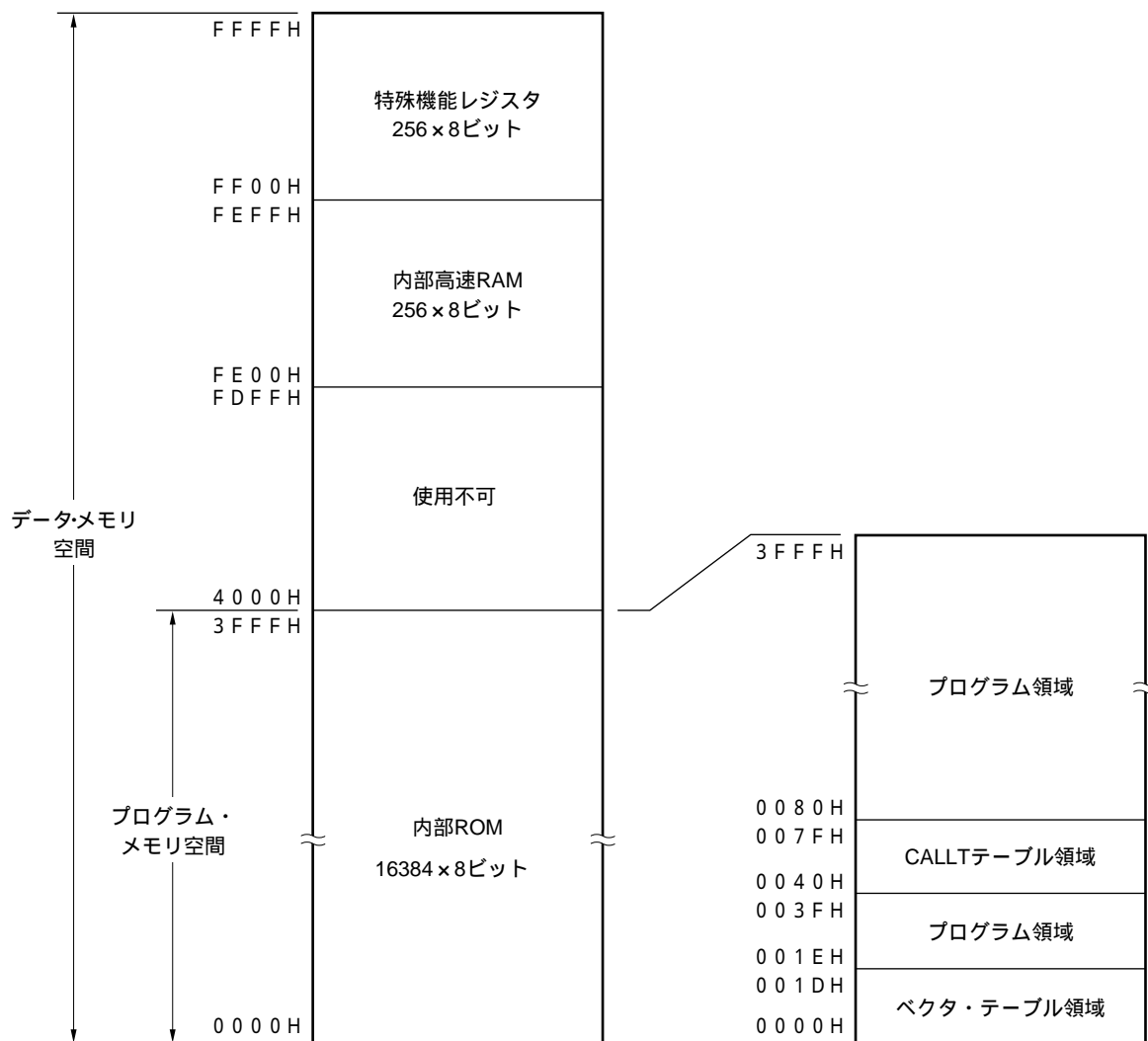
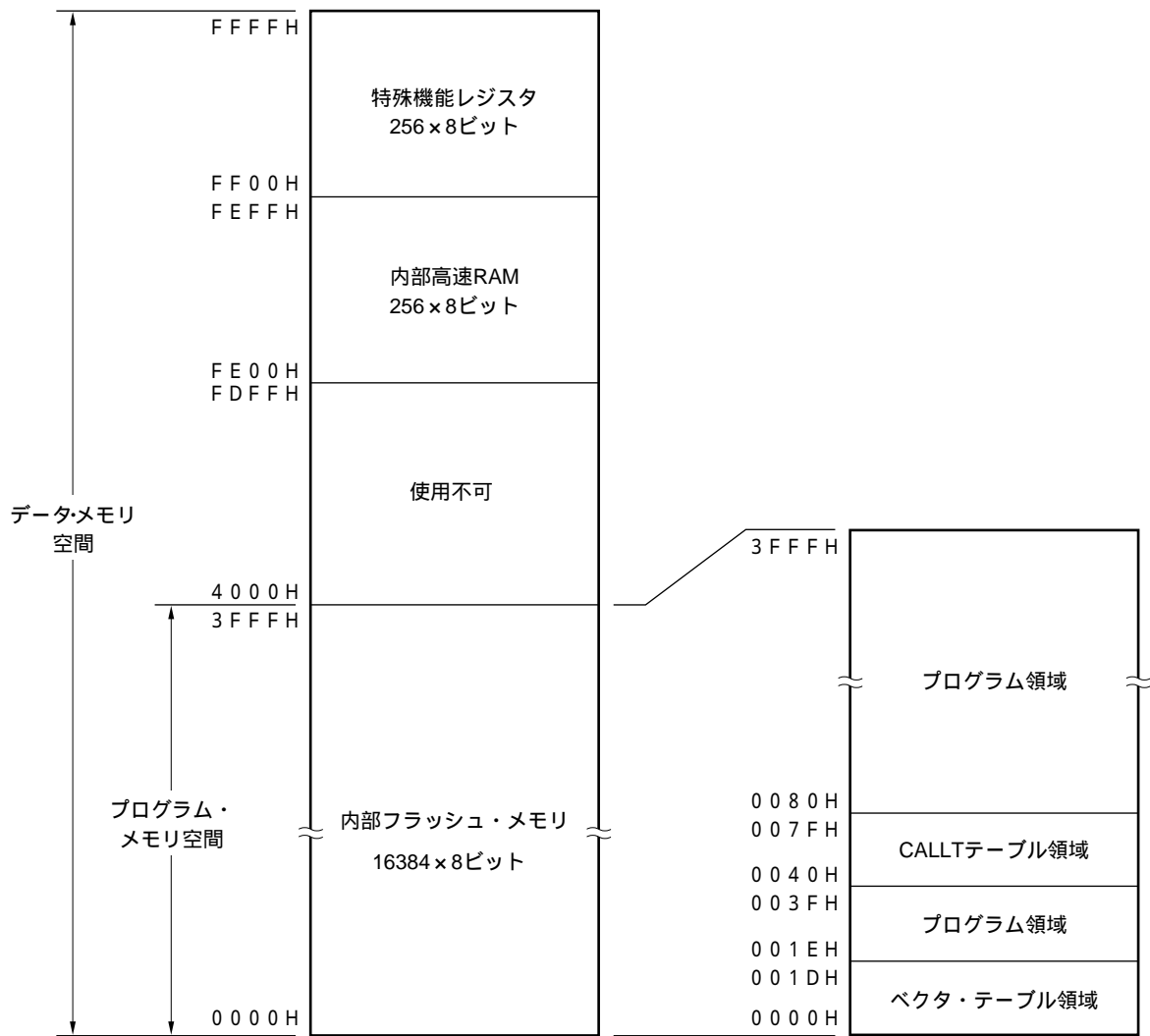


図3-3 メモリ・マップ (μ PD78F9842)



3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD789842サブシリーズでは、各製品ごとに次の容量の内部ROM（マスクROMまたはフラッシュ・メモリ）を内蔵しています。

表3 - 1 内部ROM容量

品名	内部ROM	
	構造	容量
μPD789841	マスクROM	8192×8ビット
μPD789842		16384×8ビット
μPD78F9842	フラッシュ・メモリ	16384×8ビット

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-001DHの30バイトの領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、 $\overline{\text{RESET}}$ 入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3 - 2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求	ベクタ・テーブル・アドレス	割り込み要求
0000H	$\overline{\text{RESET}}$ 入力	0010H	INTST00
0004H	INTWDT	0012H	INTWT
0006H	INTP0	0014H	INTWTI
0008H	INTP1	0016H	INTTM80
000AH	INTTM7	0018H	INTTM81
000CH	INTSER00	001AH	INTTM82
000EH	INTSR00	001CH	INTAD

(2) CALLT命令テーブル領域

0040H-007FHの64バイトの領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納できます。

3.1.2 内部データ・メモリ（内部高速RAM）空間

μPD789842サブシリーズの製品は、256バイトの内部高速RAMを内蔵しています。

内部高速RAMはスタックとしても使用できます。

3.1.3 特殊機能レジスタ（SFR : Special Function Register）領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（表3 - 3参照）。

3.1.4 データ・メモリ・アドレッシング

μPD789842サブシリーズは、メモリの操作性などを考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域 (FE00H-FFFFH) では、特殊機能レジスタ (SFR) など、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3 - 4から図3 - 6にデータ・メモリのアドレッシングを示します。

図3 - 4 データ・メモリのアドレッシング (μPD789841)

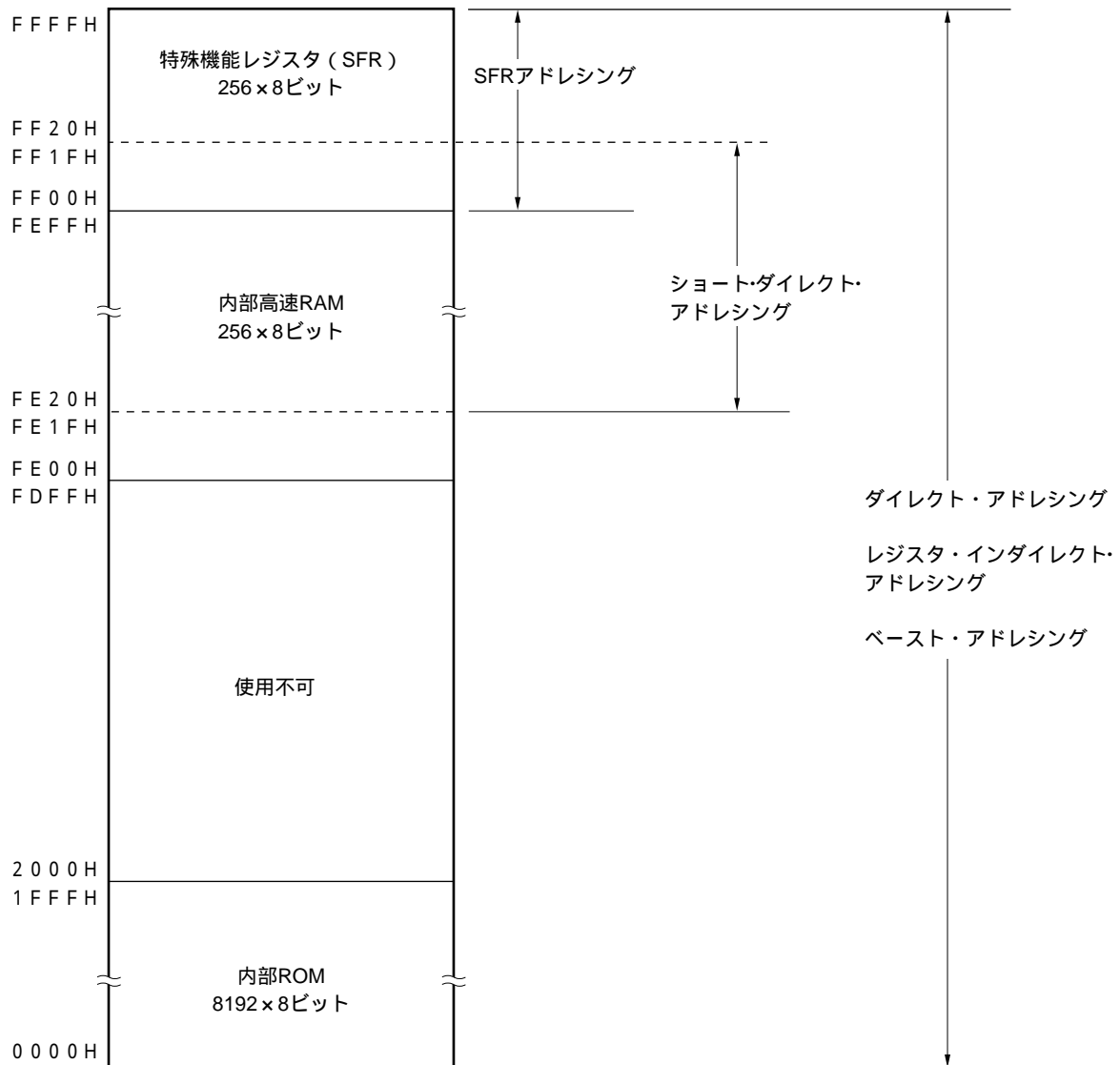


図3-5 データ・メモリのアドレッシング (μ PD789842)

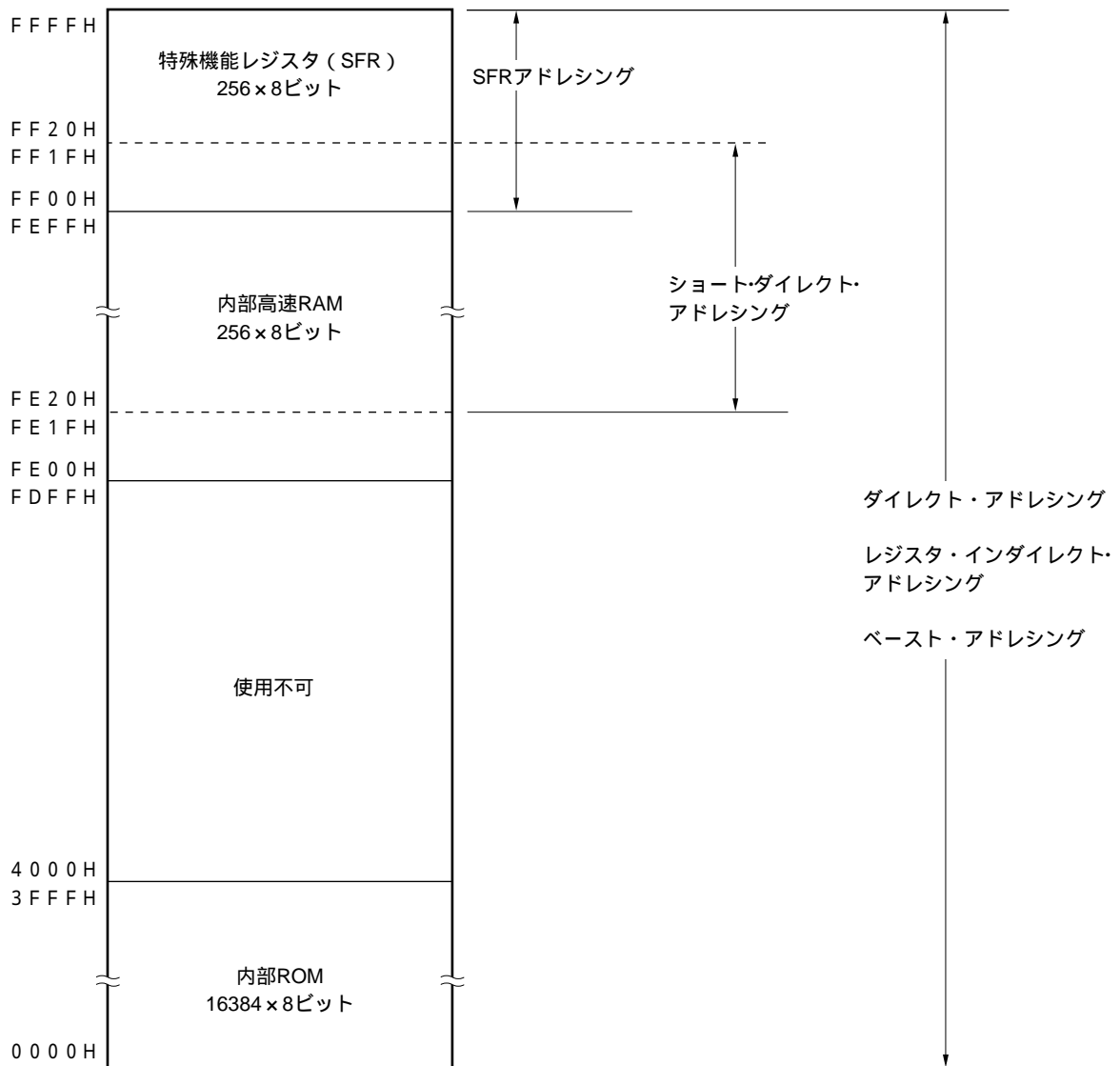
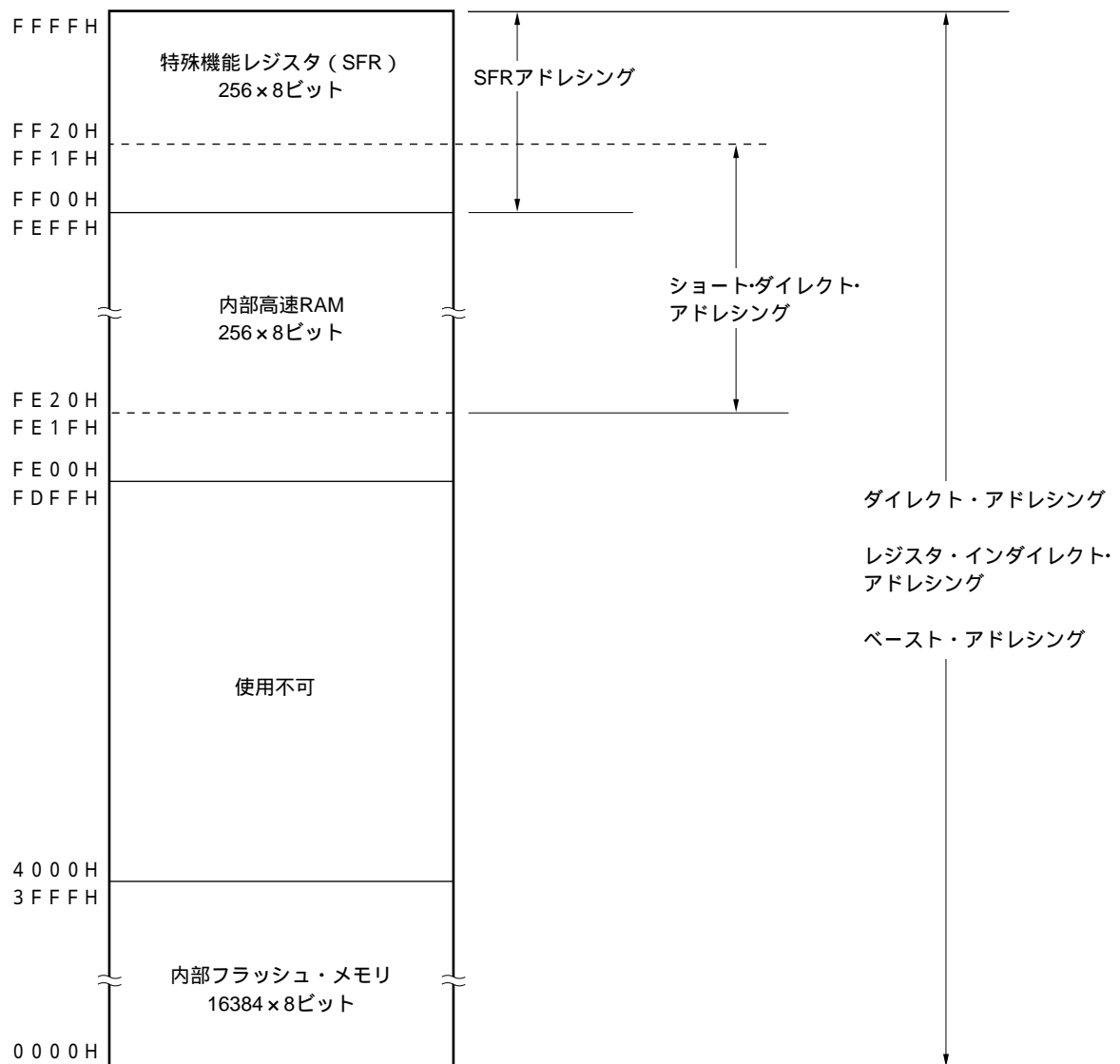


図3 - 6 データ・メモリのアドレッシング (μ PD78F9842)



3.2 プロセッサ・レジスタ

μ PD789842サブシリーズは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス・ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ、プログラム・ステータス・ワード、スタック・ポインタがあります。

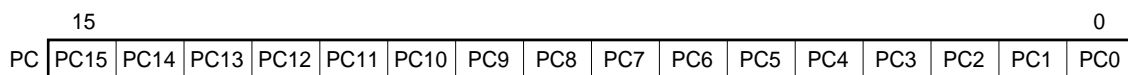
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-7 プログラム・カウンタの構成



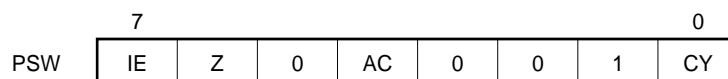
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RET命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図3-8 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスクブル割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このときの割り込み要求の受け付けは、各割り込み要因に対する割り込みマスク・フラグにより制御されます。

このフラグはDI命令実行または割り込みの受け付けでリセット (0) され、EI命令実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

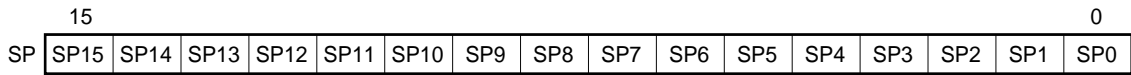
(d) キャリー・フラグ (CY)

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 9 スタック・ポインタの構成



スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

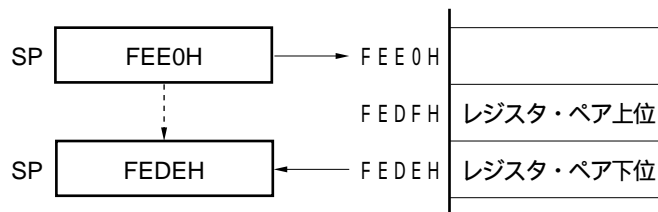
各スタック動作によって退避／復帰されるデータは図3 - 10、図3 - 11のようになります。

注意 SPの内容はRESET入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

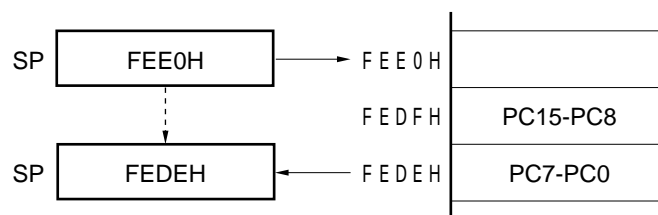
★

図3 - 10 スタック・メモリへ退避されるデータ

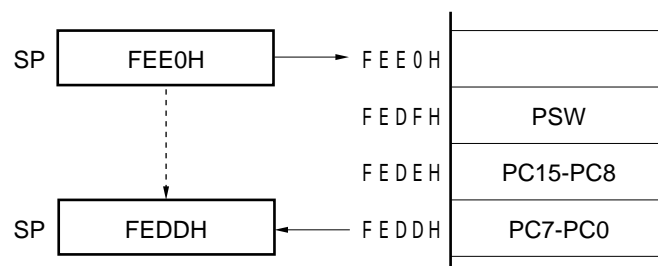
(a) PUSH rp命令 (SPがFEE0Hの場合)



(b) CALL, CALLT命令 (SPがFEE0Hの場合)



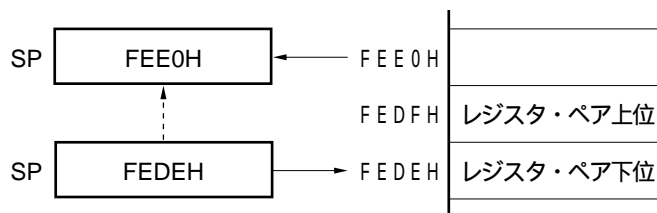
(c) 割り込み (SPがFEE0Hの場合)



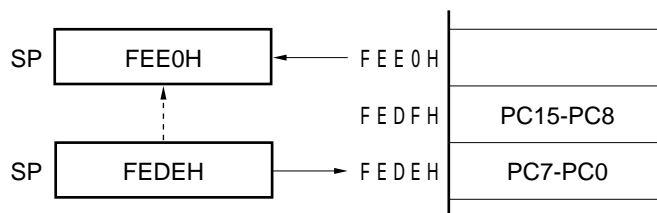
★

図3 - 11 スタック・メモリから復帰されるデータ

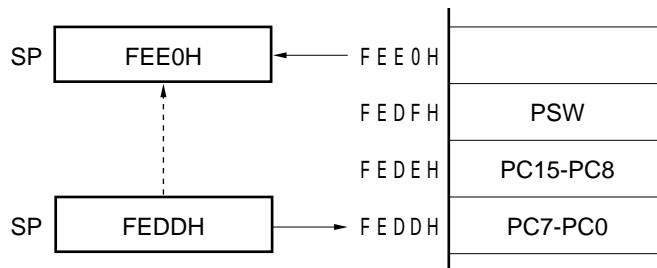
(a) POP rp命令 (SPがFEDEHの場合)



(b) RET命令 (SPがFEDEHの場合)



(c) RETI命令 (SPがFEDDHの場合)



3.2.2 汎用レジスタ

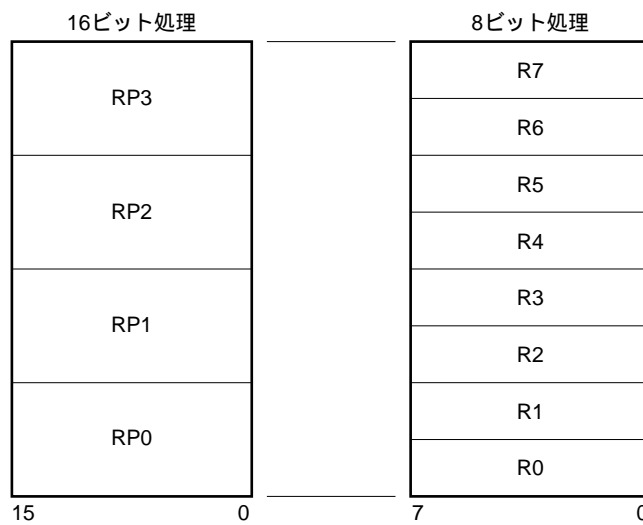
汎用レジスタは、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）で構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

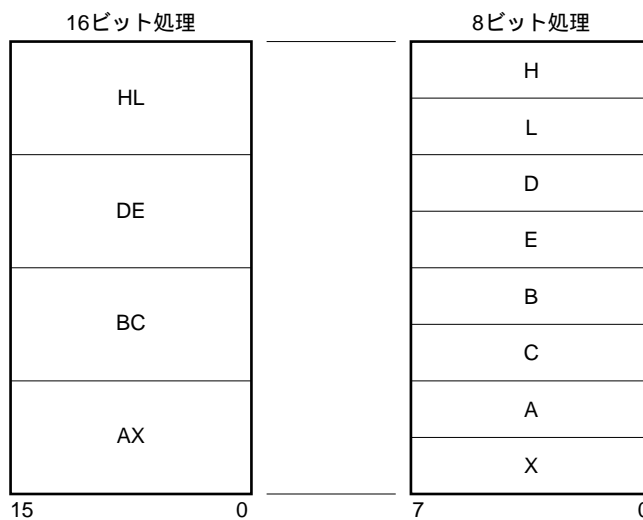
また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

図3 - 12 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3.2.3 特殊機能レジスタ (SFR)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの256バイトの空間に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとに指定方法を次に示します。

- ・ 1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 16ビット操作

16ビット操作命令のオペランドにアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-3に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- ・ 略号

内蔵された特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。アセンブラ、統合ディバッガ使用時に命令のオペランドとして記述できます。

- ・ R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・ 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を示します。

- ・ リセット時

RESET入力時の各レジスタの状態を示します。

表3-3 特殊機能レジスタ一覧(1/2)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
FF00H	ポート・レジスタ0	P0		R/W			-	00H
FF01H	ポート・レジスタ1	P1					-	
FF02H	ポート・レジスタ2	P2					-	
FF06H	ポート・レジスタ6	P6		R			-	不定
FF08H	10ビット・バッファ・レジスタ0	BFCM	BFCM0L	R/W	-		-	0000H
FF09H		0	-		-	-	注	
FF0AH	10ビット・バッファ・レジスタ1	BFCM	BFCM1L		-		-	
FF0BH		1	-		-	-	注	
FF0CH	10ビット・バッファ・レジスタ2	BFCM	BFCM2L		-		-	
FF0DH		2	-		-	-	注	
FF0EH	10ビット・バッファ・レジスタ3	BFCM	BFCM3L		-		-	
FF0FH		3	-		-	-	注	
FF11H	A/D変換結果レジスタ	ADCRH			R	-		
FF14H	10ビット・コンペア・レジスタ0	CM0		R/W	-	-	注	0000H
FF15H								
FF16H	10ビット・コンペア・レジスタ1	CM1			-	-	注	
FF17H								
FF18H	10ビット・コンペア・レジスタ2	CM2			-	-	注	
FF19H								
FF1AH	10ビット・コンペア・レジスタ3	CM3			-	-	注	
FF1BH								
FF20H	ポート・モード・レジスタ0	PM0					-	
FF21H	ポート・モード・レジスタ1	PM1				-		
FF22H	ポート・モード・レジスタ2	PM2				-		
FF32H	プルアップ抵抗オプション・レジスタB2	PUB2				-	00H	
FF42H	タイマ・クロック選択レジスタ2	TCL2				-		
FF4AH	時計用タイマ・モード・コントロール・レジスタ	WTM				-		
FF50H	8ビット・コンペア・レジスタ80	CR80		W	-		-	不定
FF51H	8ビット・タイマ・カウンタ80	TM80		R	-		-	00H
FF53H	8ビット・タイマ・モード・コントロール・レジスタ80	TMC80		R/W			-	
FF54H	8ビット・コンペア・レジスタ81	CR81		W	-		-	不定
FF55H	8ビット・タイマ・カウンタ81	TM81		R	-		-	00H
FF57H	8ビット・タイマ・モード・コントロール・レジスタ81	TMC81		R/W			-	
FF58H	8ビット・コンペア・レジスタ82	CR82		W	-		-	不定
FF59H	8ビット・タイマ・カウンタ82	TM82		R	-		-	00H
FF5BH	8ビット・タイマ・モード・コントロール・レジスタ82	TMC82		R/W			-	
FF70H	アシンクロナス・シリアル・インタフェース・モード・レジスタ00	ASIM00					-	
FF71H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00	ASIS00		R			-	
FF72H	ポーレート・ジェネレータ・コントロール・レジスタ00	BRGC00		R/W	-		-	

注 ショート・ダイレクト・アドレッシングでのみ16ビット・アクセス可能です。

表3-3 特殊機能レジスタ一覧(2/2)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF73H	送信シフト・レジスタ00	TXS00	W	-		-	不定
	受信バッファ・レジスタ00	RXB00	R	-		-	FFH
FF80H	A/Dコンバータ・モード・レジスタ	ADM	R/W			-	00H
FF84H	A/D入力選択レジスタ	ADS				-	
FFA0H	乗算器コントロール・レジスタ1	MULC1				-	
FFA1H	10ビット乗算データ・レジスタA1	MRA1L	W	-		-	不定
FFA2H		MRA1H		-		-	
FFA3H	10ビット乗算データ・レジスタB1	MRB1L		-		-	
FFA4H		MRB1H		-		-	
FFA5H	20ビット乗算結果レジスタ	MUL1LL	R	-		-	
FFA6H		MUL1LH		-		-	
FFA7H		MUL1HL		-		-	
FFA8H	インバータ・タイマ・コントロール・レジスタ7	TMC7	R/W			-	00H
FFA9H	インバータ・タイマ・モード・レジスタ7	TMM7				-	
FFAAH	デッド・タイム・リロード・レジスタ	DTIME		-		-	FFH
FFABH	スワッピング機能レジスタ0	SWP0		-		-	注
FFE0H	割り込み要求フラグ・レジスタ0	IF0				-	00H
FFE1H	割り込み要求フラグ・レジスタ1	IF1				-	
FFE4H	割り込みマスク・フラグ・レジスタ0	MK0				-	FFH
FFE5H	割り込みマスク・フラグ・レジスタ1	MK1				-	
FFECH	外部割り込みモード・レジスタ0	INTM0		-		-	00H
FFF7H	ブルアップ抵抗オプション・レジスタ0	PU0				-	
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM				-	
FFFAH	発振安定時間選択レジスタ	OSTS		-		-	
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC				-	02H

注 読み出しモード時と書き込みモード時では、初期値が異なります。詳しくは13.2 SWAPの構成を参照してください。

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0Sシリーズ ユーザーズ・マニュアル命令編（U11047J）を参照してください）。

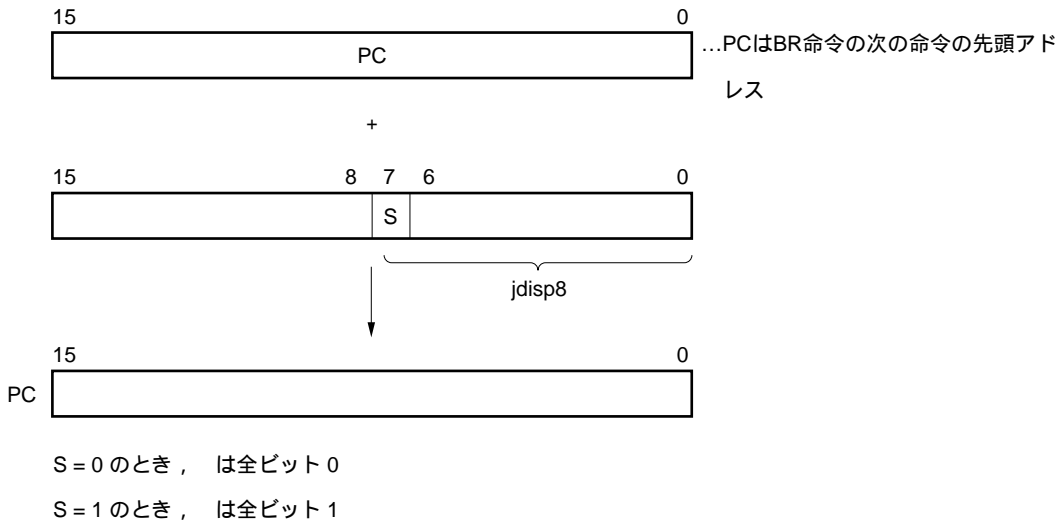
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ（ディスプレイメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレイメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するという事です。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



3.3.2 イミディエト・アドレッシング

【機能】

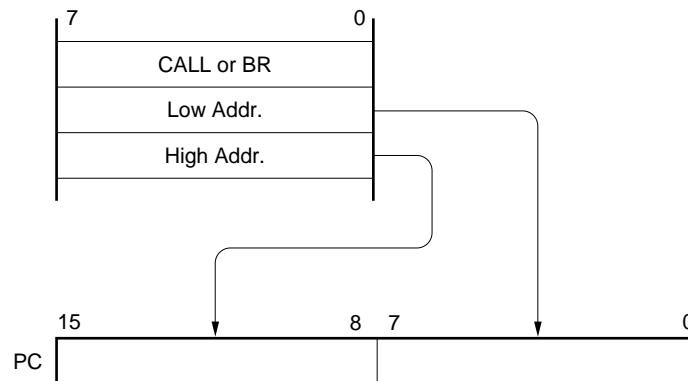
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全メモリに分岐できます。

【図解】

CALL !addr16, BR !addr16命令の場合



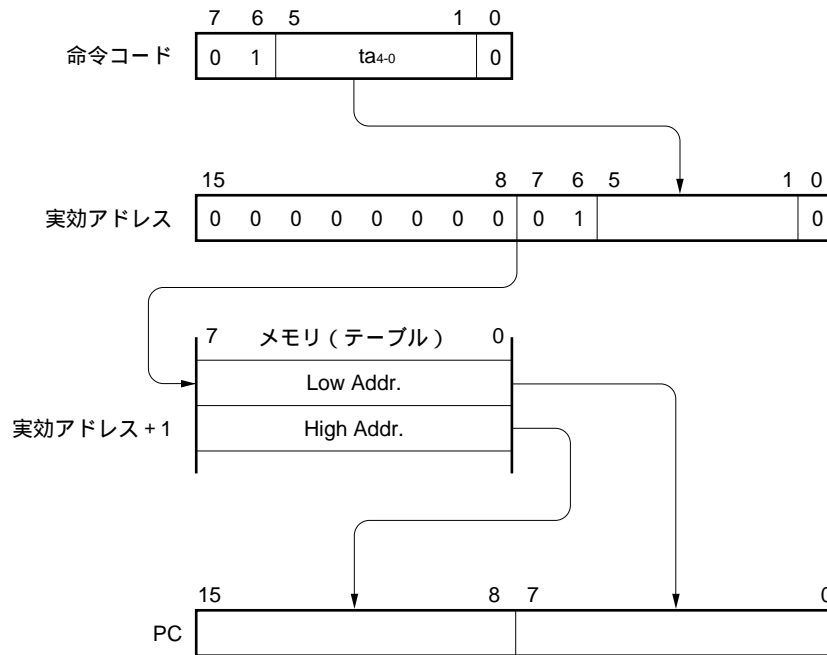
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H～7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



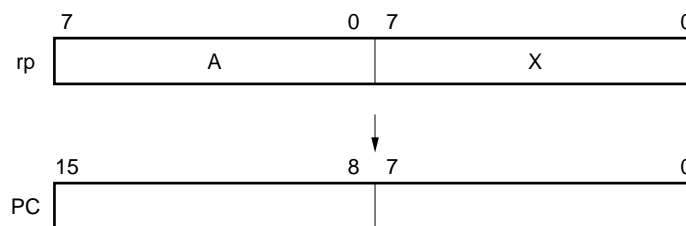
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 ダイレクト・アドレッシング

【機能】

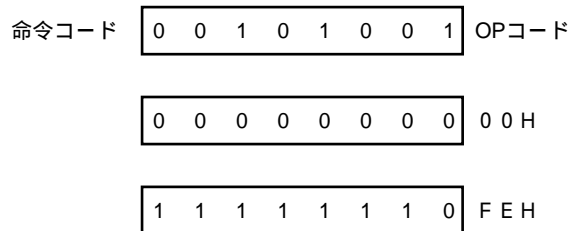
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

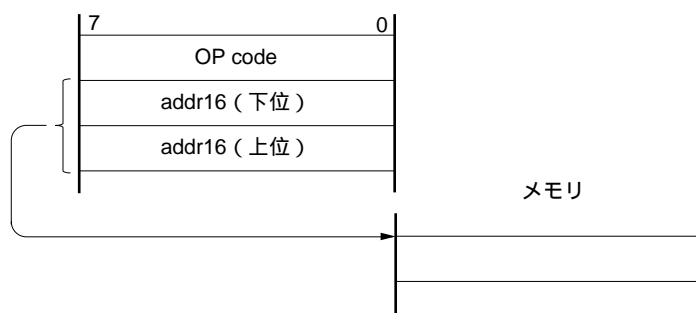
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !FE00H ; !addr16をFE00Hとする場合



【図解】



3.4.2 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部高速RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマのコンペア・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作することができます。

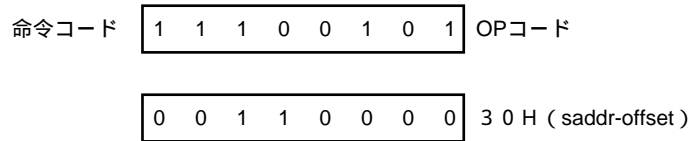
実効アドレスのビット8には、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次の【図解】を参照してください。

【オペランド形式】

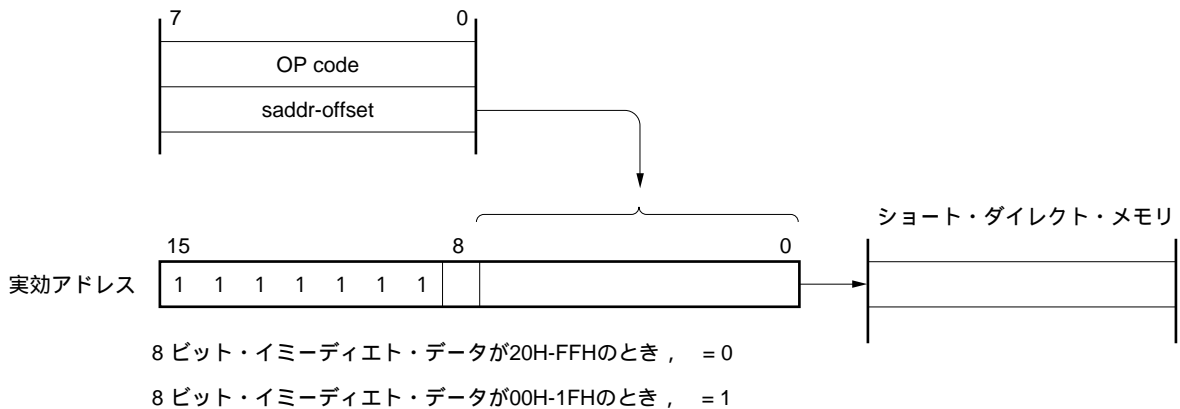
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHを示すイミディエト・データ
saddrp	ラベルまたはFE20H-FF1FHを示すイミディエト・データ（偶数アドレスのみ）

★ **【記述例】**

MOV FE30H, A ; saddr (FE30H) にAレジスタの値を転送する場合



【図解】



3.4.3 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

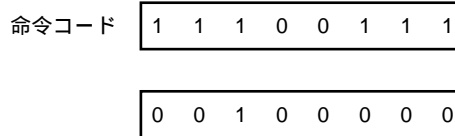
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

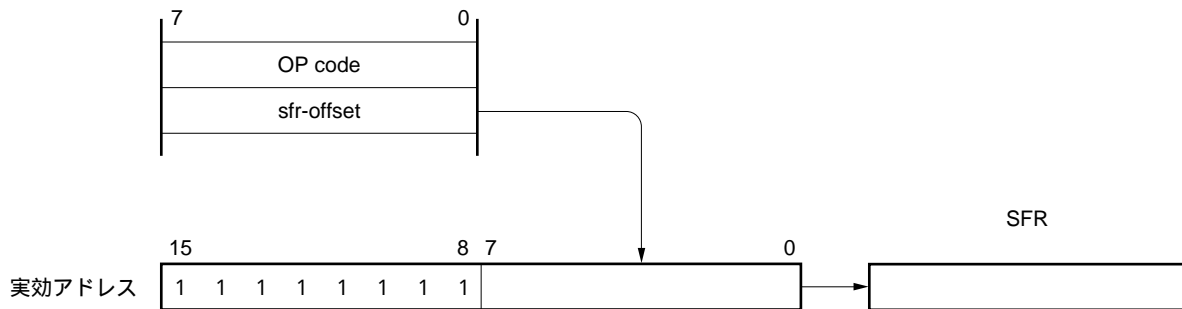
表現形式	記述方法
sfr	特殊機能レジスタ名

【記述例】

MOV PM0, A ; sfrにPM0を選択する場合



【図解】



3.4.4 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。

アクセスされる汎用レジスタは、命令コード中のレジスタ指定コードや機能名称で指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

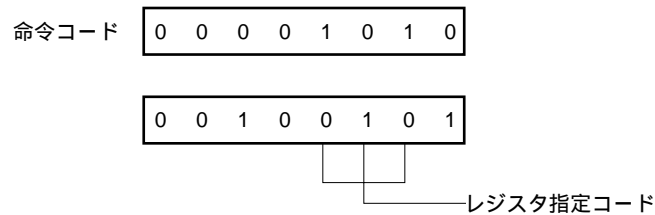
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

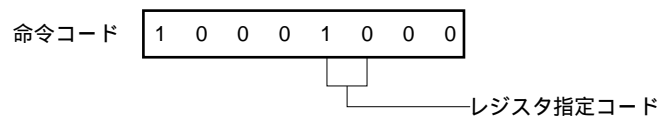
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.5 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

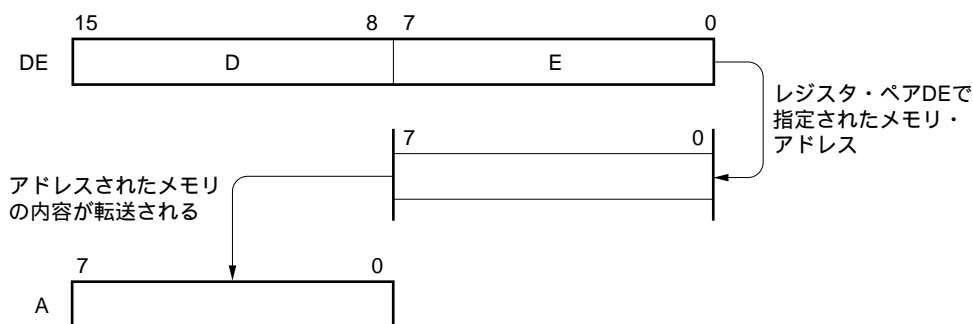
【記述例】

MOV A, [DE] ; レジスタ・ペア [DE] を選択する場合

命令コード

0	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

【図解】



3.4.6 ベース・アドレッシング

【機能】

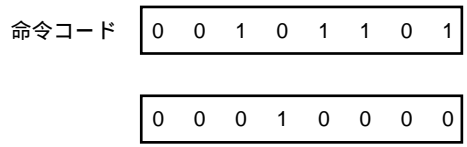
HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

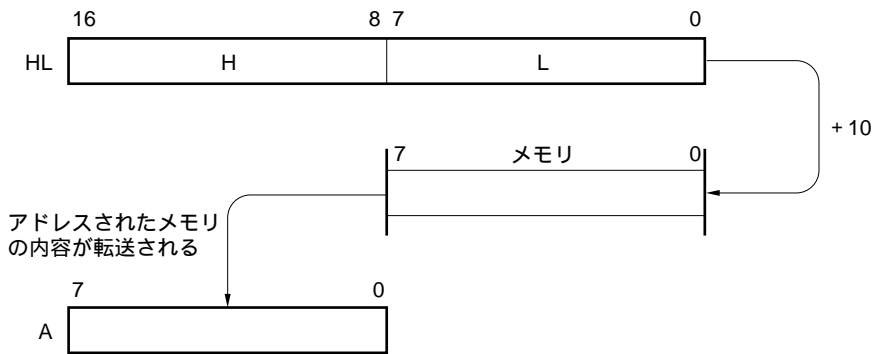
表現形式	記述方法
-	[HL + byte]

【記述例】

MOV A, [HL + 10H] ; byteを10Hとする場合



★ **【図解】**



3.4.7 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

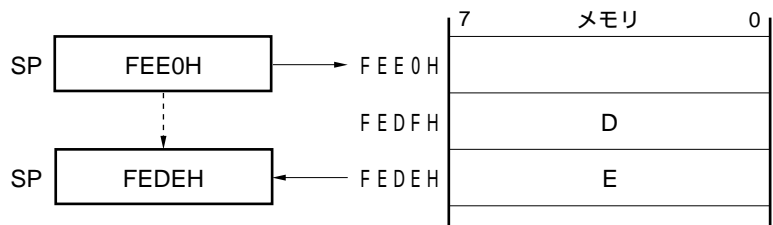
【記述例】

PUSH DE (DEレジスタをセーブ) の場合

命令コード

1	0	1	0	1	0	1	0
---	---	---	---	---	---	---	---

★ **【図解】**



第4章 ポート機能

4.1 ポートの機能

μPD789842サブシリーズは図4-1に示すポートを備えており、多様な制御を行うことができます。

各ポートの機能は表4-1のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、2.2 端子機能の説明を参照してください。

図4-1 ポートの種類

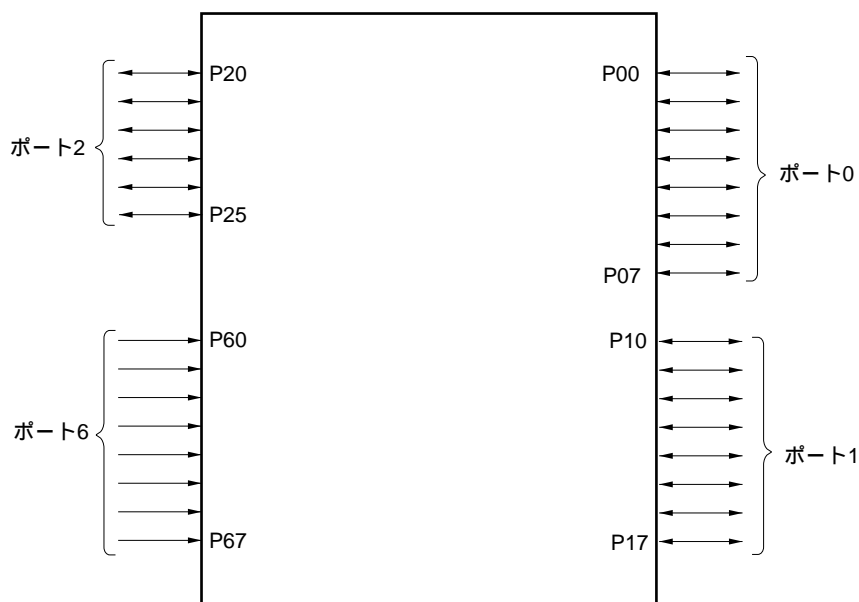


表4-1 ポートの機能

名称	端子名称	機能
ポート0	P00-P07	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。
ポート1	P10-P17	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。
ポート2	P20-P25	入出力ポート。1ビット単位で入力/出力の指定可能。 プルアップ抵抗オプション・レジスタB2 (PUB2) により、内蔵プルアップ抵抗を使用可能。
ポート6	P60-P67	入力専用ポート。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-2 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM0-PM2)
	プルアップ抵抗オプション・レジスタ (PU0, PUB2)
ポート	合計30本 (CMOS入出力：22本, CMOS入力：8本)
プルアップ抵抗	合計22本 (ソフトウェア制御：22本)

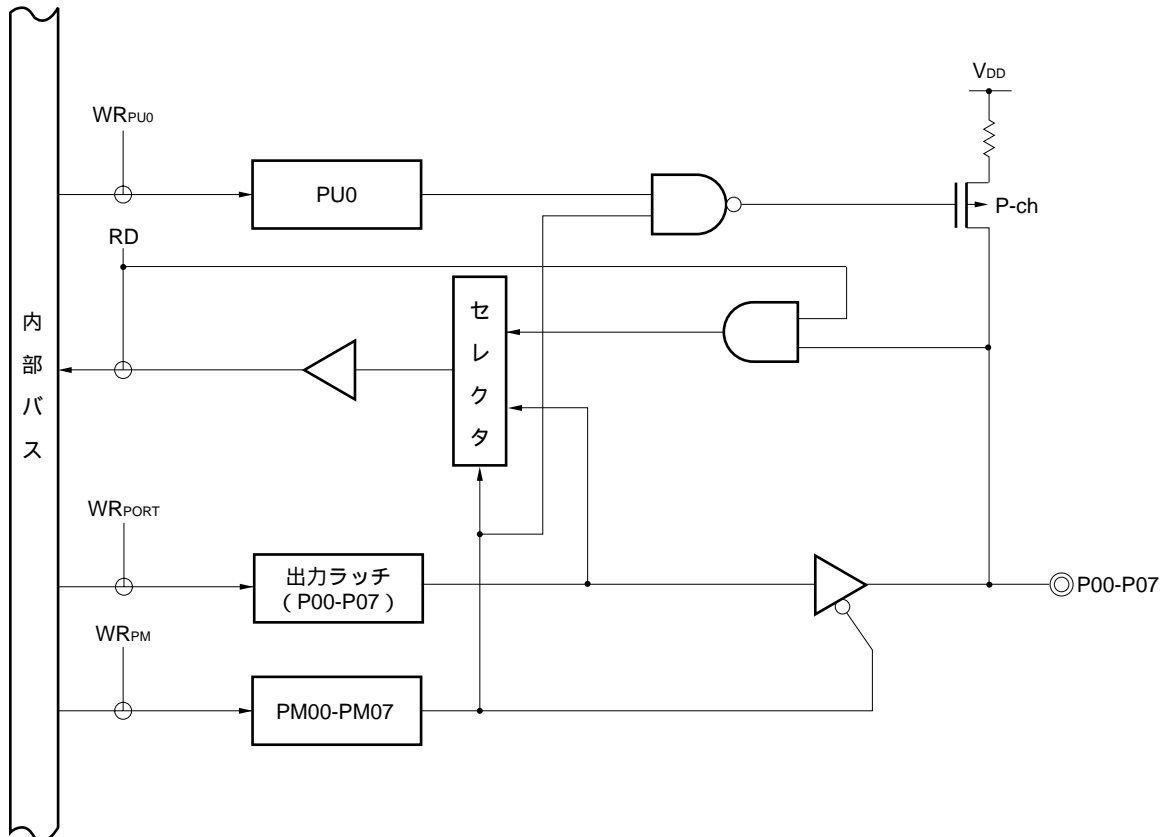
4.2.1 ポート0

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。P00-P07端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により8ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-2にポート0のブロック図を示します。

図4-2 P00-P07のブロック図



PU0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号

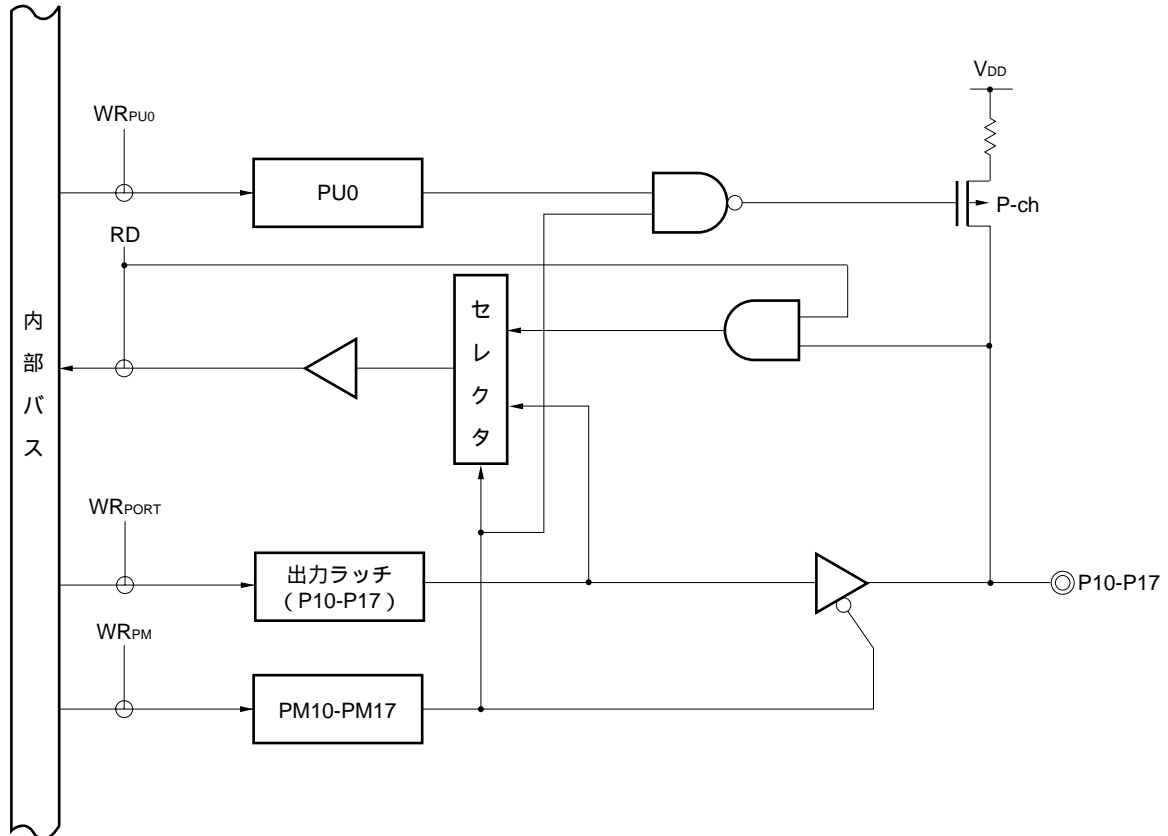
4.2.2 ポート1

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10-P17端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により8ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 3にポート1のブロック図を示します。

図4 - 3 P10-P17のブロック図



- PU0 : プルアップ抵抗オプション・レジスタ0
- PM : ポート・モード・レジスタ
- RD : ポート1のリード信号
- WR : ポート1のライト信号

4.2.3 ポート2

出力ラッチ付き6ビットの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。

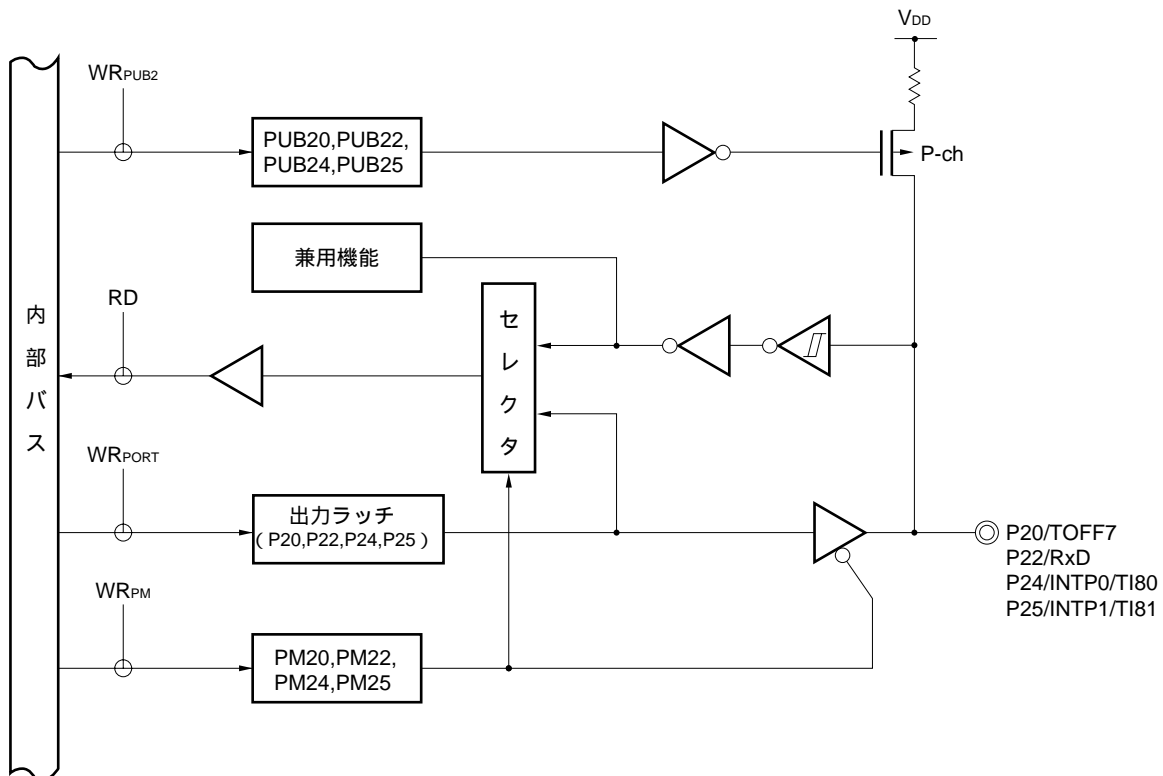
プルアップ抵抗オプション・レジスタB2 (PUB2) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用端子として外部割り込み入力、タイマ入出力、アシンクロナス・シリアル・インタフェースのデータ入出力があります。

RESET入力により、入力モードになります。

図4 - 4、図4 - 5にポート2のブロック図を示します。

図4 - 4 P20, P22, P24, P25のブロック図



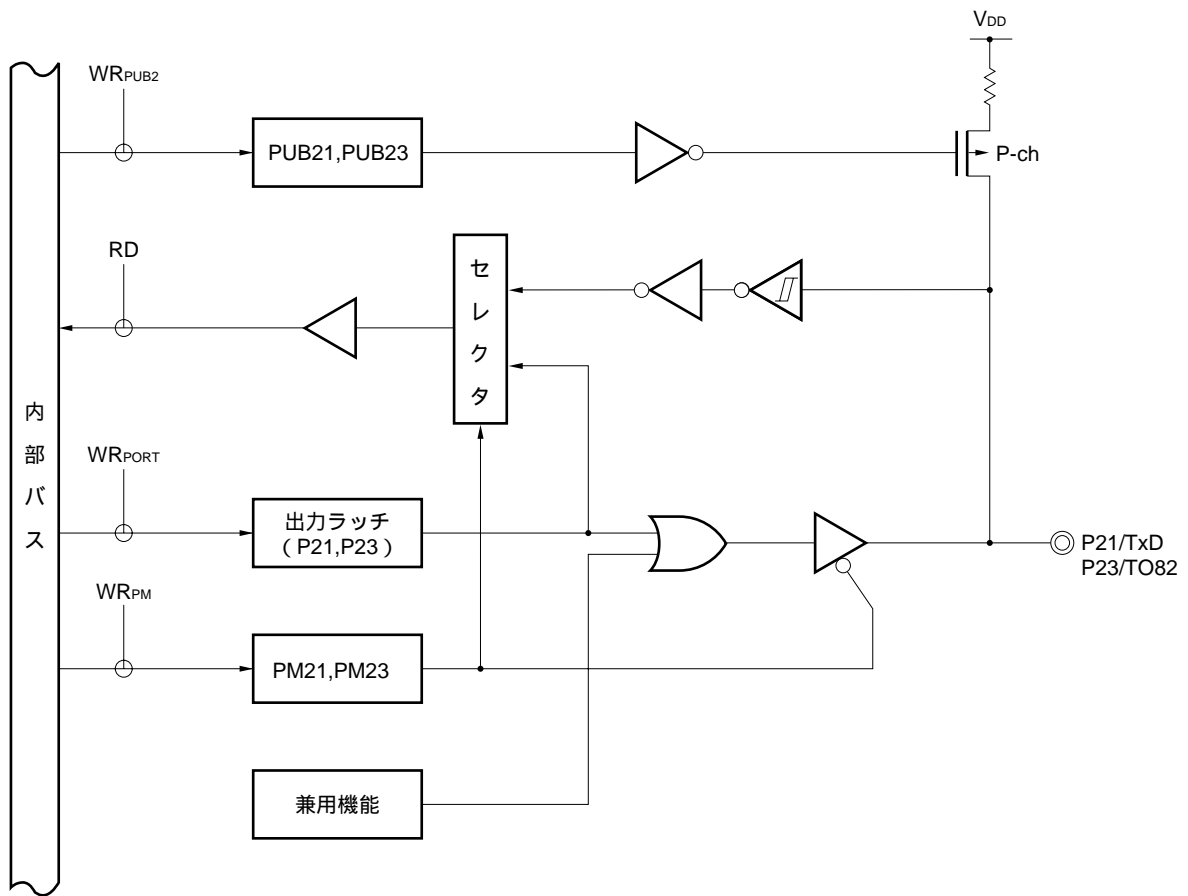
PUB2 : プルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 5 P21, P23のブロック図



PUB2 : プルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

4.2.4 ポート6

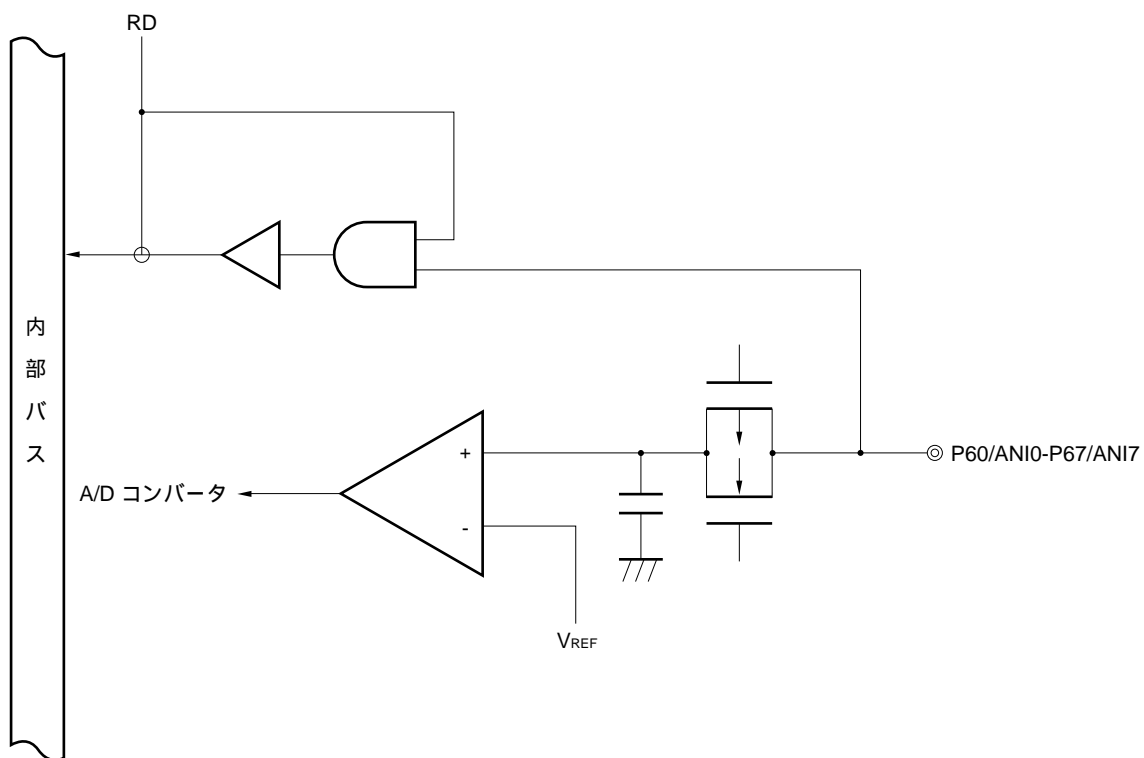
8ビット入力専用ポートです。

兼用機能としてA/Dコンバータのアナログ入力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 6にポート6のブロック図を示します。

図4 - 6 P60-P67のブロック図



RD : ポート6のリード信号

4.3 ポート機能を制御するレジスタ

ポートは、次の3種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0-PM2)
- ・プルアップ抵抗オプション・レジスタ0 (PU0)
- ・プルアップ抵抗オプション・レジスタB2 (PUB2)

(1) ポート・モード・レジスタ (PM0-PM2)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表4-3のように設定してください。

注意 ポート2は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

表4-3 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

端子名称	兼用機能		PM × ×	P × ×
	名称	入出力		
P20	TOFF7	入力	1	×
P23	TO82	出力	0	0
P24	INTP0	入力	1	×
	TI80	入力	1	×
P25	INTP1	入力	1	×
	TI81	入力	1	×

注意 P21, P22をシリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、11.3(1)アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) を参照してください。

備考 × : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ

図4-7 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-2, n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) プルアップ抵抗オプション・レジスタ0 (PU0)

ポート0, 1の内蔵プルアップ抵抗を使用するか, しないかを設定するレジスタです。PU0で内蔵プルアップ抵抗の使用を指定したポートで, 入力モードに設定したビットにのみ, 内部でプルアップ抵抗が使用できます。出力モードに設定したビットは, PU0の設定にかかわらず, 内蔵プルアップ抵抗を使用できません。兼用機能の出力端子として使用するときも同様です。

PU0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図4-8 プルアップ抵抗オプション・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0	PU01	PU00	FFF7H	00H	R/W

PU0m	Pmの内蔵プルアップ抵抗の選択 (m = 0, 1)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意 ビット2-7には, 必ず0を設定してください。

(3) プルアップ抵抗オプション・レジスタB2 (PUB2)

ポート2の各端子の内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。PUB2で内蔵プルアップ抵抗の使用を指定した端子は、ポート・モード・レジスタの設定にかかわらず、内部でプルアップ抵抗が使用できます。

PUB2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図4 - 9 プルアップ抵抗オプション・レジスタB2のフォーマット

略号	7	6						0	アドレス	リセット時	R/W
PUB2	0	0	PUB25	PUB24	PUB23	PUB22	PUB21	PUB20	FF32H	00H	R/W

PUB2m	P2mの内蔵プルアップ抵抗の選択 (m = 0-5)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意 ビット6, 7には、必ず0を設定してください。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。
★ リセットによって、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。
★ リセットによって、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロック発振回路には、次の1種類があります。

- ・システム・クロック発振回路

8.0～8.5 MHzの周波数を発振します。STOP命令の実行により、発振を停止できます。

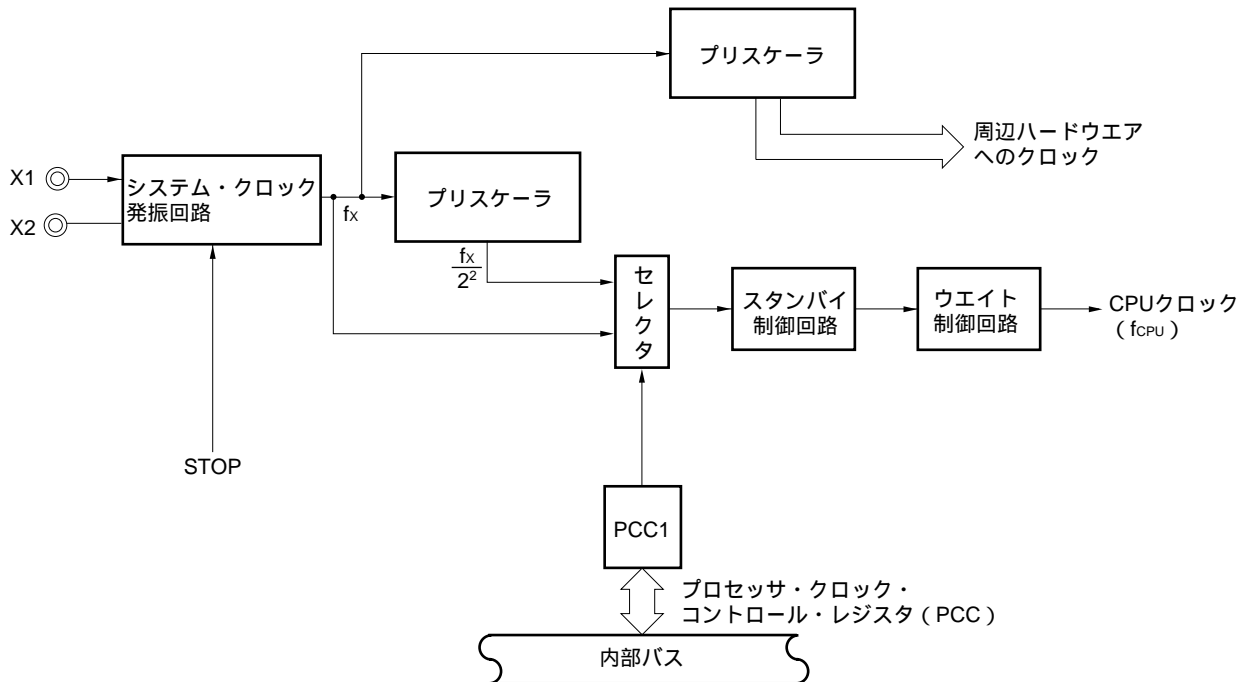
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項目	構成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ (PCC)
発振回路	システム・クロック発振回路

図5-1 クロック発生回路のブロック図



5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択，分周比を設定するレジスタです。

PCCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，02Hになります。

★ 図5-2 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	0	0	0	0	0	0	PCC1	0	FFF BH	02H	R/W

PCC1	CPUクロック (f_{CPU}) の選択		最小命令実行時間: $2/f_{\text{CPU}}$
			$f_x = 8.38 \text{ MHz}$ 動作時
0	f_x		$0.24 \mu\text{s}$
1	$f_x/2^2$		$0.96 \mu\text{s}$

注意 ビット0, 2-7には必ず0を設定してください。

備考 f_x : システム・クロック発振周波数

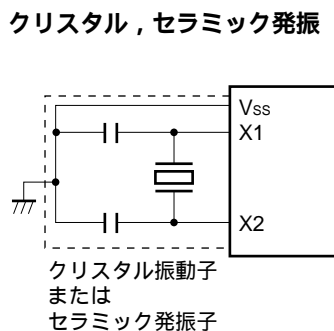
5.4 システム・クロック発振回路

5.4.1 システム・クロック発振回路

システム・クロック発振回路はX1, X2端子に接続されたクリスタル振動子またはセラミック発振子（標準：8.38 MHz）によって発振します。

図5 - 3にシステム・クロック発振回路の外付け回路を示します。

図5 - 3 システム・クロック発振回路の外付け回路



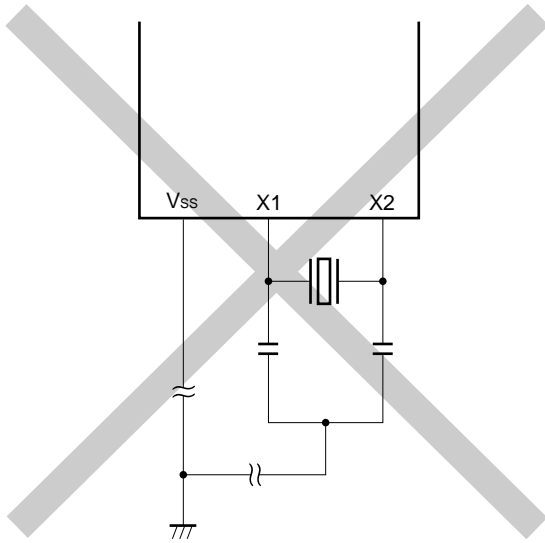
注意 システム・クロック発振回路を使用する場合は、配線容量などの影響をさけるために、図5 - 3の波線の部分を次のように配線してください。

- ・配線は極力短くする
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

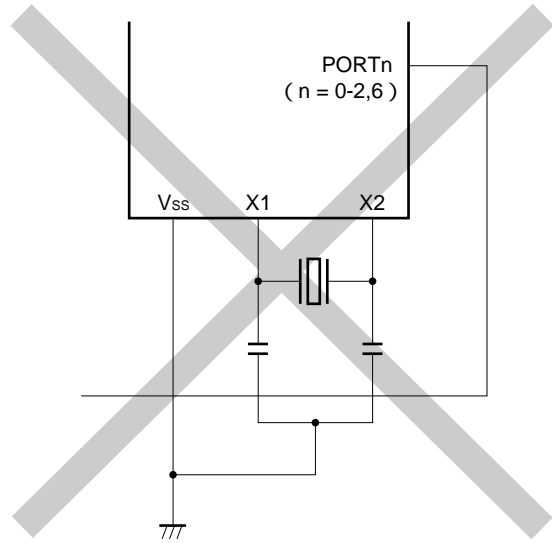
図5 - 4に発振子の接続の悪い例を示します。

図5-4 発振子の接続の悪い例 (1/2)

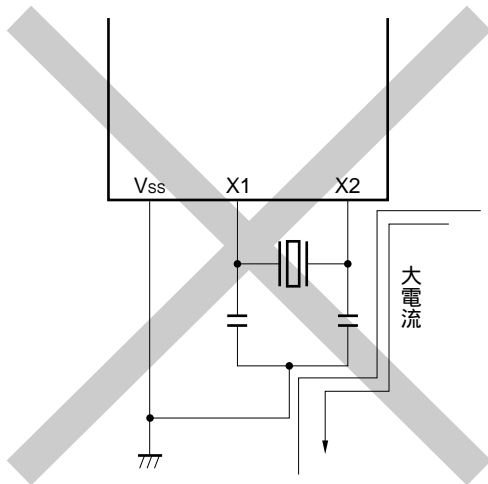
(a) 接続回路の配線が長い



(b) 信号線が交差している



(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)

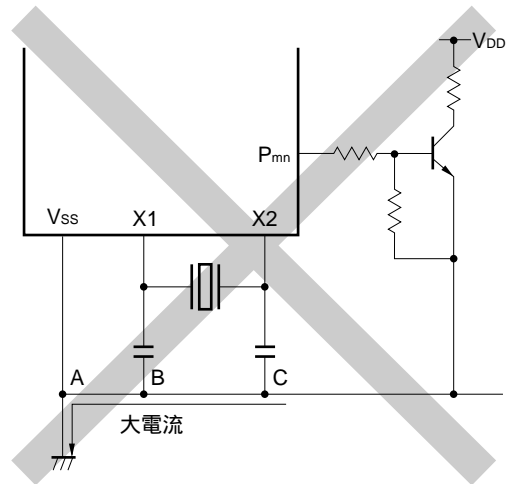
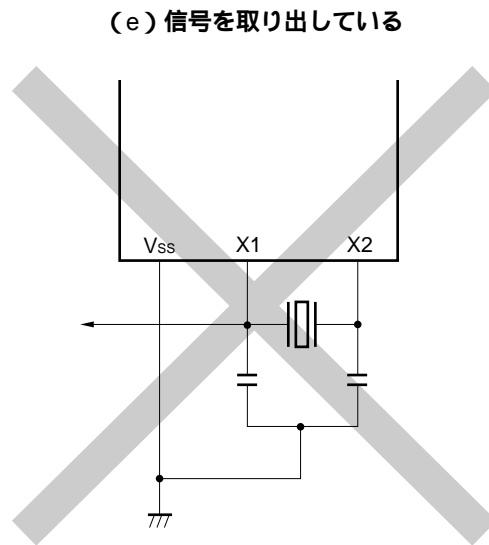


図5 - 4 発振子の接続の悪い例 (2/2)



5.4.2 分周回路

分周回路は、システム・クロック発振回路出力 (fx) を分周して、各種クロックを生成します。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・システム・クロック f_x
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC) により決定され、次のような機能、動作となります。

- (a) $\overline{\text{RESET}}$ 信号発生によりシステム・クロックの低速モード (0.96 μs : 8.38 MHz動作時) が選択されます (PCC = 02H)。なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、システム・クロックの発振は停止します。
- ★ (b) PCCの設定により2段階の最小命令実行時間 (0.24 μs , 0.96 μs : 8.38 MHz動作時) を選択することができます。
- (c) STOPモード、HALTモードの2つのスタンバイ・モードが使用できます。
- (d) 周辺ハードウェアへのクロックはシステム・クロックを分周して供給されます。このため、システム・クロックを停止させたときは周辺ハードウェアも停止します。

5.6 CPUクロックの設定の変更

5.6.1 CPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット1 (PCC1) により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します (表5-2参照)。

表5-2 CPUクロックの切り替えに要する最大時間

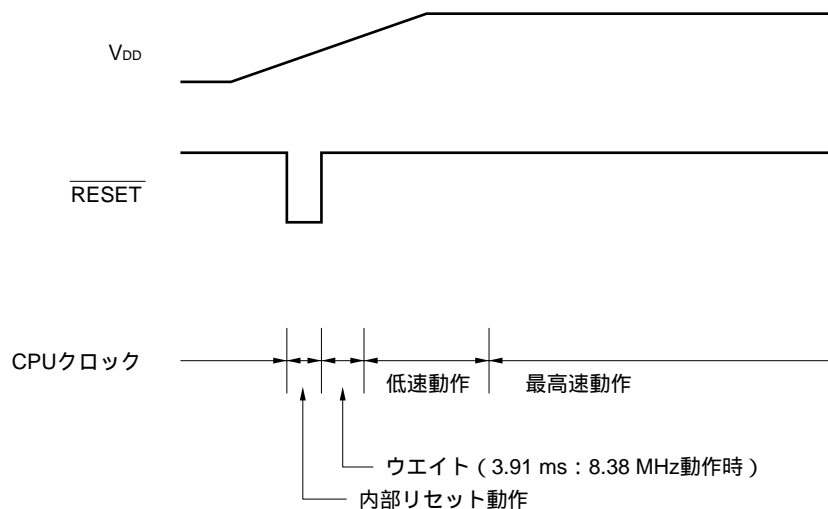
切り替え前の設定値	切り替え後の設定値	
PCC1	PCC1	PCC1
	0	1
0	/	
1		
	2クロック	4クロック

備考 2クロックは、切り替え前のCPUクロックの最小命令実行時間となります。

5.6.2 CPUクロックの切り替え手順

CPUクロックの切り替えについて説明します。

図5-5 CPUクロックの切り替え



電源投入後、RESET端子をロウ・レベルにすることでCPUにリセットがかかります。その後、RESET端子をハイ・レベルにするとリセットが解除され、システム・クロックが発振開始します。このとき、自動的に発振安定時間 ($2^{15}/f_x$) を確保します。

その後、CPUはメイン・システム・クロックの低速 ($0.96 \mu s : 8.38 \text{ MHz}$ 動作時) で命令の実行を開始します。

VDD電圧が高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ (PCC) を書き換えて高速動作を行います。

第6章 10ビット・インバータ制御用タイマ

6.1 10ビット・インバータ制御用タイマの機能

10ビット・インバータ制御用タイマは、インバータ制御を実現するタイマです。

8ビットのデッド・タイム生成用のタイマを内蔵しており、アクティブ・レベルの重ならない波形を出力できます。正相、逆相あわせて6チャンネルのパルス出力を行います。また、アクティブ・レベルの変更機能、および外部入力、ウォッチドッグ・タイマ割り込み要求入力による出力オフ機能を備えています。

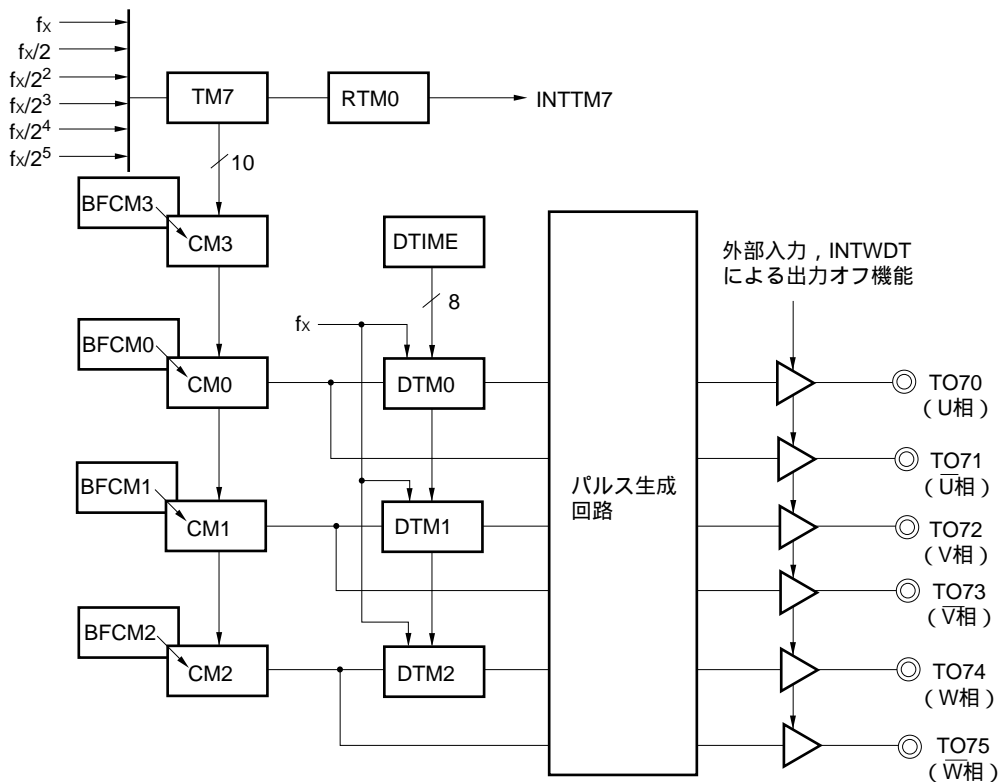
6.2 10ビット・インバータ制御用タイマの構成

10ビット・インバータ制御用タイマは、次のハードウェアで構成しています。

表6-1 10ビット・インバータ制御用タイマの構成

項 目	構 成
タイマ・カウンタ	10ビット・アップ/ダウン・カウンタ×1本 (TM7) 8ビット・ダウン・カウンタ×3本 (DTM0-DTM2) 3ビット・アップ・カウンタ×1本 (RTM0)
レジスタ	10ビット・コンペア・レジスタ×4本 (CM0-CM3) 10ビット・バッファ・レジスタ×4本 (BFCM0-BFCM3) 8ビット・リロード・レジスタ×1本 (DTIME)
タイマ出力	6本 (TO70-TO75)
制御レジスタ	インバータ・タイマ・コントロール・レジスタ7 (TMC7) インバータ・タイマ・モード・レジスタ7 (TMM7)

図6-1 10ビット・インバータ制御用タイマのブロック図



(1) 10ビット・アップ/ダウン・カウンタ (TM7)

TM7は、カウント・パルスをカウントする10ビットのアップ/ダウン・カウンタです。

カウント・クロックの立ち上がり同期してカウント動作を行います。タイマをスタートさせると0からインクリメントし、あらかじめ設定されたコンペア・レジスタ3 (CM3) の値とTM7のカウント値が一致すると、ダウン・カウント動作に切り替わります。

ダウン・カウント動作中に000Hになるとアンダフロー信号を発生し、割り込み要求信号INTTM7を発生します。アンダフローが発生すると、ダウン・カウント動作からアップ・カウント動作に切り替わります。

INTTM7は通常アンダフローごとに発生しますが、インバータ・タイマ・コントロール・レジスタ7 (TMC7) のIDEV0-IDEV2ビットにより発生回路を分周できます。

TM7はリード/ライトできません。

TM7の周期はCM3によって制御されます。

カウント・クロックは fx , $fx/2$, $fx/2^2$, $fx/2^3$, $fx/2^4$, $fx/2^5$ の6種類から選択できます。

RESET入力、またはTMC7のCE7ビットをクリアすることにより、000Hになります。

(2) 10ビット・コンペア・レジスタ0-2 (CM0-CM2)

CM0-CM2は、10ビットのコンペア・レジスタで、TM7と常に比較を行い、それぞれ一致するとフリップフロップの内容を変化させます。

また、CM0-CM2は、それぞれバッファ・レジスタ (BFCM0-BFCM2) を備えており、割り込み要求信号INTTM7の発生タイミングでバッファの内容をCM0-CM2に転送します。

CM0-CM2への書き込みは、TM7が停止時のみ可能です。

出力タイミングは、BFCM0-BFCM2に対し、データを書き込んで設定してください。

RESET入力、またはTMC7のCE7ビットをクリアすることにより、000Hになります。

(3) 10ビット・コンペア・レジスタ3 (CM3)

CM3は、10ビットのコンペア・レジスタで、TM7の上限値を制御しています。TM7のカウント値が、CM3または0と一致すると、次のカウント・クロックでTM7のアップ・カウント/ダウン・カウントを切り替えます。

また、CM3は、バッファ・レジスタ (BFCM3) を備えており、割り込み要求信号INTTM7の発生タイミングでバッファの内容をCM3に転送します。

CM3への書き込みは、TM7が停止時のみ可能です。

TM7への周期は、BFCM3に対し、データを書き込んで設定してください。

$\overline{\text{RESET}}$ 入力により、0FFHになります。

CM3には、000Hを設定しないでください。

(4) 10ビット・バッファ・レジスタ0-3 (BFCM0-BFCM3)

BFCM0-BFCM3は、10ビットのレジスタです。割り込み要求信号INTTM7の発生タイミングで各バッファ・レジスタに対応したコンペア・レジスタ (CM0-CM3) にデータを転送します。

BFCM0-BFCM3はTM7のカウント停止中/動作中にかかわらずリード/ライトが可能です。

$\overline{\text{RESET}}$ 入力により、BFCM0-BFCM2は000H、BFCM3は0FFHになります。

BFCM0-BFCM3は、ワード単位だけでなく、バイト単位でのリード/ライトも可能です。8ビット以下でリード/ライトする場合はBFCM0L-BFCM3Lを使用します。

(5) デッド・タイム・リロード・レジスタ (DTIME)

DTIMEは、8ビットのデッド・タイム設定用のレジスタで、3つのデッド・タイム・タイマ (DTM0-DTM2) に対して共通です。ただし、DTIMEからDTM0-DTM2へデータをロードするタイミングはそれぞれ独立して行われます。

DTIMEはTM7のカウント停止中のみライト可能です。タイマ動作中にDTIMEを書き換える命令を実行しても、データは書き換わりません。

DTIMEは $\overline{\text{RESET}}$ 入力によりFFHになります。

DTIMEに00Hを設定した場合でも、 f_x のデッド・タイムを持った出力が行われます。

(6) デッド・タイム・タイマ0-2 (DTM0-DTM2)

DTM0-DTM2は、8ビットのダウン・カウンタでデッド・タイムを生成します。

CM0-CM2とTM7のコンペア一致タイミングで、デッド・タイム・リロード・レジスタ (DTIME) の値がリロードされ、ダウン・カウンタを開始します。DTM0-DTM2は、それぞれ00H、FFHに変化すると、アンダフロー信号を発生し、FFHで停止します。

カウント・クロックは f_x です。

DTM0-DTM2は、リード/ライトできません。

$\overline{\text{RESET}}$ 入力、またはTMC7のCE7ビットをクリアすることによりFFHとなります。

(7) バッファ転送制御用タイマ (RTM0)

RTM0は、3ビットのアップ・カウンタです。割り込み要求信号INTTM7を分周する機能を持ちます。

TM7のアンダフロー信号によりインクリメントを行い、TMC7のIDEV0-IDEV2ビットで設定した分周回数値と一致するとINTTM7を発生します。RTM0は、リード/ライトできません。

$\overline{\text{RESET}}$ 入力により、7Hとなります。また、INTTM7の発生、TMC7のCE7ビットのクリアによっても7Hとなります。

6.3 10ビット・インバータ制御用タイマを制御するレジスタ

10ビット・インバータ制御用タイマは、次の2種類のレジスタで制御します。

- ・インバータ・タイマ・コントロール・レジスタ7 (TMC7)
- ・インバータ・タイマ・モード・レジスタ7 (TMM7)

(1) インバータ・タイマ・コントロール・レジスタ7 (TMC7)

インバータ・タイマ・コントロール・レジスタ7 (TMC7) は、TM7, DTM0-DTM2, およびRTM0の動作制御, 10ビット・インバータ制御用タイマのカウント・クロックの選択, コンペア・レジスタ転送周期の選択を行うレジスタです。

TMC7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図6-2 インバータ・タイマ・コントロール・レジスタ7のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
TMC7	CE7	0	TCL72	TCL71	TCL70	IDEV2	IDEV1	IDEV0	FFA8H	00H	R/W

CE7	説明
0	クリア&停止 (TO70-TO75はHi-Z)
1	カウント許可

TCL72	TCL71	TCL70	説明
0	0	0	f_x (8.38 MHz)
0	0	1	$f_x/2$ (4.19 MHz)
0	1	0	$f_x/2^2$ (2.1 MHz)
0	1	1	$f_x/2^3$ (1.05 MHz)
1	0	0	$f_x/2^4$ (524 kHz)
1	0	1	$f_x/2^5$ (262 kHz)
上記以外			設定禁止

IDEV2	IDEV1	IDEV0	説明
0	0	0	TM7のアンダフローごとに発生 (毎回)
0	0	1	TM7のアンダフロー2回につき1回発生
0	1	0	TM7のアンダフロー3回につき1回発生
0	1	1	TM7のアンダフロー4回につき1回発生
1	0	0	TM7のアンダフロー5回につき1回発生
1	0	1	TM7のアンダフロー6回につき1回発生
1	1	0	TM7のアンダフロー7回につき1回発生
1	1	1	TM7のアンダフロー8回につき1回発生

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 8.38$ MHz動作時

(2) インバータ・タイマ・モード・レジスタ7 (TMM7)

インバータ・タイマ・モード・レジスタ7 (TMM7) は、TO70-TO75出力のアクティブ・レベル指定、動作制御、およびTOFF7の有効エッジを設定するレジスタです。

TMM7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図6-3 インバータ・タイマ・モード・レジスタ7のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMM7	0	0	0	PNOFFB	ALV	TOEDG	TOSPP	TOSPW	FFA9H	00H	R/W

PNOFFB ^注	TO70-TO75へのTM7出力制御状態フラグ
0	TM7出力禁止状態 (TO70-TO75はHi-Z)
1	TM7出力許可状態

ALV	TO70-TO75出力のアクティブ・レベルの指定
0	ロウ・レベル
1	ハイ・レベル

TOEDG	TOFF7の有効エッジの指定
0	立ち下がりエッジ
1	立ち上がりエッジ

TOSPP	有効エッジによるTO70-TO75の出力停止の制御
0	出力停止しない
1	出力停止 (TO70-TO75はHi-Z)

TOSPW	INTWDTによるTO70-TO75の出力停止の制御
0	出力停止しない
1	出力停止 (TO70-TO75はHi-Z)

注 PNOFFBビットは、読み出し専用フラグです。ソフトウェアによるセット/リセットはできません。

TM7の停止時 (CE7 = 0)、または動作中 (CE7 = 1) にTOFF7, INTWDTによる出力停止が発生した場合にリセットされます。

注意 ビット5-7には、必ず0を設定してください。

備考1. TO70-TO75は、次の場合にHi-Z状態になります。ただし、CE7 = 1であれば、TM7, DTM0-DTM2, RTM0の各タイマは停止しません。

- ・ TOSPP = 1で、TOFF7端子へ有効エッジが入力された場合
- ・ TOSPW = 1で、指定した割り込み要求が発生した場合

TO70-TO75出力を復帰させる場合は次の手順で行います。

- CE7に0を書き込み、各タイマを停止させます。
- 使用している出力停止機能のフラグに0を書き込みます。
- 再度各レジスタの初期設定を行います。

2. PNOFFB, ALV, CE7, TO70-TO75は、次のような関係になります。

PNOFFB	ALV	CE7	TO70, TO72, TO74	TO71, TO73, TO75
下記以外			Hi-Z	Hi-Z
1	0/1	1	PWM波形周期 (正相)	PWM波形周期 (逆相)

6.4 10ビット・インバータ制御用タイマの動作

(1) 設定手順

インバータ・タイマ・コントロール・レジスタ7 (TMC7) のTCL70-TCL72ビットでTM7のカウント・クロックを設定し、IDEV0-IDEV2ビットで割り込み要求信号INTTM7の発生頻度を設定します。

インバータ・タイマ・モード・レジスタ7 (TMM7) のALVビットでTO70-TO75端子のアクティブ・レベルを設定します。

CM3に第1PWM周期の半周期幅を設定します。

- ・PWM周期 = $CM3 \text{値} \times 2 \times TM7 \text{のクロック} \cdot \text{レート}$
(TM7のクロック・レートはTMC7で設定します)

10ビット・バッファ・レジスタ3 (BFCM3) に第2PWM周期の半周期幅を設定します。

デッド・タイム・リロード・レジスタ (DTIME) にデッド・タイム幅を設定します。

- ・デッド・タイム幅 = $(DTIME + 1) \times f_x$
 f_x : 内部システム・クロック

CM0-CM2に第1周期で使うF/Fのセット/リセット・タイミングを設定します。

BFCM0-BFCM2に第2周期で使うF/Fのセット/リセット・タイミングを設定します。

TMC7のCE7ビットをセット (1) してTM7, デッド・タイム・タイマ0-2 (DTM0-DTM2), バッファ転送制御用タイマ (RTM0) の動作を許可します。

注意 CE7ビットの設定には、必ずビット操作命令を使用してください。

TM7の動作中は、BFCM3に次のPWM周期の半周期幅を設定します。

TM7の動作中は、BFCM0-BFCM2に次の周期で使うF/Fのセット/リセット・タイミングを設定します。

TM7の動作を停止する場合は、TMC7のCE7ビットをクリア (0) します。

注意 CE7ビットの設定と同時にほかのビットを書き換えることはできません。

(2) 設定値に対する出力波形幅

- ・ PWM周期 = $CM3 \times 2 \times T_{TM7}$
- ・ デッド・タイム幅 $T_{DTM} = (DTIME + 1) \times f_x$
- ・ 正相 (TO70, TO72, TO74端子) のアクティブ幅
= $\{ (CM3 - CM_{up}) + (CM3 - CM_{down}) \} \times T_{TM7} - T_{DTM}$
- ・ 逆相 (TO71, TO73, TO75端子) のアクティブ幅
= $(CM_{down} + CM_{up}) \times T_{TM7} - T_{DTM}$

f_x : システム・クロック発振周波数

T_{TM7} : TM7のカウント・クロック

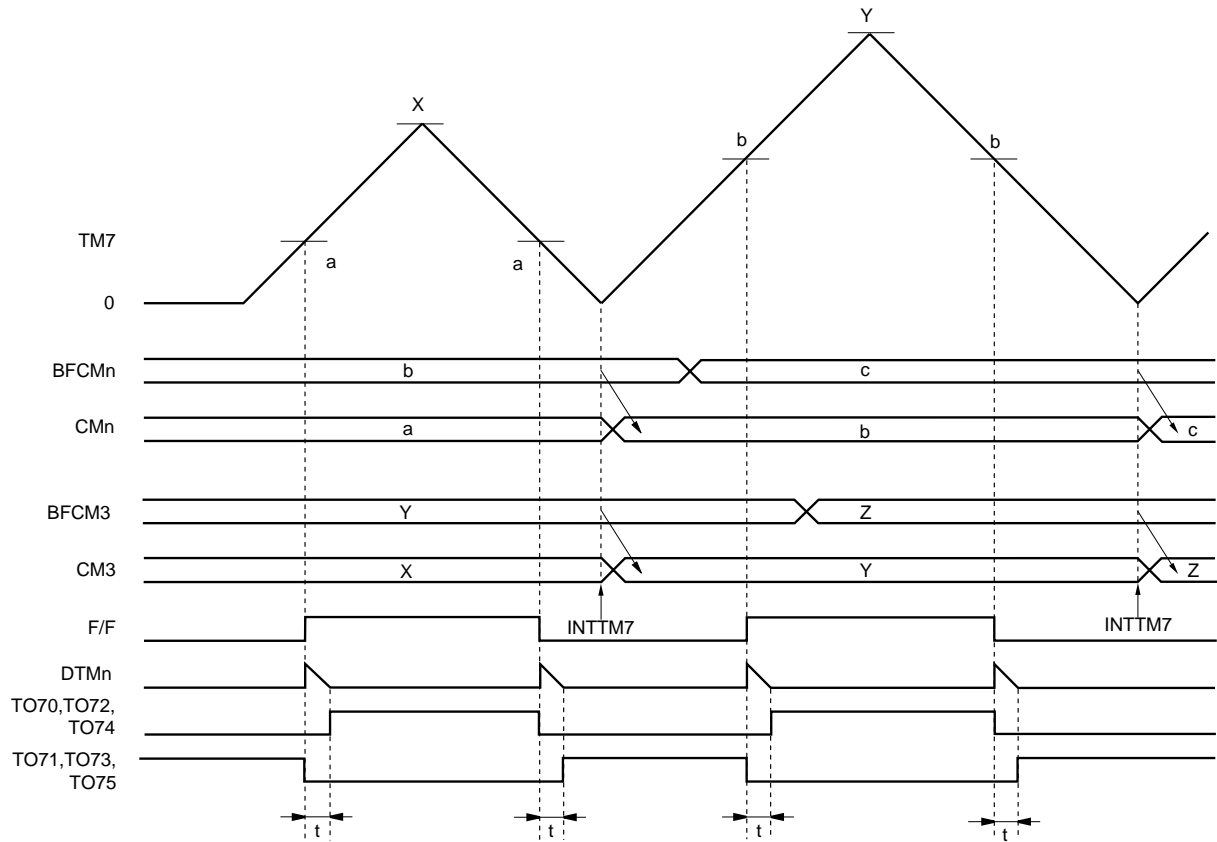
CM_{up} : TM7がアップ・カウント時のCM0-CM2の設定値

CM_{down} : TM7がダウン・カウント時のCM0-CM2の設定値

注意 正相または逆相のアクティブ幅が上記の式の計算式で“0”または“マイナス”になるような値を設定した場合、TO70-TO75は、アクティブ幅“0”でインアクティブ・レベル固定の波形を出力します。

(3) 動作タイミング

図6-4 TM7の動作タイミング(基本動作)

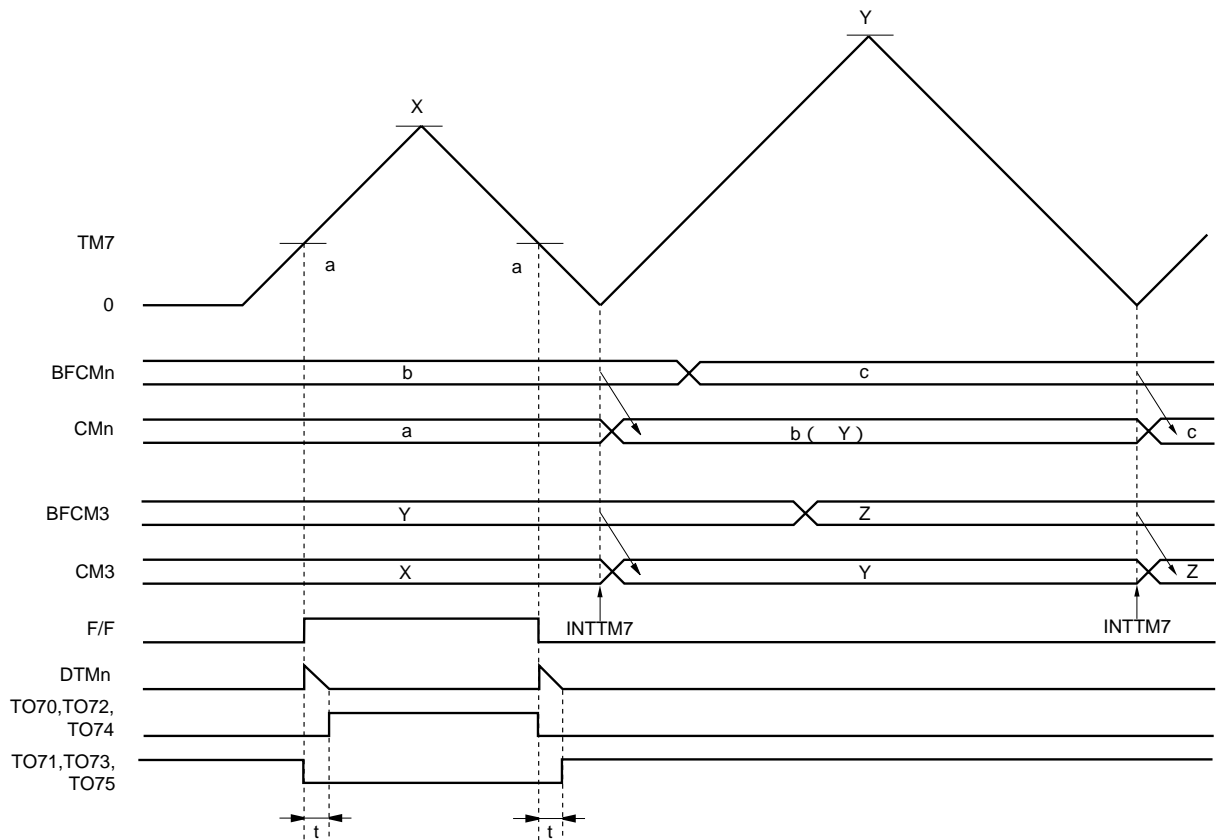


備考1. $n = 0-2$

2. t : デッド・タイム = $(DTIME + 1) \times f_x$
 (f_x : システム・クロック発振周波数)

3. 上図はアクティブ・ハイで, INTTM7の発生を分周しない場合です。

図6 - 5 TM7の動作タイミング (CMn (BFCMn) CM3 (BFCM3))



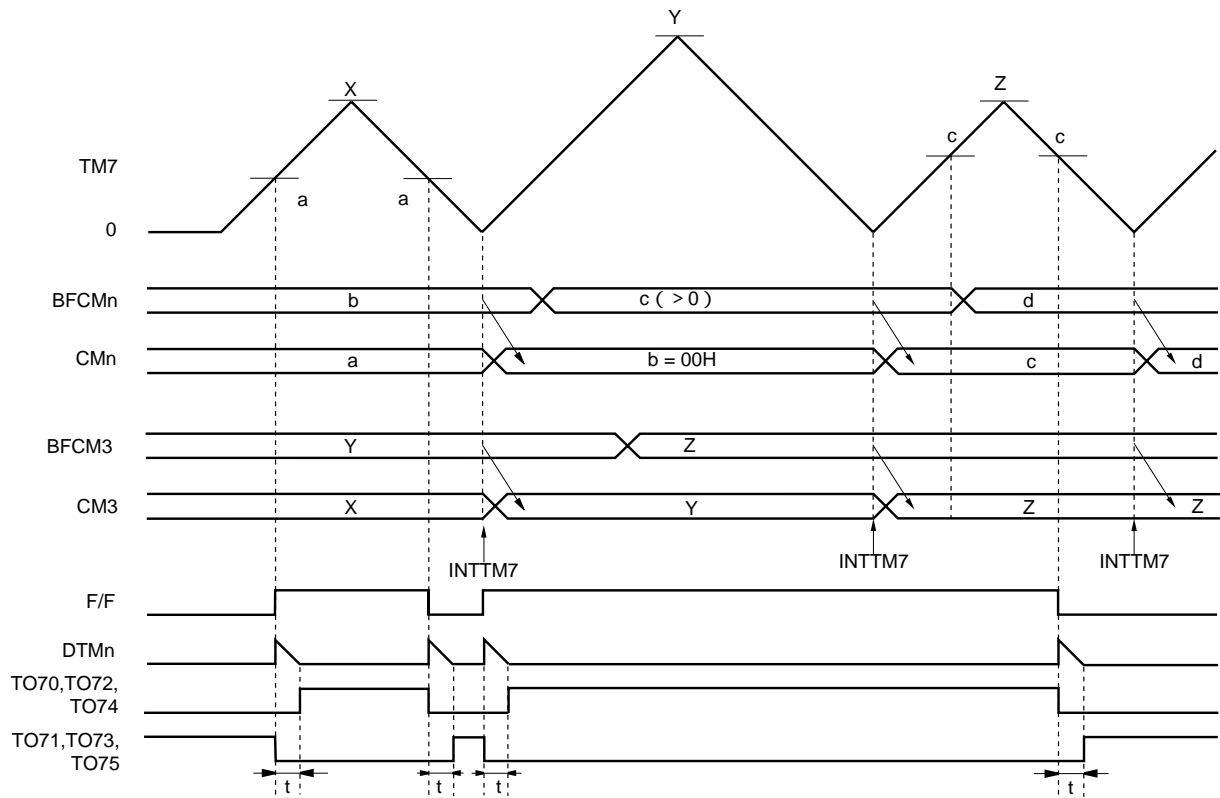
備考1. $n = 0-2$

2. t : デッド・タイム = $(DTIME + 1) \times f_x$
 (f_x : システム・クロック発振周波数)

3. 上図はアクティブ・ハイで、INTTM7の発生を分周しない場合です。

BFCMnにCM3より大きい値を設定した場合、正相側 (TO70, TO72, TO74端子) はロウ・レベルを出力し、逆相側 (TO71, TO73, TO75端子) はハイ・レベルを出力し続けます。インバータ制御などにおいて、PWM周期を越えるロウ幅、ハイ幅を出力したい場合にこの設定は有効です。

図6-6 TM7の動作タイミング (CMn (BFCMn) = 000H)



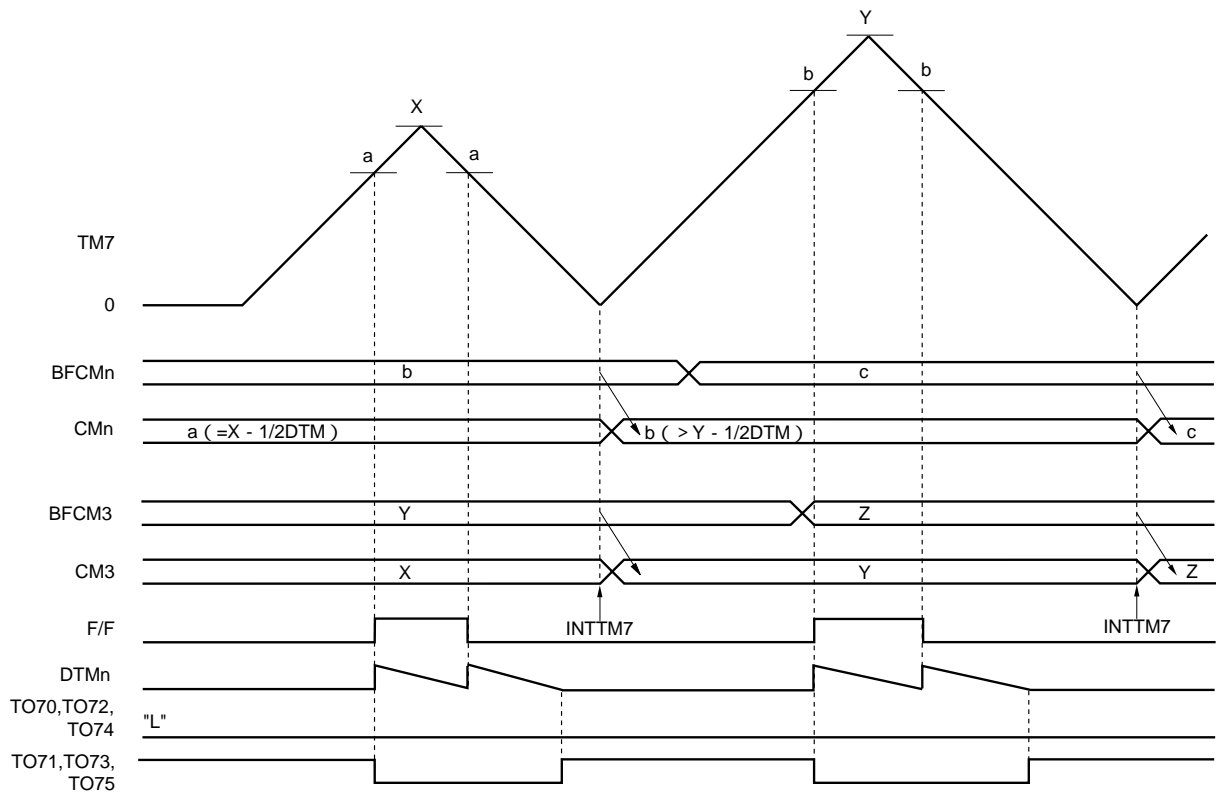
備考1. n = 0-2

2. t : デッド・タイム = $(DTIME + 1) \times f_x$

(f_x : システム・クロック発振周波数)

3. 上図はアクティブ・ハイで, INTTM7の発生を分周しない場合です。

図6-7 TM7の動作タイミング (CMn (BFCMn) = CM3 - 1/2DTM, CMn (BFCMn) > CM3 - 1/2DTM)



備考1. $n = 0-2$

2. 上図はアクティブ・ハイで、INTTM7の発生を分周しない場合です。

第7章 8ビット・タイマ/イベント・カウンタ80, 81, 82

7.1 8ビット・タイマ/イベント・カウンタ80, 81, 82の機能

8ビット・タイマ/イベント・カウンタ (TM80, TM81, TM82) には、次のような機能があります。

- ・インターバル・タイマ (TM80, TM81, TM82)
- ・外部イベント・カウンタ (TM80, TM81のみ)
- ・方形波出力 (TM82のみ)

μ PD789842サブシリーズでは、8ビット・タイマ/イベント・カウンタを2チャンネル (TM80, TM81) , 8ビット・タイマを1チャンネル (TM82) 内蔵しています。TM82の説明としてお読みになる場合、タイマ/イベント・カウンタをタイマと読み替えてください。

(1) 8ビット・インターバル・タイマ

あらかじめ設定した任意の間隔で割り込みを発生します。

表7-1 8ビット・タイマ/イベント・カウンタ80のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$2^6/f_x$ (7.64 μ s)	$2^{14}/f_x$ (1.96 ms)	$2^6/f_x$ (7.64 μ s)
$2^9/f_x$ (61.1 μ s)	$2^{17}/f_x$ (15.6 ms)	$2^9/f_x$ (61.1 μ s)

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 8.38$ MHz動作時

表7-2 8ビット・タイマ/イベント・カウンタ81のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$2^4/f_x$ (1.91 μ s)	$2^{12}/f_x$ (0.49 ms)	$2^4/f_x$ (1.91 μ s)
$2^8/f_x$ (30.5 μ s)	$2^{16}/f_x$ (7.82 ms)	$2^8/f_x$ (30.5 μ s)

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 8.38$ MHz動作時

表7-3 8ビット・タイマ82のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$2^3/f_x$ (0.95 μ s)	$2^{11}/f_x$ (0.24 ms)	$2^3/f_x$ (0.95 μ s)
$2^7/f_x$ (15.3 μ s)	$2^{15}/f_x$ (3.91 ms)	$2^7/f_x$ (15.3 μ s)
$2^{10}/f_x$ (0.12 ms)	$2^{18}/f_x$ (31.3 ms)	$2^{10}/f_x$ (0.12 ms)

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 8.38$ MHz動作時

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(3) 方形波出力

任意の周波数の方形波出力が可能です。

表7-4 8ビット・タイマ82の方形波出力範囲

最小パルス幅	最大パルス幅	分解能
$2^3/f_x$ (0.95 μ s)	$2^{11}/f_x$ (0.24 ms)	$2^3/f_x$ (0.95 μ s)
$2^7/f_x$ (15.3 μ s)	$2^{15}/f_x$ (3.91 ms)	$2^7/f_x$ (15.3 μ s)
$2^{10}/f_x$ (0.12 ms)	$2^{18}/f_x$ (31.3 ms)	$2^{10}/f_x$ (0.12 ms)

備考1. f_x : システム・クロック発振周波数

2. ()内は, $f_x = 8.38$ MHz動作時

7.2 8ビット・タイマ/イベント・カウンタ80, 81, 82の構成

8ビット・タイマ/イベント・カウンタ80, 81, 82は, 次のハードウェアで構成しています。

表7-5 8ビット・タイマ/イベント・カウンタ80, 81, 82の構成

項 目	構 成
タイマ・カウンタ	8ビット×3本 (TM80-TM82)
レジスタ	コンペア・レジスタ : 8ビット×3本 (CR80-CR82)
タイマ出力	1本 (TO82)
制御レジスタ	8ビット・タイマ・モード・コントロール・レジスタ80-82 (TMC80-TMC82) ポート・モード・レジスタ2 (PM2) ポート・レジスタ2 (P2)

図7-1 8ビット・タイマ/イベント・カウンタ80のブロック図

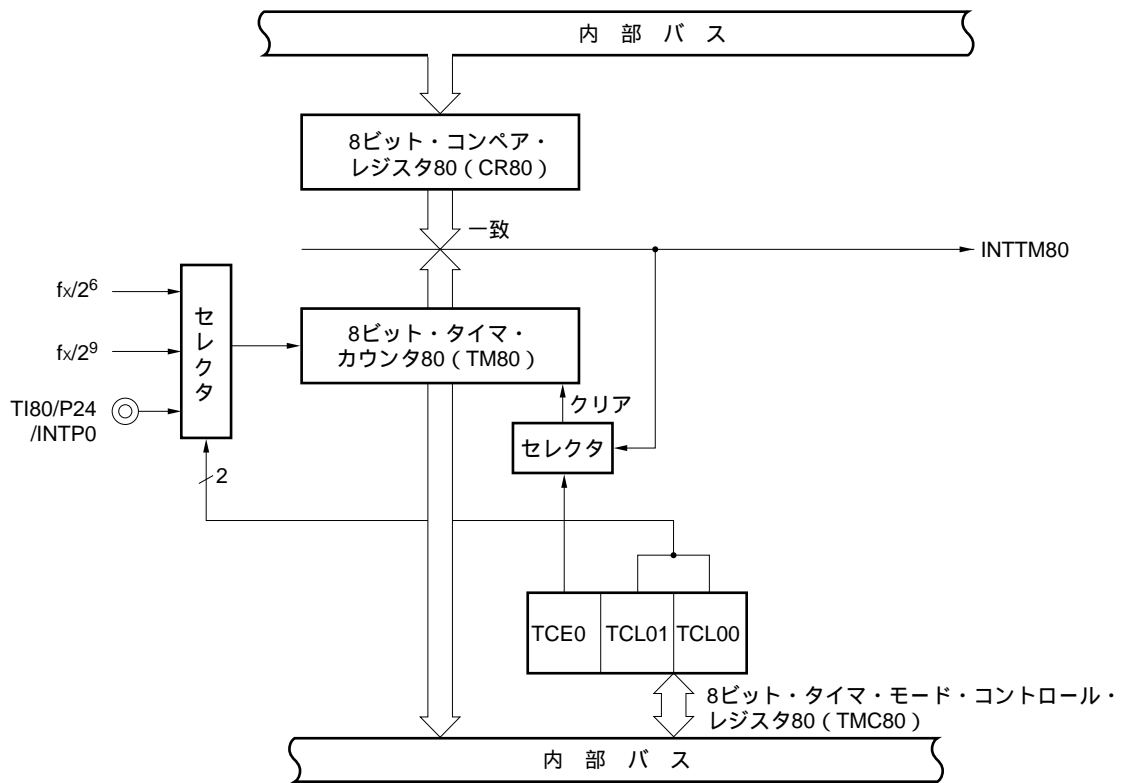


図7-2 8ビット・タイマ/イベント・カウンタ81のブロック図

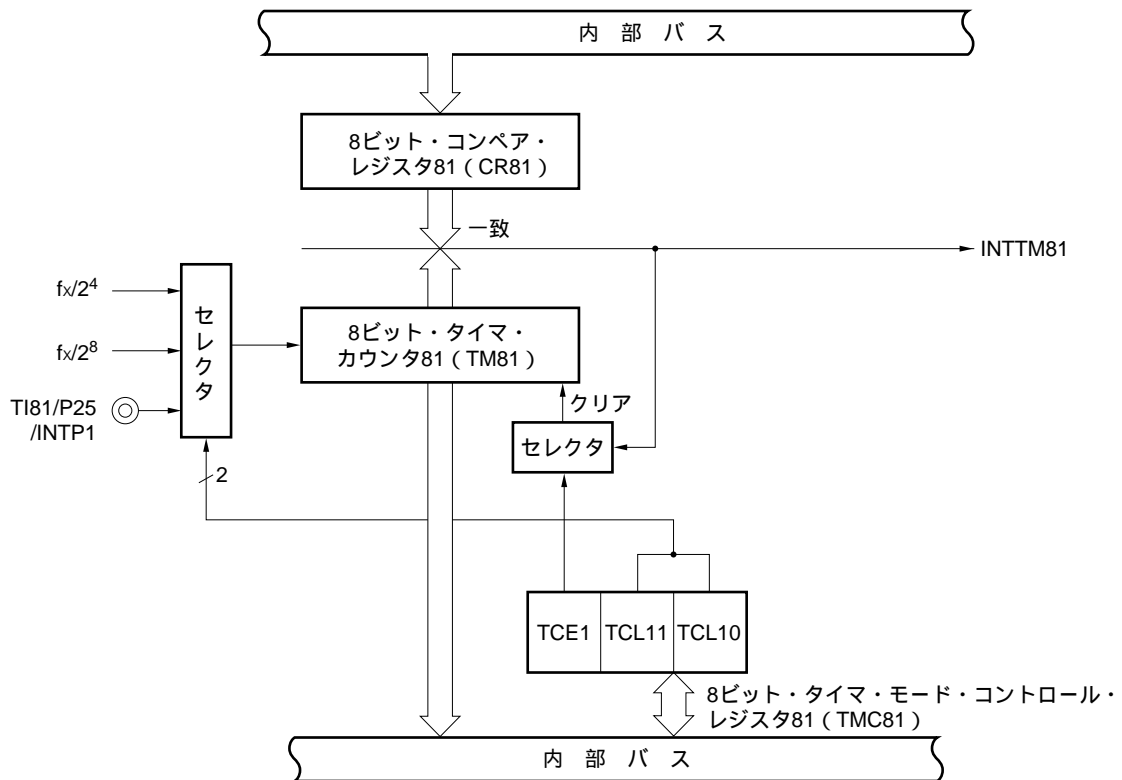
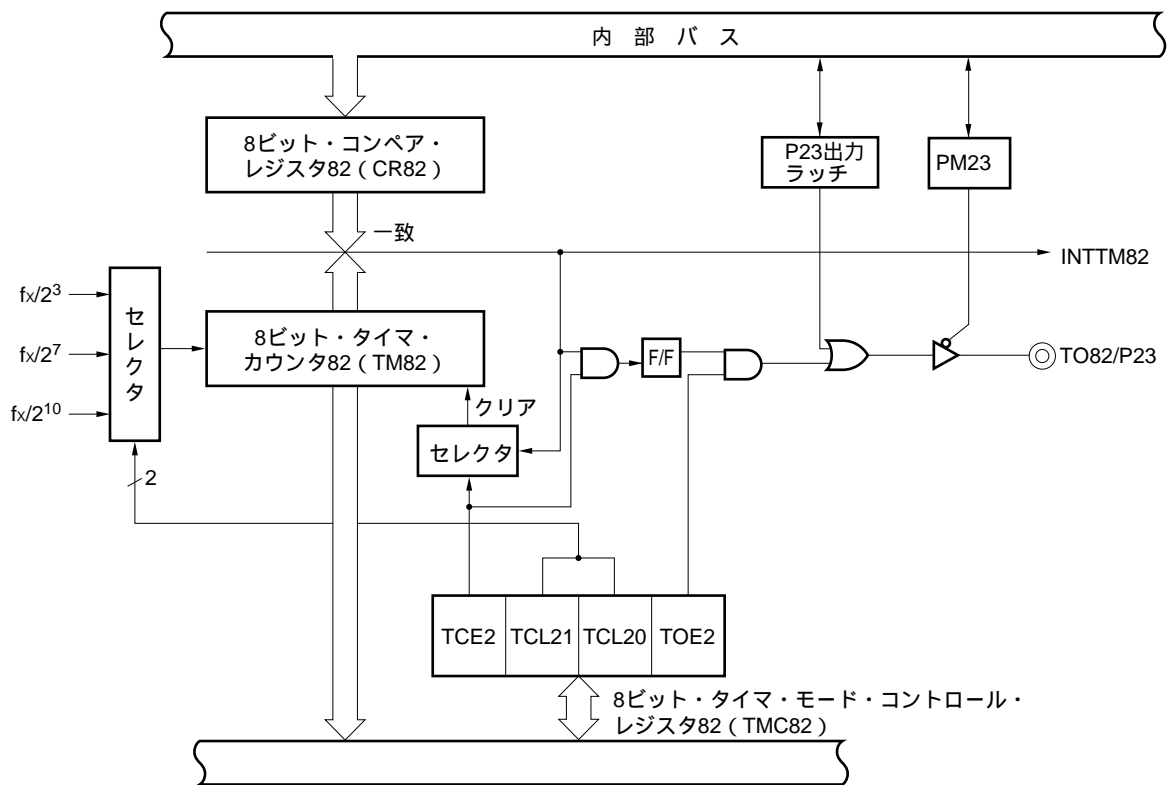


図7-3 8ビット・タイマ82のブロック図



(1) 8ビット・コンペア・レジスタ8n (CR8n)

CR8nに設定した値と8ビット・タイマ・カウンタ8n (TM8n) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM8n) を発生する8ビットのレジスタです。

CR8nは、8ビット・メモリ操作命令で設定します。00H-FFHの値が設定可能です。

$\overline{\text{RESET}}$ 入力により、それぞれ不定になります。

注意 CR8nを書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR8nを書き換えた場合、その時点で一致割り込み要求信号が発生する場合があります。

(2) 8ビット・タイマ・カウンタ8n (TM8n)

カウント・パルスをカウントする8ビットのレジスタです。

TM8nは、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、それぞれ00Hになります。

備考 n = 0-2

7.3 8ビット・タイマ/イベント・カウンタ80, 81, 82を制御するレジスタ

8ビット・タイマ/イベント・カウンタ80, 81, 82は、次の3種類のレジスタで制御します。

- ・8ビット・タイマ・モード・コントロール・レジスタ80-82 (TMC80-TMC82)
- ・ポート・モード・レジスタ2 (PM2)
- ・ポート・レジスタ2 (P2)

(1) 8ビット・タイマ・モード・コントロール・レジスタ80 (TMC80)

8ビット・タイマ・カウンタ80 (TM80) の動作許可/停止, 8ビット・タイマ/イベント・カウンタ80のカウント・クロックの設定をするレジスタです。

TMC80は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図7-4 8ビット・タイマ・モード・コントロール・レジスタ80のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
TMC80	TCE0	0	0	0	0	TCL01	TCL00	0	FF53H	00H	R/W

TCE0	8ビット・タイマ・カウンタ80の動作制御
0	動作停止 (TM80は00Hにクリア)
1	動作許可

TCL01	TCL00	8ビット・タイマ/イベント・カウンタ80のカウント・クロックの選択
0	0	$f_x/2^6$ (131 kHz)
0	1	$f_x/2^9$ (16.4 kHz)
1	0	TI80の立ち上がりエッジ
1	1	TI80の立ち下がりエッジ

注意1. ビット0, 3-6には、必ず0を設定してください。

2. TMC80の設定は、必ずタイマ動作を停止させたのちに行ってください。

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 8.38$ MHz動作時

(2) 8ビット・タイマ・モード・コントロール・レジスタ81 (TMC81)

8ビット・タイマ・カウンタ81 (TM81) の動作許可/停止, 8ビット・タイマ/イベント・カウンタ81のカウンタ・クロックの設定をするレジスタです。

TMC81は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

図7-5 8ビット・タイマ・モード・コントロール・レジスタ81のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
TMC81	TCE1	0	0	0	0	TCL11	TCL10	0	FF57H	00H	R/W

TCE1	8ビット・タイマ・カウンタ81の動作制御
0	動作停止 (TM81は00Hにクリア)
1	動作許可

TCL11	TCL10	8ビット・タイマ/イベント・カウンタ81のカウンタ・クロックの選択
0	0	$f_x/2^4$ (524 kHz)
0	1	$f_x/2^8$ (32.7 kHz)
1	0	TI81の立ち上がりエッジ
1	1	TI81の立ち下がりエッジ

注意1. ビット0, 3-6には, 必ず0を設定してください。

2. TMC81の設定は, 必ずタイマ動作を停止させたのちに行ってください。

備考1. f_x : システム・クロック発振周波数

2. () 内は, $f_x = 8.38$ MHz動作時

(3) 8ビット・タイマ・モード・コントロール・レジスタ82 (TMC82)

8ビット・タイマ・カウンタ82 (TM82) の動作許可/停止, 8ビット・タイマ・カウンタ82のカウント・クロックの設定, および出力制御回路の動作を制御するレジスタです。

TMC82は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

図7-6 8ビット・タイマ・モード・コントロール・レジスタ82のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
TMC82	TCE2	0	0	0	0	TCL21	TCL20	TOE2	FF5BH	00H	R/W

TCE2	8ビット・タイマ・カウンタ82の動作制御
0	動作停止 (TM82は00Hにクリア)
1	動作許可

TCL21	TCL20	8ビット・タイマ・カウンタ82のカウント・クロックの選択
0	0	$f_x/2^3$ (1.05 MHz)
0	1	$f_x/2^7$ (65.5 kHz)
1	0	$f_x/2^{10}$ (8.18 kHz)
1	1	設定禁止

TOE2	8ビット・タイマ82の出力の制御
0	出力禁止 (ポート・モード)
1	出力許可

注意1. ビット3-6には, 必ず0を設定してください。

2. TMC82の設定は, 必ずタイマ動作を停止させたのちに行ってください。

備考1. f_x : システム・クロック発振周波数

2. () 内は, $f_x = 8.38$ MHz動作時

(4) ポート・モード・レジスタ2 (PM2)

ポート2の入力/出力を1ビット単位で設定するレジスタです。

P23/TO82端子をタイマ出力として使用するとき, PM23およびP23の出力ラッチに0を設定してください。

★ P24/TI80/INTP0, P25/TI81/INTP1端子をタイマ入力として使用するとき, PM24, PM25に1を設定してください。このときP24, P25の出力ラッチは0または1のどちらでもかまいません。

PM2は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, FFHになります。

図7-7 ポート・モード・レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W

PM2n	P2n端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

7.4 8ビット・タイマ/イベント・カウンタ80, 81, 82の動作

7.4.1 インターバル・タイマとしての動作

インターバル・タイマは、あらかじめ8ビット・コンペア・レジスタ80, 81, 82 (CR80, CR81, CR82) に設定したカウント値をインターバルとし、繰り返し割り込みを発生させることができます。

8ビット・タイマ/イベント・カウンタをインターバル・タイマとして動作させるには次の順序で設定をします。

8ビット・タイマ・カウンタ8n (TM8n) を動作禁止 (TCEn (8ビット・タイマ・モード・コントロール・レジスタ8n (TMC8n) のビット7) = 0) に設定

8ビット・タイマ/イベント・カウンタのカウント・クロックを選択 (表7-6から表7-8参照)

CR8nにカウント値を設定

TM8nを動作許可 (TCEn = 1) に設定

8ビット・タイマ・カウンタ8n (TM8n) のカウント値がCR8nに設定した値と一致したとき、TM8nの値を00Hにクリアしてカウントを継続するとともに、割り込み要求信号 (INTTM8n) を発生します。

表7-6から表7-8にインターバル時間を、図7-8にインターバル・タイマ動作のタイミングを示します。

注意 TMC8nでカウント・クロックの設定とTM8nの動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため、インターバル・タイマとして動作させる際には、必ず上記の順序で操作してください。

備考 n = 0-2

表7-6 8ビット・タイマ/イベント・カウンタ80のインターバル時間

TCL01	TCL00	最小インターバル時間	最大インターバル時間	分解能
0	0	$2^6/f_x$ (7.64 μ s)	$2^{14}/f_x$ (1.96 ms)	$2^6/f_x$ (7.64 μ s)
0	1	$2^9/f_x$ (61.1 μ s)	$2^{17}/f_x$ (15.6 ms)	$2^9/f_x$ (61.1 μ s)
1	0	TI80入力周期	$2^8 \times$ TI80入力周期	TI80入力エッジ周期
1	1	TI80入力周期	$2^8 \times$ TI80入力周期	TI80入力エッジ周期

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 8.38$ MHz動作時

表7-7 8ビット・タイマ/イベント・カウンタ81のインターバル時間

TCL11	TCL10	最小インターバル時間	最大インターバル時間	分解能
0	0	$2^4/f_x$ (1.91 μ s)	$2^{12}/f_x$ (0.49 ms)	$2^4/f_x$ (1.91 μ s)
0	1	$2^8/f_x$ (30.5 μ s)	$2^{16}/f_x$ (7.82 ms)	$2^8/f_x$ (30.5 μ s)
1	0	TI81入力周期	$2^8 \times$ TI81入力周期	TI81入力エッジ周期
1	1	TI81入力周期	$2^8 \times$ TI81入力周期	TI81入力エッジ周期

備考1. f_x : システム・クロック発振周波数

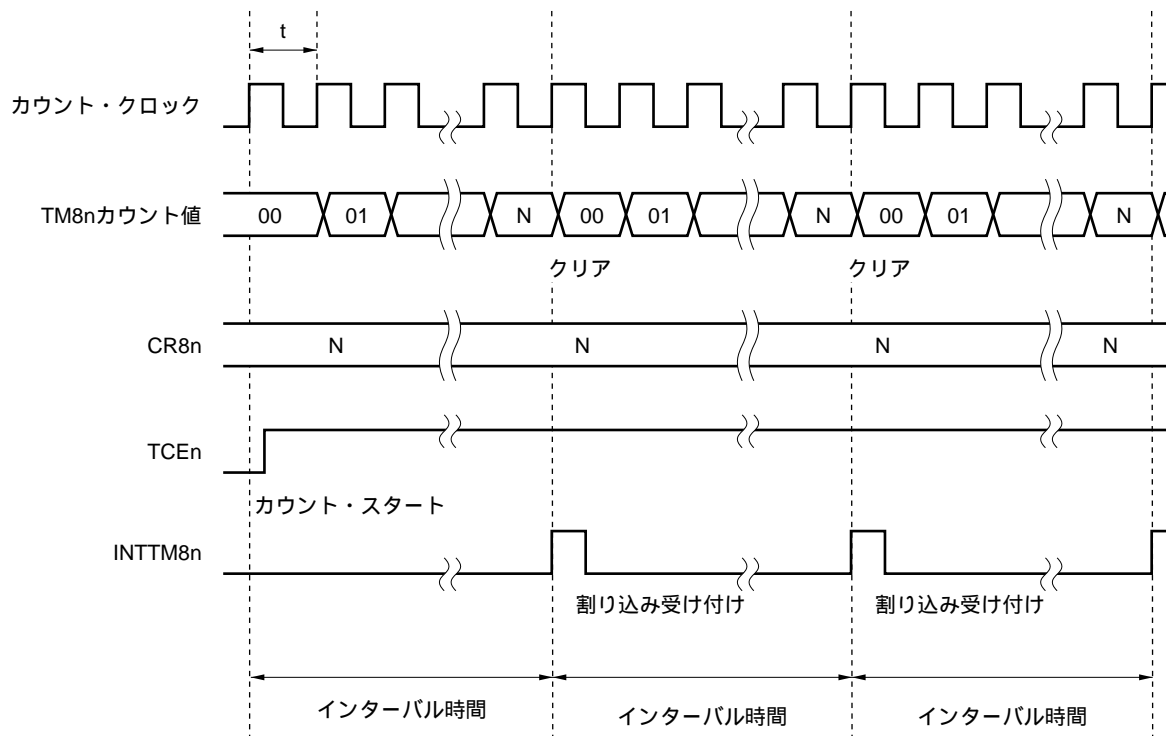
2. () 内は、 $f_x = 8.38$ MHz動作時

表7-8 8ビット・タイマ82のインターバル時間

TCL21	TCL20	最小インターバル時間	最大インターバル時間	分解能
0	0	$2^3/f_x$ (0.95 μ s)	$2^{11}/f_x$ (0.24 ms)	$2^5/f_x$ (0.95 μ s)
0	1	$2^7/f_x$ (15.3 μ s)	$2^{15}/f_x$ (3.91 ms)	$2^7/f_x$ (15.3 μ s)
1	0	$2^{10}/f_x$ (0.12 ms)	$2^{18}/f_x$ (31.3 ms)	$2^{10}/f_x$ (0.12 ms)
1	1	設定禁止		

- 備考1. f_x : システム・クロック発振周波数
 2. () 内は, $f_x = 8.38$ MHz動作時

図7-8 TM80, TM81, TM82のインターバル・タイマ動作のタイミング



- 備考1. インターバル時間 = $(N + 1) \times t$: $N = 00H-FFH$
 2. $n = 0-2$

7.4.2 外部イベント・カウンタとしての動作^注

外部イベント・カウンタは、TI80/P24/INTP0、TI81/P25/INTP1端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ80, 81 (TM80, TM81) でカウントするものです。

8ビット・タイマ/イベント・カウンタを外部イベント・カウンタとして動作させるには次の順序で設定をします。

P24, P25を入力モード (PM24 = 1, PM25 = 1) に設定

8ビット・タイマ・カウンタ8n (TM8n) を動作禁止 (TCEn (8ビット・タイマ・モード・コントロール・レジスタ8n (TMC8n) のビット7) = 0) に設定

TI8nの立ち上がり/立ち下がりエッジを指定 (図7-4, 図7-5参照)

CR8nにカウント値を設定

TM8nを動作許可 (TCEn = 1) に設定

注 TM80, TM81のみの機能です。

TMC8nのビット1 (TCLn0) で指定した有効エッジが入力されるたびに8ビット・タイマ・カウンタ8n (TM8n) がインクリメントされます。

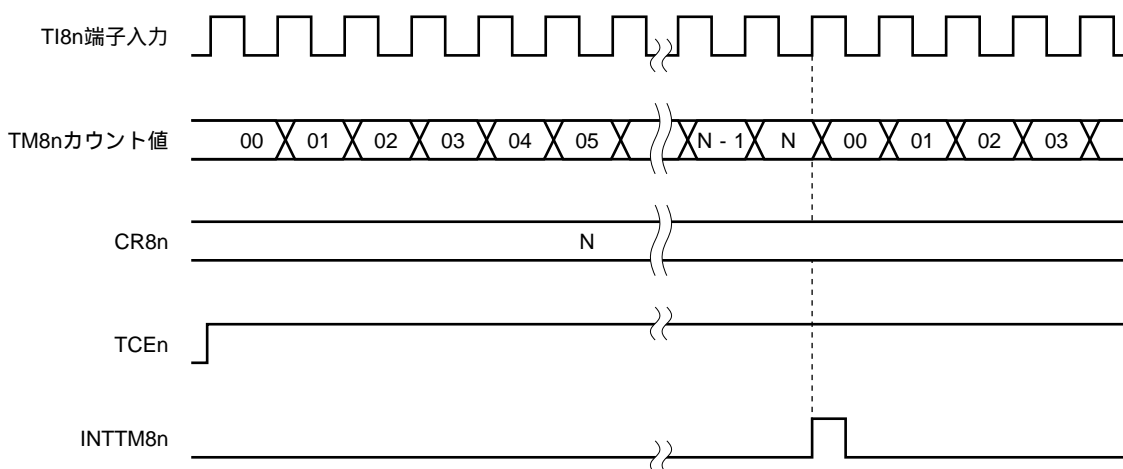
TM8nのカウント値がCR8nに設定した値と一致したとき、TM8nの値を00Hにクリアしてカウントを継続するとともに、割り込み要求信号 (INTTM8n) を発生します。

図7-9に外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) を示します。

注意 TMC8nでカウント・クロックの設定とTM8nの動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため、外部イベント・カウンタとして動作させる際には、必ず上記の順序で操作してください。

備考 n = 0, 1

図7-9 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



備考1. N = 00H-FFH

備考2. n = 0, 1

7.4.3 方形波出力としての動作^注

8ビット・コンペア・レジスタ82 (CR82) にあらかじめ設定した値をインターバルとし、任意の周波数の方形波出力を発生させることができます。

8ビット・タイマ・カウンタ82を方形波出力として動作させるには次の順序で設定をします。

P23を出力モード (PM23 = 0) に、P23の出力ラッチを0に設定

8ビット・タイマ・カウンタ82 (TM82) を動作禁止 (TCE2 (8ビット・タイマ・モード・コントロール・レジスタ82 (TMC82) のビット0) = 1) に設定

8ビット・タイマ82のカウント・クロックを設定 (表7 - 9参照) し、TO82を出力許可 (TOE2 (TMC82のビット0) = 1) に設定

CR82にカウント値を設定

TM82を動作許可 (TCE2 = 1) に設定

注 TM82のみの機能です。

8ビット・タイマ・カウンタ82 (TM82) のカウント値がCR82に設定した値と一致したとき、TO82/P23端子の出力状態が反転します。これにより任意の周波数の方形波出力が可能です。また、このとき、TM82の値は、00Hにクリアされてカウントを継続するとともに、割り込み要求信号 (INTTM82) を発生します。

方形波出力は、TMC82のビット7 (TCE2) に0を設定するとクリア (0) されます。

表7 - 9に方形波出力範囲を、図7 - 10に方形波出力のタイミングを示します。

注意 TMC82でカウント・クロックの設定とTM82の動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため、方形波出力として動作させる際には、必ず上記の順序で操作してください。

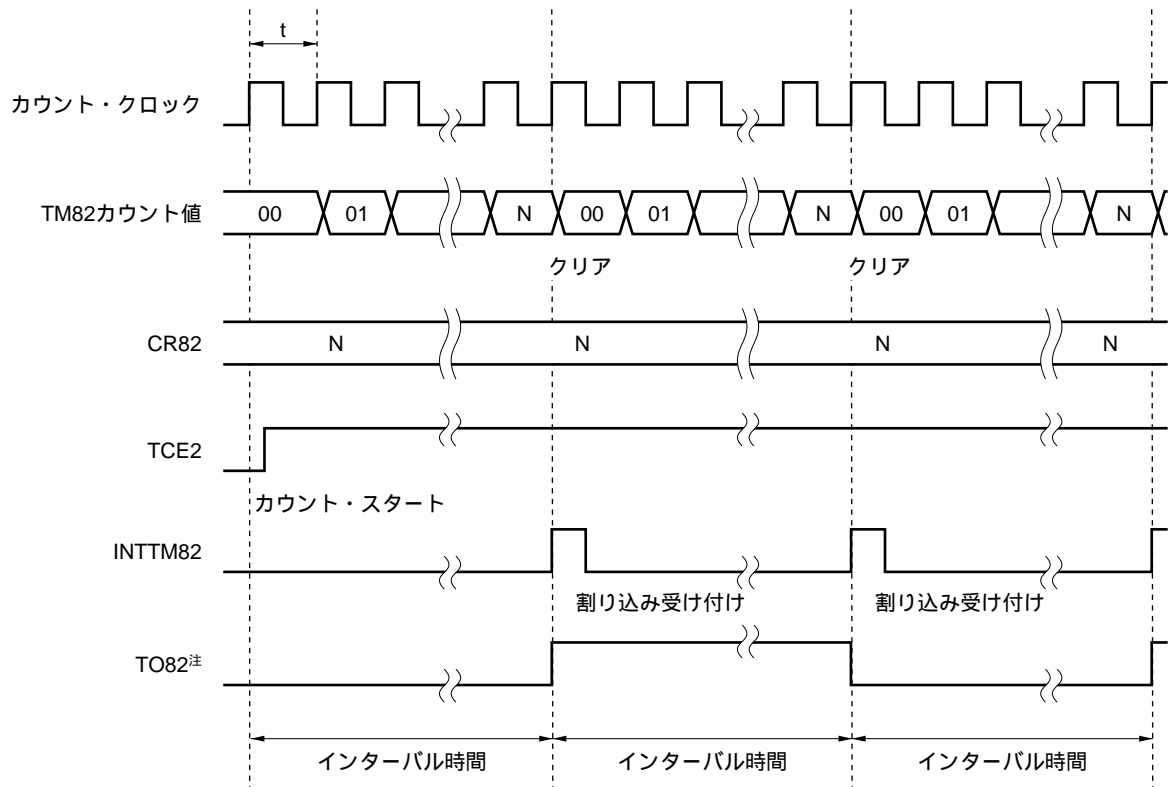
表7 - 9 8ビット・タイマ82の方形波出力範囲

TCL21	TCL20	最小パルス幅	最大パルス幅	分解能
0	0	$2^3/f_x$ (0.95 μ s)	$2^{11}/f_x$ (0.24 ms)	$2^5/f_x$ (0.95 μ s)
0	1	$2^7/f_x$ (15.3 μ s)	$2^{15}/f_x$ (3.91 ms)	$2^7/f_x$ (15.3 μ s)
1	0	$2^{10}/f_x$ (0.12 ms)	$2^{18}/f_x$ (31.3 ms)	$2^{10}/f_x$ (0.12 ms)
1	1	設定禁止		

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 8.38$ MHz動作時

図7-10 方形波出力のタイミング



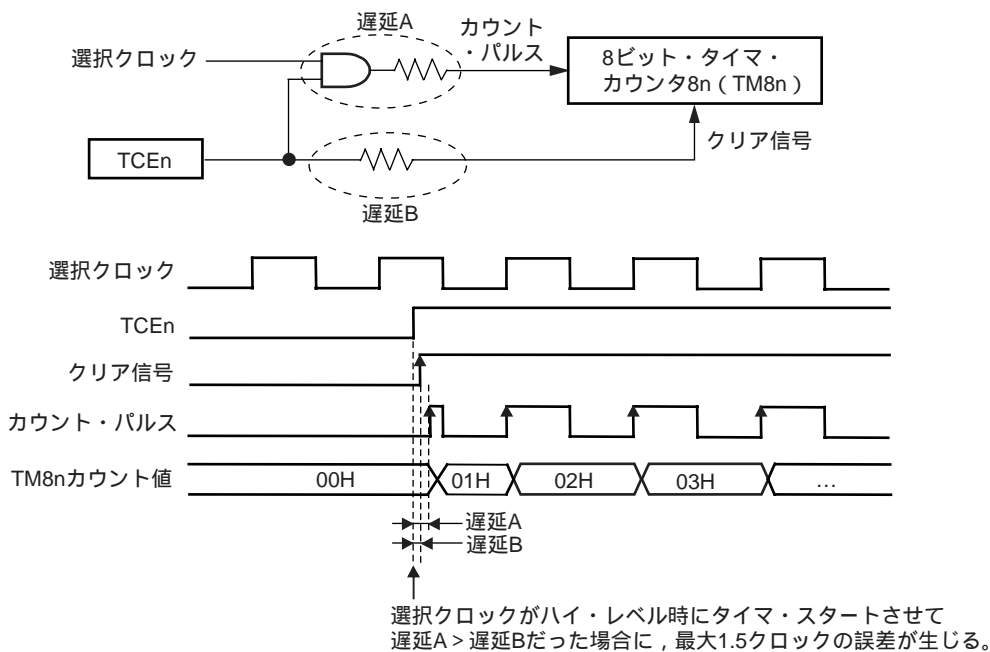
注 出力許可 (TOE2 = 1) 時のTO82の初期値は、ロウ・レベルになります。

★ 7.5 8ビット・タイマ/イベント・カウンタ80, 81, 82の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1.5クロック分の誤差が生じます。これは、カウント・クロックがハイ・レベルのときにタイマ・スタートすると、その瞬間に立ち上がりエッジが検出され、カウンタがインクリメントされてしまうことがあるためです（図7-11参照）。

図7-11 1.5クロック（最大）の誤差が出るケース



備考 n = 0-2

(2) TI8n端子からの外部クロックを選択した場合のカウント値

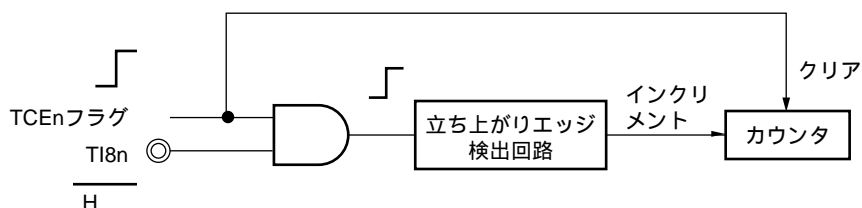
カウント・クロックとしてTI8n端子からの外部入力の上立ち上がりエッジを選択した際に、TI8n端子がハイ・レベル期間中にタイマを動作許可 (TCEn = 0 1) にすると、カウント値が01Hから始まる場合があります。これはTI8n端子からの入力とTCEn信号とが内部でAND回路になっているので、TCEnをセットした直後に立ち上がりエッジがタイマに入り、カウンタがインクリメントされるためです。遅延のタイミングにより、立ち上がりエッジがカウンタ・クリアのあとで入力された場合はカウント値 + 1 となります。逆に、立ち上がりエッジがカウンタ・クリアの前に入力された場合は影響がありません (通常動作します)。

同様の理由で、カウント・クロックとしてTI8n端子からの外部入力の下立ちがりエッジを選択した際に、TI8n端子がロウ・レベル期間中にタイマを動作許可 (TCEn = 0 1) にした場合も、カウント値が01Hから始まる場合があります。

カウント値に1カウントの誤差があることを認識して使用するか、以下のA, Bどちらかの方法により対策を施してください。

- <対策A> 立ち上がりエッジ選択時は、必ずTI8n端子がロウ・レベルのときにタイマ・スタートする。
立ち下がりエッジ選択時は、必ずTI8n端子がハイ・レベルのときにタイマ・スタートする。
- <対策B> タイマ・スタート時のカウント値を制御レジスタに退避させておき、カウント値を読み出すときは制御レジスタに退避したカウント値とのSUBを取り、真のカウント値とする。

図7 - 12 TI8nがハイ・レベル時にタイマ・スタートした場合のカウント動作 (立ち上がりエッジ選択時)



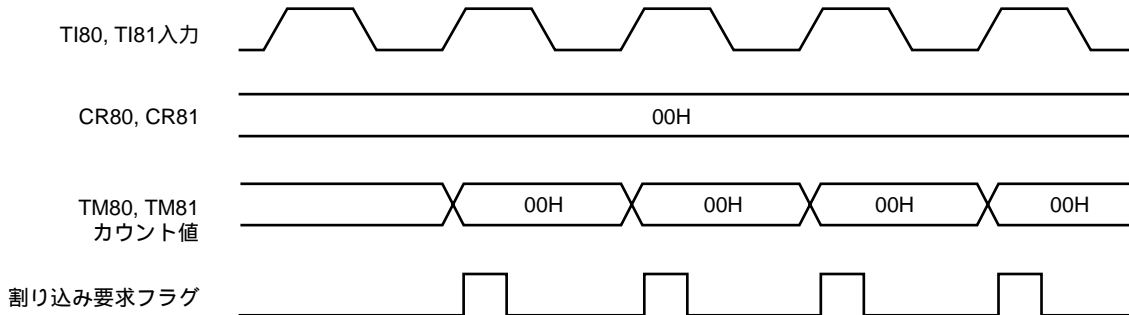
備考 n = 0, 1

(3) 8ビット・コンペア・レジスタ8nの設定

8ビット・コンペア・レジスタ8n (CR8n) には, 00Hの設定が可能です。

したがって, イベント・カウンタとして使用時, 1パルスのカウント動作が可能です。

図7-13 1パルスのカウント動作時のタイミング



注意 CR8nを書き換える場合は, 必ずタイマ動作を停止 (TCEn (8ビット・タイマ・モード・コントロール・レジスタ8n (TMC8n) のビット7) = 0) させたのちに行ってください。タイマ動作を許可している状態でCR8nを書き換えた場合, その時点で一致割り込み要求信号が発生する場合があります。

備考 n = 0-2

(4) STOPモード設定時の注意

STOP命令を実行する前には, 必ずタイマ動作を停止 (TCEn = 0) に設定してください。

備考 n = 0-2

第8章 時計用タイマ

8.1 時計用タイマの機能

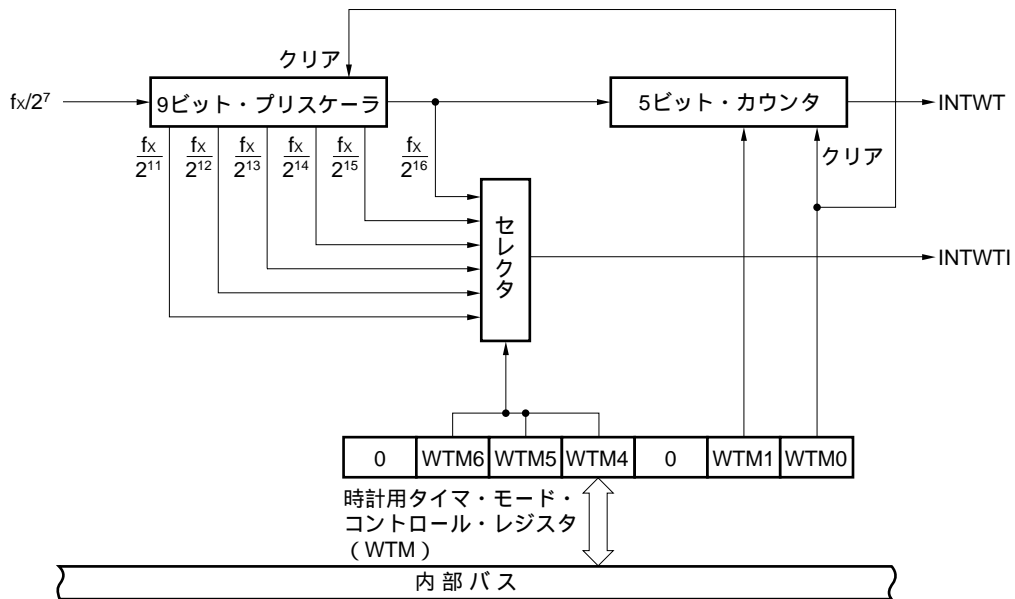
時計用タイマには、次のような機能があります。

- ・時計用タイマ
- ・インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。

図8 - 1に時計用タイマのブロック図を示します。

図8 - 1 時計用タイマのブロック図



(1) 時計用タイマ

8.38 MHzのシステム・クロックを使用することで、0.25秒の時間間隔で割り込み要求 (INTWT) を発生します。

(2) インターバル・タイマ

あらかじめ設定した時間間隔で、割り込み要求 (INTWTI) を発生します。

表8 - 1 インターバル・タイマのインターバル時間

インターバル時間	$f_x = 8.38 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	244 μs
$2^{12} \times 1/f_x$	489 μs
$2^{13} \times 1/f_x$	978 μs
$2^{14} \times 1/f_x$	1.96 ms
$2^{15} \times 1/f_x$	3.91 ms
$2^{16} \times 1/f_x$	7.82 ms

備考 f_x : システム・クロック発振周波数

8.2 時計用タイマの構成

時計用タイマは、次のハードウェアで構成されています。

表8 - 2 時計用タイマの構成

項目	構成
カウンタ	5ビット×1本
プリスケアラ	9ビット×1本
制御レジスタ	時計用タイマ・モード・コントロール・レジスタ (WTM)

8.3 時計用タイマを制御するレジスタ

時計用タイマは次のレジスタで制御します。

・時計用タイマ・モード・コントロール・レジスタ (WTM)

時計用タイマのカウンタ・クロックおよび動作の許可 / 禁止, プリスケーラのインターバル時間, 5ビット・カウンタの動作制御を設定するレジスタです。

WTMは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図8-2 時計用タイマ・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	0	アドレス	リセット時	R/W	
WTM	0	WTM6	WTM5	WTM4	0	0	WTM1	WTM0	FF4AH	00H	R/W

WTM6	WTM5	WTM4	プリスケーラのインターバル時間の選択
0	0	0	$2^{11}/f_x$ (244 μ s)
0	0	1	$2^{12}/f_x$ (489 μ s)
0	1	0	$2^{13}/f_x$ (978 μ s)
0	1	1	$2^{14}/f_x$ (1.96 ms)
1	0	0	$2^{15}/f_x$ (3.91 ms)
1	0	1	$2^{16}/f_x$ (7.82 ms)
上記以外			設定禁止

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止 (プリスケーラ, タイマともにクリア)
1	動作許可

注意1. ビット2, 3, 7には, 必ず0を設定してください。

- ★ 2. 時計用タイマ動作中に, インターバル時間の変更 (WTMのビット4-6 (WTM4-WTM6) で設定) をしないでください。

備考1. f_x : システム・クロック発振周波数

- 2. () 内は, $f_x = 8.38$ MHz動作時

8.4 時計用タイマの動作

8.4.1 時計用タイマとしての動作

8.38 MHzのシステム・クロックを使用することで、0.25秒の時間間隔の時計用タイマとして動作します。

時計用タイマは、一定の時間間隔ごとに、割り込み要求を発生します。

時計用タイマ・モード・コントロール・レジスタ (WTM) のビット0 (WTM0) とビット1 (WTM1) に1を設定するとカウント動作がスタートし、0を設定することにより、5ビット・カウンタがクリアされ、カウント動作が停止します。

また、インターバル・タイマを同時に動作させているときは、WTM1に0を設定することにより、時計用タイマのみをゼロ秒スタートさせることができます。ただし、この場合、9ビット・プリスケラはクリアされないため、時計用タイマのゼロ秒スタート後のオーバフロー (INTWT) には、最大で $2^{16}/f_x$ 秒の誤差が発生します。

8.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

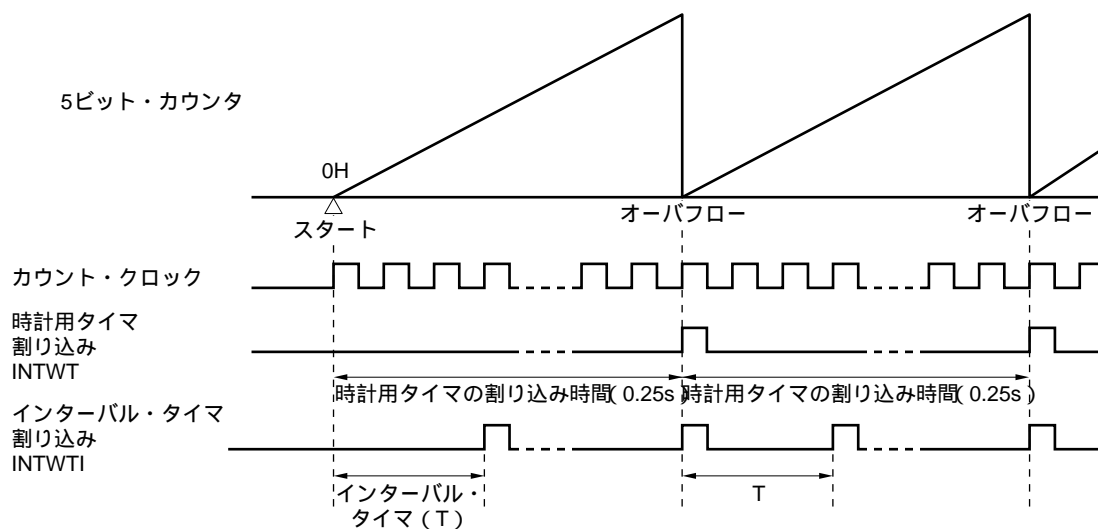
時計用タイマ・モード・コントロール・レジスタ (WTM) のビット4-6 (WTM4-WTM6) により、インターバル時間を選択できます。

表8-3 インターバル・タイマのインターバル時間

WTM6	WTM5	WTM4	インターバル時間	$f_x = 8.38 \text{ MHz}$ 動作時
0	0	0	$2^{11} \times 1/f_x$	244 μs
0	0	1	$2^{12} \times 1/f_x$	489 μs
0	1	0	$2^{13} \times 1/f_x$	978 μs
0	1	1	$2^{14} \times 1/f_x$	1.96 ms
1	0	0	$2^{15} \times 1/f_x$	3.91 ms
1	0	1	$2^{16} \times 1/f_x$	7.82 ms
上記以外			設定禁止	

備考 f_x : システム・クロック発振周波数

図8 - 3 時計用タイマ/インターバル・タイマの動作タイミング



★ **注意** 時計用タイマ・モード・コントロール・レジスタ (WTM) で時計用タイマおよび5ビット・カウンタを動作許可 (WTM0 (WTMのビット0) = 1) したとき, 設定後の最初の割り込み要求 (INTWT) までの時間は, 正確に時計用タイマ割り込み時間 (0.25 s) にはなりません。これは5ビット・カウンタのカウンタ開始が9ビット・プリスケアラの出力1周期分遅れるからです。2回目以降は設定時間ごとにINTWT信号が発生します。

- 備考1. f_x : システム・クロック発振周波数
 2. () 内は, $f_x = 8.38 \text{ MHz}$ 動作時

第9章 ウォッチドッグ・タイマ

9.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください (ウォッチドッグ・タイマとインターバル・タイマは同時に使用できません)。

(1) ウォッチドッグ・タイマ

プログラムの暴走を検出します。暴走検出時、ノンマスクابل割り込み要求またはRESETを発生することができます。

表9 - 1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	$f_x = 8.38 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	244 μs
$2^{13} \times 1/f_x$	977 μs
$2^{15} \times 1/f_x$	3.91 ms
$2^{17} \times 1/f_x$	15.6 ms

f_x : システム・クロック発振周波数

(2) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

表9 - 2 インターバル時間

インターバル時間	$f_x = 8.38 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	244 μs
$2^{13} \times 1/f_x$	977 μs
$2^{15} \times 1/f_x$	3.91 ms
$2^{17} \times 1/f_x$	15.6 ms

f_x : システム・クロック発振周波数

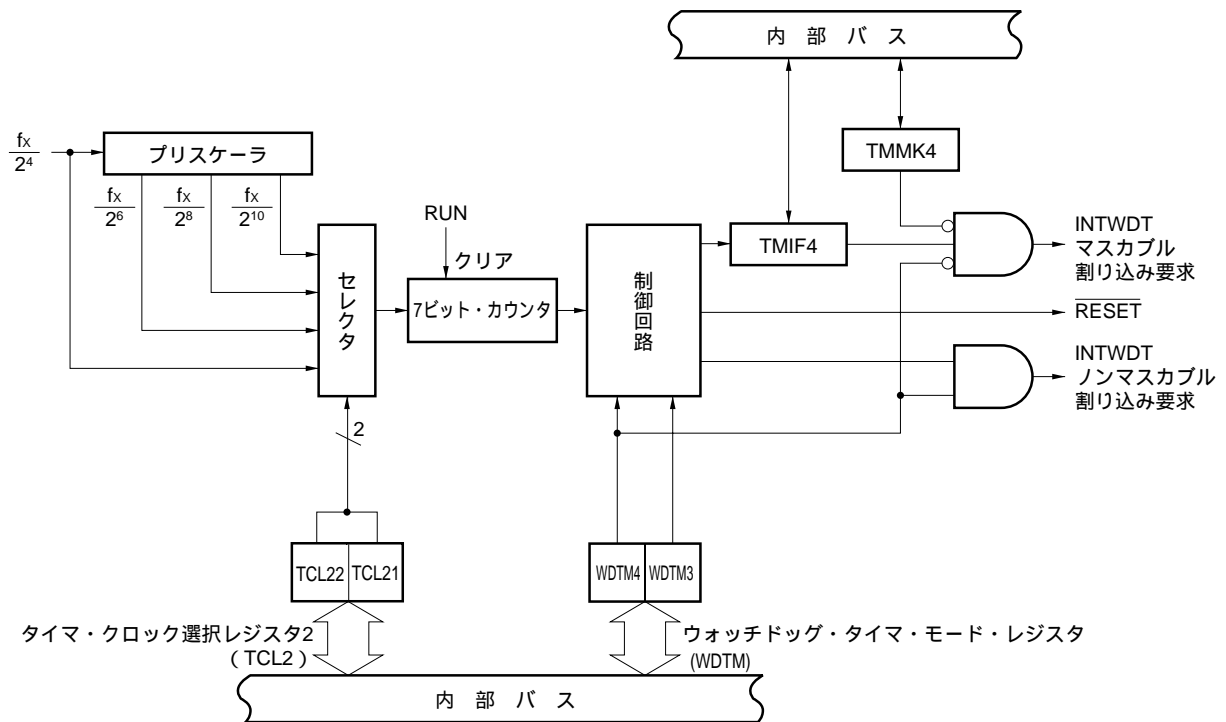
9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表9-3 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	タイマ・クロック選択レジスタ2 (TCL2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

図9-1 ウォッチドッグ・タイマのブロック図



9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ2 (TCL2)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) タイマ・クロック選択レジスタ2 (TCL2)

ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図9-2 タイマ・クロック選択レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	0	0	0	0	0	TCL22	TCL21	0	FF42H	00H	R/W

TCL22	TCL21	ウォッチドッグ・タイマのカウント・クロックの 選択	インターバル時間
0	0	$f_x/2^4$ (524.3 kHz)	$2^{11}/f_x$ (244.3 μ s)
0	1	$f_x/2^6$ (131.1 kHz)	$2^{13}/f_x$ (977.6 μ s)
1	0	$f_x/2^8$ (32.7 kHz)	$2^{15}/f_x$ (3.91 ms)
1	1	$f_x/2^{10}$ (8.18 kHz)	$2^{17}/f_x$ (15.6 ms)
上記以外		設定禁止	

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 8.38$ MHz動作時

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可 / 禁止を設定するレジスタです。
 WDTMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により，00Hになります。

図9-3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット

略号		6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0	FFF9H	00H	R/W

RUN	ウォッチドッグ・タイマの動作の選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし，カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	0	動作停止
0	1	インターバル・タイマ・モード (オーバフロー発生時，マスカブル割り込み要求発生) ^{注3}
1	0	ウォッチドッグ・タイマ・モード1 (オーバフロー発生時，ノンマスカブル割り込み要求発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバフロー発生時，リセット動作を起動)

- 注1. RUNは，一度セット (1) されると，ソフトウェアでクリア (0) することはできません。したがって，
 カウントを開始すると， $\overline{\text{RESET}}$ 入力以外で停止させることはできません。
2. WDTM3, WDTM4は，一度セット (1) されると，ソフトウェアでクリア (0) することはできません。
3. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

- 注意1. RUNに1を設定し，ウォッチドッグ・タイマをクリアしたとき，実際のオーバフロー時間は，タイマ・
 クロック選択レジスタ2 (TCL2) で設定した時間より最大0.8 %短くなります。
2. ウォッチドッグ・タイマ・モード1, 2を使用する場合は，TMIF4 (割り込み要求フラグ・レジスタ0
 (IF0) のビット0) が0になっていることを確認してからTMMK4 (割り込みマスク・フラグ・レジス
 タ0 (MK0) のビット0) を1にセットしてください。TMIF4が1の状態では，ウォッチドッグ・タイマ・
 モード1, 2を選択すると書き換え終了と同時にノンマスカブル割り込み要求が発生します。

9.4 ウォッチドッグ・タイマの動作

9.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2) のビット1, 2 (TCL21, TCL22) でウォッチドッグ・タイマのカウント・クロック (暴走検出時間間隔) を選択できます。WDTMのビット7 (RUN) に1を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走検出時間間隔内にRUNに1を設定してください。RUNに1を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUNに1がセットされず、暴走検出時間を越えてしまったときは、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスカブル割り込み要求が発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

注意 実際の暴走検出時間は設定時間に対して最大0.8%短くなる場合があります。

表9-4 ウォッチドッグ・タイマの暴走検出時間

TCL22	TCL21	暴走検出時間	$f_x = 8.38 \text{ MHz}$ 動作時
0	0	$2^{11} \times 1/f_x$	244 μ s
0	1	$2^{13} \times 1/f_x$	977 μ s
1	0	$2^{15} \times 1/f_x$	3.91 ms
1	1	$2^{17} \times 1/f_x$	15.6 ms

f_x : システム・クロック発振周波数

9.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0, ビット3 (WDTM3) に1を設定することにより, あらかじめ設定したカウント値をインターバルとし, 繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2) のビット1, 2 (TCL21, TCL22) でカウント・クロック (インターバル時間) を選択できます。WDTMのビット7 (RUN) に1を設定することにより, インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき, 割り込みマスク・フラグ (TMMK4: 割り込みマスク・フラグ・レジスタ0 (MK0) のビット0) が有効となり, マスカブル割り込み要求 (INTWDT) を発生させることができます。INTWDTの優先順位は, マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは, HALTモード時では動作を継続しますが, STOPモード時では動作を停止します。したがって, STOPモードに入る前にRUNを1に設定し, インターバル・タイマをクリアしたあと, STOP命令を実行してください。

- 注意1. 一度WDTMのビット4 (WDTM4) に1をセットする (ウォッチドッグ・タイマ・モードを選択する) と $\overline{\text{RESET}}$ 入力されないかぎり, インターバル・タイマ・モードになりません。
2. WDTMで設定した直後のインターバル時間は, 設定時間に対して最大0.8%短くなる場合があります。

表9 - 5 インターバル・タイマのインターバル時間

TCL22	TCL21	インターバル時間	$f_x = 8.38 \text{ MHz}$ 動作時
0	0	$2^{11} \times 1/f_x$	244 μs
0	1	$2^{13} \times 1/f_x$	977 μs
1	0	$2^{15} \times 1/f_x$	3.91 ms
1	1	$2^{17} \times 1/f_x$	15.6 ms

f_x : システム・クロック発振周波数

第10章 A/Dコンバータ

10.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換する8ビット分解能コンバータで、8チャンネル（ANI0-ANI7）のアナログ入力を制御できる構成になっています。

A/D変換動作の起動方法は、ソフトウェア・スタートのみです。

アナログ入力をANI0-ANI7から1チャンネル選択し、A/D変換を行います。A/D変換の動作は繰り返し行い、A/D変換を1回終了するたびに割り込み要求（INTAD）を発生します。

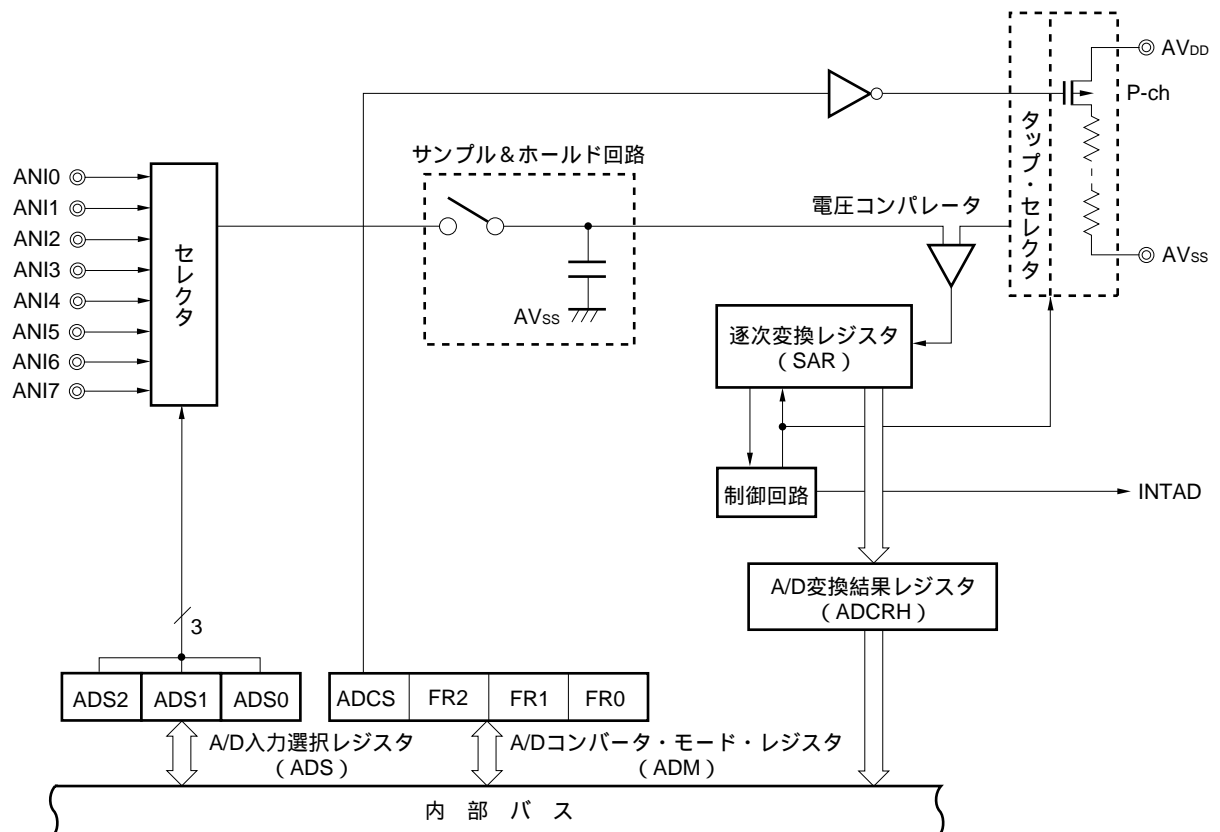
10.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表10 - 1 A/Dコンバータの構成

項 目	構 成
アナログ入力	8チャンネル（ANI0-ANI7）
レジスタ	逐次変換レジスタ（SAR） A/D変換結果レジスタ（ADCRH）
制御レジスタ	A/Dコンバータ・モード・レジスタ（ADM） A/D入力選択レジスタ（ADS）

図10 - 1 A/Dコンバータのブロック図



(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ（比較電圧）の値を比較し、その結果を最上位ビット（MSB）から保持するレジスタです。

最下位ビット（LSB）まで設定すると（A/D変換終了）、SARの内容はA/D変換結果レジスタ（ADCRH）に転送されます。

(2) A/D変換結果レジスタ (ADCRH)

A/D変換結果を保持します。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/Dの変換結果を保持する8ビットのレジスタです。

ADCRHは、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、不定になります。

(3) サンプル&ホールド回路

サンプル&ホールド回路は、セクタで選択されたアナログ入力端子の入力信号をA/D変換開始時にサンプリングし、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、サンプリングしたアナログ入力電圧と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングは AV_{DD} - AV_{SS} 間に入っており、アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI7端子

A/Dコンバータへの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

- 注意1.** ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に AV_{DD} 以上、 AV_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。
- 2.** アナログ入力（ANI0-ANI7）端子は入力ポート（P60-P67）端子と兼用になっています。ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にポート6に対する入力命令は実行しないでください。変換分解能が低下することがあります。
- また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないことがあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(7) AV_{SS} 端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS} 端子と同電位で使用してください。

(8) AV_{DD} 端子

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常に V_{DD} 端子と同電位で使用してください。

10.3 A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタには、次の2種類があります。

- ・A/Dコンバータ・モード・レジスタ (ADM)
- ・A/D入力選択レジスタ (ADS)

(1) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止を設定するレジスタです。

ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10-2 A/Dコンバータ・モード・レジスタのフォーマット

略号		6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADM	ADCS	0	FR2	FR1	FR0	0	0	0	FF80H	00H	R/W

ADCS	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

FR2	FR1	FR0	A/D変換時間の選択 ^{注1}
0	0	0	288/f _x (34.4 μs)
0	0	1	240/f _x (28.6 μs)
0	1	0	192/f _x (22.9 μs)
1	0	0	144/f _x (17.1 μs)
1	0	1	120/f _x (14.3 μs)
1	1	0	96/f _x (設定禁止) ^{注2}
上記以外			設定禁止

注1. A/D変換時間が14 μs以上になるように設定してください。

2. A/D変換時間が14 μs未満となりますので、設定禁止です。

注意1. ビット7 (ADCS) をセット直後の変換結果は不定になることがあります。

2. ADCSのクリア後の変換結果が不定になることがあります (詳しくは10.5 (5) A/D変換結果が不定になるタイミングを参照)。

備考1. f_x : システム・クロック発振周波数

2. () は、f_x = 8.38 MHz動作時

(2) A/D入力選択レジスタ (ADS)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10 - 3 A/D入力選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADS	0	0	0	0	0	ADS2	ADS1	ADS0	FF84H	00H	R/W

ADS2	ADS1	ADS0	アナログ入力チャネルの指定
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

注意 ビット3-7には、必ず0を設定してください。

10.4 A/Dコンバータの動作

10.4.1 A/Dコンバータの基本動作

A/D変換するチャンネルをA/D入力選択レジスタ (ADS) で1チャンネル選択してください。

選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット7をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを $(1/2) AV_{DD}$ にします。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力 $(1/2) AV_{DD}$ よりも大きければ、SARのMSBをセットしたままです。また、 $(1/2) AV_{DD}$ よりも小さければMSBをリセットします。

次にSARのビット6が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット7の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

- ・ビット7 = 1 : $(3/4) AV_{DD}$
- ・ビット7 = 0 : $(1/4) AV_{DD}$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット6が次のように操作されます。

- ・アナログ入力電圧 > 電圧タップ : ビット6 = 1
- ・アナログ入力電圧 < 電圧タップ : ビット6 = 0

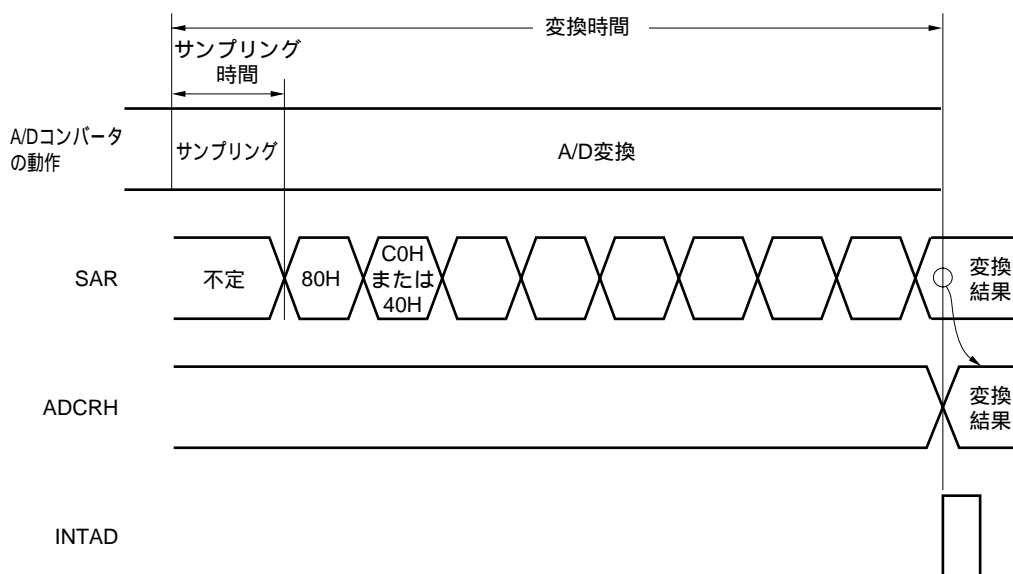
このような比較をSARのビット0まで続けます。

8ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCRH) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。

- 注意1.** A/D変換動作をスタートした直後の最初のA/D変換値は不定になることがあります。
2. スタンバイ・モード時、A/Dコンバータは動作停止となります。

図10 - 4 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADM, A/D入力選択レジスタ (ADS) に対する書き込み操作を行うと変換動作は初期化され、ADCSがセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ (ADCRH) は、 $\overline{\text{RESET}}$ により不定となります。

10.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI7) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタ (ADCRH)) には次式に示す関係があります。

$$\text{ADCRH} = \text{INT} \left(\frac{V_{\text{IN}}}{A_{\text{VREF}}} \times 256 + 0.5 \right)$$

または,

$$(\text{ADCRH} - 0.5) \times \frac{A_{\text{VDD}}}{256} < V_{\text{IN}} < (\text{ADCRH} + 0.5) \times \frac{A_{\text{VDD}}}{256}$$

INT () : () 内の値の整数部を返す関数

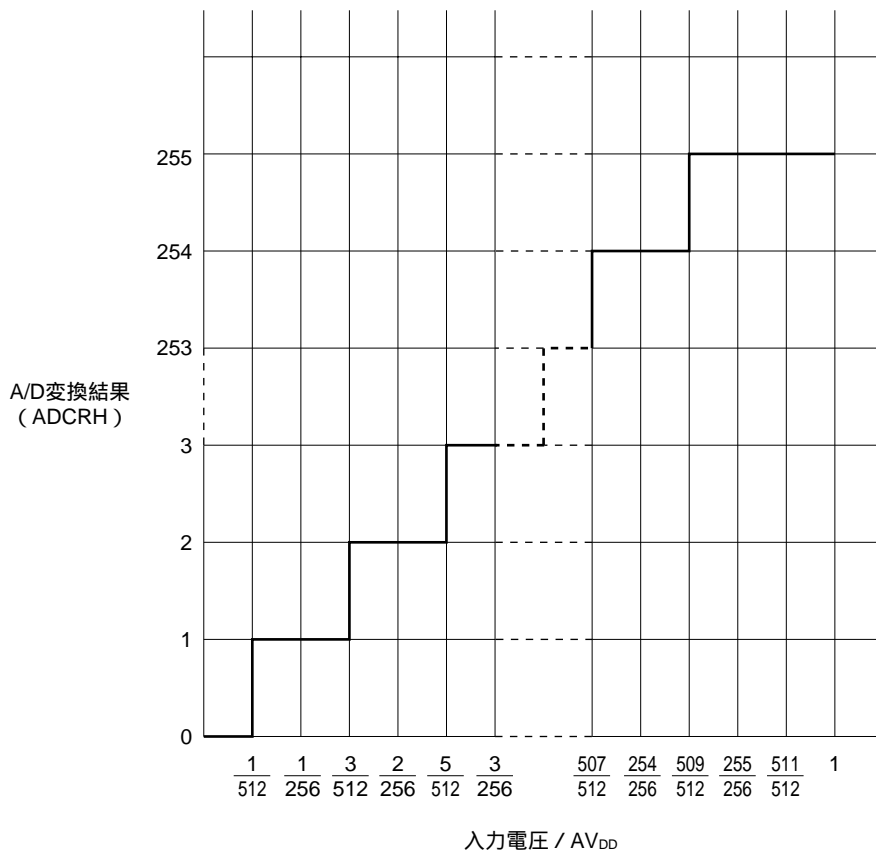
V_{IN} : アナログ入力電圧

A_{VDD} : A_{VDD} 端子電圧

ADCRH : A/D変換結果レジスタ (ADCRH) の値

図10 - 5にアナログ入力電圧とA/D変換結果の関係を示します。

図10 - 5 アナログ入力電圧とA/D変換結果の関係



10.4.3 A/Dコンバータの動作モード

動作モードは、セレクト・モードになっています。A/D入力選択レジスタ(ADS)によってANI0-ANI7からアナログ入力を1チャンネル選択し、A/D変換を行います。

A/D変換動作の起動方法は、ソフトウェア・スタート(A/Dコンバータ・モード・レジスタ(ADM)を設定することにより開始)のみです。

また、A/D変換結果は、A/D変換結果レジスタ(ADCRH)に格納され、同時に割り込み要求信号(INTAD)が発生します。

・ソフトウェア・スタートによるA/D変換動作

A/Dコンバータ・モード・レジスタ(ADM)のビット7(ADCS)に1を設定することにより、A/D入力選択レジスタ(ADS)で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

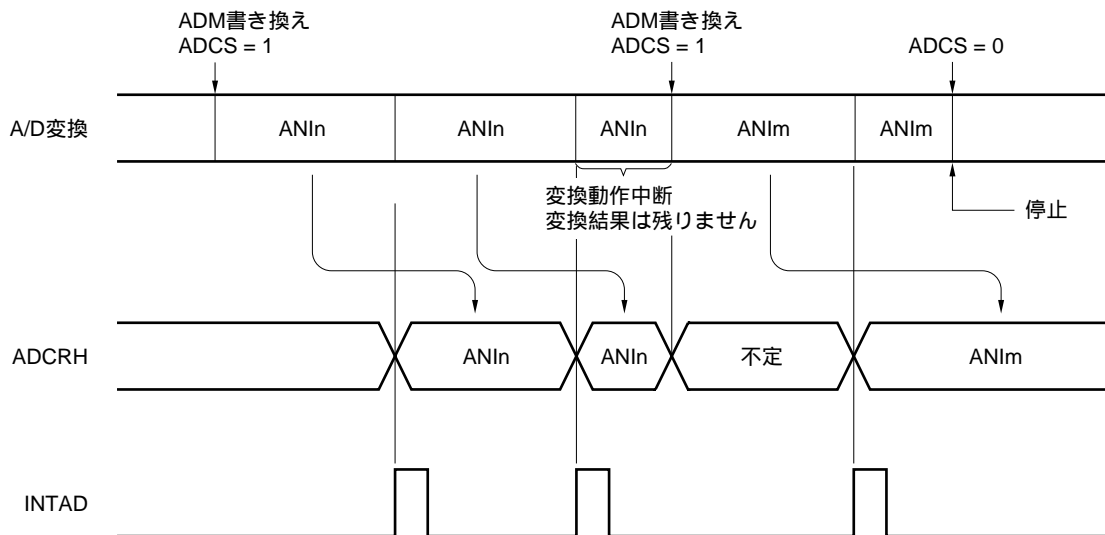
A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ(ADCRH)に格納し、割り込み要求信号(INTAD)が発生します。A/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。新たなデータをADMに書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に、再度ADCSが1であるデータをADMに書き込むと、そのとき行っていたA/D変換動作を中断し、新たに書き込んだデータのA/D変換動作を開始します。

また、A/D変換動作中にADCSが0であるデータをADMに書き込むと、ただちにA/D変換動作を停止します。

★

図10-6 ソフトウェア・スタートによるA/D変換動作



備考1. n = 0-7

2. m = 0-7

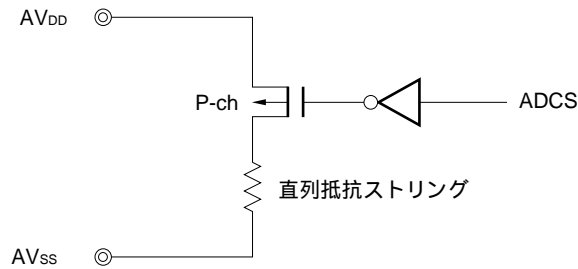
10.5 A/Dコンバータの注意事項

(1) スタンバイ・モード時の消費電流について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) = 0にすることにより、消費電流を低減させることができます。

スタンバイ・モード時の消費電流を低減させる方法例を図10 - 7に示します。

図10 - 7 スタンバイ・モード時の消費電流を低減させる方法例



(2) ANI0-ANI7入力範囲について

ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特にAV_{DD}以上、AV_{SS}以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ (ADCRH) ライトと命令によるADCRHリードとの競合
ADCRHリードが優先されます。リードしたあと、新しい変換結果がADCRHにライトされます。

変換終了時のADCRHライトとA/Dコンバータ・モード・レジスタ (ADM) ライト、またはA/D入力選択レジスタ (ADS) ライトの競合

ADMまたはADSへのライトが優先されます。ADCRHへのライトはされません。また、変換終了割り込み要求信号 (INTAD) も発生しません。

(4) A/D変換スタート直後の変換結果について

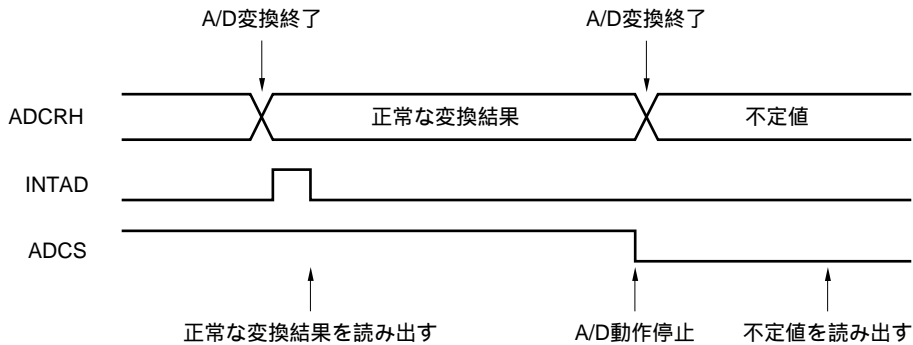
A/D変換動作をスタートした直後の最初のA/D変換値は不定になることがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(5) A/D変換結果が不定になるタイミング

A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になることがあります。そのため、A/D変換結果を読み出す場合は、A/D変換動作中に行ってください。

変換結果を読み出すタイミングを図10 - 8に示します。

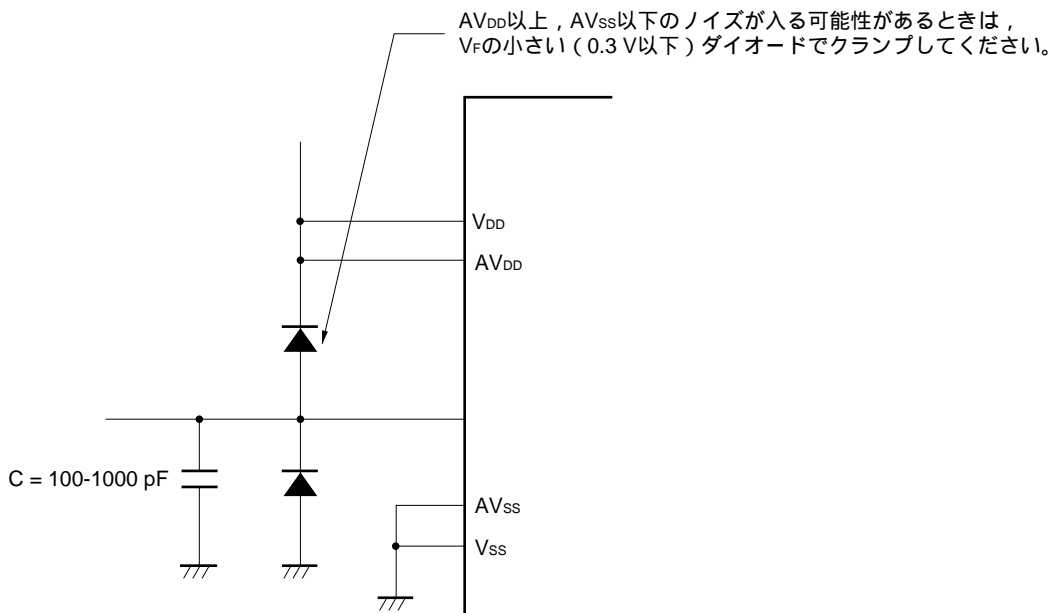
図10 - 8 変換結果を読み出すタイミング (変換結果が不定値の場合)



(6) ノイズ対策について

8ビット分解能を保つためには、 AV_{DD} 、ANI0-ANI7端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図10 - 9のようにCを外付けることを推奨します。

図10 - 9 アナログ入力端子の処理



(7) ANI0-ANI7

アナログ入力 (ANI0-ANI7) 端子はポート端子 (P60-P67) と兼用になっています。

ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にポートの入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

★ (8) ANI0-ANI7端子の入力インピーダンスについて

このA/Dコンバータでは、変換時間の約1/10程度の間、内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスは変動して意味がありません。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10 kΩ以下にするか、ANI0-ANI7端子に100 pF程度のコンデンサを付けることを推奨します (図10 - 9参照)。

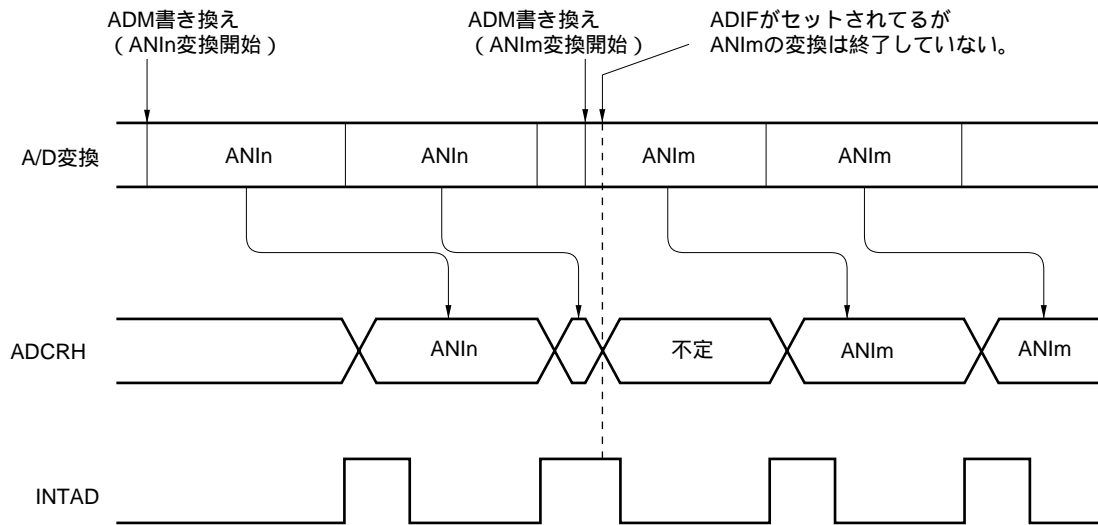
(9) 割り込み要求フラグ (ADIF) について

A/Dコンバータ・モード・レジスタ (ADM) を変更してもADIF (割り込み要求フラグ・レジスタ1 (IF1) のビット4) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADM書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があり、ADM書き換え直後にADIFを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされている場合がありますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリアしてください。

図10 - 10 A/D変換終了割り込み要求発生タイミング

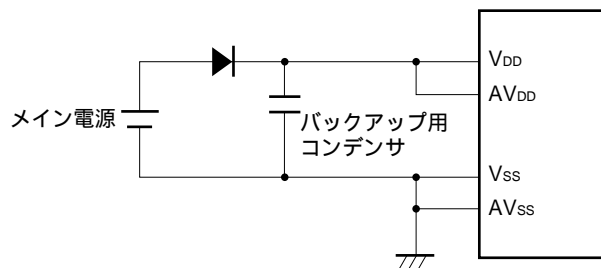


- 備考1. $n = 0-7$
 2. $m = 0-7$

(10) AV_{DD}端子について

AV_{DD}端子はアナログ回路の電源端子であり、ANI0-ANI7の入力回路にも電源を供給しています。したがって、バックアップ電源に切り替えるようなアプリケーションにおいても、図10 - 11のように必ずV_{DD}端子と同レベルの電位を印加してください。

図10 - 11 AV_{DD}端子の処理



(11) AV_{DD}端子の入カインピーダンスについて

AV_{DD}端子とAV_{SS}端子の間には直列抵抗ストリングが接続されています。したがって、基準電圧源の出カインピーダンスの高い場合、AV_{DD}端子とAV_{SS}端子の間の直列抵抗ストリングと並列接続することになり、基準電圧の誤差が大きくなります。

第11章 シリアル・インタフェース

11.1 シリアル・インタフェースの機能

シリアル・インタフェース (UART0) には、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) アシンクロナス・シリアル・インタフェース (UART) モード

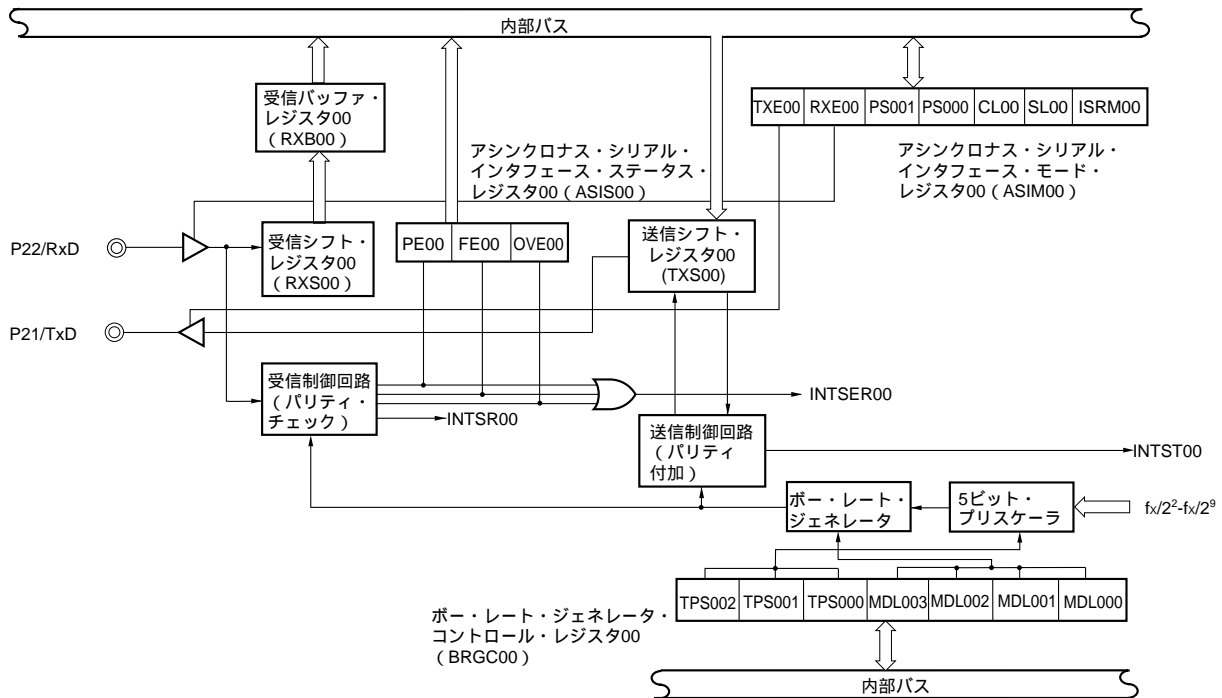
スタート・ビットに続く1バイトのデータを送受信するモードで全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

図11 - 1にシリアル・インタフェース (UART0) のブロック図を示します。

図11 - 1 シリアル・インタフェースのブロック図



11.2 シリアル・インタフェースの構成

シリアル・インタフェース (UART0) は、次のハードウェアで構成しています。

表11-1 シリアル・インタフェースの構成

項目	構成
レジスタ	送信シフト・レジスタ00 (TXS00) 受信シフト・レジスタ00 (RXS00) 受信バッファ・レジスタ00 (RXB00)
制御レジスタ	アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) ポート・モード・レジスタ2 (PM2) ポート・レジスタ2 (P2)

(1) 送信シフト・レジスタ00 (TXS00)

送信データを設定するレジスタです。TXS00に書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合、TXS00に書き込んだデータのビット0-6が送信データとして転送されます。TXS00にデータを書き込むことにより、送信動作を開始します。

TXS00は、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 送信動作中は、TXS00への書き込みを行わないでください。

TXS00と受信バッファ・レジスタ00 (RXB00) は同一アドレスに割り当てられており、読み出しを行った場合にはRXB00の値が読み出されます。

(2) 受信シフト・レジスタ00 (RXS00)

RxD端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ00 (RXB00) へ転送します。

RXS00はプログラムで直接操作することはできません。

(3) 受信バッファ・レジスタ00 (RXB00)

受信データを保持するレジスタです。データを1バイト受信するごとに受信シフト・レジスタ00 (RXS00) から新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB00のビット0-6に転送され、RXB00のMSBは必ず0になります。

RXB00は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 RXB00と送信シフト・レジスタ00 (TXS00) は同一アドレスに割り当てられており、書き込みを行った場合にはTXS00に値が書き込まれます。

(4) 送信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) に設定された内容に従って、送信シフト・レジスタ00 (TXS00) に書き込まれたデータにスタート・ビット, パリティ・ビット, ストップ・ビットの付加などの送信動作の制御を行います。

(5) 受信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) に設定された内容に従って、受信動作を制御します。また受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) にセットします。

11.3 シリアル・インタフェースを制御するレジスタ

シリアル・インタフェース (UART0) は、次の3種類のレジスタで制御します。

- ・ アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)
- ・ アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)
- ・ ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

(1) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)

シリアル・インタフェース (UART0) のシリアル転送動作を制御する8ビットのレジスタです。

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 UARTモード時、ポート・モード・レジスタ (PM $\times\times$) を次のように設定してください。また、出力ラッチはそれぞれ0に設定してください。

- ・ 受信時
P22 (RxD) を入力モード (PM22 = 1) に設定
- ・ 送信時
P21 (TxD) を出力モード (PM21 = 0) に設定
- ・ 送受信時
P22を入力モード、P21を出力モードにそれぞれ設定

図11-2 アシクロナス・シリアル・インタフェース・モード・レジスタ00のフォーマット

略号			5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	ISRM00	0	FF70H	00H	R/W

TXE00	RXE00	動作モード	RxD/P22端子の機能	TxD/P21端子の機能
0	0	動作停止	ポート機能 (P22)	ポート機能 (P21)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD)	
1	0	UARTモード (送信のみ)	ポート機能 (P22)	シリアル機能 (TxD)
1	1	UARTモード (送受信)	シリアル機能 (RxD)	

PS001	PS000	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時, 常に0パリティ不可 受信時, パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL00	キャラクタ長の指定
0	7ビット
1	8ビット

SL00	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM00	エラー発生時の受信完了割り込み制御
0	エラー発生時, 受信完了割り込み要求を発生する
1	エラー発生時, 受信完了割り込み要求を発生しない

注意1. ビット0には, 必ず0を設定してください。

2. ASIM00を同一データ以外に書き換える場合は, いったん動作停止してから書き換えてください。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)

UARTモードで受信エラー発生時，エラーの種類を表示するレジスタです。

ASIS00は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図11-3 アシクロナス・シリアル・インタフェース・ステータス・レジスタ00のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS00	0	0	0	0	0	PE00	FE00	OVE00	FF71H	00H	R

PE00	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信パリティと受信パリティが一致しないとき)

FE00	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVE00	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタ00からデータを読み出す前に次の受信動作が完了したとき)

- 注1. アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット2 (SL00) でストップ・ビット長を2ビットに設定した場合も，受信時のストップ・ビット検出は1ビットのみです。
2. オーバラン・エラーが発生したとき，受信バッファ・レジスタ00 (RXB00) を読み出すまで，オーバラン・エラーが発生し続けます。

注意 ビット3-7には，必ず0を設定してください。

(3) ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

シリアル・インタフェースのシリアル・クロックを選択するレジスタです。

BRGC00は、8ビット・メモリ操作命令で操作します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図11-4 ボー・レート・ジェネレータ・コントロール・レジスタ00のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC00	0	TPS002	TPS001	TPS000	MDL003	MDL002	MDL001	MDL000	FF72H	00H	R/W

TPS002	TPS001	TPS000	ボー・レート・ジェネレータへのソース・クロック (f_{sck}) の選択
0	0	0	$f_x/2^2$ (2.10 MHz)
0	0	1	$f_x/2^3$ (1.05 MHz)
0	1	0	$f_x/2^4$ (524 kHz)
0	1	1	$f_x/2^5$ (262 kHz)
1	0	0	$f_x/2^6$ (131 kHz)
1	0	1	$f_x/2^7$ (65.5 kHz)
1	1	0	$f_x/2^8$ (32.7 kHz)
1	1	1	$f_x/2^9$ (16.4 kHz)

MDL003	MDL002	MDL001	MDL000	ボー・レート・ジェネレータの出力クロックの選択
0	0	0	0	$f_{\text{sck}}/16$
0	0	0	1	$f_{\text{sck}}/17$
0	0	1	0	$f_{\text{sck}}/18$
0	0	1	1	$f_{\text{sck}}/19$
0	1	0	0	$f_{\text{sck}}/20$
0	1	0	1	$f_{\text{sck}}/21$
0	1	1	0	$f_{\text{sck}}/22$
0	1	1	1	$f_{\text{sck}}/23$
1	0	0	0	$f_{\text{sck}}/24$
1	0	0	1	$f_{\text{sck}}/25$
1	0	1	0	$f_{\text{sck}}/26$
1	0	1	1	$f_{\text{sck}}/27$
1	1	0	0	$f_{\text{sck}}/28$
1	1	0	1	$f_{\text{sck}}/29$
1	1	1	0	$f_{\text{sck}}/30$
1	1	1	1	設定禁止

注意1. ビット7には必ず0を設定してください。

- 通信動作中にBRGC00への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC00への書き込みを行わないでください。

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 8.38$ MHz動作時

3. f_{sck} : ボー・レート・ジェネレータへのソース・クロック

11.4 シリアル・インタフェースの動作

シリアル・インタフェース (UART0) は、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

11.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作モードの設定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) で行います。

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	5	4	3	2	1	0	アドレス	リセット時	R/W		
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	ISRM00	0	FF70H	00H	R/W

TXE00	RXE00	動作モード	RxD/P22端子の機能	TxD/P21端子の機能
0	0	動作停止	ポート機能 (P22)	ポート機能 (P21)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD)	シリアル機能 (TxD)
1	0	UARTモード (送信のみ)	ポート機能 (P22)	
1	1	UARTモード (送受信)	シリアル機能 (RxD)	

注意 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

11.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

UART専用のボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

(1) レジスタの設定

UARTモードの設定は、アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)、アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)、ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)、ポート・モード・レジスタ2 (PM2)、ポート・レジスタ2 (P2) で行います。

(a) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 UARTモード時、ポート・モード・レジスタ2 (PM2) を次のように設定してください。また、出力ラッチはそれぞれ0に設定してください。

- ・受信時

P22 (RxD) を入力モード (PM22 = 1) に設定

- ・送信時

P21 (TxD) を出力モード (PM21 = 0) に設定

- ・送受信時

P22を入力モード、P21を出力モードにそれぞれ設定

略号			5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	ISRM00	0	FF70H	00H	R/W

TXE00	RXE00	動作モード	RxD/P22端子の機能	TxD/P21端子の機能
0	0	動作停止	ポート機能 (P22)	ポート機能 (P21)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD)	シリアル機能 (TxD)
1	0	UARTモード (送信のみ)	ポート機能 (P22)	
1	1	UARTモード (送受信)	シリアル機能 (RxD)	

PS001	PS000	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時, 常に0パリティ不可 受信時, パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL00	キャラクタ長の指定
0	7ビット
1	8ビット

SL00	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM00	エラー発生時の受信完了割り込み制御
0	エラー発生時, 受信完了割り込み要求を発生する
1	エラー発生時, 受信完了割り込み要求を発生しない

- 注意1. ビット0には, 必ず0を設定してください。
2. ASIM00を同一データ以外に書き換える場合は, いったん動作停止してから書き換えてください。

(b) アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)

ASIS00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS00	0	0	0	0	0	PE00	FE00	OVE00	FF71H	00H	R

PE00	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信パリティと受信パリティが一致しないとき)

FE00	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVE00	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタ00からデータを読み出す前に次の受信動作が完了したとき)

注1. アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット2 (SL00) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ00 (RXB00) を読み出すまで、オーバラン・エラーが発生し続けます。

注意 ビット3-7には、必ず0を設定してください。

(c) ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

BRGC00は、8ビット・メモリ操作命令で操作します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC00	0	TPS002	TPS001	TPS000	MDL003	MDL002	MDL001	MDL000	FF72H	00H	R/W

TPS002	TPS001	TPS000	ボー・レート・ジェネレータへのソース・クロック (f _{sck}) の選択	n
0	0	0	f _x /2 ² (2.10 MHz)	0
0	0	1	f _x /2 ³ (1.05 MHz)	1
0	1	0	f _x /2 ⁴ (524 kHz)	2
0	1	1	f _x /2 ⁵ (262 kHz)	3
1	0	0	f _x /2 ⁶ (131 kHz)	4
1	0	1	f _x /2 ⁷ (65.5 kHz)	5
1	1	0	f _x /2 ⁸ (32.7 kHz)	6
1	1	1	f _x /2 ⁹ (16.4 kHz)	7

MDL003	MDL002	MDL001	MDL000	ボー・レート・ジェネレータの出力クロックの選択	k
0	0	0	0	f _{sck} /16	0
0	0	0	1	f _{sck} /17	1
0	0	1	0	f _{sck} /18	2
0	0	1	1	f _{sck} /19	3
0	1	0	0	f _{sck} /20	4
0	1	0	1	f _{sck} /21	5
0	1	1	0	f _{sck} /22	6
0	1	1	1	f _{sck} /23	7
1	0	0	0	f _{sck} /24	8
1	0	0	1	f _{sck} /25	9
1	0	1	0	f _{sck} /26	10
1	0	1	1	f _{sck} /27	11
1	1	0	0	f _{sck} /28	12
1	1	0	1	f _{sck} /29	13
1	1	1	0	f _{sck} /30	14
1	1	1	1	設定禁止	15

注意1. ビット7には必ず0を設定してください。

- 通信動作中にBRGC00への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に信できなくなります。したがって、通信動作中にはBRGC00への書き込みを行わないでください。

備考1. f_x : システム・クロック発振周波数

2. () 内は、f_x = 8.38 MHz動作時

3. f_{sck} : ボー・レート・ジェネレータへのソース・クロック

生成するボー・レート用の送受信クロックは、システム・クロックを分周した信号になります。

- ・システム・クロックによるボー・レート用の送受信クロックの生成
システム・クロックを分周して送受信クロックを生成します。システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1}(k+16)} \text{ [bps]}$$

f_x : システム・クロック発振周波数

BRGC00のビット4-6 (TPS000-TPS002) に割り当てたボー・レート・ジェネレータへのソース・クロックとnの値との関係を表11 - 2に示します。

表11 - 2 ボー・レート・ジェネレータへのソース・クロックとnの値との関係

TPS002	TPS001	TPS000	5ビット・カウンタのソース・クロックの選択	n
0	0	0	$f_x/2^2$ (2.10 MHz)	0
0	0	1	$f_x/2^3$ (1.05 kHz)	1
0	1	0	$f_x/2^4$ (524 kHz)	2
0	1	1	$f_x/2^5$ (262 kHz)	3
1	0	0	$f_x/2^6$ (131 kHz)	4
1	0	1	$f_x/2^7$ (65.5 kHz)	5
1	1	0	$f_x/2^8$ (32.7 kHz)	6
1	1	1	$f_x/2^9$ (16.4 kHz)	7

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 8.38 \text{ MHz}$ 動作時

・ボー・レートの許容誤差範囲

ボー・レートの許容範囲は、1フレームのビット数、およびカウンタの分周比 $[1/(16+k)]$ に依存します。

表11 - 3にシステム・クロックとボー・レートの関係を示し、図11 - 5にボー・レートの許容誤差の例を示します。

表11 - 3 システム・クロックとボー・レートの関係

ボー・レート [bps]	fx = 8.38 MHz			
	BRGC00	誤差 (%)	n	k
300	7BH	1.0	8	11
600	6BH		7	11
1200	5BH		6	11
2400	4BH		5	11
4800	3BH		4	11
9600	2BH		3	11
19200	1BH		2	11
31250	11H	- 1.4	2	1
38400	0BH	1.0	1	11

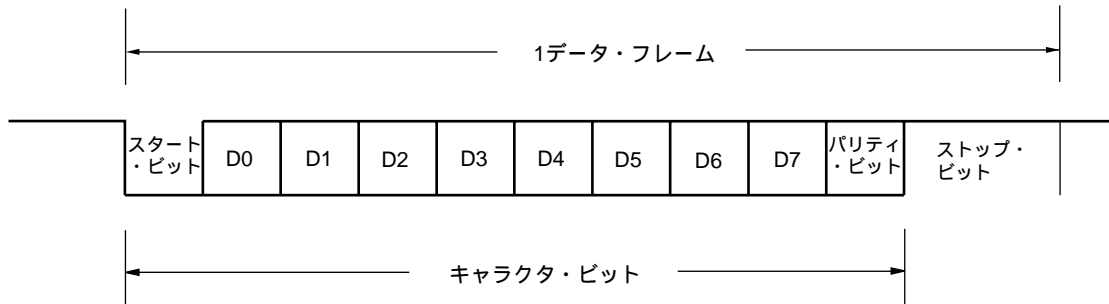
備考 fx : システム・クロック発振周波数

(2) 通信動作

(a) データ・フォーマット

送受信データのフォーマットを図11-5に示します。

図11-5 アシncロナス・シリアル・インタフェースの送受信データのフォーマット



1データ・フレームは、次に示す各ビットで構成されます。

- ・スタート・ビット : 1ビット
- ・キャラクタ・ビット : 7ビット/8ビット
- ・パリティ・ビット : 偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット : 1ビット/2ビット

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ・ビット、ストップ・ビット長の指定は、アシncロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) によって行います。

キャラクタ・ビットとして7ビットを選択した場合、下位7ビット(ビット0-6)のみが有効となり、送信の場合は最上位ビット(ビット7)は無視され、受信の場合は必ず最上位ビット(ビット7)は“0”になります。

シリアル転送レートの設定は、ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) によって行います。

また、シリアル・データの受信エラーが発生した場合、アシncロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) に状態を読むことによって受信エラーの内容を判定できます。

(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一のものを使用します。偶数パリティと奇数パリティは、1ビット(奇数個)の誤りを検出できます。0パリティとパリティなしとでは、誤りを検出できません。

() 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のキャラクタ・ビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中で値が“1”のキャラクタ・ビットの数が奇数個：1

送信データ中で値が“1”のキャラクタ・ビットの数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のキャラクタ・ビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

() 奇数パリティ

・送信時

偶数パリティとは逆にパリティ・ビットを含めた送信データ中の、値が“1”のキャラクタ・ビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中で値が“1”のキャラクタ・ビットの数が奇数個：0

送信データ中で値が“1”のキャラクタ・ビットの数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のキャラクタ・ビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

() 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

() パリティなし

送信データにパリティ・エラーを付加しません。

受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

★

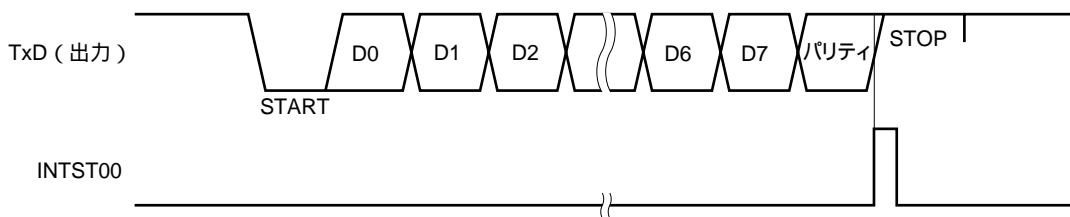
送信動作はアシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット7 (TXE00) がセット (1) されると許可状態になり、送信シフト・レジスタ00 (TXS00) に送信データを書き込むことによって受信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、TXS00内のデータがシフト・アウトされTXS00が空になると、送信完了割り込み要求 (INTST00) が発生します。

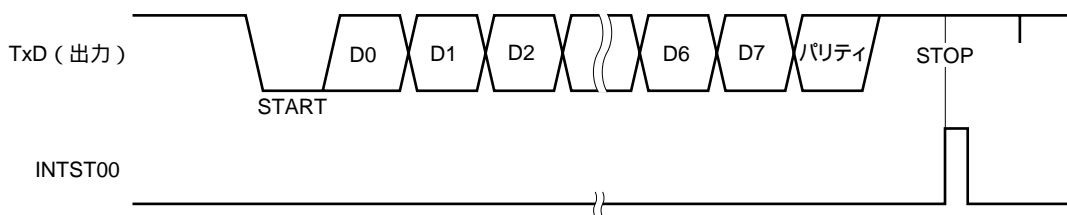
送信完了割り込みのタイミングを図11 - 6に示します。

図11 - 6 アシンクロナス・シリアル・インタフェース送信完了割り込み要求発生タイミング

() ストップ・ビット長 : 1



() ストップ・ビット長 : 2



注意 送信動作中にはアシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) を書き換えしないでください。送信中にASIM00レジスタを書き換えると、それ以降の送信動作ができなくなる場合があります (RESET入力により、正常になります)。

(d) 受信

受信動作はレベル検出を行っています。

受信動作はアシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット6 (RXE00) がセット (1) されると許可状態となり, RxD00端子入力のサンプリングを行います。

RxD端子入力のサンプリングは, BRGC00で指定したシリアル・クロックで行います。

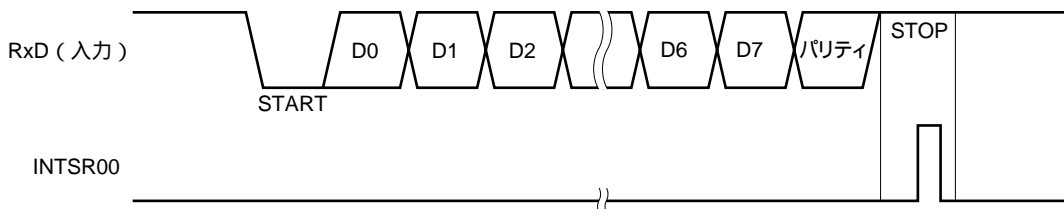
RxD端子入力が高・レベルになると, ボー・レート・ジェネレータの5ビット・カウンタがカウントを開始し, 設定したボー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD端子入力をサンプリングした結果, 高・レベルであれば, スタート・ビットとして認識し, 5ビット・カウンタを初期化してカウントを開始し, データのサンプリングを行います。スタート・ビットに続いて, キャラクター・データ, パリティ・ビットおよび1ビットのストップ・ビットが検出されると, 1フレームのデータ受信が終了します。

1フレームのデータ受信が終了すると, シフト・レジスタ内の受信データを受信バッファ・レジスタ00 (RXB00) に転送し, INTSR00 (受信完了割り込み要求) を発生します。

なお, 受信動作中にRXE00ビットをクリア (0) すると, ただちに受信動作を停止します。このとき, RXB00およびASIS00の内容は変化せず, また, INTSR00, INTSER00 (受信エラー割り込み要求) も発生しません。

図11-7にアシンクロナス・シリアル・インタフェース受信完了割り込み要求発生タイミングを示します。

図11-7 アシンクロナス・シリアル・インタフェース受信完了割り込み要求発生タイミング



- ★ **注意** RxD端子入力が高・レベルの状態を受信動作を許可すると, ただちに受信動作を開始してしまいますので, 必ずハイ・レベルにしてから受信動作を許可してください。

(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) 内に立つと、受信エラー割り込み要求 (INTSER00) を発生します。受信エラー割り込み要求は、受信完了割り込み要求 (INTSR00) より先に発生します。受信エラー要因を表11 - 4に示します。

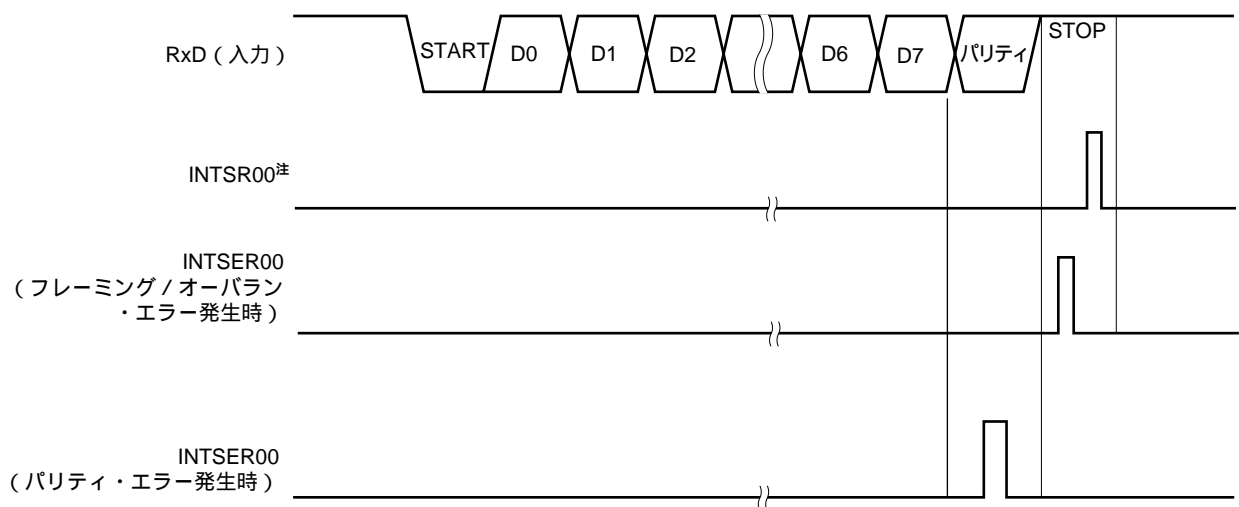
ASIS00の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出できます (図11 - 3参照)。

ASIS00の内容は、受信バッファ・レジスタ00 (RXB00) を読み出すか、次のデータを受信することでクリア (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表11 - 4 受信エラーの要因

受信エラー	要因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタ00からデータを読み出す前に次のデータ受信完了

図11 - 8 受信エラー・タイミング



注 ISRM00ビットがセット (1) されている場合に受信エラーが発生したときは、INTSR00は発生しません。

注意1. アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) の内容は、受信バッファ・レジスタ00 (RXB00) を読み出すか、次のデータを受信することにより、クリア (0) されます。エラーの内容が知りたい場合には、必ずRXB00を読み出す前にASIS00を読み出してください。

2. 受信エラー発生時にも受信バッファ・レジスタ00 (RXB00) は必ず読み出してください。RXB00を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

第12章 乗算器

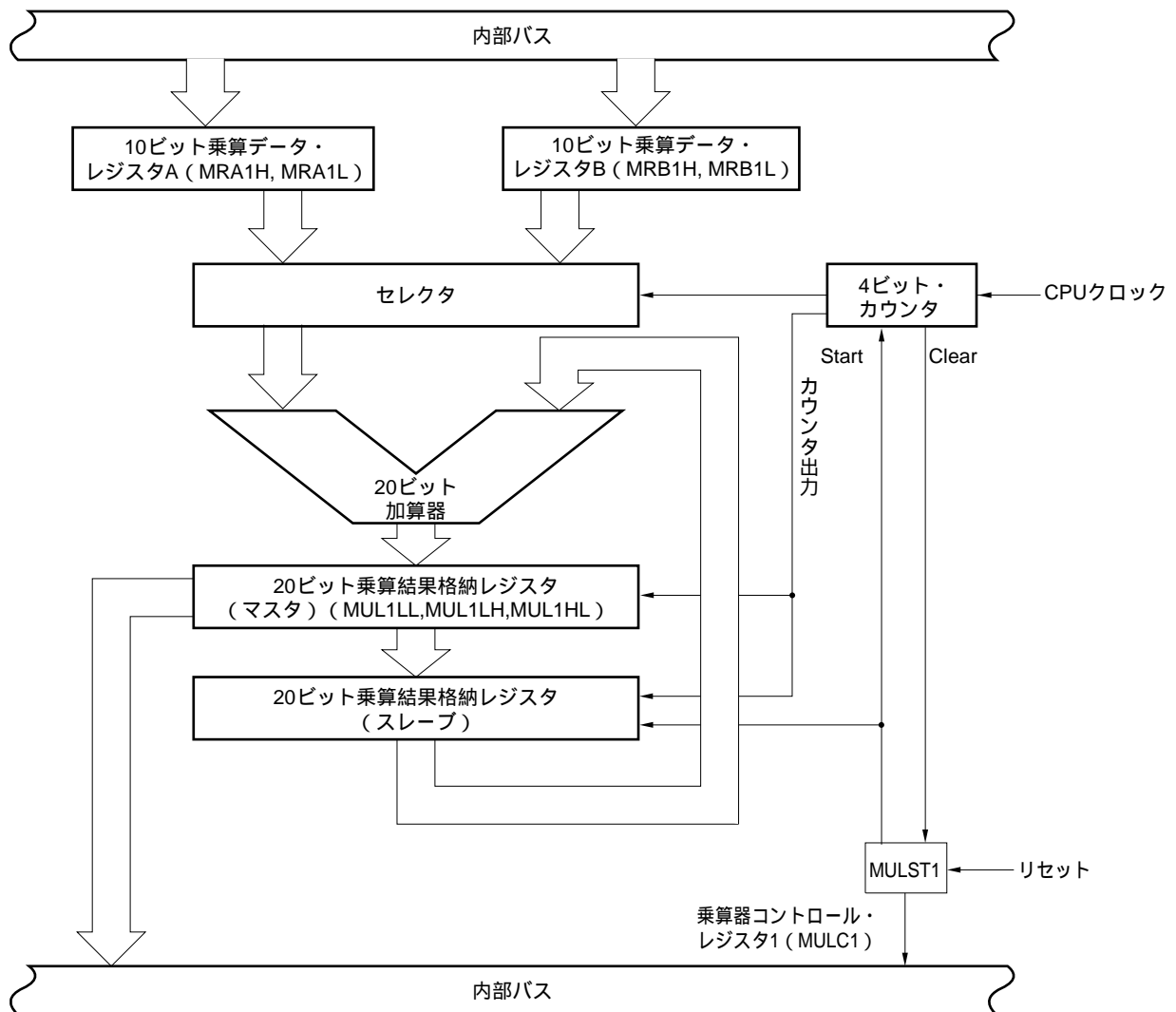
12.1 乗算器の機能

乗算器には、次のような機能があります。

- ・ 10ビット×10ビット = 20ビットの計算ができます。

12.2 乗算器の構成

図12 - 1 乗算器のブロック図



(1) 20ビット乗算結果格納レジスタ (MUL1LL, MUL1LH, MUL1HL)

20ビットの乗算結果を格納するレジスタです。

MUL1LL, MUL1LH, MUL1HLは、それぞれ8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

図12 - 2 20ビット乗算結果格納レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MUL1LL	MUL1LL7	MUL1LL6	MUL1LL5	MUL1LL4	MUL1LL3	MUL1LL2	MUL1LL1	MUL1LL0	FFA5H	不定	R
MUL1LH	MUL1LH7	MUL1LH6	MUL1LH5	MUL1LH4	MUL1LH3	MUL1LH2	MUL1LH1	MUL1LH0	FFA6H	不定	R
MUL1HL	0	0	0	0	MUL1HL3	MUL1HL2	MUL1HL1	MUL1HL0	FFA7H	不定	R

(2) 10ビット乗算データ・レジスタ (MRA1H, MRA1L, MRB1H, MRB1L)

10ビットの乗算データ格納用レジスタです。乗算器はMRA1H, MRA1LとMRB1H, MRB1Lの値を乗算します。

10ビット乗算データ・レジスタは、それぞれ8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

図12 - 3 10ビット乗算データ・レジスタAのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MRA1L	MRA1L7	MRA1L6	MRA1L5	MRA1L4	MRA1L3	MRA1L2	MRA1L1	MRA1L0	FFA1H	不定	W
MRA1H	0	0	0	0	0	0	MRA1H1	MRA1H0	FFA2H	不定	W

注意 MRA1Hのビット2-7には、必ず0を設定してください。

図12 - 4 10ビット乗算データ・レジスタBのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MRB1L	MRB1L7	MRB1L6	MRB1L5	MRB1L4	MRB1L3	MRB1L2	MRB1L1	MRB1L0	FFA3H	不定	W
MRB1H	0	0	0	0	0	0	MRB1H1	MRB1H0	FFA4H	不定	W

注意 MRB1Hのビット2-7には、必ず0を設定してください。

12.3 乗算器を制御するレジスタ

乗算器は次のレジスタで制御します。

- ・乗算器コントロール・レジスタ1 (MULC1)

MULC1は、演算動作を制御する機能と同時に、乗算器の動作状態を示すレジスタです。

乗算は演算動作を開始してから20 × fCPU後に終了します。

MULC1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図12 - 5 書き込みモード時の乗算器コントロール・レジスタ1のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MULC1	0	0	0	0	0	0	0	MULSTA	FFA0H	00H	W

MULSTA	乗算器の演算活動開始の制御ビット
0	演算動作停止
1	演算動作開始

図12 - 6 読み出しモード時の乗算器コントロール・レジスタ1のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MULC1	0	0	0	0	0	0	0	MULSTS	FFA0H	00H	R

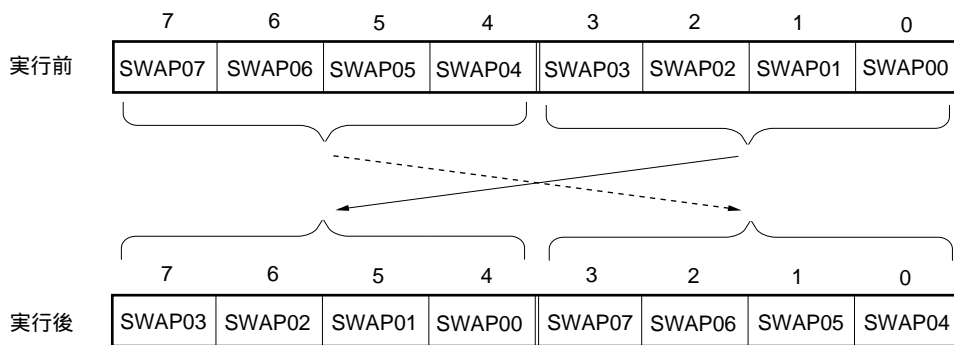
MULSTS	乗算器の状態
0	演算動作終了
1	演算動作中

第13章 スワッピング (SWAP)

13.1 SWAPの機能

4回のシフト動作により、スワッピング機能レジスタ0 (SWP0) の上位4ビットの内容と下位4ビットの内容を入れ替えることができます。図13 - 1にスワッピングの実行例を示します。

図13 - 1 スワッピングの実行例



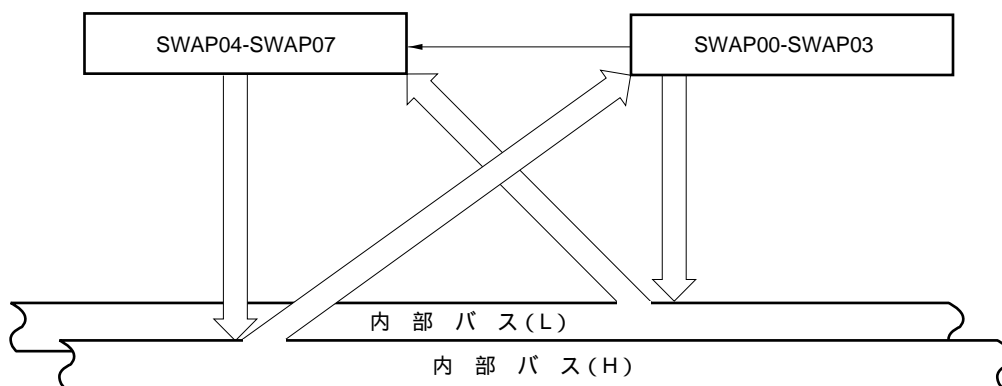
13.2 SWAPの構成

SWAPIは、次のハードウェアで構成されています。

表13 - 1 SWAPの構成

項目	構成
レジスタ	スワッピング機能レジスタ0 (SWP0)

図13 - 2 SWAPのブロック図



(1) スワッピング機能レジスタ0 (SWP0)

任意のデータをSWP0に書き込み，読み出すことで上位4ビットの内容と下位4ビットの内容が入れ替わります。

SWP0は，8ビット・メモリ操作命令で設定します。

書き込みモード時， $\overline{\text{RESET}}$ 入力により，不定になります。

読み出しモード時， $\overline{\text{RESET}}$ 入力により，00Hになります。

第14章 割り込み機能

14.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

- ★ スタンバイ・リリース信号を発生し、HALTモードを解除します。
ノンマスカブル割り込みは、ウォッチドッグ・タイマからの割り込み要求だけです。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。同時に複数の割り込み要求が同時に発生しているときの優先順位(プライオリティ)は、表14 - 1のように決められています。

- ★ スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。
マスカブル割り込みには、外部割り込み要求が2要因、内部割り込み要求が11要因あります。

14.2 割り込み要因と構成

割り込み要因には、ノンマスクابل割り込み、マスクابل割り込みをあわせて、合計14要因あります。

表14-1 割り込み要因一覧

割り込みタイプ	プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}
		名称	トリガ			
ノンマスクابل	-	INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1選択時)	内部	0004H	(A)
マスクابل	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)			(B)
	1	INTP0	端子入力エッジ検出	外部	0006H	(C)
	2	INTP1			0008H	
	3	INTTM7	10ビット・インバータ制御用タイマのアンダフロー信号発生	内部	000AH	(B)
	4	INTSER00	シリアル・インタフェース (UART0) の受信エラー発生		000CH	
	5	INTSR00	シリアル・インタフェース (UART0) の受信完了		000EH	
	6	INTST00	シリアル・インタフェース (UART0) の送信完了		0010H	
	7	INTWT	時計用タイマ割り込み		0012H	
	8	INTWTI	インターバル・タイマ割り込み		0014H	
	9	INTTM80	8ビット・タイマ/イベント・カウンタ80の一致信号発生		0016H	
	10	INTTM81	8ビット・タイマ/イベント・カウンタ81の一致信号発生		0018H	
	11	INTTM82	8ビット・タイマ82の一致信号発生		001AH	
	12	INTAD	A/D変換完了信号		001CH	

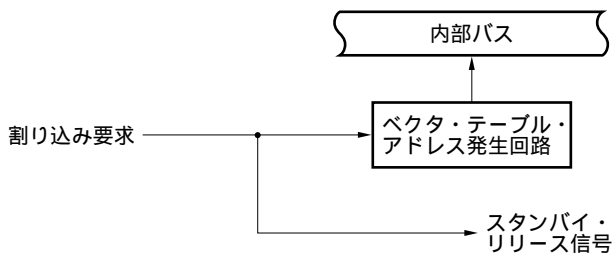
注1. プライオリティは、複数のマスクابل割り込みが同時に発生している場合に、優先する順位です。0が最高順位、12が最低順位です。

2. 基本構成タイプの(A) - (C)は、それぞれ図14-1の(A) - (C)に対応しています。

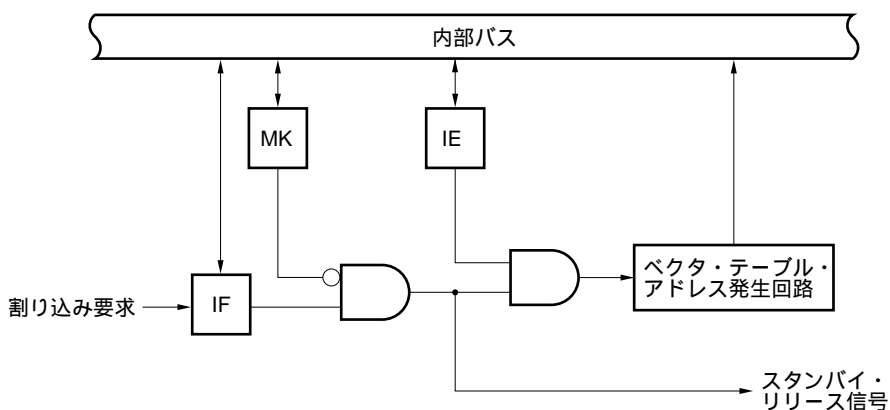
- ★ **備考** ウォッチドッグ・タイマの割り込み (INTWDT) は、ノンマスクابل割り込みか、マスクابل割り込み (内部) のどちらかを選択できます。

図14 - 1 割り込み機能の基本構成

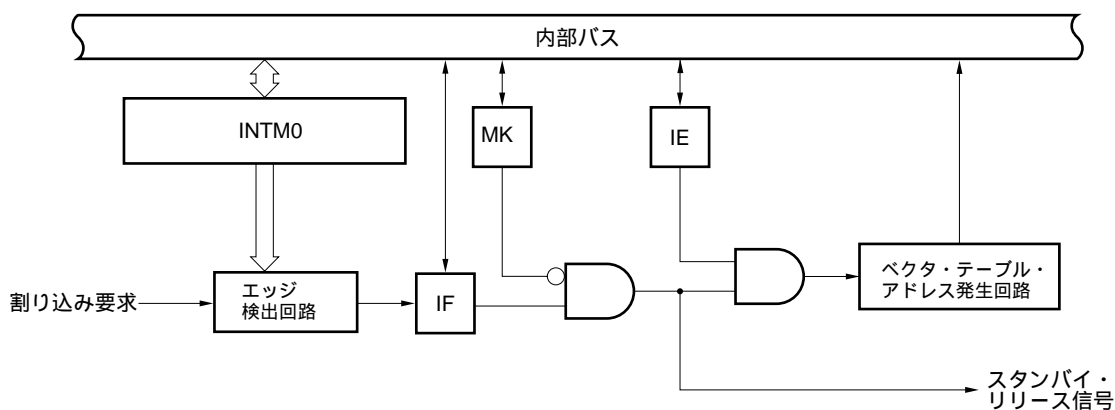
(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み



INTMO : 外部割り込みモード・レジスタ0

IF : 割り込み要求フラグ

IE : 割り込み許可フラグ

MK : 割り込みマスク・フラグ

14.3 割り込み機能を制御するレジスタ

割り込み機能は、次の4種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ0, 1 (IF0, IF1)
- ・割り込みマスク・フラグ・レジスタ0, 1 (MK0, MK1)
- ・外部割り込みモード・レジスタ0 (INTM0)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求に対する割り込み要求フラグ、割り込みマスク・フラグ名称を表14 - 2に示します。

表14 - 2 割り込み要求信号名に対する各種フラグ

割り込み要求信号名	割り込み要求フラグ	割り込みマスク・フラグ
INTWDT	TMIF4	TMMK4
INTP0	PIF0	PMK0
INTP1	PIF1	PMK1
INTTM7	TMIF7	TMMK7
INTSER00	SERIF00	SERMK00
INTSR00	SRIF00	SRMK00
INTST00	STIF00	STMK00
INTWT	WTIF	WTMK
INTWTI	WTIIF	WTIMK
INTTM80	TMIF80	TMMK80
INTTM81	TMIF81	TMMK81
INTTM82	TMIF82	TMMK82
INTAD	ADIF	ADMK

(1) 割り込み要求フラグ・レジスタ0, 1 (IF0, IF1)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット(1)され、割り込み要求受け付け時およびRESET入力時、命令の実行によりクリア(0)されるフラグです。

IF0, IF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図14 - 2 割り込み要求フラグ・レジスタのフォーマット

略号	0							アドレス	リセット時	R/W			
IF0	WTIF	STIF00	SRIF00	SERIF00	TMIF7	PIF1	PIF0	TMIF4	FFE0H	00H	R/W		
	7	6	5								0		
IF1	0	0	0	ADIF	TMIF82	TMIF81	TMIF80	WTIF	FFE1H	00H	R/W		

x x IF	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. IF1のビット5-7には、必ず0を設定してください。

2. TMIF4フラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1, 2で使用する場合は、TMIF4フラグに0を設定してください。
3. ポート2は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

(2) 割り込みマスク・フラグ・レジスタ0, 1 (MK0, MK1)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。
 MK0, MK1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、FFHになります。

図14 - 3 割り込みマスク・フラグ・レジスタのフォーマット

略号	0								アドレス	リセット時	R/W
MK0	WTMK	STMK00	SRMK00	SERMK00	TMMK7	PMK1	PMK0	TMMK4	FFE4H	FFH	R/W
	7	6	5					0			
MK1	1	1	1	ADMK	TMMK82	TMMK81	TMMK80	WTIMK	FFE5H	FFH	R/W

× × MK	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

- 注意1. MK1のビット5-7には、必ず1を設定してください。
- TMMK4フラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1, 2で使用する場合は、TMMK4フラグに0を設定してください。
 - ポート2は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

(3) 外部割り込みモード・レジスタ0 (INTM0)

INTP0, INTP1の有効エッジを設定するレジスタです。

INTM0は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図14 - 4 外部割り込みモード・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM0	0	0	ES11	ES10	ES01	ES00	0	0	FFECH	00H	R/W

ES11	ES10	INTP1の有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES01	ES00	INTP0の有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

注意1. ビット0, 1, 6, 7には必ず0を設定してください。

- INTM0レジスタの設定は、必ず該当する割り込みマスク・フラグをセット(1)し、割り込みを禁止してから行ってください。その後、割り込み要求フラグをクリア(0)してから、割り込みマスク・フラグをクリア(0)し、割り込みを許可してください。

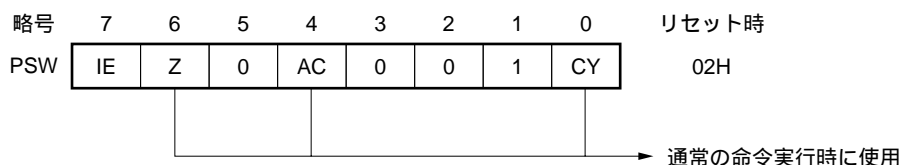
(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクブル割り込みの許可/禁止を設定するIEフラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み受け付け時には、PSWは自動的にスタックに退避され、IEフラグはリセット(0)されます。

RESET入力により、PSWは02Hになります。

図14 - 5 プログラム・ステータス・ワードの構成



IE	割り込み受け付けの許可/禁止
0	禁止
1	許可

14.4 割り込み処理動作

14.4.1 ノンマスカブル割り込み要求の受け付け動作

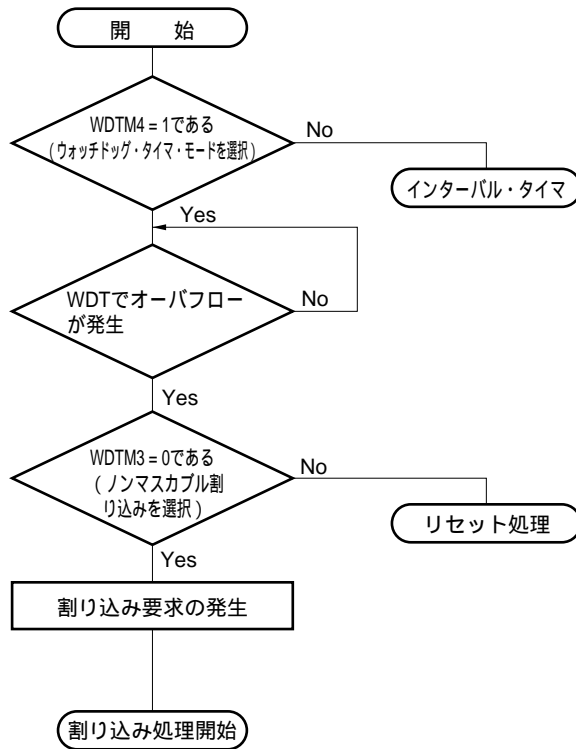
ノンマスカブル割り込みは、割り込み受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求が受け付けられると、PSW, PCの順にスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャートを図14 - 6に、ノンマスカブル割り込み要求の受け付けタイミングを図14 - 7に、ノンマスカブル割り込みが多量に発生した場合の受け付け動作を図14 - 8に示します。

注意 ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求をしないでください。割り込みサービス・プログラム実行中でも新たに発生したノンマスカブル割り込み要求を受け付けてしまいます。

図14 - 6 ノンマスクابل割り込み要求発生からの受け付けまでのフロー・チャート



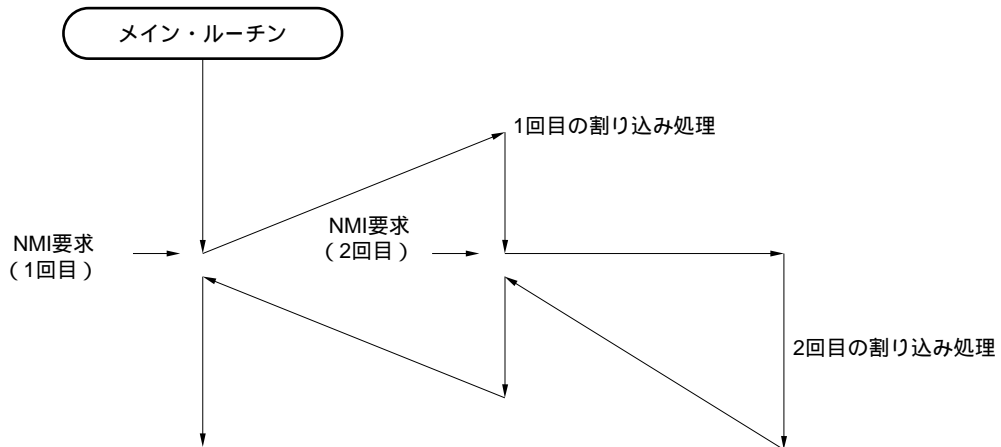
WDTM : ウォッチドッグ・タイマ・モード・レジスタ

WDT : ウォッチドッグ・タイマ

図14 - 7 ノンマスクابل割り込み要求の受け付けタイミング



図14 - 8 ノンマスクابل割り込み要求の受け付け動作



14.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込みは、割り込み要求フラグがセット（1）され、その割り込みの割り込みマスク・フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込みは、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。

マスカブル割り込み要求が発生してから割り込み処理が行われる時間は表14 - 3のようになります。割り込み要求の受け付けのタイミングについては、図14 - 10、図14 - 11を参照してください。

表14 - 3 マスカブル割り込み要求発生から処理までの時間

最小時間	最大時間 ^注
9クロック	19クロック

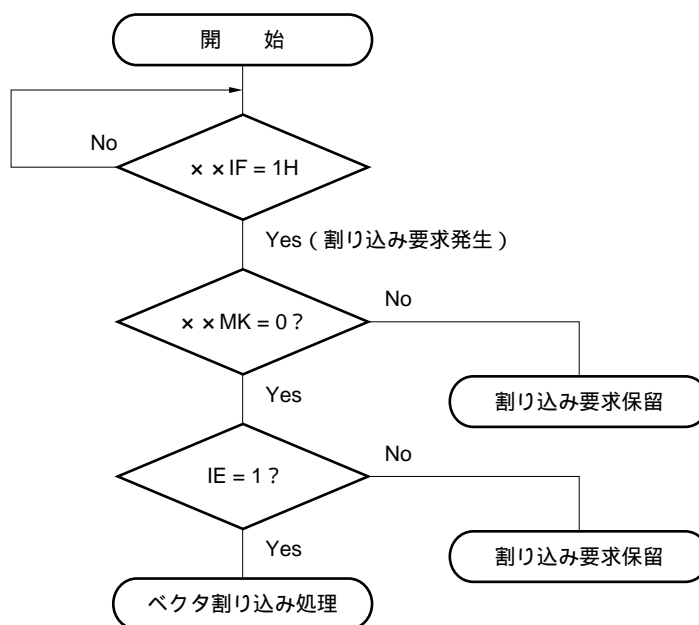
注 BT, BF命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ （ f_{CPU} ：CPUクロック）

マスカブル割り込み要求が同時に発生したときは、優先順位の高い割り込み要求から受け付けられます。保留された割り込みは受け付け可能な状態になると受け付けられます。割り込み受け付けのアルゴリズムを図14 - 9に示します。

マスカブル割り込み要求が受け付けられると、PSW, PCの順にスタックに退避し、IEフラグをリセット（0）し、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし分岐します。RETI命令によって、割り込みから復帰はできます。

図14 - 9 割り込み要求受け付け処理アルゴリズム

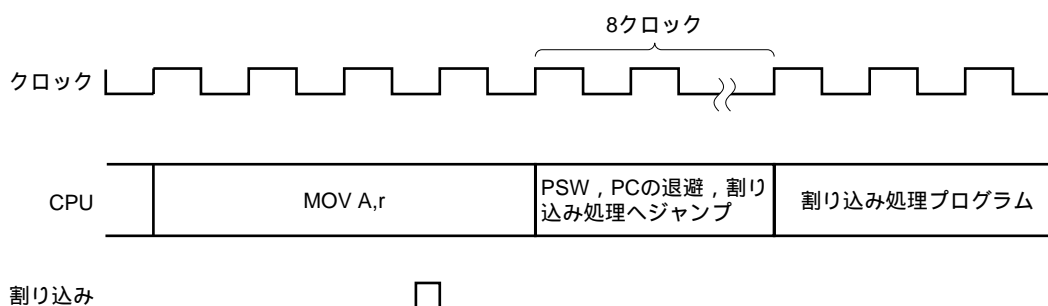


x x IF : 割り込み要求フラグ

x x MK : 割り込みマスク・フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ（1 = 許可, 0 = 禁止）

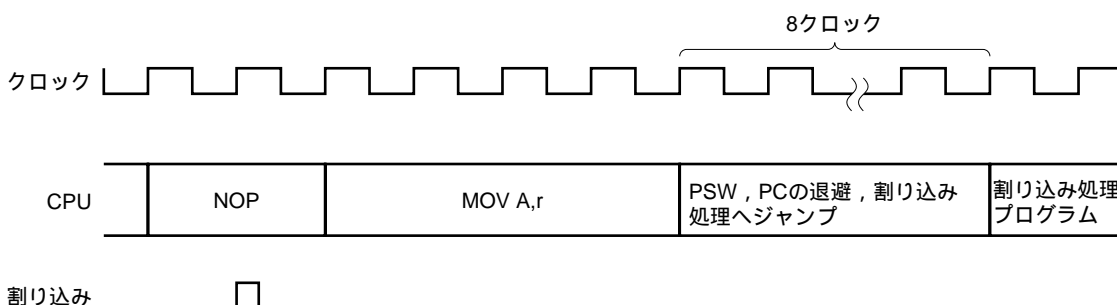
図14 - 10 割り込み要求の受け付けタイミング (MOV A, rの例)



割り込みは実行中の命令クロック n ($n = 4-10$) が $n - 1$ までに割り込み要求フラグ ($\times \times IF$) が発生すると、実行中の命令終了後に割り込み受け付け処理となります。図14 - 10では8ビット・データ転送命令MOV A, rの例です。この命令は4クロックで実行するので実行してから3クロックの間に割り込みが発生するとMOV A, rの終了後、割り込み受け付け処理を行います。

図14 - 11 割り込み要求の受け付けタイミング

(命令実行中の最終クロックで割り込み要求フラグが発生したとき)



割り込み要求フラグ ($\times \times IF$) が命令の最後のクロックで発生すると、次の命令の実行後に割り込み受け付け処理を始めます。

図14 - 11ではNOP (2クロックの命令) の2クロック目に発生した場合の例です。この場合、NOP命令のあとのMOV A, rを実行後、割り込みの受け付けの処理を行います。

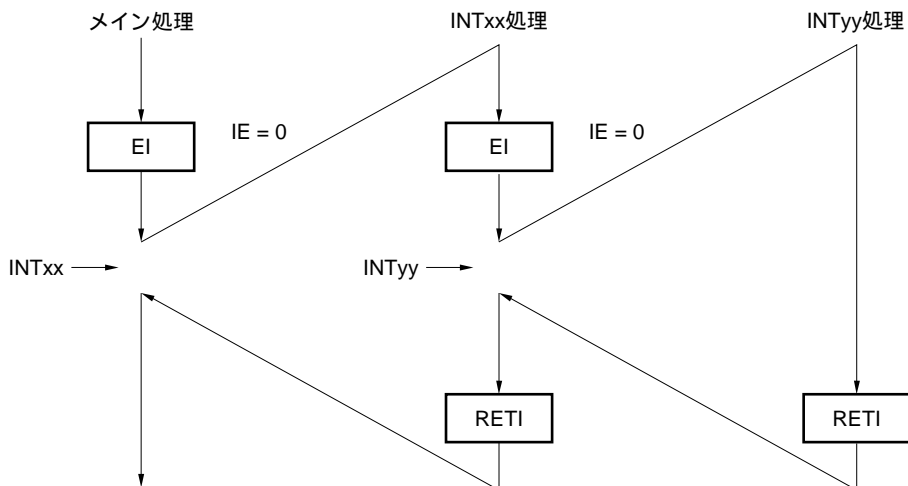
注意 割り込み要求フラグ・レジスタ0, 1 (IF0, IF1) または割り込みマスク・フラグ・レジスタ0, 1 (MK0, MK1) にアクセス中は割り込み要求は保留されます。

14.4.3 多重割り込み処理

割り込み要求処理中に、さらに別の割り込み要求を受け付ける多重割り込みは、優先順位によって処理できません。複数の割り込みが同時に発生しているとき、各割り込み要求にあらかじめ割り付けてある優先順位に従って割り込み処理を行います（表14 - 1参照）。

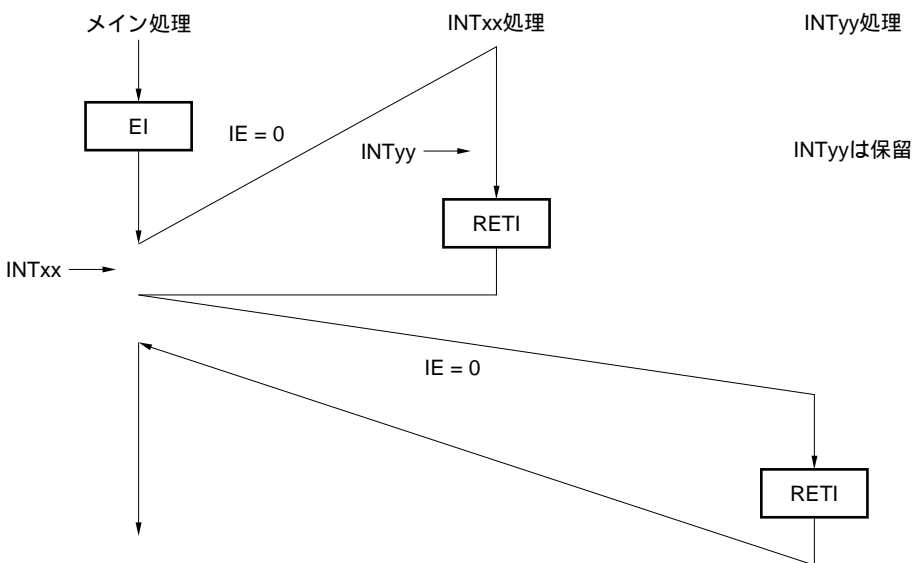
図14 - 12 多重割り込みの例

例1．多重割り込みが受け付けられる例



割り込みINTxx処理中に、割り込み要求INTyyが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例2．割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、INTxx処理終了後に受け付けられる。

備考 IE = 0 : 割り込み要求受け付け禁止

14.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求（マスカブル割り込み、ノンマスカブル割り込み、外部割り込み）が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・割り込み要求フラグ・レジスタ0, 1 (IF0, IF1) に対する操作命令
- ・割り込みマスク・フラグ・レジスタ0, 1 (MK0, MK1) に対する操作命令

第15章 スタンバイ機能

15.1 スタンバイ機能と構成

15.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電流を、かなり低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意 STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

15.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

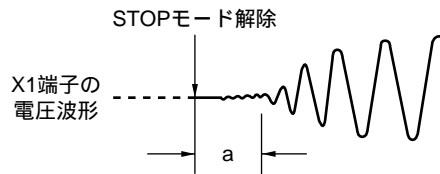
$\overline{\text{RESET}}$ 入力により、04Hになります。ただし、 $\overline{\text{RESET}}$ 入力後の発振安定時間は $2^{15}/f_x$ となります。

図15 - 1 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFA H	04H	R/W

OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	0	$2^{12}/f_x$ (488 μ s)
0	1	0	$2^{15}/f_x$ (3.91 ms)
1	0	0	$2^{17}/f_x$ (15.6 ms)
上記以外			設定禁止

注意 STOPモード解除時のウェイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間は(下図a)は含みません。



備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 8.38$ MHz動作時

15.2 スタンバイ機能の動作

15.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表15 - 1 HALTモード時の動作状態

項 目		HALTモード時の動作状態
システム・クロック		システム・クロックの発振が可能 CPUへのクロック供給が停止
CPU		動作停止
ポート（出力ラッチ）		HALTモード設定前の状態を保持
10ビット・インバータ制御用タイマ		動作可能
8ビット・タイマ/ イベント・カウンタ 80, 81, 82	TM80	動作可能
	TM81	動作可能
	TM82	動作可能
時計用タイマ		動作可能
ウォッチドッグ・タイマ		動作可能
A/Dコンバータ		動作停止
シリアル・インタフェース		動作可能
外部割り込み		動作可能 ^注

注 マスクされていないマスクブル割り込み

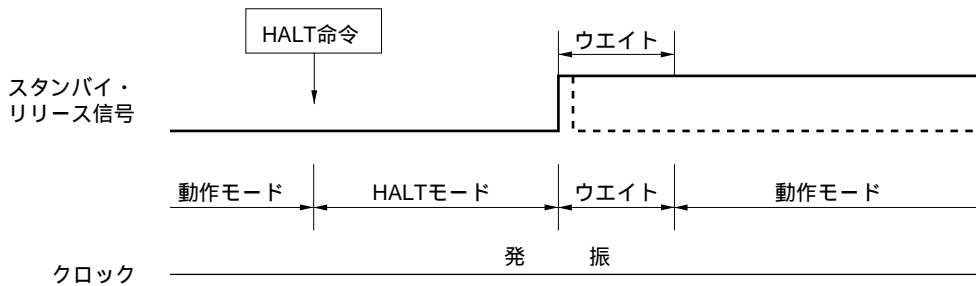
(2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、HALTモードを解除します。割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図15 - 2 HALTモードの割り込み発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウエイト時間は次のようになります。

- ・ベクタに分岐した場合 : 9~10クロック
- ・ベクタに分岐しなかった場合 : 1~2クロック

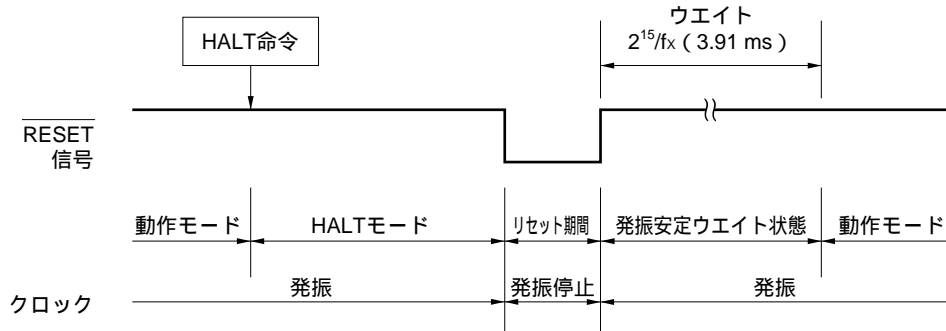
(b) ノンマスクابل割り込み要求による解除

割り込み受け付け許可、禁止の状態に関係なく、HALTモードを解除し、ベクタ割り込み処理を行います。

(c) $\overline{\text{RESET}}$ 入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムを実行します。

図15 - 3 HALTモードの $\overline{\text{RESET}}$ 入力による解除



- 備考1. f_x : システム・クロック発振周波数
 2. () 内は, $f_x = 8.38 \text{ MHz}$ 動作時

表15 - 2 HALTモードの解除後の動作

解除ソース	MK x x	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	HALTモード保持
ノンマスカブル割り込み要求	-	x	割り込み処理実行
$\overline{\text{RESET}}$ 入力	-	-	リセット処理

x : don't care

15.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されず。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウェイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表15-3 STOPモード時の動作状態

項 目	STOPモード時の動作状態	
システム・クロック	システム・クロックの発振が停止	
CPU	動作停止	
ポート（出力ラッチ）	STOPモード設定前の状態を保持	
10ビット・インバータ制御用タイマ	動作停止	
8ビット・タイマ/ イベント・カウンタ 80, 81, 82	TM80	カウント・クロックにTI80選択時のみ動作可能
	TM81	カウント・クロックにTI81選択時のみ動作可能
	TM82	動作停止
時計用タイマ	動作停止	
ウォッチドッグ・タイマ	動作停止	
A/Dコンバータ	動作停止	
シリアル・インタフェース	動作停止	
外部割り込み	動作可能 ^注	

注 マスクされていないマスクブル割り込み

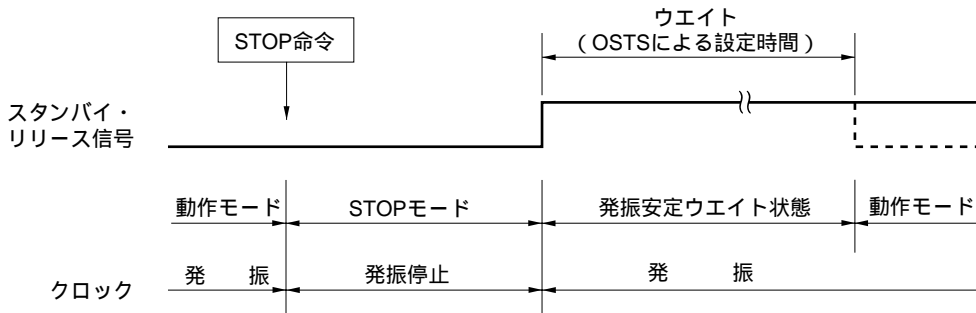
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図15 - 4 STOPモードの割り込み発生による解除

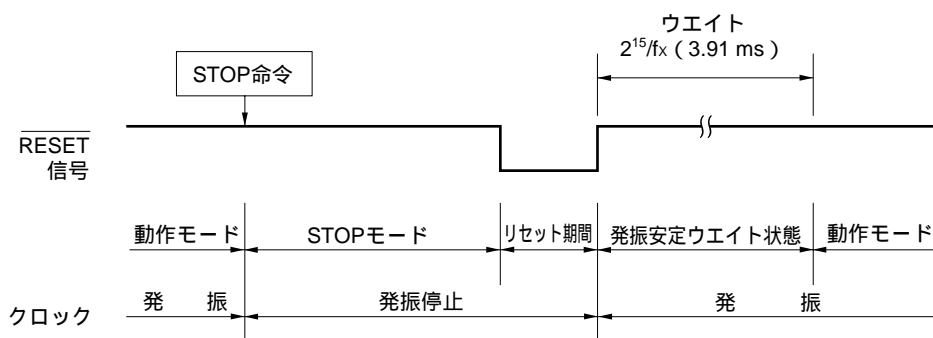


備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) $\overline{\text{RESET}}$ 入力による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図15 - 5 STOPモードの $\overline{\text{RESET}}$ 入力による解除



- 備考1. f_x : システム・クロック発振周波数
 2. () 内は、 $f_x = 8.38 \text{ MHz}$ 動作時

表15 - 4 STOPモードの解除後の動作

解除ソース	MK x x	IE	動作
マスクブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	STOPモード保持
$\overline{\text{RESET}}$ 入力	-	-	リセット処理

x : don't care

第16章 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、リセット信号入力により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバーフローが発生することによってリセットがかかり、各ハードウェアは表16 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後 ($2^{15}/f_x$) プログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバーフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後 ($2^{15}/f_x$) プログラムの実行を開始します (図16 - 2から図16 - 4参照)。

- 注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。
- 2. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図16 - 1 リセット機能のブロック図

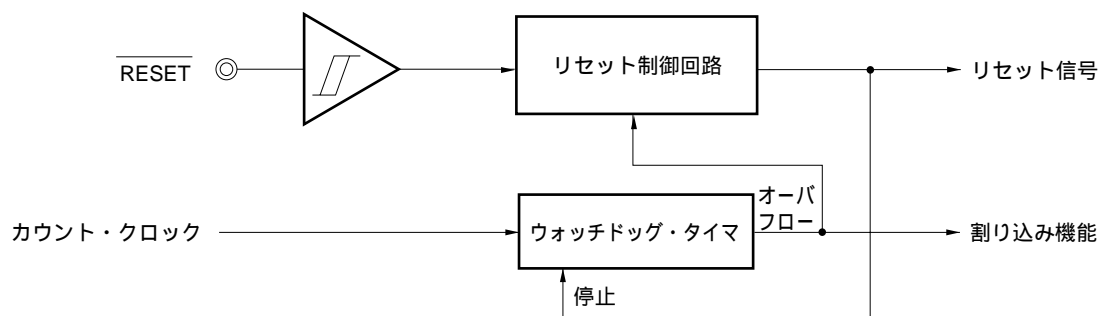


図16 - 2 RESET入力によるリセット・タイミング

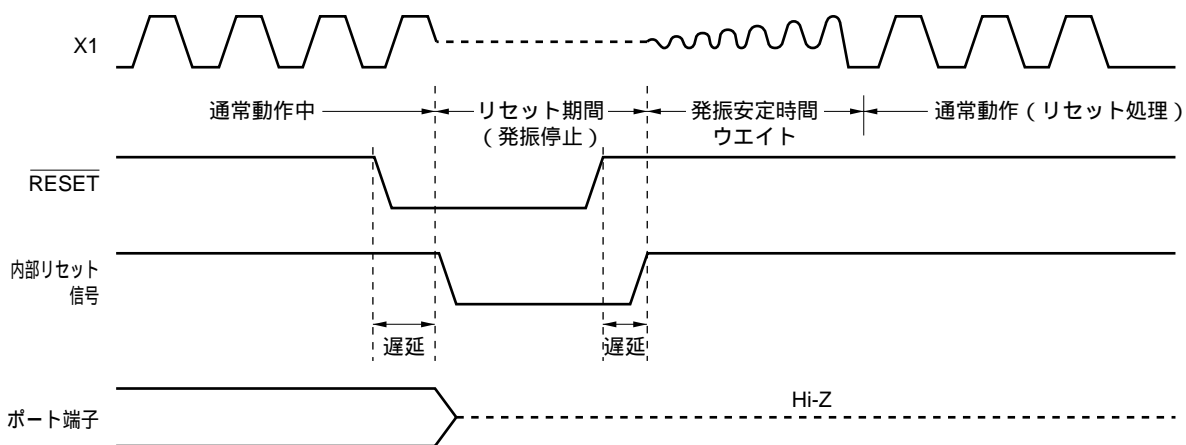


図16 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

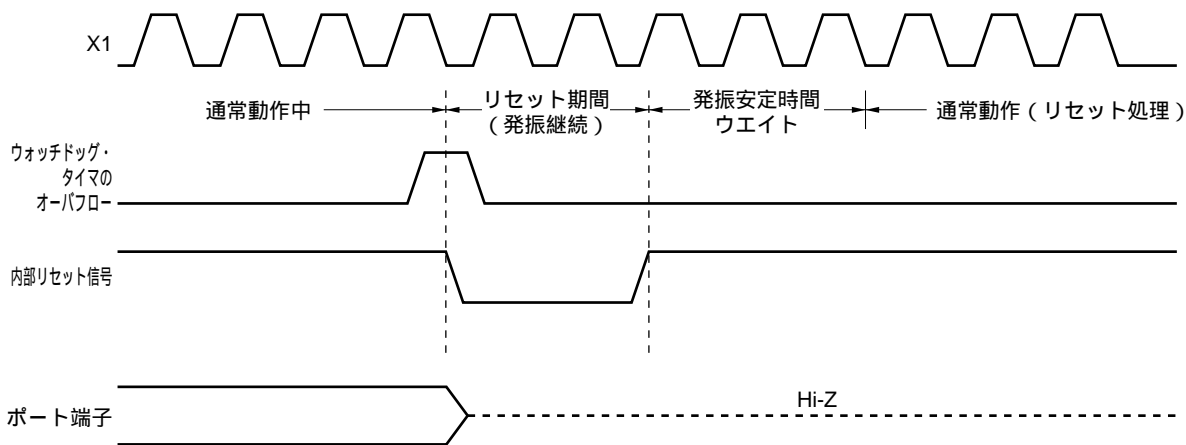


図16 - 4 STOPモード中のRESET入力によるリセット・タイミング

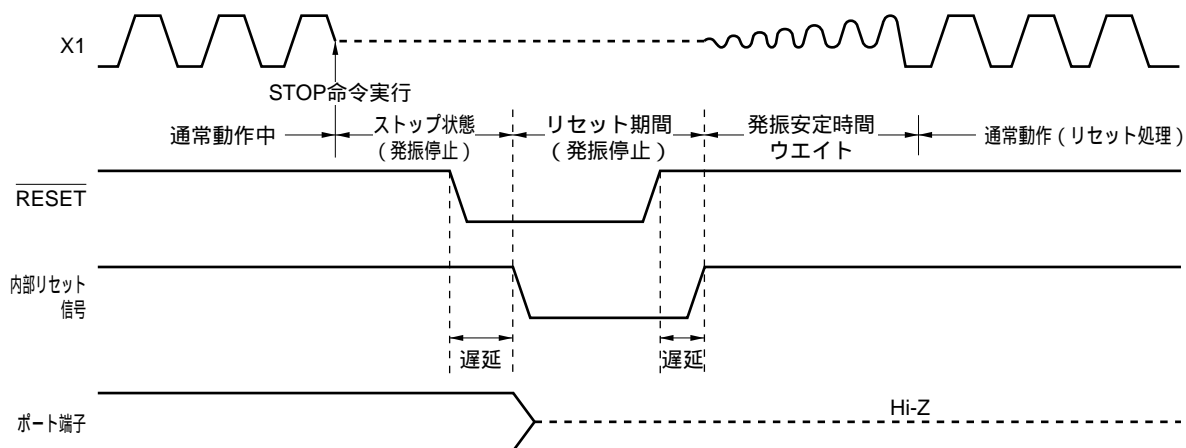


表16-1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) ^{注1}		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート (P0-P2) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0-PM2)		FFH
ブルアップ抵抗オプション・レジスタ (PU0, PUB2)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		02H
発振安定時間選択レジスタ (OSTS)		04H
10ビット・インパータ制御用 タイマ	コンペア・レジスタ (CM0-CM2)	0000H
	コンペア・レジスタ (CM3)	00FFH
	バッファ・レジスタ (BFCM0-BFCM2)	0000H
	バッファ・レジスタ (BFCM3)	00FFH
	デッド・タイム・リロード・レジスタ (DTIME)	FFH
	コントロール・レジスタ (TMC7)	00H
	モード・レジスタ (TMM7)	00H
8ビット・タイマ/イベント・ カウンタ80, 81, 82	タイマ・カウンタ (TM80-TM82)	00H
	コンペア・レジスタ (CR80-CR82)	不定
	モード・コントロール・レジスタ (TMC80-TMC82)	00H
時計用タイマ	モード・コントロール・レジスタ (WTM)	00H
ウォッチドッグ・タイマ	タイマ・クロック選択レジスタ (TCL2)	00H
	モード・レジスタ (WDTM)	00H
A/Dコンバータ	モード・レジスタ (ADM)	00H
	変換結果レジスタ (ADCRH)	不定
	入力選択レジスタ (ADS)	00H
シリアル・インタフェース	アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM00)	00H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS00)	00H
	ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC00)	00H
	送信シフト・レジスタ (TXS00)	不定
	受信バッファ・レジスタ (RXB00)	FFH
乗算器	10ビット・データ・レジスタ (MRA1H, MRA1L, MRB1H, MRB1L)	不定
	20ビット乗算結果格納レジスタ (MUL1HL, MUL1LH, MUL1LL)	不定
	乗算器コントロール・レジスタ (MULC1)	00H

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。

その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

表16 - 1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		リセット後の状態
スワッピング機能レジスタ (SWP0)		注
割り込み	要求フラグ・レジスタ (IF0, IF1)	00H
	マスク・フラグ・レジスタ (MK0, MK1)	FFH
	外部割り込みモード・レジスタ (INTM0)	00H

注 読み出しモード時と書き込みモード時でリセット後の状態が異なります。詳しくは13. 2 SWAPの構成を参照してください。

第17章 μ PD78F9842

μ PD78F9842は、マスクROM製品の内部ROMを拡張してフラッシュ・メモリに置き換えた製品です。
 μ PD78F9842とマスクROM製品の違いを表17 - 1に示します。

表17 - 1 μ PD78F9842とマスクROM製品の違い

項 目		フラッシュ・メモリ 製品	マスクROM製品	
		μ PD78F9842	μ PD789841	μ PD789842
内部メモリ	フラッシュ・メモリ / ROM	16 Kバイト	8 Kバイト	16 Kバイト
	RAM	256バイト		
IC端子		なし	あり	
V _{PP} 端子		あり	なし	
電気的特性		第19章 電気的特性を参照してください。		

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品（ES製品ではなく）で十分な評価を行ってください。

17.1 フラッシュ・メモリの特徴

フラッシュ・メモリへのプログラミングは、 μ PD78F9842を実装した状態（オンボード）のターゲット・システムに、専用のフラッシュ・ライタ（Flashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4））を接続して行います。またプログラミング専用のターゲット・ボードであるプログラム・アダプタ（FAアダプタ）を用意しています。

備考 FL-PR3, FL-PR4, プログラム・アダプタは、株式会社内藤電誠町田製作所（TEL（045）475-4191）の製品です。

フラッシュ・メモリによるプログラミングには、次のような利点があります。

ターゲット・システムにマイコンを半田実装後、ソフトウェアの変更可能
ソフトウェアを区別することで少量多品種生産が容易
量産立ち上げ時のデータ調整が容易

17.1.1 プログラミング環境

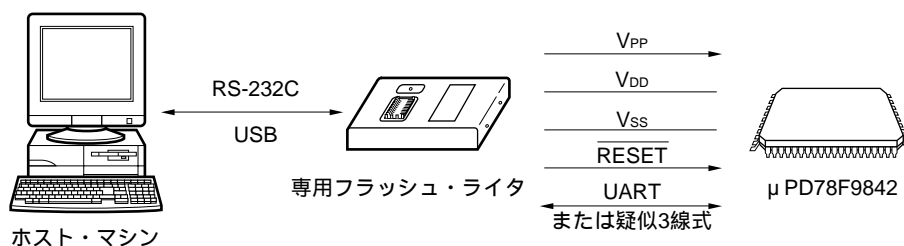
μ PD78F9842のフラッシュ・メモリ・プログラミングに必要な環境を示します。

専用フラッシュ・ライタとして（Flashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4））を使用した場合、専用フラッシュ・ライタには、これを制御するホスト・マシンが必要です。ホスト・マシンとフラッシュ・ライタ間の通信は、RS-232C/USB（Rev1.1）で行います。

詳細はFlashpro /Flashpro のマニュアルを参照してください。

備考 USBはFlashpro のみ対応

図17-1 フラッシュ・メモリにプログラムを書き込むための環境



17.1.2 通信方式

専用フラッシュ・ライタと μ PD78F9842との通信は、表17-2に示す通信方式から選択して行います。

表17-2 通信方式一覧

通信方式	TYPE設定 ^{注1}					使用端子	V _{PP} パルス数
	COMM PORT	SIOクロック	CPU CLOCK		Multiple Rate		
			In Flashpro	On Target Board			
UART	UART ch-0 (Async.)	4800-76800 bps ^{注2, 4}	5 MHz ^{注5}	4.91, 5 MHz ^{注2}	1.0	RxD/P22 TxD/P21	8
疑似3線式	Port A (Pseudo- 3wired)	100 Hz- 1 kHz	1, 2, 4, 5 MHz ^{注2, 3}	1-5 MHz ^{注2}	1.0	P01 P02 P00	12

注1. 専用フラッシュ・ライタ (Flashpro (型番 FL-PR3, PG-FP3) / Flashpro (型番 FL-PR4, PG-FP4)) 上のTYPE設定における選択項目です。

2. 電圧により設定可能な範囲が異なります。詳細は第19章 **電気的特性**を参照してください。
3. Flashpro の場合は、2, 4 MHzのみ
4. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。
5. Flashpro の場合のみ。Flashpro の場合は必ずオンボード上の発振子のクロックを選択してください。Flashpro から供給されるクロックでは対応できません。

図17-2 通信方式選択フォーマット

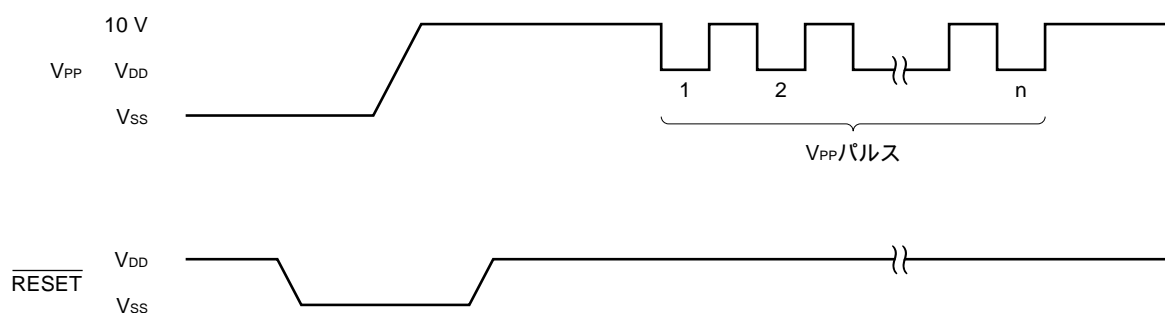
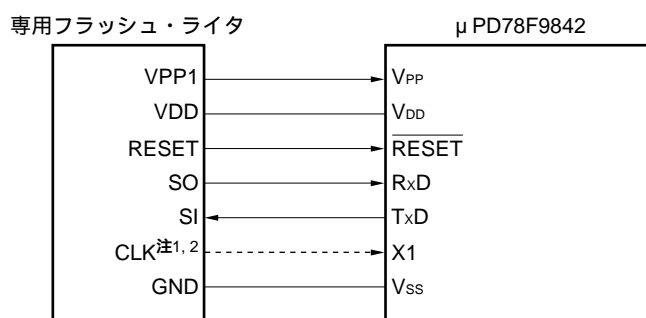
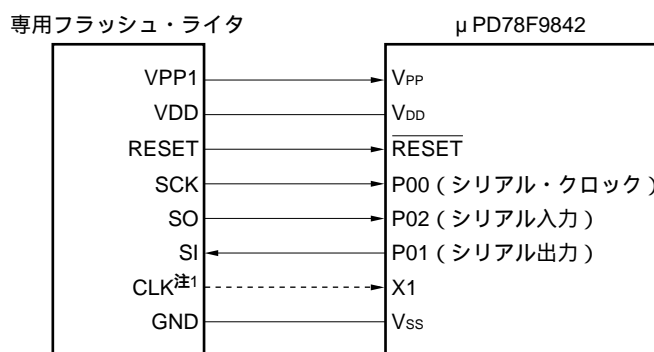


図17-3 専用フラッシュ・ライタとの接続例

(a) UART



(b) 疑似3線式 (P0を使用する場合)



- 注1. 専用フラッシュ・ライタからシステム・クロックを供給する場合には、CLK端子とX1端子を接続し、オンボード上の発振子を切り離します。オンボード上の発振子のクロックを使用する場合は、CLK端子と接続しないでください。
2. Flashpro でUARTを使用する場合は必ずX1端子に接続された振動子のクロックを使わなければならないので、CLK端子と接続しないでください。

注意 V_{DD}端子は、すでに電源が接続されている場合でも、必ず専用フラッシュ・ライタのV_{DD}端子と接続してください。またその電源を使用する場合は、必ずプログラミング開始前に電圧を供給してください。

専用フラッシュ・ライターとしてFlashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4）を使用した場合、 μ PD78F9842に対して次の信号を生成します。詳細はFlashpro /Flashpro のマニュアルを参照してください。

表17-3 端子接続一覧

信号名	入出力	端子機能	端子名	UART	疑似3線式
VPP1	出力	書き込み電圧	V _{PP}		
VPP2	-	-	-	×	×
VDD	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD}	注	注
GND	-	グラウンド	V _{SS}		
CLK	出力	クロック出力	X1		
RESET	出力	リセット信号	$\overline{\text{RESET}}$		
SI	入力	受信信号	TxD, P01		
SO	出力	送信信号	RxD, P02		
SCK	出力	転送クロック	P00	×	
HS	入力	ハンドシェイク信号	-	×	×

注 V_{DD}電圧はプログラミング開始前に供給する必要があります。

備考 : 必ず接続してください。

: ターゲット・ボード上で供給されていれば、接続の必要はありません。

× : 接続の必要はありません。

17.1.3 オンボード上の端子処理

ターゲット・システム上でプログラミングを行う場合は、ターゲット・システム上に専用フラッシュ・ライターと接続するためのコネクタを設けます。

また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能が必要になる場合があります。

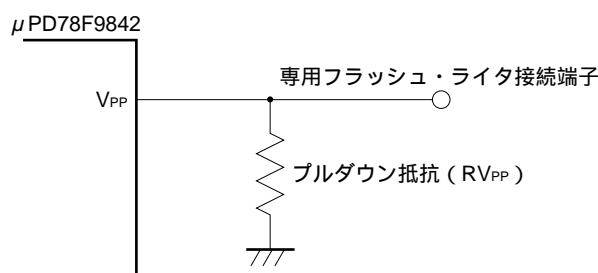
<V_{PP}端子>

通常動作モード時は、V_{PP}端子に0 Vを入力します。またフラッシュ・メモリ・プログラミング・モード時は、V_{PP}端子に10.0 V (TYP.) の書き込み電圧を供給しますので、次の端子処理を行ってください。

- (1) V_{PP}端子にプルダウン抵抗RV_{PP} = 10 k Ω を接続してください
- (2) ボード上のジャンパで、V_{PP}端子の入力をライター側または直接GNDかに切り替えてください

V_{PP}端子の接続例を次に示します。

図17-4 V_{PP}端子の接続例



<シリアル・インタフェース端子>

各シリアル・インタフェースが使用する端子を次に示します。

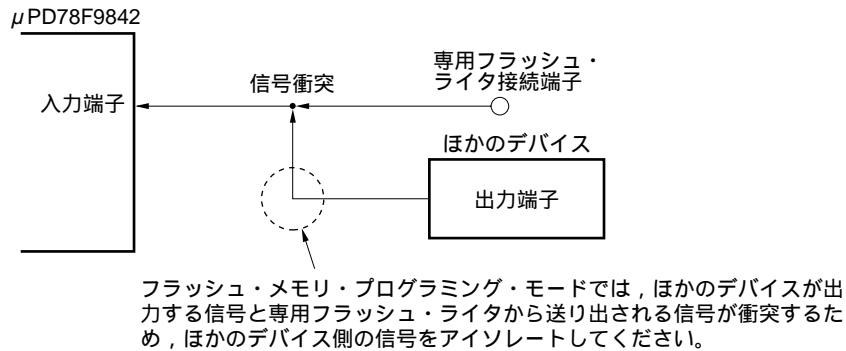
シリアル・インタフェース	使用端子
UART	RxD, TxD
疑似3線式	P00, P01, P02

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライターを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライター（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

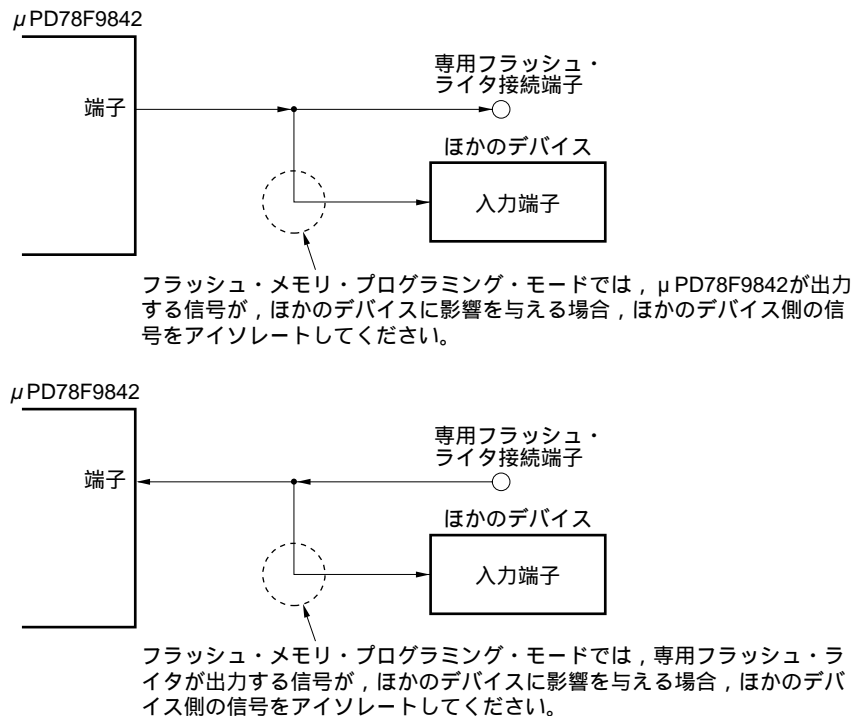
図17-5 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・ライター（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。

図17-6 ほかのデバイスの異常動作

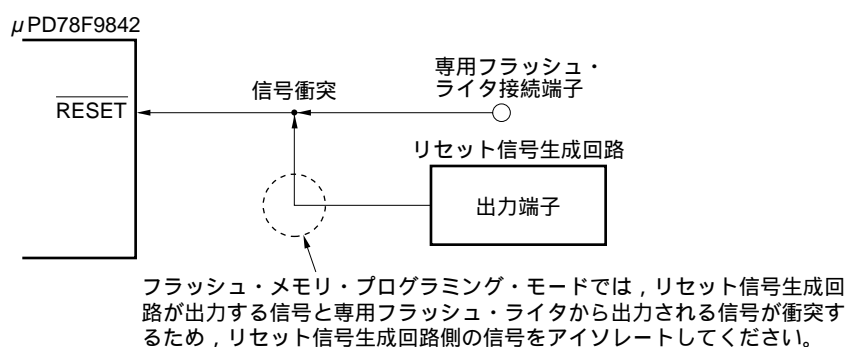


<RESET端子>

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図17-7 信号の衝突 (RESET端子)

**<ポート端子>**

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングと通信する端子を除くすべての端子は、すべてリセット直後と同じ状態になります。

したがって、外部デバイスが出力ハイ・インピーダンス状態などの初期状態を認めない場合は、抵抗を介してV_{DD}に接続する、または抵抗を介してV_{SS}に接続するなどの処置をしてください。

<発振端子>

オンボード上のクロックを使用する場合、X1、X2は、通常動作モード時に準拠した接続をしてください。

フラッシュ・ライタのクロック出力を使用する場合は、オンボード上の発振子を切り離し、X1端子に直接接続し、X2端子はオープンにしてください。

<電 源>

フラッシュ・ライタの電源出力を使用する場合は、V_{DD}端子はフラッシュ・ライタのV_{DD}に、V_{SS}端子はフラッシュ・ライタのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。ただし、フラッシュ・ライタで電圧監視をするので、フラッシュ・ライタのV_{DD}は必ず接続してください。

その他の電源 (AV_{DD}, AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

17.1.4 フラッシュ書き込み用アダプタ上の接続

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図17 - 8 UART方式でのフラッシュ書き込み用アダプタ配線例

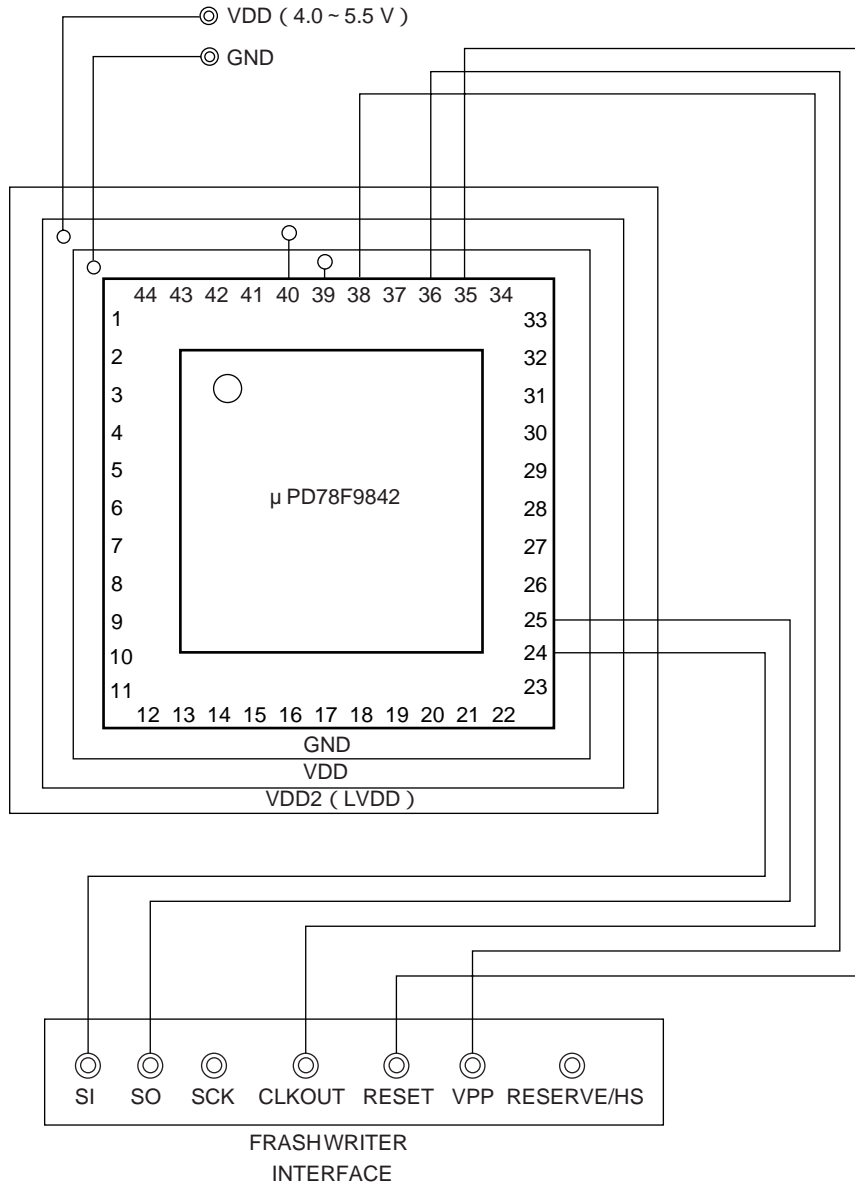
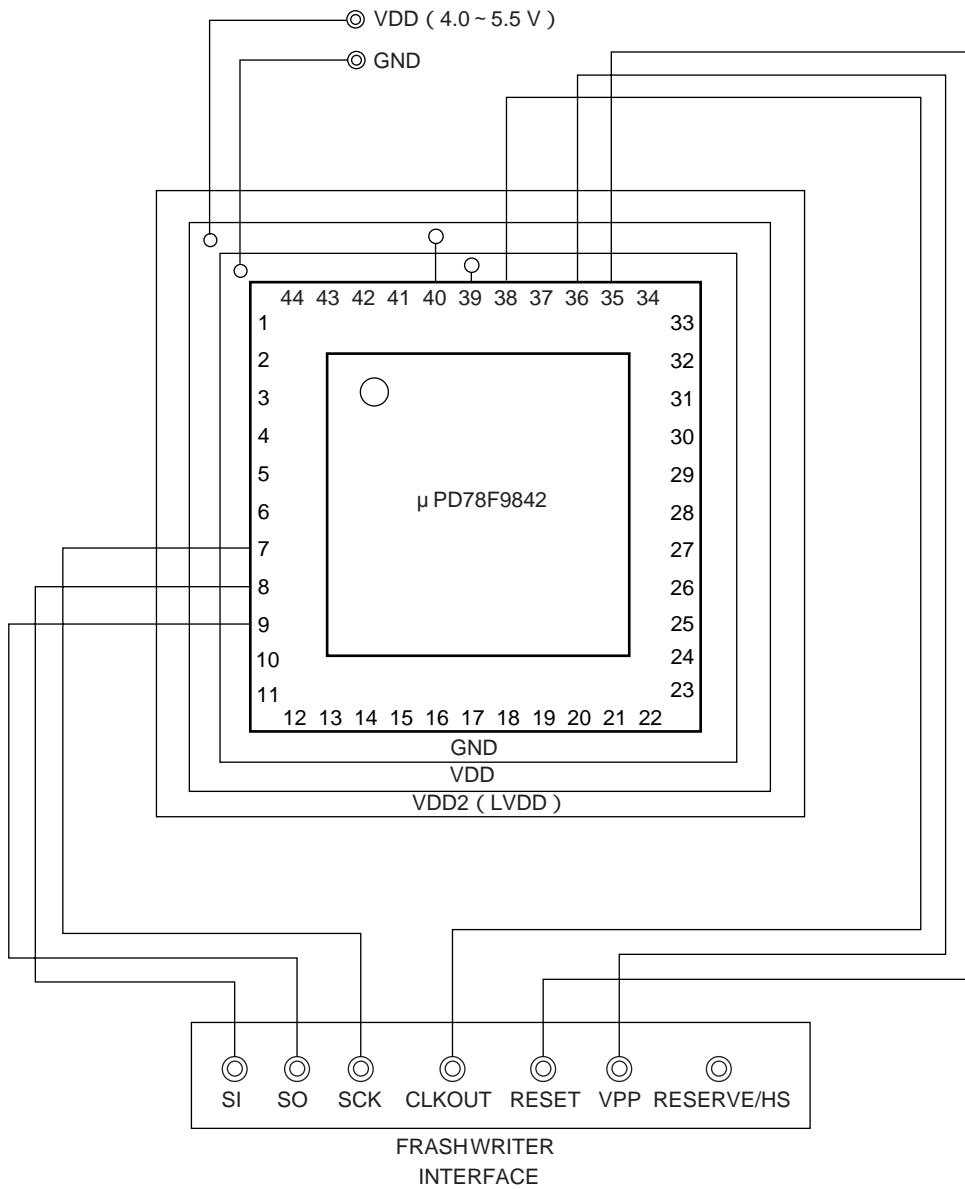


図17 - 9 疑似3線式でのフラッシュ書き込み用アダプタ配線例



第18章 命令セットの概要

μPD789842サブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください。

18.1 オペレーション

18.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・#：イミューディエト・データ指定
- ・\$：相対アドレス指定
- ・!：絶対アドレス指定
- ・[]：間接アドレス指定

イミューディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表18-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7)
rp	AX (RP0), BC (RP1), DE (RP2), HL (RP3)
sfr	特殊機能レジスタ略号
saddr	FE20H-FF1FH イミューディエト・データまたはラベル
saddrp	FE20H-FF1FH イミューディエト・データまたはラベル（偶数アドレスのみ）
addr16	0000H-FFFFH イミューディエト・データまたはラベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr5	0040H-007FH イミューディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミューディエト・データまたはラベル
byte	8ビット・イミューディエト・データまたはラベル
bit	3ビット・イミューディエト・データまたはラベル

備考 特殊機能レジスタの略号は表3-3 特殊機能レジスタ一覧を参照してください。

18.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスカブル割り込み処理中フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
x _H , x _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
⊕	: 排他的論理和 (exclusive OR)
—	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

18.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

18.2 オペレーション一覧

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOV	r, #byte	3	6	r byte			
	saddr, #byte	3	6	(saddr) byte			
	sfr, #byte	3	6	sfr byte			
	A, r <small>注1</small>	2	4	A r			
	r, A <small>注1</small>	2	4	r A			
	A, saddr	2	4	A (saddr)			
	saddr, A	2	4	(saddr) A			
	A, sfr	2	4	A sfr			
	sfr, A	2	4	sfr A			
	A, laddr16	3	8	A (addr16)			
	laddr16, A	3	8	(addr16) A			
	PSW, #byte	3	6	PSW byte	x	x	x
	A, PSW	2	4	A PSW			
	PSW, A	2	4	PSW A	x	x	x
	A, [DE]	1	6	A (DE)			
	[DE], A	1	6	(DE) A			
	A, [HL]	1	6	A (HL)			
	[HL], A	1	6	(HL) A			
	A, [HL + byte]	2	6	A (HL + byte)			
	[HL + byte], A	2	6	(HL + byte) A			
XCH	A, X	1	4	A X			
	A, r <small>注2</small>	2	6	A r			
	A, saddr	2	6	A (saddr)			
	A, sfr	2	6	A sfr			
	A, [DE]	1	8	A (DE)			
	A, [HL]	1	8	A (HL)			
	A, [HL, byte]	2	8	A (HL + byte)			

注1. r = Aを除く。

2. r = A, Xを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOVW	rp, #word	3	6	rp word			
	AX, saddrp	2	6	AX (saddrp)			
	saddrp, AX	2	8	(saddrp) AX			
	AX, rp <small>注</small>	1	4	AX rp			
	rp, AX <small>注</small>	1	4	rp AX			
XCHW	AX, rp <small>注</small>	1	8	AX rp			
ADD	A, #byte	2	4	A, CY A + byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte	x	x	x
	A, r	2	4	A, CY A + r	x	x	x
	A, saddr	2	4	A, CY A + (saddr)	x	x	x
	A, laddr16	3	8	A, CY A + (addr16)	x	x	x
	A, [HL]	1	6	A, CY A + (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte)	x	x	x
ADDC	A, #byte	2	4	A, CY A + byte + CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte + CY	x	x	x
	A, r	2	4	A, CY A + r + CY	x	x	x
	A, saddr	2	4	A, CY A + (saddr) + CY	x	x	x
	A, laddr16	3	8	A, CY A + (addr16) + CY	x	x	x
	A, [HL]	1	6	A, CY A + (HL) + CY	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte) + CY	x	x	x
SUB	A, #byte	2	4	A, CY A - byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte	x	x	x
	A, r	2	4	A, CY A - r	x	x	x
	A, saddr	2	4	A, CY A - (saddr)	x	x	x
	A, laddr16	3	8	A, CY A - (addr16)	x	x	x
	A, [HL]	1	6	A, CY A - (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte)	x	x	x

注 rp = BC, DE, HLのときのみ。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
SUBC	A, #byte	2	4	A, CY A - byte - CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte - CY	x	x	x
	A, r	2	4	A, CY A - r - CY	x	x	x
	A, saddr	2	4	A, CY A - (saddr) - CY	x	x	x
	A, laddr16	3	8	A, CY A - (addr16) - CY	x	x	x
	A, [HL]	1	6	A, CY A - (HL) - CY	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte) - CY	x	x	x
AND	A, #byte	2	4	A A ∧ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∧ byte	x		
	A, r	2	4	A A ∧ r	x		
	A, saddr	2	4	A A ∧ (saddr)	x		
	A, laddr16	3	8	A A ∧ (addr16)	x		
	A, [HL]	1	6	A A ∧ (HL)	x		
	A, [HL + byte]	2	6	A A ∧ (HL + byte)	x		
OR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, laddr16	3	8	A A ∨ (addr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		
XOR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, laddr16	3	8	A A ∨ (addr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
CMP	A, #byte	2	4	A - byte	x	x	x
	saddr, #byte	3	6	(saddr) - byte	x	x	x
	A, r	2	4	A - r	x	x	x
	A, saddr	2	4	A - (saddr)	x	x	x
	A, laddr16	3	8	A - (addr16)	x	x	x
	A, [HL]	1	6	A - (HL)	x	x	x
	A, [HL + byte]	2	6	A - (HL + byte)	x	x	x
ADDW	AX, #word	3	6	AX, CY AX + word	x	x	x
SUBW	AX, #word	3	6	AX, CY AX - word	x	x	x
CMPW	AX, #word	3	6	AX - word	x	x	x
INC	r	2	4	r r + 1	x	x	
	saddr	2	4	(saddr) (saddr) + 1	x	x	
DEC	r	2	4	r r - 1	x	x	
	saddr	2	4	(saddr) (saddr) - 1	x	x	
INCW	rp	1	4	rp rp + 1			
DECW	rp	1	4	rp rp - 1			
ROR	A, 1	1	2	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
ROL	A, 1	1	2	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
RORC	A, 1	1	2	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
ROLC	A, 1	1	2	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x
SET1	saddr.bit	3	6	(saddr.bit) 1			
	sfr.bit	3	6	sfr.bit 1			
	A.bit	2	4	A.bit 1			
	PSW.bit	3	6	PSW.bit 1	x	x	x
	[HL].bit	2	10	(HL).bit 1			
CLR1	saddr.bit	3	6	(saddr.bit) 0			
	sfr.bit	3	6	sfr.bit 0			
	A.bit	2	4	A.bit 0			
	PSW.bit	3	6	PSW.bit 0	x	x	x
	[HL].bit	2	10	(HL).bit 0			
SET1	CY	1	2	CY 1			1
CLR1	CY	1	2	CY 0			0
NOT1	CY	1	2	CY \overline{CY}			x

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
CALL	laddr16	3	6	(SP - 1) (PC + 3) _H , (SP - 2) (PC + 3) _L , PC addr16, SP SP - 2			
CALLT	[addr5]	1	8	(SP - 1) (PC + 1) _H , (SP - 2) (PC + 1) _L , PC _H (00000000, addr5 + 1), PC _L (00000000, addr5), SP SP - 2			
RET		1	6	PC _H (SP + 1), PC _L (SP), SP SP + 2			
RETI		1	8	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3, NMIS 0	R	R	R
PUSH	PSW	1	2	(SP - 1) PSW, SP SP - 1			
	rp	1	4	(SP - 1) rp _H , (SP - 2) rp _L , SP SP - 2			
POP	PSW	1	4	PSW (SP), SP SP + 1	R	R	R
	rp	1	6	rp _H (SP + 1), rp _L (SP), SP SP + 2			
MOVW	SP, AX	2	8	SP AX			
	AX, SP	2	6	AX SP			
BR	laddr16	3	6	PC addr16			
	\$addr16	2	6	PC PC + 2 + jdisp8			
	AX	1	6	PC _H A, PC _L X			
BC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 1			
BNC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 0			
BZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 1			
BNZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 0			
BT	saddr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 1			
	sfr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 1			
	A.bit, \$addr16	3	8	PC PC + 3 + jdisp8 if A.bit = 1			
	PSW.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 1			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニク	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
BF	saddr.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
	sfr.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 0			
	A.bit, \$saddr16	3	8	PC PC + 3 + jdisp8 if A.bit = 0			
	PSW.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 0			
DBNZ	B, \$saddr16	2	6	B B - 1, then PC PC + 2 + jdisp8 if B 0			
	C, \$saddr16	2	6	C C - 1, then PC PC + 2 + jdisp8 if C 0			
	saddr, \$saddr16	3	8	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) 0			
NOP		1	2	No Operation			
EI		3	6	IE 1 (Enable Interrupt)			
DI		3	6	IE 0 (Disable interrupt)			
HALT		1	2	Set HALT Mode			
STOP		1	2	Set STOP Mode			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

18.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV , XCH , ADD , ADDC , SUB , SUBC , AND , OR , XOR , CMP , INC , DEC , ROR , ROL , RORC ,
 ROLC , PUSH , POP , DBNZ

第2オペランド 第1オペランド	#byte	A	r	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV ^注 XCH ^注	MOV XCH	MOV XCH	MOV	MOV	MOV XCH	MOV XCH	MOV XCH		ROR ROL RORC ROLC	
r	MOV	MOV											INC DEC
B , C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											
[HL + byte]		MOV											

注 r = Aは除く。

(2) 16ビット命令

MOVW , XCHW , ADDW , SUBW , CMPW , PUSH , POP , INCW , DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	saddrp	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	
rp	MOVW	MOVW ^注				INCW DECW PUSH POP
saddrp		MOVW				
sp		MOVW				

注 rp = BC , DE , HLのときのみ。

(3) ビット操作命令

SET1 , CLR1 , NOT1 , BT , BF

第2オペランド 第1オペランド	\$addr16	なし
A.bit	BT BF	SET1 CLR1
sfr.bit	BT BF	SET1 CLR1
saddr.bit	BT BF	SET1 CLR1
PSW.bit	BT BF	SET1 CLR1
[HL] .bit		SET1 CLR1
CY		SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL , CALLT , BR , BC , BNC , BZ , BNZ , DBNZ

第2オペランド 第1オペランド	AX	!addr16	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLT	BR BC BNC BZ BNZ
複合命令				DBNZ

(5) その他の命令

RET , RETI , NOP , EI , DI , HALT , STOP

第19章 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.3 ~ + 6.5	V
	V _{PP}	μ PD78F9842のみ 注	- 0.3 ~ + 10.5	V
入力電圧	V _I		- 0.3 ~ V _{DD} + 0.3	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3	V
ハイ・レベル出力電流	I _{OH}	1端子	- 10	mA
		全端子合計	- 30	mA
ロウ・レベル出力電流	I _{OL}	1端子	30	mA
		全端子合計	160	mA
動作周囲温度	T _A	通常動作時	- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時	10 ~ 40	
保存温度	T _{stg}		- 65 ~ + 150	

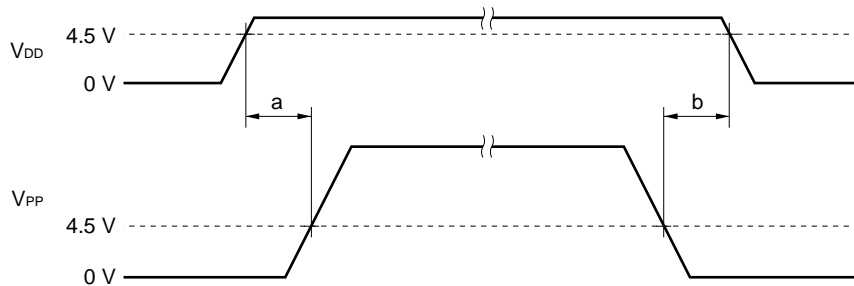
注 フラッシュ・メモリ書き込み時、V_{PP}の電圧印加タイミングについては、必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD}が動作電圧範囲の下限電圧(4.5 V)に達してから10 μs以上経過後、V_{PP}がV_{DD}を越えること(下図のa)。

・電源電圧立ち下がり時

V_{PP}がV_{DD}の動作電圧範囲の下限電圧(4.5 V)を下回ってから10 μs以上経過後、V_{DD}を立ち下げること(下図のb)。



注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

システム・クロック発振回路特性 ($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5 V$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (f_x) ^{注1}	$V_{DD} =$ 発振電圧範囲	8.0	8.38	8.5	MHz
		発振安定時間 ^{注2}	V_{DD} が発振電圧範囲の MIN.に達したあと			4	ms
水晶振動子		発振周波数 (f_x) ^{注1}		8.0	8.38	8.5	MHz
		発振安定時間 ^{注2}				10	ms

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

- リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウエイト時間内に発振安定する振動子を使用してください。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

備考 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 (TA = -40 ~ +85 , VDD = 4.0 ~ 5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流	IOH	1端子				- 1	mA
		全端子合計				- 15	mA
ロウ・レベル出力電流	IOL	1端子				10	mA
		全端子合計				80	mA
ハイ・レベル入力電圧	VIH1	P00-P07, P10-P17, P60-P67		0.7 VDD		VDD	V
	VIH2	RESET, P20-P25		0.8 VDD		VDD	V
	VIH3	X1, X2		VDD - 0.1		VDD	V
ロウ・レベル入力電圧	VIL1	P00-P07, P10-P17, P60-P67		0		0.3 VDD	V
	VIL2	RESET, P20-P25		0		0.2 VDD	V
	VIL3	X1, X2		0		0.1	V
ハイ・レベル出力電圧	VOH	IOH = - 1 mA		VDD - 1.0			V
ロウ・レベル出力電圧	VOL	IOL = 10 mA				1.0	V
ハイ・レベル入力リーク電流	ILI1	VIN = VDD	X1, X2以外の端子			3	μA
	ILI2		X1, X2			20	μA
ロウ・レベル入力リーク電流	ILIL1	VIN = 0 V	X1, X2以外の端子			- 3	μA
	ILIL2		X1, X2			- 20	μA
ハイ・レベル出力リーク電流	ILOH	VOUT = VDD				3	μA
ロウ・レベル出力リーク電流	ILOL	VOUT = 0 V				- 3	μA
ソフトウェア・ブルアップ抵抗	R	VIN = 0 V		50	100	200	kΩ
電源電流 ^{注1}	IDD1	8.38 MHz水晶発振動作モード ^{注2}			5.5	16.5	mA
	IDD2	8.38 MHz水晶発振HALTモード			1.2	3.6	mA
	IDD3	STOPモード			0.1	30	μA
	IDD4	8.38 MHz水晶発振A/D動作モード			6.0	18.0	mA

注1. 内蔵ブルアップ抵抗に流れる電流は含みません。

2. 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) = 00Hに設定したとき)

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T _{CY}	PCC = 00H設定時	0.24		0.25	μs
		PCC = 02H設定時	0.94		1.00	μs
TI80, TI81入力周波数	f _{TI}		0		4.0	MHz
TI80, TI81入力ハイ, ロウ・レベル幅	t _{TIH} , t _{TIL}		0.1			μs
割り込み入力 ハイ, ロウ・レベル幅	t _{INTH} , t _{INTL}	INTP0, INTP1	10			μs
RESET入力 ロウ・レベル幅	t _{RSL}		10			μs

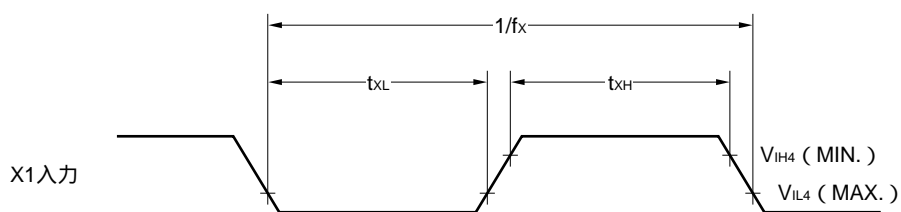
(2) シリアル・インタフェース (UART) ($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		f _x = 8.38 MHz動作時			115200	bps

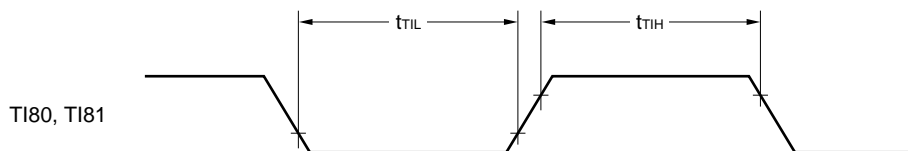
ACタイミング測定点 (X1入力を除く)



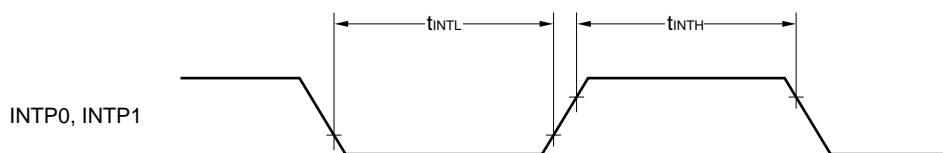
クロック・タイミング



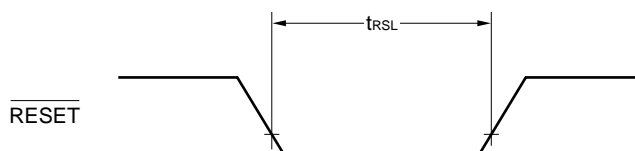
TIタイミング



割り込み入力タイミング



RESET入力タイミング



A/Dコンバータ特性 ($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8	8	8	bit
総合誤差 ^注					1.5	LSB
変換時間	t _{CONV}		14			μs
アナログ入力電圧	V _{IAN}		0		V _{DD}	V

注 量子化誤差 (± 1/2LSB) を除いた総合誤差です。

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85$)

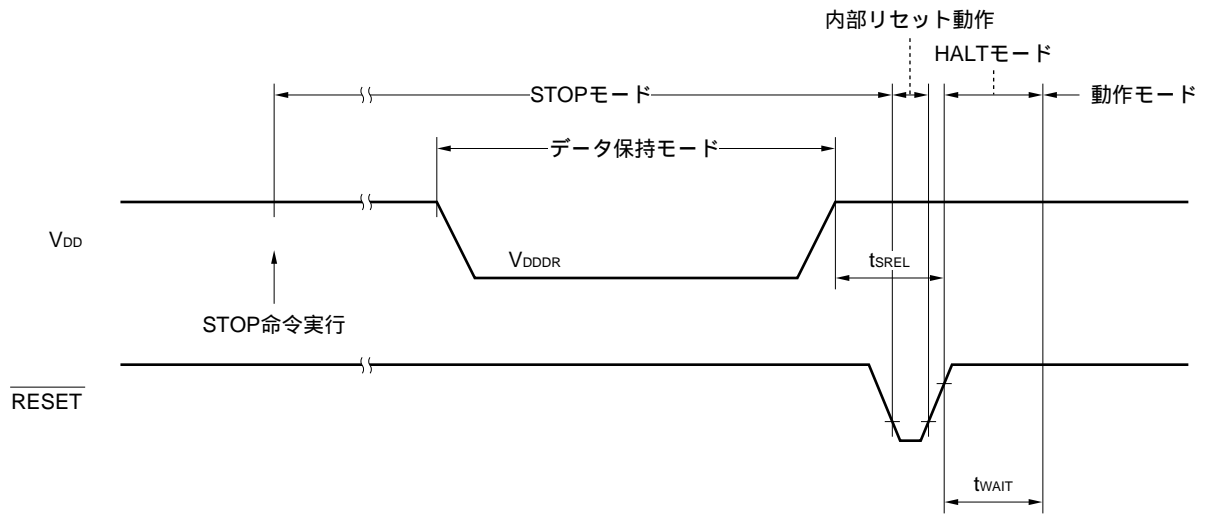
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		4.0		5.5	V
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間 ^{注1}	t _{WAIT}	RESETによる解除		$2^{15}/f_x$		ms
		割り込み要求による解除		注2		ms

注1. 発振安定時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

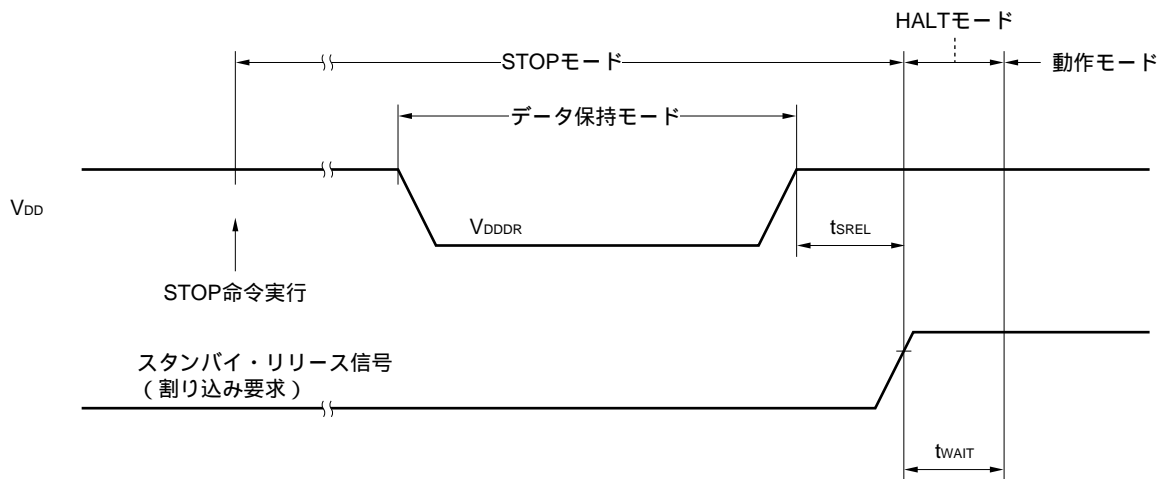
2. 発振安定時間選択レジスタのビット0-2 (OSTS0-OSTS2) により、 $2^{12}/f_x$ 、 $2^{15}/f_x$ 、 $2^{17}/f_x$ の選択が可能です。

備考 f_x : システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



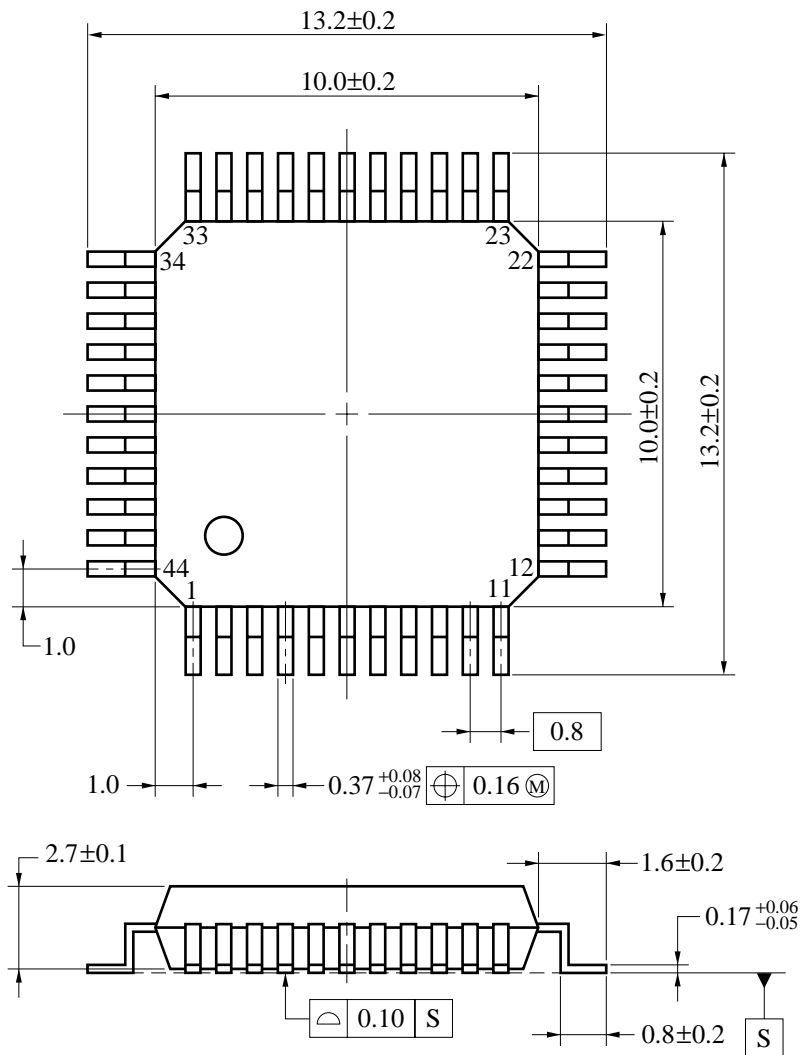
フラッシュ・メモリ・プログラミング特性

基本特性 ($T_A = 10 \sim 40$, $V_{DD} = 4.0 \sim 5.5$ V)

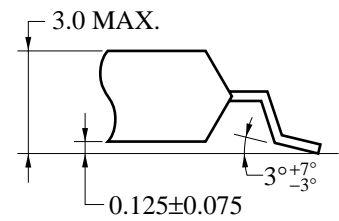
項目	略号	条件	MIN.	TYP.	MAX.	単位
クロック周波数	f_x		8.0		8.5	MHz
電源電圧	V_{PPL}	V_{PP} ロウ・レベル検出時	0		$0.2 V_{DD}$	V
	V_{PPH}	V_{PP} ハイ・レベル検出時	$0.8 V_{DD}$	V_{DD}	$1.2 V_{DD}$	V
	V_{PP}	V_{PP} 高電圧検出時	9.7	10.0	10.3	V
V_{DD} 電源電流	I_{DD}				50	mA
V_{PP} 電源電流	I_{PP}	$V_{PP} = 10$ V			100	mA
書き込み時間	T_{WRT}	1バイト		50	500	μ s
書き換え回数	C_{WRT}				20	回
消去時間	T_{ERASE}			6		s

第20章 外形図

44ピン・プラスチック QFP (10x10) 外形図 (単位 : mm)

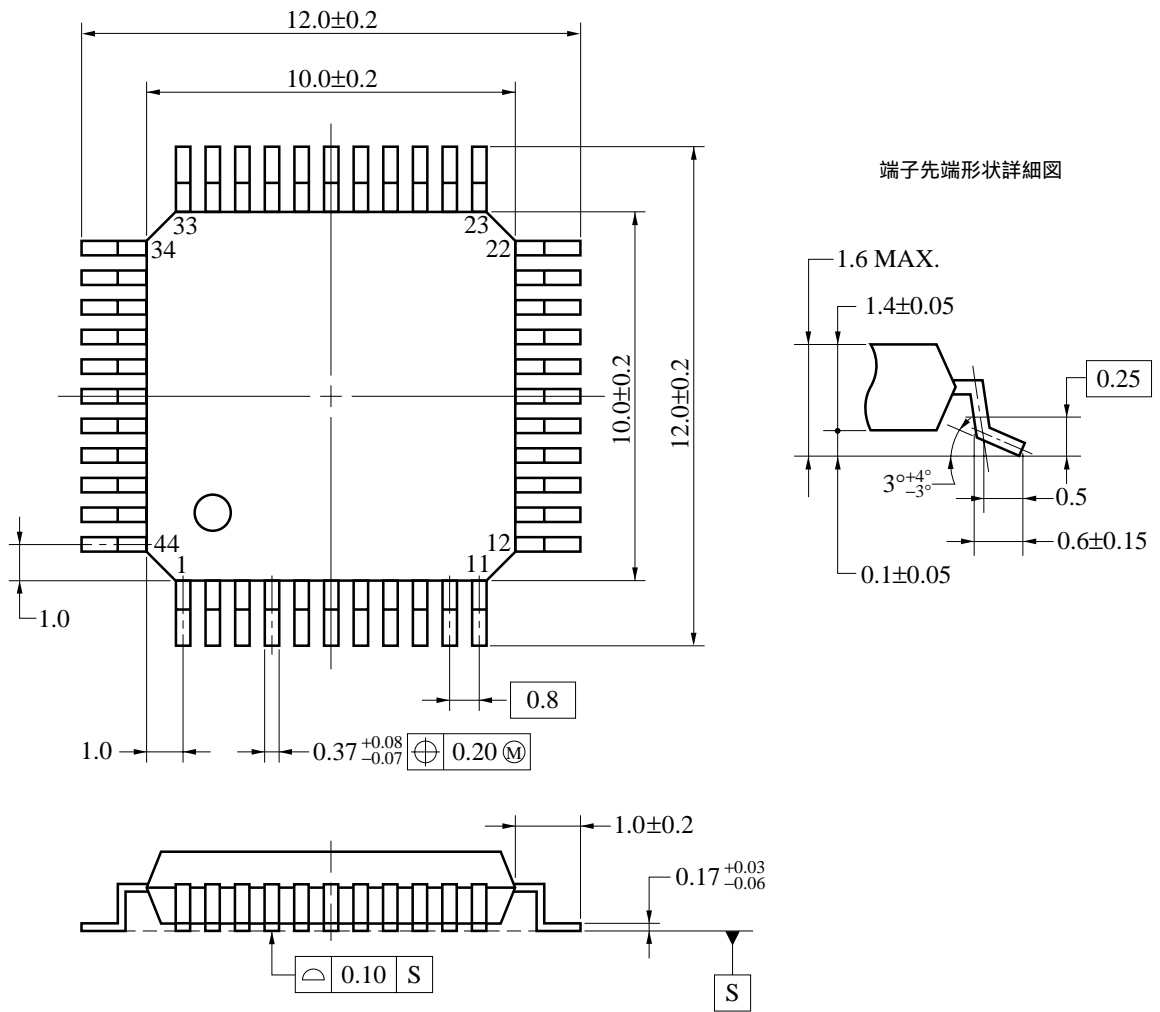


端子先端形状詳細図



S44GB-80-3BS-2

44ピン・プラスチック LQFP (10x10) 外形図 (単位 : mm)



S44GB-80-8ES-2

第21章 半田付け推奨条件

μ PD789842サブシリーズ[※]の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

注 GB-3BS-MTXタイプの半田付け条件については、評価未了です。

表21 - 1 表面実装タイプの半田付け条件

(1) μ PD789841GB- x x x -8ES

μ PD789842GB- x x x -8ES

μ PD78F9842GB-8ES

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上）， 回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上）， 回数：2回以内	VP15-00-2
ウエーブ・ソルダリング	半田槽温度：260 以下，時間：10秒以内，回数1回， 予備加熱温度：120 MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

(2) μ PD789841GB- x x x -8ES-A

μ PD789842GB- x x x -8ES-A

μ PD78F9842GB-8ES-A

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上）， 回数：3回以内，制限日数：7日間 [※] （以降は125 プリバーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は、包装状態でのベーキングができません。	IR60-207-3
ウエーブ・ソルダリング	詳細については、当社販売員にご相談ください。	-
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で、保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用は避けください（ただし、端子部分加熱方式は除く）。

備考 オーダ名称末尾「-A」の製品は、鉛フリー製品です。

付録A 開発ツール

μ PD789842サブシリーズを使用するシステム開発のために次のような開発ツールを用意しております。図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

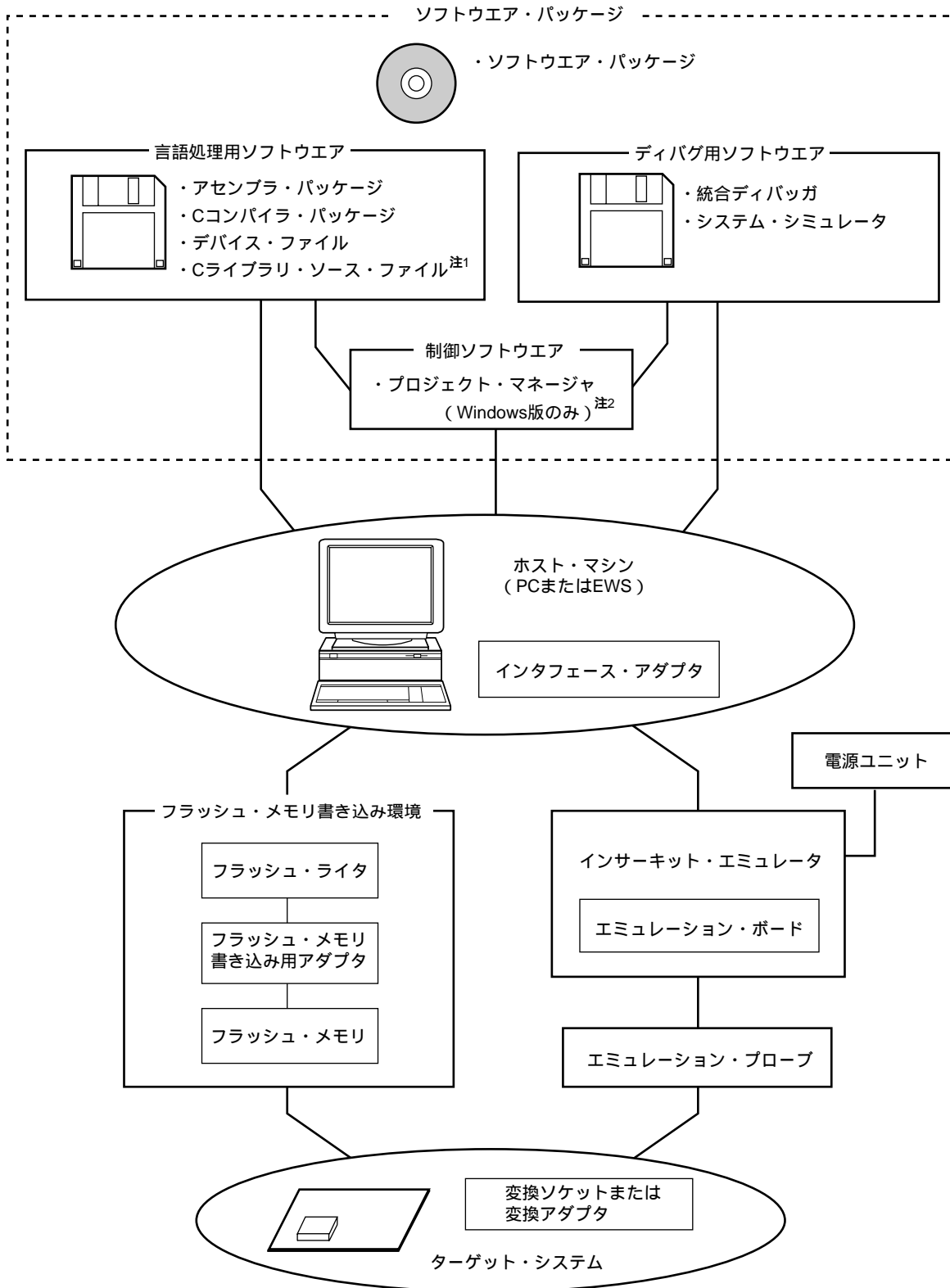
特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

Windowsについて

特に断りのないかぎり、「Windows」は次のOSを示しています。

- ・ Windows 3.1
- ・ Windows95, 98, 2000
- ・ WindowsNTTMVer.4.0

図A - 1 開発ツール構成



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャは、アセンブラ・パッケージに入っています。
また、Windows以外ではプロジェクト・マネージャは使用しません。

A.1 ソフトウェア・パッケージ

SP78K0S ソフトウェア・パッケージ	78K0Sシリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 以下のツールが入っています。 RA78K0S, CC78K0S, ID78K0-NS, SM78K0S, デバイス・ファイル各種 オーダ名称: $\mu S \times \times \times \times$ SP78K0S
-------------------------	--

備考 オーダ名称の $\times \times \times \times$ は、使用するOSにより異なります。

$\mu S \times \times \times \times$ SP78K0S

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

RA78K0S アセンブラ・パッケージ	二モニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。別売のデバイス・ファイル (DF789842) と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ RA78K0S
CC78K0S Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージ (RA78K0S) およびデバイス・ファイル (DF789842) と組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S
DF789842 ^{注1} デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ DF789842
CC78K0S-L ^{注2} Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S-L

注1. DF789842は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

2. CC78K0S-Lは、ソフトウェア・パッケージ (SP78K0S) の中には含まれていません。

備考 オータ名称の××××は、使用するホスト・マシン，OSにより異なります。

μS××××RA78K0S

μS××××CC78K0S

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700 TM	HP-UX TM (Rel.10.10)	
3K17	SPARCstation TM	SunOS TM (Rel.4.1.4) ， Solaris TM (Rel.2.5.1)	

μS××××DF789842

μS××××CC78K0S-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel.4.1.4) ，	3.5インチ2HD FD
3K15		Solaris (Rel.2.5.1)	1/4インチCGMT

A. 3 制御ソフトウェア

プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から、エディタの起動，ビルド，ディバッガの起動など，ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ (RA78K0S) の中に入っています。Windows以外の環境では使用できません。
--------------	---

A. 4 フラッシュ・メモリ書き込み用ツール

Flashpro (FL-PR3, PG-FP3) Flashpro (FL-PR4, PG-FP4) フラッシュ・ライタ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライタ
FA-44GB FA-44GB-8ES フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro またはFlashpro に接続して使用します。 FA-44GB : 44ピン・プラスチックQFP (GB-3BSタイプ) 用 FA-44GB-8ES : 44ピン・プラスチックLQFP (GB-8ESタイプ) 用

備考 FL-PR3, FL-PR4, FA-44GB, FA-44GB-8ESは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

A.5 ディバグ用ツール(ハードウェア)

IE-78K0S-NS インサーキット・エミュレータ	78K/0Sシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータ。統合ディバガ(ID78K0S-NS)に対応しています。ACアダプタ、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-78K0S-NS-A インサーキット・エミュレータ	IE-78K0S-NSの機能を拡張したインサーキット・エミュレータです。 カバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、ディバグ機能がより強化されています。
IE-70000-MC-PS-B ACアダプタ	AC100～240Vのコンセントから電源を供給するためのアダプタ
IE-70000-98-IF-C インタフェース・アダプタ	ホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときに必要なアダプタ(Cバス対応)
IE-70000-CD-IF-A PCカード・インタフェース	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブル(PCMCIAソケット対応)
IE-70000-PC-IF-C インタフェース・アダプタ	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタ(ISAバス対応)
IE-70000-PCI-IF-A インタフェース・アダプタ	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタ
IE-789842-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボード。インサーキット・エミュレータと組み合わせて使用します。
NP-44GB-TQ NP-H44GB-TQ エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。 TGB-044SAPと組み合わせて使用します。
TGB-044SAP 変換アダプタ	44ピン・プラスチックQFP(GB-3BSタイプ)、44ピン・プラスチックLQFP(GB-8ESタイプ)を実装できるように作られたターゲット・システムの基板と、NP-44GB-TQ/NP-H44GB-TQを接続するための変換アダプタです。

備考1. NP-44GB-TQ, NP-H44GB-TQは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所(TEL(045)475-4191)

2. TGB-044SAPは、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部(TEL(03)3820-7112)

大阪電子部(TEL(06)6244-6672)

A.6 ディバグ用ツール(ソフトウェア)

ID78K0S-NS 統合ディバグ	78K/0Sシリーズ用のインサーキット・エミュレータ IE-78K0S-NS, IE-78K0S-NS-Aに対応したディバグです。ID78K0S-NSは、Windowsベースのソフトウェアです。 C言語対応のディバグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイル(DF789842)と組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ ID78K0S-NS
SM78K0S システム・シミュレータ	78K/0Sシリーズ用のシステム・シミュレータです。SM78K0Sは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのディバグが可能です。SM78K0Sを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル(DF789842)と組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ SM78K0S
DF789842 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ DF789842

注 DF789842は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

備考 オーダ名称の $\times \times \times \times$ は、使用するOS、供給媒体により異なります。

$\mu S \times \times \times \times$ ID78K0S-NS

$\mu S \times \times \times \times$ SM78K0S

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

付録B ターゲット・システム設計上の注意

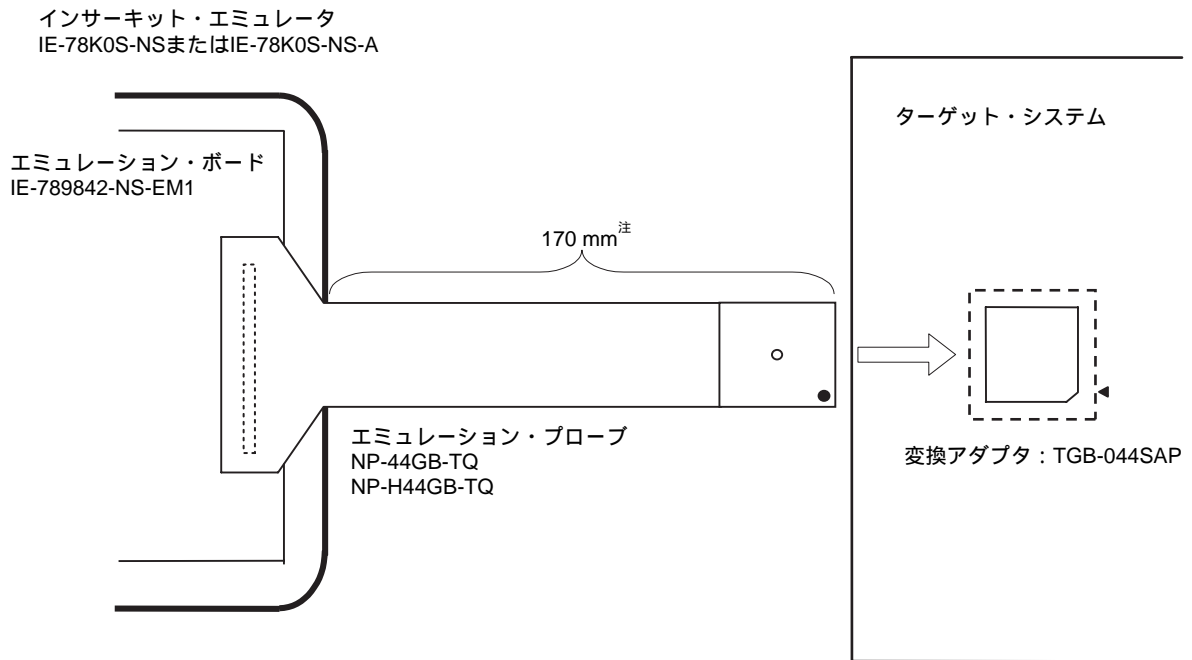
エミュレーション・プローブと変換アダプタとの接続条件図を次に示します。ターゲット・システム上に実装する部品の形状などを考慮したうえで、この構成によってシステム設計を行ってください。

なお、この付録に記載されている製品名のうちNP-44GB-TQ, NP-H44GB-TQは株式会社内藤電誠町田製作所の製品です。また、TGB-044SAPは東京エレテック株式会社の製品です。

表B - 1 IEシステムから変換アダプタまでの距離

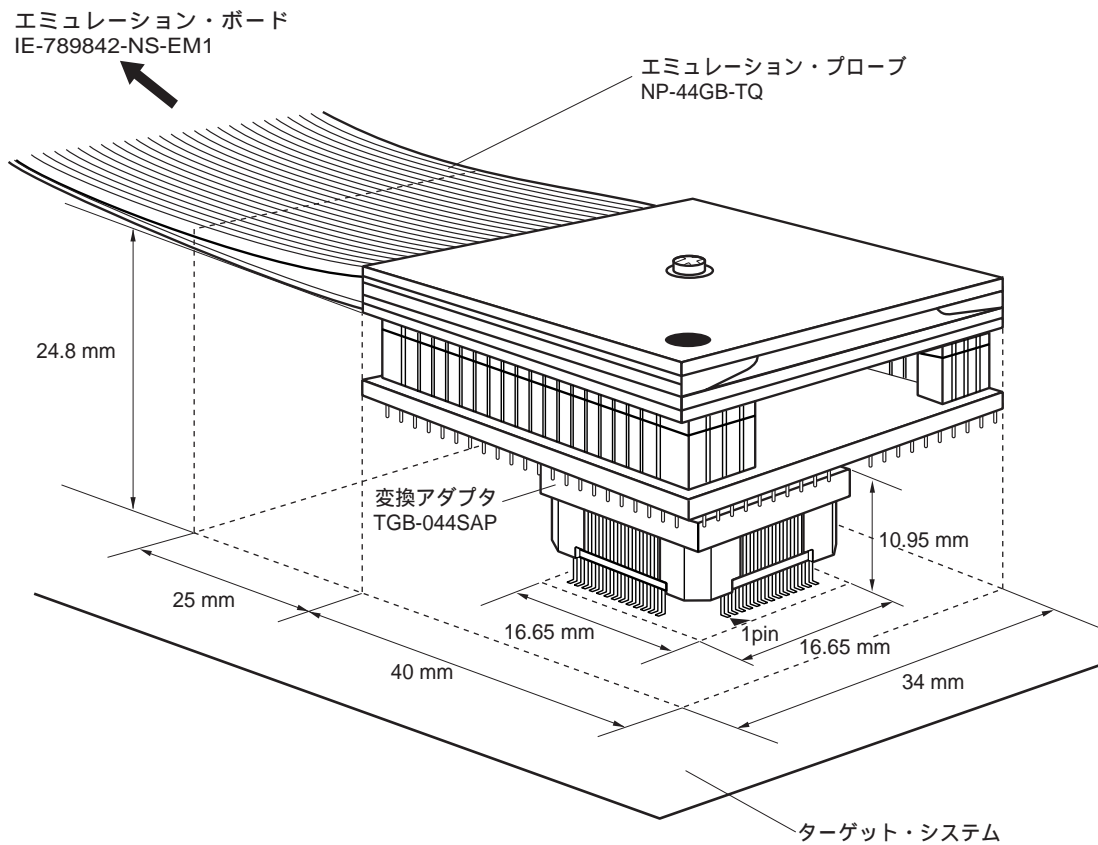
エミュレーション・プローブ	変換アダプタ	IEシステムから 変換アダプタまでの距離
NP-44GB-TQ	TGB-044SAP	170 mm
NP-H44GB-TQ		370 mm

図B - 1 IEシステムから変換アダプタまでの距離

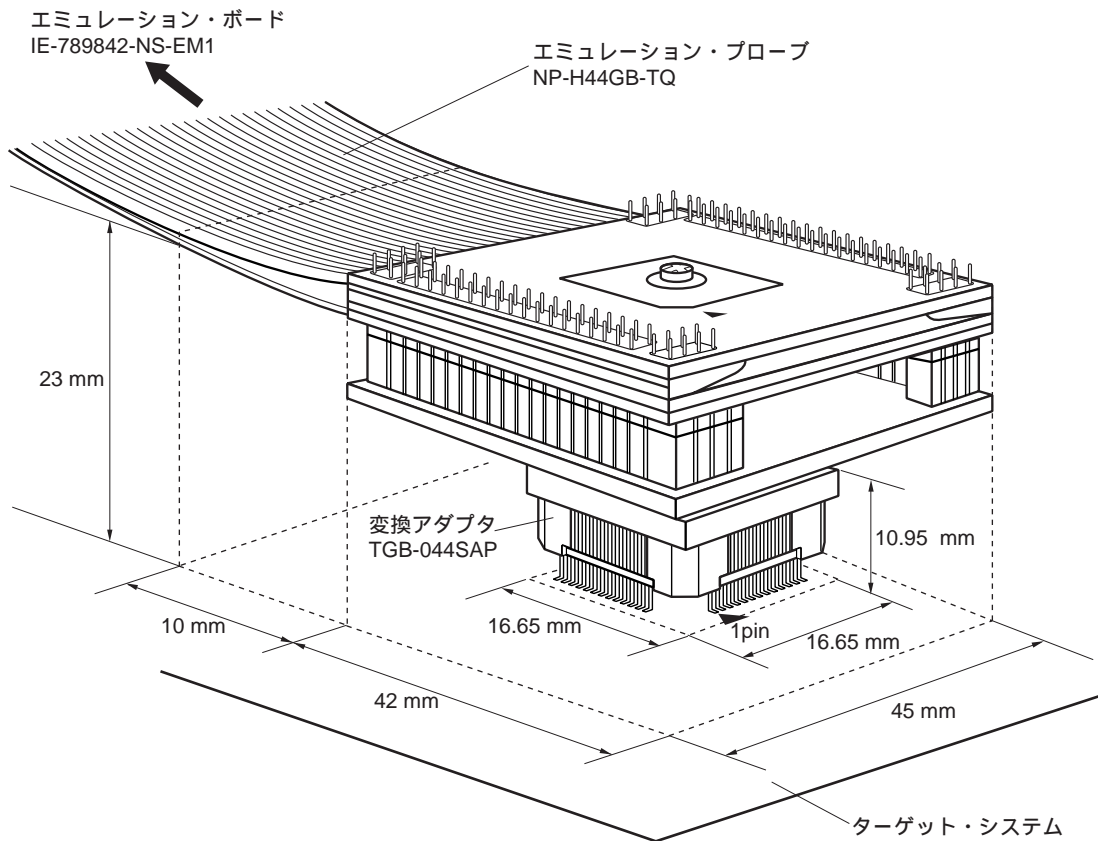


注 NP-44GB-TQの場合の距離です。NP-H44GB-TQの場合は370 mmです。

図B-2 ターゲット・システムの接続条件 (NP-44GB-TQを使用する場合)



図B-3 ターゲット・システムの接続条件 (NP-H44GB-TQを使用する場合)



付録C レジスタ索引

C.1 レジスタ索引 (50音順)

〔あ行〕

アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) ... 127, 132
アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) ... 125, 129, 130
インバータ・タイマ・コントロール・レジスタ7 (TMC7) ... 73
インバータ・タイマ・モード・レジスタ7 (TMM7) ... 74
ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ... 106
A/Dコンバータ・モード・レジスタ (ADM) ... 112
A/D入力選択レジスタ (ADS) ... 113
A/D変換結果レジスタ (ADCRH) ... 110

〔か行〕

外部割り込みモード・レジスタ0 (INTM0) ... 152

〔さ行〕

10ビット・コンペア・レジスタ0 (CM0) ... 71
10ビット・コンペア・レジスタ1 (CM1) ... 71
10ビット・コンペア・レジスタ2 (CM2) ... 71
10ビット・コンペア・レジスタ3 (CM3) ... 72
10ビット乗算データ・レジスタA1 (MRA1H, MRA1L) ... 142
10ビット乗算データ・レジスタB1 (MRB1H, MRB1L) ... 142
10ビット・バッファ・レジスタ0 (BFCM0) ... 72
10ビット・バッファ・レジスタ1 (BFCM1) ... 72
10ビット・バッファ・レジスタ2 (BFCM2) ... 72
10ビット・バッファ・レジスタ3 (BFCM3) ... 72
受信バッファ・レジスタ00 (RXB00) ... 123
乗算器コントロール・レジスタ1 (MULC1) ... 143
スワッピング機能レジスタ0 (SWP0) ... 145
送信シフト・レジスタ00 (TXS00) ... 123

〔た行〕

- タイマ・クロック選択レジスタ2 (TCL2) ... 105
- デッド・タイム・リロード・レジスタ (DTIME) ... 72
- 時計用タイマ・モード・コントロール・レジスタ (WTM) ... 100

〔な行〕

- 20ビット乗算結果レジスタ (MUL1HL, MUL1LH, MUL1LL) ... 142

〔は行〕

- 8ビット・コンペア・レジスタ80 (CR80) ... 85
- 8ビット・コンペア・レジスタ81 (CR81) ... 85
- 8ビット・コンペア・レジスタ82 (CR82) ... 85
- 8ビット・タイマ・モード・コントロール・レジスタ80 (TMC80) ... 86
- 8ビット・タイマ・モード・コントロール・レジスタ81 (TMC81) ... 87
- 8ビット・タイマ・モード・コントロール・レジスタ82 (TMC82) ... 88
- 8ビット・タイマ・カウンタ80 (TM80) ... 85
- 8ビット・タイマ・カウンタ81 (TM81) ... 85
- 8ビット・タイマ・カウンタ82 (TM82) ... 85
- 発振安定時間選択レジスタ (OSTS) ... 160
- プルアップ抵抗オプション・レジスタ0 (PU0) ... 60
- プルアップ抵抗オプション・レジスタB2 (PUB2) ... 61
- プロセッサ・クロック・コントロール・レジスタ (PCC) ... 64
- ポート0 (P0) ... 54
- ポート1 (P1) ... 55
- ポート2 (P2) ... 56
- ポート6 (P6) ... 58
- ポート・モード・レジスタ0 (PM0) ... 59
- ポート・モード・レジスタ1 (PM1) ... 59
- ポート・モード・レジスタ2 (PM2) ... 59, 89
- ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) ... 128, 133

〔わ行〕

- 割り込みマスク・フラグ・レジスタ0 (MK0) ... 151
- 割り込みマスク・フラグ・レジスタ1 (MK1) ... 151
- 割り込み要求フラグ・レジスタ0 (IF0) ... 150
- 割り込み要求フラグ・レジスタ1 (IF1) ... 150

C.2 レジスタ索引 (アルファベット順)

【A】

ASCRH	: A/D変換結果レジスタ ...	110
ADM	: A/Dコンバータ・モード・レジスタ ...	112
ADS	: A/D入力選択レジスタ ...	113
ASIM00	: アシクロナス・シリアル・インタフェース・モード・レジスタ00 ...	125, 129, 130
ASIS00	: アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 ...	127, 132

【B】

BFCM0	: 10ビット・バッファ・レジスタ0 ...	72
BFCM1	: 10ビット・バッファ・レジスタ1 ...	72
BFCM2	: 10ビット・バッファ・レジスタ2 ...	72
BFCM3	: 10ビット・バッファ・レジスタ3 ...	72
BRGC00	: ボー・レート・ジェネレータ・コントロール・レジスタ00 ...	128, 133

【C】

CM0	: 10ビット・コンペア・レジスタ0 ...	71
CM1	: 10ビット・コンペア・レジスタ1 ...	71
CM2	: 10ビット・コンペア・レジスタ2 ...	71
CM3	: 10ビット・コンペア・レジスタ3 ...	72
CR80	: 8ビット・コンペア・レジスタ80 ...	85
CR81	: 8ビット・コンペア・レジスタ81 ...	85
CR82	: 8ビット・コンペア・レジスタ82 ...	85

【D】

DTIME	: デッド・タイム・リロード・レジスタ ...	72
-------	-------------------------	----

【I】

IF0	: 割り込み要求フラグ・レジスタ0 ...	150
IF1	: 割り込み要求フラグ・レジスタ1 ...	150
INTM0	: 外部割り込みモード・レジスタ0 ...	152

【M】

MK0	: 割り込みマスク・フラグ・レジスタ0 ...	151
MK1	: 割り込みマスク・フラグ・レジスタ1 ...	151
MRA1H	: 10ビット乗算データ・レジスタA1 ...	142

MRA1L	: 10ビット乗算データ・レジスタA1	...	142
MRB1H	: 10ビット乗算データ・レジスタB1	...	142
MRB1L	: 10ビット乗算データ・レジスタB1	...	142
MUL1HL	: 20ビット乗算結果レジスタ	...	142
MUL1LH	: 20ビット乗算結果レジスタ	...	142
MUL1LL	: 20ビット乗算結果レジスタ	...	142
MULC1	: 乗算器コントロール・レジスタ1	...	143

【O】

OSTS	: 発振安定時間選択レジスタ	...	160
------	----------------	-----	-----

【P】

P0	: ポート0	...	54
P1	: ポート1	...	55
P2	: ポート2	...	56
P6	: ポート6	...	58
PCC	: プロセッサ・クロック・コントロール・レジスタ	...	64
PM0	: ポート・モード・レジスタ0	...	59
PM1	: ポート・モード・レジスタ1	...	59
PM2	: ポート・モード・レジスタ2	...	59, 89
PU0	: プルアップ抵抗オプション・レジスタ0	...	60
PUB2	: プルアップ抵抗オプション・レジスタB2	...	61

【R】

RXB00	: 受信バッファ・レジスタ00	...	123
-------	-----------------	-----	-----

【S】

SWP0	: スワッピング機能レジスタ0	...	145
------	-----------------	-----	-----

【T】

TCL2	: タイマ・クロック選択レジスタ2	...	105
TM80	: 8ビット・タイマ・カウンタ80	...	85
TM81	: 8ビット・タイマ・カウンタ81	...	85
TM82	: 8ビット・タイマ・カウンタ82	...	85
TMC7	: インバータ・タイマ・コントロール・レジスタ7	...	73
TMC80	: 8ビット・タイマ・モード・コントロール・カウンタ80	...	86
TMC81	: 8ビット・タイマ・モード・コントロール・カウンタ81	...	87
TMC82	: 8ビット・タイマ・モード・コントロール・カウンタ82	...	88

TMM7 : インバータ・タイマ・モード・レジスタ7 ... 74
TXS00 : 送信シフト・レジスタ00 ... 123

【W】

WDTM : ウォッチドッグ・タイマ・モード・レジスタ ... 106
WTM : 時計用タイマ・モード・コントロール・レジスタ ... 100

付録D 改版履歴

★ D.1 本版で改訂された主な箇所

箇 所	内 容
U13776JJ2V0UD00 U13776JJ3V0UD00	
p.25	第2章 端子機能 ・ 2. 2. 12 VPP (μ PD78F9842のみ)の説明を変更
p.37, 38, 47, 51, 52	第3章 CPUアーキテクチャ ・ 図3 - 10 スタック・メモリへ退避されるデータを変更 ・ 図3 - 11 スタック・メモリから復帰されるデータを変更 ・ 3. 4. 2 ショート・ダイレクト・アドレッシングの【記述例】を変更 ・ 3. 4. 6 ベースト・アドレッシングに【図解】を追加 ・ 3. 4. 7 スタック・アドレッシングに【図解】を追加
p.64, 68	第5章 クロック発生回路 ・ 図5 - 2 プロセッサ・クロック・コントロール・レジスタのフォーマットを変更 ・ 5. 5 クロック発生回路の動作の説明を修正
p.89, 95	第7章 8ビット・タイマ/イベント・カウンタ 80, 81, 82 ・ 7. 3 (4) ポート・モード・レジスタ2 (PM2) に説明を追加 ・ 7. 5 8ビット・タイマ/イベント・カウンタ80, 81, 82の注意事項の説明を変更
p.100, 102	第8章 時計用タイマ ・ 図8 - 2 時計用タイマ・モード・コントロール・レジスタのフォーマットに注意2を追加 ・ 図8 - 3 時計用タイマ/インターバル・タイマの動作タイミングに注意を追加
p.117, 120	第10章 A/Dコンバータ ・ 図10 - 6 ソフトウェア・スタートによるA/D変換動作を修正 ・ 10. 5 A/Dコンバータの注意事項に (8) ANI0-ANI7端子の入カインピーダンスについてを追加
p.139	第11章 シリアル・インタフェース ・ 11. 4. 2 (2) (d) 受信の注意を変更
p.146, 147	第14章 割り込み機能 ・ 14. 1 割り込み機能の種類に説明を追加 ・ 表14 - 1 割り込み要因一覧に備考を追加
p.170	第17章 μ PD78F9842を全面改訂
p.191	第19章 電気的特性を追加
p.199	第20章 外形図を追加
p.201	第21章 半田付け推奨条件を追加
p.202	付録A 開発ツールの内容を全面改訂
p.208	付録B ターゲット・システム設計上の注意を追加
旧版 p.196	付録B 組み込み用ソフトウェアを削除
U13776JJ3V0UD00 U13776JJ3V1UD00	
p.14	1.3 オータ情報に鉛フリー製品を追加
p.201	第21章 半田付け推奨条件に鉛フリー製品を追加

D.2 前版までの改版履歴

前版までの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

版数	前版からの改版内容	適用箇所
第2版	μ PD789841, 789842, 78F9842を開発中から開発済みに変更	全般
	フラッシュ・ライターFlashpro を削除	
	表2 - 1 各端子の入出力回路タイプと未使用端子の処理でAVDD, AVSS端子の未使用時の推奨接続方法を追加	第2章 端子機能
	7.2(1) 8ビット・コンペア・レジスタ8n (CR8n) でCR8nの書き換えについての注意事項を追加	第7章 8ビット・タイマ / イベント・カウンタ
	7.4.1 インターバル・タイマとしての動作で操作方法の説明文を修正	
	7.4.2 外部イベント・カウンタとしての動作で操作方法の説明文を修正	
	7.4.3 方形波出力としての動作で操作方法の説明文を修正	
	17.1.4 Flashpro (PG-FP3) での設定例を追加	第17章 μ PD78F9842
付録A 開発ツールを改訂	付録A 開発ツール	

(メモ)

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。
