User's Manual

32

V850E2/PG4-L

ユーザーズマニュアル　ハードウェア編

ルネサスマイクロコンピュータ

V850 シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.02　2014.7

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、
   各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
   家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：　輸送機器（自動車、電車、船舶等）、交通用信号機器、
   防災・防犯装置、各種安全装置等

   当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。 たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。 なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注１において定義された当社の開発、製造製品をいいます。

(2012. 4)

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域にとどまるような場合は，誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については，CMOSデバイスの入力に何も接続しない状態で動作させるのではなく，プルアップかプルダウンによって入力レベルを固定してください。また，未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，当社が出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時，MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合，原則として内部電源を投入した後に外部電源を投入してください。切断の際には，原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により，内部素子に過電圧が印加され，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については，その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に，入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については，その内容を守ってください。

このマニュアルの使い方

対 象 者　このマニュアルは，V850E2/Px4 の機能を理解し，それを用いた応用システムを設計するユーザを対象とします。

目 的　このマニュアルは，次の構成に示す V850E2/Px4 のハードウエア機能をユーザに理解していただくことを目的としています。

構 成　V850E2/Px4 のユーザーズ・マニュアルは，ハードウエア編（このマニュアル）と，アーキテクチャ編「V850E2M ユーザーズマニュアル　アーキテクチャ編」（R01US0001J）の 2 冊に分かれています。

ハードウエア編	アーキテクチャ編
・端子機能	・データ・タイプ
・CPU 機能	・レジスタ・セット
・内蔵周辺機能	・命令形式と命令セット
・フラッシュ・メモリ・プログラミング	・割り込みと例外
	・パイプラインの動作

読 み 方　このマニュアルの読者には，電気，論理回路，およびマイクロコントローラに関する一般知識を必要とします。

一通り V850E2/Px4 の機能を理解しようとするとき

→目次に従ってお読みください。

命令機能の詳細を理解しようとするとき

→別冊の「V850E2M ユーザーズマニュアル　アーキテクチャ編」（R01US0001J）を参照してください。

本マニュアル記載の製品名は，各社の商標または登録商標です。

目　　次

第 1 章　イントロダクション 18

1.1　概説 18
1.2　特徴 19
1.3　機能一覧 22
1.4　応用分野 24
1.5　オーダ情報 24
1.6　端子接続図（Top View） 25
1.7　機能ブロック構成 31
1.7.1　内部ブロック図 31
1.7.2　内部ユニット 32

第 2 章　端子機能 35

2.1　端子機能について 35
2.2　概説 36
2.2.1　用語 37
2.2.2　端子機能の設定 38
2.2.3　端子データ入力／出力 41
2.2.4　ポート制御論理図 43
2.3　ポート・グループ・コンフィギュレーション・レジスタ 44
2.3.1　概要 44
2.3.2　端子機能設定レジスタ 46
2.3.3　端子データ入力 / 出力レジスタ 53
2.3.4　電気的特性の設定 57
2.3.5　ポート・レジスタ保護 59
2.4　ポート・グループの構成 61
2.4.1　ポート／端子一覧 61
2.5　プルアップ抵抗，プルダウン抵抗機能 82
2.5.1　プルアップ抵抗，プルダウン抵抗詳細 82
2.6　ポート 0 86
2.6.1　兼用機能 86
2.6.2　制御レジスター覧 87
2.7　ポート 1 88
2.7.1　兼用機能 88
2.7.2　制御レジスター覧 89
2.8　ポート 2 90
2.8.1　兼用機能 90
2.8.2　制御レジスター覧 91
2.9　ポート 3 92
2.9.1　兼用機能 92
2.9.2　制御レジスター覧 93
2.10　ポート 4 94
2.10.1　兼用機能 94
2.10.2　制御レジスター覧 95
2.11　ポート 5 96
2.11.1　兼用機能 96
2.11.2　制御レジスター覧 97
2.12　ポート 8 98
2.12.1　兼用機能 98
2.12.2　制御レジスター覧 98
2.13　JTAG ポート 0 99

2.13.1 兼用機能 99
2.13.2 制御レジスター覧 99
2.14 端子のノイズ除去機能 100
2.14.1 ノイズ除去機能の詳細 100
2.14.2 制御レジスタ 105
2.15 エッジ検出機能 112
2.15.1 エッジ検出機能の詳細 112
2.15.2 制御レジスタ 113

第 3 章 CPU 機能 114

3.1 概要 115
3.1.1 周辺保護機能 117
3.1.2 注意事項 121
3.1.3 タイミング監視機能 121
3.2 動作モード 122
3.2.1 通常動作モード 122
3.2.2 フラッシュ・プログラミング・モード 122
3.2.3 HALT モード 123
3.3 アドレス空間 124
3.3.1 CPU データ・アドレスと物理プログラムアドレス空間 124
3.3.2 プログラム空間とデータ空間 124
3.4 境界動作条件 126
3.4.1 プログラム空間 126
3.4.2 データ空間 126
3.5 メモリ・マップ 127
3.5.1 DMA アクセス・メモリ・マップ 127
3.5.2 メモリ・マップ 128
3.6 CPU 関連レジスタ 129
3.6.1 CPU 関連レジスタの概要 129
3.6.2 CPU 関連レジスタの詳細 130
3.7 システムエラー通知機能 132
3.7.1 システムエラー通知機能のレジスタの概要 132
3.7.2 システムエラー通知機能のレジスタの詳細 133

第 4 章 割り込み機能 137

4.1 特徴 137
4.2 割り込み要因一覧 139
4.3 割り込みコントローラ制御レジスタ 149
4.3.1 ICxx：EI レベル割り込み制御レジスタ 149
4.3.2 IMRm（m = 0-13）：EI レベル割り込みマスク・レジスタ 157
4.3.3 ISPR：イン・サービス・プライオリティ・レジスタ 165
4.3.4 PMR：プライオリティ・マスク・レジスタ 166
4.3.5 ISPC：イン・サービス・プライオリティ・クリア・レジスタ 167
4.3.6 SCR：選択チャネル保持レジスタ 168
4.3.7 ICSR：割り込みコントローラ・ステータス・レジスタ 169
4.3.8 FNC：FE レベル NMI 制御レジスタ 170
4.3.9 FIC：FE レベルマスカブル割り込み制御レジスタ 171
4.3.10 INTCFGB：FE レベル割り込み切り替えレジスタ 172
4.3.11 INTSTR0B：エラー割り込み要因格納レジスタ 173
4.3.12 INTSTC0B：エラー割り込み要因フラグ・クリア・トリガレジスタ 174
4.3.13 INTSTS0B：エラー割り込み要因フラグ・セット・トリガレジスタ 175
4.4 割り込みの受け付けと復帰 176
4.4.1 FENMI 割り込み要求による FE レベル・ノンマスカブル割り込み 176
4.4.2 FE レベル・ノンマスカブル割り込み（FENMI）からの復帰 178
4.4.3 FEINT 割り込み要求による FE レベル・マスカブル割り込み 178

4.4.4 FE レベル・マスカブル割り込み（FEINT）からの復帰 180
4.4.5 EIINT 割り込み要求による EI レベル・マスカブル割り込み 181
4.4.6 EI レベル・マスカブル割り込み（EIINT）からの復帰 183
4.5 割り込み動作 184
4.5.1 EI レベル・マスカブル割り込み（EIINT）の割り込みマスク機能 184
4.5.2 割り込み優先度判断 185
4.5.3 優先度マスク機能 190
4.5.4 保留割り込み通知機能 191
4.5.5 イン・サービス・プライオリティ・クリア機能 191
4.6 例外ハンドラ・アドレス切り替え機能 192
4.7 割り込み応答時間 192

第 5 章 DMA 機能 193

5.1 DMA 概要 193
5.2 語句の定義 197
5.3 概要 198
5.3.1 DMAC（DMA Controller）の機能 198
5.3.2 DTFR（DMA Trigger Factor Register）の機能 198
5.3.3 DMA アクセス・メモリ・マップ 200
5.3.4 チャネルの優先順位 200
5.4 DMAC 機能 201
5.4.1 特徴 201
5.4.2 設定レジスタ 203
5.4.3 制御レジスタへの書き込み可否 210
5.5 DMAC 制御レジスタ 211
5.5.1 DTRC 0：DMA 転送要求制御レジスタ 0 211
5.5.2 DTRSn（n = 0-7）：DMA 転送要求選択レジスタ 212
5.5.3 DSAnL（n = 0-7）：DMA ソース・アドレス・レジスタ L 213
5.5.4 DSAnH（n = 0-7）：DMA ソース・アドレス・レジスタ H 214
5.5.5 DSCn（n = 0-7）：DMA ソース・チップ・セレクト・レジスタ 215
5.5.6 DNSAnL（n = 0-7）：DMA ネクスト・ソース・アドレス・レジスタ L 216
5.5.7 DNSAnH（n = 0-7）：DMA ネクスト・ソース・アドレス・レジスタ H 217
5.5.8 DNSCn（n = 0-7）：DMA ネクスト・ソース・チップ・セレクト・レジスタ 218
5.5.9 DDAnL（n = 0-7）：DMA デスティネーション・アドレス・レジスタ L 219
5.5.10 DDAnH（n = 0-7）：DMA デスティネーション・アドレス・レジスタ H 220
5.5.11 DDCn（n = 0-7）：DMA デスティネーション・チップ・セレクト・レジスタ 221
5.5.12 DNDAnL（n = 0-7）：DMA ネクスト・デスティネーション・アドレス・レジスタ L 222
5.5.13 DNDAnH（n = 0-7）：DMA ネクスト・デスティネーション・アドレス・レジスタ H 223
5.5.14 DNDCn（n = 0-7）：DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ 224
5.5.15 DTCn（n = 0-7）：DMA 転送カウント・レジスタ 225
5.5.16 DNTCn（n = 0-7）：DMA ネクスト転送カウント・レジスタ 226
5.5.17 DTCCn（n = 0-7）：DMA 転送カウント・コンペア・レジスタ 227
5.5.18 DTCTn（n = 0-7）：DMA 転送制御レジスタ 228
5.5.19 DTSn（n = 0-7）：DMA 転送ステータス・レジスタ 230
5.6 DMAC 機能詳細 232
5.6.1 DMAC 転送の設定フロー 232
5.6.2 DMAC の転送モード 233

5.6.3 DMAC チャネルの優先順位 236
5.6.4 DMAC 転送要求の有効条件 237
5.6.5 ネクスト・アドレス機能 238
5.6.6 DMAC 転送の中断／再開 239
5.6.7 エラー・レスポンス 240
5.7 DTFR 機能 241
5.7.1 特徴 241
5.8 DTFR 制御レジスタ 242
5.8.1 DTFRn（n = 0-7）：DTFRn レジスタ 242
5.8.2 DRQCLR：DMA 要求クリア・レジスタ 243
5.8.3 DRQSTR：DMA 要求確認レジスタ 244

第 6 章 メモリ機能 245

6.1 特徴 246
6.1.1 コード・フラッシュ・メモリ 246
6.1.2 データ・フラッシュ・メモリ 247
6.1.3 内蔵 RAM 247
6.2 プログラミング環境 248
6.3 通信方式 248
6.4 端子処理 249
6.4.1 電源 249
6.4.2 使用端子 249
6.4.3 RESET 端子 249
6.4.4 FLMD0 端子 250
6.4.5 ポート端子 250
6.5 オプション・バイト 251
6.5.1 OPBT0 - オプション・バイト・レジスタ 252
6.6 製品識別情報 253
6.7 FLMD 端子設定 256
6.7.1 レジスタ 256
6.7.2 FLMDCNT レジスタの設定方法 258

第 7 章 クロック発生機能 259

7.1 クロック発生機能の概要 260
7.2 構成 261
7.3 入力クロック選択 262
7.4 クロック発生回路 263
7.5 クロック出力機能（CLKOUT） 264
7.5.1 CLKOUT 用ボー・レート・ジェネレータ回路（BRGA） 264
7.5.2 CLKOUT 用ボー・レート・ジェネレータ回路レジスタ 266
7.6 1 ピン・デバッグ・クロック（LPDCLK） 271
7.7 WDTA0 カウント・クロック（WDTCLKI） 271
7.8 クロック・モニタ A（CLMAn）機能 272
7.8.1 クロック・モニタ CLMAn 機能の特徴 272
7.8.2 CLMA の有効化と起動オプション 273
7.8.3 機能概要 274
7.8.4 機能説明 275
7.8.5 クロック・モニタ A レジスタ 281

第 8 章 リセット・コントローラ 286

8.1 機能概要 286
8.2 機能説明 289
8.2.1 リセット・フラグ 289

8.2.2 低電圧検出回路（LVI） 290
8.2.3 外部 RESET 291
8.2.4 ウォッチドッグ・タイマ・リセット 292
8.2.5 ソフトウエア・リセット 292
8.2.6 クロック・モニタ・リセット 293
8.2.7 自己診断 BIST リセット 294
8.2.8 セーフティ・ガーディアン・リセット 294
8.2.9 リセット・フラグの評価 295
8.2.10 リセット・コントローラ・レジスタ保護 296
8.3 レジスタ 297
8.3.1 リセット・コントローラ・レジスタ概要 297
8.3.2 リセット・コントローラ制御レジスタの詳細 298
8.3.3 ソフトウエア・リセット制御レジスタの詳細 302
8.3.4 保護コマンド・レジスタの詳細 303
8.4 パワーオン・フラグ / 低電圧検出機能 （POF / LVI 機能） 304
8.4.1 POF / LVI 機能の概要 304
8.4.2 動作説明 305
8.4.3 POF/LVI 機能レジスタ概要 308
8.4.4 POF / LVI 制御レジスタの詳細 309

第 9 章 セーフティ機能 313

9.1 周辺バス・アクセス・エラー検出 313
9.2 メモリとアクセス保護 313
9.2.1 メモリとアクセス保護 313
9.3 周辺 I/O バス関連レジスタ 314
9.3.1 周辺 I/O バス関連レジスタの概要 314
9.3.2 周辺 I/O バス関連レジスタの詳細 315
9.4 自己診断 BIST の概略 320
9.4.1 自己診断 BIST SKIP 機能 320
9.4.2 自己診断 BIST 実行中のトグル信号出力機能 321
9.5 自己診断 BIST 関連レジスタ 323
9.5.1 自己診断 BIST 関連レジスタの概要 323
9.5.2 自己診断 BIST 関連レジスタの詳細 324
9.5.3 BSEQ0STCHBT レジスタの設定方法 333
9.6 ECC 関連レジスタ 334
9.6.1 ECC 関連レジスタの概要 334
9.6.2 ECC 関連レジスタの詳細 335
9.7 コンペア・ユニットの自己診断手法 345
9.8 初期化の必要なリソース 347
9.8.1 内蔵 RAM 347
9.8.2 レジスタ 347

第 10 章 セーフティ・ガーディアン（SGA） 351

10.1 SGA の特徴 351
10.2 SGA 機能概要 354
10.3 機能説明 357
10.3.1 SGA の動作状態 357
10.3.2 SGA 構成の概要 358
10.3.3 エラー出力の動作 359
10.3.4 ループ・バック機能 360
10.3.5 疑似エラーの発生 361
10.3.6 エラー状態 362
10.3.7 保護レジスタへの書き込み 363
10.4 レジスタ 364
10.4.1 SGA レジスタの概要 364

10.4.2 SGA レジスタの詳細 367

第 11 章 データ CRC 機能 A（DCRA） 385

11.1 DCRA の特徴 385
11.2 機能の概要 386
11.3 機能の説明 388
11.4 レジスタ 389
11.4.1 DCRA レジスタの概要 389
11.4.2 DCRA レジスタの詳細 390

第 12 章 ウインドウ・ウォッチドッグ・タイマ A（WDTA） 393

12.1 WDTA の特徴 393
12.2 機能概要 395
12.3 機能説明 396
12.3.1 リセット解除後の WDTA 396
12.3.2 WDTA トリガ 397
12.3.3 エラー検出 398
12.3.4 75%割り込み出力 400
12.3.5 ウインドウ機能 401
12.4 レジスタ 402
12.4.1 WDTA レジスタの概要 402
12.4.2 WDTA レジスタの詳細 403

第 13 章 タイマ・アレイ・ユニット B（TAUB） 405

13.1 TAUB の特長 405
13.2 機能概要 408
13.2.1 用語 409
13.3 機能説明 410
13.3.1 タイマ動作機能一覧 411
13.4 基本操作手順 412
13.5 動作モード 413
13.6 チャネル連動動作の概念 414
13.6.1 ルール 414
13.6.2 連動チャネル・カウンタの同時動作開始／停止 416
13.7 一斉書き換え 417
13.7.1 概要 417
13.7.2 一斉書き換えの制御方法 419
13.7.3 一斉書き換えのその他の基本ルール 421
13.7.4 一斉書き換えの種類 422
13.8 チャネル出力モード 428
13.8.1 チャネル出力モードを指定するための基本手順 430
13.8.2 TAUBn 信号により単体制御されるチャネル出力モード 431
13.8.3 TAUBn 信号により連動制御されるチャネル出力モード 432
13.9 各動作モードでのカウント開始タイミング 434
13.9.1 インターバル・タイマ・モード，ジャッジ・モード，
キャプチャ・モード，アップ／ダウン・カウント・モード 434
13.9.2 イベント・モード 435
13.9.3 その他の動作モード 435
13.10 カウント開始／リスタート時の TAUBnTTOUTm 出力と INTTAUBnIm 生成
（TAUBnMD0 ビット） 436
13.11 TAUBnTTINm エッジ検出 438
13.12 チャネル単体動作機能 439
13.13 チャネル単体割り込み機能 439

13.13.1 インターバル・タイマ機能 440
13.13.2 TAUBnTTINm 入力インターバル・タイマ機能 447
13.13.3 ワンパルス出力機能 453
13.14 チャネル単体信号測定機能 458
13.14.1 TAUBnTTINm 入力パルス・インターバル測定機能 459
13.14.2 TAUBnTTINm 入力信号幅測定機能 468
13.14.3 TAUBnTTINm 入力期間カウント検出機能 476
13.14.4 TAUBnTTINm 入力パルス・インターバル判定機能 481
13.14.5 TAUBnTTINm 入力信号幅判定機能 486
13.15 チャネル単体一斉書き換え機能 491
13.15.1 一斉書き換えトリガ生成機能タイプ 1 492
13.16 その他のチャネル単体機能 498
13.16.1 外部イベント・カウント機能 499
13.16.2 クロック分周機能 506
13.16.3 TAUBnTTINm 入力位置検出機能 513
13.17 チャネル連動動作機能 518
13.18 一定間隔でトリガされる連動 PWM 信号機能 518
13.18.1 PWM 出力機能 519
13.18.2 ディレイ・パルス出力機能 530
13.18.3 A/D 変換トリガ出力機能タイプ 1 546
13.19 外部信号でトリガされる連動 PWM 信号機能 548
13.19.1 ワンショット・パルス出力機能 548
13.20 同期三角波 PWM 機能 561
13.20.1 三角波 PWM 出力機能 561
13.20.2 デッド・タイム付き三角波 PWM 出力機能 572
13.20.3 A/D 変換トリガ出力機能タイプ 2 595
13.21 レジスタ 597
13.21.1 TAUBn レジスタの概要 597
13.21.2 TAUBn プリスケーラ・レジスタの詳細 598
13.21.3 TAUBn 制御レジスタの詳細 601
13.21.4 TAUBn 出力レジスタの詳細 613
13.21.5 TAUBn チャネル出力レベル・レジスタの詳細 616
13.21.6 TAUBn 一斉書き換えレジスタの詳細 617

第 14 章 タイマ・アレイ・ユニット J（TAUJ） 620

14.1 TAUJ の特徴 620
14.2 機能概要 622
14.2.1 用語 624
14.3 機能説明 625
14.3.1 タイマ動作機能一覧 626
14.4 基本操作手順 627
14.5 動作モード 628
14.6 チャネル連動動作の概念 629
14.6.1 ルール 629
14.6.2 連動チャネル・カウンタの同時動作開始／停止 631
14.7 一斉書き換え 632
14.7.1 概要 632
14.7.2 一斉書き換えの制御方法 633
14.7.3 一斉書き換えのその他の基本ルール 634
14.7.4 一斉書き換えの方法 635
14.8 チャネル出力モード 637
14.8.1 チャネル出力モードを指定するための基本手順 639
14.8.2 TAUJn 信号により単体制御されるチャネル出力モード 640
14.8.3 TAUJn 信号により連動制御されるチャネル出力モード 640
14.9 各動作モードでのカウント開始タイミング 641
14.9.1 インターバル・タイマ・モード，キャプチャ・モード 641

14.9.2 その他の動作モード 642
14.10 カウント開始／リスタート時の TAUJnTTOUTm 出力と INTTAUJnIm 生成 643
14.11 TAUJnTTINm エッジ検出 644
14.12 チャネル単体動作機能 645
14.12.1 インターバル・タイマ機能 645
14.12.2 TAUJnTTINm 入力インターバル・タイマ機能 652
14.12.3 TAUJnTTINm 入力パルス・インターバル測定機能 658
14.12.4 TAUJnTTINm 入力信号幅測定機能 667
14.12.5 TAUJnTTINm 入力期間カウント検出機能 675
14.12.6 TAUJnTTINm 入力位置検出機能 680
14.13 チャネル連動動作機能 685
14.13.1 PWM 出力機能 686
14.14 レジスタ 697
14.14.1 TAUJn レジスタの概要 697
14.14.2 TAUJn プリスケーラ・レジスタの詳細 698
14.14.3 TAUJn 制御レジスタの詳細 702
14.14.4 TAUJn 出力レジスタの詳細 713
14.14.5 TAUJn チャネル出力レベル・レジスタの詳細 715
14.14.6 TAUJn リロード・データ・レジスタの詳細 716

第 15 章 TSG2（TSG20） 718

15.1 TSG2n の機能 718
15.2 機能の概要 720
15.3 構成 721
15.4 レジスタ 722
15.4.1 TSG2n レジスタの概要 722
15.4.2 TSG2n レジスタの詳細 724
15.5 基本動作 773
15.5.1 16 ビット・カウンタ基本動作 773
15.5.2 コンペア・レジスタの機能 775
15.5.3 コンペア・レジスタの書き換え操作 778
15.5.4 各モード時における出力一覧 785
15.6 一致割り込み 791
15.7 フラグ 794
15.7.1 アップ・カウント・フラグ（TSnCUF, TSnSUF） 795
15.7.2 正相／逆相同時アクティブ検出フラグ（TSnTBF0-TSnTBF2） 797
15.7.3 リロード要求フラグ（TSnRSF） 798
15.7.4 ノイズ検出フラグ（TSnNDF） 799
15.7.5 パターン順序検出フラグ（TSnTSF） 800
15.7.6 パターン・エラー検出フラグ（TSnPEF） 802
15.7.7 パターン反転検出フラグ（TSnPRF） 803
15.7.8 TSG2nPTSI2-TSG2nPTSI0 端子異常トグル検出フラグ（TSnPTF） 804
15.7.9 TSnOPCI0, TSnOPCI1 信号同時トリガ検出フラグ（TSnTDF） 805
15.7.10 パターン位相差異検出フラグ（TSnPPF） 806
15.7.11 タイマ出力パターン・フラグ（TSnOPF2-TSnOPF0） 807
15.7.12 パターン切り替え検出信号（TSnPTE） 808
15.8 割り込み間引き機能 810
15.8.1 割り込み間引き機能の動作 811
15.8.2 山割り込みを発生する場合の動作例（PWM モード時） 815
15.9 A/D 変換トリガ機能 816
15.9.1 A/D 変換トリガの動作 817
15.10 エラー／ワーニング割り込み 823
15.10.1 エラー割り込み機能 823
15.10.2 ワーニング割り込み機能 826
15.11 各モードの動作 827
15.11.1 PWM モード 828

15.11.2 HT-PWM モード
（High accuracy Triangular - Pulse Width Modulation モード） 839
15.11.3 SP-PWM モード
（Shifted-pulse - Pulse Width Modulation モード） 861
15.11.4 120-DC モード 873
15.11.5 ソフトウエア出力制御機能 909

第 16 章 TPBA 911

16.1 TPBAn の機能 911
16.2 機能の概要 912
16.3 構成 913
16.4 レジスタ 914
16.4.1 TPBAn レジスタの概要 914
16.4.2 TPBAn レジスタの詳細 915
16.5 基本動作 928
16.5.1 カウンタ基本動作 928
16.5.2 コンペア・レジスタの書き換え操作 929
16.5.3 デューティの書き換え操作 932
16.5.4 基本動作例 935

第 17 章 OS タイマ（OSTM） 940

17.1 OSTM の特徴 940
17.2 機能概要 942
17.3 機能説明 943
17.3.1 カウント・クロック 943
17.3.2 出力モード 945
17.3.3 割り込み要求の生成 946
17.3.4 タイマの起動と停止 947
17.3.5 インターバル・タイマ・モード 948
17.3.6 フリー・ランニング・コンペア・モード 952
17.4 レジスタ 955
17.4.1 OS タイマ・レジスタの概要 955
17.4.2 OS タイマ・レジスタの詳細 956

第 18 章 エンコーダ・タイマ（ENCA） 966

18.1 ENCA の機能 966
18.2 機能の概要 968
18.2.1 ブロック図 969
18.3 ENCA 制御レジスタ 970
18.4 機能の説明 985
18.4.1 タイマ・カウンタの動作 985
18.4.2 タイマ・カウンタのアップ／ダウン制御 989
18.4.3 タイマ・カウンタ・クリア制御 993
18.4.4 ENCAnCCR0 レジスタの詳細説明 999
18.4.5 ENCAnCCR1 レジスタの詳細説明 1001
18.4.6 タイマ・カウンタの起動／停止 1005
18.5 設定の順序 1006
18.5.1 エンコーダ・タイマの設定手順 1006
18.6 エンコーダ動作図 1009

第 19 章 タイマ・オプション機能（TAPA） 1015

19.1 タイマ・オプション機能の特徴 1015

19.2 機能概要 1022
19.2.1 ブロック図 1022
19.2.2 タイマ・カウンタの「山」と「谷」,「山割り込み」と「谷割り込み」について 1023
19.3 レジスタ 1024
19.3.1 レジスタの概要 1024
19.3.2 レジスタの詳細 1025
19.4 基本動作説明 1030
19.4.1 Hi-Z 制御機能 1030
19.4.2 端子入力に対応した非同期 Hi-Z 制御 1031
19.4.3 INT 信号出力選択機能 1037
19.4.4 A/D コンバータ変換トリガ選択機能 1040

第 20 章 CAN コントローラ（FCN） 1045

20.1 FCN 機能 1045
20.2 特徴 1047
20.2.1 機能の概要 1048
20.2.2 構成 1049
20.3 FCN の内部レジスタ 1050
20.3.1 CAN コントローラの構成 1050
20.3.2 CAN コントローラ・レジスタの概要 1051
20.3.3 レジスタのビット構成 1053
20.4 ビットのセット／クリア機能 1059
20.5 制御レジスタ 1061
20.5.1 FCN グローバル・レジスタ 1061
20.5.2 FCN モジュール・レジスタ 1069
20.5.3 FCN メッセージ・バッファ・レジスタ 1092
20.6 CAN コントローラの初期化 1103
20.6.1 FCN モジュールの初期化 1103
20.6.2 メッセージ・バッファの再定義 1103
20.6.3 初期化モードから動作モードへの移行 1105
20.7 メッセージ受信 1106
20.7.1 メッセージの受信 1106
20.7.2 受信データの読み出し 1107
20.7.3 受信ヒストリ・リスト機能 1108
20.7.4 マスク機能 1111
20.7.5 マルチ・バッファ受信ブロック機能 1113
20.7.6 リモート・フレームの受信 1115
20.8 メッセージ送信 1117
20.8.1 メッセージの送信 1117
20.8.2 送信ヒストリ・リスト機能 1119
20.8.3 自動ブロック送信機能（ABT） 1122
20.8.4 送信中断処理 1124
20.8.5 リモート・フレームの送信 1125
20.9 パワー・セーブ・モード 1126
20.9.1 FCN スリープ・モード 1126
20.9.2 FCN ストップ・モード 1129
20.9.3 パワー・セーブ・モードの使用例 1130
20.10 割り込み機能 1132
20.11 診断機能と特殊な動作モード 1133
20.11.1 受信オンリー・モード 1133
20.11.2 シングル・ショット・モード 1135
20.11.3 セルフ・テスト・モード 1136
20.11.4 各動作モードでの送受信動作 1137
20.12 タイム・スタンプ機能 1138
20.12.1 タイム・スタンプ機能 1138

20.13 ボー・レートの設定 1140
20.13.1 ボー・レートの設定条件 1140
20.13.2 代表的なボー・レートの設定例 1143
20.14 CAN コントローラの動作 1147
20.14.1 初期化 1147
20.14.2 メッセージの送信 1153
20.14.3 メッセージの受信 1168
20.14.4 パワー・セーブ・モード 1173

第 21 章 クロック同期シリアル・インタフェース G（CSIG） 1180

21.1 CSIG の特徴 1180
21.2 機能の概要 1182
21.3 機能の説明 1184
21.3.1 マスタ／スレーブ・モード 1184
21.3.2 マスタ／スレーブの接続 1186
21.3.3 シリアル通信クロックの選択 1187
21.3.4 データ転送モード 1188
21.3.5 データ長の選択 1189
21.3.6 シリアル・データ方向の選択 1191
21.3.7 スレーブ・モードでの通信 1193
21.3.8 CSIG の割り込み要求 1194
21.3.9 ハンドシェーク機能 1197
21.3.10 ループ・バック・モード 1200
21.3.11 エラー検出 1201
21.4 CSIG 制御レジスタ 1206
21.5 操作手順の例 1220

第 22 章 同期／非同期シリアル・インタフェース H（UARTH） 1222

22.1 UARTHn の機能 1222
22.2 機能の概要 1224
22.3 構成 1225
22.4 UARTHn レジスタ 1226
22.5 割り込み要求信号 1255
22.5.1 送信割り込み要求 URTHnTIT 1255
22.5.2 受信割り込み要求 URTHnTIR 1256
22.5.3 ステータス割り込み要求 URTHnTIS 1256
22.6 動作 1257
22.6.1 データ・フォーマット 1257
22.6.2 クロック同期モード 1259
22.6.3 ハンドシェイク・モード 1260
22.6.4 2 フレーム連続転送モード 1262
22.6.5 拡張ビット検出機能 / ID 比較一致検出機能 1264
22.6.6 BF の送信／受信フォーマット 1266
22.6.7 BF の送信 1268
22.6.8 BF の受信 1269
22.6.9 送信データー貫性チェック 1270
22.6.10 UARTHn 送信 1271
22.6.11 連続送信の手順 1272
22.6.12 UARTHn 受信 1274
22.6.13 受信エラー 1276
22.6.14 パリティの種類と動作 1277
22.6.15 デジタル受信データ・ノイズ・フィルタ 1278
22.7 ボー・レート・ジェネレータ 1279
22.8 LIN 通信スレーブ動作ボー・レート検出機能 1280

第 23 章　A/D コンバータ 1281

23.1　ADCA の特徴 1281
23.2　機能概要 1284
23.3　機能説明 1286
23.3.1　基本動作 1287
23.3.2　クロックの使用 1288
23.3.3　チャネルとチャネル・グループ 1289
23.3.4　A/D 変換モード 1290
23.3.5　A/D 変換の開始（起動トリガ） 1294
23.3.6　A/D 変換の停止（停止トリガ） 1296
23.3.7　分解能，サンプリング時間と変換時間 1297
23.3.8　割り込み発生 1299
23.3.9　A/D 変換結果の格納 1300
23.3.10　変換結果確認機能 1303
23.3.11　自己診断機能 1305
23.3.12　チャネル S/H 機能 1313
23.3.13　ディスチャージ機能 1318
23.3.14　バッファ・アンプ機能 1319
23.3.15　安定制御 1319
23.4　レジスタ 1320
23.4.1　ADCAn レジスタの概要 1320
23.4.2　制御レジスタ 1322
23.4.3　**変換状態レジスタ** 1331
23.4.4　ソフトウエア・トリガ・レジスタ 1335
23.4.5　A/D 変換結果レジスタ 1336
23.4.6　A/D 変換結果上下限比較レジスタ 1344
23.4.7　診断機能制御レジスタ 1348
23.4.8　チャネル S/H 機能設定レジスタ 1351
23.5　使用上の注意事項 1352
23.5.1　チャネル入力電圧の範囲 1352
23.5.2　変換動作の停止 1352
23.5.3　チャネル S/H 機能使用時の制限事項 1352
23.5.4　アプリケーション設計上の注意事項 1352
23.6　A/D コンバータ特性表の読み方 1356

第 24 章　Peripheral Interconnection（PIC） 1363

24.1　Peripheral Interconnection 機能特徴 1363
24.2　機能概要 1363
24.3　Peripheral Interconnection レジスタ 1364
24.3.1　PIC 機能の動作開始 1366
24.4　接続機能 1367
24.4.1　同時スタート・トリガ機能 1367
24.4.2　ADC トリガ選択機能 1374
24.4.3　デッドタイム付き高精度三角波 PWM 出力機能 1382
24.4.4　トリガ・パルス幅測定機能 1413
24.4.5　エンコーダ・キャプチャ・トリガ選択機能 1428
24.4.6　2 相エンコーダ制御機能（制御方式 1） 1438
24.4.7　2 相エンコーダ制御機能（制御方式 2） 1449
24.4.8　3 相エンコーダ制御機能 1460
24.4.9　CAN タイムスタンプ機能 1469
24.4.10　TSG20 ＋ TAUB0 デッドタイム縮小機能 1471
24.4.11　TAUB 入力選択機能 1483

第 25 章　オンチップ・デバッグ機能 1488

25.1 機能概要 1488
25.2 オンチップ・デバッグ・エミュレータとの接続 1491
25.3 オンチップ・デバッグ時の注意事項 1494

第 26 章 電源構成 1497

第 27 章 電気的特性 1498

27.1 絶対最大定格 1498
27.2 容量 1499
27.3 動作条件 1499
27.4 発振回路特性 1500
27.4.1 発振回路特性 1500
27.4.2 Internal OSC 特性 1500
27.5 DC 特性 1501
27.6 AC 特性 1504
27.6.1 測定条件 1504
27.6.2 クロック・タイミング（CLKOUT） 1505
27.6.3 電源投入／遮断タイミング 1506
27.6.4 レギュレータ 1508
27.6.5 リセット・タイミング 1509
27.6.6 割り込みタイミング 1510
27.6.7 ESOn タイミング 1511
27.6.8 ADCA0TRGn タイミング 1511
27.6.9 タイマ・タイミング 1512
27.6.10 CSIGn タイミング 1513
27.6.11 UARTHn タイミング 1519
27.6.12 CAN タイミング 1526
27.6.13 NEXUS インタフェースタイミング 1527
27.6.14 LPD インタフェース 1528
27.6.15 A/D コンバータ特性 1529
27.6.16 POF ／ LVI 特性 1534
27.6.17 フラッシュ・メモリ・プログラミング特性 1536
27.6.18 FLMD0 パルス・タイミング特性 1537
27.6.19 自己診断 BIST 実行時間 1539

第 1 章 イントロダクション

V850E2/PG4-L は，ルネサスエレクトロニクスのシングルチップ・マイクロコンピュータ「V850 シリーズ」の 1 製品です。この章では，V850E2/PG4-L の概要を説明します。R01UH0336JJ0102

1.1 概説

この製品は，V850 シリーズの「V850E2M」CPU を使用し，ROM，RAM，DMA コントローラ，PWM タイマをはじめとする各種タイマ，CAN を含めた各種シリアル・インタフェース，A/D コンバータなどの周辺機能を内蔵し，高速演算による高精度なモータ制御に最適な 32 ビット・シングルチップ・マイクロコンピュータです。

(1) 「V850E2M」CPU 搭載

この製品は「V850E2M」CPU を 2 ユニット搭載しており，ひとつは通常動作用の Master CPU として，もうひとつは Master CPU の動作を監視する Checker CPU として機能します。2 つの CPU はロックステップで動作します。
「V850E2M」CPU は，RISC 型命令セットをサポートしており，1 命令を 1 クロックで実行する基本命令と，最適化された 7 段パイプラインにより，命令実行速度を飛躍的に向上させています。さらにディジタル・サーボ制御の応用に最適な命令として，32 ビットのハードウエア乗算器による乗算命令，飽和積和演算命令，ビット操作命令などもサポートしています。
また，2 バイト長の基本命令，高級言語対応命令などにより，C コンパイラでのオブジェクト・コード効率を高めており，プログラム・サイズのコンパクト化を実現します。さらに，内蔵割り込みコントローラでの処理を含む割り込み応答時間も高速なため，高度なリアルタイム制御分野に適しています。

(2) フラッシュ・メモリ，データ・フラッシュ・メモリ内蔵

この製品は，高速アクセス可能なフラッシュ・メモリを内蔵しており，アプリケーション・システム上に実装したままプログラムの書き換えが可能です。そのためシステム開発期間の短縮が実現できるとともに，システム出荷後のメンテナンス性を飛躍的に向上させることができます。
また，データ・フラッシュ・メモリを 16K バイト搭載しており，代表的な例として EEPROM の代わりに使用することも可能です。

(3) 開発環境製品群

この製品は，最適化 C コンパイラ，デバッガ，インサーキット・エミュレータ，システム・パフォーマンス・アナライザ，リアルタイム OS などの統合された開発環境も用意しています。
また，Nexus 機能によるリアルタイムでのデバッグが可能です。

(4) 保護機能

CPU の高信頼性動作を保証するために，メモリ保護機能，周辺装置保護機能，システム・レジスタ保護機能，タイミング監視機能があります。

1.2 特徴

CPU コア V850E2M：2 ユニット（ロックステップ動作）

通常動作用 CPU コア（Master CPU）と通常動作用 CPU コアの動作を監視する CPU コア（Checker CPU）を搭載

命令数 通常命令：98
デバッグ命令：3

最小命令実行時間 20.83 ／ 15.625 ／ 12.5ns（内部 48 ／ 64 ／ 80MHz 動作時）

汎用レジスタ 32 ビット × 32 本

命令セット V850E2v3

符号付き乗算（32 ビット × 32 ビット→ 64 ビット）：1-2 CPU クロック
飽和演算命令（オーバフロー／アンダフロー検出機能付き）
32 ビット算術／論理シフト命令：1 CPU クロック
ビット操作命令
ロング／ショート形式を持つロード／ストア命令
符号付きロード命令

メモリ空間 512M バイト・アドレス空間（プログラム／データ共有）

内蔵メモリ

フラッシュ・メモリ	：384K バイト
データ・フラッシュ	：16K バイト
RAM	：24K バイト

割り込み / 例外

全割り込み	：131 要因
外部割込み	：最大　10 本
内部割込み	：最大 110 要因
ソフトウエア割り込み	：11 要因
例外	：21 要因

16 レベルの優先順位指定可能

DMA コントローラ 8 チャネル構成
転送単位 : 8 ビット／16 ビット／32 ビット／128 ビット
最大転送回数 : 32768（2^{15}）回
転送タイプ : 2 サイクル転送（デュアル・アドレス転送）
転送モード : シングル転送／シングルステップ転送
転送対象 : 周辺 I/O ←→周辺 I/O，RAM ←→周辺 I/O，RAM ←→ RAM，
周辺 I/O ← FLASH，RAM ← FLASH，周辺 I/O ← D-FLASH，
RAM ← D-FLASH
転送要求 : 周辺 I/O ／ソフトウエア
ネクスト・アドレス設定機能

I/O 入出力ポート：46 本
ソフトウエア・プルアップ機能：46 本

タイマ機能 タイマ・アレイ・ユニット B（TAUB）：16ch × 1unit
独立した，16 チャネルの 16bit カウンタと専用のプリスケーラを内蔵したタイマ・ユニット
タイマ・アレイ・ユニット J（TAUJ）：4ch × 1unit
独立した，4 チャネルの 32bit カウンタと専用のプリスケーラを内蔵したタイマ・ユニット
TSG2：1unit
モータ制御に適したタイマ・ユニット
タイマ・パターン・バッファ（TPBA）：1unit
Duty，周期設定に適したタイマ・ユニット
エンコーダ・タイマ（ENCA）：1unit
2 相エンコーダ制御に適したタイマ・ユニット
OS タイマ（OST）：2unit
OS 使用を想定した 32bit のフリーラン・インターバル・タイマ。タイマ出力機能
ウィンドウ・ウォッチドッグ・タイマ（WDTA0）
・ウィンドウ・ウォッチドッグ機能：ウィンドウ &75% 割り込み
・エラー検出によるリセット，もしくは，FENMI/FEINT の発生

シリアル・インタフェース（SIO）	同期／非同期シリアル・インタフェース H（UARTH）：2ch ・同期／非同期切り替え可能 ・LIN 通信スレーブとして使用可能 クロック同期式シリアル・インタフェース（CSIG）：2ch CAN インタフェース：2ch（32msg）
A/D コンバータ	12 ビット分解能 A/D コンバータ： 18ch（S/H6ch + 12ch）× 1 unit
内部接続機能	Peripheral Interconnection（PIC）：1unit 各タイマや周辺 I/O を接続し，連動動作（同時スタートなど）が可能
強制出力停止機能	タイマ・オプション・ユニット（TAPA）：2unit TAUB，TSG2 タイマの Hi-Z 制御を行うユニット
クロック発生機能	PLL クロック・シンセサイザによる逓倍機能 クロック出力機能
ボー・レート・ジェネレータ（BRG）	使用条件にあわせた動作クロックを設定可能
データ CRC 機能	データ CRC（データ巡回冗長検査）は，様々な長さで異なるビット幅の CRC で保護されたデータ・ストリームを検証または生成可能
セーフティ機能	フラッシュ・メモリ ECC エラー検出機能 RAM ECC エラー検出機能 発振停止検出機能 Build In Self Test（BIST）機能 セーフティ・ガーディアン機能（SGA）
スタンバイ機能	HALT モード
POF/LVI 機能	電源電圧の異常を検出可能
オンチップ・デバッグ	Nexus：1ch LPD（1 ピン・デバッグ）：1ch
パッケージ	100 ピン・プラスチック LQFP（0.5 mm ピッチ）（14 × 14）

1.3 機能一覧

シリーズ名			V850E2/PG4-L	
製品			μPD70F4154	μPD70F4155
内蔵メモリ	コード・フラッシュ		384K バイト	384K バイト
	データ・フラッシュ		16K バイト	16K バイト
	RAM		24K バイト	24K バイト
動作周波数	Ta：最高 125 ℃		最大 80MHz	最大 80MHz
発振周波数			16MHz	8MHz
ボー・レート・ジェネレータ（BRG）			1unit	1unit
DMA			8ch	8ch
タイマ	ユニット機能	TSG2	1unit	1unit
		TAUB	1unit	1unit
		TAUJ	1unit	1unit
		OST	2unit	2unit
		WDTA	1unit	1unit
		ENCA	1unit	1unit
		TPBA	1unit	1unit
		TAPA	2unit	2unit
		PIC	1unit	1unit
シリアル・インタフェース	同期／非同期 UARTH		2ch	2ch
	CSIG		2ch	2ch
	CAN（メッセージ数）		2ch（32msg）	2ch（32msg）
A/D コンバータ	分解能		12 ビット	12 ビット
	入力チャネル		18ch（S/H6ch + 12ch）	18ch（S/H6ch + 12ch）
割り込み	外部		10 本	10 本
	内部		110 本	110 本
	ソフトウエア		11 本	11 本
I/O ポート	入出力		46 本	46 本
Nexus			1ch	1ch
LPD（1 ピン・デバッグ）			1ch	1ch
データ CRC（DCRA）			2ch	2ch
セーフティ・ガーディアン機能（SGA）			1ch	1ch
パワーオン・フラグ			あり	あり
低電圧検出			あり	あり
自己診断 BIST-SKIP 機能			あり	あり

シリーズ名			V850E2/PG4-L	
製品			μPD70F4154	μPD70F4155
電源電圧	内部用		3.0V － 5.5V	3.0V － 5.5V
		内蔵 Reg.	あり	あり
	インタフェース用		3.0V － 5.5V	3.0V － 5.5V
	A/D コンバータ用		4.2V － 5.5V	4.2V － 5.5V
	フラッシュ書き換え用		3.0V － 5.5V	3.0V － 5.5V
パッケージ			100 ピン LQFP0.5mm ピッチ 14 × 14mm □ 1.4mm 厚	100 ピン LQFP0.5mm ピッチ 14 × 14mm □ 1.4mm 厚

1.4 応用分野

- 電装分野（モータ制御システム，電気自動車など）

1.5 オーダ情報

品 名	パッケージ	内蔵 ROM	品質水準	動作周囲温度（T_A）	外付け発振子	最大動作周波数
µPD70F4154GC(A2)-UEU-AX	100 ピン (0.5mm ピッチ) (14 × 14)1.4mm 厚	フラッシュ・メモリ	特別	-40 ～ +125 ℃	16MHz	80MHz
µPD70F4155GC(A2)-UEU-AX					8MHz	80MHz

備考 上記製品は，鉛フリー対応製品です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」（資料番号 C11531J）をご覧ください。この資料中には旧社名の表記が残っている部分がありますが，当社の資料として有効です。

1.6　端子接続図（Top View）

μPD70F4154，μPD70F4155 製品

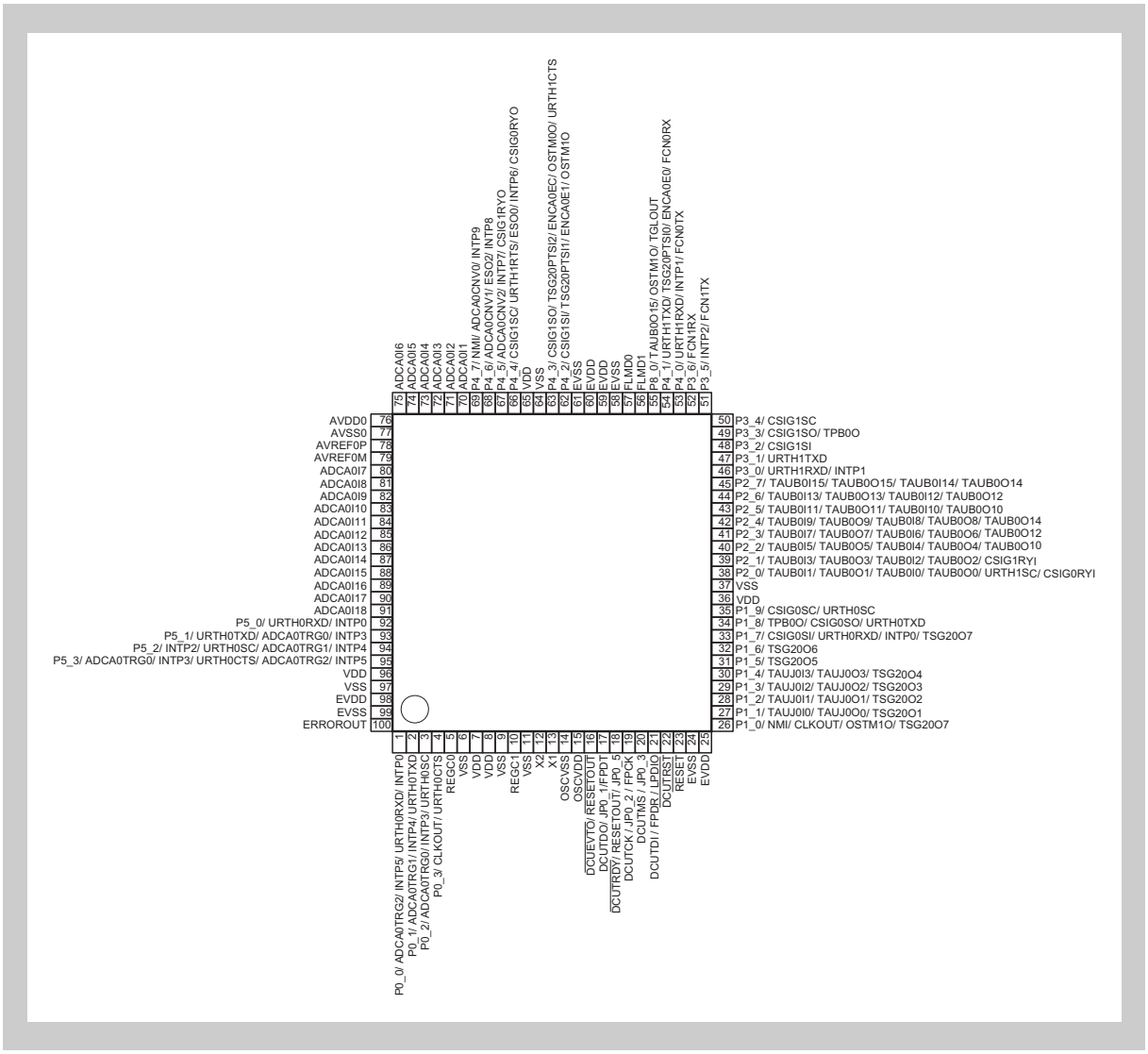


表 1-1 端子番号と端子名の対応表 (1/3)

端子番号	端子名	I/O
1	P0_0 / ADCA0TRG2 / INTP5 / URTH0RXD / INTP0	I/O
2	P0_1 / ADCA0TRG1 / INTP4 / URTH0TXD	I/O
3	P0_2 / ADCA0TRG0 / INTP3 / URTH0SC	I/O
4	P0_3 / CLKOUT / URTH0CTS	I/O
5	REGC0	V
6	VSS	G
7	VDD	V
8	VDD	V
9	VSS	G
10	REGC1	V
11	VSS	G
12	X2	O
13	X1	I
14	OSCVSS	G
15	OSCVDD	V
16	$\overline{\text{DCUEVTO}}$ / $\overline{\text{RESETOUT}}$	O
17	DCUTDO / JP0_1/FPDT	I/O
18	$\overline{\text{DCUTRDY}}$ / RESETOUT / JP0_5	I/O
19	DCUTCK / JP0_2 / FPCK	I/O
20	DCUTMS / JP0_3	I/O
21	DCUTDI / FPDR / LPDIO	I/O
22	$\overline{\text{DCUTRST}}$	I
23	$\overline{\text{RESET}}$	I
24	EVSS	G
25	EVDD	V
26	P1_0 / NMI / CLKOUT / OSTM1O / TSG20O7	I/O
27	P1_1 / TAUJ0I0 / TAUJ0O0 / TSG20O1	I/O
28	P1_2 / TAUJ0I1 / TAUJ0O1 / TSG20O2	I/O
29	P1_3 / TAUJ0I2 / TAUJ0O2 / TSG20O3	I/O
30	P1_4 / TAUJ0I3 / TAUJ0O3 / TSG20O4	I/O
31	P1_5 / TSG20O5	I/O
32	P1_6 / TSG20O6	I/O
33	P1_7 / CSIG0SI / URTH0RXD / INTP0 / TSG20O7	I/O
34	P1_8 / TPB0O / CSIG0SO / URTH0TXD	I/O
35	P1_9 / CSIG0SC / URTH0SC	I/O
36	VDD	V
37	VSS	G

表 1-1 端子番号と端子名の対応表 (2/3)

端子番号	端子名	I/O
38	P2_0 / TAUB0I1 / TAUB0O1 / TAUB0I0 / TAUB0O0 / URTH1SC / CSIG0RYI	I/O
39	P2_1 / TAUB0I3 / TAUB0O3 / TAUB0I2 / TAUB0O2 / CSIG1RYI	I/O
40	P2_2 / TAUB0I5 / TAUB0O5 / TAUB0I4 / TAUB0O4 / TAUB0O10	I/O
41	P2_3 / TAUB0I7 / TAUB0O7 / TAUB0I6 / TAUB0O6 / TAUB0O12	I/O
42	P2_4 / TAUB0I9 / TAUB0O9 / TAUB0I8 / TAUB0O8 / TAUB0O14	I/O
43	P2_5 / TAUB0I11 / TAUB0O11 / TAUB0I10 / TAUB0O10	I/O
44	P2_6 / TAUB0I13 / TAUB0O13 / TAUB0I12 / TAUB0O12	I/O
45	P2_7 / TAUB0I15 / TAUB0O15 / TAUB0I14 / TAUB0O14	I/O
46	P3_0 / URTH1RXD / INTP1	I/O
47	P3_1 / URTH1TXD	I/O
48	P3_2 / CSIG1SI	I/O
49	P3_3 / CSIG1SO / TPB0O	I/O
50	P3_4 / CSIG1SC	I/O
51	P3_5 / INTP2 / FCN1TX	I/O
52	P3_6 / FCN1RX	I/O
53	P4_0 / URTH1RXD / INTP1 / FCN0TX	I/O
54	P4_1 / URTH1TXD / TSG20PTSI0 / ENCA0E0 / FCN0RX	I/O
55	P8_0 / TAUB0O15 / OSTM1O / TGLOUT	I/O
56	FLMD1	I
57	FLMD0	I
58	EVSS	G
59	EVDD	V
60	EVDD	V
61	EVSS	G
62	P4_2 / CSIG1SI / TSG20PTSI1 / ENCA0E1 / OSTM1O	I/O
63	P4_3 / CSIG1SO / TSG20PTSI2 / ENCA0EC / OSTM0O / URTH1CTS	I/O
64	VSS	G
65	VDD	V
66	P4_4 / CSIG1SC / URTH1RTS / ESO0 / INTP6 / CSIG0RYO	I/O
67	P4_5 / ADCA0CNV2 / INTP7 / CSIG1RYO	I/O
68	P4_6 / ADCA0CNV1 / ESO2 / INTP8	I/O
69	P4_7 / NMI / ADCA0CNV0 / INTP9	I/O
70	ADCA0I1	I
71	ADCA0I2	I
72	ADCA0I3	I
73	ADCA0I4	I
74	ADCA0I5	I

表 1-1 端子番号と端子名の対応表 (3/3)

端子番号	端子名	I/O
75	ADCA0I6	I
76	AVDD0	V
77	AVSS0	G
78	AVREF0P	I
79	AVREF0M	I
80	ADCA0I7	I
81	ADCA0I8	I
82	ADCA0I9	I
83	ADCA0I10	I
84	ADCA0I11	I
85	ADCA0I12	I
86	ADCA0I13	I
87	ADCA0I14	I
88	ADCA0I15	I
89	ADCA0I16	I
90	ADCA0I17	I
91	ADCA0I18	I
92	P5_0 / URTH0RXD / INTP0	I/O
93	P5_1 / URTH0TXD / ADCA0TRG0 / INTP3	I/O
94	P5_2 / INTP2 / URTH0SC / ADCA0TRG1 / INTP4	I/O
95	P5_3 / ADCA0TRG0 / INTP3 / URTH0CTS / ADCA0TRG2 / INTP5	I/O
96	VDD	V
97	VSS	G
98	EVDD	V
99	EVSS	G
100	ERROROUT	O

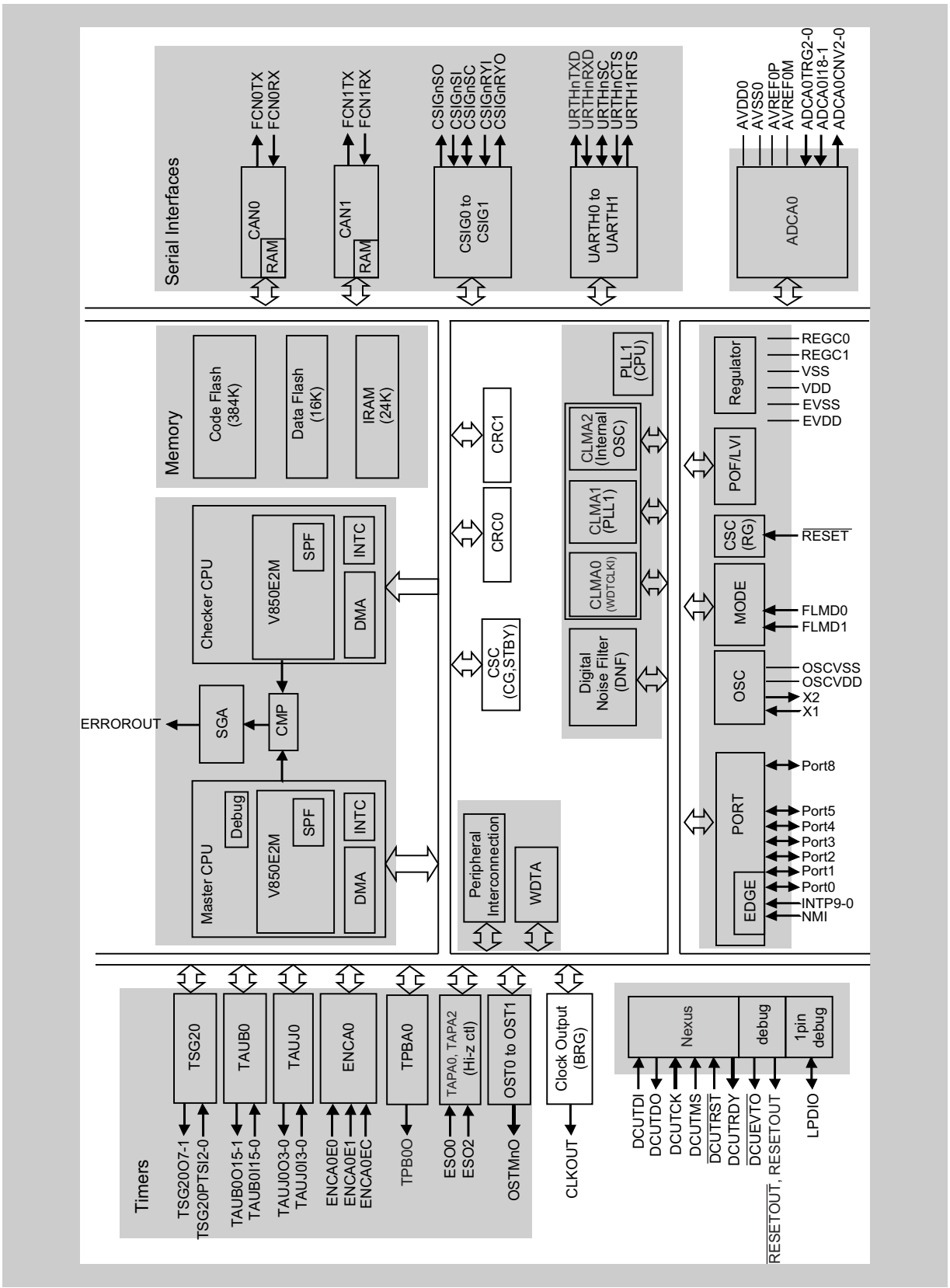
端子名称

ADCA0I1 - ADCA0I18	:	Analog Input
ADCA0TRG0 - ADCA0TRG2	:	ADC trigger Input
ADCA0CNV0 - ADCA0CNV2	:	ADC status Output
AVDD0	:	Analog Power Supply
AVREF0P	:	Analog Reference Voltage (positive)
AVREF0M	:	Analog Reference Voltage (minimal)
AVSS0	:	Analog Ground
CLKOUT	:	Clock Output
CPUPLLVDD	:	CPU PLL Power Supply
CPUPLLVSS	:	CPU PLL Ground
CSIG0SC, CSIG1SC	:	Serial Clock
CSIG0SI, CSIG1SI	:	Serial Input
CSIG0SO, CSIG1SO	:	Serial Output
CSIG0RYI, CSIG1RYI	:	Serial Ready/Busy Input Signal
CSIG0RYO, CSIG1RYO	:	Serial Ready/Busy Output Signal
$\overline{\text{DCUEVTO}}$	:	Nexus Event Output
DCUTCK	:	Nexus Input Clock
DCUTDI	:	Nexus Input
DCUTDO	:	Nexus Output
DCUTMS	:	Nexus Mode Select
$\overline{\text{DCUTRDY}}$	:	Nexus Ready Output
$\overline{\text{DCUTRST}}$	:	Nexus Reset Input
ENCA0E0, ENCA0E1	:	Timer Encoder Count Pulse Input
ENCA0EC	:	Timer Encoder Clear Input
ERROROUT	:	Error Output Signal
ESO0, ESO2	:	Timer Output Compulsion Stop Input
EVDD	:	I/O / CODE Flash / DATA Flash Memory Power Supply
EVSS	:	I/O / CODE Flash / DATA Flash Memory Ground
FCN0RX, FCN1RX	:	Receive Data for Controller Area Network
FCN0TX, FCN1TX	:	Transmit Data for Controller Area Network
FLMD0	:	Flash Programming Mode
FLMD1	:	Flash Programming Mode
FPDR	:	Receive or Transmit Data for Flash writing in (UART) or Serial Input for Flash writing in (CSI)
FPCK	:	Serial Clock for Flash writing in (CSI)
FPDT	:	Serial Output for Flash writing in (CSI)

INTP0-INTP9	: External Interrupt Input
JP0_1 - JP0_3, JP0_5	: PortJP0 (JTAG)
LPDIO	: **1pin debug Input / Output**
NMI	: Non-maskable Interrupt Input
OSTM0O, OSTM1O	: Operation System Timer Output
OSCVDD	: OSC Power Supply
OSCVSS	: OSC Ground
P0_0 - P0_3	: Port0
P1_0 - P1_9	: Port1
P2_0 - P2_7	: Port2
P3_0 - P3_6	: Port3
P4_0 - P4_7	: Port4
P5_0 - P5_3	: Port5
P8_0	: Port8
REGC0, REGC1	: Capacitor for Internal Voltage Regulator
$\overline{\text{RESET}}$	: Reset Input
$\underline{\text{RESETOUT}}$, RESETOUT	: Reset Output
TAUB0I0-TAUB0I15, TAUJ0I0-TAUJ0I3	: Timer Input
TAUB0O0-TAUB0O15, TAUJ0O0-TAUJ0O3	: Timer Output
TGLOUT	: **Toggle Signal Output**
TPB0O	: Timer Pattern Buffer Pulse Output
TSG20O1-TSG20O7	: Timer Pulse Output
TSG20PTSI0-TSG20PTSI2	: Timer Pattern Input
URTH0RXD, URTH1RXD	: Receive Data
URTH0TXD, URTH1TXD	: Transmit Data
URTH0SC, URTH1SC	: UART Input Clock
URTH0CTS, URTH1CTS	: UART Clear To Send (Input)
URTH1RTS	: UART Request To Send (Output)
VDD	: Power Supply for Internal Voltage Regulator
VSS	: Ground for Internal Voltage Regulator
X1, X2	: Crystal

1.7 機能ブロック構成

1.7.1 内部ブロック図



1.7.2 内部ユニット

(1) CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を 7 段パイプライン制御により 1 クロックで実行できます。
乗算器（16 ビット × 16 ビット→ 32 ビット，または 32 ビット × 32 ビット→ 64 ビット），バレル・シフタ（32 ビット）などの専用ハードウエアを内蔵し，複雑な命令処理の高速化を図っています。

(2) DMA コントローラ（DMAC）

CPU の代わりにメモリ，周辺 I/O 間でのデータの転送を行います。転送モードには，シングル転送，シングルステップ転送（DMA）の 2 種類があります。

(3) ROM

コード・フラッシュ・メモリ，データ・フラッシュ・メモリを内蔵しており，以下が容量になります。
命令フェッチ時に CPU から 1 クロックでアクセスできます。

表 1-2 コード／データ・フラッシュ・メモリ容量とアドレス

製品名	データ・フラッシュ容量 コード・フラッシュ容量	アドレス
μPD70F4154 μPD70F4155	16KB	0200_0000_H － 0200_3FFF_H
	384KB	0000_0000_H － 0005_FFFF_H

(4) RAM

RAM を内蔵しており，以下のようにマッピングされています。

表 1-3 RAM 容量とアドレス

製品名	RAM 容量	アドレス
μPD70F4154 μPD70F4155	24KB	$FEDF\_A000_H$ － $FEDF\_FFFF_H$

(5) 割り込みコントローラ（INTC）

周辺 I/O および，外部からのハードウエア割り込み要求（INTP9-0）を処理します。これらの割り込み要求は，個別に 16 レベルの割り込み優先順位が指定でき，割り込み要因に対して多重処理制御を行うこともできます。

(6) クロック発生機能

入力クロックとして外部発振子を X1，X2 端子に接続します。外部発振子クロックを PLL1 シンセサイザに入力して，逓倍します（逓倍数はオプション・バイトにて切り替え）。PLL1 出力を内部システム・クロックとして供給し，分周したクロックを周辺クロックとして供給します。

(7) タイマ・ユニット

16 ビット・タイマ・アレイ・ユニット B（TAUB），32 ビット・タイマ・アレイ・ユニット J（TAUJ），タイマ S（TSG2），エンコーダ・タイマ（ENCA），タイマ・パターン・バッファ（TPBA），OS タイマ（OST），ウィンドウ・ウォッチドッグ・タイマ A（WDTA）を内蔵しています。キャプチャ／コンペア機能，パルス間隔，周波数の計測，プログラマブルなパルスの出力ができます。

(8) タイマ・オプション・ユニット（TAPA）

タイマ（TAUB，TSG2）の強制出力停止制御ができます。

(9) Peripheral Interconnection（**PIC**）

各タイマの同時スタートや周辺 I/O を接続し，連動させて動作ができます。

(10) **シリアル・インタフェース（SIO）**

シリアル・インタフェースとして同期／非同期インタフェース H（UARTH），クロック同期式シリアル・インタフェース（CSIG），CAN を備えています。
UARTH は，URTHnTXD，URTHnRXD 端子によりデータ転送を行います（n = 0, 1）。
CSIG は，CSIGnSO，CSIGnSI，CSIGnSC 端子によりデータ転送を行います（n = 0, 1）。
CAN は，FCNnRX，FCNnTX 端子によりデータ転送を行います（n = 0, 1）。

(11) **データ CRC 機能**

データ CRC（データ巡回冗長検査）は，様々な長さで異なるビット幅の CRC で保護されたデータ・ストリームを検証または生成します。

(12) **CLKOUT 機能**

ボー・レート・ジェネレータを内蔵しており，任意の周波数を CLKOUT 端子から出力することが可能です。

(13) **Nexus 機能**

デバッグ・インタフェースとして Nexus を 1 チャネル内蔵しています。

(14) **LPD 機能**

デバッグ・インタフェースとして、1 ピン・デバッグ I/F を搭載しています。

(15) **A/D コンバータ（ADCA0）**

18 本のアナログ入力端子を持つ高速，高分解能の 12 ビット A/D コンバータを搭載しています。逐次変換方式です。

(16) ポート

次に示すように，汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	制御機能
ポート 0	ビット入出力	シリアル・インタフェース（UARTH0）入出力 外部割込み（INTP0，INTP3 - INTP5）入力 A/D コンバータ（ADCA0）入力 ボー・レート・ジェネレータ（BRG0（CLKOUT））出力
ポート 1	ビット入出力	外部割込み（NMI，INTP0）入力 ボー・レート・ジェネレータ（BRG0（CLKOUT））出力 Operation System タイマ（OST1）出力 シリアル・インタフェース（CSIG0）入出力 シリアル・インタフェース（UARTH0）入出力 タイマ・アレイ・ユニット J（TAUJ0）入出力 タイマ・パターン・バッファ（TPBA0）出力 TSG2（TSG20）出力
ポート 2	ビット入出力	タイマ・アレイ・ユニット B（TAUB0）入出力 シリアル・インタフェース（CSIG0，CSIG1）入出力 シリアル・インタフェース（UARTH1）入出力
ポート 3	ビット入出力	外部割込み（INTP1，INTP2）入力 シリアル・インタフェース（CSIG1）入出力 シリアル・インタフェース（UARTH1）入出力 シリアル・インタフェース（CAN1）入出力 タイマ・パターン・バッファ（TPBA0）出力
ポート 4	ビット入出力	外部割込み（NMI，INTP1，INTP6 - INTP9）入力 シリアル・インタフェース（CAN0）出力 シリアル・インタフェース（CSIG0，CSIG1）入出力 シリアル・インタフェース（UARTH1）入出力 エンコーダ・タイマ（ENCA0）入力 TSG2（TSG20）入力 A/D コンバータ（ADCA0）出力 タイマ・オプション・ユニット（TAPA0，TAPA2）入力 Operation System タイマ（OST0，OST1）出力
ポート 5	ビット入出力	外部割込み（INTP0，INTP3 - INTP5）入力 シリアル・インタフェース（UARTH0）入出力 A/D コンバータ（ADCA0）入力
ポート 8	ビット入出力	モード入力 タイマ・アレイ・ユニット B（TAUB0）出力 Operation System タイマ（OST1）出力

第 2 章 端子機能

この章では，端子機能の一般的な内容について説明します。

2.1 端子機能について

ポート・グループ この製品は下記番号のポート・グループがあります。

表 2-1 ポート・グループ

ポート・グループ	
製品名	μPD70F4154 μPD70F4155
ポート・グループ数	7
名称	P0_0-P0_3, P1_0-P1_9, P2_0-P2_7 , P3_0-P3_6, P4_0-P4_7, P5_0-P5_3, P8_0

ポート・グループ n この章を通して，個々のポート・グループはインデックス “n” により識別されます。たとえば，Pn 端子のポート・モード・コントロール・レジスタは PMCn です。

レジスタ・アドレス ポート n レジスタのアドレスは，それぞれベース・アドレス <PORTn_base0>，<PORTn_base1> からのオフセットで表されます。

各ポート n のレジスタ・ベース・アドレス <PORTn_base0>, <PORTn_base1> を次の表に示します。

表 2-2 ポート n レジスタ・ベース・アドレス <PORTn_base0>，<PORTn_base1>

<PORTn_base0> アドレス	<PORTn_base1> アドレス
FF40 0000_H	FFFF 8000_H

2.2 概説

この製品は，さまざまな入出力ポートの端子を備えています。

ポートはポート・グループにて編成されています。

この製品は，汎用入出力以外の機能を端子に割り当てる制御レジスタも備えています。

端子，ポート，またはポート・グループの用語の説明は，2.2.1「用語」を参照してください。

機能概要

- 入出力ポート
- ほかの周辺機能の入出力端子と兼用
- ビット単位で入力／出力指定可能
- エッジ検出機能
- ソフトウエア・プルアップ機能
- ノイズ除去機能

2.2.1 用語

この章で使用されている用語について説明します。

- **端子**

  物理的な端子を表します。端子ごとに一意の端子番号で表されます。
  端子は複数のモードを切り替えて使用できます。
  選択したモードによって端子に端子機能が割り当てられます。

- **ポート・グループ**

  端子のグループを表します。同じポート・グループの端子は，共通のポート・モード・コントロール・レジスタ・セットを備えています。

- **ポート・モード／ポート**

  ポート・モードの端子は，汎用入出力端子として機能します。このような場合に端子を「ポート」と呼びます。
  対応する名称は Pn_m です。たとえば，P0_1 はポート・グループ 0 のポート 1 を示します。これを「ポート P0_1」と表します。

- **兼用モード**

  兼用モードでは，端子は内蔵周辺機能の入出力端子などのさまざまな汎用入出力以外の機能に使用されます。
  対応する端子名は，選択した機能によって異なります。
  たとえば，INTP0 端子は外部割り込み入力用の端子を表します。
  なお，2 つの異なる端子名称，たとえば P0_0 と INTP0 が物理的に同じ端子を表す場合があります。それぞれの端子名称は，端子の機能を示します。

- **ポート・タイプ**

  各ポート毎にコンフィギュレーション・レジスタを設定し，「ポート・タイプ」を設定します。

2.2.2 端子機能の設定

端子は以下の 3 つの異なる一般的なモードで動作することができます。

- ポート・モード (PMCn.PMCn_m = 0)
  ポート・モードでは端子は汎用入出力ポートとして動作します。
  PMn.PMn_m で入力／出力を選択します。
- ソフトウェア I/O 制御 兼用モード (PMCn.PMCn_m = 1，PIPCn.PIPCn_m = 0)
  ソフトウェア I/O 制御兼用モードでは端子は兼用機能によって動作します。
  入力／出力の選択はソフトウェアによる PMn.PMn_m コントロール・ビットの設定によって行われます。
- 直接 I/O 制御 兼用モード (PMCn.PMCn_m = 1，PIPCn.PIPCn_m = 1)
  直接 I/O 制御 兼用モードでは端子は兼用機能によって動作します。S/W I/O 制御 兼用モードと違い，兼用機能（ハードウェア）によって入力／出力が制御されるため S/W で設定する必要がありません。

レジスタ設定の概要を次の表に示します。

表 2-3 端子機能の設定（概要）

機能	レジスタ			I/O
	PMCn_m	PMn_m	PIPCn_m	
ポート・モード（出力）	0	0	X	O
ポート・モード（入力）		1 注		I
兼用出力モード 1-4	1	0	0	O
兼用入力モード 1-4		1	0	I
直接 I/O 制御		X	1	兼用機能により制御

注 入力バッファを必ず許可してください（PIBCn.PIBCn_m = 1）。
X：設定無効

端子が兼用モード (PMCn.PMCn_m = 1) の場合，最大 4 つの異なる兼用機能の 1 つを PFCn，PFCEn レジスタによって選択します。

- ソフトウェア I/O 制御兼用機能 (PIPCn.PIPCn_m = 0):
  - 出力 (PMn_m = 0): ALT-OUT1 ～ ALT-OUT4
  - 入力 (PMn_m = 1): ALT-IN1 ～ ALT-IN4
- 直接 I/O 制御兼用機能 (PIPCn.PIPCn_m = 1):
  - ALT-OUT1 ～ ALT-OUT4，ALT-IN1 ～ ALT-IN4 の入出力は兼用機能（ハードウェア）によって直接選択されます。

表 2-4 兼用モード選択の概要（PMCn.PMCn_m = 1）

機能	レジスタ				I/O
	PIPC 注	PM 注	PFCE	PFC	
兼用出力モード 1（ALT-OUT1）	0	0	0	0	O
兼用入力モード 1（ALT-IN1）		1			I
兼用出力モード 2（ALT-OUT2）		0	0	1	O
兼用入力モード 2（ALT-IN2）		1			I
兼用出力モード 3（ALT-OUT3）		0	1	0	O
兼用入力モード 3（ALT-IN3）		1			I
兼用出力モード 4（ALT-OUT4）		0	1	1	O
兼用入力モード 4（ALT-IN4）		1			I

注 PIPCn.PIPCn_m = 1 の場合は，入出力方向は周辺（兼用）機能によって直接制御され，PM は無視されます。

一つのコントロール・モード（ALT-IN）で複数機能を兼用している端子と，複数のポート端子に割り当てがある端子（ESO2/INTP8 以外）を次の表に示します。

注意 下記の事項に注意して使用してください。

1. 兼用機能端子を同時に使用しないでください（例：ADCA0TRG0 と INTP3）。ただし，URTH0RXD/INTP0, URTH1RXD/INTP1 の兼用端子は，URTH0RXD, URTH1RXD 端子のエッジを各々兼用している INTP 端子のエッジとして検出することが可能です。
2. 同一の兼用機能端子を複数のポート端子で使用しないでください（例：ADCA0TRG0/INTP3 の場合，P0_2 の ALT_IN1 と P5_1 の ALT_IN4 など）。

表 2-5 1 つのコントロール・モードに複数機能を兼用させる端子

兼用機能端子	ポート端子	コントロール・モード
ADCA0TRG0/INTP3	P0_2	ALT-IN1
	P5_1	ALT-IN4
	P5_3	ALT-IN2
ADCA0TRG1/INTP4	P0_1	ALT-IN1
	P5_2	ALT-IN4
ADCA0TRG2/INTP5	P0_0	ALT-IN1
	P5_3	ALT-IN4
ESO0/INTP6	P4_4	ALT-IN4
ESO2/INTP8	P4_6	ALT-IN4
URTH0RXD/INTP0	P0_0	ALT-IN4
	P1_7	ALT-IN4
	P5_0	ALT-IN3
URTH1RXD/INTP1	P3_0	ALT-IN3
	P4_0	ALT-IN1
TSG20PTSI0/ENCA0E0	P4_1	ALT-IN2
TSG20PTSI1/ENCA0E1	P4_2	ALT-IN2
TSG20PTSI2/ENCA0EC	P4_3	ALT-IN2

2.2.3 端子データ入力／出力

データの入出力に使用するレジスタを以下に示します。

端子モードに依存し，出力されるデータと PPRn レジスタのリード・データは異なります。

出力データ ポート・モード (PMCn.PMCn_m = 0) では Pn.Pn_m の値 が Pn_m 端子から出力されます。
直接 I/O 制御兼用機能 (PIPCn.PIPCn_m = 1): では，兼用機能によって制御されます。

入力データ PPRn レジスタのリード動作では，Pn_m 端子の値，ポート・レジスタの関連ビット Pn.Pn_m の値，または兼用機能による出力値のいずれかを読み出します。PPRn のリード元は端子モードといくつかの制御ビットの設定に依存します。PPRn リード・モードの違いを下表に示します。

注意 64 MHz 以上の PCLK クロックで使用する場合，ポート関連レジスタにて入力バッファをイネーブルにするレジスタ設定を行った直後に，PPR レジスタをリードする場合は，3PCLK 以上確保してからリードしてください。または，2 度リードを行い 1 度目のリード値は破棄してください。

表 2-6 PPRn_m リード値

PMCn_m	PMn_m	PIBCn_m	PIPCn_m	モード	PPRn_m リード値
0	1	0	×	ポート入力，入力バッファ禁止	Pn.Pn_m レジスタ
		1		ポート入力，入力バッファ許可	Pn_m 端子
	0	×		ポート出力	Pn.Pn_m レジスタ 注 1
1	1	×	0	ソフトウェア I/O 制御兼用機能入力	Pn_m 端子
	0			ソフトウェア I/O 制御兼用機能出力	兼用機能内部信号出力 注 2
	×		1	直接 I/O 制御兼用機能入力 / 出力	兼用機能により，ポートが • 入力時：PPRn_m = Pn_m 端子 • 出力時：PPRn_m = 兼用機能内部信号出力 注 1, 2

注 1. PBDCn_m = 1 のとき，PPRn_m と介して Pn_m 端子レベルが読めます。
2. PMCn_m = 1 で兼用機能内部信号出力のとき，PPRn_m をリードした場合，Pn_m 端子レベルが読めるのではなく，兼用機能の内部信号レベルが読めます。

上表に示す各コントロール・レジスタの効果：

- PBDCn.PBDCn_m
  このビットを “1” に設定すると PPRn_m は強制的に Pn_m 端子のレベルがリードされます。つまりポートが出力モードの場合，Pn_m 端子のレベルをリードできる双方向モードを許可します。

- PMCn.PMCn_m
  このビットはポート・モード (PMCn_m = 0) または兼用機能モード (PMCn_m = 1) を選択します。
- PMn.PMn_m
  このビットはポート・モード (PMCn_m = 0) とソフトウェア I/O 制御兼用機能モード (PMCn_m = 1，PIPCn_m = 0) 時に入力 (PMn_m = 1) または出力 (PMn_m = 0) を選択します。
- PIBCn.PIBCn_m
  このビットは入力ポート・モード (PMCn_m= 0 と PMn_m = 1) 時に入力バッファを使用不可 (PIBCn_m = 0) または使用許可 (PIBCn_m = 1) を選択します。入力バッファが使用不可の場合 PPRn_m は Pn.Pn_m ビットをリードし，使用許可の場合は Pn_m 端子のレベルがリードされます。
- PIPCn.PIPCn_m
  このビットは S/W I/O 制御兼用機能モードまたは直接 I/O 制御兼用機能を選択します。

Pn レジスタへのライト

ポート・モード時（PMCn.PMCn_m = 0）にポート Pn_m から出力されるデータは，ポート・レジスタ Pn に保持されます。Pn データは次の 2 つの方法で処理することができます。

- Pn レジスタへの直接書き込み
  新しいデータを Pn レジスタに直接書き込むことができます。
- 間接的な Pn レジスタへのビット操作（set/reset/not)
  次の 2 つのレジスタを使用して，Pn レジスタへのビット操作（set/reset/not）を間接的に行うことができます。
  - ポート・セット／リセット・レジスタ PSRn
    PSRn.PSRn_（m + 16）= 1 の場合，PSRn.PSRn_m ビットの値によって Pn.Pn_m の値が決まります。したがって，Pn レジスタに直接ライトせずに Pn_m ビットを set/reset することが可能です。
  - ポート NOT レジスタ PNOTn
    PNOTn.PNOTn_m = 1 に設定すると，Pn レジスタへ直接書き込まずに Pn.Pn_m ビットを反転することが可能です。

  間接的な Pn レジスタへのビット操作（set/reset/not）は，他の全ての Pn_m ビットを操作することなく Pn レジスタのひとつのビット・アクセスが可能です。
  Pn_m ビットを操作する両方の方法が同時に使用できることに注意してください。

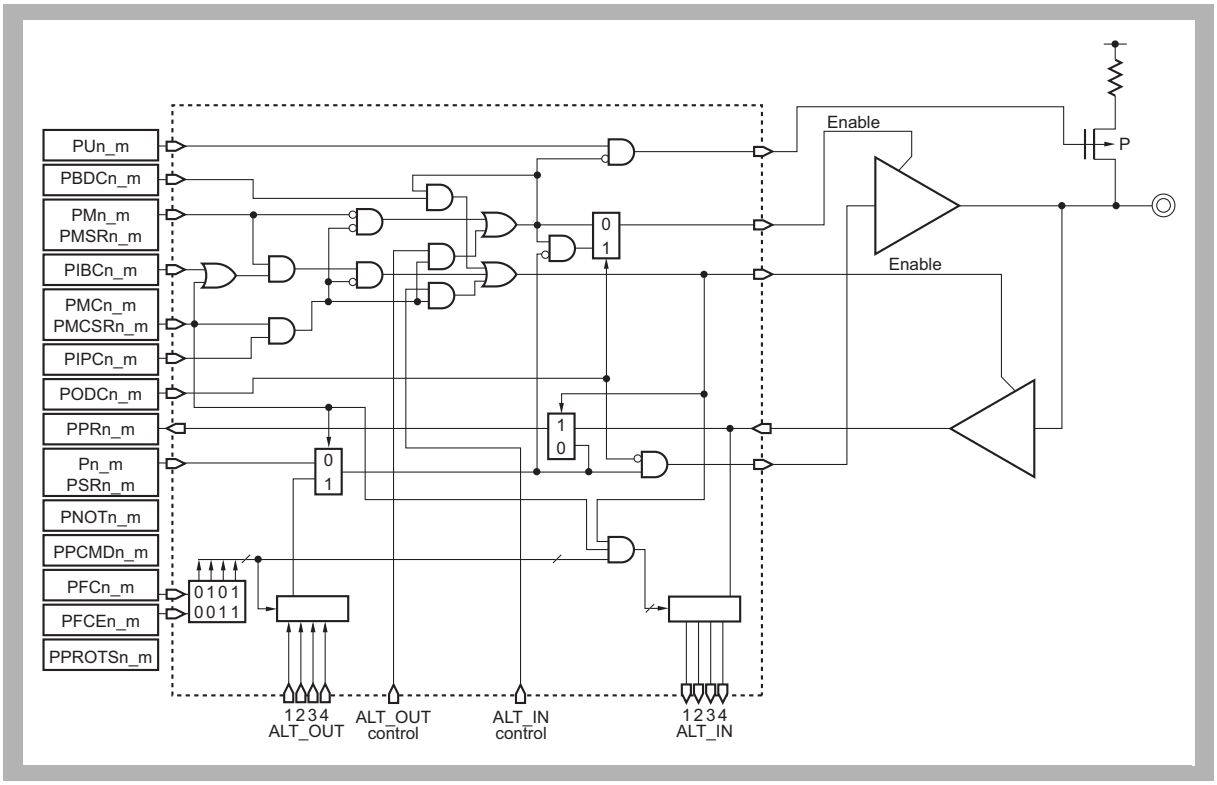
注意 Pn_m ポートが次の設定となっている場合，Pn_m の出力（例 ALT_OUTx）が内部で兼用入力機能（例 ALT_INx）に反映されます。

- 出力機能（ALT_OUTx）と入力機能（ALT_INx）が兼用されている。
- 兼用出力機能 (PMCn.PMCn_m = 1, PMn.PMn_m = 0) として使用されている。
- 双方向モードが許可（PBDCn.PBDCn_m = 1）状態で PPRn.PPRn_m で Pn_m のレベルをリードする。

2.2.4 ポート制御論理図

下図は，ポート制御機能の論理図を示します。

注意 この図は参考に論理を示すもので，実際の回路を示すものではありません。



2.3 ポート・グループ・コンフィギュレーション・レジスタ

この節では，はじめにすべてのコンフィギュレーション・レジスタの概要を示し，次に各レジスタの詳細を示します。コンフィギュレーション・レジスタは次のように分類されます。

- 2.3.2「端子機能設定レジスタ」
- 2.3.3「端子データ入力 / 出力レジスタ」
- 2.3.4「電気的特性の設定」

2.3.1 概要

次のレジスタは，ポート・グループの各端子の設定に使用されます。

表 2-7 ポート・グループ・コンフィギュレーション・レジスタ

レジスタ名	略号	アドレス
ポート入力バッファ・コントロール・レジスタ	PIBCn	<PORTn_base0> + 4000_H + n × 4
ポート双方向コントロール・レジスタ	PBDCn	<PORTn_base0> + 4100_H + n × 4
ポート IP コントロール・レジスタ	PIPCn	<PORTn_base0> + 4200_H + n × 4
プルアップ・オプション・レジスタ	PUn	<PORTn_base0> + 4300_H + n × 4
ポート・オープン・ドレーン・コントロール・レジスタ	PODCn	<PORTn_base0> + 4500_H + n × 4
ポート・レジスタ保護コマンド・レジスタ	PPCMDn	<PORTn_base0> + $4C00_H$ + n × 4
ポート保護ステータス・レジスタ	PPROTSn	<PORTn_base0> + $4B00_H$ + n × 4
ポート・レジスタ	Pn	<PORTn_base1> + n × 4
ポート・セット／リセット・レジスタ	PSRn	<PORTn_base1> + 100_H + n × 4
ポート端子リード・レジスタ	PPRn	<PORTn_base1> + 200_H + n × 4
ポート・モード・レジスタ	PMn	<PORTn_base1> + 300_H + n × 4
ポート・モード・コントロール・レジスタ	PMCn	<PORTn_base1> + 400_H + n × 4
ポート機能コントロール・レジスタ	PFCn	<PORTn_base1> + 500_H + n × 4
ポート機能コントロール拡張レジスタ	PFCEn	<PORTn_base1> + 600_H + n × 4
ポート NOT レジスタ	PNOTn	<PORTn_base1> + 700_H + n × 4
ポート・モード・セット・レジスタ	PMSRn	<PORTn_base1> + 800_H + n × 4
ポート・モード・コントロール・セット・レジスタ	PMCSRn	<PORTn_base1> + 900_H + n × 4

<PORTn_base> PORTn のベースアドレス <PORTn_base> は *2-2「ポート n レジスタ・ベース・アドレス <PORTn_base0>，<PORTn_base1>」* で定義しています。

表 2-8 JTAG ポート・グループ・コンフィギュレーション・レジスタ

レジスタ名	略号	アドレス
JTAG ポート・レジスタ	JP0	FF44 0000$_H$
JTAG ポート・セット／リセット・レジスタ	JPSR0	FF44 0010$_H$
JTAG ポート端子リード・レジスタ	JPPR0	FF44 0020$_H$
JTAG ポート・モード・レジスタ	JPM0	FF44 0030$_H$
JTAG ポート NOT レジスタ	JPNOT0	FF44 0070$_H$
JTAG ポート・モード・セット・レジスタ	JPMSR0	FF44 0080$_H$
JTAG ポート入力バッファ・コントロール・レジスタ	JPIBC0	FF44 0400$_H$
JTAG プルアップ・オプション・レジスタ	JPU0	FF44 0430$_H$

備考 JTAG ポート・グループ・コンフィギュレーション・レジスタの詳細は，2.3.2「端子機能設定レジスタ」，2.3.3「端子データ入力 / 出力レジスタ」，2.3.4「電気的特性の設定」を参照してください。また，JTAG ポート・グループ・コンフィグレーション・レジスタの有効ビット，アクセス幅は表 2-48「JTAG ポート 0 制御レジスター覧」を参照してください。

注意 各レジスタには機能が割り当てられていないビットがあります。特に指定の無い限り，これらのビットには初期値以外をライトしないでください。初期値以外の値を設定した場合の動作は保証できません。

2.3.2 端子機能設定レジスタ

(1) PMCn - ポート・モード・コントロール・レジスタ

このレジスタは，ポート・グループ n の各端子がポート・モードか兼用モードかを指定します（n：0-5, 8）。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス 表 2-7「ポート・グループ・コンフィギュレーション・レジスタ」を参照してください。

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMCn_15	PMCn_14	PMCn_13	PMCn_12	PMCn_11	PMCn_10	PMCn_9	PMCn_8	PMCn_7	PMCn_6	PMCn_5	PMCn_4	PMCn_3	PMCn_2	PMCn_1	PMCn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-9 PMCn レジスタの内容

ビット位置	ビット名	機能
15-0	PMCn_[15:0]	対応する端子の動作モードを指定します。 0: ポート・モード 1: 兼用モード

(2) PMCSRn - ポート・モード・コントロール・セット・レジスタ n

このレジスタは，PMCn レジスタにデータをライトするもう一つの方法を提供します。

PMCSRn の上位 16 ビットは PMCSRn の下位 16 ビットで指定した PMCn.PMCn_m の値を書込み操作により設定するかを指定します（n：0-5, 8）。

アクセス 32 ビット単位でリード／ライト可能です。
ビット 31-16 は常に 0000_H がリードされます。
ビット 15-0 をリードすると PMCn レジスタの値がリードされます。

アドレス 表 2-7「ポート・グループ・コンフィギュレーション・レジスタ」を参照してください。

初期値 00000000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PMCSRn_31	PMCSRn_30	PMCSRn_29	PMCSRn_28	PMCSRn_27	PMCSRn_26	PMCSRn_25	PMCSRn_24	PMCSRn_23	PMCSRn_22	PMCSRn_21	PMCSRn_20	PMCSRn_19	PMCSRn_18	PMCSRn_17	PMCSRn_16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMCSRn_15	PMCSRn_14	PMCSRn_13	PMCSRn_12	PMCSRn_11	PMCSRn_10	PMCSRn_9	PMCSRn_8	PMCSRn_7	PMCSRn_6	PMCSRn_5	PMCSRn_4	PMCSRn_3	PMCSRn_2	PMCSRn_1	PMCSRn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-10 PMCSRn レジスタの内容

ビット位置	ビット名	機能
31-16	PMCSRn_[31:16]	PMCSRn_m は，対応する下位ビット PMCSRn_m の値を PMCn_m にライトするかを指定します。 0: PMCn_m は PMCSRn_m に影響されません。 1: PMCn_m は PMCSRn_m の値になります。 例： PMCSRn.PMCSRn_31 = 1 の場合， PMCSRn.PMCSRn_15 ビットの値は PMCn.PMCn_15 ビットに書き込まれます。
15-0	PMCSRn_[15:0]	対応する上位ビットの PMCSRn_(m + 16) が 1 の場合，PMCn_m 値を指定します。 0: PMCn_m = 0 1: PMCn_m = 1

(3) PIPCn - ポート IP コントロール・レジスタ

このレジスタは，Pn_m 端子の入出力方向がポート・モード・レジスタ PMn.PMn_m と兼用機能のどちらによって制御されるかを指定します。

Pn_m ピンが兼用モード (PMCn.PMCn_m = 1) となり，兼用機能が直接 Pn_m の入出力方向を制御する場合，PIPCn.PIPCn_m は 1 に設定する必要があります。これにより兼用機能が入出力制御を行い，PMn.PMn_m の設定が無効となります（n：0-5）。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス 表 2-7「ポート・グループ・コンフィギュレーション・レジスタ」を参照してください。

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPCn_15	PIPCn_14	PIPCn_13	PIPCn_12	PIPCn_11	PIPCn_10	PIPCn_9	PIPCn_8	PIPCn_7	PIPCn_6	PIPCn_5	PIPCn_4	PIPCn_3	PIPCn_2	PIPCn_1	PIPCn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-11 PIPCn レジスタの内容

ビット位置	ビット名	機能
15-0	PIPCn_[15:0]	入出力制御モードを指定します： 0: 入出力モードは PMn.PMn_m(ソフトウェア入出力制御) によって選択します。 1: 入出力モードは周辺の機能 (直接入出力制御) によって選択します。

注意

1. 以下の端子は，周辺 I/O からバッファ入出力制御を行います。以下の端子を使用する場合は，PIPCn を “1” に設定してください。
   - CSIGnSC，URTHnSC
     （シリアル・クロック入出力端子）
     シリアル機能のマスタ / スレーブモード設定に対応する入出力方向を，PMn レジスタで正しく設定（マスタ時：PMn_m=0，スレーブ時：PMn_m=1）されていれば，PIPCn レジスタの対応ビットが 0 の設定であっても問題ありません。
   - TAUB0O10 ～ TAUB0O15，TSG20O1 ～ TSG20O6
     （Hi-Z 制御対象端子）
     タイマオプション機能（TAPA）による Hi-Z 制御を行わないタイマ出力端子として使用する場合，PMn レジスタで出力端子に設定（PMn_m=0）されていれば，PIPCn レジスタの対応ビットが 0 の設定であっても問題ありません。
2. CSIG 機能のデーター貫性チェック機能を使用する場合，PIPCn レジスタで CSIGnSO 端子が割り当てられているビットは，0 を設定してください（データー貫性チェック機能を使用時に 1 を設定した場合，データー貫性チェック機能の動作は保証しません）。

(4) PMn - ポート・モード・レジスタ

このレジスタは，ポート・グループ n の各端子が入力モードか出力モードかを指定します（n：0-5, 8）。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス 表 2-7「ポート・グループ・コンフィギュレーション・レジスタ」を参照してください。

初期値 $FFFF_H$ どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMn_15	PMn_14	PMn_13	PMn_12	PMn_11	PMn_10	PMn_9	PMn_8	PMn_7	PMn_6	PMn_5	PMn_4	PMn_3	PMn_2	PMn_1	PMn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-12 PMn レジスタの内容

ビット位置	ビット名	機能
15-0	PMn_[15:0]	対応する端子の入力／出力モードを指定します。 0: 出力モード（出力許可） 1: 入力モード（出力禁止）

備考 1. ポートを入力ポート・モード（PMCn.PMCn_m = 0 かつ PMn.PMn_m = 1）で使用する場合は，入力バッファを有効（PIBCn.PIBCn_m = 1）にする必要があります。

2. リセット解除後の初期値は PIPCn.PIPCn_m = 0 のため，PMn_m は PMCn.PMCn_m = 0 にてポート・モード の入出力方向を指定し，PMCn.PMCn_m = 1 にて兼用モードの入出力方向を指定します。

(5) PMSRn - ポート・モード・セット・レジスタ n

このレジスタは，PMn レジスタにデータをライトするもうひとつの方法を提供します。

PMSRn の上位 16 ビットは PMSRn の下位 16 ビットで指定した PMn.PMn_m の値を書き込み操作により設定するかを指定します（n：0-5, 8）。

アクセス 32 ビット単位でリード／ライト可能です。
ビット 31-16 は常に 0000_H としてリードされます。
ビット 15-0 をリードすると PMn レジスタの値がリードされます。

アドレス 表 2-7「ポート・グループ・コンフィギュレーション・レジスタ」を参照してください。

初期値 $0000FFFF_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PMSRn_31	PMSRn_30	PMSRn_29	PMSRn_28	PMSRn_27	PMSRn_26	PMSRn_25	PMSRn_24	PMSRn_23	PMSRn_22	PMSRn_21	PMSRn_20	PMSRn_19	PMSRn_18	PMSRn_17	PMSRn_16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMSRn_15	PMSRn_14	PMSRn_13	PMSRn_12	PMSRn_11	PMSRn_10	PMSRn_9	PMSRn_8	PMSRn_7	PMSRn_6	PMSRn_5	PMSRn_4	PMSRn_3	PMSRn_2	PMSRn_1	PMSRn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-13 PMSRn レジスタの内容

ビット位置	ビット名	機能
31-16	PMSRn_[31:16]	PMSRn_m は，対応する PMSRn_m の下位ビットの値が PMn_m に書き込むかを指定します。 0: PMn_m は PMSRn_m に影響されません。 1: PMn_m は PMSRn_m の値になります。 例： PMSRn.PMSRn_31 = 1 のとき，PMSRn.PMSRn_15 ビットの値は PMn.PMn_15 ビットに書き込まれます。
15-0	PMSRn_[15:0]	対応する上部のビット PMSRn_(m+16) が 1 のとき，PMn_m 値を指定します： 0: PMn_m = 0 1: PMn_m = 1

(6) PIBCn - ポート入力バッファ・コントロール・レジスタ

このレジスタは，入力ポート・モード（PMCn.PMCn_m = 0 かつ PMn.PMn_m = 1）で，ポート端子の入力バッファを許可します（n：0-5, 8）。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス 表 2-7「ポート・グループ・コンフィギュレーション・レジスタ」を参照してください。

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIBCn_15	PIBCn_14	PIBCn_13	PIBCn_12	PIBCn_11	PIBCn_10	PIBCn_9	PIBCn_8	PIBCn_7	PIBCn_6	PIBCn_5	PIBCn_4	PIBCn_3	PIBCn_2	PIBCn_1	PIBCn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-14 PIBCn レジスタの内容

ビット位置	ビット名	機能
15-0	PIBCn_[15:0]	入力バッファの許可／禁止を指定します。 0: 入力バッファ禁止 1: 入力バッファ許可

注意 このレジスタの設定は，双方向モード（PBDCn.PBDCn_m = 1）では無視されます。

(7) PFCn - ポート機能コントロール・レジスタ

このレジスタは，レジスタ PFCEn とともに，端子の兼用機能を指定します。

いくつかの兼用機能は直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では，PIPCn.PIPCn_m は 1 に設定する必要があります。

他の兼用機能では，入出力は PMn.PMn_m によって指定されます（n：0-5, 8）。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス 表 2-7「ポート・グループ・コンフィギュレーション・レジスタ」を参照してください。

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PFCn_15	PFCn_14	PFCn_13	PFCn_12	PFCn_11	PFCn_10	PFCn_9	PFCn_8	PFCn_7	PFCn_6	PFCn_5	PFCn_4	PFCn_3	PFCn_2	PFCn_1	PFCn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-15 PFCn レジスタの内容

ビット位置	ビット名	機能
15-0	PFCn_[15:0]	端子の兼用機能を指定します。 詳細は表 2-4「兼用モード選択の概要（PMCn.PMCn_m = 1）」を参照してください。

(8) PFCEn - ポート機能コントロール拡張レジスタ

このレジスタは，レジスタ PFCn とともに，端子の兼用機能を指定します。

いくつかの兼用機能は直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では，PIPCn.PIPCn_m は 1 に設定する必要があります。

他の兼用機能では，入出力は PMn.PMn_m によって指定されます（n：0-5, 8）。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス 表 2-7「ポート・グループ・コンフィギュレーション・レジスタ」を参照してください。

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PFCEn_15	PFCEn_14	PFCEn_13	PFCEn_12	PFCEn_11	PFCEn_10	PFCEn_9	PFCEn_8	PFCEn_7	PFCEn_6	PFCEn_5	PFCEn_4	PFCEn_3	PFCEn_2	PFCEn_1	PFCEn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-16 PFCEn レジスタの内容

ビット位置	ビット名	機能
15-0	PFCEn_[15:0]	端子の兼用機能を指定します。 詳細は表 2-4「兼用モード選択の概要（PMCn.PMCn_m = 1）」を参照してください。

2.3.3 端子データ入力 / 出力レジスタ

(1) PBDCn - ポート双方向コントロール・レジスタ

このレジスタは，入力バッファを許可し，常に Pn_m 端子のレベルを PPRn.PPRn_m 経由で読み出すことができます（n：0-5, 8）。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス 表 2-7「ポート・グループ・コンフィギュレーション・レジスタ」を参照してください。

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PBDCn_15	PBDCn_14	PBDCn_13	PBDCn_12	PBDCn_11	PBDCn_10	PBDCn_9	PBDCn_8	PBDCn_7	PBDCn_6	PBDCn_5	PBDCn_4	PBDCn_3	PBDCn_2	PBDCn_1	PBDCn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-17 PBDCn レジスタの内容

ビット位置	ビット名	機能
15-0	PBDCn_[15:0]	対応する端子の双方向モードの許可／禁止を指定します。 0: 双方向モードを禁止 1: 双方向モードを許可

注意 CSIG 機能のデーター貫性チェック機能を使用する場合，PBDCn レジスタで CSIGnSO 端子が割り当てられているビットは，1 を設定してください。

(2) PPRn - ポート端子リード・レジスタ

このレジスタは，実際の Pn_m 端子レベル，Pn.Pn_m ビットの値，または兼用機能の出力レベルを表します。リードする値は，表 2-6「PPRn_m リード値」に示すように，レジスタ設定によって異なります（n：0-5, 8）。

アクセス 16 ビット単位でリードのみ可能です。

アドレス 表 2-7「ポート・グループ・コンフィギュレーション・レジスタ」を参照してください。

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PPRn_15	PPRn_14	PPRn_13	PPRn_12	PPRn_11	PPRn_10	PPRn_9	PPRn_8	PPRn_7	PPRn_6	PPRn_5	PPRn_4	PPRn_3	PPRn_2	PPRn_1	PPRn_0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 2-18 PPRn レジスタの内容

ビット位置	ビット名	機能
15-0	PPRn_[15:0]	Pn_m 端子，Pn.Pn_m の値，または兼用機能の出力

(3) Pn - ポート・レジスタ

このレジスタは，出力ポート・モード時（PMCn.PMCn_m = 0 かつ PMn.PMn_m = 0）に，関連のポート Pn_m から出力される Pn.Pn_m データを指定します（n：0-5, 8）。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス 表 2-7「ポート・グループ・コンフィギュレーション・レジスタ」を参照してください。

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Pn_15	Pn_14	Pn_13	Pn_12	Pn_11	Pn_10	Pn_9	Pn_8	Pn_7	Pn_6	Pn_5	Pn_4	Pn_3	Pn_2	Pn_1	Pn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-19 Pn レジスタの内容

ビット位置	ビット名	機能
15-0	Pn_[15:0]	m 端子（m = 0-15）の出力レベルを設定します。 0: ロウ・レベル出力 1: ハイ・レベル出力

備考 このレジスタのビットの操作は 2.2.3「端子データ入力／出力」の「Pn レジスタへのライト」を参照してください。

(4) PNOTn - ポート NOT レジスタ

このレジスタは，ポート・レジスタ Pn に直接ライトせずに Pn の Pn_m ビットを反転できます（n：0-5, 8）。

アクセス 16 ビット単位でライトのみ可能です。常に 0000_H としてリードされます。

アドレス 表 2-7「ポート・グループ・コンフィギュレーション・レジスタ」を参照してください。

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PNOTn_15	PNOTn_14	PNOTn_13	PNOTn_12	PNOTn_11	PNOTn_10	PNOTn_9	PNOTn_8	PNOTn_7	PNOTn_6	PNOTn_5	PNOTn_4	PNOTn_3	PNOTn_2	PNOTn_1	PNOTn_0
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 2-20 PNOTn レジスタの内容

ビット位置	ビット名	機能
15-0	PNOTn_[15:0]	Pn.Pn_m を反転するかを指定します。 0: Pn.Pn_m を反転しない（Pn_m → Pn_m） 1: Pn.Pn_m を反転する（Pn_m → Pn_m）

(5) PSRn - ポート・セット／リセット・レジスタ

このレジスタは Pn レジスタにデータを書き込むもうひとつの方法を提供します。

PSRn の上位 16 ビットは PSRn の下位 16 ビットで指定した Pn.Pn_m の値を書き込み操作により設定するかを指定します（n：0-5, 8）。

アクセス 32 ビット単位でリード／ライト可能です。
ビット 31-16 は常に 0000_H がリードされます。
ビット 15-0 は Pn レジスタの値がリードされます。

アドレス 表 2-7「ポート・グループ・コンフィギュレーション・レジスタ」を参照してください。

初期値 00000000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PSRn_31	PSRn_30	PSRn_29	PSRn_28	PSRn_27	PSRn_26	PSRn_25	PSRn_24	PSRn_23	PSRn_22	PSRn_21	PSRn_20	PSRn_19	PSRn_18	PSRn_17	PSRn_16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSRn_15	PSRn_14	PSRn_13	PSRn_12	PSRn_11	PSRn_10	PSRn_9	PSRn_8	PSRn_7	PSRn_6	PSRn_5	PSRn_4	PSRn_3	PSRn_2	PSRn_1	PSRn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-21 PSRn レジスタの内容

ビット位置	ビット名	機能
31-16	PSRn_[31:16]	PSRn_m は，対応する PSRn_m の下位ビットの値が Pn_m に書き込むかを指定します。 0: Pn_m は PSRn_m に影響されません。 1: Pn_m は PSRn_m の値になります。 例： PSRn.PSRn_31 = 1 の場合，PSRn.PSRn_15 ビットの値を Pn.Pn_15 ビットに書き込まれます。
15-0	PSRn_[15:0]	対応する上位ビットの PSRn_(m + 16) が 1 の場合，Pn_m 値を指定します。 0: Pn_m = 0 1: Pn_m = 1

2.3.4 電気的特性の設定

(1) PUn - プルアップ・オプション・レジスタ

このレジスタは，内蔵プルアップ抵抗を入力端子に接続するかどうかを指定します（n：0-5, 8）。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス 表 2-7「ポート・グループ・コンフィギュレーション・レジスタ」を参照してください。

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PUn_15	PUn_14	PUn_13	PUn_12	PUn_11	PUn_10	PUn_9	PUn_8	PUn_7	PUn_6	PUn_5	PUn_4	PUn_3	PUn_2	PUn_1	PUn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-22 PUn レジスタの内容

ビット位置	ビット名	機能
15-0	PUn_[15:0]	内蔵プルアップ抵抗を対応する端子に接続するかどうかを指定します。 0: 内蔵プルアップ抵抗を接続しない 1: 内蔵プルアップ抵抗を接続する

注意 端子が出力モードで動作している場合，内蔵プルアップ抵抗は無効になります。

(2) PODCn - ポート・オープン・ドレーン・コントロール・レジスタ

このレジスタは，出力バッファの機能としてプッシュプルまたはオープン・ドレーンを選択します（n：2）。
この製品では，SENT I/F の SPC 機能に対応するため，ポート 2 の TAUB0 端子のみ設定できます。

アクセス 32 ビット単位でリード／ライト可能です。

このレジスタへのライトは，特定の命令シーケンスによって保護されます。詳細は 2.3.5「ポート・レジスタ保護」を参照してください。

アドレス 表 2-7「ポート・グループ・コンフィギュレーション・レジスタ」を参照してください。

初期値 00000000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PODCn_31	PODCn_30	PODCn_29	PODCn_28	PODCn_27	PODCn_26	PODCn_25	PODCn_24	PODCn_23	PODCn_22	PODCn_21	PODCn_20	PODCn_19	PODCn_18	PODCn_17	PODCn_16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PODCn_15	PODCn_14	PODCn_13	PODCn_12	PODCn_11	PODCn_10	PODCn_9	PODCn_8	PODCn_7	PODCn_6	PODCn_5	PODCn_4	PODCn_3	PODCn_2	PODCn_1	PODCn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-23 PODCn レジスタの内容

ビット位置	ビット名	機能
31-0	PODCn_[31:0]	出力バッファの機能を指定します。 0: プッシュプル 1: オープン・ドレーン

2.3.5 ポート・レジスタ保護

(1) PPCMDn - ポート・レジスタ保護コマンド・レジスタ

このレジスタは，保護対象のポート・レジスタのためのコマンド・レジスタです（n：2）。

アクセス 8 ビット単位でライト可能です。

リードした場合，常に 0 がリードされます。

アドレス 表 2-7「ポート・グループ・コンフィギュレーション・レジスタ」を参照してください。

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
W	W	W	W	W	W	W	W

表 2-24 PPCMDm レジスタの内容

ビット位置	ビット名	機能
7-0	—	保護対象のポート・レジスタにライトできるコマンド

(2) PPROTSn - ポート保護ステータス・レジスタ

このレジスタは，保護対象のポート・レジスタの書き込みシーケンスのステータスを示します（n：2）。

アクセス 8 ビット単位でリード可能です。

ライトした場合，無視されます。

アドレス 表 2-7「ポート・グループ・コンフィギュレーション・レジスタ」を参照してください。

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	PPROTSn_0
R	R	R	R	R	R	R	R

表 2-25 PPROTSn レジスタの内容

ビット位置	ビット名	機能
0	PPROTSn_0	保護対象のポート・レジスタの書き込みシーケンス・エラーを確認します。 0: 保護エラー未発生 1: 保護エラー発生

(3) 保護対象のポート・レジスタ

PODCn - ポート・オープン・ドレーン・コントロール・レジスタ

(4) 保護対象のポート・レジスタの書き込みシーケンス

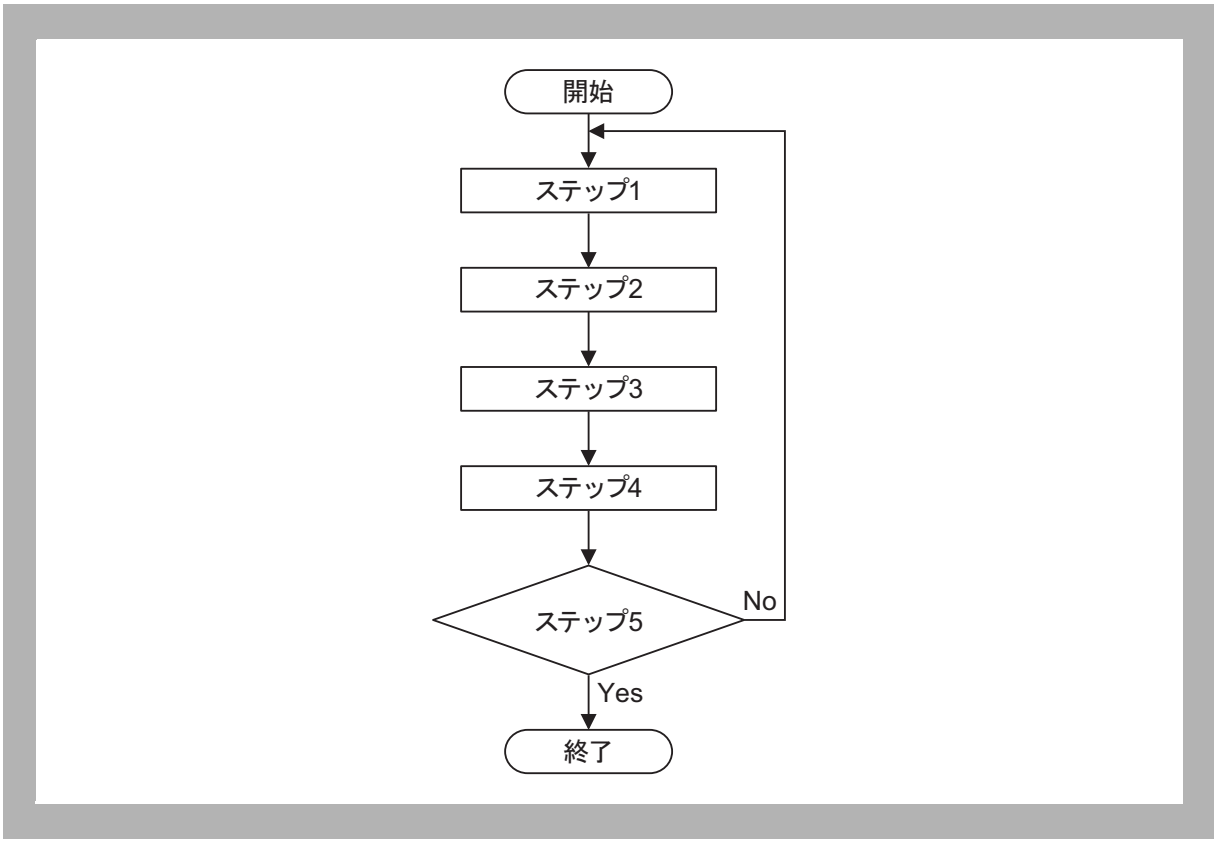


図 2-1 保護対象のポート・レジスタの書き込みシーケンス

ステップ 1 書き込みシーケンスを初期化するため，PPCMD レジスタに $A5_H$ をライトします。

ステップ 2 保護対象のレジスタに 32 ビット単位で設定値をライトします（更新はしません）。

ステップ 3 同じ保護対象のレジスタに 32 ビット単位で設定値の反転値をライトします（更新はしません）。

ステップ 4 再び同じ保護対象のレジスタに 32 ビット単位で設定値をライトします（更新します）。

ステップ 5 PPROTSn.PPROTSn_0 ビットの値が “0” であることを確認して，保護対象レジスタに設定値が書き込まれたことを確認します。

2.4 ポート・グループの構成

この節では，ポート・グループの概要（表 2-26「ポート・グループ一覧」）を示します。

表 2-30「ポート端子の状態一覧」に，この製品がリセットされた場合または各スタンバイ・モード時の端子機能の変化を示します。

各項では，各ポート・グループのコンフィギュレーション・レジスタの設定を示します。（2.6「ポート 0」以降を参照）。

2.4.1 ポート／端子一覧

(1) ポート・グループ一覧

表 2-26 ポート・グループ一覧 (1/3)

ポート・グループ名称	ポート名称	兼用モード 1	兼用モード 2	兼用モード 3	兼用モード 4	特徴
P0	P0_0	ADCA0TRG2/ INTP5	－	－	URTH0RXD/ INTP0	• 入出力ポート • 1 ビット単位で入力 / 出力の指定が可能
	P0_1	ADCA0TRG1/ INTP4	－	－	URTH0TXD	
	P0_2	ADCA0TRG0/ INTP3	－	－	URTH0SC	
	P0_3	CLKOUT	－	－	URTH0CTS	
P1	P1_0	NMI/ CLKOUT	OSTM1O	－	TSG20O7	• 入出力ポート • 1 ビット単位で入力 / 出力の指定が可能
	P1_1	TAUJ0I0/ TAUJ0O0	－	－	TSG20O1	
	P1_2	TAUJ0I1/ TAUJ0O1	－	－	TSG20O2	
	P1_3	TAUJ0I2/ TAUJ0O2	－	－	TSG20O3	
	P1_4	TAUJ0I3/ TAUJ0O3	－	－	TSG20O4	
	P1_5	－	－	－	TSG20O5	
	P1_6	－	－	－	TSG20O6	
	P1_7	－	CSIG0SI	－	URTH0RXD/ TSG20O7/ INTP0	
	P1_8	TPB0O	CSIG0SO	－	URTH0TXD	
	P1_9	－	CSIG0SC	－	URTH0SC	

表 2-26 ポート・グループ一覧 (2/3)

ポート・グループ名称	ポート名称	兼用モード1	兼用モード2	兼用モード3	兼用モード4	特徴
P2	P2_0	TAUB0I1/ TAUB0O1	TAUB0I0/ TAUB0O0	URTH1SC	CSIG0RYI	• 入出力ポート • 1 ビット単位で入力 / 出力の指定が可能
	P2_1	TAUB0I3/ TAUB0O3	TAUB0I2/ TAUB0O2	−	CSIG1RYI	
	P2_2	TAUB0I5/ TAUB0O5	TAUB0I4/ TAUB0O4	TAUB0O10	−	
	P2_3	TAUB0I7/ TAUB0O7	TAUB0I6/ TAUB0O6	TAUB0O12	−	
	P2_4	TAUB0I9/ TAUB0O9	TAUB0I8/ TAUB0O8	TAUB0O14	−	
	P2_5	TAUB0I11/ TAUB0O11	TAUB0I10/ TAUB0O10	−	−	
	P2_6	TAUB0I13/ TAUB0O13	TAUB0I12/ TAUB0O12	−	−	
	P2_7	TAUB0I15/ TAUB0O15	TAUB0I14/ TAUB0O14	−	−	
P3	P3_0	−	−	URTH1RXD/ INTP1	−	• 入出力ポート • 1 ビット単位で入力 / 出力の指定が可能
	P3_1	−	−	URTH1TXD	−	
	P3_2	−	−	CSIG1SI	−	
	P3_3	−	−	CSIG1SO	TPB0O	
	P3_4	−	−	CSIG1SC	−	
	P3_5	−	−	−	INTP2/ FCN1TX	
	P3_6	−	−	−	FCN1RX	
P4	P4_0	URTH1RXD/ INTP1	−	FCN0TX	−	• 入出力ポート • 1 ビット単位で入力 / 出力の指定が可能
	P4_1	URTH1TXD	TSG20PTSI0/ ENCA0E0	FCN0RX	−	
	P4_2	CSIG1SI	TSG20PTSI1/ ENCA0E1/ OSTM1O	−	−	
	P4_3	CSIG1SO	TSG20PTSI2/ ENCA0EC/ OSTM0O	URTH1CTS	−	
	P4_4	CSIG1SC	−	URTH1RTS	ESO0/ INTP6/ CSIG0RYO	
	P4_5	−	−	ADCA0CNV2	INTP7/ CSIG1RYO	
	P4_6	−	−	ADCA0CNV1	ESO2/ INTP8	
	P4_7	NMI	−	ADCA0CNV0	INTP9	

表 2-26 ポート・グループ一覧 (3/3)

ポート・グループ名称	ポート名称	兼用モード1	兼用モード2	兼用モード3	兼用モード4	特徴
P5	P5_0	−	−	URTH0RXD/INTP0	−	• 入出力ポート • 1 ビット単位で入力 / 出力の指定が可能
	P5_1	−	−	URTH0TXD	ADCA0TRG0/INTP3	
	P5_2	−	INTP2	URTH0SC	ADCA0TRG1/INTP4	
	P5_3	−	ADCA0TRG0/INTP3	URTH0CTS	ADCA0TRG2/INTP5	
P8	P8_0	−	TAUB0O15	OSTM1O	−	• 入出力ポート • 1 ビット単位で入力 / 出力の指定が可能 • TGLOUT 出力
JP0 注	JP0_1	−	−	−	−	• JTAG ポート • JTAG インタフェース機能で使用
	JP0_2	−	−	−	−	
	JP0_3	−	−	−	−	
	JP0_5	−	−	−	−	

注 Nexus インタフェースと兼用しており，OPBT0.FOP31=0 の場合は JTAG ポートが有効，OPBT0.FOP31=1 の場合は Nexus インタフェースが有効となります。

(2) ポート以外の端子一覧

表 2-27 ポート以外の端子一覧 (1/6)

	端子名称	機能
INTC	NMI	ノンマスカブル外部割込み要求入力 マスカブル外部割込み要求入力
	INTP0	
	INTP1	
	INTP2	
	INTP3	
	INTP4	
	INTP5	
	INTP6	
	INTP7	
	INTP8	
	INTP9	

表 2-27 ポート以外の端子一覧 (2/6)

	端子名称	機能
TAUB0	TAUB0I0	TAUB0 チャネル入力
	TAUB0I1	
	TAUB0I2	
	TAUB0I3	
	TAUB0I4	
	TAUB0I5	
	TAUB0I6	
	TAUB0I7	
	TAUB0I8	
	TAUB0I9	
	TAUB0I10	
	TAUB0I11	
	TAUB0I12	
	TAUB0I13	
	TAUB0I14	
	TAUB0I15	
	TAUB0O0	TAUB0 チャネル出力
	TAUB0O1	
	TAUB0O2	
	TAUB0O3	
	TAUB0O4	
	TAUB0O5	
	TAUB0O6	
	TAUB0O7	
	TAUB0O8	
	TAUB0O9	
	TAUB0O10	
	TAUB0O11	
	TAUB0O12	
	TAUB0O13	
	TAUB0O14	
	TAUB0O15	

表 2-27 ポート以外の端子一覧 (3/6)

	端子名称	機能
TAUJ0	TAUJ0I0	TAUJ0 チャネル入力
	TAUJ0I1	
	TAUJ0I2	
	TAUJ0I3	
	TAUJ0O0	TAUJ0 チャネル出力
	TAUJ0O1	
	TAUJ0O2	
	TAUJ0O3	
TSG20	TSG20O1	TSG20 パルス出力
	TSG20O2	
	TSG20O3	
	TSG20O4	
	TSG20O5	
	TSG20O6	
	TSG20O7	
	TSG20PTSI0	TSG20 パターン入力
	TSG20PTSI1	
	TSG20PTSI2	
ENC0	ENCA0E0	ENC0 エンコーダカウンタのエンコーダ入力
	ENCA0E1	
	ENCA0EC	ENC0 エンコーダカウンタのクリア入力
TPB0	TPB0O	TPB0 タイマ・パターン・バッファのパルス出力
OST0	OSTM0O	OS タイマ 0 出力
OST1	OSTM1O	OS タイマ 1 出力
TAPA	ESO0	タイマ出力強制停止入力
	ESO2	
BRG	CLKOUT	クロック出力
CAN0	FCN0TX	CAN0 用送信データ出力
	FCN0RX	CAN0 用受信データ入力
CAN1	FCN1TX	CAN1 用送信データ出力
	FCN1RX	CAN1 用受信データ入力
UARTH0	URTH0TXD	UART0 シリアル送信データ出力
	URTH0RXD	UART0 シリアル受信データ入力
	URTH0CTS	UART0 送信ハンドシェーク入力
	URTH0SC	UART0 シリアル・クロック入出力

表 2-27 ポート以外の端子一覧 (4/6)

	端子名称	機能
UARTH1	URTH1TXD	UART1 シリアル送信データ出力
	URTH1RXD	UART1 シリアル受信データ入力
	URTH1CTS	UART1 送信ハンドシェーク入力
	URTH1RTS	UART1 受信ハンドシェーク出力
	URTH1SC	UART1 シリアル・クロック入出力
CSIG0	CSIG0SC	CSIG0 シリアル・クロック入出力
	CSIG0SI	CSIG0 シリアル受信データ入力
	CSIG0SO	CSIG0 シリアル送信データ出力
	CSIG0RYI	CSIG0 シリアル・レディ / ビジー入力
	CSIG0RYO	CSIG0 シリアル・レディ / ビジー出力
CSIG1	CSIG1SC	CSIG1 シリアル・クロック入出力
	CSIG1SI	CSIG1 シリアル受信データ入力
	CSIG1SO	CSIG1 シリアル送信データ出力
	CSIG1RYI	CSIG1 シリアル・レディ / ビジー入力
	CSIG1RYO	CSIG1 シリアル・レディ / ビジー出力

表 2-27 ポート以外の端子一覧 (5/6)

	端子名称	機能
ADCA0	ADCA0I1	A/D コンバータへのアナログ入力
	ADCA0I2	
	ADCA0I3	
	ADCA0I4	
	ADCA0I5	
	ADCA0I6	
	ADCA0I7	
	ADCA0I8	
	ADCA0I9	
	ADCA0I10	
	ADCA0I11	
	ADCA0I12	
	ADCA0I13	
	ADCA0I14	
	ADCA0I15	
	ADCA0I16	
	ADCA0I17	
	ADCA0I18	
	ADCA0TRG0	A/D コンバータ用外部トリガ入力
	ADCA0TRG1	
	ADCA0TRG2	
	ADCA0CNV0	A/D コンバータ用ステータス出力
	ADCA0CNV1	
	ADCA0CNV2	
	AVDD0	A/D コンバータ用正電源供給
	AVSS0	A/D コンバータ用グランド電位
	AVREF0P	A/D コンバータ用基準電源供給
	AVREF0M	A/D コンバータ用基準グランド電位
SGA	ERROROUT	セーフティ・ガーディアン・エラー出力
Nexus	DCUTCK 注	デバッグ・クロック入力
	DCUTDI	デバッグ・データ入力
	DCUTDO 注	デバッグ・データ出力
	DCUTMS 注	デバッグ・モード・セレクト入力
	$\overline{\text{DCUTRST}}$	デバッグ・リセット入力
	$\overline{\text{DCUTRDY}}$ 注	デバッグ・レディ出力

表 2-27 ポート以外の端子一覧 (6/6)

	端子名称	機能
その他デバッグ機能	$\overline{\text{DCUEVTO}}$	イベント・トリガ出力
	$\overline{\text{RESETOUT}}$, RESETOUT	デバッグ・リセット出力
	LPDIO	1 ピン・デバッグ入出力端子
RESET	$\overline{\text{RESET}}$	システム・リセット入力
CLOCK	X1	システム・クロック発信用クリスタル接続
	X2	
MODE	FLMD0	動作モード指定端子／フラッシュ書き込み制御
	FLMD1	動作モード指定端子
POWER	OSCVDD	OSC 端子用正電源供給
	OSCVSS	OSC 端子用グランド電位
	VDD	内蔵レギュレータ用正電源供給
	VSS	内蔵レギュレータ用グランド電位
	EVDD	外部端子用，コード・フラッシュ / データ・フラッシュメモリ用正電源供給
	EVSS	外部端子用，コード・フラッシュ / データ・フラッシュメモリ用グランド電位
	REGC0	内蔵レギュレータ用キャパシタ接続端子
	REGC1	内蔵レギュレータ用キャパシタ接続端子

注 JTAG ポートと兼用しており，OPBT0.FOP31=0 の場合は JTAG ポートが有効，OPBT0.FOP31=1 の場合は Nexus インタフェースが有効となります。

(3) ポート端子の未使用時端子処置

表 2-28 ポート端子の未使用時端子処置一覧 (1/3)

ポート・グループ名称	ポート名	兼用モード1	兼用モード2	兼用モード3	兼用モード4	入出力回路タイプ	未使用時の端子処置
P0	P0_0	ADCA0TRG2/INTP5	-	-	URTH0RXD/INTP0	Type 5-W	ポート・モード(PMCn_m = 0) で入力(PMn_m = 1) に設定し，且つ，内蔵Pullup 抵抗を接続(PUn_m = 1)。端子処置はオープンにする。
	P0_1	ADCA0TRG1/INTP4	-	-	URTH0TXD		
	P0_2	ADCA0TRG0/INTP3	-	-	URTH0SC		
	P0_3	CLKOUT	-	-	URTH0CTS		
P1	P1_0	NMI/CLKOUT	OSTM1O	-	TSG20O7	Type 5-W	ポート・モード(PMCn_m = 0) で入力(PMn_m = 1) に設定し，且つ，内蔵Pullup 抵抗を接続(PUn_m = 1)。端子処置はオープンにする。
	P1_1	TAUJ0I0/TAUJ0O0	-	-	TSG20O1		
	P1_2	TAUJ0I1/TAUJ0O1	-	-	TSG20O2		
	P1_3	TAUJ0I2/TAUJ0O2	-	-	TSG20O3		
	P1_4	TAUJ0I3/TAUJ0O3	-	-	TSG20O4		
	P1_5	-	-	-	TSG20O5		
	P1_6	-	-	-	TSG20O6		
	P1_7	-	CSIG0SI	-	URTH0RXD/TSG20O7/INTP0		
	P1_8	TPB0O	CSIG0SO	-	URTH0TXD		
	P1_9	-	CSIG0SC	-	URTH0SC		
P2	P2_0	TAUB0I1/TAUB0O1	TAUB0I0/TAUB0O0	URTH1SC	CSIG0RYI	Type 5-W	ポート・モード(PMCn_m = 0) で入力(PMn_m = 1) に設定し，且つ，内蔵Pullup 抵抗を接続(PUn_m = 1)。端子処置はオープンにする。
	P2_1	TAUB0I3/TAUB0O3	TAUB0I2/TAUB0O2	-	CSIG1RYI		
	P2_2	TAUB0I5/TAUB0O5	TAUB0I4/TAUB0O4	TAUB0O10	-		
	P2_3	TAUB0I7/TAUB0O7	TAUB0I6/TAUB0O6	TAUB0O12	-		
	P2_4	TAUB0I9/TAUB0O9	TAUB0I8/TAUB0O8	TAUB0O14	-		
	P2_5	TAUB0I11/TAUB0O11	TAUB0I10/TAUB0O10	-	-		
	P2_6	TAUB0I13/TAUB0O13	TAUB0I12/TAUB0O12	-	-		
	P2_7	TAUB0I15/TAUB0O15	TAUB0I14/TAUB0O14	-	-		

表 2-28 ポート端子の未使用時端子処置一覧 (2/3)

ポート・グループ名称	ポート名	兼用モード1	兼用モード2	兼用モード3	兼用モード4	入出力回路タイプ	未使用時の端子処置
P3	P3_0	-	-	URTH1RXD/ INTP1	-	Type 5-W	ポート・モード (PMCn_m = 0) で入力 (PMn_m = 1) に設定し，且つ，内蔵 Pullup 抵抗を接続 (PUn_m = 1)。端子処置はオープンにする。
	P3_1	-	-	URTH1TXD	-		
	P3_2	-	-	CSIG1SI	-		
	P3_3	-	-	CSIG1SO	TPB0O		
	P3_4	-	-	CSIG1SC	-		
	P3_5	-	-	-	INTP2/ FCN1TX		
	P3_6	-	-	-	FCN1RX		
P4	P4_0	URTH1RXD/ INTP1	-	FCN0TX	-	Type 5-W	ポート・モード (PMCn_m = 0) で入力 (PMn_m = 1) に設定し，且つ，内蔵 Pullup 抵抗を接続 (PUn_m = 1)。端子処置はオープンにする。
	P4_1	URTH1TXD	TSG20 PTSI0/ ENCA0E0	FCN0RX	-		
	P4_2	CSIG1SI	TSG20 PTSI1/ ENCA0E1/ OSTM1O	-	-		
	P4_3	CSIG1SO	TSG20 PTSI2/ ENCA0EC/ OSTM0O	URTH1CTS	-		
	P4_4	CSIG1SC	-	URTH1RTS	ESO0/ INTP6/ CSIG0RYO		
	P4_5	-	-	ADCA0CNV2	INTP7/ CSIG1RYO		
	P4_6	-	-	ADCA0CNV1	ESO2/ INTP8		
	P4_7	NMI	-	ADCA0CNV0	INTP9		
P5	P5_0	-	-	URTH0RXD/ INTP0	-	Type 5-W	ポート・モード (PMCn_m = 0) で入力 (PMn_m = 1) に設定し，且つ，内蔵 Pullup 抵抗を接続 (PUn_m = 1)。端子処置はオープンにする。
	P5_1	-	-	URTH0TXD	ADCA0 TRG0/ INTP3		
	P5_2	-	INTP2	URTH0SC	ADCA0 TRG1/ INTP4		
	P5_3	-	ADCA0 TRG0/ INTP3	URTH0CTS	ADCA0 TRG2/ INTP5		

表 2-28 ポート端子の未使用時端子処置一覧 (3/3)

ポート・グループ名称	ポート名	兼用モード1	兼用モード2	兼用モード3	兼用モード4	入出力回路タイプ	未使用時の端子処置
P8	P8_0	-	TAUB0O15	OSTM1O	-	Type 5-W	ポート・モード (PMCn_m = 0) で入力 (PMn_m = 1) に設定し，且つ，内蔵 Pullup 抵抗を接続 (PUn_m = 1)。端子処置はオープンにする。
JP0 注	JP0_1					Type TDO	入力時：入力 (JPM0_m = 1) に設定し，且つ，内蔵 Pullup 抵抗を接続 (JPU0_m = 1)。端子処置はオープンにする。
	JP0_2					Type TCK	
	JP0_3					Type TMS	
	JP0_5					Type $\overline{\text{RDY}}$	

注 Nexus インタフェースと兼用しており，OPBT0.FOP31=0 の場合は JTAG ポートが有効，OPBT0.FOP31=1 の場合は Nexus インタフェースが有効となります。

(4) ポート以外の端子の未使用時端子処置

表 2-29 ポート以外の端子の未使用時端子処置一覧 (1/2)

端子名称	入出力回路タイプ	端子処置
FLMD0	Type 2-W	必ず使用 270 KΩ 以上の抵抗を介して EVSS に接続
FLMD1	Type 2-I	必ず使用 EVSS に直接接続
$\overline{\text{RESET}}$	Type 2-I	必ず使用
$\overline{\text{DCUTRST}}$	Type 2-X	EVSS に接続
DCUTCK 注	Type TCK	オープン
DCUTDI	Type LPDIO	
DCUTDO 注	Type TDO	
DCUTMS 注	Type TMS	
$\overline{\text{DCUTRDY}}$ 注	Type $\overline{\text{RDY}}$	
$\overline{\text{DCUEVTO}}$	Type 3	
ERROROUT	Type ERROROUT	オープン
X1	-	必ず使用
X2	-	
ADCA0I1	Type 7	（ADC を使用しない場合） EVDD または EVSS に直接接続 （ADC は使用するが，使用しない ch がある場合） AVDD0 または AVSS0 に直接接続
ADCA0I2		
ADCA0I3		
ADCA0I4		
ADCA0I5		
ADCA0I6		
ADCA0I7		
ADCA0I8		
ADCA0I9		
ADCA0I10		
ADCA0I11		
ADCA0I12		
ADCA0I13		
ADCA0I14		
ADCA0I15		
ADCA0I16		
ADCA0I17		
ADCA0I18		
AVREF0P	-	（ADC を使用しない場合）EVDD に接続
AVREF0M	-	（ADC を使用しない場合）EVSS に接続
AVDD0	-	（ADC を使用しない場合）EVDD に接続
AVSS0	-	（ADC を使用しない場合）EVSS に接続

表 2-29 ポート以外の端子の未使用時端子処置一覧 (2/2)

端子名称	入出力回路タイプ	端子処置
VDD	-	必ず使用
VSS	-	
OSCVDD	-	
OSCVSS	-	
EVDD	-	
EVSS	-	
REGC0	-	
REGC1	-	

注 JTAG ポートと兼用しており，OPBT0.FOP31=0 の場合は JTAG ポートが有効，
OPBT0.FOP31=1 の場合は Nexus インタフェースが有効となります。

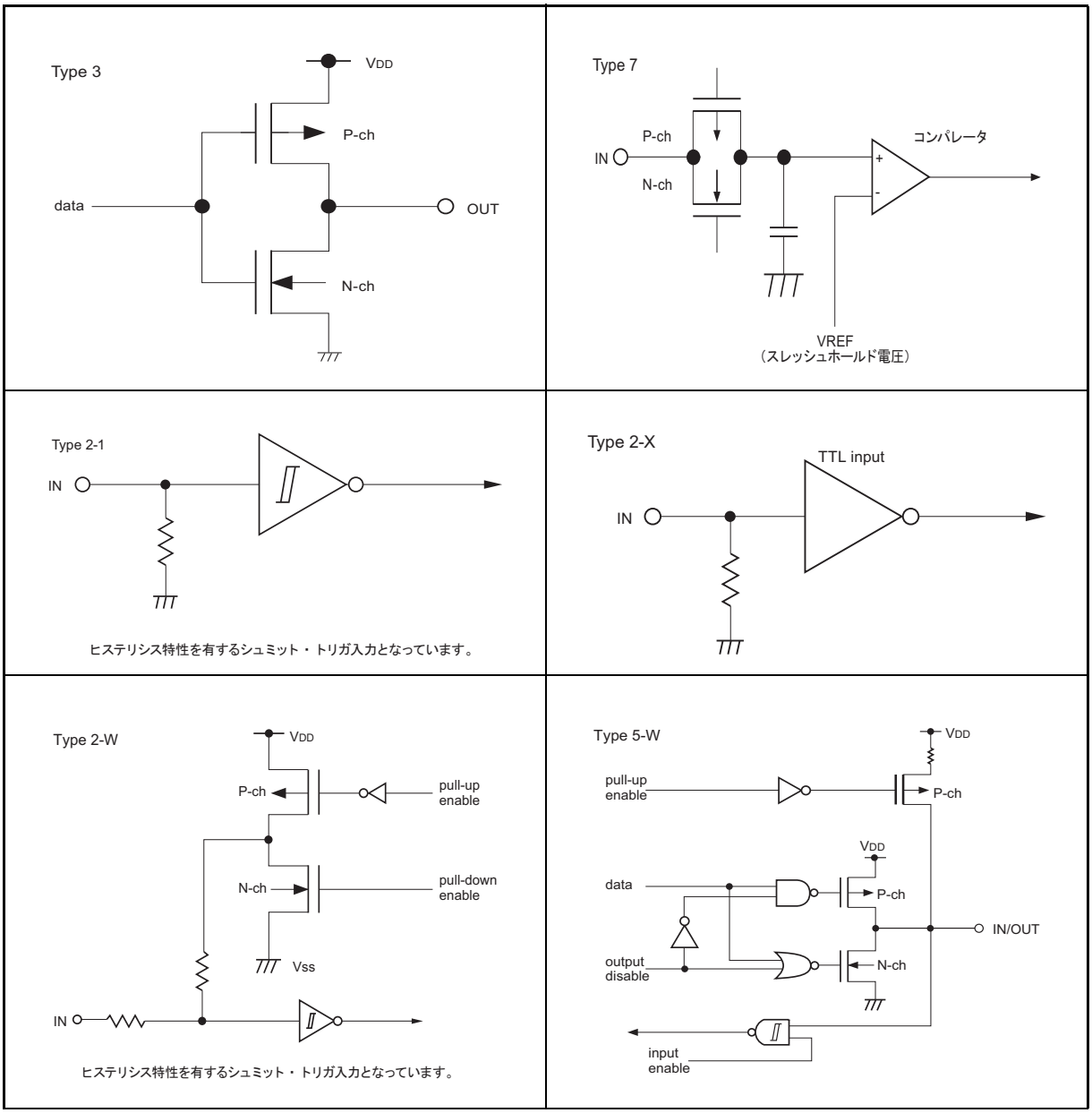


図 2-2 入出力回路タイプ (1/2)

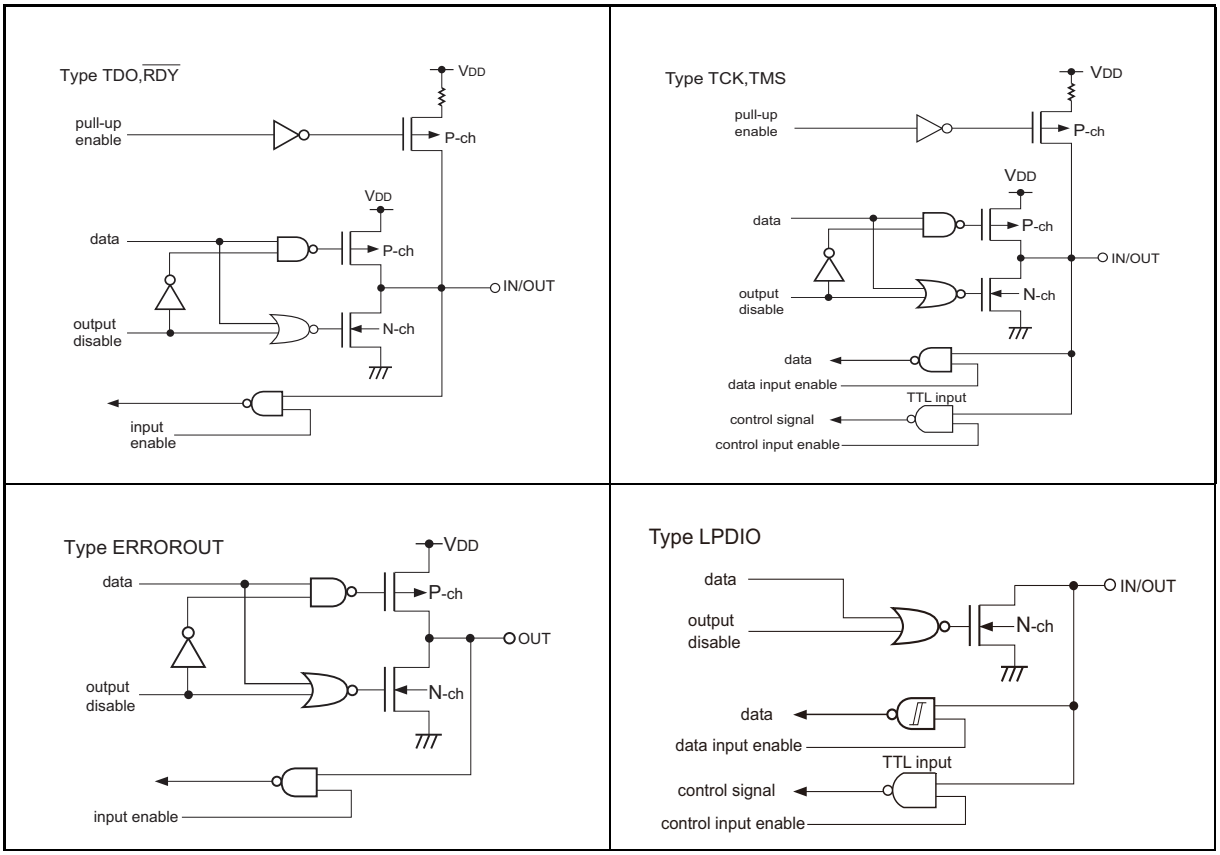


図 2-3 入出力回路タイプ (2/2)

(5) ポート端子の状態

表 2-30 ポート端子の状態一覧 (1/2)

ポート・グループ名称	端子名称	兼用モード1	兼用モード2	兼用モード3	兼用モード4	リセット	自己診断BIST実行中	CPUコア・リセット解除直後	HALTモード
P0	P0_0	ADCA0TRG2/INTP5	-	-	URTH0RXD/INTP0	Hi-Z	Hi-Z	Hi-Z	ポート出力：保持 ポート入力：非サンプリング 兼用出力：動作可能 兼用入力：動作可能
	P0_1	ADCA0TRG1/INTP4	-	-	URTH0TXD				
	P0_2	ADCA0TRG0/INTP3	-	-	URTH0SC				
	P0_3	CLKOUT	-	-	URTH0CTS				
P1	P1_0	NMI/CLKOUT	OSTM1O	-	TSG20O7	Hi-Z	Hi-Z	Hi-Z	ポート出力：保持 ポート入力：非サンプリング 兼用出力：動作可能 兼用入力：動作可能
	P1_1	TAUJ0I0/TAUJ0O0	-	-	TSG20O1				
	P1_2	TAUJ0I1/TAUJ0O1	-	-	TSG20O2				
	P1_3	TAUJ0I2/TAUJ0O2	-	-	TSG20O3				
	P1_4	TAUJ0I3/TAUJ0O3	-	-	TSG20O4				
	P1_5	-	-	-	TSG20O5				
	P1_6	-	-	-	TSG20O6				
	P1_7	-	CSIG0SI	-	URTH0RXD/TSG20O7/INTP0				
	P1_8	TPB0O	CSIG0SO	-	URTH0TXD				
	P1_9	-	CSIG0SC	-	URTH0SC				
P2	P2_0	TAUB0I1/TAUB0O1	TAUB0I0/TAUB0O0	URTH1SC	CSIG0RYI	Hi-Z	Hi-Z	Hi-Z	ポート出力：保持 ポート入力：非サンプリング 兼用出力：動作可能 兼用入力：動作可能
	P2_1	TAUB0I3/TAUB0O3	TAUB0I2/TAUB0O2	-	CSIG1RYI				
	P2_2	TAUB0I5/TAUB0O5	TAUB0I4/TAUB0O4	TAUB0O10	-				
	P2_3	TAUB0I7/TAUB0O7	TAUB0I6/TAUB0O6	TAUB0O12	-				
	P2_4	TAUB0I9/TAUB0O9	TAUB0I8/TAUB0O8	TAUB0O14	-				
	P2_5	TAUB0I11/TAUB0O11	TAUB0I10/TAUB0O10	-	-				
	P2_6	TAUB0I13/TAUB0O13	TAUB0I12/TAUB0O12	-	-				
	P2_7	TAUB0I15/TAUB0O15	TAUB0I14/TAUB0O14	-	-				
P3	P3_0	-	-	URTH1RXD/INTP1	-	Hi-Z	Hi-Z	Hi-Z	ポート出力：保持 ポート入力：非サンプリング 兼用出力：動作可能 兼用入力：動作可能
	P3_1	-	-	URTH1TXD	-				
	P3_2	-	-	CSIG1SI	-				
	P3_3	-	-	CSIG1SO	TPB0O				
	P3_4	-	-	CSIG1SC	-				
	P3_5	-	-	-	INTP2/FCN1TX				
	P3_6	-	-	-	FCN1RX				

表 2-30 ポート端子の状態一覧 (2/2)

ポート・グループ名称	端子名称	兼用モード1	兼用モード2	兼用モード3	兼用モード4	リセット	自己診断BIST実行中	CPUコア・リセット解除直後	HALTモード
P4	P4_0	URTH1RXD/INTP1	-	FCN0TX	-	Hi-Z	Hi-Z	Hi-Z	ポート出力：保持 ポート入力：非サンプリング 兼用出力：動作可能 兼用入力：動作可能
	P4_1	URTH1TXD	TSG20PTSI0/ENCA0E0	FCN0RX	-				
	P4_2	CSIG1SI	TSG20PTSI1/ENCA0E1/OSTM1O	-	-				
	P4_3	CSIG1SO	TSG20PTSI2/ENCA0EC/OSTM0O	URTH1CTS	-				
	P4_4	CSIG1SC	-	URTH1RTS	ESO0/INTP6/CSIG0RYO				
	P4_5	-	-	ADCA0CNV2	INTP7/CSIG1RYO				
	P4_6	-	-	ADCA0CNV1	ESO2/INTP8				
	P4_7	NMI	-	ADCA0CNV0	INTP9				
P5	P5_0	-	-	URTH0RXD/INTP0	-	Hi-Z	Hi-Z	Hi-Z	ポート出力：保持 ポート入力：非サンプリング 兼用出力：動作可能 兼用入力：動作可能
	P5_1	-	-	URTH0TXD	ADCA0TRG0/INTP3				
	P5_2	-	INTP2	URTH0SC	ADCA0TRG1/INTP4				
	P5_3	-	ADCA0TRG0/INTP3	URTH0CTS	ADCA0TRG2/INTP5				
P8	P8_0	－	TAUB0O15	OSTM1O	－	Hi-Z	Hi-Z	Hi-Z	ポート出力：保持 ポート入力：非サンプリング 兼用出力：動作可能 兼用入力：動作可能
JP0 注	JP0_1	－	－	－	－	Hi-Z	Hi-Z	Hi-Z	ポート出力：保持 ポート入力：非サンプリング
	JP0_2	－	－	－	－	Hi-Z	Hi-Z	Hi-Z	
	JP0_3	－	－	－	－	Hi-Z	Hi-Z	Hi-Z	
	JP0_5	－	－	－	－	Hi-Z	Hi-Z	Hi-Z	

注 Nexus インタフェースと兼用しており，OPBT0.FOP31=0 の場合は JTAG ポートが有効，OPBT0.FOP31=1 の場合は Nexus インタフェースが有効となります。

(6) ポート以外の端子の状態

表 2-31 ポート以外の端子の状態一覧 (1/2)

端子名称	リセット	自己診断 BIST 実行中	CPU コア・リセット解除直後	HALT モード
FLMD0	−	−	−	−
FLMD1	−	−	−	−
$\overline{\text{RESET}}$	Low	High	High	High
$\overline{\text{DCUTRST}}$	*1	*1	動作	動作
$\overline{\text{DCUEVTO}}$	Low	Low	動作 *2	動作 *2
DCUTDI	Hi-Z	Hi-Z	動作 *4,*5	動作 *4
DCUTDO*6	Hi-Z	Hi-Z	動作 *4,*5	動作 *4
DCUTCK*6	Hi-Z	Hi-Z	動作 *4,*5	動作 *4
DCUTMS*6	Hi-Z	Hi-Z	動作 *4,*5	動作 *4
$\overline{\text{DCUTRDY}}$*6	Hi-Z	Hi-Z	動作 *4,*5	動作 *4
ERROROUT*3	Hi-Z	Low	Low	動作可能
X1	動作	動作	動作	動作
X2	動作	動作	動作	動作

*1 $\overline{\text{DCUTRST}}$ にハイ・レベルを入力する場合は，$\overline{\text{DCUTRDY}}$ のロウ・レベル出力を確認し，Nexus スタートアップ・シーケンスを実行後にハイ・レベルを入力してください。操作手順については 25.3「オンチップ・デバッグ時の注意事項」を参照願います。

*2 $\overline{\text{DCUEVTO}}$ は，内部リセット（CPURES）がロウ・レベルの期間，ロウ・レベル出力となります。$\overline{\text{DCUTRST}}$ をハイ･レベルにすると，$\overline{\text{DCUEVTO}}$ 出力になります。

*3 ERROROUT 端子は外部リセット中 Hi-Z となり，外部リセット以外のリセット中はロウ・レベルとなります。ただし，デバッグ・モード時の外部リセット中，ERROROUT 端子はロウ・レベルとなります。

*4 $\overline{\text{DCUTRST}}$ = L 時は Hi-Z

*5 開発ツール（RAM Monitor など）は，$\overline{\text{DCUTRDY}}$ = L の後に $\overline{\text{DCUTRST}}$ をハイ・レベルにしてください。

*6 JTAG ポートと兼用しており，OPBT0.FOP31=0 の場合は JTAG ポートが有効，OPBT0.FOP31=1 の場合は Nexus インタフェースが有効となります。

表 2-31 ポート以外の端子の状態一覧 (2/2)

端子名称	リセット	自己診断 BIST 実行中	CPU コア・リセット解除直後	HALT モード
ADCA0I1	−	−	動作可能	動作可能
ADCA0I2				
ADCA0I3				
ADCA0I4				
ADCA0I5				
ADCA0I6				
ADCA0I7				
ADCA0I8				
ADCA0I9				
ADCA0I10				
ADCA0I11				
ADCA0I12				
ADCA0I13				
ADCA0I14				
ADCA0I15				
ADCA0I16				
ADCA0I17				
ADCA0I18				
AVREF0P			−	−
AVREF0M				
AVDD0				
AVSS0				
VDD				
VSS				
OSCVDD				
OSCVSS				
EVDD				
EVSS				
REGC0	−	−	−	−
REGC1				

(7) 特定条件における端子の状態

1. オンチップ・デバッグ・モード時，外部リセット中のポート端子状態は Hi-Z となります。
   オンチップ・デバッグ・モード時の外部リセット解除後は，自己診断 BIST は実行されません。
2. フラッシュ・メモリ・プログラミング・モード時の端子状態は，シングルチップ・モード時と同じです。
   フラッシュ・メモリ・プログラミング・モード時は，自己診断 BIST は実行しません。

2.5 プルアップ抵抗，プルダウン抵抗機能

この節では，プルアップ抵抗，プルダウン抵抗の対象端子について示します。

2.5.1 プルアップ抵抗，プルダウン抵抗詳細

(1) ポート端子のプルアップ抵抗，プルダウン抵抗

表 2-32 ポート端子のプルアップ抵抗，プルダウン抵抗一覧 (1/3)

ポート・グループ名称	ポート名	兼用モード1	兼用モード2	兼用モード3	兼用モード4	プルアップ抵抗，プルダウン抵抗
P0	P0_0	ADCA0TRG2/ INTP5	-	-	URTH0RXD/ INTP0	ソフトウェア・プルアップ（初期値 OFF）
	P0_1	ADCA0TRG1/ INTP4	-	-	URTH0TXD	
	P0_2	ADCA0TRG0/ INTP3	-	-	URTH0SC	
	P0_3	CLKOUT	-	-	URTH0CTS	
P1	P1_0	NMI/ CLKOUT	OSTM1O	-	TSG20O7	ソフトウェア・プルアップ（初期値 OFF）
	P1_1	TAUJ0I0/ TAUJ0O0	-	-	TSG20O1	
	P1_2	TAUJ0I1/ TAUJ0O1	-	-	TSG20O2	
	P1_3	TAUJ0I2/ TAUJ0O2	-	-	TSG20O3	
	P1_4	TAUJ0I3/ TAUJ0O3	-	-	TSG20O4	
	P1_5	-	-	-	TSG20O5	
	P1_6	-	-	-	TSG20O6	
	P1_7	-	CSIG0SI	-	URTH0RXD/ TSG20O7/ INTP0	
	P1_8	TPB0O	CSIG0SO	-	URTH0TXD	
	P1_9	-	CSIG0SC	-	URTH0SC	

表 2-32 ポート端子のプルアップ抵抗，プルダウン抵抗一覧 (2/3)

ポート・グループ名称	ポート名	兼用モード1	兼用モード2	兼用モード3	兼用モード4	プルアップ抵抗，プルダウン抵抗
P2	P2_0	TAUB0I1/ TAUB0O1	TAUB0I0/ TAUB0O0	URTH1SC	CSIG0RYI	ソフトウェア・プルアップ（初期値 OFF）
	P2_1	TAUB0I3/ TAUB0O3	TAUB0I2/ TAUB0O2	-	CSIG1RYI	
	P2_2	TAUB0I5/ TAUB0O5	TAUB0I4/ TAUB0O4	TAUB0O10	-	
	P2_3	TAUB0I7/ TAUB0O7	TAUB0I6/ TAUB0O6	TAUB0O12	-	
	P2_4	TAUB0I9/ TAUB0O9	TAUB0I8/ TAUB0O8	TAUB0O14	-	
	P2_5	TAUB0I11/ TAUB0O11	TAUB0I10/ TAUB0O10	-	-	
	P2_6	TAUB0I13/ TAUB0O13	TAUB0I12/ TAUB0O12	-	-	
	P2_7	TAUB0I15/ TAUB0O15	TAUB0I14/ TAUB0O14	-	-	
P3	P3_0	-	-	URTH1RXD/ INTP1	-	ソフトウェア・プルアップ（初期値 OFF）
	P3_1	-	-	URTH1TXD	-	
	P3_2	-	-	CSIG1SI	-	
	P3_3	-	-	CSIG1SO	TPB0O	
	P3_4	-	-	CSIG1SC	-	
	P3_5	-	-	-	INTP2/ FCN1TX	
	P3_6	-	-	-	FCN1RX/	
P4	P4_0	URTH1RXD/ INTP1	-	FCN0TX	-	ソフトウェア・プルアップ（初期値 OFF）
	P4_1	URTH1TXD	TSG20PTSI0/ ENCA0E0	FCN0RX	-	
	P4_2	CSIG1SI	TSG20PTSI1/ ENCA0E1/ OSTM1O	-	-	
	P4_3	CSIG1SO	TSG20PTSI2/ ENCA0EC/ OSTM0O	URTH1CTS	-	
	P4_4	CSIG1SC	-	URTH1RTS	ESO0/ INTP6/ CSIG0RYO	
	P4_5	-	-	ADCA0CNV2	INTP7/ CSIG1RYO	
	P4_6	-	-	ADCA0CNV1	ESO2/ INTP8	
	P4_7	NMI	-	ADCA0CNV0	INTP9	

表 2-32 ポート端子のプルアップ抵抗，プルダウン抵抗一覧 (3/3)

ポート・グループ名称	ポート名	兼用モード1	兼用モード2	兼用モード3	兼用モード4	プルアップ抵抗，プルダウン抵抗
P5	P5_0	-	-	URTH0RXD/ INTP0	-	ソフトウェア・プルアップ（初期値 OFF）
	P5_1	-	-	URTH0TXD	ADCA0TRG0/ INTP3	
	P5_2	-	INTP2	URTH0SC	ADCA0TRG1/ INTP4	
	P5_3	-	ADCA0TRG0/ INTP3	URTH0CTS	ADCA0TRG2/ INTP5	
P8	P8_0	-	TAUB0O15	OSTM1O	-	ソフトウェア・プルアップ（初期値 OFF）
JP0	JP_1	-	-	-	-	ソフトウェア・プルアップ（初期値 OFF）
	JP_2	-	-	-	-	ソフトウェア・プルアップ（初期値 OFF）
	JP_3	-	-	-	-	ソフトウェア・プルアップ（初期値 OFF）
	JP_5	-	-	-	-	ソフトウェア・プルアップ（初期値 OFF）

(2) ポート端子以外の端子のプルアップ抵抗，プルダウン抵抗

表 2-33 ポート端子以外の端子のプルアップ抵抗，プルダウン抵抗一覧 (1/2)

端子名称	プルアップ抵抗，プルダウン抵抗
FLMD0	ソフトウェア・プルアップ／プルダウン（初期値プルダウン ON）
FLMD1	常にプルダウン
$\overline{\text{RESET}}$	常にプルダウン
$\overline{\text{DCUTRST}}$	常にプルダウン
$\overline{\text{DCUEVTO}}$	－
DCUTDI	－
DCUTDO	内蔵プルアップに接続 ただし，DCUTDO 出力時はプルアップ抵抗は接続されません。
DCUTCK	内蔵プルアップに接続
DCUTMS	内蔵プルアップに接続
$\overline{\text{DCUTRDY}}$	－
ERROROUT	－
X1	－
X2	－

表 2-33 ポート端子以外の端子のプルアップ抵抗，プルダウン抵抗一覧 (2/2)

端子名称	プルアップ抵抗，プルダウン抵抗
ADCA0I1	ソフトウェア・プルダウン （初期値 OFF）
ADCA0I2	
ADCA0I3	
ADCA0I4	
ADCA0I5	
ADCA0I6	
ADCA0I7	
ADCA0I8	
ADCA0I9	
ADCA0I10	
ADCA0I11	
ADCA0I12	
ADCA0I13	
ADCA0I14	
ADCA0I15	
ADCA0I16	
ADCA0I17	
ADCA0I18	
AVREF0P	−
AVREF0M	−
AVDD0	−
AVSS0	−
VDD	−
VSS	
OSCVDD	
OSCVSS	
EVDD	
EVSS	
REGC0	
REGC1	

2.6 ポート 0

この節では，ポート 0 の兼用機能と制御レジスタについて示します。

2.6.1 兼用機能

(1) ポート 0 兼用機能

表 2-34 ポート 0 兼用機能一覧

ポートモード (PMC=0)	コントロールモード (PMC=1)							
	兼用モード 1 (PFC=0, PFCE=0)		兼用モード 2 (PFC=1, PFCE=0)		兼用モード 3 (PFC=0, PFCE=1)		兼用モード 4 (PFC=1, PFCE=1)	
	入力 (PM=1)	出力 (PM=0)	入力 (PM=1)	出力 (PM=0)	入力 (PM=1)	出力 (PM=0)	入力 (PM=1)	出力 (PM=0)
P0_0	INTP5/ ADCA0 TRG2	−	−	−	−	−	URTH0 RXD/ INTP0	−
P0_1	INTP4/ ADCA0 TRG1	−	−	−	−	−	−	URTH0 TXD
P0_2	INTP3/ ADCA0 TRG0	−	−	−	−	−	URTH0 SC	URTH0 SC
P0_3	−	CLKOUT	−	−	−	−	URTH0 CTS	−

2.6.2 制御レジスター覧

(1) ポート 0 制御レジスタ

表 2-35 ポート 0 制御レジスター覧

名称	ビット数			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	8	16	32																
P0	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
PSR0	—	—	○	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
				—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
PPR0	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
PM0	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
PMC0	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
PFC0	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
PFCE0	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
PNOT0	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
PMSR0	—	—	○	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
				—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
PMCSR0	—	—	○	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
				—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
PIBC0	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
PBDC0	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	—
PIPC0	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	—	—
PU0	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○

2.7 ポート 1

この節では，ポート 1 の兼用機能と制御レジスタについて示します。

2.7.1 兼用機能

(1) ポート 1 兼用機能

表 2-36 ポート 1 兼用機能一覧

ポートモード (PMC=0)	コントロールモード (PMC=1)							
	兼用モード 1 (PFC=0, PFCE=0)		兼用モード 2 (PFC=1, PFCE=0)		兼用モード 3 (PFC=0, PFCE=1)		兼用モード 4 (PFC=1, PFCE=1)	
	入力 (PM=1)	出力 (PM=0)	入力 (PM=1)	出力 (PM=0)	入力 (PM=1)	出力 (PM=0)	入力 (PM=1)	出力 (PM=0)
P1_0	NMI	CLKOUT	－	OSTM1O	－	－	－	TSG20O7
P1_1	TAUJ0I0	TAUJ0O0	－	－	－	－	－	TSG20O1
P1_2	TAUJ0I1	TAUJ0O1	－	－	－	－	－	TSG20O2
P1_3	TAUJ0I2	TAUJ0O2	－	－	－	－	－	TSG20O3
P1_4	TAUJ0I3	TAUJ0O3	－	－	－	－	－	TSG20O4
P1_5	－	－	－	－	－	－	－	TSG20O5
P1_6	－	－	－	－	－	－	－	TSG20O6
P1_7	－	－	CSIG0SI	－	－	－	URTH0 RXD/ INTP0	TSG20O7
P1_8	－	TPB0O	CSIG0SO *1	CSIG0SO	－	－	－	URTH0 TXD
P1_9	－	－	CSIG0SC	CSIG0SC	－	－	URTH0 SC	URTH0 SC

*1 データー貫性チェック機能に対応。

2.7.2 制御レジスター覧

(1) ポート1制御レジスタ

表 2-37 ポート1制御レジスター覧

名称	ビット数			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	8	16	32																
P1	—	○	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○
PSR1	—	—	○	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○
				—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○
PPR1	—	○	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○
PM1	—	○	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○
PMC1	—	○	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○
PFC1	—	○	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○
PFCE1	—	○	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○
PNOT1	—	○	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○
PMSR1	—	—	○	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○
				—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○
PMCSR1	—	—	○	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○
				—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○
PIBC1	—	○	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○
PBDC1	—	○	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○
PIPC1	—	○	—	—	—	—	—	—	—	○	—	—	○	○	○	○	○	○	—
PU1	—	○	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○

2.8 ポート 2

この節では，ポート 2 の兼用機能と制御レジスタについて示します。

2.8.1 兼用機能

(1) ポート 2 兼用機能

表 2-38 ポート 2 兼用機能一覧

ポート モード (PMC=0)	コントロールモード (PMC=1)							
	兼用モード 1 (PFC=0, PFCE=0)		兼用モード 2 (PFC=1, PFCE=0)		兼用モード 3 (PFC=0, PFCE=1)		兼用モード 4 (PFC=1, PFCE=1)	
	入力 (PM=1)	出力 (PM=0)	入力 (PM=1)	出力 (PM=0)	入力 (PM=1)	出力 (PM=0)	入力 (PM=1)	出力 (PM=0)
P2_0	TAUB0I1	TAUB0O1	TAUB0I0	TAUB0O0	URTH1SC	URTH1SC	CSIG0RYI	−
P2_1	TAUB0I3	TAUB0O3	TAUB0I2	TAUB0O2	−	−	CSIG1RYI	−
P2_2	TAUB0I5	TAUB0O5	TAUB0I4	TAUB0O4	−	TAUB0O10	−	−
P2_3	TAUB0I7	TAUB0O7	TAUB0I6	TAUB0O6	−	TAUB0O12	−	−
P2_4	TAUB0I9	TAUB0O9	TAUB0I8	TAUB0O8	−	TAUB0O14	−	−
P2_5	TAUB0I11	TAUB0O11	TAUB0I10	TAUB0O10	−	−	−	−
P2_6	TAUB0I13	TAUB0O13	TAUB0I12	TAUB0O12	−	−	−	−
P2_7	TAUB0I15	TAUB0O15	TAUB0I14	TAUB0O14	−	−	−	−

2.8.2 制御レジスター覧

(1) ポート 2 制御レジスタ

表 2-39 ポート 2 制御レジスター覧

名称	ビット数			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	8	16	32																
P2	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PSR2	—	—	○	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
				—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PPR2	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PM2	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PMC2	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PFC2	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PFCE2	—	○	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○
PNOT2	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PMSR2	—	—	○	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
				—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PMCSR2	—	—	○	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
				—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PIBC2	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PBDC2	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PIPC2	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	—	○
PU2	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PODC2	—	—	○	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
				—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PPROTS2	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
PPCMD2	○	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○

2.9 ポート 3

この節では，ポート 3 の兼用機能と制御レジスタについて示します。

2.9.1 兼用機能

(1) ポート 3 兼用機能

表 2-40 ポート 3 兼用機能一覧

ポートモード (PMC=0)	コントロールモード (PMC=1)							
	兼用モード 1 (PFC=0, PFCE=0)		兼用モード 2 (PFC=1, PFCE=0)		兼用モード 3 (PFC=0, PFCE=1)		兼用モード 4 (PFC=1, PFCE=1)	
	入力 (PM=1)	出力 (PM=0)	入力 (PM=1)	出力 (PM=0)	入力 (PM=1)	出力 (PM=0)	入力 (PM=1)	出力 (PM=0)
P3_0	−	−	−	−	URTH1 RXD/ INTP1	−	−	−
P3_1	−	−	−	−	−	URTH1 TXD	−	−
P3_2	−	−	−	−	CSIG1SI	−	−	−
P3_3	−	−	−	−	CSIG1SO *1	CSIG1SO	−	TPB0O
P3_4	−	−	−	−	CSIG1SC	CSIG1SC	−	−
P3_5	−	−	−	−	−	−	INTP2	FCN1TX
P3_6	−	−	−	−	−	−	FCN1RX	−

*1 データー貫性チェック機能に対応。

2.9.2 制御レジスター覧

(1) ポート3制御レジスタ

表 2-41 ポート3制御レジスター覧

名称	ビット数			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	8	16	32																
P3	—	○	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○
PSR3	—	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○
				—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○
PPR3	—	○	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○
PM3	—	○	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○
PMC3	—	○	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○
PFC3	—	○	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○
PFCE3	—	○	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○
PNOT3	—	○	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○
PMSR3	—	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○
				—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○
PMCSR3	—	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○
				—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○
PIBC3	—	○	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○
PBDC3	—	○	—	—	—	—	—	—	—	—	—	—	—	○	○	○	—	○	—
PIPC3	—	○	—	—	—	—	—	—	—	—	—	—	—	—	○	—	—	—	—
PU3	—	○	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○

2.10 ポート 4

この節では，ポート 4 の兼用機能と制御レジスタについて示します。

2.10.1 兼用機能

(1) ポート 4 兼用機能

表 2-42 ポート 4 兼用機能一覧

ポートモード (PMC=0)	コントロールモード (PMC=1)							
	兼用モード 1 (PFC=0, PFCE=0)		兼用モード 2 (PFC=1, PFCE=0)		兼用モード 3 (PFC=0, PFCE=1)		兼用モード 4 (PFC=1, PFCE=1)	
	入力 (PM=1)	出力 (PM=0)	入力 (PM=1)	出力 (PM=0)	入力 (PM=1)	出力 (PM=0)	入力 (PM=1)	出力 (PM=0)
P4_0	URTH1 RXD/ INTP1	−	−	−	−	FCN0TX	−	−
P4_1	−	URTH1 TXD	TSG20 PTSI0/ ENCA0E0	−	FCN0RX	−	−	−
P4_2	CSIG1SI	−	TSG20 PTSI1/ ENCA0E1	OSTM1O	−	−	−	−
P4_3	CSIG1SO *1	CSIG1SO	TSG20 PTSI2/ ENCA0EC	OSTM0O	URTH1 CTS	−	−	−
P4_4	CSIG1SC	CSIG1SC	−	−	−	URTH1 RTS	ESO0/ INTP6	CSIG0RYO
P4_5	−	−	−	−	−	ADCA0 CNV2	INTP7	CSIG1RYO
P4_6	−	−	−	−	−	ADCA0 CNV1	ESO2/ INTP8	−
P4_7	NMI	−	−	−	−	ADCA0 CNV0	INTP9	−

*1 データー貫性チェック機能に対応。

2.10.2 制御レジスター覧

(1) ポート 4 制御レジスタ

表 2-43 ポート 4 制御レジスター覧

名称	ビット数			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	8	16	32																
P4	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PSR4	—	—	○	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
				—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PPR4	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PM4	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PMC4	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PFC4	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PFCE4	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PNOT4	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PMSR4	—	—	○	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
				—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PMCSR4	—	—	○	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
				—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PIBC4	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PBDC4	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○
PIPC4	—	○	—	—	—	—	—	—	—	—	—	—	—	—	○	—	—	—	—
PU4	—	○	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○

2.11 ポート 5

この節では，ポート 5 の兼用機能と制御レジスタについて示します。

2.11.1 兼用機能

(1) ポート 5 兼用機能

表 2-44 ポート 5 兼用機能一覧

ポートモード (PMC=0)	コントロールモード (PMC=1)							
	兼用モード 1 (PFC=0, PFCE=0)		兼用モード 2 (PFC=1, PFCE=0)		兼用モード 3 (PFC=0, PFCE=1)		兼用モード 4 (PFC=1, PFCE=1)	
	入力 (PM=1)	出力 (PM=0)	入力 (PM=1)	出力 (PM=0)	入力 (PM=1)	出力 (PM=0)	入力 (PM=1)	出力 (PM=0)
P5_0	–	–	–	–	URTH0 RXD/INTP0	–	–	–
P5_1	–	–	–	–	–	URTH0 TXD	ADCA0 TRG0/ INTP3	–
P5_2	–	–	INTP2	–	URTH0SC	URTH0SC	ADCA0 TRG1/ INTP4	–
P5_3	–	–	ADCA0 TRG0/ INTP3	–	URTH0 CTS	–	ADCA0 TRG2/ INTP5	–

2.11.2 制御レジスター覧

(1) ポート5制御レジスタ

表 2-45 ポート5制御レジスター覧

名称	ビット数			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	8	16	32																
P5	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
PSR5	—	—	○	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
				—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
PPR5	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
PM5	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
PMC5	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
PFC5	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
PFCE5	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
PNOT5	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
PMSR5	—	—	○	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
				—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
PMCSR5	—	—	○	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
				—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
PIBC5	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○
PBDC5	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	—
PIPC5	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	—	—
PU5	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○

2.12 ポート 8

この節では，ポート 8 の兼用機能と制御レジスタについて示します。

2.12.1 兼用機能

(1) ポート 8 兼用機能

表 2-46 ポート 6 兼用機能一覧

ポートモード (PMC=0)	コントロールモード (PMC=1)							
	兼用モード 1 (PFC=0, PFCE=0)		兼用モード 2 (PFC=1, PFCE=0)		兼用モード 3 (PFC=0, PFCE=1)		兼用モード 4 (PFC=1, PFCE=1)	
	入力 (PM=1)	出力 (PM=0)	入力 (PM=1)	出力 (PM=0)	入力 (PM=1)	出力 (PM=0)	入力 (PM=1)	出力 (PM=0)
P8_0	–	–	–	TAUB0O15	–	OSTM1O	–	–

2.12.2 制御レジスター覧

(1) ポート 8 制御レジスタ

表 2-47 ポート 8 制御レジスター覧

名称	ビット数			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	8	16	32																
P8	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
PSR8	—	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
				—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
PPR8	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
PM8	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
PMC8	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
PFC8	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
PFCE8	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
PNOT8	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
PMSR8	—	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
				—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
PMCSR8	—	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
				—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
PIBC8	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
PBDC8	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
PU8	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○

2.13 JTAG ポート 0

この節では，JTAG ポート 0 の兼用機能と制御レジスタについて示します。

2.13.1 兼用機能

(1) JTAG ポート 0 兼用機能

JTAG ポート 0 には兼用機能はありません。

2.13.2 制御レジスター覧

(1) JTAG ポート 0 制御レジスタ

表 2-48 JTAG ポート 0 制御レジスター覧

名称	ビット数			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	8	16	32																
JP0	○	—	—	—	—	—	—	—	—	—	—	—	—	○	—	○	○	○	—
JPSR0	—	—	○	—	—	—	—	—	—	—	—	—	—	○	—	○	○	○	—
				—	—	—	—	—	—	—	—	—	—	○	—	○	○	○	—
JPPR0	○	—	—	—	—	—	—	—	—	—	—	—	—	○	—	○	○	○	—
JPM0	○	—	—	—	—	—	—	—	—	—	—	—	—	○	—	○	○	○	—
JPNOT0	○	—	—	—	—	—	—	—	—	—	—	—	—	○	—	○	○	○	—
JPMSR0	—	—	○	—	—	—	—	—	—	—	—	—	—	○	—	○	○	○	—
				—	—	—	—	—	—	—	—	—	—	○	—	○	○	○	—
JPIBC0	○	—	—	—	—	—	—	—	—	—	—	—	—	○	—	○	○	○	—
JPU0	○	—	—	—	—	—	—	—	—	—	—	—	—	○	—	○	○	○	—

2.14 端子のノイズ除去機能

この節では，ノイズ・フィルタ挿入端子とフィルタ・グループ，ノイズ除去サンプリング・クロック，制御レジスタを示します。

2.14.1 ノイズ除去機能の詳細

(1) デジタル・フィルタ機能

入力信号はサンプリング周波数 fs でサンプリングされます。
同じレベルの入力信号が，指定されたサンプル数分連続して入力された場合，その信号レベルを有効と判断し，出力信号が変化します。
サンプル数分入力される前に入力信号が変化した場合，入力されていた信号をノイズまたはグリッチと判断し，出力信号は変化しません。
外部信号をノイズとして判断するときのパルス長は，サンプリング周波数および指定された同レベルのサンプル数によって変わります。
いずれのパラメータも設定可能です。

- DNFAnCTL.DNFAnPRS[2:0] を設定することによって，次の式に基づいてサンプリング周波数を選択することができます。

  $fs = f_{DNFATCKI} / 2^{DNFAnPRS[2:0]}$

  （$f_{DNFATCKI}$ は DNFATCKI クロックの周波数）

- DNFAnCTL.DNFAnNFSTS[1:0] で同レベルのサンプル数（2 ～ 5）を指定します。

以下よりも短い外部信号パルスは常に無効と判断され，除去されます。

（DNFAnNFSTS[1:0] -1）× 1/fs

注意 サンプル数分連続して同レベルのノイズをサンプリングすると，ノイズを除去できません。

以下よりも長い外部信号パルスは常に有効と判断され，フィルタ出力されます。

DNFAnNFSTS[1:0] × 1/fs

以下の範囲内の外部信号パルスは除去される場合もあれば，有効と判断される場合もあります。

（DNFAnNFSTS[1:0] -1）× 1/fs ～ DNFAnNFSTS[1:0] × 1/fs

(2) ノイズ・フィルタ挿入端子とフィルタ・グループ

表 2-49 ノイズ・フィルタ挿入端子とフィルタ・グループ一覧 (1/2)

ポート・グループ名称	ポート端子	フィルタ挿入端子	フィルタ・グループ
P0	P0_0	INTP0	DNF_INTP-G0
		INTP5	DNF_INTP-G1
		ADCA0TRG2	ADTRG
	P0_1	INTP4	DNF_INTP-G1
		ADCA0TRG1	ADTRG
	P0_2	INTP3	DNF_INTP-G1
		ADCA0TRG0	ADTRG
P1	P1_0	NMI	DNF_NMI-G0
	P1_1	TAUJ0I0	DNF_TAUJ0-G0
	P1_2	TAUJ0I1	DNF_TAUJ0-G0
	P1_3	TAUJ0I2	DNF_TAUJ0-G0
	P1_4	TAUJ0I3	DNF_TAUJ0-G0
	P1_7	INTP0	DNF_INTP-G0
P2	P2_0	TAUB0I0	DNF_TAUB0-G0
		TAUB0I1	DNF_TAUB0-G0
		CSIG0RYI	DNF_CSI-G0
	P2_1	TAUB0I2	DNF_TAUB0-G1
		TAUB0I3	DNF_TAUB0-G1
		CSIG1RYI	DNF_CSI-G0
	P2_2	TAUB0I4	DNF_TAUB0-G2
		TAUB0I5	DNF_TAUB0-G2
	P2_3	TAUB0I6	DNF_TAUB0-G3
		TAUB0I7	DNF_TAUB0-G3
	P2_4	TAUB0I8	DNF_TAUB0-G3
		TAUB0I9	DNF_TAUB0-G3
	P2_5	TAUB0I10	DNF_TAUB0-G5
		TAUB0I11	DNF_TAUB0-G5
	P2_6	TAUB0I12	DNF_TAUB0-G5
		TAUB0I13	DNF_TAUB0-G5
	P2_7	TAUB0I14	DNF_TAUB0-G5
		TAUB0I15	DNF_TAUB0-G5
P3	P3_0	INTP1	DNF_INTP-G0
	P3_5	INTP2	DNF_INTP-G0

表 2-49 ノイズ・フィルタ挿入端子とフィルタ・グループ一覧 (2/2)

ポート・グループ名称	ポート端子	フィルタ挿入端子	フィルタ・グループ
P4	P4_0	INTP1	DNF_INTP-G0
	P4_1	TSG20PTSI0/ ENCA0E0	DNF_TSG20-G0
	P4_2	TSG20PTSI1/ ENCA0E1	DNF_TSG20-G0
	P4_3	TSG20PTSI2/ ENCA0EC	DNF_TSG20-G1
	P4_4	ESO0	ESO
		INTP6	DNF_INTP-G2
	P4_5	INTP7	DNF_INTP-G2
	P4_6	ESO2	ESO
		INTP8	DNF_INTP-G2
	P4_7	NMI	DNF_NMI-G0
		INTP9	DNF_INTP-G2
P5	P5_0	INTP0	DNF_INTP-G0
	P5_1	INTP3	DNF_INTP-G1
	P5_2	INTP2	DNF_INTP-G0
		INTP4	DNF_INTP-G1
	P5_3	INTP3	DNF_INTP-G1
		INTP5	DNF_INTP-G1

(3) ポート端子以外の端子のノイズ・フィルタ挿入端子とフィルタ・グループ

表 2-50 ポート端子以外の端子のノイズ・フィルタ挿入端子とフィルタ・グループ一覧

端子名称	フィルタ挿入端子	フィルタ・グループ
FLMD0	FLMD0	FLMD0
FLMD1	FLMD1	FLMD1
$\overline{\text{RESET}}$	$\overline{\text{RESET}}$	$\overline{\text{RESET}}$
$\overline{\text{DCUTRST}}$	$\overline{\text{DCUTRST}}$	$\overline{\text{DCUTRST}}$

(4) ノイズ除去幅，ノイズ除去サンプリング・クロック

表 2-51 ノイズ除去幅，ノイズ除去サンプリング・クロック一覧 (1/2)

フィルタ・グループ	機能ブロック	対象端子	アナログ／デジタルの区別	ノイズ除去幅，ノイズ除去サンプリング・クロック<クロック選択グループ>
$\overline{\text{RESET}}$	RESET	$\overline{\text{RESET}}$	アナログ・フィルタ	Min.100ns, Max.500ns
$\overline{\text{DCUTRST}}$	Nexus	$\overline{\text{DCUTRST}}$		
FLMD0, FLMD1	MODE	FLMD0, FLMD1		Min. 50ns, Max. 250ns
ESO	TAPA	ESO0		
		ESO2		
DNF_NMI-G0	NMI	NMI	デジタル・フィルタ	＜INTP グループ＞ 1) PCLK 2) PCLK/2
DNF_INTP-G0	INTC	INTP0		
		INTP1		
		INTP2		
DNF_INTP-G1		INTP3		
		INTP4		
		INTP5		
DNF_INTP-G2		INTP6		
		INTP7		
		INTP8		
		INTP9		
DNF_TAUB0-G0	TAUB0	TAUB0I0		＜TAUB0 グループ＞ 1) PCLK 2) PCLK/2 3) TAUB0 ch0 CKEN
		TAUB0I1		
DNF_TAUB0-G1		TAUB0I2		
		TAUB0I3		
DNF_TAUB0-G2		TAUB0I4		
		TAUB0I5		
DNF_TAUB0-G3		TAUB0I6		
		TAUB0I7		
		TAUB0I8		
		TAUB0I9		
DNF_TAUB0-G5		TAUBI10		
		TAUB0I11		
		TAUB0I12		
		TAUB0I13		
		TAUB0I14		
		TAUB0I15		
DNF_TAUJ0-G0	TAUJ0	TAUJ0I0	デジタル・フィルタ	＜TAUJ0 グループ＞ 1) PCLK 2) PCLK/2 3) TAUJ0 ch0 CKEN
		TAUJ0I1		
		TAUJ0I2		
		TAUJ0I3		

表 2-51 ノイズ除去幅，ノイズ除去サンプリング・クロック一覧 (2/2)

フィルタ・グループ	機能ブロック	対象端子	アナログ／デジタルの区別	ノイズ除去幅，ノイズ除去サンプリング・クロック<クロック選択グループ>
DNF_TSG20-G0	TSG20	TSG20PTSI0/ ENCA0E0 TSG20PTSI1/ ENCA0E1	デジタル・フィルタ	＜TSG2,ENC グループ＞ 1) PCLK 2) PCLK/2
DNF_TSG20-G1		TSG20PTSI2/ ENCA0EC		
DNF_CSI-G0	CSIG0	CSIG0RYI		＜CSI グループ＞ 1) PCLK 2) PCLK/2
	CSIG1	CSIG1RYI		

レジスタ・アドレス デジタル・ノイズ・フィルタ制御レジスタのアドレスは，それぞれベース・アドレス <DNFn_base> からのオフセットで表されます。

各レジスタのレジスタ・ベース・アドレス <DNFn_base> を次の表に示します。

表 2-52 デジタル・ノイズ・フィルタ制御レジスタ・ベース・アドレス <DNFn_base>

<DNFn_base> アドレス
FF41 0000$_H$

2.14.2 制御レジスタ

デジタル・ノイズ・フィルタは，次のレジスタで制御，動作します。

表 2-53 デジタル・ノイズ・フィルタ・レジスター覧

レジスタ機能	名称	アドレス
デジタル・ノイズ除去制御レジスタ	DNFAnCTL	<DNFn_base> + n × 100_H
デジタル・ノイズ除去許可レジスタ	DNFAnEN	<DNFn_base> + n × 100_H + 4
デジタル・ノイズ除去許可レジスタ L	DNFAnENL	<DNFn_base> + n × 100_H + C_H
デジタル・ノイズ除去サンプリング・クロック制御レジスタ	DNFSCTL	$FF420034_H$

n = 0-36

注意
1. DNFAnEN.DNFAnNFENm = 1 でデジタル・フィルタを有効にしている間は関連する制御レジスタ（DNFAnCTL レジスタ，DNFAnEN レジスタ，DNFSCTL レジスタ）の設定は変えないでください。変更した場合，予期しないフィルタ出力が生成される可能性があります。
2. 各レジスタには機能が割り当てられていないビットがあります。特に指定の無い限り，これらのビットには初期値以外をライトしないでください。初期値以外の値を設定した場合の動作は保証できません。

(1) DNFAnCTL - デジタル・ノイズ除去制御レジスタ

このレジスタは，デジタル・ノイズ除去機能のサンプリング・クロックを選択します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス 表 2-53「デジタル・ノイズ・フィルタ・レジスター覧」を参照してください。

初期値 00_H

7	6	5	4	3	2	1	0
0	DNFAnNFSTS[1:0]		0	0	DNFAnPRS[2:0]		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-54 DNFAnCTL レジスタの内容

ビット位置	ビット名	機能
6-5	DNFAnNFSTS [1:0]	外部信号パルスの有効／無効を判断する際の同レベルのサンプル数を指定します。 00：2 サンプル 01：3 サンプル 10：4 サンプル 11：5 サンプル
2-0	DNFAnPRS [2:0]	デジタル・フィルタ・サンプリング・クロック選択 000：DNFATCKI / 1 001：DNFATCKI / 2 010：DNFATCKI / 4 011：DNFATCKI / 8 100：DNFATCKI / 16 101：DNFATCKI / 32 110：DNFATCKI / 64 111：DNFATCKI / 128 DNFATCKI ：DNFSCTL レジスタにて選択したクロック

表 2-55 DNFAnCTL レジスター覧

レジスタ名称 アドレス	フィルタ・グループ	対象端子
DNFA0CTL FF410000	DNF_NMI-G0	NMI
DNFA1CTL FF410100	DNF_INTP-G0	INTP0, INTP1, INTP2
DNFA2CTL FF410200	DNF_INTP-G1	INTP3, INTP4, INTP5
DNFA3CTL FF410300	DNF_INTP-G2	INTP6, INTP7, INTP8 INTP9
DNFA4CTL FF410400	DNF_TAUB0-G0	TAUB0I0, TAUB0I1
DNFA5CTL FF410500	DNF_TAUB0-G1	TAUB0I2, TAUB0I3
DNFA6CTL FF410600	DNF_TAUB0-G2	TAUB0I4, TAUB0I5
DNFA7CTL FF410700	DNF_TAUB0-G3	TAUB0I6, TAUB0I7 TAUB0I8, TAUB0I9
DNFA9CTL FF410900	DNF_TAUB0-G5	TAUB0I10, TAUB0I11 TAUB0I12, TAUB0I13 TAUB0I14, TAUB0I15
DNFA20CTL FF411400	DNF_TAUJ0-G0	TAUJ0I0, TAUJ0I1 TAUJ0I2, TAUJ0I3
DNFA28CTL FF411C00	DNF_TSG20-G0	TSG20PTSI0/ ENCA0E0 TSG20PTSI1/ ENCA0E1
DNFA29CTL FF411D00	DNF_TSG20-G1	TSG20PTSI2/ ENCA0EC
DNFA36CTL FF412400	DNF_CSI-G0	CSIG0RYI, CSIG1RYI

(2) DNFAnEN - デジタル・ノイズ除去許可レジスタ

このレジスタは，デジタル・ノイズ除去機能の許可／禁止を指定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス 表 2-53「デジタル・ノイズ・フィルタ・レジスター覧」を参照してください。

初期値 0000_H

15	14	13	12	11	10	9	8
DNFAnNFEN[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
DNFAnNFEN[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-56 DNFAnEN レジスタの内容

ビット位置	ビット名	機能
15-0	DNFAnNFEN [15:0]	対応する端子デジタル・ノイズ除去機能の有効／無効を指定します。 • DNFA0EN-DNFA3EN レジスタ NMI, INTP0-INTP9 を使用する場合，対応するビットに 1 を設定してください。 - DNFA0EN.DNFA0NFEN[0] ビット - DNFA1EN.DNFA1NFEN[2-0] ビット - DNFA2EN.DNFA2NFEN[2-0] ビット - DNFA3EN.DNFA3NFEN[3-0] ビット • DNFA2EN レジスタ 兼用している ADCA0TRG0-ADCA0TRG2 を使用する場合，対応するビットに 0 を設定してください。 - DNFA2EN.DNFA2NFEN[2-0] ビット • DNFA3EN レジスタ 兼用している ESO0，ESO2 を使用する場合，対応するビットに 0 を設定してください。 - DNFA3EN.DNFA3NFEN[2, 0] ビット • DNFA4EN-DNFA36EN レジスタ 0: デジタル・ノイズ除去機能を禁止 1: デジタル・ノイズ除去機能を許可

注意 1. DNFAnEN.DNAFnENm で *2-57「DNFAnEN レジスター覧」* にて 0 を記載しているビットは必ず 0 を設定してください。1 を設定した場合，動作の保証はいたしません。

2. デジタル・フィルタの出力信号を兼用機能に入力する場合，デジタル・フィルタを有効（DNFAnEN.DNFAnNFENm = 1）にし，次の時間を経過した後にポート端子を兼用機能に切り替えてください。

   DNFAnNFSTS[1:0] × 1/fs + 4 × $1/f_{DNFATCKI}$

3. デジタル・フィルタのイベント出力信号を割り込みとして使用する場合は，割り込み禁止状態でデジタル・フィルタを有効（DNFAnEN.DNFAnNFENm = 1）にしてください。また，デジタル・フィルタを有効にしてから次の時間を経過した後に割り込み要求フラグをクリアした上で，割り込みを許可してください。

   DNFAnNFSTS[1:0] × 1/fs + 5 × $1/f_{DNFATCKI}$

表 2-57 DNFAnEN レジスター覧

レジスタ名称 アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DNFA0EN FF410004	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DNFA0NFEN0(NMI)
DNFA1EN FF410104	0	0	0	0	0	0	0	0	0	0	0	0	0	DNFA1NFEN2(INTP2)	DNFA1NFEN1(INTP1)	DNFA1NFEN0(INTP0)
DNFA2EN FF410204	0	0	0	0	0	0	0	0	0	0	0	0	0	DNFA2NFEN2(INTP5/ADCA0TRG2)	DNFA2NFEN1(INTP4/ADCA0TRG1)	DNFA2NFEN0(INTP3/ADCA0TRG0)
DNFA3EN FF410304	0	0	0	0	0	0	0	0	0	0	0	0	DNFA3NFEN3(INTP9)	DNFA3NFEN2(ESO2, INTP8)	DNFA3NFEN1(INTP7)	DNFA3NFEN0(ESO0, INTP6)
DNFA4EN FF410404	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DNFA4NFEN1(TAUB0I1)	DNFA4NFEN0(TAUB0I0)
DNFA5EN FF410504	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DNFA5NFEN1(TAUB0I3)	DNFA5NFEN0(TAUB0I2)
DNFA6EN FF410604	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DNFA6NFEN1(TAUB0I5)	DNFA6NFEN0(TAUB0I4)
DNFA7EN FF410704	0	0	0	0	0	0	0	0	0	0	0	0	DNFA7NFEN3(TAUB0I9)	DNFA7NFEN2(TAUB0I8)	DNFA7NFEN1(TAUB0I7)	DNFA7NFEN0(TAUB0I6)
DNFA9EN FF410904	0	0	0	0	0	0	0	0	0	0	DNFA9NFEN5(TAUB0I15)	DNFA9NFEN4(TAUB0I14)	DNFA9NFEN3(TAUB0I13)	DNFA9NFEN2(TAUB0I12)	DNFA9NFEN1(TAUB0I11)	DNFA9NFEN0(TAUB0I10)
DNFA20EN FF411404	0	0	0	0	0	0	0	0	0	0	0	0	DNFA20NFEN3(TAUJ0I3)	DNFA20NFEN2(TAUJ0I2)	DNFA20NFEN1(TAUJ0I1)	DNFA20NFEN0(TAUJ0I0)
DNFA28EN FF411C04	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DNFA28NFEN1(TSG20PTSI1/ENCA0E1)	DNFA28NFEN0(TSG20PTSI0/ENCA0E0)
DNFA29EN FF411D04	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DNFA29NFEN0(TSG20PTSI2/ENCA0EC)
DNFA36EN FF412404	0	0	0	0	0	0	0	0	0	0	0	0	DNFA36NFEN3(CSIG1RYI)	DNFA36NFEN2(CSIG0RYI)	0	0

(3) DNFAnENL - デジタル・ノイズ除去許可レジスタ L

このレジスタは，**DNFAnEN レジスタの下位 8 ビットに相当します。**

アクセス 8/1 ビット単位でリード／ライト可能です。

アドレス 表 2-53「デジタル・ノイズ・フィルタ・レジスター覧」を参照してください。

初期値 00_H

7	6	5	4	3	2	1	0
DNFAnNFEN[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各ビットの詳細は，DNFAnEN レジスタを参照してください。

(4) DNFSCTL デジタル・ノイズ除去サンプリング・クロック制御レジスタ

このレジスタは，デジタル・ノイズ除去機能のサンプリング・クロックを選択します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス 表 2-53「デジタル・ノイズ・フィルタ・レジスター覧」を参照してください。

初期値 0000_H

15	14	13	12	11	10	9	8
0	0	DNFSCKSL6[1:0]		0	0	DNFSCKSL4[1:0]	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
0	0	0	DNFSCKSL20	0	DNFSCKSL10	0	DNFSCKSL00
R	R	R	R/W	R	R/W	R	R/W

表 2-58 DNFSCTL レジスタの内容 (1/2)

ビット位置	ビット名	機能
13, 12	DNFSCKSL61, 60	TAUJ0 グループのサンプリング・クロックを指定します。 00: PCLK 01: PCLK/2 10: TAUJ0 ch0 CKEN 信号 11: 設定禁止
9, 8	DNFSCKSL41, 40	TAUB0 グループのサンプリング・クロックを指定します。 00: PCLK 01: PCLK/2 10: TAUB0 ch0 CKEN 信号 11: 設定禁止

表 2-58 DNFSCTL レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	DNFSCKSL20	CSI グループのサンプリング・クロックを指定します。 0: PCLK 1: PCLK/2
2	DNFSCKSL10	TSG2 グループのサンプリング・クロックを指定します。 0: PCLK 1: PCLK/2
0	DNFSCKSL00	INTP グループのサンプリング・クロックを指定します。 0: PCLK 1: PCLK/2

注意 本レジスタは，対象となる DNF の動作が許可されていない状態で設定を行ってください。対象となる DNF の動作が許可されている状態で設定を行った場合の動作は保証できません。

2.15 エッジ検出機能

この節では，エッジ検出機能対象端子とエッジ検出機能の制御レジスタを示します。

2.15.1 エッジ検出機能の詳細

(1) エッジ検出機能対象端子

表 2-59 エッジ検出機能対象端子一覧

対象端子	制御レジスタ名称
NMI	FCLA0CTL0
INTP0	FCLA1CTL0
INTP1	FCLA1CTL1
INTP2	FCLA1CTL2
INTP3	FCLA1CTL3
INTP4	FCLA1CTL4
INTP5	FCLA1CTL5
INTP6	FCLA1CTL6
INTP7	FCLA1CTL7
INTP8	FCLA2CTL0
INTP9	FCLA2CTL1

2.15.2 制御レジスタ

(1) FCLAnCTLm フィルタ制御レジスタ

このレジスタは，エッジ検出機能の動作を指定します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス *2-61「FCLAnCTLm レジスター覧」*を参照してください。

初期値 00_H

7	6	5	4	3	2	1	0
0	0	0	0	0	0	FCLAn INTFm	FCLAn INTRm
R	R	R	R	R	R	R/W	R/W

表 2-60 FCLAnCTLm レジスタの内容

ビット位置	ビット名	機能
1	FCLAnINTFm	立ち下がりエッジ検出制御 0: 立ち下がりエッジ検出無効 1: 立ち下がりエッジ検出有効
0	FCLAnINTRm	立ち上がりエッジ検出制御 0: 立ち上がりエッジ検出無効 1: 立ち上がりエッジ検出有効

備考 FCLAnINTFm と FCLAnINTRm の両ビットを 0 に設定すると，エッジ検出がなくなり，FCLAnINTFm と FCLAnINTRm の両ビットを 1 に設定すると，両エッジ検出となります。

表 2-61 FCLAnCTLm レジスター覧

FCLAn	レジスタ名称	レジスタ・アドレス	発生する割込み
FCLA0	FCLA0CTL0	FF414000	NMI
FCLA1	FCLA1CTL0	FF414100	INTP0
	FCLA1CTL1	FF414104	INTP1
	FCLA1CTL2	FF414108	INTP2
	FCLA1CTL3	FF41410C	INTP3
	FCLA1CTL4	FF414110	INTP4
	FCLA1CTL5	FF414114	INTP5
	FCLA1CTL6	FF414118	INTP6
	FCLA1CTL7	FF41411C	INTP7
FCLA2	FCLA2CTL0	FF414200	INTP8
	FCLA2CTL1	FF414204	INTP9

注意 各レジスタには機能が割り当てられていないビットがあります。特に指定の無い限り，これらのビットには初期値以外をライトしないでください。初期値以外の値を設定した場合の動作は保証できません。

第 3 章 CPU 機能

この章では CPU，動作モード，アドレス空間，メモリ空間のレジスタについて説明します。

CPU 機能の詳細については次のマニュアルを参照してください。

表 3-1 CPU 機能の記載について

機能	V850E2M アーキテクチャ (R01US0001J)	このマニュアル
V850E2 CPU（命令セット含む）	√	–
プロセッサ保護機能 （MPU, SRP, PPU, TSU）	√	–
DMA コントローラ（DMAC）	–	√
割り込みコントローラ（INTC）	–	√
コード・フラッシュ／データ・フラッシュ	–	√
内蔵 RAM	–	√

3.1 概要

CPU

- コア・アーキテクチャ：V850E2M アーキテクチャ
- 命令実行時間

製品	最小実行命令時間	最速 CPU クロック
μPD70F4154	12.5ns	80MHz
μPD70F4155	12.5ns	80MHz

- 内部 32 ビット・アーキテクチャ
- 7 段パイプライン
- 32 ビット汎用レジスタ（32 本）
- 2 ウエイ・スーパスカラー
- メモリ空間：
  - プログラム領域：512M バイト・リニア
  - データ領域：4G バイト・リニア
- フラッシュ・キャッシュ：
  - 8KB/ 2 ウエイ・アソシエイティブ（4 KB/ ウエイ）
- 割り込みコントローラ（INTC）
- DMA コントローラ（DMAC）
- プロセッサ保護機能
  - メモリ保護ユニット（MPU）
    ユーザ・プログラムに許可されていない実行，またはデータ操作から CPU メモリ空間を保護します（命令／定数保護領域を最大 5 個，データ保護領域を最大 6 個）。
  - システム・レジスタ保護（SRP）
    信頼済みでないプログラムによるシステム・レジスタ破壊を防ぐことができます。
  - 周辺装置保護（PPU）
    周辺装置へのアクセスに対し，システムごとに固有に定義された不正アクセスを検出し，防ぐことができます。
  - タイミング監視（TSU）
    信頼済みでないプログラムの不当な CPU 時間占有を防ぐことや，資産管理，割り込み禁止の時間の管理を行えます。

命令セット

- V850E2M 命令セットは，従来の V850 命令セットの上位互換でよりコード・サイズを減少させ，命令実行速度を速めています。
- 1 クロックでの乗算処理が可能
  - 16 ビット × 16 ビット→ 32 ビット
  - 32 ビット × 32 ビット→ 32 ビットまたは，64 ビット
  - 32 ビット × 32 ビット→ 64 ビット
- オーバフロー／アンダフロー検出による飽和演算命令
- 1 クロックでの 32 ビット・シフト命令
- ビット操作命令（SET1, CLR1, NOT1, TST1）
- ロング／ショート・フォーマットのロード／ストア命令
- 符号付きロード命令
- MAC 演算命令
  32 ビット × 32 ビット + 64 ビット→ 64 ビット

3.1.1 周辺保護機能

PPU ベース・アドレス

「V850E2M ユーザーズマニュアル アーキテクチャ編」（R01US0001J）に記載されている周辺保護機能に関するレジスタのアドレスはオフセット・アドレスとして定義してあります。ベース・アドレスを次に示します。

<PPU_base> = FFFF 5100_H

PPU 領域とレジスタ

各保護領域の制御レジスタは次 4 つのレジスタから構成されます。

- PPVn – 一般周辺装置保護の有効指定
- PPTn – 一般周辺装置の保護種別の指定
- PPPn – OS 周辺装置の指定
- PPSn – 特殊周辺装置の指定

これらのレジスタは n = 0-8 で数えられます。

これら 32 ビット幅のレジスタにはビットがあります（m = 0-31）。

- PPVn.PPVnm
- PPTn.PPTnm
- PPPn.PPPnm
- PPSn.PPSnm

*3-2「PPU 保護領域と保護対象」*に保護アドレス範囲，制御レジスタ／ビット，それぞれの領域名を示します。

表 3-2 PPU 保護領域と保護対象 (1/4)

保護範囲	保護制御レジスタ		領域名	アドレス範囲
	PPVn, PPTn, PPPn, PPSn レジスタ n =	PPVnm, PPTnm, PPPnm, PPSnm ビット m =		
1120 B	0	0	INTC	FFFF 6000_H - FFFF $645F_H$
4 B		3	システム・エラー	FFFF $64B0_H$ - FFFF $64B3_H$
1024B		16	TSU/PPU	FFFF 5000_H - FFFF $53FF_H$
256 B		23	DMAC	FFFF 7300_H - FFFF $73FF_H$
256 B		24		FFFF 7400_H - FFFF $74FF_H$
512 B		28		FFFF $7B00_H$ - FFFF $7CFF_H$
512 B		29		FFFF $7D00_H$ - FFFF $7EFF_H$
64 KB	1	0	ポート Pnm 制御	FF40 0000_H - FF40 $FFFF_H$
		1	ポート・フィルタ制御	FF41 0000_H - FF41 $FFFF_H$
		2	クロック発生回路 リセット回路	FF42 0000_H - FF42 $FFFF_H$
		3	コード・フラッシュ ECC データ・フラッシュ・アクセス・ウェイト FLMD 制御	FF43 0000_H - FF43 $FFFF_H$
		4	ポート JPmn 制御	FF44 0000_H - FF44 $FFFF_H$

表 3-2 PPU 保護領域と保護対象 (2/4)

保護範囲	保護制御レジスタ		領域名	アドレス範囲
	PPVn, PPTn, PPPn, PPSn レジスタ n =	PPVnm, PPTnm, PPPnm, PPSnm ビット m =		
64 KB	1	5	POF/LVI 制御 PBUS エラー・アクセス制御	FF45 0000$_H$ - FF45 FFFF$_H$
		6	FCN, 内蔵 RAM ECC	FF46 0000$_H$ - FF46 FFFF$_H$
		7	オプション・バイト 製品情報	FF47 0000$_H$ - FF47 FFFF$_H$
		8	FCN0	FF48 0000$_H$ - FF48 FFFF$_H$
		9		FF49 0000$_H$ - FF49 FFFF$_H$
		10	FCN1	FF4A 0000$_H$ - FF4A FFFF$_H$
		11		FF4B 0000$_H$ - FF4B FFFF$_H$
		28	UARTH0	FF5C 0000$_H$ - FF5C FFFF$_H$
		29	UARTH1	FF5D 0000$_H$ - FF5D FFFF$_H$
64 KB	2	16	CSIG0	FF70 0000$_H$ - FF70 FFFF$_H$
		17	CSIG1	FF71 0000$_H$ - FF71 FFFF$_H$
4KB	3	0	OSTM0	FF80 0000$_H$ - FF80 0FFF$_H$
		1	OSTM1	FF80 1000$_H$ - FF80 1FFF$_H$
		2	CLMA0	FF80 2000$_H$ - FF80 2FFF$_H$
		3	CLMA1	FF80 3000$_H$ - FF80 3FFF$_H$
		4	CLMA2	FF80 4000$_H$ - FF80 4FFF$_H$
		6	WDTA0	FF80 6000$_H$ - FF80 6FFF$_H$
		8	TAUB0	FF80 8000$_H$ - FF80 8FFF$_H$
		17	TAUJ0	FF81 1000$_H$ - FF81 1FFF$_H$
		21	TAPA0	FF81 5000$_H$ - FF81 5FFF$_H$
		23	TAPA2	FF81 7000$_H$ - FF81 7FFF$_H$
		25	ENCA0	FF81 9000$_H$ - FF81 9FFF$_H$
		28	PIC 機能	FF81 C000$_H$ - FF81 CFFF$_H$
		29	ADCA0	FF81 D000$_H$ - FF81 DFFF$_H$

表 3-2 PPU 保護領域と保護対象 (3/4)

保護範囲	保護制御レジスタ		領域名	アドレス範囲
	PPVn, PPTn, PPPn, PPSn レジスタ n =	PPVnm, PPTnm, PPPnm, PPSnm ビット m =		
4KB	4	14	TSG20	FF82 E000$_H$ - FF82 EFFF$_H$
		18	TPBA0	FF83 2000$_H$ - FF83 2FFF$_H$
		22	DCRA0	FF83 6000$_H$ - FF83 6FFF$_H$
		23	DCRA1	FF83 7000$_H$ - FF83 7FFF$_H$
		25	BRGA0	FF83 9000$_H$ - FF83 9FFF$_H$
		26	INTC	FF83 A000$_H$ - FF83 AFFF$_H$
		27	自己診断 BIST	FF83 B000$_H$ - FF83 BFFF$_H$
		28	SGA	FF83 C000$_H$ - FF83 CFFF$_H$
		29		FF83 D000$_H$ - FF83 DFFF$_H$
		30		FF83 E000$_H$ - FF83 EFFF$_H$
		31	OSTM 入力クロック選択、SGA エラー・パルス出力コントロール、バックアップ RAM レジスタ 、内蔵 RAM レジューム・スタンバイ制御レジスタ	FF83 F000$_H$ - FF83 FFFF$_H$
256B	5	0	Port	FFFF 8000$_H$ - FFFF 80FF$_H$
		1		FFFF 8100$_H$ - FFFF 81FF$_H$
		2		FFFF 8200$_H$ - FFFF 82FF$_H$
		3		FFFF 8300$_H$ - FFFF 83FF$_H$
		4		FFFF 8400$_H$ - FFFF 84FF$_H$
		5		FFFF 8500$_H$ - FFFF 85FF$_H$
		6		FFFF 8600$_H$ - FFFF 86FF$_H$
		7		FFFF 8700$_H$ - FFFF 87FF$_H$
		8		FFFF 8800$_H$ - FFFF 88FF$_H$
		9		FFFF 8900$_H$ - FFFF 89FF$_H$
	7	0	OSTM0	FFFF C000$_H$ - FFFF C0FF$_H$
		1	OSTM1	FFFF C100$_H$ - FFFF C1FF$_H$
		2	TAUJ0	FFFF C200$_H$ - FFFF C2FF$_H$
		4	TAUB0	FFFF C400$_H$ - FFFF C4FF$_H$
		5		FFFF C500$_H$ - FFFF C5FF$_H$
		6		FFFF C600$_H$ - FFFF C6FF$_H$
		7		FFFF C700$_H$ - FFFF C7FF$_H$
		12	TSG20	FFFF CC00$_H$ - FFFF CCFF$_H$
		20	TAPA0	FFFF D400$_H$ - FFFF D4FF$_H$
		22	TAPA2	FFFF D600$_H$ - FFFF D6FF$_H$
		24	ENCA0	FFFF D800$_H$ - FFFF D8FF$_H$
		27	PIC 機能	FFFF DB00$_H$ - FFFF DBFF$_H$
		28	ADCA0	FFFF DC00$_H$ - FFFF DCFF$_H$

表 3-2 PPU 保護領域と保護対象 (4/4)

保護範囲	保護制御レジスタ		領域名	アドレス範囲
	PPVn, PPTn, PPPn, PPSn レジスタ n =	PPVnm, PPTnm, PPPnm, PPSnm ビット m =		
256B	8	4	CSIG0	FFFF $E400_H$ - FFFF $E4FF_H$
		5	CSIG1	FFFF $E500_H$ - FFFF $E5FF_H$
		10	UARTH0	FFFF $EA00_H$ - FFFF $EAFF_H$
		11	UARTH1	FFFF $EB00_H$ - FFFF $EBFF_H$
		16	TPBA0	FFFF $F000_H$ - FFFF $F0FF_H$
		17		FFFF $F100_H$ - FFFF $F1FF_H$
		26	DCRA0	FFFF $FA00_H$ - FFFF $FAFF_H$
		:	:	:
		30	LIN 通信スレーブ動作 ボー・レート検出	FFFF $FE00_H$ - FFFF $FEFF_H$

3.1.2 注意事項

この製品には，「V850E2M ユーザーズマニュアル アーキテクチャ編」（R01US0001J）に記載の機能について，以下の注意事項があります。

(1) 分岐命令とロード命令

分岐命令とロード命令が連続している場合，先行する命令にて分岐したにも関わらず，パイプラインの並列実行により，分岐命令直後のロード命令を実行（CPU は破棄）します。

分岐命令直後のロード命令のアクセス対象が，初期化されていない内蔵 RAM 領域であった場合，ECC エラーが発生します。（ロード命令のアクセス対象がフラッシュ領域の場合は該当しません。）

該当分岐命令：Bcond，JARL，JMP，JR
該当ロード命令：LD，SLD

この現象を回避するため，下記のいずれかの方法を適用してください。

- 内蔵 RAM 領域は初期化してから使用する。
- 分岐命令とロード命令の間に NOP 命令を挿入する（C 言語の場合，最適化される可能性がありますので，アセンブラ記述で行ってください）。

3.1.3 タイミング監視機能

TSU ベース・アドレス

「V850E2M ユーザーズマニュアル　アーキテクチャ編」（R01US0001J）に記載されているタイミング監視機能に関するレジスタのアドレスはオフセット・アドレスとして定義してあります。ベース・アドレスを次に示します。

ベース・アドレスを次に示します。

<TSU_base> = FFFF 5000_H

3.2 動作モード

この製品の動作モードとモードの選択方法について説明します。

この製品には次の動作モードがあります。

- 通常動作モード
- フラッシュ・プログラミング・モード

RESET 端子によるリセット解除後，FLMD0，FLMD1 端子をサンプリングし，次の表のようにリセット解除後の動作モードを設定します。

備考 FLMD0 端子を使用する場合，270kΩ 以上の抵抗を介して EVSS レベルへプルダウン接続してください。

表 3-3 動作モードの選択

端子		動作モード
FLMD0	FLMD1	
0	0	通常動作モード（シングルチップ・モード）
1	0	フラッシュ・プログラミング・モード
上記以外		設定禁止

3.2.1 通常動作モード

内蔵 ROM へのアクセスが可能になります。

シングルチップ・モードでは，システム・リセット解除後，内蔵 ROM のリセット・エントリ・アドレスに分岐し，命令処理を開始します。

3.2.2 フラッシュ・プログラミング・モード

このモードを指定すると，フラッシュ・ライタによる内蔵フラッシュ・メモリへのプログラミングが可能になり，Nexus 通信によるフラッシュ・メモリ・プログラミングが実行できます。

詳細は，*第 6 章「メモリ機能」*の章を参照してください。

3.2.3 HALT モード

(1) HALT モードの設定および動作状態

通常動作モード時，専用命令（HALT 命令）を実行することにより，HALT モードに設定されます。HALT モードに設定すると，CPU のパイプラインの動作を停止し，クロック発振回路およびその他の内蔵周辺機能へのクロック供給は継続します。

これによりプログラムの実行が停止し，内蔵 RAM の内容は HALT モード設定前の状態を保持します。また，CPU の命令処理に依存しない内蔵周辺機能は動作を継続します。HALT モードは，通常動作モードとの間欠動作によりシステム全体の平均消費電流を低減することができます。

表 3-4 HALT モードの動作状態

機能	動作状態
クロック・ジェネレータ	動作
CPU システムクロック	動作
周辺クロック（PCLK）	動作
CPU	停止
周辺 I/O	動作
内部データ	CPU のレジスタ，ステータス，データ，内蔵 RAM の内容等，CPU が停止時には書き換えられることのない内部のデータは，すべて HALT モード設定前の状態を保持

(2) HALT モードの解除

HALT モードから通常動作モードへの移行は，リセット入力，割り込みおよび例外の発生によって行われます。なお，HALT モードで割り込みおよび例外を受け付けた場合，その割り込み，例外の復帰 PC は，HALT 命令の次の命令の PC となります。

HALT モードの解除要求の入力は，以下のリセット入力，割り込みおよび例外の各要求の発生時に行われます。

- リセット入力 ($\overline{\text{RESET}}$，$\overline{\text{WDTA0RES}}$，$\overline{\text{CLMA0RES}}$ ～ $\overline{\text{CLMA2RES}}$，LVIRES，SGARES，DBRES)
- EI レベル・マスカブル割り込み入力 (EIINT)
- FE レベル・マスカブル割り込み入力 (FEINT)
- FE レベル・ノン・マスカブル割り込み入力 (FENMI)
- 周辺装置保護例外 (PPI)
- タイミング監視例外 (TSI)
- システム・エラー例外 (SYSERR)

3.3 アドレス空間

CPU のアドレス空間（CPU アドレス空間と物理アドレス空間のサイズとアドレス）について説明します

データ空間とプログラム空間のアドレス範囲はラップアラウンドにより示されます。

3.3.1 CPU データ・アドレスと物理プログラムアドレス空間

CPU は次のアドレス空間をサポートしています。

- 4 GB CPU データ・アドレス空間
  32 ビットの汎用レジスタで，最大 4GB メモリのアドレス空間をサポートしています。これは CPU がサポートできる最大のアドレス空間です。
- 512 MB 物理プログラム・アドレス空間
  CPU はプログラム・メモリの命令コードにアクセスする 512 MB 物理アドレス空間を供給します。つまり，外部または内部のメモリに最大 512MB までアクセス可能です。

3.3.2 プログラム空間とデータ空間

次に CPU アドレス空間におけるデータ空間とプログラム空間の割り当てについて示します。

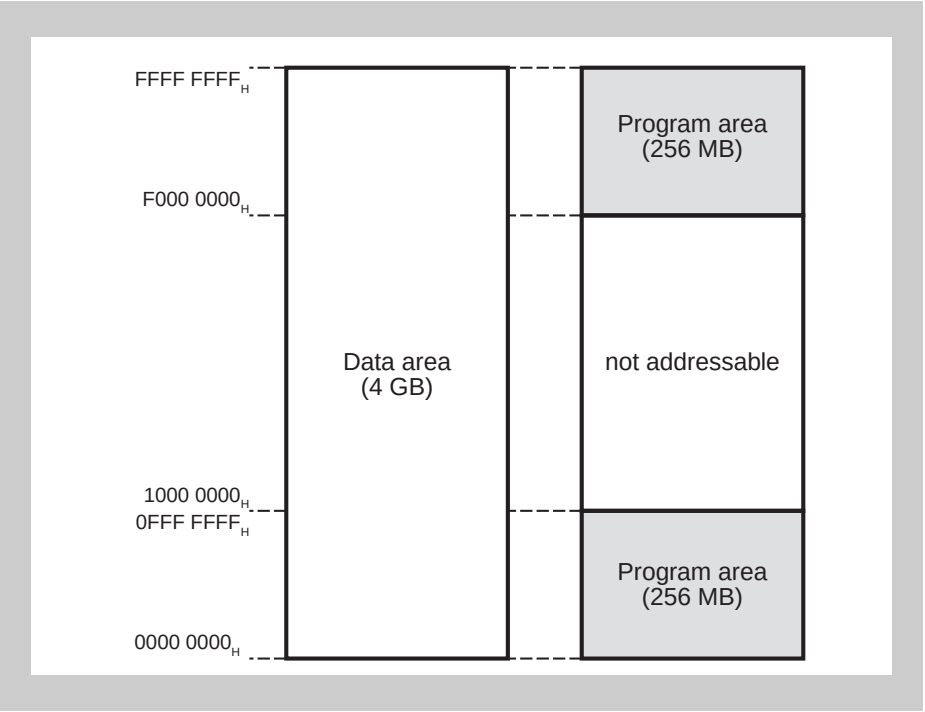


図 3-1 CPU アドレス空間

(1) データ空間のラップアラウンド

オペランドアドレス計算で 32 ビットを越える演算結果は無視します。

したがって，データ空間の上限である FFFF FFFF$_H$ 番地と，下限である 0000 0000$_H$ 番地は連続したアドレスになり，この境界でラップアラウンドします。

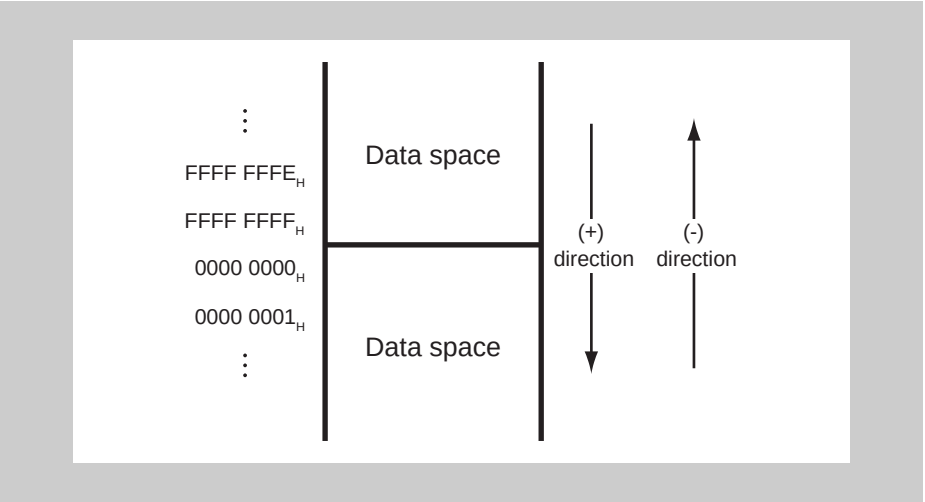


図 3-2 データ空間のラップアラウンド

(2) プログラム空間でのラップアラウンド

命令アドレス計算で 28 ビットを越える演算結果は無視します。

したがって，データ空間の上限である 0FFF FFFF$_H$ 番地と，下限である 0000 0000$_H$ 番地は連続したアドレスになり，この境界でラップアラウンドします。

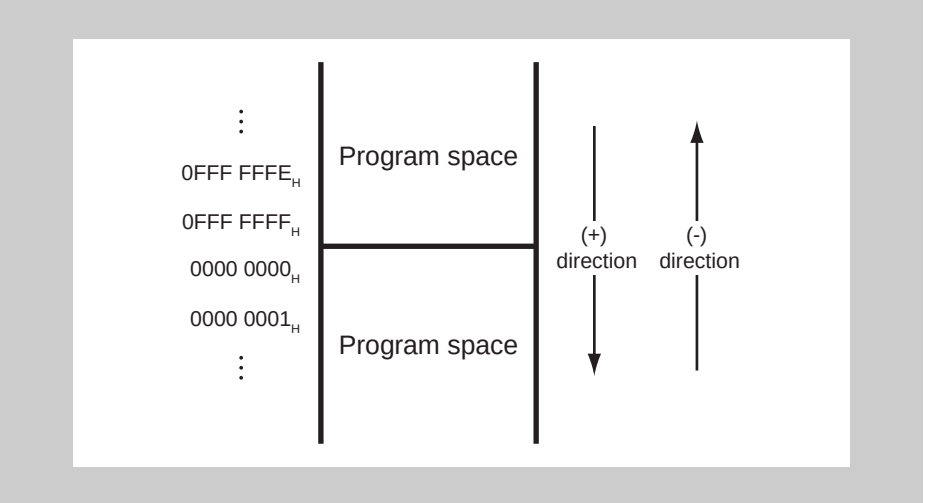


図 3-3 プログラム空間でのアップアラウンド

3.4 境界動作条件

3.4.1 プログラム空間

周辺 I/O 領域への分岐または RAM 領域から周辺 I/O 領域への連続フェッチは行わないでください。分岐や連続フェッチを行った場合，不定データをフェッチします

注意 メモリ（コード・フラッシュ，内蔵 RAM）の最終番地から 48byte 範囲内に実行可能な命令を配置して実行した場合，ECC エラーが発生する可能性があります（不定命令の実行はありません）。

3.4.2 データ空間

この製品はアドレス・ミス・アライン機能を内蔵しています。

この機能により，データの形式（ワード・データ，ハーフ・ワード・データ）にかかわらず，すべてのアドレスに対してデータを配置できます。ただし，ワード・データ，ハーフ・ワード・データの場合，データが境界整列していないと，バス・サイクルが最低 2 回は発生し，バス効率が低下します。

(1) ハーフ・ワード長のデータ・アクセスの場合

アドレスの最下位ビットが 1 のとき，バイト長のバス・サイクルを 2 回生成します。

(2) ワード長のデータ・アクセスの場合

- アドレスの最下位ビットが 1 のとき，バイト長のバス・サイクル，ハーフ・ワード長のバス・サイクル，バイト長のバス・サイクルの順でバス・サイクルを 3 回生成します。
- アドレスの下位 2 ビットが 10 のとき，ハーフ・ワード長のバス・サイクルを 2 回生成します。

3.5 メモリ・マップ

CPU メモリ・マップ，DMA アドレス・マップについて説明します。

3.5.1 DMA アクセス・メモリ・マップ

詳細は，5.3.3「DMA アクセス・メモリ・マップ」を参照してください。

3.5.2 メモリ・マップ

(1) V850E2/Px4 メモリ・マップ

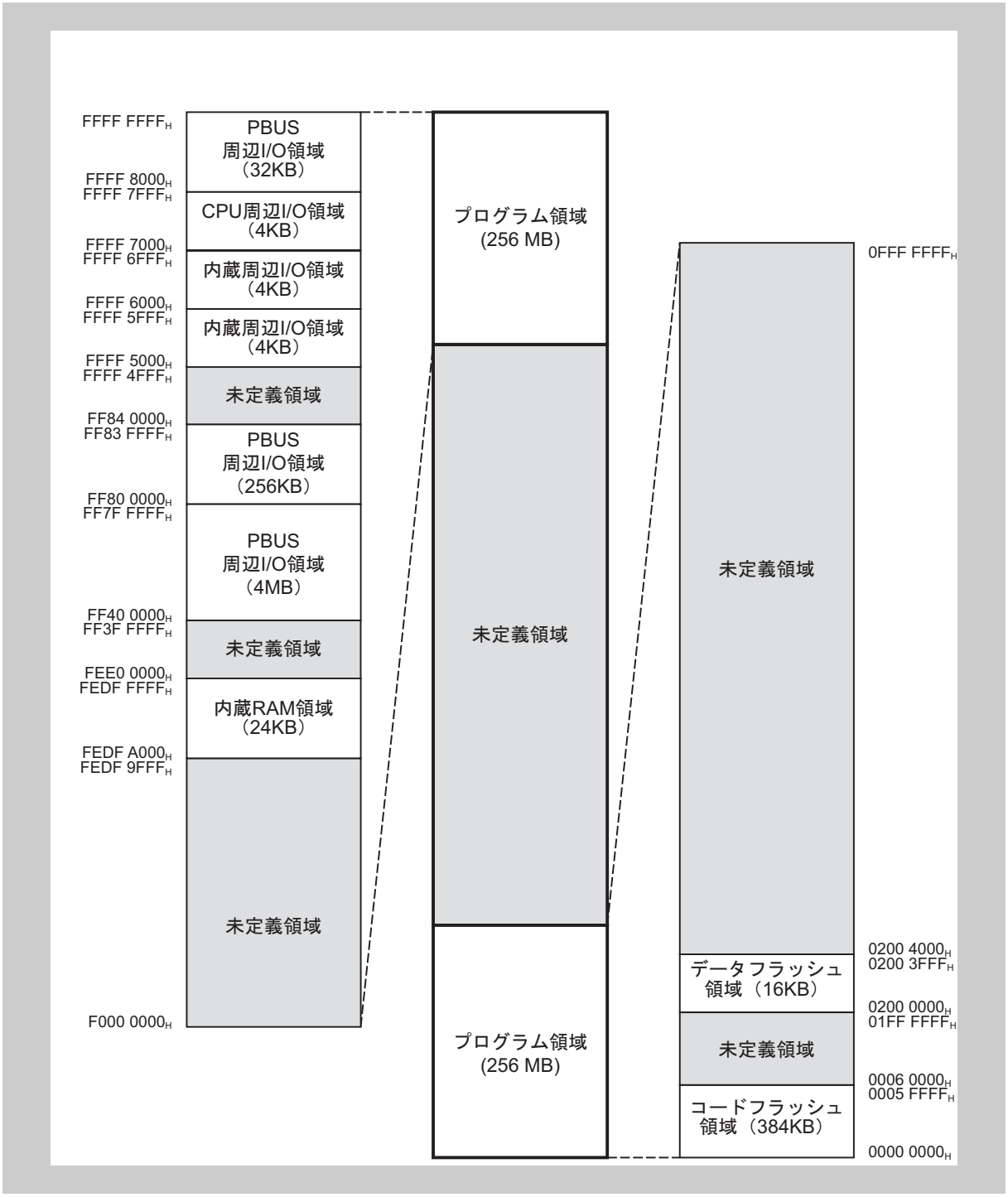


図 3-4 V850E2/Px4 メモリ・マップ

3.6 CPU 関連レジスタ

この節では，CPU 関連のレジスタについて説明します。

3.6.1 CPU 関連レジスタの概要

表 3-5 CPU 関連レジスタの一覧

レジスタ名	略号	アドレス
プロセッサ・エレメント識別子レジスタ	PEID	FFFF 6490$_H$
データ・フラッシュアクセスウェイト設定レジスタ	DCLKWAIT	FF43 6000$_H$

3.6.2 CPU 関連レジスタの詳細

(1) PEID - プロセッサ・エレメント識別子レジスタ

PEID レジスタ（PEID）は，アクセスした CPU のプロセッサ・エレメント ID を返します。

アクセス 16 ビット単位でリード可能です。

アドレス FFFF 6490$_H$

初期値 0001$_H$

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PEID[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 3-6 PEID レジスタの内容

ビット位置	ビット名	機能
15-0	PEID[15:0]	プロセッサ・エレメント ID を示します。 常に 0001$_H$ が読み出せます。

(2) DCLKWAIT - データ・フラッシュアクセスウェイト設定レジスタ

このレジスタは，データ・フラッシュ・メモリへのアクセスウェイトを設定するレジスタです。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FF43 6000$_H$

初期値 1F$_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	WAIT[4:0]				
R	R	R	R/W	R/W	R/W	R/W	R/W

表 3-7 DCLKWAIT レジスタの内容

ビット位置	ビット名	機能
4-0	WAIT[4:0]	データ・フラッシュ・メモリへのアクセスウェイトを設定します。 CPU 動作周波数に応じた設定値にしてください。

設定値	説明
11$_H$	CPU 動作 48MHz ～ 80MHz 動作時の設定値
1F$_H$	（初期値）
上記以外	設定禁止

注意 アクセスウェイトの設定はリセット解除後から，データ・フラッシュに最初にアクセスするまでに設定してください。

3.7 システムエラー通知機能

この節では，システムエラー通知に関するレジスタについて説明します。

3.7.1 システムエラー通知機能のレジスタの概要

表 3-8 システムエラー通知機能のレジスター覧

レジスタ名	略号	アドレス
システム・エラー・コントロール・レジスタ	SEG_CONT	FFFF 64B0$_H$
	SEG_CONTL	
システム・エラー・フラグ・レジスタ	SEG_FLAG	FFFF 64B2$_H$
	SEG_FLAGL	

3.7.2 システムエラー通知機能のレジスタの詳細

(1) SEG_CONT - システム・エラー・コントロール・レジスタ（SEG_CONT，SEG_CONTL）

各システム・エラー要因に起因する SYSERR 例外発生を設定するレジスタです。

アクセス SEG_CONT は 16 ビット単位でリード／ライト可能です。

SEG_CONTL は SEG_CONT の下位 8 ビットを 8／1 ビット単位でリード／ライト可能です。

アドレス FFFF 64B0$_H$

初期値 0000$_H$

	15	14	13	12	11	10	9	8
SEG_CONT	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R

	7	6	5	4	3	2	1	0
（SEG_CONTL）	SEG_CONTDMAE	0	SEG_CONTSEGE	SEG_CONTRAME	0	SEG_CONTEXTE	SEG_CONTFCHE	0
	R/W	R	R/W	R/W	R	R/W	R/W	R

表 3-9 SEG_CONT レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	SEG_CONTDMAE	DMA エラー通知イネーブル DMA アクセスの際，以下に示すエラーが発生した場合の動作を設定するビットです。 • コード・フラッシュ領域へデータ・アクセスした際，訂正不可能な ECC エラー発生 • 内蔵 RAM 領域へデータ・アクセスした際，訂正不可能な ECC エラー発生 • リザーブ領域（未定義領域）へのアクセス 0: SYSERR 例外が発生しない（初期値） 1: SYSERR 例外が発生する
5	SEG_CONTSEGE	リザーブ領域アクセス通知イネーブル CPU がリザーブ領域（未定義領域）へデータ・アクセスした際の動作を設定するビットです。 0: SYSERR 例外が発生しない（初期値） 1: SYSERR 例外が発生する **備考** リザーブ領域（未定義領域）とは将来の拡張用に予約された領域（アドレス FFFF 0000$_H$-FFFF 4FFF$_H$）です。この領域をユーザが使用することはできません。この領域へのアクセスを行うとシステム・エラーを発生します。
4	SEG_CONTRAME	CPU 内蔵 RAM 領域エラー通知イネーブル CPU が内蔵 RAM 領域へデータ・アクセスした際，訂正不可能なエラーが発生した場合の動作を設定するビットです。 0: SYSERR 例外が発生しない（初期値） 1: SYSERR 例外が発生する

表 3-9 SEG_CONT レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	SEG_ CONTEXTE	EXT 領域エラー通知イネーブル CPU が周辺 I/O 領域，データフラッシュへデータ・アクセスした際，以下に示すエラーが発生した場合の動作を設定するビットです。 • データ・フラッシュ領域へリード・アクセスした際，データ・フラッシュからのエラー通知。（データフラッシュ領域に対して 8/32 ビットのロード（ld.b，ld.w）を実行すると発生します。） • 周辺 I/O アクセス時に周辺 I/O バス PSELG コントロール・レジスタ（APC）で指定したエラー（未定義領域アクセスエラー（UAA）／アクセスタイムアウト（ATO））が発生。 0: SYSERR 例外が発生しない（初期値） 1: SYSERR 例外が発生する
1	SEG_ CONTFCHE	コード・フラッシュ・エラー通知イネーブル CPU がコード・フラッシュ領域へデータ・アクセスした際，訂正不可能な ECC エラーが発生した場合の動作を設定するビットです。 0: SYSERR 例外が発生しない（初期値） 1: SYSERR 例外が発生

注意 ビットがセット（1) されているときは，エラー発生時，SYSERR 例外が発生します。ビットがクリア（0）されているときは，発生したエラー要因に対応するエラー・フラグはセットされますが，SYSERR 例外は発生しません。

(2) SEG_FLAG - システム・エラー・フラグ・レジスタ（SEG_FLAG，SEG_FLAGL）

各システム・エラーの検出を保存するフラグ・レジスタです。システム・エラーを検出すると，対応するエラー要因のフラグがセット（1）されます。レジスタ書き込みにより直接フラグをセットし，SYSERR 例外を要求することも可能です。各フラグは “1” の状態をリード後，“0” をライトすることでクリアされます。リード時に “0” だったフラグに対し，その後のライト動作で “0” をライトしても，リード⇔ライト間に発生したエラーに対しては，フラグはセットされます。

アクセス SEG_FLAG は 16 ビット単位でリード／ライト可能です。

SEG_FLAGL は SEG_FLAG の下位 8 ビットを 8/1 ビット単位でリード／ライト可能です。

アドレス FFFF 64B2$_H$

初期値 0000$_H$

	15	14	13	12	11	10	9	8
SEG_FLAG	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R

	7	6	5	4	3	2	1	0
（SEG_FLAGL）	SEG_FLAG DMAF	0	SEG_FLAG SEGF	SEG_FLAG RAMF	0	SEG_FLAG EXTF	SEG_FLAG FCHF	0
	R/W	R	R/W	R/W	R	R/W	R/W	R

表 3-10 SEG_FLAG レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	SEG_FLAGDMAF	DMA エラー・フラグ DMA アクセスの際，以下に示すエラーが発生したときにセットされます。 • コード・フラッシュ領域へデータ・アクセスした際，フラッシュ ROM からの訂正不可能な ECC エラー発生 • 内蔵 RAM 領域へデータ・アクセスした際，訂正不可能な ECC エラー発生 • リザーブ領域（未定義領域）へのアクセス 0: DMA エラーは発生していない 1: DMA エラーが発生した
5	SEG_FLAGSEGF	リザーブ領域エラー・フラグ CPU がリザーブ領域（未定義領域）へデータ・アクセスしたときにセットされます。 0: リザーブ領域エラーは発生していない 1: リザーブ領域エラーが発生した **備考** リザーブ領域（未定義領域）とは将来の拡張用に予約された領域（アドレス FFFF 0000$_H$-FFFF 4FFF$_H$）です。この領域をユーザが使用することはできません。この領域へのアクセスを行うとシステム・エラーを発生します。
4	SEG_FLAGRAMF	CPU 内蔵 RAM 領域エラー・フラグ CPU が内蔵 RAM 領域へデータ・アクセスした際，訂正不可能な ECC エラーが発生したときにセットされます。 0: 内蔵 RAM 領域エラーは発生していない 1: 内蔵 RAM 領域エラーが発生した

表 3-10 SEG_FLAG レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	SEG_ FLAGEXTF	EXT 領域エラー・フラグ CPU が周辺 I/O 領域，データ・フラッシュへデータ・アクセスした際，以下に示すエラーが発生したときにセットされます。 • データ・フラッシュ領域へリード・アクセスした際，データ・フラッシュからのエラー通知。（データフラッシュ領域に対して 8/32 ビットのロード（ld.b，ld.w）を実行すると発生します。） • 周辺 I/O アクセス時に周辺 I/O バス PSELG コントロール・レジスタ（APC）で指定したエラー（未定義領域アクセスエラー（UAA）／アクセスタイムアウト（ATO））が発生 0: EXT 領域エラーは発生していない 1: EXT 領域エラーが発生した
1	SEG_ FLAGFCHF	コード・フラッシュ・エラー・フラグ CPU がコード・フラッシュ領域へデータ・アクセスした際，訂正不可能な ECC エラーが発生したときにセットされます。 0: フラッシュ ROM エラーは発生していない 1: フラッシュ ROM エラーが発生した

第 4 章 割り込み機能

4.1 特徴

特定の要因によって実行中のプログラムから別のプログラムへの強制的な分岐動作を発生する事象を例外と呼びます。この製品では次の例外をサポートしています。

表 4-1 例外要因一覧

名 称	略 称	発生要因	優先順位	例外レベル
CPU 初期化	RESET	リセット入力	1	–
Reserved	–	–	2	–
FE レベル・ノンマスカブル割り込み	FENMI	FENMI 入力	3	FE
システム・エラー例外	SYSERR	システム・エラー（SYSERR）入力 注 1	4	FE
周辺装置保護例外	PPI	周辺装置保護違反	5	FE
タイミング監視例外	TSI	タイミング監視違反	6	FE
FE レベル・マスカブル割り込み	FEINT	FEINT 入力	7	FE
Reserved	–	–	8	–
EI レベル・マスカブル割り込み	EIINT	EIINT 入力	9	EI
Reserved	–	–	10	–
実行保護例外	MIP	実行保護違反	11	FE
メモリ・エラー例外	MEP	命令アクセス・エラー入力 注 2	12	FE
データ保護例外	MDP	データ保護違反	13	FE
Reserved	–	–		–
コプロセッサ使用不可例外	UCPOP	コプロセッサ命令		FE
予約命令例外	RIEX	予約命令		FE
Reserved	–	–		–
FE レベル・ソフトウエア例外	FETRAPEX	FETRAP 命令（vector = 1_H-F_H）		FE
EI レベル・ソフトウエア例外	EITRAP0	TRAP0n 命令（vector = 00_H-$0F_H$）		EI
EI レベル・ソフトウエア例外	EITRAP1	TRAP1n 命令（vector = 10_H-$1F_H$）		EI
システム・コール例外	SYSCALLEX	SYSCALL 命令（vector = 00_H-FF_H）		EI

注 1. 3.7「システムエラー通知機能」を参照してください。

注 2. 命令アクセス・エラーは，命令フェッチ・アクセスにおいて，実際にエラーが発生したアドレスに含まれる命令を実行しようとした時点で発生します。エラー要因には下記があります。
- コード・フラッシュ ECC エラー
- 内蔵 RAM ECC エラー
- リザーブ領域エラー（アドレス $FFFF0000_H$ ～ $FFFF4FFF_H$）

表 4-1 のうち，次の 3 種の例外を割り込みと呼び，この章ではこれらについて説明します。その他の例外については「**V850E2M ユーザーズマニュアル アーキテクチャ編**」（**R01US0001J**）を参照してください。

○ FE レベル・ノンマスカブル割り込み（FENMI）：1 要因

（発生要因：INTCME，INTWDTA0NMI，INTCLMA1-2 のいずれか）

・再開不可／回復不可[注]（エラー通知用）

○ FE レベル・マスカブル割り込み（FEINT）：1 要因

（発生要因：INTISG，NMI 端子のいずれか）

・再開可能／回復可能[注]

・最高優先度割り込み（FENMI は除く）

○ EI レベル・マスカブル割り込み（EIINT）：131 要因

・再開可能／回復可能[注]

・各割り込みチャネルごとに割り込みマスクを指定可能

・各割り込みチャネルごとに 16 レベルの割り込み優先度を指定可能

・この章では割り込みチャネル n に対応する EIINT を EIINTn と表記します。

注 再開：元のプログラムの中断した位置から実行再開が可能／不可能であることを示します。

回復：元のプログラムを中断した時点のプロセッサ状態（汎用レジスタ，システム・レジスタなどのプロセッサ資源の状態）への回復が可能／不可能であることを示します。

これらの割り込み要因を表 4-2 に示します。

4.2　割り込み要因一覧

表 4-2　割り込み要因一覧 (1/10)

レベル	略　称	発生要因略称	発生要因	発生ユニット	デフォルト・プライオリティ	例外コード	ハンドラ・オフセット[注 1]	復帰 PC	復帰命令	割込み制御レジスタ	
										略　号	アドレス
FE	FENMI	FENMI	INTCME，INTWDTA0NMI，INTCLMA1-2 のいずれかの割り込みが発生[注 2]	－	－	00000020_H	$+0020_H$	－	－	FNC	FFFF645C
FE	FEINT	FEINT	SGA 割り込み（INTISG ）が発生[注 3]，NMI 端子	－	－	00000010_H	$+0010_H$	currentPC	FERET	FIC	FFFF645E
EI	EIINT0	INTCME[注 4]	CPU コンペア エラー	Safety	0	00000080_H	$+0080_H$	currentPC	EIRET	ICCME	FFFF6000
EI	EIINT1	INTISG[注 4]	SGA 割り込み	Safety	1	00000090_H	$+0090_H$	currentPC	EIRET	ICISG	FFFF6002
EI	EIINT2	INTWDTA0NMI[注 4]	ウォッチドッグの NMI 出力	WDTA0	2	$000000A0_H$	$+00A0_H$	currentPC	EIRET	ICWDTA0NMI	FFFF6004
EI	EIINT3	INTWDTA0	WDTA0 75%割り込み	WDTA0	3	$000000B0_H$	$+00B0_H$	currentPC	EIRET	ICWDTA0	FFFF6006
EI	EIINT4	Reserved				$000000C0_H$	$+00C0_H$	currentPC	EIRET		
EI	EIINT5	INTCLMA1[注 4]	CLMA1 の異常検出	CLMA1	5	$000000D0_H$	$+00D0_H$	currentPC	EIRET	ICCLMA1	FFFF600A
EI	EIINT6	INTCLMA2[注 4]	CLMA2 の異常検出	CLMA2	6	$000000E0_H$	$+00E0_H$	currentPC	EIRET	ICCLMA2	FFFF600C
EI	EIINT7	INTECCCFEC	コード・フラッシュ ECC エラー検出および訂正	Safety	7	$000000F0_H$	$+00F0_H$	currentPC	EIRET	ICECCCFEC	FFFF600E
EI	EIINT8	INTECCLRED	内蔵 RAM ECC エラー検出	Safety	8	00000100_H	$+0100_H$	currentPC	EIRET	ICECCLRED	FFFF6010
EI	EIINT9	INTECCLREC	内蔵 RAM ECC エラー検出および訂正	Safety	9	00000110_H	$+0110_H$	currentPC	EIRET	ICECCLREC	FFFF6012
EI	EIINT10	INTECCCDRED2	フラッシュ・キャッシュ RAM ECC エラー検出（レベル 2）	Safety	10	00000120_H	$+0120_H$	currentPC	EIRET	ICECCCDRED2	FFFF6014
EI	EIINT11	INTECCCTRED2	フラッシュ・キャッシュ TAG ECC エラー検出（レベル 2）	Safety	11	00000130_H	$+0130_H$	currentPC	EIRET	ICECCCTRED2	FFFF6016
EI	EIINT12	INTECCCDRED1	フラッシュ・キャッシュ RAM ECC エラー検出（レベル 1）	Safety	12	00000140_H	$+0140_H$	currentPC	EIRET	ICECCCDRED1	FFFF6018
EI	EIINT13	INTECCCTRED1	フラッシュ・キャッシュ TAG ECC エラー検出（レベル 1）	Safety	13	00000150_H	$+0150_H$	currentPC	EIRET	ICECCCTRED1	FFFF601A
EI	EIINT14	Reserved				00000160_H	$+0160_H$	currentPC	EIRET		
EI	EIINT15	INTECCCNED	CAN RAM ECC エラー検出	Safety	15	00000170_H	$+0170_H$	currentPC	EIRET	ICECCCNED	FFFF601E
EI	EIINT16	INTLVI0	低電圧検出	LVI	16	00000180_H	$+0180_H$	currentPC	EIRET	ICLVI0	FFFF6020
EI	EIINT17	INTP0	INTP0 エッジ検出	端子	17	00000190_H	$+0190_H$	currentPC	EIRET	ICP0	FFFF6022
EI	EIINT18	INTP1	INTP1 エッジ検出	端子	18	$000001A0_H$	$+01A0_H$	currentPC	EIRET	ICP1	FFFF6024

表 4-2　割り込み要因一覧 (2/10)

レベル	略　称	発生要因略称	発生要因	発生ユニット	デフォルト・プライオリティ	例外コード	ハンドラ・オフセット[注1]	復帰 PC	復帰命令	割込み制御レジスタ	
										略　号	アドレス
EI	EIINT19	INTP2	INTP2 エッジ検出	端子	19	$000001B0_H$	$+01B0_H$	currentPC	EIRET	ICP2	FFFF6026
EI	EIINT20	INTP3	INTP3 エッジ検出	端子	20	$000001C0_H$	$+01C0_H$	currentPC	EIRET	ICP3	FFFF6028
EI	EIINT21	INTP4	INTP4 エッジ検出	端子	21	$000001D0_H$	$+01D0_H$	currentPC	EIRET	ICP4	FFFF602A
EI	EIINT22	INTP5	INTP5 エッジ検出	端子	22	$000001E0_H$	$+01E0_H$	currentPC	EIRET	ICP5	FFFF602C
EI	EIINT23	INTP6	INTP6 エッジ検出	端子	23	$000001F0_H$	$+01F0_H$	currentPC	EIRET	ICP6	FFFF602E
EI	EIINT24	INTP7	INTP7 エッジ検出	端子	24	00000200_H	$+0200_H$	currentPC	EIRET	ICP7	FFFF6030
EI	EIINT25	INTP8	INTP8 エッジ検出	端子	25	00000210_H	$+0210_H$	currentPC	EIRET	ICP8	FFFF6032
EI	EIINT26	INTP9	INTP9 エッジ検出	端子	26	00000220_H	$+0220_H$	currentPC	EIRET	ICP9	FFFF6034
EI	EIINT27	Reserved				00000230_H	$+0230_H$	currentPC	EIRET		
EI	EIINT28	INTDMA0	DMA 転送完了 0	DMA	28	00000240_H	$+0240_H$	currentPC	EIRET	ICDMA0	FFFF6038
EI	EIINT29	INTDMACT0	DMA 転送カウント一致 0	DMA	29	00000250_H	$+0250_H$	currentPC	EIRET	ICDMACT0	FFFF603A
EI	EIINT30	INTDMA1	DMA 転送完了 1	DMA	30	00000260_H	$+0260_H$	currentPC	EIRET	ICDMA1	FFFF603C
EI	EIINT31	INTDMACT1	DMA 転送カウント一致 1	DMA	31	00000270_H	$+0270_H$	currentPC	EIRET	ICDMACT1	FFFF603E
EI	EIINT32	INTDMA2	DMA 転送完了 2	DMA	32	00000280_H	$+0280_H$	currentPC	EIRET	ICDMA2	FFFF6040
EI	EIINT33	INTDMACT2	DMA 転送カウント一致 2	DMA	33	00000290_H	$+0290_H$	currentPC	EIRET	ICDMACT2	FFFF6042
EI	EIINT34	INTDMA3	DMA 転送完了 3	DMA	34	$000002A0_H$	$+02A0_H$	currentPC	EIRET	ICDMA3	FFFF6044
EI	EIINT35	INTDMACT3	DMA 転送カウント一致 3	DMA	35	$000002B0_H$	$+02B0_H$	currentPC	EIRET	ICDMACT3	FFFF6046
EI	EIINT36	INTDMA4	DMA 転送完了 4	DMA	36	$000002C0_H$	$+02C0_H$	currentPC	EIRET	ICDMA4	FFFF6048
EI	EIINT37	INTDMACT4	DMA 転送カウント一致 4	DMA	37	$000002D0_H$	$+02D0_H$	currentPC	EIRET	ICDMACT4	FFFF604A
EI	EIINT38	INTDMA5	DMA 転送完了 5	DMA	38	$000002E0_H$	$+02E0_H$	currentPC	EIRET	ICDMA5	FFFF604C
EI	EIINT39	INTDMACT5	DMA 転送カウント一致 5	DMA	39	$000002F0_H$	$+02F0_H$	currentPC	EIRET	ICDMACT5	FFFF604E
EI	EIINT40	INTDMA6	DMA 転送完了 6	DMA	40	00000300_H	$+0300_H$	currentPC	EIRET	ICDMA6	FFFF6050
EI	EIINT41	INTDMACT6	DMA 転送カウント一致 6	DMA	41	00000310_H	$+0310_H$	currentPC	EIRET	ICDMACT6	FFFF6052
EI	EIINT42	INTDMA7	DMA 転送完了 7	DMA	42	00000320_H	$+0320_H$	currentPC	EIRET	ICDMA7	FFFF6054
EI	EIINT43	INTDMACT7	DMA 転送カウント一致 7	DMA	43	00000330_H	$+0330_H$	currentPC	EIRET	ICDMACT7	FFFF6056
EI	EIINT44	INTOSTM0	OST0 割り込み信号	OSTM0	44	00000340_H	$+0340_H$	currentPC	EIRET	ICOSTM0	FFFF6058

表 4-2　割り込み要因一覧 (3/10)

レベル	略　称	発生要因略称	発生要因	発生ユニット	デフォルト・プライオリティ	例外コード	ハンドラ・オフセット[注1]	復帰 PC	復帰命令	割込み制御レジスタ	
										略　号	アドレス
EI	EIINT45	INTOSTM1	OST1 割り込み信号	OSTM1	45	00000350_H	$+0350_H$	currentPC	EIRET	ICOSTM1	FFFF605A
EI	EIINT46	INTTAUJ0I0	TAUJ0 CH0 割り込み信号	TAUJ0	46	00000360_H	$+0360_H$	currentPC	EIRET	ICTAUJ0I0	FFFF605C
EI	EIINT47	INTTAUJ0I1	TAUJ0 CH1 割り込み信号	TAUJ0	47	00000370_H	$+0370_H$	currentPC	EIRET	ICTAUJ0I1	FFFF605E
EI	EIINT48	INTTAUJ0I2	TAUJ0 CH2 割り込み信号	TAUJ0	48	00000380_H	$+0380_H$	currentPC	EIRET	ICTAUJ0I2	FFFF6060
EI	EIINT49	INTTAUJ0I3	TAUJ0 CH3 割り込み信号	TAUJ0	49	00000390_H	$+0390_H$	currentPC	EIRET	ICTAUJ0I3	FFFF6062
EI	EIINT50	Reserved				$000003A0_H$	$+03A0_H$	currentPC	EIRET		
EI	EIINT51	Reserved				$000003B0_H$	$+03B0_H$	currentPC	EIRET		
EI	EIINT52	Reserved				$000003C0_H$	$+03C0_H$	currentPC	EIRET		
EI	EIINT53	Reserved				$000003D0_H$	$+03D0_H$	currentPC	EIRET		
EI	EIINT54	INTTAUB0I0	TAUB0 CH0 割り込み信号	TAUB0	54	$000003E0_H$	$+03E0_H$	currentPC	EIRET	ICTAUB0I0	FFFF606C
EI	EIINT55	INTTAUB0I1	TAUB0 CH1 割り込み信号	TAUB0	55	$000003F0_H$	$+03F0_H$	currentPC	EIRET	ICTAUB0I1	FFFF606E
EI	EIINT56	INTTAUB0I2	TAUB0 CH2 割り込み信号	TAUB0	56	00000400_H	$+0400_H$	currentPC	EIRET	ICTAUB0I2	FFFF6070
EI	EIINT57	INTTAUB0I3	TAUB0 CH3 割り込み信号	TAUB0	57	00000410_H	$+0410_H$	currentPC	EIRET	ICTAUB0I3	FFFF6072
EI	EIINT58	INTTAUB0I4	TAUB0 CH4 割り込み信号	TAUB0	58	00000420_H	$+0420_H$	currentPC	EIRET	ICTAUB0I4	FFFF6074
EI	EIINT59	INTTAUB0I5	TAUB0 CH5 割り込み信号	TAUB0	59	00000430_H	$+0430_H$	currentPC	EIRET	ICTAUB0I5	FFFF6076
EI	EIINT60	INTTAUB0I6	TAUB0 CH6 割り込み信号	TAUB0	60	00000440_H	$+0440_H$	currentPC	EIRET	ICTAUB0I6	FFFF6078
EI	EIINT61	INTTAUB0I7	TAUB0 CH7 割り込み信号	TAUB0	61	00000450_H	$+0450_H$	currentPC	EIRET	ICTAUB0I7	FFFF607A
EI	EIINT62	INTTAUB0I8	TAUB0 CH8 割り込み信号	TAUB0	62	00000460_H	$+0460_H$	currentPC	EIRET	ICTAUB0I8	FFFF607C
EI	EIINT63	INTTAUB0I9	TAUB0 CH9 割り込み信号	TAUB0	63	00000470_H	$+0470_H$	currentPC	EIRET	ICTAUB0I9	FFFF607E
EI	EIINT64	INTTAUB0I10	TAUB0 CH10 割り込み信号	TAUB0	64	00000480_H	$+0480_H$	currentPC	EIRET	ICTAUB0I10	FFFF6080
EI	EIINT65	INTTAUB0I11	TAUB0 CH11 割り込み信号	TAUB0	65	00000490_H	$+0490_H$	currentPC	EIRET	ICTAUB0I11	FFFF6082
EI	EIINT66	INTTAUB0I12	TAUB0 CH12 割り込み信号	TAUB0	66	$000004A0_H$	$+04A0_H$	currentPC	EIRET	ICTAUB0I12	FFFF6084
EI	EIINT67	INTTAUB0I13	TAUB0 CH13 割り込み信号	TAUB0	67	$000004B0_H$	$+04B0_H$	currentPC	EIRET	ICTAUB0I13	FFFF6086
EI	EIINT68	INTTAUB0I14	TAUB0 CH14 割り込み信号	TAUB0	68	$000004C0_H$	$+04C0_H$	currentPC	EIRET	ICTAUB0I14	FFFF6088
EI	EIINT69	INTTAUB0I15	TAUB0 CH15 割り込み信号	TAUB0	69	$000004D0_H$	$+04D0_H$	currentPC	EIRET	ICTAUB0I15	FFFF608A
EI	EIINT70	Reserved				$000004E0_H$	$+04E0_H$	currentPC	EIRET		

表 4-2　割り込み要因一覧 (4/10)

レベル	略　称	発生要因略称	発生要因	発生ユニット	デフォルト・プライオリティ	例外コード	ハンドラ・オフセット注１	復帰 PC	復帰命令	割込み制御レジスタ	
										略　号	アドレス
EI	EIINT71	Reserved				$000004F0_H$	$+04F0_H$	currentPC	EIRET		
EI	EIINT72	Reserved				00000500_H	$+0500_H$	currentPC	EIRET		
EI	EIINT73	Reserved				00000510_H	$+0510_H$	currentPC	EIRET		
EI	EIINT74	Reserved				00000520_H	$+0520_H$	currentPC	EIRET		
EI	EIINT75	Reserved				00000530_H	$+0530_H$	currentPC	EIRET		
EI	EIINT76	Reserved				00000540_H	$+0540_H$	currentPC	EIRET		
EI	EIINT77	Reserved				00000550_H	$+0550_H$	currentPC	EIRET		
EI	EIINT78	Reserved				00000560_H	$+0560_H$	currentPC	EIRET		
EI	EIINT79	Reserved				00000570_H	$+0570_H$	currentPC	EIRET		
EI	EIINT80	Reserved				00000580_H	$+0580_H$	currentPC	EIRET		
EI	EIINT81	Reserved				00000590_H	$+0590_H$	currentPC	EIRET		
EI	EIINT82	Reserved				$000005A0_H$	$+05A0_H$	currentPC	EIRET		
EI	EIINT83	Reserved				$000005B0_H$	$+05B0_H$	currentPC	EIRET		
EI	EIINT84	Reserved				$000005C0_H$	$+05C0_H$	currentPC	EIRET		
EI	EIINT85	Reserved				$000005D0_H$	$+05D0_H$	currentPC	EIRET		
EI	EIINT86	INTADCA0ERR	ADC エラー割り込み信号	ADCA0	86	$000005E0_H$	$+05E0_H$	currentPC	EIRET	ICADCA0ERR	FFFF60AC
EI	EIINT87	INTADCA0I0	ADC 変換終了 CG0	ADCA0	87	$000005F0_H$	$+05F0_H$	currentPC	EIRET	ICADCA0I0	FFFF60AE
EI	EIINT88	INTADCA0I1	ADC 変換終了 CG1	ADCA0	88	00000600_H	$+0600_H$	currentPC	EIRET	ICADCA0I1	FFFF60B0
EI	EIINT89	INTADCA0I2	ADC 変換終了 CG2	ADCA0	89	00000610_H	$+0610_H$	currentPC	EIRET	ICADCA0I2	FFFF60B2
EI	EIINT90	INTADCA0LLT	ADC 最新変換 タイミング	ADCA0	90	00000620_H	$+0620_H$	currentPC	EIRET	ICADCA0LLT	FFFF60B4
EI	EIINT91	Reserved				00000630_H	$+0630_H$	currentPC	EIRET		
EI	EIINT92	Reserved				00000640_H	$+0640_H$	currentPC	EIRET		
EI	EIINT93	Reserved				00000650_H	$+0650_H$	currentPC	EIRET		
EI	EIINT94	Reserved				00000660_H	$+0660_H$	currentPC	EIRET		
EI	EIINT95	Reserved				00000670_H	$+0670_H$	currentPC	EIRET		
EI	EIINT96	Reserved				00000680_H	$+0680_H$	currentPC	EIRET		

表 4-2　割り込み要因一覧 (5/10)

レベル	略　称	発生要因略称	発生要因	発生ユニット	デフォルト・プライオリティ	例外コード	ハンドラ・オフセット注１	復帰 PC	復帰命令	割込み制御レジスタ	
										略　号	アドレス
EI	EIINT97	Reserved				00000690_H	$+0690_H$	currentPC	EIRET		
EI	EIINT98	Reserved				$000006A0_H$	$+06A0_H$	currentPC	EIRET		
EI	EIINT99	INTCSIG0IRE	CSIG0 受信エラー	CSIG0	99	$000006B0_H$	$+06B0_H$	currentPC	EIRET	ICCSIG0IRE	FFFF60C6
EI	EIINT100	INTCSIG0IR	CSIG0 受信完了	CSIG0	100	$000006C0_H$	$+06C0_H$	currentPC	EIRET	ICCSIG0IR	FFFF60C8
EI	EIINT101	INTCSIG0IC	CSIG0 通信完了	CSIG0	101	$000006D0_H$	$+06D0_H$	currentPC	EIRET	ICCSIG0IC	FFFF60CA
EI	EIINT102	INTCSIG1IRE	CSIG1 受信エラー	CSIG1	102	$000006E0_H$	$+06E0_H$	currentPC	EIRET	ICCSIG1IRE	FFFF60CC
EI	EIINT103	INTCSIG1IR	CSIG1 受信完了	CSIG1	103	$000006F0_H$	$+06F0_H$	currentPC	EIRET	ICCSIG1IR	FFFF60CE
EI	EIINT104	INTCSIG1IC	CSIG1 通信完了	CSIG1	104	00000700_H	$+0700_H$	currentPC	EIRET	ICCSIG1IC	FFFF60D0
EI	EIINT105	Reserved				00000710_H	$+0710_H$	currentPC	EIRET		
EI	EIINT106	Reserved				00000720_H	$+0720_H$	currentPC	EIRET		
EI	EIINT107	Reserved				00000730_H	$+0730_H$	currentPC	EIRET		
EI	EIINT108	INTURTH0IS	UARTH0 ステータス割り込み	UARTH0	108	00000740_H	$+0740_H$	currentPC	EIRET	ICURTH0IS	FFFF60D8
EI	EIINT109	INTURTH0IR	UARTH0 受信完了	UARTH0	109	00000750_H	$+0750_H$	currentPC	EIRET	ICURTH0IR	FFFF60DA
EI	EIINT110	INTURTH0IT	UARTH0 送信完了	UARTH0	110	00000760_H	$+0760_H$	currentPC	EIRET	ICURTH0IT	FFFF60DC
EI	EIINT111	INTURTH1IS	UARTH1 ステータス割り込み	UARTH1	111	00000770_H	$+0770_H$	currentPC	EIRET	ICURTH1IS	FFFF60DE
EI	EIINT112	INTURTH1IR	UARTH1 受信完了	UARTH1	112	00000780_H	$+0780_H$	currentPC	EIRET	ICURTH1IR	FFFF60E0
EI	EIINT113	INTURTH1IT	UARTH1 送信完了	UARTH1	113	00000790_H	$+0790_H$	currentPC	EIRET	ICURTH1IT	FFFF60E2
EI	EIINT114	Reserved				$000007A0_H$	$+07A0_H$	currentPC	EIRET		
EI	EIINT115	Reserved				$000007B0_H$	$+07B0_H$	currentPC	EIRET		
EI	EIINT116	Reserved				$000007C0_H$	$+07C0_H$	currentPC	EIRET		
EI	EIINT117	INTFCN0ERR	CAN0 エラー	FCN0	117	$000007D0_H$	$+07D0_H$	currentPC	EIRET	ICFCN0ERR	FFFF60EA
EI	EIINT118	INTFCN0WUP	CAN0 ウエイク・アップ	FCN0	118	$000007E0_H$	$+07E0_H$	currentPC	EIRET	ICFCN0WUP	FFFF60EC
EI	EIINT119	INTFCN0REC	CAN0 受信終了	FCN0	119	$000007F0_H$	$+07F0_H$	currentPC	EIRET	ICFCN0REC	FFFF60EE
EI	EIINT120	INTFCN0TRX	CAN0 送信終了	FCN0	120	00000800_H	$+0800_H$	currentPC	EIRET	ICFCN0TRX	FFFF60F0
EI	EIINT121	INTFCN1ERR	CAN1 エラー	FCN1	121	00000810_H	$+0810_H$	currentPC	EIRET	ICFCN1ERR	FFFF60F2
EI	EIINT122	INTFCN1WUP	CAN1 ウエイク・アップ	FCN1	122	00000820_H	$+0820_H$	currentPC	EIRET	ICFCN1WUP	FFFF60F4

表 4-2　割り込み要因一覧 (6/10)

レベル	略　称	発生要因略称	発生要因	発生ユニット	デフォルト・プライオリティ	例外コード	ハンドラ・オフセット[注1]	復帰 PC	復帰命令	割込み制御レジスタ	
										略　号	アドレス
EI	EIINT123	INTFCN1REC	CAN1 受信終了	FCN1	123	00000830_H	$+0830_H$	currentPC	EIRET	ICFCN1REC	FFFF60F6
EI	EIINT124	INTFCN1TRX	CAN1 送信終了	FCN1	124	00000840_H	$+0840_H$	currentPC	EIRET	ICFCN1TRX	FFFF60F8
EI	EIINT125	INTBRG0	BRG 割り込み	BRG	125	00000850_H	$+0850_H$	currentPC	EIRET	ICBRG0	FFFF60FA
EI	EIINT126	Reserved				00000860_H	$+0860_H$	currentPC	EIRET		
EI	EIINT127	INTFL	フラッシュ・プログラミング完了割り込み (Code/Data)	Code Flash/ Data Flash	127	00000870_H	$+0870_H$	currentPC	EIRET	ICFL	FFFF60FE
EI	EIINT128	INTSWN[注5]	NEXUS ソフトウエア割り込み	Software	128	00000880_H	$+0880_H$	currentPC	EIRET	ICSWN	FFFF6100
EI	EIINT129	INTTSG20I00	TSG20 PWM 周期割り込み	TSG20	129	00000890_H	$+0890_H$	currentPC	EIRET	ICTSG20I00	FFFF6102
EI	EIINT130	INTTSG20I01	TSG20 コンペアー致 1 割り込み	TSG20	130	$000008A0_H$	$+08A0_H$	currentPC	EIRET	ICTSG20I01	FFFF6104
EI	EIINT131	INTTSG20I02	TSG20 コンペアー致 2 割り込み	TSG20	131	$000008B0_H$	$+08B0_H$	currentPC	EIRET	ICTSG20I02	FFFF6106
EI	EIINT132	INTTSG20I03	TSG20 コンペアー致 3 割り込み	TSG20	132	$000008C0_H$	$+08C0_H$	currentPC	EIRET	ICTSG20I03	FFFF6108
EI	EIINT133	INTTSG20I04	TSG20 コンペアー致 4 割り込み	TSG20	133	$000008D0_H$	$+08D0_H$	currentPC	EIRET	ICTSG20I04	FFFF610A
EI	EIINT134	INTTSG20I05	TSG20 コンペアー致 5 割り込み	TSG20	134	$000008E0_H$	$+08E0_H$	currentPC	EIRET	ICTSG20I05	FFFF610C
EI	EIINT135	INTTSG20I06	TSG20 コンペアー致 6 割り込み	TSG20	135	$000008F0_H$	$+08F0_H$	currentPC	EIRET	ICTSG20I06	FFFF610E
EI	EIINT136	INTTSG20I07	TSG20 コンペアー致 7 割り込み	TSG20	136	00000900_H	$+0900_H$	currentPC	EIRET	ICTSG20I07	FFFF6110
EI	EIINT137	INTTSG20I08	TSG20 コンペアー致 8 割り込み	TSG20	137	00000910_H	$+0910_H$	currentPC	EIRET	ICTSG20I08	FFFF6112
EI	EIINT138	INTTSG20I09	TSG20 コンペアー致 9 割り込み	TSG20	138	00000920_H	$+0920_H$	currentPC	EIRET	ICTSG20I09	FFFF6114
EI	EIINT139	INTTSG20I10	TSG20 コンペアー致 10 割り込み	TSG20	139	00000930_H	$+0930_H$	currentPC	EIRET	ICTSG20I10	FFFF6116
EI	EIINT140	INTTSG20I11	TSG20 コンペアー致 11 割り込み	TSG20	140	00000940_H	$+0940_H$	currentPC	EIRET	ICTSG20I11	FFFF6118
EI	EIINT141	INTTSG20I12	TSG20 コンペアー致 12 割り込み	TSG20	141	00000950_H	$+0950_H$	currentPC	EIRET	ICTSG20I12	FFFF611A
EI	EIINT142	INTTSG20IPEK	TSG20 山割り込み	TSG20	142	00000960_H	$+0960_H$	currentPC	EIRET	ICTSG20IPEK	FFFF611C
EI	EIINT143	INTTSG20IVLY	TSG20 谷割り込み	TSG20	143	00000970_H	$+0970_H$	currentPC	EIRET	ICTSG20IVLY	FFFF611E
EI	EIINT144	INTTSG20IER	TSG20 エラー割り込み	TSG20	144	00000980_H	$+0980_H$	currentPC	EIRET	ICTSG20IER	FFFF6120
EI	EIINT145	INTTSG20IWN	TSG20 ワーニング割り込み	TSG20	145	00000990_H	$+0990_H$	currentPC	EIRET	ICTSG20IWN	FFFF6122
EI	EIINT146	Reserved				$000009A0_H$	$+09A0_H$	currentPC	EIRET		
EI	EIINT147	Reserved				$000009B0_H$	$+09B0_H$	currentPC	EIRET		

表 4-2　割り込み要因一覧 (7/10)

レベル	略　称	発生要因略称	発生要因	発生ユニット	デフォルト・プライオリティ	例外コード	ハンドラ・オフセット[注1]	復帰 PC	復帰命令	割込み制御レジスタ	
										略　号	アドレス
EI	EIINT148	Reserved				$000009C0_H$	$+09C0_H$	currentPC	EIRET		
EI	EIINT149	Reserved				$000009D0_H$	$+09D0_H$	currentPC	EIRET		
EI	EIINT150	Reserved				$000009E0_H$	$+09E0_H$	currentPC	EIRET		
EI	EIINT151	Reserved				$000009F0_H$	$+09F0_H$	currentPC	EIRET		
EI	EIINT152	Reserved				$00000A00_H$	$+0A00_H$	currentPC	EIRET		
EI	EIINT153	Reserved				$00000A10_H$	$+0A10_H$	currentPC	EIRET		
EI	EIINT154	Reserved				$00000A20_H$	$+0A20_H$	currentPC	EIRET		
EI	EIINT155	Reserved				$00000A30_H$	$+0A30_H$	currentPC	EIRET		
EI	EIINT156	Reserved				$00000A40_H$	$+0A40_H$	currentPC	EIRET		
EI	EIINT157	Reserved				$00000A50_H$	$+0A50_H$	currentPC	EIRET		
EI	EIINT158	Reserved				$00000A60_H$	$+0A60_H$	currentPC	EIRET		
EI	EIINT159	Reserved				$00000A70_H$	$+0A70_H$	currentPC	EIRET		
EI	EIINT160	Reserved				$00000A80_H$	$+0A80_H$	currentPC	EIRET		
EI	EIINT161	Reserved				$00000A90_H$	$+0A90_H$	currentPC	EIRET		
EI	EIINT162	Reserved				$00000AA0_H$	$+0AA0_H$	currentPC	EIRET		
EI	EIINT163	INTENCA0IOV	ENCA0 オーバフロー割り込み	ENCA0	163	$00000AB0_H$	$+0AB0_H$	currentPC	EIRET	ICENCA0IOV	FFFF6146
EI	EIINT164	INTENCA0I0	ENCA0 キャプチャ / コンペアー致 0 割り込み	ENCA0	164	$00000AC0_H$	$+0AC0_H$	currentPC	EIRET	ICENCA0I0	FFFF6148
EI	EIINT165	INTENCA0I1	ENCA0 キャプチャ / コンペアー致 1 割り込み	ENCA0	165	$00000AD0_H$	$+0AD0_H$	currentPC	EIRET	ICENCA0I1	FFFF614A
EI	EIINT166	INTENCA0IUD	ENCA0 アンダフロー割り込み	ENCA0	166	$00000AE0_H$	$+0AE0_H$	currentPC	EIRET	ICENCA0IUD	FFFF614C
EI	EIINT167	INTENCA0IEC	ENCA0 エンコーダ・クリア割り込み	ENCA0	167	$00000AF0_H$	$+0AF0_H$	currentPC	EIRET	ICENCA0IEC	FFFF614E
EI	EIINT168	Reserved				$00000B00_H$	$+0B00_H$	currentPC	EIRET		
EI	EIINT169	Reserved				$00000B10_H$	$+0B10_H$	currentPC	EIRET		
EI	EIINT170	Reserved				$00000B20_H$	$+0B20_H$	currentPC	EIRET		
EI	EIINT171	Reserved				$00000B30_H$	$+0B30_H$	currentPC	EIRET		
EI	EIINT172	Reserved				$00000B40_H$	$+0B40_H$	currentPC	EIRET		
EI	EIINT173	INTTPBA0IPRD	TPBA0 周期一致検出割り込み	TPB0	173	$00000B50_H$	$+0B50_H$	currentPC	EIRET	ICTPBA0IPRD	FFFF615A

表 4-2　割り込み要因一覧 (8/10)

レベル	略　称	発生要因略称	発生要因	発生ユニット	デフォルト・プライオリティ	例外コード	ハンドラ・オフセット[注1]	復帰 PC	復帰命令	割込み制御レジスタ	
										略　号	アドレス
EI	EIINT174	INTTPBA0IDTY	TPBA0 デューティー致検出割り込み	TPB0	174	$00000B60_H$	$+0B60_H$	currentPC	EIRET	ICTPBA0IDTY	FFFF615C
EI	EIINT175	INTTPBA0IPAT	TPBA0 パタン数一致検出割り込み	TPB0	175	$00000B70_H$	$+0B70_H$	currentPC	EIRET	ICTPBA0IPAT	FFFF615E
EI	EIINT176	Reserved				$00000B80_H$	$+0B80_H$	currentPC	EIRET		
EI	EIINT177	Reserved				$00000B90_H$	$+0B90_H$	currentPC	EIRET		
EI	EIINT178	Reserved				$00000BA0_H$	$+0BA0_H$	currentPC	EIRET		
EI	EIINT179	Reserved				$00000BB0_H$	$+0BB0_H$	currentPC	EIRET		
EI	EIINT180	Reserved				$00000BC0_H$	$+0BC0_H$	currentPC	EIRET		
EI	EIINT181	INTTAPA0IPEK0	TAPA0 山割り込み	TAPA0	181	$00000BD0_H$	$+0BD0_H$	currentPC	EIRET	ICTAPA0IPEK0	FFFF616A
EI	EIINT182	INTTAPA0IVLY0	TAPA0 谷割り込み	TAPA0	182	$00000BE0_H$	$+0BE0_H$	currentPC	EIRET	ICTAPA0IVLY0	FFFF616C
EI	EIINT183	Reserved				$00000BF0_H$	$+0BF0_H$	currentPC	EIRET		
EI	EIINT184	Reserved				$00000C00_H$	$+0C00_H$	currentPC	EIRET		
EI	EIINT185	Reserved				$00000C10_H$	$+0C10_H$	currentPC	EIRET		
EI	EIINT186	Reserved				$00000C20_H$	$+0C20_H$	currentPC	EIRET		
EI	EIINT187	Reserved				$00000C30_H$	$+0C30_H$	currentPC	EIRET		
EI	EIINT188	Reserved				$00000C40_H$	$+0C40_H$	currentPC	EIRET		
EI	EIINT189	Reserved				$00000C50_H$	$+0C50_H$	currentPC	EIRET		
EI	EIINT190	Reserved				$00000C60_H$	$+0C60_H$	currentPC	EIRET		
EI	EIINT191	Reserved				$00000C70_H$	$+0C70_H$	currentPC	EIRET		
EI	EIINT192	Reserved				$00000C80_H$	$+0C80_H$	currentPC	EIRET		
EI	EIINT193	INTSW0[注6]	ソフトウエア割り込み 0	Software	193	$00000C90_H$	$+0C90_H$	currentPC	EIRET	ICSW0	FFFF6182
EI	EIINT194	INTSW1[注6]	ソフトウエア割り込み 1	Software	194	$00000CA0_H$	$+0CA0_H$	currentPC	EIRET	ICSW1	FFFF6184
EI	EIINT195	INTSW2[注6]	ソフトウエア割り込み 2	Software	195	$00000CB0_H$	$+0CB0_H$	currentPC	EIRET	ICSW2	FFFF6186
EI	EIINT196	INTSW3[注6]	ソフトウエア割り込み 3	Software	196	$00000CC0_H$	$+0CC0_H$	currentPC	EIRET	ICSW3	FFFF6188
EI	EIINT197	INTSW4[注6]	ソフトウエア割り込み 4	Software	197	$00000CD0_H$	$+0CD0_H$	currentPC	EIRET	ICSW4	FFFF618A
EI	EIINT198	INTSW5[注6]	ソフトウエア割り込み 5	Software	198	$00000CE0_H$	$+0CE0_H$	currentPC	EIRET	ICSW5	FFFF618C
EI	EIINT199	INTSW6[注6]	ソフトウエア割り込み 6	Software	199	$00000CF0_H$	$+0CF0_H$	currentPC	EIRET	ICSW6	FFFF618E

表 4-2　割り込み要因一覧 (9/10)

レベル	略　称	発生要因略称	発生要因	発生ユニット	デフォルト・プライオリティ	例外コード	ハンドラ・オフセット[注1]	復帰 PC	復帰命令	割込み制御レジスタ	
										略　号	アドレス
EI	EIINT200	INTSW7[注6]	ソフトウエア割り込み 7	Software	200	$00000D00_H$	$+0D00_H$	currentPC	EIRET	ICSW7	FFFF6190
EI	EIINT201	INTSW8[注6]	ソフトウエア割り込み 8	Software	201	$00000D10_H$	$+0D10_H$	currentPC	EIRET	ICSW8	FFFF6192
EI	EIINT202	INTSW9[注6]	ソフトウエア割り込み 9	Software	202	$00000D20_H$	$+0D20_H$	currentPC	EIRET	ICSW9	FFFF6194
EI	EIINT203	Reserved				$00000D30_H$	$+0D30_H$	currentPC	EIRET		
EI	EIINT204	Reserved				$00000D40_H$	$+0D40_H$	currentPC	EIRET		
EI	EIINT205	Reserved				$00000D50_H$	$+0D50_H$	currentPC	EIRET		
EI	EIINT206	Reserved				$00000D60_H$	$+0D60_H$	currentPC	EIRET		
EI	EIINT207	Reserved				$00000D70_H$	$+0D70_H$	currentPC	EIRET		
EI	EIINT208	Reserved				$00000D80_H$	$+0D80_H$	currentPC	EIRET		
EI	EIINT209	Reserved				$00000D90_H$	$+0D90_H$	currentPC	EIRET		
EI	EIINT210	Reserved				$00000DA0_H$	$+0DA0_H$	currentPC	EIRET		
EI	EIINT211	Reserved				$00000DB0_H$	$+0DB0_H$	currentPC	EIRET		
EI	EIINT212	Reserved				$00000DC0_H$	$+0DC0_H$	currentPC	EIRET		
EI	EIINT213	Reserved				$00000DD0_H$	$+0DD0_H$	currentPC	EIRET		
EI	EIINT214	Reserved				$00000DE0_H$	$+0DE0_H$	currentPC	EIRET		
EI	EIINT215	Reserved				$00000DF0_H$	$+0DF0_H$	currentPC	EIRET		
EI	EIINT216	Reserved				$00000E00_H$	$+0E00_H$	currentPC	EIRET		
EI	EIINT217	Reserved				$00000E10_H$	$+0E10_H$	currentPC	EIRET		
EI	EIINT218	Reserved				$00000E20_H$	$+0E20_H$	currentPC	EIRET		
EI	EIINT219	Reserved				$00000E30_H$	$+0E30_H$	currentPC	EIRET		
EI	EIINT220	INTSGACMEDIAG	コンペアユニット自己診断割り込み	SGA	220	$00000E40_H$	$+0E40_H$	currentPC	EIRET	ICSGACMEDIAG	FFFF61B8
EI	EIINT221	Reserved				$00000E50_H$	$+0E50_H$	currentPC	EIRET		

表 4-2　割り込み要因一覧 (10/10)

レベル	略　称	発生要因略称	発生要因	発生ユニット	デフォルト・プライオリティ	例外コード	ハンドラ・オフセット[注1]	復帰 PC	復帰命令	割込み制御レジスタ	
										略　号	アドレス
EI	EIINT222	Reserved				$00000E60_H$	$+0E60_H$	currentPC	EIRET		
EI	EIINT223	Reserved				$00000E70_H$	$+0E70_H$	currentPC	EIRET		

注 1.　ベース・アドレスは，「例外ハンドラ切り替え機能」によって設定されます。
注 2.　INTCFGB レジスタ設定が，EI レベル出力設定の時，FENMI は発生しません。
注 3.　INTCFGB レジスタ設定が，EI レベル出力設定の時，INTISG 割り込み要因では FEINT は発生しません。
注 4.　INTCFGB レジスタ設定により，FE レベルへの出力が設定されると，EI レベルの割り込みは発生しません。
注 5.　INTSWN 割り込みは，ICSWNH レジスタの RFSWN ビットへ “1” をソフトウェアで書き込む事により割り込み要因が発生します。
注 6.　INTSW0-INTSW9 割り込みは，ICSW0H-ICSW9H レジスタの RFSW0-RFSW9 ビットへ “1” をソフトウェアで書き込む事により割り込み要因が発生します。

4.3 割り込みコントローラ制御レジスタ

xx の意味 各周辺ユニットの識別名称を意味します。

4.3.1 ICxx：EI レベル割り込み制御レジスタ

このレジスタは，EI レベル・マスカブル割り込み（EIINT）のチャネルごとに設け，各チャネルの制御条件を設定します。

アクセス 16/8/1 ビット単位でリード／ライト可能です。

ただし，ビット 15-13，11-8，6-4 への SET1，CLR1，NOT1 命令によるビット・アクセスは禁止です。

アドレス $FFFF6000_H$-$FFFF61B9_H$

初期値 $008F_H$ どのリセット要因でも初期化されます。

注意 表 4-2 にないチャネルの ICxx レジスタには，アクセスしないでください。

ICxx	15(7)	14(6)	13(5)	12(4)	11(3)	10(2)	9(1)	8(0)
(ICxxH)	0	0	0	RFxx	0	0	0	0
	R	R	R	R/W	R	R	R	R

	7(7)	6(6)	5(5)	4(4)	3(3)	2(2)	1(1)	0(0)
(ICxxL)	MKxx	0	0	0	P3xx	P2xx	P1xx	P0xx
	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット位置	ビット名	意　味
12	RFxx	割り込み要求フラグです。 RFxx ビットはプログラムから書き込み可能です。RFxx ビットをセット（1）すると，割り込み要求を受け付けた場合と同じように，EI レベル・マスカブル割り込み n（EIINTn）を発生します。 0：割り込み要求なし（初期値） 1：割り込み要求あり
7	MKxx	割り込みマスク・ビットです。MKxx ビットがセットされている場合は，割り込み要求フラグ（RFxx）へセットされた割り込み要求をマスクし，そのチャネルから CPU コアへ割り込み要求が行われないようにします。また MKxx ビットがセットされているチャネルからは，ICSR.PMF ビットによる割り込み保留表示は行われません。MKxx ビットは割り込み入力端子からの入力そのものをマスクするわけではないので，MKxx ビットがセットされていても割り込み要求フラグはセットされます。割り込みマスク・レジスタ（IMR）の対応するビットの設定も反映されます。 0：割り込み処理を許可 1：割り込み処理を禁止（初期値）
3-0	P3xx-P0xx	16 レベルの割り込み優先度を指定します。0 が最高優先度，15 が最低優先度になります。 複数の EI レベル割り込み要求が同時に発生した場合，本ビットで指定される優先度の高い要因が選択されて CPU コアへ通知されます。P3xx-P0xx ビットで指定される優先度が同じ場合は，固定の優先度としてチャネル番号が小さい要因が優先されます。

表 4-3 割り込み制御レジスタのアドレスとビット (1/7)

レジスタ	アドレス	ビット							
		7	6	5	4	3	2	1	0
ICCMEL	FFFF6000$_H$	MKCME	0	0	0	P3CME	P2CME	P1CME	P0CME
ICCMEH	FFFF6001$_H$	0	0	0	RFCME	0	0	0	0
ICISGL	FFFF6002$_H$	MKISG	0	0	0	P3ISG	P2ISG	P1ISG	P0ISG
ICISGH	FFFF6003$_H$	0	0	0	RFISG	0	0	0	0
ICWDTA0NMIL	FFFF6004$_H$	MKWDTA0NMI	0	0	0	P3WDTA0NMI	P2WDTA0NMI	P1WDTA0NMI	P0WDTA0NMI
ICWDTA0NMIH	FFFF6005$_H$	0	0	0	RFWDTA0NMI	0	0	0	0
ICWDTA0L	FFFF6006$_H$	MKWDTA0	0	0	0	P3WDTA0	P2WDTA0	P1WDTA0	P0WDTA0
ICWDTA0H	FFFF6007$_H$	0	0	0	RFWDTA0	0	0	0	0
ICCLMA1L	FFFF600A$_H$	MKCLMA1	0	0	0	P3CLMA1	P2CLMA1	P1CLMA1	P0CLMA1
ICCLMA1H	FFFF600B$_H$	0	0	0	RFCLMA1	0	0	0	0
ICCLMA2L	FFFF600C$_H$	MKCLMA2	0	0	0	P3CLMA2	P2CLMA2	P1CLMA2	P0CLMA2
ICCLMA2H	FFFF600D$_H$	0	0	0	RFCLMA2	0	0	0	0
ICECCCFECL	FFFF600E$_H$	MKECCCFEC	0	0	0	P3ECCCFEC	P2ECCCFEC	P1ECCCFEC	P0ECCCFEC
ICECCCFECH	FFFF600F$_H$	0	0	0	RFECCCFEC	0	0	0	0
ICECCLREDL	FFFF6010$_H$	MKECCLRED	0	0	0	P3ECCLRED	P2ECCLRED	P1ECCLRED	P0ECCLRED
ICECCLREDH	FFFF6011$_H$	0	0	0	RFECCREDD	0	0	0	0
ICECCLRECL	FFFF6012$_H$	MKECCLREC	0	0	0	P3ECCLREC	P2ECCREC	P1ECCLREC	P0ECCLREC
ICECCLRECH	FFFF6013$_H$	0	0	0	RFECCLREC	0	0	0	0
ICECCCDRED2L	FFFF6014$_H$	MKECCCDRED2	0	0	0	P3ECCCDRED2	P2ECCCDRED2	P1ECCCDRED2	P0ECCCDRED2
ICECCCDRED2H	FFFF6015$_H$	0	0	0	RFECCCDRED2	0	0	0	0
ICECCCTRED2L	FFFF6016$_H$	MKECCCTRED2	0	0	0	P3ECCCTRED2	P2ECCCTRED2	P1ECCCTRED2	P0ECCCTRED2
ICECCCTRED2H	FFFF6017$_H$	0	0	0	RFECCCTRED2	0	0	0	0
ICECCCDRED1L	FFFF6018$_H$	MKECCCDRED1	0	0	0	P3ECCCDRED1	P2ECCCDRED1	P1ECCCDRED1	P0ECCCDRED1
ICECCCDRED1H	FFFF6019$_H$	0	0	0	RFECCCDRED1	0	0	0	0
ICECCCTRED1L	FFFF601A$_H$	MKECCCTRED1	0	0	0	P3ECCCTRED1	P2ECCCTRED1	P1ECCCTRED1	P0ECCCTRED1
ICECCCTRED1H	FFFF601B$_H$	0	0	0	RFECCCTRED1	0	0	0	0
ICECCCNEDL	FFFF601E$_H$	MKECCCNED	0	0	0	P3ECCCNED	P2ECCCNED	P1ECCCNED	P0ECCCNED
ICECCCNEDH	FFFF601F$_H$	0	0	0	RFECCCNED	0	0	0	0
ICLVI0L	FFFF6020$_H$	MKLVI0	0	0	0	P3LVI0	P2LVI0	P1LVI0	P0LVI0
ICLVI0H	FFFF6021$_H$	0	0	0	RFLVI0	0	0	0	0
ICP0L	FFFF6022$_H$	MKP0	0	0	0	P3P0	P2P0	P1P0	P0P0
ICP0H	FFFF6023$_H$	0	0	0	RFP0	0	0	0	0
ICP1L	FFFF6024$_H$	MKP1	0	0	0	P3P1	P2P1	P1P1	P0P1
ICP1H	FFFF6025$_H$	0	0	0	RFP1	0	0	0	0
ICP2L	FFFF6026$_H$	MKP2	0	0	0	P3P2	P2P2	P1P2	P0P2
ICP2H	FFFF6027$_H$	0	0	0	RFP2	0	0	0	0
ICP3L	FFFF6028$_H$	MKP3	0	0	0	P3P3	P2P3	P1P3	P0P3
ICP3H	FFFF6029$_H$	0	0	0	RFP3	0	0	0	0
ICP4L	FFFF602A$_H$	MKP4	0	0	0	P3P4	P2P4	P1P4	P0P4
ICP4H	FFFF602B$_H$	0	0	0	RFP4	0	0	0	0
ICP5L	FFFF602C$_H$	MKP5	0	0	0	P3P5	P2P5	P1P5	P0P5
ICP5H	FFFF602D$_H$	0	0	0	RFP5	0	0	0	0

表 4-3 割り込み制御レジスタのアドレスとビット (2/7)

レジスタ	アドレス	ビット							
		7	6	5	4	3	2	1	0
ICP6L	FFFF602E$_H$	MKP6	0	0	0	P3P6	P2P6	P1P6	P0P6
ICP6H	FFFF602F$_H$	0	0	0	RFP6	0	0	0	0
ICP7L	FFFF6030$_H$	MKP7	0	0	0	P3P7	P2P7	P1P7	P0P7
ICP7H	FFFF6031$_H$	0	0	0	RFP7	0	0	0	0
ICP8L	FFFF6032$_H$	MKP8	0	0	0	P3P8	P2P8	P1P8	P0P8
ICP8H	FFFF6033$_H$	0	0	0	RFP8	0	0	0	0
ICP9L	FFFF6034$_H$	MKP9	0	0	0	P3P9	P2P9	P1P9	P0P9
ICP9H	FFFF6035$_H$	0	0	0	RFP9	0	0	0	0
ICDMA0L	FFFF6038$_H$	MKDMA0	0	0	0	P3DMA0	P2DMA0	P1DMA0	P0DMA0
ICDMA0H	FFFF6039$_H$	0	0	0	RFDMA0	0	0	0	0
ICDMACT0L	FFFF603A$_H$	MKDMACT0	0	0	0	P3DMACT0	P2DMACT0	P1DMACT0	P0DMACT0
ICDMACT0H	FFFF603B$_H$	0	0	0	RFDMACT0	0	0	0	0
ICDMA1L	FFFF603C$_H$	MKDMA1	0	0	0	P3DMA1	P2DMA1	P1DMA1	P0DMA1
ICDMA1H	FFFF603D$_H$	0	0	0	RFDMA1	0	0	0	0
ICDMACT1L	FFFF603E$_H$	MKDMACT1	0	0	0	P3DMACT1	P2DMACT1	P1DMACT1	P0DMACT1
ICDMACT1H	FFFF603F$_H$	0	0	0	RFDMACT1	0	0	0	0
ICDMA2L	FFFF6040$_H$	MKDMA2	0	0	0	P3DMA2	P2DMA2	P1DMA2	P0DMA2
ICDMA2H	FFFF6041$_H$	0	0	0	RFDMA2	0	0	0	0
ICDMACT2L	FFFF6042$_H$	MKDMACT2	0	0	0	P3DMACT2	P2DMACT2	P1DMACT2	P0DMACT2
ICDMACT2H	FFFF6043$_H$	0	0	0	RFDMACT2	0	0	0	0
ICDMA3L	FFFF6044$_H$	MKDMA3	0	0	0	P3DMA3	P2DMA3	P1DMA3	P0DMA3
ICDMA3H	FFFF6045$_H$	0	0	0	RFDMA3	0	0	0	0
ICDMACT3L	FFFF6046$_H$	MKDMACT3	0	0	0	P3DMACT3	P2DMACT3	P1DMACT3	P0DMACT3
ICDMACT3H	FFFF6047$_H$	0	0	0	RFDMACT3	0	0	0	0
ICDMA4L	FFFF6048$_H$	MKDMA4	0	0	0	P3DMA4	P2DMA4	P1DMA4	P0DMA4
ICDMA4H	FFFF6049$_H$	0	0	0	RFDMA4	0	0	0	0
ICDMACT4L	FFFF604A$_H$	MKDMACT4	0	0	0	P3DMACT4	P2DMACT4	P1DMACT4	P0DMACT4
ICDMACT4H	FFFF604B$_H$	0	0	0	RFDMACT4	0	0	0	0
ICDMA5L	FFFF604C$_H$	MKDMA5	0	0	0	P3DMA5	P2DMA5	P1DMA5	P0DMA5
ICDMA5H	FFFF604D$_H$	0	0	0	RFDMA5	0	0	0	0
ICDMACT5L	FFFF604E$_H$	MKDMACT5	0	0	0	P3DMACT5	P2DMACT5	P1DMACT5	P0DMACT5
ICDMACT5H	FFFF604F$_H$	0	0	0	RFDMACT5	0	0	0	0
ICDMA6L	FFFF6050$_H$	MKDMA6	0	0	0	P3DMA6	P2DMA6	P1DMA6	P0DMA6
ICDMA6H	FFFF6051$_H$	0	0	0	RFDMA6	0	0	0	0
ICDMACT6L	FFFF6052$_H$	MKDMACT6	0	0	0	P3DMACT6	P2DMACT6	P1DMACT6	P0DMACT6
ICDMACT6H	FFFF6053$_H$	0	0	0	RFDMACT6	0	0	0	0
ICDMA7L	FFFF6054$_H$	MKDMA7	0	0	0	P3DMA7	P2DMA7	P1DMA7	P0DMA7
ICDMA7H	FFFF6055$_H$	0	0	0	RFDMA7	0	0	0	0
ICDMACT7L	FFFF6056$_H$	MKDMACT7	0	0	0	P3DMACT7	P2DMACT7	P1DMACT7	P0DMACT7
ICDMACT7H	FFFF6057$_H$	0	0	0	RFDMACT7	0	0	0	0
ICOSTM0L	FFFF6058$_H$	MKOSTM0	0	0	0	P3OSTM0	P2OSTM0	P1OSTM0	P0OSTM0
ICOSTM0H	FFFF6059$_H$	0	0	0	RFOSTM0	0	0	0	0

表 4-3 割り込み制御レジスタのアドレスとビット (3/7)

レジスタ	アドレス	ビット							
		7	6	5	4	3	2	1	0
ICOSTM1L	FFFF605A$_H$	MKOSTM1	0	0	0	P3OSTM1	P2OSTM1	P1OSTM1	P0OSTM1
ICOSTM1H	FFFF605B$_H$	0	0	0	RFOSTM1	0	0	0	0
ICTAUJ0I0L	FFFF605C$_H$	MKTAUJ0I0	0	0	0	P3TAUJ0I0	P2TAUJ0I0	P1TAUJ0I0	P0TAUJ0I0
ICTAUJ0I0H	FFFF605D$_H$	0	0	0	RFTAUJ0I0	0	0	0	0
ICTAUJ0I1L	FFFF605E$_H$	MKTAUJ0I1	0	0	0	P3TAUJ0I1	P2TAUJ0I1	P1TAUJ0I1	P0TAUJ0I1
ICTAUJ0I1H	FFFF605F$_H$	0	0	0	RFTAUJ0I1	0	0	0	0
ICTAUJ0I2L	FFFF6060$_H$	MKTAUJ0I2	0	0	0	P3TAUJ0I2	P2TAUJ0I2	P1TAUJ0I2	P0TAUJ0I2
ICTAUJ0I2H	FFFF6061$_H$	0	0	0	RFTAUJ0I2	0	0	0	0
ICTAUJ0I3L	FFFF6062$_H$	MKTAUJ0I3	0	0	0	P3TAUJ0I3	P2TAUJ0I3	P1TAUJ0I3	P0TAUJ0I3
ICTAUJ0I3H	FFFF6063$_H$	0	0	0	RFTAUJ0I3	0	0	0	0
ICTAUB0I0L	FFFF606C$_H$	MKTAUB0I0	0	0	0	P3TAUB0I0	P2TAUB0I0	P1TAUB0I0	P0TAUB0I0
ICTAUB0I0H	FFFF606D$_H$	0	0	0	RFTAUB0I0	0	0	0	0
ICTAUB0I1L	FFFF606E$_H$	MKTAUB0I1	0	0	0	P3TAUB0I1	P2TAUB0I1	P1TAUB0I1	P0TAUB0I1
ICTAUB0I1H	FFFF606F$_H$	0	0	0	RFTAUB0I1	0	0	0	0
ICTAUB0I2L	FFFF6070$_H$	MKTAUB0I2	0	0	0	P3TAUB0I2	P2TAUB0I2	P1TAUB0I2	P0TAUB0I2
ICTAUB0I2H	FFFF6071$_H$	0	0	0	RFTAUB0I2	0	0	0	0
ICTAUB0I3L	FFFF6072$_H$	MKTAUB0I3	0	0	0	P3TAUB0I3	P2TAUB0I3	P1TAUB0I3	P0TAUB0I3
ICTAUB0I3H	FFFF6073$_H$	0	0	0	RFTAUB0I3	0	0	0	0
ICTAUB0I4L	FFFF6074$_H$	MKTAUB0I4	0	0	0	P3TAUB0I4	P2TAUB0I4	P1TAUB0I4	P0TAUB0I4
ICTAUB0I4H	FFFF6075$_H$	0	0	0	RFTAUB0I4	0	0	0	0
ICTAUB0I5L	FFFF6076$_H$	MKTAUB0I5	0	0	0	P3TAUB0I5	P2TAUB0I5	P1TAUB0I5	P0TAUB0I5
ICTAUB0I5H	FFFF6077$_H$	0	0	0	RFTAUB0I5	0	0	0	0
ICTAUB0I6L	FFFF6078$_H$	MKTAUB0I6	0	0	0	P3TAUB0I6	P2TAUB0I6	P1TAUB0I6	P0TAUB0I6
ICTAUB0I6H	FFFF6079$_H$	0	0	0	RFTAUB0I6	0	0	0	0
ICTAUB0I7L	FFFF607A$_H$	MKTAUB0I7	0	0	0	P3TAUB0I7	P2TAUB0I7	P1TAUB0I7	P0TAUB0I7
ICTAUB0I7H	FFFF607B$_H$	0	0	0	RFTAUB0I7	0	0	0	0
ICTAUB0I8L	FFFF607C$_H$	MKTAUB0I8	0	0	0	P3TAUB0I8	P2TAUB0I8	P1TAUB0I8	P0TAUB0I8
ICTAUB0I8H	FFFF607D$_H$	0	0	0	RFTAUB0I8	0	0	0	0
ICTAUB0I9L	FFFF607E$_H$	MKTAUB0I9	0	0	0	P3TAUB0I9	P2TAUB0I9	P1TAUB0I9	P0TAUB0I9
ICTAUB0I9H	FFFF607F$_H$	0	0	0	RFTAUB0I9	0	0	0	0
ICTAUB0I10L	FFFF6080$_H$	MKTAUB0I10	0	0	0	P3TAUB0I10	P2TAUB0I10	P1TAUB0I10	P0TAUB0I10
ICTAUB0I10H	FFFF6081$_H$	0	0	0	RFTAUB0I10	0	0	0	0
ICTAUB0I11L	FFFF6082$_H$	MKTAUB0I11	0	0	0	P3TAUB0I11	P2TAUB0I11	P1TAUB0I11	P0TAUB0I11
ICTAUB0I11H	FFFF6083$_H$	0	0	0	RFTAUB0I11	0	0	0	0
ICTAUB0I12L	FFFF6084$_H$	MKTAUB0I12	0	0	0	P3TAUB0I12	P2TAUB0I12	P1TAUB0I12	P0TAUB0I12
ICTAUB0I12H	FFFF6085$_H$	0	0	0	RFTAUB0I12	0	0	0	0
ICTAUB0I13L	FFFF6086$_H$	MKTAUB0I13	0	0	0	P3TAUB0I13	P2TAUB0I13	P1TAUB0I13	P0TAUB0I13
ICTAUB0I13H	FFFF6087$_H$	0	0	0	RFTAUB0I13	0	0	0	0
ICTAUB0I14L	FFFF6088$_H$	MKTAUB0I14	0	0	0	P3TAUB0I14	P2TAUB0I14	P1TAUB0I14	P0TAUB0I14
ICTAUB0I14H	FFFF6089$_H$	0	0	0	RFTAUB0I14	0	0	0	0
ICTAUB0I15L	FFFF608A$_H$	MKTAUB0I15	0	0	0	P3TAUB0I15	P2TAUB0I15	P1TAUB0I15	P0TAUB0I15
ICTAUB0I15H	FFFF608B$_H$	0	0	0	RFTAUB0I15	0	0	0	0

表 4-3 割り込み制御レジスタのアドレスとビット (4/7)

レジスタ	アドレス	ビット							
		7	6	5	4	3	2	1	0
ICADCA0ERRL	FFFF60AC$_H$	MKADCA0ERR	0	0	0	P3ADCA0ERR	P2ADCA0ERR	P1ADCA0ERR	P0ADCA0ERR
ICADCA0ERRH	FFFF60AD$_H$	0	0	0	RFADCA0ERR	0	0	0	0
ICADCA0I0L	FFFF60AE$_H$	MKADCA0I0	0	0	0	P3ADCA0I0	P2ADCA0I0	P1ADCA0I0	P0ADCA0I0
ICADCA0I0H	FFFF60AF$_H$	0	0	0	RFADCA0I0	0	0	0	0
ICADCA0I1L	FFFF60B0$_H$	MKADCA0I1	0	0	0	P3ADCA0I1	P2ADCA0I1	P1ADCA0I1	P0ADCA0I1
ICADCA0I1H	FFFF60B1$_H$	0	0	0	RFADCA0I1	0	0	0	0
ICADCA0I2L	FFFF60B2$_H$	MKADCA0I2	0	0	0	P3ADCA0I2	P2ADCA0I2	P1ADCA0I2	P0ADCA0I2
ICADCA0I2H	FFFF60B3$_H$	0	0	0	RFADCA0I2	0	0	0	0
ICADCA0LLTL	FFFF60B4$_H$	MKADCA0LLT	0	0	0	P3ADCA0LLT	P2ADCA0LLT	P1ADCA0LLT	P0ADCA0LLT
ICADCA0LLTH	FFFF60B5$_H$	0	0	0	RFADCA0LLT	0	0	0	0
ICCSIG0IREL	FFFF60C6$_H$	MKCSIG0IRE	0	0	0	P3CSIG0IRE	P2CSIG0IRE	P1CSIG0IRE	P0CSIG0IRE
ICCSIG0IREH	FFFF60C7$_H$	0	0	0	RFCSIG0IRE	0	0	0	0
ICCSIG0IRL	FFFF60C8$_H$	MKCSIG0IR	0	0	0	P3CSIG0IR	P2CSIG0IR	P1CSIG0IR	P0CSIG0IR
ICCSIG0IRH	FFFF60C9$_H$	0	0	0	RFCSIG0IR	0	0	0	0
ICCSIG0ICL	FFFF60CA$_H$	MKCSIG0IC	0	0	0	P3CSIG0IC	P2CSIG0IC	P1CSIG0IC	P0CSIG0IC
ICCSIG0ICH	FFFF60CB$_H$	0	0	0	RFCSIG0IC	0	0	0	0
ICCSIG1IREL	FFFF60CC$_H$	MKCSIG1IRE	0	0	0	P3CSIG1IRE	P2CSIG1IRE	P1CSIG1IRE	P0CSIG1IRE
ICCSIG1IREH	FFFF60CD$_H$	0	0	0	RFCSIG1IRE	0	0	0	0
ICCSIG1IRL	FFFF60CE$_H$	MKCSIG1IR	0	0	0	P3CSIG1IR	P2CSIG1IR	P1CSIG1IR	P0CSIG1IR
ICCSIG1IRH	FFFF60CF$_H$	0	0	0	RFCSIG1IR	0	0	0	0
ICCSIG1ICL	FFFF60D0$_H$	MKCSIG1IC	0	0	0	P3CSIG1IC	P2CSIG1IC	P1CSIG1IC	P0CSIG1IC
ICCSIG1ICH	FFFF60D1$_H$	0	0	0	RFCSIG1IC	0	0	0	0
ICURTH0ISL	FFFF60D8$_H$	MKURTH0IS	0	0	0	P3URTH0IS	P2URTH0IS	P1URTH0IS	P0URTH0IS
ICURTH0ISH	FFFF60D9$_H$	0	0	0	RFURTH0IS	0	0	0	0
ICURTH0IRL	FFFF60DA$_H$	MKURTH0IR	0	0	0	P3URTH0IR	P2URTH0IR	P1URTH0IR	P0URTH0IR
ICURTH0IRH	FFFF60DB$_H$	0	0	0	RFURTH0IR	0	0	0	0
ICURTH0ITL	FFFF60DC$_H$	MKURTH0IT	0	0	0	P3URTH0IT	P2URTH0IT	P1URTH0IT	P0URTH0IT
ICURTH0ITH	FFFF60DD$_H$	0	0	0	RFURTH0IT	0	0	0	0
ICURTH1ISL	FFFF60DE$_H$	MKURTH1IS	0	0	0	P3URTH1IS	P2URTH1IS	P1URTH1IS	P0URTH1IS
ICURTH1ISH	FFFF60DF$_H$	0	0	0	RFURTH1IS	0	0	0	0
ICURTH1IRL	FFFF60E0$_H$	MKURTH1IR	0	0	0	P3URTH1IR	P2URTH1IR	P1URTH1IR	P0URTH1IR
ICURTH1IRH	FFFF60E1$_H$	0	0	0	RFURTH1IR	0	0	0	0
ICURTH1ITL	FFFF60E2$_H$	MKURTH1IT	0	0	0	P3URTH1IT	P2URTH1IT	P1URTH1IT	P0URTH1IT
ICURTH1ITH	FFFF60E3$_H$	0	0	0	RFURTH1IT	0	0	0	0
ICFCN0ERRL	FFFF60EA$_H$	MKFCN0ERR	0	0	0	P3FCN0ERR	P2FCN0ERR	P1FCN0ERR	P0FCN0ERR
ICFCN0ERRH	FFFF60EB$_H$	0	0	0	RFFCN0ERR	0	0	0	0
ICFCN0WUPL	FFFF60EC$_H$	MKFCN0WUP	0	0	0	P3FCN0WUP	P2FCN0WUP	P1FCN0WUP	P0FCN0WUP
ICFCN0WUPH	FFFF60ED$_H$	0	0	0	RFFCN0WUP	0	0	0	0
ICFCN0RECL	FFFF60EE$_H$	MKFCN0REC	0	0	0	P3FCN0REC	P2FCN0REC	P1FCN0REC	P0FCN0REC
ICFCN0RECH	FFFF60EF$_H$	0	0	0	RFFCN0REC	0	0	0	0
ICFCN0TRXL	FFFF60F0$_H$	MKFCN0TRX	0	0	0	P3FCN0TRX	P2FCN0TRX	P1FCN0TRX	P0FCN0TRX
ICFCN0TRXH	FFFF60F1$_H$	0	0	0	RFFCN0TRX	0	0	0	0

表 4-3 割り込み制御レジスタのアドレスとビット (5/7)

レジスタ	アドレス	ビット							
		7	6	5	4	3	2	1	0
ICFCN1ERRL	FFFF60F2$_H$	MKFCN1ERR	0	0	0	P3FCN1ERR	P2FCN1ERR	P1FCN1ERR	P0FCN1ERR
ICFCN1ERRH	FFFF60F3$_H$	0	0	0	RFFCN1ERR	0	0	0	0
ICFCN1WUPL	FFFF60F4$_H$	MKFCN1WUP	0	0	0	P3FCN1WUP	P2FCN1WUP	P1FCN1WUP	P0FCN1WUP
ICFCN1WUPH	FFFF60F5$_H$	0	0	0	RFFCN1WUP	0	0	0	0
ICFCN1RECL	FFFF60F6$_H$	MKFCN1REC	0	0	0	P3FCN1REC	P2FCN1REC	P1FCN1REC	P0FCN1REC
ICFCN1RECH	FFFF60F7$_H$	0	0	0	RFFCN1REC	0	0	0	0
ICFCN1TRXL	FFFF60F8$_H$	MKFCN1TRX	0	0	0	P3FCN1TRX	P2FCN1TRX	P1FCN1TRX	P0FCN1TRX
ICFCN1TRXH	FFFF60F9$_H$	0	0	0	RFFCN1TRX	0	0	0	0
ICBRG0L	FFFF60FA$_H$	MKBRG0	0	0	0	P3BRG0	P2BRG0	P1BRG0	P0BRG0
ICBRG0H	FFFF60FB$_H$	0	0	0	RFBRG0	0	0	0	0
ICFLL	FFFF60FE$_H$	MKFL	0	0	0	P3FL	P2FL	P1FL	P0FL
ICFLH	FFFF60FF$_H$	0	0	0	RFFL	0	0	0	0
ICSWNL	FFFF6100$_H$	MKSWN	0	0	0	P3SWN	P2SWN	P1SWN	P0SWN
ICSWNH	FFFF6101$_H$	0	0	0	RFSWN	0	0	0	0
ICTSG20I00L	FFFF6102$_H$	MKTSG20I00	0	0	0	P3TSG20I00	P2TSG20I00	P1TSG20I00	P0TSG20I00
ICTSG20I00H	FFFF6103$_H$	0	0	0	RFTSG20I00	0	0	0	0
ICTSG20I01L	FFFF6104$_H$	MKTSG20I01	0	0	0	P3TSG20I01	P2TSG20I01	P1TSG20I01	P0TSG20I01
ICTSG20I01H	FFFF6105$_H$	0	0	0	RFTSG20I01	0	0	0	0
ICTSG20I02L	FFFF6106$_H$	MKTSG20I02	0	0	0	P3TSG20I02	P2TSG20I02	P1TSG20I02	P0TSG20I02
ICTSG20I02H	FFFF6107$_H$	0	0	0	RFTSG20I02	0	0	0	0
ICTSG20I03L	FFFF6108$_H$	MKTSG20I03	0	0	0	P3TSG20I03	P2TSG20I03	P1TSG20I03	P0TSG20I03
ICTSG20I03H	FFFF6109$_H$	0	0	0	RFTSG20I03	0	0	0	0
ICTSG20I04L	FFFF610A$_H$	MKTSG20I04	0	0	0	P3TSG20I04	P2TSG20I04	P1TSG20I04	P0TSG20I04
ICTSG20I04H	FFFF610B$_H$	0	0	0	RFTSG20I04	0	0	0	0
ICTSG20I05L	FFFF610C$_H$	MKTSG20I05	0	0	0	P3TSG20I05	P2TSG20I05	P1TSG20I05	P0TSG20I05
ICTSG20I05H	FFFF610D$_H$	0	0	0	RFTSG20I05	0	0	0	0
ICTSG20I06L	FFFF610E$_H$	MKTSG20I06	0	0	0	P3TSG20I06	P2TSG20I06	P1TSG20I06	P0TSG20I06
ICTSG20I06H	FFFF610F$_H$	0	0	0	RFTSG20I06	0	0	0	0
ICTSG20I07L	FFFF6110$_H$	MKTSG20I07	0	0	0	P3TSG20I07	P2TSG20I07	P1TSG20I07	P0TSG20I07
ICTSG20I07H	FFFF6111$_H$	0	0	0	RFTSG20I07	0	0	0	0
ICTSG20I08L	FFFF6112$_H$	MKTSG20I08	0	0	0	P3TSG20I08	P2TSG20I08	P1TSG20I08	P0TSG20I08
ICTSG20I08H	FFFF6113$_H$	0	0	0	RFTSG20I08	0	0	0	0
ICTSG20I09L	FFFF6114$_H$	MKTSG20I09	0	0	0	P3TSG20I09	P2TSG20I09	P1TSG20I09	P0TSG20I09
ICTSG20I09H	FFFF6115$_H$	0	0	0	RFTSG20I09	0	0	0	0
ICTSG20I10L	FFFF6116$_H$	MKTSG20I10	0	0	0	P3TSG20I10	P2TSG20I10	P1TSG20I10	P0TSG20I10
ICTSG20I10H	FFFF6117$_H$	0	0	0	RFTSG20I10	0	0	0	0
ICTSG20I11L	FFFF6118$_H$	MKTSG20I11	0	0	0	P3TSG20I11	P2TSG20I11	P1TSG20I11	P0TSG20I11
ICTSG20I11H	FFFF6119$_H$	0	0	0	RFTSG20I11	0	0	0	0
ICTSG20I12L	FFFF611A$_H$	MKTSG20I12	0	0	0	P3TSG20I12	P2TSG20I12	P1TSG20I12	P0TSG20I12
ICTSG20I12H	FFFF611B$_H$	0	0	0	RFTSG20I12	0	0	0	0
ICTSG20IPEKL	FFFF611C$_H$	MKTSG20IPEK	0	0	0	P3TSG20IPEK	P2TSG20IPEK	P1TSG20IPEK	P0TSG20IPEK
ICTSG20IPEKH	FFFF611D$_H$	0	0	0	RFTSG20IPEK	0	0	0	0

表 4-3 割り込み制御レジスタのアドレスとビット (6/7)

レジスタ	アドレス	ビット							
		7	6	5	4	3	2	1	0
ICTSG20IVLYL	FFFF611E$_H$	MKTSG20IVLY	0	0	0	P3TSG20IVLY	P2TSG20IVLY	P1TSG20IVLY	P0TSG20IVLY
ICTSG20IVLYH	FFFF611F$_H$	0	0	0	RFTSG20IVLY	0	0	0	0
ICTSG20IERL	FFFF6120$_H$	MKTSG20IER	0	0	0	P3TSG20IER	P2TSG20IER	P1TSG20IER	P0TSG20IER
ICTSG20IERH	FFFF6121$_H$	0	0	0	RFTSG20IER	0	0	0	0
ICTSG20IWNL	FFFF6122$_H$	MKTSG20IWN	0	0	0	P3TSG20IWN	P2TSG20IWN	P1TSG20IWN	P0TSG20IWN
ICTSG20IWNH	FFFF6123$_H$	0	0	0	RFTSG20IWN	0	0	0	0
ICENCA0IOVL	FFFF6146$_H$	MKENCA0IOV	0	0	0	P3ENCA0IOV	P2ENCA0IOV	P1ENCA0IOV	P0ENCA0IOV
ICENCA0IOVH	FFFF6147$_H$	0	0	0	RFENCA0IOV	0	0	0	0
ICENCA0I0L	FFFF6148$_H$	MKENCA0I0	0	0	0	P3ENCA0I0	P2ENCA0I0	P1ENCA0I0	P0ENCA0I0
ICENCA0I0H	FFFF6149$_H$	0	0	0	RFENCA0I0	0	0	0	0
ICENCA0I1L	FFFF614A$_H$	MKENCA0I1	0	0	0	P3ENCA0I1	P2ENCA0I1	P1ENCA0I1	P0ENCA0I1
ICENCA0I1H	FFFF614B$_H$	0	0	0	RFENCA0I1	0	0	0	0
ICENCA0IUDL	FFFF614C$_H$	MKENCA0IUD	0	0	0	P3ENCA0IUD	P2ENCA0IUD	P1ENCA0IUD	P0ENCA0IUD
ICENCA0IUDH	FFFF614D$_H$	0	0	0	RFENCA0IUD	0	0	0	0
ICENCA0IECL	FFFF614E$_H$	MKENCA0IEC	0	0	0	P3ENCA0IEC	P2ENCA0IEC	P1ENCA0IEC	P0ENCA0IEC
ICENCA0IECH	FFFF614F$_H$	0	0	0	RFENCA0IEC	0	0	0	0
ICTPBA0IPRDL	FFFF615A$_H$	MKTPBA0IPRD	0	0	0	P3TPBA0IPRD	P2TPBA0IPRD	P1TPBA0IPRD	P0TPBA0IPRD
ICTPBA0IPRDH	FFFF615B$_H$	0	0	0	RFTPBA0IPRD	0	0	0	0
ICTPBA0IDTYL	FFFF615C$_H$	MKTPBA0IDTY	0	0	0	P3TPBA0IDTY	P2TPBA0IDTY	P1TPBA0IDTY	P0TPBA0IDTY
ICTPBA0IDTYH	FFFF615D$_H$	0	0	0	RFTPBA0IDTY	0	0	0	0
ICTPBA0IPATL	FFFF615E$_H$	MKTPBA0IPAT	0	0	0	P3TPBA0IPAT	P2TPBA0IPAT	P1TPBA0IPAT	P0TPBA0IPAT
ICTPBA0IPATH	FFFF615F$_H$	0	0	0	RFTPBA0IPAT	0	0	0	0
ICTAPA0IPEK0L	FFFF616A$_H$	MKTAPA0IPEK0	0	0	0	P3TAPA0IPEK0	P2TAPA0IPEK0	P1TAPA0IPEK0	P0TAPA0IPEK0
ICTAPA0IPEK0H	FFFF616B$_H$	0	0	0	RFTAPA0IPEK0	0	0	0	0
ICTAPA0IVLY0L	FFFF616C$_H$	MKTAPA0IVLY0	0	0	0	P3TAPA0IVLY0	P2TAPA0IVLY0	P1TAPA0IVLY0	P0TAPA0IVLY0
ICTAPA0IVLY0H	FFFF616D$_H$	0	0	0	RFTAPA0IVLY0	0	0	0	0
ICSW0L	FFFF6182$_H$	MKSW0	0	0	0	P3SW0	P2SW0	P1SW0	P0SW0
ICSW0H	FFFF6183$_H$		0	0	RFSW0	0	0	0	0
ICSW1L	FFFF6184$_H$	MKSW1	0	0	0	P3SW1	P2SW1	P1SW1	P0SW1
ICSW1H	FFFF6185$_H$		0	0	RFSW1	0	0	0	0
ICSW2L	FFFF6186$_H$	MKSW2	0	0	0	P3SW2	P2SW2	P1SW2	P0SW2
ICSW2H	FFFF6187$_H$		0	0	RFSW2	0	0	0	0
ICSW3L	FFFF6188$_H$	MKSW3	0	0	0	P3SW3	P2SW3	P1SW3	P0SW3
ICSW3H	FFFF6189$_H$		0	0	RFSW3	0	0	0	0
ICSW4L	FFFF618A$_H$	MKSW4	0	0	0	P3SW4	P2SW4	P1SW4	P0SW4
ICSW4H	FFFF618B$_H$		0	0	RFSW4	0	0	0	0
ICSW5L	FFFF618C$_H$	MKSW5	0	0	0	P3SW5	P2SW5	P1SW5	P0SW5
ICSW5H	FFFF618D$_H$		0	0	RFSW5	0	0	0	0
ICSW6L	FFFF618E$_H$	MKSW6	0	0	0	P3SW6	P2SW6	P1SW6	P0SW6
ICSW6H	FFFF618F$_H$		0	0	RFSW6	0	0	0	0
ICSW7L	FFFF6190$_H$	MKSW7	0	0	0	P3SW7	P2SW7	P1SW7	P0SW7
ICSW7H	FFFF6191$_H$		0	0	RFSW7	0	0	0	0

表 4-3 割り込み制御レジスタのアドレスとビット (7/7)

レジスタ	アドレス	ビット							
		7	6	5	4	3	2	1	0
ICSW8L	$FFFF6192_H$	MKSW8	0	0	0	P3SW8	P2SW8	P1SW8	P0SW8
ICSW8H	$FFFF6193_H$		0	0	RFSW8	0	0	0	0
ICSW9L	$FFFF6194_H$	MKSW9	0	0	0	P3SW9	P2SW9	P1SW9	P0SW9
ICSW9H	$FFFF6195_H$		0	0	RFSW9	0	0	0	0
ICSGACMEDIAGL	$FFFF61B8_H$	MKSGACMEDIAG	0	0	0	P3SGACMEDIAG	P2SGACMEDIAG	P1SGACMEDIAG	P0SGACMEDIAG
ICSGACMEDIAGH	$FFFF61B9_H$		0	0	RFSGACMEDIAG	0	0	0	0

4.3.2 IMRm（m = 0-13）：EI レベル割り込みマスク・レジスタ

このレジスタは ICxx.MKxx ビットの集合レジスタです。IMRm レジスタの各ビットは対応する ICxx.MKxx ビットの設定が反映されます。また IMRm レジスタへの設定は対応する ICxx.MKxx ビットへ反映されます。

注意 表 4-2 にない割り込み要因に対応する IMRm.IMRmEIMKn ビットには，必ず 1 を設定してください。

(1) EI レベル割り込みマスク・レジスタ 0（IMR0）

アクセス 16/8/1 ビット単位でリード／ライト可能です。16/8 ビット単位でライトを行った場合，対応する IMR0EIMK15-0 ビットはすべて同時に更新されます。

アドレス $FFFF6400_H$

初期値 $FFFF_H$ どのリセット要因でも初期化されます。

IMR0

	15(7)	14(6)	13(5)	12(4)	11(3)	10(2)	9(1)	8(0)
(IMR0H)	IMR0 EIMK15	1	IMR0 EIMK13	IMR0 EIMK12	IMR0 EIMK11	IMR0 EIMK10	IMR0 EIMK9	IMR0 EIMK8
	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

	7(7)	6(6)	5(5)	4(4)	3(3)	2(2)	1(1)	0(0)
(IMR0L)	IMR0 EIMK7	IMR0 EIMK6	IMR0 EIMK5	1	IMR0 EIMK3	IMR0 EIMK2	IMR0 EIMK1	IMR0 EIMK0
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット位置	ビット名	意　味
15-0	IMR0EIMK15-0	EI レベル・マスカブル割り込み（EIINT）のチャネル 0 からチャネル 15 の割り込みマスク・ビットです（IMR0EIMK15-0 は，EIINT15-0 に対応します）。 0：割り込み処理を許可 1：割り込み処理を禁止

(2) EI レベル割り込みマスク・レジスタ 1（IMR1）

アクセス 16/8/1 ビット単位でリード／ライト可能です。16/8 ビット単位でライトを行った場合，対応する IMR1EIMK31-16 ビットはすべて同時に更新されます。

アドレス $FFFF6402_H$

初期値 $FFFF_H$ どのリセット要因でも初期化されます。

IMR1

	15(7)	14(6)	13(5)	12(4)	11(3)	10(2)	9(1)	8(0)
(IMR1H)	IMR1 EIMK31	IMR1 EIMK30	IMR1 EIMK29	IMR1 EIMK28	1	IMR1 EIMK26	IMR1 EIMK25	IMR1 EIMK24
	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

	7(7)	6(6)	5(5)	4(4)	3(3)	2(2)	1(1)	0(0)
(IMR1L)	IMR1 EIMK23	IMR1 EIMK22	IMR1 EIMK21	IMR1 EIMK20	IMR1 EIMK19	IMR1 EIMK18	IMR1 EIMK17	IMR1 EIMK16
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意 味
15-0	IMR1EIMK31-16	EI レベル・マスカブル割り込み（EIINT）のチャネル 16 からチャネル 31 の割り込みマスク・ビットです（IMR1EIMK31-16 は，EIINT31-16 に対応します）。 0：割り込み処理を許可 1：割り込み処理を禁止

(3) EI レベル割り込みマスク・レジスタ 2（IMR2）

アクセス 16/8/1 ビット単位でリード／ライト可能です。16/8 ビット単位でライトを行った場合，対応する IMR2EIMK47-32 ビットはすべて同時に更新されます。

アドレス $FFFF6404_H$

初期値 $FFFF_H$ どのリセット要因でも初期化されます。

IMR2

	15(7)	14(6)	13(5)	12(4)	11(3)	10(2)	9(1)	8(0)
(IMR2H)	IMR2 EIMK47	IMR2 EIMK46	IMR2 EIMK45	IMR2 EIMK44	IMR2 EIMK43	IMR2 EIMK42	IMR2 EIMK41	IMR2 EIMK40
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	7(7)	6(6)	5(5)	4(4)	3(3)	2(2)	1(1)	0(0)
(IMR2L)	IMR2 EIMK39	IMR2 EIMK38	IMR2 EIMK37	IMR2 EIMK36	IMR2 EIMK35	IMR2 EIMK34	IMR2 EIMK33	IMR2 EIMK32
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意 味
15-0	IMR2EIMK47-32	EI レベル・マスカブル割り込み（EIINT）のチャネル 32 からチャネル 47 の割り込みマスク・ビットです（IMR2EIMK47-32 は，EIINT47-32 に対応します）。 0：割り込み処理を許可 1：割り込み処理を禁止

(4) EI レベル割り込みマスク・レジスタ 3（IMR3）

アクセス 16/8/1 ビット単位でリード／ライト可能です。16/8 ビット単位でライトを行った場合，対応する IMR3EIMK63-48 ビットはすべて同時に更新されます。

アドレス $FFFF6406_H$

初期値 $FFFF_H$ どのリセット要因でも初期化されます。

IMR3

	15(7)	14(6)	13(5)	12(4)	11(3)	10(2)	9(1)	8(0)
(IMR3H)	IMR3EIMK63	IMR3EIMK62	IMR3EIMK61	IMR3EIMK60	IMR3EIMK59	IMR3EIMK58	IMR3EIMK57	IMR3EIMK56
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	7(7)	6(6)	5(5)	4(4)	3(3)	2(2)	1(1)	0(0)
(IMR3L)	IMR3EIMK55	IMR3EIMK54	1	1	1	1	IMR3EIMK49	IMR3EIMK48
	R/W	R/W	R	R	R	R	R/W	R/W

ビット位置	ビット名	意　味
15-0	IMR3EIMK63-48	EI レベル・マスカブル割り込み（EIINT）のチャネル 48 からチャネル 63 の割り込みマスク・ビットです（IMR3EIMK63-48 は，EIINT63-48 に対応します）。 0：割り込み処理を許可 1：割り込み処理を禁止

(5) EI レベル割り込みマスク・レジスタ 4（IMR4）

アクセス 16/8/1 ビット単位でリード／ライト可能です。16/8 ビット単位でライトを行った場合，対応する IMR4EIMK79-64 ビットはすべて同時に更新されます。

アドレス $FFFF6408_H$

初期値 $FFFF_H$ どのリセット要因でも初期化されます。

IMR4

	15(7)	14(6)	13(5)	12(4)	11(3)	10(2)	9(1)	8(0)
(IMR4H)	1	1	1	1	1	1	1	1
	R	R	R	R	R	R	R	R

	7(7)	6(6)	5(5)	4(4)	3(3)	2(2)	1(1)	0(0)
(IMR4L)	1	1	IMR4EIMK69	IMR4EIMK68	IMR4EIMK67	IMR4EIMK66	IMR4EIMK65	IMR4EIMK64
	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意　味
15-0	IMR4EIMK79-64	EI レベル・マスカブル割り込み（EIINT）のチャネル 64 からチャネル 79 の割り込みマスク・ビットです（IMR4EIMK79-64 は，EIINT79-64 に対応します）。 0：割り込み処理を許可 1：割り込み処理を禁止

(6) EI レベル割り込みマスク・レジスタ 5（IMR5）

アクセス 16/8/1 ビット単位でリード／ライト可能です。16/8 ビット単位でライトを行った場合，対応する IMR5EIMK95-80 ビットはすべて同時に更新されます。

アドレス $FFFF640A_H$

初期値 $FFFF_H$ どのリセット要因でも初期化されます。

IMR5	15(7)	14(6)	13(5)	12(4)	11(3)	10(2)	9(1)	8(0)
(IMR5H)	1	1	1	1	1	IMR5EIMK90	IMR5EIMK89	IMR5EIMK88
	R	R	R	R	R	R/W	R/W	R/W

	7(7)	6(6)	5(5)	4(4)	3(3)	2(2)	1(1)	0(0)
(IMR5L)	IMR5EIMK87	IMR5EIMK86	1	1	1	1	1	1
	R/W	R/W	R	R	R	R	R	R

ビット位置	ビット名	意　味
15-0	IMR5EIMK95-80	EI レベル・マスカブル割り込み（EIINT）のチャネル 80 からチャネル 95 の割り込みマスク・ビットです（IMR5EIMK95-80 は，EIINT95-80 に対応します）。 0：割り込み処理を許可 1：割り込み処理を禁止

(7) EI レベル割り込みマスク・レジスタ 6（IMR6）

アクセス 16/8/1 ビット単位でリード／ライト可能です。16/8 ビット単位でライトを行った場合，対応する IMR6EIMK111-96 ビットはすべて同時に更新されます。

アドレス $FFFF640C_H$

初期値 $FFFF_H$ どのリセット要因でも初期化されます。

IMR6	15(7)	14(6)	13(5)	12(4)	11(3)	10(2)	9(1)	8(0)
(IMR6H)	IMR6EIMK111	IMR6EIMK110	IMR6EIMK109	IMR6EIMK108	1	1	1	IMR6EIMK104
	R/W	R/W	R/W	R/W	R	R	R	R/W

	7(7)	6(6)	5(5)	4(4)	3(3)	2(2)	1(1)	0(0)
(IMR6L)	IMR6EIMK103	IMR6EIMK102	IMR6EIMK101	IMR6EIMK100	IMR6EIMK99	1	1	1
	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット位置	ビット名	意　味
15-0	IMR6EIMK111-96	EI レベル・マスカブル割り込み（EIINT）のチャネル 96 からチャネル 111 の割り込みマスク・ビットです（IMR6EIMK111-96 は，EIINT111-96 に対応します）。 0：割り込み処理を許可 1：割り込み処理を禁止

(8) EI レベル割り込みマスク・レジスタ 7（IMR7）

アクセス 16/8/1 ビット単位でリード／ライト可能です。16/8 ビット単位でライトを行った場合，対応する IMR7EIMK127-112 ビットはすべて同時に更新されます。

アドレス $FFFF640E_H$

初期値 $FFFF_H$ どのリセット要因でも初期化されます。

IMR7

	15(7)	14(6)	13(5)	12(4)	11(3)	10(2)	9(1)	8(0)
(IMR7H)	IMR7EIMK127	1	IMR7EIMK125	IMR7EIMK124	IMR7EIMK123	IMR7EIMK122	IMR7EIMK121	IMR7EIMK120
	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

	7(7)	6(6)	5(5)	4(4)	3(3)	2(2)	1(1)	0(0)
(IMR7L)	IMR7EIMK119	IMR7EIMK118	IMR7EIMK117	1	1	1	IMR7EIMK113	IMR7EIMK112
	R/W	R/W	R/W	R	R	R	R/W	R/W

ビット位置	ビット名	意　味
15-0	IMR7EIMK 127-112	EI レベル・マスカブル割り込み（EIINT）のチャネル 112 からチャネル 127 の割り込みマスク・ビットです（IMR7EIMK127-112 は，EIINT127-112 に対応します）。 0：割り込み処理を許可 1：割り込み処理を禁止

(9) EI レベル割り込みマスク・レジスタ 8（IMR8）

アクセス 16/8/1 ビット単位でリード／ライト可能です。16/8 ビット単位でライトを行った場合，対応する IMR8EIMK143-128 ビットはすべて同時に更新されます。

アドレス $FFFF6410_H$

初期値 $FFFF_H$ どのリセット要因でも初期化されます。

IMR8

	15(7)	14(6)	13(5)	12(4)	11(3)	10(2)	9(1)	8(0)
(IMR8H)	IMR8EIMK143	IMR8EIMK142	IMR8EIMK141	IMR8EIMK140	IMR8EIMK139	IMR8EIMK138	IMR8EIMK137	IMR8EIMK136
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	7(7)	6(6)	5(5)	4(4)	3(3)	2(2)	1(1)	0(0)
(IMR8L)	IMR8EIMK135	IMR8EIMK134	IMR8EIMK133	IMR8EIMK132	IMR8EIMK131	IMR8EIMK130	IMR8EIMK129	IMR8EIMK128
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意　味
15-0	IMR8EIMK 143-128	EI レベル・マスカブル割り込み（EIINT）のチャネル 128 からチャネル 143 の割り込みマスク・ビットです（IMR8EIMK143-128 は，EIINT143-128 に対応します）。 0：割り込み処理を許可 1：割り込み処理を禁止

(10) EI レベル割り込みマスク・レジスタ 9（IMR9）

アクセス 16/8/1 ビット単位でリード／ライト可能です。16/8 ビット単位でライトを行った場合，対応する IMR9EIMK159-144 ビットはすべて同時に更新されます。

アドレス $FFFF6412_H$

初期値 $FFFF_H$ どのリセット要因でも初期化されます。

IMR9	15(7)	14(6)	13(5)	12(4)	11(3)	10(2)	9(1)	8(0)
(IMR9H)	1	1	1	1	1	1	1	1
	R	R	R	R	R	R	R	R

	7(7)	6(6)	5(5)	4(4)	3(3)	2(2)	1(1)	0(0)
(IMR9L)	1	1	1	1	1	1	IMR9EIMK145	IMR9EIMK144
	R	R	R	R	R	R	R/W	R/W

ビット位置	ビット名	意　味
15-0	IMR9EIMK 159-144	EI レベル・マスカブル割り込み（EIINT）のチャネル 144 からチャネル 159 の割り込みマスク・ビットです（IMR9EIMK159-144 は，EIINT159-144 に対応します）。 0：割り込み処理を許可 1：割り込み処理を禁止

(11) EI レベル割り込みマスク・レジスタ 10（IMR10）

アクセス 16/8/1 ビット単位でリード／ライト可能です。16/8 ビット単位でライトを行った場合，対応する IMR10EIMK175-160 ビットはすべて同時に更新されます。

アドレス $FFFF6414_H$

初期値 $FFFF_H$ どのリセット要因でも初期化されます。

IMR10	15(7)	14(6)	13(5)	12(4)	11(3)	10(2)	9(1)	8(0)
(IMR10H)	IMR10EIMK175	IMR10EIMK174	IMR10EIMK173	1	1	1	1	1
	R/W	R/W	R/W	R	R	R	R	R

	7(7)	6(6)	5(5)	4(4)	3(3)	2(2)	1(1)	0(0)
(IMR10L)	IMR10EIMK167	IMR10EIMK166	IMR10EIMK165	IMR10EIMK164	IMR10EIMK163	1	1	1
	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット位置	ビット名	意　味
15-0	IMR10EIMK 175-160	EI レベル・マスカブル割り込み（EIINT）のチャネル 160 からチャネル 175 の割り込みマスク・ビットです（IMR10EIMK175-160 は，EIINT175-160 に対応します）。 0：割り込み処理を許可 1：割り込み処理を禁止

(12) EI レベル割り込みマスク・レジスタ 11（IMR11）

アクセス 16/8/1 ビット単位でリード／ライト可能です。16/8 ビット単位でライトを行った場合，対応する IMR11EIMK191-176 ビットはすべて同時に更新されます。

アドレス $FFFF6416_H$

初期値 $FFFF_H$ どのリセット要因でも初期化されます。

IMR11	15(7)	14(6)	13(5)	12(4)	11(3)	10(2)	9(1)	8(0)
(IMR11H)	1	1	1	1	1	1	1	1
	R	R	R	R	R	R	R	R

	7(7)	6(6)	5(5)	4(4)	3(3)	2(2)	1(1)	0(0)
(IMR11L)	1	IMR11EIMK182	IMR11EIMK181	1	1	1	1	1
	R	R/W	R/W	R	R	R	R	R

ビット位置	ビット名	意　味
15-0	IMR11EIMK 191-176	EI レベル・マスカブル割り込み（EIINT）のチャネル 176 からチャネル 191 の割り込みマスク・ビットです（IMR11EIMK191-176 は，EIINT191-176 に対応します）。 0：割り込み処理を許可 1：割り込み処理を禁止

(13) EI レベル割り込みマスク・レジスタ 12（IMR12）

アクセス 16/8/1 ビット単位でリード／ライト可能です。16/8 ビット単位でライトを行った場合，対応する IMR12EIMK207-192 ビットはすべて同時に更新されます。

アドレス $FFFF6418_H$

初期値 $FFFF_H$ どのリセット要因でも初期化されます。

IMR12	15(7)	14(6)	13(5)	12(4)	11(3)	10(2)	9(1)	8(0)
(IMR12H)	1	1	1	1	1	IMR12EIMK202	IMR12EIMK201	IMR12EIMK200
	R	R	R	R	R	R/W	R/W	R/W

	7(7)	6(6)	5(5)	4(4)	3(3)	2(2)	1(1)	0(0)
(IMR12L)	IMR12EIMK199	IMR12EIMK198	IMR12EIMK197	IMR12EIMK196	IMR12EIMK195	IMR12EIMK194	IMR12EIMK193	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット位置	ビット名	意　味
15-0	IMR12EIMK 202-192	EI レベル・マスカブル割り込み（EIINT）のチャネル 192 からチャネル 207 の割り込みマスク・ビットです（IMR12EIMK202-192 は，EIINT202-192 に対応します）。 0：割り込み処理を許可 1：割り込み処理を禁止

(14) EI レベル割り込みマスク・レジスタ 13（IMR13）

アクセス 16/8/1 ビット単位でリード／ライト可能です。16/8 ビット単位でライトを行った場合，対応する IMR13EIMK223-208 ビットはすべて同時に更新されます。

アドレス $FFFF641A_H$

初期値 $FFFF_H$ どのリセット要因でも初期化されます。

IMR13	15(7)	14(6)	13(5)	12(4)	11(3)	10(2)	9(1)	8(0)
(IMR13H)	1	1	1	IMR13EIMK220	1	1	1	1
	R	R	R	R/W	R	R	R	R

	7(7)	6(6)	5(5)	4(4)	3(3)	2(2)	1(1)	0(0)
(IMR13L)	1	1	1	1	1	1	1	1
	R	R	R	R	R	R	R	R

ビット位置	ビット名	意　味
15-0	IMR13EIMK 223-208	EI レベル・マスカブル割り込み（EIINT）のチャネル 208 からチャネル 223 の割り込みマスク・ビットです（IMR13EIMK223-208 は，EIINT223-208 に対応します）。 0：割り込み処理を許可 1：割り込み処理を禁止

4.3.3 ISPR：イン・サービス・プライオリティ・レジスタ

このレジスタは，CPU コアで処理中の EI レベル・マスカブル割り込み（EIINT）の割り込み優先度を保持します。CPU コアから割り込み要求の受け付け応答を受け取ると，その割り込み要求の割り込み優先度に対応するビットがセットされます。CPU コアから割り込み処理の終了通知を受け取ると，セットされているビットのうち最も優先度が高いビットが自動的にクリアされます。FE レベルの割り込みからの復帰の場合はクリアされません。EI レベル・マスカブル割り込み（EIINT）の多重割り込みが発生すると受け付けられた優先度に対応するビットを順にセットし多重割り込みをした割り込み優先度の履歴を保持します。

アクセス 16/8 ビット単位でリード[注]可能です。

8 ビット単位でリードする場合は，上位 8 ビット [15:8] か下位 8 ビット [7:0] のどちらかへアクセスしてください。

アドレス $FFFF6440_H$

初期値 0000_H どのリセット要因でも初期化されます。

ISPR	15(7)	14(6)	13(5)	12(4)	11(3)	10(2)	9(1)	8(0)
(ISPRH)	ISPR15	ISPR14	ISPR13	ISPR12	ISPR11	ISPR10	ISPR9	ISPR8
	R[注]	R[注]	R[注]	R[注]	R[注]	R[注]	R[注]	R[注]

	7(7)	6(6)	5(5)	4(4)	3(3)	2(2)	1(1)	0(0)
(ISPRL)	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0
	R[注]	R[注]	R[注]	R[注]	R[注]	R[注]	R[注]	R[注]

ビット位置	ビット名	意　味
15-0	ISPR15-ISPR0	受け付け中の割り込み優先順位を示します。 0：ビット位置に対応する割り込み優先度の割り込み要求を受け付けていない 1：ビット位置に対応する割り込み優先度の割り込み要求を CPU コアで処理中

注 ISPC レジスタへ 16 ビット単位で同時に 1 をライトした後，ISPR レジスタへ 16 ビット単位で同時に 0 をライトすると ISPR の全ビットをクリアすることができます。任意ビットのクリアやセットをソフトウエアで行うことはできません。また，一度クリアしてしまうと元の値に復旧させることはできません。ISPC レジスタの詳細については「4.3.5「ISPC：イン・サービス・プライオリティ・クリア・レジスタ」」を参照してください。

4.3.4 PMR：プライオリティ・マスク・レジスタ

このレジスタは，EI レベル・マスカブル割り込み（EIINT）の割り込み要求フラグをマスクする割り込み優先度を指定するレジスタです。このレジスタで指定された割り込み優先度が設定されている EIINT のチャネルからの割り込み要求を一括で禁止します。

ビット位置と割り込み優先度値が対応しており，例えばビット 0 に 1 を設定すると割り込み優先度 0 のチャネルをマスクすることができます。

アクセス 16/8/1 ビット単位でリード／ライト可能です。

8 ビット単位でアクセスする場合は，上位 8 ビット [15:8] か下位 8 ビット [7:0] のどちらかへアクセスしてください。

アドレス $FFFF6448_H$

初期値 0000_H どのリセット要因でも初期化されます。

PMR	15(7)	14(6)	13(5)	12(4)	11(3)	10(2)	9(1)	8(0)
(PMRH)	PMR15	PMR14	PMR13	PMR12	PMR11	PMR10	PMR9	PMR8
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	7(7)	6(6)	5(5)	4(4)	3(3)	2(2)	1(1)	0(0)
(PMRL)	PMR7	PMR6	PMR5	PMR4	PMR3	PMR2	PMR1	PMR0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意　味
15-0	PMR15-PMR0	割り込み要求フラグをマスクする割り込み優先度を設定します。 0：ビット位置に対応する割り込み優先度の割り込み処理を許可（初期値） 1：ビット位置に対応する割り込み優先度の割り込み処理を禁止

4.3.5 ISPC：イン・サービス・プライオリティ・クリア・レジスタ

このレジスタは，割り込み優先度や動作制御の各種設定をクリアするレジスタです。ISPC レジスタの全ビットへ同時に 1 をライトした後，ISPR レジスタの全ビットに同時に 0 をライトすると，ISPR レジスタの全ビットを 0 にクリアすることができます。同時に ICSR レジスタの FE レベル NMI の処理モード，FE レベル・マスカブル割り込み（FEINT）の処理モード，EI レベル・マスカブル割り込み（EIINT）の処理モードがすべて解除されます。これにより割り込み要求が CPU コアで処理中であることを管理している割り込みコントローラ内の割り込み処理のモード・レジスタがすべてクリアされることになります。これらの一度クリア（0）された内容は，ソフトウエアで復旧させることはできません。

ISPR レジスタの全ビットへの 0 のライトにより ISPR がクリア（0）されると，ISPC レジスタの値も自動的にクリア（0）されます。ISPC レジスタへリード・アクセスを行った場合に読み出される値は，全ビットに 1 を書き込んだあとは，全ビットから 1 が読み出され，リセット後や ISPR レジスタのクリア後は，全ビットから 0 が読み出されます。全ビット同時に 1 または 0 ではないライト・アクセスではビットの値は変化しません。また全ビットが 1 の状態で全ビットに 0 をライトすると ISPC レジスタのビットの値はすべて 0 にクリアされ，ISPR レジスタの値は変化しません

アクセス 16 ビット単位でのみリード／ライト可能です。

アドレス $FFFF6450_H$

初期値 0000_H どのリセット要因でも初期化されます。

ISPC

15	14	13	12	11	10	9	8
ISPC15	ISPC14	ISPC13	ISPC12	ISPC11	ISPC10	ISPC9	ISPC8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
ISPC7	ISPC6	ISPC5	ISPC4	ISPC3	ISPC2	ISPC1	ISPC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意　味
15-0	ISPC15-ISPC0	イン・サービス・プライオリティ・レジスタ (ISPR.ISPR[15:0] ビット) のクリア動作を制御します。 全ビットから 1 または全ビットから 0 が読み出されます。全ビットから 1 が読み出される場合に ISPR の全ビットに 0 をライトすると ISPR をクリアできます。

4.3.6 SCR：選択チャネル保持レジスタ

このレジスタは，EI レベル・マスカブル割り込み（EIINT）のチャネル番号を保持するレジスタです。CPU コアへ割り込みベクタを通知するタイミングで値が更新されます。

アクセス 16/8 ビット単位でリードのみ可能です。

8 ビット単位でアクセスする場合は，上位 8 ビット [15:8] か下位 8 ビット [7:0] のどちらかへアクセスしてください。

アドレス $FFFF6458_H$

初期値 0000_H どのリセット要因でも初期化されます。

SCR	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R

(SCRL)	7	6	5	4	3	2	1	0
	SCR7	SCR6	SCR5	SCR4	SCR3	SCR2	SCR1	SCR0
	R	R	R	R	R	R	R	R

ビット位置	ビット名	意　味
7-0	SCR7-SCR0	CPU によって受け付けられたマスカブル割り込みのチャネル番号を保持します。 注意 1. EI レベル・マスカブル割り込み（EIINT）の多重割り込みが受け付けられた場合は上書きされます。 2. FE レベルの割り込みが受け付けられた場合，レジスタは更新されません。

4.3.7 ICSR：割り込みコントローラ・ステータス・レジスタ

このレジスタは，割り込みコントローラの動作状態を示すレジスタです。

アクセス 16/8/1 ビット単位でリードのみ可能です。

8 ビット単位でアクセスする場合は，上位 8 ビット [15:8] か下位 8 ビット [7:0] のどちらかへアクセスしてください。

アドレス $FFFF645A_H$

初期値 0000_H どのリセット要因でも初期化されます。

ICSR	15	14	13	12	11	10	9	8
(ICSRH)	0	0	0	0	0	0	0	ICSRPMF
	R	R	R	R	R	R	R	R

	7	6	5	4	3	2	1	0
(ICSRL)	0	ICSRFNR	ICSRFIR	ICSREIR	0	ICSRFNE	ICSRFIE	ICSREIE
	R	R	R	R	R	R	R	R

ビット位置	ビット名	意　味
8	ICSRPMF	PMR の設定で，割り込み処理が禁止されている割り込み優先度を持つ受け付け可能な EI レベル・マスカブル割り込み（EIINT）のチャネルの要求フラグがセットされていれば 1
6	ICSRFNR	FE レベル・ノンマスカブル割り込み（FENMI）を CPU へ要求中であれば 1
5	ICSRFIR	FE レベル・マスカブル割り込み（FEINT）を CPU へ要求中であれば 1
4	ICSREIR	EI レベル・マスカブル割り込み（EIINT）を CPU へ要求中であれば 1
2	ICSRFNE	FE レベル・ノンマスカブル割り込み（FENMI）が CPU で処理中であれば 1
1	ICSRFIE	FE レベル・マスカブル割り込み（FEINT）が CPU で処理中であれば 1
0	ICSREIE	EI レベル・マスカブル割り込み（EIINT）が CPU で処理中であれば 1

4.3.8 FNC：FE レベル NMI 制御レジスタ

このレジスタは，FE レベル・ノンマスカブル割り込み（FENMI）の制御状態を示すフラグ・レジスタです。

アクセス 16/8/1 ビット単位でリードのみ可能です。

8 ビット単位でアクセスする場合は，上位 8 ビット [15:8] か下位 8 ビット [7:0] のどちらかへアクセスしてください。

アドレス $FFFF645C_H$

初期値 0000_H どのリセット要因でも初期化されます。

FNC	15	14	13	12	11	10	9	8
(FNCH)	0	0	0	FNRF	0	0	0	0
	R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

ビット位置	ビット名	意　味
12	FNRF	割り込み要求フラグです。 0：割り込み要求なし（初期値） 1：割り込み要求あり

4.3.9 FIC：FE レベルマスカブル割り込み制御レジスタ

このレジスタは，FE レベル・マスカブル割り込み（FEINT）の制御状態を示すフラグ・レジスタです。

アクセス 16/8/1 ビット単位でリードのみ可能です。

8 ビット単位でアクセスする場合は，上位 8 ビット [15:8] か下位 8 ビット [7:0] のどちらかへアクセスしてください。

アドレス $FFFF645E_H$

初期値 0000_H どのリセット要因でも初期化されます。

FIC	15	14	13	12	11	10	9	8
(FICH)	0	0	0	FIRF	0	0	0	0
	R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

ビット位置	ビット名	意　味
12	FIRF	割り込み要求フラグです。 0：割り込み要求なし（初期値） 1：割り込み要求あり

4.3.10 INTCFGB：FE レベル割り込み切り替えレジスタ

このレジスタは，FE レベル及び EI レベルに切り替え可能な割り込み発生要因の出力先を指定するレジスタです。

レジスタ書き込み後は書込み値に寄らず，一度書き込むとリセットするまでレジスタ値はロックされます。

アクセス 8/1 ビット単位でリード／ライト可能です。割り当ての無いビットへの “1” ライトは禁止です。

このレジスタのビット 6-0 をリードすると常に “0” を返します。

アドレス $FF83A000_H$

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
INTCFGB	INTCFGSL0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R

ビット位置	ビット名	意 味
7	INTCFGSL0	0：INTCME,INTWDTA0NMI,INTCLMA1-2 の信号は FENMI に出力 INTISG は，FEINT に出力 1：INTCME 信号は，EIINT0 に出力 INTISG 信号は，EIINT1 に出力 INTWDTA0NMI 信号は，EIINT2 に出力 INTCLMA1 信号は，EIINT5 に出力 INTCLMA2 信号は，EIINT6 に出力

【設定手順】

FE レベルの割り込みを EI レベルに切り替える設定手順を示します。

1) リセット解除

2) セーフティ・ガーディアン INTISG の割り込み信号を出力禁止設定にする（初期値）

3) INTCFGB レジスタに書き込み EI レベルに設定

4) WDTA0, CLMA1-2 の動作許可，セーフティ・ガーディアン割り込み信号出力許可

注意 このレジスタの設定を変更する場合，次の割り込み要因がすべて発生しない状態（動作許可前）で行ってください。

- INTISG
- INTWDTA0NMI
- INTCLMA1-2

4.3.11 INTSTR0B：エラー割り込み要因格納レジスタ

このレジスタは，FE レベル及び EI レベルに切り替え可能な割り込み発生要因の割り込み要求有無を識別するレジスタです。

各ビットのセット条件は，対応する割り込み要因が発生するか，INTSTS0B レジスタの該当ビットへのライトです。

クリア条件は，エラー割り込み要因フラグ・クリア・トリガレジスタ（INTSTC0B）の該当ビットへの “1” ライトとリセットです。

アクセス 8/1 ビット単位でリードのみ可能です。

アドレス $FF83A004_H$

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
INTSTR0B	0	0	INTISTF5	INTISTF4	0	INTISTF2	INTISTF1	INTISTF0
	R	R	R	R	R	R	R	R

ビット位置	ビット名	意　味
5	INTISTF5	0：INTCLMA2 からの割り込み要求なし 1：INTCLMA2 からの割り込み要求あり
4	INTISTF4	0：INTCLMA1 からの割り込み要求なし 1：INTCLMA1 からの割り込み要求あり
2	INTISTF2	0：INTWDTA0NMI からの割り込み要求なし 1：INTWDTA0NMI からの割り込み要求あり
1	INTISTF1	0：INTISG からの割り込み要求なし 1：INTISG からの割り込み要求あり INTISG の割り込み信号のマスクあり
0	INTISTF0	0：INTCME からの割り込み要求なし 1：INTCME からの割り込み要求あり INTCME の割り込み信号のマスクあり

注意
1. 多重割り込み発生を避けるため，INTSTR0B.INTISTF1, 0 ビットが 1 の場合，同じ割り込み要因をマスクします（INTCLMA2-1，INTWDTA0NMI は一度割り込みが発生するといずれかのリセットが入力されるまで次の割り込みは発生しません）。多重割り込みや新たな割り込み発生が必要な場合，当該ビットのクリアを行ってください。
2. CPU コンペア・エラー発生時，INTSTR0B レジスタ（割り込みエラー要因格納レジスタ）にエラーがセットされない場合があるため，CPU コンペア・エラー発生の有無は SGA のステータス・レジスタ（SGAmESSTR0.SGAmSSE005 ビット）で識別してください。

4.3.12 INTSTC0B：エラー割り込み要因フラグ・クリア・トリガレジスタ

このレジスタは，エラー割り込み要因フラグをクリアするレジスタです。クリアしたい割り込み要求フラグのビットをセット “1” すると，対応するエラー割り込み要因格納レジスタ（INTSTR0B) のフラグが “0” クリアされ，ライトしたビット自身も “0” となります。

アクセス 8/1 ビット単位でライトのみ可能です。割り当ての無いビットへの “1” ライトは禁止です。

このレジスタは，リードすると常に “0” を返します。

アドレス $FF83A008_H$

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
INTSTC0B	0	0	INTISTC5	INTISTC4	0	INTISTC2	INTISTC1	INTISTC0
	W	W	W	W	W	W	W	W

ビット位置	ビット名	意　味
5	INTISTC5	0：操作なし 読み込み値は常に 0 1：INTISTF5 フラグをクリアする
4	INTISTC4	0：操作なし 読み込み値は常に 0 1：INTISTF4 フラグをクリアする
2	INTISTC2	0：操作なし 読み込み値は常に 0 1：INTISTF2 フラグをクリアする
1	INTISTC1	0：操作なし 読み込み値は常に 0 1：INTISTF1 フラグをクリアする
0	INTISTC0	0：操作なし 読み込み値は常に 0 1：INTISTF0 フラグをクリアする

4.3.13 INTSTS0B : エラー割り込み要因フラグ・セット・トリガレジスタ

このレジスタは，割り込みエラー要因フラグをセットするレジスタです。セットしたい割り込み要求フラグのビットをセット “1” すると，対応する割り込みエラー要因格納レジスタ（INTSTR0B）のフラグが “1” セットされ，書き込んだビット自身は “0” となります。

当レジスタのセット “1” にて，割り込みは発生しません。

アクセス 8/1 ビット単位でライトのみ可能です。割り当ての無いビットへの “1” ライトは禁止です。 このレジスタは，リードすると常に “0” を返します。

アドレス $FF83A00C_H$

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
INTSTS0B	0	0	INTISTS5	INTISTS4	0	INTISTS2	INTISTS1	INTISTS0
	W	W	W	W	W	W	W	W

ビット位置	ビット名	意 味
5	INTISTS5	0：操作なし 読み込み値は常に 0 1：INTISTF5 フラグをセットする
4	INTISTS4	0：操作なし 読み込み値は常に 0 1：INTISTF4 フラグをセットする
2	INTISTS2	0：操作なし 読み込み値は常に 0 1：INTISTF2 フラグをセットする
1	INTISTS1	0：操作なし 読み込み値は常に 0 1：INTISTF1 フラグをセットする
0	INTISTS0	0：操作なし 読み込み値は常に 0 1：INTISTF0 フラグをセットする

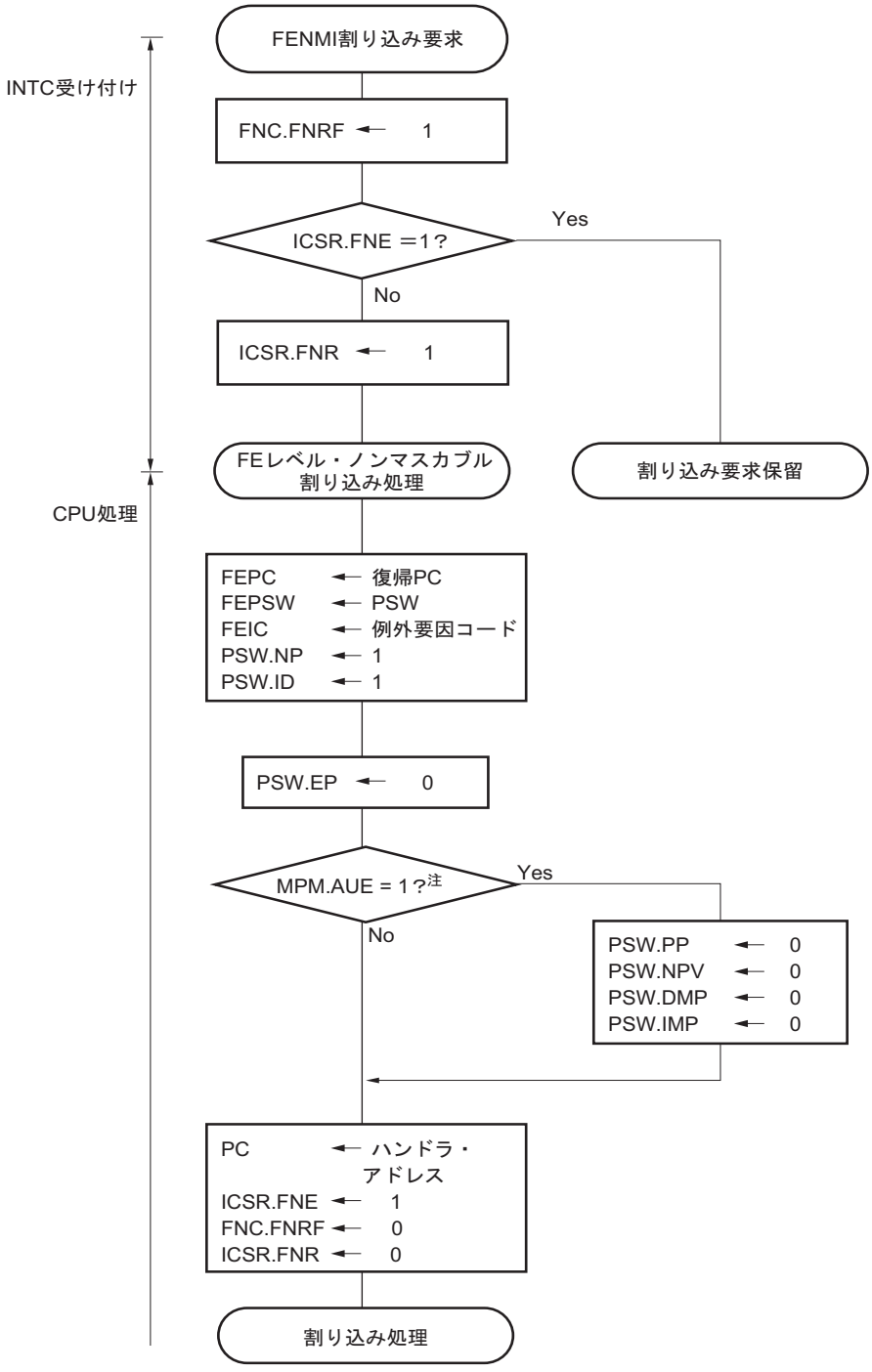
4.4 割り込みの受け付けと復帰

割り込み受け付け時の動作と割り込み処理からの復帰について説明します。

4.4.1 FENMI 割り込み要求による FE レベル・ノンマスカブル割り込み

FENMI 割り込みが要求されると，CPU で FE レベル・ノンマスカブル割り込みが発生します。この FE レベル・ノンマスカブル割り込みは，システムの致命的エラーが発生した場合などに利用します。

注意 FENMI は，一度割り込みを受け付けると FERET 命令を実行するまで，次の FENMI, FEINT, EIINT 割り込み発生は保留されます（要求の受け付けと，要求の保持は行います）。
FENMI は，NP ビット = 1 のときでも受け付け可能です。このため，FEINT 例外，PPI 例外，その他の FE レベル例外を処理中に FENMI 割り込みが発生した場合，退避アドレスを失い元の処理への復帰はできません。FENMI 割り込みが発生し，所望の処理を完了したあとは，システム・リセットなどを実行してください。



注意 プロセッサ保護例外（MDP, MIP）の場合は，MPM.AUE の状態にかかわらず，常に PSW.PP, NPV, DMP, IMP ビットをクリア（0）します。

図 4-1 FENMI 割り込み要求時の処理

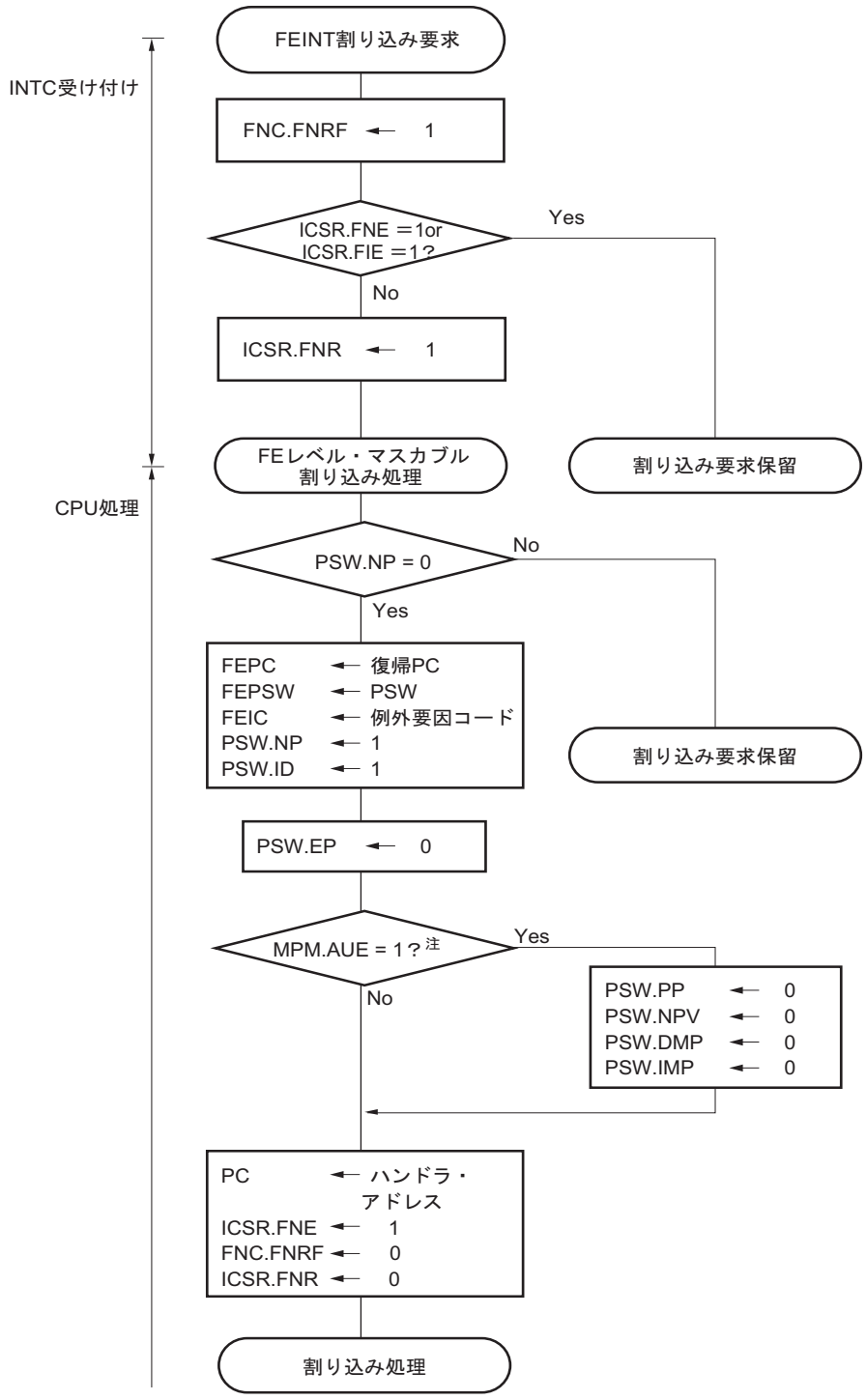
4.4.2 FE レベル・ノンマスカブル割り込み（FENMI）からの復帰

FE レベル・ノンマスカブル割り込み（FENMI）は，システムの致命的エラーが発生した場合などに利用する割り込みのため，復帰はできません。例外処理後にシステム・リセットを行ってください。

4.4.3 FEINT 割り込み要求による FE レベル・マスカブル割り込み

FEINT 割り込みが要求されると，FE レベル・マスカブル割り込みが発生します。この割り込みは回復可能な FE レベルの割り込みです。

FEINT は，一度割り込みを受け付けると FERET 命令を実行するまで，次の FEINT, EIINT 割り込み発生は保留されます。割り込み要求の受け付けと，要求の保持は行います。



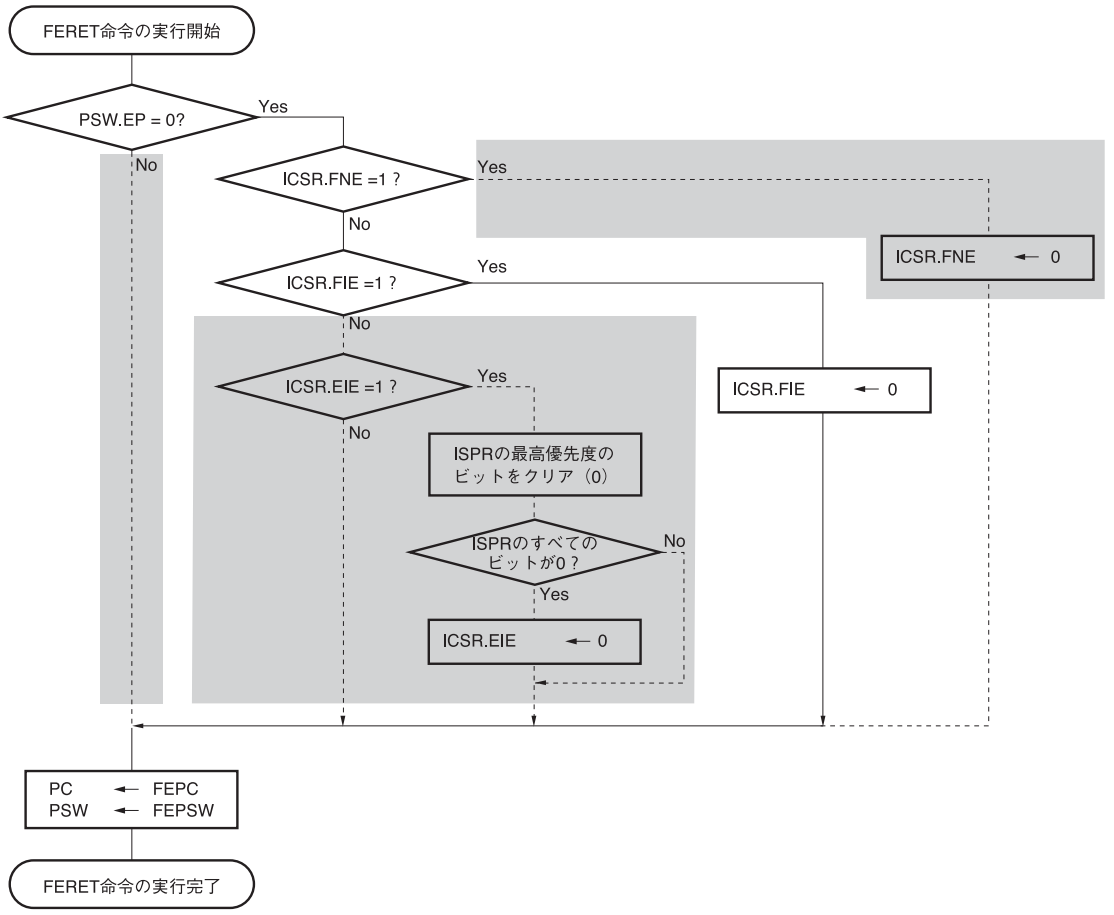
注意 プロセッサ保護例外（MDP, MIP）の場合は，MPM.AUE の状態にかかわらず，常に PSW.PP, NPV, DMP, IMP ビットをクリア（0）します。

図 4-2 FEINT 割り込み要求時の処理

4.4.4 FE レベル・マスカブル割り込み（FEINT）からの復帰

FE レベル・マスカブル割り込み（FEINT）処理からの復帰には，FERET 命令を使用します。PSW.EP ビットがクリア（0）されている状態で FERET 命令を実行すると FE レベル・マスカブル割り込み（FEINT）からの復帰処理を行います。PSW.EP ビットが（1）のときには割り込み処理からの完全な復帰はできません（ICSR，ISPR などのレジスタのクリアが行われません）。FE レベル・マスカブル割り込み（FEINT）からの復帰には必ず PSW.EP ビットがクリア（0）されている状態で FERET 命令を実行してください。

注意 この製品の CPU コアでは , V850E1, V850E2 アーキテクチャとの後方互換のため RETI 命令が用意されていますが，原則として使用を禁止しています。修正の不可能な既存プログラム以外の RETI 命令はすべて , EIRET 命令または FERET 命令に置き換えて使用してください。



備考 部分は，FE レベル・マスカブル割り込み（FEINT）処理からの復帰では分岐しない処理です。

図 4-3 FE レベル・マスカブル割り込み（FEINT）処理からの復帰

4.4.5 EIINT 割り込み要求による EI レベル・マスカブル割り込み

EI レベル・マスカブル割り込みが要求されると，CPU に EIINT 割り込み要求を行います（割り込みハンドラへの移行は，INTC（割り込みコントローラ）の IMR レジスタ設定により発生します）。この割り込みは回復可能な EI レベルの割り込みです。

EIINT 割り込みでは，割り込み入力のあったチャネル番号を SCR レジスタへ設定します。これにより，複数のチャネルで同じ割り込みベクタを共有したい場合などに簡単にチャネル番号を知ることができます。

注意 EI レベル割り込みを受け付けると，ISPR レジスタ（イン・サービス・プライオリティ・レジスタ）には現在受け付けた割り込み優先度が記録されます。これ以降，EIRET 命令を発行するまで，この ISPR レジスタの割り込み優先度以下の割り込みは，発生しません。割り込み要求の受け付け／保持は行います。
ISPR レジスタへの「現在受け付けた割り込み優先度の登録」「EIRET 時の割り込み優先度の削除」は，ハードウエアが自動的に行います。ソフトウエアでの ISPR レジスタへの書き込みはできません。書き込みは無視されます。

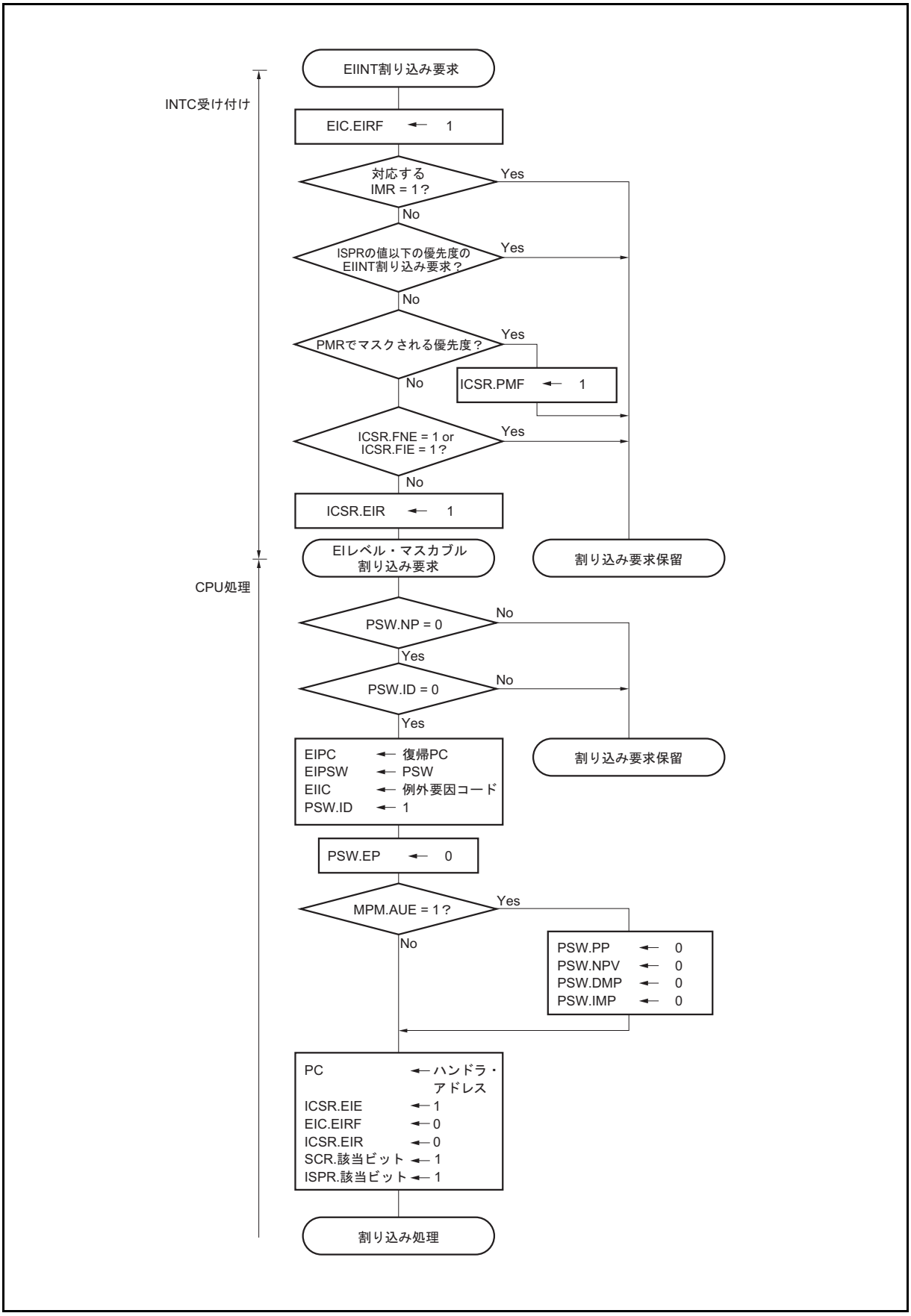
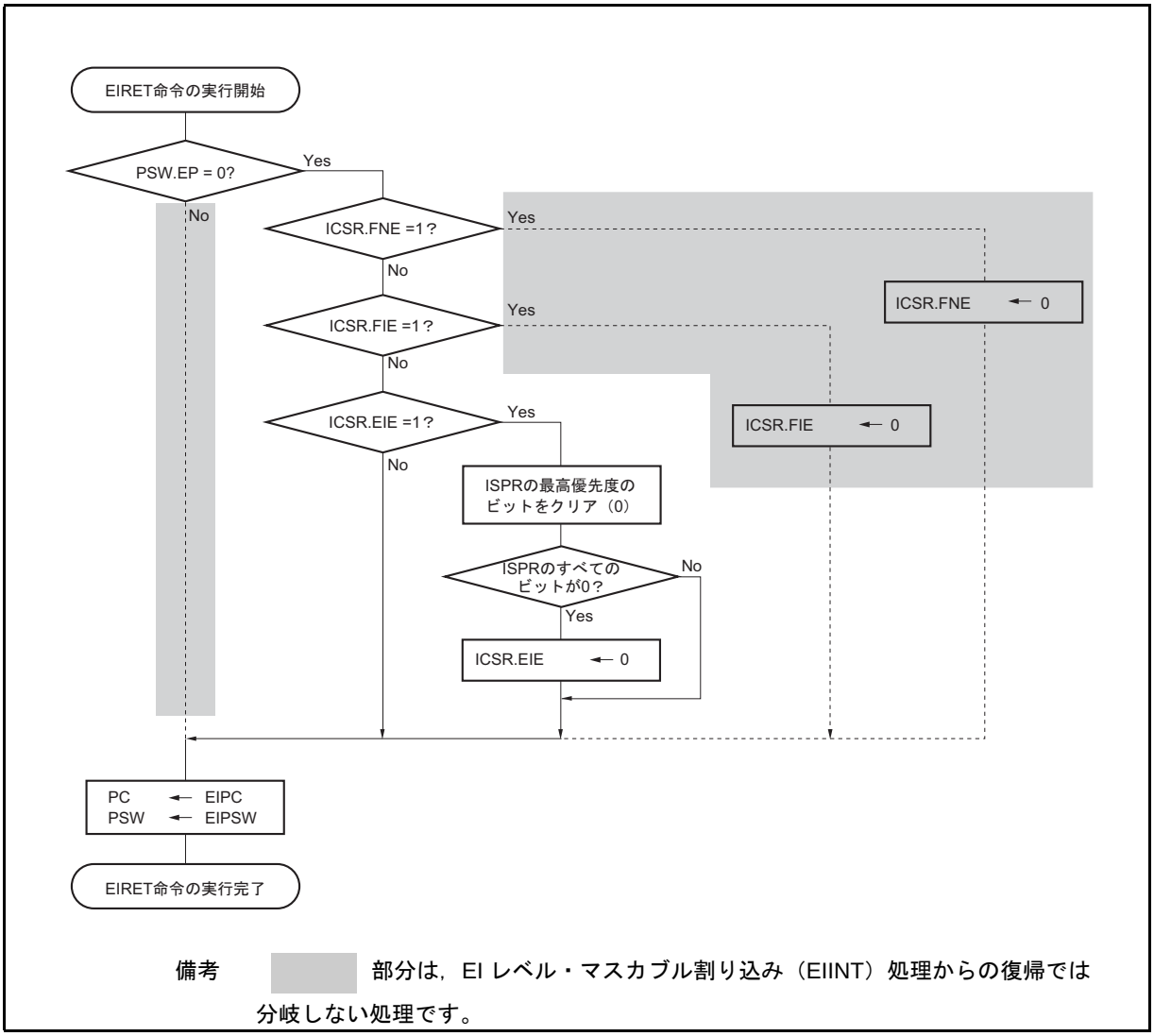


図 4-4 EIINT 割り込み要求時の処理

4.4.6 EI レベル・マスカブル割り込み（EIINT）からの復帰

EI レベル・マスカブル割り込み（EIINT）処理からの復帰には，EIRET 命令を使用します。PSW.EP ビットがクリア（0）されている状態で EIRET 命令を実行すると EI レベル・マスカブル割り込み（EIINT）からの復帰処理をおこないます。PSW.EP ビットが（1）のときには割り込み処理からの完全な復帰はできません（ICSR，ISPR などのレジスタのクリアが行われません）。EI レベル・マスカブル割り込み（EIINT）からの復帰には必ず PSW.EP ビットがクリア（0）されている状態で EIRET 命令を実行してください。

注意 この製品の CPU コアでは , V850E1, V850E2M アーキテクチャとの後方互換のため RETI 命令が用意されていますが，原則として使用を禁止しています。修正の不可能な既存プログラム以外の RETI 命令はすべて , EIRET 命令または FERET 命令に置き換えて使用してください。



備考 部分は，EI レベル・マスカブル割り込み（EIINT）処理からの復帰では分岐しない処理です。

図 4-5 EI レベル・マスカブル割り込み（EIINT）処理からの復帰

4.5 割り込み動作

4.5.1 EI レベル・マスカブル割り込み（EIINT）の割り込みマスク機能

EIINT は，それぞれの割り込みチャネルごとに割り込みをマスクできます。割り込みのマスクは，次のレジスタを設定することにより行います。

ICxx.MKxx	動 作
1	割り込みをマスクします。
0	割り込みを許可します。

ICxx.MKxx ビットは IMRm（m = 0 - 13）レジスタの対応する IMRmEIMKn（n = 0 - 223）ビットと連動しており，IMRm（m = 0 - 13）レジスタからもリード／ライト可能です。

【動作例】

（1）IMRm.IMRmEIMKn ビットに 1 を書き込むと，対応するチャネルの割り込みは禁止されます。

（2）このとき ICxx.MKxx ビットをリードすると 1 が読み出されます。

注意 ICxx.MKxx，IMRm.IMRmEIMKn ビットでは，割り込みの保持以降の処理をマスクします。ICxx.MKxx，IMRm.IMRmEIMKn ビットを 1 に設定しても，割り込み要求の受け付け，および保持は行われます。また ICxx.MKxx，IMRm.IMRmEIMKn ビットで割り込み禁止が指定されている割り込みに対して，ソフトウエアによる割り込みを要求しても割り込みは発生しません。なお割り込み要求が保持されている状態で ICxx.MKxx，IMRm.IMRmEIMKn ビットを 0 に再設定すると，その時点で割り込みが発生します。すでに保持されている割り込み要求を消去したい場合には，対応する ICxx.RFxx ビットをクリア（0）してください。

4.5.2 割り込み優先度判断

FE レベル・ノンマスカブル割り込み（FENMI），FE レベル・マスカブル割り込み（FEINT），EI レベル・マスカブル割り込み（EIINT）が入力されると，その他の例外も含めて優先度を判断し，最も高い優先度の例外（割り込み含む）が要求されます。同時に要求された例外（割り込み含む）は，あらかじめ割り付けてある優先順位（デフォルト優先順位）で処理されます。割り込み FENMI, FEINT, EIINT の優先順位は次のとおりです。

FENMI ＞ FEINT ＞ EIINT

（その他の例外については，表 4-2「割り込み要因一覧」，および「V850E2M ユーザーズマニュアル アーキテクチャ編」（R01US0001J）を参照してください。

EIINT は各割り込み要因ごとに割り込み優先度を設定可能です。割り込み優先度は，ICxx.P3xx-P0xx ビットで指定します。割り込み優先度は，0-15 までが設定可能です。0 が最高優先度，15 が最低優先度です。同じ優先度を持つ EIINT 割り込み間では，割り込みチャネル番号のもっとも小さい割り込みが優先されます。

表 4-4 EIINT の割り込み優先度設定と動作の優先順位の例

EIINT	P3xx to P0xx 設定	動作時の優先順位
EIINT0	3	10
EIINT1	4	11
EIINT2	0	1
EIINT3	0	2
EIINT4	1	3
EIINT5	2	6
EIINT6	2	7
EIINT7	1	4
EIINT8	1	5
EIINT9	2	8
EIINT10	2	9

割り込みコントローラは，割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。同時に複数の EIINT 割り込みが要求されている場合，次の手順で受け付ける割り込みが決定されます。

(1) 現在処理中の割り込み優先度との比較

現在処理中の割り込み優先度と同じ，または低い割り込みの受け付けは保留されます。

現在処理中の割り込み優先度は，ISPR レジスタに保持されています。

現在処理中の割り込み優先度より高い割り込みは，次の優先度判断に移ります。

(2) プライオリティ・マスク・レジスタ（PMR）によるマスク

PMR レジスタにより許可されている割り込みのみ，次の優先度判断に移ります。

(3) 要求されている割り込み要因のうち，最も高い優先度が設定されている割り込み要因を選択

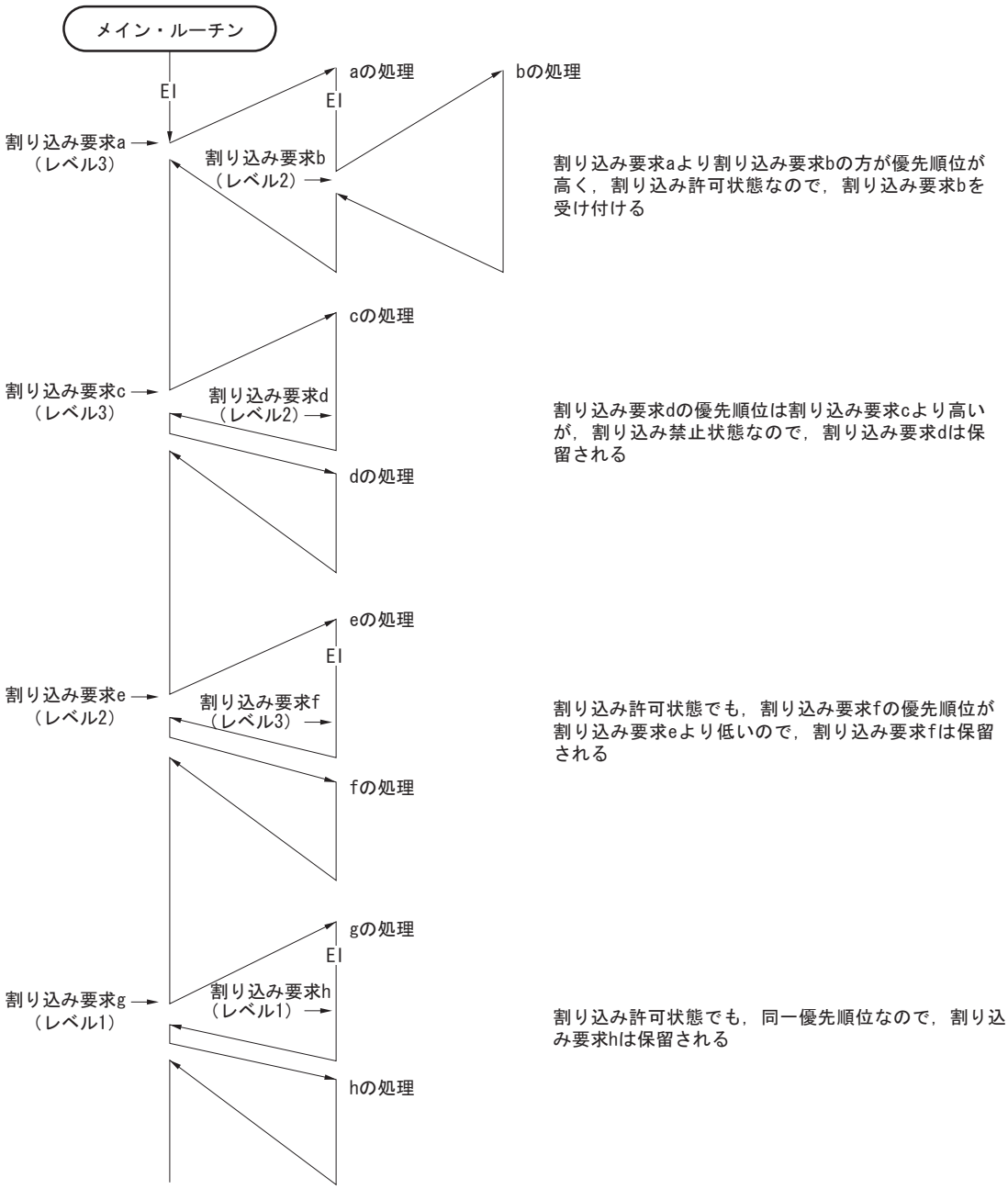
最も高い優先度が設定されている割り込み要因が，同時に複数要求されている場合，割り込みチャネル番号の最も小さいものが選択されます。

(4) CPU による割り込みの保留

PSW.NP ビット，PSW.ID ビットの状態によって，割り込みの受け付けが保留されます。このとき，EIINT 割り込み内の優先度判断，EIINT 割り込み，FEINT 割り込み，FENMI 割り込み間の優先度判断は，割り込み受け付けが保留されている間も行われ，受け付け条件が成立した時点で，もっとも優先度の高い割り込みを選択します。

例 優先度 5 の EIINT 割り込みがすでに要求されており，PSW.ID ビットが 1 のため割り込み発生が保留されているときに，後から優先度 3 の EIINT 割り込みが要求された。その後，PSW.ID ビットがクリア（0）された場合，優先度 3 の EIINT 割り込みが発生する。

割り込み処理中に，さらに別の割り込みを受け付ける多重割り込みの処理例を図 4-6 に示します。
割り込み要求信号を受け付けると PSW.ID フラグが自動的にセット（1）されるので，多重割り込みを使用する場合は，割り込み処理プログラム中で EI 命令を実行するなどして ID フラグをクリア（0）し，割り込み許可状態にしてください。

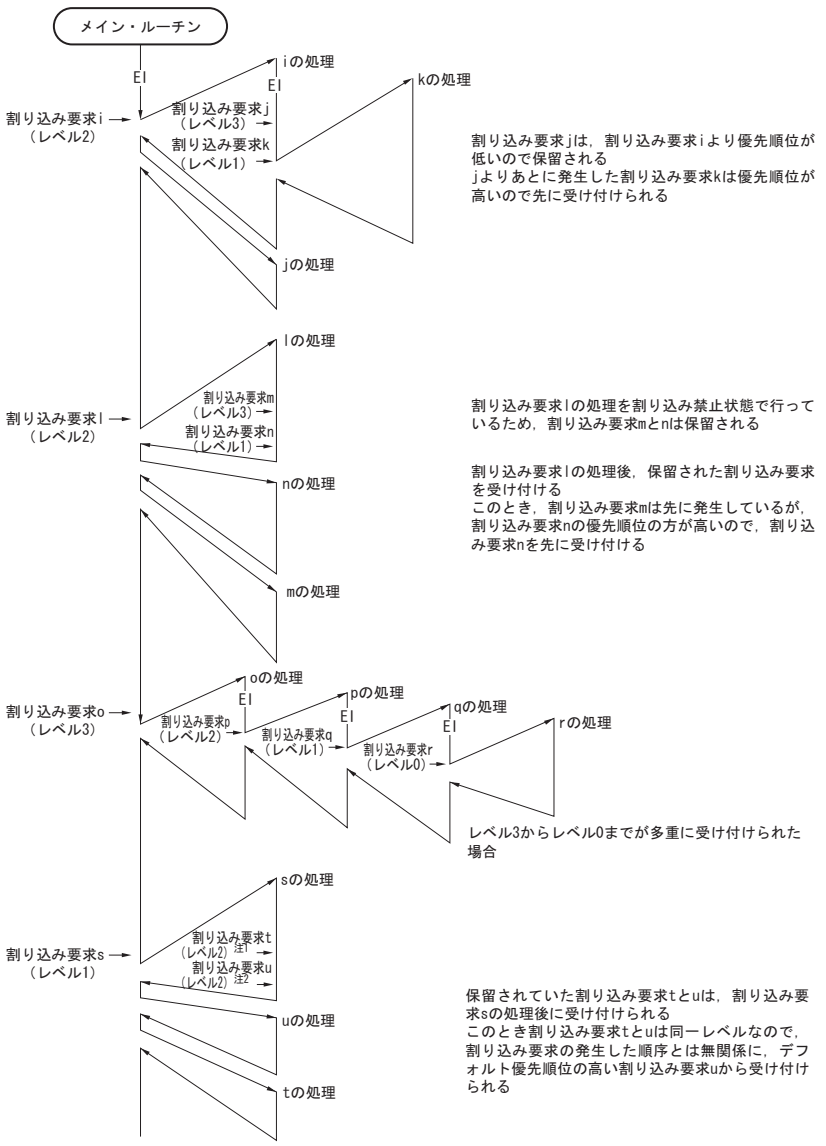


注意 多重割り込みを行うときは EI 命令を実行する前に，EIPC, EIPSW の内容を退避する必要があります。また，多重割り込みから復帰する際は，DI 命令を実行したあとに，EIPC, EIPSW の内容を復帰してください。

備考1. 図中の a-h は，各割り込み要求信号を区別するために付けた仮の名称です。

2. 図中のデフォルト優先順位の高い／低いは，2 つの割り込み要求信号間の相対的な優先順位の高さを示します。

図 4-6 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例（1/2）

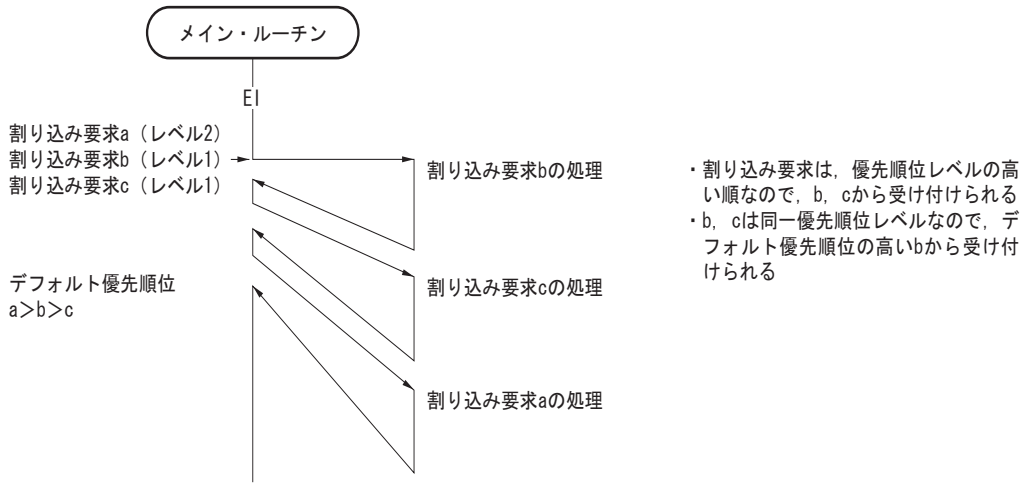


注意　多重割り込みを行うときは EI 命令を実行する前に，EIPC, EIPSW の内容を退避する必要があります。また，多重割り込みから復帰する際は，DI 命令を実行したあとに，EIPC, EIPSW の内容を復帰してください。

注1. デフォルト優先順位が低い
2. デフォルト優先順位が高い

備考1. 図中の i-u は，各割り込み要求信号を区別するために付けた仮の名称です。
2. 図中のデフォルト優先順位の高い／低いは，2 つの割り込み要求信号間の相対的な優先順位の高さを示します。

図 4-6　割り込み処理中にほかの割り込み要求信号が発生した場合の処理例（2/2）



注意 多重割り込みを行うときは EI 命令を実行する前に，EIPC, EIPSW の内容を退避する必要があります。また，多重割り込みから復帰する際は，DI 命令を実行したあとに，EIPC, EIPSW の内容を復帰してください。

備考1. 図中の a-c は，各割り込み要求信号を区別するために付けた仮の名称です。

2. 図中のデフォルト優先順位の高い／低いは，2 つの割り込み要求信号間の相対的な優先順位の高さを示します。

図 4-7 同時発生した割り込み要求信号の処理例

4.5.3 優先度マスク機能

優先度マスク機能は，指定した割り込み優先度が設定されている EIINT 割り込みを一括で禁止します。

PMR レジスタの設定により，マスクしたい割り込み優先度を指定します。それぞれの優先度ごとにマスク・受け付け可の設定が可能です。

優先度マスク機能には次の操作ができます。

- 一時的にある割り込み優先度以下の割り込みを禁止とする
- 一時的にある割り込み優先度を持つ割り込みを禁止とする

PMR.PMRm	動　　作
0	優先度 m の割り込み要因からの要求を受け付けます。
1	優先度 m の割り込み要因からの要求をマスクします。

備考　m = 0-15

PMR レジスタは，割り込み発生を禁止します。禁止の間も割り込み要求の受け付けおよび保持は行います。

この機能により保留されている EIINT 割り込みの有無は，4.5.4　保留割り込み通知機能で確認が可能です。

4.5.4 保留割り込み通知機能

保留割り込み通知機能では，現在保留されている割り込みの状態を確認できます。

保留割り込み通知機能では，次の状態を確認することができます。

- 優先度マスク機能（PMR）によってのみマスクされている割り込みが存在している場合

  ICSR.PMF ビットに 1 がセットされます。

  ISPR レジスタによる優先度マスク，ICxx.MKxx，IMRm.IMRmEIMKn ビットによりマスクされている割り込みが存在しているだけでは，1 はセットされません。優先度マスクによる割り込み禁止中に，優先度マスク機能により保留されている割り込み要求の有無を確認できます。

- CPU に対し EI レベル・マスカブル割り込み要求が行われている場合

  ICSR.EIR ビットに 1 がセットされます。

  PSW.ID = 1 区間中に ICSR.EIR ビットを見ることで，EIINTn 割り込み要求の有無を確認できます。

- CPU に対して FE レベル・マスカブル割り込み要求が行われている場合

  ICSR.FIR ビットに 1 がセットされます。

  PSW.NP = 1 区間中に ICSR.FIR ビットを見ることで，FEINT 割り込み要求の有無を確認できます。

4.5.5 イン・サービス・プライオリティ・クリア機能

割り込みコントローラ内部の状態を初期化する機能です。ISPC レジスタにアクセスすることで動作します。イン・サービス・プライオリティ・クリア機能では，次の操作が可能です。

- ISPR レジスタの内容を全クリア
- ICSR.EIE, FIE, FNE ビットをクリア

ISPC レジスタの全ビットへ 1 をライトした後，ISPR レジスタの全ビットに 0 をライトすると，ISPR レジスタの全ビットをクリア（0）することができます。また，割り込み要求が CPU コアで処理中であることを管理している ICSR.EIE, FIE, FNE ビットがすべてクリア（0）されます。

ISPR レジスタの全ビットへの 0 のライトとともに ISPC レジスタの値も自動的にクリア（0）されます。全ビット同時ではないライト・アクセスではビットの値は変化しません。

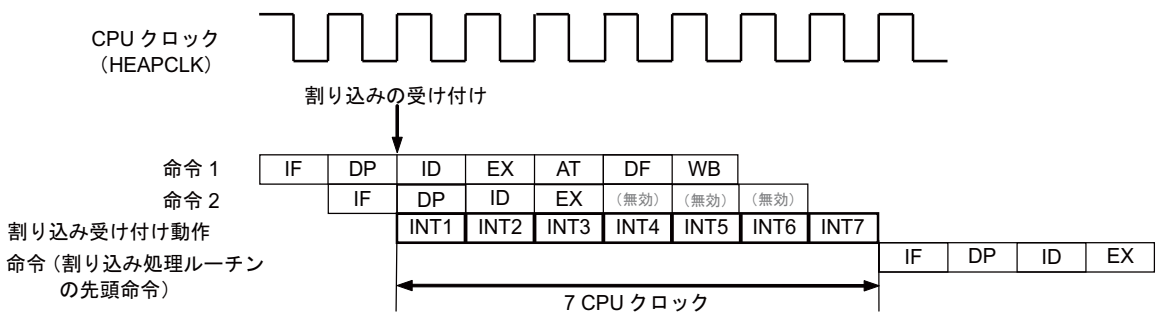
4.6 例外ハンドラ・アドレス切り替え機能

割り込みハンドラ・アドレスはソフトウエアにより切り替えることが可能です。

詳細は，「V850E2M ユーザーズ・マニュアル アーキテクチャ編」（R01US0001J）を参照してください。

4.7 割り込み応答時間

割り込み要求発生から割り込み処理が起動されるまでの割り込み応答時間を次に示します。



	割り込み応答時間	
	最 小	最 大
内部割り込み	7 HEAPCLK	12 HEAPCLK
外部割り込み	7 HEAPCLK +（デジタル・ノイズ除去時間 + 1 HEAPCLK）	12 HEAPCLK +（デジタル・ノイズ除去時間 + 1 HEAPCLK）

備考 1. 内部割り込みは，上記時間以外に割り込み要求発生から割り込みの受け付けまでの時間として，最小 1 HEAPCLK，最大 3 HEAPCLK を必要とします。

2. 図中の INT1-INT7 は，割り込み受付処理を示します。

3. 次の場合を除きます。
–割り込み非サンプル命令の連続実行時
–周辺 I/O レジスタへのアクセス時
–タイミング監視機能使用時

4. デジタル・ノイズ除去時間については，2.14「端子のノイズ除去機能」を参照してください。

図 4-8 割り込み要求受け付け時のパイプライン動作（概略）

第 5 章 DMA 機能

この章では，DMA 機能について説明します。

5.1 DMA 概要

DMA チャネル数 この製品は 8ch の DMA チャネルを搭載しています。

n, m, l の意味 この章では，n，m，l が下記のように使用されます。

- DMA 機能：DMA チャネル数を表します。n = 0 -7
- DMA 機能：DMA トリガ要因数を表します。m = 0 - 107
- DMA 機能：DMA トリガ要因最終チャネル No を表します。l = 107

(1) DMA トリガ要因

DMA チャネル n への DMA トリガ・ソースの割り当ては DTFRn.IFC[6:0] で設定します。

全 DMA トリガ要因とトリガ要因レジスタ DTFRn の設定値を記載します。

表 5-1 DMA トリガ要因一覧 (1/3)

DTFRn.IFCn[6:0]								レジスタ	DMA トリガ要因
6	5	4	3	2	1	0			
0	0	0	0	0	0	0	0	INTIN000	INTP0
0	0	0	0	0	0	1	1	INTIN001	INTP1
0	0	0	0	0	1	0	2	INTIN002	INTP2
0	0	0	0	0	1	1	3	INTIN003	INTP3
0	0	0	0	1	0	0	4	INTIN004	INTP4
0	0	0	0	1	0	1	5	INTIN005	INTP5
0	0	0	0	1	1	0	6	INTIN006	INTP6
0	0	0	0	1	1	1	7	INTIN007	INTP7
0	0	0	1	0	0	0	8	INTIN008	INTP8
0	0	0	1	0	0	1	9	INTIN009	INTP9
0	0	0	1	0	1	0	10	INTIN010	Reserved
0	0	0	1	0	1	1	11	INTIN011	INTDMA0
0	0	0	1	1	0	0	12	INTIN012	INTDMA1
0	0	0	1	1	0	1	13	INTIN013	INTDMA2
0	0	0	1	1	1	0	14	INTIN014	INTDMA3
0	0	0	1	1	1	1	15	INTIN015	INTDMA4
0	0	1	0	0	0	0	16	INTIN016	INTDMA5
0	0	1	0	0	0	1	17	INTIN017	INTDMA6
0	0	1	0	0	1	0	18	INTIN018	INTDMA7
0	0	1	0	0	1	1	19	INTIN019	INTTAUJ0I0
0	0	1	0	1	0	0	20	INTIN020	INTTAUJ0I1
0	0	1	0	1	0	1	21	INTIN021	INTTAUJ0I2
0	0	1	0	1	1	0	22	INTIN022	INTTAUJ0I3
0	0	1	0	1	1	1	23	INTIN023	Reserved
0	0	1	1	0	0	0	24	INTIN024	Reserved
0	0	1	1	0	0	1	25	INTIN025	Reserved
0	0	1	1	0	1	0	26	INTIN026	Reserved
0	0	1	1	0	1	1	27	INTIN027	INTTAUB0I0
0	0	1	1	1	0	0	28	INTIN028	INTTAUB0I1
0	0	1	1	1	0	1	29	INTIN029	INTTAUB0I2
0	0	1	1	1	1	0	30	INTIN030	INTTAUB0I3
0	0	1	1	1	1	1	31	INTIN031	INTTAUB0I4
0	1	0	0	0	0	0	32	INTIN032	INTTAUB0I5
0	1	0	0	0	0	1	33	INTIN033	INTTAUB0I6
0	1	0	0	0	1	0	34	INTIN034	INTTAUB0I7
0	1	0	0	0	1	1	35	INTIN035	INTTAUB0I8
0	1	0	0	1	0	0	36	INTIN036	INTTAUB0I9
0	1	0	0	1	0	1	37	INTIN037	INTTAUB0I10
0	1	0	0	1	1	0	38	INTIN038	INTTAUB0I11
0	1	0	0	1	1	1	39	INTIN039	INTTAUB0I12

表 5-1 DMA トリガ要因一覧 (2/3)

DTFRn.IFCn[6:0]								レジスタ	DMA トリガ要因
6	5	4	3	2	1	0			
0	1	0	1	0	0	0	40	INTIN040	INTTAUB0I13
0	1	0	1	0	0	1	41	INTIN041	INTTAUB0I14
0	1	0	1	0	1	0	42	INTIN042	INTTAUB0I15
0	1	0	1	0	1	1	43	INTIN043	Reserved
0	1	0	1	1	0	0	44	INTIN044	Reserved
0	1	0	1	1	0	1	45	INTIN045	Reserved
0	1	0	1	1	1	0	46	INTIN046	Reserved
0	1	0	1	1	1	1	47	INTIN047	Reserved
0	1	1	0	0	0	0	48	INTIN048	Reserved
0	1	1	0	0	0	1	49	INTIN049	Reserved
0	1	1	0	0	1	0	50	INTIN050	Reserved
0	1	1	0	0	1	1	51	INTIN051	Reserved
0	1	1	0	1	0	0	52	INTIN052	Reserved
0	1	1	0	1	0	1	53	INTIN053	Reserved
0	1	1	0	1	1	0	54	INTIN054	Reserved
0	1	1	0	1	1	1	55	INTIN055	Reserved
0	1	1	1	0	0	0	56	INTIN056	Reserved
0	1	1	1	0	0	1	57	INTIN057	Reserved
0	1	1	1	0	1	0	58	INTIN058	Reserved
0	1	1	1	0	1	1	59	INTIN059	INTADCA0ERR
0	1	1	1	1	0	0	60	INTIN060	INTADCA0I0
0	1	1	1	1	0	1	61	INTIN061	INTADCA0I1
0	1	1	1	1	1	0	62	INTIN062	INTADCA0I2
0	1	1	1	1	1	1	63	INTIN063	Reserved
1	0	0	0	0	0	0	64	INTIN064	Reserved
1	0	0	0	0	0	1	65	INTIN065	Reserved
1	0	0	0	0	1	0	66	INTIN066	Reserved
1	0	0	0	0	1	1	67	INTIN067	Reserved
1	0	0	0	1	0	0	68	INTIN068	Reserved
1	0	0	0	1	0	1	69	INTIN069	INTCSIG0IR
1	0	0	0	1	1	0	70	INTIN070	INTCSIG0IC
1	0	0	0	1	1	1	71	INTIN071	INTCSIG1IR
1	0	0	1	0	0	0	72	INTIN072	INTCSIG1IC
1	0	0	1	0	0	1	73	INTIN073	Reserved
1	0	0	1	0	1	0	74	INTIN074	Reserved
1	0	0	1	0	1	1	75	INTIN075	INTURTH0IS
1	0	0	1	1	0	0	76	INTIN076	INTURTH0IR
1	0	0	1	1	0	1	77	INTIN077	INTURTH0IT
1	0	0	1	1	1	0	78	INTIN078	INTURTH1IS
1	0	0	1	1	1	1	79	INTIN079	INTURTH1IR

表 5-1 DMA トリガ要因一覧 (3/3)

DTFRn.IFCn[6:0]								レジスタ	DMA トリガ要因
6	5	4	3	2	1	0			
1	0	1	0	0	0	0	80	INTIN080	INTURTH1IT
1	0	1	0	0	0	1	81	INTIN081	Reserved
1	0	1	0	0	1	0	82	INTIN082	Reserved
1	0	1	0	0	1	1	83	INTIN083	Reserved
1	0	1	0	1	0	0	84	INTIN084	INTTSG20I11
1	0	1	0	1	0	1	85	INTIN085	INTTSG20I12
1	0	1	0	1	1	0	86	INTIN086	INTTSG20IPEK
1	0	1	0	1	1	1	87	INTIN087	INTTSG20IVLY
1	0	1	1	0	0	0	88	INTIN088	Reserved
1	0	1	1	0	0	1	89	INTIN089	Reserved
1	0	1	1	0	1	0	90	INTIN090	Reserved
1	0	1	1	0	1	1	91	INTIN091	Reserved
1	0	1	1	1	0	0	92	INTIN092	INTENCA0IOV
1	0	1	1	1	0	1	93	INTIN093	INTENCA0I0
1	0	1	1	1	1	0	94	INTIN094	INTENCA0I1
1	0	1	1	1	1	1	95	INTIN095	INTENCA0IUD
1	1	0	0	0	0	0	96	INTIN096	INTENCA0IEC
1	1	0	0	0	0	1	97	INTIN097	Reserved
1	1	0	0	0	1	0	98	INTIN098	Reserved
1	1	0	0	0	1	1	99	INTIN099	Reserved
1	1	0	0	1	0	0	100	INTIN100	Reserved
1	1	0	0	1	0	1	101	INTIN101	Reserved
1	1	0	0	1	1	0	102	INTIN102	INTTPBA0IPRD
1	1	0	0	1	1	1	103	INTIN103	INTTPBA0IDTY
1	1	0	1	0	0	0	104	INTIN104	INTTPBA0IPAT
1	1	0	1	0	0	1	105	INTIN105	Reserved
1	1	0	1	0	1	0	106	INTIN106	Reserved
1	1	0	1	0	1	1	107	INTIN107	Reserved

5.2 語句の定義

この章では，次の語句を定義し，使用しています。

表 5-2 語句の定義一覧

語　句	意　味
DMA 転送	最初の DMA サイクル開始から INTDMA をアサートするまでの期間
DMA サイクル	1 回分の転送単位を転送する期間（内蔵システムバスのリード・サイクルが始まってから，ライト・サイクルが終了するまで。128 ビット転送の場合はリード・サイクル 4 回，ライト・サイクル 4 回が終了するまで。）
ハードウエア DMA 転送要求	各種割り込みによる DMA 転送要求
ソフトウエア DMA 転送要求	内部レジスタ（DTSn レジスタの DTSnSR ビット）による DMA 転送要求
DMA 転送要求	ハードウエア DMA 転送要求，およびソフトウエア DMA 転送要求
シングル転送	1 回の転送要求につき 1 回の DMA サイクルを実行します。
シングルステップ転送	1 回のソフトウエア DMA 転送要求につき，転送回数設定レジスタ（DTCn）で設定した回数の転送を行います。転送ごとにバスを開放しますので，CPU が割り込むことができます。シングルステップ転送実行中に別の優先順位の高い転送要求が発生した場合は，シングルステップ転送を中断し，優先順位が高い転送要求を実行します。

5.3 概要

DMA（Direct Memory Access）機能とは，CPU を介さずにデータをアクセスする機能です。

この製品の内部システムでは，DMA コントローラとして，DMAC，DTFR の 2 つのユニットで構成されています。

DMAC は，内部システムバスを使用して高速なデータ転送を行うユニットです。

DTFR は割り込み要求のなかから DMA 転送要因を選択する機能を持ちます。

5.3.1 DMAC（DMA Controller）の機能

- 転送情報（転送アドレス，転送サイズなど）を格納するレジスタ，および DMAC を制御するレジスタを内蔵しています。
- DMA 転送要求を受け付けると，内蔵している転送情報に応じた転送要求を DMAT に出力します。
- ハードウエア DMA 転送要求，DMA アクノリッジ，DMA 転送完了割り込みを入出力します。
- ライト・バック情報をレジスタに書き戻します。

5.3.2 DTFR（DMA Trigger Factor Register）の機能

- 割り込み信号のなかから DMA 転送要因を選択（ m（108）チャネルの割り込み信号から 8 チャネルを選択）します。

表 5-3 DMA 転送対象空間

転送元＼転送先	周辺 I/O（PBUS）	内蔵 RAM	内蔵コード・フラッシュ	内蔵データ・フラッシュ
周辺 I/O（PBUS）	OK	OK	NG	NG
内蔵 RAM	OK	OK	NG	NG
内蔵コード・フラッシュ	OK	OK	NG	NG
内蔵データ・フラッシュ	OK	OK	NG	NG

注意 転送対象アドレスは*図 5-2「DMA から見たメモリ・マップ」*を参照してください。

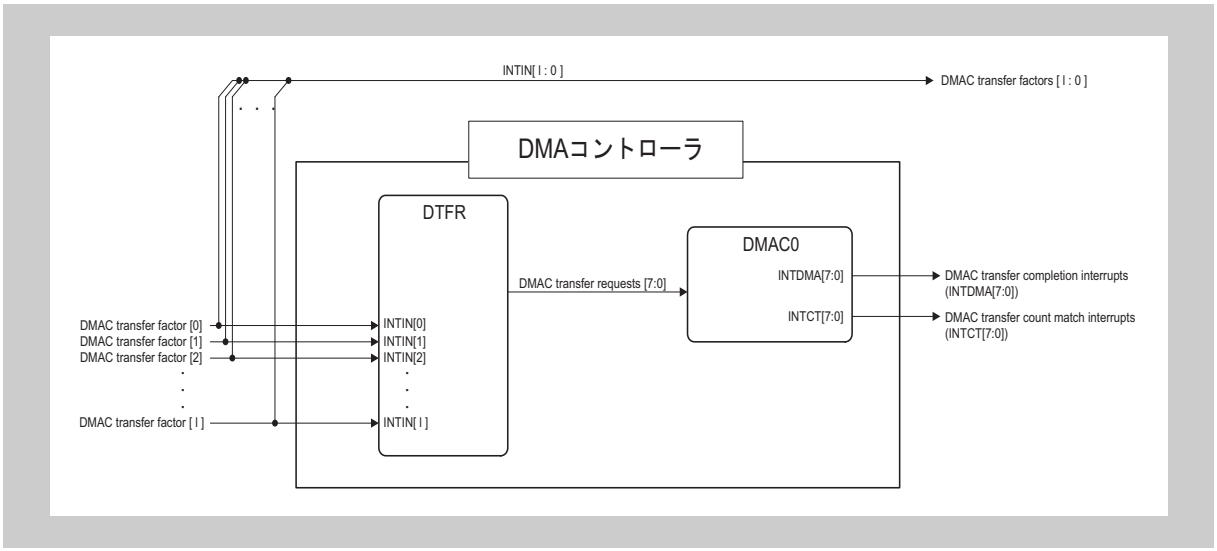


図 5-1 割り込み信号の接続

5.3.3 DMA アクセス・メモリ・マップ

DMA でアクセス可能なメモリ・マップを以下に示します。

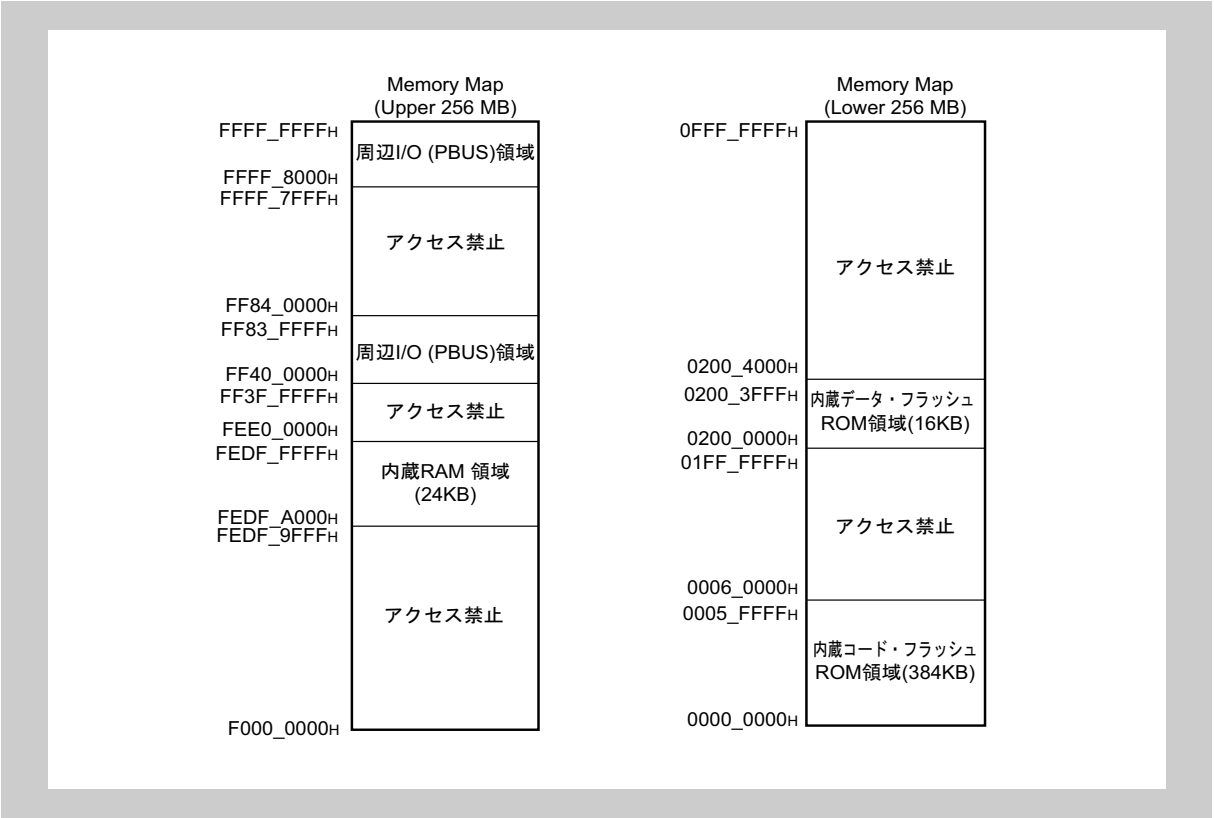


図 5-2 DMA から見たメモリ・マップ

5.3.4 チャネルの優先順位

DMA コントローラの各転送チャネルの優先順位は，
「CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7」で判定し，CH0 の優先順位が最高です。

5.4 DMAC 機能

5.4.1 特徴

チャネル数 8 チャネル（$0C_H$-$7C_H$）

転送データ・サイズ
8 ビット
16 ビット
32 ビット
128 ビット

注意 転送元をデータ・フラッシュにする場合は，転送データ・サイズを 32/128 ビットに指定してください。

転送データ
リトル・エンディアン固定
ミスアライン・データ非対応

最大転送回数 32768（2^{15}）回（16 ビット・レジスタの最上位ビットはネクスト・アドレス機能に使用）

チャネル優先順位制御 固定優先順位（高優先順位（CH0）→ 低優先順位（CH7））

転送対象
コード・フラッシュ
内蔵 RAM
データ・フラッシュ
周辺 I/O 領域

転送タイプ 2 サイクル転送（デュアル・アドレス転送）

転送元，転送先ともにアドレス・アクセスします。1 回の転送に 2 バス・サイクル（リード・サイクル＋ライト・サイクル）を必要とします。リード・サイクルとライト・サイクルの間でバスのロックは行わないため，CPU サイクルが割り込むことがあります。また，128 ビット・アクセス時には，リード・サイクル 4 回のあと，ライト・サイクルを 4 回行いますが，リード・サイクル間やライト・サイクル間でバスのロックは行わないため，CPU サイクルが割り込むことがあります。

転送モード

- シングル転送モード（ハードウエア要求時）

  ハードウエア DMA 転送要求が発生するとバス使用権を獲得し，1 回の転送を行ったあと必ずバスを解放します。その後，ハードウエア DMA 転送要求があると，再度 1 回の転送を行います。この動作を，転送回数レジスタ（DTCn）で指定した回数分の転送が終了するまで繰り返します。

- シングルステップ転送モード（ソフトウエア DMA 転送要求時）

  ソフトウエア DMA 転送要求が発生するとバス使用権を獲得し，1 回の転送ごとにバスを解放します。一度ソフトウエア DMA 転送要求を受け付けると，転送回数レジスタ（DTCn）で指定した回数分の転送が終了するまで，この動作を繰り返します。

転送アドレス制御

インクリメンタル

デクリメンタル

固定

転送エラー対応

転送元からのデータがエラーであった場合，転送先にてエラーが発生した場合，DMA 転送を中断し，CPU に対し SysError 例外を通知します。

DMA 転送要求

チャネルごとに，ハードウエア DMA 転送要求，およびソフトウエア DMA 転送要求から任意の DMA 転送要求を選択可能です（DTRSn レジスタ設定）。ソフトウエア DMA 転送要求は，ソフトウエアにより設定可能です（DTS レジスタ設定）。また，ハードウエア DMA 転送要求があることを示すステータス・ビット（DTS レジスタ）を持ちます。

転送回数一致割り込み出力機能

チャネルごとに，転送回数コンペア用レジスタ（DTCCn）を持ち，当該チャネルの転送回数レジスタ（DTCn）と一致すると割り込み信号（INTDMACT7-INTDMACT0）を出力します。

転送完了割り込み出力機能

チャネルごとに，転送回数レジスタ（DTCn）で指定した回数分の DMA 転送を終了すると，転送完了割り込み信号（INTDMA7-INTDMA0）を出力します。

ネクスト・アドレス設定機能

チャネルごとに，現在実行中の DMA 転送の転送アドレスおよび転送回数（Current）を設定しているレジスタと，実行中の DMA 転送完了後，次に DMA 転送したい転送アドレスおよび転送回数（Next）を設定するレジスタを持ちます。レジスタごとに，DMA 転送完了後，Next を Current にコピーするかどうかを決めるビットを持ちます。

DMA 転送中断機能

ソフトウエアによる中断に対応します。

5.4.2 設定レジスタ

表 5-4 DMAC 設定レジスター覧 (1/7)

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF7300$_H$	DTRC0	DMA 転送要求コントロール・レジスタ 0	R/W	○	○			00$_H$
FFFF7310$_H$	DTRS0	DMA 転送要求選択レジスタ CH0				○		0000$_H$
FFFF7314$_H$	DSA0	DMA ソース・アドレス・レジスタ CH0					○	00000000$_H$
FFFF7314$_H$	DSA0L	DMA ソース・アドレス・レジスタ LCH0				○		0000$_H$
FFFF7316$_H$	DSA0H	DMA ソース・アドレス・レジスタ HCH0				○		0000$_H$
FFFF7318$_H$	DSC0	DMA ソース・チップ・セレクト・レジスタ CH0				○		0001$_H$
FFFF731C$_H$	DNSA0	DMA ネクスト・ソース・アドレス・レジスタ CH0					○	00000000$_H$
FFFF731C$_H$	DNSA0L	DMA ネクスト・ソース・アドレス・レジスタ LCH0				○		0000$_H$
FFFF731E$_H$	DNSA0H	DMA ネクスト・ソース・アドレス・レジスタ HCH0				○		0000$_H$
FFFF7320$_H$	DNSC0	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH0				○		0001$_H$
FFFF7324$_H$	DDA0	DMA デスティネーション・アドレス・レジスタ CH0					○	00000000$_H$
FFFF7324$_H$	DDA0L	DMA デスティネーション・アドレス・レジスタ LCH0				○		0000$_H$
FFFF7326$_H$	DDA0H	DMA デスティネーション・アドレス・レジスタ HCH0				○		0000$_H$
FFFF7328$_H$	DDC0	DMA デスティネーション・チップ・セレクト・レジスタ CH0				○		0001$_H$
FFFF732C$_H$	DNDA0	DMA ネクスト・デスティネーション・アドレス・レジスタ CH0					○	00000000$_H$
FFFF732C$_H$	DNDA0L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH0				○		0000$_H$
FFFF732E$_H$	DNDA0H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH0				○		0000$_H$
FFFF7330$_H$	DNDC0	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH0				○		0001$_H$
FFFF7332$_H$	DTC0	DMA 転送カウント・レジスタ CH0				○		0000$_H$
FFFF7334$_H$	DNTC0	DMA ネクスト転送カウント・レジスタ CH0				○		0000$_H$
FFFF7336$_H$	DTCC0	DMA 転送カウント・コンペア・レジスタ CH0				○		0000$_H$
FFFF7338$_H$	DTCT0	DMA 転送制御レジスタ CH0				○		0000$_H$
FFFF733A$_H$	DTS0	DMA 転送ステータス・レジスタ CH0		○	○			00$_H$
FFFF7340$_H$	DTRS1	DMA 転送要求選択レジスタ CH1				○		0000$_H$
FFFF7344$_H$	DSA1	DMA ソース・アドレス・レジスタ CH1					○	00000000$_H$
FFFF7344$_H$	DSA1L	DMA ソース・アドレス・レジスタ LCH1				○		0000$_H$
FFFF7346$_H$	DSA1H	DMA ソース・アドレス・レジスタ HCH1				○		0000$_H$

表 5-4 DMAC 設定レジスター一覧 (2/7)

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF7348$_H$	DSC1	DMA ソース・チップ・セレクト・レジスタ CH1	R/W			○		0001$_H$
FFFF734C$_H$	DNSA1	DMA ネクスト・ソース・アドレス・レジスタ CH1					○	00000000$_H$
FFFF734C$_H$	DNSA1L	DMA ネクスト・ソース・アドレス・レジスタ LCH1				○		0000$_H$
FFFF734E$_H$	DNSA1H	DMA ネクスト・ソース・アドレス・レジスタ HCH1				○		0000$_H$
FFFF7350$_H$	DNSC1	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH1				○		0001$_H$
FFFF7354$_H$	DDA1	DMA デスティネーション・アドレス・レジスタ CH1					○	00000000$_H$
FFFF7354$_H$	DDA1L	DMA デスティネーション・アドレス・レジスタ LCH1				○		0000$_H$
FFFF7356v	DDA1H	DMA デスティネーション・アドレス・レジスタ HCH1				○		0000$_H$
FFFF7358$_H$	DDC1	DMA デスティネーション・チップ・セレクト・レジスタ CH1				○		0001$_H$
FFFF735C$_H$	DNDA1	DMA ネクスト・デスティネーション・アドレス・レジスタ CH1					○	00000000$_H$
FFFF735C$_H$	DNDA1L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH1				○		0000$_H$
FFFF735E$_H$	DNDA1H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH1				○		0000$_H$
FFFF7360$_H$	DNDC1	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH1				○		0001$_H$
FFFF7362$_H$	DTC1	DMA 転送カウント・レジスタ CH1				○		0000$_H$
FFFF7364$_H$	DNTC1	DMA ネクスト転送カウント・レジスタ CH1				○		0000$_H$
FFFF7366$_H$	DTCC1	DMA 転送カウント・コンペア・レジスタ CH1				○		0000$_H$
FFFF7368$_H$	DTCT1	DMA 転送制御レジスタ CH1				○		0000$_H$
FFFF736A$_H$	DTS1	DMA 転送ステータス・レジスタ CH1		○	○			00$_H$
FFFF7370$_H$	DTRS2	DMA 転送要求選択レジスタ CH2				○		0000$_H$
FFFF7374$_H$	DSA2	DMA ソース・アドレス・レジスタ CH2					○	00000000$_H$
FFFF7374$_H$	DSA2L	DMA ソース・アドレス・レジスタ LCH2				○		0000$_H$
FFFF7376$_H$	DSA2H	DMA ソース・アドレス・レジスタ HCH2				○		0000$_H$
FFFF7378$_H$	DSC2	DMA ソース・チップ・セレクト・レジスタ CH2				○		0001$_H$
FFFF737C$_H$	DNSA2	DMA ネクスト・ソース・アドレス・レジスタ CH2					○	00000000$_H$
FFFF737C$_H$	DNSA2L	DMA ネクスト・ソース・アドレス・レジスタ LCH2				○		0000$_H$
FFFF737E$_H$	DNSA2H	DMA ネクスト・ソース・アドレス・レジスタ HCH2				○		0000$_H$
FFFF7380$_H$	DNSC2	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH2				○		0001$_H$

表 5-4 DMAC 設定レジスター覧 (3/7)

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF7384$_H$	DDA2	DMA デスティネーション・アドレス・レジスタ CH2	R/W				○	00000000$_H$
FFFF7384$_H$	DDA2L	DMA デスティネーション・アドレス・レジスタ LCH2				○		0000$_H$
FFFF7386$_H$	DDA2H	DMA デスティネーション・アドレス・レジスタ HCH2				○		0000$_H$
FFFF7388$_H$	DDC2	DMA デスティネーション・チップ・セレクト・レジスタ CH2				○		0001$_H$
FFFF738C$_H$	DNDA2	DMA ネクスト・デスティネーション・アドレス・レジスタ CH2					○	00000000$_H$
FFFF738C$_H$	DNDA2L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH2				○		0000$_H$
FFFF738E$_H$	DNDA2H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH2				○		0000$_H$
FFFF7390$_H$	DNDC2	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH2				○		0001$_H$
FFFF7392$_H$	DTC2	DMA 転送カウント・レジスタ CH2				○		0000$_H$
FFFF7394$_H$	DNTC2	DMA ネクスト転送カウント・レジスタ CH2				○		0000$_H$
FFFF7396$_H$	DTCC2	DMA 転送カウント・コンペア・レジスタ CH2				○		0000$_H$
FFFF7398$_H$	DTCT2	DMA 転送制御レジスタ CH2				○		0000$_H$
FFFF739A$_H$	DTS2	DMA 転送ステータス・レジスタ CH2		○	○			00$_H$
FFFF73A0$_H$	DTRS3	DMA 転送要求選択レジスタ CH3				○		0000$_H$
FFFF73A4$_H$	DSA3	DMA ソース・アドレス・レジスタ CH3					○	00000000$_H$
FFFF73A4$_H$	DSA3L	DMA ソース・アドレス・レジスタ LCH3				○		0000$_H$
FFFF73A6$_H$	DSA3H	DMA ソース・アドレス・レジスタ HCH3				○		0000$_H$
FFFF73A8$_H$	DSC3	DMA ソース・チップ・セレクト・レジスタ CH3				○		0001$_H$
FFFF73AC$_H$	DNSA3	DMA ネクスト・ソース・アドレス・レジスタ CH3					○	00000000$_H$
FFFF73AC$_H$	DNSA3L	DMA ネクスト・ソース・アドレス・レジスタ LCH3				○		0000$_H$
FFFF73AE$_H$	DNSA3H	DMA ネクスト・ソース・アドレス・レジスタ HCH3				○		0000$_H$
FFFF73B0$_H$	DNSC3	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH3				○		0001$_H$
FFFF73B4$_H$	DDA3	DMA デスティネーション・アドレス・レジスタ CH3					○	00000000$_H$
FFFF73B4$_H$	DDA3L	DMA デスティネーション・アドレス・レジスタ LCH3				○		0000$_H$
FFFF73B6$_H$	DDA3H	DMA デスティネーション・アドレス・レジスタ HCH3				○		0000$_H$
FFFF73B8$_H$	DDC3	DMA デスティネーション・チップ・セレクト・レジスタ CH3				○		0001$_H$

表 5-4 DMAC 設定レジスター覧 (4/7)

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF73BC$_H$	DNDA3	DMA ネクスト・デスティネーション・アドレス・レジスタ CH3	R/W				○	00000000$_H$
FFFF73BC$_H$	DNDA3L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH3				○		0000$_H$
FFFF73BE$_H$	DNDA3H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH3				○		0000$_H$
FFFF73C0$_H$	DNDC3	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH3				○		0001$_H$
FFFF73C2$_H$	DTC3	DMA 転送カウント・レジスタ CH3				○		0000$_H$
FFFF73C4$_H$	DNTC3	DMA ネクスト転送カウント・レジスタ CH3				○		0000$_H$
FFFF73C6$_H$	DTCC3	DMA 転送カウント・コンペア・レジスタ CH3				○		0000$_H$
FFFF73C8$_H$	DTCT3	DMA 転送制御レジスタ CH3				○		0000$_H$
FFFF73CA$_H$	DTS3	DMA 転送ステータス・レジスタ CH3		○	○			00$_H$
FFFF73D0$_H$	DTRS4	DMA 転送要求選択レジスタ CH4				○		0000$_H$
FFFF73D4$_H$	DSA4	DMA ソース・アドレス・レジスタ CH4					○	00000000$_H$
FFFF73D4$_H$	DSA4L	DMA ソース・アドレス・レジスタ LCH4				○		0000$_H$
FFFF73D6$_H$	DSA4H	DMA ソース・アドレス・レジスタ HCH4				○		0000$_H$
FFFF73D8$_H$	DSC4	DMA ソース・チップ・セレクト・レジスタ CH4				○		0001$_H$
FFFF73DC$_H$	DNSA4	DMA ネクスト・ソース・アドレス・レジスタ CH4					○	00000000$_H$
FFFF73DC$_H$	DNSA4L	DMA ネクスト・ソース・アドレス・レジスタ LCH4				○		0000$_H$
FFFF73DE$_H$	DNSA4H	DMA ネクスト・ソース・アドレス・レジスタ HCH4				○		0000$_H$
FFFF73E0$_H$	DNSC4	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH4				○		0001$_H$
FFFF73E4$_H$	DDA4	DMA デスティネーション・アドレス・レジスタ CH4					○	00000000$_H$
FFFF73E4$_H$	DDA4L	DMA デスティネーション・アドレス・レジスタ LCH4				○		0000$_H$
FFFF73E6$_H$	DDA4H	DMA デスティネーション・アドレス・レジスタ HCH4				○		0000$_H$
FFFF73E8$_H$	DDC4	DMA デスティネーション・チップ・セレクト・レジスタ CH4				○		0001$_H$
FFFF73EC$_H$	DNDA4	DMA ネクスト・デスティネーション・アドレス・レジスタ CH4					○	00000000$_H$
FFFF73EC$_H$	DNDA4L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH4				○		0000$_H$
FFFF73EE$_H$	DNDA4H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH4				○		0000$_H$
FFFF73F0$_H$	DNDC4	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH4				○		0001$_H$
FFFF73F2$_H$	DTC4	DMA 転送カウント・レジスタ CH4				○		0000$_H$

表 5-4 DMAC 設定レジスター覧 (5/7)

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF73F4$_H$	DNTC4	DMA ネクスト転送カウント・レジスタ CH4	R/W			○		0000$_H$
FFFF73F6$_H$	DTCC4	DMA 転送カウント・コンペア・レジスタ CH4				○		0000$_H$
FFFF73F8$_H$	DTCT4	DMA 転送制御レジスタ CH4				○		0000$_H$
FFFF73FA$_H$	DTS4	DMA 転送ステータス・レジスタ CH4		○	○			00$_H$
FFFF7400$_H$	DTRS5	DMA 転送要求選択レジスタ CH5				○		0000$_H$
FFFF7404$_H$	DSA5	DMA ソース・アドレス・レジスタ CH5					○	00000000$_H$
FFFF7404$_H$	DSA5L	DMA ソース・アドレス・レジスタ LCH5				○		0000$_H$
FFFF7406$_H$	DSA5H	DMA ソース・アドレス・レジスタ HCH5				○		0000$_H$
FFFF7408$_H$	DSC5	DMA ソース・チップ・セレクト・レジスタ CH5				○		0001$_H$
FFFF740C$_H$	DNSA5	DMA ネクスト・ソース・アドレス・レジスタ CH5					○	00000000$_H$
FFFF740C$_H$	DNSA5L	DMA ネクスト・ソース・アドレス・レジスタ LCH5				○		0000$_H$
FFFF740E$_H$	DNSA5H	DMA ネクスト・ソース・アドレス・レジスタ HCH5				○		0000$_H$
FFFF7410$_H$	DNSC5	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH5				○		0001$_H$
FFFF7414$_H$	DDA5	DMA デスティネーション・アドレス・レジスタ CH5					○	00000000$_H$
FFFF7414$_H$	DDA5L	DMA デスティネーション・アドレス・レジスタ LCH5				○		0000$_H$
FFFF7416$_H$	DDA5H	DMA デスティネーション・アドレス・レジスタ HCH5				○		0000$_H$
FFFF7418$_H$	DDC5	DMA デスティネーション・チップ・セレクト・レジスタ CH5				○		0001$_H$
FFFF741C$_H$	DNDA5	DMA ネクスト・デスティネーション・アドレス・レジスタ CH5					○	00000000$_H$
FFFF741C$_H$	DNDA5L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH5				○		0000$_H$
FFFF741E$_H$	DNDA5H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH5				○		0000$_H$
FFFF7420$_H$	DNDC5	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH5				○		0001$_H$
FFFF7422$_H$	DTC5	DMA 転送カウント・レジスタ CH5				○		0000$_H$
FFFF7424$_H$	DNTC5	DMA ネクスト転送カウント・レジスタ CH5				○		0000$_H$
FFFF7426$_H$	DTCC5	DMA 転送カウント・コンペア・レジスタ CH5				○		0000$_H$
FFFF7428$_H$	DTCT5	DMA 転送制御レジスタ CH5				○		0000$_H$
FFFF742A$_H$	DTS5	DMA 転送ステータス・レジスタ CH5		○	○			00$_H$
FFFF7430$_H$	DTRS6	DMA 転送要求選択レジスタ CH6				○		0000$_H$

表 5-4 DMAC 設定レジスター覧 (6/7)

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF7434$_H$	DSA6	DMA ソース・アドレス・レジスタ CH6	R/W				○	00000000$_H$
FFFF7434$_H$	DSA6L	DMA ソース・アドレス・レジスタ LCH6				○		0000$_H$
FFFF7436$_H$	DSA6H	DMA ソース・アドレス・レジスタ HCH6				○		0000$_H$
FFFF7438$_H$	DSC6	DMA ソース・チップ・セレクト・レジスタ CH6				○		0001$_H$
FFFF743C$_H$	DNSA6	DMA ネクスト・ソース・アドレス・レジスタ CH6					○	00000000v
FFFF743C$_H$	DNSA6L	DMA ネクスト・ソース・アドレス・レジスタ LCH6				○		0000v
FFFF743E$_H$	DNSA6H	DMA ネクスト・ソース・アドレス・レジスタ HCH6				○		0000$_H$
FFFF7440$_H$	DNSC6	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH6				○		0001$_H$
FFFF7444$_H$	DDA6	DMA デスティネーション・アドレス・レジスタ CH6					○	00000000$_H$
FFFF7444$_H$	DDA6L	DMA デスティネーション・アドレス・レジスタ LCH6				○		0000$_H$
FFFF7446$_H$	DDA6H	DMA デスティネーション・アドレス・レジスタ HCH6				○		0000$_H$
FFFF7448$_H$	DDC6	DMA デスティネーション・チップ・セレクト・レジスタ CH6				○		0001$_H$
FFFF744C$_H$	DNDA6	DMA ネクスト・デスティネーション・アドレス・レジスタ CH6					○	00000000$_H$
FFFF744C$_H$	DNDA6L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH6				○		0000$_H$
FFFF744E$_H$	DNDA6H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH6				○		0000$_H$
FFFF7450$_H$	DNDC6	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH6				○		0001$_H$
FFFF7452$_H$	DTC6	DMA 転送カウント・レジスタ CH6				○		0000$_H$
FFFF7454$_H$	DNTC6	DMA ネクスト転送カウント・レジスタ CH6				○		0000$_H$
FFFF7456$_H$	DTCC6	DMA 転送カウント・コンペア・レジスタ CH6				○		0000$_H$
FFFF7458$_H$	DTCT6	DMA 転送制御レジスタ CH6				○		0000$_H$
FFFF745A$_H$	DTS6	DMA 転送ステータス・レジスタ CH6		○	○			00$_H$
FFFF7460$_H$	DTRS7	DMA 転送要求選択レジスタ CH7				○		0000$_H$
FFFF7464$_H$	DSA7	DMA ソース・アドレス・レジスタ CH7					○	00000000$_H$
FFFF7464$_H$	DSA7L	DMA ソース・アドレス・レジスタ LCH7				○		0000$_H$
FFFF7466$_H$	DSA7H	DMA ソース・アドレス・レジスタ HCH7				○		0000$_H$
FFFF7468$_H$	DSC7	DMA ソース・チップ・セレクト・レジスタ CH7				○		0001$_H$

表 5-4 DMAC 設定レジスター覧 (7/7)

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF746C$_H$	DNSA7	DMA ネクスト・ソース・アドレス・レジスタ CH7	R/W				○	00000000$_H$
FFFF746C$_H$	DNSA7L	DMA ネクスト・ソース・アドレス・レジスタ LCH7				○		0000$_H$
FFFF746E$_H$	DNSA7H	DMA ネクスト・ソース・アドレス・レジスタ HCH7				○		0000$_H$
FFFF7470$_H$	DNSC7	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH7				○		0001$_H$
FFFF7474$_H$	DDA7	DMA デスティネーション・アドレス・レジスタ CH7					○	00000000$_H$
FFFF7474$_H$	DDA7L	DMA デスティネーション・アドレス・レジスタ LCH7				○		0000$_H$
FFFF7476$_H$	DDA7H	DMA デスティネーション・アドレス・レジスタ HCH7				○		0000$_H$
FFFF7478$_H$	DDC7	DMA デスティネーション・チップ・セレクト・レジスタ CH7				○		0001$_H$
FFFF747C$_H$	DNDA7	DMA ネクスト・デスティネーション・アドレス・レジスタ CH7					○	00000000$_H$
FFFF747C$_H$	DNDA7L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH7				○		0000$_H$
FFFF747E$_H$	DNDA7H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH7				○		0000$_H$
FFFF7480$_H$	DNDC7	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH7				○		0001$_H$
FFFF7482$_H$	DTC7	DMA 転送カウント・レジスタ CH7				○		0000$_H$
FFFF7484$_H$	DNTC7	DMA ネクスト転送カウント・レジスタ CH7				○		0000$_H$
FFFF7486$_H$	DTCC7	DMA 転送カウント・コンペア・レジスタ CH7				○		0000$_H$
FFFF7488$_H$	DTCT7	DMA 転送制御レジスタ CH7				○		0000$_H$
FFFF748A$_H$	DTS7	DMA 転送ステータス・レジスタ CH7		○	○			00$_H$

注意 マッピングされていないアドレスにアクセスした場合，ライトは無視し，リードは 0 を返します。

5.4.3 制御レジスタへの書き込み可否

以下の表に示す通り，常に書き込みが可能な制御レジスタと，DMA 転送許可中に書き込みを禁止している制御レジスタに分かれます。読み出しは全レジスタにおいて常に可能です。

表 5-5 制御レジスタへの書き込み可否

書き込み可否	レジスタ名
常に書き込み可能	DTRC0, DNSAnL, DNSAnH, DNSCn, DNDAnL, DNDAnH, DNDCn, DNTCn, DTSn
DMA 転送許可中（DTSnDTE = 1）は書き込み禁止 （書き込んだときの動作は保証しません）	DTRSn, DSAnL, DSAnH, DSCn, DDAnL, DDAnH, DDCn, DTCn, DTCCn, DTCTn

備考 n = 0-7

5.5 DMAC 制御レジスタ

5.5.1 DTRC 0：DMA 転送要求制御レジスタ 0

このレジスタは，DMA 転送要求時にエラーステータス，転送中断を制御する 8 ビットのレジスタです。

アクセス 8/1 ビット単位でリード／ライト可能です。

アドレス $FFFF7300_H$

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
DTRC0 ERR	0	0	0	0	0	0	DTRC0 ADS
R/W	R	R	R	R	R	R	R/W

ビット位置	ビット名	意　味
7	DTRC0ERR	DMA 転送エラー・ステータス DMA 転送において転送対象よりエラー・レスポンスを受信したことを示します。クリアする場合は，“0” を書き込んでください。 0: DMA 転送エラーなし 1: DMA 転送エラーあり 備考　エラー・レスポンスを受信すると，DTRC0ERR ビットと DTRC0ADS ビットをセットし，CPU で SysError 例外を発生させます。
0	DTRC0ADS	DMA 転送中断 DMA 転送が転送停止要求により中断していることを示します。また，このビットに “1” を書き込むことで，現在転送している DMA 転送を中断することができます。 0: DMA 転送中断なし 1: DMA 転送中断中／ DMA 転送中断要求

5.5.2 DTRSn（n = 0-7）：DMA 転送要求選択レジスタ

このレジスタは，DMA 転送のソフトウエア・ハードウエア要求を選択する16 ビットのレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス DTRS7: $FFFF7460_H$, DTRS6: $FFFF7430_H$, DTRS5: $FFFF7400_H$, DTRS4: $FFFF73D0_H$, DTRS3: $FFFF73A0_H$, DTRS2: $FFFF7370_H$, DTRS1: $FFFF7340_H$, DTRS0: $FFFF7310_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	0	0	0	DTRSn DTR3	DTRSn DTR2	DTRSn DTR1	DTRSn DTR0
R	R	R	R	R/W	R/W	R/W	R/W

ビット位置	ビット名	意　味
3-0	DTRSnDTR3-DTRSnDTR0	DMA 転送要求割り付け チャネル n の DMA 転送要求の割り付けを設定します。

DTRSn DTR3	DTRSn DTR2	DTRSn DTR1	DTRSn DTR0	DMA 転送要求
0	0	0	0	ソフトウエア DMA 転送要求
0	0	0	1	ハードウエア DMA 転送要求
上記以外				設定禁止

注意
1. DMA 転送許可状態（DTSnDTE ビット = 1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. DTRSnDTR[3:0] を設定禁止の状態に設定した場合の動作は保証しません。

5.5.3 DSAnL（n = 0-7）：DMA ソース・アドレス・レジスタ L

このレジスタは，DMA チャネルの転送元を設定する 16 ビット（下位）のレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス DSA7L: $FFFF7464_H$, DSA6L: $FFFF7434_H$, DSA5L: $FFFF7404_H$,
DSA4L: $FFFF73D4_H$, DSA3L: $FFFF73A4_H$, DSA2L: $FFFF7374_H$,
DSA1L: $FFFF7344_H$, DSA0L: $FFFF7314_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
DSAn SA15	DSAn SA14	DSAn SA13	DSAn SA12	DSAn SA11	DSAn SA10	DSAn SA9	DSAn SA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
DSAn SA7	DSAn SA6	DSAn SA5	DSAn SA4	DSAn SA3	DSAn SA2	DSAn SA1	DSAn SA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意　味
15-0	DSAnSA15-DSAnSA0	DMA ソース・アドレス チャネル n の転送元アドレスの下位 16 ビットを設定します。DMA 転送中に参照すると，次に DMA 転送するアドレスが読み出せます。参照する場合，DSAnL, DSAnH を 32 ビットでアクセスすることを推奨します。DNSAnH レジスタの DNSAnNSAV ビットをセットしていない場合，DMA 転送が完了すると，DMA 転送開始時の設定値に戻ります。

注意

1. DMA 転送許可状態（DTSnDTE ビット = 1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. アドレスは，設定途中のアドレスで転送しないために，DTSnDTE ビットが “0” の状態で 32 ビット・アクセスにより設定してください。
3. ミスアライン・データの DMA 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 4 ビットは次のとおりです（x は任意の 1 ビットを表します）。

   下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	DSAnSA3	DSAnSA2	DSAnSA1	DSAnSA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
128 ビット	0	0	0	0

5.5.4 DSAnH（n = 0-7）：DMA ソース・アドレス・レジスタ H

このレジスタは，DMA チャネルの転送元を設定する 16 ビット（上位）のレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス DSA7H: $FFFF7466_H$, DSA6H: $FFFF7436_H$, DSA5H: $FFFF7406_H$,
DSA4H: $FFFF73D6_H$, DSA3H: $FFFF73A6_H$, DSA2H: $FFFF7376_H$,
DSA1H: $FFFF7346_H$, DSA0H: $FFFF7316_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	0	0	DSAn SA28	DSAn SA27	DSAn SA26	DSAn SA25	DSAn SA24
R	R	R	R/W	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
DSAn SA23	DSAn SA22	DSAn SA21	DSAn SA20	DSAn SA19	DSAn SA18	DSAn SA17	DSAn SA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意　味
12-0	DSAnSA28-DSAnSA16	DMA ソース・アドレス チャネル n の転送元アドレスの上位 13 ビットを設定します。DMA 転送中に参照すると，次に DMA 転送するアドレスが読み出せます。参照する場合，DSAnL, DSAnH を 32 ビットでアクセスすることを推奨します。DNSAnH レジスタの DNSAnNSAV ビットをセットしていない場合，DMA 転送が完了すると，DMA 転送開始時の設定値に戻ります。

注意
1. DMA 転送許可状態（DTSnDTE ビット = 1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. アドレスは，設定途中のアドレスで転送しないために，DTSnDTE ビットが “0” の状態で 32 ビット・アクセスにより設定してください。

5.5.5 DSCn（n = 0-7）：DMA ソース・チップ・セレクト・レジスタ

このレジスタは，転送元の転送対象を選択する 16 ビットのレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス DSC7: $FFFF7468_H$, DSC6: $FFFF7438_H$, DSC5: $FFFF7408_H$,
DSC4: $FFFF73D8_H$, DSC3: $FFFF73A8_H$, DSC2: $FFFF7378_H$,
DSC1: $FFFF7348_H$, DSC0: $FFFF7318_H$

初期値 0001_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	0	0	0	0	DSCn SCS1	DSCn SCS0	DSCn SCSE
R	R	R	R	R	R/W	R/W	R/W

ビット位置	ビット名	意　味
2 1 0	DSCnSCS1 DSCnSCS0 DSCnSCSE	DMA ソース・チップ・セレクト チャネル n の転送元として選択する領域を設定します。

DSCn SCS1	DSCn SCS0	DSCn SCSE	選択領域
0	0	1	Data-Flash，周辺 I/O 領域
0	1	0	Code-Flash, 内蔵 RAM
上記以外			設定禁止

注意
1. DMA 転送許可状態（DTSnDTE ビット = 1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. DSCnSCS0, DSCnSCSE ビットは，単一ビットが 1 になるように設定してください。複数ビットを 1 に設定した場合の動作は保証しません。
3. DSCnSCS1 ビットは，必ず 0 を設定してください。

5.5.6 DNSAnL（n = 0-7）：DMA ネクスト・ソース・アドレス・レジスタ L

このレジスタは，DMA チャネルの次の転送元を設定する 16 ビット（下位）のレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス DNSA7L: FFFF746C$_H$, DNSA6L: FFFF743C$_H$, DNSA5L: FFFF740C$_H$, DNSA4L: FFFF73DC$_H$, DNSA3L: FFFF73AC$_H$, DNSA2L: FFFF737C$_H$, DNSA1L: FFFF734C$_H$, DNSA0L: FFFF731C$_H$

初期値 0000$_H$ どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
DNSAn NSA15	DNSAn NSA14	DNSAn NSA13	DNSAn NSA12	DNSAn NSA11	DNSAn NSA10	DNSAn NSA9	DNSAn NSA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
DNSAn NSA7	DNSAn NSA6	DNSAn NSA5	DNSAn NSA4	DNSAn NSA3	DNSAn NSA2	DNSAn NSA1	DNSAn NSA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意　味
15-0	DNSAnNSA15-DNSAnNSA0	DMA ネクスト・ソース・アドレス チャネル n の次回転送時の転送元アドレスの下位 16 ビットを設定します。

注意 ミスアライン・データの DMA 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 4 ビットは次のとおりです（x は任意の 1 ビットを表します）。

下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	DNSAnNSA3	DNSAnNSA2	DNSAnNSA1	DNSAnNSA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
128 ビット	0	0	0	0

5.5.7 DNSAnH（n = 0-7）：DMA ネクスト・ソース・アドレス・レジスタ H

このレジスタは，DMA チャネルの次の転送元を設定する 16 ビット（上位）のレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス DNSA7H: $FFFF746E_H$, DNSA6H: $FFFF743E_H$, DNSA5H: $FFFF740E_H$, DNSA4H: $FFFF73DE_H$, DNSA3H: $FFFF73AE_H$, DNSA2H: $FFFF737E_H$, DNSA1H: $FFFF734E_H$, DNSA0H: $FFFF731E_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
DNSAn NSAV	0	0	DNSAn NSA28	DNSAn NSA27	DNSAn NSA26	DNSAn NSA25	DNSAn NSA24
R/W	R	R	R/W	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
DNSAn NSA23	DNSAn NSA22	DNSAn NSA21	DNSAn NSA20	DNSAn NSA19	DNSAn NSA18	DNSAn NSA17	DNSAn NSA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意　味
15	DNSAnNSAV	DMA ネクスト・ソース・アドレス・バリッド DMA 転送完了時に DMA ネクスト・ソース・アドレス・レジスタからアドレスを DMA ソース・アドレス・レジスタにコピーするかどうかを制御します。また，アドレスをコピーするとクリアします。 0: コピーしない／コピー完了 1: コピーする／コピー未了
12-0	DNSAnNSA28-DNSAnNSA16	DMA ネクスト・ソース・アドレス チャネル n の次回転送時の転送元アドレスの上位 13 ビットを設定します。

5.5.8 DNSCn（n = 0-7）：DMA ネクスト・ソース・チップ・セレクト・レジスタ

このレジスタは，転送元の次の転送対象を選択する 16 ビットのレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス DNSC7: FFFF7470$_H$, DNSC6: FFFF7440$_H$, DNSC5: FFFF7410$_H$, DNSC4: FFFF73E0$_H$, DNSC3: FFFF73B0$_H$, DNSC2: FFFF7380$_H$, DNSC1: FFFF7350$_H$, DNSC0: FFFF7320$_H$

初期値 0001$_H$ どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
DNSCn NSCV	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	0	0	0	0	DNSCn NSCS1	DNSCn NSCS0	DNSCn NSCSE
R	R	R	R	R	R/W	R/W	R/W

ビット位置	ビット名	意　味
15	DNSCnNSCV	DMA ネクスト・ソース・アドレス・セレクト・バリッド DMA 転送完了時に DMA ネクスト・ソース・チップ・セレクト・レジスタからチップ・セレクトを DMA ソース・チップ・セレクト・レジスタにコピーするかどうかを制御します。また，チップ・セレクトをコピーするとクリアします。 0: コピーしない／コピー完了 1: コピーする／コピー未了
2 1 0	DNSCnNSCS1 DNSCnNSCS0 DNSCnNSCSE	DMA ネクスト・ソース・チップ・セレクト チャネル n の次回 DMA 転送時の転送元として選択する領域を設定します。

DNSCn NSCS1	DNSCn NSCS0	DNSCn NSCSE	選択領域
0	0	1	Data-Flash，周辺 I/O 領域
0	1	0	Code-Flash, 内蔵 RAM
上記以外			設定禁止

注意
1. DNSCnNSCS0, DNSCnNSCSE ビットは，単一ビットが 1 になるように設定してください。複数ビットを 1 に設定した場合の動作は保証しません。
2. DNSCnNSCS1 ビットは，必ず 0 を設定してください。

5.5.9 DDAnL（n = 0-7）：DMA デスティネーション・アドレス・レジスタ L

このレジスタは，DMA チャネルの転送先を設定する 16 ビット（下位）のレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス DDA7L: $FFFF7474_H$, DDA6L: $FFFF7444_H$, DDA5L: $FFFF7414_H$,
DDA4L: $FFFF73E4_H$, DDA3L: $FFFF73B4_H$, DDA2L: $FFFF7384_H$,
DDA1L: $FFFF7354_H$, DDA0L: $FFFF7324_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
DDAn DA15	DDAn DA14	DDAn DA13	DDAn DA12	DDAn DA11	DDAn DA10	DDAn DA9	DDAn DA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
DDAn DA7	DDAn DA6	DDAn DA5	DDAn DA4	DDAn DA3	DDAn DA2	DDAn DA1	DDAn DA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意　味
15-0	DDAnDA15-DDAnDA0	DMA デスティネーション・アドレス チャネル n の転送先アドレスの下位 16 ビットを設定します。DMA 転送中に参照すると，次に DMA 転送するアドレスが読み出せます。参照する場合，DDAnL, DDAnH を 32 ビットでアクセスすることを推奨します。DNDAnH レジスタの DNDAnNDAV ビットをセットしていない場合，DMA 転送が完了すると，DMA 転送開始時の設定値に戻ります。

注意

1. DMA 転送許可状態（DTSnDTE ビット = 1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. アドレスは，設定途中のアドレスで転送しないために，DTSnDTE ビットが “0” の状態で 32 ビット・アクセスにより設定してください。
3. DMA 転送のリード・サイクルで転送対象にエラーが発生すると，ライト・サイクルは実行しませんが，デスティネーション・アドレスは更新します。
4. ミスアライン・データの DMA 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 4 ビットは次のとおりです（x は任意の 1 ビットを表します）。

   下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	DDAnDA3	DDAnDA2	DDAnDA1	DDAnDA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
128 ビット	0	0	0	0

5.5.10 DDAnH（n = 0-7）：DMA デスティネーション・アドレス・レジスタ H

このレジスタは，DMA チャネルの転送先を設定する 16 ビット（上位）のレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス DDA7H: $FFFF7476_H$, DDA6H: $FFFF7446_H$, DDA5H: $FFFF7416_H$,
DDA4H: $FFFF73E6_H$, DDA3H: $FFFF73B6_H$, DDA2H: $FFFF7386_H$,
DDA1H: $FFFF7356_H$, DDA0H: $FFFF7326_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	0	0	DDAn DA28	DDAn DA27	DDAn DA26	DDAn DA25	DDAn DA24
R	R	R	R/W	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
DDAn DA23	DDAn DA22	DDAn DA21	DDAn DA20	DDAn DA19	DDAn DA18	DDAn DA17	DDAn DA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意　味
12-0	DDAnDA28-DDAnDA16	DMA デスティネーション・アドレス チャネル n の転送先アドレスの上位 13 ビットを設定します。DMA 転送中に参照すると，次に DMA 転送するアドレスが読み出せます。参照する場合，DDAnL, DDAnH を 32 ビットでアクセスすることを推奨します。DNDAnH レジスタの DNDAnNDAV ビットをセットしていない場合，DMA 転送が完了すると，DMA 転送開始時の設定値に戻ります。

注意
1. DMA 転送許可状態（DTSnDTE ビット = 1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. アドレスは，設定途中のアドレスで転送しないために，DTSnDTE ビットが “0” の状態で 32 ビット・アクセスにより設定してください。
3. DMA 転送のリード・サイクルで転送対象にエラーが発生すると，ライト・サイクルは実行しませんが，デスティネーション・アドレスは更新します。

5.5.11 DDCn（n = 0-7）: DMA デスティネーション・チップ・セレクト・レジスタ

このレジスタは，転送先の転送対象を選択する 16 ビットのレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス DDC7: $FFFF7478_H$, DDC6: $FFFF7448_H$, DDC5: $FFFF7418_H$,
$FFFF73E8_H$, DDC4: $FFFF73B8_H$, DDC3: $FFFF7388_H$, DDC2:
$FFFF7358_H$, DDC1: $FFFF7328_H$, DDC0:

初期値 0001_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	0	0	0	0	DDCn DCS1	DDCn DCS0	DDCn DCSE
R	R	R	R	R	R/W	R/W	R/W

ビット位置	ビット名	意　味
2 1 0	DDCnDCS1 DDCnDCS0 DDCnDCSE	DMA デスティネーション・チップ・セレクト チャネル n の転送先として選択する領域を設定します。

DDCn DCS1	DDCn DCS0	DDCn DCSE	選択領域
0	0	1	Data-Flash，周辺 I/O 領域
0	1	0	Code-Flash, 内蔵 RAM
上記以外			設定禁止

注意
1. DMA 転送許可状態（DTSnDTE ビット = 1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. DDCnDCS0, DDCnDCSE ビットは，単一ビットが 1 になるように設定してください。複数ビットを 1 に設定した場合の動作は保証しません。
3. DDCnDCS1 ビットは，必ず 0 を設定してください。

5.5.12 DNDAnL（n = 0-7）：DMA ネクスト・デスティネーション・アドレス・レジスタ L

このレジスタは，DMA チャネルの次の転送先を設定する 16 ビット（下位）のレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス DNDA7L: FFFF747C$_H$, DNDA6L: FFFF744C$_H$, DNDA5L: FFFF741C$_H$, DNDA4L: FFFF73EC$_H$, DNDA3L: FFFF73BC$_H$, DNDA2L: FFFF738C$_H$, DNDA1L: FFFF735C$_H$, DNDA0L: FFFF732C$_H$

初期値 0000$_H$ どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
DNDAn NDA15	DNDAn NDA14	DNDAn NDA13	DNDAn NDA12	DNDAn NDA11	DNDAn NDA10	DNDAn NDA9	DNDAn NDA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
DNDAn NDA7	DNDAn NDA6	DNDAn NDA5	DNDAn NDA4	DNDAn NDA3	DNDAn NDA2	DNDAn NDA1	DNDAn NDA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意　味
15-0	DNDAnNDA15-DNDAnNDA0	DMA ネクスト・デスティネーション・アドレス チャネル n の次回転送時の転送先アドレスの下位 16 ビットを設定します。

注意 ミスアライン・データの DMA 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 4 ビットは次のとおりです（x は任意の 1 ビットを表します）。

下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	DNDAnNDA3	DNDAnNDA2	DNDAnNDA1	DNDAnNDA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
128 ビット	0	0	0	0

5.5.13 DNDAnH（n = 0-7）：DMA ネクスト・デスティネーション・アドレス・レジスタ H

このレジスタは，DMA チャネルの次の転送先を設定する 16 ビット（上位）のレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス DNDA7H: $FFFF747E_H$, DNDA6H: $FFFF744E_H$, DNDA5H: $FFFF741E_H$, DNDA4H: $FFFF73EE_H$, DNDA3H: $FFFF73BE_H$, DNDA2H: $FFFF738E_H$, DNDA1H: $FFFF735E_H$, DNDA0H: $FFFF732E_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
DNDAn NDAV	0	0	DNDAn NDA28	DNDAn NDA27	DNDAn NDA26	DNDAn NDA25	DNDAn NDA24
R/W	R	R	R/W	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
DNDAn NDA23	DNDAn NDA22	DNDAn NDA21	DNDAn NDA20	DNDAn NDA19	DNDAn NDA18	DNDAn NDA17	DNDAn NDA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意　味
15	DNDAnNDAV	DMA ネクスト・デスティネーション・アドレス・バリッド DMA 転送完了時に DMA ネクスト・デスティネーション・アドレス・レジスタからアドレスを DMA デスティネーション・アドレス・レジスタにコピーするかどうかを制御します。また，アドレスをコピーするとクリアします。 0: コピーしない／コピー完了 1: コピーする／コピー未了
12-0	DNDAnNDA28-DNDAnNDA16	DMA ネクスト・デスティネーション・アドレス チャネル n の次回転送時の転送先アドレスの上位 13 ビットを設定します。

5.5.14 DNDCn（n = 0-7）：DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ

このレジスタは，転送先の次の転送対象を選択する 16 ビットのレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス DNDC7: FFFF7480$_H$, DNDC6: FFFF7450$_H$, DNDC5: FFFF7420$_H$,
DNDC4: FFFF73F0$_H$, DNDC3: FFFF73C0$_H$, DNDC2: FFFF7390$_H$,
DNDC1: FFFF7360$_H$, DNDC0: FFFF7330$_H$

初期値 0001$_H$ どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
DNDCn NDCV	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	0	0	0	0	DNDCn NDCS1	DNDCn NDCS0	DNDCn NDCSE
R	R	R	R	R	R/W	R/W	R/W

ビット位置	ビット名	意　味
15	DNDCnNDCV	DMA ネクスト・デスティネーション・チップ・セレクト・バリッド DMA 転送完了時に DMA ネクスト・デスティネーション・チップ・セレクト・レジスタからチップ・セレクトを DMA デスティネーション・チップ・セレクト・レジスタにコピーするかどうかを制御します。また，チップ・セレクトをコピーするとクリアします。 0: コピーしない／コピー完了 1: コピーする／コピー未了
2 1 0	DNDCnNDCS1 DNDCnNDCS0 DNDCnNDCSE	DMA ネクスト・デスティネーション・チップ・セレクト チャネル n の次回転送時の転送先として選択する領域を設定します。

DNDCn NDCS1	DNDCn NDCS0	DNDCn NDCSE	選択領域
0	0	1	Data-Flash，周辺 I/O 領域
0	1	0	Code-Flash, 内蔵 RAM
上記以外			設定禁止

注意
1. DNDCnNDCS0, DNDCnNDCSE ビットは，単一ビットが 1 になるように設定してください。複数ビットを 1 に設定した場合の動作は保証しません。
2. DNDCnNDCS1 ビットは，必ず 0 を設定してください。

5.5.15 DTCn（n = 0-7）：DMA 転送カウント・レジスタ

このレジスタは，DMA チャネルの転送回数を設定する 16 ビットのレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス DTC7: $FFFF7482_H$, DTC6: $FFFF7452_H$, DTC5: $FFFF7422_H$,
DTC4: $FFFF73F2_H$, DTC3: $FFFF73C2_H$, DTC2: $FFFF7392_H$,
DTC1: $FFFF7362_H$, DTC0: $FFFF7332_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	DTCn DTC14	DTCn DTC13	DTCn DTC12	DTCn DTC11	DTCn DTC10	DTCn DTC9	DTCn DTC8
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
DTCn DTC7	DTCn DTC6	DTCn DTC5	DTCn DTC4	DTCn DTC3	DTCn DTC2	DTCn DTC1	DTCn DTC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意　味
14-0	DTCnDTC14-DTCnDTC0	DMA 転送カウント チャネル n の DMA 転送回数を設定します。DMA 転送中に参照すると，残り転送回数が読み出せます。DNTCn レジスタの DNTCnNTCV ビットをセットしていない場合，DMA 転送が完了すると，完了時の値（0000_H）を保持します。 DTCTn.DTCTnMLE ビット = 1 で DMA 転送が完了した場合，次の DMA 転送要求があれば，32768 回転送として転送を開始します。

DTCnDTC[14:0]	動　作
0000_H	32768 回転送，または転送完了
0001_H	1 回転送，または残り転送回数 1 回
:	:
$7FFF_H$	32767 回転送，または残り転送回数 32767 回

注意
1. DMA 転送許可状態（DTSnDTE ビット = 1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. DMA 転送のリード・サイクルで転送対象にエラーが発生すると，ライト・サイクルは実行しませんが，デスティネーション・アドレスは更新します。

5.5.16 DNTCn（n = 0-7）：DMA ネクスト転送カウント・レジスタ

このレジスタは，DMA チャネルの次の転送回数を設定する 16 ビットのレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス DNTC7: $FFFF7484_H$, DNTC6: $FFFF7454_H$, DNTC5: $FFFF7424_H$,
DNTC4: $FFFF73F4_H$, DNTC3: $FFFF73C4_H$, DNTC2: $FFFF7394_H$,
DNTC1: $FFFF7364_H$, DNTC0: $FFFF7334_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
DNTCn NTCV	DNTCn NDTC14	DNTCn NDTC13	DNTCn NDTC12	DNTCn NDTC11	DNTCn NDTC10	DNTCn NDTC9	DNTCn NDTC8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
DNTCn NDTC7	DNTCn NDTC6	DNTCn NDTC5	DNTCn NDTC4	DNTCn NDTC3	DNTCn NDTC2	DNTCn NDTC1	DNTCn NDTC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意　味
15	DNTCnNTCV	DMA ネクスト転送カウント・バリッド DMA 転送完了時に DMA ネクスト転送カウント・レジスタから転送回数を DMA 転送カウント・レジスタにコピーするかどうかを制御します。また，転送回数をコピーするとクリアします。 0: コピーしない／コピー完了 1: コピーする／コピー未了
14-0	DNTCnNDTC14 -DNTCnNDTC0	DMA ネクスト転送カウント チャネル n の次回転送時の DMA 転送回数を設定します。

DNTCnNDTC[14:0]	動　作
0000_H	32768 回転送
0001_H	1 回転送
:	:
$7FFF_H$	32767 回転送

5.5.17 DTCCn（n = 0-7）：DMA 転送カウント・コンペア・レジスタ

このレジスタは，DMA 転送カウント・レジスタとで比較を行い割り込み制御を行う 16 ビットのレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス DTCC7: $FFFF7486_H$, DTCC6: $FFFF7456_H$, DTCC5: $FFFF7426_H$,
DTCC4: $FFFF73F6_H$, DTCC3: $FFFF73C6_H$, DTCC2: $FFFF7396_H$,
DTCC1: $FFFF7366_H$, DTCC0: $FFFF7336_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	DTCCn DTCC14	DTCCn DTCC13	DTCCn DTCC12	DTCCn DTCC11	DTCCn DTCC10	DTCCn DTCC9	DTCCn DTCC8
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
DTCCn DTCC7	DTCCn DTCC6	DTCCn DTCC5	DTCCn DTCC4	DTCCn DTCC3	DTCCn DTCC2	DTCCn DTCC1	DTCCn DTCC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意　味
14-0	DTCCnDTCC14 -DTCCnDTCC0	DMA 転送カウント・コンペア チャネル n の DMA 転送カウント・レジスタとコンペアし，一致すると割り込みを発生させる転送回数を設定します。ネクスト・アドレス設定のトリガとして使用できます。 この DTCCn レジスタの値と一致する回数の DMA 転送が完了すると割り込みを発生させます。

DTCCnDTCC[14:0]	動　作
0000_H	コンペアしない
0001_H	DTC = 0001_H のときに割り込み発生
:	:
$7FFF_H$	DTC = $7FFF_H$ のときに割り込み発生

注意 DMA 転送許可状態（DTSnDTE ビット = 1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。

5.5.18 DTCTn（n = 0-7）：DMA 転送制御レジスタ

このレジスタは，転送データのサイズ，アドレスのカウント方向を設定する16 ビットのレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス DTCT7: $FFFF7488_H$, DTCT6: $FFFF7458_H$, DTCT5: $FFFF7428_H$,
DTCT4: $FFFF73F8_H$, DTCT3: $FFFF73C8_H$, DTCT2: $FFFF7398_H$,
DTCT1: $FFFF7368_H$, DTCT0: $FFFF7338_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	DTCTn DS1	DTCTn DS0	DTCTn MLE	0	0	0	0
R	R/W	R/W	R/W	R	R	R	R

7	6	5	4	3	2	1	0
DTCTn SACM1	DTCTn SACM0	DTCTn DACM1	DTCTn DACM0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>14
13</td><td>DTCTnDS1
DTCTnDS0</td><td>DMA 転送データ・サイズ
チャネル n の DMA 転送データ・サイズを設定します。
<table>
<tr><th>DTCTnDS1</th><th>DTCTnDS0</th><th>転送データ・サイズ</th></tr>
<tr><td>0</td><td>0</td><td>8 ビット</td></tr>
<tr><td>0</td><td>1</td><td>16 ビット</td></tr>
<tr><td>1</td><td>0</td><td>32 ビット</td></tr>
<tr><td>1</td><td>1</td><td>128 ビット</td></tr>
</table></td></tr>
<tr><td>12</td><td>DTCTnMLE</td><td>マルチリンク・イネーブル
DMA 転送完了後，DTSnTC ビットをクリアしなくても次の DMA 転送要求を受け付けるかどうかを設定します。このビットをセットすると，DMA 転送完了時に DTSnDTE ビットをクリアしません。また，DTSnTC ビットをクリアしなくても，DMA 転送要求があれば DMA 転送を行います。
0: DMA 転送完了時に DTSnDTE ビットをクリアします
1: DMA 転送完了時に DTSnDTE ビットをクリアしません</td></tr>
<tr><td>7
6</td><td>DTCTnSACM1
DTCTnSACM0</td><td>DMA 転送元アドレス・カウント方向
チャネル n の転送元アドレスのカウント方向を設定します。
<table>
<tr><th>DTCTnSACM1</th><th>DTCTnSACM0</th><th>カウント方向</th></tr>
<tr><td>0</td><td>0</td><td>インクリメント</td></tr>
<tr><td>0</td><td>1</td><td>デクリメント</td></tr>
<tr><td>1</td><td>0</td><td>固定</td></tr>
<tr><td>1</td><td>1</td><td>設定禁止</td></tr>
</table></td></tr>
</table>

ビット位置	ビット名	意 味
5 4	DTCTnDACM1 DTCTnDACM0	DMA 転送先アドレス・カウント方向 チャネル n の転送先アドレスのカウント方向を設定します。

DTCTnDACM1	DTCTnDACM0	カウント方向
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

注意
1. DMA 転送許可状態（DTSnDTE ビット = 1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. DTCTnSACM[1:0], DTCTnDACM[1:0] ビットを設定禁止の状態に設定した場合の動作は保証しません。
3. DTCTn レジスタのビット 11 およびビット 0 は必ず “0” を設定してください。

5.5.19 DTSn（n = 0-7）：DMA 転送ステータス・レジスタ

このレジスタは，DMA 転送制御におけるステータスを確認できる 8 ビットのレジスタです。

アクセス 8/1 ビット単位でリード／ライト可能です。

アドレス DTS7: FFFF748A$_H$, DTS6: FFFF745A$_H$, DTS5: FFFF742A$_H$,
DTS4: FFFF73FA$_H$, DTS3: FFFF73CA$_H$, DTS2: FFFF739A$_H$,
DTS1: FFFF736A$_H$, DTS0: FFFF733A$_H$

初期値 00$_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
DTSnTC	DTSnDT	0	0	DTSnER	DTSnDR	DTSnSR	DTSnDTE
R/W	R/W	R	R	R	R	R/W	R/W

ビット位置	ビット名	意　味
7	DTSnTC	DMA 転送完了ステータス DMA 転送が完了したことを示します。ユーザによる “1” 読み出し後，“0” 書き込みによりクリアしてください。CLR1 などのビット操作による書き込みを推奨します。 0: DMA 転送未完了 1: DMA 転送完了
6	DTSnDT	DMA 転送ステータス DMA 転送が受け付けられて DMA 転送中であることを示します。DMA 転送要求があるだけではセットしません。DMA 転送完了によりクリアします。また，DTSnDTE ビットが “0” のときは，ユーザによるクリアが可能です（DTSnDTE ビットとの同時書き込みも可能）。 0: DMA 転送要求受け付け 1: DMA 転送中
3	DTSnER	DMA 転送エラー・フラグ チャネル n で DMA 転送エラーが発生したことを示します。DTRC0 レジスタの DTRC0ERR ビットをクリアするとクリアされます。また，DTSnER ビットは Read Only です。 0: DMA 転送エラーなし 1: DMA 転送エラーあり
2	DTSnDR	ハードウエア DMA 転送要求フラグ チャネル n にハードウエア DMA 転送要求があることを示します。ハードウエア DMA 転送要求がインアクティブになるとクリアします。DTSnDTE ビットの状態に関わらず動作します。ソフトウエア DMA 転送要求や，DMA 転送要求選択レジスタでソフトウエア DMA 転送要求を選択している場合のハードウエア DMA 転送要求ではセットしません。また，DTSnDR ビットは Read Only です。 0: ハードウエア DMA 転送要求なし 1: ハードウエア DMA 転送要求あり
1	DTSnSR	ソフトウエア DMA 転送要求 ソフトウエア DMA 転送要求を設定します。DMA 転送要求選択レジスタにおいてソフトウエア DMA 転送要求を選択している場合，DTSnSR ビットと DTSnDTE ビットに “1” を書き込むと DMA 転送を行います。DMA 転送が完了すると自動的にクリアします。また，DTSnSR ビットに “0” を書き込むと DMA 転送を中断します。 0: ソフトウエア DMA 転送要求なし 1: ソフトウエア DMA 転送要求あり

ビット位置	ビット名	意 味
0	DTSnDTE	DMA 転送許可 DMA 転送許可を設定します。DTSnDTE ビットに “1” を書き込み，DMA 転送要求があった場合に DMA 転送を行います。DMA 転送完了時に DTCTnMLE ビットが “0” の場合，自動的にクリアします。また，DMA 転送中に DTSnDTE ビットに “0” を書き込むと，DMA 転送を中断します。 0: DMA 転送禁止 1: DMA 転送許可

5.6 DMAC 機能詳細

5.6.1 DMAC 転送の設定フロー

DMAC 転送の設定フローを示します。

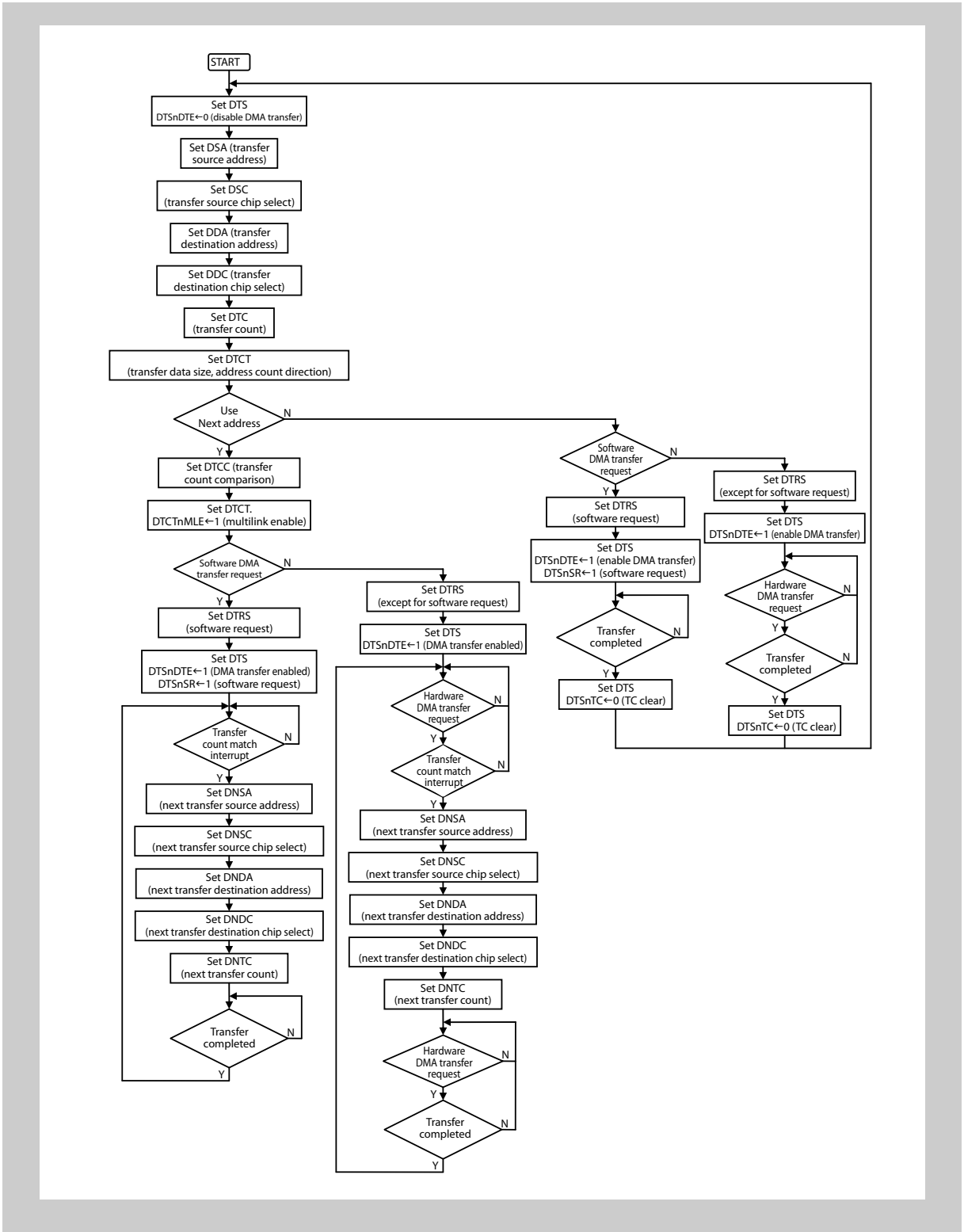


図 5-3 DMAC 転送の設定フロー

5.6.2 DMAC の転送モード

転送モードは，シングル転送モード，およびシングルステップ転送モードをサポートしています。

いずれのモードにおいても 2 サイクル転送（デュアル・アドレス転送）を行うため，1 回の転送ごとにリード・サイクルとライト・サイクルを発生します。128 ビット転送時にはリード・サイクル 4 回，ライト・サイクル 4 回の順にサイクルを発生します。

なお，バスをロックしないため，リード・サイクルとライト・サイクルの間や，128 ビット転送時の 4 回のリード・サイクル，およびライト・サイクルの間に CPU サイクルが割り込むことがあります。

(1) シングル転送モード（ハードウエア DMA 転送要求時）

ハードウエア DMA 転送要求を受け付けると，転送データ・サイズ分のデータ（8 ビット／ 16 ビット／ 32 ビット／ 128 ビット）の転送を行い，1 回の転送ごとにバスを解放して，DMA 転送要求待ち状態になります。この際，ハードウエア DMA 転送要求を受け付けたことを示すアクノリッジ n も出力します（n = 7-0）。

ハードウエア DMA 転送要求を受け付けるごとに 1 回の転送を行い，この動作を DMA 転送カウント・レジスタ n（DTCn）で指定した回数分続けます（n = 7-0）。

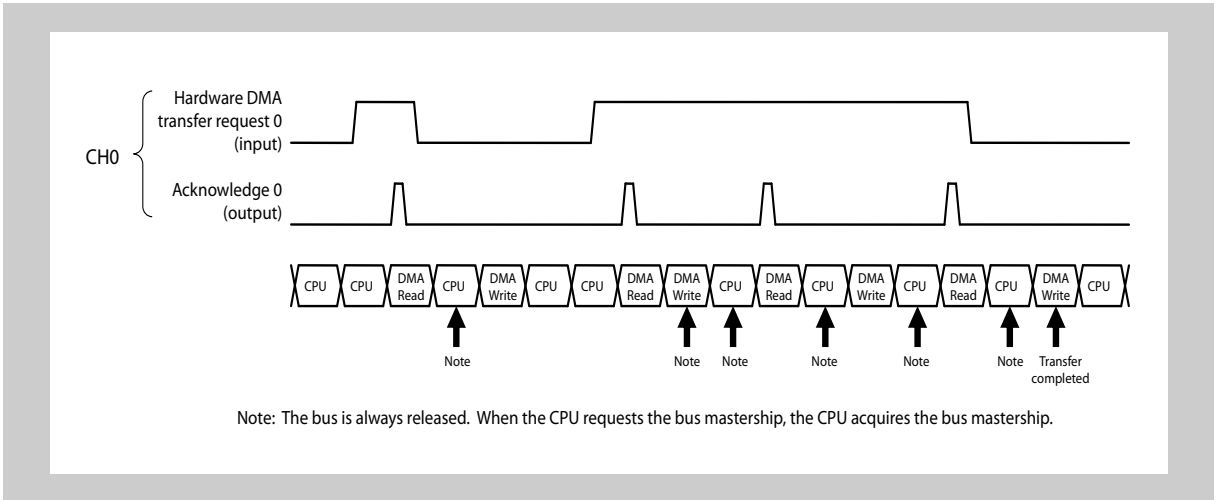


図 5-4 シングル転送例（8/16/32 ビット）

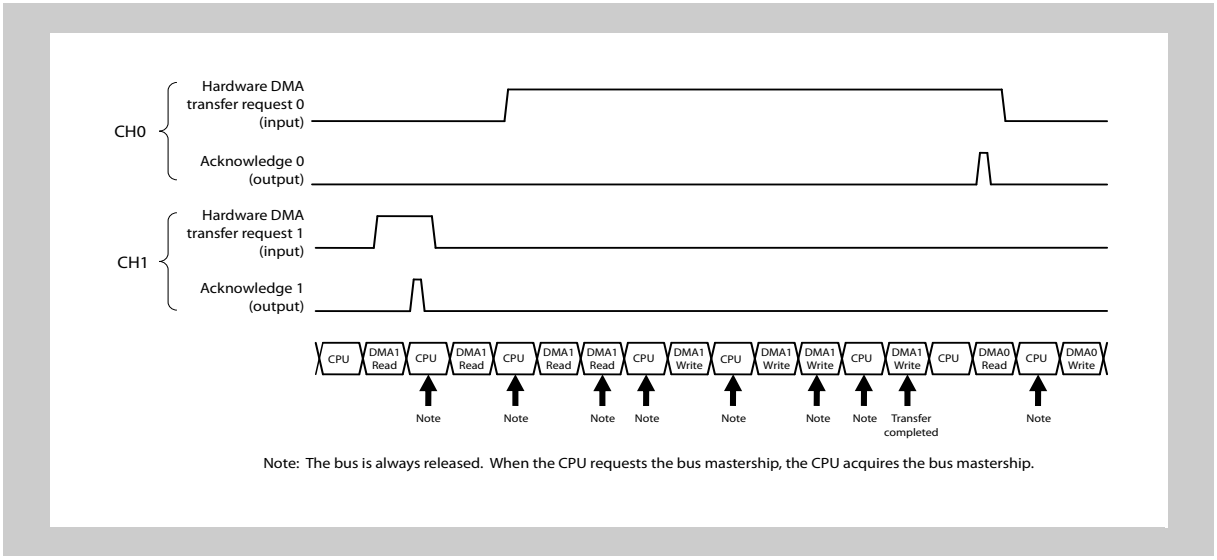


図 5-5 シングル転送例（128 ビット，DMA チャネル優先順位：CH0（高）> CH1（低））

(2) シングルステップ転送モード（ソフトウエア DMA 転送要求時）

ソフトウエア DMA 転送要求を受け付けると，転送データ・サイズ分のデータ（8 ビット／ 16 ビット／ 32 ビット／ 128 ビット）の転送を行い，1 回の転送ごとにバスを解放します。この際，ハードウエア DMA 転送要求を受け付けたことを示すアクノリッジ n は出力しません（n = 7-0）。

一度ソフトウエア DMA 転送要求を受け付けると，この動作を DMA 転送カウント・レジスタ n（DTCn）で指定した回数分続けます（n = 7-0）。なお，1 回の転送ごとに優先順位判定を行うため，優先順位の高いチャネルの DMA サイクルが割り込むことがあります。

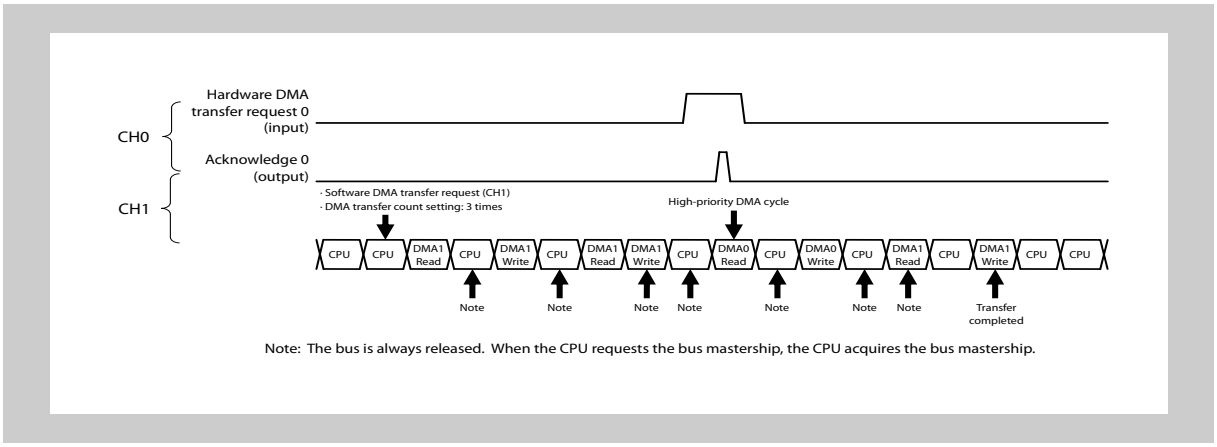


図 5-6 シングルステップ転送例（8/16/32 ビット，DMA チャネル優先順位：CH0（高）> CH1（低））

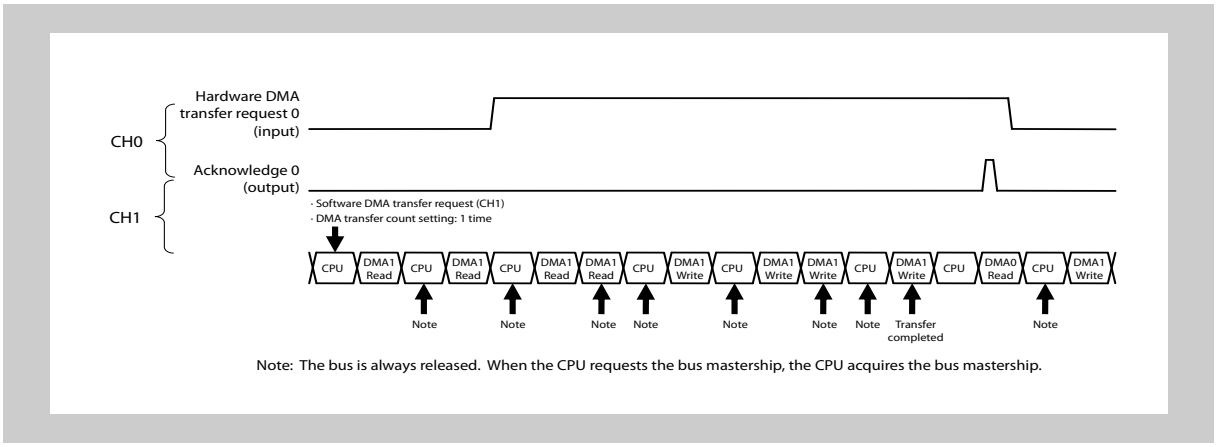


図 5-7 シングルステップ転送例（128 ビット，DMA チャネル優先順位：CH0（高）> CH1（低））

5.6.3 DMAC チャネルの優先順位

各チャネルの優先順位は固定となり次のようになります。

DMAC0（CH0 > CH1 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7）

優先順位が高いほかの DMA 転送要求が発生した場合は，常に優先順位が高い DMA 転送要求を優先します。ソフトウエア DMA 転送要求時も，1 回の DMA サイクルごとにバスを解放するので，優先順位が高いほかの DMA 転送要求が発生した場合は，常に優先順位が高い DMA 転送要求を優先します。

DMA 転送実行時に，優先順位が高いほかの DMA 転送要求が発生した場合の例を次に示します。

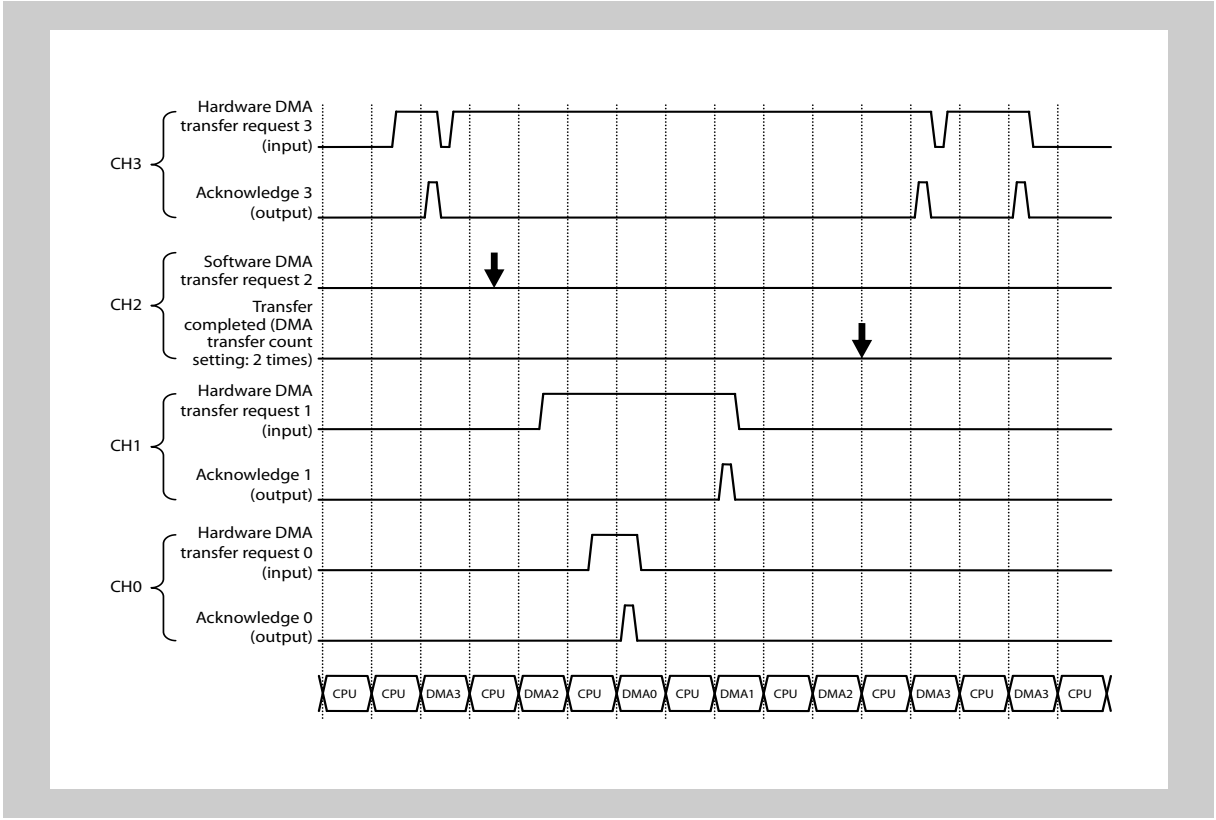


図 5-8 優先順位制御例

5.6.4 DMAC 転送要求の有効条件

チャネル n の DMA 転送要求を受け付けるかどうかは，DMA 転送要求コントロール・レジスタ（DTRC0）の DTRC0ERR ビット，DTRC0ADS ビット，DMA 転送制御レジスタ（DTCTn）の DTCTnMLE ビット，DMA 転送ステータス・レジスタ（DTSn）の DTSnTC ビット，DTSnDTE ビットの設定によります。それぞれのビットの設定状態による，DMA 転送要求受け付け可否を次に示します。

表 5-6 チャネル n の DMA 転送要求有効条件

レジスタ . ビット名	DTSn. DTSnDTE	DTSn. DTSnTC	DTCTn. DTCTnMLE	DTRC0. DTRC0ERR	DTRC0. DTRC0ADS	DMA 転送要求
DMA 転送禁止	0	X	X	X	X	無効
DMA 転送エラー発生中	X	X	X	1	X	無効
DMA 転送中断中	X	X	X	X	1	無効
DMA 転送完了（マルチリンク・ディスエーブル）	X	1	0	X	X	無効
DMA 転送完了／未完（マルチリンク・イネーブル）	1	X	1	0	0	有効
DMA 転送許可	1	0	0	0	0	有効

備考 n = 0-7

5.6.5 ネクスト・アドレス機能

(1) ネクスト・アドレス設定レジスタ

DMA 転送中に，次に転送したい転送情報をあらかじめ設定しておくレジスタです。最後の DMA サイクル開始時に，対応するレジスタにコピーします。用意しているレジスタを次に示します。

- DMA ネクスト・ソース・アドレス・レジスタ（DNSAnH ／ DNSAnL）
- DMA ネクスト・ソース・チップ・セレクト・レジスタ（DNSCn）
- DMA ネクスト・デスティネーション・アドレス・レジスタ（DNDAnH ／ DNDAnL）
- DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ（DNDCn）
- DMA ネクスト転送カウント・レジスタ（DNTCn）

それぞれ最上位（アドレス・レジスタは H 側の最上位）にバリッド・ビットを持ち，最後の DMA サイクル開始時にカレント・レジスタにコピーするかどうかを選択可能です。次に転送したい転送情報をカレント・レジスタにコピーすると，バリッド・ビットをクリアします。

(2) ネクスト・アドレス機能使用時の DMA 転送完了時の処理

通常，DMA 転送が完了すると，DMA 転送ステータス・レジスタ（DTSn）の DMA 転送完了ステータス・ビット（DTSnTC）をセットすると同時に DMA 転送許可ビット（DTSnDTE）をクリアし，以降の DMA 転送要求を受け付けなくなります。ただし，マルチリンク・イネーブル・ビット（DTCTnMLE）をセットしている場合は，DTSnDTE をクリアせず，DTSnTC がセット状態でも DMA 転送要求を受け付けることができます。したがって，ネクスト・アドレス機能を使用する場合は，DTCTnMLE をセットしておくことで，DMA 転送完了後の DTSnTC のクリア，および DTSnDTE のセットの手順を省略することができます。

(3) ネクスト・アドレスを設定するタイミング

ネクスト・アドレス設定レジスタは常に書き換え可能です。ただし，カレント・レジスタへのコピーと，ユーザによる書き込みとの競合を避けるため，最後の DMA サイクルが始まる前に，ネクスト・アドレス設定レジスタの設定が完了するようにしてください。

ネクスト・アドレス設定レジスタを設定するトリガとして，DMA 転送回数一致割り込みを使用する方法を推奨します。その場合，DMA 転送カウント・コンペア・レジスタ（DTCCn）は，ネクスト・アドレス設定レジスタの設定に必要な時間を確保できるように設定してください。

5.6.6 DMAC 転送の中断／再開

(1) ソフトウエアによる全チャネルの DMA 転送中断／再開

DMA 転送要求コントロール・レジスタ（DTRC0）の DMA 転送中断ビット（DTRC0ADS）をセットすることで，次回以降の DMA 転送を中断します。DMA サイクル中の場合，実行中の DMA サイクル終了後，DMA 転送を中断します。なお，DMA 転送ステータス・レジスタ（DTSn）の DMA 転送許可ビット（DTSnDTE）や，ソフトウエア DMA 転送要求ビット（DTSnSR）はクリアしません。

再開するには DTRC0ADS ビットをクリアしてください。また，DMA 転送を終了するには，DTSnDTE ビットをクリアした状態で，DMA 転送要求をクリアしてください。

(2) DMA 転送許可ビット（DTSnDTE）による DMA 転送中断／再開

DMA 転送ステータス・レジスタ（DTSn）の DMA 転送許可ビット（DTSnDTE）をクリアすることで，次回以降の DMA 転送を中断します。DMA サイクル中の場合，実行中の DMA サイクル終了後，DMA 転送を中断します。なお，DTSn のソフトウエア DMA 転送要求ビット（DTSnSR）はクリアしません。

再開するには DTSnDTE ビットをセットしてください。また，DMA 転送を終了するには，DTSnDTE ビットをクリアした状態で，DMA 転送要求をクリアしてください。

(3) ソフトウエア DMA 転送要求ビット（DTSnSR）による DMA 転送中断／再開

DMA 転送ステータス・レジスタ（DTSn）のソフトウエア DMA 転送要求ビット（DTSnSR）をクリアすることで，次回以降の DMA 転送を中断します。DMA サイクル中の場合，実行中の DMA サイクル終了後，DMA 転送を中断します。

再開するには DTSnSR をセットしてください。

5.6.7 エラー・レスポンス

(1) エラー・レスポンスによる DMA 転送中断

DMA の転送先・転送元がエラーを発生すると，DMAC は DMA 転送要求コントロール・レジスタ（DTRC0）の DMA 転送中断ビット（DTRC0ADS）をセットして，次回以降の DMA 転送を中断します。同時に DMA 転送エラー・ステータス・ビット（DTRC0ERR）をセットし，CPU で SysError 例外を発生させます。ユーザは DTRC0ERR がセットされていることを確認したら，DMA 転送ステータス・レジスタ（DTSn）の DMA 転送エラー・フラグ（DTSnER）によって，どのチャネルでエラーが発生したかを知ることができます。

なお，リード・サイクルでエラー・レスポンスを受けた場合，ライト・サイクルは行われませんが，転送アドレスおよび転送回数は更新するため注意が必要です。

(2) エラー・レスポンスによる転送中断の解除の方法

DMA 転送要求コントロール・レジスタ（DTRC0）の DMA 転送中断ビット（DTRC0ADS），および DMA 転送エラー・ステータス・ビット（DTRC0ERR）をクリアすることで解除します。

解除後に DMA 転送が再開しないように，あらかじめ DMA 転送ステータス・レジスタ（DTSn）の DMA 転送許可ビット（DTSnDTE）をクリアしてください。また，ソフトウエア DMA 転送要求の場合は，ソフトウエア DMA 転送要求ビット（DTSnSR）もクリアしてください。

5.7 DTFR 機能

DTFR（DMA Trigger Factor Register）は，割り込み信号のなかから DMA 起動要因を選択し，DMAC に対して DMA 転送要求を行います。DTFRn（n = 7-0）レジスタを搭載し，入力される割り込み信号 m（108 本）の中から DMA 転送要求とする信号を選択します。

注意 DTFR 機能を使用する場合，転送許可（DTSn.DTE = 1）されたと同時に転送が開始されることがあります。これを防ぐために，転送許可の直前に DRQCLR により転送要因をクリアしてください。

5.7.1 特徴

転送要因数 割り込み信号 m（108 本）の中から DMA 転送要求を選択（8 チャネル）

DMAC インタフェース DMA 転送要求信号 n（n = 7-0）を出力
DMA からのアクノリッジ信号により DMA 転送要求信号 n をクリア

CPU インタフェース DMA からの最終転送信号を CPU 割り込み信号として出力

転送要求クリア レジスタ・アクセスにより，DMA への転送要求信号をクリアする機能を持ちます

転送要求確認 レジスタ・アクセスにより，DMA への転送要求信号の状態を確認する機能を持ちます

5.8 DTFR 制御レジスタ

5.8.1 DTFRn（n = 0-7）：DTFRn レジスタ

本レジスタは，DMA 転送要因を選択し動作開始を制御する 16 ビットのレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス DTFR0: FFFF7B00$_H$, DTFR1: FFFF7B02$_H$, DTFR2: FFFF7B04$_H$,
DTFR3: FFFF7B06$_H$, DTFR4: FFFF7B08$_H$, DTFR5: FFFF7B0A$_H$,
DTFR6: FFFF7B0C$_H$, DTFR7: FFFF7B0E$_H$

初期値 0000$_H$ どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
DTFRn REQEN	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	IFCn6-0						
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意 味
15	DTFRn REQEN	チャネル n の DMA 要因選択回路の動作許可 1: 要因選択回路の動作許可。 0: 要因選択回路の動作停止。DMA 転送要求（DMARQ）は発生しません。IFC6-0 の設定は有効です。要求のサンプリングは常に行います。
6-0	IFCn6-IFCn0	転送要因を選択します。 設定値は，*5-1「DMA トリガ要因一覧」*を参照してください。

5.8.2 DRQCLR：DMA 要求クリア・レジスタ

本レジスタは，DMA 転送要因のクリア制御する 16 ビットのレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス $FFFF7B40_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
RQCR7	RQCR6	RQCR5	RQCR4	RQCR3	RQCR2	RQCR1	RQCR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意　味
7	RQCR7	DMA 要求確認レジスタ（DRQSTR.RQST7 ビット）のクリア動作を制御します。 セット “1”：チャネル 7 に保持している転送要求をクリア “0” します。
6	RQCR6	DMA 要求確認レジスタ（DRQSTR.RQST6 ビット）のクリア動作を制御します。 セット “1”：チャネル 6 に保持している転送要求をクリア “0” します。
5	RQCR5	DMA 要求確認レジスタ（DRQSTR.RQST5 ビット）のクリア動作を制御します。 セット “1”：チャネル 5 に保持している転送要求をクリア “0” します。
4	RQCR4	DMA 要求確認レジスタ（DRQSTR.RQST4 ビット）のクリア動作を制御します。 セット “1”：チャネル 4 に保持している転送要求をクリア “0” します。
3	RQCR3	DMA 要求確認レジスタ（DRQSTR.RQST3 ビット）のクリア動作を制御します。 セット “1”：チャネル 3 に保持している転送要求をクリア “0” します。
2	RQCR2	DMA 要求確認レジスタ（DRQSTR.RQST2 ビット）のクリア動作を制御します。 セット “1”：チャネル 2 に保持している転送要求をクリア “0” します。
1	RQCR1	DMA 要求確認レジスタ（DRQSTR.RQST1 ビット）のクリア動作を制御します。 セット “1”：チャネル 1 に保持している転送要求をクリア “0” します。
0	RQCR0	DMA 要求確認レジスタ（DRQSTR.RQST0 ビット）のクリア動作を制御します。 セット “1”：チャネル 0 に保持している転送要求をクリア “0” します。

備考 ビット 15-0 への “0” の書き込みは無視します。

5.8.3 DRQSTR：DMA 要求確認レジスタ

本レジスタは，DMA 転送要求ステータスを確認できる 16 ビットのレジスタです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス $FFFF7B44_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
RQST7	RQST6	RQST5	RQST4	RQST3	RQST2	RQST1	RQST0
R	R	R	R	R	R	R	R

ビット位置	ビット名	意　味
7	RQST7	1: 要求あり（DMA 転送要求信号 7 が “1”） 0: 要求なし（DMA 転送要求信号 7 が “0”）
6	RQST6	1: 要求あり（DMA 転送要求信号 6 が “1”） 0: 要求なし（DMA 転送要求信号 6 が “0”）
5	RQST5	1: 要求あり（DMA 転送要求信号 5 が “1”） 0: 要求なし（DMA 転送要求信号 5 が “0”）
4	RQST4	1: 要求あり（DMA 転送要求信号 4 が “1”） 0: 要求なし（DMA 転送要求信号 4 が “0”）
3	RQST3	1: 要求あり（DMA 転送要求信号 3 が “1”） 0: 要求なし（DMA 転送要求信号 3 が “0”）
2	RQST2	1: 要求あり（DMA 転送要求信号 2 が “1”） 0: 要求なし（DMA 転送要求信号 2 が “0”）
1	RQST1	1: 要求あり（DMA 転送要求信号 1 が “1”） 0: 要求なし（DMA 転送要求信号 1 が “0”）
0	RQST0	1: 要求あり（DMA 転送要求信号 0 が “1”） 0: 要求なし（DMA 転送要求信号 0 が “0”）

第 6 章 メモリ機能

この章では，メモリ機能について説明します。

この製品は，コード・フラッシュ・メモリと，データ・フラッシュ・メモリおよび RAM を搭載します。製品ごとの搭載サイズは，表 *6-1 「V850E2/PG4-L の搭載メモリ」* を参照ください。

コード・フラッシュ・メモリは，フラッシュ・ライタと，セルフ・プログラミングの 2 種類で書き換え可能です。データ・フラッシュ・メモリは，フラッシュ・ライタで書き換え可能です。

フラッシュ・ライタによる書き込みは，専用フラッシュ・ライタをターゲット・システムに接続して行います。

セルフ・プログラミングによる書き換えは，専用フラッシュ・ライタを使用せず，アプリケーション・プログラムにより行います。

フラッシュ・メモリを使用した開発環境および用途として次のようなことが考えられます。

- ターゲット・システムに本製品を半田実装後，ソフトウエアの変更可能
- ソフトウエアを区別することで少量多品種生産が容易
- 量産立ち上げ時のデータ調整が容易

表 6-1 V850E2/PG4-L の搭載メモリ

	μPD70F4154	μPD70F4155
コード・フラッシュ	384KB	384KB
データ・フラッシュ	16KB	16KB
内蔵 RAM	24KB	24KB

6.1 特徴

- ブロック単位消去
- 専用フラッシュ・ライタからシリアル I/F を介して通信
- 消去／書き込み電圧：単一電源による消去／書き込みが可能
- オンボード・プログラミング
- セルフ・プログラミングによるフラッシュ・メモリ・プログラミングが可能

6.1.1 コード・フラッシュ・メモリ

- ROM 容量 ：384KB
- 消去単位 ：1 ブロック単位の消去が可能。(各ブロック 32KB)
- ECC 機能
  詳細は*第9 章「セーフティ機能」*を参照してください。
- 消去／書き込み方式
  - Nexus をサポート
  - シリアル I/F（一線式 UART，三線式 CSI-HS）をサポート
  - 専用フラッシュ・ライタによるプログラミングをサポート
  - セルフ・プログラミングをサポート
- その他サポート機能
  - 消去／書き込み禁止機能（セキュリティ機能）：対応
  - ブート切り替え機能（ブートスワップ）：対応

表 6-2 コード・フラッシュ・メモリ容量とアドレス

コード・フラッシュ容量	アドレス
384KB	$0000\ 0000_H$ - $0005\ FFFF_H$

備考 セルフ・ライブラリ（FSL）によるコード・フラッシュ書き込み中は，最大 33CPU クロックの期間，割り込み処理 /DMA 転送が保留される場合があります。

6.1.2 データ・フラッシュ・メモリ

- ROM 容量 ：16KB
- 消去単位 ：1 ブロック単位の消去が可能。(各ブロック 32byte)
- 書き込み単位：2byte
- 読み込み単位：2byte
- 消去／書き込み方式
  – 専用フラッシュ・ライタによるプログラミングをサポート

表 6-3 データ・フラッシュ・メモリ容量とアドレス

データ・フラッシュ容量	アドレス
16KB	$0200\ 0000_H$ - $0200\ 3FFF_H$

備考 データ・フラッシュ・ライブラリ（FDL）によるデータ・フラッシュ書き込み中は，最大 35CPU クロックの期間，割り込み処理 /DMA 転送が保留される場合があります。

注意 データ・フラッシュには 2byte の読み込み / 書き込みのみ可能であり，4byte や 1byte での読み込み / 書き込みは SEG_CONT.SEG_CONTEXTE = 1 の場合，SYSERR 例外が発生します。

6.1.3 内蔵 RAM

- RAM 容量 ：24KB

表 6-4 RAM 容量とアドレス

RAM 容量	アドレス
24KB	$FEDF\ A000_H$ - $FEDF\ FFFF_H$

注意 この製品ではコード・フラッシュのブロック単位が 32KB となっています。内蔵 RAM の容量はコード・フラッシュのブロック単位より少ないため，内蔵 RAM を利用するセルフプログラミングモードによる書き込みを行う場合は，分割して書き込みを行ってください。

6.2 プログラミング環境

専用フラッシュ・ライタと本製品とのインタフェースはシリアル I/F を使用して，書き込み，消去等の操作を行います。この製品の動作クロックは，製品搭載ボード上で発振子およびコンデンサにより発振回路を構成して供給してください。

6.3 通信方式

(1) Nexus 通信方式

転送レート：最大 25MHz

(2) LPD（1 ピン・デバッグ）通信方式

転送レート：最大 2.0Mbps（E1 エミュレータ使用時）

(3) 一線式 UART 通信方式

転送レート：最大 1Mbps

(4) 三線式 CSI-HS 通信方式

転送レート：最大 5MHz

6.4 端子処理

オンボード書き込みを行う場合は，ターゲット・システム上に専用フラッシュ・ライタと接続するためのコネクタを設けます。

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべて通常動作モード（シングルチップ・モード）のリセット直後と同じ状態になります。したがって，ポートはすべてハイ・インピーダンス状態になるため，外部デバイスがハイ・インピーダンス状態を認めない場合は端子処理が必要です。

6.4.1 電源

電源は，通常動作モード時と同じ電源を供給してください。

フラッシュ・メモリ・プログラミング・モード時（セルフ書き込みによるフラッシュ・セルフ・プログラミングを含む）は，電源端子と GND の間にコンデンサを挿入し，電源電圧を安定させてください。

6.4.2 使用端子

各インタフェースが使用する端子を次に示します。

- Nexus： FLMD0，$\overline{\text{RESET}}$，$\overline{\text{DCUTRST}}$，DCUTCK，DCUTMS，DCUTDI，DCUTDO，$\overline{\text{DCUTRDY}}$
- LPD（1 ピン・デバッグ）：LPDIO，FLMD0，$\overline{\text{RESET}}$
- 一線式 UART：RxD/ TxD，FLMD0，$\overline{\text{RESET}}$
- 三線式 CSI-HS：SI，SO，SCK，FLMD0，$\overline{\text{RESET}}$

オンボード上でほかのデバイスと接続している各インタフェース用の端子に，専用フラッシュ・ライタを接続する場合，信号の衝突，ほかのデバイスの異常動作などに注意してください。

6.4.3 RESET 端子

オンボード上で，リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に，専用フラッシュ・ライタのリセット信号を接続する場合，信号の衝突が発生します。この信号の衝突を避けるため，リセット信号生成回路との接続をアイソレートしてください。

また，フラッシュ・メモリ・プログラミング・モード期間中に，ユーザ・システムからリセット信号を入力した場合，正常なプログラミング動作が行われなくなるので，専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

6.4.4 FLMD0 端子

フラッシュ・メモリ・プログラミング・モード期間中（書き込み，消去，読み出しなど）は，FLMD0 にはパルス入力時を除き，ハイ・レベルを入力してください。また，パルス入力後はフラッシュ・メモリへの操作が終了するまでの期間はハイ・レベルを保持してください。

6.4.5 ポート端子

フラッシュ・メモリ・プログラミング・モードに設定すると，専用フラッシュ・ライタと通信する端子を除くすべてのポート端子はハイ・インピーダンス状態になります。これらのポート端子を処理する必要はありません。

なお，ポートに接続されている外部デバイスにハイ・インピーダンス状態禁止などの問題が生じる場合には，抵抗を介して EVDD に接続するか，または抵抗を介して EVSS に接続するなどの処置をしてください。

6.5 オプション・バイト

専用フラッシュ・ライタ，もしくはオプション・バイト書き込み関数を使用して，製品動作を指定します。

オプション・バイト消去状態での製品動作の保証はできません。

詳細は，6.5.1「OPBT0 - オプション・バイト・レジスタ」を参照してください。

注意 チップ消去時，FOP（オプション・バイト）の設定も初期化（HEAPCLK ＝ 48MHz，PCLK ＝ 1/4 HEAPCLK）されるため，シリアル通信速度を以下の設定範囲内にして，FOP を再設定してください。

- 一線式 UART 通信方式
  ボー・レート≦ 750kbps
- 三線式 CSI-HS 通信方式
  FPCK ≦ 2MHz

6.5.1 OPBT0 - オプション・バイト・レジスタ

このレジスタを使用して，オプション・バイトの設定値を確認することが可能です。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FF47 000C$_H$

初期値 FFFF FFF9$_H$ ソフトウエア・リセット以外のリセット要因発生時に設定されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FOP31	1	1	1	1	1	1	1	FOP23	FOP22	1	1	1	1	1	1
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1	1	1	1	1	FOP3	FOP2	FOP1	1
R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R

表 6-5 V850E2/PG4-L のオプション・バイト

ビット位置	ビット名	機能
31	FOP31	JTAG ポートの切り替え 0: ポート機能 1: JTAG（Nexus） 開発ツールを接続する場合は “1 = 無効 ” に設定してください。
23	FOP23	トグル信号（TGLOUT）の出力許可を設定します。 0: P8_0 から TGLOUT を出力する 1: P8_0 から TGLOUT を出力しない（P8_0 はポート・モード）
22	FOP22	トグル信号（TGLOUT）の周期を設定します。 0: 6.55 msec 1: 13.10 msec
3	FOP3	周辺クロック（PCLK）を設定します。 0: HEAPCLK 1: HEAPCLK / 2
2, 1	FOP[2:1]	CPU クロック（HEAPCLK）を設定します。

FOP2	FOP1	HEAPCLK
0	0	64 MHz
0	1	80 MHz
1	0	設定禁止
1	1	48MHz

6.6 製品識別情報

(1) PRDNAME レジスタ

このレジスタは，製品識別情報を提供します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FF47 0028$_H$

初期値 103A0100$_H$（μPD70F4154 製品，製品バージョン 1.00 の場合）
103B0100$_H$（μPD70F4155 製品，製品バージョン 1.00 の場合）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	1	0	0	0	0	0	0	1	1	1	0	1	0/1
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 6-6 PRDNAME レジスタの内容

ビット位置	機能
31-12	**31-12 ビット** / **説明** 103A0$_H$ / μPD70F4154 製品 103B0$_H$ / μPD70F4155 製品
11-0	製品のバージョン情報が設定されています。

(2) PRDSELH レジスタ

このレジスタは，製品識別情報を提供します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FF47 0024$_H$

初期値 FEDF A001$_H$

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
1	1	1	1	1	1	1	0	1	1	0	1	1	1	1	1
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 6-7 PRDSELH レジスタの内容

ビット位置	機能
31-8	31-8 ビット：FEDFA0$_H$ 説明：内蔵 RAM スタート・アドレス（FEDF A000$_H$）
7-0	7-0 ビット：01$_H$ 説明：コード・フラッシュ・メモリ（384KB）

(3) PRDSELL レジスタ

このレジスタは，製品識別情報を提供します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FF47 0020$_H$

初期値 8000 10FF$_H$

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	1	0	0	0	0	1	1	1	1	1	1	1	1
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 6-8 PRDSELL レジスタの内容

ビット位置	機能
31-24	31-24 ビット: 80$_H$ — 説明: コード・フラッシュ・メモリ（384KB）
23-8	23-8 ビット: 0010$_H$ — 説明: データ・フラッシュ・メモリ（16KB）

6.7 FLMD 端子設定

フラッシュ操作を実施する場合は，FLMD0 端子にハイ・レベルを入力してください。また，FLMD 制御レジスタ（FLMDCNT.FLMDPUP ビット）をセット（1）設定することで，内蔵プルアップ抵抗を使用することも可能です。

表 6-9 FLMD 端子設定レジスタの一覧

レジスタ名	略号	アドレス
FLMD 制御レジスタ	FLMDCNT	FF43 8000$_H$
FLMD プロテクト・コマンド・レジスタ	FLMDPCMD	FF43 8004$_H$
FLMD プロテクト・エラー・ステータス・レジスタ	FLMDPS	FF43 8008$_H$

6.7.1 レジスタ

(1) FLMDCNT ― FLMD 制御レジスタ

このレジスタは，FLMD0 端子のプルアップ / プルダウンを指定する 8 ビットレジスタです。このレジスタは特定書き込みシーケンスによって保護されます。FLMDCNT レジスタに対して特定書き込みシーケンス以外の書き込みを行った場合，プロテクション・エラーの発生を示す FLMDPS レジスタの FLMDPRERR ビット “1” となります。

詳細は 6.7.2「FLMDCNT レジスタの設定方法」を参照してください。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FF43 8000$_H$

初期値 00$_H$

どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FLMDPUP
R	R	R	R	R	R	R	R/W

表 6-10 FLMDCNT レジスタの内容

ビット位置	ビット名	機能
0	FLMDPUP	FLMD0 端子のプルアップ / プルダウンを指定します。 0: FLMD0 端子をプルダウン 1: FLMD0 端子をプルアップ

(2) FLMDPCMD ― FLMD プロテクト・コマンド・レジスタ

FLMDCNT レジスタの保護コマンド・レジスタです。

詳細は 6.7.2「FLMDCNT レジスタの設定方法」を参照してください。

アクセス 8 ビット単位でライト可能です。リードした場合は，常に 00_H を読み出します。

アドレス $FF43\ 8004_H$

初期値 不定

7	6	5	4	3	2	1	0
FLMDPCMD[7:0]							
W	W	W	W	W	W	W	W

表 6-11 FLMDPCMD レジスタの内容

ビット位置	ビット名	機能
7-0	FLMDPCMD[7:0]	FLMDCNT への書き込みを有効にする保護コマンド

(3) FLMDPS ― FLMD プロテクト・エラー・ステータス・レジスタ

ライト保護レジスタ FLMDCNT への書き込みが正常に行われたかどうかを検証します。

詳細は 6.7.2「FLMDCNT レジスタの設定方法」を参照してください。

アクセス 8 ビット単位でリードのみ可能です。

アドレス $FF43\ 8008_H$

初期値 00_H

どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FLMD PRERR
R	R	R	R	R	R	R	R

表 6-12 FLMDPS レジスタの内容

ビット位置	ビット名	機能
0	FLMDPRERR	ライト保護レジスタ FLMDCNT への書き込みが正常に行われたかどうかを示します。 0: 書き込み成功 1: 書き込み失敗

6.7.2 FLMDCNT レジスタの設定方法

FLMDCNT レジスタが書き込み保護レジスタとなっており，以下に示す特定書き込みシーケンスによる書き込みを行った場合にのみ，書き込みが有効となります。

STEP1 保護レジスタ（FLMDPCMD レジスタ）に固定値（$A5_H$）を書き込みます。

STEP2 書き込み対象のレジスタ（FLMDCNT）へ，設定値を書き込みます。

STEP3 書き込み対象のレジスタ（FLMDCNT）へ，設定値の反転値を書き込みます。

STEP4 書き込み対象のレジスタ（FLMDCNT）へ，設定値を書き込みます。

STEP5 FLMDPS.FLMDPRERR ビットの値が “0” であることを確認して，保護レジスタに設定値が書き込まれたことを確認します。

上記，特定書き込みシーケンスの STEP1 から STEP4 の間に，FLMD 端子設定レジスタ（詳細は表 6-9「FLMD 端子設定レジスタの一覧」参照）へのライトアクセスがあった場合，保護レジスタへの書き込みは失敗します（FLMDPS.FLMDPRERR = 1 で表示）。

この場合，特定書き込みシーケンスを STEP1 から再度行う必要があります。

上記，特定書き込みシーケンス中は，このシーケンスを阻むことなく，FLMD 端子設定レジスタを除くほかのレジスタへアクセスすることができます。

特定書き込みシーケンスが阻まれた場合，保護機能は次のように動作します。

- 特定書き込みシーケンス中の割り込み
  上記，特定書き込みシーケンス中に割り込みが受け付けられ，かつその割り込みサービス・ルーチンが FLMD 端子設定レジスタ（詳細は表 6-9「FLMD 端子設定レジスタの一覧」参照）にアクセスしていない場合，特定書き込みシーケンスは阻まれません。割り込みサービス・ルーチンから復帰したあと，保護レジスタへの書き込みが正常に行われます。
- 特定書き込みシーケンス中のエミュレータ中断
  上記，特定書き込みシーケンス中に，たとえばブレークポイントに達したなどの理由でエミュレータが中断した場合，エミュレータ中断から復帰して正常動作に戻るまで，レジスタの特定書き込みシーケンスは中断されます。
  すなわち，FLMD 端子設定レジスタ（詳細は表 6-9「FLMD 端子設定レジスタの一覧」参照）がエミュレータ中断中にアクセスされた場合でも，特定書き込みシーケンスは阻まれません。FLMD 端子設定レジスタにアクセスすることで，FLMDPS.FLMDPRERR ビットがセットされるわけではありません。

第７章　クロック発生機能

クロック・ジェネレータ（CG）は，CPU をはじめとする内蔵の各ユニットに供給される内部システム・クロックを制御します。また，入力されたクロックをモニタして異常を検出する機能と，ボー・レート・ジェネレータを搭載して CLKOUT 端子から任意のクロックを出力する機能も搭載しています。

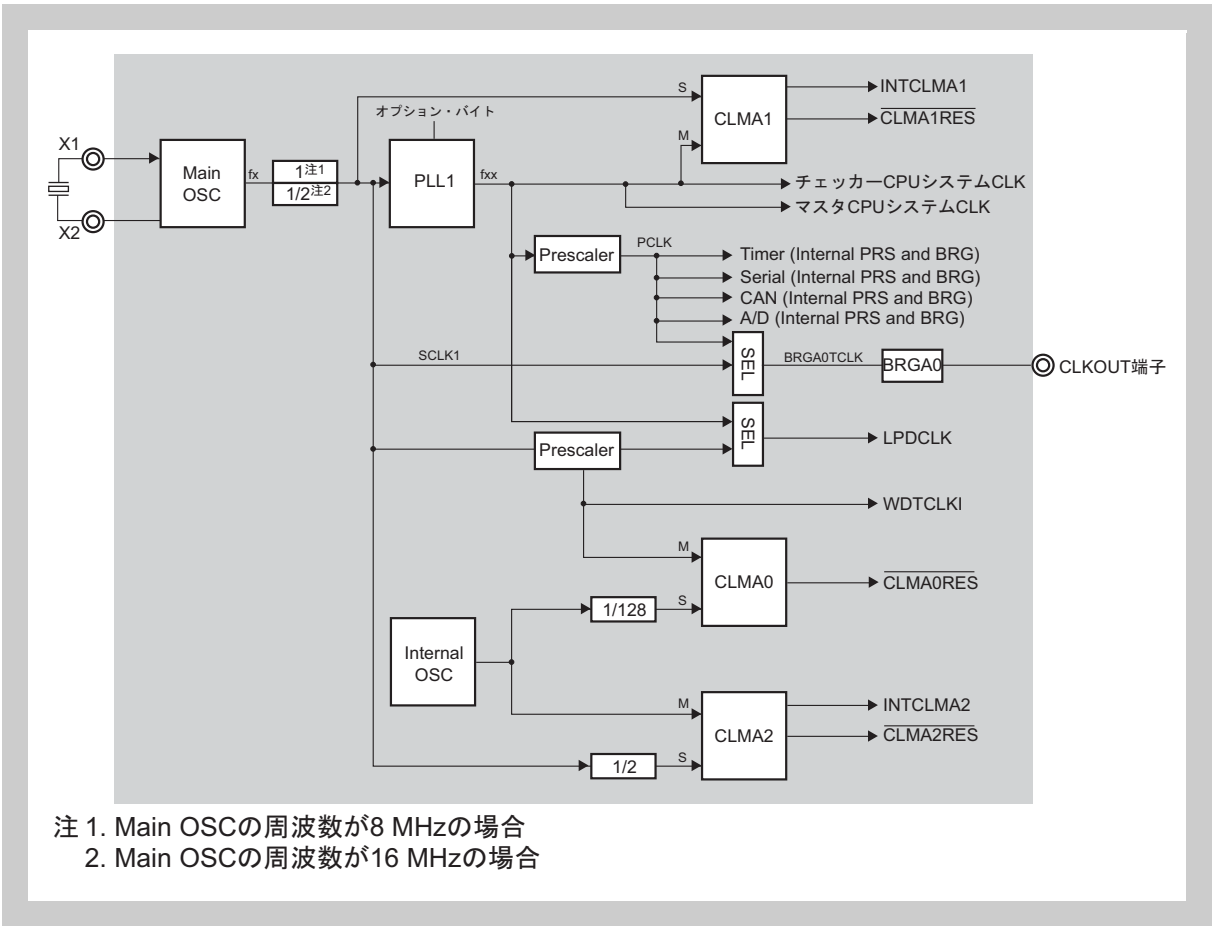
7.1　クロック発生機能の概要

機能概要　クロック発生機能には，次の制御および機能があります。

- 発振回路
  - 外部発振子： 8 MHz（μPD70F4155），16 MHz（μPD70F4154）
- クロック・モニタ（CLMA0 ～ CLMA2）機能
  - CLMA0：WDTCLKI のクロック監視，およびリセット信号の生成
    CLMA0 は，割り込み要求信号の生成をサポートしていません。
  - CLMA1：内部システム・クロック監視，およびリセット信号，割り込み要求信号の生成
  - CLMA2：Internal OSC のクロック監視，およびリセット信号，割り込み要求信号の生成
- クロック出力機能：周波数出力（CLKOUT 端子）調整が可能

備考　クロック発生回路の周波数と許容範囲，およびその他のパラメータについては，6.5「オプション・バイト」とデータ・シートを参照してください。

7.2 構成



注 1. Main OSCの周波数が8 MHzの場合
2. Main OSCの周波数が16 MHzの場合

図 7-1 クロック発生回路

7.3 入力クロック選択

クロック・ジェネレータは，発振回路と PLL シンセサイザから構成されています。8/16 MHz の外部発振子（水晶振動子またはセラミック発振子）を X1, X2 端子に接続することにより，48MHz，64 MHz, 80 MHz の内部システム・クロックを生成できます。

X1, X2 端子に接続するクロックは *7-1「X1, X2 端子に接続できる発振子」* を参照してください。外部発振子から入力された 8/16 MHz を PLL1 に入力し，逓倍されたクロックを CPU 動作クロックとプリスケーラを経由して周辺 I/O に供給されます。

表 7-1　X1, X2 端子に接続できる発振子

X1, X2 端子に接続できる発振子
8 MHz（μPD70F4155） 16 MHz（μPD70F4154）

表 7-2　動作周波数

内部システム・クロック	周辺 I/O クロック (PCLK)	外部発振子周波数
48 MHz	24 MHz / 48 MHz	8 MHz（μPD70F4155） 16 MHz（μPD70F4154）
64 MHz	32 MHz / 64 MHz	
80 MHz	40 MHz / 80 MHz	

備考　入力周波数および逓倍の設定は，6.5「オプション・バイト」を参照してください。

7.4　クロック発生回路

クロック発生回路の構成を以下に説明します。

(1)　クロック発生回路の構成

クロック発振回路と PLL1 を搭載しています。

- メイン発振回路（Main OSC）
  メイン発振回路から出力されるクロック f_X は，PLL へ入力されるメイン・システムのクロックです。この発振回路は，外部発振子を X1, X2 に接続する必要があります。
- PLL1
  PLL1 回路は，マイクロコントローラの動作に使用するクロックを生成します。PLL1 から出力されたクロックは，プリスケーラで 1 分周または 2 分周され，周辺 I/O に供給されます。

クロック発生回路のリセット

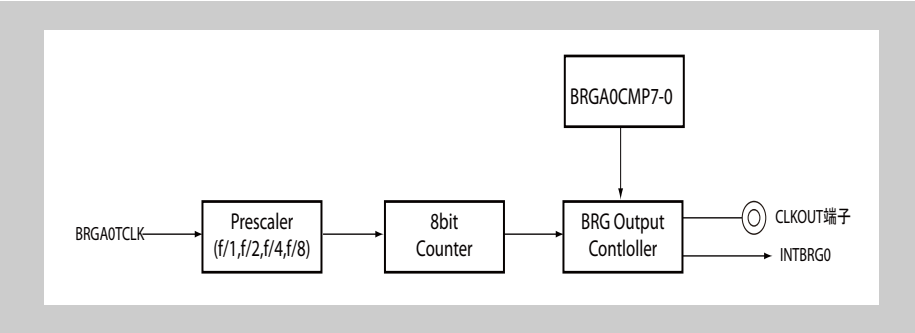
クロック発生回路はソフトウェア・リセット以外のリセット要因で初期化されます。リセット解除後はオプション・バイトの設定値にて動作を再開します。

7.5 クロック出力機能（CLKOUT）

クロック出力機能により，クロック信号を CLKOUT 端子から出力できます。

また，CLKOUT 端子から出力される周波数は，ボー・レート・ジェネレータ回路で分周させることができます。

クロック出力機能の概要を次の図に示します。



7.5.1 CLKOUT 用ボー・レート・ジェネレータ回路（BRGA）

ボー・レート・ジェネレータ回路は，入力クロックを分周し，さまざまなクロックを CLKOUT 端子から出力します。

BRGA0 はボー・レート・カウンタ値と BRGA0CMP レジスタの BRGA0CMP7-0 ビット設定値との比較一致により CLKOUT 出力を反転します。また，CLKOUT 出力は BRGA0CTL レジスタの BRGA0ODIS ビット＝“1” 設定で動作した際はロウ 固定となります。

BRGA0 割り込み信号（INTBRG0）はボー・レート・カウンタ値と BRGA0CMP レジスタの BRGA0CMP7-0 ビット設定値との比較一致により割り込み要求を出力します。

備考 BRGA0CMP レジスタの BRGA0CMP7-0 ビット＝ 00_H 設定時，8 ビット・ボー・レート・カウンタの初期値が 01_H のため，01_H（初期値）→ 02_H → 03_H・・・FE_H → FF_H → 00_H とカウント動作し，オーバフロー後の 00_H で比較一致が発生します。

ボー・レート周期算出方法

- BRGA0CMP レジスタの BRGA0CMP7-0 ビット＝ 00_H 設定時

  CLKOUT 周期 ＝ カウント・クロック周期 × 256 × 2

- BRGA0CMP レジスタの BRGA0CMP 7-0 ビット＝ N （N ≠ 00_H）設定時

  CLKOUT 周期 ＝ カウント・クロック周期 × N × 2

クロック供給 BRGA0 には次の 1 つのクロック入力があります。

表 7-3 BRGA0 のクロック・ソース

BRGA0	クロック・ソース
BRGATCLK	BRGCKCTL レジスタで選択したクロック（SCLK1 or PCLK)

割り込み BRGA の割り込みを次の表に示します。

表 7-4 BRGA の割り込み

BRGA 信号	機能	接続先
INTBRG0	BRGA0 割り込み信号	割り込みコントローラ

レジスタ・アドレス 周波数出力レジスタ , クロック・モニタ・レジスタのアドレス一覧を以下に示します。

表 7-5 CLKOUT ボー・レート・ジェネレータ回路レジスター覧

レジスタ名	略号	アドレス
BRGA0 フラグ・レジスタ	BRGA0FLG	FFFF FD00$_H$
BRGA0 コントローラ・レジスタ	BRGA0CTL	FF83 9008$_H$
BRGA0 コンペア・レジスタ	BRGA0CMP	FF83 900C$_H$
BRGA0 クロック選択レジスタ	BRGCKCTL	FF42 0030$_H$

7.5.2 CLKOUT 用ボー・レート・ジェネレータ回路レジスタ

(1) BRGA0 クロック選択レジスタ（BRGCKCTL）

BRGCKCTL レジスタは，ボー・レート・ジェネレータ（BRGA0）に入力するクロックを選択する 8 ビットのレジスタです。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FF42 0030$_H$

初期値 00$_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	BRGCKSL1	BRGCKSL0
R	R	R	R	R	R	R/W	R/W

表 7-6 BRGCKCTL レジスタの内容

ビット位置	ビット名	機能
1, 0	BRGCKSL1, BRGCKSL0	BRGATCLK 端子への入力クロックを選択するレジスタです。

BRGCKSL1	BRGCKSL0	入力クロック
0	0	SCLK1（OSC クロック）選択
0	1	PCLK（周辺クロック）選択
上記以外		設定禁止

注意 BRGCKCTL への書き込み（BRGA0 動作クロックの選択）は，BRGA0 を停止した状態（BRGA0CTL レジスタの BRGA0CE ビット = 0）で行ってください

(2) BRGA0 制御レジスタ（BRGA0CTL）

BRGA0CTL レジスタは，カウンタの動作許可，プリスケーラ周期設定，BRGA0 出力制御を行う 8 ビットのレジスタです。

BRGA0ODIS，BRGA0CCS1-0 ビットは BRGA0FLG レジスタの BRGA0CEF ビット = 0 の時，書き換え可能です。

BRGA0CEF ビットは，BRGA0FLG レジスタを参照してください。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス $FF839008_H$

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	BRGA0CE	0	BRGA0 ODIS	BRGA0 CCS1	BRGA0 CCS0
R	R	R	R/W	R	R/W	R/W	R/W

表 7-7 BRGA0CTL レジスタの内容

ビット位置	ビット名	機能
4	BRGA0CE	ボー・レート・カウンタの動作許可を制御するビットです。 0: ボー・レート・カウンタを動作停止状態にします。 INTBRG0 割り込みは発生しません） 1: ボー・レート・カウンタを動作許可状態にします。 （INTBRG0 割り込みは発生します）
2	BRGA0ODIS	BRGA0 の出力状態を制御するビットです。 0:CLKOUT 端子からボー・レート出力します。 1:CLKOUT 端子は，Low レベル（固定）で出力します。
1, 0	BRGA0CCS1, BRGA0CCS0	ボー・レートのカウント・クロック周期を選択します。

BRGA0CCS1	BRGA0CCS0	カウント・クロック周期
0	0	BRGATCLK / 1
0	1	BRGATCLK / 2
1	0	BRGATCLK / 4
1	1	BRGATCLK / 8

注意

1. BRGA0CTL.BRGA0ODIS ビット，BRGA0CTL.BRGA0CCS1-0 ビット，BRGA0CMP.BRGA0CMP7-0 ビットは動作停止中（BRGA0FLG.BRGA0CEF ビット = 0）のみライト可能です。動作中はリード のみ可能です。もし動作中に書き換えた場合，CLKOUT 端子，INTBRG0 割り込み 出力は不定となります。
2. ボー・レート・カウンタを停止し動作を再開する場合，動作をさせる前にBRGA0FLG.BRGA0CEF ビットをリードし，ボー・レート・カウンタが動作停止状態（BRGA0FLG.BRGA0CEF = 0）であることを確認してください。

   BRGA0CTL.BRGA0CE ビットを 0 に設定した後，ボー・レート・カウンタが停止していない（BRGA0FLG.BRGA0CEF ビット = 1）状態でBRGA0CTL.BRGA0CE ビットに 1 をライト した場合，CLKOUT 端子出力，及び INTBRG0 割り込み出力は不定となります。
3. BRGA0CTL.BRGA0CE ビットは BRGA0TCLK に同期しているため，同期化時間として BRGA0TCLK で 3 クロック必要です。このため，CLKOUT 端子と INTBRG0 割り込みは，動作中に BRGA0CTL.BRGA0CE ビットに 0 をライトすることで BRGA0TCLK の 3 クロック後に初期状態（CLKOUT 端子，INTBRG0 割り込み出力共にロウ・レベル固定）となり，ボー・レート・カウンタは停止します。ボー・レート・カウンタの動作状態はBRGA0FLG.BRGA0CEF ビットを参照してください。

(3) BRGA0 コンペア・レジスタ（BRGA0CMP）

BRGA0CMP レジスタは，ボー・レート・カウンタとのコンペア値を格納するレジスタです。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス $FF83900C_H$

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
BRGA0CMP7-BRGA0CMP0							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7-8 BRGA0CMP レジスタの内容

ビット位置	ビット名	機能
7-0	BRGA0CMP7-BRGA0CMP0	コンペア値を設定します。

(4) BRGA0 フラグ・レジスタ（BRGA0FLG）

BRGA0FLG レジスタは，ボー・レート・カウンタのステータス示すレジスタです。

アクセス　8 ビット単位でリード可能です。

アドレス　FFFF FD00$_H$

初期値　00$_H$　どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	BRGA0CEF
R	R	R	R	R	R	R	R

表 7-9　BRGA0FLG レジスタの内容

ビット位置	ビット名	機能
0	BRGA0CEF	ボー・レート・カウンタのステータスを示すビットです。 0：ボー・レート・カウンタ動作停止中 1：ボー・レート・カウンタ動作中

7.6　1 ピン・デバッグ・クロック（LPDCLK）

1 ピン・デバッグ専用の動作クロックです。1 ピン・デバッグ（LPDRES = ハイ・レベル）時は，1 度動作を開始すると電源遮断するまで動作を継続します。そのため，1 ピン・デバッグ中のリセット発生時でも，Main OSC，PLL1 は停止しません。なお，1 ピン・デバッグ時の他のクロックは，シングルチップ・モード時と同じ動作を行います。

7.7　WDTA0 カウント・クロック（WDTCLKI）

この製品では WDTA0 の入力クロックは，WDTCLKI（SCLK1 / 32）となります。

7.8 クロック・モニタ A（CLMAn）機能

この製品は，3 チャネルのクロック・モニタ A 機能を搭載しています。

7.8.1 クロック・モニタ CLMAn 機能の特徴

表 7-10 チャネル

クロック・モニタ A	
チャネル数	3
名称	CLMAn

n の意味 この章では，クロック・モニタ A の各チャネルを「n」で識別します（n = 0-2）。たとえば，CLMAn の制御レジスタ 0（CLMAnCTL0）のように記述しています。

<CLMAn_base> CLMAn のベース・アドレス <CLMAn_base> を以下の表に示します。

表 7-11 レジスタ・ベース・アドレス <CLMAn_base>

CLMAn	<CLMAn_base> アドレス
CLMA0	$FF80\_2000_H$
CLMA1	$FF80\_3000_H$
CLMA2	$FF80\_4000_H$

クロック供給 クロック・モニタ A のすべてのモニタ・クロックとサンプリング・クロックを次の表に示します。

表 7-12 CLMAn クロック供給

CLMAn のクロック	機能	接続先
CLMA0：		
CLMA0TSMP	CLMA0 のサンプリング・クロック	Internal OSC
CLMA0TMON	CLMA0 のモニタ・クロック	WDTCLKI
CLMA1：		
CLMA1TSMP	CLMA1 のサンプリング・クロック	Main Osc
CLMA1TMON	CLMA1 のモニタ・クロック	内部システム・クロック
CLMA2：		
CLMA2TSMP	CLMA2 のサンプリング・クロック	Main Osc
CLMA2TMON	CLMA2 のモニタ・クロック	Internal OSC

割り込みとリセット出力 CLMAn の割り込みとリセット出力を次の表に示します。

表 7-13 CLMAn の割り込みとリセット出力

CLMAn の信号	機能	接続先
CLMA0：		
$\overline{\text{CLMA0RES}}$	CLMA0 エラー・リセット	リセット・コントローラ CLMA0RES
CLMA1：		
$\overline{\text{CLMA1RES}}$	CLMA1 エラー・リセット	リセット・コントローラ CLMA1RES
CLMA1TI	CLMA1 エラー割り込み要求	割り込みコントローラ INTCLMA1
CLMA2：		
$\overline{\text{CLMA2RES}}$	CLMA2 エラー・リセット	リセット・コントローラ CLMA2RES
CLMA2TI	CLMA2 エラー割り込み要求	割り込みコントローラ INTCLMA2

出力信号 CLMAn の出力信号を次の表に示します。

表 7-14 CLMAn の出力信号

CLMAn の信号	機能	接続先
CLMA0：		
CLMA0TERR	CLMA0 のエラー出力信号	セーフティ・ガーディアン
CLMA0RES	CLMA0 エラー・リセット信号	
CLMA1：		
CLMA1TERR	CLMA1 のエラー出力信号	セーフティ・ガーディアン
CLMA1RES	CLMA1 エラー・リセット信号	
CLMA2：		
CLMA2TERR	CLMA2 のエラー出力信号	セーフティ・ガーディアン
CLMA2RES	CLMA2 エラー・リセット信号	

7.8.2 CLMA の有効化と起動オプション

(1) CLMA の有効化

クロック・モニタによるクロックの監視は，CLMAnCTL1 レジスタ，CLMAnCMPL レジスタ，CLMAnCMPH レジスタを設定したあと，CLMAnCTL0 レジスタの CLMAnCLME ビット = 1 を設定することで始動します。

7.8.3 機能概要

クロック・モニタ CLMAn は，モニタ対象クロックの周波数異常を検出します。

機能概要 クロック・モニタには次の機能があります。

- サンプリング・クロック CLMAnTSMP を使用して入力クロック CLMAnTMON の周波数をモニタします。
- クロック異常を検出した際に，次の方法により異常を通知します。
  - リセット要求信号の出力
  - エラー信号出力とエラー割り込み要求発生の組み合わせ

クロック・モニタの主な構成要素を次の図に示します。

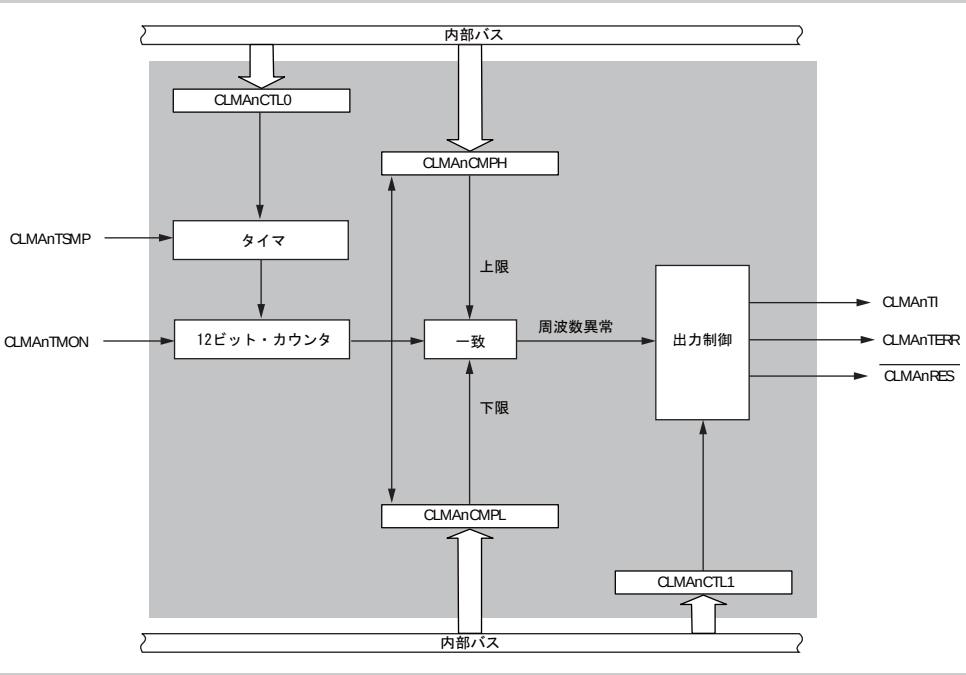


図 7-2 クロック・モニタ A のブロック図

注意 サンプリング・クロック停止時は，異常検出できません。CLM0-2 による相互監視を推奨します。

7.8.4 機能説明

クロック・モニタ CLMAn は，クロック（CLMAnTMON）の周波数が特定の範囲内にあることを確認するために使用します。

(1) 異常クロック周波数の検出

検出方法

1. CLMAn は，サンプリング・クロック CLMAnTSMP の 16 サイクル内でモニタ・クロック CLMAnTMON の立ち上がりエッジをカウントし，このカウント値と設定したしきい値とを比較します。
   - CLMAnCMPL レジスタの CLMAnCMPL[11:0] は下限しきい値を指定します。
   - CLMAnCMPH レジスタの CLMAnCMPH[11:0] は上限しきい値を指定します。
2. CLMAnTMON が停止した場合，またはその周波数が低い場合は，カウント値は CLMAnCMPL レジスタの CLMAnCMPL[11:0] の設定値を下回ります。
3. CLMAnTMON の周波数が高い場合は，カウント値が CLMAnCMPH レジスタの CLMAnCMPH[11:0] の設定値を上回ります。

いずれの場合も，7.8.4 の (2)「異常クロック周波数の通知」で説明するように，CLMAn はクロック異常を通知します。

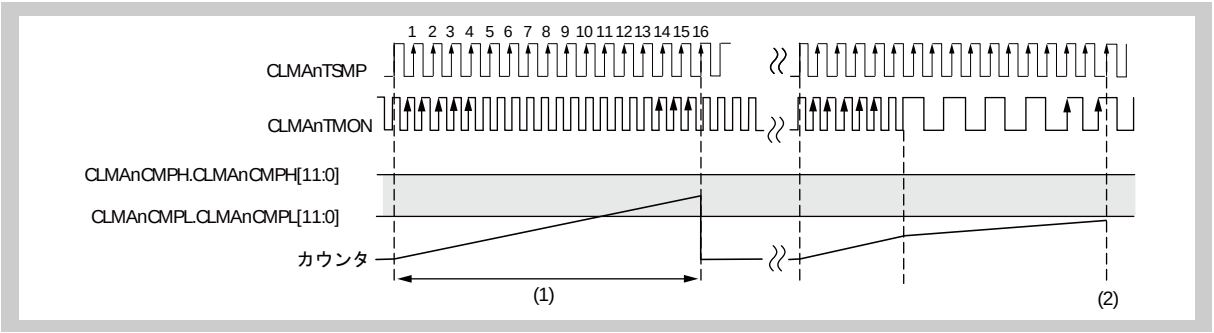


図 7-3 例：$f_{CLMAnTMON}$ が低い場合

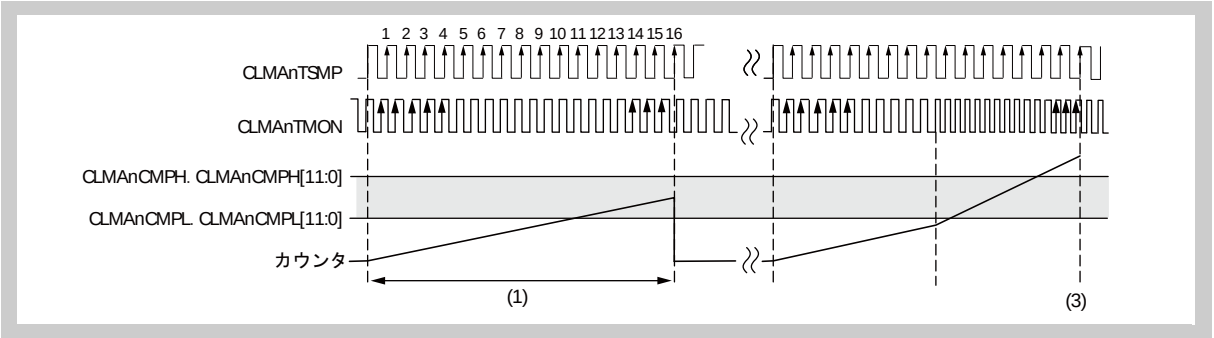


図 7-4 例：$f_{CLMAnTMON}$ が高い場合

備考 サンプリング周期内 (CLMAnTSMP の 16 クロック) で $f_{CLMAnTMON}$ 周波数が高く／低くなった場合，検出エッジ数は規定範囲内に収まる可能性があります。

$f_{CLMAnTMON}$ の異常は，1 サンプリング・周期後に検出されます。

(a) しきい値 CLMAnCMPL レジスタの CLMAnCMPL[11:0] と CLMAnCMPH レジスタの CLMAnCMPH[11:0] の算出方法

コンペア・レジスタ CLMAnCMPL と CLMAnCMPH には，サンプリング・クロック CLMAnTSMP の 16 サイクル内で有効と想定される CLMAnTMON のクロック・サイクルの最小値と最大値を設定します。

期待されるクロック・サイクル数を N で表します。

$$\frac{16}{f_{CLMAnTSMP}} = \frac{N}{f_{CLMAnTMON}}$$

$$N = \frac{CLMAnTMON}{CLMAnTSMP} \times 16$$

CLMAnTMON と CLMAnTSMP の許容周波数偏差を考慮して，次の式でしきい値を計算します。

$$\text{下限しきい値} = N_{min} = \frac{f_{CLMAnTMON(min)}}{f_{CLMAnTSMP(max)}} \times 16 - 1$$

$$\text{上限しきい値} = N_{max} = \frac{f_{CLMAnTMON(max)}}{f_{CLMAnTSMP(min)}} \times 16 + 1$$

備考 この製品の CLMAnCMPH レジスタ，CLMAnCMPL レジスタの設定例は，*7-16「CLMAnCMPH レジスタ，CLMAnCMPL レジスタの設定例」*を参照願います。

最小しきい値 次の制限事項を考慮した値を設定してください。

- CLMAnCMPL ≥ 0001_H
- CLMAnCMPH ≥ CLMAnCMPL + 0003_H

(2) 異常クロック周波数の通知

$f_{CLMAnTMON}$ が高い場合

$f_{CLMAnTMON}$ が上限しきい値よりも高い場合，クロック異常は次のように示されます。

1. リセット要求信号 $\overline{\text{CLMAnRES}}$（ロウ・レベル）を出力
2. 周辺リセット PERRES が発生し，CLMAn をリセット

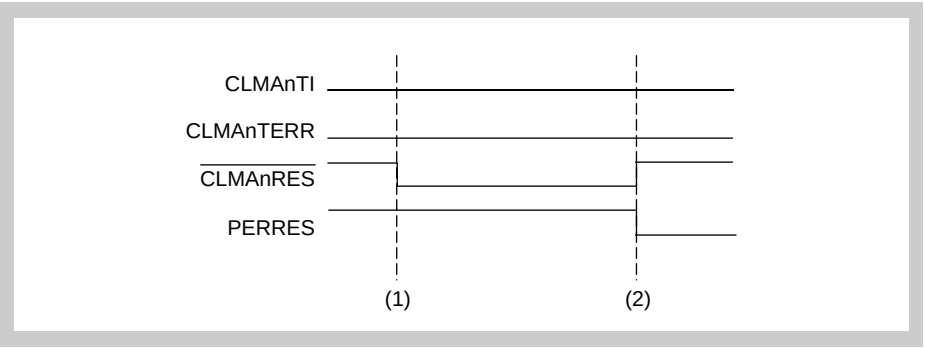


図 7-5 $f_{CLMAnTMON}$ が上限しきい値よりも高い場合のクロック異常通知

$f_{CLMAnTMON}$ が低い場合

$f_{CLMAnTMON}$ が下限しきい値よりも低い場合，CLMAn は CLMAnCTL1 レジスタの CLMAnOSEL ビットの設定に応じて次のいずれかを実行します。

表 7-15 $f_{CLMAnTMON}$ が低い場合

CLMAnCTL1. CLMAnOSEL	下限しきい値よりも低い場合の $f_{CLMAnTMON}$ の表示
0	リセット要求信号 $\overline{\text{CLMAnRES}}$（ロウ・レベル）を出力（前述の $f_{CLMAnTMON}$ が高い場合と同様）
1	エラー信号 CLMAnTERR（ハイ・レベル）を出力し，エラー割り込み要求 CLMAnTI を発生 • エラー信号 CLMAnTERR のレベルは，CLMAn がリセット（PERRES）されるまで維持します。 • クロック周波数が低いままでも，エラー割り込み要求 CLMATI は一度しか発生しません。

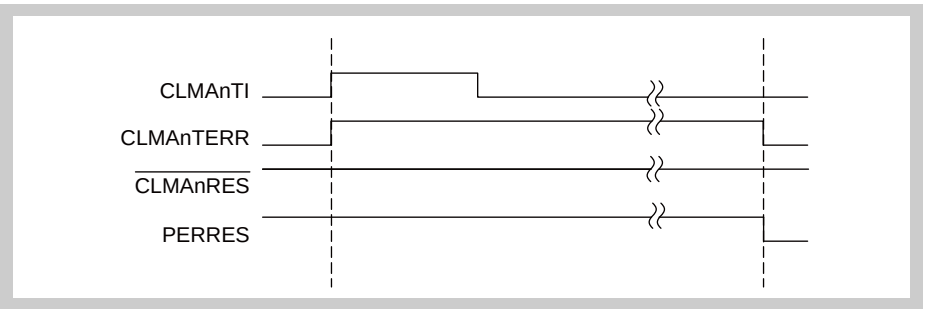


図 7-6 $f_{CLMAnTMON}$ が下限しきい値よりも低い場合のクロック異常通知（CLMAnCTL1 レジスタの CLMAnOSEL ビット = 1 の場合）

(3) CLMAn 有効（CLMAnCTL0 レジスタへのライト）

制御レジスタ CLMAnCTL0 は，CLMAn を有効にするためのライト保護レジスタです。

備考 CLMAn は一度有効にするとソフトウエアで無効にはできません。リセットでのみ無効にできます。

(a) CLMAnCTL0 レジスタの初期値

CLMAnCTL0 レジスタの初期値は 00_H です。ソフトウェアにて CLMAnCLME ビット = 1 に設定することで，CLMAn は動作を開始します。

(b) CLMAn 有効化の書き込み手順

CLMAnCTL0 レジスタを 01_H に設定するには，次の命令シーケンスに従ってください。

1. CLMAnPCMD レジスタに $A5_H$ を書き込みます。
2. 次のシーケンスで CLMAnCTL0 レジスタに書き込みを行います。
   - 01_H を書き込んで CLMAn を有効にする
   - 反転値 FE_H を書き込む
   - 再度目的の値 01_H を書き込む
3. CLMAnCTL0 レジスタを読み出します。

   CLMAnCTL0 レジスタの値が 01_H になっていれば，CLMAn が有効になっています。
   それ以外の場合は，CLMAnCTL0 レジスタ，ライト動作ステータス・レジスタ CLMAnPS の値を確認します。
   - CLMAnPS レジスタ値 = 01_H の場合，命令シーケンスが正しく実行されていません。手順 1 から再度シーケンスを実行し，CLMAn を有効にしてください。
   - CLMAnPS レジスタ値 = 00_H の場合，まず 00_H を CLMAnPCMD レジスタに書き込み，再度手順 1 からシーケンスを実行してください。

(4) CLMAnCMPH レジスタ，CLMAnCMPL レジスタの設定例

表 7-16 CLMAnCMPH レジスタ，CLMAnCMPL レジスタの設定例

	動作周波数	Main OSC	モニタ・クロック	サンプリング・クロック	CLMAnCMPH 注	CLMAnCMPL 注
CLMA0	48MHz 64MHz 80MHz	8MHz	WDTCLKI (Main OSC/32) (0.25MHz)	Internal OSC/128 (0.063MHz)	0049_H	0039_H
		16MHz	WDTCLKI (Main OSC/2/32) (0.25MHz)			
CLMA1		8MHz	内部システム・クロック (80MHz)	Main OSC (8MHz)	$00A5_H$	$009B_H$
		16MHz		Main OSC/2 (8MHz)		
		8MHz	内部システム・クロック (64MHz)	Main OSC (8MHz)	0084_H	$007C_H$
		16MHz		Main OSC/2 (8MHz)		
		8MHz	内部システム・クロック (48MHz)	Main OSC (8MHz)	0063_H	$005D_H$
		16MHz		Main OSC/2 (8MHz)		
CLMA2		8MHz	Internal OSC (8MHz)	Main OSC/2 (4MHz)	0025_H	$001B_H$
		16MHz		(Main OSC/2)/2 (4MHz)		

注 Main OSC を 8MHz±0.2%, Internal OSC を 8MHz±10%, PLL ジッタを ±200ps として計算した値です。

(5) CLMAn エラー・リセット（$\overline{\text{CLMAnRES}}$）発生後の動作

SGA にエラーを通知するとともにリセットを発生します。

この時，Main OSC, PLL1, Internal OSC の全てが正常状態となれば，フラッシュ・リセット・シーケンス，OSC 安定化時間および PLL ロックアップ時間経過後，リセット状態は解除されます。

Main OSC, PLL1, Internal OSC, WDTCLKI のいずれかが停止または異常状態にある場合は，リセット状態は解除されません。

注意 $\overline{\text{CLMAnRES}}$ 発生後，Main OSC，PLL1，Internal OSC，WDTCLKI が正常に動作をしているかを確認するため，CPU が動作を開始した場合，RESF レジスタを確認後，CLMAn の動作を開始し，Main OSC，PLL1，Internal OSC，WDTCLKI の周波数監視を行ってください。

(6)　CLMAn エラー割り込み要求（CLMAnTI）発生後の動作（n = 1，2）

(a)　CLMA1 エラー割り込み要求（CLMA1TI）発生後

SGA にエラーを通知します。CPU システム・クロック停止時，CPU は動作不可能です。この時，CPU および周辺機能の動作は保証できません。

(b)　CLMA2 エラー割り込み要求（CLMA2TI）発生後

SGA にエラーを通知します。Internal OSC 停止時，Main OSC に異常があっても CLM0, CLM1 で異常を検出できませんので，CPU および周辺機能の動作は保証できません。この時，リセットが入力されても Internal OSC が停止していればフラッシュ・リセット・シーケンスの実行が不可能となり，リセットが解除されません。

7.8.5 クロック・モニタ A レジスタ

クロック・モニタ A は，次のレジスタで制御，動作します。

レジスタ・アドレス クロック・モニタ A レジスタのアドレス一覧を以下に示します。

表 7-17 クロック・モニタ・レジスタの一覧

レジスタ名	略号	アドレス
CLMAn 制御レジスタ 0	CLMAnCTL0	<CLMAn_base> + 00_H
CLMAn 制御レジスタ 1	CLMAnCTL1	<CLMAn_base> + 04_H
CLMAn コンペア・レジスタ L	CLMAnCMPL	<CLMAn_base> + 08_H
CLMAn コンペア・レジスタ H	CLMAnCMPH	<CLMAn_base> + $0C_H$
CLMAn 保護コマンド・レジスタ	CLMAnPCMD	<CLMAn_base> + 10_H
CLMAn 保護ステータス・レジスタ	CLMAnPS	<CLMAn_base> + 14_H

<CLMAn_base> CLMAn のベース・アドレス <CLMAn_base> は，*7-11「レジスタ・ベース・アドレス <CLMAn_base>」* で定義しています。

(1) CLMAnCTL0 - CLMAn 制御レジスタ 0

クロック・モニタ A (CLMAn) を有効にします。

アクセス 8 ビット単位でリード／ライト可能です。

このレジスタへのライトは，特定の命令シーケンスによって保護されます。詳細は，7.8.4 (3)「CLMAn 有効（CLMAnCTL0 レジスタへのライト）」を参照してください。

アドレス <CLMAn_base> + 00_H

初期値 00_H

どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	CLMAn CLME
R	R	R	R	R	R	R	R/W

表 7-18 CLMAnCTL0 レジスタの内容

ビット位置	ビット名	機能
0	CLMAnCLME	クロック・モニタの有効／無効を設定します。 0: CLMAn 無効 1: CLMAn 有効 このビットは，リセットでのみクリアできます。

(2) CLMAnCTL1 - CLMAn 制御レジスタ 1

モニタ対象クロック CLMAnTMON の周波数が指定範囲外の場合に出力する信号を指定します。

詳細は，7.8.4 (2)「異常クロック周波数の通知」を参照してください。

アクセス 1 ビットまたは 8 ビット単位でリード／ライト可能です。CLMAn が無効（CLMAnCTL0 レジスタの CLMAnCLME ビット = 0）の場合のみ書き込み可能です。

アドレス <CLMAn_base> + 04_H

初期値 00_H

どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	CLMAn OSEL
R	R	R	R	R	R	R	R/W

表 7-19 CLMAnCTL1 レジスタの内容

ビット位置	ビット名	機能
0	CLMAnOSEL	CLMAnTMON の周波数が下限しきい値より低い場合に出力する信号を指定します。 0: リセット要求信号 CLMAnRES 1: エラー割り込み要求 CLMAnTI とエラー信号 CLMAnTERR

注意 Internal OSC が停止している場合，内部リセットは発生しません。CLMA2CTL1.CLMA2OSEL を 0（リセット要求信号）に設定している場合でも，SGA は Internal OSC の停止を検出し，ERROROUT 端子は L レベル出力します。

(3) CLMAnCMPH - CLMAn コンペア・レジスタ H

周波数の上限しきい値を指定します。

詳細は 7.8.4 *(1)* の (a)「しきい値 CLMAnCMPL レジスタの CLMAnCMPL[11:0] と CLMAnCMPH レジスタの CLMAnCMPH[11:0] の算出方法」を参照してください。

アクセス 16 ビット単位でリード／ライト可能です。CLMAn が無効（CLMAnCTL0 レジスタの CLMAnCLME ビット = 0）の場合のみ書き込み可能です。

アドレス <CLMAn_base> + $0C_H$

初期値 $03FF_H$ どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	CLMAnCMPH[11:0]											
R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7-20 CLMAnCMPH レジスタの内容

ビット位置	ビット名	機能
11-0	CLMAnCMPH[11:0]	上限しきい値を指定します。 • 推奨値：*7-16「CLMAnCMPH レジスタ，CLMAnCMPL レジスタの設定例」*参照 • 最小値：CLMAnCMPL ＋ 0003_H

(4) CLMAnCMPL - CLMAn コンペア・レジスタ L

周波数の下限しきい値を指定します。

詳細は 7.8.4 *(1)* の (a)「しきい値 CLMAnCMPL レジスタの CLMAnCMPL[11:0] と CLMAnCMPH レジスタの CLMAnCMPH[11:0] の算出方法」を参照してください。

アクセス 16 ビット単位でリード／ライト可能です。CLMAn が無効（CLMAnCTL0 レジスタの CLMAnCLME ビット = 0）の場合のみ書き込み可能です。

アドレス <CLMAn_base> + 08_H

初期値 0001_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	CLMAnCMPL[11:0]											
R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7-21 CLMAnCMPL レジスタの内容

ビット位置	ビット名	機能
11-0	CLMAnCMPL [11:0]	下限しきい値を指定します。 • 推奨値：*7-16「CLMAnCMPH レジスタ，CLMAnCMPL レジスタの設定例」*参照 • 最小値：0001_H

(5) CLMAnPCMD - CLMAn 保護コマンド・レジスタ

CLMAnCTL0 レジスタの保護コマンド・レジスタです。

詳細は 7.8.4 の (3)「CLMAn 有効（CLMAnCTL0 レジスタへのライト）」を参照してください。

アクセス 8 ビット単位でライト可能です。

アドレス <CLMAn_base> + 10_H

初期値 不定

7	6	5	4	3	2	1	0
CLMAnREG[7:0]							
W	W	W	W	W	W	W	W

表 7-22 CLMAnPCMD レジスタの内容

ビット位置	ビット名	機能
7-0	CLMAnREG[7:0]	CLMAnCTL0 レジスタへの書き込みを有効にする保護コマンド

(6) CLMAnPS - CLMAn 保護ステータス・レジスタ

ライト保護レジスタ CLMAnCTL0 レジスタへの書き込みが正常に行われたかどうかを検証します。

詳細は 7.8.4 の (3)「CLMAn 有効（CLMAnCTL0 レジスタへのライト）」を参照してください。

アクセス 8 ビット単位でリード可能です。

アドレス <CLMAn_base> + 14_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	CLMAn PRERR
R	R	R	R	R	R	R	R

表 7-23 CLMAnPS レジスタの内容

ビット位置	ビット名	機能
0	CLMAnPRERR	ライト保護レジスタ CLMAnCTL0 レジスタへの書き込みが正常に行われたかどうかを示します。 0: 書き込み成功 1: 書き込み失敗

第 8 章　リセット・コントローラ

この章ではリセット・コントローラについて説明します。

8.1　機能概要

この製品には，複数のシステム・リセット機能が用意されています。

機能概要　次のイベントによってリセットが発生します。

- 外部リセット信号 $\overline{\text{RESET}}$
  アナログ・フィルタによるノイズ除去
- ウォッチドッグ・タイマのオーバフロー（$\overline{\text{WDTA0RES}}$）
- クロック・モニタ・リセット（$\overline{\text{CLMA0RES}}$ ～ $\overline{\text{CLMA2RES}}$）
- 低電圧検出リセット（$\overline{\text{LVIRES}}$）
- ソフトウエア・リセット（SWRES）
- セーフティ・ガーディアン・リセット（$\overline{\text{SGARES}}$）
- 自己診断 BIST リセット（$\overline{\text{BISTRES}}$）
- デバッグ・リセット（$\overline{\text{DBRES}}$）

リセット・コントローラの主な構成要素を次のブロック図に示します。

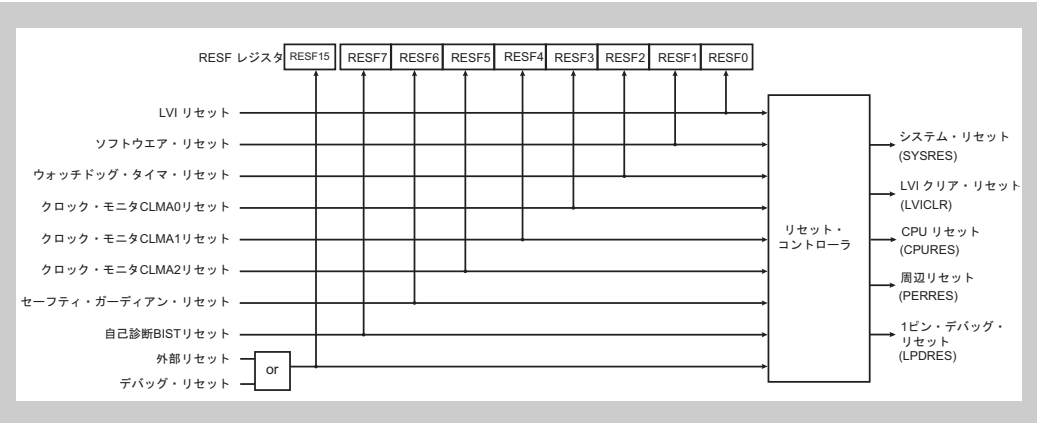


図 8-1　リセット・コントローラのブロック図

表 8-1　リセット要因 と動作タイミング

リセット入力要因	内部リセット信号[注1]					フラッシュ・リセット・シーケンス時間[注2]	PLL ロックアップ時間[注2]	OSC 安定化時間[注2]	自己診断 BIST 実行[注3]	RESF レジスタ
	SYSRES	LVICLR	CPURES	PERRES	LPDRES 注5					
$\overline{\text{RESET}}$	√	√	√	√	–	√	√	–	√	RESF15[注4]
$\overline{\text{DBRES}}$	√	√	√	√	–	√	√	–	√	RESF15[注4]
$\overline{\text{BISTRES}}$	–	√	√	√	–	√	√	–	–	RESF7
$\overline{\text{SGARES}}$	–	√	√	√	–	√	√	–	√	RESF6
$\overline{\text{CLMA2RES}}$	–	√	√	√	–	√	√	√	√	RESF5
$\overline{\text{CLMA1RES}}$	–	√	√	√	–	√	√	√	√	RESF4
$\overline{\text{CLMA0RES}}$	–	√	√	√	–	√	√	√	√	RESF3
$\overline{\text{WDTA0RES}}$	–	√	√	√	–	√	√	–	√	RESF2
SWRES	–	√	√	√	–	–	–	–	–	RESF1
$\overline{\text{LVIRES}}$	–	–	√	√	–	√	√	√	√	RESF0

注 1.（–）内部リセット信号は無効，（√）内部リセット信号は有効。

注 2.（–）時間は考慮されていない，（√）内部ハードウェア・カウンタによって時間は考慮されています。

注 3.（–）リセット解除後，自己診断 BIST を実行しない，（√）リセット解除後，自己診断 BIST を実行する。

注 4. 他のすべての RESF フラグは SYSRES（$\overline{\text{RESET}}$ ／ $\overline{\text{DBRES}}$）によってクリアされます。

注 5. リセット要因は，8.1 (1)「内部リセット信号」を参照してください。

(1) 内部リセット信号

リセット・コントローラは，各種リセット要因からの内部リセット信号に対して，すべてのリセット信号の発生を制御します。

- システム・リセット SYSRES
  システム・リセットは外部リセットもしくはデバッグ・リセットによって発生します。SYSRES はすべてのマイクロコントローラ構成部に適用されます。
- CPU リセット CPURES
  CPU リセットは，すべてのリセット要因で発生します。CPURES はマスターおよびチェッカー CPU サブシステム (DMA，INTC 等) に適用されます。
- LVI クリア・リセット LVICLR
  LVI クリア・リセットは LVIRES 以外のすべてのリセット要因で発生します。
- 周辺リセット PERRES
  周辺リセットはすべてのリセット要因で発生します。
- 1 ピン・デバッグ・リセット LPDRES
  1 ピン・デバッグ・リセットは 1 ピン・デバッグ機能専用のリセット信号です。LPDRES は電源投入時に解除されます。なお，LPDRES は一度解除されると電源遮断時または，DCUTRST がハイ・レベルになるまで，解除されたままとなります。

(2) 電源投入後の外部リセット解除タイミング

電源投入後，外部リセットのロウ・レベル幅は，内蔵レギュレータのセットアップ時間を確保するため，6 msec 以上入力する必要があります。

8.2 機能説明

8.2.1 リセット・フラグ

リセット・フラグ・レジスタ RESF は，各リセット要因に対するリセット・フラグを提供します。

リセットが発生すると，対応するフラグがセットされます。これにより，リセット要因を判断することができます。

RESF 内のフラグは，SYSRES と RESFC レジスタによるソフトウェア・クリアによってのみクリアされます。そのため，各フラグの状態は累積します。各リセット要因は，他のリセット要因とは独立して，対応するフラグのみをセットします。

8.2.2 低電圧検出回路（LVI）

低電圧検出回路（LVI）は，内蔵レギュレータ用電源電圧 VDD と LVI 内蔵基準電圧 V_{LVI} を常に比較します。

VDD が内蔵基準電圧（VDD < V_{LVI}）を下回った場合，内蔵リセット信号 $\overline{\text{LVIRES}}$，または割り込み信号（INTLVI）が発生します。

さらに，$\overline{\text{LVIRES}}$ フラグ RESF.RESF0 がセットされます。
その後，VDD が V_{LVI} を上回っても RESF.RESF0 は自動的にクリアされません。RESF.RESF0 は以下の要因によってクリアされます。

- RESFC.RESFC0 を 1 に設定
- SYSRES

LVI 基準電圧 内蔵基準電圧レベル V_{LVI} の仕様については，27.6.16「POF ／ LVI 特性」を参照してください。

$\overline{\text{LVIRES}}$ の生成 $\overline{\text{LVIRES}}$ の発生は，割り込みの発生に置き換えることができます。

$\overline{\text{LVIRES}}$ と RESF.RESF0 のタイミングを次の図に示します。

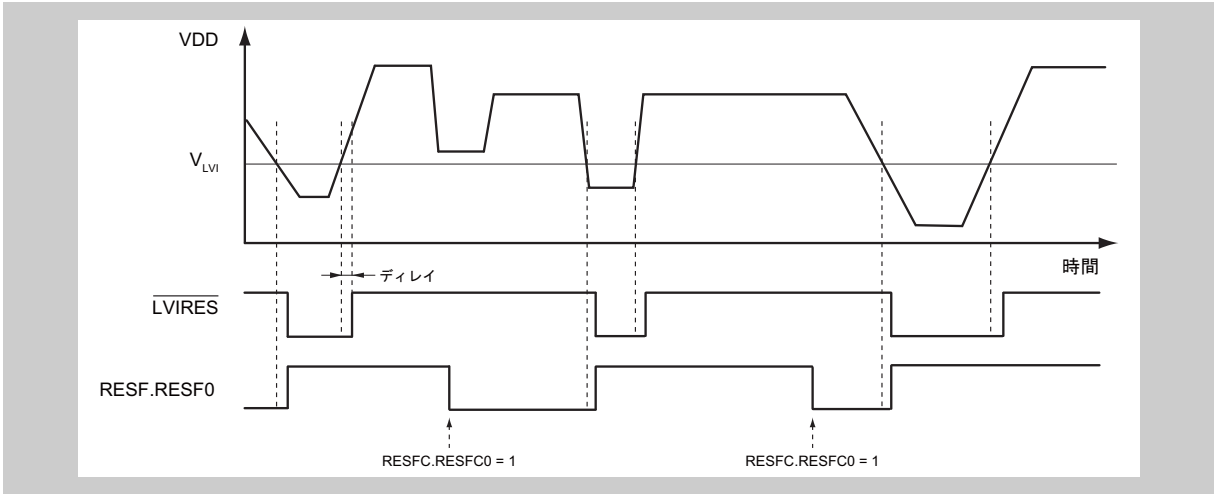


図 8-2 LVI リセット・タイミング

ディレイ VDD が V_{LVI} レベルと交差してから $\overline{\text{LVIRES}}$ が発生し，RESF.RESF0 をセットするまでには遅延時間が発生します。

8.2.3 外部 $\overline{\text{RESET}}$

$\overline{\text{RESET}}$ 端子にロウ・レベル信号が印加されると，リセット処理が行われます。

SYSRES は，RESF レジスタを 8000_H にクリアします。RESF.RESF15 は，外部 $\overline{\text{RESET}}$ イベントを示します。RESF.RESF15 は自動的にクリアされません。RESF.RESF15 は以下の要因によってクリアされます。

- RESFC.RESFC15 を 1 に設定

$\overline{\text{RESET}}$ 信号は，ノイズによる不正リセットの発生を防ぐためにアナログ・ノイズ・フィルタを通過します。

外部リセットが発生するタイミングを次の図に示します。この図では，ノイズ除去の効果も示しています。

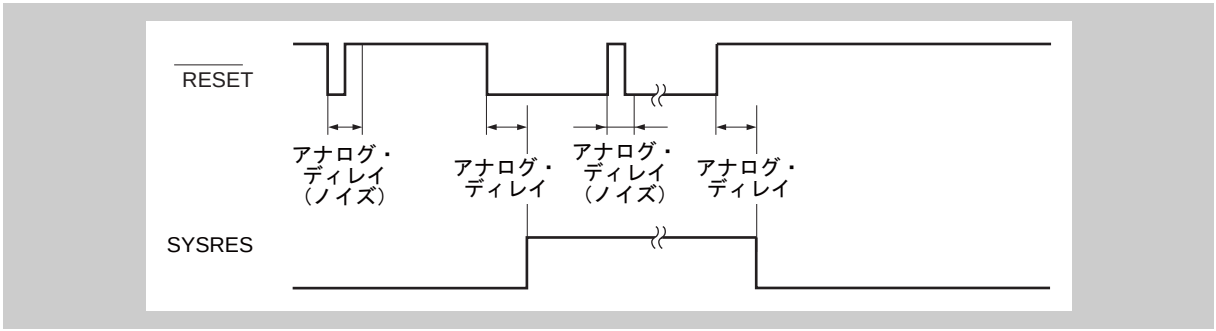


図 8-3 外部 $\overline{\text{RESET}}$ タイミング

アナログ・フィルタによって遅延が発生します。フィルタはある一定の幅までのパルスをノイズとみなし，除去します。
ノイズ除去幅については*表 2-51「ノイズ除去幅，ノイズ除去サンプリング・クロック一覧」*を，最小 RESET パルス幅については，27.6.5「リセット・タイミング」を参照してください。

8.2.4 ウォッチドッグ・タイマ・リセット

ウォッチドッグ・タイマは，ウォッチドッグ時間を超えたときにリセットを発生するように設定することができます。ウォッチドッグ・リセットが発生すると，ウォッチドッグ・タイマ・リセット・フラグ（WDTA0RES）に対しては RESF.RESF2 がセットされます。RESF.RESF2 は自動的にクリアされません。RESF.RESF2 は以下の要因によってクリアされます。

- RESFC.RESFC2 を 1 に設定
- SYSRES

8.2.5 ソフトウエア・リセット

SWRESA.SWRESA を 1 を設定することでソフトウエア・リセット SWRES を発生させることができます。

RESF.RESF1 は自動的にクリアされません。RESF.RESF1 は以下の要因によってクリアされます。

- RESFC.RESFC1 を 1 に設定
- SYSRES

8.2.6　クロック・モニタ・リセット

クロック・モニタは，各種内部クロックを監視します。クロックの偏差を検出するとリセットが発生します。

- メイン発振回路のフェイル検出：$\overline{\text{CLMA0RES}}$
- PLL1 のフェイル検出：$\overline{\text{CLMA1RES}}$
- InternalOSC のフェイル検出：$\overline{\text{CLMA2RES}}$

クロック・モニタ・リセットによって RESF レジスタ内の対応するリセット・フラグがセットされます。
これらのフラグは自動的にクリアされません。各リセット・フラグは以下の要因によってクリアされます。

- $\overline{\text{CLMA0RES}}$ に対しては RESFC.RESFC3，$\overline{\text{CLMA1RES}}$ に対しては RESFC.RESFC4，$\overline{\text{CLMA2RES}}$ に対しては RESFC.RESFC5 = 1 をそれぞれセット
- SYSRES

8.2.7　自己診断 BIST リセット

自己診断 BIST はリセット要因（SWRES 除く）が解除された後に実行され，自己診断 BIST 実行後に自己診断 BIST 対象となった回路を初期化するためのリセットを発生します。

BISTRES の発生は，RESF.RESF7 によって示されます 。

RESF.RESF7 は，自動的にクリアされません。

RESF.RESF7 は，以下の要因によってクリアされます。

- RESFC.RESFC7 を 1 に設定
- SYSRES

8.2.8　セーフティ・ガーディアン・リセット

セーフティ・ガーディアン（SGA）は監視ユニットから全ての内部エラー信号を受け取ります。

SGA に接続された全てのエラー入力が，$\overline{\text{SGARES}}$ リセット信号を生成することができます。

セーフティ・ガーディアンのリセット後，セーフティ・ガーディアン リセットフラグ (RESF.RESF6) がセットされます。

RESF.RESF6 は自動的にクリアされません。

RESF.RESF6 は以下の要因によってクリアされます。

- RESFC.RESFC6 を 1 に設定
- SYSRES

8.2.9 リセット・フラグの評価

すべての CPU リセット (CPURES) の後，ソフトウエアは常に 0000 0000_H 番地に配置されたリセット・ベクタから開始します。

各リセットソースはそれぞれのリセット・フラグを設定するため，リセット・フラグ・レジスタ（RESF）が 0000_H であれば，ソフトウエアに問題がある可能性があります。

以下の手順で，リセット・フラグ・レジスタ（RESF）を参照してください。

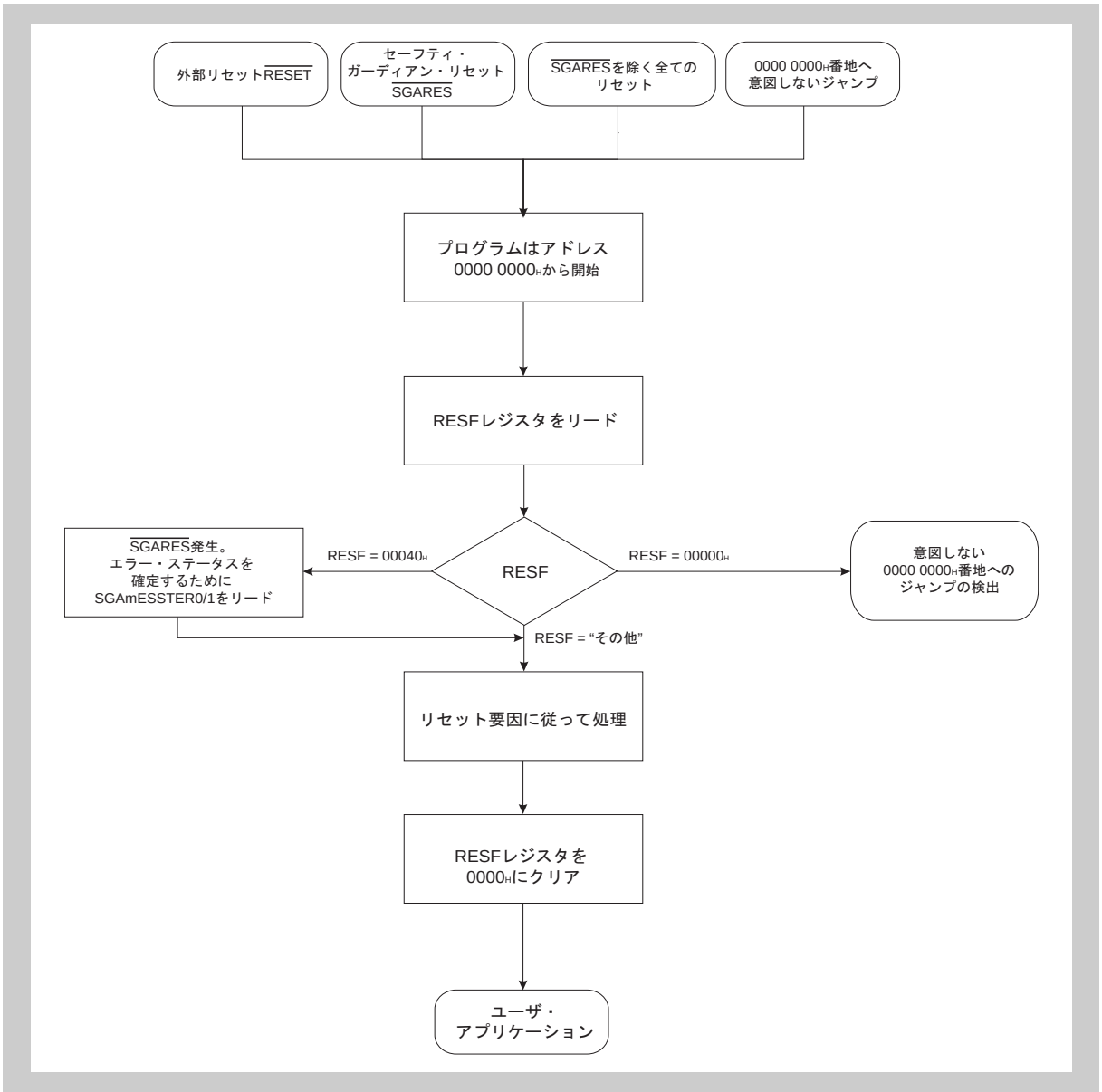


図 8-4 リセット・フラグの評価と処理手順

8.2.10 リセット・コントローラ・レジスタ保護

ライト保護レジスタは，誤ったプログラム動作などによる不正なライトから保護されています。

ライト保護レジスタへのライトは，次に示す特定の命令シーケンスによってのみ可能です。

1. 固定値 $A5_H$ を保護コマンド・レジスタ CSCPCMD に書き込みます。
2. 保護レジスタに要求値をライトします。
3. 保護レジスタに要求値のビット反転値をライトします。
4. 保護レジスタに要求値をライトします。
5. CSCPS.CSCPRERR の値が 0 であることを確認して，保護レジスタに要求値が書き込まれたことを確認します。

上記命令シーケンスの手順 1 から手順 4 の間に，リセット関連レジスタへのアクセスがあった場合，保護レジスタへのライトは失敗します（CSCPS.CSCPRERR = 1 で表示）。この場合，命令シーケンスを手順 1 から再度行う必要があります。

上記特定命令シーケンス中は，この保護シーケンスを阻むことなく，リセット関係レジスタを除く他のレジスタへアクセスすることができます。

保護シーケンスが阻まれた場合，保護機能は次のように動作します。

- 保護シーケンス中の割り込み
  上記保護シーケンス中に割り込みが受け付けられ，かつその割り込みサービス・ルーチンがリセット関連レジスタにアクセスしていない場合，保護シーケンスは阻まれません。割り込みサービス・ルーチンから復帰したあと，保護レジスタへのライトが正常に行なわれます。

8.3 レジスタ

この節では，リセット・コントローラのすべてのレジスタについて説明します。

8.3.1 リセット・コントローラ・レジスタ概要

リセット・コントローラは，次のレジスタで制御します。

表 8-2 リセット・コントローラ・レジスター覧

レジスタ名	略号	アドレス
リセット・フラグ・レジスタ		
リセット要因レジスタ	RESF	FF42 0020$_H$
リセット要因セット・レジスタ	RESFS	FF42 0024$_H$
リセット要因クリア・レジスタ	RESFC	FF42 0028$_H$
ソフトウエア・リセット制御レジスタ		
ソフトウエア・リセット・レジスタ	SWRESA	FF42 002C$_H$
保護コマンド・レジスタ		
保護コマンド・レジスタ	CSCPCMD	FF42 0014$_H$
保護ステータス・レジスタ	CSCPS	FF42 0018$_H$

注意 各レジスタには機能が割り当てられていないビットがあります。これらのビットには “0” 以外をライトしないでください。“0” 以外の値を設定した場合の動作は保証できません。

8.3.2 リセット・コントローラ制御レジスタの詳細

(1) RESF - リセット要因レジスタ

前回の SYSRES（$\overline{\text{RESET}}$ ／ $\overline{\text{DBRES}}$）後に発生したリセットの種類を保持しています。

各リセット条件に応じて，このレジスタ内の対応するフラグがセットされます。
たとえば，ウォッチドッグ・タイマ・リセット $\overline{\text{WDTA0RES}}$ が発生したのちにクロック・モニタ CLMA0RES が発生した場合，このレジスタのリード値は $000C_H$ になります。

アクセス 16 ビット単位でリード可能です。

アドレス $FF42\ 0020_H$

初期値 8000_H SYSRES（$\overline{\text{RESET}}$ ／ $\overline{\text{DBRES}}$）によって初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESF15	0	0	0	0	0	0	0	RESF7	RESF6	RESF5	RESF4	RESF3	RESF2	RESF1	RESF0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8-3 RESF レジスタの内容

ビット位置	ビット名	機能
15	RESF15	外部リセット・フラグ 0: RESET ／ DBRES リセット未発生 1: RESET ／ DBRES リセット発生
7	RESF7	自己診断 BIST リセット・フラグ 0: BISTRES リセット未発生 1: BISTRES リセット発生 自己診断 BIST 実行後，必ずセットされます。自己診断 BIST 実行しない場合は状態を保持します。
6	RESF6	セーフティ・ガーディアン・リセット・フラグ 0: SGATRES リセット未発生 1: SGATRES リセット発生
5	RESF5	クロック・モニタ CLMA2 リセット・フラグ 0: CLMA2RES リセット未発生 1: CLMA2RES リセット発生
4	RESF4	クロック・モニタ CLMA1 リセット・フラグ 0: CLMA1RES リセット未発生 1: CLMA1RES リセット発生
3	RESF3	クロック・モニタ CLMA0 リセット・フラグ 0: CLMA0RES リセット未発生 1: CLMA0RES リセット発生
2	RESF2	ウォッチドッグ・タイマ WDTA0 リセット・フラグ 0: WDTA0RES リセット未発生 1: WDTA0RES リセット発生
1	RESF1	ソフトウエア・リセット・フラグ 0: SWRES リセット未発生 1: SWRES リセット発生
0	RESF0	低電圧検出リセット・フラグ 0: LVIRES リセット未発生 1: LVIRES リセット発生

注意 リセット発生と RESFC レジスタ書き込みによるクリアが競合した場合，リセット発生によるセットが優先されます。

備考 RESFS，RESFC レジスタに書き込み後，再度書き込みを行う場合は，PLL 入力クロックの 6 サイクル以上あけないと 2 回目の書き込みは反映されません。

(2) RESFC - リセット要因クリア・レジスタ

RESF レジスタのリセット・フラグをクリアします。

アクセス 16 ビット単位でリード／ライト可能です。このレジスタをリードすると常に 0000_H を返します。

アドレス FF42 0028_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESFC15	0	0	0	0	0	0	0	RESFC7	RESFC6	RESFC5	RESFC4	RESFC3	RESFC2	RESFC1	RESFC0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-4 RESFC レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	RESFC15	外部リセット・フラグ（RESF.RESF15 ビット）のクリア動作を制御します。 0: 無効（0 を設定してもフラグに影響はありません。） 1: RESF.RESF15 をクリア
7	RESFC7	自己診断 BIST リセット・フラグ（RESF.RESF7 ビット）のクリア動作を制御します。 0: 無効（0 を設定してもフラグに影響はありません。） 1: RESF.RESF7 をクリア
6	RESFC6	セーフティ・ガーディアン・リセット・フラグ（RESF.RESF6 ビット）のクリア動作を制御します。 0: 無効（0 を設定してもフラグに影響はありません。） 1: RESF.RESF6 をクリア
5	RESFC5	クロック・モニタ CLMA2 リセット・フラグ（RESF.RESF5 ビット）のクリア動作を制御します。 0: 無効（0 を設定してもフラグに影響はありません。） 1: RESF.RESF5 をクリア
4	RESFC4	クロック・モニタ CLMA1 リセット・フラグ（RESF.RESF4 ビット）のクリア動作を制御します。 0: 無効（0 を設定してもフラグに影響はありません。） 1: RESF.RESF4 をクリア
3	RESFC3	クロック・モニタ CLMA0 リセット・フラグ（RESF.RESF3 ビット）のクリア動作を制御します。 0: 無効（0 を設定してもフラグに影響はありません。） 1: RESF.RESF3 をクリア

表 8-4 RESFC レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	RESFC2	ウォッチドッグ・タイマ WDTA0 リセット・フラグ（RESF.RESF2 ビット）のクリア動作を制御します。 0: 無効（0 を設定してもフラグに影響はありません。） 1: RESF.RESF2 をクリア
1	RESFC1	ソフトウエアリセット・フラグ（RESF.RESF1 ビット）のクリア動作を制御します。 0: 無効（0 を設定してもフラグに影響はありません。） 1: RESF.RESF1 をクリア
0	RESFC0	低電圧検出フラグ（RESF.RESF0 ビット）のクリア動作を制御します。 0: 無効（0 を設定してもフラグに影響はありません。） 1: RESF.RESF0 をクリア

(3) RESFS - リセット要因セット・レジスタ

このレジスタは，RESF レジスタのテスト用レジスタです。RESF レジスタのリセット要因に対応したフラグはセットされますが，対応するリセットは発生しません。

アクセス 16 ビット単位でリード／ライト可能です。このレジスタをリードすると常に 0000_H を返します。

アドレス $FF42\ 0024_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESFS15	0	0	0	0	0	0	0	RESFS7	RESFS6	RESFS5	RESFS4	RESFS3	RESFS2	RESFS1	RESFS0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-5 RESFS レジスタの内容

ビット位置	ビット名	機能
15	RESFS15	外部リセット・フラグ RESF.RESF15 のセット 0: 無効（0 を設定してもフラグに影響はありません。） 1: RESF.RESF15 をセット
7	RESFS7	自己診断 BIST リセット・フラグ RESF.RESF7 のセット 0: 無効（0 を設定してもフラグに影響はありません。） 1: RESF.RESF7 をセット
6	RESFS6	セーフティ・ガーディアン・リセット・フラグ RESF.RESF6 のセット 0: 無効（0 を設定してもフラグに影響はありません。） 1: RESF.RESF6 をセット
5	RESFS5	クロック・モニタ CLMA2 リセット・フラグ RESF.RESF5 のセット 0: 無効（0 を設定してもフラグに影響はありません。） 1: RESF.RESF5 をセット
4	RESFS4	クロック・モニタ CLMA1 リセット・フラグ RESF.RESF4 のセット 0: 無効（0 を設定してもフラグに影響はありません。） 1: RESF.RESF4 をセット
3	RESFS3	クロック・モニタ CLMA0 リセット・フラグ RESF.RESF3 のセット 0: 無効（0 を設定してもフラグに影響はありません。） 1: RESF.RESF3 をセット
2	RESFS2	ウォッチドッグ・タイマ WDTA0 リセット・フラグ RESF.RESF2 のセット 0: 無効（0 を設定してもフラグに影響はありません。） 1: RESF.RESF2 をセット
1	RESFS1	ソフトウエアリセット・フラグ RESF.RESF1 のセット 0: 無効（0 を設定してもフラグに影響はありません。） 1: RESF.RESF1 をセット
0	RESFS0	低電圧検出フラグ RESF.RESF0 のセット 0: 無効（0 を設定してもフラグに影響はありません。） 1: RESF.RESF0 をセット

8.3.3 ソフトウエア・リセット制御レジスタの詳細

(1) SWRESA - ソフトウエア・リセット・レジスタ

ソフトウエア・リセット SWRES を発生させます。

アクセス 8 ビット単位でライトのみ可能です。このレジスタをリードすると常に 00_H を返します。

このレジスタへのライトは，保護コマンド・レジスタ CSCPCMD を使用した特定の命令シーケンスによって保護されます。
詳細は 8.2.10「リセット・コントローラ・レジスタ保護」を参照してください。

アドレス FF42 002C$_H$

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	SWRESA
R	R	R	R	R	R	R	W

表 8-6 SWRESA レジスタの内容

ビット位置	ビット名	機能
0	SWRESA	ソフトウエア・リセット制御 0: 無効（0 を設定してもソフトウエア・リセットは発生しません。） 1: ソフトウエア・リセット SWRES を発生

注意 データ・フラッシュ・メモリを操作中には，ソフトウェア・リセットを使用しないでください。

備考 このレジスタに 1 を書き込み後，実際にリセットが行われるまでに，最大で Internal OSC で 2 サイクルかかります。

8.3.4 保護コマンド・レジスタの詳細

(1) CSCPCMD – 保護コマンド・レジスタ

ライト保護リセット・コントローラ・レジスタの保護コマンド・レジスタです。

アクセス 8 ビット単位でライト可能です。

このレジスタをリードすると常に 0 を返します。

アドレス FF42 0014$_H$

初期値 00$_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
W	W	W	W	W	W	W	W

使用方法についての詳細は，8.2.10「リセット・コントローラ・レジスタ保護」を参照してください。

表 8-7 CSCPCMD レジスタの内容

ビット位置	ビット名	機能
7-0	–	ライト保護リセット・コントローラ・レジスタに書き込み可能な保護コマンド

(2) CSCPS - 保護ステータス・レジスタ

CSCPCMD によって動作する保護シーケンスの状態を示します。

アクセス 8 ビット単位でリード可能です。

このレジスタへのライトは無視されます。

アドレス FF42 0018$_H$

初期値 00$_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	CSC PRERR
R	R	R	R	R	R	R	R

表 8-8 CSCPS レジスタの内容

ビット位置	ビット名	機能
0	CSCPRERR	保護ライト・シーケンス・エラー・モニタ 0: 保護エラーなし 1: 保護エラーあり

8.4 パワーオン・フラグ / 低電圧検出機能 （POF / LVI 機能）

8.4.1 POF / LVI 機能の概要

POF 機能 内蔵レギュレータ用電源電圧（VDD）が POF 検出電圧より低下した場合，パワーオン・フラグ（POF.POF ビット）をセット（1）します。

LVI 機能 内蔵レギュレータ用電源電圧（VDD）が LVI 検出電圧より低下した場合，LVI 検出フラグ（LVISF）をセット（1）し，割り込み信号（INTLVI），もしくはリセット信号（LVIRES）を発生する機能です。

・LVICNT レジスタの LVIMD ビットにて，低電圧検出時の出力を割り込み信号もしくはリセット信号から選択可能。

- 電源電圧が検出電圧を下回っている間，内部リセット信号を出力にする（LVICNT.LVIMD = 1 設定時）。
- 電源電圧が検出電圧を下回った時に，割り込み要求信号を発生する（LVICNT.LVIMD = 0 設定時）。
- 電源電圧が検出電圧を上回った時に，割り込み要求信号を発生する（LVICNT.LVIMD = 0 設定時）。

表 8-9 LVI の割り込み要求

LVI の信号	機能	接続先
INTLVI	LVI 割り込み信号 （電圧降下／上昇時）	割り込みコントローラ INTLVI0

8.4.2 動作説明

(1) POF 検出動作

内蔵レギュレータ用電源電圧を監視し，内蔵レギュレータ用電源電圧が所定の検出電圧より下回る場合（電源投入／切断時含む）に，POF.POF フラグをセットします。

備考 ソフトウエアによる動作指定（動作／停止）はできません。

注意 内蔵レギュレータ用電源電圧（VDD）が POF 検出電圧より低下した場合，必ず外部リセットを入力してください。
また，この外部リセットは各電源電圧がそれぞれの動作保証電圧の下限を超えてから 6ms 以上後にリセットを解除してください。

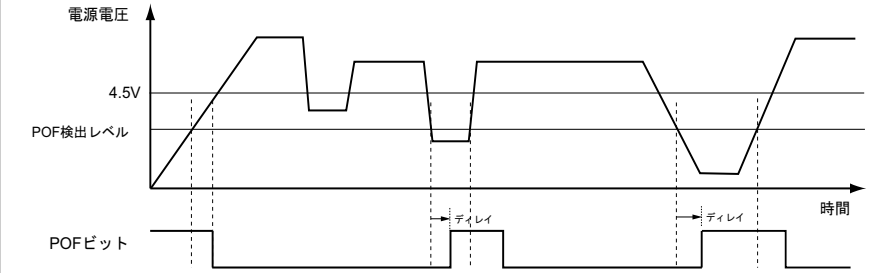


図 8-5 POF 動作例

(2) LVI 動作

LVICNT ビットに “1” を設定して内蔵レギュレータ用電源電圧を監視し，内蔵レギュレータ用電圧が所定の検出電圧を下回る場合に，LVICNT.LVIMD の設定により割り込み信号（INTLVI）もしくはリセット信号（LVIRES）を発生します。

(a) リセット信号出力にて使用する場合

＜動作開始時＞

①割り込みコントローラにて，INTLVI をマスクする。

② LVICNT.LVICNT ビットにて，検出電圧有りに設定する。

③ソフトウエアにて 350 μs 以上ウェイトする。

④ LVISF.LVISF ビットにて，現在の電源電圧が検出電圧より高い電圧であることを確認する。

⑤ LVICNT.LVIMD = 1（リセット信号出力）に設定する。

注意 LVICNT.LVIMD = 1 に設定後，LVI 検出リセット 以外のリセット要因が発生するまで LVICNT レジスタの設定変更はできません。

＜動作停止時＞

LVI 検出 リセット以外のリセット要因が発生するまで LVI 動作を停止することはできません。

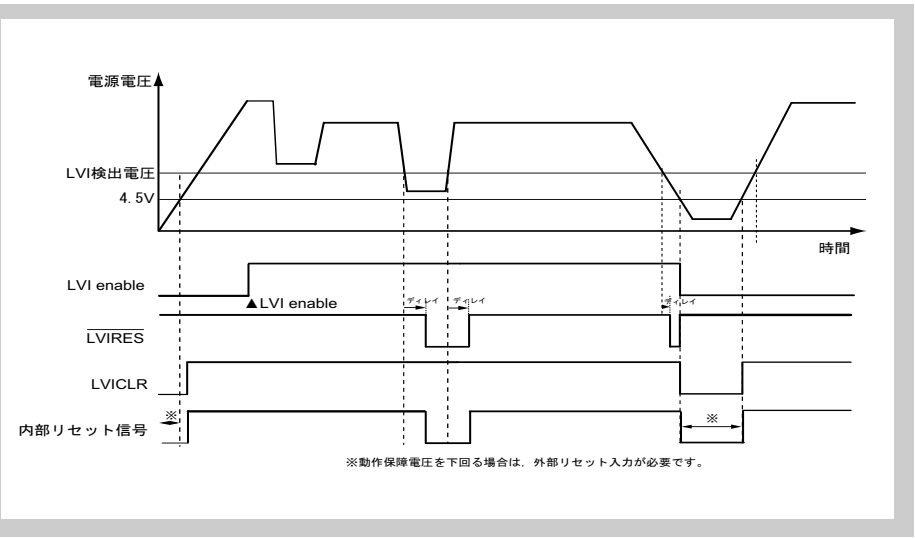


図 8-6 LVI 動作例（LVICNT.LVIMD ビット = 1 時）

(b) 割り込み要求信号として使用する場合

＜動作開始時＞

①割り込みコントローラにて INTLVI をマスクする。

② LVICNT.LVIMD = 0（割り込み信号出力）に設定する（初期値のため変更不要）。

③ LVICNT.LVICNT ビットにて，検出電圧有りに設定する。

④ソフトウエアにて 350 μs 以上ウェイトする。

⑤ LVISF.LVISF ビット にて，現在の電源電圧が検出電圧より高い電圧であることを確認する。

⑥ 割り込みコントローラにて，INTLVI の割り込み要求フラグをクリアする。

⑦割り込みコントローラにて，INTLVI の割り込みマスクを解除する。

⑧ INTLVI が発生したら，LVISF.LVISF ビット にて電源電圧の状態を確認する。

＜動作停止時＞

LVICNT.LVICNT ビットを “0” に設定してください。

注意

1. INTLVI 発生時，LVISF.LVISF ビットにて，現在の電源電圧の状態を確認してください。
2. 検出電圧を変更する場合は，動作を停止し，動作開始時と同様の手順で設定してください。

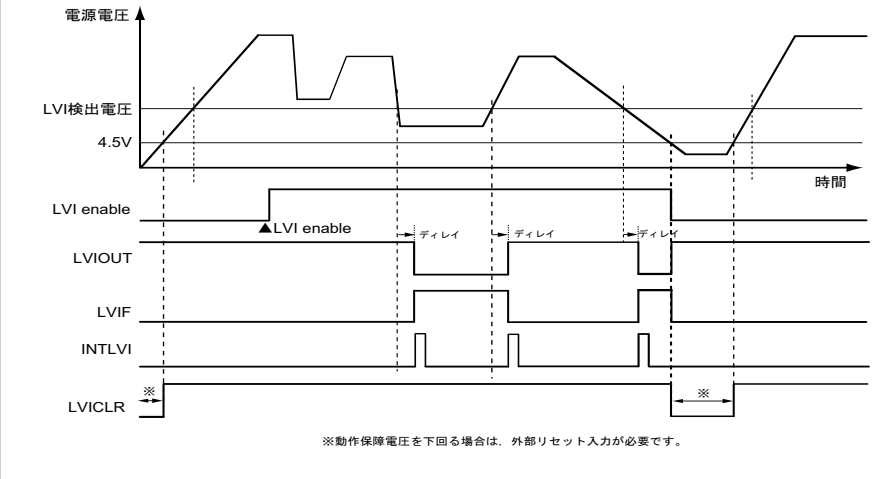


図 8-7 LVI 動作例（LVICNT.LVIMD ビット = 0 時）

8.4.3 POF/LVI 機能レジスタ概要

表 8-10 POF/LVI 機能レジスター一覧

レジスタ名	略号	アドレス
パワー・オン・フラグ制御レジスタ		
パワーオン・フラグ・レジスタ	POF	FFFF FC00$_H$
パワーオン・フラグ・クリア・レジスタ	POFC	FFFF FC04$_H$
パワーオン・フラグ・セット・レジスタ	POFS	FFFF FC08$_H$
LVI 制御レジスタ		
LVI ステータス・フラグ・レジスタ	LVISF	FFFF FC10$_H$
LVI コントロール・レジスタ	LVICNT	FF45 0020$_H$

8.4.4 POF / LVI 制御レジスタの詳細

(1) POF - パワーオン・フラグ・レジスタ

内蔵レギュレータ用電源電圧 (VDD) の状態を確認するためのレジスタです。

検出電圧を下回った場合に，POF ビットに 1 がセット（初期化）されます。

アクセス 8 ビット単位でリードのみ可能です。

アドレス FFFF FC00$_H$

初期値 01$_H$

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	POF
R	R	R	R	R	R	R	R

表 8-11 POF レジスタの内容

ビット位置	ビット名	機能
0	POF	パワーオン・フラグの検出状態を示します。 0：VDD 電圧は検出電圧以上 1：VDD 電圧は検出電圧以下（内蔵レギュレータ電源電圧の低下を検出）

(2) POFC - パワーオン・フラグ・クリア・レジスタ

このレジスタは，POF レジスタの POF ビットをクリア (0) するためのレジスタです。

アクセス 8 ビット単位でライトのみ可能です。

このレジスタをリードすると常に 00$_H$ が読み出せます。

アドレス FFFF FC04$_H$

初期値 00$_H$

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	POFC
R	R	R	R	R	R	R	W

表 8-12 POFC レジスタの内容

ビット位置	ビット名	機能
0	POFC	パワーオン・フラグ・レジスタ（POF.POF ビット）のクリア動作を制御します。 POFC ビットに 1 を書き込むことで，POF ビットをクリア (0) します。 0：無効 1：POF ビットのクリア (0)

(3) POFS - パワーオン・フラグ・セット・レジスタ

このレジスタは，POF レジスタの POF ビットをセット (1) するためのレジスタです。

アクセス 8 ビット単位でライトのみ可能です。

このレジスタをリードすると常に 00_H が読み出せます。

アドレス FFFF $FC08_H$

初期値 00_H

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	POFS
R	R	R	R	R	R	R	W

表 8-13 POFS レジスタの内容

ビット位置	ビット名	機能
0	POFS	POFS ビットに 1 を書き込むことで，POF ビットをセット (1) します。 0：無効 1：POF ビットのセット (1)

(4) LVICNT- LVI コントロール・レジスタ

このレジスタは，LVI 動作モードの設定を行なうレジスタです。

LVIMD ビット = 1，かつ LVICNT ビットに “1” を設定した場合，各種リセットが発生するまで，本レジスタの書き換えは禁止します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FF45 0020$_H$

初期値 00$_H$

このレジスタは，LVI 以外のリセット要因によって初期化されます。

7	6	5	4	3	2	1	0
LVIMD	0	0	0	0	0	LVICNT1	LVICNT0
R/W	R	R	R	R	R	R/W	R/W

表 8-14 LVICNT レジスタの内容

ビット位置	ビット名	機能
7	LVIMD	LVI 異常検出時の出力信号を指定します。 0：割り込み信号（INTLVI）を出力 1：リセット信号（LVIRES）を出力
1, 0	LVICNT1, LVICNT0	LVI 電圧検出の許可／禁止を設定します。

LVICNT1	LVICNT0	機能
0	0	LVI 電圧検出禁止
0	1	LVI 電圧検出許可 検出電圧：4.6V±0.1V
1	0	LVI 電圧検出許可 検出電圧：4.3V±0.1V
1	1	LVI 電圧検出許可 検出電圧：3.1V±0.1V

(5) LVISF - LVI ステータス・フラグ・レジスタ

このレジスタは，LVI の現在の検出状態を示すレジスタです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス FFFF FC10$_H$

初期値 00$_H$

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	LVISF
R	R	R	R	R	R	R	R

表 8-15 LVISF レジスタの内容

ビット位置	ビット名	機能
0	LVISF	LVI 検出フラグの現在の状態を示します。 0：内蔵レギュレータ用電源電圧（VDD）の低下を検出をしていない。 （もしくは LVI 非動作時） 1：内蔵レギュレータ用電源電圧（VDD）の低下を検出

第 9 章　セーフティ機能

この章では，セーフティ機能について説明します。

セーフティ機能は，

- 周辺バス・アクセス・エラー検出
- メモリ・アクセス保護
- 自己診断 BIST 機能
- ECC

から構成されています。

9.1　周辺バス・アクセス・エラー検出

V850E2/PG4-L システムは，周辺バス・アクセス・エラー検出機能を備えています。

- 未定義領域アクセス時のエラー検出機能
- アクセス・タイムアウト発生時のエラー検出機能

9.2　メモリとアクセス保護

V850E2/PG4-L システムは，メモリ・アクセスの保護機能を備えています。

- プロセッサ保護機能
  - メモリ保護（MPU）
  - 周辺装置保護（PPU）

9.2.1　メモリとアクセス保護

プロセッサ保護機能は，周辺機能レジスタに設定したメモリ領域とアドレス空間に適用できます。アクセス権は，ソフトウエアの状態に応じて付与できます。（例えば，アプリケーション・プログラムとドライバ，またはオペレーティング・システムで区別する）

詳細については，「V850E2M ユーザーズマニュアル　アーキテクチャ編」（R01US0001J）を参照してください。

9.3 周辺 I/O バス関連レジスタ

この節では，周辺 I/O バス関連のレジスタについて説明します。

9.3.1 周辺 I/O バス関連レジスタの概要

表 9-1 周辺 I/O バス関連レジスタの一覧

レジスタ名	略号	アドレス
周辺 I/O バス PSELG コントロール・レジスタ	APC	FF45 4000$_H$
周辺 I/O バス PSELG エラー・ステータス・レジスタ	APES	FF45 4004$_H$
周辺 I/O バス PSELG エラー・ステータス・クリア・レジスタ	APEC	FF45 4008$_H$
周辺 I/O バス PSELG エラー・アドレス格納レジスタ	APAM	FF45 400C$_H$
周辺 I/O バス最大アクセス・タイム設定レジスタ	MATS	FF45 4010$_H$

9.3.2 周辺 I/O バス関連レジスタの詳細

(1) APC - 周辺 I/O バス PSELG コントロール・レジスタ

このレジスタは，周辺 I/O バス・アクセス時に発生する各種エラー・チェック許可の設定をします。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FF45 4000$_H$

初期値 00$_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	UAA	0	ATO
R	R	R	R	R	R/W	R	R/W

表 9-2 APC レジスタの内容

ビット位置	ビット名	機能
2	UAA	0: 未定義領域アクセス・エラー・チェックを行わない 1: 未定義領域アクセス・エラー・チェックを行う 未定義領域とは，周辺 I/O 領域に属さない領域のことです。
0	ATO	0: アクセス・タイムアウト・エラー・チェックを行わない 1: アクセス・タイムアウト・エラー・チェックを行う この要因は，周辺 I/O バス・アクセス時間が MATS レジスタに設定された最大アクセス時間を超過した場合にセットされます。

(2) APES - 周辺 I/O バス PSELG エラー・ステータス・レジスタ

このレジスタは，周辺 I/O バス・アクセス時に発生した各種エラー情報をフラグとして保持します。

アクセス 8 ビット単位でリード可能です。

アドレス FF45 4004$_H$

初期値 00$_H$ どのリセット要因，もしくは APEC レジスタへのライト動作によって初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	UAA	0	ATO
R	R	R	R	R	R	R	R

表 9-3 APES レジスタの内容

ビット位置	ビット名	機能
2	UAA	0: 未定義領域アクセス・エラー発生無し 1: 未定義領域アクセス・エラー発生有り
0	ATO	0: アクセス・タイムアウト・エラー発生無し 1: アクセス・タイムアウト・エラー発生有り

注意 このレジスタの各ビット（ATO ビット /UAA ビット）は，一度セット（1）されるとリセットまたは，APEC レジスタによるクリアまでの間，“1” を保持し続けます。

(3) APEC - 周辺 I/O バス・エラー・ステータス・クリア・レジスタ

このレジスタは，周辺 I/O バス・アクセスで発生した各種エラー・フラグのクリアに使用されます。

アクセス 8 ビット単位でライト可能です。

リードした場合は，00_H がリードされます。

アドレス $FF45\ 4008_H$

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	UAA	0	ATO
R	R	R	R	R	R/W	R	R/W

表 9-4 APES レジスタの内容

ビット位置	ビット名	機能
2	UAA	0: APES レジスタの未定義領域アクセス・エラー要因をクリアしない 1: APES レジスタの未定義領域アクセス・エラー要因をクリアする
0	ATO	0: APES レジスタのアクセス・タイムアウト・エラー要因をクリアしない 1: APES レジスタのアクセス・タイムアウト・エラー要因をクリアする

(4) APAM - 周辺 I/O バス PSELG エラー・アドレス格納レジスタ

このレジスタは，周辺 I/O バス・アクセス時発生した各種エラーの発生アドレスを保持します。

複数回エラー発生時は，最後に発生したエラーのアドレス情報が保持されます。

アクセス 32 ビット単位でリード可能です。

アドレス FF45 400C$_H$

初期値 FF00 0000$_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
1	1	1	1	1	1	1	1	A23	A22	A21	A20	A19	A18	A17	A16
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 9-5 APAM レジスタの内容

ビット位置	ビット名	機能
23-0	A[23:0]	最終発生エラーのアクセス・アドレスを保持します

注意 このレジスタは，最後に発生したエラーのアドレスを保持するため，保持されているアドレスと，エラー・ステータス（APES.ATO ビット /APES.UAA ビット）をセット（1）した要因がことなる場合があります。

(5) MATS - 周辺 I/O バス最大アクセス・タイム設定レジスタ

このレジスタには，周辺 I/O バスのデッドロックを回避する為に最大バス・アクセス時間（タイムアウト時間）を設定します。周辺 I/O バス・アクセスは，アクセス時間が MATS レジスタに設定したタイムアウト時間を超えた場合に強制終了します。この時，APES レジスタの「アクセス・タイムアウト・エラー・フラグ（ATO）」が “1” にセットされます。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FF45 4010$_H$

初期値 00$_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	MATS3	MATS2	MATS1	MATS0
R	R	R	R	R/W	R/W	R/W	R/W

表 9-6 MATS レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>3-0</td><td>MATS[3:0]</td><td>以下の最大バス・アクセス時間が設定可能です：
<table>
<tr><th>MATS3</th><th>MATS2</th><th>MATS1</th><th>MATS0</th><th>アクセス時間</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>2^9/PCLK</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td><td>2^{10}/PCLK</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2^{11}/PCLK</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td><td>2^{12}/PCLK</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>0</td><td>2^{13}/PCLK</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>1</td><td>2^{14}/PCLK</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>0</td><td>2^{15}/PCLK</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>1</td><td>2^{16}/PCLK</td></tr>
<tr><td colspan="4">上記以外</td><td>設定禁止</td></tr>
</table>
</td></tr>
</table>

9.4 自己診断 BIST の概略

この節では，自己診断 BIST について説明します。

注意 自己診断 BIST 対象外となる下記レジスタ群（BSEQ0STRHBT，BSEQ0CTL を除く）は，ソフトウエア（レジスタのリード／ライトもしくはセット／クリア・レジスタによる操作）にて自己診断していただく必要があります。
BSEQ0STRHBT はセット／クリアによる操作ができませんが，レジスタ内の Master/Checker 差分による確認が可能です。詳細は，9.6.2 (6) 「BSEQ0STRHBT - 自己診断 BIST ステータス・レジスタ」を参照してください。
BSEQ0CTL は，BSEQ0CTLA-C の多数決構成となっています。

- POF（Power on Flag Register）
- RESF（リセット要因フラグ・レジスタ）
- SGAMESSTR0-1（Error Source Status Register 0-1 (Master)）
- SGACESSTR0-1（Error Source Status Register 0-1 (Checker)）
- BSEQ0STRHBT（自己診断 BIST ステータス・レジスタ）
- BRAMDAT3-0（バックアップ RAM3-0 レジスタ）
- BSEQ0CTL（自己診断 BIST コントロール・レジスタ）
- BSEQ0CTLA-C（自己診断 BIST コントロール・レジスタ A-C）
- LRAMSTBYCTL（内蔵 RAM レジューム・スタンバイ制御レジスタ）

9.4.1 自己診断 BIST SKIP 機能

この製品では，ソフトウエアによる自己診断 BIST を SKIP する機能を搭載しています。電源投入状態での再起動（リセット）時に，自己診断 BIST を SKIP することで起動時間を短縮することが可能となります。

注意 端子リセットと RAM アクセスの競合により，RAM の値が不定となる場合があります。端子リセット入力前に DMA 転送を停止し，HALT モードにしてください。

9.4.2 自己診断 BIST 実行中のトグル信号出力機能

自己診断 BIST 実行中にトグル信号を出力します。この機能の用途として，外部ウォッチ・ドッグ・タイマのクリア信号への使用等が考えられます。トグル信号出力端子（TGLOUT) は，P8_0 と兼用し，OPBT0.FOP23 によって端子機能の初期状態を選択します。

P8_0/TGLOUT 端子は，リセット～ Flash リセットシーケンスにより OPBT0 の値が確定するまでは，Hi-Z となります。自己診断 BIST 実行後は，TGLOUTOE レジスタの設定を変更することで，他ポートと同様，レジスタによる機能選択が可能です。

表 9-7 P8_0/TGLOUT の端子機能選択

OPBT0.FOP23	P8_0/TGLOUT の端子機能選択
0	P8_0 からトグル信号 を出力する
1	P8_0 からトグル信号を出力しない（ポート / コントロールモードをポートレジスタにて選択）

表 9-8 トグル周期選択

OPBT0.FOP22	トグル周期選択
0	6.55 ms
1	13.10 ms

FOP23 = 0 のとき

- リセット解除後，TGLOUT モードが選択され，FOP22 で選択した周期でトグル出力します。（デューティ：50%）
- 自己診断 BIST 終了後，TGLOUT 端子は Low になります。

  注意：自己診断 BIST 終了と TGLOUT の出力が必ず一致するとは限らず，自己診断 BIST 終了後，TGLOUT の出力が Low になったときに TGLOUT 端子は Low 固定となります。TGLOUT 出力が停止しているかどうかは，TGLOUTOE. TGLOUTSTS を確認してください。
- CPU 命令開始後，TGLOUT モードからポートモードに変更する場合，以下のフローに従ってください。
- CPU 命令開始後，P8_0 の出力値を Low に設定後，PM8 レジスタの設定にて出力許可にする。
- TGLOUTOE レジスタの設定を TGLOUT モード→ポートモードに変更する。
- PMC8 レジスタにて，コントロールモードにする。
- P8_0 の兼用機能である，TAUB0 ch15 または OST1 タイマ出力を設定し，トグル出力を行う。

FOP23 = 1 のとき ポート / コントロールモードとなり，CPU 命令実行開始後，ポートレジスタを設定するまで Hi-Z を継続します。

注意 ・FOP23 = 0 時，LVI リセット，CLM リセットでは，発振安定時間が挿入されます。
・P8_0/TGLOUT 端子の端子機能は，FOP23 値のみで決定しています。

HWBISTEN を使った自己診断 BIST SKIP 設定時，FOP23 = 0 の場合，リセット解除時のモードは TGLOUT モードとなりますので，TGLOUTOE レジスタの設定を TGLOUT モードからポート / コントロールモードに変更する必要があります。

9.5 自己診断 BIST 関連レジスタ

この節では，自己診断 BIST 関連のレジスタについて説明します。

9.5.1 自己診断 BIST 関連レジスタの概要

表 9-9 自己診断 BIST 関連レジスタの一覧

レジスタ名	略号	アドレス
TGLOUT 出力制御レジスタ	TGLOUTOE	FF42 003C$_H$
自己診断 BIST コントロール・レジスタ	BSEQ0CTL	FF42 0040$_H$
自己診断 BIST コントロール・レジスタ A	BSEQ0CTLA	FF42 0044$_H$
自己診断 BIST コントロール・レジスタ B	BSEQ0CTLB	FF42 0048$_H$
自己診断 BIST コントロール・レジスタ C	BSEQ0CTLC	FF42 004C$_H$
BIST プロテクション・コマンド・レジスタ	BSEQ0TCRPCMD	FF83 B000$_H$
BIST プロテクション・ステータス・レジスタ	BSEQ0TCRPESR	FF83 B004$_H$
自己診断 BIST ステータス・レジスタ	BSEQ0STRHBT	FF83 B008$_H$
自己診断 BIST ステータス・クリア・トリガ・レジスタ	BSEQ0STCHBT	FF83 B00C$_H$
SGA エラー・パルス制御レジスタ	SGAEPCTL	FF83 F020$_H$
バックアップ RAM レジスタ 0	BRAMDAT0	FF83 F030$_H$
バックアップ RAM レジスタ 1	BRAMDAT1	FF83 F034$_H$
バックアップ RAM レジスタ 2	BRAMDAT2	FF83 F038$_H$
バックアップ RAM レジスタ 3	BRAMDAT3	FF83 F03C$_H$
内蔵 RAM レジューム・スタンバイ制御レジスタ	LRAMSTBYCTL	FF83 F080$_H$

9.5.2 自己診断 BIST 関連レジスタの詳細

(1) TGLOUTOE- TGLOUT 出力制御レジスタ

このレジスタは P8_0/TGLOUT 端子の出力制御を行うレジスタです。

TGLOUTOE0 ビットの設定値によって，P8_0/TGLOUT 端子の出力制御を行い，値によって，ポート／コントロールモード，TGLOUT モードを切り替えます。

このレジスタは，特定シーケンスレジスタであり，ライト時は特定シーケンスによるアクセスのみが有効です。

保護コマンドレジスタ：CSCPCMD レジスタ

保護ステータスレジスタ：CSCPS レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FF42 003C$_H$

初期値 FOP23 の設定値，TGLOUT 端子の状態に依存します。

SWRES，BISTRES 以外のリセット要因で初期化されます。

7	6	5	4	3	2	1	0
0	0	TGLOUTSTS	TGLOUTLVL	0	0	0	TGLOUTOE0
R	R	R	R	R	R	R	R/W

表 9-10 TGLOUTOE レジスタの内容

ビット位置	ビット名	機能
5	TGLOUTSTS	TGLOUT 出力の状態を示します。 0: TGLOUT が出力停止中 1: TGLOUT がトグル出力中
4	TGLOUTLVL	TGLOUT 端子の出力レベルを示します。 0: TGLOUT 端子がロウ出力 1: TGLOUT 端子がハイ出力
0	TGLOUTOE0	P8_0 端子の動作を指定します。 0: P8_0 は PORT が制御する 1: P8_0 は TGLOUT のために使用する このビットは SWRES, BISTRES 以外のリセット要因で初期化されますが，フラッシュ・リセット・シーケンス後に FOP23 の内容を反映します。 FOP23 = 0 のとき : 初期値は 1 です。 FOP23 = 1 のとき : 初期値は 0 です。 SWRES, BISTRES の場合は前の値を保持します

注意 このレジスタへの書き込み命令実行後，実際の書き込み完了までには時間がかかります。書き込み→書き込みを行う場合は，PLL 入力クロックの 6 サイクル以上間隔をあけてください。

（例：heapclk = 80MHz の場合，heapclk の 60 サイクル以上）

間隔が短い場合は，2 回目の書き込み値は反映されません。書き込み→読み込みを行う場合は，PLL 入力クロックの 3 サイクル以上間隔をあけてください。

（例：heapclk = 80MHz の場合，heapclk の 30 サイクル以上）

(2) BSEQ0CTL - 自己診断 BIST コントロール・レジスタ

このレジスタは，自己診断 BIST の実行 /SKIP を指定するレジスタです。自己診断 BIST の対象外となるため，多数決構成です。
このレジスタは，ライト保護レジスタであり，ライト時は特定シーケンスによるアクセスのみが有効です（BSEQ0CTL レジスタの特定シーケンスは 8.2.10「リセット・コントローラ・レジスタ保護」を参照してください）。

保護コマンド・レジスタ：CSCPCMD レジスタ

保護ステータス・レジスタ：CSCPS レジスタ

電源投入時，または内蔵レギュレータ用電源電圧（V_{DD}）が POF 検出電圧より低下した場合に初期化されます。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FF42 0040$_H$

初期値 01$_H$

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	HWBISTEN
R	R	R	R	R	R	R	R/W

表 9-11 BSEQ0CTL レジスタの内容

ビット位置	ビット名	機能
0	HWBISTEN	自己診断 BIST 実行 /SKIP 指定 0: SKIP 指定 1: 実行指定

注意 このレジスタにライト後に必ずリードを行い，正しく書き込めたことを確認してください。また，リセット解除後，このレジスタの設定値と BIST 実行結果が一致していることを確認してください。BSEQ0CTL の設定とリセット要因が競合した場合は，BSEQ0CTL レジスタの設定値は保証できません。

注意 このレジスタへの書き込み命令実行後，実際の書き込み完了までには時間がかかります。
書き込み→書き込みを行う場合は，PLL 入力クロックの 6 サイクル以上間隔をあけてください。
（例：heapclk = 80MHz の場合，heapclk の 60 サイクル以上）
間隔が短い場合は，2 回目の書き込み値は反映されません。
書き込み→読み込みを行う場合は，PLL 入力クロックの 3 サイクル以上間隔をあけてください。
（例：heapclk = 80MHz の場合，heapclk の 30 サイクル以上）

多数決方式について 多数決構成となっているレジスタのアドレスにライト動作を行うと，3 つの多数決レジスタに同じ値をライトします。リード動作を行うと，3 つのレジスタの 2 つ以上の同じレベルをリードします。1 つのレジスタのデータが故障により反転していた場合は，リード時に書き戻します。

(3) BSEQ0CTLx - 自己診断 BIST コントロール・レジスタ x(x=A/B/C)

このレジスタは，BSEQ0CTL レジスタの多数決を構成するレジスタです。このレジスタ A/B/C をリードすることにより，多数決前のレジスタ値を確認できます。電源投入時，または内蔵レギュレータ用電源電圧（V_{DD}）が POF 検出電圧よりも低下した場合に初期化されます。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス BSEQ0CTLA：FF42 0044_H

BSEQ0CTLB：FF42 0048_H

BSEQ0CTLC：FF42 $004C_H$

初期値 01_H

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	HWBISTEN
R	R	R	R	R	R	R	R/W

表 9-12 BSEQ0CTLx レジスタの内容

ビット位置	ビット名	機能
0	HWBISTEN	自己診断 BIST 実行 /SKIP 指定 0: SKIP 指定 1: 実行指定

備考 このレジスタの書き込み命令実行後，実際の書き込み完了までには時間がかかります。詳細は 9.5.2 (2)「BSEQ0CTL - 自己診断 BIST コントロール・レジスタ」を参照してください。

(4) BSEQ0TCRPCMD - BIST プロテクション・コマンド・レジスタ

ライト・プロテクトされた BIST レジスタに対するコマンド・レジスタです。

アクセス 32 ビット単位でライト可能です。

アドレス FF83 $B000_H$

初期値 不定

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 9-13 BSEQ0TCRPCMD レジスタの内容

ビット位置	ビット名	機能
31-0		ライト・プロテクトされた BIST レジスタへのライト動作許可コマンド

(5) BSEQ0TCRPESR - BIST プロテクション・ステータス・レジスタ

このレジスタは，BSEQ0TCRPCMD レジスタにより実行されたプロテクション・シーケンスの状態を表示します。

アクセス 32 ビット単位でリード可能です。

アドレス FF83 B004$_H$

初期値 0000 0000$_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PESR0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 9-14 BSEQ0TCRPESR レジスタの内容

ビット位置	ビット名	機能
0	PESR0	0: プロテクトされたライト・シーケンス・エラー監視にてプロテクション・エラーの発生無し 1: プロテクトされたライト・シーケンス・エラー監視にてプロテクション・エラーの発生有り

(6) BSEQ0STRHBT - 自己診断 BIST ステータス・レジスタ

このレジスタは，自己診断 BIST 状態を表示します。

アクセス 32 ビット単位でリード可能です。

アドレス FF83 B008$_H$

初期値 0000 FF00$_H$ 端子リセット入力で初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BCE	MPE	CPE	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	HWBS 14	HWBS 13	HWBS 12	1	HWBS 10	HWBS 9	HWBS 8	0	HWBS 6	HWBS 5	HWBS 4	0	HWBS 2	HWBS 1	HWBS 0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 9-15 BSEQ0STRHBT レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	BCE	0: BIST シーケンサ比較エラーの発生無し 1: BIST シーケンサ比較エラーの発生有り
30	MPE	0: 自己診断 BIST コードパリティエラー（Master 側）の発生無し 1: 自己診断 BIST コードパリティエラー（Master 側）の発生有り
29	CPE	0: 自己診断 BIST コードパリティエラー（Checker 側）の発生無し 1: 自己診断 BIST コードパリティエラー（Checker 側）の発生有り
15-8	HWBS[15:8]	Checker BIST シーケンサ自己診断 BIST 状態： 0: Checker 自己診断 BIST 正常終了 1: Checker 自己診断 BIST 異常終了，未完了，未スタート

HWBS ビット	メモリ / 回路	テスト・グループ
15	メモリ	1 固定
14		Memory BIST の実行結果が反映されます。注 1
13		Memory BIST の実行結果が反映されます。注 1
12		Memory BIST の実行結果が反映されます。注 1
11	回路	1 固定
10		Logic BIST の実行結果が反映されます。注 2
9		Logic BIST の実行結果が反映されます。注 2
8		Logic BIST の実行結果が反映されます。注 2

表 9-15 BSEQ0STRHBT レジスタの内容 (2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>7-0</td><td>HWBS[7:0]</td><td>Master BIST シーケンサ自己診断 BIST 状態：
0: Master 自己診断 BIST 異常終了，未完了，未スタート
1: Master 自己診断 BIST 正常終了
<table>
<tr><th>HWBS ビット</th><th>メモリ / 回路</th><th>テスト・グループ</th></tr>
<tr><td>7</td><td rowspan="4">メモリ</td><td>0 固定</td></tr>
<tr><td>6</td><td>Memory BIST の実行結果が反映されます。注 1</td></tr>
<tr><td>5</td><td>Memory BIST の実行結果が反映されます。注 1</td></tr>
<tr><td>4</td><td>Memory BIST の実行結果が反映されます。注 1</td></tr>
<tr><td>3</td><td rowspan="4">回路</td><td>0 固定</td></tr>
<tr><td>2</td><td>Logic BIST の実行結果が反映されます。注 2</td></tr>
<tr><td>1</td><td>Logic BIST の実行結果が反映されます。注 2</td></tr>
<tr><td>0</td><td>Logic BIST の実行結果が反映されます。注 2</td></tr>
</table>
</td></tr>
</table>

注 1 この製品では，Memory BIST に関してメモリの区別を行いません。
自己診断 BIST の実行結果は，全ての対象ビットに同様に反映されます。

注 2 この製品では，Logic BIST のグループは 1 つです。
自己診断 BIST の実行結果は，全ての対象ビットに同様に反映されます。

(7) BSEQ0STCHBT - 自己診断 BIST ステータス・クリア・トリガ・レジスタ

このレジスタは，BSEQ0STRHBT レジスタのエラー要因クリアに使用されます。このレジスタは，特定シーケンス・レジスタであり，ライト時は特定シーケンスによるアクセスのみが有効です。詳細は 9.5.3「BSEQ0STCHBT レジスタの設定方法」を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス FF83 B00C$_H$

初期値 0000 0000$_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CLHWBS31	CLHWBS30	CLHWBS29	0	0	0	0	0	0	0	0	0	0	0	0	0
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	CLHWBS14	CLHWBS13	CLHWBS12	0	CLHWBS10	CLHWBS9	CLHWBS8	0	CLHWBS6	CLHWBS5	CLHWBS4	0	CLHWBS2	CLHWBS1	CLHWBS0
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 9-16 BSEQ0STCHBT レジスタの内容

ビット位置	ビット名	機能
31	CLHWBS31	BSEQ0STRHBT レジスタの HWBS31 ビットのクリア： 0: 無効（0 を設定しても BSEQ0STRHBT レジスタに影響はありません。） 1: HWBS31 ビットをクリア
30	CLHWBS30	BSEQ0STRHBT レジスタの HWBS30 ビットのクリア： 0: 無効（0 を設定しても BSEQ0STRHBT レジスタに影響はありません。） 1: HWBS30 ビットをクリア
29	CLHWBS29	BSEQ0STRHBT レジスタの HWBS29 ビットのクリア： 0: 無効（0 を設定しても BSEQ0STRHBT レジスタに影響はありません。） 1: HWBS29 ビットをクリア
15-8	CLHWBS[15:8]	BSEQ0STRHBT レジスタの HWBS[15-8] ビットのセット： 0: 無効（0 を設定しても BSEQ0STRHBT レジスタに影響はありません。） 1: HWBS[15-8] ビットをセット
7-0	CLHWBS[7:0]	BSEQ0STRHBT レジスタの HWBS[7-0] ビットのクリア： 0: 無効（0 を設定しても BSEQ0STRHBT レジスタに影響はありません。） 1: HWBS[7-0] ビットをクリア

注意 ステータスをクリアする場合，一回のアクセスで全ビットをクリアしてください（BSEQ0STCHBT レジスタに E000FFFF$_H$ をライトしてください）。

(8) SGAEPCTL - SGA エラー・パルス制御レジスタ

このレジスタは，ダイナミック・モード（詳細は 10.3.3「エラー出力の動作」を参照）に使用するタイマ選択に使用されます。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FF83 F020$_H$

初期値 00$_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	SGATMSL
R	R	R	R	R	R	R	R/W

表 9-17 SGAEPCTL レジスタの内容

ビット位置	ビット名	機能
0	SGATMSL	セーフティ・ガーディアン入力のソース・タイマを選択します： 0: TAUB0 channel15 1: OSTM1

(9) BRAMDATn(n=0-3) - バックアップ RAM レジスタ

内蔵 RAM の値は自己診断 BIST 実行により不定となります。自己診断 BIST 実行前にこのレジスタにデータを格納することで，自己診断 BIST 実行時のデータ保持が可能です。このレジスタは，4 つのレジスタ（計 128 ビット）から構成されています。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FF83 F030$_H$ （BRAMDAT0）

FF83 F034$_H$ （BRAMDAT1）

FF83 F038$_H$ （BRAMDAT2）

FF83 F03C$_H$ （BRAMDAT3）

初期値 不定

127-96	95-64	63-32	31-0
BRAMDAT3	BRAMDAT2	BRAMDAT1	BRAMDAT0
R/W	R/W	R/W	R/W

(10) LRAMSTBYCTL - 内蔵 RAM レジューム・スタンバイ制御レジスタ

このレジスタを設定することにより，内蔵 RAM へのアクセスを禁止し，内蔵 RAM を保護します。リセット実行後でも内蔵 RAM のデータを保持することができます。

電源投入時，または内蔵レギュレータ用電源電圧（V_{DD}）が POF 検出電圧より低下した場合に初期化されます。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FF83 F080$_H$

初期値 00$_H$

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	LRAMSTBYCTL0
R	R	R	R	R	R	R	R/W

表 9-18 LRAMSTBYCTL レジスタの内容

ビット位置	ビット名	機能
0	LRAMSTBYCTL0	内蔵 RAM アクセスの許可 / 禁止 0: 内蔵 RAM 通常モード 1: 内蔵 RAM アクセス禁止（RAM 保護）

注意 このレジスタへの書き込みは，内蔵 RAM へのアクセスが発生しない状態で実施してください。内蔵 RAM へのアクセス中に切り替えを行った際の動作は保証しません。このレジスタは，内蔵レギュレータ用電源電圧（V_{DD}）が POF 検出電圧より低下した場合に初期化されるので，LRAMSTBYCTL0 ビットを 1 に設定している場合は，リセット解除後も内蔵 RAM 保持状態です。内蔵 RAM アクセス前に通常モードに切り替えて使用ください。

この機能は，保証電圧外での内蔵 RAM データ保持には対応していません。

LRAMSTBYCTL レジスタの設定値に関わらず，自己診断 BIST が実行された場合，Memory BIST は実行されますので，この場合内蔵 RAM の値は保証されません。

9.5.3 BSEQ0STCHBT レジスタの設定方法

BSEQ0STCHBT レジスタが書き込み保護レジスタとなっており，以下に示す特定書き込みシーケンスによる書き込みを行った場合にのみ，書き込みが有効となります。

ステップ 1： プロテクション・コマンド・レジスタ（BSEQ0TCRPCMD レジスタ）に特定の値（000000A5$_H$）を書き込む。

ステップ 2： 対象の特定レジスタ（BSEQ0STCHBT レジスタ）に，設定値を書き込む（このステップでの書き込みは無効）。

ステップ 3： 対象とする特定レジスタ（BSEQ0STCHBT レジスタ）に，設定値の反転値を書き込む（このステップでの書き込みは無効）。

ステップ 4： 対象とする特定レジスタ（BSEQ0STCHBT レジスタ）に，設定値を書き込む（このステップでの書き込みが有効）。

9.6 ECC 関連レジスタ

この節では，ECC 関連のレジスタについて説明します。

9.6.1 ECC 関連レジスタの概要

表 9-19 ECC 関連レジスタの一覧

レジスタ名	略号	アドレス
コード・フラッシュ ECC		
コード・フラッシュ ECC エラー・フラグ・レジスタ	CECCER	FF43 2000$_H$
コード・フラッシュ ECC エラー・フラグ・クリア・レジスタ	CECCERC	FF43 2004$_H$
コード・フラッシュ ECC エラー訂正アドレス・レジスタ	CECADR	FF43 2008$_H$
コード・フラッシュ ECC エラー検出アドレス・レジスタ	CEDADR	FF43 200C$_H$
内蔵 RAM ECC		
内蔵 RAM ECC エラー・フラグ・レジスタ	LECCER	FF46 8000$_H$
内蔵 RAM ECC エラー・フラグ・クリア・レジスタ	LECCERC	FF46 8004$_H$
内蔵 RAM ECC エラー訂正アドレス・レジスタ	LECADR	FF46 8008$_H$
内蔵 RAM ECC エラー検出アドレス・レジスタ	LEDADR	FF46 800C$_H$
CAN RAM ECC		
CAN0 ECC0 コントロール・レジスタ	E6A0CTL	FF46 0000$_H$
CAN1 ECC0 コントロール・レジスタ	E6A2CTL	FF46 0800$_H$

注意 フラッシュ・キャッシュ及びフラッシュ・キャッシュ TAG の ECC はエラー発生通知のみで，エラー・アドレス等の保持は行われません。

9.6.2 ECC 関連レジスタの詳細

(1) CECCER - コード・フラッシュ ECC エラー・フラグ・レジスタ

このレジスタは，ECC エラーが発生した場合に，対応するビットに 1 がセットされます。

アクセス 8 ビット単位でリード可能です。

アドレス FF43 2000$_H$

初期値 00$_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	CECCER0EDFLG	CECCER0ECFLG
R	R	R	R	R	R	R	R

表 9-20 CECCER レジスタの内容

ビット位置	ビット名	機能
1	CECCER0EDFLG	0: ECC 訂正不可能エラー発生無し 1: ECC 訂正不可能エラー発生有り
0	CECCER0ECFLG	0: ECC 訂正無し 1: ECC 訂正有り

(2) CECCERC - コード・フラッシュ ECC エラー・フラグ・クリア・レジスタ

このレジスタは，CECCER レジスタにセットされた値をクリアするレジスタです。該当のビットに 1 を書き込みと CECCER レジスタの対応するビットがクリアされます。

アクセス 8 ビット単位でリード／ライト可能です。

このレジスタをリードした場合は，常に 00_H がリードされます。

アドレス FF43 2004_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	CECCER0 EDCLR	CECCER0 ECCLR
R	R	R	R	R	R	R/W	R/W

表 9-21 CECCERC レジスタの内容

ビット位置	ビット名	機能
1	CECCER0 EDCLR	コード・フラッシュ ECC エラー・フラグ（CECCER.CECCER0EDFLG ビット）のクリア動作を制御します。 0: CECCER.CECCER0EDFLG をクリアしない 1: CECCER.CECCER0EDFLG をクリアする
0	CECCER0 ECCLR	コード・フラッシュ ECC エラー・フラグ（CECCER.CECCER0ECFLG ビット）のクリア動作を制御します。 0: CECCER.CECCER0ECFLG をクリアしない 1: CECCER.CECCER0ECFLG をクリアする

(3) CECADR - コード・フラッシュ ECC エラー訂正アドレス・レジスタ

このレジスタは，ECC 訂正が発生した場合に，発生したアドレスを保持します。CECCER.CECCER0ECFLG = 0 時に，ECC 訂正が発生したアドレスを記憶し，以降 CECCER.CECCER0ECFLG をクリアするまで ECC 訂正が発生してもアドレス値の更新は行いません。

アクセス 32 ビット単位でリード可能です。

アドレス FF43 2008$_H$

初期値 0000 0000$_H$

CECCER.CECCER0ECFLG ビット・クリア時または，どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	CECADR0A[21-16]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CECADR0A[15-4]												0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 9-22 ECC エラー訂正アドレス・レジスタの内容

ビット位置	ビット名	機能
21-4	CECADR0A [21-4]	ECC 訂正が発生したアドレスを保持します。

(4) CEDADR - コード・フラッシュ ECC エラー検出アドレス・レジスタ

このレジスタは，ECC エラーが発生した場合に，発生したアドレスを保持します。CECCER.CECCER0EDFLG = 0 時に，ECC エラーが発生したアドレスを記憶し，以降 CECCER.CECCER0EDFLG をクリアするまで ECC エラーが発生してもアドレス値の更新は行いません。

アクセス 32 ビット単位でリード可能です。

アドレス FF43 200C$_H$

初期値 0000 0000$_H$

CECCER.CECCER0EDFLG ビット・クリア時または，どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	CEDADR0A[21-16]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CEDADR0A[15-4]												0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 9-23 ECC エラー検出アドレス・レジスタの内容

ビット位置	ビット名	機能
21-4	CEDADR0A [21-4]	ECC エラーが発生したアドレスを保持します。

(5) LECCER - 内蔵 RAM ECC エラー・フラグ・レジスタ

このレジスタは，内蔵 RAM ECC 訂正 /ECC 訂正不可能エラーの発生状態を示します。

アクセス 8 ビット単位でリード可能です。

アドレス FF46 8000_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	LECCER0 EDFLG	LECCER0 ECFLG
R	R	R	R	R	R	R	R

表 9-24 LECCER レジスタの内容

ビット位置	ビット名	機能
1	LECCER0 EDFLG	0: 内蔵 RAM ECC 訂正不可能エラー発生無し 1: 内蔵 RAM ECC 訂正不可能エラー発生有り
0	LECCER0 ECFLG	0: 内蔵 RAM ECC 訂正無し 1: 内蔵 RAM ECC 訂正有り

(6) LECCERC - 内蔵 RAM ECC エラー・フラグ・クリア・レジスタ

このレジスタは，LECCER レジスタにセットされた値をクリアするレジスタです。該当のビットに 1 を書き込みと LECCER レジスタの対応するビットがクリアされます。

アクセス 8 ビット単位でリード／ライト可能です。

このレジスタをリードした場合は，常に 00_H がリードされます。

アドレス $FF46\ 8004_H$

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	LECCER0 EDCLR	LECCER0 ECCLR
R	R	R	R	R	R	R/W	R/W

表 9-25 LECCERC レジスタの内容

ビット位置	ビット名	機能
1	LECCER0 EDCLR	内蔵 RAM ECC エラー・フラグ（LECCER.LECCER0EDFLG ビット）のクリア動作を制御します。 0: LECCER.LECCER0EDFLG をクリアしない 1: LECCER.LECCER0EDFLG をクリアする
0	LECCER0 ECCLR	内蔵 RAM ECC エラー・フラグ（LECCER.LECCER0ECFLG ビット）のクリア動作を制御します。 0: LECCER.LECCER0ECFLG をクリアしない 1: LECCER.LECCER0ECFLG をクリアする

(7) LECADR - 内蔵 RAM ECC エラー訂正アドレス・レジスタ

このレジスタは，内蔵 RAM ECC 訂正が発生した場合に，発生したアドレスを保持します。LECCER.LECCER0ECFLG = 0 時に，ECC 訂正が発生したアドレスを記憶し，以降 LECCER.LECCER0ECFLG をクリアするまで内蔵 RAM ECC 訂正が発生してもアドレス値の更新は行いません。

アクセス 32 ビット単位でリード可能です。

アドレス FF46 8008$_H$

初期値 0000 0000$_H$

LECCER.LECCER0ECFLG ビット・クリア時または，どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	LECADR0A[20-16]				
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LECADR0A[15-2]														0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 9-26 内蔵 RAM ECC エラー訂正アドレス・レジスタの内容

ビット位置	ビット名	機能
20-2	LECADR0A [20-2]	内蔵 RAM ECC 訂正が発生したアドレスを保持します。

(8) LEDADR - 内蔵 RAM ECC エラー検出アドレス・レジスタ

このレジスタは，内蔵 RAM ECC エラーが発生した場合に，発生したアドレスを保持します。LECCER.LECCER0EDFLG = 0 時に，内蔵 RAM ECC エラーが発生したアドレスを記憶し，以降 LECCER.LECCER0EDFLG をクリアするまで内蔵 RAM ECC エラーが発生してもアドレス値の更新は行いません。

アクセス 32 ビット単位でリード可能です。

アドレス FF46 800C$_H$

初期値 0000 0000$_H$

LECCER.LECCER0EDFLG ビット・クリア時または，どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	LEDADR0A[20-16]				
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LEDADR0A[15-2]														0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 9-27 内蔵 RAM ECC エラー検出アドレス・レジスタの内容

ビット位置	ビット名	機能
20-2	LEDADR0A [20-2]	内蔵 RAM ECC エラーが発生したアドレスを保持します。

(9) E6A0CTL - CAN0 ECC0 コントロール・レジスタ

このレジスタは，CAN RAM ECC エラーが発生した場合に，対応するビットを 1 にセット，またはセットされた値をクリアするレジスタです。該当のビットに 1 を書き込むと対応するビットが 0 にクリアされます。

アクセス 32 ビット単位でリード／ライト可能です。

E6A0CTL.E6A0CTLER2C をリードした場合，常に 0 がリードされます。

アドレス FF46 0000_H (E6A0CTL)

初期値 不定。どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	E6A0CTLER2C	0	0	0	0	0	0	0	E6A0CTLECCER2	0/1	0/1
R	R	R	R	R	R/W	R	R	R	R	R	R	R	R	R	R

表 9-28 E6A0CTL レジスタの内容

ビット位置	ビット名	機能
10	E6A0CTLER2C	0: E6A0CTL.E6A0CTLECCER2 をクリアしない 1: E6A0CTL.E6A0CTLECCER2 をクリアする
2	E6A0CTLECCER2	0: CAN RAM ECC エラー無し 1: CAN RAM ECC エラー有り

(10) E6A2CTL - CAN1 ECC0 コントロール・レジスタ

このレジスタは，CAN RAM ECC エラーが発生した場合に，対応するビットを 1 にセット，またはセットされた値をクリアするレジスタです。該当のビットに 1 を書き込むと対応するビットが 0 にクリアされます。

アクセス 32 ビット単位でリード／ライト可能です。

E6A2CTL.E6A2CTLER2C をリードした場合，常に 0 がリードされます。

アドレス FF46 0800_H (E6A2CTL)

初期値 不定。どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	E6A2CTLER2C	0	0	0	0	0	0	0	E6A2CTLECCER2	0/1	0/1
R	R	R	R	R	R/W	R	R	R	R	R	R	R	R	R	R

表 9-29 E6A2CTL レジスタの内容

ビット位置	ビット名	機能
10	E6A2CTLER2C	0: E6A2CTL.E6A2CTLECCER2 をクリアしない 1: E6A2CTL.E6A2CTLECCER2 をクリアする
2	E6A2CTLECCER2	0: CAN RAM ECC エラー無し 1: CAN RAM ECC エラー有り

9.7 コンペア・ユニットの自己診断手法

動作中にコンペア・ユニットの自己診断を実施する場合は，以下の手順に従ってください。記載された手順と異なる動作については保証しません。

手順 1

1. 起動後，RESF レジスタにて，セーフティ・ガーディアン（以下，SGA）によるリセットは発生していないことを確認してください。
2. INTCFGB レジスタにて，INTCME（コンペア割込み）を NMI レベルから EI レベルに設定を変更してください。
3. SGAIRCFG0 レジスタにて，コンペア・ユニット・エラー（SGATERRIN5）による SGA リセット（SGARES）をマスクしてください。
4. ICSGACMEDIAG レジスタにて，割込み許可を設定してください。
5. SGAPE1.SGAPE109 に 1 をライトしてください。SGAPE109 ビットに対応した出力信号は，Master CPU のみ INTC に接続されており，Master CPU のみ割込みが発生します。
6. コンペア・ユニット・エラーの割り込みルーチンで，SGAIRCFG0 レジスタにて，コンペア・ユニット・エラー（SGATERRIN5）によるリセットを許可してください。
7. SGA リセット（$\overline{\text{SGARES}}$）が発生します（発生していなければ，コンペア・ユニットの故障です）。この時 INTCFGB レジスタは，この時初期化されます。
8. 再起動後，RESF レジスタをリードし，SGA リセット（$\overline{\text{SGARES}}$）が発生していることを確認してください。
9. SGA のエラー・ソース・ステータスレジスタにセットされたコンペア・ユニット・エラー（SGATERRIN5）のフラグをクリアしてください。

手順 2

1. 起動後，RESF レジスタにて，セーフティ・ガーディアン（以下，SGA）によるリセットは発生していないことを確認してください。
2. INTCFGB レジスタにて，INTCME（コンペア割込み）を NMI レベルから EI レベルに設定を変更してください。
3. SGAIRCFG0 レジスタにて，コンペア・ユニット・エラー（SGATERRIN5）による SGA リセット（SGARES）を有効にしてください。
4. SGAPE1 レジスタの SGAPE109 ビットに対応する割り込みマスクビット（ICSGACMEDIAG.MKSGACMEDIAG）にて，割込みをマスクしてください。
5. SGAPE1 レジスタの SGAPE109 ビットに 1 をライトしてください。SGAPE109 に対応した出力信号は，Master CPU のみ INTC に接続されており，Master CPU のみ割込みが発生します。
6. ICSGACMEDIAG レジスタの値を RAM に転送します。Master CPU 側と Checker CPU 側でリード値が異なるので，Master CPU と Checker CPU で値が一致しません。SGA リセット（$\overline{\text{SGARES}}$）が発生します（発生していなければ，コンペア・ユニットの故障です）。この時 INTCFGB レジスタは，この時初期化されます。

7. 再起動後，RESF レジスタをリードし，SGA リセット（$\overline{\text{SGARES}}$）が発生していることを確認してください。
8. SGA のエラー・ソース・ステータスレジスタにセットされたコンペア・ユニット・エラー（SGATERRIN5）のフラグをクリア及び ICSGACMEDIAG レジスタで割り込みマスクを解除してください。

9.8 初期化の必要なリソース

9.8.1 内蔵 RAM

内蔵 RAM は初期値不定のため，初期化せずにリードした場合，ECC エラーが発生する可能性がありますので，内蔵 RAM の全領域を初期化（設定値は任意）することを推奨します。

注意 未初期化のアドレスにライトした後，連続して同じアドレスにリードした場合，ECC エラーが発生する可能性があります。

9.8.2 レジスタ

下記レジスタは，初期値不定のため，初期化せずにリードした場合 CPU コンペア・エラーが発生する可能性がありますので，すべてのレジスタを初期化（設定値は任意）することを推奨します。

使用条件に合わせて任意のレジスタのみ初期化する場合は，十分評価したうえで使用してください。

表 9-30 初期化が必要なレジスター覧（プログラム・レジスタ）

名称	機能
r1	アセンブラ予約レジスタ
r2	アドレス／データ変数用レジスタ
r3	スタック・ポインタ（SP）
r4	グローバル・ポインタ（GP）
r5	テキスト・ポインタ（TP）
r6-r29	アドレス／データ変数用レジスタ
r30	エレメント・ポインタ（EP）
r31	リンク・ポインタ（LP）

注意 C コンパイラなどにより暗黙的に使用される場合があるため，これらのレジスタを参照する前に必ずスタートアップ・ルーチンで初期化してください。

表 9-31 初期化が必要なレジスター覧（システム・レジスタ）

グループ名	バンク名	システム・レジスタ番号	名称	機能
CPU 機能グループ	基本バンク	0	EIPC	EI レベル例外受け付け時の状態退避レジスタ
		2	FEPC	FE レベル例外受け付け時の状態退避レジスタ
		11	SCCFG	SYSCAL の動作設定
		12	SCBP	SYSCALL ベース・ポインタ
		16	CTPC	CALLT 実行時の状態退避レジスタ
		20	CTBP	CALLT ベース・ポインタ
		28 注	EIWR	EI レベル用作業レジスタ
		29 注	FEWR	FE レベル用作業レジスタ
プロセッサ保護機能グループ	プロセッサ保護違反	1	VSTID	システム・レジスタ保護違反タスク識別子
		2	VSADR	システム・レジスタ保護違反アドレス
		5	VMTID	メモリ保護違反タスク識別子
		6	VMADR	メモリ保護違反アドレス
		24	MCA	メモリ保護設定チェック・アドレス
		25	MCS	メモリ保護設定チェック・サイズ

注. BSELL レジスタに関わらず常にアクセス可能なシステム・レジスタ

表 9-32 初期化が必要なレジスター覧（プロセッサ保護機能関連レジスタ）

アドレス	名称	機能
FFFF5110$_H$	VPNECR	NT ステート周辺装置保護違反アクセス情報保存レジスタ
FFFF5110$_H$	VPNECRL	NT ステート周辺装置保護違反アクセス情報保存レジスタ L
FFFF5110$_H$	VPNECRLL	NT ステート周辺装置保護違反アクセス情報保存レジスタ LL
FFFF5111$_H$	VPNECRLH	NT ステート周辺装置保護違反アクセス情報保存レジスタ LH
FFFF5114$_H$	VPNADR	NT ステート周辺装置保護違反アクセス・アドレス保存レジスタ
FFFF5114$_H$	VPNADRL	NT ステート周辺装置保護違反アクセス・アドレス保存レジスタ L
FFFF5114$_H$	VPNADRLL	NT ステート周辺装置保護違反アクセス・アドレス保存レジスタ LL
FFFF5115$_H$	VPNADRLH	NT ステート周辺装置保護違反アクセス・アドレス保存レジスタ LH
FFFF5116$_H$	VPNADRH	NT ステート周辺装置保護違反アクセス・アドレス保存レジスタ H
FFFF5116$_H$	VPNADRHL	NT ステート周辺装置保護違反アクセス・アドレス保存レジスタ HL
FFFF5117$_H$	VPNADRHH	NT ステート周辺装置保護違反アクセス・アドレス保存レジスタ HH
FFFF5118$_H$	VPNTID	NT ステート周辺装置保護違反アクセス TID 保存レジスタ
FFFF5118$_H$	VPNTIDL	NT ステート周辺装置保護違反アクセス TID 保存レジスタ L
FFFF5118$_H$	VPNTIDLL	NT ステート周辺装置保護違反アクセス TID 保存レジスタ LL
FFFF5119$_H$	VPNTIDLH	NT ステート周辺装置保護違反アクセス TID 保存レジスタ LH
FFFF511A$_H$	VPNTIDH	NT ステート周辺装置保護違反アクセス TID 保存レジスタ H
FFFF511A$_H$	VPNTIDHL	NT ステート周辺装置保護違反アクセス TID 保存レジスタ HL
FFFF511B$_H$	VPNTIDHH	NT ステート周辺装置保護違反アクセス TID 保存レジスタ HH
FFFF5120$_H$	VPTECR	T ステート周辺装置保護違反アクセス情報保存レジスタ
FFFF5120$_H$	VPTECRL	T ステート周辺装置保護違反アクセス情報保存レジスタ L
FFFF5120$_H$	VPTECRLL	T ステート周辺装置保護違反アクセス情報保存レジスタ LL
FFFF5121$_H$	VPTECRLH	T ステート周辺装置保護違反アクセス情報保存レジスタ LH
FFFF5124$_H$	VPTADR	T ステート周辺装置保護違反アクセス・アドレス保存レジスタ
FFFF5124$_H$	VPTADRL	T ステート周辺装置保護違反アクセス・アドレス保存レジスタ L
FFFF5124$_H$	VPTADRLL	T ステート周辺装置保護違反アクセス・アドレス保存レジスタ LL
FFFF5125$_H$	VPTADRLH	T ステート周辺装置保護違反アクセス・アドレス保存レジスタ LH
FFFF5126$_H$	VPTADRH	T ステート周辺装置保護違反アクセス・アドレス保存レジスタ H
FFFF5126$_H$	VPTADRHL	T ステート周辺装置保護違反アクセス・アドレス保存レジスタ HL
FFFF5127$_H$	VPTADRHH	T ステート周辺装置保護違反アクセス・アドレス保存レジスタ HH
FFFF5128$_H$	VPTTID	T ステート周辺装置保護違反アクセス TID 保存レジスタ
FFFF5128$_H$	VPTTIDL	T ステート周辺装置保護違反アクセス TID 保存レジスタ L
FFFF5128$_H$	VPTTIDLL	T ステート周辺装置保護違反アクセス TID 保存レジスタ LL
FFFF5129$_H$	VPTTIDLH	T ステート周辺装置保護違反アクセス TID 保存レジスタ LH
FFFF512A$_H$	VPTTIDH	T ステート周辺装置保護違反アクセス TID 保存レジスタ H
FFFF512A$_H$	VPTTIDHL	T ステート周辺装置保護違反アクセス TID 保存レジスタ HL
FFFF512B$_H$	VPTTIDHH	T ステート周辺装置保護違反アクセス TID 保存レジスタ HH

表 9-33 初期化が必要なレジスター覧（タイミング監視機能関連レジスタ）

アドレス	名称	機能
FFFF5024$_H$	TSCCNT0	タイミング監視カウンタ n のカウンタ値レジスタ 0
FFFF5028$_H$	TSCCMP0	タイミング監視カウンタ n のコンペア値レジスタ 0
FFFF502C$_H$	TSCRLD0	タイミング監視カウンタ n のリロード値レジスタ 0
FFFF5034$_H$	TSCCNT1	タイミング監視カウンタ n のカウンタ値レジスタ 1
FFFF5038$_H$	TSCCMP1	タイミング監視カウンタ n のコンペア値レジスタ 1
FFFF503C$_H$	TSCRLD1	タイミング監視カウンタ n のリロード値レジスタ 1
FFFF5044$_H$	TSCCNT2	タイミング監視カウンタ n のカウンタ値レジスタ 2
FFFF5048$_H$	TSCCMP2	タイミング監視カウンタ n のコンペア値レジスタ 2
FFFF504C$_H$	TSCRLD2	タイミング監視カウンタ n のリロード値レジスタ 2
FFFF5054$_H$	TSCCNT3	タイミング監視カウンタ n のカウンタ値レジスタ 3
FFFF5058$_H$	TSCCMP3	タイミング監視カウンタ n のコンペア値レジスタ 3
FFFF505C$_H$	TSCRLD3	タイミング監視カウンタ n のリロード値レジスタ 3
FFFF5064$_H$	TSCCNT4	タイミング監視カウンタ n のカウンタ値レジスタ 4
FFFF5068$_H$	TSCCMP4	タイミング監視カウンタ n のコンペア値レジスタ 4
FFFF506C$_H$	TSCRLD4	タイミング監視カウンタ n のリロード値レジスタ 4
FFFF5074$_H$	TSCCNT5	タイミング監視カウンタ n のカウンタ値レジスタ 5
FFFF5078$_H$	TSCCMP5	タイミング監視カウンタ n のコンペア値レジスタ 5
FFFF507C$_H$	TSCRLD5	タイミング監視カウンタ n のリロード値レジスタ 5

第 10 章 セーフティ・ガーディアン（SGA）

この章では，SGA の機能について説明します。

10.1 SGA の特徴

チャネル数 この製品は次のチャネル数の SGA を搭載しています。

表 10-1 SGA のチャネル

SGA	
チャネル数	1
名称	SGA（共通領域），SGAM，SGAC

m の意味 この章では，SGAM と SGAC の名前を「m」（m = M, C）で識別します。たとえば次のようになります。

- SGAmESET は SGAMESET と SGACESET を表します。

xx の意味 この章では，SGATERRIN0 - SGATERRIN47 の名前を「xx」(xx = 0-47) で識別します。

レジスタ・アドレス SGA レジスタのアドレスは，それぞれのベース・アドレス <SGA_base>, <SGAM_base>，<SGAC_base> からのオフセットで表されます。
各領域のアドレスを次の表に示します。

表 10-2 SGA レジスタ・ベース・アドレス

SGA レジスタ	アドレス・ラベル	アドレス
SGAM	<SGAM_base>	FF83 $C000_H$
SGAC	<SGAC_base>	FF83 $D000_H$
SGA	<SGA_base>	FF83 $E000_H$

クロック供給 SGA には次の 1 つのクロック入力があります。

表 10-3 SGA のクロック供給

SGA 領域	SGA クロック	接続先
SGA, SGAM, SGAC	PCLK	クロック・コントローラ

割り込み SGA は次の割り込み要求を発生できます。

表 10-4 SGA の割り込み要求

SGA 信号	機能	接続先
SGATI	SGA 割り込み	割り込みコントローラ INTISG

入出力信号 SGA のエラー入力信号を次の表に示します。

表 10-5 SGA エラー入力信号 (1/2)

SGA 信号	機能	接続先
SGATERRIN0	CLMA0 エラー入力	OSC_ERR
SGATERRIN1	CLMA1 エラー入力	PLL_ERR
SGATERRIN2	CLMA2 エラー入力	ROSC_ERR
SGATERRIN3	WDTA エラー入力	WDTA_ERR
SGATERRIN4	LVI リセット入力	LVI_RES
SGATERRIN5	コンペア・ユニット・エラー入力	CMP_ERR
SGATERRIN6	フラッシュ・メモリの ECC エラー検出	FLASH_ED
SGATERRIN7	フラッシュ・メモリの ECC エラー検出（エラー訂正を含む）	FLASH_EC
SGATERRIN8	RAM の ECC エラー検出	IRAM_ED
SGATERRIN9	RAM の ECC エラー検出（エラー訂正を含む）	IRAM_EC
SGATERRIN10	フラッシュ・キャッシュ RAM の ECC エラー検出	FCACHE_RAM_ED2
SGATERRIN11	フラッシュ・キャッシュ RAM の ECC エラー検出	FCACHE_RAM_ED1
SGATERRIN12	フラッシュ・キャッシュ TAG の ECC エラー検出	FCACHE_TAG_ED2
SGATERRIN13	フラッシュ・キャッシュ TAG の ECC エラー検出	FCACHE_TAG_ED1
SGATERRIN14	CAN の ECC エラー検出	CAN_ED
SGATERRIN [15...17]	予約	予約
SGATERRIN18	自己診断 BIST の意図的でない許可	ET_BIST_ENABLE 注 1
SGATERRIN19	自己診断 BIST の意図的でない許可	ET_BIST_ENABLE 注 1
SGATERRIN [20...31]	予約	予約
SGATERRIN32	コード・フラッシュ・プログラミング・モードの意図的でない起動	FRB_PRG_ENABLE
SGATERRIN33	CLMA0 の意図的でない禁止	CLM0_DISABLE
SGATERRIN34	CLMA1 の意図的でない禁止	CLM1_DISABLE
SGATERRIN35	CLMA2 の意図的でない禁止	CLM2_DISABLE
SGATERRIN36	自己診断 BIST の意図的でない許可	ET_BIST_ENABLE 注 1
SGATERRIN37	予約	予約
SGATERRIN38	プロダクション・テスト・モードの意図的でない許可	TEST_ENABLE
SGATERRIN39	CPU モード・エラー。CPU の動作モードで意図しないモード変更を検出した場合，このエラーが発生します。	CPU_MODE_ERR

表 10-5 SGA エラー入力信号 (2/2)

SGA 信号	機能	接続先
SGATERRIN40	SGA コンペア・エラー。SGA エラー出力の内部ループ・バックです。冗長 SGA の不整合はこのエラーで示されます。	SG_CMP_ERR
SGATERRIN41	意図的でないエラー信号のマスク。 BIST によりエラー信号がトグルするため，BIST 実行中は，この信号によってエラー発生をマスクします。 また，BIST 実行中以外でエラー発生をマスクしている／していない状態をこの信号で確認できます。	SG_HW_BIST_ERR_EN
SGATERRIN［42...47］	予約	予約
SGATERRSWS	SGAmESET の書き込みステータスを示します。	SGA 内部接続
$\overline{\text{SGATERRLB}}$	ERROROUT 端子のループ・バック信号。ERROROUT 端子レベルを示します。	ERROROUT 端子

注 1 自己診断 BIST の意図しない許可エラーは，SGA のエラー入力（SGATERRIN18，19，36）に共通に接続しています。

入出力信号 SGA の入出力信号を次の表に示します。

表 10-6 SGA 入出力信号

SGA 信号	機能	接続先
SGATERROUTZ	外部にエラーを通知するのに使用される SGA エラー出力	ERROROUT 端子
$\overline{\text{SGARES}}$	SGA 内部リセット要求によってデバイスを強制的に内部リセットします。	リセット・コントローラ
$\overline{\text{SGATRERRO}}$	TAPA の Hi-Z 制御用の SGA エラー出力。エラーの場合，SGATERROUTZ によって通知され，モータ制御タイマ出力の Hi-Z 制御を行います。	PIC
SGATTIN	SGA タイマ入力。 SGATERROUTZ のダイナミック動作はこのタイマ入力で設定できます。	TAUB0 ch15 OSTM1

10.2 SGA 機能概要

セーフティ・ガーディアン（SGA）は，さまざまなエラー・ソースとモニタ回路から発生するすべての内部エラー信号を収集します。これらのエラーは，クロック・モニタ，ECC 回路，コンペア・ユニットとその他のモニタ・ユニットで発生します。

機能概要 SGA には次の機能があります。

- エラーの収集，状態の表示，個別の処理
  - SGATERROUTZ によるエラー発生
  - SGATI による割り込み発生
  - $\overline{\text{SGARES}}$ による内部リセット発生

SGA は冗長構成となっています。冗長構成のレジスタには，1 回の書き込みで同時にアクセスするものと，個別にアクセスする必要があるものがあります。これで，2 つのセーフティ・ガーディアン機能ブロックのソフトウエアによる個別の機能テストが可能になります。

- セーフティ・ガーディアン（SGA）レジスタ領域は，1 回の書き込みで冗長レジスタに同時にアクセスする共通レジスタ領域です。
- セーフティ・ガーディアン ・マスタ（SGAM）レジスタ領域は，SGA マスタ・レジスタに個別にアクセスするレジスタ領域です。
- セーフティ・ガーディアン ・チェッカ（SGAC）レジスタ領域は，SGA チェッカ・レジスタに個別にアクセスするレジスタ領域です。

SGA レジスタ領域のマッピングを次のブロック図に示します。

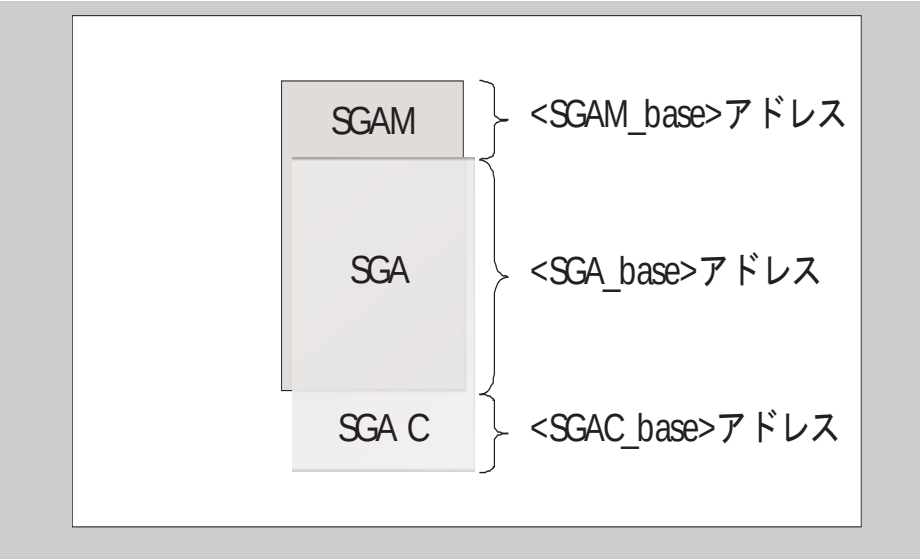


図 10-1 冗長 SGA のレジスタ領域

SGA の主な構成要素を次のブロック図に示します。

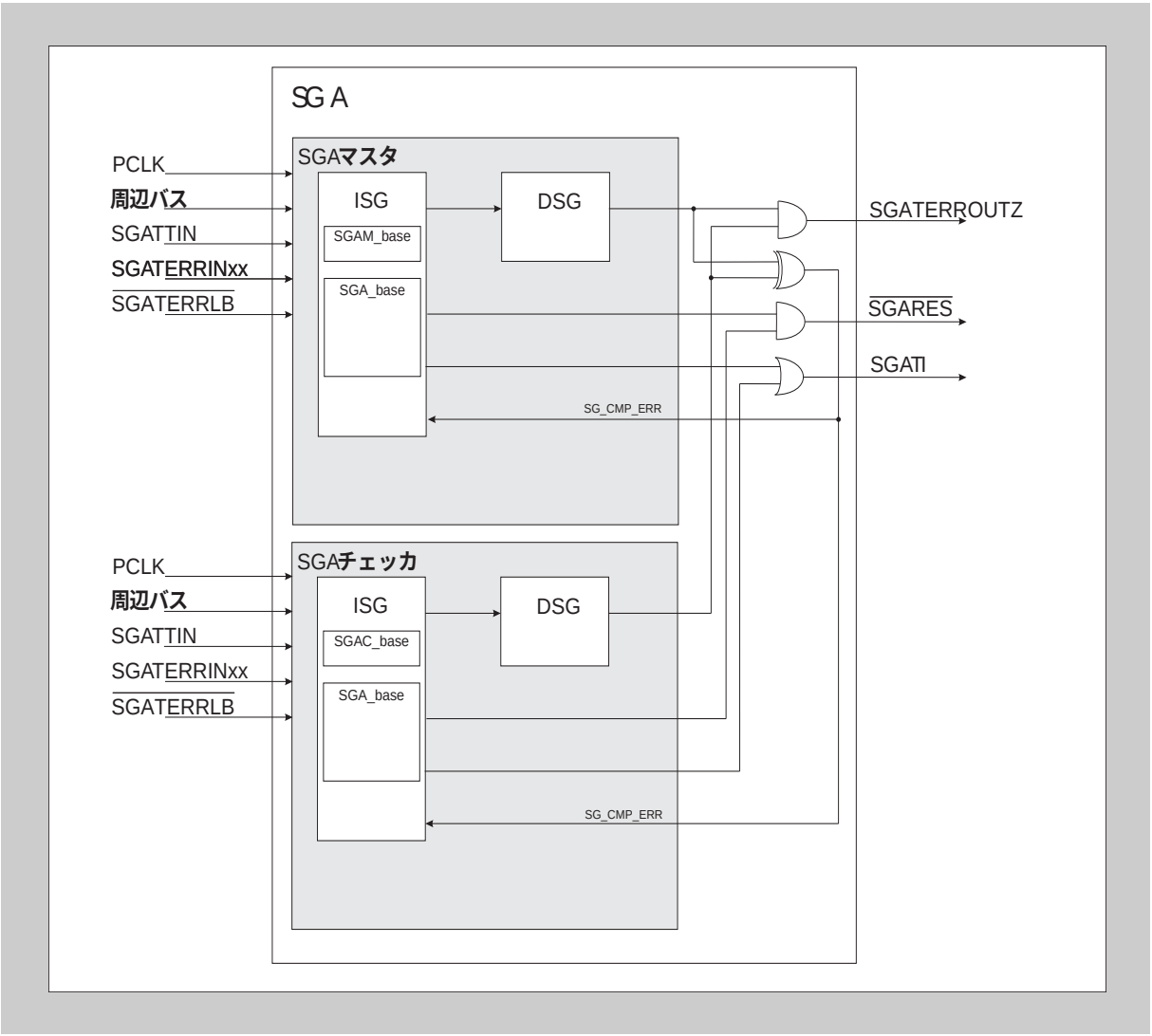


図 10-2 冗長 SGA のブロック図

SGA はインダイレクト・セーフティ・ガーディアン（ISG）とダイレクト・セーフティ・ガーディアン（DSG）に分かれています。

- ISG - エラー・ソースの静的な構成に使用します。
- DSG - 組み合わせ論理のみで構成されているため，クロック障害に強く，クロック障害の場合でも SGATERROUTZ にエラーを示します。

SGA には，次の外部接続があります。

- 入力
  - すべての内部エラー・ソースとモニタ・ユニットからのエラー入力 SGATERRINxx。SGA マスタと SGA チェッカのエラー入力信号は同じです。
  - ダイナミック・エラー動作を発生するタイマ入力接続 SGATTIN
  - エラー・ループ・バック $\overline{\text{SGATERRLB}}$。デバイスの ERROROUT 端子からのエラー出力レベルをリード・バックします。
- 出力
  - 割り込み出力 SGATI
  - 内部リセット出力 $\overline{\text{SGARES}}$
  - エラー出力 SGATERROUTZ

10.3 機能説明

10.3.1 SGA の動作状態

SGA の動作は次に示す 4 つのメイン・フェーズに分割されます。

- リセット - デバイスのハードウエア初期化
- スタートアップ・テスト - 自己診断 BIST とソフトウエア・セルフ・テストの実行／評価
- アプリケーション - SGA の設定とユーザ・アプリケーションの実行
- エラー - SGA 設定に応じたエラー処理

動作のさまざまなフェーズの例を次のブロック図に示します。

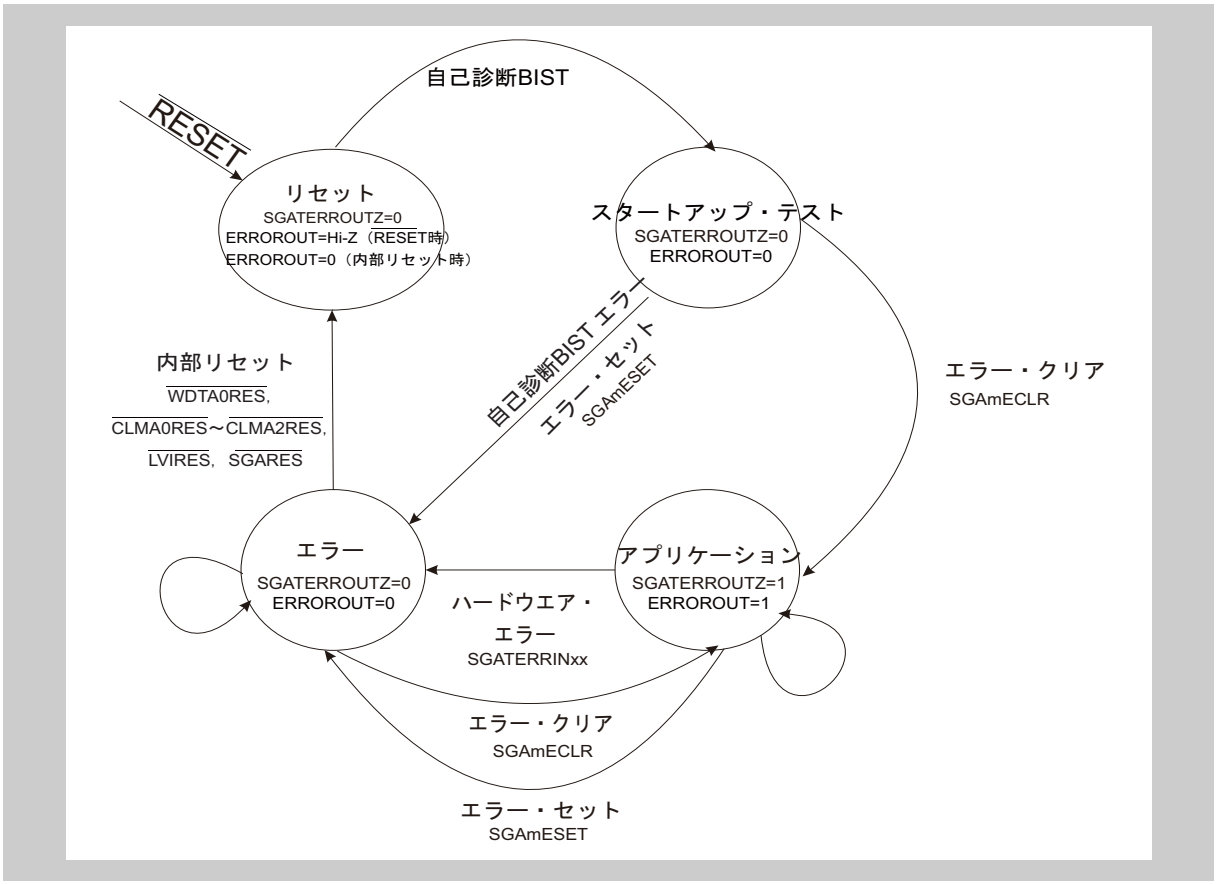


図 10-3 SGA エラーの状態とフェーズ

10.3.2 SGA 構成の概要

SGA は次の機能に対応しています。

- エラー・セット／クリア・レジスタ
  - エラー・セット／クリア・レジスタは，アクティブまたはインアクティブのエラー状態を設定または解除します。アクティブな（エラーがセットされた）場合は，エラー出力 SGATERROUTZ はエラー入力 SGATERRINxx に関係なくロウになります。インアクティブな（エラーがクリアされた）場合は，エラー出力 SGATERROUTZ は SGATERRINxx がエラーを示すまでハイのままです（またはタイマ入力によってトグルされます）。
- エラー・ソース・ステータス・レジスタ
  - 個々のエラー・ソース入力 SGATERRINxx がエラー発生したことを示します。
- エラー・ソース・ステータス・クリア・レジスタ
  - 個々のエラー状態をクリアします。
- エラー・マスク・レジスタ
  - 個々のエラー入力 SGATERRINxx は，エラー出力 SGATERROUZ に対してマスクできます。
- 内部リセット・コンフィグレーション・レジスタ
  - 個々のエラー入力 SGATERRINxx は，内部リセットを発生するようにも発生しないようにも設定できます。
- 割り込みコンフィグレーション・レジスタ
  - エラー入力 SGATERRIN41-SGATERRIN32 に対して SGATI による割り込み発生を設定できます。
- 疑似エラー・レジスタ
  - 疑似エラーの挿入によってエラー・パスの機能テストが可能になります。
- エラー・パルス・コンフィグレーション・レジスタ
  - エラー出力信号 SGATERROUTZ は，ダイナミック動作にもノンダイナミック動作にも設定できます。エラー出力信号は，ダイナミック・モード時，SGATTIN の信号設定に従って動作します。

次にレジスタと信号の依存性について示します。

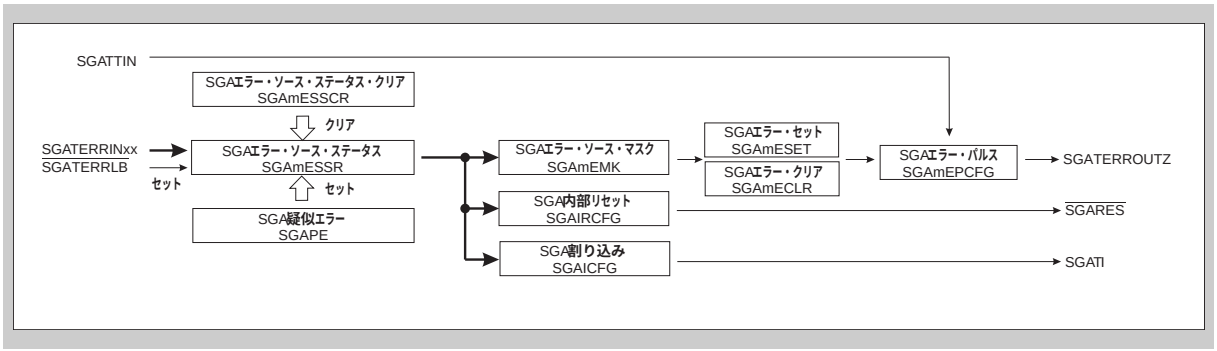


図 10-4 SGA レジスタと信号の依存性

10.3.3 エラー出力の動作

エラー出力 SGATERROUTZ は ERROROUT 端子に接続されます。

エラー出力はノンダイナミック・モードとダイナミック・モードの 2 つの動作モードがあります。

表 10-7 エラー出力の動作モード

エラー状態 SGAmESSTRy.SGAmSSE019-000/ SGAmSSE131-100 (y = 0.1)	動作モード SGASL0 ビット	エラー出力の動作モード	エラー出力のレベル	エラー状態
0	0	ノンダイナミック	ハイ	エラーなし
	1	ダイナミック	トグル (SGATTIN タイマ構成による)	エラーなし
1	0	ノンダイナミック	ロウ	エラー
	1	ダイナミック	ロウ	エラー

注意 次のプログラミング手順の記述に従ってください。

(1) ダイナミック・モードを有効にする

1）SGAEMK0 レジスタ，SGAEMK1 レジスタを設定します。
2）関連するタイマ (SGATTIN に接続）を初期化します。
3）SGAmECLR.SGAmECT ビットを 1 に設定してエラー出力をハイ・レベルにします。*10.4.2* (2)「SGAmECLR - SGAm エラー・クリア・トリガ・レジスタ」の注意を参照してください。
4）SGAEPCFG.SGASL0 ビットを 1 にしてダイナミック・モードに設定します。
5）タイマを起動します。

備考 タイマ周期の設定値については，接続する外部デバイスの特性により決定してください。

(2) ダイナミック・モードを無効にする

1）SGAEMK0 レジスタ，SGAEMK1 レジスタを設定します。
2）SGAmESET.SGAmEST ビットを 1 に設定してエラー出力をロウ・レベルにします。*10.4.2* (1)「SGAmESET - SGAm エラー・セット・トリガ・レジスタ」の注意を参照してください。
3）タイマを停止します。
4）SGAEPCFG.SGASL0 ビットを 0 にしてノンダイナミック・モードに設定します。

10.3.4 ループ・バック機能

SGA は，SGA から ERROROUT 端子までのエラー・パスを確認するループ・バック機能に対応しています。SGATERRLB は ERROROUT 端子に接続されており，出力レベルは*表 10-14「SGAmESSTR1 レジスタの内容」*の SGAmSSE131 ビットに反映されます。

ループ・バック・テストを実施する際は，SGAEMK0/1 によってマスクされていないすべてのエラーがクリアされている状態でテストしてください。

(1) リセット後のループ・バック・テスト

1） リセット後のエラー出力は「ロウ・レベル」です。
2） SGAMESSTR1.SGAMSSE131 ビットと SGACESSTR1.SGACSSE131 ビットを読み出し，“0” かどうかを確認します。
3） SGAESSTC0 レジスタと SGAESSTC1 レジスタですべての内部エラー・ソースをクリアします。
4） SGAEMK1.SGAEMK108 ビットをセットして SG_CMP_ERR をマスクします。
5） SGAMECLR レジスタと SGACECLR レジスタでエラー出力を「ハイ・レベル」に設定します。
6） SGAMESSTR1.SGAMSSE131 ビットと SGACESSTR1.SGACSSE131 ビットを読み出し，“1” かどうかを確認します。
7） SGAMESET レジスタでエラー出力を「ロウ・レベル」に設定します。
8） SGAMESSTR1.SGAMSSE131 ビットと SGACESSTR1.SGACSSE131 ビットを読み出し，“0” かどうかを確認します。
9) SGAESSTC1.SGACLSSE130 ビットにてエラーをクリアします。
10）SGAMECLR レジスタでエラー出力を「ハイ・レベル」に設定します。
11）SGAMESSTR1.SGAMSSE131 ビットと SGACESSTR1.SGACSSE131 ビットを読み出し，“1” かどうかを確認します。
12）SGACESET レジスタでエラー出力を「ロウ・レベル」に設定します。
13）SGAMESSTR1.SGAMSSE131 ビットと SGACESSTR1.SGACSSE131 ビットを読み出し，“0” かどうかを確認します。
14）SGAMESET レジスタと SGACESET レジスタでエラー出力を「ロウ・レベル」に設定します。
15）SGAESSTC1.SGACLSSE108 ビットおよび SGAESSTC1.SGACLSSE130 ビットにてエラーをクリアします。
16）SGAEMK1.SGAEMK108 ビットをクリアして SG_CMP_ERR のマスクを解除します。

10.4.2(1)「SGAmESET - SGAm エラー・セット・トリガ・レジスタ」の注意を参照してください。

10.3.5 疑似エラーの発生

SGA は，テストまたはデバッグ用にエラーを「エミュレート」する疑似エラー挿入機能に対応しています。疑似エラー挿入時の SGA の動作は，実際のエラーが発生した場合と同じです。つまり，エラー・マスク，割り込み，内部リセットの設定はすべて同様に反映されます。

疑似エラーの発生は次の目的で使用できます。

- デバッグ用にエラーを発生し，たとえば次のソフトウエアの動作を確認します。
  - SGA 割り込み（SGATI）
  - 内部リセット（$\overline{\text{SGARES}}$）
  - エラー出力（SGATERROUTZ）
- リセット後のテストのためにエラー・ソース・ステータス・レジスタ SGAMESSTR0 と SGAMESSTR1 の機能テストを実行します。このテストはループ・バック機能と組み合わせることができます。

SGAPE0 レジスタまたは SGAPE1 レジスタの疑似エラーに関連するエラー・ソース・ビット SGAPE108-SGAPE100，SGAPE019-SGAPE000 を “1” に設定すると，疑似エラーが発生します。

10.3.6　エラー状態

エラー状態は，SGAmESSTR0 レジスタと SGAmESSTR1 レジスタで示されます。エラー状態は，RESET による外部リセット後にのみクリアされます。内部リセットの場合はこの状態が保持され，あとで SGAmESSTR0 レジスタと SGAmESSTR1 レジスタを読み出すことによってエラー・ソースを評価できます。さらに，これらのレジスタはその内容が破壊されないように自己診断 BIST から除外されます。

10.3.7 保護レジスタへの書き込み

ライト保護レジスタは，誤ったプログラム動作などによる不正なライトから保護されています。

関連するレジスタの概要を*表 10-10「SGA レジスタの概要」*に示します。

(1) 保護解除シーケンス

ライト保護レジスタへのライトは，次に示す特定の保護解除シーケンスによってのみ可能です。

1. 固定値 $000000A5_H$ を保護コマンド・レジスタ SGAPCMD1, SGAmPCMD0 に書き込みます。
2. SGA, SGAm の保護レジスタに要求値を書き込みます。
3. SGA, SGAm の保護レジスタに要求値のビット反転値を書き込みます。
4. SGA, SGAm の保護レジスタに要求値を書き込みます。
5. SGAPS.SGAPRERR の値が 0 であることを確認して，保護レジスタに要求値が正しく書き込まれたことを確認します。

上記シーケンスの手順 1 から手順 4 までに別のレジスタへのアクセスがあった場合，保護機能は次のように動作します。

- 第 2 のレジスタが SGA に含まれる場合は，保護レジスタへの書き込みが失敗します（SGAPS.SGAPRERR = 1）。手順 1 からシーケンス全体を再開してください。
- 第 2 のレジスタが SGA に含まれない場合は，保護解除シーケンスが中断せず，第 1 のレジスタへの書き込みが正常に終了します。

備考 SGAPCMD1 レジスタと SGAmPCMD0 レジスタでは，保護解除シーケンスの状態は共通して SGAPS.SGAPRERR フラグで示されます。したがって，SGAPCMD1 と SGAmPCMD0 の保護解除シーケンスが混在しないようにすることを推奨します。

保護解除シーケンス中に割り込みがあった場合，保護機能は次のように動作します。

- 保護シーケンス中の割り込み
  上記保護解除シーケンス中に割り込みが受け付けられ，かつその割り込みサービス・ルーチンが SGA のレジスタにアクセスしていない場合，保護解除シーケンスは中断されません。割り込みサービス・ルーチンから復帰したあと，保護レジスタへの書き込みが正常に行なわれます。

注意 すべての保護レジスタと SGA 保護コマンド・レジスタ SGAPCMD1 と SGAmPCMD0 には，32 ビットでアクセスする必要があります。

10.4 レジスタ

この節では，SGA のすべてのレジスタについて説明します。

10.4.1 SGA レジスタの概要

SGA は，次のレジスタで制御，動作します。

表 10-8 SGA マスタ・レジスタの概要

レジスタ名	略号	特定のシーケンスによるライト保護	アドレス
SGA マスタ・エラー・セット・トリガ・レジスタ	SGAMESET	あり	<SGAM_base>
SGA マスタ・エラー・クリア・トリガ・レジスタ	SGAMECLR	あり	<SGAM_base> + 4_H
SGA マスタ・エラー・ソース・ステータス・レジスタ 0	SGAMESSTR0	なし	<SGAM_base> + 8_H
SGA マスタ・エラー・ソース・ステータス・レジスタ 1	SGAMESSTR1	なし	<SGAM_base> + C_H
SGA マスタ保護コマンド・レジスタ	SGAMPCMD0	該当せず	<SGAM_base> + 10_H

表 10-9 SGA チェッカ・レジスタの概要

レジスタ名	略号	特定のシーケンスによるライト保護	アドレス
SGA チェッカ・エラー・セット・トリガ・レジスタ	SGACESET	あり	<SGAC_base>
SGA チェッカ・エラー・クリア・トリガ・レジスタ	SGACECLR	あり	<SGAC_base> + 4_H
SGA チェッカ・エラー・ソース・ステータス・レジスタ 0	SGACESSTR0	なし	<SGAC_base> + 8_H
SGA チェッカ・エラー・ソース・ステータス・レジスタ 1	SGACESSTR1	なし	<SGAC_base> + C_H
SGA チェッカ保護コマンド・レジスタ	SGACPCMD0	該当せず	<SGAC_base> + 10_H

表 10-10 SGA レジスタの概要

レジスタ名	略号	特定のシーケンスによるライト保護	アドレス
SGA エラー・パルス・コンフィグレーション・レジスタ	SGAEPCFG	あり	<SGA_base>
SGA 割り込みコンフィグレーション・レジスタ	SGAICFG1	あり	<SGA_base> + 4_H
SGA 内部リセット・コンフィグレーション・レジスタ 0	SGAIRCFG0	あり	<SGA_base> + 8_H
SGA 内部リセット・コンフィグレーション・レジスタ 1	SGAIRCFG1	あり	<SGA_base> + C_H
SGA SGATERROUTZ マスク・レジスタ 0	SGAEMK0	あり	<SGA_base> + 10_H
SGA SGATERROUTZ マスク・レジスタ 1	SGAEMK1	あり	<SGA_base> + 14_H
SGA エラー・ソース・ステータス・クリア・レジスタ 0	SGAESSTC0	あり	<SGA_base> + 18_H
SGA エラー・ソース・ステータス・クリア・レジスタ 1	SGAESSTC1	あり	<SGA_base> + $1C_H$
SGA 保護コマンド・レジスタ	SGAPCMD1	該当せず	<SGA_base> + 20_H
SGA 保護ステータス・レジスタ	SGAPS	該当せず	<SGA_base> + 24_H
SGA 疑似エラー・トリガ・レジスタ 0	SGAPE0	あり	<SGA_base> + 28_H
SGA 疑似エラー・トリガ・レジスタ 1	SGAPE1	あり	<SGA_base> + $2C_H$
SGA エラー・パルス出力コントロール・レジスタ	SGAEPCTL	該当せず	FF83 $F020_H$

10.4.2 SGA レジスタの詳細

(1) SGAmESET - SGAm エラー・セット・トリガ・レジスタ

エラー出力のアクティブな状態「ロウ・レベル」を有効にします。

このレジスタに書き込むことによって，エラー出力はただちにアクティブに設定されます。マスク処理はできません。

アクセス 32 ビット単位でライト可能です。このレジスタへのライトは，命令シーケンスによって保護されます。

アドレス <SGAm_base>

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SGAmEST
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 10-11 SGAmEST レジスタの内容

ビット位置	ビット名	機能
0	SGAmEST	SGA エラー・セット・トリガ・ビット 0: 0 の書き込みは無視されます。 1: SGATERROUTZ のアクティブな状態を有効にします（ロウ・レベル）。

注意 SGAmESET レジスタでエラー出力のセットを行うことによって，エラー（SGAmESSTR1.SGAmSSE108 ビット，SGAmESSTR1.SGAmSSE130 ビット）が生成されます。

そのため，下記の手順で操作する必要があります。

1) SGAEMK1.SGAEMK108 ビットを “ マスクあり ” に設定します。
2) SGATI 割り込みが発生しないよう，SGAICFG1.SGAIE108 ビットを “ 禁止 ” に設定します。
3) $\overline{\text{SGARES}}$ リセットが発生しないよう，SGAIRCFG1.SGAIRE108 ビットを “ 禁止 ” に設定します。
4) SGAmESET レジスタでエラー出力のセットを行います。
5) SGAESSTC1.SGACLSSE108 ビット，SGAESSTC1.SGACLSSE130 ビットにてエラーをクリアします。
6) SGATERRIN40 エラーの使用条件に応じて以下の設定を行います。
   - SGATERROUTZ エラー出力する場合，SGAEMK1.SGAEMK108 ビットを “ マスクなし ” に設定します。
   - SGATI 割り込みを生成する場合，SGAICFG1.SGAIE108 ビットを “ 許可 ” に設定します。
   - $\overline{\text{SGARES}}$ リセットを生成する場合は SGAIRCFG1.SGAIRE108 ビットを “ 許可 ” に設定します。

(2) SGAmECLR - SGAm エラー・クリア・トリガ・レジスタ

エラー出力のインアクティブな状態「ハイ・レベル」を有効にします。保留のエラーがない場合は，エラー端子はただちにインアクティブに設定されます。

アクセス 32 ビット単位でライト可能です。このレジスタへのライトは，命令シーケンスによって保護されます。

アドレス <SGAm_base> + 4_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SGAmECT
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 10-12 SGAmECLR レジスタの内容

ビット位置	ビット名	機能
0	SGAmECT	SGA エラー・クリア・トリガ・ビット 0: 0 の書き込みは無視されます。 1: SGATERROUTZ のインアクティブな状態を有効にします（ハイ・レベル）。

注意

1. SGATERROUTZ のクリアは，SGAEMK0/1 によってマスクされていないすべてのエラーが，あらかじめクリアされている場合にのみ可能です。
2. SGAmECLR レジスタからエラー出力のクリアを行うことによって，エラー（SGAmESSTR1.SGAmSSE108 ビット）が生成されます。
   そのため，下記の手順で操作する必要があります。
   1) SGAEMK1.SGAEMK108 ビットを “ マスクあり ” に設定します。
   2) SGATI 割り込みが発生しないよう，SGAICFG1.SGAIE108 ビットを “ 禁止 ” に設定します。
   3) SGARES リセットが発生しないよう，SGAIRCFG1.SGAIRE108 ビットを “ 禁止 ” に設定します。
   4) SGAmECLR レジスタでエラー出力のクリアを行います。
   5) SGAESSTC1.SGACLSSE108 ビットにてエラーをクリアします。
   6) SGATERRIN40 エラーの使用条件に応じて以下の設定を行います。
      − SGATERROUTZ エラー出力する場合，SGAEMK1.SGAEMK108 ビットを “ マスクなし ” に設定します。
      − SGATI 割り込みを生成する場合，SGAICFG1.SGAIE108 ビットを “ 許可 ” に設定します。
      − SGARES リセットを生成する場合は SGAIRCFG1.SGAIRE108 ビットを “ 許可 ” に設定します。
3. ダイナミック・モードを設定したあと，再度，ノンダイナミック・モードに変更しないことを推奨します。エラー出力時にグリッチの可能性があるためです。詳細は 10.3.3「エラー出力の動作」を参照してください。

(3) SGAmESSTR0 - SGAm エラー・ソース・ステータス・レジスタ 0

個々のエラー・ソースの状態を示します。この状態はマスクの設定に関係なく示されます。

アクセス　32 ビット単位でリード可能です。

アドレス　<SGAm_base> + 8_H

初期値　$0000\ 0000_H$　　$\overline{\text{RESET}}$ でのみ初期化されます。

備考　このレジスタは自己診断 BIST ではテストされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	SGAmSSE019	SGAmSSE018	0	SGAmSSE016 注
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SGAmSSE015	SGAmSSE014	SGAmSSE013	SGAmSSE012	SGAmSSE011	SGAmSSE010	SGAmSSE009	SGAmSSE008	SGAmSSE007	SGAmSSE006	SGAmSSE005	SGAmSSE004	SGAmSSE003	SGAmSSE002	SGAmSSE001	SGAmSSE000
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 10-13　SGAmESSTR0 レジスタの内容

ビット位置	ビット名	機能
19-18, 16-0	SGAmSSE019-SGAmSSE018, SGAmSSE016-SGAmSSE000	SGAmSSE019-SGAmSSE000 は，SGATERRIN19-SGATERRIN00 に対応します。 0: SGATERRINxx エラー未発生 1: SGATERRINxx エラー発生

注意
1. SGAmESSTR0.SGAmSSE018 ビット，SGAmESSTR0.SGAmSSE019 ビットは自己診断 BIST 実行時にセット（1）されますので，ソフトウエアにてクリア（0）してください。
2. SGAmESSTR0.SGAmSSE006 ビット（フラッシュ・メモリの ECC エラー検出），SGAmESSTR0.SGAmSSE007 ビット（フラッシュ・メモリの ECC エラー検出（エラー訂正を含む））は内部リセット発生時にセット（1）される可能性があります。正確にフラッシュ・メモリ ECC エラーを検出するには，SGAIRCFG0.SGAIRE006 ビット，SGAIRCFG0.SGAIRE007 ビットを SGA 内部リセット禁止（0）に設定し，フラッシュ・メモリ ECC エラーによる SGA 内部リセットを抑制したうえで，CECCER レジスタのエラー要因フラグで判定してください。

(4) SGAmESSTR1 - SGAm エラー・ソース・ステータス・レジスタ 1

個々のエラー・ソースの状態を示します。この状態はマスクの設定に関係なく示されます。

アクセス 32 ビット単位でリード可能です。

アドレス <SGAm_base> + C_H

初期値 0000 0000_H $\overline{\text{RESET}}$ でのみ初期化されます。

ただし，SGAmSSE130 ビットはすべてのリセット要因で初期化されます。

備考 このレジスタは自己診断 BIST ではテストされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SGAmSSE131	SGAmSSE130	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	SGAmSSE109	SGAmSSE108	SGAmSSE107	SGAmSSE106	SGAmSSE105	SGAmSSE104	SGAmSSE103	SGAmSSE102	SGAmSSE101	SGAmSSE100
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 10-14 SGAmESSTR1 レジスタの内容

ビット位置	ビット名	機能
31	SGAmSSE131	エラー出力ループ・バック状態（$\overline{\text{SGATERRLB}}$）を示します。 0: エラー出力（ERROROUT 端子）はロウ・レベル 1: エラー出力（ERROROUT 端子）はハイ・レベル
30	SGAmSSE130	SGAmESET の書き込みステータス（SGATERRSWS）を示します。 0: エラーなし 1: SGAmESET.SGAmEST でエラーを設定
9-0	SGAmSSE109-SGAmSSE100	SGAmSSE109-SGAmSSE100 は，SGATERRIN41-SGATERRIN32 に対応します。 0: SGATERRINxx エラー未発生 1: SGATERRINxx エラー発生

注意 SGAmESSTR1.SGATmSSE104 ビット , SGAmESSTR1.SGATmSSE109 ビットは自己診断 BIST 実行時にセット（1）されますので，ソフトウエアにてクリア（0）してください。

(5) SGAmPCMD0 - SGAm（マスタ / チェッカ）保護コマンド・レジスタ

SGAm（マスタ / チェッカ）レジスタの保護コマンド・レジスタです。保護レジスタの一覧については，*表 10-10「SGA レジスタの概要」*を参照してください。

レジスタのライト保護シーケンスについて詳しくは，*363 ページの 10.3.7「保護レジスタへの書き込み」*を参照してください。
ライト保護シーケンスの状態は，(15)「SGAPS - SGA 保護ステータス・レジスタ」で表されます。

アクセス 32 ビット単位でライト可能です。

アドレス <SGAm_base> + 10_H

初期値 不定

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	SGAm0REG［7:0］							
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 10-15 SGAPmCMD0 レジスタの内容

ビット位置	ビット名	機能
7-0	SGAm0REG［7:0］	SGAm レジスタへの書き込みを有効にする保護コマンド

(6) SGAEPCFG - SGA エラー・パルス・コンフィグレーション・レジスタ

エラー出力信号の動作モードを指定します。

アクセス 32 ビット単位でリード／ライト可能です。このレジスタへのライトは，命令シーケンスによって保護されます。

アドレス <SGA_base>

初期値 $0000\ 0000_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SGASL0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 10-16 SGAEPCFG レジスタの内容

ビット位置	ビット名	機能
0	SGASL0	SGATERROUTZ のエラー出力動作の設定 0: ノンダイナミック・モード 1: ダイナミック・モード。SGATTIN に接続するタイマ入力信号によってダイナミック・エラー信号を発生

注意 ダイナミック・モードを設定したあと，再度，ノンダイナミック・モードに変更しないことを推奨します。エラー出力時にグリッチの可能性があるためです。詳細は 10.3.3「エラー出力の動作」の注意を参照してください。

(7) SGAICFG1 - SGA 割り込みコンフィグレーション・レジスタ 1

SGATI 割り込みの発生を設定します。エラー（SGATERRINxx）の発生による割り込み生成が可能です。

アクセス 32 ビット単位でリード／ライト可能です。このレジスタへのライトは，命令シーケンスによって保護されます。

アドレス <SGA_base> + 4_H

初期値 $0000\ 0000_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	SGAIE109	SGAIE108	SGAIE107	SGAIE106	SGAIE105	SGAIE104	SGAIE103	SGAIE102	SGAIE101	SGAIE100
R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10-17 SGAICFG1 レジスタの内容

ビット位置	ビット名	機能
9-0	SGAIE109-SGAIE100	SGAIE109-SGAIE100 は，エラー入力信号 SGATERRIN41-SGATERRIN32 に対応します。 SGATI 割り込みの禁止／許可 0: 禁止。SGATERRINxx が発生しても SGATI は発生しない。 1: 許可。SGATERRINxx が発生すると SGATI が発生。

(8) SGAIRCFG0 - SGA 内部リセット・コンフィグレーション・レジスタ 0

内部エラーの発生によって生成できる内部リセットの発生を設定します。

アクセス 32 ビット単位でリード／ライト可能です。このレジスタへのライトは，命令シーケンスによって保護されます。

アドレス <SGA_base> + 8_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	SGAIRE019	SGAIRE018	0	SGAIRE016 注
R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SGAIRE015	SGAIRE014	SGAIRE013	SGAIRE012	SGAIRE011	SGAIRE010	SGAIRE009	SGAIRE008	SGAIRE007	SGAIRE006	SGAIRE005	SGAIRE004	SGAIRE003	SGAIRE002	SGAIRE001	SGAIRE000
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10-18 SGAIRCFG0 レジスタの内容

ビット位置	ビット名	機能
19-18, 16-0	SGAIRE019-SGAIRE018, SGAIRE016-SGAIRE000	SGAIRE019-SGAIRE000 は，エラー入力信号 SGATERRIN19-SGATERRIN00 に対応します。 SGARES 内部リセットの禁止／許可 0: 禁止。SGATERRINxx が発生しても $\overline{\text{SGARES}}$ は発生しない。 1: 許可。SGATERRINxx が発生すると SGARES が発生。

注意 SGAmESSTR0.SGAmSSE006 ビット（フラッシュ・メモリの ECC エラー検出），SGAmESSTR0.SGAmSSE007 ビット（フラッシュ・メモリの ECC エラー検出（エラー訂正を含む））は内部リセット発生時にセット（1）される可能性があります。正確にフラッシュ・メモリ ECC エラーを検出するには，SGAIRCFG0.SGAIRE006 ビット，SGAIRCFG0.SGAIRE007 ビットを SGA 内部リセット禁止（0）に設定し，フラッシュ・メモリ ECC エラーによる SGA 内部リセットを抑制したうえで，CECCER レジスタのエラー要因フラグで判定してください。

(9) SGAIRCFG1 - SGA 内部リセット・コンフィグレーション・レジスタ 1

内部エラーの発生によって生成できる内部リセットの発生を設定します。

アクセス 32 ビット単位でリード／ライト可能です。このレジスタへのライトは，命令シーケンスによって保護されます。

アドレス <SGA_base> + C_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	SGAIRE109	SGAIRE108	SGAIRE107	SGAIRE106	SGAIRE105	SGAIRE104	SGAIRE103	SGAIRE102	SGAIRE101	SGAIRE100
R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10-19 SGAIRCFG1 レジスタの内容

ビット位置	ビット名	機能
9-0	SGAIRE109-SGAIRE100	SGAIRE109-SGAIRE100 は，エラー入力信号 SGATERRIN41-SGATERRIN32 に対応します。 SGARES 内部リセットの禁止／許可 0: 禁止。SGATERRINxx が発生しても SGARES は発生しない。 1: 許可。SGATERRINxx が発生すると SGARES が発生。

(10) SGAEMK0 - SGA エラー・マスク・レジスタ 0

エラー出力信号 SGATERROUTZ の個々のエラー・ソース（SGATERRINxx）をマスクします。

アクセス 32 ビット単位でリード／ライト可能です。このレジスタへのライトは，命令シーケンスによって保護されます。

アドレス <SGA_base> + 10_H

初期値 $0000\ 0000_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	SGAEMK019	SGAEMK018	0	SGAEMK016 注
R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SGAEMK015	SGAEMK014	SGAEMK013	SGAEMK012	SGAEMK011	SGAEMK010	SGAEMK009	SGAEMK008	SGAEMK007	SGAEMK006	SGAEMK005	SGAEMK004	SGAEMK003	SGAEMK002	SGAEMK001	SGAEMK000
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10-20 SGAEMK0 レジスタの内容

ビット位置	ビット名	機能
19-18, 16-0	SGAEMK019-SGAEMK018, SGAEMK016-SGAEMK000	SGAEMK019-SGAEMK000 は，エラー入力信号 SGATERRIN19-SGATERRIN00 に対応します。 SGATERROUTZ エラー出力信号のマスクの設定 0: マスクなし。SGATERRINxx が発生すると SGATERROUTZ がアクティブもしくはエラー状態になる。 1: マスクあり。SGATERRINxx が発生しても SGATERROUTZ がアクティブもしくはエラー状態にならない。

(11) SGAEMK1 - SGA エラー・マスク・レジスタ 1

エラー出力信号 SGATERROUTZ の個々のエラー・ソース（SGATERRINxx）をマスクします。

アクセス 32 ビット単位でリード／ライト可能です。このレジスタへのライトは，命令シーケンスによって保護されます。

アドレス <SGA_base> + 14_H

初期値 $0000\ 0000_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	SGAEMK109	SGAEMK108	SGAEMK107	SGAEMK106	SGAEMK105	SGAEMK104	SGAEMK103	SGAEMK102	SGAEMK101	SGAEMK100
R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10-21 SGAEMK1 レジスタの内容

ビット位置	ビット名	機能
9-0	SGAEMK109-SGAEMK100	SGAEMK109-SGAEMK100 は，エラー入力信号 SGATERRIN41-SGATERRIN32 に対応します。 SGATERROUTZ エラー出力信号のマスクの設定 0: マスクなし。SGATERRINxx が発生すると SGATERROUTZ が発生。 1: マスクあり。SGATERRINxx が発生しても SGATERROUTZ は発生しない。

(12) SGAESSTC0 - SGA エラー・ソース・ステータス・クリア・レジスタ 0

SGAESSTR0 レジスタの個々のエラー・ソースの状態をクリアします。
SGAM と SGAC の両方のエラー状態が同時にクリアされます。

アクセス 32 ビット単位でライト可能です。このレジスタへのライトは，命令シーケンスによって保護されます。

アドレス <SGA_base> + 18_H

初期値 $0000\ 0000_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	SGACLSSE019	SGACLSSE018	0	SGACLSSE016 注
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SGACLSSE015	SGACLSSE014	SGACLSSE013	SGACLSSE012	SGACLSSE011	SGACLSSE010	SGACLSSE009	SGACLSSE008	SGACLSSE007	SGACLSSE006	SGACLSSE005	SGACLSSE004	SGACLSSE003	SGACLSSE002	SGACLSSE001	SGACLSSE000
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 10-22 SGAmESSTC0 レジスタの内容

ビット位置	ビット名	機能
19-18, 16-0	SGACLSSE019-SGACLSSE018, SGACLSSE016-SGACLSSE000	SGAmESSTR0.SGASSE019-SGASSE000 ビットのステータス・クリアを制御します。 0: 動作なし。書き込みは無視されます。 1: 関連のエラー状態 SGASSE0xx をクリア。

(13) SGAESSTC1 - SGA エラー・ソース・ステータス・クリア・レジスタ 1

SGAESSTR1 レジスタの個々のエラー・ソースの状態をクリアします。
SGAM と SGAC の両方のエラー状態が同時にクリアされます。

アクセス 32 ビット単位でライト可能です。このレジスタへのライトは，命令シーケンスによって保護されます。

アドレス <SGA_base> + $1C_H$

初期値 $0000\ 0000_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	SGACLSSE130	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	SGACLSSE109	SGACLSSE108	SGACLSSE107	SGACLSSE106	SGACLSSE105	SGACLSSE104	SGACLSSE103	SGACLSSE102	SGACLSSE101	SGACLSSE100
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 10-23 SGAmESSTC1 レジスタの内容

ビット位置	ビット名	機能
30	SGACLSSE130	SGAESSTR1.SGASSE130 ビットのステータス・クリアを制御します。 0: 動作なし。書き込みは無視されます。 1: 関連のエラー状態 SGASSE130 をクリア。
9-0	SGACLSSE109-SGACLSSE100	SGAmESSTR1.SGASSE109-SGASSE100 ビットのステータス・クリアを制御します。 0: 動作なし。書き込みは無視されます。 1: 関連のエラー状態 SGASSE1xx をクリア。

(14) SGAPCMD1 - SGA 保護コマンド・レジスタ

SGA レジスタの保護コマンド・レジスタです。保護レジスタの一覧については，*表 10-10「SGA レジスタの概要」*を参照してください。

レジスタのライト保護シーケンスについて詳しくは，10.3.7「保護レジスタへの書き込み」を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <SGA_base> + 20_H

初期値 不定

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	SGA1REG［7:0］							
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 10-24 SGAPCMD1 レジスタの内容

ビット位置	ビット名	機能
7-0	SGA1REG［7:0］	SGA レジスタへの書き込みを有効にする保護コマンド

(15)　SGAPS - SGA 保護ステータス・レジスタ

ライト保護レジスタが正常に書き込まれたかどうかを検証します。

詳細は 10.3.7「保護レジスタへの書き込み」を参照してください。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<SGA_base> + 24_H

初期値　$0000\ 0000_H$　どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SGAPRERR
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 10-25　SGAPS レジスタの内容

ビット位置	ビット名	機能
0	SGAPRERR	ライト保護レジスタが正常に書き込まれたかどうかを示します。 0: 書き込み成功 1: 書き込み失敗

(16) SGAPE0 - SGA 疑似エラー・レジスタ 0

テスト用の疑似エラーを発生します。疑似エラー発生時の SGA の動作は，SGATERRINxx によって実際のエラーが発生した場合と同じです。

アクセス 32 ビット単位でライト可能です。このレジスタへのライトは，命令シーケンスによって保護されます。

アドレス <SGA_base> + 28_H

初期値 $0000\ 0000_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	SGAPE019	SGAPE018	0	SGAPE016 注
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SGAPE015	SGAPE014	SGAPE013	SGAPE012	SGAPE011	SGAPE010	SGAPE009	SGAPE008	SGAPE007	SGAPE006	SGAPE005	SGAPE004	SGAPE003	SGAPE002	SGAPE001	SGAPE000
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 10-26 SGAPE0 レジスタの内容

ビット位置	ビット名	機能
19-18, 16-0	SGAPE019-SGAPE018, SGAPE016-SGAPE000	SGAPE019-SGAPE000 は，SGATERRIN19-SGATERRIN00 に対応します。 0: 動作なし。SGATERRINxx エラーは発生しない。 1: SGATERRINxx と同様の疑似エラーを発生。

注意 SGATERRIN18, SGATERRIN19, SGATERRIN36 は，その他の擬似エラーと同時発生することはできません。

(17)　SGAPE1 - SGA 疑似エラー・レジスタ 1

テスト用の疑似エラーを発生します。疑似エラー発生時の SGA の動作は，SGATERRINxx によって実際のエラーが発生した場合と同じです。このレジスタは，ライト保護レジスタであり，ライト時は特定シーケンスによるアクセスのみが有効です。

アクセス　32 ビット単位でライト可能です。

アドレス　<SGA_base> + $2C_H$

初期値　$0000\ 0000_H$　どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	SGAPE109	SGAPE108	SGAPE107	SGAPE106	SGAPE105	SGAPE104	SGAPE103	SGAPE102	SGAPE101	SGAPE100
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 10-27　SGAPE1 レジスタの内容

ビット位置	ビット名	機能
9	SGAPE109	コンペア・ユニット自己診断 詳細は 9.7「コンペア・ユニットの自己診断手法」を参照ください。
8-0	SGAPE108-SGAPE100	SGAPE108-SGAPE100 は，SGATERRIN40-SGATERRIN32 に対応します。 0: 動作なし。SGATERRINxx エラーは発生しない。 1: SGATERRINxx と同様の疑似エラーが発生。

注意　SGATERRIN18, SGATERRIN19, SGATERRIN36 は，その他の擬似エラーと同時発生することはできません。

(18) SGAEPCTL - SGA エラー・パルス出力コントロール・レジスタ

SGA がダイナミック・モード時にエラー出力するタイマを選択します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FF83 F020$_H$

初期値 00$_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	SGATMSL
R	R	R	R	R	R	R	R/W

表 10-28 SGAEPCTL レジスタの内容

ビット位置	ビット名	機能
0	SGATMSL	SGA がダイナミック・モード時にエラー出力するタイマを選択。 0: TAUB0 ch15 を選択。 1: OST1 を選択。

第 11 章　データ CRC 機能 A（DCRA）

この章では，データ CRC 機能 A（DCRA）について説明します。

11.1　DCRA の特徴

チャネル数　この製品は以下のチャネル数のデータ CRC 機能 A を搭載しています。

表 11-1　DCRA のチャネル

データ CRC 機能 A	
チャネル数	2
名称	DCRAn

n の意味　この章では，データ CRC 機能 A の各チャネルを「n」（n = 0, 1）で識別します。たとえば，DCRAn 制御レジスタは DCRAnCTL と記述します。

レジスタ・アドレス　DCRAn レジスタのアドレスは，それぞれのベース・アドレス <DCRAn_base0>，<DCRAn_base1> からのオフセットで表されます。DCRAn のレジスタ・ベース・アドレス <DCRAn_base0>，<DCRAn_base1> を次の表に示します。

表 11-2　レジスタ・ベース・アドレス <DCRAn_base0>，<DCRAn_base1>

DCRAn	<DCRAn_base0> アドレス	<DCRAn_base1> アドレス
DCRA0	FFFF FA00$_H$	FF83 6000$_H$
DCRA1	FFFF FB00$_H$	FF83 7000$_H$

クロック供給　データ CRC 機能 A は下記のクロックで動作します。

表 11-3　DCRAn のクロック供給

DCRAn のチャネル	DCRAn のクロック	接続先
DCRAn	PCLK	クロック・ジェネレータ

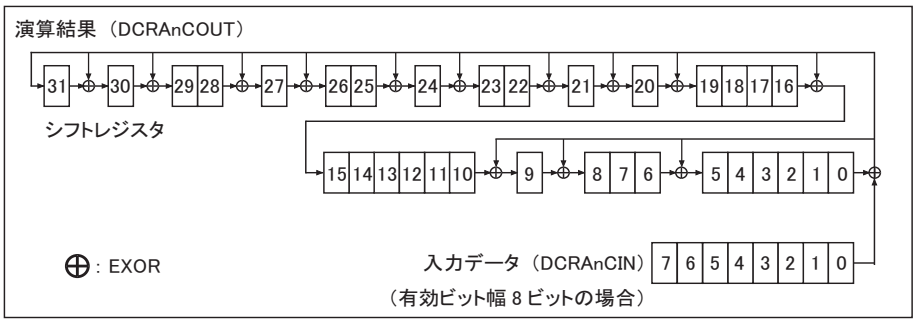
11.2 機能の概要

機能の概要 データ CRC 機能 A を利用して，CRC で保護された任意の長さでさまざまなビット幅を持つデータ・ストリームを検証または生成することができます。

- 32 ビット・イーサネット CRC（$04C11DB7_H$）

  $(X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X^1+1)$

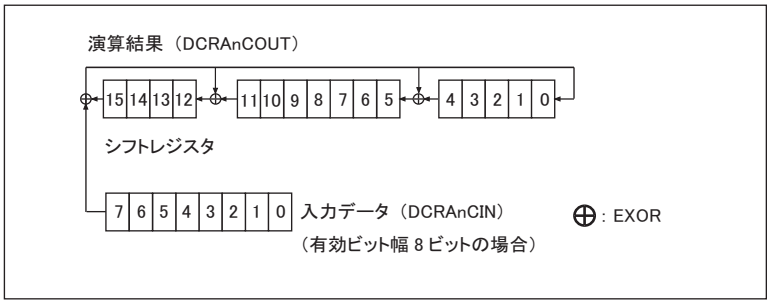
生成された CRC コードの結果と $FFFFFFFF_H$ で排他的論理和をとる



- 16 ビット CCITT CRC（1021_H）

  $(X^{16}+X^{12}+X^5+1)$

生成された CRC コードの結果と 0000_H で排他的論理和をとる



- 任意のデータ・ブロック長の CRC を生成できます。
- CRC 入力レジスタが初期化されると，CRC 入力レジスタへのライト・アクセスを行うたびに，選択されている多項式に従って新しい CRC が生成され，その結果が CRC データ・レジスタに格納されます。

以下の図は，データ CRC 機能 A のブロック図を示しています。

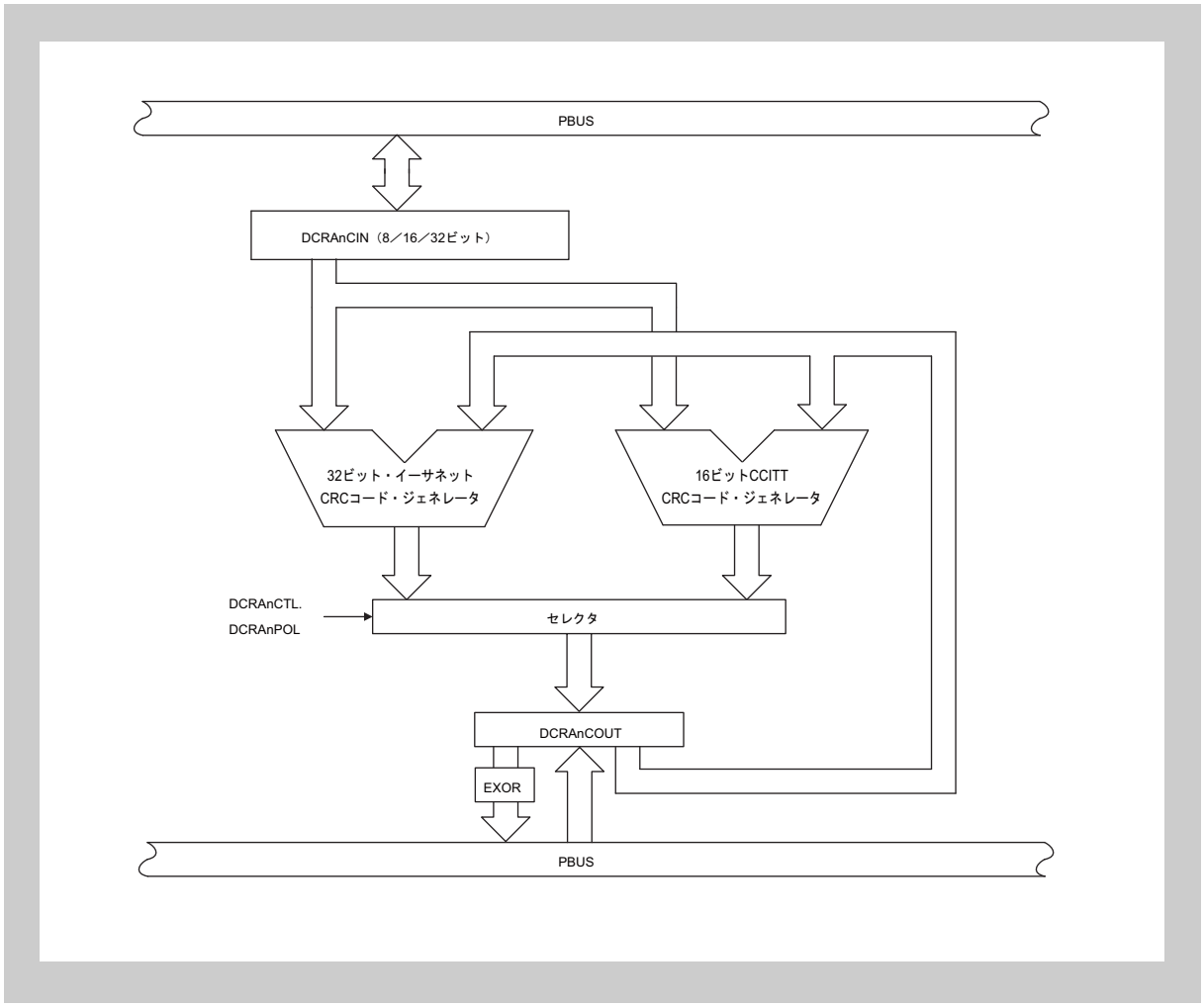


図 11-1　データ CRC 機能 A のブロック図

11.3 機能の説明

データ CRC 機能 A は任意のデータ・ブロック長の CRC（巡回冗長検査）を生成します。データは，8 ビット単位，16 ビット単位または 32 ビット単位でデータ CRC 機能に転送されます。32 ビット・イーサネット用または 16 ビット CCITT 用の CRC 多項式を選択できます。CRC 入力レジスタ（DCRAnCIN）への最初のライト・アクセスを行う前に，DCRAnCOUT レジスタに初期値を設定する必要があります。

以下のフロー・チャートは，CRC の生成の流れを示しています。

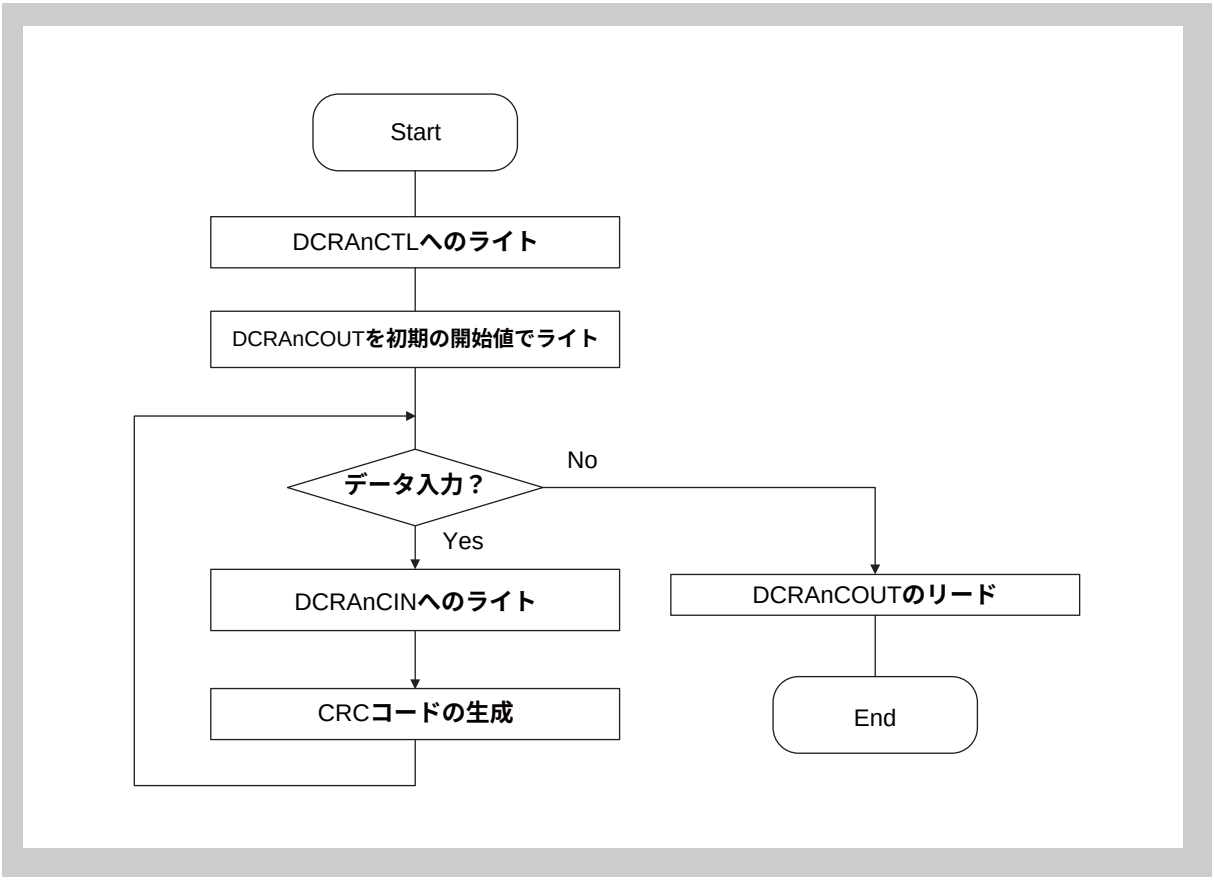


図 11-2 データ CRC 機能 A のフロー図

備考 各レジスタの設定方法や注意事項については，*「11.4.2 DCRA レジスタの詳細」*を参照してください。

11.4 レジスタ

本節ではDCRAのレジスタについて説明します。

11.4.1 DCRA レジスタの概要

以下のレジスタによってDCRAを制御します。

表 11-4 DCRA レジスタの概要

レジスタ名	略号	アドレス
DATA-DCRA 入力レジスタ n	DCRAnCIN	<DCRAn_base0> + 00_H
DATA-DCRA データ・レジスタ n	DCRAnCOUT	<DCRAn_base0> + 04_H
DCRA 制御レジスタ n	DCRAnCTL	<DCRAn_base1> + 20_H

11.4.2 DCRA レジスタの詳細

(1) DCRAnCIN — CRC 入力レジスタ

このレジスタには CRC 計算用の入力データが格納されます。CRC 計算に使われる有効ビット幅を DCRAnCTL.DCRAnISZ[1:0] で設定する必要があります。

このレジスタにデータをライトすると，CRC コードが生成されます。

DCRAnCIN へのライトが行われると，ただちに CRC の計算が開始されます。データ・ブロックの最初のデータを DCRAnCIN レジスタにライトする前に，DCRAnCOUT レジスタを初期の開始値でライトする必要があります。

バイト順 DCRAnCIN 内のバイト順は，選択されている CRC 生成方式によって異なります。

- 32 ビット・イーサネット CRC 多項式で生成する場合
  （DCRAnCTL.DCRAnPOL = 0）

  バイト順は LSB（最下位バイト）が先頭になります。つまり，DCRAnCIN レジスタのビット位置 7 ～ 0 が LSB になります。

- 16 ビット CCITT CRC 多項式で生成する場合
  （DCRAnCTL.DCRAnPOL = 1）

  バイト順は MSB（最上位バイト）が先頭になります。つまり，DCRAnCIN レジスタのビット位置 7 ～ 0 が MSB になります。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <DCRAn_base0> + 00_H

初期値 $0000\ 0000_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DCRAnCIN[31:16]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DCRAnCIN[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11-5 DCRAnCIN レジスタの内容

ビット位置	ビット名	機能
31-0	DCRAnCIN[31:0]	CRC 計算用入力データ 以下の有効ビット幅に対応しています。 • 有効ビット幅 32 ビット：DCRAnCIN[31:0] • 有効ビット幅 16 ビット：DCRAnCIN[15:0] • 有効ビット幅 8 ビット：DCRAnCIN[7:0]

(2) DCRAnCOUT — CRC データ・レジスタ

このレジスタには32ビット・イーサネット多項式または16ビットCCITT多項式によって生成されたCRCコードの結果が格納されます。

アクセス 32ビット単位でリード／ライト可能です。

アドレス <DCRAn_base0> + 04_H

初期値 FFFF $FFFF_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DCRAnCOUT[31:16]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DCRAnCOUT[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11-6 DCRAnCOUT レジスタの内容

ビット位置	ビット名	機能
31-0	DCRAnCOUT[31:0]	CRC コード生成の結果 16 ビット CCITT 多項式を有効にした場合は，ビット 15 ～ 0 が CRC の結果を示します。ビット 31-16 は不定になります。 これらのビットのリード時，以下の値と DCRAnCOUT.DCRAnCOUT ビットとの EXOR 演算された値がリードされます（DCRAnCOUT.DCRAnCOUT ビットの値は変化しません）。 • 32 ビット・イーサネット多項式の場合：FFFF $FFFF_H$ • 16 ビット CCITT 多項式の場合：0000_H このため，32 ビット・イーサネット多項式の場合，初期状態（FFFF $FFFF_H$）であっても 0000 0000_H がリードされます。

注意 データ・ブロックの最初のデータを DCRAnCIN レジスタにライトする前に，このレジスタを初期の開始値でライトする必要があります。

(3) DCRAnCTL — CRC 制御レジスタ

このレジスタは CRC 生成プロセスを制御します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <DCRAn_base1> + 20_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	DCRAnISZ[1:0]		DCRAn POL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11-7 DCRAnCTL レジスタの内容

ビット位置	ビット名	機能
2, 1	DCRAnISZ[1:0]	CRC 入力ビット幅を指定します。 00: 32 ビット（DCRAnCIN[31:0]） 01: 16 ビット（DCRAnCIN[15:0]） 10: 8 ビット（DCRAnCIN[7:0]） 11: 設定禁止
0	DCRAnPOL	CRC 生成方式を指定します。 0: 32 ビット・イーサネット CRC 多項式による生成 DCRAnCIN レジスタ内のバイト順は LSB（最下位バイト）が先頭になります。つまり，DCRAnCIN レジスタのビット位置 7 ～ 0 が LSB になります。 1: 16 ビット CCITT CRC 多項式による生成 DCRAnCIN レジスタ内のバイト順は MSB（最上位バイト）が先頭になります。つまり，DCRAnCIN レジスタのビット位置 7 ～ 0 が MSB になります。

備考 CRC 生成方式（DCRAnCTL.DCRAnPOL）を変更した場合は，DCRAnCOUT レジスタを初期化する必要があります。

注意 データ・ブロックのビット幅に合わせて CRC ビット幅（DCRAnCTL.DCRAnISZn）を設定する必要があります。データ・ブロックの処理中に CRC ビット幅を変更することは禁止です（データ・ブロックの構成単位は N バイト，ハーフ・ワードまたは 1 ワードです）。DCRAnCOUT レジスタから最終的な CRC の結果をリードしたあとは，ビット幅を変更することができます。その場合，*図 11-2「データ CRC 機能 A のフロー図」*に従って再設定を行ってください。

第 12 章 ウインドウ・ウォッチドッグ・タイマ A（WDTA）

この章では，ウインドウ・ウォッチドッグ・タイマ A の機能について説明します。

12.1 WDTA の特徴

チャネル この製品は 1 チャネルのウインドウ・ウォッチドッグ・タイマ A を搭載しています。

表 12-1 WDTA のチャネル

ウインドウ・ウォッチドッグ・タイマ A	
チャネル数	1
名称	WDTAn

n の意味 この章では，ウインドウ・ウォッチドッグ・タイマ A の各チャネルを「n」で識別します。たとえば，WDTAn イネーブル・レジスタ（WDTAnWDTE）（n = 0）のように記述しています。

レジスタ・アドレス WDTAn レジスタのアドレスは，それぞれのベース・アドレス <WDTAn_base> からのオフセットで表されます。

各 WDTAn のレジスタ・ベース・アドレスを次の表に示します。

表 12-2 WDTAn のレジスタ・ベース・アドレス

WDTAn	<WDTAn_base> アドレス
WDTA0	FF80 6000_H

クロック供給 ウインドウ・ウォッチドッグ・タイマ A は，クロック入力として WDTATCKI を使用します。WDTATCKI はクロック・コントローラに接続されています。

表 12-3 ウインドウ・ウォッチドッグ・タイマ A のクロック

WDTAn	クロック入力信号 WDTATCKI
WDTA0	クロック・コントローラ WDTCLKI

割り込みとリセット出力　WDTAn の割り込みとリセット出力を次の表に示します。

表 12-4　WDTA の割り込みとリセット出力

WDTAn 信号	機能	接続先
WDTA0TRES	WDTA0 エラー・リセット	リセットコントローラ WDTA0RES セーフティ・ガーディアン SGATERRIN3
WDTA0TNMI	WDTA0 エラー NMI	割り込みコントローラ INTWDTA0NMI セーフティ・ガーディアン SGATERRIN3
WDTA0TIT	WDTA0 75%割り込み	割り込みコントローラ INTWDTA0

注意　WDTA0TNMI 信号は，カウントクロック（WDTATCKI）に同期して出力されます。このため，WDTA0TNMI 発生時は，WDTATCKI 1 周期分を待ってからセーフティ・ガーディアンの SGAmESSTR0.SGAmSSE003 をクリアする必要があります。

12.2 機能概要

機能概要 WDTA には，次の機能があります。

- エラー検出時の動作が選択可能
  - エラー検出時の NMI 要求（WDTAnTNMI）の生成
  - エラー検出時のリセット（WDTAnTRES）の生成
- オーバフロー時間の 75%の値で割り込み要求を発生
- ウインドウ機能

WDTA の主な構成要素を次の図に示します。

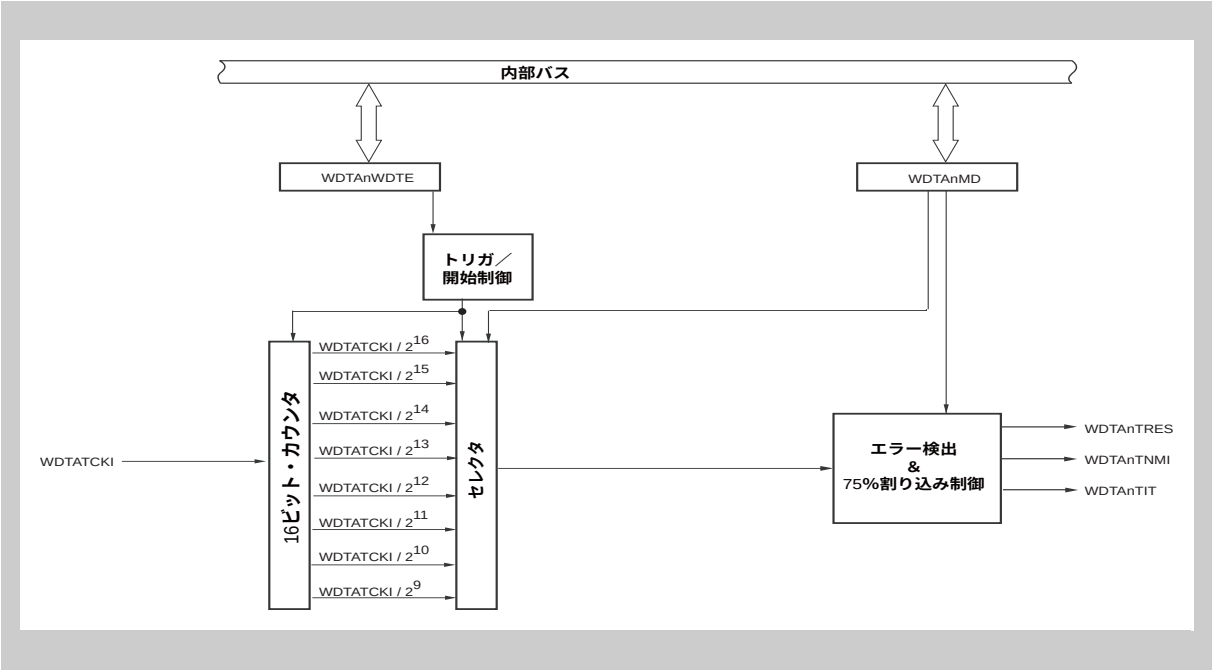


図 12-1 WDTA のブロック図

12.3 機能説明

16 ビット・カウンタがオーバフローするか，それ以外のエラー条件が成立した場合，WDTA はリセットまたはノンマスカブル割り込みを発生します。全エラー条件の説明に関しては 12.3.3「エラー検出」を参照してください。

ウインドウ・オープン期間中，WDTA トリガが発生するたびにカウンタをクリアし，リスタートします。詳細は 12.3.2「WDTA トリガ」と 12.3.5「ウインドウ機能」を参照してください。

オーバフロー時間の 75%の値では，WDTA は割り込み要求（WDTAnTIT）を発生できます。詳細は *12.3.4「75%割り込み出力」* を参照してください。

12.3.1 リセット解除後の WDTA

リセット解除後，カウンタ値は 0000_H のままです。

カウンタは最初の WDTA トリガの発生でスタートします。

(1) リセット解除後の WDTA 設定

リセット解除後の WDTA 設定を次の表に示します。

機能	設定	備考
オーバフロー時間	2^{16} / WDTATCKI	
75%割り込みモード	許可	
エラー・モード	リセット・モード	最初のトリガが発生する前に発生したどのエラー条件でもリセットを発生します。
ウインドウ・オープン期間	100%	

WDTA の設定

最初のトリガ発生後，WDTA はウォッチドッグ・タイマ・モード・レジスタ WDTAnMD の設定にしたがって動作を継続します。

WDTA の設定を変更する場合，最初のトリガ発生前に WDTAnMD にデータを書き込む必要があります。最初のトリガ発生後に WDTAnMD の値を変更した場合，エラーが発生します。

最初のトリガ発生前に WDTAnMD を変更しなかった場合，WDTAnMD の初期値にしたがって動作します。

WDTAnMD の設定は，最初のトリガ発生後に適用されます。

WDTA スタートのタイミング

WDTA スタートのタイミングと WDTA 設定への変更を次の図に示します。

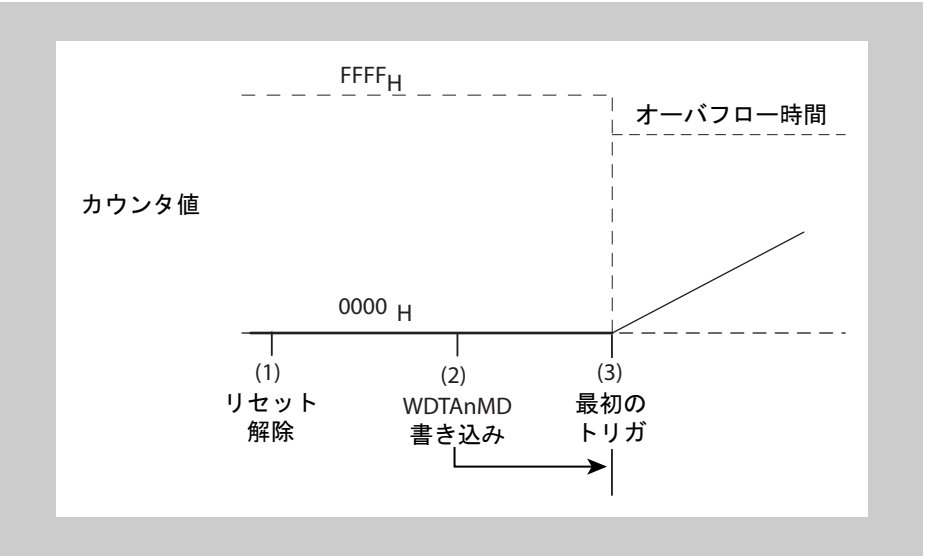


図 12-2　WDTA スタートのタイミング図

上記のタイミング図では次の内容を示しています。

1. リセット解除後，最初のトリガが発生するまでカウンタ値は 0000_H のままです。
2. WDTAnMD は，最初のトリガ発生前に書き込んでください。ただし，設定はすぐには適用されません。
3. 最初のトリガ発生後，カウンタ動作をスタートします。

   WDTAnMD で指定したオーバフロー時間とその他の設定が適用されます。

12.3.2　WDTA トリガ

WDTA トリガには，次の機能があります。

- リセット解除後，最初のトリガで WDTA をスタートさせる機能（ソフトウエアによるカウンタ起動トリガ）
- カウンタ・オーバフローを回避するためのカウンタ・リスタート・トリガ

トリガ・レジスタに固定起動コード（*12-5「トリガ・レジスタと起動コード」*参照）を書き込むことで WDTA トリガを発生させることができます。

表 12-5　トリガ・レジスタと起動コード

起動コードの種類	トリガ・レジスタ	起動コード
固定	WDTAnWDTE	AC_H

12.3.3　エラー検出

エラー検出条件を次に示します。

- オーバフロー時間の超過（カウンタ・オーバフロー）
- トリガ・レジスタへの誤った起動コードの書き込み
- ウインドウ・クローズ期間でのトリガ・レジスタへの書き込み
- ウォッチドッグ・タイマ・モード・レジスタ WDTAnMD の不正な更新：
  - 最初のトリガ発生後に，WDTAnMD に新しい値を書き込んだ場合，エラーが検出されます。
  - 最初のトリガ発生後に，WDTAnMD に同じ値を書き込んだ場合，エラーは検出されません。

エラー・モード　エラーが検出されると，NMI 要求（WDTAnTNMI）またはリセット（WDTAnTRES）のいずれかが発生します。

WDTAnMD.WDTAnERM でエラー・モードを選択します。

- WDTAnMD.WDTAnERM = 0：NMI モード
- WDTAnMD.WDTAnERM = 1：リセット・モード

カウンタがオーバフローした場合のリセットまたは NMI 要求の発生を次の図に示します。

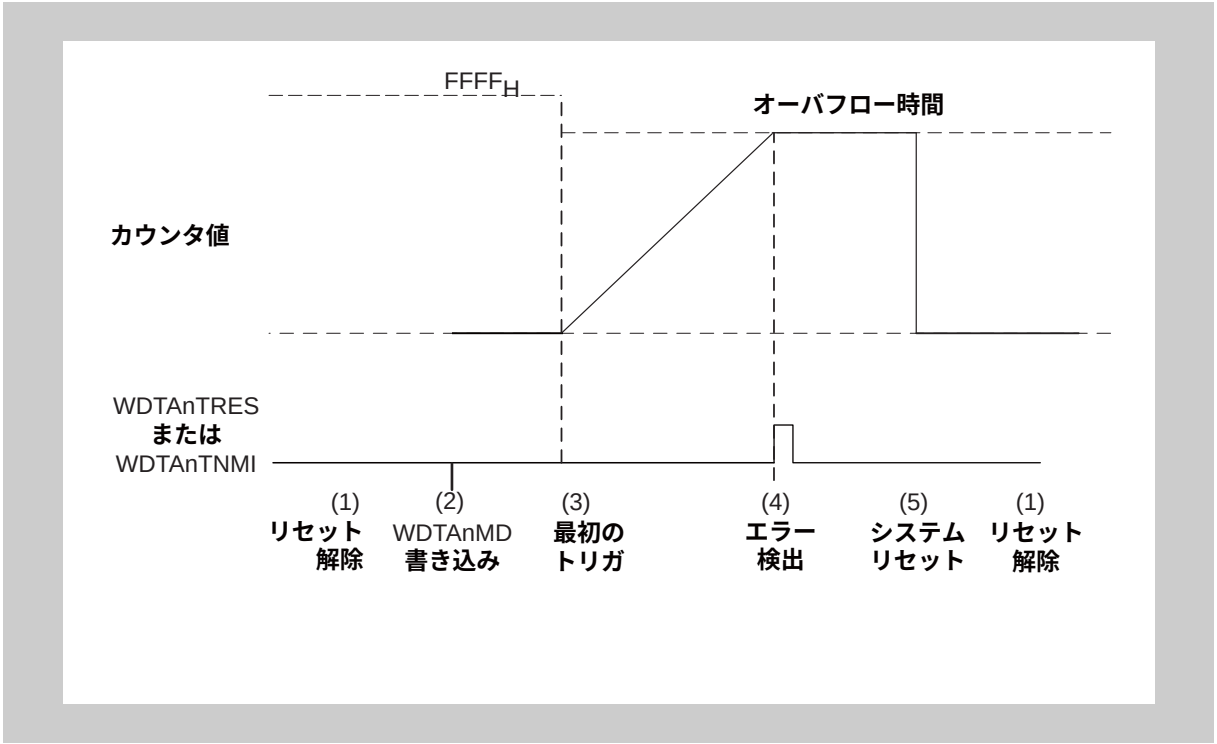


図 12-3　WDTA NMI 要求／リセット発生のタイミング図

上記のタイミング図では次の内容を示しています。

1. リセット解除後，最初のトリガが発生するまでカウンタ値は 0000_H のままです。

2. WDTAnMD は，最初のトリガ発生前に書き込まれます。ただし，設定はすぐには適用されません。
3. カウンタは最初のトリガ発生でスタートします。
   WDTAnMD で指定したオーバフロー時間とその他の設定が適用されます。
4. カウンタがオーバフローすると，エラーが検出されます。エラー・モードによって，割り込み要求 WDTAnTNMI またはリセット WDTAnTRES のいずれかが発生します。

   カウンタ値は，内部リセットが行われるまで変わりません。
5. システムをリセットすると，カウンタはクリアされます。

12.3.4 75%割り込み出力

カウンタがオーバフロー時間の 75%に達すると，割り込み要求 WDTAnTIT が発生します。

WDTAnMD.WDTAnWIE レジスタでこの機能の有効 / 無効を選択することができます。

次の条件下での 75%割り込み要求の発生を次の図に示します。

- 最初のトリガ発生後にカウント・クロックが変化

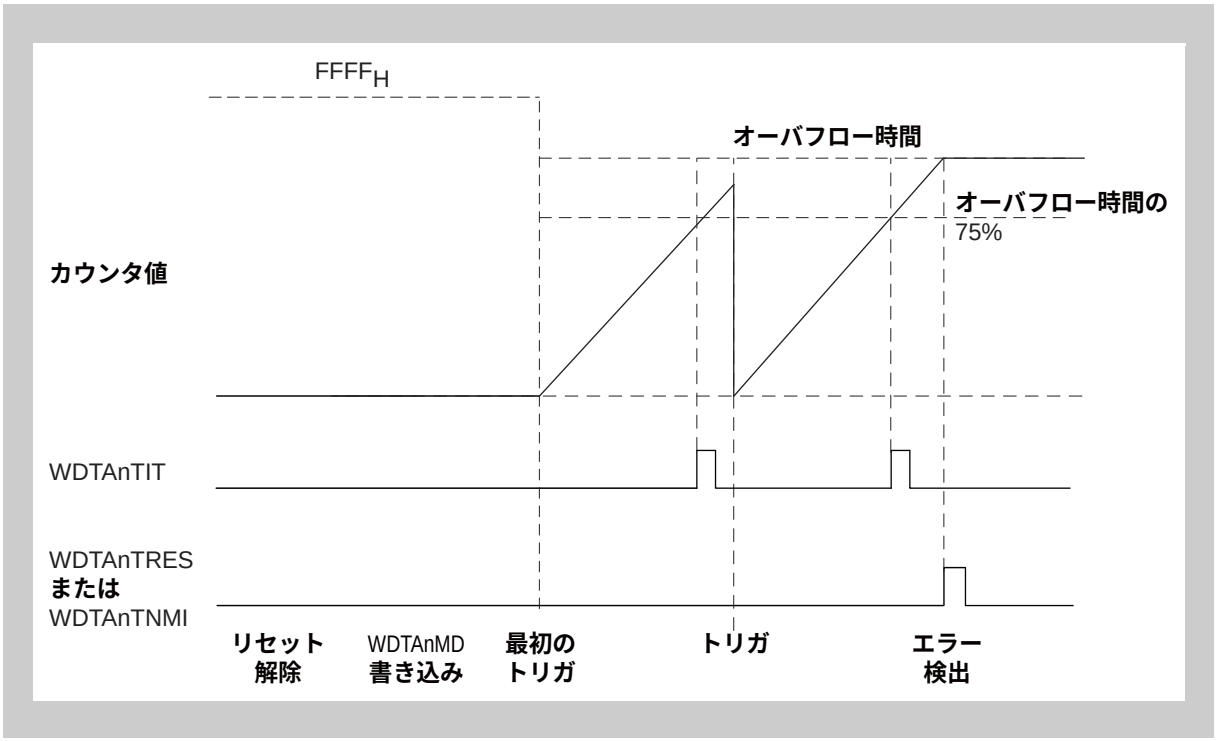


図 12-4 WDTA 75%割り込み出力のタイミング図

12.3.5 ウインドウ機能

ウインドウ・オープン期間を 100%未満に設定すると，ウインドウ・クローズ期間中にトリガが発生した際にエラーが検出されます。

ウインドウ・オープン期間の設定は，最初のトリガの発生前と発生後で異なります。

- リセット解除後，ウインドウ・オープン期間は 100%になります。

  WDTAnMD.WDTAnWS[1:0] ビットの設定は無効になります。

- 最初のトリガ発生後，ウインドウ・オープン期間は WDTAnMD.WDTAnWS[1:0] ビットで指定した値になります。

次の図に，ウインドウ・オープン期間を 25%とした場合の WDTA の動作を示します。

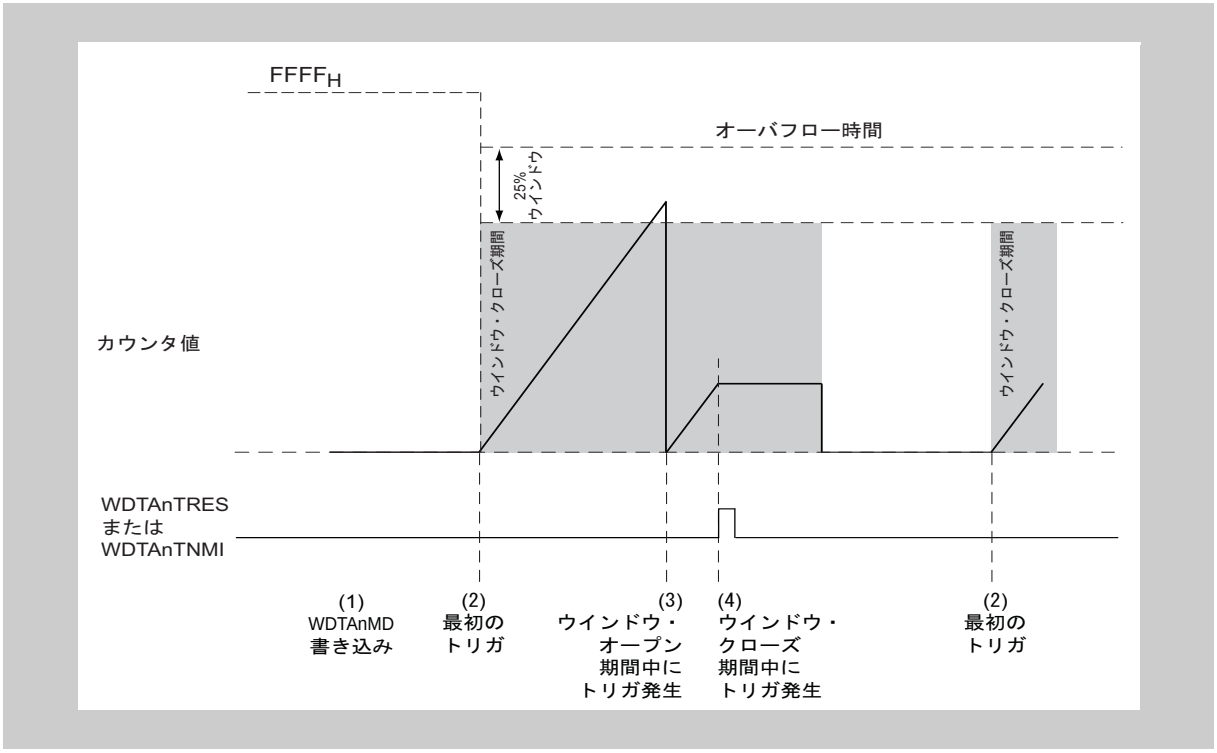


図 12-5 WDTA ウインドウ機能のタイミング図

上記のタイミング図では次の内容を示しています。

1. 最初のトリガ発生までに，WDTAnMD にて動作モードの設定を行います。ただし，設定はすぐには適用されません。
2. 最初のトリガ発生まで，ウインドウ・オープン期間は 100% に固定されています。最初のトリガ発生により，WDTAnMD で指定したオーバフロー時間とその他の設定が適用されます。
3. ウインドウ・オープン期間中に発生したトリガではエラーは発生しません。
4. ウインドウ・クローズ期間中にトリガが発生すると，選択した動作モードにより WDTAnTNMI 要求または WDTAnTRES リセットが発生します。

12.4 レジスタ

この節では，WDTA のすべてのレジスタについて説明します。

12.4.1 WDTA レジスタの概要

WDTA は，次のレジスタで制御，動作します。

表 12-6 WDTA レジスタの概要

レジスタ名	略号	アドレス
WDTA イネーブル・レジスタ	WDTAnWDTE	<WDTAn_base> + 0000_H
WDTA モード・レジスタ	WDTAnMD	<WDTAn_base> + $000C_H$

12.4.2　WDTA レジスタの詳細

(1)　WDTA イネーブル・レジスタ（WDTAnWDTE）

このレジスタは，WDTA スタート・コントロール／トリガ・レジスタです。

WDTA トリガ　AC_H を書き込むことによりカウンタをリスタートします。詳細は 12.3.2「WDTA トリガ」を参照してください。

AC_H 以外を書き込まないでください（AC_H 以外の値を書き込むとエラーが検出されます）。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<WDTAn_base> ＋ 0000_H

初期値　$2C_H$　どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
WDTAn RUN	0	1	0	1	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12-7　WDTAnWDTE レジスタの内容

ビット位置	ビット名	機能
7	WDTAnRUN	WDTAn の有効／無効を設定します。 0: WDTAn 無効 1: WDTAn 有効 WDTA は，一度スタートすると停止することができないため，このビットはリセットでしかクリアできません。

(2) WDTA モード・レジスタ（WDTAnMD）

オーバフロー時間，75% 割り込み出力モード，エラー・モード，およびウインドウ・オープン期間を指定します。

このレジスタの値は，リセット解除後，最初のトリガが発生する前に一度だけ変更可能です。変更後の値は次の WDTA トリガ発生から有効になります。

WDTA 起動後にこのレジスタの値を変更するとエラーが発生しますが，同値書き込みはできます。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<WDTAn_base> ＋ $000C_H$

初期値　$7F_H$　どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	WDTAnOVF[2:0]			WDTAnWIE	WDTAnERM	WDTAnWS[1:0]	
R[a]	R/W	R/W	R/W	R/W	R/W	R/W	R/W

a)　このビットへの書き込みは無視されます。読み出すと 0 を返します。

表 12-8　WDTAnMD レジスタの内容

ビット位置	ビット名	機能
6-4	WDTAnOVF[2:0]	オーバフロー時間を選択します。 WDTAnOVF2 / WDTAnOVF1 / WDTAnOVF0 / オーバフロー時間 0 / 0 / 0 / 2.048 msec 0 / 0 / 1 / 4.096 msec 0 / 1 / 0 / 8.192 msec 0 / 1 / 1 / 16.384 msec 1 / 0 / 0 / 32.768 msec 1 / 0 / 1 / 65.536 msec 1 / 1 / 0 / 131.072 msec 1 / 1 / 1 / 262.144 msec
3	WDTAnWIE	75% 割り込み要求 WDTAnTIT の許可／禁止 0: WDTAnTIT 禁止 1: WDTAnTIT 許可
2	WDTAnERM	エラー・モードを指定します。 0: NMI 要求モード 1: リセット・モード
1, 0	WDTAnWS[1:0]	ウインドウ・オープン期間を選択します。 WDTAnWS1 / WDTAnWS0 / ウインドウ・オープン期間 0 / 0 / 25% 0 / 1 / 50% 1 / 0 / 75% 1 / 1 / 100%

第 13 章 タイマ・アレイ・ユニット B（TAUB）

この章では，タイマ・アレイ・ユニット B（TAUB）について説明します。

最初の節でユニット数，レジスタのベース・アドレス，入出力信号名など，この製品 に固有の特徴について説明します。
以降の節で，TAUB 搭載製品に共通の特徴について説明します。

13.1 TAUB の特長

ユニット この製品は次のユニット数の TAUB を搭載しています。

表 13-1 TAUB のユニット数

TAUB	
ユニット数	1
名称	TAUB0

n の意味 この章では，TAUB の各ユニットを「n」で識別します（n = 0）。たとえば，TAUBn チャネル出力モード・レジスタ（TAUBnTOM）のように記述しています。

m の意味 TAUB には 16 本のチャネルがあります。この章では，各チャネルを「m」で識別しており（m = 0-15），特定のチャネルを CHm のように記述しています。
偶数チャネル（m = 0, 2, 4, 6, 8, 10, 12, 14）は CHm_even と記述します。
奇数チャネル（m = 1, 3, 5, 7, 9, 11, 13, 15）は CHm_odd と記述します。

レジスタ・アドレス TAUBn レジスタのアドレスは，それぞれのベース・アドレス <TAUBn_base> からのオフセットで表されます。
各 TAUBn のレジスタ・ベース・アドレス <TAUBn_base> を次の表に示します。

表 13-2 レジスタ・ベース・アドレス <TAUBn_base>

TAUBn	<TAUBn_base0> アドレス	<TAUBn_base1> アドレス
TAUB0	FF80 8000_H	FFFF $C400_H$

クロック供給 TAUB には次の 1 つのクロック入力があります。

表 13-3 TAUBn クロック供給

TAUBn	クロック	接続先
TAUB0	PCLK	クロック発生回路 CKSCLK_006

割り込みとDMA　TAUBは次の割り込み要求とDMA要求を発生させることができます。

表 13-4　TAUBn 割り込みと DMA の要求

TAUBn 信号	機能	接続先
TAUB0		
INTTAUB0I0	チャネル 0 割り込み	割り込みコントローラ　INTTAUB0I0 DMA コントローラ・トリガ 27
INTTAUB0I1	チャネル 1 割り込み	割り込みコントローラ　INTTAUB0I1 DMA コントローラ・トリガ 28
INTTAUB0I2	チャネル 2 割り込み	割り込みコントローラ　INTTAUB0I2 DMA コントローラ・トリガ 29
INTTAUB0I3	チャネル 3 割り込み	割り込みコントローラ　INTTAUB0I3 DMA コントローラ・トリガ 30
INTTAUB0I4	チャネル 4 割り込み	割り込みコントローラ　INTTAUB0I4 DMA コントローラ・トリガ 31
INTTAUB0I5	チャネル 5 割り込み	割り込みコントローラ　INTTAUB0I5 DMA コントローラ・トリガ 32
INTTAUB0I6	チャネル 6 割り込み	割り込みコントローラ　INTTAUB0I6 DMA コントローラ・トリガ 33
INTTAUB0I7	チャネル 7 割り込み	割り込みコントローラ　INTTAUB0I7 DMA コントローラ・トリガ 34
INTTAUB0I8	チャネル 8 割り込み	割り込みコントローラ　INTTAUB0I8 DMA コントローラ・トリガ 35
INTTAUB0I9	チャネル 9 割り込み	割り込みコントローラ　INTTAUB0I9 DMA コントローラ・トリガ 36
INTTAUB0I10	チャネル 10 割り込み	割り込みコントローラ　INTTAUB0I10 DMA コントローラ・トリガ 37
INTTAUB0I11	チャネル 11 割り込み	割り込みコントローラ　INTTAUB0I11 DMA コントローラ・トリガ 38
INTTAUB0I12	チャネル 12 割り込み	割り込みコントローラ　INTTAUB0I12 DMA コントローラ・トリガ 39
INTTAUB0I13	チャネル 13 割り込み	割り込みコントローラ　INTTAUB0I13 DMA コントローラ・トリガ 40
INTTAUB0I14	チャネル 14 割り込み	割り込みコントローラ　INTTAUB0I14 DMA コントローラ・トリガ 41
INTTAUB0I15	チャネル 15 割り込み	割り込みコントローラ　INTTAUB0I15 DMA コントローラ・トリガ 42

TAUB H/W リセット　TAUB と TAUB を構成するレジスタは次のリセット信号で初期化されます。

表 13-5　TAUBn リセット信号

TAUB 信号	リセット信号
TAUBn	リセット・コントローラ SYSRES

入出力信号　TAUB の入出力信号を次の表に示します。

表 13-6　TAUBn 入出力信号

TAUB 信号	機能	接続先
TAUB0TTIN0-TAUB0TTIN15	チャネル 0-15 入力	ポート TAUB0I0-TAUB0I15
TAUB0TTOUT0-TAUB0TTOUT15	チャネル 0-15 出力	ポート TAUB0O0-TAUB0O15

TAUBn 割り込みと入出力信号を次の図に示します。

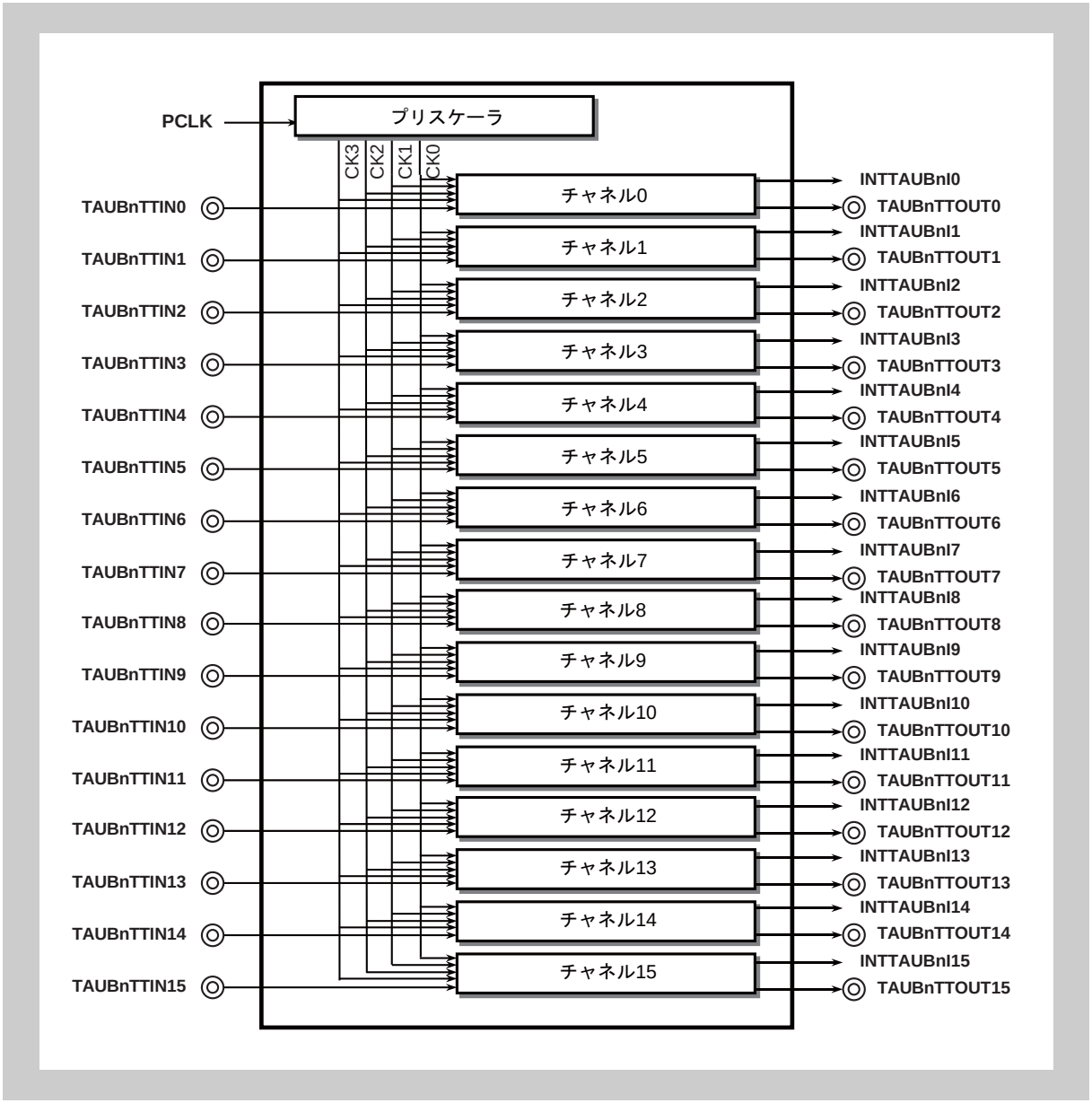


図 13-1　TAUB 入出力と割り込み信号

13.2 機能概要

機能概要 TAUB には，次の機能があります。

- 16 チャネル
- チャネルごとの 16 ビット・カウンタおよび 16 ビット・データ・レジスタ
- チャネル単体動作
- チャネル連動動作（マスタおよびスレーブ動作）
- 異なる種類の出力信号の生成
- 外部信号によるカウントの開始
- 割り込み発生

TAUB の主な構成要素を次の図に示します。

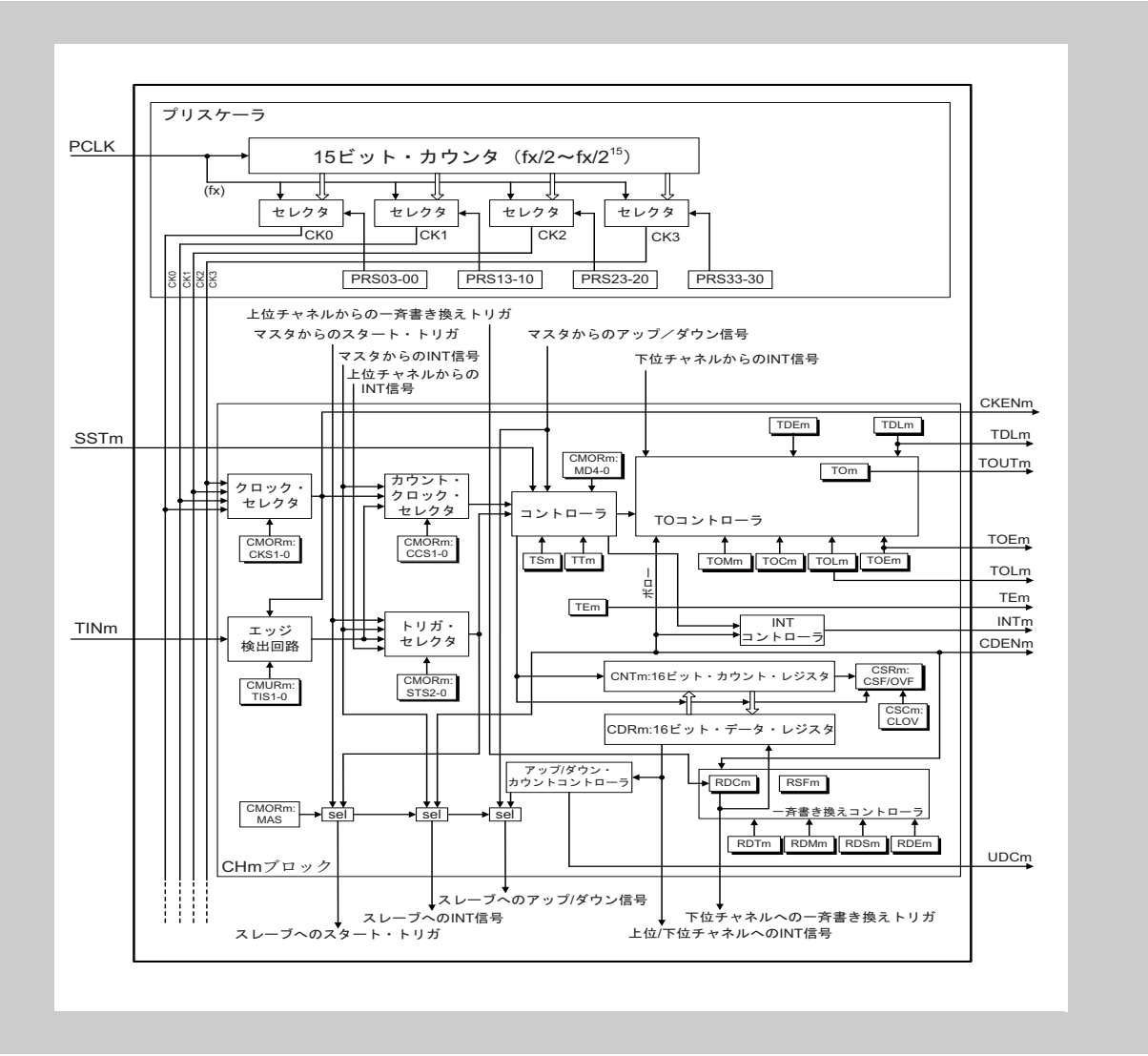


図 13-2 TAUB のブロック図

レジスタ名の「TAUBn」は，図を見やすくするために省略されています。

13.2.1 用語

この章で使用されている用語について説明します。

- **チャネル単体／連動動作**

  チャネル単体／連動動作は，チャネル間の依存性を示します。

  – あるチャネルがほかのすべてのチャネルから独立して動作している場合をチャネル単体動作と呼びます。

  – あるチャネルの動作がほかのチャネルに依存している場合をチャネル連動動作と呼びます。

- **チャネル・グループ**

  チャネル連動動作では，依存関係にあるすべてのチャネルを「チャネル・グループ」と呼びます。

  1 つのチャネル・グループは，1 つのマスタ・チャネルと 1 つ以上のスレーブ・チャネルで構成されます。

- **動作モード**

  チャネル m ごとに動作モードを指定できます。動作モードは，あるチャネルの基本動作と機能を規定します。

  チャネル連動動作では，チャネル・グループに属する各チャネルは，異なる動作モードで動作することが可能です。

  動作モードには，キャプチャ・モード，イベント・カウント・モード，インターバル・タイマ・モードなどがあります。

- **チャネル出力モード**

  チャネル出力モードは，次のチャネルの TAUBnTTOUTm の動作を規定します。

  – 1 つのチャネル（単体出力動作）

  – チャネル・グループに属するすべてのチャネル（連動出力動作）

  チャネル単体出力モード，デッド・タイム出力付きチャネル連動動作モードなどがあります。

- **チャネル動作機能**

  チャネル動作機能は，次のチャネルの全機能およびすべての特徴を規定します。

  – 1 つのチャネル（チャネル単体動作）

  – チャネル・グループに属するすべてのチャネル（チャネル連動動作）

- **上位／下位チャネル**

  チャネル m から見て，隣接するチャネルを上位または下位チャネルと呼びます。

  – 上位チャネル：小さい番号のチャネル

  – 下位チャネル：大きい番号のチャネル

  たとえば，チャネル５に対してチャネル３は上位チャネル，チャネル９は下位チャネルです。

13.3 機能説明

TAUB は，各種カウントやタイマ動作を行い，その動作の結果によって異なる信号を出力します。カウント・クロックを生成するためのプリスケーラ，カウント開始値および比較値を保持するための 16 ビット・カウンタ TAUBnCNTm と 16 ビット・データ・レジスタ TAUBnCDRm をそれぞれ備えた 16 チャネルを搭載しています。

また，いくつかの制御レジスタおよびステータス・レジスタを持っています。

単体および連動動作

各チャネルは，単体で，またはほかのチャネルと連動して，異なる動作モードで動作することが可能です。1 つのマスタ・チャネルと 1 つ以上のスレーブ・チャネルの場合，スレーブ・チャネルは，マスタ・チャネルに依存します。

あるチャネルを単体動作させる場合，そのチャネルの動作モードと機能は，ほかのチャネルのそれらに影響を受けません。あるチャネルを連動させる場合，そのチャネルはマスタまたはスレーブ・チャネルです。マスタ・チャネルには，複数のスレーブ・チャネルがある可能性があり，あるチャネルの状態にほかのすべてのチャネルが影響を受けます。たとえば，あるチャネルを使って，ほかのチャネルのカウント開始タイミングやリセット・タイミング等を制御できます。

機能ブロックを次に説明します。

プリスケーラ

プリスケーラは，すべてのチャネルのカウント・クロックとして使用することができる最大 4 つのクロック信号（CK0-CK3）を供給します。

カウント・クロック CK0-CK3 は，プリスケーラにより PCLK の 2^0-2^{15} の分周したクロックを選択することができます。

クロックおよびカウント・クロックの選択

クロック・カウント・セレクタは，各チャネルに対してクロック・ソースを次から選択します。

- CK0-CK3 のいずれかのクロック（クロック・セレクタにより選択）
- マスタ・チャネルからの INTTAUBnIm
- TAUBnTTINm 入力信号の有効エッジ

コントローラ

コントローラは，カウンタの主な動作を制御します。

- 動作モード（TAUBnCMORm.TAUBnMD[4:0] ビットにより選択）
- カウント開始許可（TAUBnTS.TAUBnTSm）およびカウント停止（TAUBnTT.TAUBnTTm）

  カウントの開始を許可すると，ステータス・フラグ TAUBnTE.TAUBnTEm がセットされます。
- カウント方式（アップ／ダウン）（マスタ・チャネルにより制御可能）

トリガ・セレクタ

選択した動作モードにより，カウンタは，動作が許可されている場合（TAUBnTE.TAUBnTEm = 1）には自動的に起動するか，外部スタート・トリガ信号を待ちます。次の信号をスタート・トリガとして使うことができます。

- チャネル連動スタート・トリガ入力 TAUBnTSSTm
  TAUBnTTINm 入力の有効エッジ
- マスタ，または上位チャネルからの INTTAUBnIm
- マスタ・チャネルのアップ／ダウン出力トリガ信号
- TAUBnTTOUTm 生成ユニットのデッド・タイム出力信号

一斉書き換えコントローラ 一斉書き換え制御は，連動動作モードで使える機能です。あるチャネル・グループに属する全チャネルのデータ・レジスタ（TAUBnCDRm）はいつでも書き換えられます。一斉書き換えコントローラは，全チャネルのデータ・レジスタの新しい値が同時に有効になります。

TAUBnTOコントローラ 各チャネルの出力を制御することにより，PWM 信号や三角波信号などの各種出力信号を出力できます。

入出力信号 TAUB には，複数の入出力信号があります。信号一覧は，*407 ページの「入出力信号」*を参照してください。

13.3.1 タイマ動作機能一覧

このタイマは各 ch を単体で動作させたり，複数 ch を組み合わて動作させることで，下記の機能が実現できます。

表 13-7 TAUB 動作機能一覧

単体動作機能	連動動作機能
チャネル単体動作機能	チャネル連動動作機能
インターバル・タイマ機能	PWM 出力機能
TAUBnTTINm 入力インターバル・タイマ機能	ディレイ・パルス出力機能
ワンパルス出力機能	A/D 変換トリガ出力機能タイプ 1
チャネル単体信号測定機能	外部信号でトリガされる連動 PWM 信号機能
TAUBnTTINm 入力パルス・インターバル測定機能	ワンショット・パルス出力機能
TAUBnTTINm 入力信号幅測定機能	同期三角波 PWM 出力機能
TAUBnTTINm 入力期間カウント検出機能	三角波 PWM 出力機能
TAUBnTTINm 入力パルス・インターバル判定機能	デッド・タイム付き三角波 PWM 出力機能
TAUBnTTINm 入力信号幅判定機能	A/D 変換トリガ出力機能タイプ 2
チャネル単体一斉書き換え機能	
一斉書き換えトリガ生成機能 タイプ 1	
その他チャネル単体機能	
外部イベント・カウント機能	
クロック分周機能	
TAUBnTTINm 入力位置検出機能	

13.4 基本操作手順

TAUBn の基本操作手順を次に示します。

リセット解除後，各チャネルの動作は停止します。クロックの供給が開始され，各レジスタへの書き込みが可能になります。全チャネルの全回路およびレジスタが初期化されます。TAUBnTTOUTm の制御レジスタも初期化され，ロウ・レベルを出力します。

1. TAUBnTPS レジスタを設定して CK0-CK3 のクロック周波数を指定してください。
2. 任意の TAUBn 機能を設定してください。
   – 動作モードを設定してください。
   – チャネル出力モードを設定してください。
   – その他の制御ビットを設定してください。
3. TAUBnTS.TAUBnTSm ビットを 1 に設定してカウンタ動作を許可してください。

   カウンタは，ビット設定によって，ただちに，または適切なトリガが検出されたときにカウントを開始します。
   機能は動作中です。
4. 必要に応じて，かつ設定した機能に対して可能な場合，カウントを停止するか，強制リスタートを実行してください。
5. TAUBnTT.TAUBnTTm ビットを 1 に設定して機能を停止してください。

備考 必要な制御ビットと各機能の動作の詳細は，*439 ページの 13.12「チャネル単体動作機能」*と *518 ページの 13.17「チャネル連動動作機能」*を参照してください。

13.5 動作モード

TAUB には 12 の動作モードがあります。

各チャネルに動作モードを 1 つ指定できます。動作モードは，TAUBnCMORm.TAUBnMD[4:0] ビットで指定します。

備考 各レジスタと各ビットには，動作機能によって固定される場合と，ユーザーが選択できる場合があります。

各レジスタと各ビットの設定値は各動作機能章を参照してください。

13.6 チャネル連動動作の概念

チャネル連動動作では，複数のチャネルが依存関係にあるか，ほかのチャネルの変化に影響を受けます。したがって，チャネル連動機能に対していくつかのルールが適用されます。ルールの詳細は，13.6.1「ルール」に示します。

チャネル連動動作の 2 つの特殊な機能の詳細を次の節で説明します。

- *416 ページの 13.6.2「連動チャネル・カウンタの同時動作開始／停止」*
- *417 ページの 13.7「一斉書き換え」*

13.6.1 ルール

マスタおよびスレーブ・チャネル数

- マスタ・チャネルには，偶数チャネル（CH0，CH2，CH4，…）のみ設定できます。スレーブ・チャネルには，CH0 を除くすべてのチャネルを設定できます。
- マスタ・チャネルより下位のチャネルのみスレーブ・チャネルとして設定でき，1 つのマスタ・チャネルに対し複数のスレーブ・チャネルを設定できます。
  例：CH2 がマスタ・チャネルの場合，CH3 以下（CH3，CH4，CH5，…）をスレーブ・チャネルに設定できます。
- マスタ・チャネルを複数使用する場合，マスタ・チャネルを跨いだスレーブ・チャネルの設定はできません。
  例：CH0，CH4 がマスタ・チャネルの場合，CH0 に対して CH1-CH3 までをスレーブ・チャネルとして設定できますが，CH5-CH15 は設定できません。

動作クロック

- マスタ・チャネルと連動するスレーブ・チャネルには同じ動作クロックを設定する必要があります。マスタ・チャネルとスレーブ・チャネルの TAUBnCMORm.TAUBnCKS[1:0] ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブ・チャネルの使用と動作クロックの基本的な概念を次の図に示します。

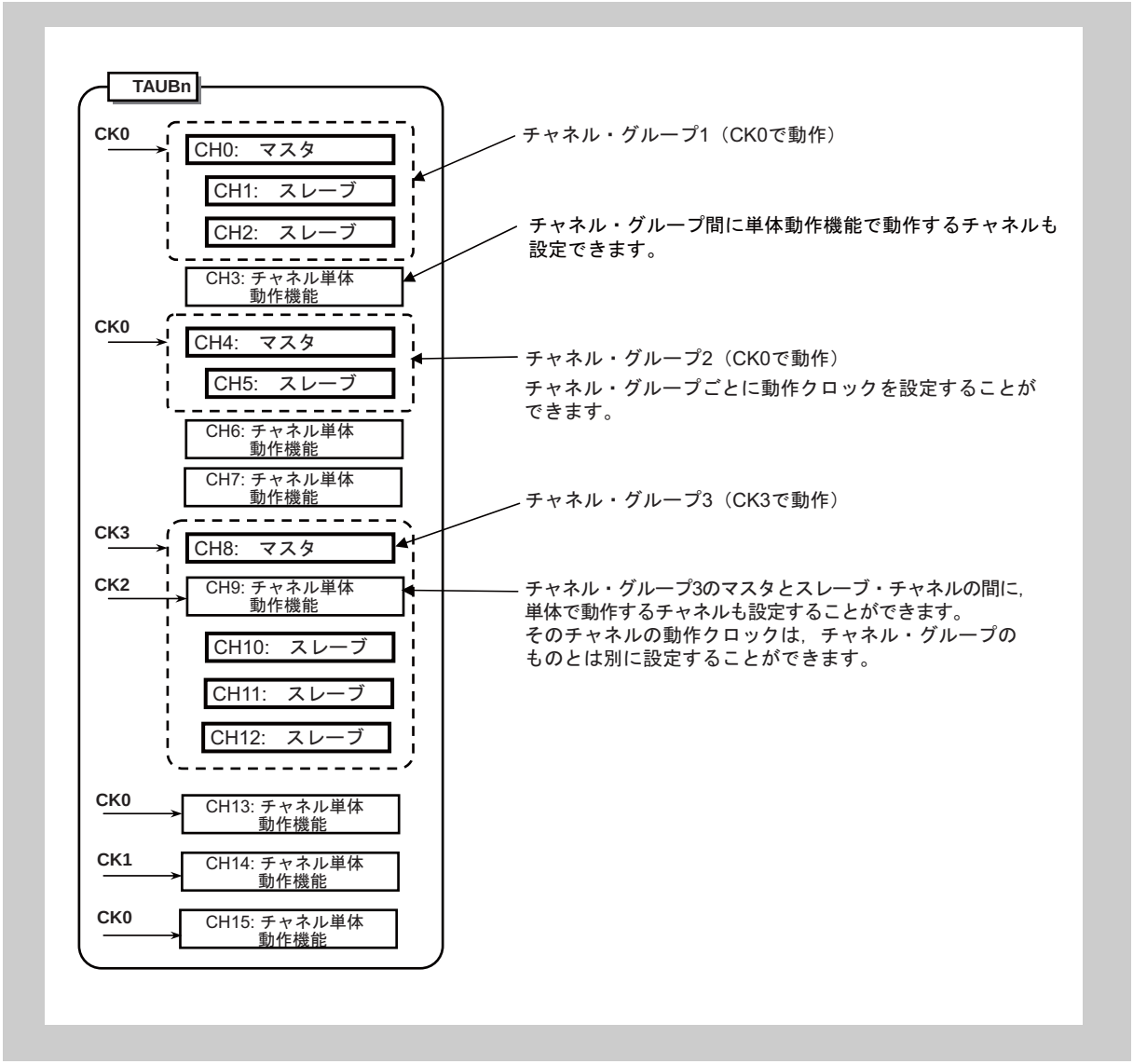


図 13-3　チャネルのグループ化と動作クロックの割り当て

マスタ・チャネル，スレーブ・チャネルの制御トリガ信号

- マスタ・チャネルは，制御トリガ信号をスレーブ・チャネルに出力することができます。
- スレーブ・チャネルは，マスタ・チャネルの制御トリガ信号 I を使用できますが，スレーブ・チャネル自身の制御トリガ信号を下位チャネルに出力することはできません。
- マスタ・チャネルは，自身より上位のマスタ・チャネルの制御トリガ信号を使用することはできません。

13.6.2 連動チャネル・カウンタの同時動作開始／停止

連動するチャネルは，同じユニット内およびユニット間で同時に開始／停止することができます。

(1) ユニット内の連動チャネル・カウンタの同時動作開始／停止

- 連動するチャネルを同時に開始させるためには，それらのTAUBnTS.TAUBnTSm ビットを同時に設定する必要があります。
- 連動するチャネルを同時に停止させるためには，それらのTAUBnTT.TAUBnTTm ビットを同時に設定する必要があります。

TAUBnTS.TAUBnTSm ビット に 1 を設定することにより，対応するTAUBnTE.TAUBnTEm ビットが 1 にセットされ，カウント動作を許可します。カウンタのカウント開始タイミングは，動作モードに依存します。

(2) ユニット間の同時スタート

異なるユニットのカウンタは，同時トリガ信号を受信する前にカウンタを許可することにより，同時に動作を開始できます。

13.7 一斉書き換え

13.7.1 概要

一斉書き換えとは，複数チャネルのコンペア／スタート値と出力論理を一斉に書き換えることを指します。

対応するデータと制御レジスタ（TAUBnCDRm，TAUBnTOLm）は常に書き換えることができます。新しい値は，一斉書き換えがトリガされるまでカウンタ動作または出力信号に影響しません。

一斉書き換えは，次の場合にトリガされます。

- マスタ・チャネルまたは上位チャネル（動作モードによって異なる）のカウンタが特定の値に達した場合
- TAUBnRDC.TAUBnRDCm で指定された上位チャネルにて INTTAUBnIm が発生した場合

一斉書き換えは 4 つの方法で行えます。一斉書き換え方法の指定と，これらの方法で一斉書き換えがトリガされるタイミングを次の表に示します。

表 13-8 一斉書き換え方法とトリガ・タイミング

方式	一斉書き換えがトリガされるタイミング	TAUBnRDE.TAUBnRDEm	TAUBnRDS.TAUBnRDSm	TAUBnRDM.TAUBnRDMm
-	一斉書き換えが行われない場合	0	0	0
A	マスタ・チャネルがカウントを再開／開始した場合	1	0	0
B	マスタ・チャネルの三角波周期の [山] のタイミングでダウン・カウントを開始した場合	1	0	1
C1	TAUBnRDC.TAUBnRDCm で指定した上位チャネルにて INTTAUBnIm が発生した場合	1	1	0
TOLm	TAUBnTOLm レジスタを書き換える場合の方式です。下記の表は動作中に TAUBnTOLm レジスタを書き換えることができるかどうかを示したものです。TAUBnTOLm レジスタの書き換え方式は，TAUBnCDRm レジスタと同じです。			

4 つの方法のうち，各チャネル動作機能で使用できる方法を次の表に示します。各チャネル動作機能の詳細は，*439 ページの 13.12「チャネル単体動作機能」*と *518 ページの 13.17「チャネル連動動作機能」*を参照してください。

表 13-9 一斉書き換え方法とトリガ・タイミング

機能	A	B	C1	TOLm
一斉書き換えトリガ出力機能タイプ 1			X	
PWM 出力機能	X		X	X
ワンショット・パルス出力機能	X			
ディレイ・パルス出力機能	X			
三角波 PWM 出力機能		X	X	X
デッド・タイム付き三角波 PWM 出力機能		X	X	
AD 変換トリガ出力機能タイプ 1	X		X	
AD 変換トリガ出力機能タイプ 2		X	X	

備考 X：使用可 空欄：使用不可

13.7.2 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を次に示します。3 つの主なブロック（初期設定，カウント開始 & カウント動作，一斉書き換え）は後述します。

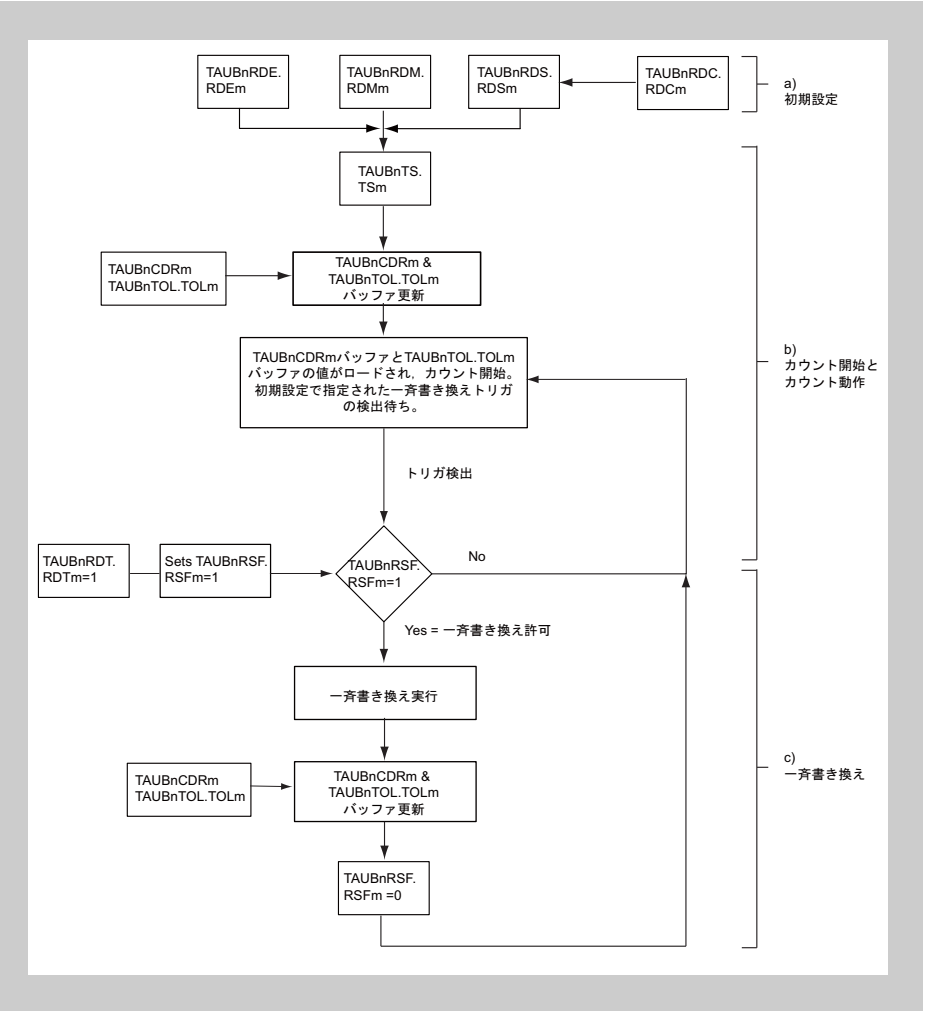


図 13-4 一斉書き換えの基本手順

(1) 初期設定

- チャネル m にて一斉書き換えを許可するには，TAUBnRDE.TAUBnRDEm = 1 を設定してください。
- 一斉書き換えの種類を選ぶには，TAUBnRDM.TAUBnRDMm と TAUBnRDS.TAUBnRDSm を *417 ページの表 13-8「一斉書き換え方法とトリガ・タイミング」* に示す値に設定してください。
- TAUBnRDC.TAUBnRDCm で，一斉書き換えトリガ生成チャネルを指定してください（前提：上位チャネルに TAUBnRDS.TAUBnRDSm が設定されている）。

(2) カウント開始とカウント動作

- チャネル・グループに属するすべての TAUBnCNTm カウンタ動作を開始するには，対応する TAUBnTS.TAUBnTSm ビットを 1 に設定してください。TAUBnTOL.TAUBnTOLm とデータ・レジスタ（TAUBnCDRm）の値は，対応する TAUBnTOL.TAUBnTOLm バッファ（TAUBnTOL.TAUBnTOLm buf）とデータ・バッファ・レジスタ（TAUBnCDRm buf）にロードされ，カウンタはカウントを開始します。
- リロード・データ・トリガ・ビット（TAUBnRDT.TAUBnRDTm）を 1 に設定することにより，リロード・フラグ（TAUBnRSF.TAUBnRSFm）が 1 に設定され，一斉書き換えが許可されます。TAUBnRSF.TAUBnRSFm は一斉書き換えが完了するまで 1 のままです。
- 一斉書き換え用に指定されたトリガが検出されると，一斉書き換えが許可（TAUBnRSF.TAUBnRSFm = 1）されているかを確認するために TAUBnRSF.TAUBnRSFm ビットがチェックされます。一斉書き換えが許可されている場合，一斉書き換えが行われます。許可されていない場合，一斉書き換えは行われず，次の一斉書き換えトリガ検出待ちになります。

(3) 一斉書き換え

- 一斉書き換えトリガが検出され，一斉書き換えが許可（TAUBnRSF.TAUBnRSFm = 1）されると，データ・レジスタの現在値がバッファにコピーされます。これらの値は，対応するカウンタにロードされ，カウンタがカウントを開始／再開するときに適用されます。
- 一斉書き換えが完了すると，TAUBnRSF.TAUBnRSFm ビットは 0 に設定され，システムは次の一斉書き換えトリガを待ちます。

13.7.3 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中（TAUBnTE.TAUBnTEm = 1）は，TAUBnRDE.TAUBnRDEm，TAUBnRDS.TAUBnRDSm，TAUBnRDM.TAUBnRDMm，TAUBnRDC.TAUBnRDCm を変更することはできません。
- TAUBnTOL.TAUBnTOLm は，PWM 出力機能，または三角波 PWM 出力機能で動作している場合のみ書き換えることができます。ほかの機能を使用する場合は，TAUBnTOL.TAUBnTOLm はカウントを開始する前にライトする必要があります。ほかの機能を使用しているときに書き換えた場合，TAUBnTTOUTm は不正な波形を出力します。
- 上位チャネルで一斉書き換えトリガを発行した場合（TAUBnRDS.TAUBnRDSm = 1），すべての下位チャネルは TAUBnRDC.TAUBnRDCm ビットに制御されます。つまり，CH2 と CH7 の TAUBnRDC.TAUBnRDCm ビットを 1 に設定し，ほかのチャネルの TAUBnRDC.TAUBnRDCm ビットを 0 に設定した場合，CH2 と CH7 が一斉書き換えトリガ生成チャネルとなります。CH2 は，下位チャネル CH3-CH6 を制御し，CH7 は，下位チャネル CH8-CH15 を制御します。
- 一斉書き換えを許可し，ある上位チャネルを一斉書き換えトリガ生成チャネルとして選択（TAUBnRDE.TAUBnRDEm，TAUBnRDS.TAUBnRDSm = 1）したにもかかわらず，上位チャネルを設定していない場合（TAUBnRDC.TAUBnRDC[15:0] = 0），一斉書き換えは行いません。

13.7.4 一斉書き換えの種類

次に，タイミング図を使用して 4 つの一斉書き換え方法を説明します。

(1) マスタ・チャネルがカウントを再開／開始した場合の一斉書き換え（方法 A）

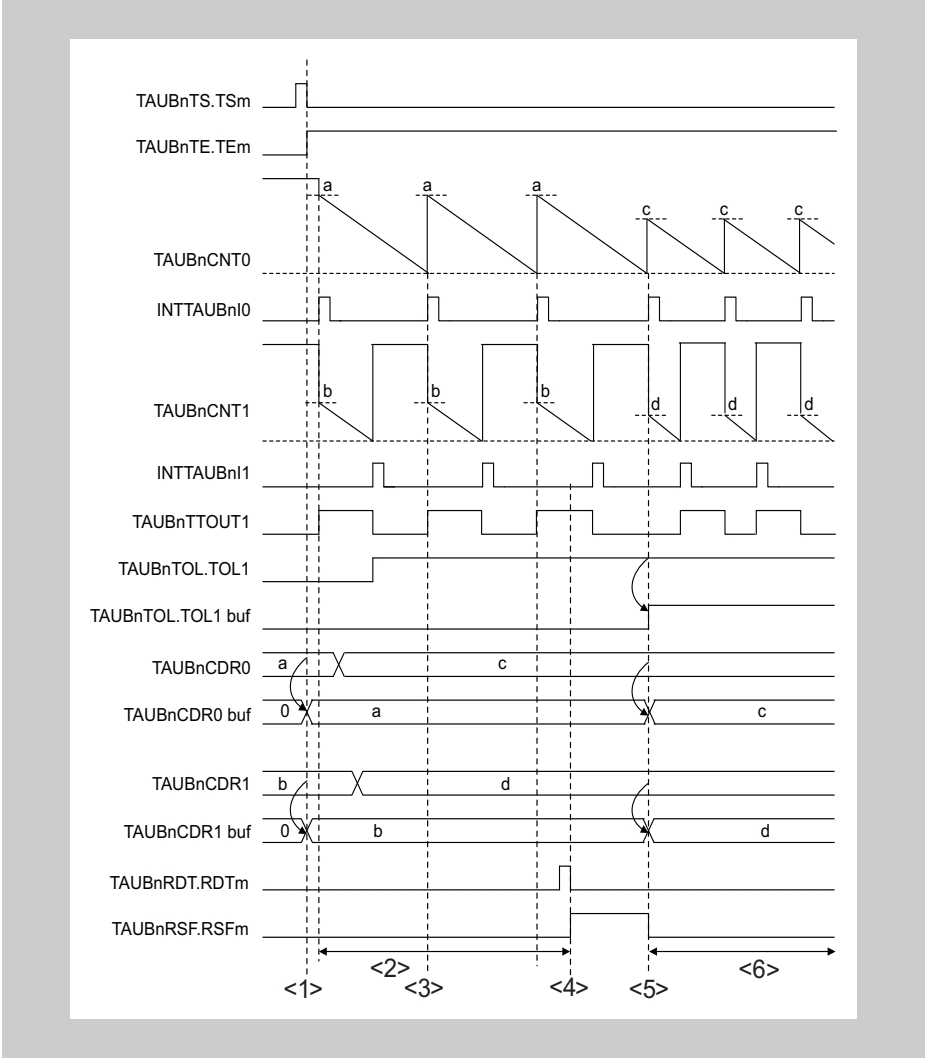


図 13-5 マスタ・チャネルがカウントを再開／開始した場合の一斉書き換え

設定

- CH0 は，ダウン・カウントを行うマスタ・チャネルです。CH1 は，任意のスレーブ・チャネルです。一斉書き換え方法 A が適用されます。

説明：

1. TAUBnTS.TAUBnTSm = 1 に設定すると，TAUBnCDRm の値が TAUBnCDRm バッファに，TAUBnTOL.TAUBnTOLm の値が TAUBnTOL.TAUBnTOLm バッファにコピーされます。
2. TAUBnCDRm と TAUBnTOL.TAUBnTOLm レジスタは常に書き込めます。
3. CH0 はカウントを再開しますが，一斉書き換えは許可されていないため行われません（TAUBnRSF.TAUBnRSFm = 0）。
4. リロード・データ・トリガ・ビット（TAUBnRDT.TAUBnRDTm）を 1 に設定することにより，ステータス・フラグが設定され（TAUBnRSF.TAUBnRSFm = 1），一斉書き換えが許可されます。
5. 一斉書き換えが許可されているため，CH0 のカウント再開時に一斉書き換えが発生します。TAUBnCDRm の値は TAUBnCDRm バッファに，TAUBnTOL.TAUBnTOLm の値は TAUBnTOL.TAUBnTOLm バッファにロードされます。
6. カウンタはダウン・カウントし，次の一斉書き換えトリガを待ちます。TAUBnCDRm と TAUBnTOL.TAUBnTOLm の値は再変更できます。

(2) マスタ・チャネルの三角波周期の [山] のタイミングで一斉書き換え（方法 B）

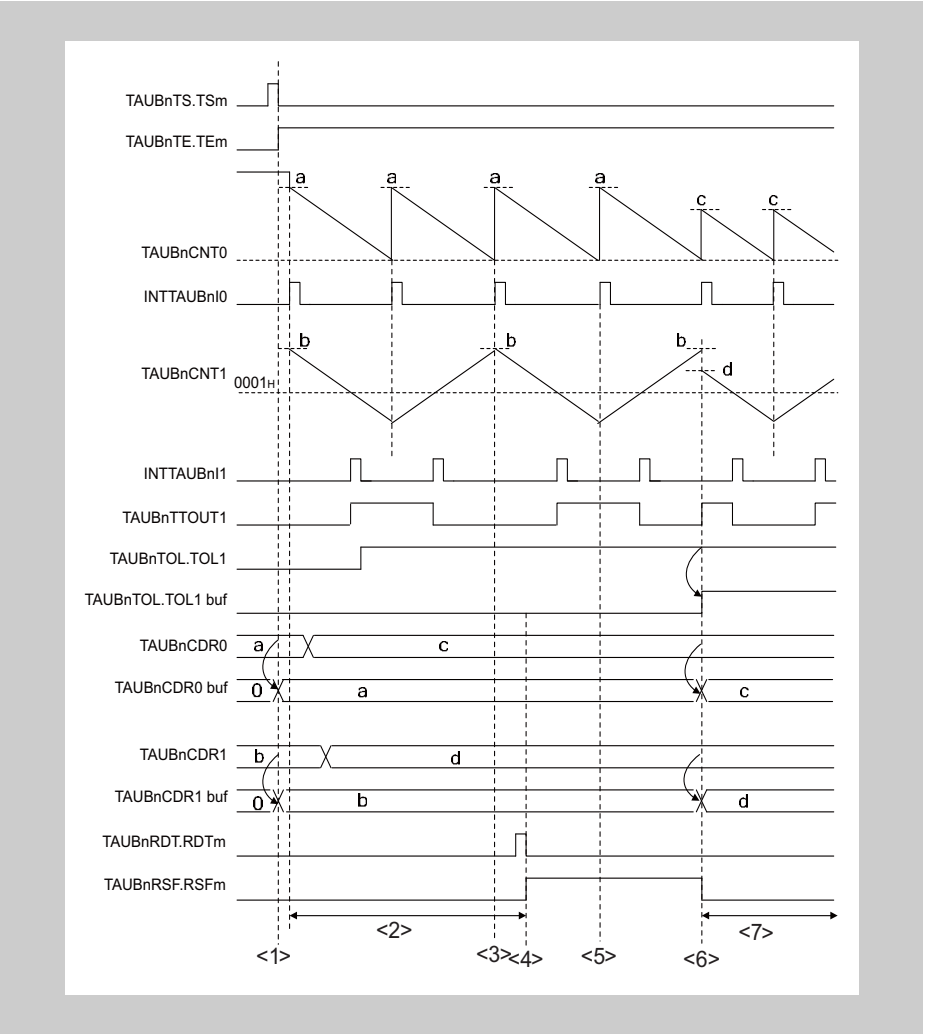


図 13-6 マスタ・チャネルの三角波周期の [山] のタイミングで一斉書き換え

設定

- CH0 は，ダウン／アップ・カウントを行うマスタ・チャネルです。CH1 は，任意のスレーブ・チャネルです。一斉書き換え方法 B が適用されます。

説明：

1. TAUBnTS.TAUBnTSm = 1 に設定すると，TAUBnCDRm の値が TAUBnCDRm バッファにコピーされます。
2. TAUBnCDRm と TAUBnTOL レジスタは常に書き込めます。
3. 一斉書き換えは許可されていないため行われません（TAUBnRSF.TAUBnRSFm = 0）。
4. リロード・データ・トリガ・ビット（TAUBnRDT.TAUBnRDTm）を 1 に設定することにより，ステータス・フラグが設定され（TAUBnRSF.TAUBnRSFm = 1），一斉書き換えが許可されます。
5. 一斉書き換えは，三角波周期の [谷] のタイミングでは発生しません。
6. 一斉書き換えは，三角波周期の [山] のスタート・タイミングで行われます。TAUBnCDRm の値は TAUBnCDRm バッファに，TAUBnTOL.TAUBnTOLm の値は TAUBnTOL.TAUBnTOLm バッファにロードされます。
7. カウンタはダウン・カウントし，次の一斉書き換えトリガを待ちます。TAUBnCDRm と TAUBnTOL.TAUBnTOLm の値は再変更できます。

(3) TAUBnRDC.TAUBnRDCm で指定した上位チャネルにて INTTAUBnIm が発生した場合の一斉書き換え（方法 C1）

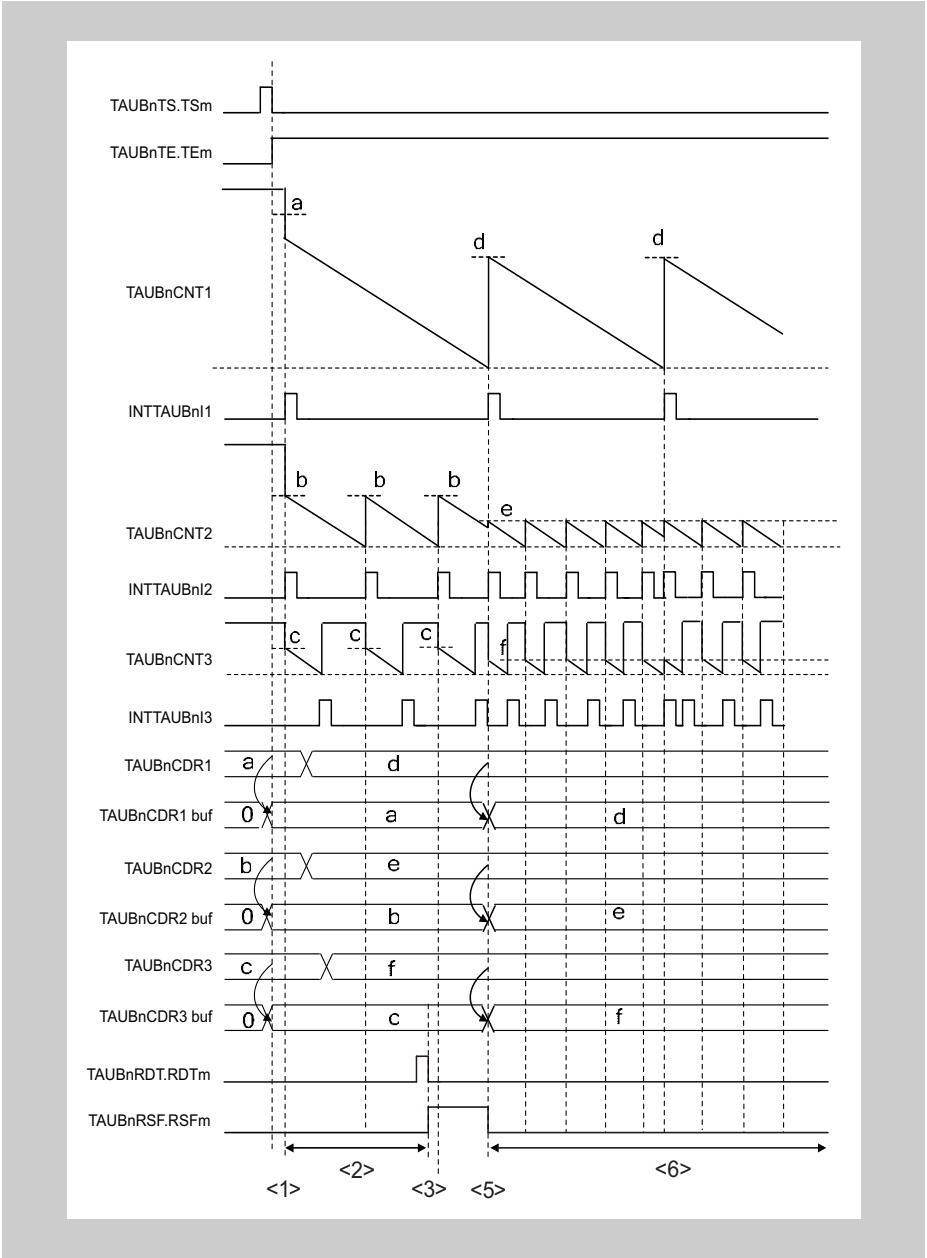


図 13-7 TAUBnRDC.TAUBnRDCm で指定した上位チャネルにて INTTAUBnIm が発生した場合の一斉書き換え

設定

- CH1 は，ダウン・カウントを行う上位チャネルです。CH2 は，マスタ・チャネルです。CH3 は，スレーブ・チャネルです。一斉書き換え方法 C1 が適用されます。TAUBnRDC レジスタで，一斉書き換えトリガ生成チャネルを指定します。

説明：

1. TAUBnTS.TAUBnTSm = 1 に設定すると，TAUBnCDRm の値が TAUBnCDRm バッファにコピーされます。
2. TAUBnCDRm レジスタは常に書き込めます。
3. リロード・データ・トリガ・ビット（TAUBnRDT.TAUBnRDTm）を 1 に設定することにより，ステータス・フラグが設定され（TAUBnRSF.TAUBnRSFm = 1），一斉書き換えが許可されます。
4. 一斉書き換えは，CH1 の割り込みのみによってトリガされるため，許可されていても行われません。
5. 一斉書き換えは，TAUBnCNT1 が 0000_H に達したときに発生する INTTAUBnI1 をトリガとして行われます。TAUBnCDRm の値は対応する TAUBnCDRm バッファにロードされます。
6. カウンタはダウン・カウントし，次の一斉書き換えトリガを待ちます。TAUBnCDRm レジスタの値は再変更できます。

13.8 チャネル出力モード

TAUBnTTOUTm 端子の出力は，2 つの方法で制御することができ，2 つ目の方法はさらに個別のモードに分かれています。

- ソフトウエアによる制御（TAUBnTOE.TAUBnTOEm = 0）

  ソフトウエアで制御した場合，出力レジスタ・ビット（TAUBnTO.TAUBnTOm）に書き込んだ値は，出力端子（TAUBnTTOUTm）に転送されます。

- TAUB 信号による制御（TAUBnTOE.TAUBnTOEm = 1）

  TAUB 信号で制御した場合，TAUBnTTOUTm の出力レベルはセット／リセット，または内部信号によりトグルされます。これに応じて，TAUBnTTOUTm の値を反映するために，TAUBnTO.TAUBnTOm の値は更新されます。

  – 単体制御（TAUBnTOM.TAUBnTOMm = 0）

    単体動作の場合，TAUBnTTOUTm 端子の出力はチャネル m の設定のみの影響を受けます。したがって，チャネル単体動作を指定（TAUBnTOM.TAUBnTOMm = 0）する必要があります。

  – 連動制御（TAUBnTOM.TAUBnTOMm = 1)

    連動動作の場合，TAUBnTTOUTm 端子の出力は，チャネル m とその他のチャネルの設定の影響を受けます。したがって，すべての連動するチャネルに対してチャネル連動動作を指定する必要があります（TAUBnTOM.TAUBnTOMm = 1）。

TAUBnTO.TAUBnTOm ビットは常にリードすることができ，端子がソフトウエアで制御されている，単体動作している，または連動動作しているにかかわらず，TAUBnTTOUTm の現在の値を確認することができます。

制御ビット

特定のチャネル出力モードを選択するために必要な制御ビットの設定は，*429 ページの表 13-10「チャネル出力モード」*に示します。

チャネル出力モードの詳細は次の節を参照してください。

- *431 ページの 13.8.2「TAUBn 信号により単体制御されるチャネル出力モード」*
- *432 ページの 13.8.3「TAUBn 信号により連動制御されるチャネル出力モード」*

TAUBnTOm ビットの一括操作

TAUBnTOm ビットへの設定値の反映 / 非反映は，，TAUBnTOE.TAUBnTOEm ビット により制御されます。

TAUBnTO レジスタにライトした時に，TAUBnTOE.TAUBnTOEm ビット =0 を設定したビット（チャネル）にのみ，TAUBnTOm の設定値の書き込みが行われます。TAUBnTOE.TAUBnTOEm ビット = 1 を設定したビット（チャネル）は，TAUBnTOm の設定値は反映されません。

備考 TAUBnTO.TAUBnTOm ビットは，ビット番号とチャネル番号が対応して配置しています。

出力論理 出力の正論理または反転論理は，制御ビット TAUBnTOL.TAUBnTOLm で指定します。

TAUBnTOL.TAUBnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは，PWM 出力機能または三角波 PWM 出力機能時のみです。カウンタ動作開始後に TAUBnTOL.TAUBnTOLm を変更すると，TAUBnTTOUTm 信号の出力は不定になります。

417 ページの 13.7「一斉書き換え」を参照してください。

各種チャネル出力モードとチャネル出力制御ビットを次の表に示します。

表 13-10 チャネル出力モード

チャネル出力モード	TAUBnTOE.TAUBnTOEm	TAUBnTOM.TAUBnTOMm	TAUBnTOC.TAUBnTOCm	TAUBnTDE.TAUBnTDEm
ソフトウエア制御				
ソフトウエア制御のチャネル単体出力モード	0	X		
TAUB 信号による単体動作制御				
チャネル単体出力モード 1	1	0	0	0
チャネル単体出力モード 2			1	
TAUB 信号による連動動作制御				
チャネル連動出力モード 1	1	1	0	0
チャネル連動出力モード 2			1	
デッド・タイム出力				1

- 表に記述のない組み合わせは禁止です。
- “x” が記されているビットは，任意の値を設定できます。

備考 次のビットは，カウント動作中（TAUBnTE.TAUBnTEm = 1）は変更できません。

- TAUBnTOE.TAUBnTOEm
- TAUBnTOM.TAUBnTOMm
- TAUBnTOC.TAUBnTOCm
- TAUBnTDE.TAUBnTDEm

13.8.1 チャネル出力モードを指定するための基本手順

TAUBnTTOUTm チャネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります（TAUBnTOE.TAUBnTOEm = 0）。

1. TAUBnTO.TAUBnTOm を設定して TAUBnTTOUTm 出力の初期レベルを指定してください。
2. *429 ページの表 13-10「チャネル出力モード」*を参照してチャネル出力モードを設定し，TAUBnTOL.TAUBnTOLm ビットで出力論理を設定してください。
3. カウンタのカウントを開始してください（TAUBnTS.TAUBnTSm = 1）。

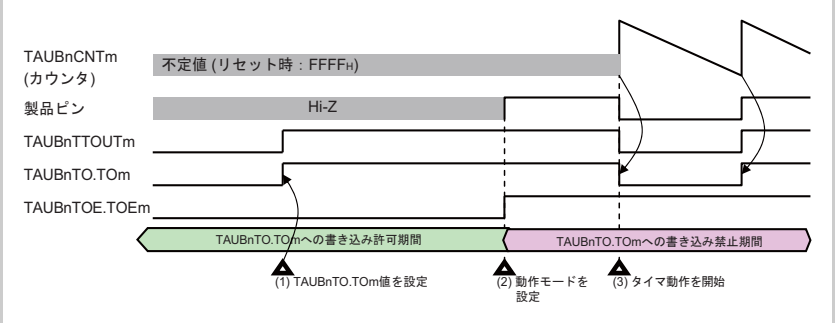


図 13-8 TAUBnTTOUTm チャネル出力モードを指定するための基本手順

カウンタ出力許可時の TAUBnTTOUTm 出力の出力状態を次の図に示します。

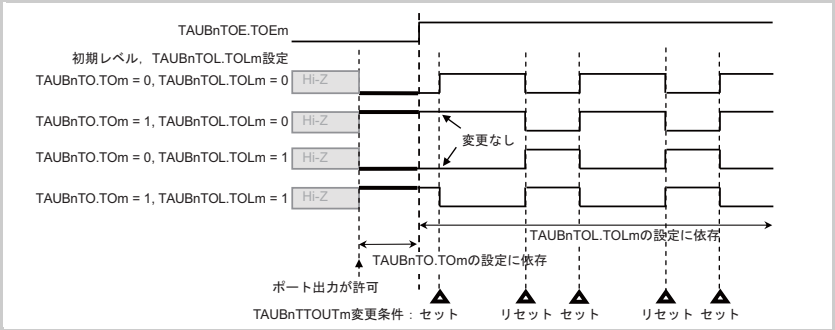


図 13-9 TAUBnTTOUTm 出力の基本動作

- TAUBnTO.TOm は TAUBnTTOUTm 出力の初期値を設定します。TAUBnTOE.TOEm = 0 のとき書き換え可能です。
- TAUBnTOL.TOLm は，TAUBnTO.TOm で設定される出力信号をハイ・レベル（TAUBnTOL.TOLm = 0）または，ロウ・レベル （反転出力，TAUBnTOL.TOLm =1）するかを設定します。

13.8.2 TAUBn 信号により単体制御されるチャネル出力モード

この節では，TAUBn 信号により単体制御されるチャネル出力モードを示します。モードを指定する制御ビットは，*429 ページの表 13-10「チャネル出力モード」*に示します。

(1) チャネル単体出力モード 1

セット／リセット条件 この出力モードでは，INTTAUBnIm が検出されると TAUBnTTOUTm がトグルされます。TAUBnTOL.TAUBnTOLm の値は無視されます。

前提条件 *429 ページの表 13-10「チャネル出力モード」*に示す条件以外の条件はありません。

(2) チャネル単体出力モード 2

セット／リセット条件 この出力モードでは，TAUBnTTOUTm は，カウント開始の INTTAUBnIm 発生でセット，TAUBnCNTm と TAUBnCDRm の一致による INTTAUBnIm 発生でリセットされます。

前提条件 *429 ページの表 13-10「チャネル出力モード」*に示す条件以外の条件はありません。

13.8.3 TAUBn 信号により連動制御されるチャネル出力モード

この節では，TAUBn 信号により連動制御されるチャネル出力モードを示します。モードを指定する制御ビットは，*429 ページの表 13-10「チャネル出力モード」*に示します。

(1) チャネル連動出力モード 1

セット／リセット条件 この出力モードでは，マスタ・チャネルの INTTAUBnIm がセット信号，スレーブ・チャネルの INTTAUBnIm がリセット信号となります。マスタ・チャネルの INTTAUBnIm とスレーブ・チャネルの INTTAUBnIm が同時発生した場合，スレーブ・チャネルの INTTAUBnIm（リセット信号）は，マスタ・チャネルの INTTAUBnIm（セット信号）より優先されます（マスタ・チャネルは無視されます）。

前提条件 *429 ページの表 13-10「チャネル出力モード」*に示す条件以外の条件はありません。

(2) チャネル連動出力モード 2

この出力モードでは，動作モードをアップ／ダウン・カウント・モードに設定する必要があります。その結果，TAUBnTTOUTm より三角波 PWM が出力されます。詳細は *561 ページの 13.20.1「三角波 PWM 出力機能」*を参照してください。

セット／リセット条件 スレーブ・チャネルの TAUBnCNTm は，アップ／ダウン・カウントを繰り返します。カウントが 0001_H を越えると，割り込みを発生し，TAUBnTTOUTm をトグルします。

前提条件 三角波 PWM 出力を生成するには 2 つで 1 組のチャネルが必要です。TAUBnTTOUTm は，機能を開始する前に 0 に設定する必要があります。

(3) デッド・タイム出力を行うチャネル連動出力モード2

この出力モードでは，TAUBnTTOUTmにデッド・タイム遅延が付加されます。セット／リセット条件を次の図に示します。

セット／リセット条件

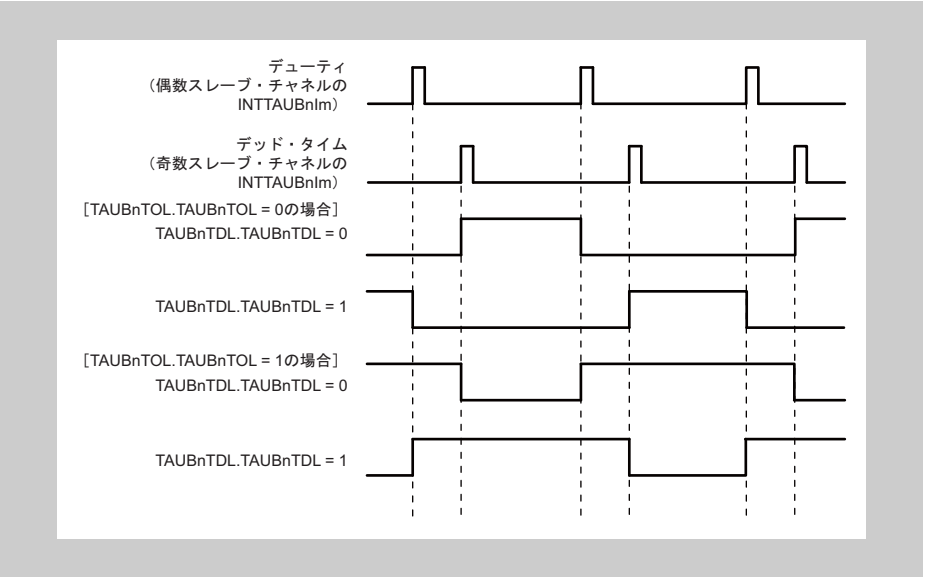


図 13-10 デッド・タイム出力を行うチャネル連動出力モード2のセット／リセット条件

デッド・タイムが付加されるエッジは，立ち上がりエッジの場合はTAUBnTDL.TAUBnTDLm = 0，立ち下がりエッジの場合はTAUBnTDL.TAUBnTDLm = 1を設定してください。

前提条件デッド・タイムを制御するには，それぞれ次のモードで操作する3つで1組のチャネルが必要です。

- マスタ・チャネル

  マスタ・チャネルは，インターバル・タイマ・モードに設定する必要があります。

- 偶数スレーブ・チャネル

  偶数スレーブ・チャネルは，アップ／ダウン・カウント・モードに設定する必要があります。

- 奇数スレーブ・チャネル（偶数チャネル + 1)

  奇数スレーブ・チャネルは，ワンカウント・モードに設定する必要があります。

奇数チャネルと偶数チャネルでは，次のビットが同じ値である必要があります。

- TAUBnTOE.TAUBnTOEm
- TAUBnTOM.TAUBnTOMm
- TAUBnTOC.TAUBnTOCm
- TAUBnTDE.TAUBnTDEm

13.9　各動作モードでのカウント開始タイミング

この節では，各動作モードにおいて TAUBnTS.TAUBnTSm を 1 に設定したあとの，カウンタ動作開始タイミングについて説明します。

データ・レジスタの値と割り込みが発生するかどうかは，モードとレジスタ設定によります。

注意　本節に記載するカウント開始タイミングは参考例です。実際にはカウントクロックタイミングにより，カウント開始タイミングは前後します。

13.9.1　インターバル・タイマ・モード，ジャッジ・モード，キャプチャ・モード，アップ／ダウン・カウント・モード

TAUBnTS.TAUBnTSm が 1 に設定されたあと，カウンタは次のカウント・クロック・サイクル開始時に動作を開始します。このとき，データ・レジスタの値もロードされます。

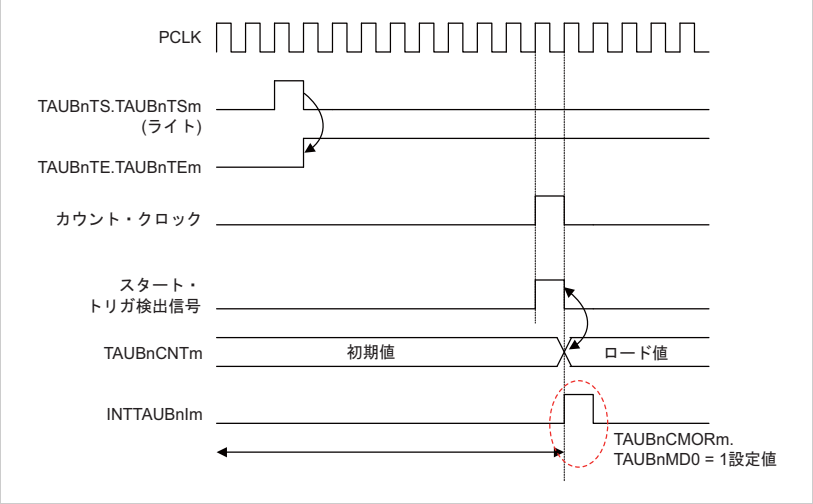


図 13-11　インターバル・タイマ・モード，ジャッジ・モード，キャプチャ・モード，アップ／ダウン・カウント・モードでの開始タイミング

備考　アップ／ダウン・カウント・モード時は，MD0 = 0 に設定してください。

13.9.2 イベント・モード

TAUBnTS.TAUBnTSm が 1 に設定されると，ただちにデータ・レジスタの値がロードされます。カウンタ動作もただちに開始されます。データ・レジスタの値は，以降のカウント・クロック・サイクルの開始時に変更されます。

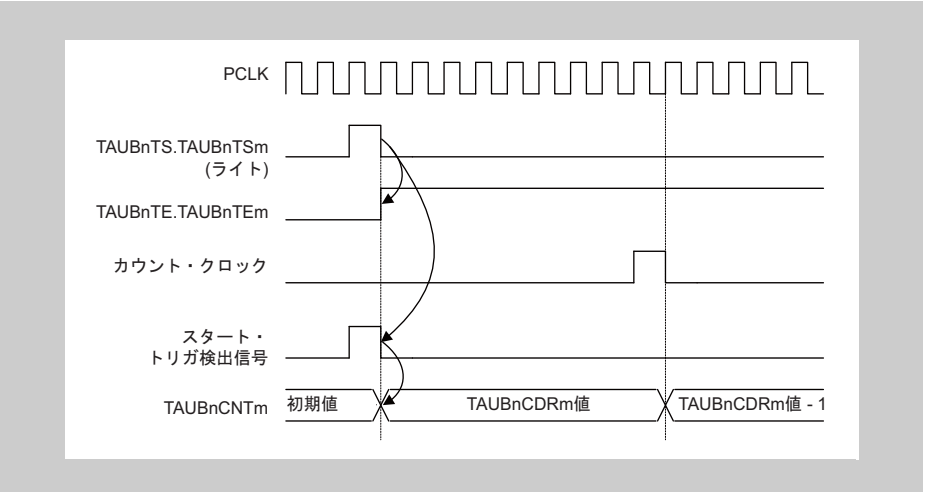


図 13-12 イベント・モード時の開始タイミング

13.9.3 その他の動作モード

その他の動作モードでは，カウント・クロック・サイクルはカウンタ動作開始に関係しません。カウンタは TAUBnTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると，データ・レジスタ値もロードされます。カウント・クロック・サイクルはカウンタ動作開始には関係ありませんが，すべての動作を行う際の周波数を決定します。

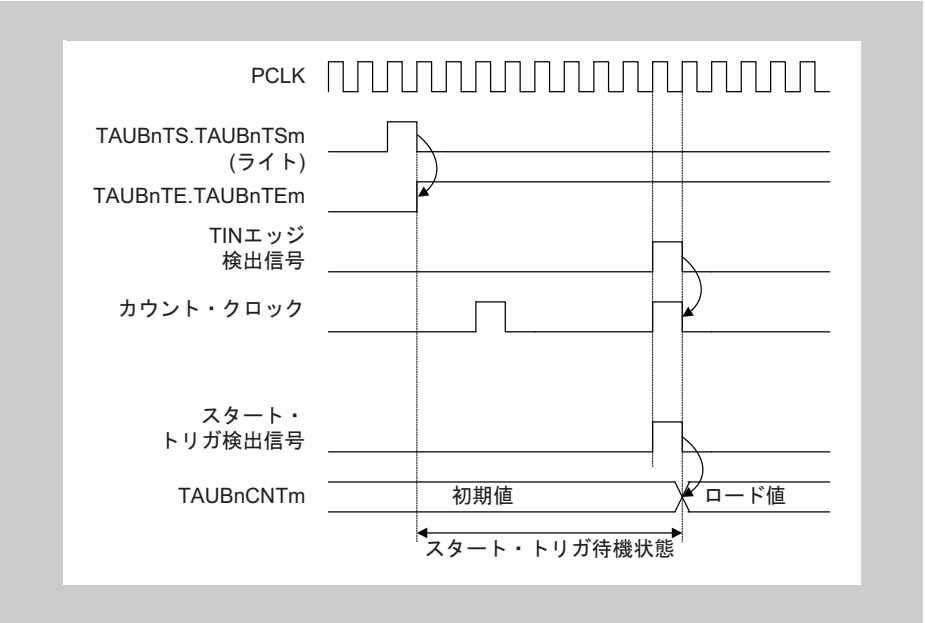


図 13-13 その他の動作モードでのカウント開始タイミング

13.10 カウント開始／リスタート時の TAUBnTTOUTm 出力と INTTAUBnIm 生成（TAUBnMD0 ビット）

カウンタのカウント開始時，リスタート時，または外部入力信号のトリガ入力時に，TAUBnCMORm.TAUBnMD0 ビットで INTTAUBnIm を発生するかしないかを指定できます。次の表に示すように，ビットの影響は，選択したモードに依存します。INTTAUBnIm の TAUBnTTOUTm に対する影響は，選択したチャネル動作機能に依存します。

表 13-11 カウンタがトリガされた場合の TAUBnCMORm.TAUBnMD0 ビットの INTTAUBnIm 発生に対する影響

モード	TAUBnCMORm.TAUBnMD0 ビット	カウント開始／再開時，または TAUBnTTINm 入力信号のトリガ検出時の INTTAUBnIm 発生
インターバル・タイマ・モード キャプチャ・モード カウント・キャプチャ・モード	0	発生しない
	1	発生
キャプチャ & ワンカウント・モード キャプチャ & ゲート・カウント・モード イベント・カウント・モード アップ／ダウン・カウント・モード	0	発生しない
ワンカウント・モード	0/1	TAUBnCMORm.TAUBnMD0 ビットの設定にかかわらず発生しない
パルス・ワンカウント・モード		TAUBnCMORm.TAUBnMD0 ビットの設定にかかわらず発生

動作例として，

備考 動作例として，*446 ページの図 13-22「強制リスタート動作（TAUBnCMORm.TAUBnMD0 = 1）」*，*447 ページの 13.13.2「TAUBnTTINm 入力インターバル・タイマ機能」*を参照してください。TAUBnMD0 ビットは，カウント動作中（TAUBnTE.TAUBnTEm = 1）は変更できません。また，*13-126「TAUBnCMORm レジスタの内容」*の TAUBnMD0 ビットの役割の説明も参照してください。

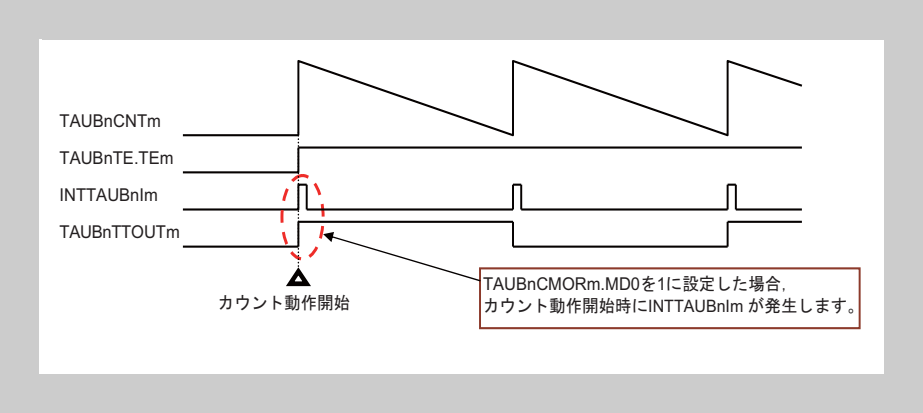


図 13-14 カウント開始時の INTTAUBnIm 発生

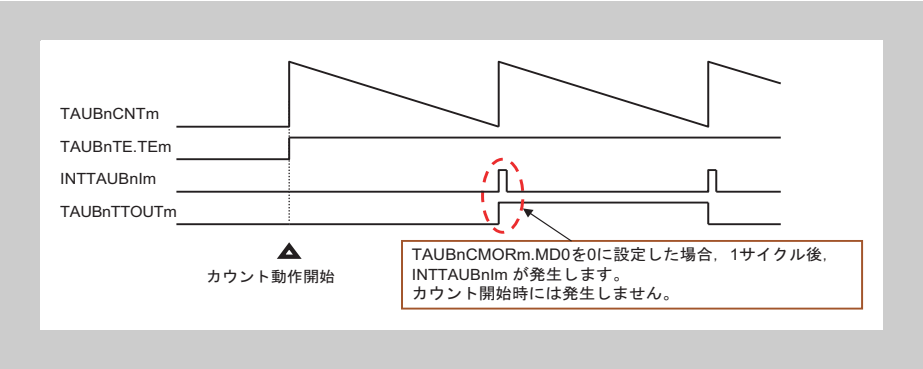


図 13-15 カウント開始時に INTTAUBnIm が発生しない

13.11 TAUBnTTINm エッジ検出

エッジは，動作クロックに基づいて検出されます。つまり，エッジは，動作クロックの次の立ち上がりエッジでのみ検出できます。これにより，最大 1 動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを次の図に示します。

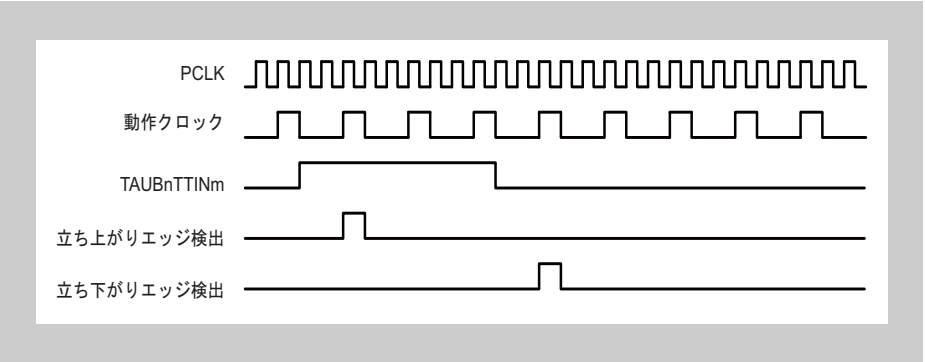


図 13-16 エッジ検出基本動作タイミング

注意 *図 13-16「エッジ検出基本動作タイミング」*は動作タイミングのイメージです。実際は，TAUBnIm 端子から TAUBn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

- ノイズ・フィルタ使用時ノイズ・フィルタ遅延時間＋エッジ検出遅延時間（最大 1 サンプリング・クロック）
- ノイズ・フィルタ未使用時同期化回路遅延時間（最大 2PCLK）＋エッジ検出遅延時間（最大 1 サンプリング・クロック）

13.12 チャネル単体動作機能

TAUB の各種チャネル単体動作機能を次の項で説明します。チャネル単体動作の概要は，*410 ページの 13.3「機能説明」*を参照してください。

13.13 チャネル単体割り込み機能

この節では，一定間隔または指定した遅延で割り込みを発生する機能を示します。

- *13.13.1「インターバル・タイマ機能」*
- *13.13.2「TAUBnTTINm 入力インターバル・タイマ機能」*
- *13.13.3「ワンパルス出力機能」*

13.13.1 インターバル・タイマ機能

(1) 概要

概要 この機能は，一定間隔でタイマ割り込み（INTTAUBnIm）を発生する基準タイマとして使用できます。割り込みが発生すると，TAUBnTTOUTm 信号はトグルされ，矩形波を出力します。

前提条件
- 動作モードはインターバル・タイマ・モードに設定する必要があります（*442 ページの表 13-12「インターバル・タイマ機能の TAUBnCMORm 設定」* 参照）。
- チャネル出力モードは，チャネル単体出力モード 1 に設定する必要があります。*428 ページの 13.8「チャネル出力モード」* を参照してください。

機能説明 チャネル・トリガ・ビット（TAUBnTS.TAUBnTSm）を 1 に設定すると，カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり，カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ，カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。

カウンタ値が 0000_H になると，INTTAUBnIm が発生し，TAUBnTTOUTm 信号がトグルされます。その後，TAUBnCDRm の値を TAUBnCNTm にロードし，以降，動作を継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で，変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

TAUBnTT.TAUBnTTm を 1 に設定すると，カウンタ動作を停止できます。これにより，TAUBnTE.TAUBnTEm は 0 に設定されます。TAUBnCNTm と TAUBTTOUTm は停止しますが，値は保持します。TAUBnTS.TAUBnTSm を 1 に設定すると，機能を再開できます。カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると，いったん停止せずにカウントを再開できます（強制リスタート）。

条件 TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合，動作開始または再開後の最初の割り込みは発生せず，TAUBnTTOUTm のトグルも行われません。これにより，TAUBnCMORm.TAUBnMD0 が 1 に設定された場合に対して，反転された TAUBnTTOUTm 信号が出力されます。詳細は，*436 ページの 13.10「カウント開始／リスタート時の TAUBnTTOUTm 出力と INTTAUBnIm 生成（TAUBnMD0 ビット）」* を参照してください。

(2) 算出式

INTTAUBnIm の周期 = カウント・クロック周期 ×（TAUBnCDRm ＋ 1）

TAUBnTTOUTm の矩形波周期 = カウント・クロック周期 ×（TAUBnCDRm ＋ 1）× 2

(3) ブロック図と基本タイミング図

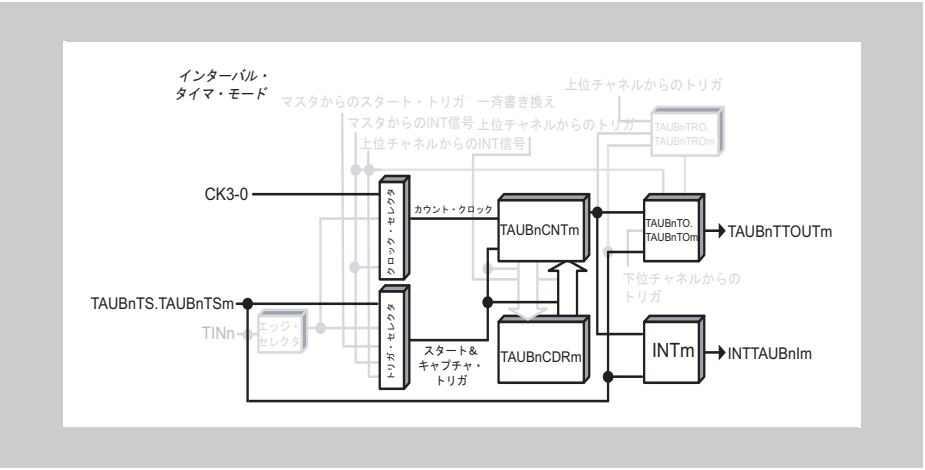


図 13-17 インターバル・タイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0 = 1）

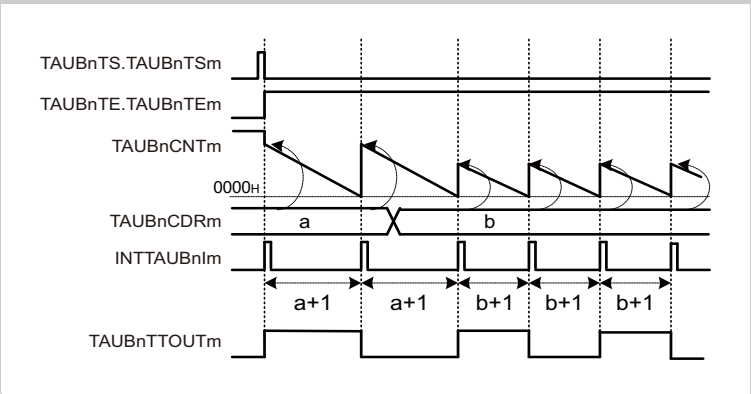


図 13-18 インターバル・タイマ機能の基本タイミング図

(4) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBnMAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBnMD0

表 13-12 インターバル・タイマ機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	0: 未使用，0 を設定
TAUBnSTS[2:0]	000: ソフトウエアでカウンタをトリガ
TAUBnCOS[1:0]	00: 未使用，00 を設定
TAUBnMD[4:1]	0000: インターバル・タイマ・モード
TAUBnMD0	0: 動作開始時に INTTAUBnIm が発生せず，TAUBnTTOUTm はトグルされない 1: 動作開始または再開時に INTTAUBnIm が発生し，TAUBnTTOUTm はトグルされる

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-13 インターバル・タイマ機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00: 未使用，00 を設定

(c) チャネル出力モード

表 13-14 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャネル単体出力
TAUBnTOC.TAUBnTOCm	0: 動作モード1（TAUBnTOM.TAUBnTOMm = 0時はトグル・モード）
TAUBnTOL.TAUBnTOLm	0: 正論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止

備考 チャネル出力モードは，TAUBnTOE.TAUBnTOEm = 0 を設定して，ソフトウエア制御のチャネル出力モードに設定することも可能です。この場合，TAUBnTTOUTm を割り込みとは独立させて制御することができます。詳細は428 ページの 13.8「チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE，TAUBnRDS，TAUBnRDM，TAUBnRDC）は，インターバル・タイマ機能では使用できません。したがって，これらのレジスタは0に設定する必要があります。

表 13-15 インターバル・タイマ機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0: 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0: 一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm = 0），0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(5)　インターバル・タイマ機能の操作手順

表 13-16　インターバル・タイマ機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm，TAUBnCMURm レジスタを *442 ページの表 13-12「インターバル・タイマ機能の TAUBnCMORm 設定」*，*442 ページの表 13-13「インターバル・タイマ機能の TAUBnCMURm 設定」* に示すように設定します。 TAUBnCDRm レジスタの値を設定します。 制御ビットを *443 ページの表 13-14「チャネル単体出力モード 1 時の制御ビット設定」* に示すように設定して，チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され，カウントが開始されます。 TAUBnCDRm の値を TAUBnCNTm にロードします。TAUBnCMORm.TAUBnMD0 = 1 の場合，INTTAUBnIm が発生し，TAUBnTTOUTm がトグルされます。
動作中	TAUBnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは常に読み出し可能です。	TAUBnCNTm がダウン・カウントを行います。 カウンタが 0000_H になった場合： • 再び TAUBnCDRm の値を TAUBnCNTm にロードし，カウント動作を継続します。 • INTTAUBnIm が発生し，TAUBnTTOUTm がトグルされます。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUBnCNTm と TAUBnTTOUTm は停止し，現在値を保持します。

動作再開

(6)　特定の設定時のタイミング図

(a)　TAUBnCDRm = 0000_H，カウント・クロック = PCLK/2

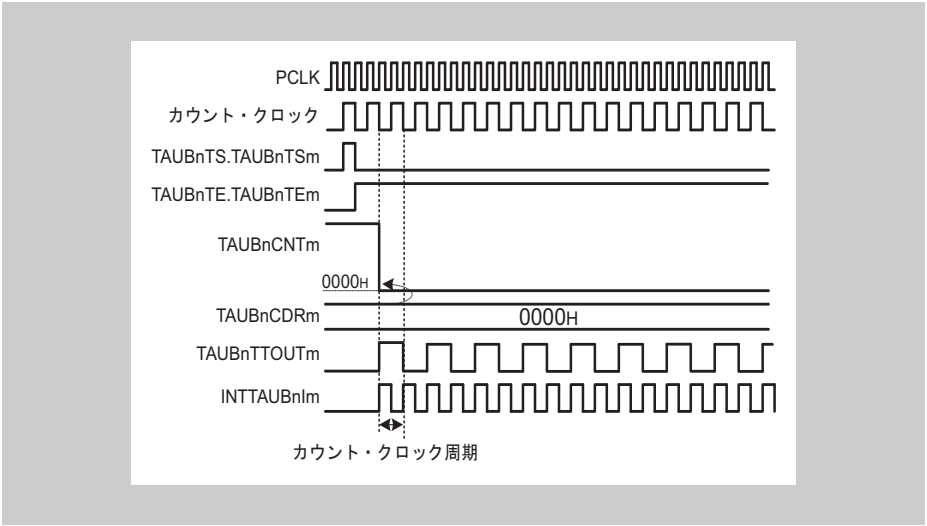


図 13-19　TAUBnCDRm = 0000_H，カウント・クロック = PCLK/2

- TAUBnCDRm = 0000_H，かつカウント・クロック = PCLK/2^1 の場合，カウント・クロックごとに TAUBnCDRm の値が TAUBnCNTm にロードされます。つまり，TAUBnCNTm は常に 0000_H です。
- INTTAUBnIm がカウント・クロックごとに発生するので，TAUBnTTOUTm はカウント・クロックごとにトグルされます。

(b)　TAUBnCDRm = 0000_H，カウント・クロック = PCLK

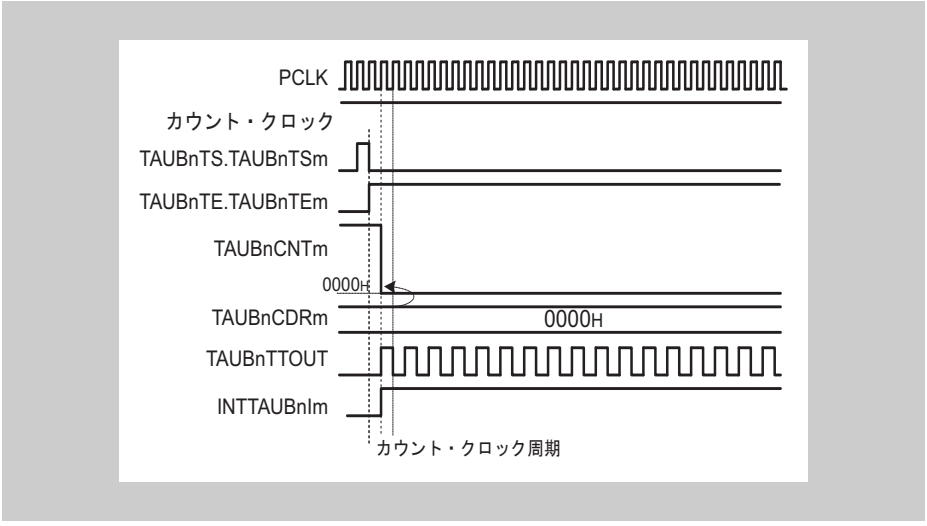


図 13-20　TAUBnCDRm = 0000_H，カウント・クロック = PCLK

- TAUBnCDRm = 0000_H，かつカウント・クロック = PCLK の場合，PCLK クロックごとに TAUBnCDRm の値が TAUBnCNTm にロードされます。つまり，TAUBnCNTm は常に 0000_H です。
- 継続的に INTTAUBnIm が発生し，PCLK クロックごとに TAUBnTTOUTm がトグルされます。

(c) 動作の停止と再開

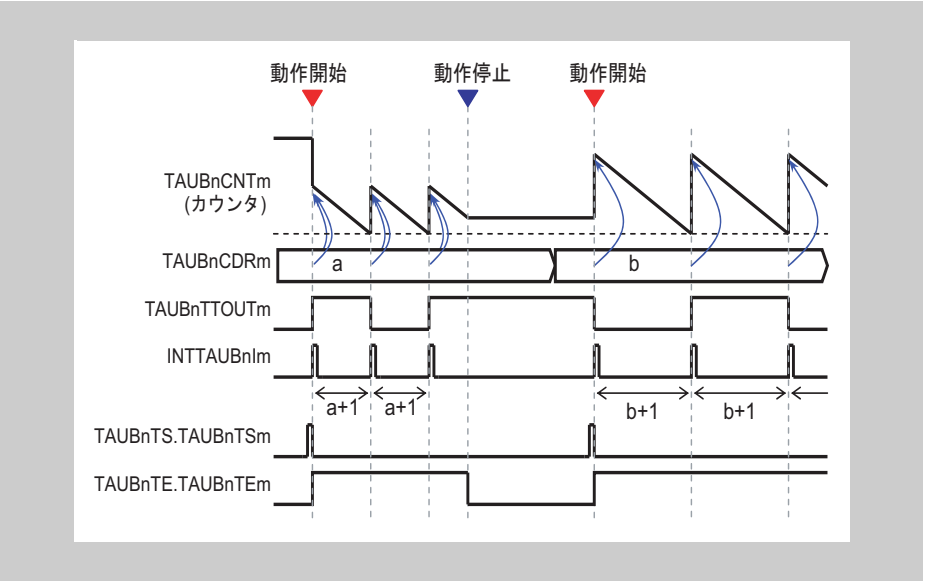


図 13-21 動作の停止と再開（TAUBnCMORm.TAUBnMD0 = 1）

- TAUBnTT.TAUBnTTm を 1 に設定すると，カウンタ動作を停止できます。これにより，TAUBnTE.TAUBnTEm は 0 に設定されます。
- TAUBnCNTm と TAUBnTTOUTm は停止しますが，値は保持します。
- TAUBnTS.TAUBnTSm を 1 に設定すると，カウントを再開できます。

(d) 強制リスタート

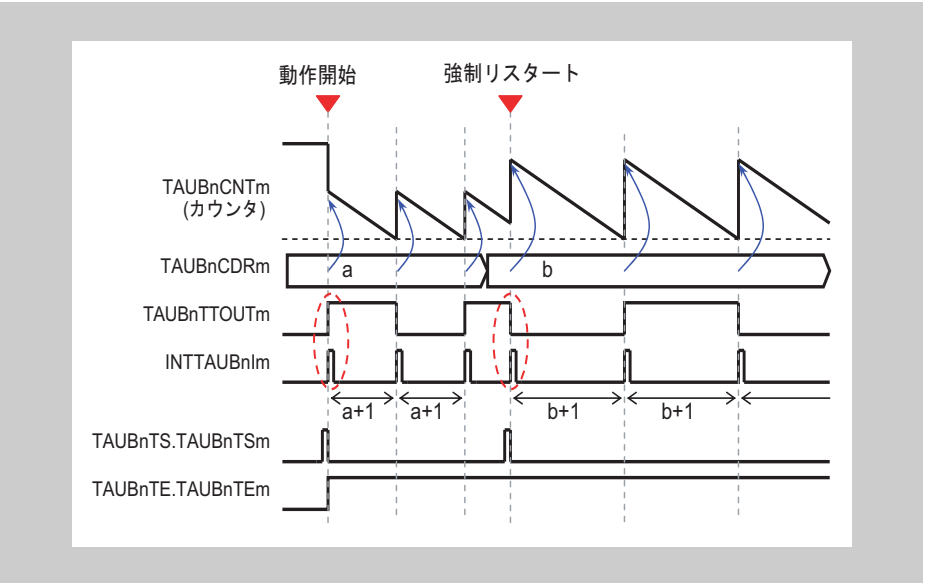


図 13-22 強制リスタート動作（TAUBnCMORm.TAUBnMD0 = 1）

- カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると，いったん停止しなくてもカウントを再開できます（強制リスタート）。
- TAUBnCMORm.TAUBnMD0 ビットが 1 に設定されると，動作開始または再開後の最初の割り込みが発生し，TAUBnTTOUTm はトグル出力します。

13.13.2 TAUBnTTINm 入力インターバル・タイマ機能

(1) 概要

概要 この機能は，一定間隔または有効な TAUBnTTINm 入力エッジが検出された場合に，タイマ割り込み（INTTAUBnIm）を発生するための基準タイマとして使用されます。割り込みが発生すると，TAUBnTTOUTm 信号はトグルされ，矩形波を出力します。

前提条件
- 動作モードはインターバル・タイマ・モードに設定する必要があります（*449 ページの表 13-17「TAUBnTTINm 入力インターバル・タイマ機能の TAUBnCMORm 設定」* 参照）。
- チャネル出力モードは，チャネル単体出力モード 1 に設定する必要があります。428 ページの 13.8「チャネル出力モード」を参照してください。

機能説明 この機能は，有効な TAUBnTTINm 入力エッジで再開される以外，インターバル・タイマ機能と同様に動作します（*440 ページの 13.13.1「インターバル・タイマ機能」* 参照）。トリガとして使用するエッジの種類は，TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。立ち上がりエッジ，立ち下がりエッジ，または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

(2) 算出式

INTTAUBnIm の周期 = カウント・クロック周期 ×（TAUBnCDRm ＋ 1）

TAUBnTTOUTm の矩形波周期 = カウント・クロック周期 ×（TAUBnCDRm ＋ 1）× 2

(3) ブロック図と基本タイミング図

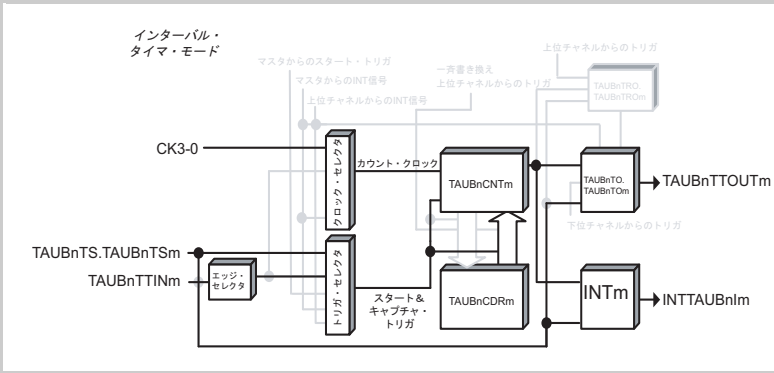


図 13-23 TAUBnTTINm 入力インターバル・タイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0 = 1）
- 立ち上がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 01_B）

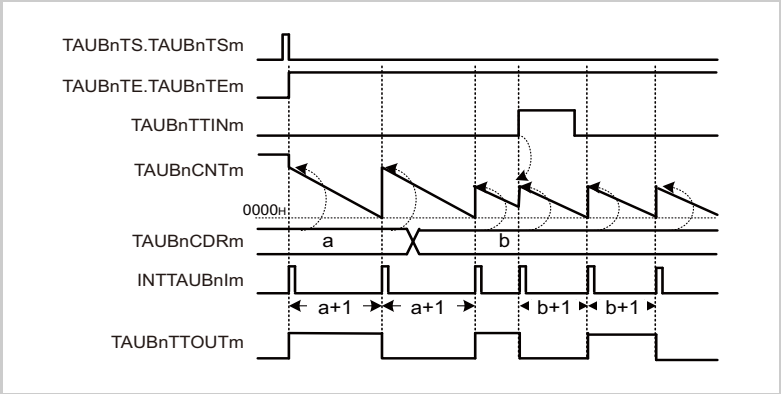


図 13-24 TAUBnTTINm 入力インターバル・タイマ機能の基本タイミング図

(4) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBn MAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBn MD0

表 13-17 TAUBnTTINm 入力インターバル・タイマ機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	0: 未使用，0 を設定
TAUBnSTS[2:0]	001: 有効な TAUBnTTINm 入力エッジ信号を外部スタート・トリガとして使用
TAUBnCOS[1:0]	00: 未使用，00 を設定
TAUBnMD[4:1]	0000: インターバル・タイマ・モード
TAUBnMD0	0: 動作開始時に INTTAUBnIm が発生せず，TAUBnTTOUTm はトグルされない 1: 動作開始時に INTTAUBnIm が発生し，TAUBnTTOUTm はトグルされる

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-18 TAUBnTTINm 入力インターバル・タイマ機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00: 立ち下がりエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出

(c) チャネル出力モード

表 13-19 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャネル単体出力
TAUBnTOC.TAUBnTOCm	0: 動作モード1（TAUBnTOM.TAUBnTOMm = 0 時はトグル・モード）
TAUBnTOL.TAUBnTOLm	0: 正論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時（TAUBnTDE.TAUBnTDEm = 0），0 を設定

備考 チャネル出力モードは，TAUBnTOE.TAUBnTOEm = 0 を設定して，ソフトウエア制御のチャネル出力モードに設定することも可能です。この場合，TAUBnTTOUTm を割り込みとは独立させて制御することができます。詳細は *428 ページの 13.8「チャネル出力モード」* を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE，TAUBnRDS，TAUBnRDM，TAUBnRDC）は，TAUBnTTINm 入力インターバル・タイマ機能では使用できません。したがって，これらのレジスタは 0 に設定する必要があります。

表 13-20 TAUBnTTINm 入力インターバル・タイマ機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0: 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0: 一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm = 0），0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(5) TAUBnTTINm 入力インターバル・タイマ機能の操作手順

表 13-21 TAUBnTTINm 入力インターバル・タイマ機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm，TAUBnCMURm レジスタを，*449 ページの表 13-17「TAUBnTTINm 入力インターバル・タイマ機能の TAUBnCMORm 設定」*と *449 ページの表 13-18「TAUBnTTINm 入力インターバル・タイマ機能の TAUBnCMURm 設定」*に示すように設定します。 TAUBnCDRm レジスタの値を設定します。 制御ビットを *450 ページの表 13-19「チャネル単体出力モード 1 時の制御ビット設定」*に示すように設定して，チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され，カウントが開始されます。 TAUBnCDRm の値を TAUBnCNTm にロードします。 TAUBnCMORm.TAUBnMD0 = 1 の場合，INTTAUBnIm が発生し，TAUBnTTOUTm がトグルされます。
動作中	TAUBnCMURm.TAUBnTIS[1:0]，TAUBnCDRm レジスタの値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは常に読み出し可能です。 TAUBnTTINm エッジ検出	TAUBnCNTm がダウン・カウントを行います。 カウンタが 0000_H になった場合： • 再び TAUBnCDRm の値を TAUBnCNTm にロードし，カウント動作を継続します。 • INTTAUBnIm が発生し，TAUBnTTOUTm がトグルされます。 カウント動作中に TAUBnTTINm 入力の有効エッジを検出すると，再び TAUBnCDRm の値を TAUBnCNTm にロードし，カウント動作を継続します。 以降，この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUBnCNTm と TAUBnTTOUTm は停止し，現在値を保持します。

動作再開

(6) 特定の設定時のタイミング図

*440 ページの 13.13.1「インターバル・タイマ機能」*のタイミング図も適用されますが，この機能を除いて，有効な TAUBnTTINm 入力エッジを使用することでカウンタを再開することも可能です。

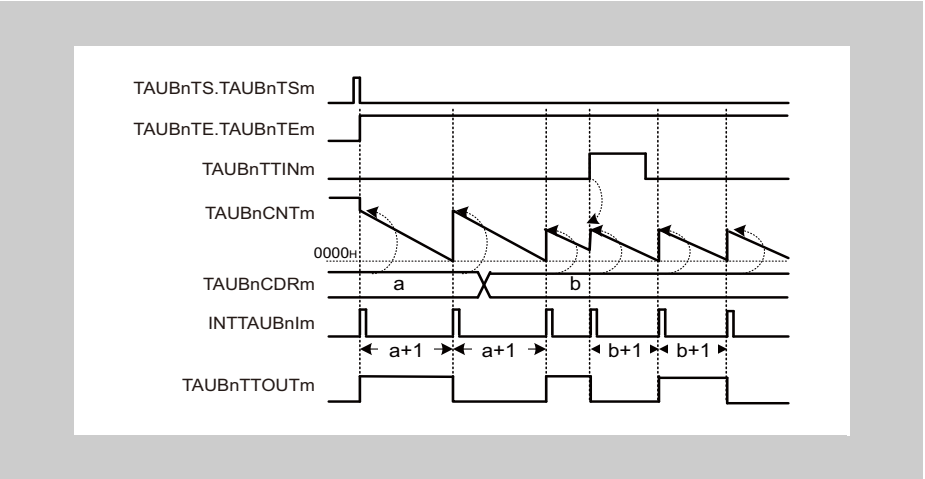


図 13-25 立ち上がり TAUBnTTINm 入力エッジ（TAUBnCMURm.TAUBnTIS[1:0] = 01_B），TAUBnCMORm.TAUBnMD0 = 1 でトリガされたカウンタ

- 有効な TAUBnTTINm 入力エッジを検出した場合，TAUBnTTOUTm をトグルする割り込みが発生します。この例では，有効エッジは立ち上がりエッジ（TAUBnCMURm.TAUBnTIS[1:0] = 01_B）です。

13.13.3 ワンパルス出力機能

(1) 概要

概要 この機能は，有効な TAUBnTTINm 入力エッジ検出時とその後一定の間隔で，割り込み（INTTAUBnIm）を発生します。定められた期間内に発生する TAUBnTTINm 入力信号パルスは無視されます。割り込みが発生すると，TAUBnTTOUTm 信号はトグルされ，矩形波を出力します。

前提条件
- 動作モードはパルス・ワンカウント・モードに設定する必要があります（*455 ページの表 13-22「ワンパルス出力機能の TAUBnCMORm 設定」*参照）。
- チャネル出力モードは，チャネル単体出力モード 2 に設定する必要があります。428 ページの 13.8「チャネル出力モード」を参照してください。
- カウント動作中（TAUBnCMORm.TAUBnMD0 = 0）は，トリガ検出を禁止にする必要があります。

機能説明 チャネル・トリガ・ビット（TAUBnTS.TAUBnTSm）を 1 に設定すると，カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり，カウントが可能になります。

有効な TAUBnTTINm 入力エッジを検出すると，カウンタ動作を開始します。TAUBnCDRm の値が TAUBnCNTm にロードされ，カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。割り込みが発生し，TAUBnTTOUTm がアクティブ・レベルに設定されます。

カウンタが 0001_H になると，割り込みが発生し，TAUBnTTOUTm がインアクティブ・レベルに設定されます。カウンタは 0000_H で動作を停止し，次の有効な TAUBnTTINm 入力エッジを待ちます。

カウンタのダウン・カウント時は，TAUBnTTINm 入力信号が無視されます。つまり，カウンタはリセットされません。

TAUBnCDRm 値は任意のタイミングで書き換え可能で，変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

条件 トリガとして使用するエッジの種類は，TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。
- TAUBnCMURm.TAUBnTIS[1:0] = 00_B の場合，カウンタは立ち下がりエッジでトリガされます。
- TAUBnCMURm.TAUBnTIS[1:0] = 01_B の場合，カウンタは立ち上がりエッジでトリガされます。
- TAUBnCMURm.TAUBnTIS[1:0] = 10_B の場合，カウンタは立ち下がりエッジ，立ち上がり両エッジでトリガされます。

(2) 算出式

TAUBnTTINm-INTTAUBnIm の間隔 = TAUBnTTOUTm（タイマ出力）幅 = カウント・クロック周期 × TAUBnCDRm

(3) ブロック図と基本タイミング図

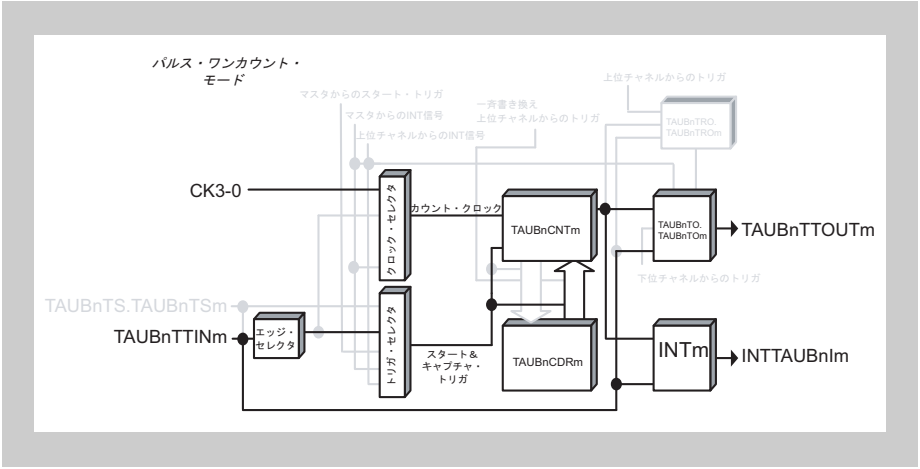


図 13-26 ワンパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 00_B）

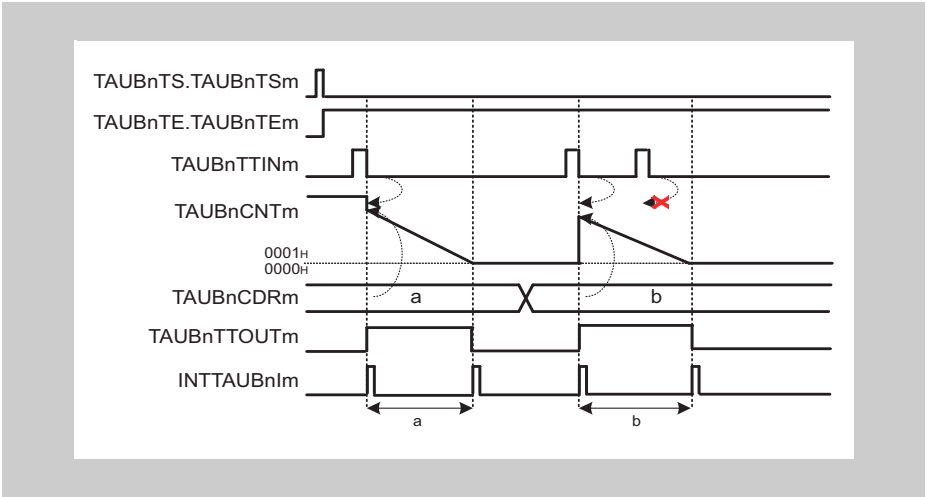


図 13-27 ワンパルス出力機能の基本タイミング図

(4) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBn MAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBn MD0

表 13-22 ワンパルス出力機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	0: 未使用，0 を設定
TAUBnSTS[2:0]	001: 有効な TAUBnTTINm 入力エッジ信号を外部スタート・トリガとして使用
TAUBnCOS[1:0]	00: 未使用，00 を設定
TAUBnMD[4:1]	1010: パルス・ワンカウント・モード
TAUBnMD0	0: 動作中のスタート・トリガを無効とする

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-23 ワンパルス出力機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00: 立ち下がりエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出 11: 設定禁止

(c) チャネル出力モード

表 13-24 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: ソフトウエア制御のチャネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャネル単体出力
TAUBnTOC.TAUBnTOCm	1: セット／リセット・モード
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 反転論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 （TAUBnTDE.TAUBnTDEm = 0），0 を設定

備考 チャネル出力モードは，TAUBnTOE.TAUBnTOEm = 0 を設定して，ソフトウエア制御のチャネル出力モードに設定することも可能です。この場合，TAUBnTTOUTm を割り込みとは独立させて制御することができます。詳細は429 ページの表 13-10「チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE，TAUBnRDS，TAUBnRDM，TAUBnRDC）は，ワンパルス出力機能では使用できません。したがって，これらのレジスタは 0 に設定する必要があります。

表 13-25 ワンパルス出力機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0: 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0: 一斉書き換え禁止時 （TAUBnRDE.TAUBnRDEm = 0），0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(5)　ワンパルス出力機能の操作手順

表 13-26　ワンパルス出力機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm，TAUBnCMURm レジスタを，*455 ページの表 13-22「ワンパルス出力機能の TAUBnCMORm 設定」*と *455 ページの表 13-23「ワンパルス出力機能の TAUBnCMURm 設定」*に示すように設定します。 TAUBnCDRm レジスタの値を設定します。 制御ビットを *456 ページの表 13-24「チャネル単体出力モード 1 時の制御ビット設定」*に示すように設定して，チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。 TAUBnTTINm スタート・エッジ検出	TAUBnTE.TAUBnTEm が 1 に設定され，TAUBnCNTm は TAUBnTTINm スタート・エッジ検出を待ちます。 スタート・エッジが検出されると，TAUBnCNTm は TAUBnCDRm の値をロードします。
動作中	TAUBnCDRm 値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは常に読み出し可能です。	TAUBnCNTm の開始時に INTTAUBnIm が発生し，TAUBnTTOUTm はアクティブ・レベルに設定されます。 TAUBnCNTm がダウン・カウントを行います。 カウンタが 0001_H になった場合： • INTTAUBnIm が発生します。 • TAUBnTTOUTm がインアクティブ・レベルに設定されます。 TAUBnCNTm はカウントを停止し，トリガを待ちます。 TAUBnCNTm のカウント中に発生するトリガは無視されます。 以降，この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUBnCNTm と TAUBnTTOUTm は停止し，現在値を保持します。

動作再開

13.14 チャネル単体信号測定機能

この節では，各 TAUBnTTINm パルスの幅，または連続した TAUBnTTINm パルスの合計幅を測定する機能を説明します。また，信号の間隔を測定する機能，またはパルス幅と基準値を比較する機能も説明します。

- *13.14.1「TAUBnTTINm 入力パルス・インターバル測定機能」*
- *13.14.2「TAUBnTTINm 入力信号幅測定機能」*
- *13.14.3「TAUBnTTINm 入力期間カウント検出機能」*
- *13.14.4「TAUBnTTINm 入力パルス・インターバル判定機能」*
- *13.14.5「TAUBnTTINm 入力信号幅判定機能」*

13.14.1 TAUBnTTINm 入力パルス・インターバル測定機能

(1) 概要

概要 この機能は，カウント値をキャプチャし，その値とオーバフロー・ビット TAUBnCSRm.TAUBnOVF を使用して TAUBnTTINm 入力信号の間隔を測定します。

前提条件
- 動作モードはキャプチャ・モードに設定する必要があります（*462 ページの表 13-28「TAUBnTTINm 入力パルス・インターバル測定機能の TAUBnCMORm 設定」*参照）。
- この機能では，TAUBnTTOUTm は使用しません。

機能説明 チャネル・トリガ・ビット（TAUBnTS.TAUBnTSm）を 1 に設定すると，カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり，カウントが可能になります。カウンタ TAUBnCNTm は，0000_H からカウントを開始します。有効な TAUBnTTINm エッジが検出されると，TAUBnCNTm の値がキャプチャされ，TAUBnCDRm に転送され，割り込み INTTAUBnIm が発生します。カウンタは，0000_H にリセットされ，その後動作を継続します。

有効な TAUBnTTINm エッジを検出する前にカウンタが $FFFF_H$ に達すると，カウンタは 0000_H にオーバフローします。カウンタは，0000_H にリセットされ，その後動作を継続します。TAUBnCDRm，TAUBnCSRm.TAUBnOVF それぞれに転送される値は，TAUBnCMORm.TAUBnCOS[1:0] ビットの値によって異なります。

表 13-27 オーバフローの影響

TAUBnCMORm.COS[1:0]	オーバフローが発生した場合		その後，有効な TAUBnTTINm 入力が検出された場合	
	TAUBnCDRm	TAUBnCSRm.TAUBnOVF	TAUBnCDRm, TAUBnCNTm	TAUBnCSRm.TAUBnOVF
00	変化しない	0	TAUBnCNTm が TAUBnCDRm にロードされる	1
01		1		
10	$FFFF_H$ に設定	0	TAUBnCNTm は 0 に設定され，TAUBnCDRm は変更されない	変化しない
11		1		

TAUBnCMORm.TAUBnCOS[0] = 1 のとき，オーバフロー・ビット TAUBnCSRm.TAUBnOVF は，TAUBnCSCm.TAUBnCLOV = 1 を設定することでのみクリアできます。

TAUBnCDRm 値と TAUBnCSRm.TAUBnOVF 値の組み合わせを使用することで，TAUBnTTINm 信号の間隔を推定できます。ただし，有効な TAUBnTTINm 入力が検出される前に複数のオーバフローが発生した場合，オーバフロー・ビット TAUBnCSRm.TAUBnOVF はその複数のオーバフローの発生を示せません。

TAUBnTT.TAUBnTTm = 1 を設定すると機能を停止できます。これにより，TAUBnTE.TAUBnTEm = 0 が設定されます。TAUBnCNTm が停止し，値を保持します。機能停止中，有効な TAUBnTTINm 入力エッジの検出と TAUBnCNTm のキャプチャは行われません。

カウンタは，0000_H にリセットされ，その後動作を継続します。

条件　TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合，動作開始または再開後の最初の割り込みは発生しません。詳細は *436 ページの表 13.10「カウント開始／リスタート時の TAUBnTTOUTm 出力と INTTAUBnIm 生成（TAUBnMD0 ビット）」* を参照してください。

備考　TAUBnCMORm.TAUBnCOS[1] = 1_B の場合，オーバフロー後の最初の有効な TAUBnTTINm 入力エッジの発生時，TAUBnCNTm の値は TAUBnCDRm にロードされません。ただし，割り込みが発生します。

(2)　算出式

TAUBnTTINm 入力パルス間隔 = カウント・クロック周期 ×
[（TAUBnCSRm.TAUBnOVF×($FFFF_H$ ＋ 1)）＋ TAUBnCDRm キャプチャ値 ＋ 1]

(3)　ブロック図と基本タイミング図

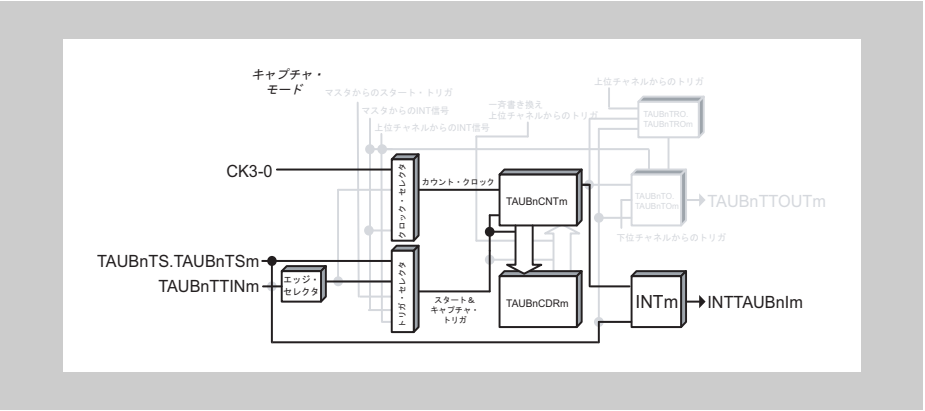


図 13-28　TAUBnTTINm 入力パルス・インターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生しない
  （TAUBnCMORm.TAUBnMD0 = 0）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 00_B）
- オーバフロー後に有効な TAUBnTTINm 入力を検出すると，TAUBnCDRm を変更し，TAUBnCSRm.TAUBnOVF を 1 に設定する
  （TAUBnCMORm.TAUBnCOS[1:0] = 00_B）

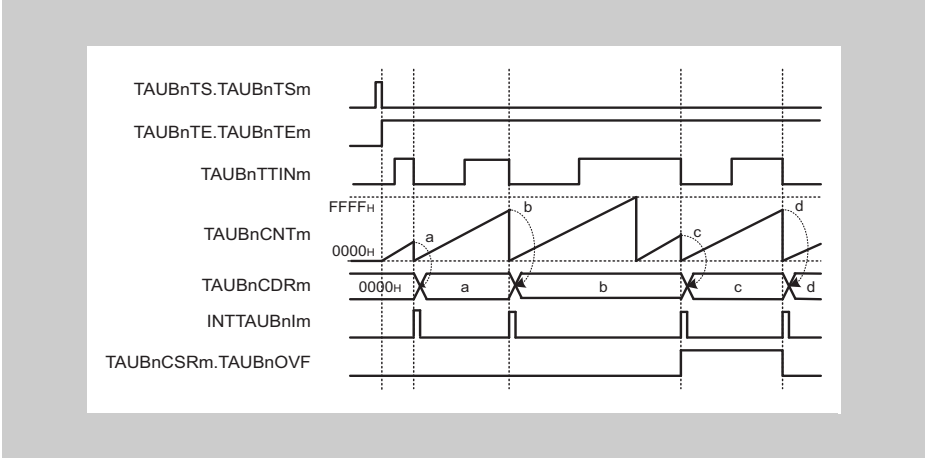


図 13-29　TAUBnTTINm 入力パルス・インターバル測定機能の基本タイミング図

(4) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBn MAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBn MD0

表 13-28 TAUBnTTINm 入力パルス・インターバル測定機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	0: 未使用，0 を設定
TAUBnSTS[2:0]	001: TAUBnTTINm 入力信号の有効エッジを外部キャプチャ・トリガとして使用
TAUBnCOS[1:0]	*459 ページの表 13-27「オーバフローの影響」*を参照。
TAUBnMD[4:1]	0010: キャプチャ・モード
TAUBnMD0	0: 動作開始時に INTTAUBnIm が発生しない 1: 動作開始時に INTTAUBnIm が発生する

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-29 TAUBnTTINm 入力パルス・インターバル測定機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00: 立ち下がりエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため，TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし，ソフトウエア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE，TAUBnRDS，TAUBnRDM，TAUBnRDC）は，TAUBnTTINm 入力パルス・インターバル測定機能では使用できません。したがって，これらのレジスタは 0 に設定する必要があります。

表 13-30 TAUBnTTINm 入力パルス・インターバル測定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0: 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0: 一斉書き換え禁止時 （TAUBnRDE.TAUBnRDEm = 0），0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(5)　TAUBnTTINm 入力パルス・インターバル測定機能の操作手順

表 13-31　TAUBnTTINm 入力パルス・インターバル測定機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm，TAUBnCMURm レジスタを，*462 ページの表 13-28「TAUBnTTINm 入力パルス・インターバル測定機能の TAUBnCMORm 設定」*と *462 ページの表 13-29「TAUBnTTINm 入力パルス・インターバル測定機能の TAUBnCMURm 設定」*に示すように設定します。 TAUBnCDRm レジスタはキャプチャ・レジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され，カウントが開始されます。 TAUBnCNTm が 0000_H にクリアされます。 TAUBnCMORm.TAUBnMD0 が 1 の場合は，INTTAUBnIm が発生します。
動作中	TAUBnTTINm エッジ検出 TAUBnCMURm.TAUBnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUBnCDRm，TAUBnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUBnCSCm.TAUBnCLOV ビットの 1 書き込みが可能。 （TAUBnCSRm.TAUBnOVF ビットを 0 にクリア）	TAUBnCNTm は，0000_H からアップ・カウントを開始します。TAUBnTTINm の有効エッジ検出時： • TAUBnCNTm が自身の値を TAUBnCDRm に転送（キャプチャ）して，0000_H に戻ります。 • その後，INTTAUBnIm が発生します。 以降，この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUBnCNTm は停止し，TAUBnCNTm と TAUBnCSRm.TAUBnOVF は現在値を保持します。

動作再開

(6)　特定の設定時のタイミング図：オーバフロー動作

(a)　TAUBnCMORm.TAUBnCOS[1:0] = 00_B

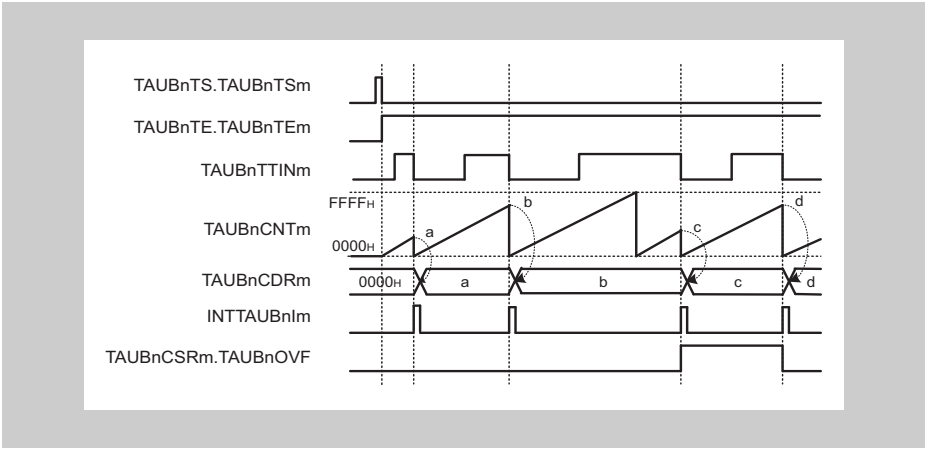


図 13-30　TAUBnCMORm.TAUBnCOS[1:0] = 00_B，TAUBnCMORm.TAUBnMD0 = 0，TAUBnCMURm.TAUBnTIS[1:0] = 00_B

- オーバフローが発生すると，TAUBnCDRm の値は変更されず，TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBnTTINm 入力エッジが検出されると，TAUBnCNTm の値が TAUBnCDRm にロードされ，TAUBnCSRm.TAUBnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUBnTTINm 入力エッジが検出されると，TAUBnCSRm.TAUBnOVF が 0 にクリアされます。

(b)　TAUBnCMORm.TAUBnCOS[1:0] = 01_B

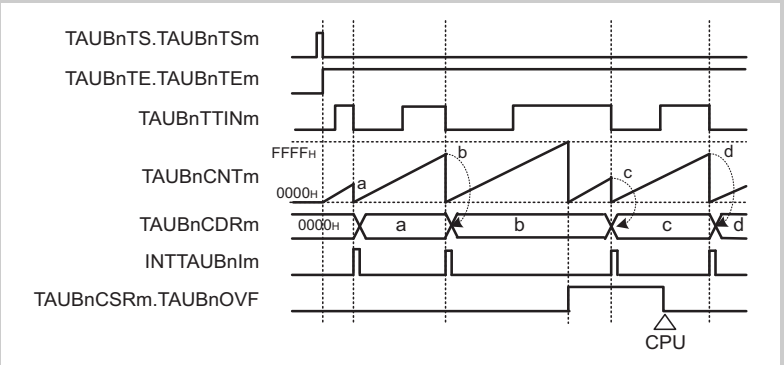


図 13-31　TAUBnCMORm.TAUBnCOS[1:0] = 01_B，TAUBnCMORm.TAUBnMD0 = 0，TAUBnCMURm.TAUBnTIS[1:0] = 00_B

- オーバフローが発生すると，TAUBnCDRm の値は変更されず，TAUBnCSRm.TAUBnOVF の値は 1 に設定されます。
- 次の有効な TAUBnTTINm 入力エッジが検出されると，TAUBnCNTm の値が TAUBnCDRm にロードされます。
- TAUBnCSRm.TAUBnOVF は，CPU コマンド（TAUBnCSCm.TAUBnCLOV ビット =1 のセット）でのみクリアされます。

(c) TAUBnCMORm.TAUBnCOS[1:0] = 10_B

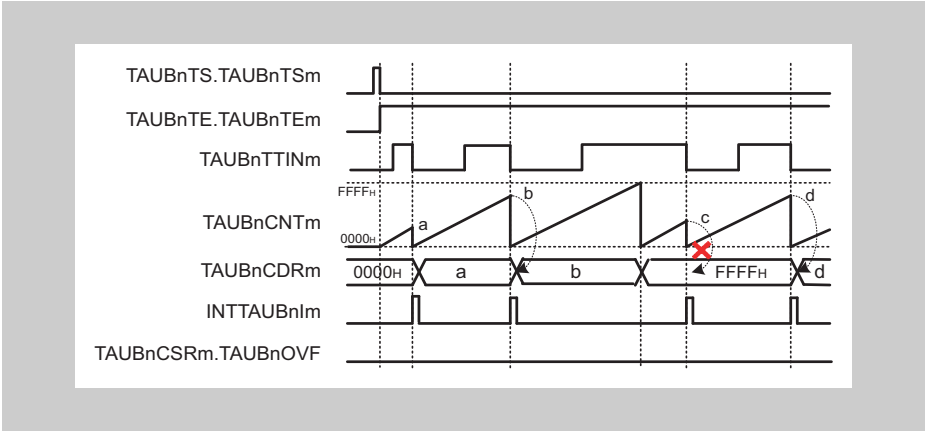


図 13-32 TAUBnCMORm.TAUBnCOS[1:0] = 10_B, TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 00_B

- オーバフローが発生すると，TAUBnCDRm は $FFFF_H$ に設定され，TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBnTTINm 入力エッジが検出されると，TAUBnCNTm が 0 にリセットされますが，TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって，オーバフロー後の次の有効な TAUBnTTINm 入力エッジは無視されます。

(d) TAUBnCMORm.TAUBnCOS[1:0] = 11_B

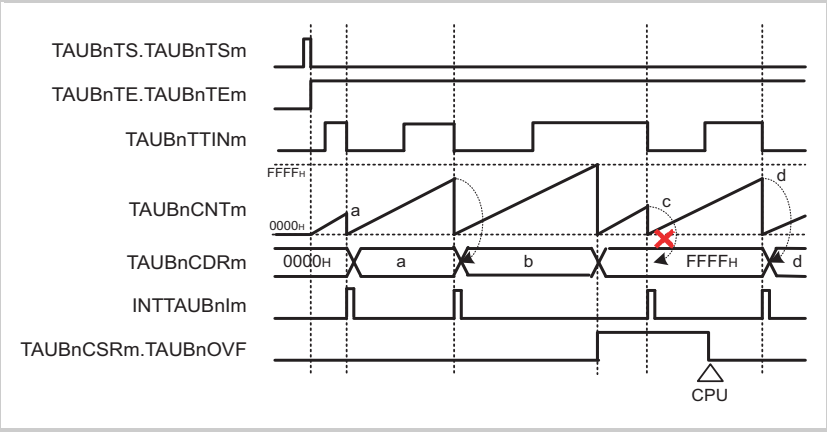


図 13-33 TAUBnCMORm.TAUBnCOS[1:0] = 11_B, TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 00_B

- オーバフローが発生すると，TAUBnCDRm は $FFFF_H$ に設定され，TAUBnCSRm.TAUBnOVF は 1 に設定されます。
- 次の有効な TAUBnTTINm 入力エッジが検出されると，TAUBnCNTm が 0 にリセットされますが，TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって，オーバフロー後の次の有効な TAUBnTTINm 入力エッジは無視されます。
- TAUBnCSRm.TAUBnOVF は，TAUBnCSCm.TAUBnCLOV = 1 を設定することでクリアされます。

13.14.2 TAUBnTTINm 入力信号幅測定機能

(1) 概要

概要 この機能は，TAUBnTTINm 入力信号幅を測定します。

前提条件
- 動作モードはキャプチャ & ワンカウント・モードに設定する必要があります（*470 ページの表 13-33「TAUBnTTINm 入力信号幅測定機能の TAUBnCMORm 設定」*参照）。
- この機能では，TAUBnTTOUTm は使用しません。
- TAUBnCMORm.TAUBnMD0 は，0 に設定する必要があります。

機能説明 チャネル・トリガ・ビット（TAUBnTS.TAUBnTSm）を 1 に設定すると，カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり，カウントが可能になります。有効な TAUBnTTINm スタート・エッジが検出されると，カウンタ TAUBnCNTm は，0000_H からカウントを開始します。有効な TAUBnTTINm ストップ・エッジが検出されると，TAUBnCNTm の値がキャプチャされ，TAUBnCDRm に転送され，割り込み INTTAUBnIm が発生します。カウンタは値（CDRn + 1）を保持し，次の有効な TAUBnTTINm 入力スタート・エッジを待ちます。

有効な TAUBnTTINm ストップ・エッジを検出する前にカウンタが $FFFF_H$ に達すると，カウンタはオーバフローします。カウンタは，0000_H にリセットされ，その後動作を継続します。TAUBnCDRm，TAUBnCSRm.TAUBnOVF それぞれに転送される値は，TAUBnCMORm.TAUBnCOS[1:0] ビットの値によって異なります。

表 13-32 オーバフローの影響

TAUBnCMORm.COS[1:0]	オーバフローが発生した場合		有効な TAUBnTTINm 入力ストップ・エッジの検出時	
	TAUBnCDRm	TAUBnCSRm.TAUBnOVF	TAUBnCDRm，TAUBnCNTm	TAUBnCSRm.TAUBnOVF
00	変化しない	0	TAUBnCNTm が TAUBnCDRm にロードされる	1
01		1		
10	$FFFF_H$ に設定	0	TAUBnCNTm はカウントを停止 TAUBnCDRm は変更されない	変化しない
11		1		

TAUBnCMORm.TAUBnCOS[0] = 1 のとき，オーバフロー・ビット TAUBnCSRm.TAUBnOVF は，TAUBnCSCm.TAUBnCLOV = 1 を設定することでのみクリアできます。

TAUBnCDRm 値と TAUBnCSRm.TAUBnOVF 値の組み合わせを使用することで，TAUBnTTINm 信号の幅を推定できます。ただし，有効な TAUBnTTINm 入力が検出される前に複数のオーバフローが発生した場合，オーバフロー・ビット TAUBnCSRm.TAUBnOVF はその複数のオーバフローの発生を示せません。

この機能は強制的に再開することはできません。

備考 TAUBnCMORm.TAUBnCOS[1] = 1 の場合，オーバフロー後の最初の有効な TAUBnTTINm 入力エッジの発生時，TAUBnCNTm の値は TAUBnCDRm にロードされません。ただし，割り込みが発生します。

(2) 算出式

TAUBnTTINm 入力信号幅 = カウント・クロック周期 ×
[（TAUBnCSRm.TAUBnOVF ×（$FFFF_H$ ＋ 1））＋ TAUBnCDRm キャプチャ値＋ 1]

(3) ブロック図と基本タイミング図

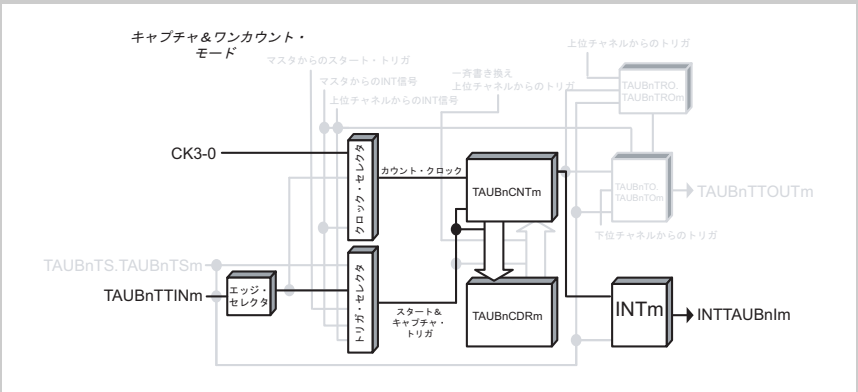


図 13-34 TAUBnTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定（TAUBnCMURm.TAUBnTIS[1:0] = 11_B）
- オーバフロー後に有効な TAUBnTTINm 入力を検出すると，TAUBnCDRm を変更し，TAUBnCSRm.TAUBnOVF を 1 に設定する（TAUBnCMORm.TAUBnCOS[1:0] = 00_B）

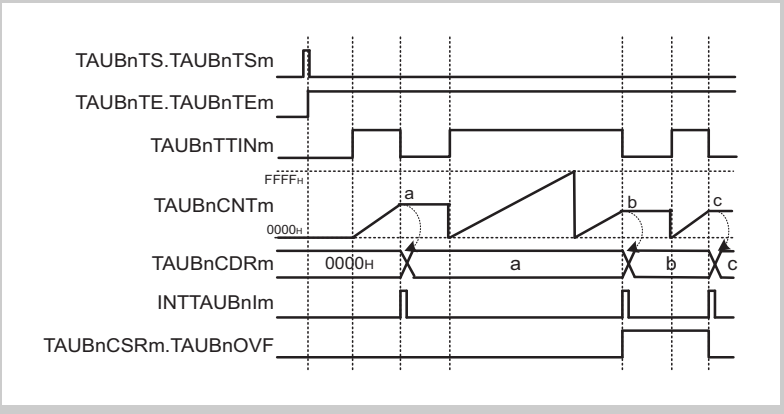


図 13-35 TAUBnTTINm 入力信号幅測定機能の基本タイミング図

(4) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBn MAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBn MD0

表 13-33 TAUBnTTINm 入力信号幅測定機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	0: 未使用，0 を設定
TAUBnSTS[2:0]	010: TAUBnTTINm 入力信号の有効エッジを外部スタート・トリガ，逆エッジをストップ・トリガとして使用
TAUBnCOS[1:0]	*468 ページの表 13-32「オーバフローの影響」*を参照。
TAUBnMD[4:1]	0110: キャプチャ & ワンカウント・モード
TAUBnMD0	0: 動作中のスタート・トリガ無効

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-34 TAUBnTTINm 入力信号幅測定機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	10: 両エッジ検出（Low 幅測定） 11: 両エッジ検出（High 幅測定）

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため，
TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし，ソフトウエア制御の
チャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE，TAUBnRDS，TAUBnRDM，
TAUBnRDC）は，TAUBnTTINm 入力信号幅測定機能では使用できません。
したがって，これらのレジスタは 0 に設定する必要があります。

表 13-35 TAUBnTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0: 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0: 一斉書き換え禁止時 （TAUBnRDE.TAUBnRDEm = 0），0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(5)　TAUBnTTINm 入力信号幅測定機能の操作手順

表 13-36　TAUBnTTINm 入力信号幅測定機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm，TAUBnCMURm レジスタを，*470 ページの表 13-33「TAUBnTTINm 入力信号幅測定機能の TAUBnCMORm 設定」*と *470 ページの表 13-34「TAUBnTTINm 入力信号幅測定機能の TAUBnCMURm 設定」*に示すように設定します。 TAUBnCDRm レジスタはキャプチャ・レジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され，TAUBnCNTm は TAUBnTTINm スタート・エッジ検出を待ちます。 TAUBnTTINm スタート・エッジを検出すると，TAUBnCNTm はアップ・カウントを開始します。
動作中	TAUBnTTINm エッジ検出 TAUBnCDRm，TAUBnCNTm，TAUBnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUBnCSC.CLOV ビットは，1 にセット可能です。	TAUBnCNTm は，0000_H からアップ・カウントを開始します。TAUBnTTINm の有効エッジ検出時： • TAUBnCNTm が自身の値を TAUBnCDRm に転送（キャプチャ）して，その値を保持し，INTTAUBnIm が発生します。 カウントは TAUBnCDRm に転送した値 + 1 の値で停止し，TAUBnCNTm は TAUBnTTINm スタート・エッジの検出を待ちます。 以降，この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUBnCNTm は停止し，TAUBnCNTm と TAUBnCSRm.TAUBnOVF は現在値を保持します。

動作再開

(6) 特定の設定時のタイミング図：オーバフロー動作

(a) TAUBnCMORm.TAUBnCOS[1:0] = 00_B

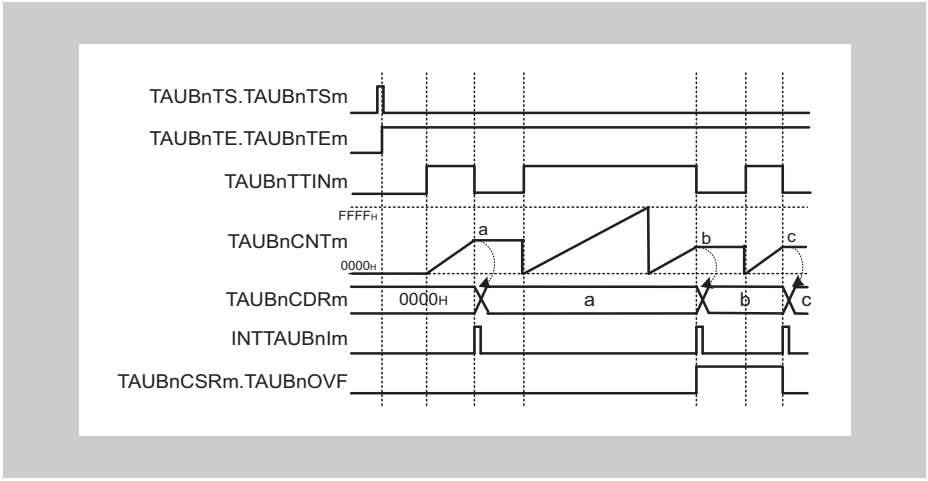


図 13-36 TAUBnCMORm.TAUBnCOS[1:0] = 00_B, TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 11_B

- オーバフローが発生すると，TAUBnCDRm の値は変更されず，TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBnTTINm 入力エッジが検出されると，TAUBnCNTm の値が TAUBnCDRm にロードされ，TAUBnCSRm.TAUBnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUBnTTINm 入力エッジが検出されると，TAUBnCSRm.TAUBnOVF が 0 にクリアされます。

(b) TAUBnCMORm.TAUBnCOS[1:0] = 01_B

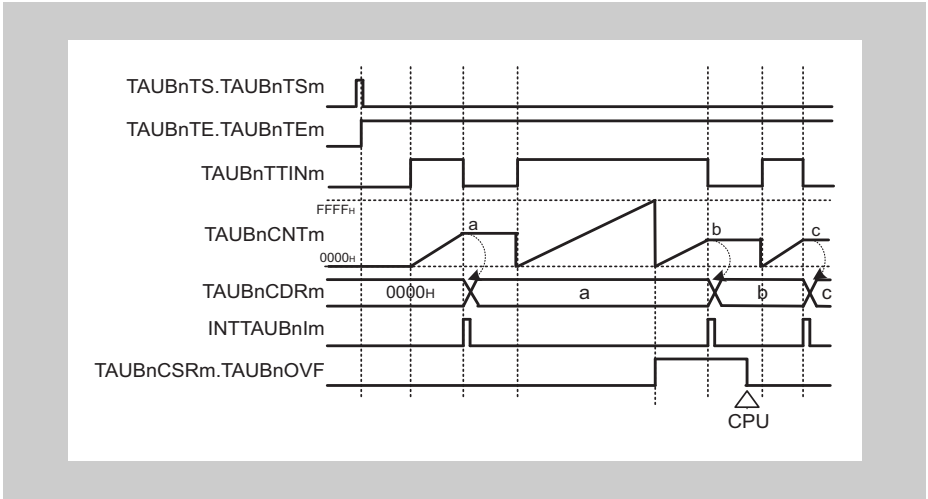


図 13-37 TAUBnCMORm.TAUBnCOS[1:0] = 01_B, TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 11_B

- オーバフローが発生すると，TAUBnCDRm の値は変更されず，TAUBnCSRm.TAUBnOVF の値は 1 に設定されます。
- 次の有効な TAUBnTTINm 入力エッジが検出されると，TAUBnCNTm の値が TAUBnCDRm にロードされます。
- TAUBnCSRm.TAUBnOVF は，CPU コマンド（TAUBnCSCm.TAUBnCLOV ビット =1 のセット）でのみクリアされます。

(c) TAUBnCMORm.TAUBnCOS[1:0] = 10_B

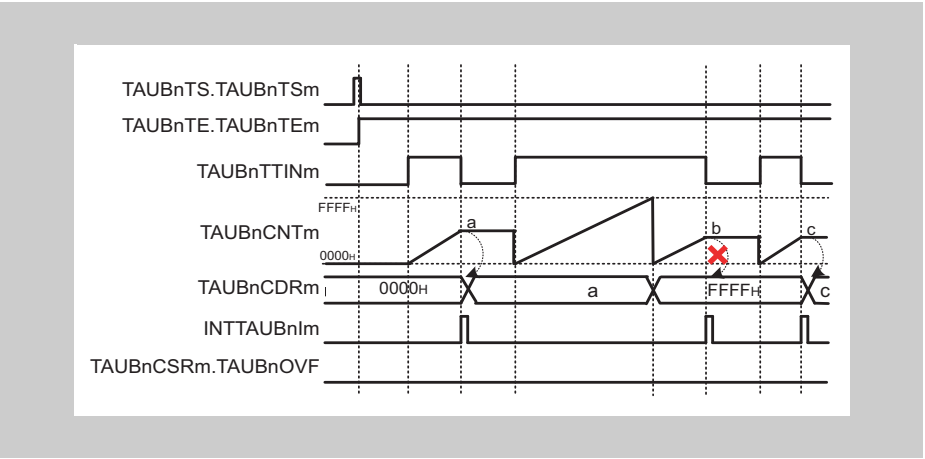


図 13-38 TAUBnCMORm.TAUBnCOS[1:0] = 10_B，TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 11_B

- オーバフローが発生すると，TAUBnCDRm は $FFFF_H$ に設定され，TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBnTTINm 入力エッジが検出されると，TAUBnCNTm が 0 にリセットされますが，TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって，オーバフロー後の次の有効な TAUBnTTINm 入力エッジは無視されます。

(d) TAUBnCMORm.TAUBnCOS[1:0] = 11_B

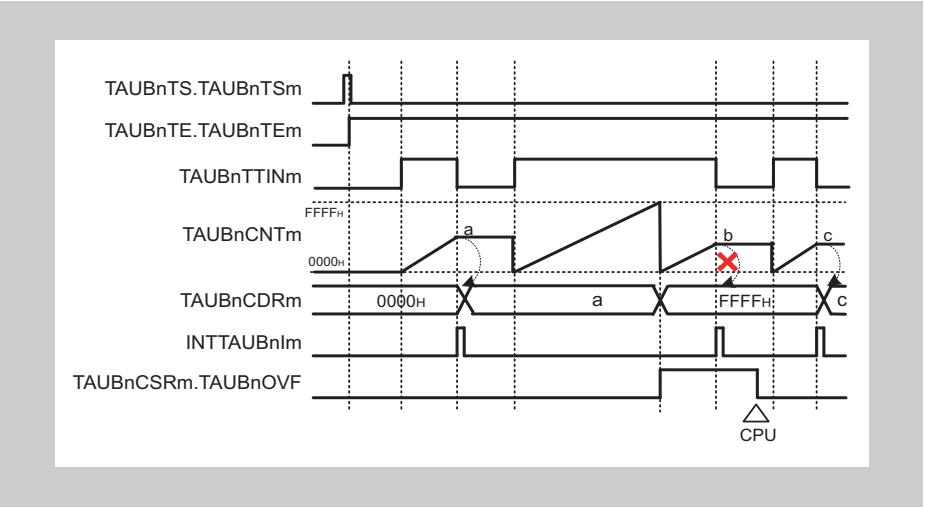


図 13-39 TAUBnCMORm.TAUBnCOS[1:0] = 11_B, TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 11_B

- オーバフローが発生すると，TAUBnCDRm は $FFFF_H$ に設定され，TAUBnCSRm.TAUBnOVF は 1 に設定されます。
- 次の有効な TAUBnTTINm 入力エッジが検出されると，TAUBnCNTm が 0 にリセットされますが，TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって，オーバフロー後の次の有効な TAUBnTTINm 入力エッジは無視されます。
- TAUBnCSRm.TAUBnOVF は，TAUBnCSCm.TAUBnCLOV = 1 を設定することでクリアされます。

13.14.3 TAUBnTTINm 入力期間カウント検出機能

(1) 概要

概要 この機能は，TAUBnTTINm 入力信号の合計幅を測定します。

前提条件
- 動作モードはキャプチャ & ゲート・カウント・モードに設定する必要があります（*478 ページの表 13-37「TAUBnTTINm 入力期間カウント検出機能の TAUBnCMORm 設定」* 参照）。
- この機能では，TAUBnTTOUTm は使用しません。

機能説明 チャネル・トリガ・ビット（TAUBnTS.TAUBnTSm）を 1 に設定すると，カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり，カウントが可能になります。カウンタは，有効な TAUBnTTINm 入力エッジを待ちます。

有効な TAUBnTTINm 入力スタート・エッジが検出されると，カウンタは，0000_H からカウントを開始します。

有効な TAUBnTTINm 入力ストップ・エッジが検出されると，TAUBnCNTm の現在値が TAUBnCDRm にロードされ，割り込み（INTTAUBnIm）が発生します。次の有効な TAUBnTTINm 入力スタート・エッジを検出するまで，カウンタは停止し，値（CDRn + 1）を保持します。

次の有効な TAUBnTTINm 入力スタート・エッジが検出されると，カウンタは，停止時の値からカウントを再開します。

カウンタ値が $FFFF_H$ になると，カウンタは 0000_H からカウント動作を再開します。

備考 TAUBnTTINm 入力信号は，TAUBnCMORm.TAUBnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。

条件 有効なスタート・エッジとストップ・エッジは，
TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。

- TAUBnCMURm.TAUBnTIS[1:0] = 10_B の場合，TAUBnTTINm 入力 Low 期間をカウントします。スタート・トリガは立ち下がりエッジ，ストップ・トリガは立ち上がりエッジです。
- TAUBnCMURm.TAUBnTIS[1:0] = 11_B の場合，TAUBnTTINm 入力 High 期間をカウントします。スタート・トリガは立ち上がりエッジ，ストップ・トリガは立ち下がりエッジです。

(2) 算出式

TAUBnTTINm 入力幅累計 =
カウント・クロック周期 ×（TAUBnCDRm キャプチャ値 + 1）

(3) ブロック図と基本タイミング図

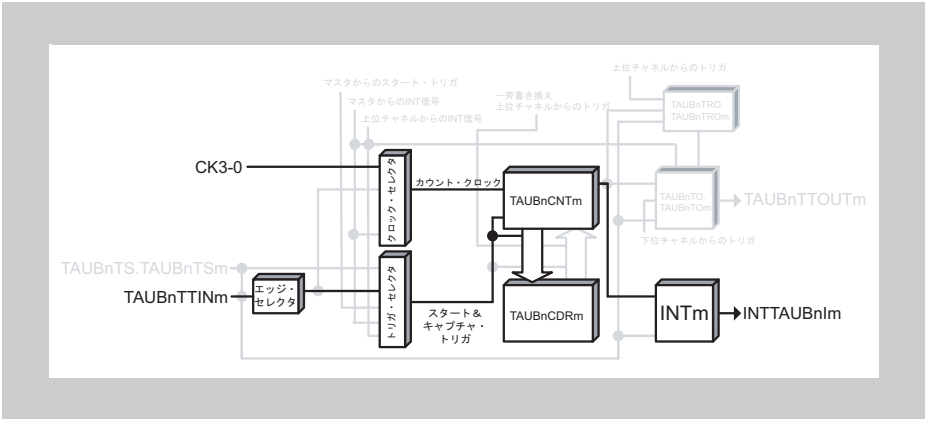


図 13-40 TAUBnTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定（TAUBnCMURm.TAUBnTIS[1:0] = 11_B）

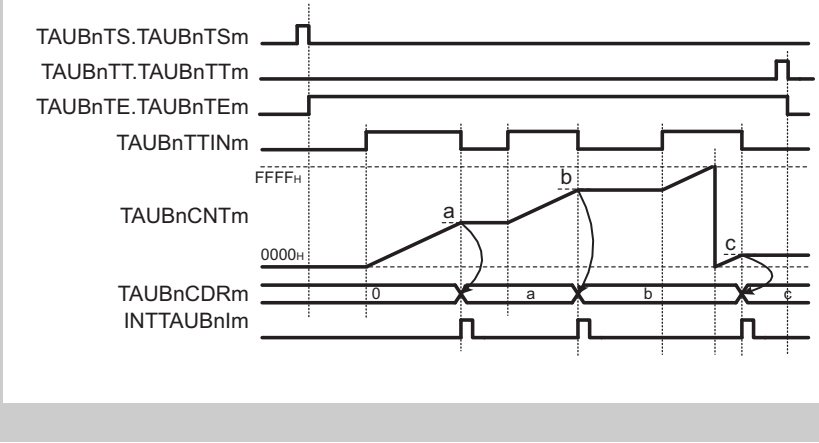


図 13-41 TAUBnTTINm 入力期間カウント検出機能の基本タイミング図

(4) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBn MAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBn MD0

表 13-37 TAUBnTTINm 入力期間カウント検出機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	0: 未使用，0 を設定
TAUBnSTS[2:0]	010: TAUBnTTINm 入力信号の有効エッジを外部スタート・トリガ，逆エッジをストップ・トリガとして使用
TAUBnCOS[1:0]	01: この値に設定してください
TAUBnMD[4:1]	1101: キャプチャ＆ゲート・カウント・モード
TAUBnMD0	0: 動作中のスタート・トリガ無効

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-38 TAUBnTTINm 入力期間カウント検出機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	10: 両エッジ検出（Low 幅測定） 11: 両エッジ検出（High 幅測定）

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため，
TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし，ソフトウエア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d)　一斉書き換え

一斉書き換えレジスタ（TAUBnRDE，TAUBnRDS，TAUBnRDM，TAUBnRDC）は，TAUBnTTINm 入力期間カウント検出機能では使用できません。したがって，これらのレジスタは 0 に設定する必要があります。

表 13-39　TAUBnTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0: 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0: 一斉書き換え禁止時 （TAUBnRDE.TAUBnRDEm = 0），0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(5)　TAUBnTTINm 入力期間カウント検出機能の操作手順

表 13-40　TAUBnTTINm 入力期間カウント検出機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm，TAUBnCMURm レジスタを，*478 ページの表 13-37「TAUBnTTINm 入力期間カウント検出機能の TAUBnCMORm 設定」*と *478 ページの表 13-38「TAUBnTTINm 入力期間カウント検出機能の TAUBnCMURm 設定」*に示すように設定します。 TAUBnCDRm レジスタはキャプチャ・レジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。 TAUBnTTINm スタート・エッジ検出	TAUBnTE.TAUBnTEm が 1 に設定され，TAUBnCNTm は TAUBnTTINm スタート・エッジ検出を待ちます。 スタート・エッジが検出されると，TAUBnCNTm は 0000_H にクリアされ，TAUBnCNTm はアップ・カウントを開始します。
動作中	TAUBnTTINm エッジ検出 TAUBnCDRm，TAUBnCNTm，TAUBnCSRm レジスタは任意のタイミングで読み出しが可能です。	TAUBnTTINm スタート・エッジ（High 幅測定なら立ち上がりエッジ，Low 幅測定なら立ち下がりエッジ）を検出すると，TAUBnCNTm は停止値よりアップ・カウントを開始します。 TAUBnCNTm は，ストップ・エッジ（High 幅測定なら立ち下がりエッジ，Low 幅測定なら立ち上がりエッジ）を検出すると，値を TAUBnCDRm に転送し，INTTAUBnIm が発生します。 カウントは TAUBnCDRm に転送した値 + 1 の値で停止し，TAUBnCNTm は TAUBnTTINm スタート・エッジの検出を待ちます。 TAUBnCNTm が $FFFF_H$ に達すると，カウンタは 0000_H からカウント動作を再開します。 以降，この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUBnCNTm は停止し，TAUBnCNTm は現在値を保持します。

動作再開

(6) 特定の設定時のタイミング図

(a) 動作の停止と再開

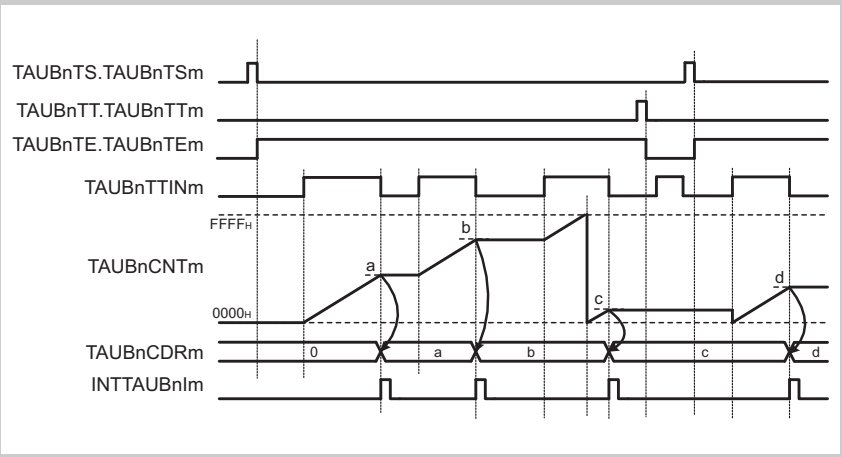


図 13-42 動作の停止と再開（TAUBnCMURm.TAUBnTIS[1:0] = 11_B）

- TAUBnTT.TAUBnTTm を 1 に設定すると，カウンタ動作を停止できます。これにより，TAUBnTE.TAUBnTEm は 0 に設定されます。
- TAUBnCNTm が停止し，現在値を保持します。
- カウンタ動作が停止している場合，TAUBnTTINm の有効な入力エッジは無視されます。
- TAUBnTS.TAUBnTSm を 1 に設定すると，カウントを再開できます。TAUBnCNTm は 0000_H からカウントを再開します。

13.14.4 TAUBnTTINm 入力パルス・インターバル判定機能

(1) 概要

概要 この機能は，TAUBnTTINm 入力パルスの発生時，カウント値（TAUBnCNTm）とチャネル・データ・レジスタ（TAUBnCDRm）の値を比較した結果を出力します。比較の結果が真の場合，割り込み信号 INTTAUBnIm が発生します。

前提条件
- 動作モードはジャッジ・モードに設定する必要があります（*483 ページの表 13-41「TAUBnTTINm 入力パルス・インターバル判定機能の TAUBnCMORm 設定」*参照）。
- この機能では，TAUBnTTOUTm は使用しません。

機能説明 チャネル・トリガ・ビット（TAUBnTS.TAUBnTSm）を 1 に設定すると，カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり，カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ，カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。

TAUBnTTINm 有効エッジが検出された場合，または TAUBnTS.TAUBnTSm が 1 に設定された場合，この機能は TAUBnCNTm と TAUBnCDRm の現在値を比較します。比較の結果が真の場合，割り込み信号 INTTAUBnIm が発生します。TAUBnCNTm は，TAUBnCDRm の値をリロードし，比較の結果に関係なく動作を継続します。

有効な TAUBnTTINm エッジを検出する前にカウンタが 0000_H に達すると，TAUBnCNTm はアンダフローし，$FFFF_H$ に設定されます。その後，カウンタはダウン・カウントを継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で，変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

条件 比較の種類を TAUBnCMORm.TAUBnMD0 ビットで指定します。
- TAUBnCMORm.TAUBnMD0 = 0 かつ TAUBnCNTm ≤ TAUBnCDRm の場合，INTTAUBnIm が発生します。
- TAUBnCMORm.TAUBnMD0 = 1 かつ TAUBnCNTm > TAUBnCDRm の場合，INTTAUBnIm が発生します。

(2) ブロック図と基本タイミング図

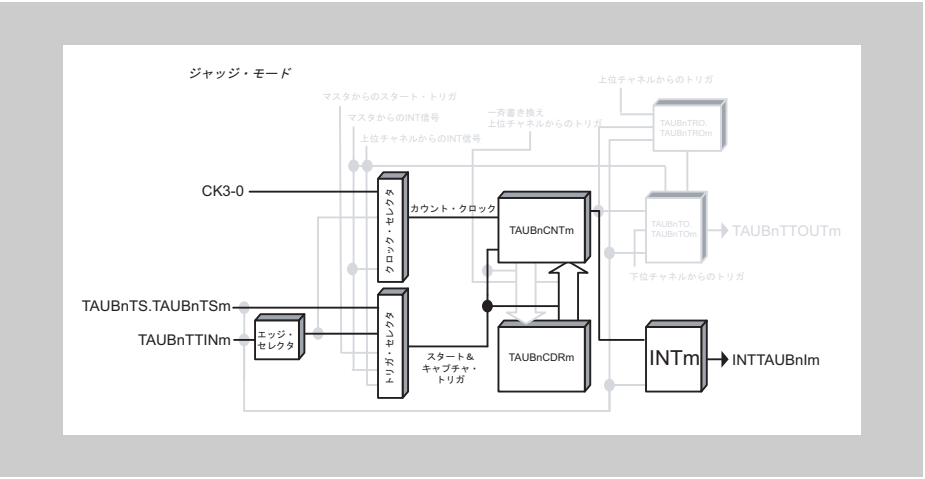


図 13-43 TAUBnTTINm 入力パルス・インターバル判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 00_B）

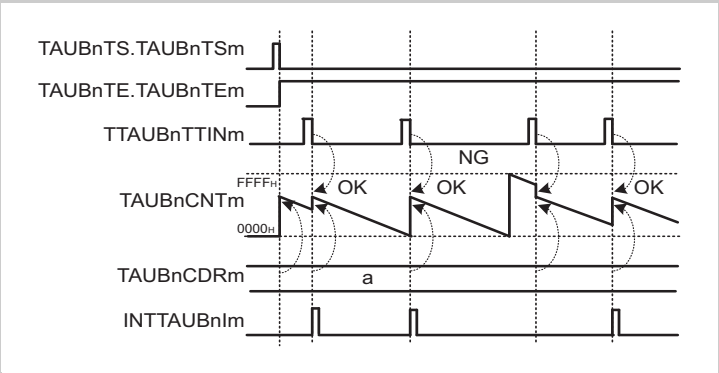


図 13-44 TAUBnTTINm 入力パルス・インターバル判定機能の基本タイミング図

(3) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBn MAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBn MD0

表 13-41 TAUBnTTINm 入力パルス・インターバル判定機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	0: 未使用，0 を設定
TAUBnSTS[2:0]	001: TAUBnTTINm 入力信号の有効エッジを外部スタート・トリガとして使用
TAUBnCOS[1:0]	00: 未使用，00 を設定
TAUBnMD[4:1]	0001: ジャッジ・モード
TAUBnMD0	0: TAUBnCNTm ≦ TAUBnCDRm の場合，INTTAUBnIm が発生 1: TAUBnCNTm > TAUBnCDRm の場合，INTTAUBnIm が発生

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-42 TAUBnTTINm 入力パルス・インターバル判定機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00: 立ち下がりエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため，TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし，ソフトウエア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE，TAUBnRDS，TAUBnRDM，TAUBnRDC）は，TAUBnTTINm 入力パルス・インターバル判定機能では使用できません。したがって，これらのレジスタは 0 に設定する必要があります。

表 13-43 TAUBnTTINm 入力パルス・インターバル判定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0: 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0: 一斉書き換え禁止時 （TAUBnRDE.TAUBnRDEm = 0），0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(4) TAUBnTTINm 入力パルス・インターバル判定機能の操作手順

表 13-44 TAUBnTTINm 入力パルス・インターバル判定機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm，TAUBnCMURm レジスタを，*483 ページの表 13-41「TAUBnTTINm 入力パルス・インターバル判定機能の TAUBnCMORm 設定」*と *483 ページの表 13-42「TAUBnTTINm 入力パルス・インターバル判定機能の TAUBnCMURm 設定」*に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され，カウントが開始されます。 TAUBnCDRm の値を TAUBnCNTm にロードします。
動作中	TAUBnTTINm エッジ検出 TAUBnCDRm 値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUBnCNTm がダウン・カウントを行います。 TAUBnTTINm 入力エッジ検出時： • 再び TAUBnCDRm の値を TAUBnCNTm にロードし，カウント動作を継続します。 • TAUBnCNTm は，値を比較し，TAUBnCMORm.TAUBnMD0 の設定にしたがって条件を判定します。 • 条件が満たされている場合，INTTAUBnIm が発生します。 以降，この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUBnCNTm が停止し，現在値を保持します。

動作再開

13.14.5 TAUBnTTINm 入力信号幅判定機能

(1) 概要

概要 この機能は，TAUBnTTINm 入力信号の有効なストップ・エッジの検出時，カウント値（TAUBnCNTm）とチャネル・データ・レジスタ（TAUBnCDRm）の値を比較した結果を出力します。比較の結果が真の場合，割り込み信号 INTTAUBnIm が発生します。

前提条件
- 動作モードは判定 & ワンカウント・モードに設定する必要があります（*488 ページの表 13-45「TAUBnTTINm 入力信号幅判定機能の TAUBnCMORm 設定」* 参照）。
- この機能では，TAUBnTTOUTm は使用しません。

機能説明 チャネル・トリガ・ビット（TAUBnTS.TAUBnTSm）を 1 に設定すると，カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり，カウントが可能になります。有効な TAUBnTTINm 入力スタート・エッジが検出されると，TAUBnCDRm の現在値が TAUBnCNTm にロードされ，カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。

有効な TAUBnTTINm ストップ・エッジが検出されると，この機能は TAUBnCNTm と TAUBnCDRm の現在値を比較します。比較の結果が真の場合，割り込み信号 INTTAUBnIm が発生します。カウンタ TAUBnCNTm は，比較の結果に関係なく，次の有効な TAUBnTTINm スタート・エッジを検出するまで値を保持します。

有効な TAUBnTTINm ストップ・エッジを検出する前にカウンタが 0000_H に達すると，TAUBnCNTm はアンダフローし，$FFFF_H$ に設定されます。その後，カウンタはダウン・カウントを継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で，変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

条件
- 比較の種類を TAUBnCMORm.TAUBnMD0 ビットで指定します。
  - TAUBnCMORm.TAUBnMD0 = 0 かつ TAUBnCNTm ≤ TAUBnCDRm の場合，INTTAUBnIm が発生します。
  - TAUBnCMORm.TAUBnMD0 = 1 かつ TAUBnCNTm > TAUBnCDRm の場合，INTTAUBnIm が発生します。
- TAUBnCMURm.TAUBnTIS[1:0] ビットで幅測定のタイプを指定します。
  - High 幅測定（TAUBnCMURm.TAUBnTIS[1:0] = 11_B の場合）では，TAUBnTTINm 立ち上がりエッジをスタート・エッジ，TAUBnTTINm 立ち下がりエッジをストップ・エッジとして使用します。
  - Low 幅測定（TAUBnCMURm.TAUBnTIS[1:0] = 10_B の場合）では，TAUBnTTINm 立ち下がりエッジをスタート・エッジ，TAUBnTTINm 立ち上がりエッジをストップ・エッジとして使用します。
- この機能では強制リスタートは行えません。

(2)　ブロック図と基本タイミング図

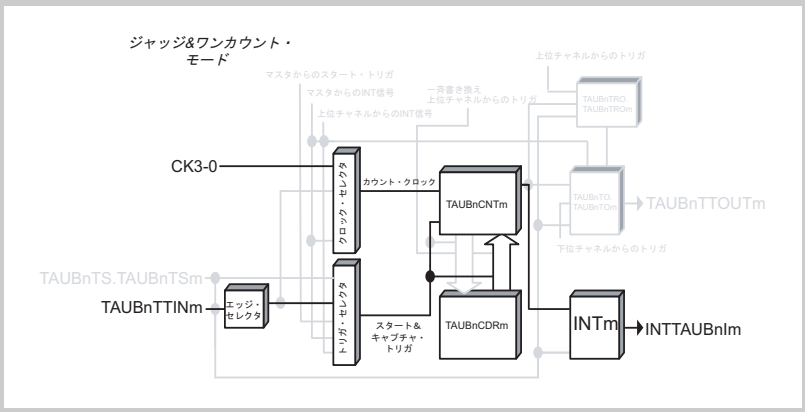


図 13-45　TAUBnTTINm 入力信号幅判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- TAUBnCNTm ≦ TAUBnCDRm （TAUBnCMORm.TAUBnMD0 = 0）の場合，INTTAUBnIm が発生します。
- TAUBnTTINm 有効スタート・エッジ = 立ち上がりエッジ，TAUBnTTINm 有効ストップ・エッジ = 立ち下がりエッジ（TAUBnCMURm.TAUBnTIS[1:0] = 11_B）

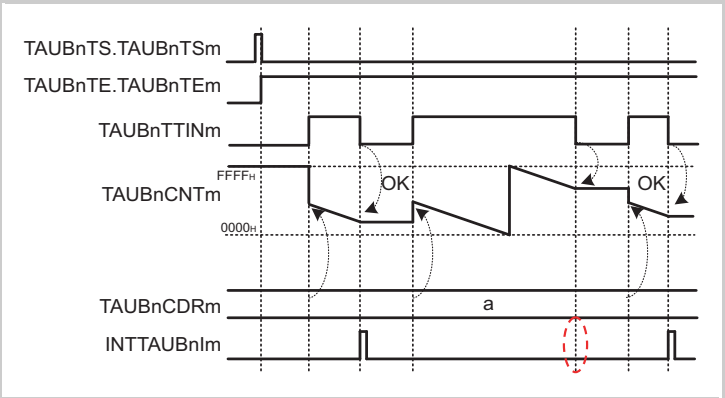


図 13-46　TAUBnTTINm 入力信号幅判定機能の基本タイミング図

(3) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBn MAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBn MD0

表 13-45 TAUBnTTINm 入力信号幅判定機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	0: 未使用，0 を設定
TAUBnSTS[2:0]	010: TAUBnTTINm 入力信号の有効エッジを外部スタート・トリガ，逆エッジをストップ・トリガとして使用
TAUBnCOS[1:0]	00: 未使用，00 を設定
TAUBnMD[4:1]	0111: ジャッジ&ワンカウント・モード
TAUBnMD0	0: TAUBnCNTm ≦ TAUBnCDRm の場合，INTTAUBnIm が発生 1: TAUBnCNTm > TAUBnCDRm の場合，INTTAUBnIm が発生

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-46 TAUBnTTINm 入力信号幅判定機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	10: 両エッジ検出（Low 幅測定） 11: 両エッジ検出（High 幅測定）

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため，
TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし，ソフトウエア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE，TAUBnRDS，TAUBnRDM，TAUBnRDC）は，TAUBnTTINm 入力信号幅判定機能では使用できません。したがって，これらのレジスタは 0 に設定する必要があります。

表 13-47 TAUBnTTINm 入力信号幅判定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0: 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0: 一斉書き換え禁止時 （TAUBnRDE.TAUBnRDEm = 0），0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(4)　TAUBnTTINm 入力信号幅判定機能の操作手順

表 13-48　TAUBnTTINm 入力信号幅判定機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm，TAUBnCMURm レジスタを，*488 ページの表 13-45「TAUBnTTINm 入力信号幅判定機能の TAUBnCMORm 設定」*と *488 ページの表 13-46「TAUBnTTINm 入力信号幅判定機能の TAUBnCMURm 設定」*に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。 TAUBnTTINm スタート・エッジ検出	TAUBnTE.TAUBnTEm が 1 に設定され，TAUBnCNTm は TAUBnTTINm スタート・エッジ検出を待ちます。 TAUBnTTINm スタート・エッジが検出されると，TAUBnCDRm の値を TAUBnCNTm にロードします。
動作中	TAUBnTTINm エッジ検出 TAUBnCDRm 値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUBnCNTm がダウン・カウントを行います。 TAUBnTTINm ストップ・エッジ検出時： • TAUBnCNTm は停止し，TAUBnTTINm スタート・エッジ検出を待ちます。 • TAUBnCNTm は，値を比較し，TAUBnCMORm.TAUBnMD0 の設定にしたがって条件を判定します。 • 条件が満たされている場合，INTTAUBnIm が発生します。 以降，この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUBnCNTm が停止し，現在値を保持します。

動作再開

13.15　チャネル単体一斉書き換え機能

この節では，一斉書き換え機能について説明します。

- 13.15.1「一斉書き換えトリガ生成機能タイプ 1」

13.15.1 一斉書き換えトリガ生成機能タイプ1

(1) 概要

概要 下位チャネルが一斉書き換えトリガとして使用できる割り込みを，特定チャネル上で発生する機能です。この割り込みは一定間隔で発生します。上位チャネルは一斉書き換えトリガを生成するチャネル（TAUBnRDC.TAUBnRDCm = 1），下位チャネルは上位チャネルのトリガを受けて一斉書き換えを行うチャネル（TAUBnRDC.TAUBnRDCm = 0）です。

前提条件
- 上位チャネルとして使用するチャネルより下位の2チャネル以上で，それぞれ一斉書き換えが許可されている（TAUBnRDE.TAUBnRDEm = 1）
- 上位チャネルの動作モードは，インターバル・タイマ・モードに設定する必要があります（*495 ページの表 13-49「一斉書き換えトリガ生成機能タイプ1 の TAUBnCMORm 設定」*参照）。
- 下位チャネルに設定可能な動作モードは，*418 ページの表 13-9「一斉書き換え方法とトリガ・タイミング」*を参照してください。
- この機能では，TAUBnTTOUTm はいずれのチャネルでも使用しません。

機能説明 上位チャネル，下位チャネルのチャネル・トリガ・ビット（TAUBnTS.TAUBnTSm）を1に設定すると，カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり，カウントが可能になります。上位チャネルのデータ・レジスタ・バッファ（TAUBnCDRm buf）の現在値がカウンタ（TAUBnCNTm）にロードされ，カウンタはこの値からダウン・カウントを開始します。下位チャネルのカウンタは，選択されている動作モードにしたがってカウントを開始します。

カウンタが 0000_H になると，そのチャネルで割り込みが発生します。対応する TAUBnCDRm バッファの現在値を TAUBnCNTm にロードし，以降，動作を継続します。

割り込みが発生したチャネルが一斉書き換えのトリガ・チャネルとして設定されていて（TAUBnRDC.TAUBnRDCm = 1），さらにそれが上位チャネルである場合，一斉書き換えが可能な状態（TAUBnRSF.TAUBnRSFm = 1）にあるすべての下位チャネルで一斉書き換えが行われます。

データ・レジスタの値は対応するデータ・レジスタ・バッファにコピーされます。カウンタはダウン・カウントを開始するたびにデータ・レジスタ・バッファの値を読み出して，その値からダウン・カウントを行います。

データ・レジスタの値は任意のタイミングで変更可能ですが，一斉書き換え実行時には対応するデータ・レジスタ・バッファに転送されるのみです。

条件
- INTTAUBnIm の発生を検出するチャネルは，該当チャネルに TAUBnRDC.TAUBnRDCm = 1 を設定することにより指定します。一斉書き換えを行う必要のあるその他すべてのチャネルは，TAUBnRDC.TAUBnRDCm ビットを0に設定しておく必要があります。
- TAUBnCMORm.TAUBnMD0 ビットが0に設定されている場合，動作開始または再開後の最初の割り込みは発生しません。436 ページの 13.10「カウント開始／リスタート時の TAUBnTTOUTm 出力と INTTAUBnIm 生成（TAUBnMD0 ビット）」を参照してください。

(2)　算出式

一斉書き換えトリガの生成周期 =
カウント・クロック周期 ×（TAUBnCDRm ＋ 1）

一斉書き換えを制御するには，次の条件が満たされている必要があります。

［PWM の場合］

TAUBnCDRm = [（一斉書き換え対象マスタ・チャネルの TAUBnCDRm 値 ＋ 1）× 割り込み数] － 1

［三角波 PWM の場合］

TAUBnCDRm = [（一斉書き換え対象マスタ・チャネルの TAUBnCDRm 値 ＋ 1）× 2 × 割り込み数] － 1

つまり，TAUBnCDRm + 1 と TAUBnCDRm_master + 1 の比は整数である必要があります。この整数は割り込み数に対応しています。

三角波 PWM の場合は，周期が 2 倍になるので注意してください。

(3)　ブロック図と基本タイミング図

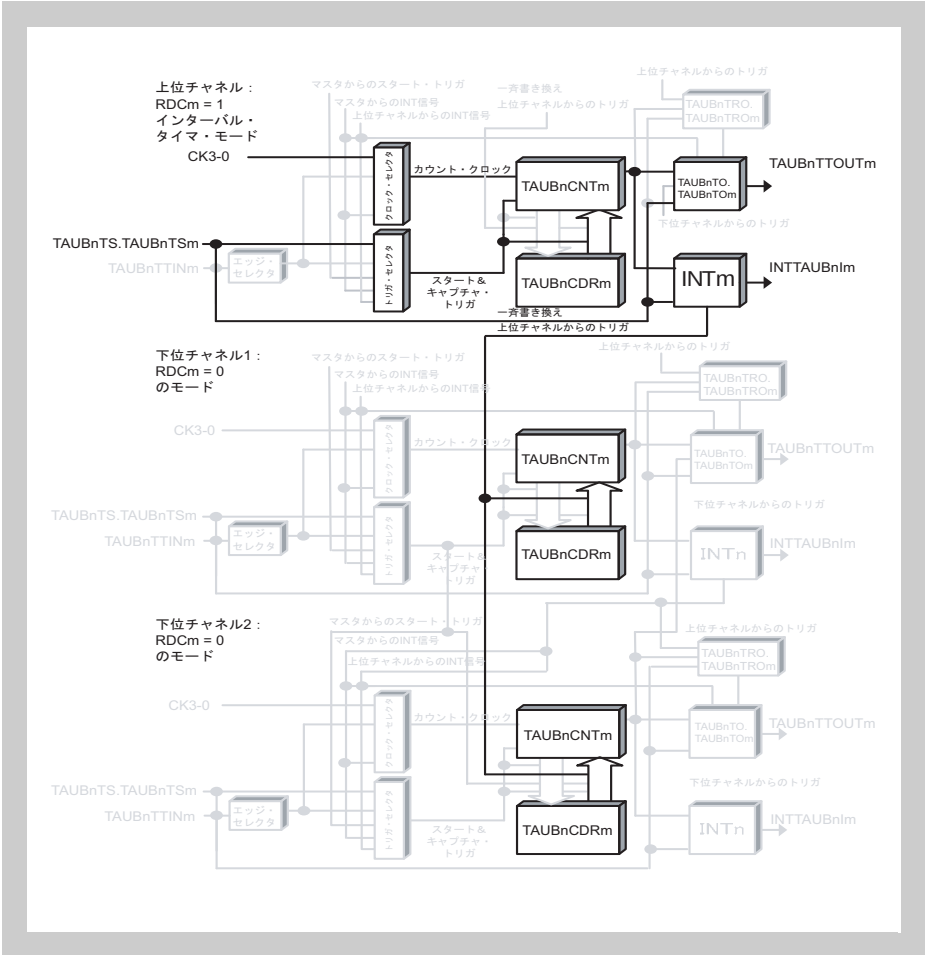


図 13-47　一斉書き換えトリガ生成機能タイプ 1 のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0 = 1）

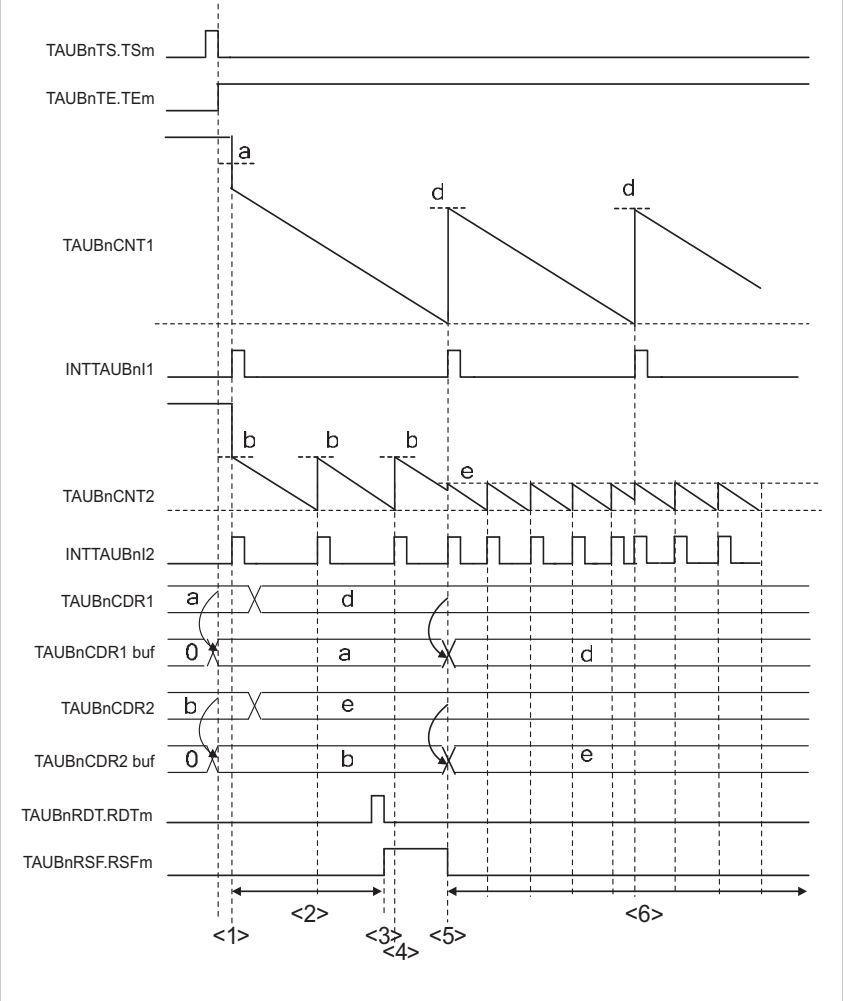


図 13-48 一斉書き換えトリガ生成機能タイプ 1 の基本タイミング図

説明

1. TAUBnTS.TAUBnTSm = 1 に設定すると，TAUBnCDRm の値が TAUBnCDRm バッファにコピーされます。
2. TAUBnCDRm レジスタは常に書き込めます。
3. リロード・データ・トリガ・ビット（TAUBnRDT.TAUBnRDTm）を 1 に設定することにより，ステータス・フラグが設定され（TAUBnRSF.TAUBnRSFm = 1），一斉書き換えが許可されます。
4. 一斉書き換えは，CH1 の割り込みのみによってトリガされるため，許可されていても行われません。
5. 一斉書き換えは，TAUBnCNT1 が 0000H に達したときに発生する INTTAUBnI1 をトリガとして行われます。TAUBnCDRm の値は対応する TAUBnCDRm バッファにロードされます。
6. カウンタはダウン・カウントし，次の一斉書き換えトリガを待ちます。TAUBnCDRm レジスタの値は再変更できます。

(4) 上位チャネルのレジスタ設定

(a) 上位チャネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBn MAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBn MD0

表 13-49 一斉書き換えトリガ生成機能タイプ 1 の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	0: 未使用，0 を設定
TAUBnSTS[2:0]	000: ソフトウエアでカウンタをトリガ
TAUBnCOS[1:0]	00: 未使用，00 を設定
TAUBnMD[4:1]	0000: インターバル・タイマ・モード
TAUBnMD0	0: 動作開始時に INTTAUBnIm が発生しない 1: 動作開始時に INTTAUBnIm が発生する

(b) 上位チャネルの TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-50 一斉書き換えトリガ生成機能タイプ 1 の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00: 未使用，00 を設定

(c) 上位チャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため，
TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし，ソフトウエア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 上位チャネルの一斉書き換え

表 13-51 一斉書き換えトリガ生成機能タイプ1の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	1: 上位の1チャネルを一斉書き換えの制御チャネルとして選択
TAUBnRDM.TAUBnRDMm	0: マスタ・チャネルがカウントを開始すると，一斉書き換え制御信号をロード
TAUBnRDC.TAUBnRDCm	1: チャネルで一斉書き換えのトリガとなるINTTAUBnIm信号をモニタ

(5) 下位チャネルのレジスタ設定

(a) 下位チャネルの TAUBnCMORm

下位チャネルの TAUBnCMORm レジスタは，設定可能な動作モードの TAUBnCMORm レジスタ設定に従ってください（*418 ページの表 13-9「一斉書き換え方法とトリガ・タイミング」*を参照してください）。

(b) 下位チャネルの TAUBnCMURm

下位チャネルの TAUBnCMURm レジスタは，設定可能な動作モードの TAUBnCMURm レジスタ設定に従ってください（*418 ページの表 13-9「一斉書き換え方法とトリガ・タイミング」*を参照してください）。

(c) 下位チャネルのチャネル出力モード

下位チャネルの動作モード（マスタ・スレーブ）設定に従った出力が可能です。

(d) 下位チャネルの一斉書き換え

表 13-52 一斉書き換えトリガ生成機能タイプ1時の下位チャネル一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	1: 上位の1チャネルを一斉書き換えの制御チャネルとして選択
TAUBnRDM.TAUBnRDMm	0: マスタ・チャネルがカウントを開始すると，一斉書き換え制御信号をロード
TAUBnRDC.TAUBnRDCm	0: チャネルで一斉書き換えのトリガとなるINTTAUBnIm信号をモニタしない

(6)　一斉書き換えトリガ生成機能タイプ1の操作手順

表 13-53　一斉書き換えトリガ生成機能タイプ1の操作手順

	操作	TAUBnの状態
チャネルの初期設定	上位チャネルのTAUBnCMORmレジスタとTAUBnCMURmレジスタを，*495 ページの表 13-49「一斉書き換えトリガ生成機能タイプ1の TAUBnCMORm 設定」*と *495 ページの表 13-50「一斉書き換えトリガ生成機能タイプ1の TAUBnCMURm 設定」*に示すように設定します。 下位チャネルのTAUBnCMORmレジスタとTAUBnCMURmレジスタを，(5)「下位チャネルのレジスタ設定」に示すように設定します。 TAUBnCDRmレジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSmを1に設定します。 TAUBnTS.TAUBnTSmはトリガ・ビットなので，自動的に0にクリアされます。	TAUBnTE.TAUBnTEmが1に設定され，カウントが開始されます。 TAUBnCDRmの値をTAUBnCNTmにロードします。TAUBnCMORm.TAUBnMD0 = 1の場合，INTTAUBnImが発生します。
動作中	TAUBnRDT.TAUBnRDTm，TAUBnCDR.CDRmは変更可能です。 TAUBnRSF.TAUBnRSFmは常に読み出し可能です。	TAUBnCNTmがダウン・カウントを行います。カウンタが0000_Hになった場合： • 再びTAUBnCDRmの値をTAUBnCNTmにロードし，カウント動作を継続します。 • INTTAUBnImが発生します。 TAUBnRDC.TAUBnRDCmが1に設定されているチャネルでINTTAUBnImが発生すると，一斉書き換えが制御されます。 以降，この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTmを1に設定します。 TAUBnTT.TAUBnTTmはトリガ・ビットなので，自動的に0にクリアされます。	TAUBnTE.TAUBnTEmが0にクリアされ，カウンタ動作が停止します。 TAUBnCNTmは停止し，TAUBnCNTmは現在値を保持します。

動作再開

13.16　その他のチャネル単体機能

この節では，一定数の TAUBnTTINm パルスが発生すると割り込みを発生する機能，TAUBnTTINm の周波数を分周する機能，機能使用開始から TAUBnTTINm 入力信号までの期間を測定する機能を説明します。

- 13.16.1「外部イベント・カウント機能」
- 13.16.2「クロック分周機能」
- 13.16.3「TAUBnTTINm 入力位置検出機能」

13.16.1 外部イベント・カウント機能

(1) 概要

概要 この機能は，イベント・タイマとして使用します。特定数の TAUBnTTINm 入力パルスが発生すると割り込み（INTTAUBnIm）を発生します。

前提条件
- 動作モードはイベント・カウント・モードに設定する必要があります（*501 ページの表 13-54「外部イベント・カウント機能の TAUBnCMORm 設定」*参照）。
- この機能では，TAUBnTTOUTm は使用しません。

機能説明 チャネル・トリガ・ビット（TAUBnTS.TAUBnTSm）を 1 に設定すると，カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり，カウントが可能になります。カウントが開始されると，TAUBnCDRm の現在値が TAUBnCNTm にロードされます。

有効な TAUBnTTINm 入力エッジを検出すると，TAUBnCNTm 値はデクリメントされます。TAUBnCNTm は，有効な TAUBnTTINm 入力エッジが検出されるかカウントが再開するまでこの値を保持します。

カウンタ値が 0000_H になると，INTTAUBnIm が発生します。その後，TAUBnCDRm 値を TAUBnCNTm にロードし，以降，動作を継続します。

TAUBnTT.TAUBnTTm を 1 に設定すると，カウンタ動作を停止できます。これにより，TAUBnTE.TAUBnTEm は 0 に設定されます。
TAUBnTS.TAUBnTSm を 1 に設定すると，カウンタ動作を再開できます。カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると，いったん停止せずにカウントを再開できます（強制リスタート）。

TAUBnCDRm 値は任意のタイミングで書き換え可能で，変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

条件 トリガとして使用するエッジの種類は，TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。
- TAUBnCMURm.TAUBnTIS[1:0] = 00_B の時は，立ち下がりエッジがカウントされます。
- TAUBnCMURm.TAUBnTIS[1:0] = 01_B の時は，立ち上がりエッジがカウントされます。
- TAUBnCMURm.TAUBnTIS[1:0] = 10_B の時は，両エッジがカウントされます。

(2) 算出式

INTTAUBnIm 発生前に検出される有効エッジ数 = TAUBnCDRm ＋ 1

(3) ブロック図と基本タイミング図

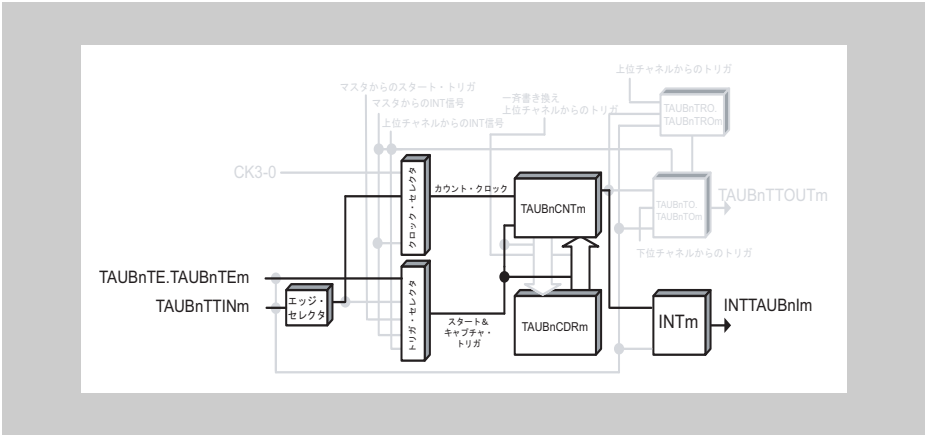


図 13-49 外部イベント・カウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち上がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 01_B）

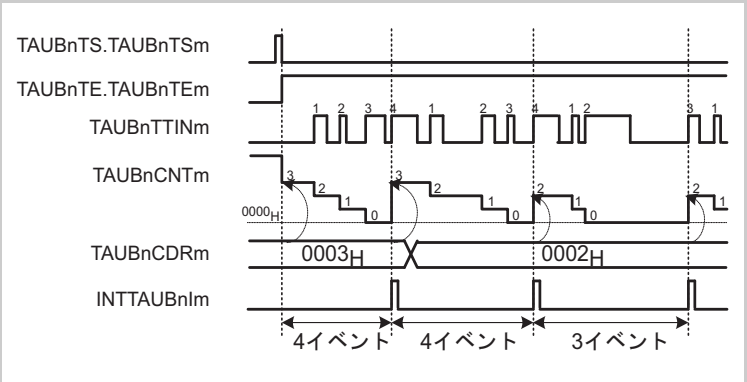


図 13-50 外部イベント・カウント機能の基本タイミング図

(4) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBn MAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBn MD0

表 13-54 外部イベント・カウント機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUBnCCS[1:0]	01: 有効な TAUBnTTINm 入力エッジをカウント・クロックとして 使用
TAUBnMAS	0: 未使用，0 を設定
TAUBnSTS[2:0]	000: ソフトウエアでカウンタをトリガ
TAUBnCOS[1:0]	00: 未使用，00 を設定
TAUBnMD[4:1]	0011: イベント・カウント・モード
TAUBnMD0	0: 動作開始時に INTTAUBnIm が発生しない

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-55 外部イベント・カウント機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00: 立ち下がりエッジ 01: 立ち上がりエッジ 10: 両エッジ

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しません。ただし，ソフトウエア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE，TAUBnRDS，TAUBnRDM，TAUBnRDC）は，外部イベント・カウント機能では使用できません。したがって，これらのレジスタは0に設定する必要があります。

表 13-56 外部イベント・カウント機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0: 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0: 一斉書き換え禁止時 （TAUBnRDE.TAUBnRDEm = 0），0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(5)　外部イベント・カウント機能の操作手順

表 13-57　外部イベント・カウント機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm，TAUBnCMURm レジスタを，*501 ページの表 13-54「外部イベント・カウント機能の TAUBnCMORm 設定」*と *501 ページの表 13-55「外部イベント・カウント機能の TAUBnCMURm 設定」*に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され，カウントが開始されます。 TAUBnCNTm は TAUBnCDRm 値をロードし，TAUBnTTINm 入力エッジ検出を待ちます。
動作中	TAUBnTTINm エッジ検出 TAUBnCDRm 値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUBnCNTm は TAUBnTTINm 入力エッジを検出するたびに，ダウン・カウントを行います。カウンタが 0000_H になった場合： • TAUBnCDRm 値を TAUBnCNTm にロードし，カウント動作を継続します。 • INTTAUBnIm が発生します。 以降，この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUBnCNTm が停止し，現在値を保持します。

動作再開

(6) 特定の設定時のタイミング図

(a) TAUBnCDRm = 0000_H

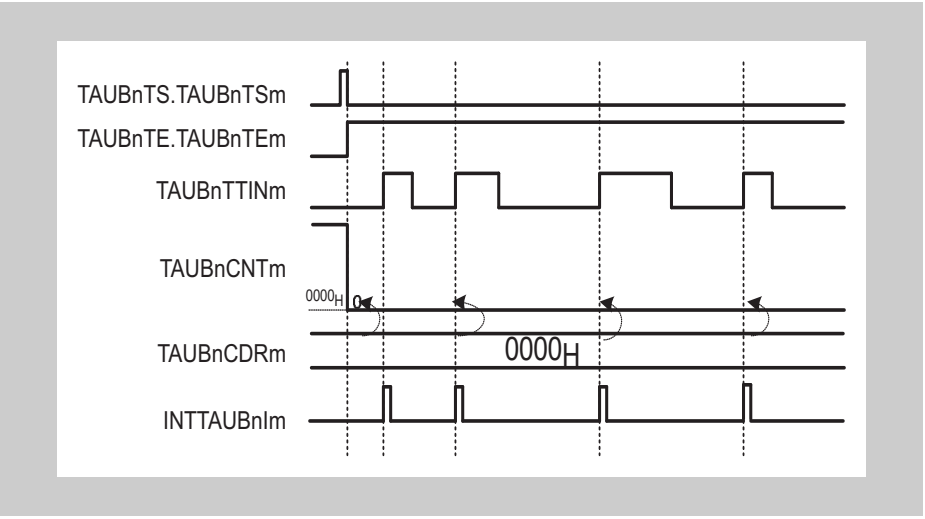


図 13-51 TAUBnCDRm = 0000_H，TAUBnCMURm.TAUBnTIS[1:0] = 01_B

- 0000_H = TAUBnCDRm の場合，有効な TAUBnTTINm 入力エッジが検出されるたびに 0000_H が TAUBnCNTm にロードされます。

  つまり，有効な TAUBnTTINm 入力エッジが検出されるたびに，INTTAUBnIm が発生します。

(b) 動作の停止と再開

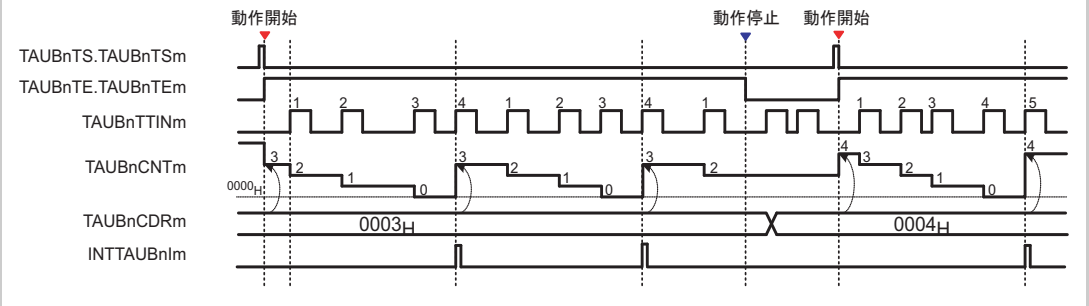


図 13-52 動作の停止と再開（TAUBnCMURm.TAUBnTIS[1:0] = 01_B）

- TAUBnTT.TAUBnTTm を 1 に設定すると，カウンタ動作を停止できます。これにより，TAUBnTE.TAUBnTEm は 0 に設定されます。
- TAUBnCNTm が停止し，現在値を保持します。TAUBnTTINm は継続し，TAUBnCNTm は有効エッジを無視します。
- TAUBnTS.TAUBnTSm を 1 に設定すると，カウントを再開できます。TAUBnCNTm は TAUBnCDRm 値をロードし，カウント動作を再開します。

(c) 強制リスタート

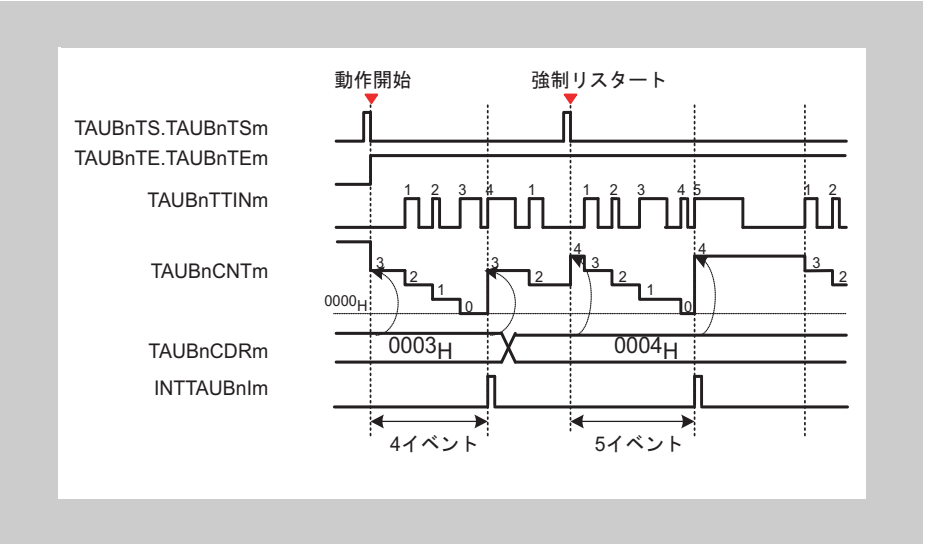


図 13-53 強制リスタート（TAUBnCMURm.TAUBnTIS[1:0] = 01_B）

強制リスタートを行うと，変更点がただちに TAUBnCDRm に適用されます。

- 動作中に TAUBnTS.TAUBnTSm を 1 に設定すると，いったん停止しなくてもカウントを再開できます。
- TAUBnCDRm の値が TAUBnCNTm にロードされ，カウンタは次の有効な TAUBnTTINm 入力エッジを待ちます。

13.16.2 クロック分周機能

(1) 概要

概要 この機能は，周波数の分周に使用します。TAUBnTTINm 入力信号の周波数を TAUBnCDRm の係数で分周し，結果として得られる信号を TAUBnTTOUTm に出力します。

前提条件
- TAUBnTTINm の周波数は固定である必要があります。
- 動作モードはインターバル・タイマ・モードに設定する必要があります（*508 ページの表 13-58「クロック分周機能の TAUBnCMORm 設定」*参照）。
- チャネル出力モードは，チャネル単体出力モード 1 に設定する必要があります。*428 ページの 13.8「チャネル出力モード」*を参照してください。

機能説明 チャネル・トリガ・ビット（TAUBnTS.TAUBnTSm）を 1 に設定すると，カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり，カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ，カウンタは TAUBnTTINm をカウント・クロックとして使用し，その TAUBnCDRm 値からダウン・カウントを開始します。

カウンタ値が 0000_H になると，INTTAUBnIm が発生し，TAUBnTTOUTm 信号がトグルされます。その後，TAUBnCDRm 値を TAUBnCNTm にロードし，以降，動作を継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で，変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

TAUBnTT.TAUBnTTm を 1 に設定すると，カウンタ動作を停止できます。これにより，TAUBnTE.TAUBnTEm は 0 に設定されます。TAUBnCNTm と TAUBnTTOUTm は停止しますが，値は保持します。TAUBnTS.TAUBnTSm を 1 に設定すると，機能を再開できます。カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると，いったん停止せずにカウントを再開できます（強制リスタート）。

条件 TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合，動作開始または再開後の最初の割り込みは発生せず，TAUBnTTOUTm のトグルも行われません。これにより，TAUBnCMORm.TAUBnMD0 が 1 に設定された場合に対して，反転された TAUBnTTOUTm 信号が出力されます。詳細は 436 ページの 13.10「カウント開始／リスタート時の TAUBnTTOUTm 出力と INTTAUBnIm 生成（TAUBnMD0 ビット）」を参照してください。

備考 TAUBnTTINm 入力信号は TAUBnCMORm.TAUBnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって，TAUBnTTOUTm の出力クロックの周期には，動作クロック ±1 周期分の誤差があります。

(2) 算出式

- 立ち上がりエッジ検出選択時：
  TAUBnTTOUTm 周波数 = TAUBnTTINm 周波数／[（TAUBnCDRm ＋ 1）× 2]
- 立ち下がりエッジ検出選択時：
  TAUBnTTOUTm 周波数 = TAUBnTTINm 周波数／[（TAUBnCDRm ＋ 1）× 2]
- 両エッジ検出選択時：
  TAUBnTTOUTm 周波数 = TAUBnTTINm 周波数／（TAUBnCDRm ＋ 1）

(3) ブロック図と基本タイミング図

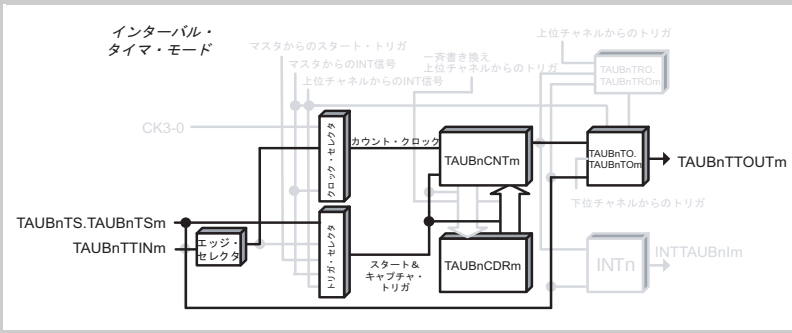


図 13-54 クロック分周機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0 = 1）
- 立ち上がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 01_B）

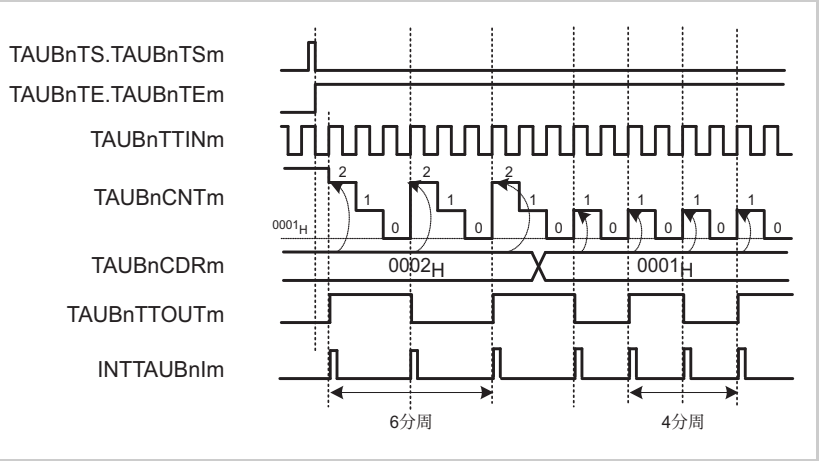


図 13-55 クロック分周機能の基本タイミング図

(4) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBnMAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBnMD0

表 13-58 クロック分周機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUBnCCS[1:0]	01: 有効な TAUBnTTINm 入力エッジをカウント・クロックとして使用
TAUBnMAS	0: 未使用，0 を設定
TAUBnSTS[2:0]	000: ソフトウエアでカウンタをトリガ
TAUBnCOS[1:0]	00: 未使用，00 を設定
TAUBnMD[4:1]	0000: インターバル・タイマ・モード
TAUBnMD0	0: 動作開始時に INTTAUBnIm が発生せず，TAUBnTTOUTm はトグルされない 1: 動作開始時に INTTAUBnIm が発生し，TAUBnTTOUTm はトグルされる

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-59 クロック分周機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00: 立ち下がりエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出

(c) チャネル出力モード

表 13-60 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャネル単体出力
TAUBnTOC.TAUBnTOCm	0: 動作モード1（TAUBnTOM.TAUBnTOMm = 0時はトグル・モード）
TAUBnTOL.TAUBnTOLm	0: 正論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時（TAUBnTDE.TAUBnTDEm = 0），0を設定

備考 チャネル出力モードは，TAUBnTOE.TAUBnTOEm = 0を設定して，ソフトウエア制御のチャネル出力モードに設定することも可能です。この場合，TAUBnTTOUTmを割り込みとは独立させて制御することができます。詳細は429ページの表13-10「チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE，TAUBnRDS，TAUBnRDM，TAUBnRDC）は，クロック分周機能では使用できません。したがって，これらのレジスタは0に設定する必要があります。

表 13-61 クロック分周機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0: 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0: 一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm = 0），0を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(5)　クロック分周機能の操作手順

表 13-62　クロック分周機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm，TAUBnCMURm レジスタを，*508 ページの表 13-58「クロック分周機能の TAUBnCMORm 設定」*と *508 ページの表 13-59「クロック分周機能の TAUBnCMURm 設定」*に示すように設定します。 TAUBnCDRm レジスタの値を設定します。 制御ビットを *509 ページの表 13-60「チャネル単体出力モード 1 時の制御ビット設定」*に示すように設定して，チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され，カウントが開始されます。 TAUBnCNTm は TAUBnCDRm 値をロードします。TAUBnCMORm.TAUBnMD0 が 1 の場合は，INTTAUBnIm が発生し，TAUBnTTOUTm がトグルされます。
動作中	TAUBnCDRm 値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは常に読み出し可能です。	TAUBnTTINm 入力エッジを検出すると，TAUBnCNTm はダウン・カウントを行います。カウンタが 0000_H になった場合： • TAUBnCDRm 値を TAUBnCNTm にロードし，カウント動作を継続します。 • INTTAUBnIm が発生します。 • TAUBnTTOUTm がトグルされます。 以降，この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUBnCNTm は停止し，TAUBnCNTm と TAUBnTTOUTm は現在値を保持します。

動作再開

(6)　特定の設定時のタイミング図

(a)　TAUBnCDRm = 0000_H

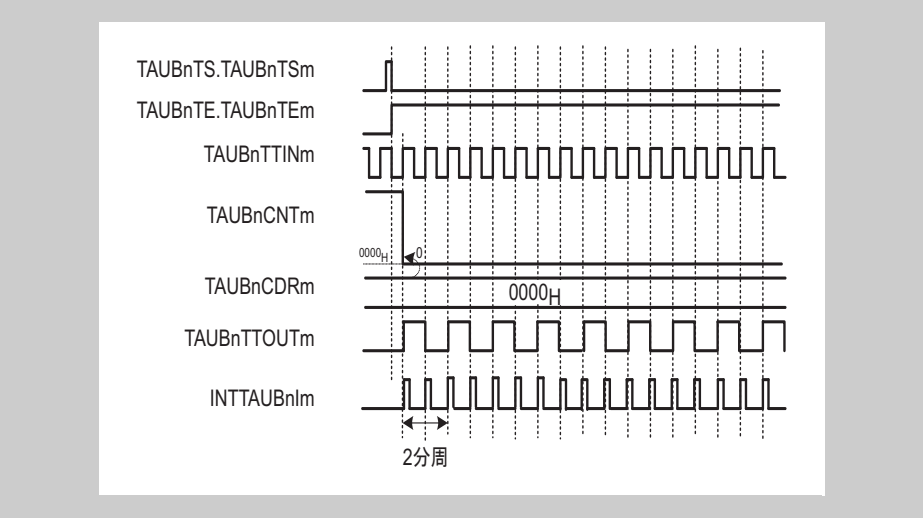


図 13-56　TAUBnCDRm = 0000_H，TAUBnCMORm.TAUBnMD0 = 1，TAUBnCMURm.TAUBnTIS[1:0] = 01_B

- TAUBnCDRm が 0000_H ならば，TAUBnCNTm も必ず 0000_H です。
- INTTAUBnIm がカウント・クロックごとに発生するので，TAUBnTTOUTm はカウント・クロックごとにトグルされます。

図 13-56 は動作タイミングのイメージです。実際は，TAUBnIm 端子から TAUBn の間にあるノイズフィルタや同期化回路の遅延時間があるため，TINm 検出から TOUTm 出力までディレイが存在します。

(b)　動作再開

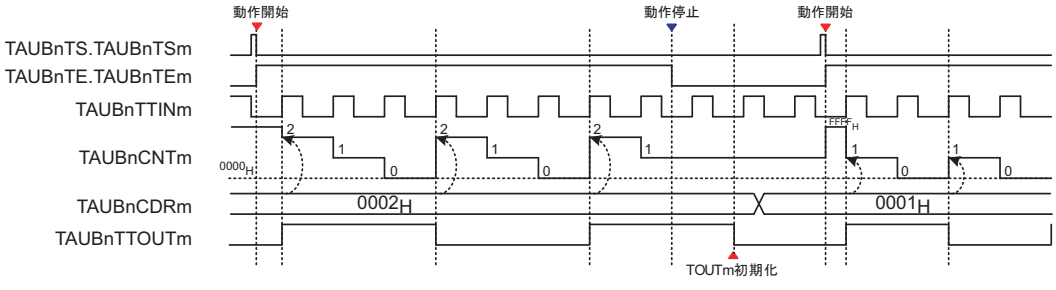


図 13-57　動作再開（TAUBnCMORm.TAUBnMD0 = 1，TAUBnCMURm.TAUBnTIS[1:0] = 01_B）

TAUBnTTOUTm 値のリセット方法を以下に示します。

- カウンタ停止時（TAUBnTE.TAUBnTEm = 0）に TAUBnTOE.TAUBnTOEm = 0 を設定。
- その後，TAUBnTO.TAUBnTOm に 0 または 1 を書き込んで，TAUBnTTOUTm の新しいスタート値を設定。

(c) 強制リスタート

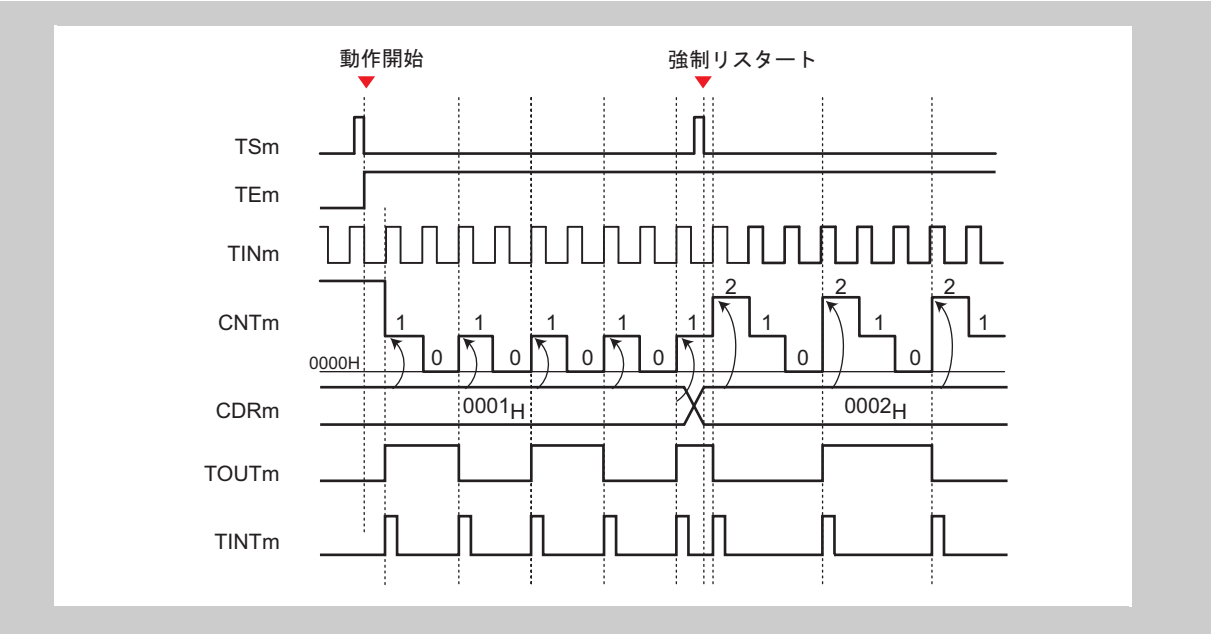


図 13-58 強制リスタート（TAUBnCMORm.TAUBnMD0 = 1, TAUBnCMURm.TAUBnTIS[1:0] = 01_B）

TAUBnTTOUTm 値のリセット方法を以下に示します。

- カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると，いったん停止しなくてもカウントを再開できます（強制リスタート）。
- TAUBnCDRm の値が TAUBnCNT に書き込まれ，カウント動作が再開します。
- TAUBnTTOUTm は強制リスタート前と同じ出力レベルで再開します。

13.16.3 TAUBnTTINm 入力位置検出機能

(1) 概要

概要 機能使用開始から TAUBnTTINm 入力信号までの期間を測定する機能です。

前提条件
- 動作モードはカウント・キャプチャ・モードに設定する必要があります（*515 ページの表 13-63「TAUBnTTINm 入力位置検出機能の TAUBnCMORm 設定」* 参照）。
- この機能では，TAUBnTTOUTm は使用しません。

機能説明 チャネル・トリガ・ビット（TAUBnTS.TAUBnTSm）を 1 に設定すると，カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり，カウントが可能になります。カウンタは，0000_H からカウントを開始します。

有効な TAUBnTTINm 入力エッジが検出されると，TAUBnCNTm の現在値が TAUBnCDRm にロードされ，割り込み（INTTAUBnIm）が発生します。カウント動作は継続します。

カウンタ値が $FFFF_H$ になると，カウンタは 0000_H からカウント動作を再開します。

備考 TAUBnTTINm 入力信号は TAUBnCMORm.TAUBnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって，TAUBnTTOUTm の出力クロックの周期には，動作クロック ±1 周期分の誤差があります。

条件 TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合，動作開始または再開後の最初の割り込みは発生しません。詳細は *436 ページの 13.10「カウント開始／リスタート時の TAUBnTTOUTm 出力と INTTAUBnIm 生成（TAUBnMD0 ビット）」* を参照してください。

(2) 算出式

TAUBnTTINm 入力パルスでの機能時間 =

カウント・クロック周期 ×（TAUBnCDRm キャプチャ値 + 1）

(3) ブロック図と基本タイミング図

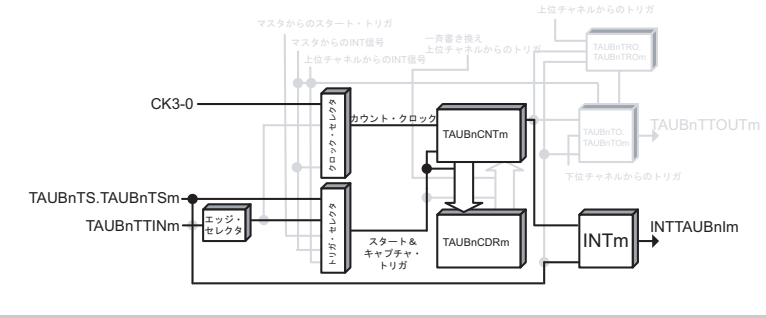


図 13-59 TAUBnTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生しない
（TAUBnCMORm.TAUBnMD0 = 0）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 00_B）

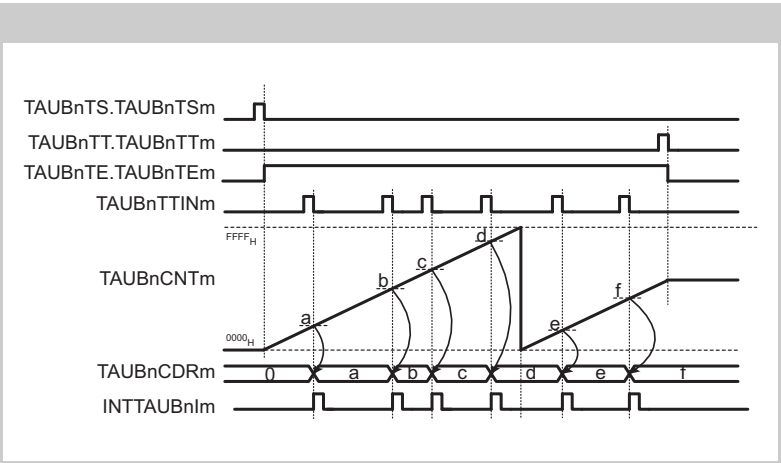


図 13-60 TAUBnTTINm 入力位置検出機能の基本タイミング図

(4) レジスタ設定

(a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBnMAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBnMD0

表 13-63 TAUBnTTINm 入力位置検出機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	0: 未使用，0 を設定
TAUBnSTS[2:0]	001: 有効な TAUBnTTINm 入力エッジ信号を外部キャプチャ・トリガとして使用
TAUBnCOS[1:0]	01: この値に設定してください
TAUBnMD[4:1]	1011: カウント・キャプチャ・モード
TAUBnMD0	0: 動作開始時に INTTAUBnIm が発生しない 1: 動作開始時に INTTAUBnIm が発生する

(b) TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-64 TAUBnTTINm 入力位置検出機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00: 立ち下がりエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しません。ただし，ソフトウエア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d)　一斉書き換え

一斉書き換えレジスタ（TAUBnRDE，TAUBnRDS，TAUBnRDM，TAUBnRDC）は，TAUBnTTINm 入力位置検出機能では使用できません。したがって，これらのレジスタは 0 に設定する必要があります。

表 13-65　TAUBnTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0: 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0: 一斉書き換え禁止時 （TAUBnRDE.TAUBnRDEm = 0），0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(5)　TAUBnTTINm 入力位置検出機能の操作手順

表 13-66　TAUBnTTINm 入力位置検出機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm，TAUBnCMURm レジスタを，*515 ページの表 13-63「TAUBnTTINm 入力位置検出機能の TAUBnCMORm 設定」*と *515 ページの表 13-64「TAUBnTTINm 入力位置検出機能の TAUBnCMURm 設定」*に示すように設定します。 TAUBnCDRm レジスタはキャプチャ・レジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され，カウントが開始されます。 TAUBnCMORm.TAUBnMD0 が 1 の場合は，INTTAUBnIm が発生します。
動作中	TAUBnCMURm.TAUBnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUBnCDRm，TAUBnCSRm レジスタは任意のタイミングで読み出し可能です。	TAUBnCNTm は，0000_H からアップ・カウントを開始します。TAUBnTTINm の有効エッジ検出時： • TAUBnCNTm が自身の値を TAUBnCDRm に転送（キャプチャ）します。 • INTTAUBnIm を出力します。 • カウンタ値は 0000_H にクリアされず，TAUBnCNTm はカウント動作を継続します。 以降，この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUBnCNTm は停止し，TAUBnCNTm は現在値を保持します。

動作再開

(6) 特定の設定時のタイミング図

(a) 動作の停止と再開

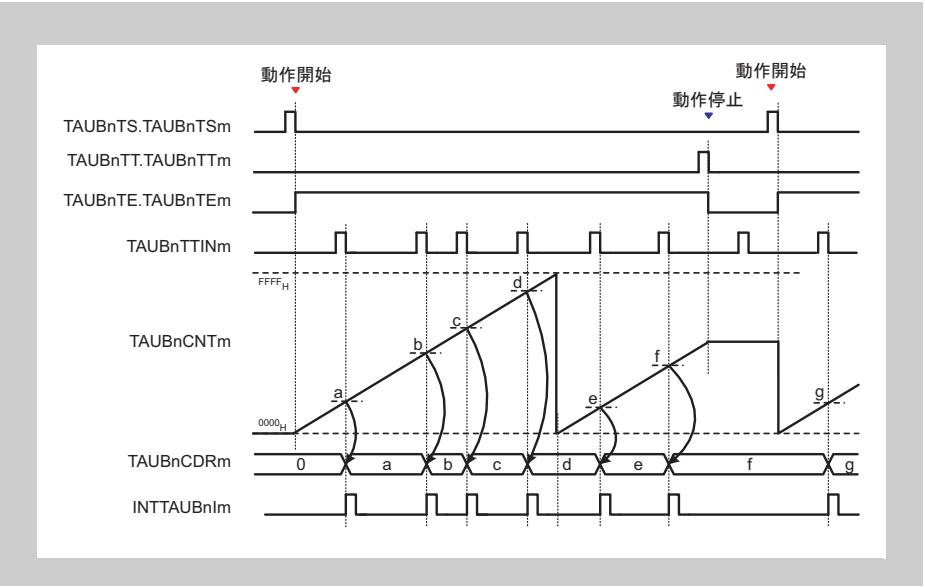


図 13-61 動作の停止と再開（TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 00_B）

- TAUBnTT.TAUBnTTm を 1 に設定すると，カウンタ動作を停止できます。これにより，TAUBnTE.TAUBnTEm は 0 に設定されます。
- TAUBnCNTm が停止し，現在値を保持します。
- カウンタ動作が停止している場合，TAUBnTTINm の有効な入力エッジは無視されます。
- TAUBnTS.TAUBnTSm を 1 に設定すると，カウントを再開できます。TAUBnCNTm は 0000_H からカウントを再開します。

13.17　チャネル連動動作機能

この節では，TAUB のチャネル連動動作の全機能について説明します。チャネル連動動作の概要については，*410 ページの 13.3「機能説明」*を参照してください。

13.18　一定間隔でトリガされる連動 PWM 信号機能

この節では，一定間隔で PWM 信号を発生させる機能について述べます。

- 13.18.1「PWM 出力機能」
- 13.18.2「ディレイ・パルス出力機能」
- 13.18.3「A/D 変換トリガ出力機能タイプ 1」

13.18.1 PWM 出力機能

(1) 概要

概要 マスタ・チャネルと複数のスレーブ・チャネルを使用することで，複数のPWM 出力を生成する機能です。これにより，TAUBnTTOUTm のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタ・チャネルで設定します。デューティはスレーブ・チャネルで設定します。

前提条件
- 2 チャネル
- マスタ・チャネルの動作モードは，インターバル・タイマ・モードに設定する必要があります（*522 ページの表 13-67「PWM 出力機能時のマスタ・チャネルの TAUBnCMORm 設定」*参照）。
- スレーブ・チャネルの動作モードは，ワンカウント・モードに設定する必要があります（*524 ページの表 13-70「PWM 出力機能時のスレーブ・チャネルの TAUBnCMORm 設定」*参照）。
- この機能では，マスタ・チャネルで TAUBnTTOUTm は使用しません。
- スレーブ・チャネルのチャネル出力モードは，チャネル連動出力モード 1 に設定する必要があります (*428 ページの 13.8「チャネル出力モード」*)。

機能説明 チャネル・トリガ・ビット（TAUBnTS.TAUBnTSm）を 1 に設定すると，カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり，カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ，カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。マスタ・チャネルで INTTAUBnIm が発生し，TAUBnTTOUTm（スレーブ）がセット，リセットされることにより PWM 出力を実現しています。

- マスタ・チャネル：

  マスタ・チャネルのカウンタ値が 0000_H になりパルス周期時間が経過すると，INTTAUBnIm が発生します。TAUBnCDRm 値を TAUBnCNTm にロードし，ダウン・カウントを行います。

- スレーブ・チャネル：

  マスタ・チャネルで INTTAUBnIm が発生すると，スレーブ・チャネルのカウンタ動作がトリガされます。TAUBnCDRm（スレーブ）の現在値が TAUBnCNTm （スレーブ）にロードされ，カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。TAUBnTTOUTm 信号がアクティブ・レベルに設定されます。
  カウンタ値が 0000_H になると（デューティ時間が経過すると）INTTAUBnIm が発生し，TAUBnTTOUTm 信号がインアクティブ・レベルに設定されます。カウンタは $FFFF_H$ に戻り，マスタ・チャネルの次の INTTAUBnIm（次のパルス周期の開始）を待ちます。

マスタ／スレーブ・チャネルの TAUBnTT.TAUBnTTm を 1 に設定すると，カウンタ動作を停止できます。これにより，TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ／スレーブ・チャネルの TAUBnCNTm と TAUBnTTOUTm が停止しますが，それぞれの値は保持します。TAUBnTS.TAUBnTSm を 1 に設定すると，カウントを再開できます。

備考 動作中に強制リスタートが発生した場合，カウンタの値は無効になり，TAUBnTTOUTm は正確な PWM 出力波形を出しません。

条件　この機能では一斉書き換えを行うことができます。*417 ページの 13.7「一斉書き換え」*を参照してください。

(2)　算出式

パルス周期 =（TAUBnCDRm（マスタ）＋ 1）× カウント・クロック周期

デューティ・サイクル [%] =（TAUBnCDRm（スレーブ）／（TAUBnCDRm（マスタ）+ 1））× 100

– デューティ・サイクル = 0 %

TAUBnCDRm（スレーブ）= 0000_H

– デューティ・サイクル = 100 %

TAUBnCDRm（スレーブ）≧ TAUBnCDRm（マスタ）＋ 1

(3)　ブロック図と基本タイミング図

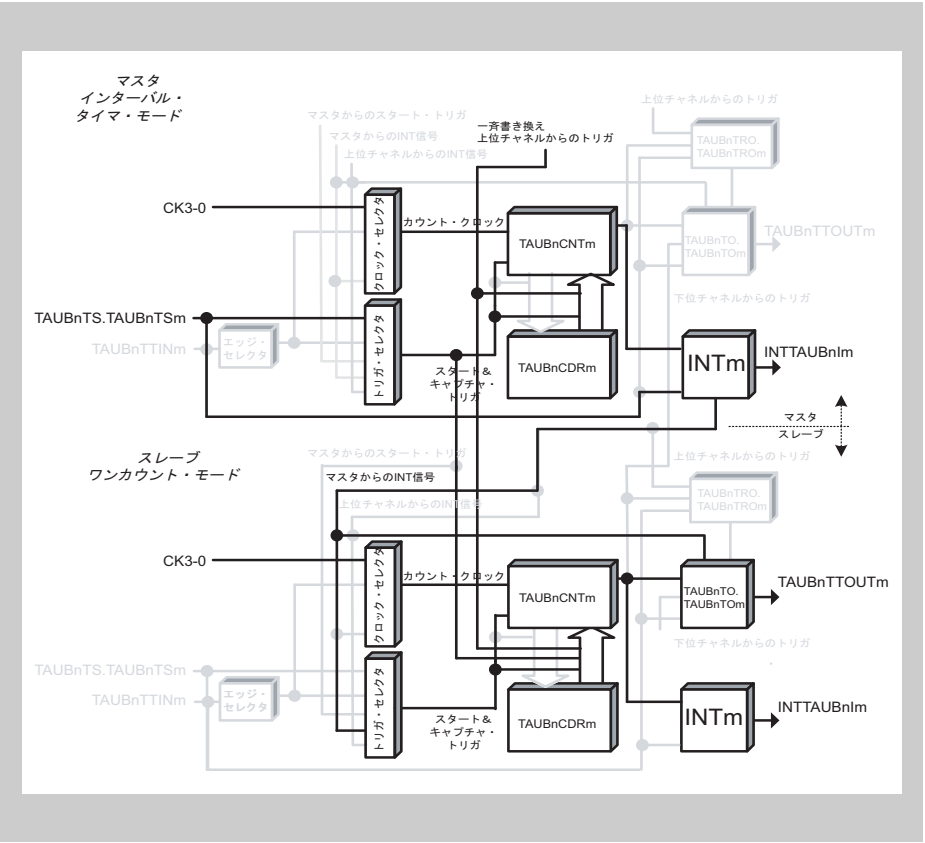


図 13-62　PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブ・チャネル : 正論理（TAUBnTOL.TAUBnTOLm = 0）

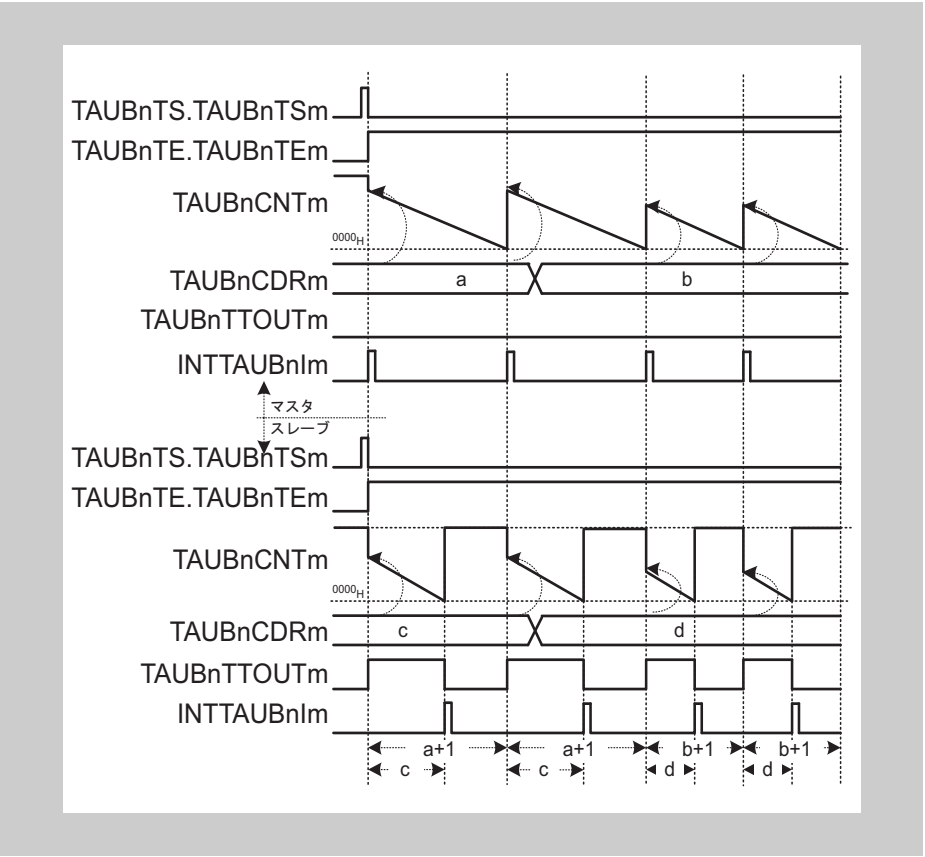


図 13-63 PWM 出力機能の基本タイミング図

備考 スレーブ・チャネルでのカウント開始から割り込み発生までの間隔は対応する TAUBnCDRm の値になりますが，マスタ・チャネルでの間隔は対応する TAUBnCDRm + 1 の値になります。

(4) マスタ・チャネルのレジスタ設定

(a) マスタ・チャネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBnMAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBnMD0

表 13-67 PWM 出力機能時のマスタ・チャネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3 マスタ・チャネルとスレーブ・チャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	1: チャネルはマスタ・チャネル
TAUBnSTS[2:0]	000: ソフトウエアでカウンタをトリガ
TAUBnCOS[1:0]	00: 未使用，00 を設定
TAUBnMD[4:1]	0000: インターバル・タイマ・モード
TAUBnMD0	1: 動作開始時に INTTAUBnIm が発生する

(b) マスタ・チャネルの TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-68 PWM 出力機能時のマスタ・チャネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00: 未使用，00 を設定

(c)　マスタ・チャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しません。ただし，ほかの機能での使用あるいはソフトウエア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d)　マスタ・チャネルの一斉書き換え

マスタ・チャネルとスレーブ・チャネルの一斉書き換え設定は同じである必要があります。

表 13-69　PWM 出力機能時のマスタ・チャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャネルで一斉書き換えトリガをモニタ 1: チャネル・グループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUBnRDM.TAUBnRDMm	0: マスタ・チャネルがカウントを開始すると，一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: チャネルで一斉書き換えのトリガとなるINTTAUBnIm 信号をモニタしない。 TAUBnRDS.TAUBnRDSm = 0 のとき，このビットの値にかかわらず，マスタ・チャネルで一斉書き換えトリガをモニタ。

備考　TAUBnRDS.TAUBnRDSm ビット =1 で使用する場合，マスタ・チャネルの上位に「一斉書き換えトリガ出力機能タイプ 1」で動作するチャネルが必要になります。

また，下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ 1 設定チャネル：TAUBnRDCm=1, TAUBnRDS=1
  また，本チャネルの TAUBnCDR 設定値は下記となります。
  = ((一斉書き換え対象のマスタ・チャネルの TAUBnCDR 設定値 +1) × 割り込み回数) - 1
- マスタ・チャネル：TAUBnRDCm=0，TAUBnRDS=1
- スレーブ・チャネル：TAUBnRDCm=0，TAUBnRDS=1

TAUBnCDRm（スレーブ）の設定値＞ TAUBnCDRm（マスタ）の設定値＋ 1 の場合は，集約しデューティ 100%出力とします。

(5) スレーブ・チャネルのレジスタ設定

(a) スレーブ・チャネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBnMAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBnMD0

表 13-70 PWM 出力機能時のスレーブ・チャネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3 マスタ・チャネルとスレーブ・チャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	0: チャネルはスレーブ・チャネル
TAUBnSTS[2:0]	100: マスタ・チャネルの INTTAUBnIm がスタート・トリガ
TAUBnCOS[1:0]	00: 未使用，00 を設定
TAUBnMD[4:1]	0100: ワンカウント・モード
TAUBnMD0	1: 動作中のスタート・トリガが有効

(b) スレーブ・チャネルの TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-71 PWM 出力機能時のスレーブ・チャネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00: 未使用，00 を設定

(c) スレーブ・チャネルのチャネル出力モード

表 13-72 チャネル連動出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	1: チャネル連動動作
TAUBnTOC.TAUBnTOCm	0: 動作モード1
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 反転論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 （TAUBnTDE.TAUBnTDEm = 0），0 を設定

(d) スレーブ・チャネルの一斉書き換え

マスタ・チャネルとスレーブ・チャネルの一斉書き換え設定は同じである必要があります。

表 13-73 PWM 出力機能時のスレーブ・チャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャネルで一斉書き換えトリガをモニタ 1: チャネル・グループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUBnRDM.TAUBnRDMm	0: マスタ・チャネルがカウントを開始すると，一斉書き換トリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: チャネルで一斉書き換えのトリガとなるINTTAUBnIm 信号をモニタしない。TAUBnRDS.TAUBnRDSm = 0 のとき，このビットの値にかかわらず，マスタ・チャネルで一斉書き換えトリガをモニタ。

(6)　PWM 出力機能の操作手順

表 13-74　PWM 出力機能時の操作手順

	操作	TAUBn の状態
チャネルの初期設定	マスタ・チャネル：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを *522 ページの (4)「マスタ・チャネルのレジスタ設定」* に示すように設定します。 スレーブ・チャネル :TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを *524 ページの (5)「スレーブ・チャネルのレジスタ設定」* に示すように設定します。 全チャネルの TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタ・チャネルとスレーブ・チャネルの TAUBnTS.TAUBnTSm を同時に 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm（マスタ／スレーブ・チャネル）が 1 に設定され，マスタ／スレーブ・チャネルのカウンタが動作を開始します。 マスタ・チャネルで INTTAUBnIm が発生し，TAUBnTTOUTm（スレーブ）が設定されます。
動作中	TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	マスタ・チャネルの TAUBnCNTm は TAUBnCDRm 値をロードし，ダウン・カウントを行います。カウンタが 0000_H になった場合： • INTTAUBnIm（マスタ）が発生します。 • TAUBnCDRm 値を TAUBnCNTm（マスタ）にロードし，カウント動作を継続します。 • TAUBnCDRm 値を TAUBnCNTm（スレーブ）にロードし，ダウン・カウントを行います。 • TAUBnTTOUTm（スレーブ）がアクティブ・レベルに設定されます。 TAUBnCNTm（スレーブ）が 0000_H になった場合： • INTTAUBnIm（スレーブ）が発生します。 • TAUBnTTOUTm（スレーブ）がインアクティブ・レベルに設定されます。
動作停止	マスタ・チャネルとスレーブ・チャネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUBnCNTm と TAUBnTTOUTm は停止し，現在値を保持します。

動作再開

(7) 特定の設定時のタイミング図

(a) デューティ・サイクル = 0 %

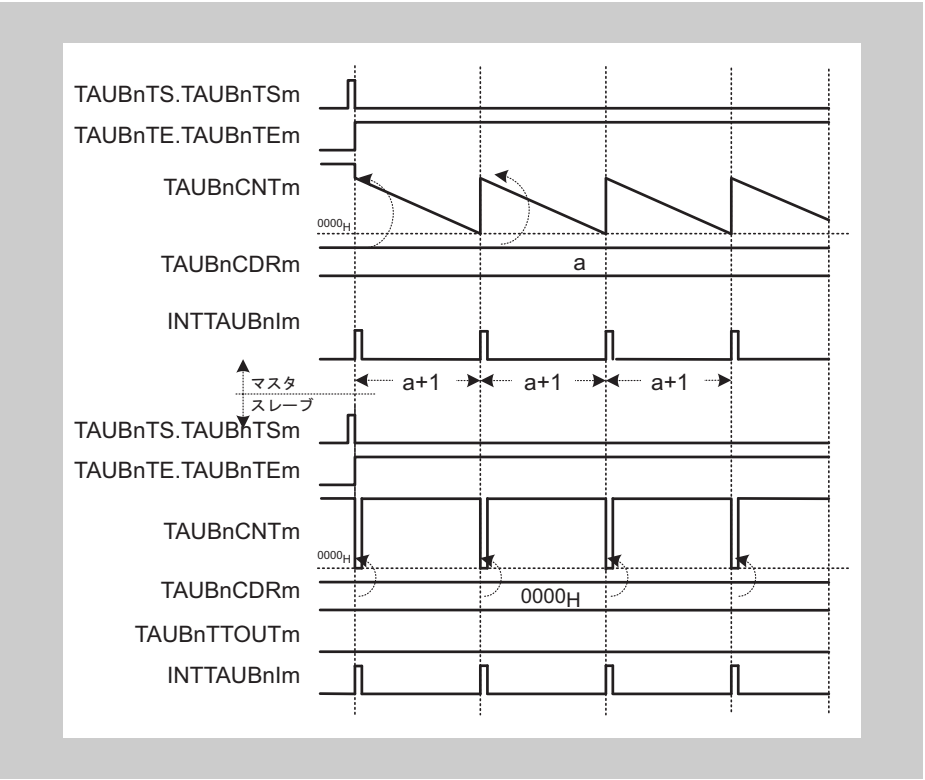


図 13-64 TAUBnCDRm (スレーブ) = 0000_H,
正論理（TAUBnTOL.TAUBnTOLm（スレーブ）= 0）

- マスタ・チャネルで割り込み（INTTAUBnIm）が発生するたびに，TAUBnCNTm（スレーブ）に 0000_H がロードされます。したがって，TAUBnCNTm（スレーブ）はカウントを開始できず，TAUBnTTOUTm はアクティブでない状態のままとなります。
- TAUBnCDRm 値を TAUBnCNTm（スレーブ）にロードし，割り込みを発生させます。

(b) デューティ・サイクル = 100 %

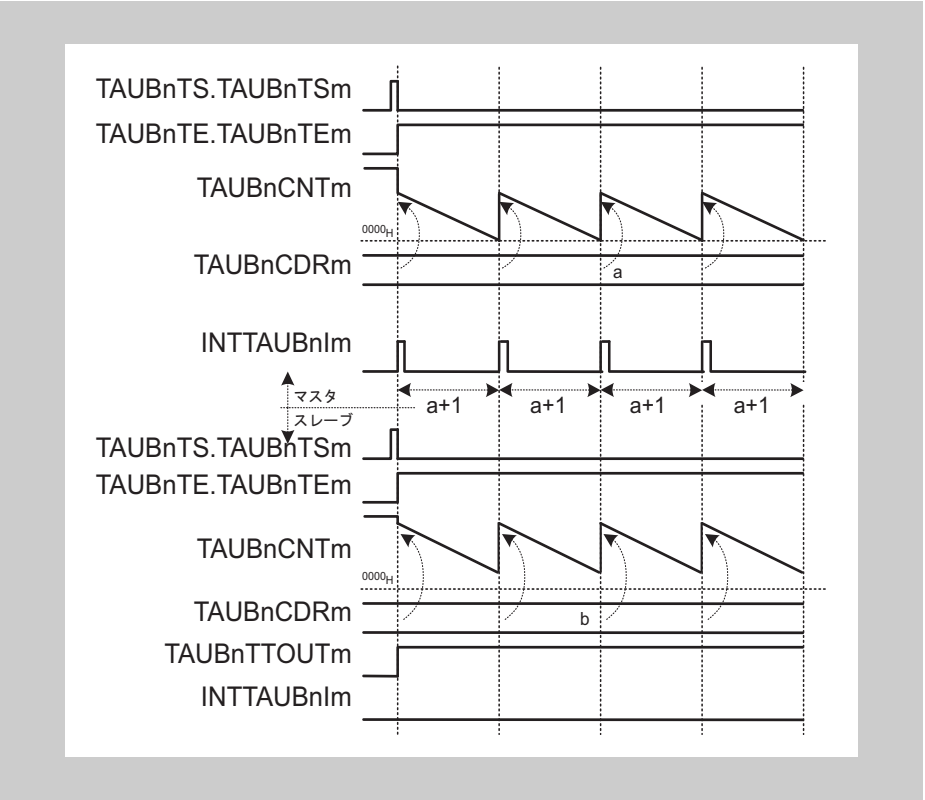


図 13-65 TAUBnCDRm（スレーブ）≧ TAUBnCDRm（マスタ）+ 1 正論理（TAUBnTOL.TAUBnTOLm（スレーブ）= 0）

- TAUBnCDRm（スレーブ）値が TAUBnCDRm（マスタ）値よりも大きい場合，スレーブ・チャネルのカウンタは 0000_H にならないため，割り込みが発生しません。TAUBnTTOUTm はアクティブ状態のままになります。

(c) 動作の停止と再開

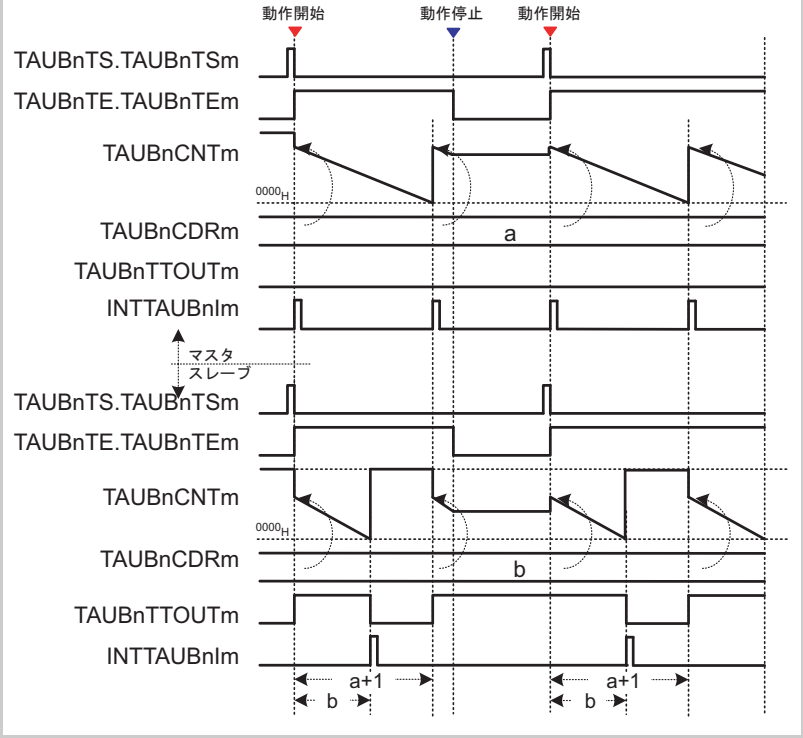


図 13-66 動作の停止と再開
正論理（TAUBnTOL.TAUBnTOLm（スレーブ）= 0）

- マスタ／スレーブ・チャネルの TAUBnTT.TAUBnTTm を 1 に設定すると，カウンタ動作を停止できます。これにより，TAUBnTE.TAUBnTEm は 0 に設定されます。
- 全チャネルの TAUBnCNTm と TAUBnTTOUTm が停止し，現在値を保持します。割り込みは発生しません。
- マスタ／スレーブ・チャネルの TAUBnTS.TAUBnTSm を 1 に設定すると，カウンタ動作を再開できます。マスタ／スレーブ・チャネルの TAUBnCDRm 値を TAUBnCNTm にリロードし，この値からダウン・カウントを開始します。

13.18.2 ディレイ・パルス出力機能

(1) 概要

概要 この機能では，2種類の信号が出力されます。基準信号のパルス幅とパルス周期は，マスタ・チャネルとスレーブ・チャネル1を使用して定義されています。スレーブ・チャネル2とスレーブ・チャネル3は設定されている遅延時間後に基準信号を出力します。ディレイ信号は基準信号と同じですが，スレーブ・チャネル2で設定されている時間分，遅延して出力されます。

信号の値は次のように設定されます。

- パルス周期はマスタ・チャネルで設定します。
- 基準信号のデューティ・サイクルはスレーブ・チャネル1を，ディレイ信号のデューティ・サイクルはスレーブ・チャネル3を使用して設定されます。
- 遅延量はスレーブ・チャネル2で設定します。

前提条件

- 4チャネル
- マスタ・チャネルの動作モードは，インターバル・タイマ・モードに設定する必要があります（*534 ページの表 13-75「ディレイ・パルス出力機能時のマスタ・チャネルの TAUBnCMORm 設定」*参照）。
- スレーブ・チャネル1，2の動作モードは，ワンカウント・モードに設定する必要があります（*536 ページの表 13-78「ディレイ・パルス出力機能時のスレーブ・チャネル 1 の TAUBnCMORm 設定」*参照）。
- スレーブ・チャネル3の動作モードは，パルス・ワンカウント・モードに設定する必要があります（*538 ページの表 13-82「ディレイ・パルス出力機能時のスレーブ・チャネル 2 の TAUBnCMORm 設定」*参照）。
- マスタ・チャネルおよびスレーブ・チャネル2ではTAUBnTTOUTmを使用しません。
- スレーブ・チャネル1のチャネル出力モードは，チャネル連動出力モード1に設定する必要があります (*428 ページの 13.8「チャネル出力モード」*)。
- スレーブ・チャネル3のチャネル出力モードは，チャネル単体出力モード2に設定する必要があります (*428 ページの 13.8「チャネル出力モード」*)。

機能説明 チャネル・トリガ・ビット（TAUBnTS.TAUBnTSm）を1に設定すると，チャネル・グループのカウンタ動作が許可されます。これによりTAUBnTE.TAUBnTEm = 1となり，カウントが可能になります。

- マスタ・チャネル：

  TAUBnCDRmの現在値がTAUBnCNTmにロードされ，カウンタはそのTAUBnCDRm値からダウン・カウントを開始します。マスタ・チャネルでINTTAUBnImが発生します。

  マスタ・チャネルのカウンタ値が0000_Hになりパルス周期時間が経過すると，INTTAUBnImが発生します。再びTAUBnCDRmの値をカウンタにロードし，ダウン・カウントを行います。

- スレーブ・チャネル1，スレーブ・チャネル2：

  スレーブ・チャネル1，2はマスタ・チャネルからの割り込みを検出すると，TAUBnCDRmの現在値からダウン・カウントを開始します。TAUBnTTOUTm信号（スレーブ1）が設定されます。

– スレーブ・チャネル1：

スレーブ・チャネル1のカウンタ値が0000_Hになると（デューティ時間が経過すると），INTTAUBnImが発生し，TAUBnTTOUTm信号がリセットされます。カウンタは$FFFF_H$に戻り，マスタ・チャネルの次のINTTAUBnImを待ちます。

– スレーブ・チャネル2：

スレーブ・チャネル2のカウンタ値が0000_Hになり遅延時間が経過すると，INTTAUBnImが発生します。カウンタは$FFFF_H$に戻り，マスタ・チャネルの次のINTTAUBnImを待ちます。

INTTAUBnIm（スレーブ・チャネル2）が発生することにより，スレーブ・チャネル3のカウンタ動作がトリガされます。

- スレーブ・チャネル3：

スレーブ・チャネル3はスレーブ・チャネル2からの割り込みを検出すると，TAUBnCDRmの現在値からダウン・カウントを開始します。
INTTAUBnImが発生し，TAUBnTTOUTm信号（スレーブ・チャネル3）がセットされます。
スレーブ・チャネル3のカウンタ値が0001_Hになると，INTTAUBnImが発生し，TAUBnTTOUTm信号がリセットされます。
スレーブ・チャネル3からは遅延されたPWMパルスが出力されます。

マスタ／スレーブ・チャネルのTAUBnTT.TAUBnTTmを1に設定すると，カウンタ動作を停止できます。これにより，TAUBnTE.TAUBnTEmは0に設定されます。マスタ／スレーブ・チャネルのTAUBnCNTmとTAUBnTTOUTmが停止しますが，それぞれの値は保持します。TAUBnTS.TAUBnTSmを1に設定すると，カウントを再開できます。

条件 この機能で一斉書き換えを行うことができます。*417 ページの 13.7「一斉書き換え」*を参照してください。

算出式 パルス周期＝（TAUBnCDRm（マスタ）＋1）×カウント・クロック周期

デューティ幅1＝（TAUBnCDRm（スレーブ1））×カウント・クロック周期

遅延幅＝（TAUBnCDRm（スレーブ2）＋1）×カウント・クロック周期

デューティ幅2＝（TAUBnCDRm（スレーブ3））×カウント・クロック周期

但し，遅延幅の設定値は下記範囲とすること。
0000H ≦ TAUBnCDRm (スレーブ2) ＜ TAUBnCDRm (マスタ）

備考 1. TAUBnTOUTm（スレーブ3）の出力波形は，TAUBnTOUTm（スレーブ1）の出力波形をスレーブ2で生成したディレイ分遅延させた波形となります。パルス周期以上に遅延させることはできません。

2. スレーブ3のカウント中に，スレーブ2のINTTAUBnImが発生した場合，スレーブ3は動作を再開します。従って，TAUBnTTOUTm（スレーブ3）の出力波形は，アクティブレベルを保持します。（この場合，TAUBnTTOUTm（スレーブ3) は，TAUBnTTOUTm（スレーブ1) の基本パルスをディレイさせた波形を出力できません。）

(2) ブロック図と基本タイミング図

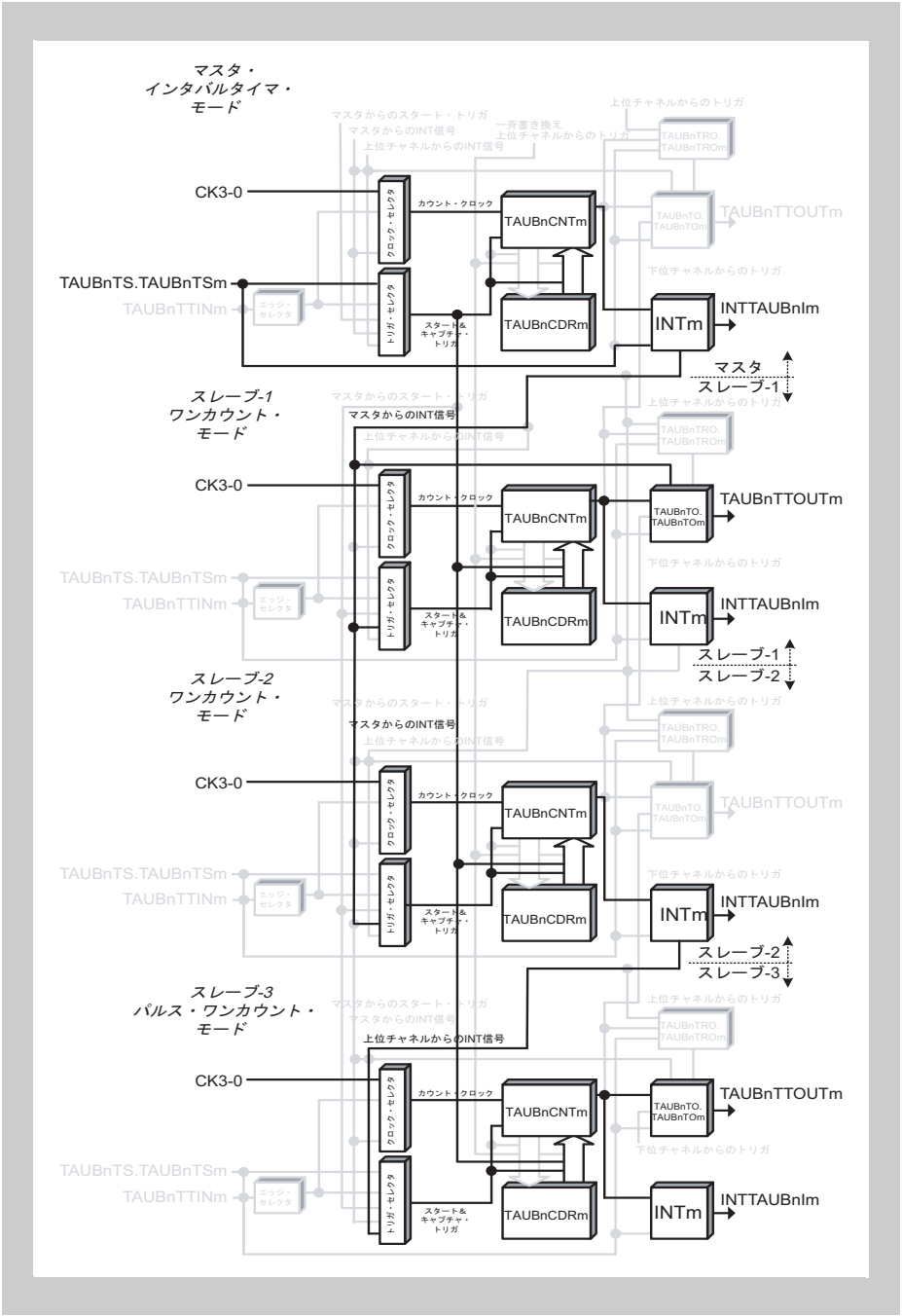


図 13-67 ディレイ・パルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 全チャネル
  - 動作開始時に INTTAUBnIm が発生する
    （TAUBnCMORm.TAUBnMD0 = 1）

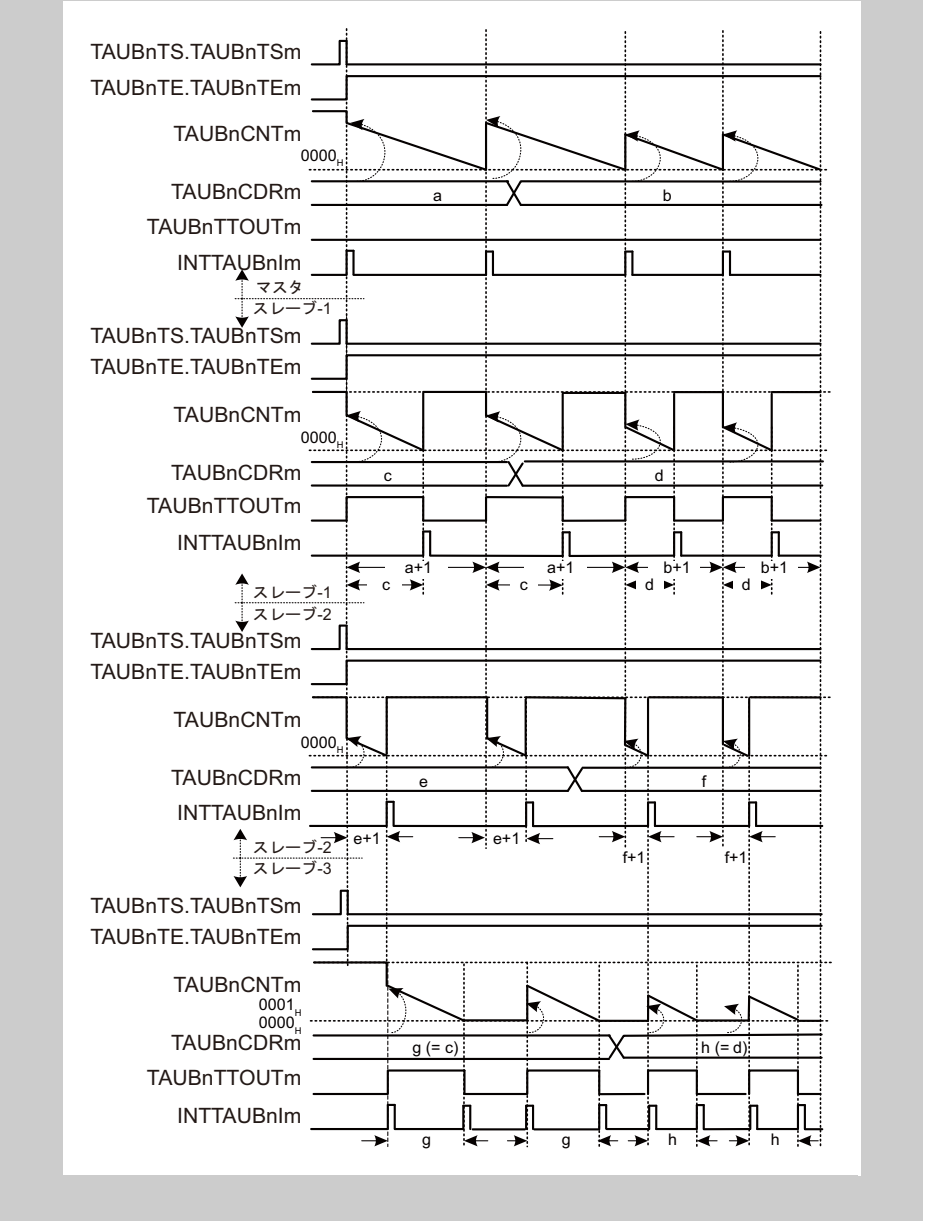


図 13-68　ディレイ・パルス出力機能の基本タイミング図

(3) マスタ・チャネルのレジスタ設定

(a) マスタ・チャネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBnMAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBnMD0

表 13-75 ディレイ・パルス出力機能時のマスタ・チャネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3 マスタ・チャネルとスレーブ・チャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	1: チャネルはマスタ・チャネル
TAUBnSTS[2:0]	000: ソフトウエアでカウンタをトリガ
TAUBnCOS[1:0]	00: 未使用，00 を設定
TAUBnMD[4:1]	0000: インターバル・タイマ・モード
TAUBnMD0	1: 動作開始時に INTTAUBnIm が発生する

(b) マスタ・チャネルの TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-76 ディレイ・パルス出力機能時のマスタ・チャネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00: 未使用，00 を設定

(c) マスタ・チャネルのチャネル出力モード

この機能では，マスタ・チャネルはチャネル出力モードを使用しないため，TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし，ほかの機能あるいはソフトウエア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) マスタ・チャネルの一斉書き換え

マスタ・チャネルとスレーブ・チャネルの一斉書き換え設定は同じである必要があります。

表 13-77 ディレイ・パルス出力機能時のマスタ・チャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャネルが一斉書き換えの制御チャネル
TAUBnRDM.TAUBnRDMm	0: マスタ・チャネルがカウントを開始すると，一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: チャネルで一斉書き換えのトリガとなるINTTAUBnIm 信号をモニタしない。 TAUBnRDS.TAUBnRDSm = 0 のとき，このビットの値にかかわらず，マスタ・チャネルで一斉書き換えトリガをモニタ。

(4) スレーブ・チャネル1のレジスタ設定

(a) スレーブ・チャネル1の TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS[1:0]		TAUBnCCS[1:0]		TAUBnMAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		-	TAUBnMD[4:1]				TAUBnMD0

表 13-78 ディレイ・パルス出力機能時のスレーブ・チャネル1の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3 マスタ・チャネルとスレーブ・チャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	0: チャネルはスレーブ・チャネル
TAUBnSTS[2:0]	100: マスタ・チャネルの INTTAUBnIm がスタート・トリガ
TAUBnCOS[1:0]	00: 未使用，00 を設定
TAUBnMD[4:1]	0100: ワンカウント・モード
TAUBnMD0	1: 動作中のスタート・トリガ有効

(b) スレーブ・チャネル1の TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-79 ディレイ・パルス出力機能時のスレーブ・チャネル1の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00: 未使用，00 を設定

(c) スレーブ・チャネル1のチャネル出力モード

表 13-80 チャネル連動出力モード1時のスレーブ・チャネル1の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	1: チャネル連動動作
TAUBnTOC.TAUBnTOCm	0: 動作モード1
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 反転論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 （TAUBnTDE.TAUBnTDEm = 0），0を設定

(d) スレーブ・チャネル1の一斉書き換え

マスタ・チャネルとスレーブ・チャネルの一斉書き換え設定は同じである必要があります。

表 13-81 ディレイ・パルス出力機能時のスレーブ・チャネル1の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャネルが一斉書き換えの制御チャネル
TAUBnRDM.TAUBnRDMm	0: マスタ・チャネルがカウントを開始すると，一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: チャネルで一斉書き換えのトリガとなるINTTAUBnIm信号をモニタしない。 TAUBnRDS.TAUBnRDSm = 0のとき，このビットの値にかかわらず，マスタ・チャネルで一斉書き換えトリガをモニタ。

(5) スレーブ・チャネル2のレジスタ設定

(a) スレーブ・チャネル2のTAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBnMAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBnMD0

表 13-82 ディレイ・パルス出力機能時のスレーブ・チャネル2のTAUBnCMORm設定

ビット名	設定
TAUBnCKS[1:0]	00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3 マスタ・チャネルとスレーブ・チャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	0: チャネルはスレーブ・チャネル
TAUBnSTS[2:0]	100: マスタ・チャネルの INTTAUBnIm がスタート・トリガ
TAUBnCOS[1:0]	00: 未使用，00 を設定
TAUBnMD[4:1]	0100: ワンカウント・モード
TAUBnMD0	1: 動作中のスタート・トリガ有効

(b) スレーブ・チャネル2のTAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-83 ディレイ・パルス出力機能時のスレーブ・チャネル2のTAUBnCMURm設定

ビット名	設定
TAUBnTIS[1:0]	00: 未使用，00 を設定

(c) スレーブ・チャネル2のチャネル出力モード

この機能ではチャネル出力モードを使用しないため，TAUBnTOE.TAUBnTOEmに0を設定します。ただし，ほかの機能あるいはソフトウエア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) スレーブ・チャネル2の一斉書き換え

マスタ・チャネルとスレーブ・チャネルの一斉書き換え設定は同じである必要があります。

表 13-84 ディレイ・パルス出力機能時のスレーブ・チャネル2の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャネルが一斉書き換えの制御チャネル
TAUBnRDM.TAUBnRDMm	0: マスタ・チャネルがカウントを開始すると，一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: チャネルで一斉書き換えのトリガとなるINTTAUBnIm信号をモニタしない。TAUBnRDS.TAUBnRDSm = 0のとき，このビットの値にかかわらず，マスタ・チャネルで一斉書き換えトリガをモニタ。

(6) スレーブ・チャネル3のレジスタ設定

(a) スレーブ・チャネル3のTAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS[1:0]		TAUBnCCS[1:0]		TAUBnMAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		-	TAUBnMD[4:1]				TAUBnMD0

表 13-85 ディレイ・パルス出力機能時のスレーブ・チャネル3のTAUBnCMORm設定

ビット名	設定
TAUBnCKS[1:0]	00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3 マスタ・チャネルとスレーブ・チャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	0: チャネルはスレーブ・チャネル
TAUBnSTS[2:0]	101: マスタ設定にかかわらず，上位チャネル（m-1）の INTTAUBnIm がスタート・トリガ
TAUBnCOS[1:0]	00: 未使用，00 を設定
TAUBnMD[4:1]	1010: パルス・ワンカウント・モード
TAUBnMD0	1: 動作中のスタート・トリガ有効

(b) スレーブ・チャネル3のTAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 13-86 ディレイ・パルス出力機能時のスレーブ・チャネル3のTAUBnCMURm設定

ビット名	設定
TAUBnTIS[1:0]	00: 未使用，00 を設定

(c) スレーブ・チャネル3のチャネル出力モード

表 13-87 チャネル連動出力モード2時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャネル単体出力
TAUBnTOC.TAUBnTOCm	1: 動作モード2
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 反転論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 （TAUBnTDE.TAUBnTDEm = 0），0を設定

(d) スレーブ・チャネル3の一斉書き換え

マスタ・チャネルとスレーブ・チャネルの一斉書き換え設定は同じである必要があります。

表 13-88 ディレイ・パルス出力機能時のスレーブ・チャネル3の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャネルが一斉書き換えの制御チャネル
TAUBnRDM.TAUBnRDMm	0: マスタ・チャネルがカウントを開始すると，一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: チャネルで一斉書き換えのトリガとなるINTTAUBnIm信号の発生を検出しない。TAUBnRDS.TAUBnRDSm = 0のとき，このビットの値にかかわらず，マスタ・チャネルで一斉書き換えトリガを検出する。

(7) ディレイ・パルス出力機能時の操作手順

表 13-89 ディレイ・パルス出力機能時の操作手順 (1/2)

	操作	TAUBn の状態
チャネルの初期設定	マスタ・チャネル：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを *534 ページの (3)「マスタ・チャネルのレジスタ設定」* に示すように設定します。 スレーブ・チャネル 1：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを *536 ページの (4)「スレーブ・チャネル 1 のレジスタ設定」* に示すように設定します。 スレーブ・チャネル 2：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを *538 ページの (5)「スレーブ・チャネル 2 のレジスタ設定」* に示すように設定します。 スレーブ・チャネル 3：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを *540 ページの (6)「スレーブ・チャネル 3 のレジスタ設定」* に示すように設定します。 全チャネルの TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。

表 13-89　ディレイ・パルス出力機能時の操作手順 (2/2)

	操作	TAUBn の状態
動作開始	マスタ・チャネルとスレーブ・チャネルの TAUBnTS.TAUBnTSm を同時に 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm（マスタ／スレーブ・チャネル）が 1 に設定され，マスタ・チャネルとスレーブ・チャネル 1 ／ 2 のカウンタが動作を開始します。 マスタ・チャネルで INTTAUBnIm が発生し，TAUBnTTOUTm（スレーブ・チャネル 1）が設定されます。
動作中	TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	マスタ・チャネルとスレーブ・チャネル 1 ／ 2 の TAUBnCDRm の値を TAUBnCNTm にロードし，ダウン・カウントを行います。 マスタ・チャネルのカウンタが 0000_H になった場合： • INTTAUBnIm（マスタ）が発生します。 • 再び TAUBnCDRm の値を TAUBnCNTm（マスタ）にロードし，カウント動作を継続します。 • 再び TAUBnCDRm の値を TAUBnCNTm（スレーブ 1 ／ 2）にロードし，ダウン・カウントを開始します。 • TAUBnTTOUTm（スレーブ 1）がセットされます。 TAUBnCNTm（スレーブ 1）が 0000_H になった場合： • INTTAUBnIm（スレーブ 1）が発生します。 • TAUBnTTOUTm（スレーブ 1）がリセットされます。 TAUBnCNTm（スレーブ 2）が 0000_H になった場合： • INTTAUBnIm（スレーブ 2）が発生します。 • TAUBnTTOUTm（スレーブ 3）がセットされます。 • 再び TAUBnCDRm の値を TAUBnCNTm（スレーブ 3）にロードし，ダウン・カウント動作を開始します。 TAUBnCNTm（スレーブ 3）が 0001_H になった場合： • INTTAUBnIm（スレーブ 3）が発生します。 • TAUBnTTOUTm（スレーブ 3）がリセットされます。
動作停止	マスタ・チャネルとスレーブ・チャネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUBnCNTm と TAUBnTTOUTm は停止し，現在値を保持します。

動作再開

(8) 特定の設定時のタイミング図

(a) デューティ・サイクル（スレーブ 3）= 100 %

下記のタイミング図での設定は次のようになっています。

- TAUBnCDRm（マスター）=000A$_H$
- TAUBnCDRm（スレーブ 1）=000B$_H$
- TAUBnCDRm（スレーブ 2）=0000$_H$
- TAUBnCDRm（スレーブ 3）=000B$_H$

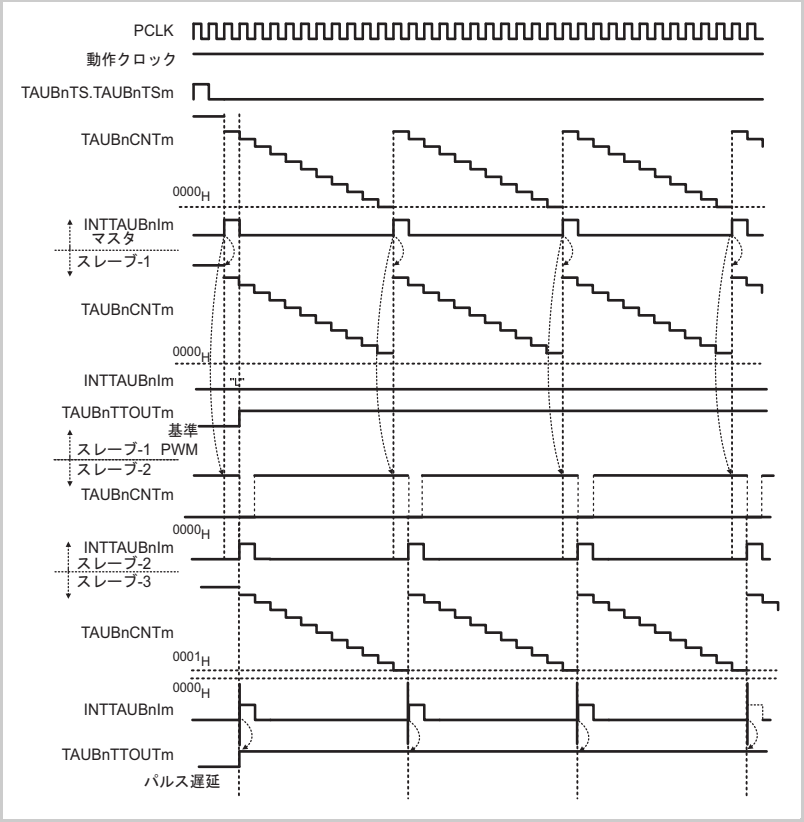


図 13-69 デューティ・サイクル（スレーブ 3）= 100 %

- TAUBnCDRm 値（スレーブ 1, 3）が TAUBnCDRm 値（マスタ）より大きい場合，スレーブ・チャネルのカウンタは 0000$_H$ にならず，割り込み信号を発生しません。チャネル 1, 3 の TAUBnTTOUTm はアクティブ状態のままとなります。

(b) TAUBnTTOUTm（スレーブ 1）＝ TAUBnTTOUTm（スレーブ 3）

下記のタイミング図での設定は次のようになっています。

- TAUBnCDRm（マスター）=000A$_H$
- TAUBnCDRm（スレーブ 1）=0005$_H$
- TAUBnCDRm（スレーブ 2）=0000$_H$
- TAUBnCDRm（スレーブ 3）=0005$_H$

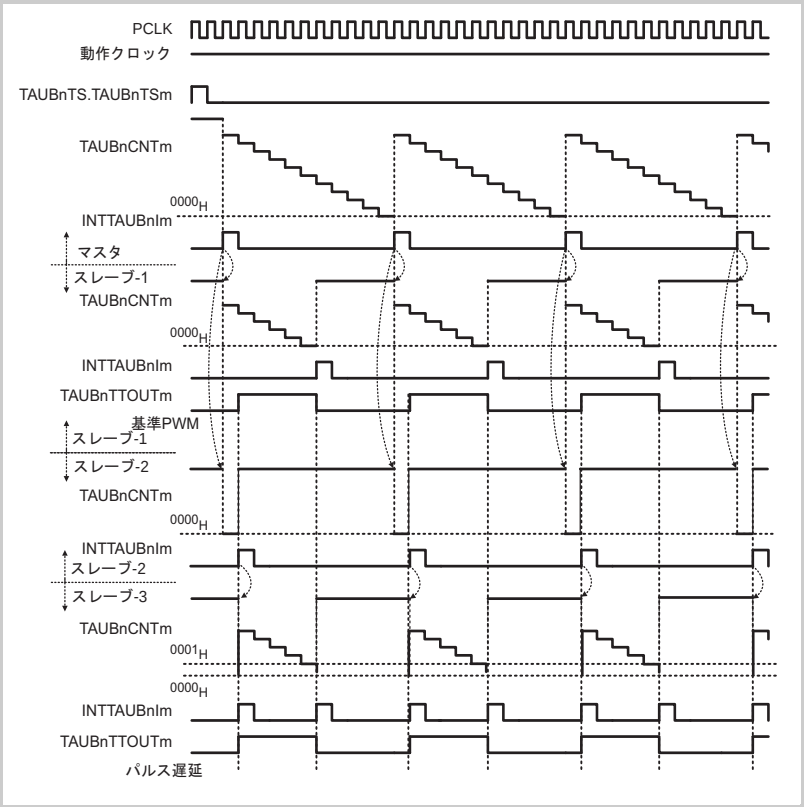


図 13-70 TAUBnTTOUTm（スレーブ 1）＝ TAUBnTTOUTm（スレーブ 3）

- TAUBnCDRm 値（スレーブ 1, 3）が TAUBnCDRm 値（マスター）より大きい場合，スレーブ・チャネルのカウンタは 0000$_H$ にならず，割り込み信号を発生しません。チャネル 1, 3 の TAUBnTTOUTm はアクティブ状態のままとなります。

  TAUBnCDRm（スレーブ 2）= 0000$_H$ の場合，スレーブ・チャネル 3 はスレーブ・チャネル 1 のカウンタから 1 カウント・クロック遅れてカウントします。リファレンス・パルスとでディレイ・パルスが 1 カウント・クロック遅れて発生します。

13.18.3 A/D 変換トリガ出力機能タイプ 1

(1) 概要

概要 この機能は，TAUBnTTOUTm が出力されないという点を除き，*519 ページの 13.18.1「PWM 出力機能」*と同じです。

スレーブ・チャネルの出力モードをソフトウエア制御のチャネル単体出力モードに設定することにより，この機能が有効になります。

(2) ブロック図と基本タイミング図

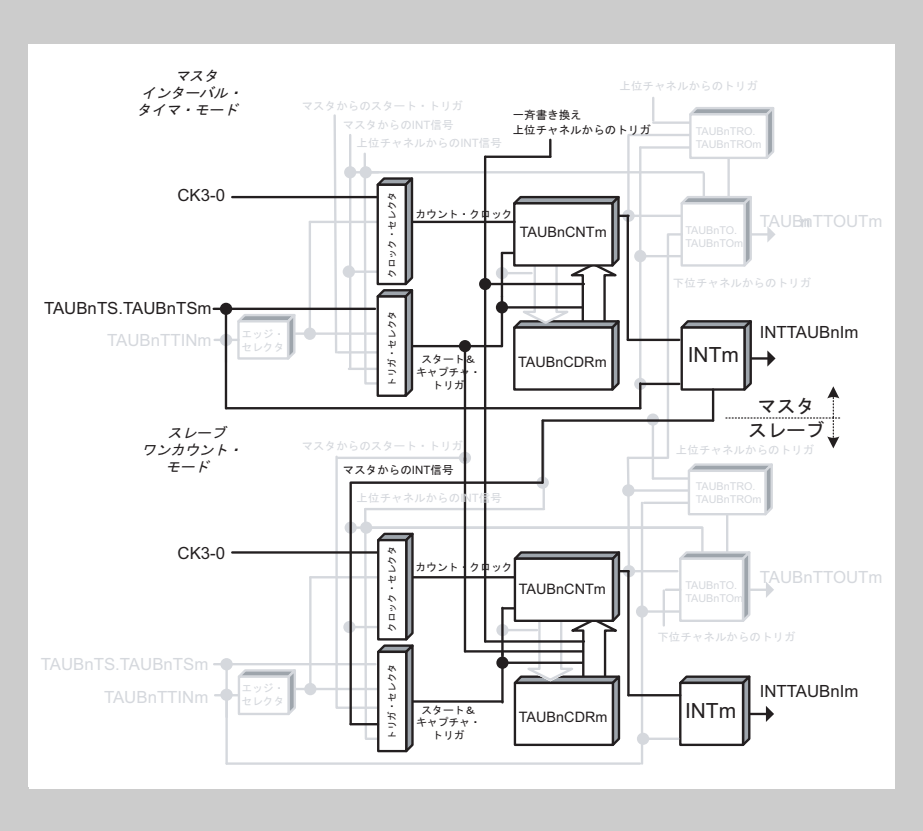


図 13-71 A/D 変換トリガ出力機能タイプ 1 のブロック図

(3) 基本タイミング図

基本タイミング図での設定は次のようになっています。

- スレーブ・チャネル : 正論理（TAUBnTOL.TAUBnTOLm = 0）

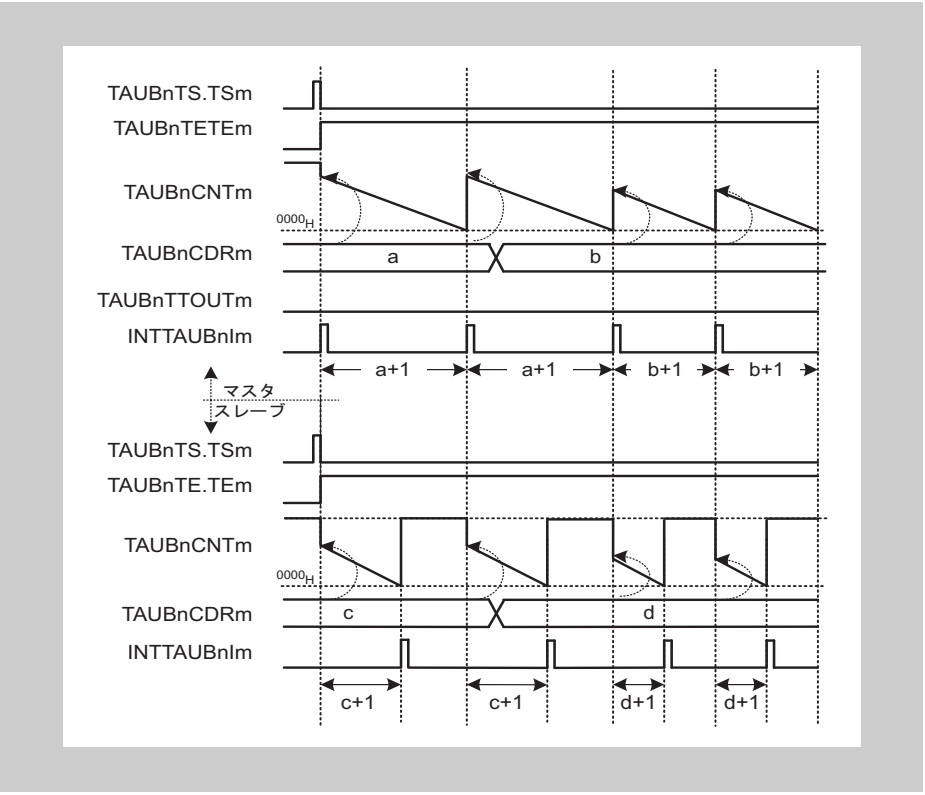


図 13-72 A/D 変換トリガ出力機能タイプ 1 の基本タイミング図

13.19 外部信号でトリガされる連動 PWM 信号機能

この節では，外部信号でトリガされる，PWM 信号を生成する機能について説明します。

- 13.19.1「ワンショット・パルス出力機能」

13.19.1 ワンショット・パルス出力機能

(1) 概要

概要 マスタ・チャネルとスレーブ・チャネルを使って外部入力信号パルスとの比較で定義されているパルス幅と遅延時間で信号パルスを出力する機能です。遅延時間はマスタ・チャネルで設定します。パルス幅はスレーブ・チャネルで設定します。

前提条件

- 2 チャネル
- マスタ・チャネルの動作モードは，ワンカウント・モードに設定する必要があります（*552 ページの表 13-90「ワンショット・パルス出力機能時のマスタ・チャネルの TAUBnCMORm 設定」*参照）。
- スレーブ・チャネルの動作モードは，パルス・ワンカウント・モードに設定する必要があります（*554 ページの表 13-93「ワンショット・パルス出力機能時のスレーブ・チャネルの TAUBnCMORm 設定」*参照）。
- この機能では，マスタ・チャネルで TAUBnTTOUTm は使用しません。
- スレーブ・チャネルのチャネル出力モードは，チャネル単体出力モード 2 に設定する必要があります (*428 ページの 13.8「チャネル出力モード」*参照）。
- TAUBnTTINm（マスタ）は，TAUBnCNTm（マスタ）と TAUBnCNTm（スレーブ）がトリガを待っている間に検出されなければなりません。また，スレーブはマスタ・チャネルからの割り込みでのみトリガされ，TAUBnTTINm（スレーブ）ではトリガされません。

機能説明 マスタ・チャネル，スレーブ・チャネルのチャネル・トリガ・ビット（TAUBnTS.TAUBnTSm）を 1 に設定すると，カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり，カウントが可能になります。

- マスタ・チャネル：

  次の有効な TAUBnTTINm 入力エッジが検出されると，TAUBnCDRm の現在値が TAUBnCNTm にロードされます。カウンタは，この TAUBnCDRm 値からダウン・カウントを開始します。TAUBnCMORm.TAUBnMD0 = 0 の場合，遅延時間内に検出されたトリガ（TAUBnTTINm）は無視されます。
  マスタ・チャネルのカウンタが 0000_H になると，INTTAUBnIm が発生します。カウンタは $FFFF_H$ に戻り，次の有効な TAUBnTTINm 入力エッジを待ちます。

- スレーブ・チャネル：

  マスタ・チャネルで INTTAUBnIm が発生すると，スレーブ・チャネルのカウンタ動作がトリガされます。TAUBnCDRm（スレーブ）の現在値が TAUBnCNTm（スレーブ）にロードされ，カウンタはその TAUBnCDRm

値からダウン・カウントを開始します。割り込みが発生し，TAUBnTTOUTm 信号がセットされます。

カウンタ値が 0001_H になると，INTTAUBnIm が発生し，TAUBnTTOUTm 信号がリセットされます。カウンタは 0000_H で停止し，マスタ・チャネルの次の INTTAUBnIm を待ちます。

マスタ／スレーブ・チャネルの TAUBnTT.TAUBnTTm を 1 に設定すると，カウンタ動作を停止できます。これにより，TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ／スレーブ・チャネルの TAUBnCNTm と TAUBnTTOUTm が停止しますが，それぞれの値は保持します。TAUBnTS.TAUBnTSm を 1 に設定すると，カウントを再開できます。

カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると，いったん停止しなくてもマスタ・チャネルのカウントを再開できます（強制リスタート）。

備考 1. 動作中に強制リスタートが行われた場合，出力信号の幅は TAUBnCDRm 値（スレーブ）と一致しません。

2. TAUBnTTINm 入力信号は TAUBnCMORm.TAUBnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって，TAUBnTTOUTm の出力クロックの周期には，動作クロック ±1 周期分の誤差があります。

条件
- マスタ・チャネルの TAUBnCMORm.TAUBnMD0 が 0 に設定されている場合，カウント中に検出された TAUBnTTINm 入力エッジは無視されます。
- この機能では一斉書き換えを行うことができます。*417 ページの 13.7「一斉書き換え」* を参照してください。

算出式 入力パルスまでの遅延 = (TAUBnCDRm（マスタ）+ 1) × カウント・クロック周期

パルス幅 = (TAUBnCDRm（スレーブ）) × カウント・クロック周期

(2)　ブロック図と基本タイミング図

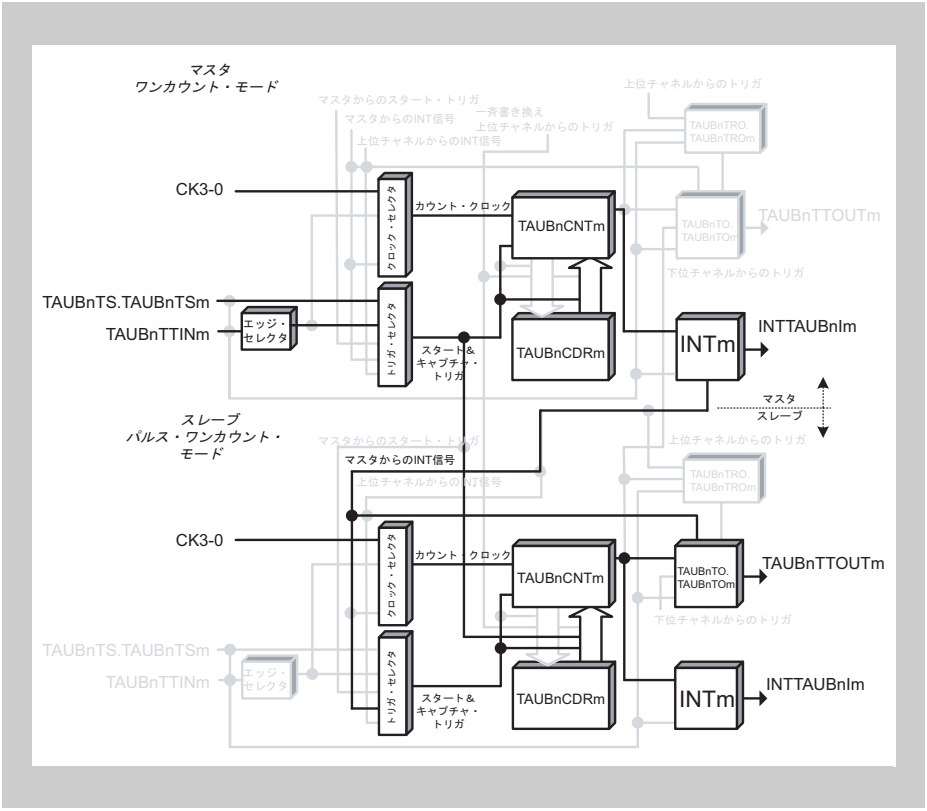


図 13-73　ワンショット・パルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- カウント中のスタート・トリガ検出は禁止
（TAUBnCMORm.TAUBnMD0 = 0）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 00_B）

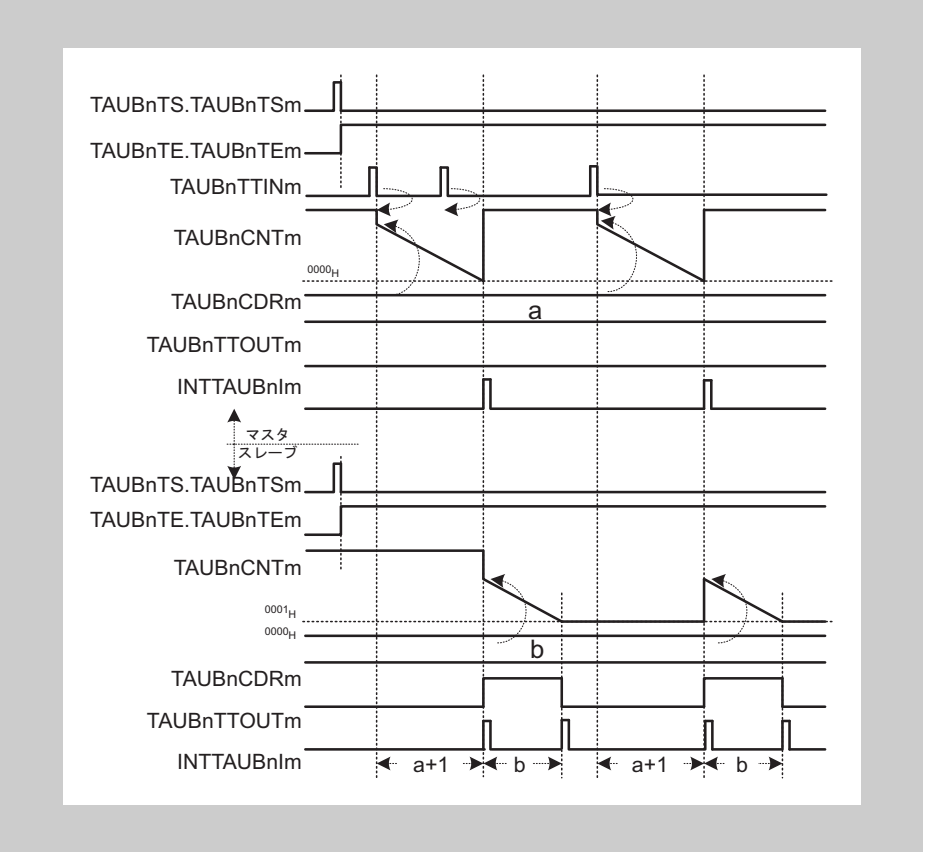


図 13-74　ワンショット・パルス出力機能の基本タイミング図

(3) マスタ・チャネルのレジスタ設定

(a) マスタ・チャネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBnMAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBnMD0

表 13-90 ワンショット・パルス出力機能時のマスタ・チャネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3 マスタ・チャネルとスレーブ・チャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	1: チャネルはマスタ・チャネル
TAUBnSTS[2:0]	001: 有効な TAUBnTTINm 入力エッジ信号をスタート・トリガとして使用
TAUBnCOS[1:0]	00: 未使用，00 を設定
TAUBnMD[4:1]	0100: ワンカウント・モード
TAUBnMD0	0: カウント中のスタート・トリガ検出禁止 1: カウント中のスタート・トリガ検出許可 マスタ・チャネルとスレーブ・チャネルの MD0 ビット値は同一である必要があります。

(b) マスタ・チャネルの TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-91 ワンショット・パルス出力機能時のマスタ・チャネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00: 立ち下がりエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出 11: 設定禁止

(c) マスタ・チャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため，TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし，ほかの機能あるいはソフトウエア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) マスタ・チャネルの一斉書き換え

マスタ・チャネルとスレーブ・チャネルの一斉書き換え設定は同じである必要があります。

表 13-92 ワンショット・パルス出力機能時のマスタ・チャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャネルが一斉書き換えの制御チャネル
TAUBnRDM.TAUBnRDMm	0: マスタ・チャネルがカウントを開始すると，一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: チャネルで一斉書き換えのトリガとなるINTTAUBnIm 信号をモニタしない。TAUBnRDS.TAUBnRDSm = 0 のとき，このビットの値にかかわらず，マスタ・チャネルで一斉書き換えトリガをモニタ。

(4) スレーブ・チャネルのレジスタ設定

(a) スレーブ・チャネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBnMAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBnMD0

表 13-93 ワンショット・パルス出力機能時のスレーブ・チャネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3 マスタ・チャネルとスレーブ・チャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	0: チャネルはスレーブ・チャネル
TAUBnSTS[2:0]	100: マスタ・チャネルの INTTAUBnIm がスタート・トリガ
TAUBnCOS[1:0]	00: 未使用，00 を設定
TAUBnMD[4:1]	1010: パルス・ワンカウント・モード
TAUBnMD0	0: カウント中のスタート・トリガ検出禁止 1: カウント中のスタート・トリガ検出許可 マスタ・チャネルとスレーブ・チャネルの MD0 ビット値は同一である必要があります。

(b) スレーブ・チャネルの TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-94 ワンショット・パルス出力機能時のスレーブ・チャネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00: 未使用，00 を設定

(c) スレーブ・チャネルの出力モード

表 13-95 チャネル単体出力モード2の時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャネル単体出力
TAUBnTOC.TAUBnTOCm	1: 動作モード2
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 反転論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 （TAUBnTDE.TAUBnTDEm = 0），0 を設定

(d) スレーブ・チャネルの一斉書き換え

マスタ・チャネルとスレーブ・チャネルの一斉書き換え設定は同じである必要があります。

表 13-96 ワンショット・パルス出力機能時のスレーブ・チャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャネルが一斉書き換えの制御チャネル
TAUBnRDM.TAUBnRDMm	0: マスタ・チャネルがカウントを開始すると，一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: チャネルで一斉書き換えのトリガとなるINTTAUBnIm 信号をモニタしない。 TAUBnRDS.TAUBnRDSm = 0 のとき，このビットの値にかかわらず，マスタ・チャネルで一斉書き換えトリガをモニタ。

(5)　ワンショット・パルス出力機能時の操作手順

表 13-97　ワンショット・パルス出力機能時の操作手順

	操作	TAUBn の状態
チャネルの初期設定	マスタ・チャネル：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを *552 ページの (3)「マスタ・チャネルのレジスタ設定」* に示すように設定します。 スレーブ・チャネル：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを *554 ページの (4)「スレーブ・チャネルのレジスタ設定」* に示すように設定します。 全チャネルの TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタ・チャネルとスレーブ・チャネルの TAUBnTS.TAUBnTSm を同時に 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm（マスタ／スレーブ・チャネル）が 1 に設定され，マスタ・チャネルは TAUBnTTINm 入力を待ちます。
動作中	TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	TAUBnTTINm 入力の有効エッジを検出すると，マスタ・チャネルの TAUBnCDRm の値を TAUBnCNTm にロードし，ダウン・カウントを行います。カウンタが 0000_H になった場合： • INTTAUBnIm（マスタ）が発生します。 • 再び TAUBnCNTm（マスタ）は $FFFF_H$ に戻り，次の有効な TAUBnTTINm 入力エッジを待ちます。 • 再び TAUBnCDRm の値を TAUBnCNTm（スレーブ）にロードし，ダウン・カウント動作を開始します。 • INTTAUBnIm（スレーブ）が発生します。 • TAUBnTTOUTm（スレーブ）がセットされます。 TAUBnCNTm（スレーブ）が 0001_H になった場合： • INTTAUBnIm（スレーブ）が発生します。 • TAUBnTTOUTm（スレーブ）がリセットされます。 カウント中にマスタ・チャネルで TAUBnTTINm 入力が検出され，TAUBnCMORm.TAUBnMD0 = 0 の場合，その入力は無視されます。
動作停止	マスタ・チャネルとスレーブ・チャネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUBnCNTm と TAUBnTTOUTm は停止し，現在値を保持します。

動作再開

(6) 特定の設定時のタイミング図

(a) TAUBnCDRm（マスタ）= 0000_H

下記のタイミング図での設定は次のようになっています。

- カウント中のスタート・トリガ検出は禁止
（TAUBnCMORm.TAUBnMD0 = 0）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 00_B）

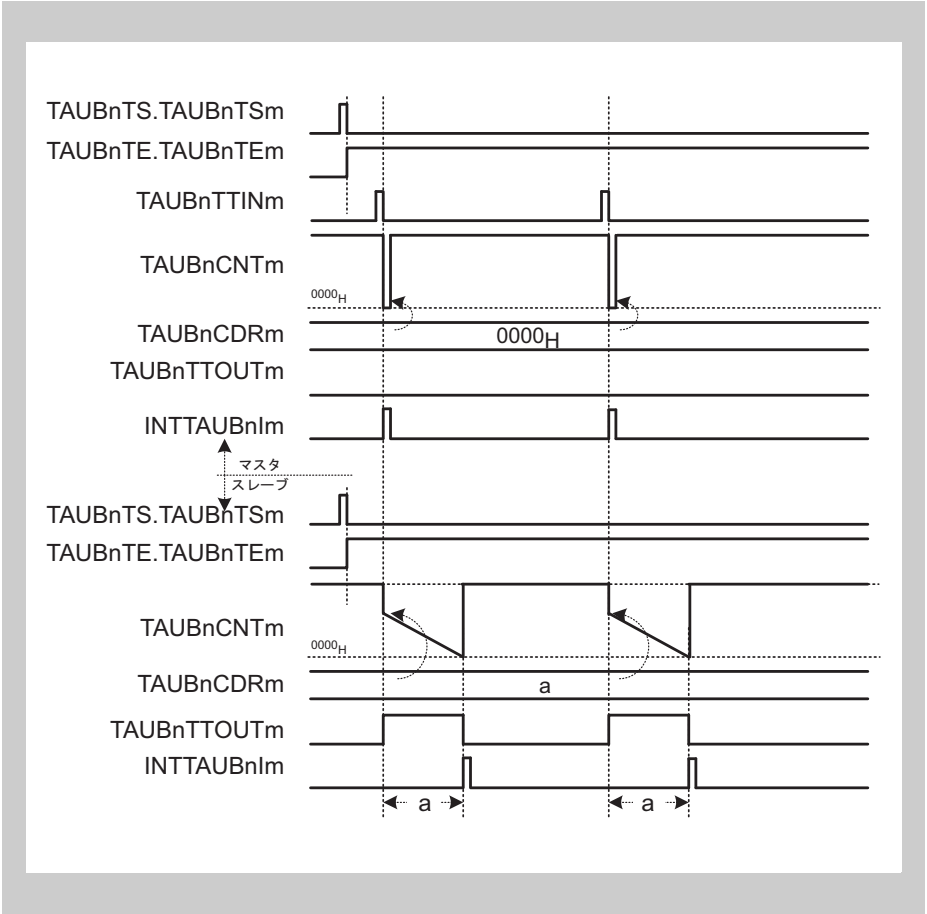


図 13-75 TAUBnCDRm（マスタ）= 0000_H

- TAUBnTTINm 入力の有効エッジが検出されたとき，TAUBnCNTm（マスタ）に 0000_H が書き込まれます。カウンタに 0000_H が設定されることにより，1 カウント行うと $FFFF_H$ に戻ります。
したがって，スレーブ・チャネルのカウンタは TAUBnTTINm（マスタ）から 1 カウント・クロック遅れて，ダウン・カウントを開始します。

(b) TAUBnCDRm（スレーブ）= 0000_H

下記のタイミング図での設定は次のようになっています。

- カウント中のスタート・トリガ検出は禁止
  （TAUBnCMORm.TAUBnMD0 = 0）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 00_B）

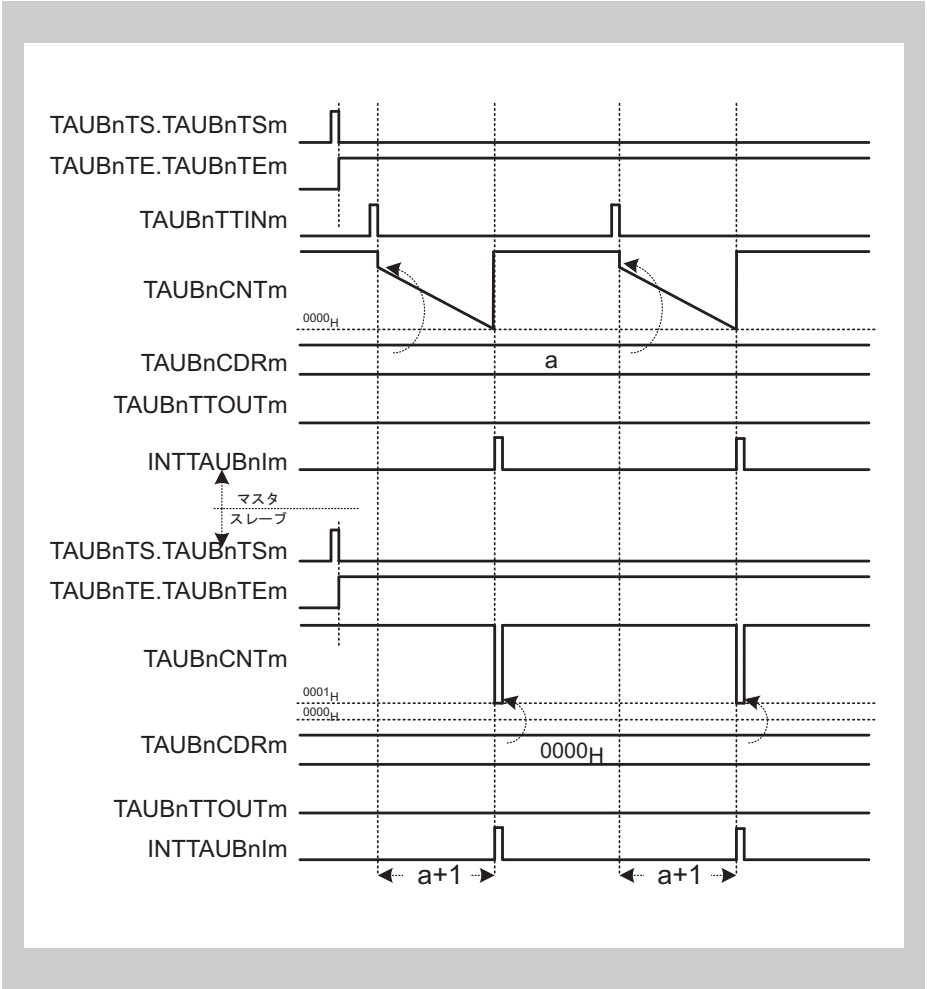


図 13-76 TAUBnCDRm（スレーブ）= 0000_H

- スレーブ・チャネルのカウンタは 0000_H をリロードし，1 カウント・クロック後に $FFFF_H$ に戻ります。
  パルス幅が 0 のため，TAUBnTTOUTm は非アクティブ状態のままです。

(c) TAUBnCMORm.TAUBnMD0 = 1

下記のタイミング図での設定は次のようになっています。

- カウント中のスタート・トリガ検出許可
（TAUBnCMORm.TAUBnMD0 = 1）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 00_B）

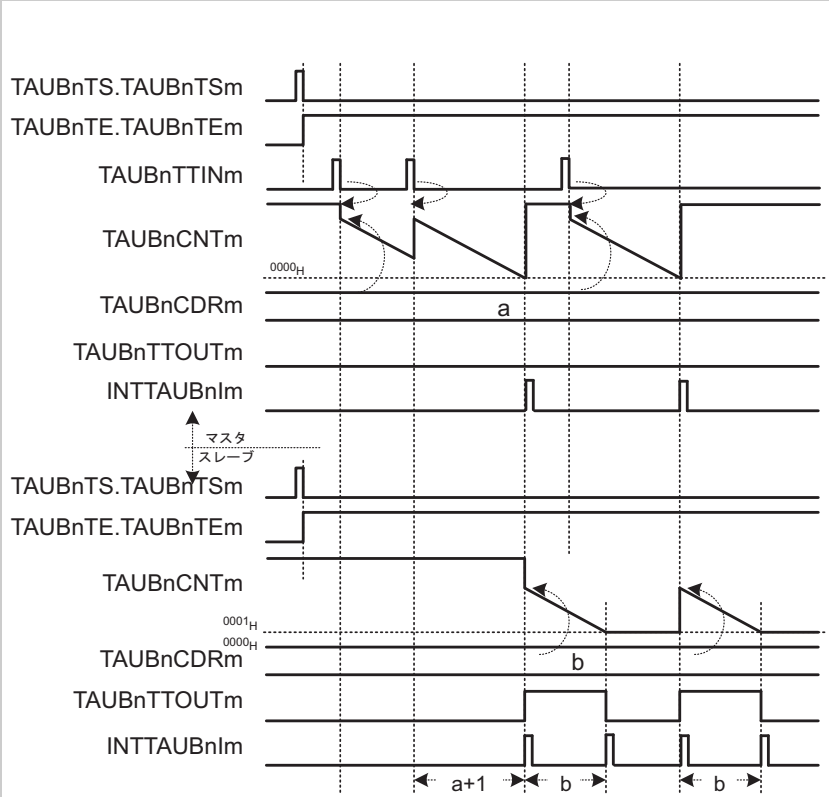


図 13-77 TAUBnCMORm.TAUBnMD0 = 1

- マスタ・チャネルのダウン・カウント中に TAUBnTTINm 入力の有効エッジが検出された場合，TAUBnCNTm は TAUBnCDRm の値をリロードします。カウンタは，ダウン・カウントを再開します。

  これは，TAUBnTTINm 入力の有効エッジ検出時の TAUBnCNTm の値によって，INTTAUBnIm 発生間隔のディレイが引き延ばされたことを意味します。

(d)　スレーブ・チャネル・カウント中にマスタ・チャネルがリスタート

下記のタイミング図での設定は次のようになっています。

- カウント中のスタート・トリガ検出は禁止（TAUBnCMORm.TAUBnMD0 = 0）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0] = 00_B）

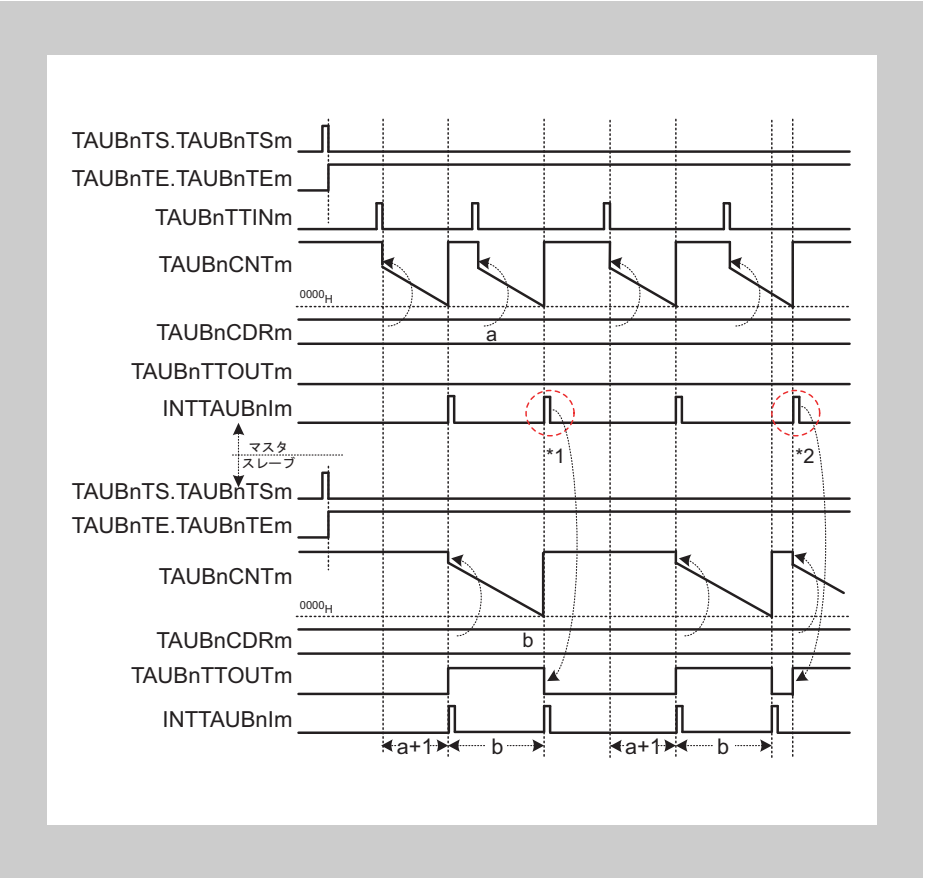


図 13-78　TAUBnTTINm 入力間隔≦ディレイ時間 + パルス幅 +1

- スレーブ・チャネルのカウンタが 0001_H になる前かちょうど 0001_H になったときにマスタ・チャネルが割り込みを発生した場合，割り込み（マスタ）は無視されます。
- スレーブ・チャネルのカウンタが次のトリガを待つ間にマスタ・チャネルの割り込みが発生した場合は，TAUBnCDRm（スレーブ）の値がリロードされます。割り込みが発生し，TAUBnTTOUTm がトグルされます。TAUBnCNTm（スレーブ）がカウント中に TAUBnCNTm（マスタ）がダウン・カウントを開始した場合は (*2)，TAUBnTTOUTm は期待される遅延時間では出力されません。
- 正しいワンショット・パルスを発生するには，マスタ・チャネルとスレーブ・チャネルがカウント中でなくスタート・トリガ待ち状態のときにマスタ・チャネルのスタート・トリガが検出される必要があります。

13.20 同期三角波 PWM 機能

この節では，三角波 PWM 出力信号を生成する機能について説明します。

- 13.20.1「三角波 PWM 出力機能」
- 13.20.2「デッド・タイム付き三角波 PWM 出力機能」
- 13.20.3「A/D 変換トリガ出力機能タイプ 2」

13.20.1 三角波 PWM 出力機能

(1) 概要

概要 マスタ・チャネルと 1 つ以上のスレーブ・チャネルを使用することで，複数の三角波 PWM 出力信号を生成する機能です。マスタ／スレーブ・チャネルを用いて，TAUBnTTOUTm のパルス周期（周波数）とデューティ・サイクルを設定することができます。

キャリア周期はマスタ・チャネルで生成します。マスタ・チャネルの 1 周期目はスレーブ・カウンタのダウン・ステータスを，2 周期目はアップ・ステータスを制御します。

前提条件
- 2 チャネル
- マスタ・チャネルの動作モードは，インターバル・タイマ・モードに設定する必要があります（*565 ページの表 13-98「三角波 PWM 出力機能時のマスタ・チャネルの TAUBnCMORm 設定」* 参照）。
- スレーブ・チャネルの動作モードは，アップ／ダウン・カウント・モードに設定する必要があります（*567 ページの表 13-102「三角波 PWM 出力機能時のスレーブ・チャネルの TAUBnCMORm 設定」* 参照）。
- マスタ・チャネルの出力モードは，チャネル単体出力モード 1 に設定する必要があります (*428 ページの 13.8「チャネル出力モード」*)。
- スレーブ・チャネルの出力モードは，チャネル連動出力モード 2 に設定する必要があります (*428 ページの 13.8「チャネル出力モード」* 参照)。
- 次のような設定により，キャリア周期のダウン・ステータスの間，TAUBnTTOUTm 信号がハイ・レベルになります。
  - TAUBnCMORm.TAUBnMD0（マスタ）ビットが 0 に設定されている場合，TAUBnTOE.TAUBnTOEm が 0 の間，TAUBnTO.TAUBnTOm を 1 に設定する必要があります。（推奨設定）
  - TAUBnCMORm.TAUBnMD0（マスタ）ビットが 1 に設定されている場合，TAUBnTOE.TAUBnTOEm が 0 の間，TAUBnTO.TAUBnTOm を 0 に設定する必要があります。

機能説明 チャネル・トリガ・ビット（TAUBnTS.TAUBnTSm）を1に設定すると，すべてのチャネルでカウンタ動作が許可されます。これによりTAUBnTE.TAUBnTEmが設定され，カウントが可能になります。
TAUBnCDRm（マスタ／スレーブ）の値がTAUBnCNTm（マスタ／スレーブ）にロードされ，カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。マスタ・チャネルの TAUBnCMORm.TAUBnMD0 ビットが1に設定されている場合は，割り込みが発生し，マスタの TAUBnTTOUTm 信号がトグルされます。

- マスタ・チャネル：

  マスタ・チャネルのカウンタ値が 0000_H になると（パルス周期が経過すると），INTTAUBnIm が発生し，TAUBnTTOUTm 信号がトグルされます。その後，再び TAUBnCDRm の値を TAUBnCNTm にロードし，ダウン・カウントを行います。

- スレーブ・チャネル：

  マスタ・チャネルで INTTAUBnIm が発生すると，スレーブ・チャネルのカウンタ動作がトリガされます。

  – スレーブのカウンタがダウン・カウント中の場合は，カウント方向が変わります。

  – スレーブのカウンタがアップ・カウント中の場合は，再び TAUBnCDRm の値がロードされ，カウンタはダウン・カウントを開始します。

  スレーブ・チャネルのカウンタがアップ／ダウン・カウント中に 0001_H になると，INTTAUBnIm が発生し，TAUBnTTOUTm（スレーブ）信号がセット／リセットされます：
  カウンタはアップ／ダウン・カウントを続け，マスタ・チャネルの次の INTTAUBnIm を待ちます。
  TAUBnTOL.TAUBnTOLm を設定することにより，動作中に TAUBnTTOUTm 信号の正相／逆相を切り替えることができます。

マスタ／スレーブ・チャネルの TAUBnTT.TAUBnTTm を1に設定すると，カウンタの動作を停止できます。これにより，TAUBnTE.TAUBnTEm は0に設定されます。マスタ／スレーブ・チャネルの TAUBnCNTm と TAUBnTTOUTm が停止しますが，それぞれの値は保持します。

備考 動作中に強制リスタートが発生した場合，TAUBnTTOUTm は PWM 出力波形を出しません。

条件 この機能では一斉書き換えを行うことができます。*417 ページの 13.7「一斉書き換え」*を参照してください。

(2)　算出式

パルス周期 =（TAUBnCDRm（マスタ）＋ 1）× カウント・クロック周期

0000_H ≦ TAUBnCDRm（マスタ）＜ $FFFF_H$

キャリア周期（ダウン／アップ）=（TAUBnCDRm（マスタ）＋ 1）× 2 × カウント・クロック周期

デューティ・サイクル [%] =
[（TAUBnCDRm（マスタ）＋ 1 − TAUBnCDRm（スレーブ））／（TAUBnCDRm（マスタ）＋ 1）] × 100

– デューティ・サイクル = 100 %

TAUBnCDRm（スレーブ）= 0000_H

– デューティ・サイクル = 0 %

TAUBnCDRm（スレーブ）≧ TAUBnCDRm（マスタ）+ 1

(3)　ブロック図と基本タイミング図

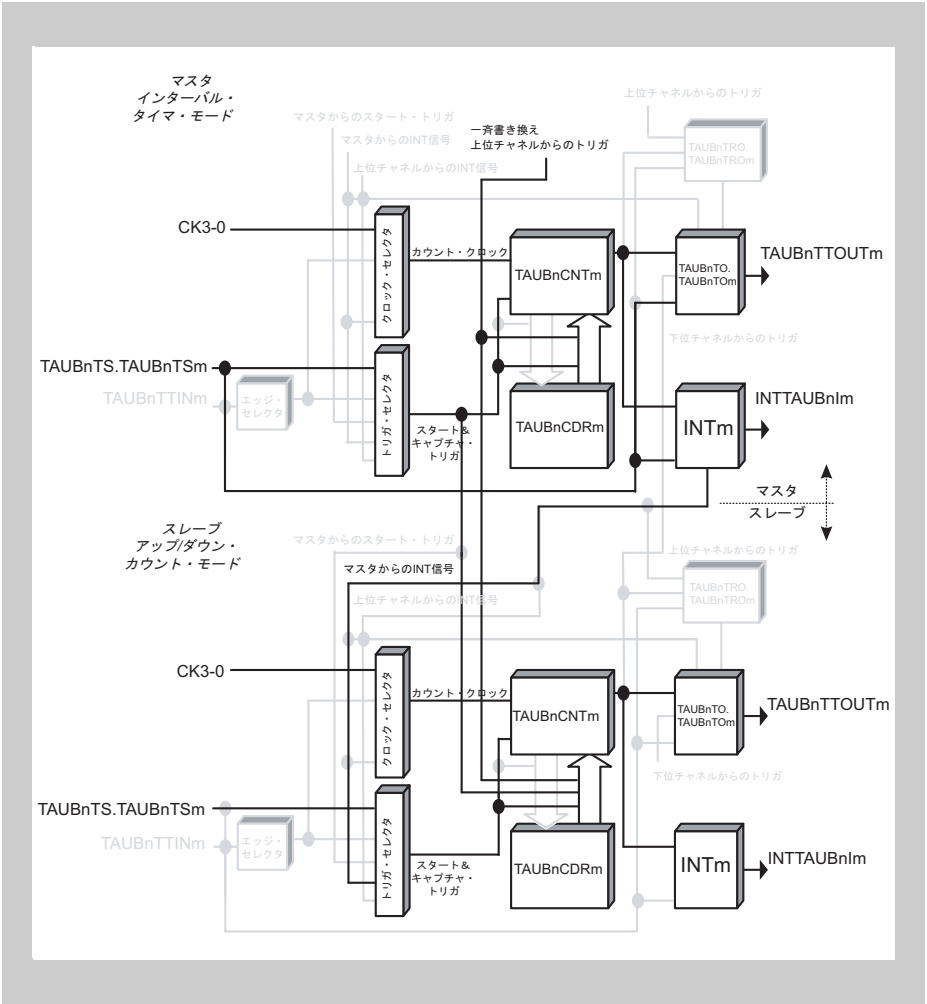


図 13-79　三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタ・チャネル
  - 動作開始時に INTTAUBnIm が発生する
    （TAUBnCMORm.TAUBnMD0 = 1）

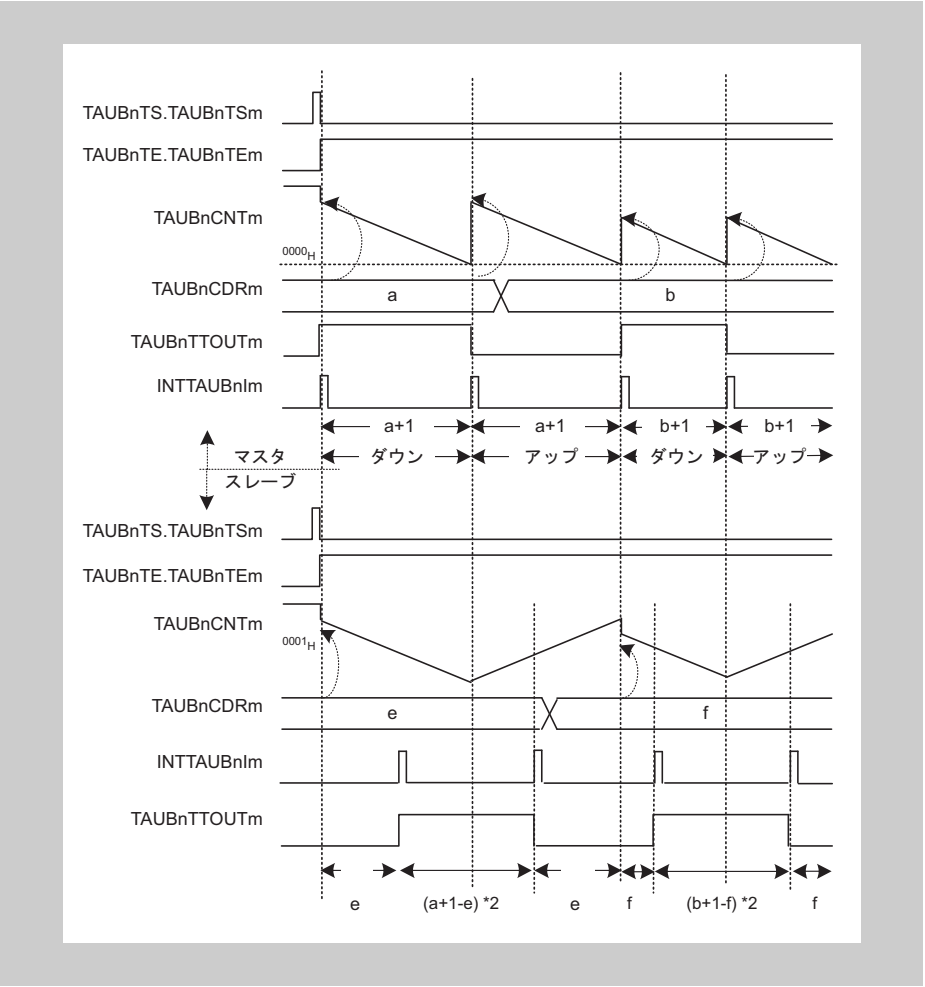


図 13-80　三角波 PWM 出力機能の基本タイミング図

(4) マスタ・チャネルのレジスタ設定

(a) マスタ・チャネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBnMAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBnMD0

表 13-98 三角波 PWM 出力機能時のマスタ・チャネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3 マスタ・チャネルとスレーブ・チャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	1: チャネルはマスタ・チャネル
TAUBnSTS[2:0]	000: ソフトウエアでカウンタをトリガ
TAUBnCOS[1:0]	00: 未使用，00 を設定
TAUBnMD[4:1]	0000: インターバル・タイマ・モード
TAUBnMD0	0: 動作開始時に INTTAUBnIm が発生せず，TAUBnTTOUTm はトグルされない 1: 動作開始時に INTTAUBnIm が発生し，TAUBnTTOUTm はトグルされる

(b) マスタ・チャネルの TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-99 三角波 PWM 出力機能時のマスタ・チャネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00: 未使用，00 を設定

(c) マスタ・チャネルのチャネル出力モード

表 13-100 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャネル単体出力
TAUBnTOC.TAUBnTOCm	0: 動作モード1（TAUBnTOM.TAUBnTOMm = 0 時はトグル・モード）
TAUBnTOL.TAUBnTOLm	0: 正論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時（TAUBnTDE.TAUBnTDEm = 0），0 を設定

(d) マスタ・チャネルの一斉書き換え

マスタ・チャネルとスレーブ・チャネルの一斉書き換え設定は同じである必要があります。

表 13-101 三角波 PWM 出力機能時のマスタ・チャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャネルで一斉書き換えトリガをモニタ 1: チャネル・グループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUBnRDM.TAUBnRDMm	1: 一斉書き換えトリガ信号は，マスタ・チャネルでのカウントが開始され，対応するスレーブ・チャネルの三角波の [山] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0: チャネルで一斉書き換えのトリガとなる INTTAUBnIm 信号をモニタしない。TAUBnRDS.TAUBnRDSm = 0 のとき，このビットの値にかかわらず，マスタ・チャネルで一斉書き換えトリガをモニタ。

備考 TAUBnRDS.TAUBnRDSm = 1 の場合，マスタ・チャネルより上位チャネルに一斉書き換えトリガ信号を生成するチャネルが必要です。

(5) スレーブ・チャネルのレジスタ設定

(a) スレーブ・チャネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBnMAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBnMD0

表 13-102 三角波 PWM 出力機能時のスレーブ・チャネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3 マスタ・チャネルとスレーブ・チャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	0: チャネルはスレーブ・チャネル
TAUBnSTS[2:0]	111: マスタ・チャネルのアップ／ダウン出力トリガ信号
TAUBnCOS[1:0]	00: 未使用，00 を設定
TAUBnMD[4:1]	1001: アップ／ダウン・カウント・モード
TAUBnMD0	0: 動作開始時に INTTAUBnIm が発生しない

(b) スレーブ・チャネルの TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-103 三角波 PWM 出力機能時のスレーブ・チャネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00: 未使用，00 を設定

(c) スレーブ・チャネルのチャネル出力モード

表 13-104 チャネル連動出力モード2の時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	1: チャネル連動動作
TAUBnTOC.TAUBnTOCm	1: 動作モード2
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 反転論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 （TAUBnTDE.TAUBnTDEm = 0），0 を設定

(d) スレーブ・チャネルの一斉書き換え

マスタ・チャネルとスレーブ・チャネルの一斉書き換え設定は同じである必要があります。

表 13-105 三角波 PWM 出力機能時のスレーブ・チャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャネルで一斉書き換えトリガをモニタ 1: 上位チャネルで一斉書き換えトリガをモニタする
TAUBnRDM.TAUBnRDMm	1: 一斉書き換えトリガ信号は，マスタ・チャネルでのカウントが開始され，対応するスレーブ・チャネルの三角波の [山] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0: チャネルで一斉書き換えのトリガとなるINTTAUBnIm 信号をモニタしない。 TAUBnRDS.TAUBnRDSm = 0 のとき，このビットの値にかかわらず，マスタ・チャネルで一斉書き換えトリガをモニタ。

(6)　三角波 PWM 出力機能時の操作手順

表 13-106　三角波 PWM 出力機能時の操作手順

	操作	TAUBn の状態
チャネルの初期設定	マスタ・チャネル：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを *565 ページの (4)「マスタ・チャネルのレジスタ設定」* に示すように設定します。 スレーブ・チャネル :TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを *567 ページの (5)「スレーブ・チャネルのレジスタ設定」* に示すように設定します。 全チャネルの TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタ・チャネルとスレーブ・チャネルの TAUBnTS.TAUBnTSm を同時に 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm（マスタ／スレーブ・チャネル）が 1 に設定され，マスタ／スレーブ・チャネルのカウンタが動作を開始します。 マスタ・チャネルで TAUBnCMORm.TAUBnMD0 が 1 に設定されている場合は，INTTAUBnIm（マスタ）が発生します。
動作中	TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	マスタ／スレーブ・チャネルの TAUBnCDRm の値を TAUBnCNTm にロードし，ダウン・カウントを行います。マスタ・チャネルのカウンタが 0000_H になった場合： • INTTAUBnIm（マスタ）が発生します。 • TAUBnTOUTm（マスタ）がトグルされます。 • 再び TAUBnCDRm の値を TAUBnCNTm（マスタ）にロードし，カウント動作を継続します。 • 再び TAUBnCDRm の値を TAUBnCNTm（スレーブ）にロードするか，反対方向のカウントを開始します。 スレーブ・チャネルの TAUBnCNTm が 0001_H になった場合： • INTTAUBnIm（スレーブ）が発生します。 • TAUBnTTOUTm（スレーブ）は，ダウン・カウント状態ではセット，アップ・カウント状態ではリセットされます。
動作停止	マスタ・チャネルとスレーブ・チャネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUBnCNTm と TAUBnTTOUTm は停止し，現在値を保持します。

動作再開

(7) 特定の設定時のタイミング図

(a) デューティ・サイクル = 0 %

基本タイミング図での設定は次のようになっています。

- マスタ・チャネル：
  - 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0 = 1）
  - TAUBnCDRm = a = 5_H
- スレーブ・チャネル：
  - TAUBnCDRm = 6_H

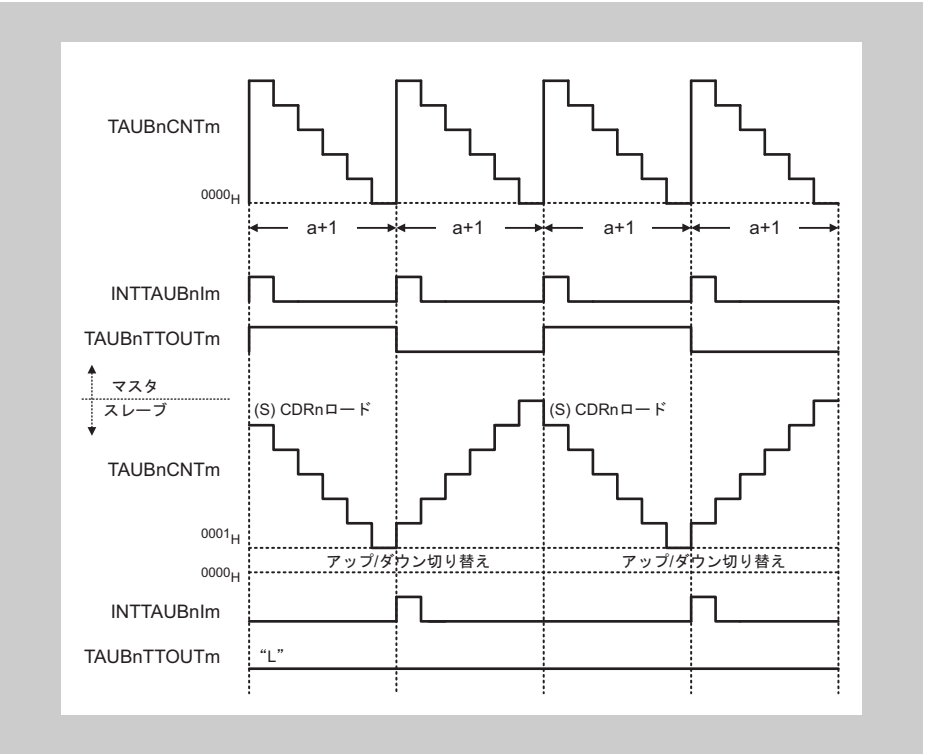


図 13-81 TAUBnCDRm（スレーブ）≧ TAUBnCDRm（マスタ）+ 1

- TAUBnCDRm（スレーブ）値が TAUBnCDRm（マスタ）値以上の場合，スレーブ・チャネルのカウンタがダウン・カウント中に INTTAUBnIm が発生しません。TAUBnTTOUTm のセット信号が検出されることがないため，TAUBnTTOUTm は インアクティブ・レベル状態のままになります。

(b) デューティ・サイクル = 100 %

基本タイミング図での設定は次のようになっています。

- マスタ・チャネル：
  - 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0 = 1）
  - TAUBnCDRm = a = 5_H
- スレーブ・チャネル：
  - TAUBnCDRm = 0_H

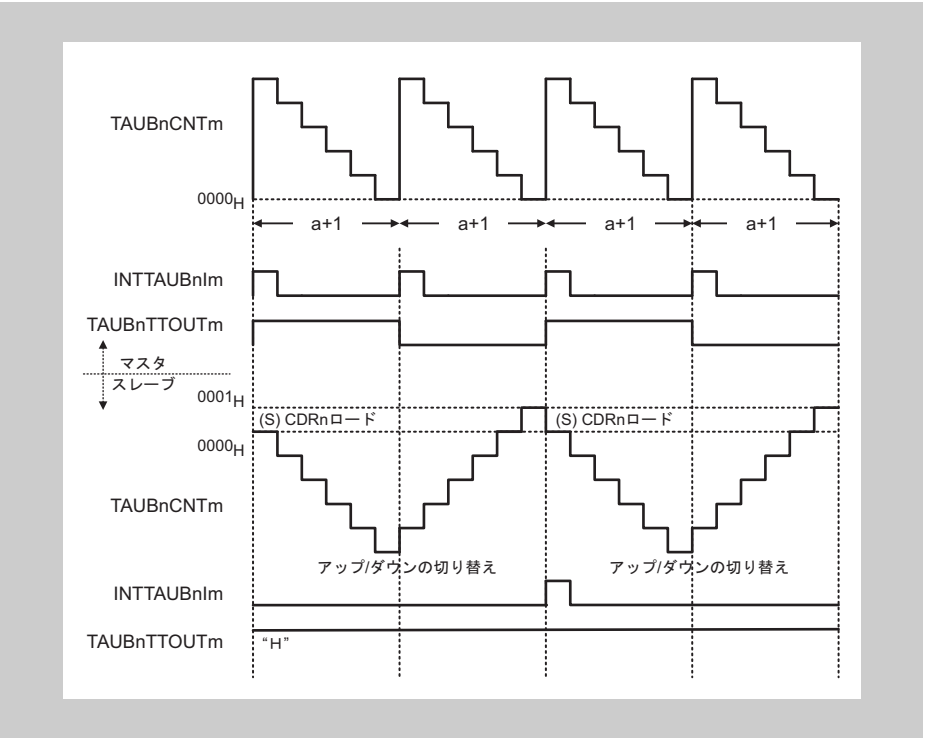


図 13-82 TAUBnCDRm（スレーブ）= 0000_H

- TAUBnCDRm（スレーブ）= 0000_H の場合，スレーブ・チャネルのカウンタがアップ・カウント中に INTTAUBnIm が発生しません。
  TAUBnTTOUTm のリセット信号が検出されることがないため，
  TAUBnTTOUTm は アクティブ・レベル状態のままになります。

13.20.2 デッド・タイム付き三角波 PWM 出力機能

(1) 概要

概要 マスタ・チャネルと 2 つ以上のスレーブ・チャネルを使用することで，複数の三角波 PWM 出力信号をあらかじめ定義されたデッド・タイムを付加して生成する機能です。デッド・タイムが付加された PWM 信号は，スレーブ・チャネル 2/3 の TAUBnTTOUTm から出力されます。これにより，マスタ／スレーブ・チャネルを使って TAUBnTTOUTm のパルス周期（周波数）とデューティ・サイクルを設定することができます。

キャリア周期はマスタ・チャネルで生成します。1 周期目のパルスはスレーブ・カウンタのダウン・ステータスを，2 周期目のパルスはアップ・ステータスを制御します。

スレーブ 2 で割り込みが発生すると，スレーブ・チャネルの TAUBnTTOUTm がセット／リセットされます。TAUBnTDL.TAUBnTDLm の設定によって，信号の正論理側または

側に遅延時間が付加されます（TAUBnTTOUTm がただちにセット／リセットされるのか，デッド・タイム経過後にセット／リセットされるのかを設定）。デッド・タイム時間はスレーブ・チャネル 3 で設定します。

前提条件

- 3 チャネル。スレーブ・チャネル 2 と 3 は，偶数チャネル CH（a）と奇数チャネル CH（a ＋ 1）を選択してください。
- マスタ・チャネルの動作モードは，インターバル・タイマ・モードに設定する必要があります（*577 ページの表 13-108「デッド・タイム付き三角波 PWM 出力機能時のマスタ・チャネルの TAUBnCMORm 設定」*参照）。
- この機能では，スレーブ・チャネル 1 は使用しません。そのため，スレーブ・チャネル 2 は必ず偶数チャネル，スレーブ・チャネル 3 は奇数チャネルです。
- スレーブ・チャネル 2 の動作モードは，アップ・ダウン・モードに設定する必要があります（*579 ページの表 13-112「デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャネル 2 の TAUBnCMORm 設定」*参照）。また，スレーブ・チャネル 2 は偶数チャネルでなければなりません。
- スレーブ・チャネル 3 の動作モードは，ワンカウント・モードに設定する必要があります（*581 ページの表 13-116「デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャネル 3 の TAUBnCMORm 設定」*参照）。また，スレーブ・チャネル 3 は奇数チャネルでなければなりません。
- マスタ・チャネルのチャネル出力モードは，チャネル単体出力モード 1 に設定する必要があります (*428 ページの 13.8「チャネル出力モード」*)。
- スレーブ・チャネル 2/3 の出力モードは，デッド・タイム出力を行うチャネル連動出力モード 2 に設定する必要があります (*428 ページの 13.8「チャネル出力モード」*参照)。
- 次のような設定により，キャリア周期のダウン・ステータスの間，TAUBnTTOUTm 信号がハイ・レベルになります。
  - TAUBnCMORm.TAUBnMD0（マスタ）ビットが 0 に設定されている場合，TAUBnTOE.TAUBnTOEm が 0 の間，TAUBnTO.TAUBnTOm を 1 に設定する必要があります。（推奨設定）
  - TAUBnCMORm.TAUBnMD0（マスタ）ビットが 1 に設定されている場合，TAUBnTOE.TAUBnTOEm が 0 の間，TAUBnTO.TAUBnTOm を 0 に設定する必要があります。

備考 デッド・タイム付き三角波 PWM 出力機能では，スレーブ・チャネル 1 を使用しません。

機能説明 チャネル・トリガ・ビット（TAUBnTS.TAUBnTSm）を 1 に設定すると，カウンタ動作が開始されます。これにより TAUBnTE.TAUBnTEm = 1 となり，カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ，カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。マスタ・チャネルの TAUBnCMORm.TAUBnMD0 ビットが 1 に設定されている場合は，割り込みが発生し，マスタの TAUBnTTOUTm 信号がトグルされます。

- マスタ・チャネル：

  マスタ・チャネルのカウンタ値が 0000_H になると，INTTAUBnIm が発生し，TAUBnTTOUTm 信号がトグルされます。再び TAUBnCDRm の値をカウンタにロードし，ダウン・カウントを行います。

- スレーブ・チャネル 2：

  マスタ・チャネルで INTTAUBnIm が発生すると，スレーブ・チャネル 2 のカウンタ動作がトリガされます。

  – スレーブのカウンタがダウン・カウント中の場合は，カウント方向が変わります。

  – スレーブのカウンタがアップ・カウント中の場合は，再び TAUBnCDRm の値がロードされ，カウンタはダウン・カウントを開始します。

  カウンタはアップ／ダウン・カウントを続け，マスタ・チャネルの次の INTTAUBnIm を待ちます。

- スレーブ・チャネル 3：

  スレーブ・チャネル 2 で INTTAUBnIm が発生すると，スレーブ・チャネル 3 のカウンタ動作がトリガされます。そして TAUBnCDRm（スレーブ 3）の現在値が TAUBnCNTm（スレーブ 3）にロードされ，カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。
  カウンタ値が 0000_H になると，INTTAUBnIm が発生します。カウンタは $FFFF_H$ に戻り，スレーブ・チャネル 2 の次の INTTAUBnIm を待ちます。

574 ページの表 13-107「スレーブ・チャネル 2 で割り込みが発生した際の TAUBnTTOUTm の動作」 にあるように，対応するチャネルの TAUBnTDL.TAUBnTDLm 設定によって，セット／リセットのタイミング（割り込み発生直後またはデッド・タイム経過後）が決まります。

また，TAUBnTOL.TAUBnTOLm の設定によって，対応チャネルからハイ・レベル信号を出力（TAUBnTOL.TAUBnTOLm = 0）するかロウ・レベル信号を出力（TAUBnTOL.TAUBnTOLm = 1）するかが決まります。

マスタ／スレーブ・チャネルの TAUBnTT.TAUBnTTm を 1 に設定すると，カウンタ動作を停止できます。これにより，TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ／スレーブ・チャネルの TAUBnCNTm と TAUBnTTOUTm が停止しますが，それぞれの値は保持します。

スレーブ・チャネル 2 の TAUBnCDRm 値を 0000_H にして，TAUBnTTOUTm を 100 % 出力することができます。

備考 動作中に強制リスタートが発生した場合，TAUBnTTOUTm は三角波 PWM 出力波形を出しません。

条件 この機能では一斉書き換えを行うことができます。*417 ページの 13.7「一斉書き換え」*を参照してください。

TAUBnTOL.TAUBnTOLm と TAUBnTDL.TAUBnTDLm の設定はカウント動作開始前に行う必要があり，スレーブ・チャネル 2 とスレーブ・チャネル 3 は TAUBnTOL.TAUBnTOLm か TAUBnTDL.TAUBnTDLm の設定が反対でなければなりません。

表 13-107 スレーブ・チャネル 2 で割り込みが発生した際の TAUBnTTOUTm の動作

TAUBnTDL. TAUBnTDLm	割り込み発生時のスレーブ・チャネル 2 のカウント方向	TAUBnTTOUTm セット／リセット・タイミング
0	ダウン・カウント	デッド・タイム経過後に設定
	アップ・カウント	割り込み発生直後にリセット
1	ダウン・カウント	割り込み発生直後にセット
	アップ・カウント	デッド・タイム経過後に設定

(2) 算出式

パルス周期 = （TAUBnCDRm（マスタ）＋ 1）× カウント・クロック周期

0000_H ≦ TAUBnCDRm（マスタ）＜ $FFFF_H$

キャリア周期（ダウン／アップ）= （TAUBnCDRm（マスタ）＋ 1）× 2 × カウント・クロック周期

PWM 信号幅（正相）= [（TAUBnCDRm（マスタ）＋ 1 － TAUBnCDRm（スレーブ 2））× 2 －（TAUBnCDRm （スレーブ 3）＋ 1）] × カウント・クロック周期

PWM 信号幅（逆相）= [（TAUBnCDRm（マスタ）＋ 1 － TAUBnCDRm（スレーブ 2））× 2 ＋（TAUBnCDRm （スレーブ 3）＋ 1）] × カウント・クロック周期

(3) ブロック図と基本タイミング図

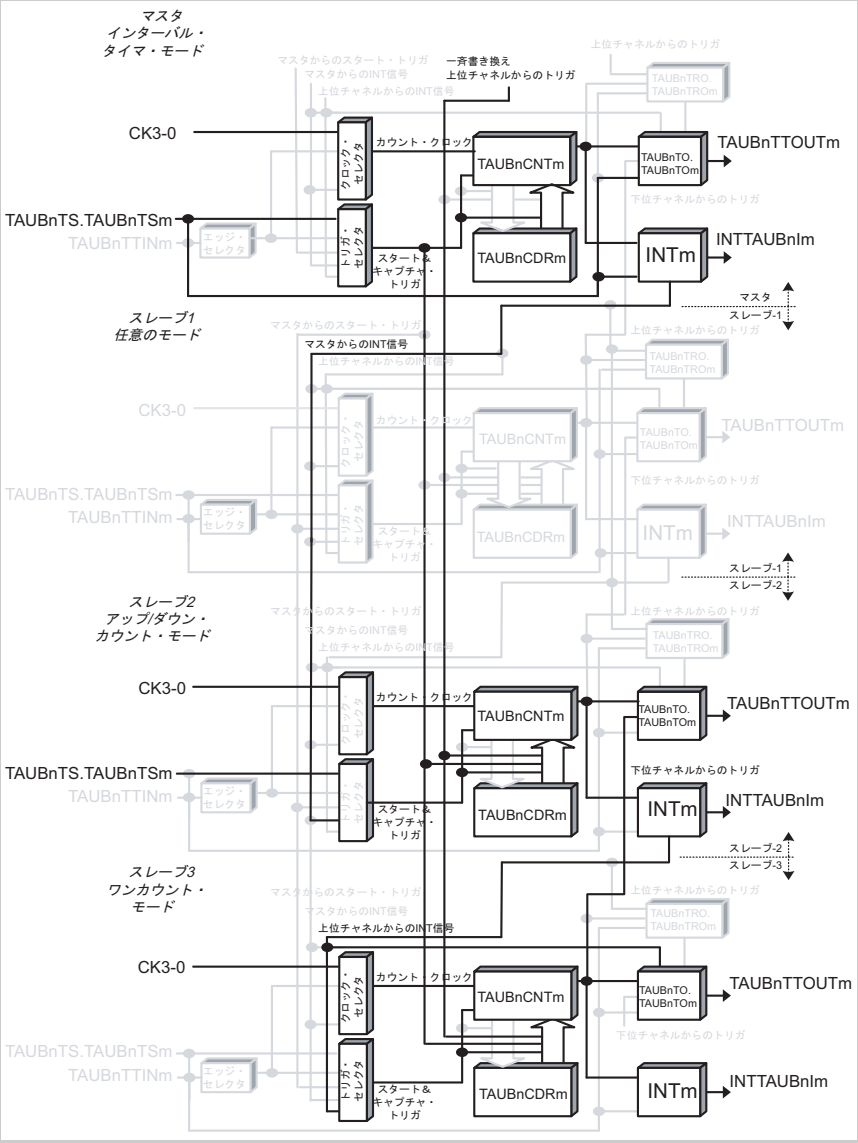


図 13-83 デッド・タイム付き三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタ・チャネル：
  - 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0 = 1）
- スレーブ・チャネル 2：
  - 動作開始時に INTTAUBnIm が発生しない（TAUBnCMORm.TAUBnMD0 = 0）
  - TAUBnTDL.TAUBnTDLm = 0
  - 正論理（TAUBnTOL.TAUBnTOLm = 0）
- スレーブ・チャネル 3：
  - 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0 = 1）
  - TAUBnTDL.TAUBnTDLm = 1
  - 負論理（TAUBnTOL.TAUBnTOLm = 1）

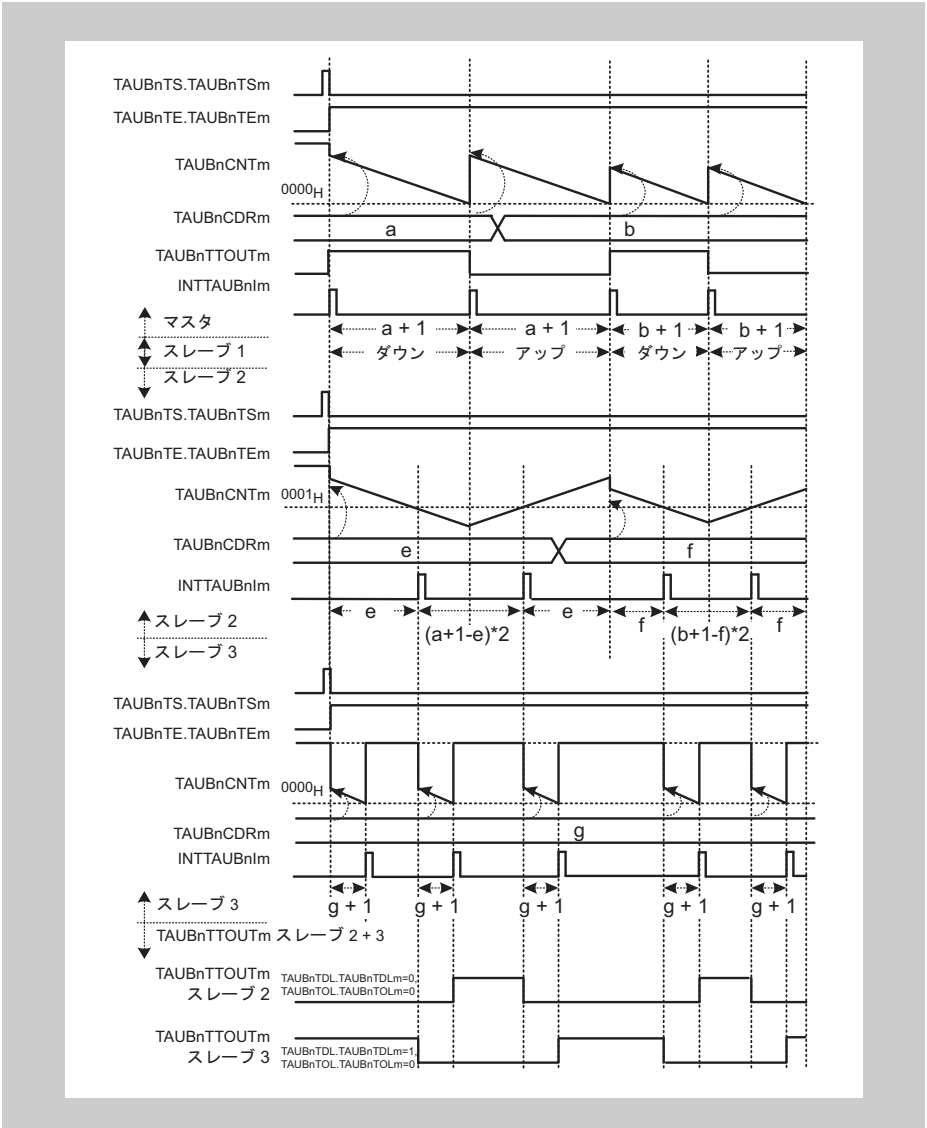


図 13-84　デッド・タイム付き三角波 PWM 出力機能の基本タイミング図

(4) マスタ・チャネルのレジスタ設定

(a) マスタ・チャネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBnMAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBnMD0

表 13-108 デッド・タイム付き三角波 PWM 出力機能時のマスタ・チャネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3 マスタ・チャネルとスレーブ・チャネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	1: チャネルはマスタ・チャネル
TAUBnSTS[2:0]	000: ソフトウエアでカウンタをトリガ
TAUBnCOS[1:0]	00: 未使用，00 を設定
TAUBnMD[4:1]	0000: インターバル・タイマ・モード
TAUBnMD0	0: 動作開始時に INTTAUBnIm が発生せず，TAUBnTOUTm はトグルされない 1: 動作開始時に INTTAUBnIm が発生し，TAUBnTTOUTm はトグルされる

(b) マスタ・チャネルの TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-109 デッド・タイム付き三角波 PWM 出力機能時のマスタ・チャネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00: 未使用，00 を設定

(c) マスタ・チャネルのチャネル出力モード

表 13-110 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャネル単体出力
TAUBnTOC.TAUBnTOCm	0: 動作モード1（TAUBnTOM.TAUBnTOMm = 0 時はトグル・モード）
TAUBnTOL.TAUBnTOLm	0: 正論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時（TAUBnTDE.TAUBnTDEm = 0），0 を設定

(d) マスタ・チャネルの一斉書き換え

マスタ・チャネルとスレーブ・チャネルの一斉書き換え設定は同じである必要があります。

表 13-111 デッド・タイム付き三角波 PWM 出力機能時のマスタ・チャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャネルで一斉書き換えトリガをモニタ 1: チャネル・グループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUBnRDM.TAUBnRDMm	1: 一斉書き換えトリガ信号は，マスタ・チャネルでのカウントが開始され，対応するマスタ・チャネルの三角波周期の [山] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0: チャネルで一斉書き換えのトリガとなるINTTAUBnIm 信号をモニタしない。TAUBnRDS.TAUBnRDSm = 0 のとき，このビットの値にかかわらず，マスタ・チャネルで一斉書き換えトリガをモニタ。

備考 TAUBnRDS.TAUBnRDSm = 1 の場合，マスタ・チャネルより上位チャネルに一斉書き換えトリガ信号を生成するチャネルが必要です。

(5) スレーブ・チャネル2のレジスタ設定

(a) スレーブ・チャネル2のTAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBnMAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBnMD0

表 13-112 デッド・タイム付き三角波PWM出力機能時のスレーブ・チャネル2のTAUBnCMORm設定

ビット名	設定
TAUBnCKS[1:0]	00: プリスケーラ出力CK0 01: プリスケーラ出力CK1 10: プリスケーラ出力CK2 11: プリスケーラ出力CK3 マスタ・チャネルとスレーブ・チャネルのTAUBnCKS[1:0]ビット値は同一である必要があります。
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	0: チャネルはスレーブ・チャネル
TAUBnSTS[2:0]	111: マスタ・チャネルのアップ／ダウン出力トリガ信号
TAUBnCOS[1:0]	00: 未使用，00を設定
TAUBnMD[4:1]	1001: アップ／ダウン・カウント・モード
TAUBnMD0	0: 動作開始時にINTTAUBnImが発生しない

(b) スレーブ・チャネル2のTAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-113 デッド・タイム付き三角波PWM出力機能時のスレーブ・チャネル2のTAUBnCMURm設定

ビット名	設定
TAUBnTIS[1:0]	00: 未使用，00を設定

(c) スレーブ・チャネル2のチャネル出力モード

表 13-114 デッド・タイム出力を行うチャネル連動出力モード2時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	1: チャネル連動動作
TAUBnTOC.TAUBnTOCm	1: 動作モード2
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 反転論理
TAUBnTDE.TAUBnTDEm	1: デッド・タイム動作許可
TAUBnTDL.TAUBnTDLm	0: 正相にデッド・タイムを付加 1: 逆相にデッド・タイムを付加

注意 TDLmは，奇数チャネルと排他設定してください。

(d) スレーブ・チャネル2の一斉書き換え

マスタ・チャネルとスレーブ・チャネルの一斉書き換え設定は同じである必要があります。

表 13-115 三角波PWM出力機能時のスレーブ・チャネル2の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャネルで一斉書き換えトリガをモニタ 1: チャネル・グループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUBnRDM.TAUBnRDMm	1: 一斉書き換えトリガ信号は，マスタ・チャネルでのカウントが開始され，対応するマスタ・チャネルの三角波周期の [山] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0: チャネルで一斉書き換えのトリガとなるINTTAUBnIm信号をモニタしない。 TAUBnRDS.TAUBnRDSm = 0のとき，このビットの値にかかわらず，マスタ・チャネルで一斉書き換えトリガをモニタ。

(6) スレーブ・チャネル3のレジスタ設定

(a) スレーブ・チャネル3のTAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		TAUBnCCS [1:0]		TAUBnMAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:1]				TAUBnMD0

表 13-116 デッド・タイム付き三角波PWM出力機能時のスレーブ・チャネル3のTAUBnCMORm設定

ビット名	設定
TAUBnCKS[1:0]	00: プリスケーラ出力CK0 01: プリスケーラ出力CK1 10: プリスケーラ出力CK2 11: プリスケーラ出力CK3 マスタ・チャネルとスレーブ・チャネルのTAUBnCKS[1:0]ビット値は同一である必要があります。
TAUBnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUBnMAS	0: チャネルはスレーブ・チャネル
TAUBnSTS[2:0]	110: デッド・タイム・トリガ
TAUBnCOS[1:0]	00: 未使用，00を設定
TAUBnMD[4:1]	0100: ワンカウント・モード
TAUBnMD0	1: カウント中のスタート・トリガ検出許可

(b) スレーブ・チャネル3のTAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS [1:0]	

表 13-117 デッド・タイム付き三角波PWM出力機能時のスレーブ・チャネル3のTAUBnCMURm設定

ビット名	設定
TAUBnTIS[1:0]	00: 未使用，00を設定

(c)　スレーブ・チャネル3のチャネル出力モード

表 13-118　デッド・タイム出力を行うチャネル連動出力モード2時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	1: チャネル連動動作
TAUBnTOC.TAUBnTOCm	1: 動作モード2
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 反転論理
TAUBnTDE.TAUBnTDEm	1: デッド・タイム動作許可
TAUBnTDL.TAUBnTDLm	0: 正相にデッド・タイムを付加 1: 逆相にデッド・タイムを付加

注意　TAUBnTDL.TAUBnTDLmは，偶数チャネルと排他設定してください。

(d)　スレーブ・チャネル3の一斉書き換え

マスタ・チャネルとスレーブ・チャネルの一斉書き換え設定は同じである必要があります。

表 13-119　三角波PWM出力機能時のスレーブ・チャネル3の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャネルで一斉書き換えトリガをモニタ 1: チャネル・グループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUBnRDM.TAUBnRDMm	1: 一斉書き換えトリガ信号は，マスタ・チャネルでのカウントが開始され，対応するマスタ・チャネルの三角波周期の [山] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0: チャネルで一斉書き換えのトリガとなるINTTAUBnIm信号をモニタしない。 TAUBnRDS.TAUBnRDSm = 0のとき，このビットの値にかかわらず，マスタ・チャネルで一斉書き換えトリガをモニタ。

(7)　デッド・タイム付き三角波 PWM 出力機能時の操作手順

表 13-120　デッド・タイム付き三角波 PWM 出力機能時の操作手順

	操作	TAUBn の状態
チャネルの初期設定	マスタ・チャネル：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを *577 ページの (4)「マスタ・チャネルのレジスタ設定」* に示すように設定します。 スレーブ・チャネル 2：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを *579 ページの (5)「スレーブ・チャネル 2 のレジスタ設定」* に示すように設定します。 スレーブ・チャネル 3：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを *581 ページの (6)「スレーブ・チャネル 3 のレジスタ設定」* に示すように設定します。 全チャネルの TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタ・チャネルとスレーブ・チャネルの TAUBnTS.TAUBnTSm を同時に 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm（マスタ／スレーブ・チャネル）が 1 に設定され，マスタ／スレーブ・チャネルのカウンタが動作を開始します。 マスタ・チャネルで TAUBnCMORm.TAUBnMD0 が 1 に設定されている場合は，INTTAUBnIm（マスタ）が発生します。
動作中	TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	マスタ・チャネルとスレーブ・チャネル 2 の TAUBnCDRm の値を TAUBnCNTm にロードし，ダウン・カウントを行います。マスタ・チャネルのカウンタが 0000_H になった場合： • INTTAUBnIm（マスタ）が発生します。 • 再び TAUBnCDRm の値を TAUBnCNTm（マスタ）にロードし，カウント動作を継続します。 • 再び TAUBnCDRm の値を TAUBnCNTm（スレーブ 2）にロードするか，反対方向のカウントを開始します。 TAUBnCNTm（スレーブ 2）が 0001_H になった場合： • INTTAUBnIm（スレーブ 2）が発生します。 • スレーブ・チャネル 3 の TAUBnCDRm の値を TAUBnCNTm にロードし，ダウン・カウントを行います。 スレーブ・チャネル 3 の TAUBnCNTm が 0000_H になった場合： • INTTAUBnIm が発生します。
動作停止	マスタ・チャネルとスレーブ・チャネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUBnCNTm と TAUBnTTOUTm は停止し，現在値を保持します。

動作再開

(8)　特定の設定時のタイミング図

(a)　デューティ・サイクル = 0 %

下図での設定は次のようになっています。

- スレーブ・チャネル 2 :
  - 正論理（TAUBnTOL.TAUBnTOLm = 0）
- スレーブ・チャネル 3 :
  - 負論理（TAUBnTOL.TAUBnTOLm = 1）

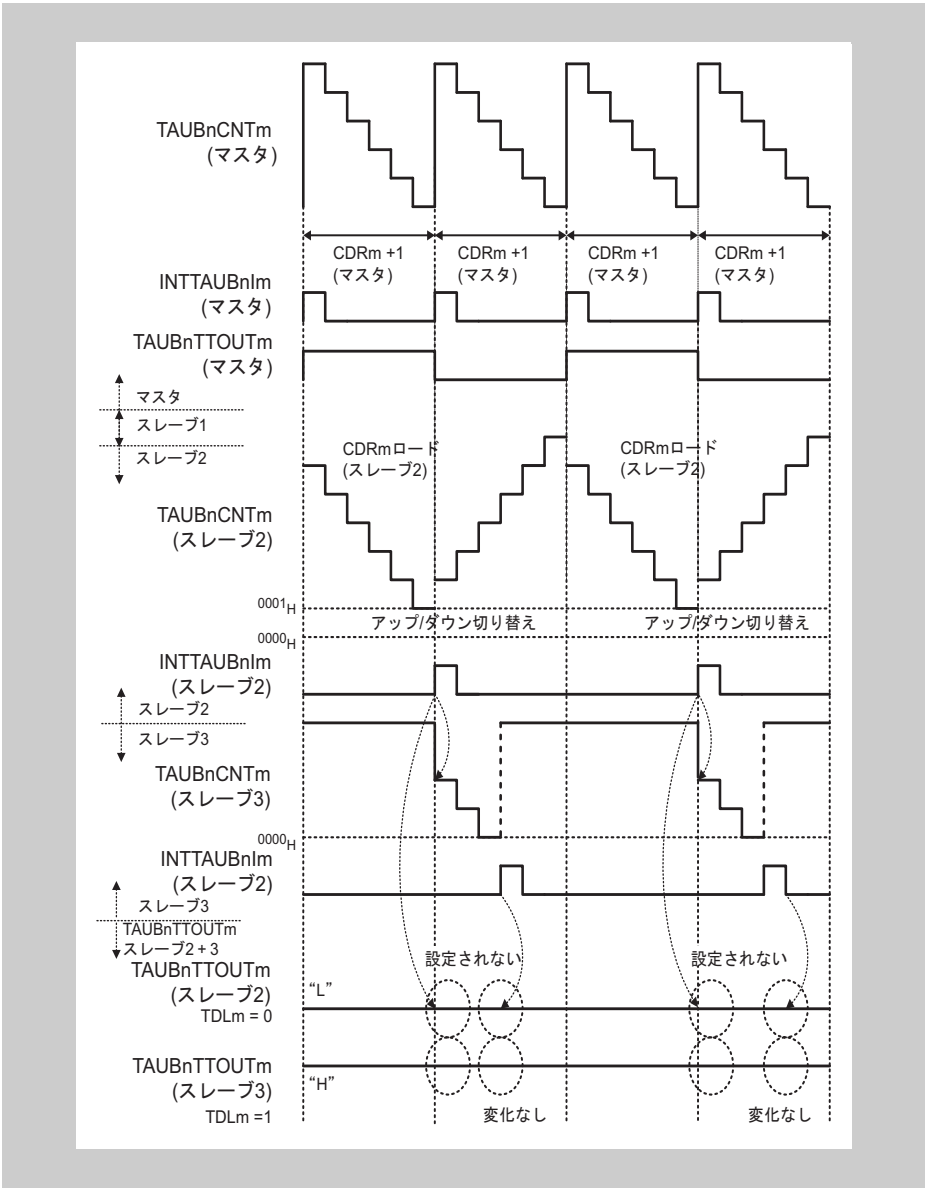


図 13-85　TAUBnCDRm（スレーブ 2）≧ TAUBnCDRm（マスタ）＋ 1

- TAUBnCDRm（スレーブ 2）値が TAUBnCDRm（マスタ）値以上の場合，スレーブ・チャネル 2，3 のカウンタがダウン・カウント中に INTTAUBnIm が発生しません。TAUBnTTOUTm のセット信号が検出されることがないため，TAUBnTTOUTm は インアクティブ・レベル状態のままになります。

(b) デューティ・サイクル = 100 %

下図での設定は次のようになっています。

- スレーブ・チャネル 2 :
  - 正論理（TAUBnTOL.TAUBnTOLm = 0）
- スレーブ・チャネル 3 :
  - 負論理（TAUBnTOL.TAUBnTOLm = 1）

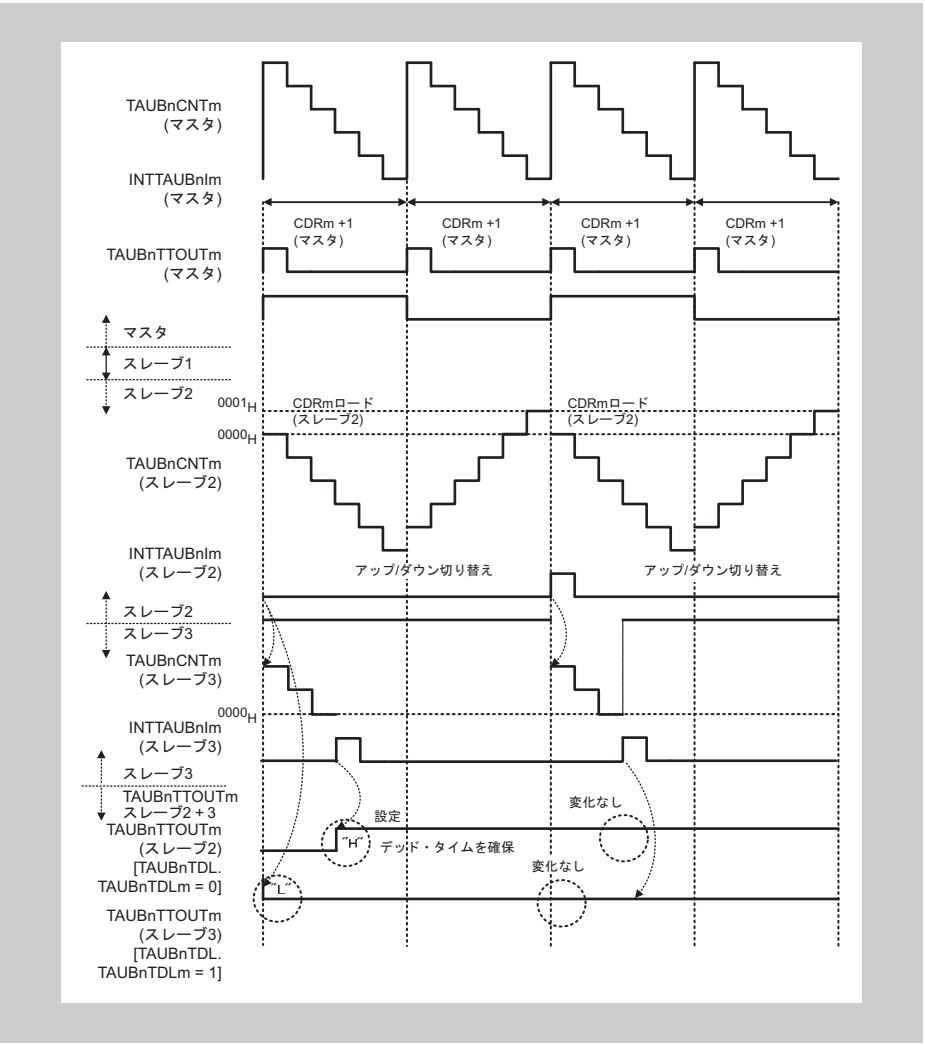


図 13-86 TAUBnCDRm（スレーブ 2）= 0000_H

- TAUBnCDRm（スレーブ 2）= 0000_H の場合，スレーブ・チャネルのカウンタがアップ・カウント中に INTTAUBnIm が発生しません。
  TAUBnTTOUTm のリセット信号が検出されることがないため，
  TAUBnTTOUTm は アクティブ・レベル状態のままになります。
  TAUBnTS.TAUBnTSm=1 設定後，TAUBnTTOUTm の逆相出力は強制的にセットされ以降アクティブレベルを保持，正相出力はデッド・タイムを確保後セットされ以降アクティブレベルを保持します。
  - TAUBnTDL.TAUBnTDLm が 0 に設定されているチャネルでは，デッド・タイム経過後にセット条件が満たされます。このようなチャネルではリセット条件が満たされることがないため，TAUBnTTOUTm のセット／リセットが行われても，信号は新しく設定された状態のままになります。
  - 上図のスレーブ・チャネル 3 はカウント開始時にセットされます。ただし，TAUBnTDL.TAUBnTDLm が 1 に設定されているスレーブ・チャネルでは，リセット条
  - 件が満たされることがないため，当該チャネルでは TAUBnTTOUTm は初期状態のままになります。

(c) TAUBnTTOUTm（スレーブ2）=0%, TAUBnTTOUTm（スレーブ3）≧0%

下図での設定は次のようになっています。

- スレーブ・チャネル2：
  - 正論理（TAUBnTOL.TAUBnTOLm = 0）
- スレーブ・チャネル3：
  - 負論理（TAUBnTOL.TAUBnTOLm = 1）

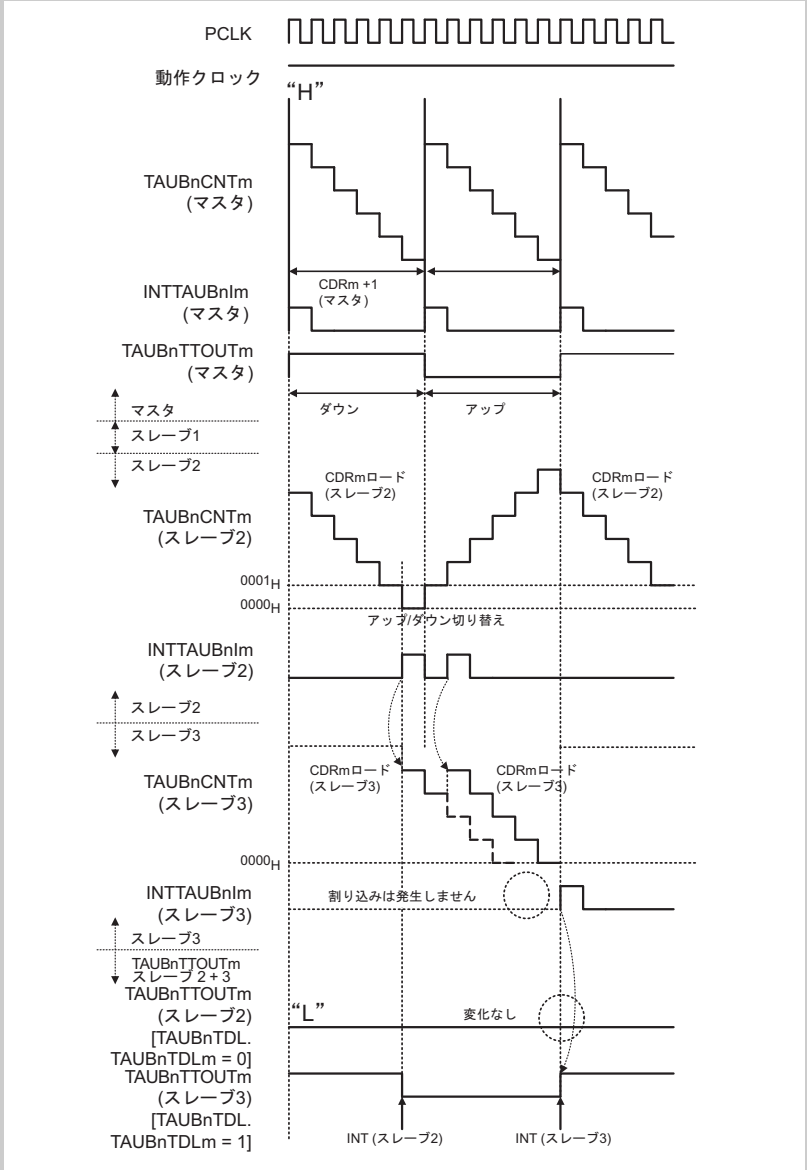


図 13-87 TAUBnCDRm（マスタ）= 0005_H, TAUBnCDRm（スレーブ2）= 0005_H TAUBnCDRm（スレーブ3）= 0004_H

- スレーブ・チャネル 2 のカウンタが 0000_H になったとき，INTTAUBnIm（スレーブ 2）が発生し，スレーブ・チャネル 3 のダウン・カウントが開始します。
- スレーブ・チャネル 3 がダウン・カウント中に INTTAUBnIm（スレーブ 2）が発生した場合，TAUBnCDRm（スレーブ 3）の値はリロードされ，カウンタはこの値でダウン・カウントを再開します。
- 上の図では，カウンタがダウン・カウント中にチャネル 2 で第 1 の割り込みが発生し，アップ・カウント中に第 2 の割り込みが発生しています。
- 第 1 の割り込みの後，TAUBnTDL.TDLm = 0 となるスレーブは，設定する前にデッド・タイムが経過するのを待ちます。ただし，デッド・タイムが経過する前にスレーブ 2 で別の割り込みが発生すると，この間カウンタはアップ・カウントしています。これはリセット信号として動作します。つまり，TAUBnTDL.TDLm = 0 となるチャネルは常に非アクティブ状態のままです。
- TAUBnTDL.TDLm = 1 のスレーブ・チャネルの TAUBnTTOUTm は，対応する INTTAUBnIm が発生するときに通常どおりセット／リセットされます。

(d) TAUBnTTOUTm（スレーブ2）＞0%，TAUBnTTOUTm（スレーブ3）=100%

下図での設定は次のようになっています。

- スレーブ・チャネル 2：
  - 正論理（TAUBnTOL.TAUBnTOLm = 0）
- スレーブ・チャネル 3：
  - 負論理（TAUBnTOL.TAUBnTOLm = 1）

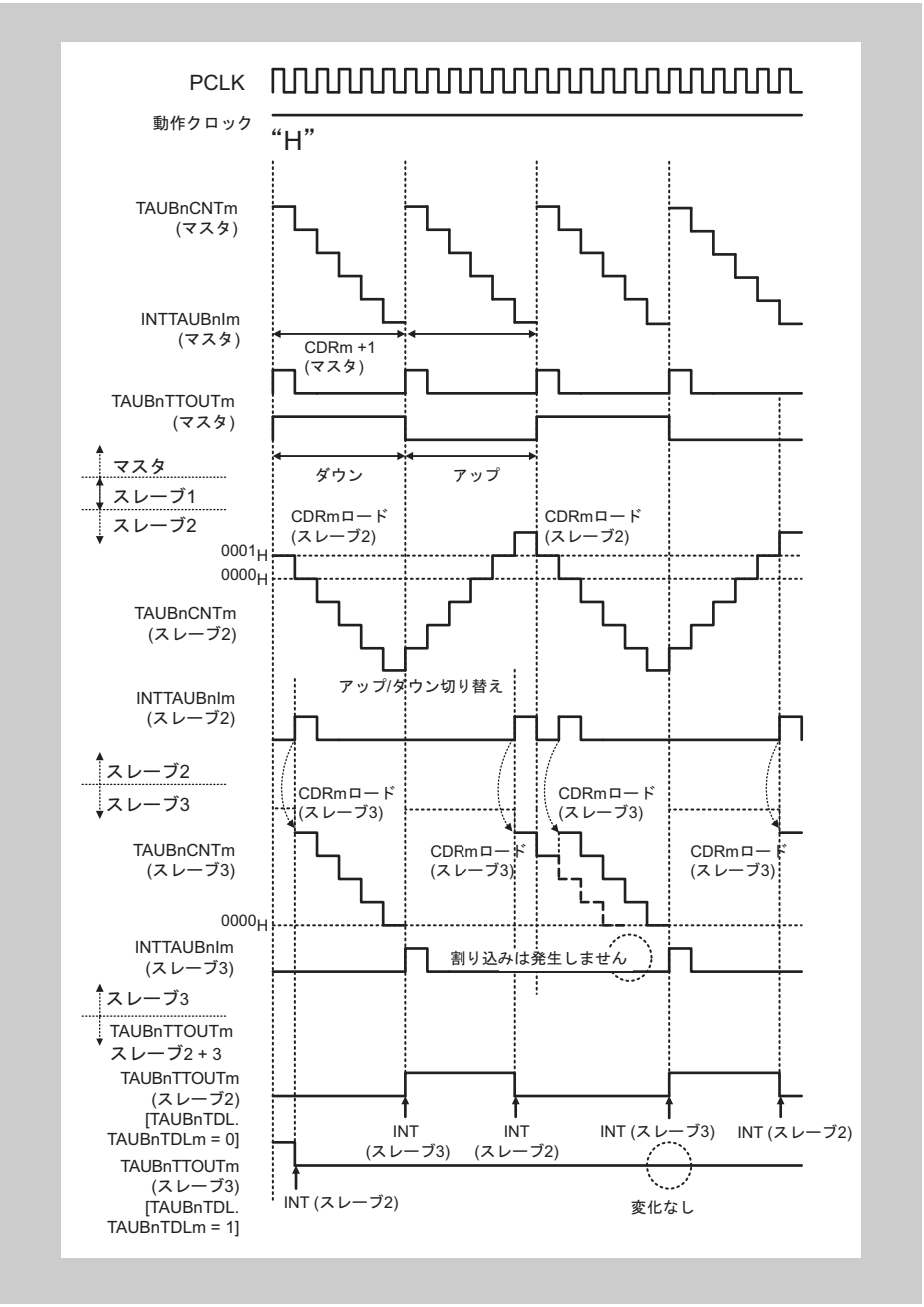


図 13-88 TAUBnCDRm（マスタ）= 0005_H, TAUBnCDRm（スレーブ 2）= 0002_H
TAUBnCDRm（スレーブ 3）= 0004_H
PWM 信号幅（逆相）≧キャリア周期

- 第 2 の割り込みの後，TAUBnTDL.TDLm = 1 のスレーブはデッド・タイム経過後にリセットされます。ただし，デッド・タイムが経過する前にスレーブ 2 で別の割り込みが発生すると，この間カウンタはアップ・カウントしています。これはセット信号として動作します。つまり，TAUBnTDL.TDLm = 1 のチャネルは常にアクティブな状態のままです。
- TAUBnTDL.TDLm = 0 となるスレーブ・チャネルの TAUBnTTOUTm が設定され，対応する INTTAUBnIm が発生するときに正常にリセットされます。

(e) TAUBnTTOUTm の正相期間を設定し INTTAUBnIm の生成を禁止する

下図での設定は次のようになっています。

- スレーブ・チャネル 2 :
  - 正論理（TAUBnTOL.TAUBnTOLm = 0）
- スレーブ・チャネル 3 :
  - 負論理（TAUBnTOL.TAUBnTOLm = 1）

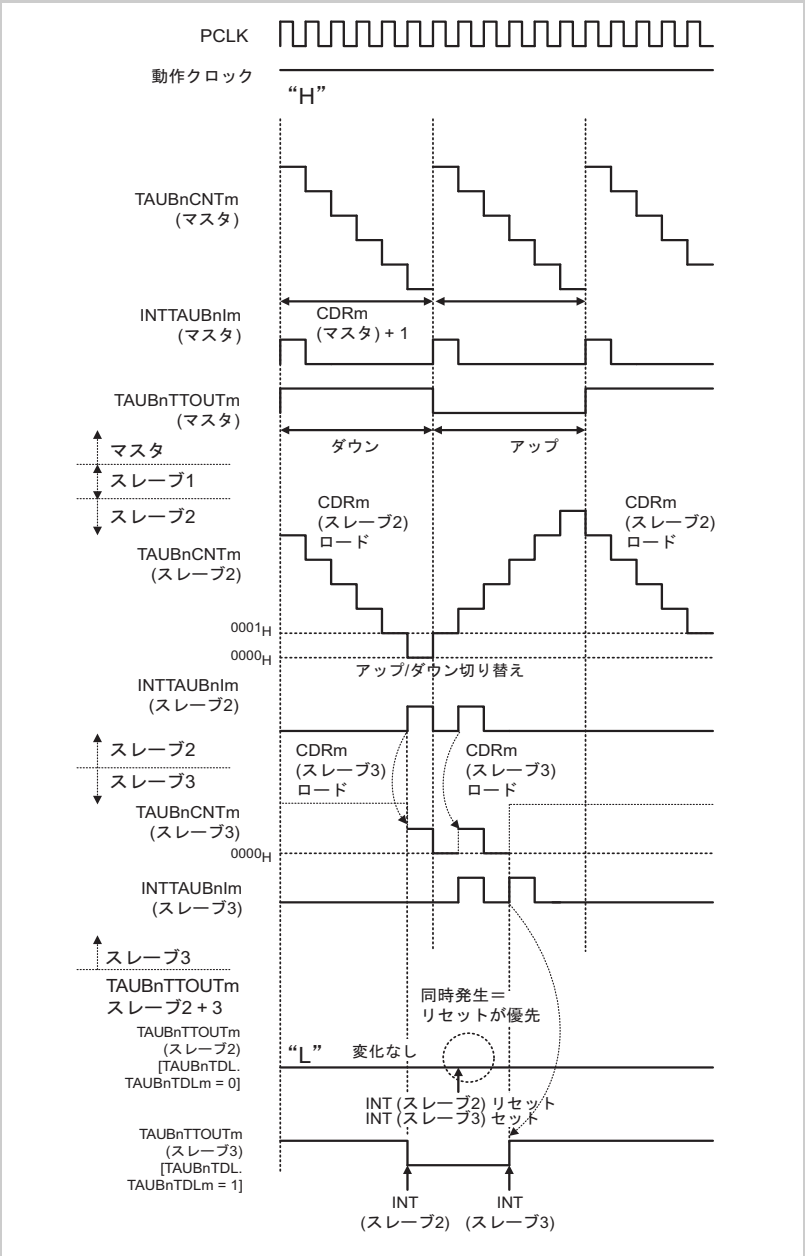


図 13-89 TAUBnCDRm（マスタ）= 0005_H, TAUBnCDRm（スレーブ 2）= 0005_H, TAUBnCDRm（スレーブ 3）= 0001_H PWM 信号幅（正相）= 0

- スレーブ・チャネル3のカウンタが0000_HになるとINTTAUBnImが発生し，TAUBnTDL.TDLm = 0 （この例ではスレーブ・チャネル2）に設定されているスレーブ・チャネルのTAUBnTTOUTmがセットされます。
- チャネル2がINTTAUBnImを発生し，同時にTAUBnTTOUTmをリセットする場合は，このリセット信号が優先されます（TAUBnTOL.TOLm = 0の場合，それ以外の場合はセット信号が優先）。
- TAUBnTDL.TDLm = 0に設定されているスレーブ・チャネルのTAUBnTTOUTmは初期値のままになります。

(f) TAUBnTTOUTm の逆相期間を設定し INTTAUBnIm の生成を禁止する

下図での設定は次のようになっています。

- スレーブ・チャネル 2：
  - 正論理（TAUBnTOL.TAUBnTOLm = 0）
- スレーブ・チャネル 3：
  - 負論理（TAUBnTOL.TAUBnTOLm = 1）

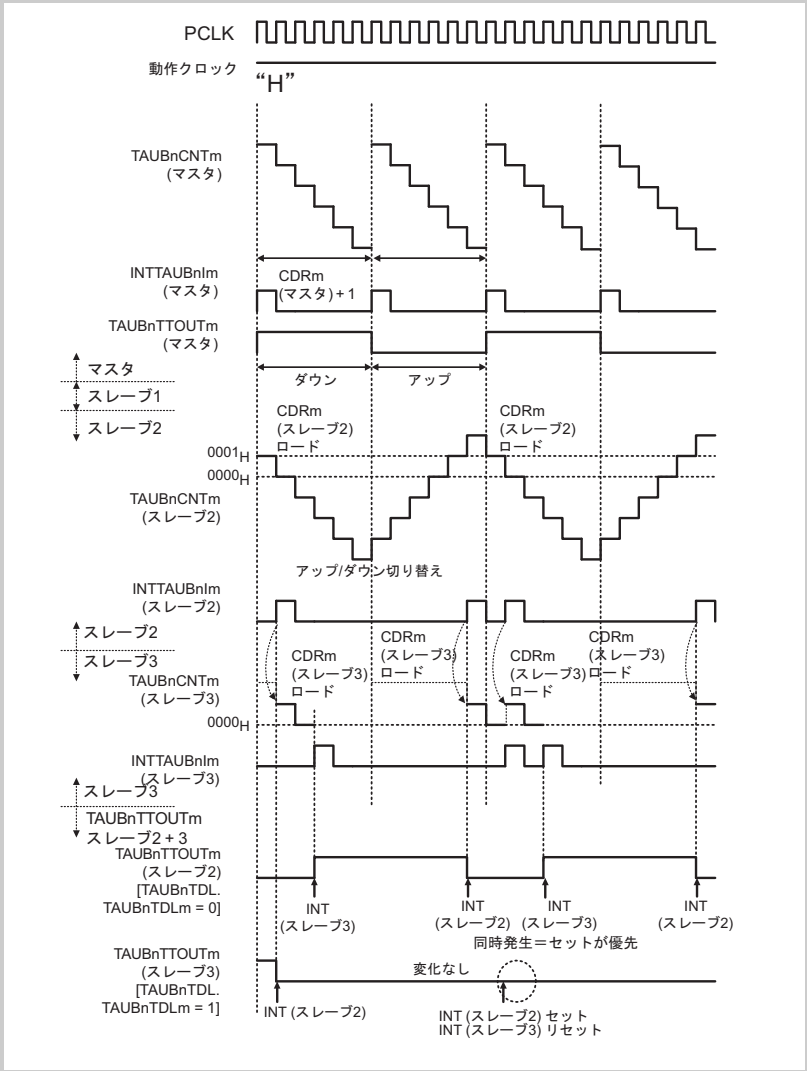


図 13-90 TAUBnCDRm（マスタ）= 0005_H, TAUBnCDRm（スレーブ 2）= 0001_H, TAUBnCDRm（スレーブ 3）= 0001_H
PWM 信号幅（逆相）= キャリア周期

- スレーブ・チャネル 3 のカウンタが 0000_H になると INTTAUBnIm が発生し，TAUBnTDL.TDLm = 1 （この例ではスレーブ・チャネル 3）に設定されているスレーブ・チャネルの TAUBnTTOUTm がセットされます。
- チャネル 2 が INTTAUBnIm を発生し，同時に TAUBnTTOUTm をリセットする場合は，セット信号が優先されます（TAUBnTOL.TOLm = 1 の場合，それ以外の場合はリセット信号が優先）。
- TAUBnTDL.TDLm = 1 に設定されているスレーブ・チャネルの TAUBnTTOUTm は初期値のままになります。

13.20.3 A/D 変換トリガ出力機能タイプ 2

(1) 概要

概要 スレーブ・チャネルのチャネル出力モードをソフトウエア制御のチャネル単体出力モードに設定することにより，この機能が有効になります。

(2) ブロック図と基本タイミング図

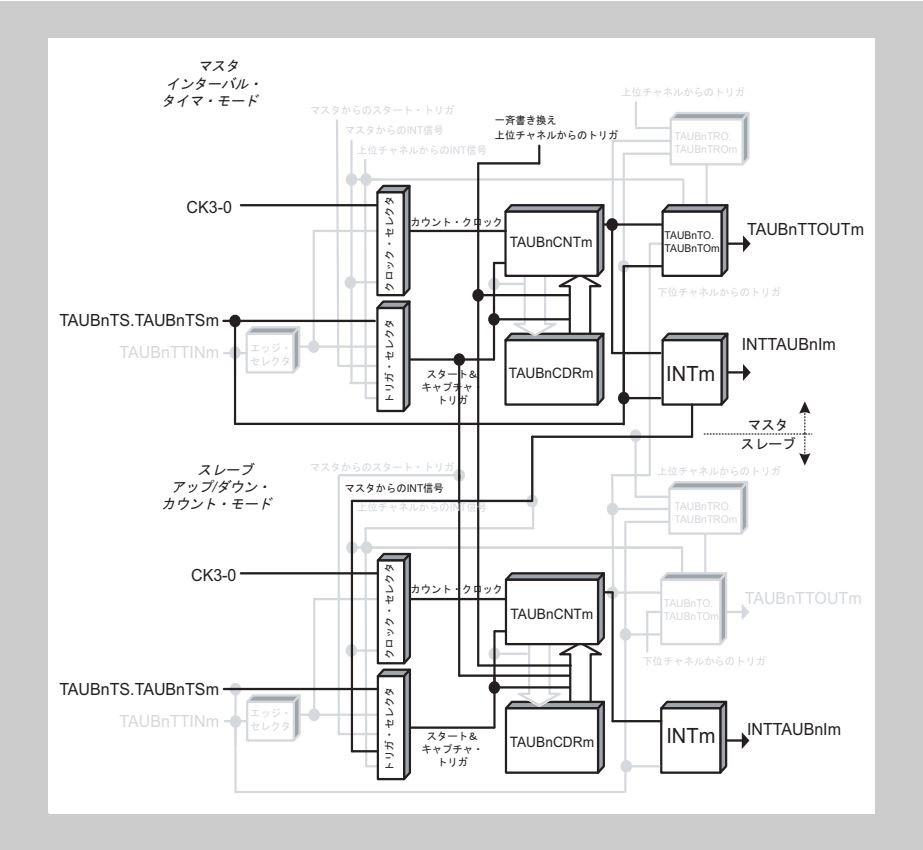


図 13-91 A/D 変換トリガ出力機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- マスタ・チャネル
  - 動作開始時に INTTAUBnIm が発生する
    （TAUBnCMORm.TAUBnMD0 = 1）

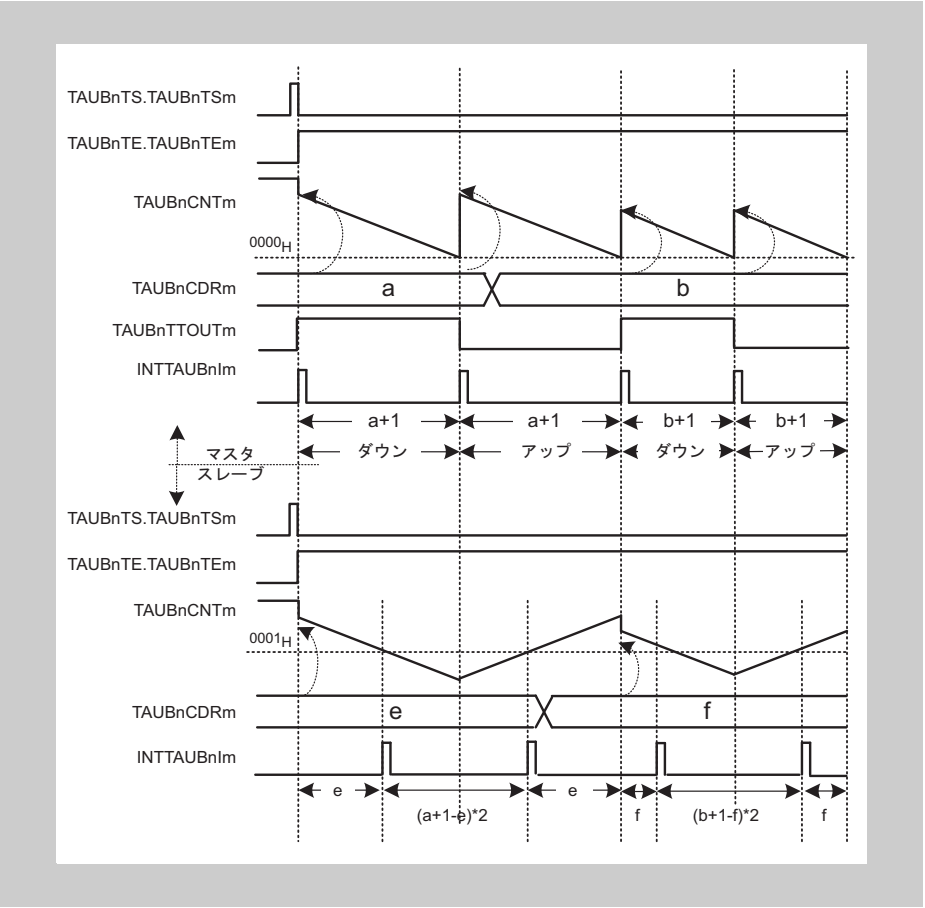


図 13-92　A/D 変換トリガ出力機能タイプ 2 の基本タイミング図

13.21 レジスタ

この節では，TAUB の全レジスタについて説明します。

13.21.1 TAUBn レジスタの概要

TAUBn は次の表に示すレジスタによって制御および動作が行われます。1 チャネル 1 レジスタの場合は「m」で示されており，m は 0 から 15 です。

表 13-121 TAUBn レジスタの概要

レジスタ名	略号	アドレス
TAUBn プリスケーラ・レジスタ		
TAUBn プリスケーラ・クロック選択レジスタ	TAUBnTPS	<TAUBn_base0> + 240_H
TAUBn 制御レジスタ		
TAUBn チャネル・データ・レジスタ m	TAUBnCDRm	<TAUBn_base1> + m × 4_H
TAUBn チャネル・カウンタ・レジスタ m	TAUBnCNTm	<TAUBn_base1> + 80_H + m × 4_H
TAUBn チャネル・モード OS レジスタ m	TAUBnCMORm	<TAUBn_base0> + 200_H + m × 4_H
TAUBn チャネル・モード・ユーザ・レジスタ m	TAUBnCMURm	<TAUBn_base1> + $C0_H$ + m × 4_H
TAUBn チャネル・ステータス・レジスタ m	TAUBnCSRm	<TAUBn_base1> + 140_H + m × 4_H
TAUBn チャネル・ステータス・クリア・トリガ・レジスタ m	TAUBnCSCm	<TAUBn_base1> + 180_H + m × 4_H
TAUBn チャネル・スタート・トリガ・レジスタ	TAUBnTS	<TAUBn_base1> + $1C4_H$
TAUBn チャネル許可ステータス・レジスタ	TAUBnTE	<TAUBn_base1> + $1C0_H$
TAUBn チャネル・ストップ・トリガ・レジスタ	TAUBnTT	<TAUBn_base1> + $1C8_H$
TAUBn 出力レジスタ		
TAUBn チャネル出力許可レジスタ	TAUBnTOE	<TAUBn_base1> + $5C_H$
TAUBn チャネル出力レジスタ	TAUBnTO	<TAUBn_base1> + 58_H
TAUBn チャネル出力モード・レジスタ	TAUBnTOM	<TAUBn_base0> + 248_H
TAUBn チャネル出力コンフィギュレーション・レジスタ	TAUBnTOC	<TAUBn_base0> + $24C_H$
TAUBn チャネル出力アクティブ・レベル・レジスタ	TAUBnTOL	<TAUBn_base1> + 040_H
TAUBn チャネル・デッド・タイム出力許可レジスタ	TAUBnTDE	<TAUBn_base0> + 250_H
TAUBn チャネル・デッド・タイム出力レベル・レジスタ	TAUBnTDL	<TAUBn_base1> + 54_H
TAUBn 一斉書き換えレジスタ		
TAUBn チャネル・リロード・データ許可レジスタ	TAUBnRDE	<TAUBn_base0> + 260_H
TAUBn チャネル・リロード・データ・モード・レジスタ	TAUBnRDM	<TAUBn_base0> + 264_H
TAUBn チャネル・リロード・データ制御 CH 選択レジスタ	TAUBnRDS	<TAUBn_base0> + 268_H
TAUBn チャネル・リロード・データ制御レジスタ	TAUBnRDC	<TAUBn_base0> + $26C_H$
TAUBn チャネル・リロード・データ・トリガ・レジスタ	TAUBnRDT	<TAUBn_base1> + 44_H
TAUBn チャネル・リロード・ステータス・レジスタ	TAUBnRSF	<TAUBn_base1> + 48_H

備考 TAUBn のベース・アドレス <TAUBn_base> は，この章の最初の節内「レジスタ・アドレス」で定義しています。

13.21.2 TAUBn プリスケーラ・レジスタの詳細

(1) TAUBnTPS - TAUBn プリスケーラ・クロック選択レジスタ

PCLK プリスケーラの全チャネルの CK0，CK1，CK2，CK3 クロックを指定するレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAUBn_base0> + 240_H

初期値 $FFFF_H$ どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnPRS3[3:0]				TAUBnPRS2[3:0]				TAUBnPRS1[3:0]				TAUBnPRS0[3:0]			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-122 TAUBnTPS レジスタの内容 (1/3)

ビット位置	ビット名	機能
15-12	TAUBnPRS3 [3:0]	CK3 クロックを指定します。 **TAUBnPRS3[3:0] / CK3 クロック** 0000_B / PCLK/2^0 0001_B / PCLK/2^1 0010_B / PCLK/2^2 0011_B / PCLK/2^3 0100_B / PCLK/2^4 0101_B / PCLK/2^5 0110_B / PCLK/2^6 0111_B / PCLK/2^7 1000_B / PCLK/2^8 1001_B / PCLK/2^9 1010_B / PCLK/2^{10} 1011_B / PCLK/2^{11} 1100_B / PCLK/2^{12} 1101_B / PCLK/2^{13} 1110_B / PCLK/2^{14} 1111_B / PCLK/2^{15} 上記ビットは，CK3 を使用するカウンタがすべて停止している（TAUBnTE.TAUBnTEm= 0）場合のみ書き換え可能です。

表 13-122　TAUBnTPS レジスタの内容 (2/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>11-8</td><td>TAUBnPRS2
[3:0]</td><td>CK2 クロックを指定します。
<table>
<tr><th>TAUBnPRS2[3:0]</th><th>CK2 クロック</th></tr>
<tr><td>0000_B</td><td>PCLK/2^0</td></tr>
<tr><td>0001_B</td><td>PCLK/2^1</td></tr>
<tr><td>0010_B</td><td>PCLK/2^2</td></tr>
<tr><td>0011_B</td><td>PCLK/2^3</td></tr>
<tr><td>0100_B</td><td>PCLK/2^4</td></tr>
<tr><td>0101_B</td><td>PCLK/2^5</td></tr>
<tr><td>0110_B</td><td>PCLK/2^6</td></tr>
<tr><td>0111_B</td><td>PCLK/2^7</td></tr>
<tr><td>1000_B</td><td>PCLK/2^8</td></tr>
<tr><td>1001_B</td><td>PCLK/2^9</td></tr>
<tr><td>1010_B</td><td>PCLK/2^{10}</td></tr>
<tr><td>1011_B</td><td>PCLK/2^{11}</td></tr>
<tr><td>1100_B</td><td>PCLK/2^{12}</td></tr>
<tr><td>1101_B</td><td>PCLK/2^{13}</td></tr>
<tr><td>1110_B</td><td>PCLK/2^{14}</td></tr>
<tr><td>1111_B</td><td>PCLK/2^{15}</td></tr>
</table>
上記ビットは，CK2 を使用するカウンタがすべて停止している（TAUBnTE.TAUBnTEm = 0）場合のみ書き換え可能です。</td></tr>
<tr><td>7-4</td><td>TAUBnPRS1
[3:0]</td><td>CK1 クロックを指定します。
<table>
<tr><th>TAUBnPRS1[3:0]</th><th>CK1 クロック</th></tr>
<tr><td>0000_B</td><td>PCLK/2^0</td></tr>
<tr><td>0001_B</td><td>PCLK/2^1</td></tr>
<tr><td>0010_B</td><td>PCLK/2^2</td></tr>
<tr><td>0011_B</td><td>PCLK/2^3</td></tr>
<tr><td>0100_B</td><td>PCLK/2^4</td></tr>
<tr><td>0101_B</td><td>PCLK/2^5</td></tr>
<tr><td>0110_B</td><td>PCLK/2^6</td></tr>
<tr><td>0111_B</td><td>PCLK/2^7</td></tr>
<tr><td>1000_B</td><td>PCLK/2^8</td></tr>
<tr><td>1001_B</td><td>PCLK/2^9</td></tr>
<tr><td>1010_B</td><td>PCLK/2^{10}</td></tr>
<tr><td>1011_B</td><td>PCLK/2^{11}</td></tr>
<tr><td>1100_B</td><td>PCLK/2^{12}</td></tr>
<tr><td>1101_B</td><td>PCLK/2^{13}</td></tr>
<tr><td>1110_B</td><td>PCLK/2^{14}</td></tr>
<tr><td>1111_B</td><td>PCLK/2^{15}</td></tr>
</table>
上記ビットは，CK1 を使用するカウンタがすべて停止している（TAUBnTE.TAUBnTEm = 0）場合のみ書き換え可能です。</td></tr>
</table>

表 13-122　TAUBnTPS レジスタの内容 (3/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>3-0</td><td>TAUBnPRS0
[3:0]</td><td>CK0 クロックを指定します。
<table>
<tr><th>TAUBnPRS0[3:0]</th><th>CK0 クロック</th></tr>
<tr><td>0000_B</td><td>PCLK/2^0</td></tr>
<tr><td>0001_B</td><td>PCLK/2^1</td></tr>
<tr><td>0010_B</td><td>PCLK/2^2</td></tr>
<tr><td>0011_B</td><td>PCLK/2^3</td></tr>
<tr><td>0100_B</td><td>PCLK/2^4</td></tr>
<tr><td>0101_B</td><td>PCLK/2^5</td></tr>
<tr><td>0110_B</td><td>PCLK/2^6</td></tr>
<tr><td>0111_B</td><td>PCLK/2^7</td></tr>
<tr><td>1000_B</td><td>PCLK/2^8</td></tr>
<tr><td>1001_B</td><td>PCLK/2^9</td></tr>
<tr><td>1010_B</td><td>PCLK/2^{10}</td></tr>
<tr><td>1011_B</td><td>PCLK/2^{11}</td></tr>
<tr><td>1100_B</td><td>PCLK/2^{12}</td></tr>
<tr><td>1101_B</td><td>PCLK/2^{13}</td></tr>
<tr><td>1110_B</td><td>PCLK/2^{14}</td></tr>
<tr><td>1111_B</td><td>PCLK/2^{15}</td></tr>
</table>
上記ビットは，CK0 を使用するカウンタがすべて停止している（TAUBnTE.TAUBnTEm = 0）場合のみ書き換え可能です。</td></tr>
</table>

備考　TAUBn クロック入力 PCLK については，この章の最初の節内「クロック供給」で定義しています。

13.21.3 TAUBn 制御レジスタの詳細

(1) TAUBnCDRm - TAUBn チャネル・データ・レジスタ

このレジスタは，TAUBnCMORm.TAUBnMD[4:1] で指定された動作モードによって，コンペア・レジスタもしくはキャプチャ・レジスタとして機能するレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

- キャプチャ・モード時はリードのみ可能です。ライト動作は無視されます。
- コンペア・モード時はリード／ライト可能です。

アドレス <TAUBn_base1> + 0_H + m × 4_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCDR[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-123 TAUBnCDRm レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnCDR [15:0]	キャプチャ値／コンペア値用データ・レジスタ

(2) TAUBnCNTm - TAUBn チャネル・カウンタ・レジスタ

チャネル m カウンタ・レジスタです。

アクセス 16 ビット単位でリード可能です。

アドレス <TAUBn_base1> + 80_H + m × 4_H

初期値 0000_H または $FFFF_H$ 初期値は動作モードによって異なります。*603 ページの表 13-125「カウント再許可後の TAUBnCNTm リード値」*を参照してください。どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCNT[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 13-124 TAUBnCNTm レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnCNT [15:0]	16 ビット・カウンタ値

リード値は，カウンタ，動作モード変更，TAUBnTS.TAUBnTSm，TAUBnTT.TAUBnTTm ビット値によって異なります。

カウンタの初期リード値は，動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタ・ストップ・トリガによる停止（TAUBnTT.TAUBnTTm = 1）

カウント停止後（TAUBnTE.TAUBnTEm = 0）と再許可後（TAUBnTS.TAUBnTSm = 1）のカウンタの初期リード値を次の表に示します。

また，カウンタがスタート・トリガを待っている状態で，カウンタ動作が許可（TAUBnTS.TAUBnTSm = 1）されてから 1 カウント後のカウンタのリード値も示します。

表 13-125　カウント再許可後の TAUBnCNTm リード値

モード名	カウント方式（アップ／ダウン）	TAUBnCNTm 値		
		リセット後	ストップ・トリガ後	ワンカウント後
インターバル・タイマ・モード	ダウン・カウント	$FFFF_H$	停止値	-
ジャッジ・モード	ダウン・カウント	$FFFF_H$	停止値	-
キャプチャ・モード	アップ・カウント	0000_H	停止値	-
イベント・カウント・モード	ダウン・カウント	$FFFF_H$	停止値	-
ワンカウント・モード	ダウン・カウント	$FFFF_H$	停止値	$FFFF_H$
キャプチャ＆ワンカウント・モード	アップ・カウント	0000_H	停止値	キャプチャ値＋1（TAUBnCDRm）
ジャッジ＆ワンカウント・モード	ダウン・カウント	$FFFF_H$	停止値	TAUBnCNTm 値－1
アップ／ダウン・カウント・モード	アップ／ダウン・カウント	$FFFF_H$	停止値	-
パルス・ワンカウント・モード	ダウン・カウント	$FFFF_H$	停止値	0000_H
カウント・キャプチャ・モード	アップ・カウント	0000_H	停止値	-
キャプチャ＆ゲート・カウント・モード	アップ・カウント	0000_H	停止値	停止値

備考　カウント停止中に動作モードが変更になった場合，カウント再開後の初期カウンタ値は不定になります。動作モードは，TAUBnCMORm.TAUBnMD[4:1]レジスタで変更します。

(3) TAUBnCMORm - TAUBn チャネル・モード OS レジスタ

このレジスタは，チャネル m の動作を制御します。

アクセス 16 ビット単位でリード／ライト可能であり，カウンタ停止中（TAUBnTE.TAUBnTEm = 0）のときのみライト可能です。

アドレス <TAUBn_base0> + 200_H + m × 4_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]		-	TAUBnCCS0	TAUBnMAS	TAUBnSTS [2:0]			TAUBnCOS [1:0]		-	TAUBnMD [4:0]				
R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 13-126 TAUBnCMORm レジスタの内容 (1/5)

ビット位置	ビット名	機能
15,14	TAUBnCKS [1:0]	動作クロックを選択します。 動作クロックは TAUBnTTINm 入力エッジ検出回路で使用します。 TAUBnCMORm.TAUBnCCS[1:0] ビットの設定により，カウント・クロックとして使用することも可能です。
12	TAUBnCCS0	TAUBnCNTm カウンタのカウント・クロックを選択します。
11	TAUBnMAS	チャネル連動動作時に，そのチャネルがマスタ・チャネルかスレーブ・チャネルかを指定します。 0: スレーブ 1: マスタ このビット設定は偶数チャネル（CHm_even）に対してのみ有効です。奇数チャネル（CHm_odd）は，0 に固定されています。

TAUBnCKS[1:0] ビットの動作クロック選択

TAUBnCKS1	TAUBnCKS0	動作クロック選択
0	0	CK0
0	1	CK1
1	0	CK2
1	1	CK3

TAUBnCCS0 ビットのカウント・クロック選択

TAUBnCCS0	カウント・クロック選択
0	TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロック
1	TAUBnTTINm 入力信号の有効エッジ

表 13-126 TAUBnCMORm レジスタの内容 (2/5)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>10-8</td><td>TAUBnSTS
[2:0]</td><td>外部スタート・トリガを選択します。
<table>
<tr><th>TAUBnSTS2</th><th>TAUBnSTS1</th><th>TAUBnSTS0</th><th>機能説明</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>ソフトウエア・トリガ</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>TAUBnTTINm 入力信号の有効エッジ。有効エッジは TAUBnCMURm.TAUBnTIS[1:0] で指定</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>TAUBnTTINm 入力信号の有効エッジをスタート・トリガ，逆エッジをストップ・トリガとして使用</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>一斉書き換えトリガ</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>マスタ・チャネルの INT</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>マスタ設定にかかわらず，上位チャネル（m-1）の INT</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>TAUBnTTOUTm 生成ユニットのデッド・タイム出力信号</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>マスタ・チャネルのアップ／ダウン出力トリガ信号</td></tr>
</table></td></tr>
</table>

表 13-126　TAUBnCMORm レジスタの内容 (3/5)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>7, 6</td><td>TAUBnCOS
[1:0]</td><td>チャネル m のキャプチャ・レジスタ TAUBnCDRm とオーバフロー・フラグ TAUBnCSRm.TAUBnOVF を更新するタイミングを指定します。
これらのビットはチャネル m がキャプチャ・モードの時にのみ有効です。
<table>
<tr><th>TAUBnCOS1</th><th>TAUBnCOS0</th><th>TAUBnCDRm</th><th>TAUBnCSRm.TAUBnOVF</th></tr>
<tr><td>0</td><td>0</td><td rowspan="2">TAUBnTTINm 入力有効エッジを検出すると更新</td><td>TAUBnTTINm 入力有効エッジを検出すると更新（クリアまたはセット）
• 有効エッジを最後に検出してからカウンタ・オーバフローが発生している場合は，TAUBnCSRm.TAUBnOVF をセット
• 有効エッジを最後に検出してからカウンタ・オーバフローが発生していない場合は，TAUBnCSRm.TAUBnOVF をクリア</td></tr>
<tr><td>0</td><td>1</td><td>カウンタ・オーバフロー時にセット，TAUBnCSCm.TAUBnCLOV = 1 に設定することでクリア</td></tr>
<tr><td>1</td><td>0</td><td rowspan="2">TAUBnTTINm 入力有効エッジ検出およびカウンタ・オーバフローの発生により更新
• TAUBnTTINm 入力有効エッジ検出：カウンタ値が TAUBnCDRm に書き込まれる
• オーバフロー発生：$FFFF_H$ が TAUBnCDRm にロードされる。次の TAUBnTTINm 入力有効エッジ検出は無視される。</td><td>設定なし</td></tr>
<tr><td>1</td><td>1</td><td>カウンタ・オーバフロー時にセット，TAUBnCSCm.TAUBnCLOV = 1 に設定することでクリア</td></tr>
</table>
</td></tr>
</table>

表 13-126 TAUBnCMORm レジスタの内容 (4/5)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>4-0</td><td>TAUBnMD
[4:0]</td><td>動作モードを指定します。
<table>
<tr><th>TAUBnMD4</th><th>TAUBnMD3</th><th>TAUBnMD2</th><th>TAUBnMD1</th><th>TAUBnMD0</th><th>機能説明</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1/0</td><td>インターバル・タイマ・モード</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1/0</td><td>ジャッジ・モード</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>0</td><td>1/0</td><td>キャプチャ・モード</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>イベント・カウント・モード</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>0</td><td>1/0</td><td>ワンカウント・モード</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>1</td><td>1/0</td><td>設定禁止</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>キャプチャ&ワンカウント・モード</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>1</td><td>1/0</td><td>ジャッジ&ワンカウント・モード</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>設定禁止</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>アップ／ダウン・カウント・モード</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>0</td><td>1/0</td><td>パルス・ワンカウント・モード</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>1</td><td>1/0</td><td>カウント・キャプチャ・モード</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>0</td><td>1/0</td><td>設定禁止</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td>キャプチャ&ゲート・カウント・モード</td></tr>
</table>
<table>
<tr><th>モード</th><th>TAUBnMD0 ビットの役割</th></tr>
<tr><td>インターバル・タイマ・モード
キャプチャ・モード
カウント・キャプチャ・モード</td><td>カウント動作開始時（スタート・トリガ入力時）に，INTTAUBnIm 信号を出力するかどうかを指定します。
0: INTTAUBnIm を出力しない
1: INTTAUBnIm を出力する</td></tr>
<tr><td>イベント・カウント・モード
アップ／ダウン・カウント・モード</td><td>このビットは 0 に設定する必要があります。</td></tr>
<tr><td>ワンカウント・モード
パルス・ワンカウント・モード</td><td>カウント中のスタート・トリガ検出を許可／禁止します。
0: 禁止
1: 許可</td></tr>
</table>
</td></tr>
</table>

表 13-126 TAUBnCMORm レジスタの内容 (5/5)

ビット位置	ビット名	機能

モード	TAUBnMD0 ビットの役割
キャプチャ＆ワンカウント・モード キャプチャ＆ゲート・カウント・モード	このビットは 0 に設定する必要があります。
ジャッジ・モード ジャッジ＆ワンカウント・モード	INTTAUBnIm の出力タイミングを指定します。 0: TAUBnCNTm ≦ TAUBnCDRm 時 1: TAUBnCNTm > TAUBnCDRm 時

(4) TAUBnCMURm - TAUBn チャネル・モード・ユーザ・レジスタ

このレジスタは，TAUBnTTINm 入力で使用される有効エッジ検出のタイプを指定します。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<TAUBn_base1> + $C0_H$ + m × 4_H

初期値　00_H　どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 13-127　TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
1, 0	TAUBnTIS [1:0]	TAUBnTTINm 入力信号の有効エッジを指定します。 • TAUBnTTINm 入力信号のエッジ検出は，TAUBnCMORm.TAUBnCKS[1:0] で選択した動作クロックに基づいて行われます。

TAUBn TIS1	TAUBn TIS0	機能説明
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ検出（Low 幅測定選択） スタート・トリガ：立ち下がりエッジ ストップ・トリガ（キャプチャ）：立ち上がりエッジ
1	1	両エッジ検出（High 幅測定選択） スタート・トリガ：立ち上がりエッジ ストップ・トリガ（キャプチャ）：立ち下がりエッジ

(5) TAUBnCSRm - TAUBn チャネル・ステータス・レジスタ

このレジスタは，チャネル m のカウンタのカウント方向とオーバフロー状態を示します。

アクセス 8 ビット単位でリード可能です。

アドレス <TAUBn_base1> + 140_H + m × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnCSF	TAUBnOVF
R	R	R	R	R	R	R	R

表 13-128 TAUBnCSRm レジスタの内容

ビット位置	ビット名	機能
1	TAUBn CSF	カウント方向を示します。 0: アップ・カウント 1: ダウン・カウント このビットのリード値は，次のモード時にのみ有効です。 • アップ／ダウン・カウント・モード
0	TAUBn OVF	カウンタ・オーバフロー状態を示します。 0: オーバフローが発生していない 1: オーバフローが発生 このビットは，次のモード時のみ使用します。 • キャプチャ・モード • キャプチャ＆ワンカウント・モード このビットの機能は，制御ビット TAUBnCMORm.TAUBnCOS[1:0] の設定により異なります。

(6) TAUBnCSCm - TAUBn チャネル・ステータス・クリア・レジスタ

このレジスタは，チャネル m のオーバフロー・フラグ TAUBnCSRm.TAUBnOVF をクリアするためのトリガ・レジスタです。

アクセス 8 ビット単位でライト可能です。リード値は常に 0000_H です。

アドレス <TAUBn_base1> + 180_H + m × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	0	TAUBnCLOV
R	R	R	R	R	R	R	W

表 13-129 TAUBnCSCm レジスタの内容

ビット位置	ビット名	機能
0	TAUBnCLOV	0: 無効（0 を設定してもオーバフロー・フラグ TAUBnCSRm.TAUBnOVF に影響はありません） 1: オーバフロー・フラグ TAUBnCSRm.TAUBnOVF をクリア

(7) TAUBnTS - TAUBn チャネル・スタート・トリガ・レジスタ

このレジスタは，各チャネルのカウンタ動作を許可します。

アクセス 16 ビット単位でライト可能です。リード値は常に 0000_H です。

アドレス <TAUBn_base1> + $1C4_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnTS15	TAUBnTS14	TAUBnTS13	TAUBnTS12	TAUBnTS11	TAUBnTS10	TAUBnTS09	TAUBnTS08	TAUBnTS07	TAUBnTS06	TAUBnTS05	TAUBnTS04	TAUBnTS03	TAUBnTS02	TAUBnTS01	TAUBnTS00
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 13-130 TAUBnTS レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTSm	チャネル m のカウンタ動作を許可します。 0: 無効（0 を設定してもチャネル m のカウンタ動作を開始しません） 1: カウンタ動作を許可し，TAUBnTE.TAUBnTEm = 1 を設定。 TAUBnTE.TAUBnTEm = 1 を設定しても，カウント動作が許可されるだけです。カウントが開始されるかどうかは，選択されている動作モードによって異なります。

(8) TAUBnTE - TAUBn チャネル許可ステータス・レジスタ

このレジスタは，カウンタ動作の許可／禁止を示します。

アクセス　16 ビット単位でリード可能です。

アドレス　<TAUBn_base1> + $1C0_H$

初期値　0000_H　どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnTE15	TAUBnTE14	TAUBnTE13	TAUBnTE12	TAUBnTE11	TAUBnTE10	TAUBnTE09	TAUBnTE08	TAUBnTE07	TAUBnTE06	TAUBnTE05	TAUBnTE04	TAUBnTE03	TAUBnTE02	TAUBnTE01	TAUBnTE00
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 13-131　TAUBnTE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTEm	チャネル m のカウンタ動作の許可／禁止を示します。 0: カウンタ動作禁止 1: カウンタ動作許可 TAUBnTSSTm （チャネル連動スタート・トリガ信号）のトリガ入力を検知するか，TAUBnTS.TAUBnTSm を 1 にセットすると，このビットが 1 に設定されます。 TAUBnTT.TAUBnTTm を 1 にセットすると，このビットが 0 にリセットされます。

(9) TAUBnTT - TAUBn チャネル・ストップ・トリガ・レジスタ

このレジスタは，各チャネルのカウンタ動作を停止します。

アクセス　16 ビット単位でライト可能です。リード値は常に 0000_H です。

アドレス　<TAUBn_base1> + $1C8_H$

初期値　0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnTT15	TAUBnTT14	TAUBnTT13	TAUBnTT12	TAUBnTT11	TAUBnTT10	TAUBnTT09	TAUBnTT08	TAUBnTT07	TAUBnTT06	TAUBnTT05	TAUBnTT04	TAUBnTT03	TAUBnTT02	TAUBnTT01	TAUBnTT00
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 13-132　TAUBnTT レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTTm	チャネル m のカウンタ動作を停止します。 0: 無効（0 を設定してもチャネル m のカウンタ動作を停止しません） 1: カウンタ動作を停止し，TAUBnTE.TAUBnTEm をリセットします。 TAUBnCNTm，TAUBnTO.TAUBnTOm，TAUBnTTOUTm は，カウント停止前の値を保持します。

13.21.4 TAUBn 出力レジスタの詳細

(1) TAUBnTOE - TAUBn チャネル出力許可レジスタ

このレジスタは，ソフトウエア制御のチャネル単体出力モードを許可／禁止します。

アクセス 16 ビット単位でリード／ライト可能です。カウンタ停止中（TAUBnTE.TAUBnTEm ビット = 0）のときのみ，ライト可能です。

アドレス <TAUBn_base1> + $5C_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnTOE15	TAUBnTOE14	TAUBnTOE13	TAUBnTOE12	TAUBnTOE11	TAUBnTOE10	TAUBnTOE09	TAUBnTOE08	TAUBnTOE07	TAUBnTOE06	TAUBnTOE05	TAUBnTOE04	TAUBnTOE03	TAUBnTOE02	TAUBnTOE01	TAUBnTOE00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-133 TAUBnTOE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTOEm	タイマ単体出力機能を許可／禁止します。 0: タイマ単体出力機能を禁止 1: タイマ単体出力機能を許可

(2) TAUBnTOM - TAUBn チャネル出力モード・レジスタ

このレジスタは，各チャネルの出力モードを指定します。

アクセス 16 ビット単位でリード／ライト可能です。カウンタ停止中（TAUBnTE.TAUBnTEm = 0）のときのみ，ライト可能です。

アドレス <TAUBn_base0> + 248_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnTOM15	TAUBnTOM14	TAUBnTOM13	TAUBnTOM12	TAUBnTOM11	TAUBnTOM10	TAUBnTOM09	TAUBnTOM08	TAUBnTOM07	TAUBnTOM06	TAUBnTOM05	TAUBnTOM04	TAUBnTOM03	TAUBnTOM02	TAUBnTOM01	TAUBnTOM00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-134 TAUBnTOM レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTOMm	出力モードを指定します。 0: チャネル単体動作 1: チャネル連動動作 出力モードは *429 ページの表 13-10「チャネル出力モード」* にあるように，各チャネル出力制御ビットの設定によって変わります。

(3) TAUBnTOC - TAUBn チャネル出力コンフィギュレーション・レジスタ

このレジスタは，TAUBnTOMm とともに各チャネルの出力モードを指定します。

アクセス 16 ビット単位でリード／ライト可能です。カウンタ停止中（TAUBnTE.TAUBnTEm = 0）のときのみ，ライト可能です。

アドレス <TAUBn_base0> + $24C_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnTOC15	TAUBnTOC14	TAUBnTOC13	TAUBnTOC12	TAUBnTOC11	TAUBnTOC10	TAUBnTOC09	TAUBnTOC08	TAUBnTOC07	TAUBnTOC06	TAUBnTOC05	TAUBnTOC04	TAUBnTOC03	TAUBnTOC02	TAUBnTOC01	TAUBnTOC00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-135 TAUBnTOC レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBn TOCm	出力モードを指定します。 0: 動作モード 1 1: 動作モード 2 次の表にあるように，出力モードは TAUBnTOM.TAUBnTOMm の設定によっても異なります。

TOMm	TOCm	機能説明
0	0	トグル・モード：INTTAUBnIm 発生時にトグル動作が行われます。
	1	セット／リセット・モード：カウント開始時の INTTAUBnIm 発生時にセットされ，TAUBnCNTm，TAUBnCDRm の一致の検出による INTTAUBnIm 発生時にリセットされます。
1	0	チャネル連動動作モード 1：マスタ・チャネルで INT が発生するとセット，スレーブ・チャネルで INT が発生するとリセットされます。
	1	チャネル連動動作モード 2：ダウン・カウント状態で INTTAUBnIm が発生するとセット，アップ・カウント状態で INTTAUBnIm が発生するとリセットされます。

(4) TAUBnTDE - TAUBn チャネル・デッド・タイム出力許可レジスタ

このレジスタは，全チャネルのデッド・タイム動作を許可／禁止します。

アクセス 16 ビット単位でリード／ライト可能です。
カウンタ停止中（TAUBnTE.TAUBnTEm ビット＝ 0）のときのみ，ライト可能です。

アドレス <TAUBn_base0> + 250_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnTDE15	TAUBnTDE14	TAUBnTDE13	TAUBnTDE12	TAUBnTDE11	TAUBnTDE10	TAUBnTDE09	TAUBnTDE08	TAUBnTDE07	TAUBnTDE06	TAUBnTDE05	TAUBnTDE04	TAUBnTDE03	TAUBnTDE02	TAUBnTDE01	TAUBnTDE00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-136 TAUBnTDE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTDEm	チャネル m のデッド・タイム制御動作を許可／禁止します。 0: デッド・タイム動作禁止 1: デッド・タイム動作許可 対になった偶数／奇数スレーブ・チャネルには同じ設定をする必要があります。 これらのビットの設定は，以下の場合にのみ適用されます。 • TAUBnTOE.TAUBnTOEm，TAUBnTOM.TAUBnTOMm，TAUBnTOC.TAUBnTOCm = 1

(5) TAUBnTDL - TAUBn チャネル・デッド・タイム出力レベル・レジスタ

このレジスタは，デッド・タイムを付加する位相を選択します。

アクセス 16 ビット単位でリード／ライト可能です。カウンタ停止中（TAUBnTE.TAUBnTEm ビット＝ 0）のときのみ，ライト可能です。

アドレス <TAUBn_base1> + 54_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnTDL15	TAUBnTDL14	TAUBnTDL13	TAUBnTDL12	TAUBnTDL11	TAUBnTDL10	TAUBnTDL09	TAUBnTDL08	TAUBnTDL07	TAUBnTDL06	TAUBnTDL05	TAUBnTDL04	TAUBnTDL03	TAUBnTDL02	TAUBnTDL01	TAUBnTDL00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-137 TAUBnTDL レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTDLm	デッド・タイムを付加する位相を選択します。 0: 正相 1: 逆相 これらのビットの設定は，以下の場合にのみ適用されます。 • TAUBnTOE.TAUBnTOEm，TAUBnTOM.TAUBnTOMm，TAUBnTOC.TAUBnTOCm，TAUBnTDE.TAUBnTDEm = 1

13.21.5 TAUBn チャネル出力レベル・レジスタの詳細

(1) TAUBnTO - TAUBn チャネル出力レジスタ

このレジスタは，TAUBnTTOUTm レベルを指定およびリードします。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAUBn_base1> + 58_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnTO15	TAUBnTO14	TAUBnTO13	TAUBnTO12	TAUBnTO11	TAUBnTO10	TAUBnTO09	TAUBnTO08	TAUBnTO07	TAUBnTO06	TAUBnTO05	TAUBnTO04	TAUBnTO03	TAUBnTO02	TAUBnTO01	TAUBnTO00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-138 TAUBnTO レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTOm	このレジスタは，TAUBnTTOUTm レベルを指定およびリードします。 0: ロウ・レベル 1: ハイ・レベル チャネル単体出力機能が禁止されている（TAUBnTOEm = 0）TAUBnTOm ビットのみライト可能です。

(2) TAUBnTOL - TAUBn チャネル出力レベル・レジスタ

このレジスタは，チャネル出力ビット（TAUBnTO.TAUBnTOm）の出力論理を指定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAUBn_base1> + 040_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnTOL15	TAUBnTOL14	TAUBnTOL13	TAUBnTOL12	TAUBnTOL11	TAUBnTOL10	TAUBnTOL09	TAUBnTOL08	TAUBnTOL07	TAUBnTOL06	TAUBnTOL05	TAUBnTOL04	TAUBnTOL03	TAUBnTOL02	TAUBnTOL01	TAUBnTOL00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-139 TAUBnTOL レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTOLm	チャネル m 出力ビット（TAUBnTO.TAUBnTOm）の出力論理を指定します。 0: 正論理（アクティブ・ハイ） 1: 反転論理（アクティブ・ロウ）

13.21.6 TAUBn 一斉書き換えレジスタの詳細

(1) TAUBnRDE - TAUBn チャネル・リロード・データ許可レジスタ

このレジスタは，データ・レジスタ TAUBnCDRm/TAUBnTOLm の一斉書き換えを許可／禁止します。

アクセス 16 ビット単位でリード／ライト可能です。TAUBnTE.TAUBnTEm = 0 のときのみ，ライト可能です。

アドレス <TAUBn_base0> + 260_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnRDE15	TAUBnRDE14	TAUBnRDE13	TAUBnRDE12	TAUBnRDE11	TAUBnRDE10	TAUBnRDE09	TAUBnRDE08	TAUBnRDE07	TAUBnRDE06	TAUBnRDE05	TAUBnRDE04	TAUBnRDE03	TAUBnRDE02	TAUBnRDE01	TAUBnRDE00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-140 TAUBnRDE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnRDEm	チャネル m のデータ・レジスタの一斉書き換えを許可／禁止します。 0: 一斉書き換え禁止 1: 一斉書き換え許可

(2) TAUBnRDS - TAUBn チャネル・リロード・データ制御チャネル選択レジスタ

このレジスタは，一斉書き換えを制御するチャネルを選択します。

アクセス 16 ビット／1 ビット単位でリード／ライト可能です。
TAUBnTE.TAUBnTEm = 0 のときのみ，ライト可能です

アドレス <TAUBn_base0> + 268_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnRDS15	TAUBnRDS14	TAUBnRDS13	TAUBnRDS12	TAUBnRDS11	TAUBnRDS10	TAUBnRDS09	TAUBnRDS08	TAUBnRDS07	TAUBnRDS06	TAUBnRDS05	TAUBnRDS04	TAUBnRDS03	TAUBnRDS02	TAUBnRDS01	TAUBnRDS00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-141 TAUBnRDS レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnRDSm	一斉書き換えトリガをモニタするチャネルを選択します。 0: マスタ・チャネル 1: 別の上位チャネル

(3) TAUBnRDM - TAUBn チャネル・リロード・データ・モード・レジスタ

このレジスタは，一斉書き換え制御信号を発生させるタイミングを選択します。

アクセス 16 ビット単位でリード／ライト可能です。TAUBnTE.TAUBnTEm = 0 のときのみ，ライト可能です。

アドレス <TAUBn_base0> + 264_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnRDM15	TAUBnRDM14	TAUBnRDM13	TAUBnRDM12	TAUBnRDM11	TAUBnRDM10	TAUBnRDM09	TAUBnRDM08	TAUBnRDM07	TAUBnRDM06	TAUBnRDM05	TAUBnRDM04	TAUBnRDM03	TAUBnRDM02	TAUBnRDM01	TAUBnRDM00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-142 TAUBnRDM レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0: マスタ・チャネルのカウンタがカウントを開始したとき 1: 三角波周期の山 これらのビット設定は TAUBnRDE.TAUBnRDEm = 1, TAUBnRDS.TAUBnRDSm = 0 時のみ適用されます。

(4) TAUBnRDC - TAUBn チャネル・リロード・データ制御レジスタ

このレジスタは，一斉書き換えをトリガする INTTAUBnIm 信号を生成するチャネルを指定します。

アクセス 16 ビット単位でリード／ライト可能です。TAUBnTE.TAUBnTEm = 0 のときのみ，ライト可能です。

アドレス <TAUBn_base0> + $26C_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnRDC15	TAUBnRDC14	TAUBnRDC13	TAUBnRDC12	TAUBnRDC11	TAUBnRDC10	TAUBnRDC09	TAUBnRDC08	TAUBnRDC07	TAUBnRDC06	TAUBnRDC05	TAUBnRDC04	TAUBnRDC03	TAUBnRDC02	TAUBnRDC01	TAUBnRDC00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-143 TAUBnRDC レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnRDCm	チャネルが一斉書き換えトリガ信号を生成するか否かを指定します。 0: 一斉書き換えトリガ・チャネルとならない。 1: 一斉書き換えトリガ・チャネルとして動作する。 これらのビット設定は TAUBnRDS.TAUBnRDSm = 1 時のみ適用されます。

(5) TAUBnRDT - TAUBn チャネル・リロード・データ・トリガ・レジスタ

一斉書き換え保留状態をトリガするレジスタです。

アクセス 16 ビット単位でライト可能です。リード値は常に 0000_H です。

アドレス <TAUBn_base1> + 044_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnRDT15	TAUBnRDT14	TAUBnRDT13	TAUBnRDT12	TAUBnRDT11	TAUBnRDT10	TAUBnRDT09	TAUBnRDT08	TAUBnRDT07	TAUBnRDT06	TAUBnRDT05	TAUBnRDT04	TAUBnRDT03	TAUBnRDT02	TAUBnRDT01	TAUBnRDT00
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 13-144 TAUBnRDT レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnRDTm	一斉書き換え保留状態をトリガします。 0: 無効（0 を設定しても一斉書き換え保留状態をトリガしません） 1: 一斉書き換え保留フラグ（TAUBnRSF.TAUBnRSFm）を 1 とし，一斉書き換えトリガ待ち状態となります。 これらのビット設定は TAUBnRDE.TAUBnRDEm = 1 時のみ適用されます。

(6) TAUBnRSF - TAUBn チャネル・リロード・ステータス・レジスタ

このフラグ・レジスタは，一斉書き換えのステータスを示します。

アクセス 16 ビット単位でリード可能です。

アドレス <TAUBn_base1> + 48_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnRSF15	TAUBnRSF14	TAUBnRSF13	TAUBnRSF12	TAUBnRSF11	TAUBnRSF10	TAUBnRSF09	TAUBnRSF08	TAUBnRSF07	TAUBnRSF06	TAUBnRSF05	TAUBnRSF04	TAUBnRSF03	TAUBnRSF02	TAUBnRSF01	TAUBnRSF00
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 13-145 TAUBnRSF レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnRSFm	一斉書き換えの状態を示します。 0: 一斉書き換えトリガの発生によって，一斉書き換えが行われたことを示します。 1: 一斉書き換え保留状態（TAUBnRDT.TAUBnRDTm = 1）になっていることを示します。

第 14 章　タイマ・アレイ・ユニット J（TAUJ）

この章では，タイマ・アレイ・ユニット J（TAUJ）について説明します。

最初の節でユニット数，レジスタのベース・アドレス，入出力信号名など，V850E2/PG4-L に固有の特徴について説明します。
以降の節で，TAUJ 搭載製品に共通の特徴について説明します。

注意　TAUJ はチャネルの組み合わせ，ポートの入出力選択において使用できないチャネルが発生する場合があります。

14.1　TAUJ の特徴

ユニット　この製品は次のユニット数の TAUJ を搭載しています。

表 14-1　TAUJ のユニット数

TAUJ	
ユニット数	1
名称	TAUJ0

n の意味　この章では，TAUJ の各ユニットを「n」で識別します（n = 0）。たとえば，TAUJn チャネル出力モード・レジスタ（TAUJnTOM）のように記述しています。

m の意味　TAUJ には 4 本のチャネルがあります。この章では，各チャネルを「m」で識別しており（m = 0-3），特定のチャネルを CHm のように記述しています。
偶数チャネル（m = 0，2）は CHm_even と記述します。
奇数チャネル（m = 1，3）は CHm_odd と記述します。

レジスタ・アドレス　TAUJn レジスタのアドレスは，それぞれのベース・アドレス <TAUJn_base0>，<TAUJn_base1> からのオフセットで表されます。
TAUJn のレジスタ・ベース・アドレス <TAUJn_base0>，<TAUJn_base1> を次の表に示します。

表 14-2　レジスタ・ベース・アドレス <TAUJn_base0>，<TAUJn_base1>

TAUJn	<TAUJn_base0> アドレス	<TAUJn_base1> アドレス
TAUJ0	FF81 1000_H	FFFF $C200_H$

クロック供給　TAUJ には次の 1 つのクロック入力があります。

表 14-3　TAUJn クロック供給

TAUJn	クロック	接続先
TAUJ0	PCLK	クロック・コントローラ

割り込みと DMA　TAUJ は次の割り込み要求と DMA 要求を発生させることができます。

表 14-4　TAUJn 割り込みと DMA の要求

TAUJn 信号	機能	接続先
INTTAUJ0I0-INTTAUJ0I3	チャネル 0-3 割り込み	割り込みコントローラ INTTAUJ0I0-INTTAUJ0I3 DMA コントローラ・トリガ 19-22

入出力信号　TAUJ の入出力信号を次の表に示します。

表 14-5　TAUJn 入出力信号

TAUJ 信号	機能	接続先
TAUJnTTINm	チャネル m 入力	ポート TAUJnIm
TAUJnTTOUTm	チャネル m 出力	ポート TAUJnOm
TAUJnTSSTm	同時スタートトリガ入力	PIC タイマ同時スタートトリガ機能

TAUJn 割り込みと入出力信号を次の図に示します。

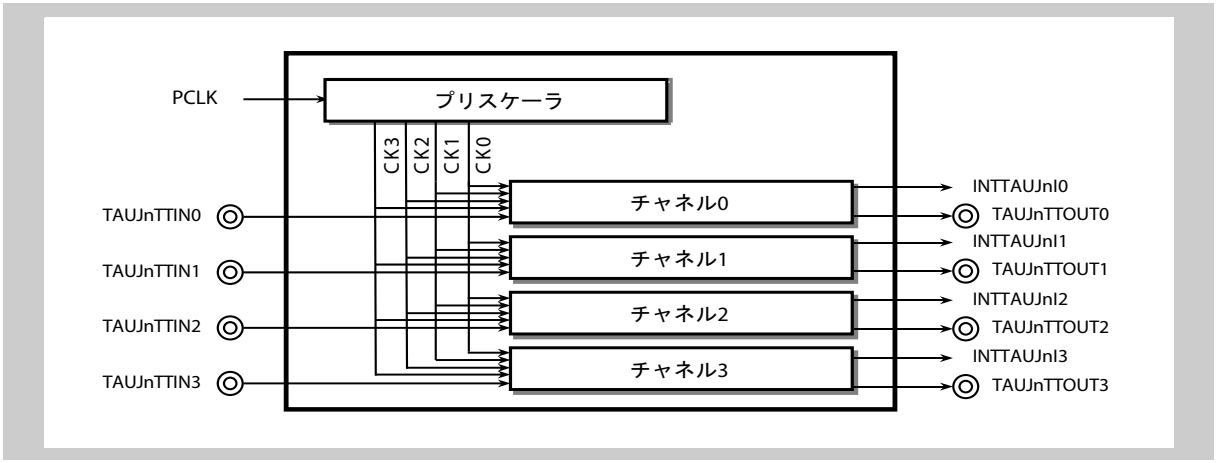


図 14-1　TAUJ 入出力と割り込み信号

14.2 機能概要

機能概要 TAUJ には，次の機能があります。

- 4 チャネル
- チャネルごとの 32 ビット・カウンタおよび 32 ビット・データ・レジスタ
- チャネル単体動作
- チャネル連動動作（マスタおよびスレーブ動作）
- 異なる種類の出力信号の生成
- 外部信号によるカウントの開始
- 割り込み発生

注意 この章に記載のタイミングチャートは，動作タイミングのイメージです。タイマ入力には，遅延時間が付加されます。詳細は，14.11「TAUJnTTINm エッジ検出」を参照してください。

TAUJ の主な構成要素を次の図に示します。

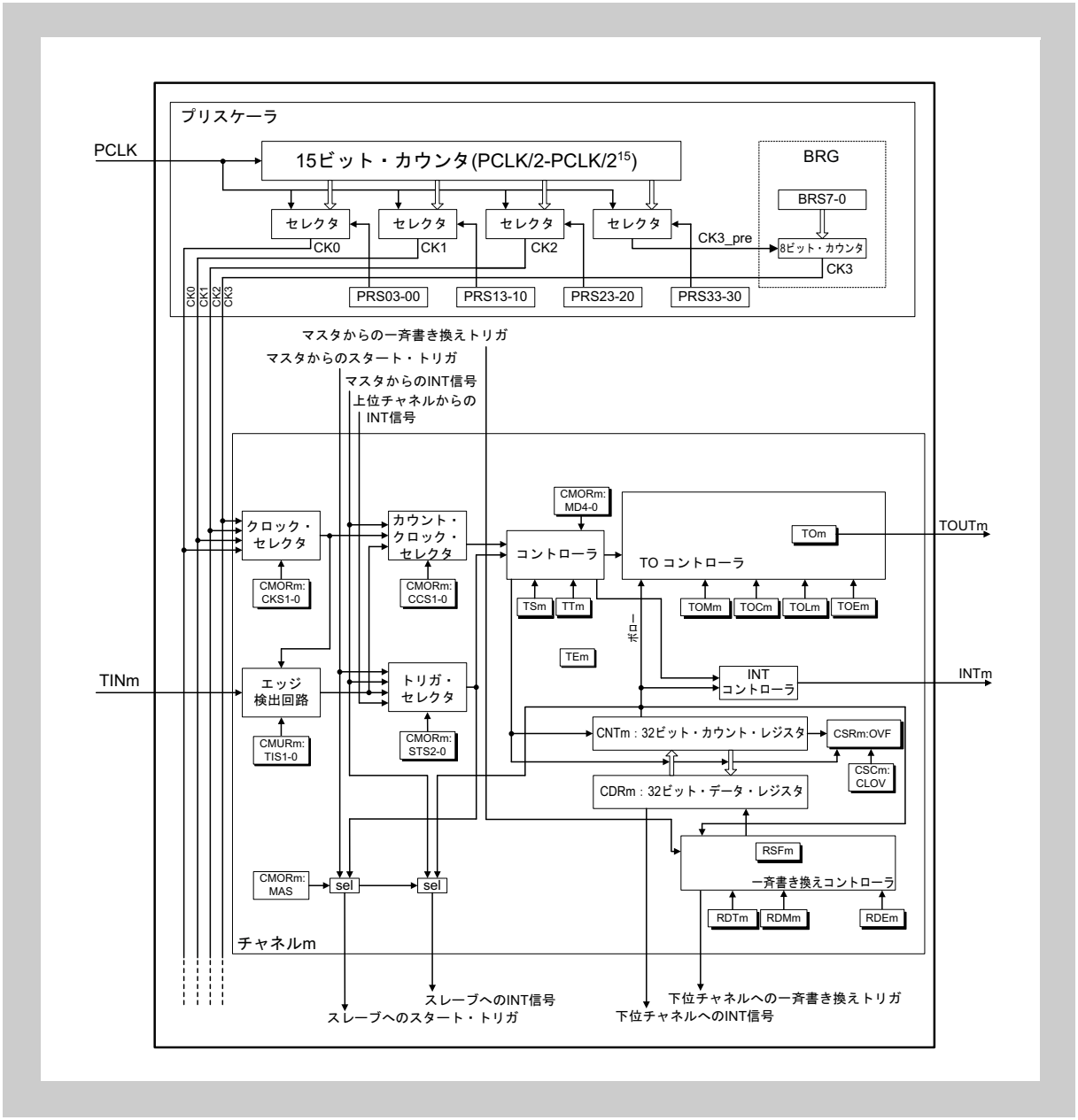


図 14-2 TAUJ のブロック図

ブロック図内の「TAUJn」は，図を見やすくするために省略されています。

14.2.1 用語

この章で使用されている用語について説明します。

- **チャネル単体／連動動作**

  チャネル単体／連動動作は，チャネル間の依存性を示します。

  – あるチャネルがほかのすべてのチャネルから独立して動作している場合をチャネル単体動作と呼びます。

  – あるチャネルの動作がほかのチャネルに依存している場合をチャネル連動動作と呼びます。

- **チャネル・グループ**

  チャネル連動動作では，依存関係にあるすべてのチャネルを「チャネル・グループ」と呼びます。

  1 つのチャネル・グループは，1 つのマスタ・チャネルと 1 つ以上のスレーブ・チャネルで構成されます。

- **動作モード**

  チャネル m ごとに動作モードを指定できます。動作モードは，あるチャネルの基本動作と機能を規定します。

  チャネル連動動作では，チャネル・グループに属する各チャネルは，異なる動作モードで動作することが可能です。

  動作モードには，キャプチャ・モード，インターバル・タイマ・モードなどがあります。

- **チャネル出力モード**

  チャネル出力モードは，次のチャネルの TAUJnTTOUTm の動作を規定します。

  – 1 つのチャネル（単体出力動作）

  – チャネル・グループに属するすべてのチャネル（連動出力動作）

  チャネル出力モードには，チャネル単体出力モード 1 があります。

- **チャネル動作機能**

  チャネル動作機能は，次のチャネルの全機能およびすべての特徴を規定します。

  – 1 つのチャネル（チャネル単体動作）

  – チャネル・グループに属するすべてのチャネル（チャネル連動動作）

- **上位／下位チャネル**

  上位チャネル，下位チャネルの定義を示します。

  – 上位チャネル：自チャネルより小さい番号のチャネル

  – 下位チャネル：自チャネルより大きい番号のチャネル

  たとえば，チャネル 2 に対してチャネル 1 は上位チャネル，チャネル 3 は下位チャネルです。

14.3 機能説明

TAUJ は，各種カウントやタイマ動作を行い，その動作の結果によって異なる信号を出力します。カウント・クロックを生成するためのプリスケーラ，カウント開始値および比較値を保持するための 32 ビット・カウンタ TAUJnCNTm と 32 ビット・データ・レジスタ TAUJnCDRm をそれぞれ備えた 4 チャネルを搭載しています。

また，いくつかの制御レジスタおよびステータス・レジスタを持っています。

単体および連動動作

各チャネルは，単体で，またはほかのチャネルと連動して，2 つの動作モードで動作することが可能です。1 つのマスタ・チャネルと 1 つ以上のスレーブ・チャネルの場合，スレーブ・チャネルは，マスタ・チャネルに依存します。

あるチャネルを単体動作させる場合，そのチャネルの動作モードと機能は，ほかのチャネルからの影響を受けません。あるチャネルを連動させる場合，そのチャネルはマスタまたはスレーブ・チャネルです。マスタ・チャネルには，複数のスレーブ・チャネルがある可能性があり，あるチャネルの状態にほかのすべてのチャネルが影響を受けます。たとえば，あるチャネルを使って，ほかのチャネルのカウント開始タイミングやリセット・タイミング等を制御できます。

機能ブロックを次に説明します。

プリスケーラ

プリスケーラは，すべてのチャネルのカウント・クロックとして使用することができる最大 4 つのクロック信号（CK0-CK3）を供給します。

プリスケーラ出力 CK0-CK2 は，プリスケーラにより PCLK の 2^0-2^{15} の分周したクロックを選択することができます。4 つ目のプリスケーラ出力 CK3 は，BRG を使用することにより，2 のべき乗以外の分周比を設定することができます。

カウント・クロックの選択

カウント・クロック・セレクタは，各チャネルに対してクロック・ソースを次から選択します。

- CK0-CK3 のいずれかのプリスケーラ出力
  （クロック・セレクタにより選択）
- マスタ・チャネルからの INTTAUJnIm
- TAUJnTTINm 入力信号の有効エッジ

コントローラ

コントローラは，カウンタの主な動作を制御します。

- 動作モード（TAUJnCMORm.TAUJnMD[4:0] ビットにより選択）
- カウント開始許可（TAUJnTS.TAUJnTSm）およびカウント停止（TAUJnTT.TAUJnTTm）

  カウントの開始を許可すると，ステータス・フラグ TAUJnTE.TAUJnTEm がセットされます。

トリガ・セレクタ

選択した動作モードにより，カウンタは，動作が許可されている場合（TAUJnTE.TAUJnTEm = 1）には自動的に起動するか，外部スタート・トリガ信号を待ちます。次の信号をスタート・トリガとして使うことができます。

- チャネル連動スタート・トリガ入力 TAUJnTSSTm
  ユニット間の同時スタート方法の詳細は，24.4.1「同時スタート・トリガ機能」を参照してください。
- TAUJnTTINm 入力の有効エッジ
- マスタ・チャネルからの INTTAUJnIm

一斉書き換えコントローラ 一斉書き換え制御は，連動動作モードで使える機能です。あるチャネル・グループに属する全チャネルのデータ・レジスタ（TAUJnCDRm）はいつでも書き換えられます。一斉書き換えコントローラは，全チャネルのデータ・レジスタの新しい値が同時に有効になります。

TAUJnTOコントローラ 各チャネルの出力を制御することにより，PWM 信号などの各種出力信号を出力できます。

14.3.1 タイマ動作機能一覧

このタイマは各 CH を単体で動作させたり，複数 CH を組み合わて動作させることで，下記の機能が実現できます。

表 14-6 TAUJ 動作機能一覧

単体動作機能	連動動作機能
チャネル単体動作機能	チャネル連動動作機能
インターバル・タイマ機能	PWM 出力機能
TAUJnTTINm 入力インターバル・タイマ機能	
チャネル単体信号測定機能	
TAUJnTTINm 入力パルス・インターバル測定機能	
TAUJnTTINm 入力信号幅測定機能	
TAUJnTTINm 入力期間カウント検出機能	
その他チャネル単体機能	
TAUJnTTINm 入力位置検出機能	

14.4 基本操作手順

TAUJn の基本操作手順を次に示します。

リセット解除後，各チャネルの動作は停止しています。クロックの供給が開始されると，各レジスタへの書き込みが可能になります。TAUJnTTOUTm の制御レジスタも初期化され，ロウ・レベルを出力します。

1. TAUJnTPS と TAUJnBRS レジスタを設定して CK0-CK3 のクロック周波数を指定してください。
2. 任意の TAUJn 機能を設定してください。
   - 動作モードを設定してください。
   - チャネル出力モードを設定してください。
   - その他の制御ビットを設定してください。
3. TAUJnTS.TAUJnTSm ビットを 1 に設定してカウンタ動作を許可してください。

   カウンタは，ビット設定によって，ただちに，または適切なトリガが検出されたときにカウントを開始します。
4. カウント動作中，必要に応じて，かつ設定した機能に対して可能な場合，カウントを停止するか，強制リスタートを実行してください。
5. 停止する場合は，TAUJnTT.TAUJnTTm ビットを 1 に設定して機能を停止してください。

備考 必要な制御ビットと各機能の動作の詳細は，14.12「チャネル単体動作機能」と 14.13「チャネル連動動作機能」を参照してください。

14.5 動作モード

TAUJ には 7 つの動作モードがあります。

各チャネルに動作モードを 1 つ指定できます。動作モードは，TAUJnCMORm.TAUJnMD[4:0] ビットで指定します。

備考 各レジスタと各ビットには，動作機能によって固定される場合と，ユーザーが選択できる場合があります。

各レジスタと各ビットの設定値は各動作機能章を参照してください。

14.6 チャネル連動動作の概念

チャネル連動動作では，複数のチャネルが依存関係にあるか，ほかのチャネルの変化に影響を受けます。したがって，チャネル連動機能に対していくつかのルールが適用されます。ルールの詳細は，14.6.1「ルール」に示します。

チャネル連動動作の 2 つの特殊な機能の詳細を次の節で説明します。

- 14.6.2「連動チャネル・カウンタの同時動作開始／停止」
- 14.7「一斉書き換え」

14.6.1 ルール

マスタおよびスレーブ・チャネル数

- マスタ・チャネルには，偶数チャネル（CH0，CH2）のみ設定できます。スレーブ・チャネルには，CH0 を除くすべてのチャネルを設定できます。
- マスタ・チャネルより下位のチャネルのみスレーブ・チャネルとして設定でき，1 つのマスタ・チャネルに対し複数のスレーブ・チャネルを設定できます。
  例：CH2 がマスタ・チャネルの場合，CH3 をスレーブ・チャネルに設定できます。
- マスタ・チャネルを 2 つ使用する場合，マスタ・チャネルを跨いだスレーブ・チャネルの設定はできません。
  例：CH0，CH2 がマスタ・チャネルの場合，CH0 に対して CH1 までをスレーブ・チャネルとして設定できますが，CH3 は設定できません。

カウント・クロック

- マスタ・チャネルと連動するスレーブ・チャネルには同じカウント・クロックを設定する必要があります。マスタ・チャネルとスレーブ・チャネルの TAUJnCMORm.TAUJnCKS[1:0] ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブ・チャネルの使用とカウント・クロックの基本的な概念を次の図に示します。

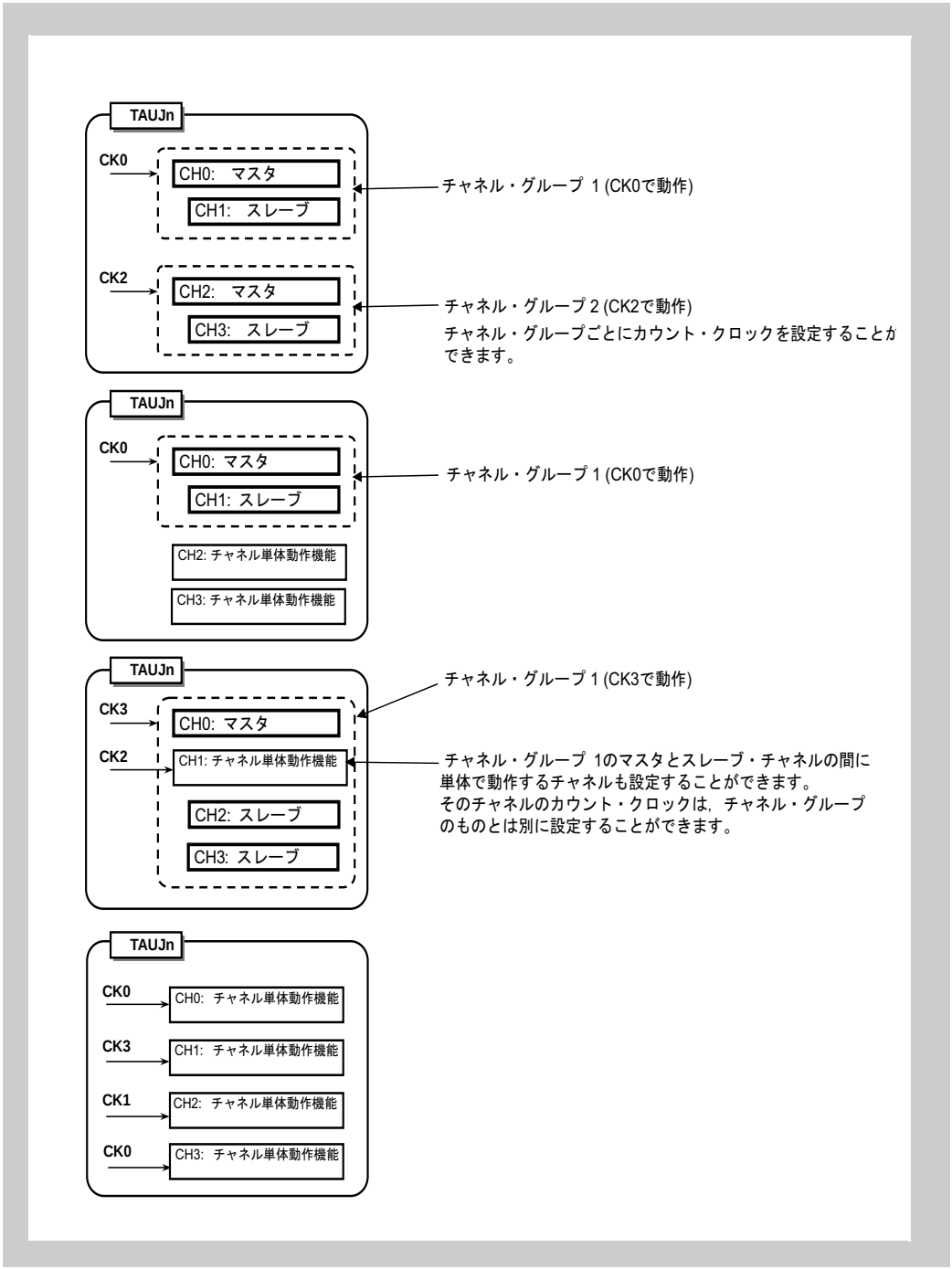


図 14-3 チャネルのグループ化とカウント・クロックの割り当て

マスタ・チャネル，スレーブ・チャネルの制御トリガ信号

- マスタ・チャネルは，制御トリガ信号をスレーブ・チャネルに出力することができます。
- スレーブ・チャネルは，マスタ・チャネルの制御トリガ信号を使用できますが，スレーブ・チャネル自身の制御トリガ信号を下位チャネルに出力することはできません。
- マスタ・チャネルは，自身より上位のマスタ・チャネルの制御トリガ信号を使用することはできません。

14.6.2 連動チャネル・カウンタの同時動作開始／停止

連動するチャネルは，同じユニット内およびユニット間で同時に開始／停止することができます。

(1) ユニット内の連動チャネル・カウンタの同時動作開始／停止

- 連動するチャネルを同時に開始させるためには，それらのTAUJnTS.TAUJnTSm ビットを同時に設定する必要があります。
- 連動するチャネルを同時に停止させるためには，それらのTAUJnTT.TAUJnTTm ビットを同時に設定する必要があります。

TAUJnTS.TAUJnTSm ビットに 1 を設定することにより，対応するTAUJnTE.TAUJnTEm ビットが 1 にセットされ，カウント動作を許可します。カウンタのカウント開始タイミングは，動作モードに依存します。

(2) ユニット間の同時スタート

異なるユニットのカウンタは，同時トリガ信号を受信する前にカウンタを許可することにより，同時に動作を開始できます。

ユニット間の同時スタート方法の詳細は，24.4.1「同時スタート・トリガ機能」を参照してください。

14.7 一斉書き換え

14.7.1 概要

一斉書き換えとは，複数チャネルのコンペア／スタート値と出力論理を一斉に書き換えることを指します。

対応するデータ・レジスタと制御レジスタ（TAUJnCDRm，TAUJnTOLm）は常に書き換えることができます。新しい値は，一斉書き換えがトリガされるまでカウンタ動作または出力信号に影響しません。

一斉書き換えは，マスタ・チャネルのカウンタが特定の値に達した場合にトリガされます。

一斉書き換えの設定を次の表に示します（TAUJnRDM.TAUJnRDMm = 0）。

表 14-7 一斉書き換えの設定

方式	一斉書き換えがトリガされるタイミング	TAUJnRDE.TAUJnRDEm
-	一斉書き換えが行われない場合	0
A	マスタ・チャネルがカウントを再開／開始した場合	1

14.7.2 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を次に示します。3 つの主なブロック（初期設定，カウント開始 & カウント動作，一斉書き換え）は後述します。

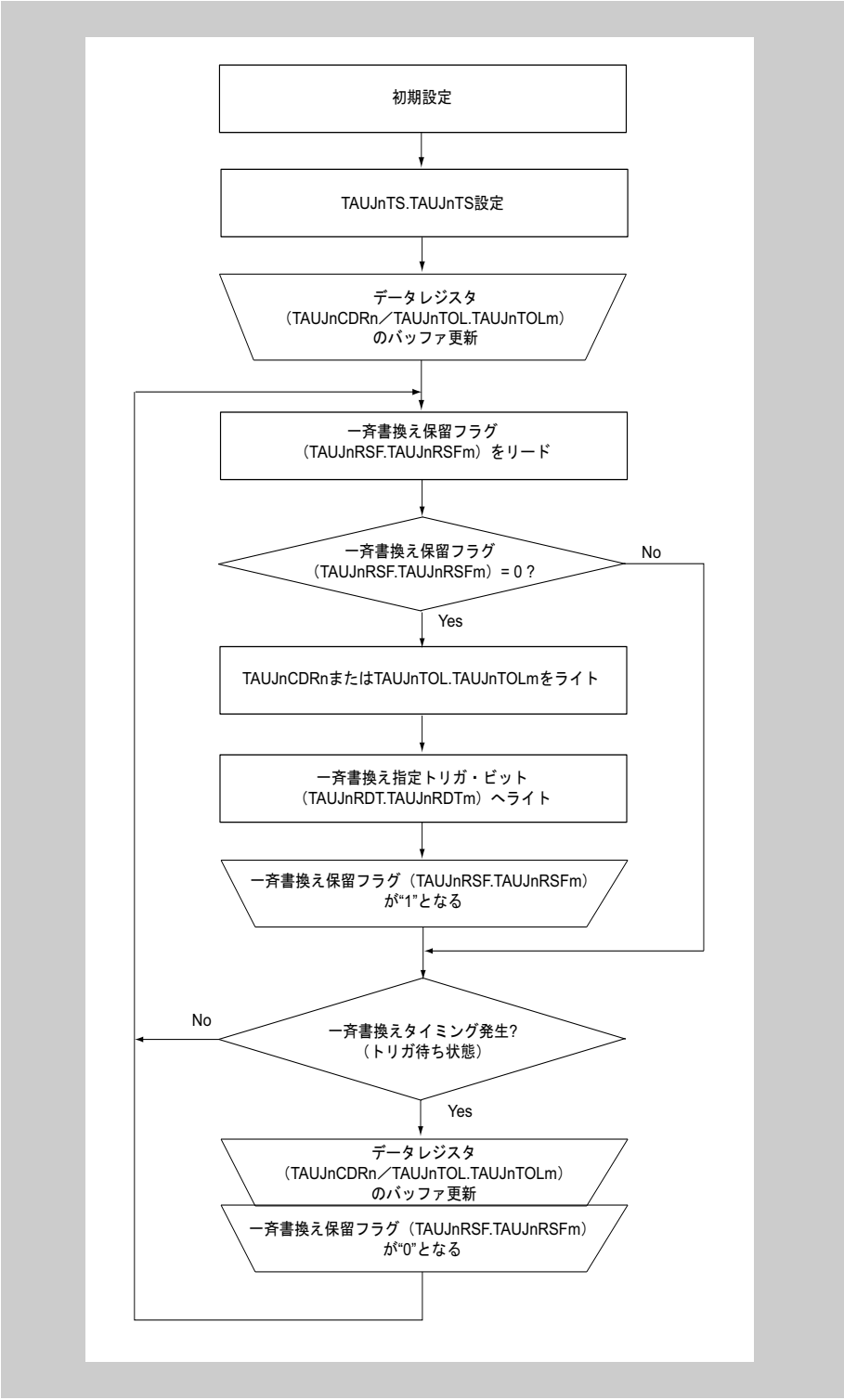


図 14-4 一斉書き換えの基本手順

(1) 初期設定

- チャネル m にて一斉書き換えを許可するには，TAUJnRDE.TAUJnRDEm = 1 を設定してください。

(2) カウント開始とカウント動作

- チャネル・グループに属するすべての TAUJnCNTm カウンタ動作を開始するには，対応する TAUJnTS.TAUJnTSm ビットを 1 に設定してください。TAUJnTOL.TAUJnTOLm とデータ・レジスタ（TAUJnCDRm）の値は，対応する TAUJnTOL.TAUJnTOLm バッファ（TAUJnTOL.TAUJnTOLm buf）とデータ・バッファ・レジスタ（TAUJnCDRm buf）にロードされ，カウンタはカウントを開始します。
- リロード・データ・トリガ・ビット（TAUJnRDT.TAUJnRDTm）を 1 に設定することにより，リロード・フラグ（TAUJnRSF.TAUJnRSFm）が 1 に設定され，一斉書き換えが許可されます。TAUJnRSF.TAUJnRSFm は一斉書き換えが完了するまで 1 のままです。
- 一斉書き換え用に指定されたトリガが検出されると，一斉書き換えが許可（TAUJnRSF.TAUJnRSFm = 1）されているかを確認するために TAUJnRSF.TAUJnRSFm ビットがチェックされます。一斉書き換えが許可されている場合，一斉書き換えが行われます。許可されていない場合，一斉書き換えは行われず，次の一斉書き換えトリガ検出待ちになります。

(3) 一斉書き換え

- 一斉書き換えトリガが検出され，一斉書き換えが許可（TAUJnRSF.TAUJnRSFm = 1）されると，データ・レジスタの現在値がバッファにコピーされます。これらの値は，対応するカウンタにロードされ，カウンタがカウントを開始／再開するときに適用されます。
- 一斉書き換えが完了すると，TAUJnRSF.TAUJnRSFm ビットは 0 に設定され，システムは次の一斉書き換えトリガを待ちます。

14.7.3 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中（TAUJnTE.TAUJnTEm = 1）は，TAUJnRDE.TAUJnRDEm，TAUJnRDM.TAUJnRDMm を変更することはできません。
- TAUJnTOL.TAUJnTOLm は，PWM 出力機能で動作している場合のみ書き換えることができます。ほかの機能を使用する場合は，TAUJnTOL.TAUJnTOLm はカウントを開始する前にライトする必要があります。ほかの機能を使用しているときに書き換えた場合，TAUJnTTOUTm は不正な波形を出力します。

14.7.4 一斉書き換えの方法

マスタ・チャネルがカウント開始／再開時に一斉書き換えは行われます。

一斉書き換えの方法を次の図で示します。

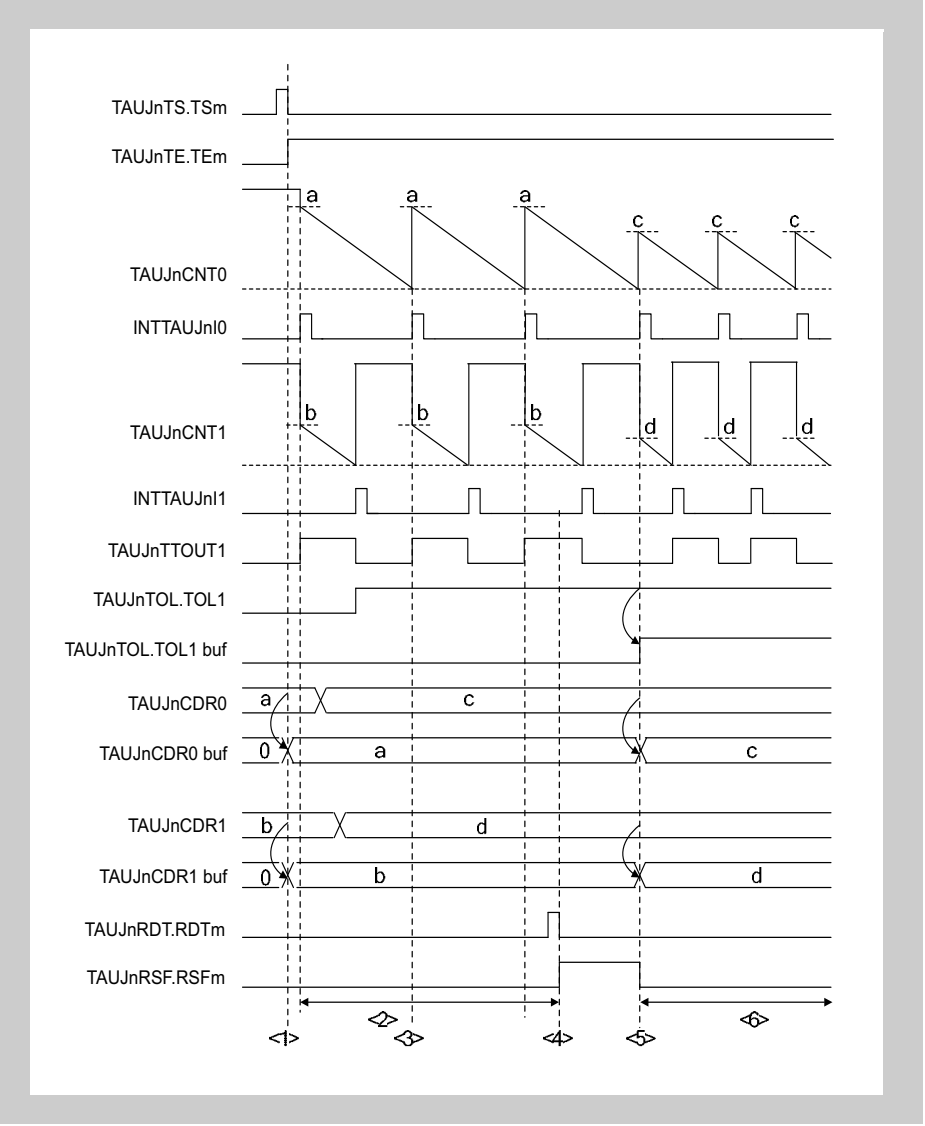


図 14-5 マスタ・チャネルがカウントを再開／開始した場合の一斉書き換え

設定

- CH0 は，ダウン・カウントを行うマスタ・チャネルです。CH1 は，任意のスレーブ・チャネルです。一斉書き換えは，マスタ・チャネルがカウント開始時に適用されます。

説明：

1. TAUJnTS.TAUJnTSm = 1 に設定すると，TAUJnCDRm の値が TAUJnCDRm バッファに，TAUJnTOL.TAUJnTOLm の値が TAUJnTOL.TAUJnTOLm バッファにコピーされます。
2. TAUJnCDRm と TAUJnTOL.TAUJnTOLm レジスタは常に書き込めます。
3. CH0 はカウントを再開しますが，一斉書き換えは許可されていないため行われません（TAUJnRSF.TAUJnRSFm = 0）。
4. リロード・データ・トリガ・ビット（TAUJnRDT.TAUJnRDTm）を 1 に設定することにより，ステータス・フラグが設定され（TAUJnRSF.TAUJnRSFm = 1），一斉書き換えが許可されます。
5. 一斉書き換えが許可されているため，CH0 のカウント再開時に一斉書き換えが発生します。TAUJnCDRm の値は TAUJnCDRm バッファに，TAUJnTOL.TAUJnTOLm の値は TAUJnTOL.TAUJnTOLm バッファにロードされます。
6. カウンタはダウン・カウントし，次の一斉書き換えトリガを待ちます。TAUJnCDRm と TAUJnTOL.TAUJnTOLm の値は再変更できます。

14.8 チャネル出力モード

TAUJnTTOUTm 端子の出力は，2 つの方法で制御することができ，2 つ目の方法はさらに個別のモードに分かれています。

- ソフトウエア制御（TAUJnTOE.TAUJnTOEm = 0）

  ソフトウエアで制御した場合，出力レジスタ・ビット（TAUJnTO.TAUJnTOm）に書き込んだ値は，出力端子（TAUJnTTOUTm）から出力されます。

- TAUJ 信号による制御（TAUJnTOE.TAUJnTOEm = 1）

  TAUJ 信号で制御した場合，TAUJnTTOUTm の出力レベルはセット／リセット，または内部信号によりトグルされます。これに応じて，TAUJnTTOUTm の値を反映するために，TAUJnTO.TAUJnTOm の値は更新されます。

  – 単体制御（TAUJnTOM.TAUJnTOMm = 0）

    単体動作の場合，TAUJnTTOUTm 端子の出力はチャネル m の設定のみの影響を受けます。したがって，チャネル単体動作を指定（TAUJnTOM.TAUJnTOMm = 0）する必要があります。

  – 連動制御（TAUJnTOM.TAUJnTOMm = 1）

    連動動作の場合，TAUJnTTOUTm 端子の出力は，チャネル m とその他のチャネルの設定の影響を受けます。したがって，すべての連動するチャネルに対してチャネル連動動作を指定する必要があります（TAUJnTOM.TAUJnTOMm = 1）。

TAUJnTO.TAUJnTOm ビットは常にリードすることができ，端子がソフトウエアで制御されている，単体動作している，または連動動作しているにかかわらず，TAUJnTTOUTm の現在の値を確認することができます。

制御ビット

特定のチャネル出力モードを選択するために必要な制御ビットの設定は，*表 14-8「チャネル出力モード」* に示します。

チャネル出力モードの詳細は次の節を参照してください。

- 14.8.2「TAUJn 信号により単体制御されるチャネル出力モード」
- 14.8.3「TAUJn 信号により連動制御されるチャネル出力モード」

TAUJnTOm ビットの一括操作

TAUJnTOm ビットへの設定値の反映 / 非反映は，TAUJnTOE.TAUJnTOEm ビット により制御されます。

TAUJnTO レジスタにライトした時に，TAUJnTOE.TAUJnTOEm ビット =0 を設定したビット（チャネル）にのみ，TAUJnTOm の設定値の書き込みが行われます。TAUJnTOE.TAUJnTOEm ビット = 1 を設定したビット（チャネル）は，TAUJnTOm の設定値は反映されません。

備考 TAUJnTO.TAUJnTOm ビットは，ビット番号とチャネル番号が対応して配置しています。

出力論理 出力の正論理または反転論理は，制御ビット TAUJnTOL.TAUJnTOLm で指定します。

TAUJnTOL.TAUJnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは，PWM 出力機能時のみです。カウンタ動作開始後に TAUJnTOL.TAUJnTOLm を変更すると，TAUJnTTOUTm 信号の出力は不定になります。

14.7「一斉書き換え」を参照してください。

各種チャネル出力モードとチャネル出力制御ビットを次の表に示します（TAUJnTOC.TAUJnTOCm = 0）。

表 14-8 チャネル出力モード

チャネル出力モード	TAUJnTOE.TAUJnTOEm	TAUJnTOM.TAUJnTOMm
ソフトウエア制御		
ソフトウエア制御のチャネル単体出力モード	0	X
TAUJ 信号による単体動作制御		
チャネル単体出力モード 1	1	0
TAUJ 信号による連動動作制御		
チャネル連動出力モード 1	1	1

注意
1. 表に記述のない組み合わせは禁止です。
2. “x” が記されているビットは，任意の値を設定できます。
3. 次のビットは，カウント動作中（TAUJnTE.TAUJnTEm = 1）は変更しないでください。
   - TAUJnTOE.TAUJnTOEm
   - TAUJnTOM.TAUJnTOMm
   - TAUJnTOC.TAUJnTOCm

14.8.1 チャネル出力モードを指定するための基本手順

TAUJnTTOUTm チャネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります（TAUJnTOE.TAUJnTOEm = 0）。

1. TAUJnTO.TAUJnTOm を設定して TAUJnTTOUTm 出力の初期レベルを指定してください。
2. *表 14-8「チャネル出力モード」*を参照してチャネル出力モードを設定し，TAUJnTOL.TAUJnTOLm ビットで出力論理を設定してください。
3. カウンタのカウントを開始してください（TAUJnTS.TAUJnTSm = 1）。

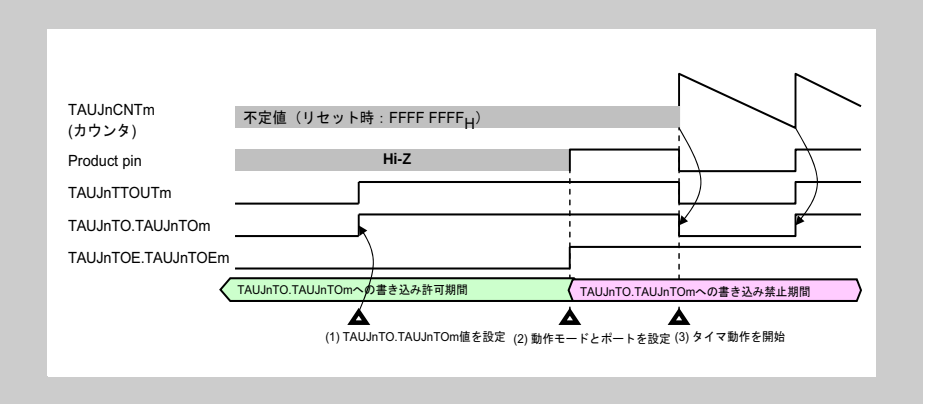


図 14-6 TAUJnTTOUTm チャネル出力モードを指定するための基本手順

14.8.2 TAUJn 信号により単体制御されるチャネル出力モード

この節では，TAUJn 信号により単体制御されるチャネル出力モードを示します。モードを指定する制御ビットは，*表 14-8「チャネル出力モード」*に示します。

(1) チャネル単体出力モード 1

セット／リセット条件 この出力モードでは，INTTAUJnIm が検出されると TAUJnTTOUTm がトグルされます。TAUJnTOL.TAUJnTOLm の値は無視されます。

前提条件 *表 14-8「チャネル出力モード」*に示す条件以外の条件はありません。

14.8.3 TAUJn 信号により連動制御されるチャネル出力モード

この節では，TAUJn 信号により連動制御されるチャネル出力モードを示します。モードを指定する制御ビットは，*表 14-8「チャネル出力モード」*に示します。

(1) チャネル連動出力モード 1

セット／リセット条件 この出力モードでは，マスタ・チャネルの INTTAUJnIm がセット信号，スレーブ・チャネルの INTTAUJnIm がリセット信号となります。マスタ・チャネルの INTTAUJnIm とスレーブ・チャネルの INTTAUJnIm が同時発生した場合，スレーブ・チャネルの INTTAUJnIm（リセット信号）は，マスタ・チャネルの INTTAUJnIm（セット信号）より優先されます（マスタ・チャネルは無視されます）。

前提条件 *表 14-8「チャネル出力モード」*に示す条件以外の条件はありません。

14.9 各動作モードでのカウント開始タイミング

この節では，各動作モードにおいて TAUJnTS.TAUJnTSm を 1 に設定したあとの，カウンタ動作開始タイミングについて説明します。

データ・レジスタ（TAUJnCDRm レジスタ）の値と割り込みが発生するかどうかは，モードとレジスタ設定によります。

注意 この節に記載するカウント開始タイミングは参考例です。実際にはカウント・クロック・タイミングにより，カウント開始タイミングは前後します。

14.9.1 インターバル・タイマ・モード，キャプチャ・モード

TAUJnTS.TAUJnTSm が 1 に設定されたあと，カウンタは次のカウント・クロックにより動作を開始します。このとき，データ・レジスタの値もロードされます。

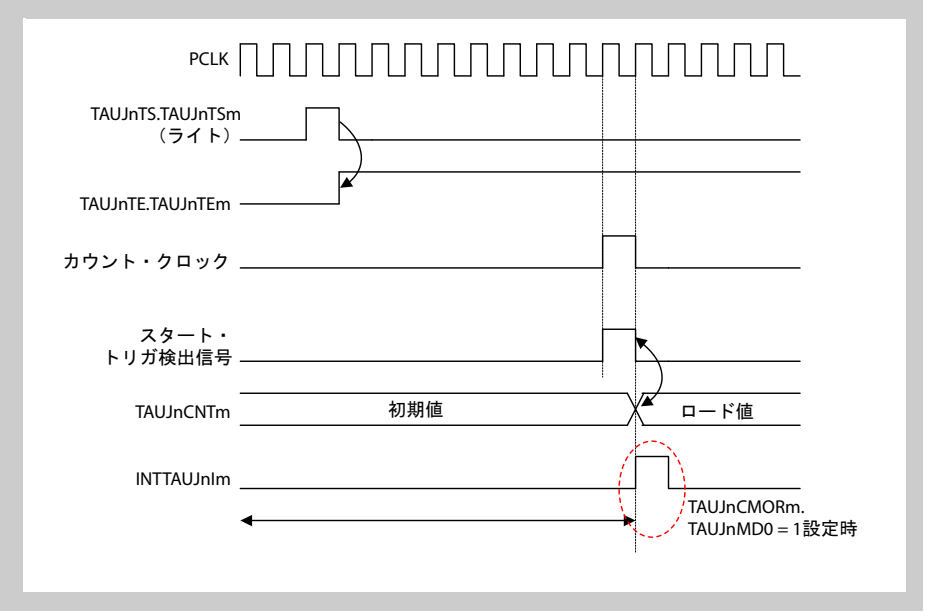


図 14-7 インターバル・タイマ・モード，キャプチャ・モードでの開始タイミング

14.9.2 その他の動作モード

その他の動作モードでは，カウンタの動作開始タイミングは TAUJnTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると，データ・レジスタ値もロードされます。カウント・クロック・サイクルはカウンタ動作開始には関係ありませんが，すべての動作を行う際の周波数を決定します。

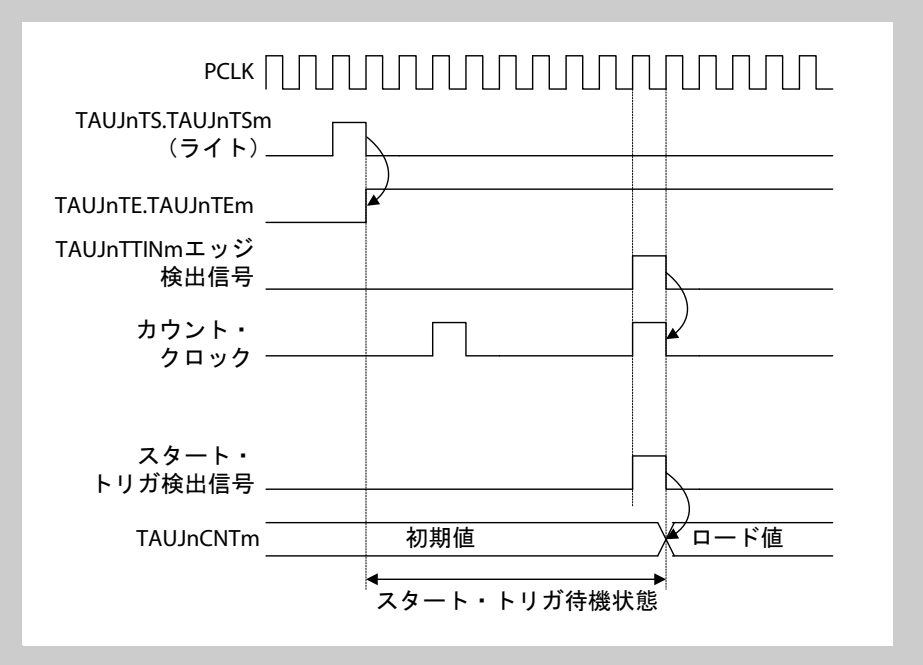


図 14-8 その他の動作モードでのカウント開始タイミング

14.10　カウント開始／リスタート時の TAUJnTTOUTm 出力と INTTAUJnIm 生成

カウンタのカウント開始時，TAUJnCMORm.TAUJnMD0 ビットで INTTAUJnIm を発生するかしないかを指定できます。次の表に示すように，ビットの影響は，選択したモードに依存します。INTTAUJnIm の TAUJnTTOUTm に対する影響は，選択したチャネル動作機能に依存します。

表 14-9　カウンタがトリガされた場合の TAUJnCMORm.TAUJnMD0 ビットの INTTAUJnIm 発生に対する影響

モード	TAUJnCMORm.TAUJnMD0 ビット	カウント開始／再開時，または TAUJnTTINm 入力信号のトリガ検出時の INTTAUJnIm 発生
インターバル・タイマ・モード キャプチャ・モード カウント・キャプチャ・モード	0	発生しない
	1	発生
キャプチャ＆ワンカウント・モード キャプチャ＆ゲート・カウント・モード	0	発生しない
ワンカウント・モード	0/1	TAUJnCMORm.TAUJnMD0 ビットの設定にかかわらず発生しない

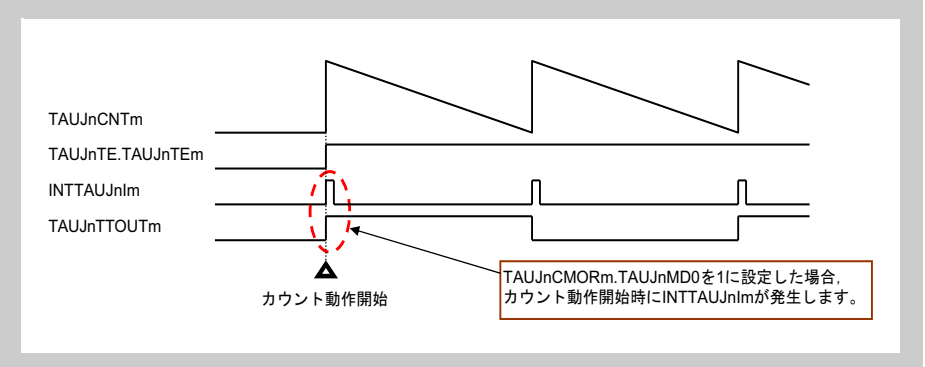


図 14-9　カウント開始時の INTTAUJnIm 発生

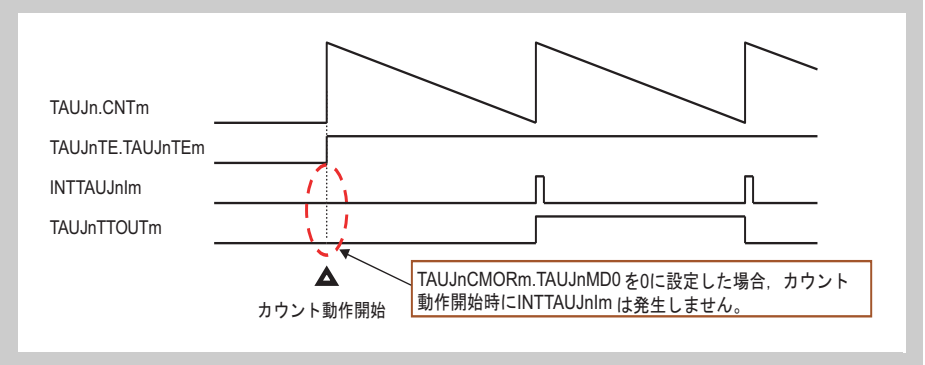


図 14-10　カウント開始時に INTTAUJnIm が発生しない

14.11 TAUJnTTINm エッジ検出

TAUJnTTINm エッジ検出は，サンプリング・クロックの立ち上がりエッジて検出します。最大 1 サンプリング・クロック周期の遅延が発生する場合があります。

エッジが検出されるタイミングのイメージを次の図に示します。

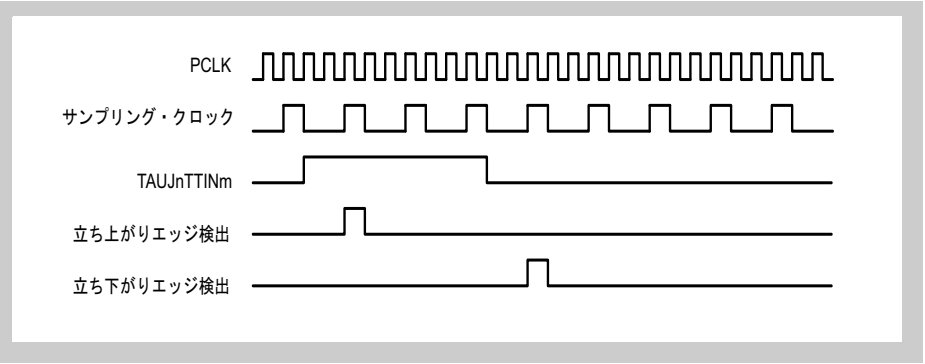


図 14-11 エッジ検出基本動作タイミング

注意 *図 14-11「エッジ検出基本動作タイミング」*は動作タイミングのイメージです。実際は，TAUJnIm 端子から TAUJn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

- ノイズ・フィルタ使用時
  ノイズ・フィルタ遅延時間 + エッジ検出遅延時間（最大 1 サンプリング・クロック）
- ノイズ・フィルタ未使用時
  同期化回路遅延時間（最大 2PCLK）+ エッジ検出遅延時間（最大 1 サンプリング・クロック）

14.12 チャネル単体動作機能

TAUJ の各種チャネル単体動作機能を次の項で説明します。チャネル単体動作の概要は，14.3「機能説明」を参照してください。

14.12.1 インターバル・タイマ機能

(1) 概要

概要 この機能は，一定間隔でタイマ割り込み（INTTAUJnIm）を発生する基準タイマとして使用できます。割り込みが発生すると，TAUJnTTOUTm 信号はトグルされ，矩形波を出力します。

前提条件
- 動作モードはインターバル・タイマ・モードに設定する必要があります（*表 14-10「インターバル・タイマ機能の TAUJnCMORm 設定」* 参照）。
- チャネル出力モードは，チャネル単体出力モード 1 に設定する必要があります。14.8「チャネル出力モード」を参照してください。

機能説明 チャネル・トリガ・ビット（TAUJnTS.TAUJnTSm）を 1 に設定すると，カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり，カウントが可能になります。TAUJnCDRm の現在値が TAUJnCNTm にロードされ，カウンタはその TAUJnCDRm 値からダウン・カウントを開始します。

カウンタ値が 0000 0000_H になると，INTTAUJnIm が発生し，TAUJnTTOUTm 信号がトグルされます。その後，TAUJnCDRm の値を TAUJnCNTm にロードし，以降，動作を継続します。

TAUJnCDRm 値は任意のタイミングで書き換え可能で，変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

TAUJnTT.TAUJnTTm を 1 に設定すると，カウンタ動作を停止できます。これにより，TAUJnTE.TAUJnTEm は 0 に設定されます。TAUJnCNTm と TAUJTTOUTm は停止しますが，値は保持します。TAUJnTS.TAUJnTSm を 1 に設定すると，機能を再開できます。カウント中に TAUJnTS.TAUJnTSm を 1 に設定すると，いったん停止せずにカウントを再開できます（強制リスタート）。

条件 TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合，動作開始または再開後の最初の割り込みは発生せず，TAUJnTTOUTm のトグルも行われません。これにより，TAUJnCMORm.TAUJnMD0 が 1 に設定された場合に対して，反転された TAUJnTTOUTm 信号が出力されます。詳細は，14.10「カウント開始／リスタート時の TAUJnTTOUTm 出力と INTTAUJnIm 生成」を参照してください。

(2) 算出式

INTTAUJnIm の周期 = カウント・クロック周期 ×（TAUJnCDRm ＋ 1）

TAUJnTTOUTm の矩形波周期 = カウント・クロック周期 ×（TAUJnCDRm ＋ 1）× 2

(3) ブロック図と基本タイミング図

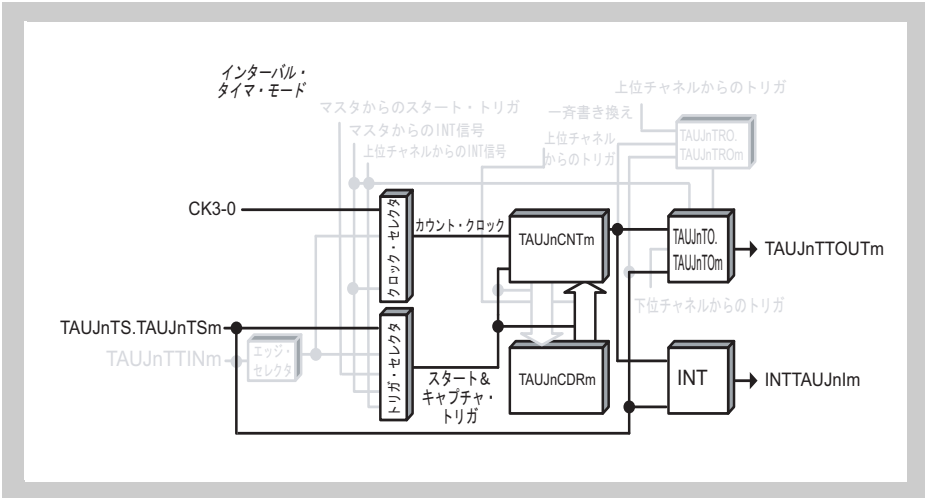


図 14-12 インターバル・タイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生する（TAUJnCMORm.TAUJnMD0 = 1）

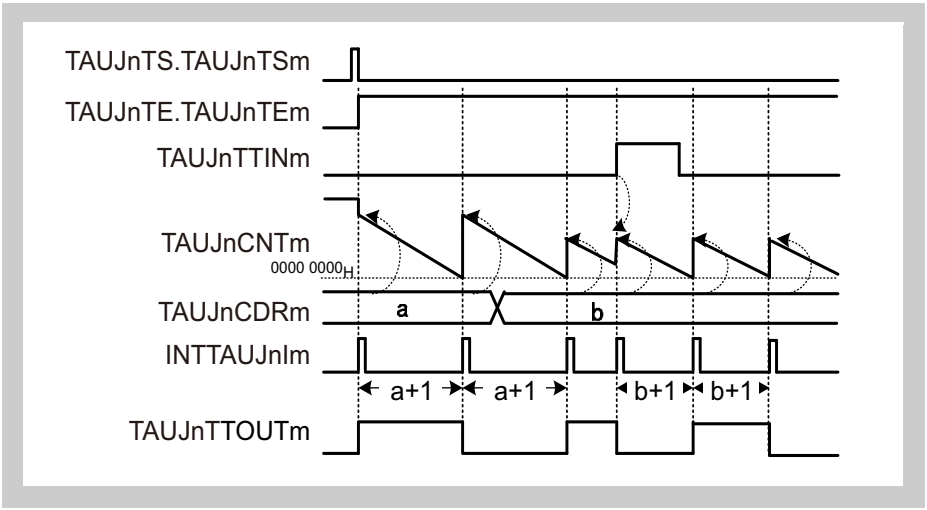


図 14-13 インターバル・タイマ機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS [2:0]			TAUJnCOS [1:0]		-	TAUJnMD [4:1]				TAUJn MD0

表 14-10 インターバル・タイマ機能の TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	サンプリング・クロックの選択 00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3
TAUJnCCS[1:0]	00: サンプリング・クロックをカウント・クロックとして使用
TAUJnMAS	0: 未使用，0 を設定
TAUJnSTS[2:0]	000: ソフトウエアでカウンタをトリガ
TAUJnCOS[1:0]	00: 未使用，00 を設定
TAUJnMD[4:1]	0000: インターバル・タイマ・モード
TAUJnMD0	0: 動作開始時に INTTAUJnIm が発生せず，TAUJnTTOUTm はトグルされない 1: 動作開始または再開時に INTTAUJnIm が発生し，TAUJnTTOUTm はトグルされる

(b) TAUJnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUJnTIS[1:0]	

表 14-11 インターバル・タイマ機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00: 未使用，00 を設定

(c) チャネル出力モード

表 14-12 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1: チャネル単体出力モード許可
TAUJnTO.TAUJnTOm	0: ロウ・レベル 1: ハイ・レベル
TAUJnTOM.TAUJnTOMm	0: チャネル単体出力
TAUJnTOC.TAUJnTOCm	0: 動作モード1（TAUJnTOM.TAUJnTOMm = 0時はトグル・モード）
TAUJnTOL.TAUJnTOLm	0: 正論理

備考 チャネル出力モードは，TAUJnTOE.TAUJnTOEm = 0を設定して，ソフトウエア制御のチャネル出力モードに設定することも可能です。この場合，TAUJnTTOUTmを割り込みとは独立させて制御することができます。詳細は14.8「チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ（TAUJnRDE，TAUJnRDM）は，インターバル・タイマ機能では使用できません。したがって，これらのレジスタは0に設定する必要があります。

表 14-13 インターバル・タイマ機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時（TAUJnRDE.TAUJnRDEm = 0），0を設定

(5)　インターバル・タイマ機能の操作手順

表 14-14　インターバル・タイマ機能の操作手順

	操作	TAUJn の状態
チャネルの初期設定	TAUJnCMORm，TAUJnCMURm レジスタを表 14-10「インターバル・タイマ機能の TAUJnCMORm 設定」，*表 14-11「インターバル・タイマ機能の TAUJnCMURm 設定」*に示すように設定します。 TAUJnCDRm レジスタの値を設定します。 制御ビットを*表 14-12「チャネル単体出力モード 1 時の制御ビット設定」*に示すように設定して，チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され，カウントが開始されます。 TAUJnCDRm の値を TAUJnCNTm にロードします。TAUJnCMORm.TAUJnMD0 = 1 の場合，INTTAUJnIm が発生し，TAUJnTTOUTm がトグルされます。
動作中	TAUJnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUJnCNTm レジスタは常に読み出し可能です。	TAUJnCNTm がダウン・カウントを行います。 カウンタが 0000 0000_H になった場合： • 再び TAUJnCDRm の値を TAUJnCNTm にロードし，カウント動作を継続します。 • INTTAUJnIm が発生し，TAUJnTTOUTm がトグルされます。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUJnCNTm と TAUJnTTOUTm は停止し，現在値を保持します。

動作再開

(6) 特定の設定時のタイミング図

(a) TAUJnCDRm =0000 0000_H，カウント・クロック = PCLK/2

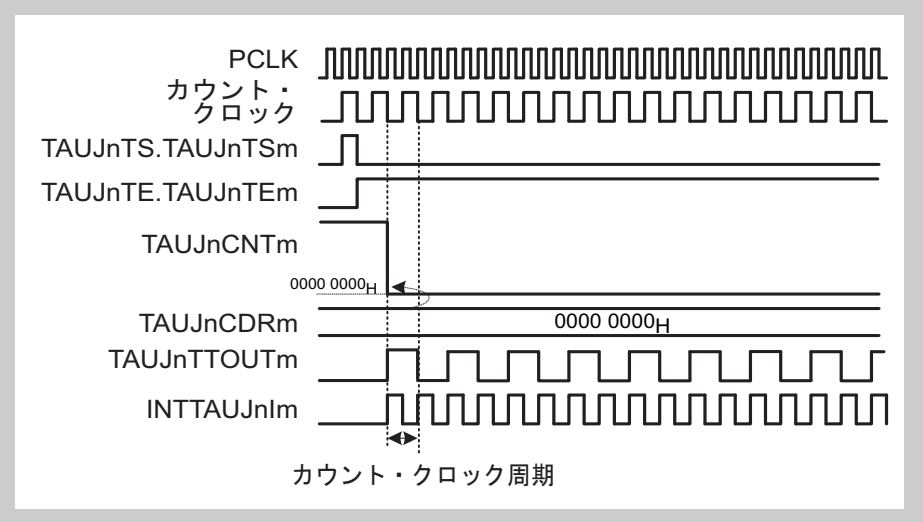


図 14-14 TAUJnCDRm = 0000 0000_H，カウント・クロック = PCLK/2

- TAUJnCDRm = 0000 0000_H，かつカウント・クロック = PCLK/2^1 の場合，カウント・クロックごとに TAUJnCDRm の値が TAUJnCNTm にロードされます。つまり，TAUJnCNTm は常に 0000 0000_H です。
- INTTAUJnIm がカウント・クロックごとに発生するので，TAUJnTTOUTm はカウント・クロックごとにトグルされます。

(b) TAUJnCDRm = 0000 0000_H，カウント・クロック = PCLK

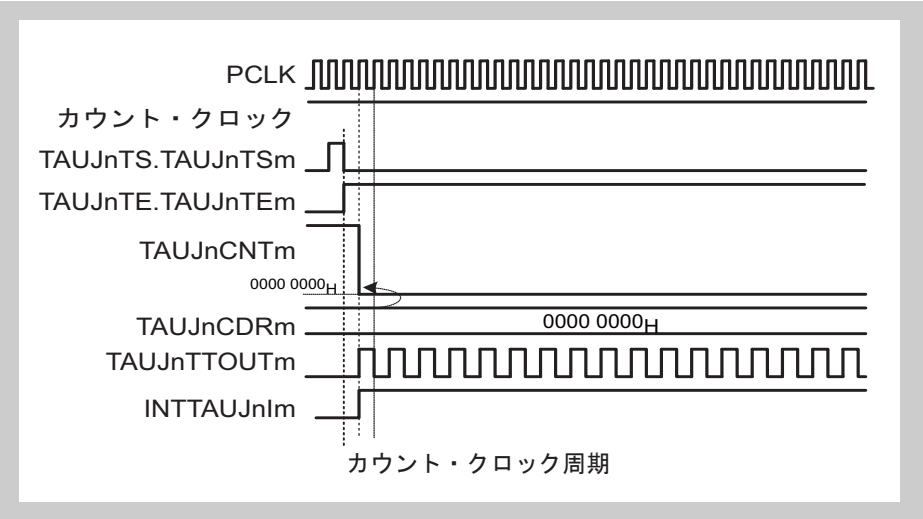


図 14-15 TAUJnCDRm = 0000 0000_H，カウント・クロック = PCLK

- TAUJnCDRm = 0000 0000_H，かつカウント・クロック = PCLK の場合，PCLK クロックごとに TAUJnCDRm の値が TAUJnCNTm にロードされます。つまり，TAUJnCNTm は常に 0000 0000_H です。
- 継続的に INTTAUJnIm が発生し，PCLK クロックごとに TAUJnTTOUTm がトグルされます。

(c) 動作の停止と再開

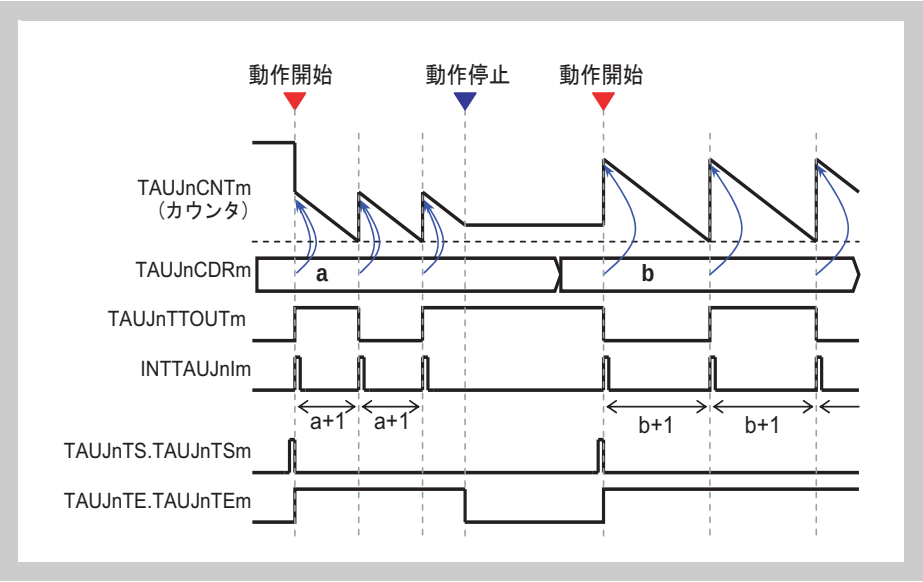


図 14-16 動作の停止と再開（TAUJnCMORm.TAUJnMD0 = 1）

- TAUJnTT.TAUJnTTm を 1 に設定すると，カウンタ動作を停止できます。これにより，TAUJnTE.TAUJnTEm は 0 に設定されます。
- TAUJnCNTm と TAUJnTTOUTm は停止しますが，値は保持します。
- TAUJnTS.TAUJnTSm を 1 に設定すると，カウントを再開できます。

(d) 強制リスタート

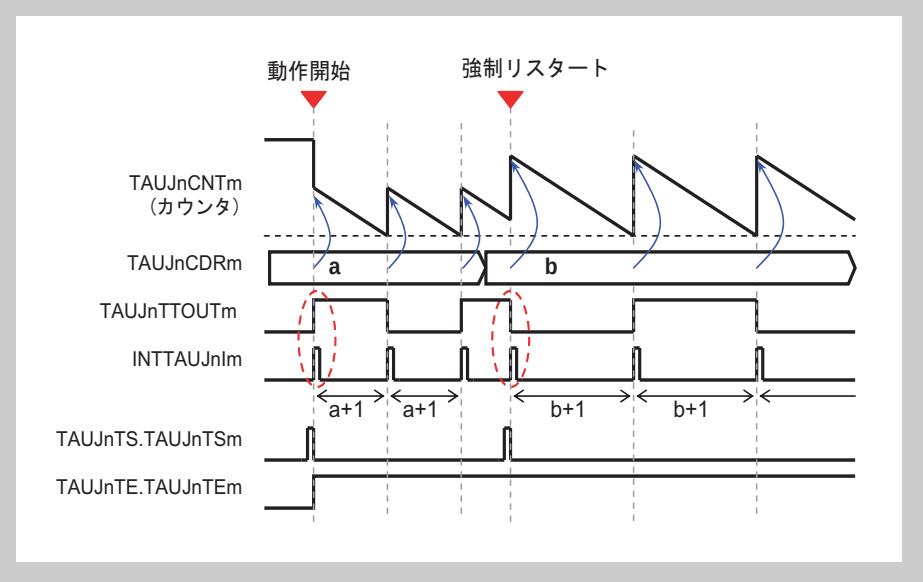


図 14-17 強制リスタート動作（TAUJnCMORm.TAUJnMD0 = 1）

- カウント中に TAUJnTS.TAUJnTSm を 1 に設定すると，いったん停止しなくてもカウントを再開できます（強制リスタート）。
- TAUJnCMORm.TAUJnMD0 ビットが 1 に設定されると，動作開始または再開後の最初の割り込みが発生します。

14.12.2　TAUJnTTINm 入力インターバル・タイマ機能

(1)　概要

概要　この機能は，一定間隔または有効な TAUJnTTINm 入力エッジが検出された場合に，タイマ割り込み（INTTAUJnIm）を発生するための基準タイマとして使用されます。割り込みが発生すると，TAUJnTTOUTm 信号はトグルされ，矩形波を出力します。

前提条件
- 動作モードはインターバル・タイマ・モードに設定する必要があります（表 14-15「TAUJnTTINm 入力インターバル・タイマ機能の TAUJnCMORm 設定」参照）。
- チャネル出力モードは，チャネル単体出力モード 1 に設定する必要があります。14.8「チャネル出力モード」を参照してください。

機能説明　この機能は，有効な TAUJnTTINm 入力エッジで再開される以外，インターバル・タイマ機能と同様に動作します（14.12.1「インターバル・タイマ機能」参照）。トリガとして使用するエッジの種類は，TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。立ち上がりエッジ，立ち下がりエッジ，または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

(2)　算出式

INTTAUJnIm の周期 = カウント・クロック周期 ×（TAUJnCDRm ＋ 1）

TAUJnTTOUTm の矩形波周期 = カウント・クロック周期 ×（TAUJnCDRm ＋ 1）× 2

(3)　ブロック図と基本タイミング図

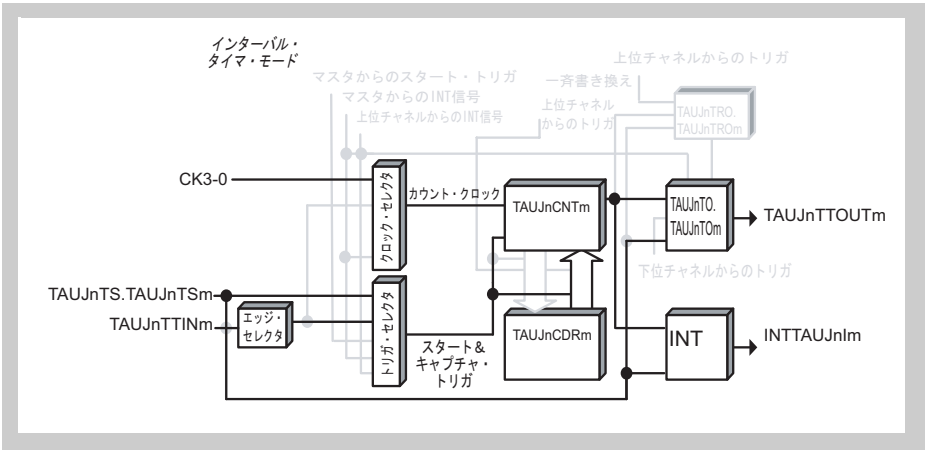


図 14-18　TAUJnTTINm 入力インターバル・タイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生する（TAUJnCMORm.TAUJnMD0 = 1）
- 立ち上がりエッジ検出（TAUJnCMURm.TAUJnTIS[1:0] = 01_B）

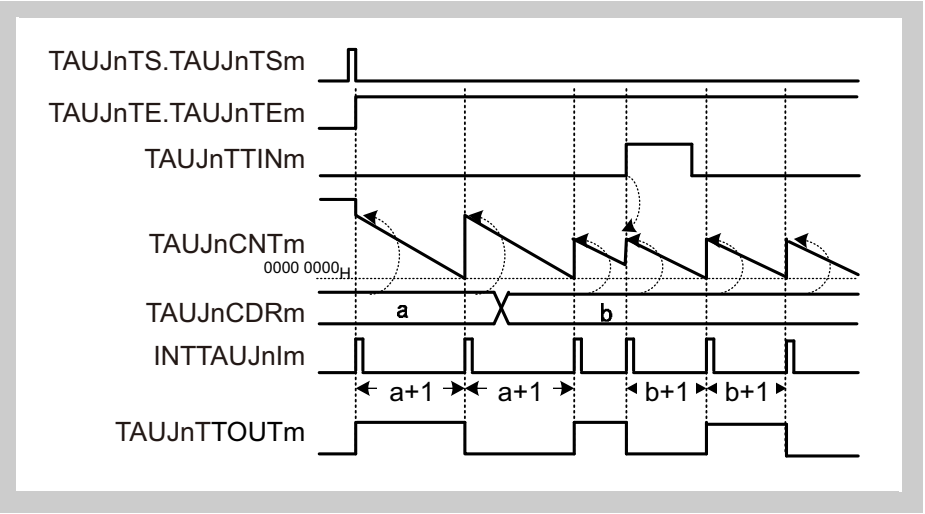


図 14-19　TAUJnTTINm 入力インターバル・タイマ機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS [2:0]			TAUJnCOS [1:0]		-	TAUJnMD [4:1]				TAUJn MD0

表 14-15 TAUJnTTINm 入力インターバル・タイマ機能の TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	サンプリング・クロックを選択 00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3
TAUJnCCS[1:0]	00: サンプリング・クロックをカウント・クロックとして使用
TAUJnMAS	0: 未使用，0 を設定
TAUJnSTS[2:0]	001: 有効な TAUJnTTINm 入力エッジ信号を外部スタート・トリガとして使用
TAUJnCOS[1:0]	00: 未使用，00 を設定
TAUJnMD[4:1]	0000: インターバル・タイマ・モード
TAUJnMD0	0: 動作開始時に INTTAUJnIm が発生せず，TAUJnTTOUTm はトグルされない 1: 動作開始時に INTTAUJnIm が発生し，TAUJnTTOUTm はトグルされる

(b) TAUJnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUJnTIS[1:0]	

表 14-16 TAUJnTTINm 入力インターバル・タイマ機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00: 立ち下がりエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出 11: 設定禁止

(c) チャネル出力モード

表 14-17 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1: チャネル単体出力モード許可
TAUJnTO.TAUJnTOm	0: ロウ・レベル 1: ハイ・レベル
TAUJnTOM.TAUJnTOMm	0: チャネル単体出力
TAUJnTOC.TAUJnTOCm	0: 動作モード1（TAUJnTOM.TAUJnTOMm = 0時はトグル・モード）
TAUJnTOL.TAUJnTOLm	0: 正論理

備考 チャネル出力モードは，TAUJnTOE.TAUJnTOEm = 0を設定して，ソフトウエア制御のチャネル出力モードに設定することも可能です。この場合，TAUJnTTOUTmを割り込みとは独立させて制御することができます。詳細は14.8「チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ（TAUJnRDE，TAUJnRDM）は，TAUJnTTINm入力インターバル・タイマ機能では使用できません。したがって，これらのレジスタは0に設定する必要があります。

表 14-18 TAUJnTTINm入力インターバル・タイマ機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 （TAUJnRDE.TAUJnRDEm = 0），0を設定

(5)　TAUJnTTINm 入力インターバル・タイマ機能の操作手順

表 14-19　TAUJnTTINm 入力インターバル・タイマ機能の操作手順

	操作	TAUJn の状態
チャネルの初期設定	TAUJnCMORm，TAUJnCMURm レジスタを，*表 14-15「TAUJnTTINm 入力インターバル・タイマ機能の TAUJnCMORm 設定」*と*表 14-16「TAUJnTTINm 入力インターバル・タイマ機能の TAUJnCMURm 設定」*に示すように設定します。 TAUJnCDRm レジスタの値を設定します。 制御ビットを*表 14-17「チャネル単体出力モード 1 時の制御ビット設定」*に示すように設定して，チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され，カウントが開始されます。 TAUJnCDRm の値を TAUJnCNTm にロードします。 TAUJnCMORm.TAUJnMD0 = 1 の場合，INTTAUJnIm が発生し，TAUJnTTOUTm がトグルされます。
動作中	TAUJnCMURm.TAUJnTIS[1:0]，TAUJnCDRm レジスタの値は任意のタイミングで変更可能です。 TAUJnCNTm レジスタは常に読み出し可能です。 TAUJnTTINm エッジ検出	TAUJnCNTm がダウン・カウントを行います。 カウンタが 0000 0000_H になった場合： • 再び TAUJnCDRm の値を TAUJnCNTm にロードし，カウント動作を継続します。 • INTTAUJnIm が発生し，TAUJnTTOUTm がトグルされます。 カウント動作中に TAUJnTTINm 入力の有効エッジを検出すると，再び TAUJnCDRm の値を TAUJnCNTm にロードし，カウント動作を継続します。 以降，この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUJnCNTm と TAUJnTTOUTm は停止し，現在値を保持します。

動作再開

(6) 特定の設定時のタイミング図

14.12.1「インターバル・タイマ機能」のタイミング図も適用されますが，この機能を除いて，有効な TAUJnTTINm 入力エッジを使用することでカウンタを再開することも可能です。

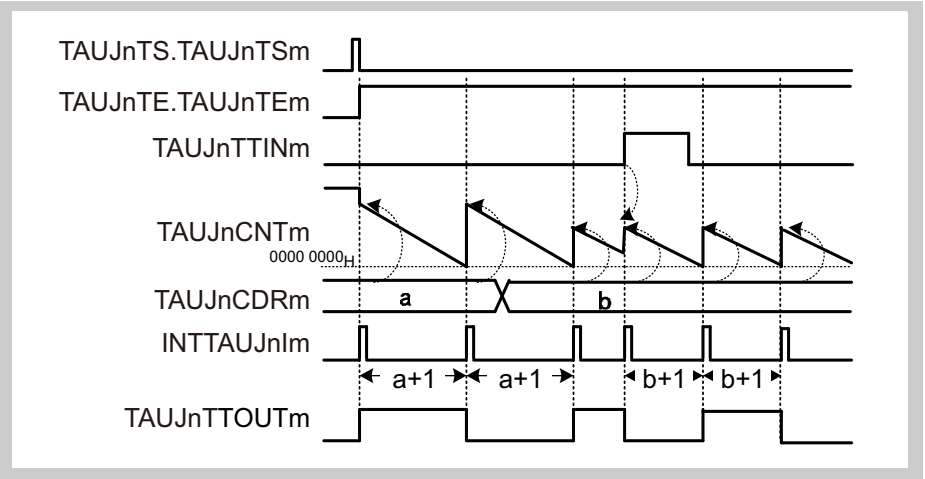


図 14-20 立ち上がり TAUJnTTINm 入力エッジ（TAUJnCMURm.TAUJnTIS[1:0] = 01_B），TAUJnCMORm.TAUJnMD0 = 1 でトリガされたカウンタ

- 有効な TAUJnTTINm 入力エッジを検出した場合，TAUJnTTOUTm をトグルする割り込みが発生します。この例では，有効エッジは立ち上がりエッジ（TAUJnCMURm.TAUJnTIS[1:0] = 01_B）です。

14.12.3 TAUJnTTINm 入力パルス・インターバル測定機能

(1) 概要

概要 この機能は，カウント値をキャプチャし，その値とオーバフロー・ビット TAUJnCSRm.TAUJnOVF を使用して TAUJnTTINm 入力信号の間隔を測定します。

前提条件
- 動作モードはキャプチャ・モードに設定する必要があります（*表 14-21「TAUJnTTINm 入力パルス・インターバル測定機能の TAUJnCMORm 設定」* 参照）。
- この機能では，TAUJnTTOUTm は使用しません。

機能説明 チャネル・トリガ・ビット（TAUJnTS.TAUJnTSm）を 1 に設定すると，カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり，カウントが可能になります。カウンタ TAUJnCNTm は，0000 0000_H からカウントを開始します。有効な TAUJnTTINm エッジが検出されると，TAUJnCNTm の値がキャプチャされ，TAUJnCDRm に転送され，割り込み INTTAUJnIm が発生します。カウンタは，0000 0000_H にリセットされ，その後動作を継続します。

有効な TAUJnTTINm エッジを検出する前にカウンタが FFFF $FFFF_H$ に達すると，オーバフローし，カウンタは，0000 0000_H にリセットされ，その後動作を継続します。TAUJnCDRm，TAUJnCSRm.TAUJnOVF それぞれに転送される値は，TAUJnCMORm.TAUJnCOS[1:0] ビットの値によって異なります。

表 14-20 オーバフローの影響

TAUJnCMORm.TAUJnCOS[1:0]	オーバフローが発生した場合		その後，有効な TAUJnTTINm 入力が検出された場合	
	TAUJnCDRm	TAUJnCSRm.TAUJnOVF	TAUJnCDRm，TAUJnCNTm	TAUJnCSRm.TAUJnOVF
00	変化しない	0	TAUJnCNTm が TAUJnCDRm にロードされる	1
01		1		
10	FFFF $FFFF_H$ に設定	0	TAUJnCNTm は 0 に設定され，TAUJnCDRm は変更されない	変化しない
11		1		

TAUJnCMORm.TAUJnCOS[0] = 1 のとき，オーバフロー・ビット TAUJnCSRm.TAUJnOVF は，TAUJnCSCm.TAUJnCLOV = 1 を設定することでのみクリアできます。

TAUJnCDRm 値と TAUJnCSRm.TAUJnOVF 値の組み合わせを使用することで，TAUJnTTINm 信号の間隔を推定できます。ただし，有効な TAUJnTTINm 入力が検出される前に複数のオーバフローが発生した場合，オーバフロー・ビット TAUJnCSRm.TAUJnOVF はその複数のオーバフローの発生を示せません。

TAUJnTT.TAUJnTTm = 1 を設定すると機能を停止できます。これにより，TAUJnTE.TAUJnTEm = 0 が設定されます。TAUJnCNTm が停止し，値を保持します。機能停止中，有効な TAUJnTTINm 入力エッジの検出と TAUJnCNTm のキャプチャは行われません。

条件 TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合，動作開始または再開後の最初の割り込みは発生しません。詳細は*表 14-10「インターバル・タイマ機能の TAUJnCMORm 設定」*を参照してください。

備考 TAUJnCMORm.TAUJnCOS[1] = 1 の場合，オーバフロー後の最初の有効な TAUJnTTINm 入力エッジの発生時，TAUJnCNTm の値は TAUJnCDRm にロードされません。ただし，割り込みが発生します。

(2) 算出式

TAUJnTTINm 入力パルス間隔 = カウント・クロック周期 ×
[（TAUJnCSRm.TAUJnOVF×（FFFF $FFFF_H$ ＋ 1））＋ TAUJnCDRm キャプチャ値＋ 1]

(3) ブロック図と基本タイミング図

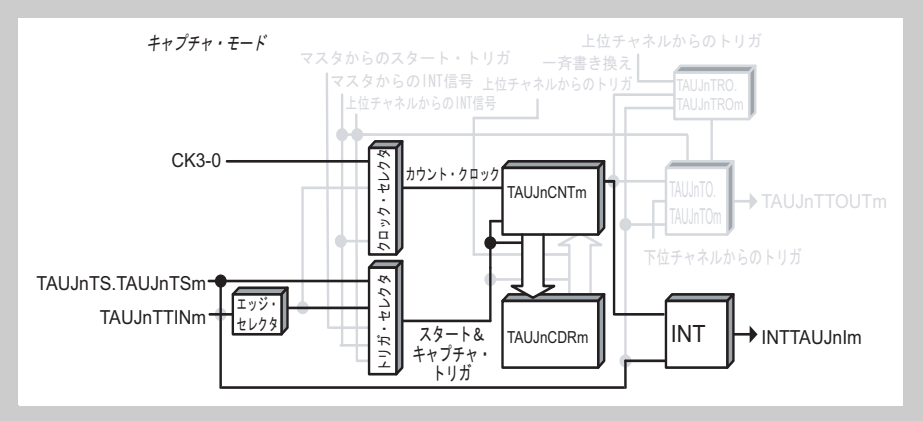


図 14-21 TAUJnTTINm 入力パルス・インターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生しない
（TAUJnCMORm.TAUJnMD0 = 0）
- 立ち下がりエッジ検出（TAUJnCMURm.TAUJnTIS[1:0] = 00_B）
- オーバフロー後に有効な TAUJnTTINm 入力を検出すると，TAUJnCDRm を変更し，TAUJnCSRm.TAUJnOVF を 1 に設定する
（TAUJnCMORm.TAUJnCOS[1:0] = 00_B）

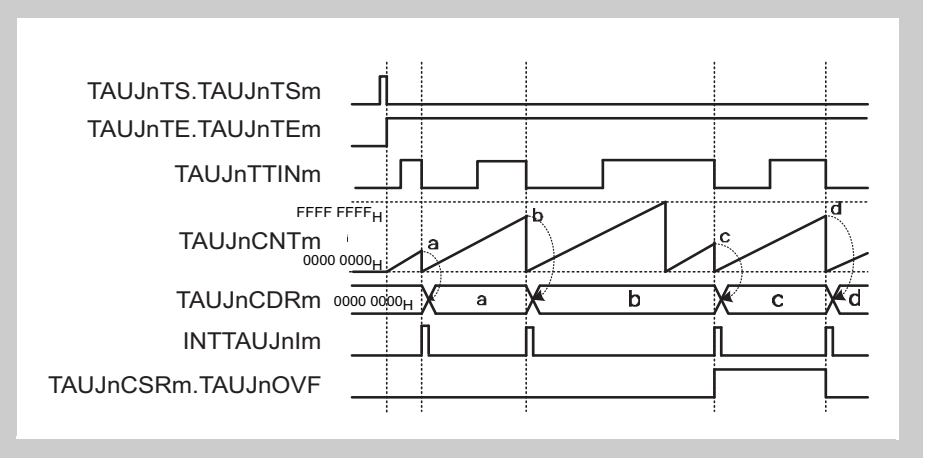


図 14-22 TAUJnTTINm 入力パルス・インターバル測定機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS [2:0]			TAUJnCOS [1:0]		-	TAUJnMD [4:1]				TAUJn MD0

表 14-21 TAUJnTTINm 入力パルス・インターバル測定機能の TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	サンプリング・クロックの選択 00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3
TAUJnCCS[1:0]	00: サンプリング・クロックをカウント・クロックとして使用
TAUJnMAS	0: 未使用，0 を設定
TAUJnSTS[2:0]	001: TAUJnTTINm 入力信号の有効エッジを外部キャプチャ・トリガとして使用
TAUJnCOS[1:0]	*表 14-20「オーバフローの影響」*を参照。
TAUJnMD[4:1]	0010: キャプチャ・モード
TAUJnMD0	0: 動作開始時に INTTAUJnIm が発生しない 1: 動作開始時に INTTAUJnIm が発生する

(b) TAUJnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUJnTIS[1:0]	

表 14-22 TAUJnTTINm 入力パルス・インターバル測定機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00: 立ち下がりエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出 11: 設定禁止

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため，TAUJnTOE.TAUJnTOEm に 0 を設定します。ただし，ソフトウエア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ（TAUJnRDE，TAUJnRDM）は，TAUJnTTINm 入力パルス・インターバル測定機能では使用できません。したがって，これらのレジスタは 0 に設定する必要があります。

表 14-23 TAUJnTTINm 入力パルス・インターバル測定機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 （TAUJnRDE.TAUJnRDEm = 0），0 を設定

(5)　TAUJnTTINm 入力パルス・インターバル測定機能の操作手順

表 14-24　TAUJnTTINm 入力パルス・インターバル測定機能の操作手順

	操作	TAUJn の状態
チャネルの初期設定	TAUJnCMORm，TAUJnCMURm レジスタを，*表 14-21「TAUJnTTINm 入力パルス・インターバル測定機能の TAUJnCMORm 設定」*と*表 14-22「TAUJnTTINm 入力パルス・インターバル測定機能の TAUJnCMURm 設定」*に示すように設定します。 TAUJnCDRm レジスタはキャプチャ・レジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され，カウントが開始されます。 TAUJnCNTm が 0000 0000_H にクリアされます。 TAUJnCMORm.TAUJnMD0 が 1 の場合は，INTTAUJnIm が発生します。
動作中	TAUJnTTINm エッジ検出 TAUJnCMURm.TAUJnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUJnCDRm，TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUJnCSCm.TAUJnCLOV ビットの 1 書き込みが可能。 （TAUJnCSRm.TAUJnOVF ビットを 0 にクリア）	TAUJnCNTm は，0000 0000_H からアップ・カウントを開始します。TAUJnTTINm の有効エッジ検出時： • TAUJnCNTm が自身の値を TAUJnCDRm に転送（キャプチャ）して，0000 0000_H に戻ります。 • その後，INTTAUJnIm が発生します。 以降，この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUJnCNTm は停止し，TAUJnCNTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

動作再開

(6) 特定の設定時のタイミング図：オーバフロー動作

(a) TAUJnCMORm.TAUJnCOS[1:0] = 00_B

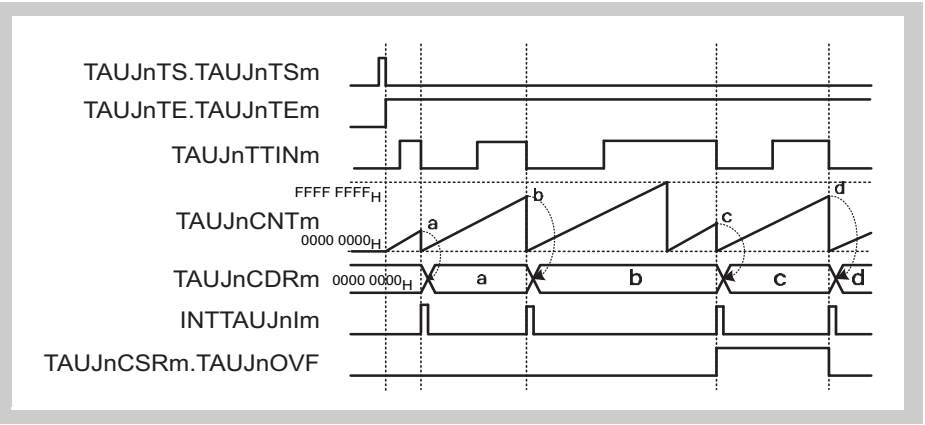


図 14-23 TAUJnCMORm.TAUJnCOS[1:0] = 00_B，TAUJnCMORm.TAUJnMD0 = 0，TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると，TAUJnCDRm の値は変更されず，TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJnTTINm 入力エッジが検出されると，TAUJnCNTm の値が TAUJnCDRm にロードされ，TAUJnCSRm.TAUJnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUJnTTINm 入力エッジが検出されると，TAUJnCSRm.TAUJnOVF が 0 にクリアされます。

(b) TAUJnCMORm.TAUJnCOS[1:0] = 01_B

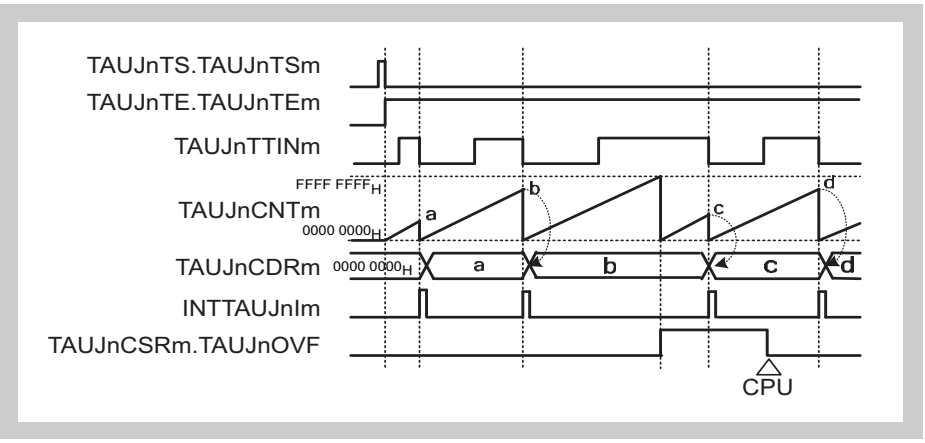


図 14-24 TAUJnCMORm.TAUJnCOS[1:0] = 01_B，TAUJnCMORm.TAUJnMD0 = 0，TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると，TAUJnCDRm の値は変更されず，TAUJnCSRm.TAUJnOVF の値は 1 に設定されます。
- 次の有効な TAUJnTTINm 入力エッジが検出されると，TAUJnCNTm の値が TAUJnCDRm にロードされます。
- TAUJnCSRm.TAUJnOVF は，TAUJnCSCm.TAUJnCLOV ビット =1 設定することでクリアされます。

(c) TAUJnCMORm.TAUJnCOS[1:0] = 10_B

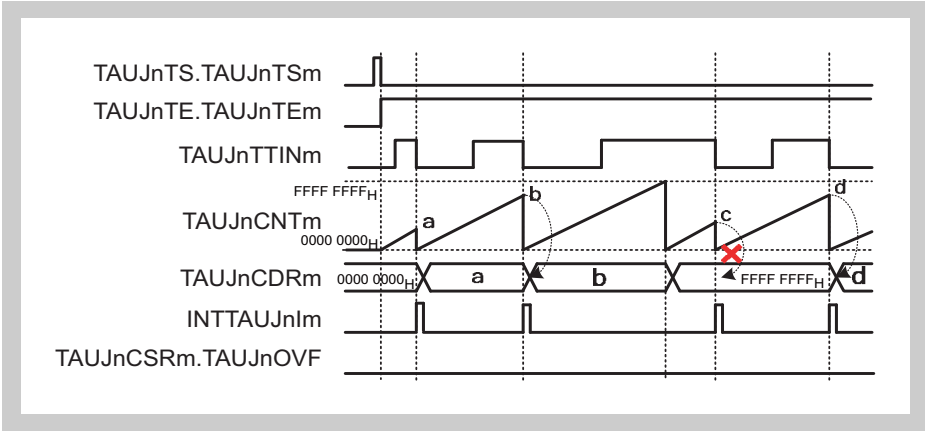


図 14-25 TAUJnCMORm.TAUJnCOS[1:0] = 10_B, TAUJnCMORm.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると，TAUJnCDRm は FFFF $FFFF_H$ に設定され，TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJnTTINm 入力エッジが検出されると，TAUJnCNTm が 0 にリセットされますが，TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって，オーバフロー後の次の有効な TAUJnTTINm 入力エッジは無視されます。

(d) TAUJnCMORm.TAUJnCOS[1:0] = 11_B

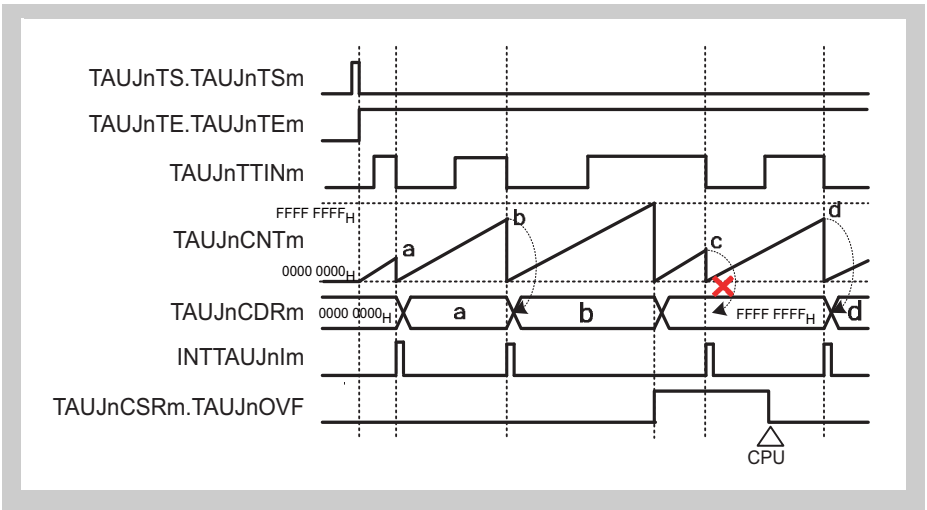


図 14-26 TAUJnCMORm.TAUJnCOS[1:0] = 11_B, TAUJnCMORm.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると，TAUJnCDRm は FFFF $FFFF_H$ に設定され，TAUJnCSRm.TAUJnOVF は 1 に設定されます。
- 次の有効な TAUJnTTINm 入力エッジが検出されると，TAUJnCNTm が 0 にリセットされますが，TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。

- したがって，オーバフロー後の次の有効な TAUJnTTINm 入力エッジは無視されます。
- TAUJnCSRm.TAUJnOVF は，TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリアされます。

14.12.4 TAUJnTTINm 入力信号幅測定機能

(1) 概要

概要 この機能は，TAUJnTTINm 入力信号幅を測定します。

前提条件
- 動作モードはキャプチャ & ワンカウント・モードに設定する必要があります（*表 14-26「TAUJnTTINm 入力信号幅測定機能の TAUJnCMORm 設定」*参照）。
- この機能では，TAUJnTTOUTm は使用しません。
- TAUJnCMORm.TAUJnMD0 は，0 に設定する必要があります。

機能説明 チャネル・トリガ・ビット（TAUJnTS.TAUJnTSm）を 1 に設定すると，カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり，カウントが可能になります。有効な TAUJnTTINm スタート・エッジが検出されると，カウンタ TAUJnCNTm は，0000 0000_H からカウントを開始します。有効な TAUJnTTINm ストップ・エッジが検出されると，TAUJnCNTm の値がキャプチャされ，TAUJnCDRm に転送され，割り込み INTTAUJnIm が発生します。カウンタは値を保持し，次の有効な TAUJnTTINm 入力スタート・エッジを待ちます。

有効な TAUJnTTINm ストップ・エッジを検出する前にカウンタが FFFF $FFFF_H$ に達すると，カウンタはオーバフローします。カウンタは，0000 0000_H にリセットされ，その後動作を継続します。TAUJnCDRm，TAUJnCSRm.TAUJnOVF それぞれに転送される値は，TAUJnCMORm.TAUJnCOS[1:0] ビットの値によって異なります。

表 14-25 オーバフローの影響

TAUJnCMORm. TAUJnCOS[1:0]	オーバフローが発生した場合		有効な TAUJnTTINm 入力ストップ・エッジの検出時	
	TAUJnCDRm	TAUJnCSRm. TAUJnOVF	TAUJnCDRm，TAUJnCNTm	TAUJnCSRm. TAUJnOVF
00	変化しない	0	TAUJnCNTm が TAUJnCDRm にロードされる	1
01		1		
10	FFFF $FFFF_H$ に設定	0	TAUJnCNTm はカウントを停止 TAUJnCDRm は変更されない	変化しない
11		1		

TAUJnCMORm.TAUJnCOS[0] = 1 のとき，オーバフロー・ビット TAUJnCSRm.TAUJnOVF は，TAUJnCSCm.TAUJnCLOV = 1 を設定することでのみクリアできます。

TAUJnCDRm 値と TAUJnCSRm.TAUJnOVF 値の組み合わせを使用することで，TAUJnTTINm 信号の幅を推定できます。ただし，有効な TAUJnTTINm 入力が検出される前に複数のオーバフローが発生した場合，オーバフロー・ビット TAUJnCSRm.TAUJnOVF はその複数のオーバフローの発生を示せません。

注意 TAUJnTTINm 入力信号幅測定機能は，強制リスタートは行えません。

備考 TAUJnCMORm.TAUJnCOS[1] = 1 の場合，オーバフロー後の最初の有効な TAUJnTTINm 入力エッジの発生時，TAUJnCNTm の値は TAUJnCDRm にロードされません。ただし，割り込みが発生します。

(2) 算出式

TAUJnTTINm 入力信号幅 = カウント・クロック周期 ×
[（TAUJnCSRm.TAUJnOVF ×（FFFF FFFF$_H$ ＋ 1））＋ TAUJnCDRm キャプチャ値＋ 1]

(3) ブロック図と基本タイミング図

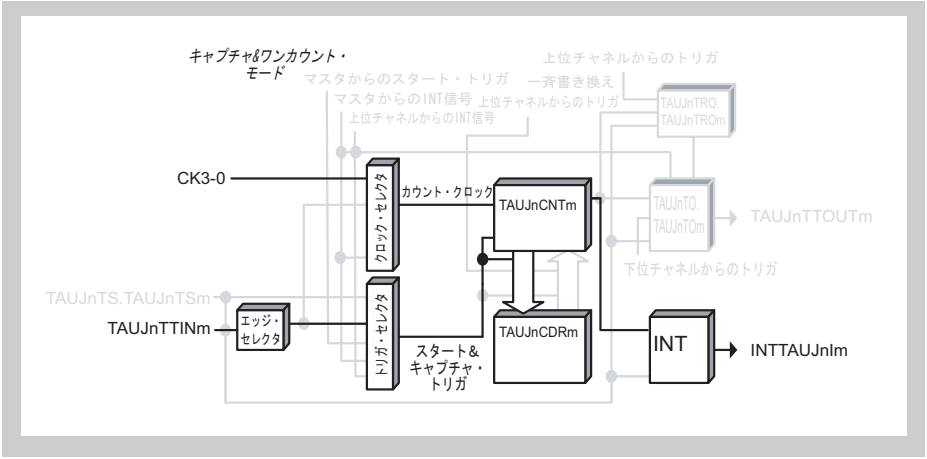


図 14-27 TAUJnTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定（TAUJnCMURm.TAUJnTIS[1:0] = 11$_B$）
- オーバフロー後に有効な TAUJnTTINm 入力を検出すると，TAUJnCDRm を変更し，TAUJnCSRm.TAUJnOVF を 1 に設定する（TAUJnCMORm.TAUJnCOS[1:0] = 00$_B$）

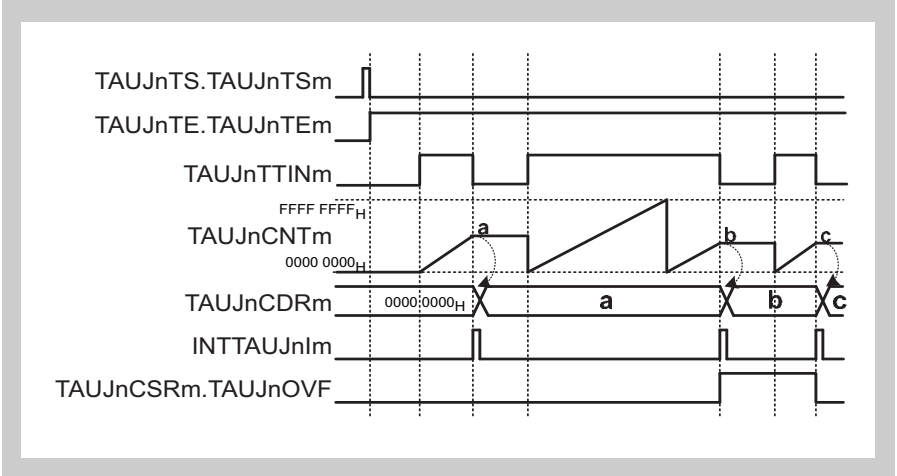


図 14-28 TAUJnTTINm 入力信号幅測定機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS [2:0]			TAUJnCOS [1:0]		-	TAUJnMD [4:1]				TAUJn MD0

表 14-26 TAUJnTTINm 入力信号幅測定機能の TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	サンプリング・クロックの選択 00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3
TAUJnCCS[1:0]	00: サンプリング・クロックをカウント・クロックとして使用
TAUJnMAS	0: 未使用，0 を設定
TAUJnSTS[2:0]	010: TAUJnTTINm 入力信号の有効エッジを外部スタート・トリガ，逆エッジをストップ・トリガとして使用
TAUJnCOS[1:0]	*表 14-25「オーバフローの影響」*を参照。
TAUJnMD[4:1]	0110: キャプチャ & ワンカウント・モード
TAUJnMD0	0: 動作中のスタート・トリガ無効

(b) TAUJnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUJnTIS[1:0]	

表 14-27 TAUJnTTINm 入力信号幅測定機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	10: 両エッジ検出（Low 幅測定） 11: 両エッジ検出（High 幅測定）

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため，TAUJnTOE.TAUJnTOEm に 0 を設定します。ただし，ソフトウエア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ（TAUJnRDE，TAUJnRDM）は，TAUJnTTINm 入力信号幅測定機能では使用できません。したがって，これらのレジスタは 0 に設定する必要があります。

表 14-28 TAUJnTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 （TAUJnRDE.TAUJnRDEm = 0），0 を設定

(5) TAUJnTTINm 入力信号幅測定機能の操作手順

表 14-29 TAUJnTTINm 入力信号幅測定機能の操作手順

	操作	TAUJn の状態
チャネルの初期設定	TAUJnCMORm，TAUJnCMURm レジスタを，*表 14-26「TAUJnTTINm 入力信号幅測定機能の TAUJnCMORm 設定」*と*表 14-27「TAUJnTTINm 入力信号幅測定機能の TAUJnCMURm 設定」*に示すように設定します。 TAUJnCDRm レジスタはキャプチャ・レジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され，TAUJnCNTm は TAUJnTTINm スタート・エッジ検出を待ちます。 TAUJnTTINm スタート・エッジを検出すると，TAUJnCNTm はアップ・カウントを開始します。
動作中	TAUJnTTINm エッジ検出 TAUJnCDRm，TAUJnCNTm，TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUJnCSC.CLOV ビットは，1 にセット可能です。	TAUJnCNTm は，0000 0000_H からアップ・カウントを開始します。TAUJnTTINm の有効エッジ検出時： • TAUJnCNTm が自身の値を TAUJnCDRm に転送（キャプチャ）して，その値を保持します。 • その後，INTTAUJnIm が発生します。 以降，この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUJnCNTm は停止し，TAUJnCNTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

動作再開

(6)　特定の設定時のタイミング図：オーバフロー動作

(a)　TAUJnCMORm.TAUJnCOS[1:0] = 00_B

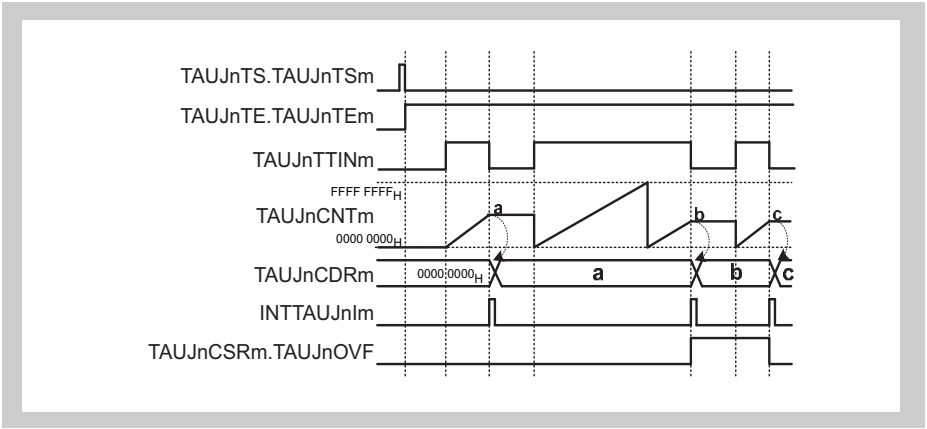


図 14-29　TAUJnCMORm.TAUJnCOS[1:0] = 00_B，TAUJnCMORm.TAUJnMD0 = 0，TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると，TAUJnCDRm の値は変更されず，TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJnTTINm 入力エッジが検出されると，TAUJnCNTm の値が TAUJnCDRm にロードされ，TAUJnCSRm.TAUJnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUJnTTINm 入力エッジが検出されると，TAUJnCSRm.TAUJnOVF が 0 にクリアされます。

(b)　TAUJnCMORm.TAUJnCOS[1:0] = 01_B

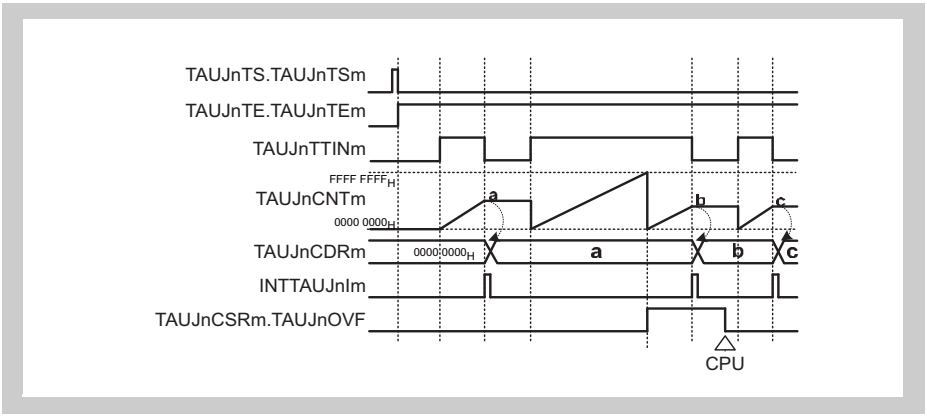


図 14-30　TAUJnCMORm.TAUJnCOS[1:0] = 01_B，TAUJnCMORm.TAUJnMD0 = 0，TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると，TAUJnCDRm の値は変更されず，TAUJnCSRm.TAUJnOVF の値は 1 に設定されます。
- 次の有効な TAUJnTTINm 入力エッジが検出されると，TAUJnCNTm の値が TAUJnCDRm にロードされます。
- TAUJnCSRm.TAUJnOVF は，TAUJnCSCm.TAUJnCLOV ビット =1 に設定することでクリアされます。

(c) TAUJnCMORm.TAUJnCOS[1:0] = 10_B

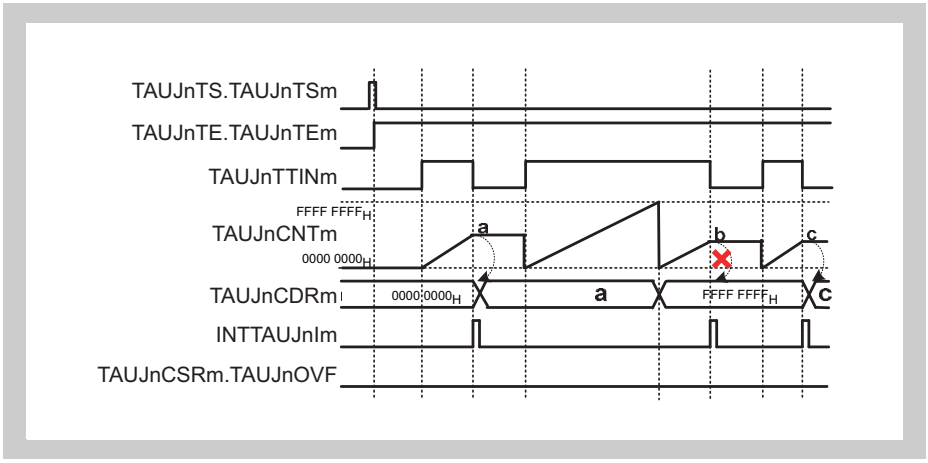


図 14-31 TAUJnCMORm.TAUJnCOS[1:0] = 10_B, TAUJnCMORm.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると，TAUJnCDRm は FFFF FFFF$_H$ に設定され，TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJnTTINm 入力エッジが検出されると，TAUJnCNTm が 0 にリセットされますが，TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって，オーバフロー後の次の有効な TAUJnTTINm 入力エッジは無視されます。

(d) TAUJnCMORm.TAUJnCOS[1:0] = 11_B

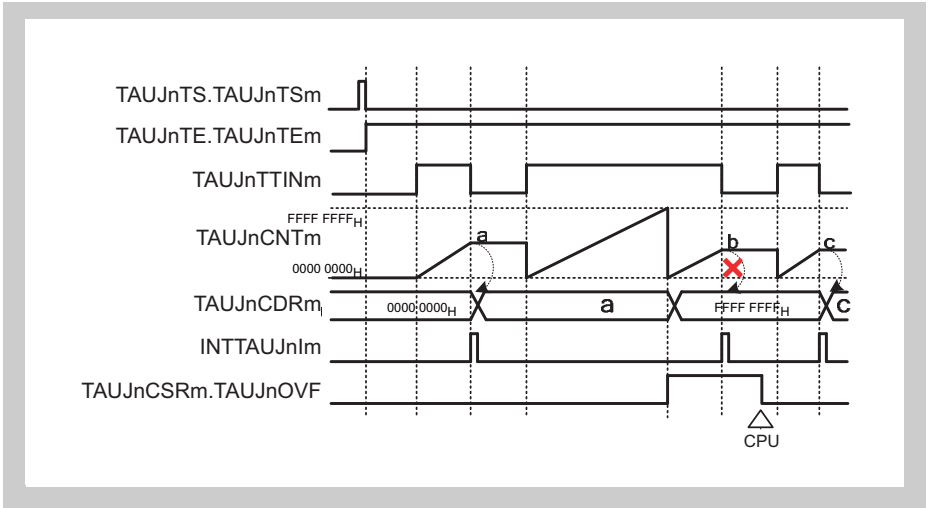


図 14-32 TAUJnCMORm.TAUJnCOS[1:0] = 11_B, TAUJnCMORm.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると，TAUJnCDRm は FFFF $FFFF_H$ に設定され，TAUJnCSRm.TAUJnOVF は 1 に設定されます。
- 次の有効な TAUJnTTINm 入力エッジが検出されると，TAUJnCNTm が 0 にリセットされますが，TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって，オーバフロー後の次の有効な TAUJnTTINm 入力エッジは無視されます。
- TAUJnCSRm.TAUJnOVF は，TAUJnCSCm.TAUJnCLOV = 1 を設定することでクリアされます。

14.12.5 TAUJnTTINm 入力期間カウント検出機能

(1) 概要

概要 この機能は，TAUJnTTINm 入力信号の合計幅を測定します。

前提条件
- 動作モードはキャプチャ & ゲート・カウント・モードに設定する必要があります（*表 14-30「TAUJnTTINm 入力期間カウント検出機能の TAUJnCMORm 設定」* 参照）。
- この機能では，TAUJnTTOUTm は使用しません。

機能説明 チャネル・トリガ・ビット（TAUJnTS.TAUJnTSm）を 1 に設定すると，カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり，カウントが可能になります。カウンタは，有効な TAUJnTTINm 入力エッジを待ちます。

有効な TAUJnTTINm 入力スタート・エッジが検出されると，カウンタは，0000 0000_H からカウントを開始します。

有効な TAUJnTTINm 入力ストップ・エッジが検出されると，TAUJnCNTm の現在値が TAUJnCDRm にロードされ，割り込み（INTTAUJnIm）が発生します。次の有効な TAUJnTTINm 入力スタート・エッジを検出するまで，カウンタは停止し，値を保持します。

次の有効な TAUJnTTINm 入力スタート・エッジが検出されると，カウンタは，停止時の値からカウントを再開します。

カウンタ値が FFFF $FFFF_H$ になると，カウンタは 0000 0000_H からカウント動作を再開します。

備考 TAUJnTTINm 入力信号は，TAUJnCMORm.TAUJnCKS[1:0] ビットで設定したプリスケーラ出力の周波数でサンプリングされます。

条件 有効なスタート・エッジとストップ・エッジは，TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。
- TAUJnCMURm.TAUJnTIS[1:0] = 10_B の場合，TAUJnTTINm 入力 Low 期間をカウントします。スタート・トリガは立ち下がりエッジ，ストップ・トリガは立ち上がりエッジです。
- TAUJnCMURm.TAUJnTIS[1:0] = 11_B の場合，TAUJnTTINm 入力 High 期間をカウントします。スタート・トリガは立ち上がりエッジ，ストップ・トリガは立ち下がりエッジです。

(2) 算出式

TAUJnTTINm 入力幅累計 =
カウント・クロック周期 ×（TAUJnCDRm キャプチャ値 + 1）

(3) ブロック図と基本タイミング図

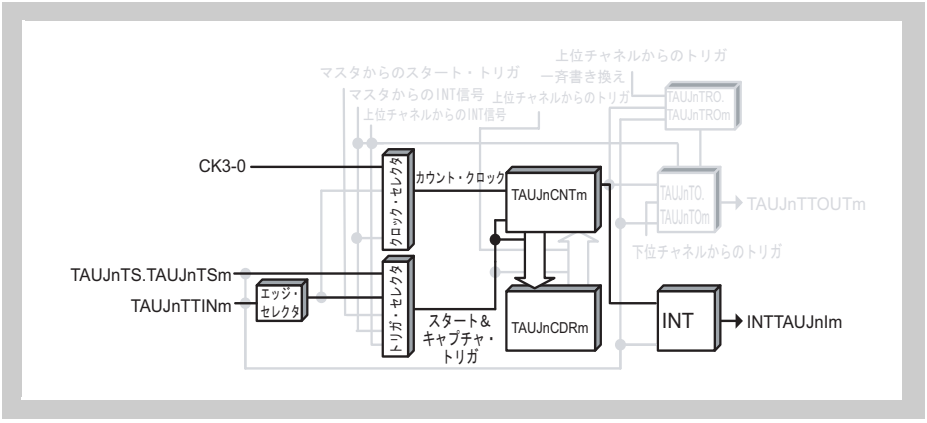


図 14-33 TAUJnTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定（TAUJnCMURm.TAUJnTIS[1:0] = 11_B）

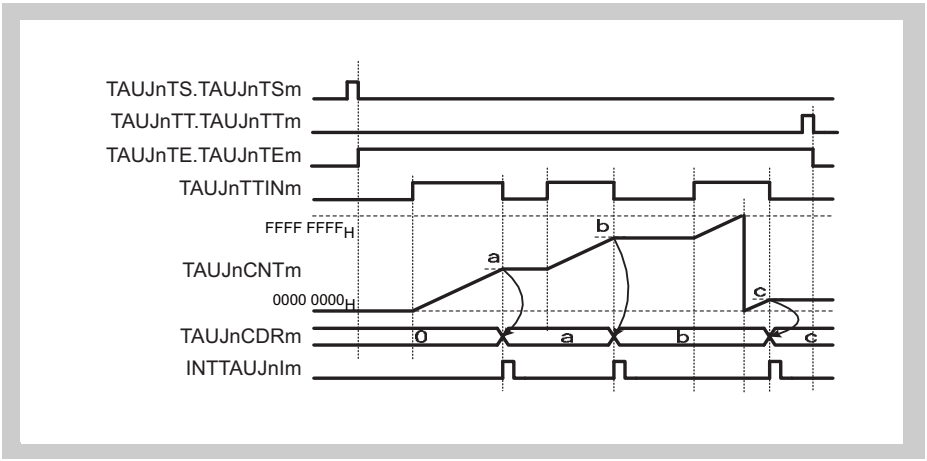


図 14-34 TAUJnTTINm 入力期間カウント検出機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS [2:0]			TAUJnCOS [1:0]		-	TAUJnMD [4:1]				TAUJn MD0

表 14-30 TAUJnTTINm 入力期間カウント検出機能の TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	サンプリング・クロックの選択 00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3
TAUJnCCS[1:0]	00: サンプリング・クロックをカウント・クロックとして使用
TAUJnMAS	0: 未使用，0 を設定
TAUJnSTS[2:0]	010: TAUJnTTINm 入力信号の有効エッジを外部スタート・トリガ，逆エッジをストップ・トリガとして使用
TAUJnCOS[1:0]	01: この値に設定してください
TAUJnMD[4:1]	1101: キャプチャ＆ゲート・カウント・モード
TAUJnMD0	0: 動作中のスタート・トリガ無効

(b) TAUJnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUJnTIS[1:0]	

表 14-31 TAUJnTTINm 入力期間カウント検出機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	10: 両エッジ検出（Low 幅測定） 11: 両エッジ検出（High 幅測定）

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため，
TAUJnTOE.TAUJnTOEm に 0 を設定します。ただし，ソフトウエア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ（TAUJnRDE，TAUJnRDM）は，TAUJnTTINm 入力期間カウント検出機能では使用できません。したがって，これらのレジスタは 0 に設定する必要があります。

表 14-32 TAUJnTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 （TAUJnRDE.TAUJnRDEm = 0），0 を設定

(5) TAUJnTTINm 入力期間カウント検出機能の操作手順

表 14-33 TAUJnTTINm 入力期間カウント検出機能の操作手順

	操作	TAUJn の状態
チャネルの初期設定	TAUJnCMORm，TAUJnCMURm レジスタを，*表 14-30「TAUJnTTINm 入力期間カウント検出機能の TAUJnCMORm 設定」*と*表 14-31「TAUJnTTINm 入力期間カウント検出機能の TAUJnCMURm 設定」*に示すように設定します。 TAUJnCDRm レジスタはキャプチャ・レジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。 TAUJnTTINm スタート・エッジ検出	TAUJnTE.TAUJnTEm が 1 に設定され，TAUJnCNTm は TAUJnTTINm スタート・エッジ検出を待ちます。 スタート・エッジが検出されると，TAUJnCNTm は $0000\ 0000_H$ にクリアされ，TAUJnCNTm はアップ・カウントを開始します。
動作中	TAUJnTTINm エッジ検出 TAUJnCDRm，TAUJnCNTm，TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。	TAUJnTTINm スタート・エッジ（High 幅測定なら立ち上がりエッジ，Low 幅測定なら立ち下がりエッジ）を検出すると，TAUJnCNTm は停止値よりアップ・カウントを開始します。 TAUJnCNTm は，ストップ・エッジ（High 幅測定なら立ち下がりエッジ，Low 幅測定なら立ち上がりエッジ）を検出すると，値を TAUJnCDRm に転送し，INTTAUJnIm が発生します。 カウントは TAUJnCDRm に転送した値 + 1 の値で停止し，TAUJnCNTm は TAUJnTTINm スタート・エッジの検出を待ちます。 TAUJnCNTm が FFFF FFFFH に達すると，カウンタは 0000 0000H からカウント動作を再開します。 以降，この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUJnCNTm は停止し，TAUJnCNTm は現在値を保持します。

動作再開

(6) 特定の設定時のタイミング図

(a) 動作の停止と再開

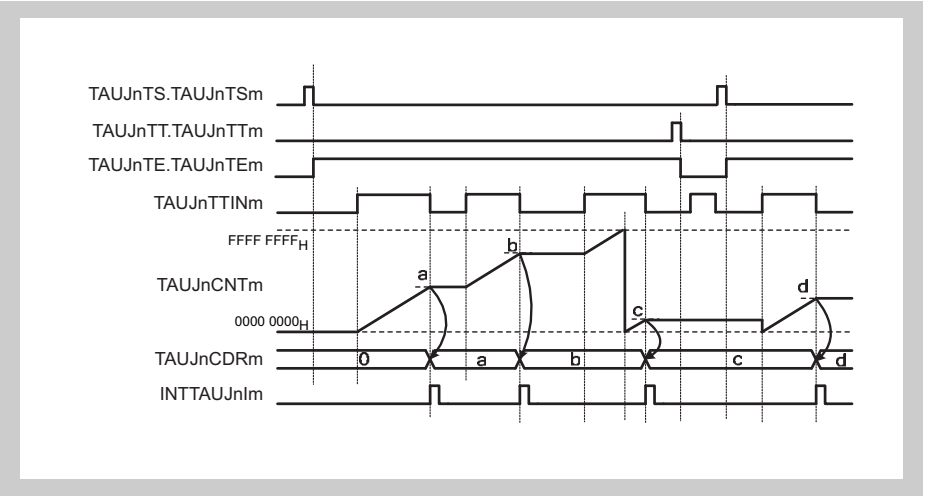


図 14-35 動作の停止と再開（TAUJnCMURm.TAUJnTIS[1:0] = 11_B）

- TAUJnTT.TAUJnTTm を 1 に設定すると，カウンタ動作を停止できます。これにより，TAUJnTE.TAUJnTEm は 0 に設定されます。
- TAUJnCNTm が停止し，現在値を保持します。
- カウンタ動作が停止している場合，TAUJnTTINm の有効な入力エッジは無視されます。
- TAUJnTS.TAUJnTSm を 1 に設定すると，カウントを再開できます。TAUJnCNTm は 0000 0000_H からカウントを再開します。

14.12.6 TAUJnTTINm 入力位置検出機能

(1) 概要

概要 カウント開始タイミングから TAUJnTTINm 入力信号までの期間を測定する機能です。

前提条件
- 動作モードはカウント・キャプチャ・モードに設定する必要があります（*表 14-34「TAUJnTTINm 入力位置検出機能の TAUJnCMORm 設定」*参照）。
- この機能では，TAUJnTTOUTm は使用しません。

機能説明 チャネル・トリガ・ビット（TAUJnTS.TAUJnTSm）を 1 に設定すると，カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり，カウントが可能になります。カウンタは，$0000\ 0000_H$ からカウントを開始します。有効な TAUJnTTINm 入力エッジが検出されると，TAUJnCNTm の現在値が TAUJnCDRm にロードされ，割り込み（INTTAUJnIm）が発生します。カウント動作は継続します。

カウンタ値が $FFFF\ FFFF_H$ になると，カウンタは $0000\ 0000_H$ からカウント動作を再開します。

条件 TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合，動作開始または再開後の最初の割り込みは発生しません。詳細は 14.10「カウント開始／リスタート時の TAUJnTTOUTm 出力と INTTAUJnIm 生成」を参照してください。

(2) 算出式

TAUJnTTINm 入力パルスでの機能時間 =

カウント・クロック周期 ×（TAUJnCDRm キャプチャ値＋ 1）

(3) ブロック図と基本タイミング図

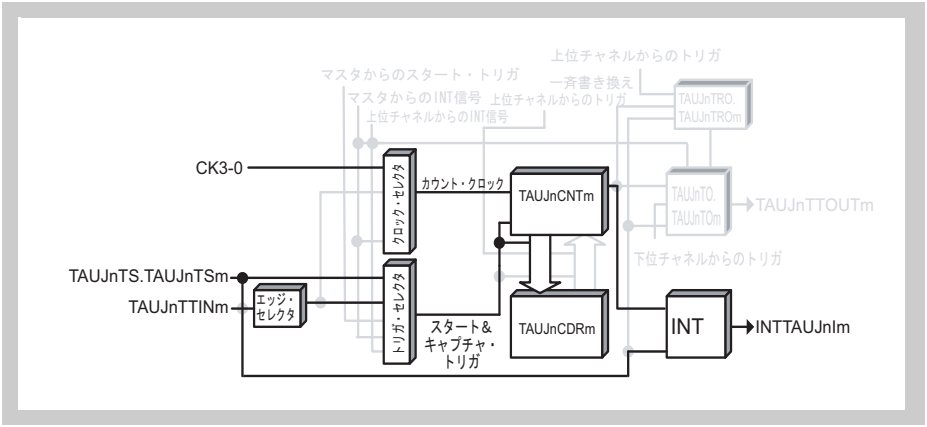


図 14-36 TAUJnTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生しない
（TAUJnCMORm.TAUJnMD0 = 0）
- 立ち下がりエッジ検出（TAUJnCMURm.TAUJnTIS[1:0] = 00_B）

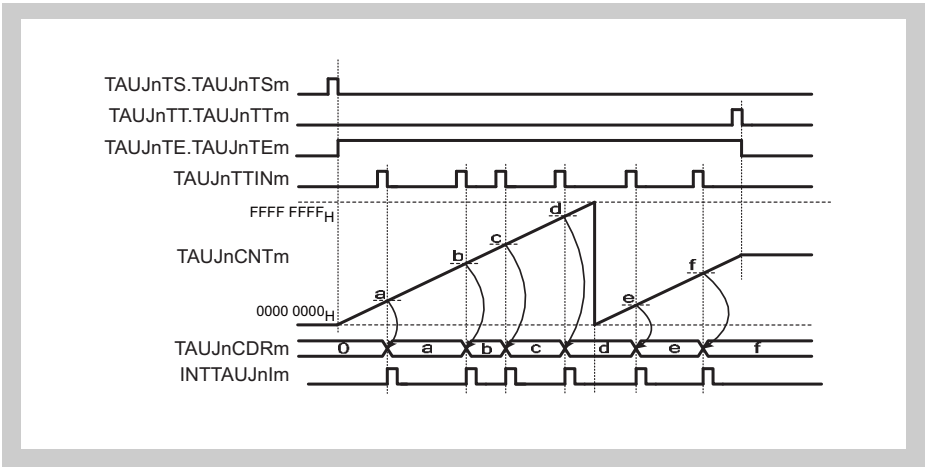


図 14-37 TAUJnTTINm 入力位置検出機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS [2:0]			TAUJnCOS [1:0]		-	TAUJnMD [4:1]				TAUJn MD0

表 14-34 TAUJnTTINm 入力位置検出機能の TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	サンプリング・クロックの選択 00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3
TAUJnCCS[1:0]	00: サンプリング・クロックをカウント・クロックとして使用
TAUJnMAS	0: 未使用，0 を設定
TAUJnSTS[2:0]	001: 有効な TAUJnTTINm 入力エッジ信号を外部キャプチャ・トリガとして使用
TAUJnCOS[1:0]	01: この値に設定してください
TAUJnMD[4:1]	1011: カウント・キャプチャ・モード
TAUJnMD0	0: 動作開始時に INTTAUJnIm が発生しない 1: 動作開始時に INTTAUJnIm が発生する

(b) TAUJnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUJnTIS[1:0]	

表 14-35 TAUJnTTINm 入力位置検出機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00: 立ち下がりエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しません。ただし，ソフトウエア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。詳細は 14.8「チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ（TAUJnRDE，TAUJnRDM）は，TAUJnTTINm 入力位置検出機能では使用できません。したがって，これらのレジスタは 0 に設定する必要があります。

表 14-36 TAUJnTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 （TAUJnRDE.TAUJnRDEm = 0），0 を設定

(5) TAUJnTTINm 入力位置検出機能の操作手順

表 14-37 TAUJnTTINm 入力位置検出機能の操作手順

	操作	TAUJn の状態
チャネルの初期設定	TAUJnCMORm，TAUJnCMURm レジスタを，*表 14-34「TAUJnTTINm 入力位置検出機能の TAUJnCMORm 設定」*と*表 14-35「TAUJnTTINm 入力位置検出機能の TAUJnCMURm 設定」*に示すように設定します。 TAUJnCDRm レジスタはキャプチャ・レジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され，カウントが開始されます。 TAUJnCMORm.TAUJnMD0 が 1 の場合は，INTTAUJnIm が発生します。
動作中	TAUJnCMURm.TAUJnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUJnCDRm，TAUJnCSRm レジスタは任意のタイミングで読み出し可能です。	TAUJnCNTm は，0000 0000_H からアップ・カウントを開始します。TAUJnTTINm の有効エッジ検出時： • TAUJnCNTm が自身の値を TAUJnCDRm に転送（キャプチャ）します。 • INTTAUJnIm が発生します。 • カウンタ値は 0000 0000_H にクリアされず，TAUJnCNTm はカウント動作を継続します。 以降，この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUJnCNTm は停止し，TAUJnCNTm は現在値を保持します。

動作再開

(6) 特定の設定時のタイミング図

(a) 動作の停止と再開

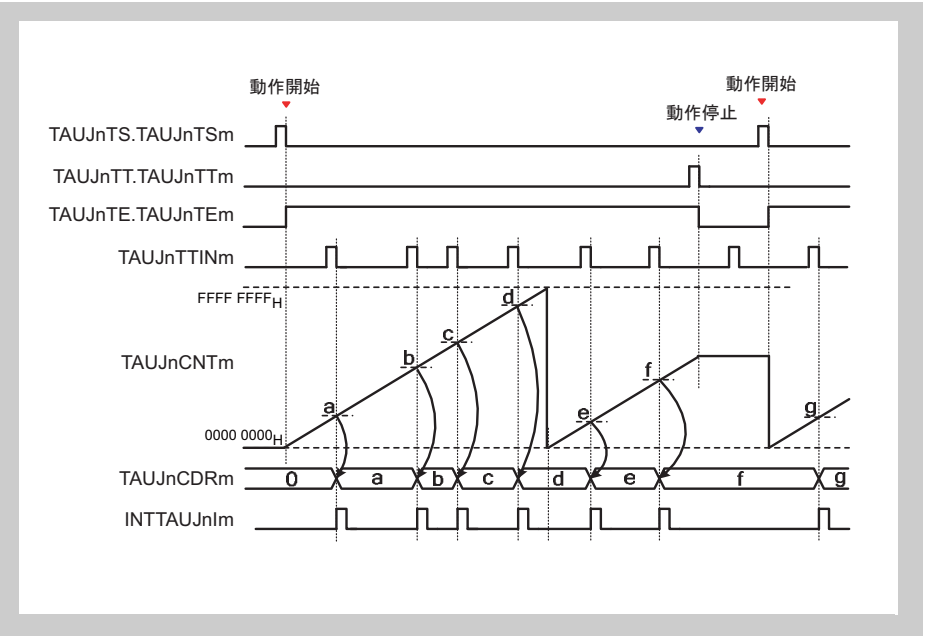


図 14-38 動作の停止と再開（TAUJnCMORm.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 00_B）

- TAUJnTT.TAUJnTTm を 1 に設定すると，カウンタ動作を停止できます。これにより，TAUJnTE.TAUJnTEm は 0 に設定されます。
- TAUJnCNTm が停止し，現在値を保持します。
- カウンタ動作が停止している場合，TAUJnTTINm の有効な入力エッジは無視されます。
- TAUJnTS.TAUJnTSm を 1 に設定すると，カウントを再開できます。TAUJnCNTm は 0000 0000_H からカウントを再開します。

14.13　チャネル連動動作機能

この節では，一定間隔で PWM 信号を発生させる PWM 出力機能について述べます。チャネル連動動作の概要については，14.3「機能説明」を参照してください。

14.13.1 PWM 出力機能

(1) 概要

概要 マスタ・チャネルと複数のスレーブ・チャネルを使用することで，複数のPWM 出力を生成する機能です。これにより，TAUJnTTOUTm のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタ・チャネルで設定します。デューティはスレーブ・チャネルで設定します。

前提条件
- 2 チャネル
- マスタ・チャネルの動作モードは，インターバル・タイマ・モードに設定する必要があります（*表 14-38「PWM 出力機能時のマスタ・チャネルの TAUJnCMORm 設定」* 参照）。
- スレーブ・チャネルの動作モードは，ワンカウント・モードに設定する必要があります（*表 14-41「PWM 出力機能時のスレーブ・チャネルの TAUJnCMORm 設定」* 参照）。
- この機能では，マスタ・チャネルで TAUJnTTOUTm は使用しません。
- スレーブ・チャネルのチャネル出力モードは，チャネル連動出力モード 1 に設定する必要があります（*表 14.8「チャネル出力モード」*）。

機能説明 チャネル・トリガ・ビット（TAUJnTS.TAUJnTSm）を 1 に設定すると，カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり，カウントが可能になります。TAUJnCDRm の現在値が TAUJnCNTm にロードされ，カウンタはその TAUJnCDRm 値からダウン・カウントを開始します。マスタ・チャネルで INTTAUJnIm が発生し，TAUJnTTOUTm（スレーブ）がセット，リセットされることにより PWM 出力を実現しています。

- マスタ・チャネル：

  マスタ・チャネルのカウンタ値が 0000 0000_H になりパルス周期時間が経過すると，INTTAUJnIm が発生します。TAUJnCDRm 値を TAUJnCNTm にロードし，ダウン・カウントを行います。

- スレーブ・チャネル：

  マスタ・チャネルで INTTAUJnIm が発生すると，スレーブ・チャネルのカウンタ動作がトリガされます。TAUJnCDRm（スレーブ）の現在値が TAUJnCNTm （スレーブ）にロードされ，カウンタはその TAUJnCDRm 値からダウン・カウントを開始します。TAUJnTTOUTm 信号がアクティブ・レベルに設定されます。
  カウンタ値が 0000 0000_H になると（デューティ時間が経過すると）INTTAUJnIm が発生し，TAUJnTTOUTm 信号がインアクティブ・レベルに設定されます。カウンタは FFFF $FFFF_H$ に戻り，マスタ・チャネルの次の INTTAUJnIm（次のパルス周期の開始）を待ちます。

マスタ／スレーブ・チャネルの TAUJnTT.TAUJnTTm を 1 に設定すると，カウンタ動作を停止できます。これにより，TAUJnTE.TAUJnTEm は 0 に設定されます。マスタ／スレーブ・チャネルの TAUJnCNTm と TAUJnTTOUTm が停止しますが，それぞれの値は保持します。TAUJnTS.TAUJnTSm を 1 に設定すると，カウントを再開できます。

条件 この機能では一斉書き換えを行うことができます。14.7「一斉書き換え」を参照してください。

(2) 算出式

パルス周期 =（TAUJnCDRm（マスタ）＋ 1）× カウント・クロック周期

デューティ・サイクル [%] =（TAUJnCDRm（スレーブ）／（TAUJnCDRm（マスタ）+ 1））× 100

– デューティ・サイクル = 0 %

TAUJnCDRm（スレーブ）= 0000 0000_H

– デューティ・サイクル = 100 %

TAUJnCDRm（スレーブ）≧ TAUJnCDRm（マスタ）＋ 1

(3) ブロック図と基本タイミング図

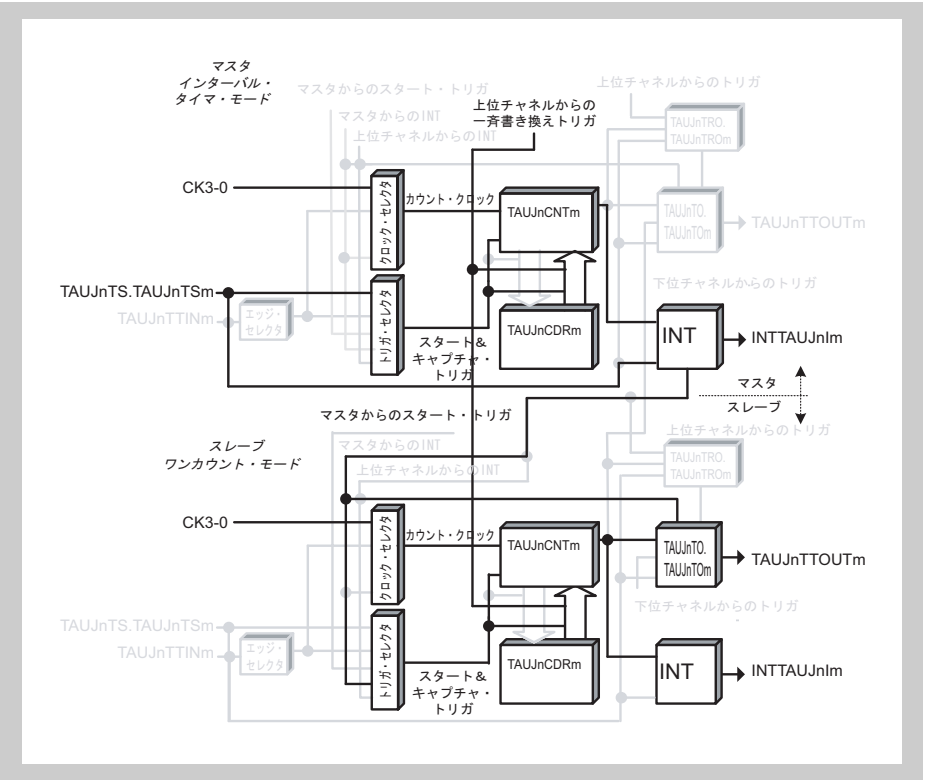


図 14-39 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブ・チャネル : 正論理（TAUJnTOL.TAUJnTOLm = 0）

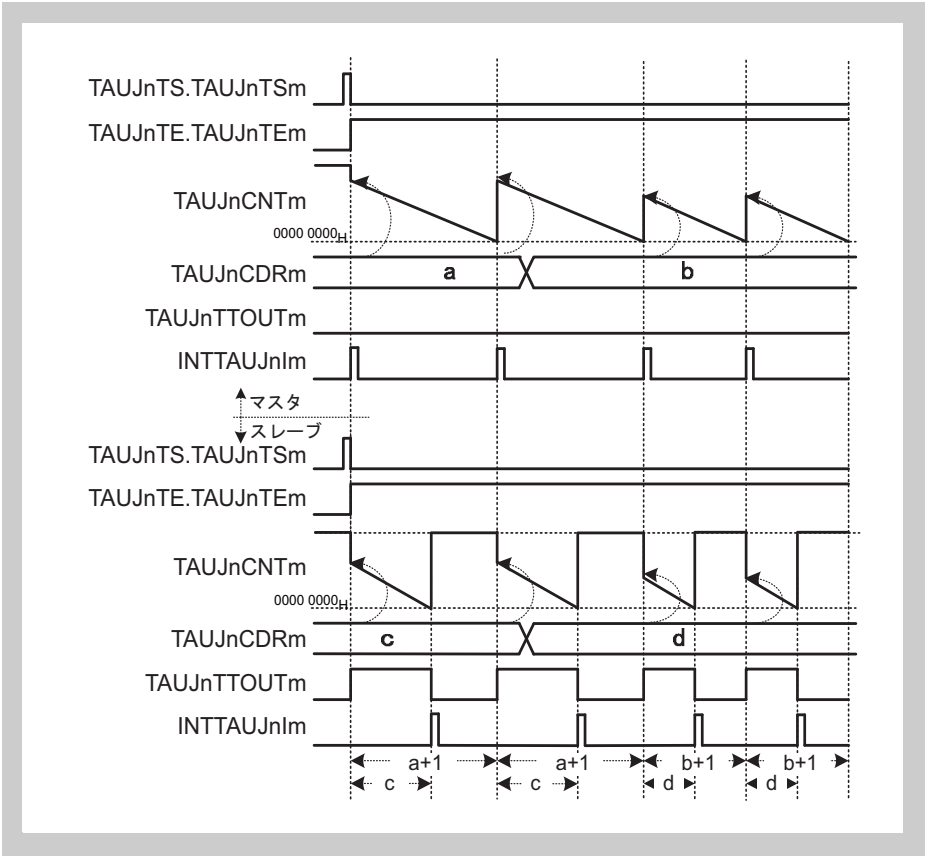


図 14-40 PWM 出力機能の基本タイミング図

備考 スレーブ・チャネルでのカウント開始から割り込み発生までの間隔は対応する TAUJnCDRm の値になりますが，マスタ・チャネルでの間隔は対応する TAUJnCDRm + 1 の値になります。

(4) マスタ・チャネルのレジスタ設定

(a) マスタ・チャネルの TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS [2:0]			TAUJnCOS [1:0]		-	TAUJnMD [4:1]				TAUJn MD0

表 14-38 PWM 出力機能時のマスタ・チャネルの TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	サンプリング・クロックの選択 00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3 マスタ・チャネルとスレーブ・チャネルの TAUJnCKS[1:0] ビット値は同一である必要があります。
TAUJnCCS[1:0]	00: サンプリング・クロックをカウント・クロックとして使用
TAUJnMAS	1: チャネルはマスタ・チャネル
TAUJnSTS[2:0]	000: ソフトウエアでカウンタをトリガ
TAUJnCOS[1:0]	00: 未使用，00 を設定
TAUJnMD[4:1]	0000: インターバル・タイマ・モード
TAUJnMD0	1: 動作開始時に INTTAUJnIm が発生する

(b) マスタ・チャネルの TAUJnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUJnTIS[1:0]	

表 14-39 PWM 出力機能時のマスタ・チャネルの TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00: 未使用，00 を設定

(c) マスタ・チャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しません。ただし，ほかの機能での使用あるいはソフトウエア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) マスタ・チャネルの一斉書き換え

マスタ・チャネルとスレーブ・チャネルの一斉書き換え設定は同じである必要があります。

表 14-40 PWM 出力機能時のマスタ・チャネルの一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	1: 一斉書き換えを許可
TAUJnRDM.TAUJnRDMm	0: マスタ・チャネルがカウントを開始すると，一斉書き換えトリガ信号を生成

(5) スレーブ・チャネルのレジスタ設定

(a) スレーブ・チャネルの TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS [2:0]			TAUJnCOS [1:0]		-	TAUJnMD [4:1]				TAUJn MD0

表 14-41 PWM 出力機能時のスレーブ・チャネルの TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	サンプリング・クロックの選択 00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3 マスタ・チャネルとスレーブ・チャネルの TAUJnCKS[1:0] ビット値は同一である必要があります。
TAUJnCCS[1:0]	00: サンプリング・クロックをカウント・クロックとして使用
TAUJnMAS	0: チャネルはスレーブ・チャネル
TAUJnSTS[2:0]	100: マスタ・チャネルの INTTAUJnIm がスタート・トリガ
TAUJnCOS[1:0]	00: 未使用，00 を設定
TAUJnMD[4:1]	0100: ワンカウント・モード
TAUJnMD0	1: 動作中のスタート・トリガが有効

(b) スレーブ・チャネルの TAUJnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUJnTIS[1:0]	

表 14-42 PWM 出力機能時のスレーブ・チャネルの TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00: 未使用，00 を設定

(c) スレーブ・チャネルのチャネル出力モード

表 14-43 チャネル連動出力モード1時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1: チャネル連動出力モード許可
TAUJnTO.TAUJnTOm	0: ロウ・レベル 1: ハイ・レベル
TAUJnTOM.TAUJnTOMm	1: チャネル連動動作
TAUJnTOC.TAUJnTOCm	0: 動作モード1
TAUJnTOL.TAUJnTOLm	0: 正論理 1: 反転論理

(d) スレーブ・チャネルの一斉書き換え

マスタ・チャネルとスレーブ・チャネルの一斉書き換え設定は同じである必要があります。

表 14-44 PWM 出力機能時のスレーブ・チャネルの一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	1: 一斉書き換えを許可
TAUJnRDM.TAUJnRDMm	0: マスタ・チャネルがカウントを開始すると，一斉書き換トリガ信号を生成

(6) PWM 出力機能の操作手順

表 14-45 PWM 出力機能時の操作手順

	操作	TAUJn の状態
チャネルの初期設定	マスタ・チャネル：TAUJnCMORm／TAUJnCMURm レジスタとチャネル出力モードを 14.3.1(4)「マスタ・チャネルのレジスタ設定」に示すように設定します。 スレーブ・チャネル :TAUJnCMORm／TAUJnCMURm レジスタとチャネル出力モードを 14.3.1(5)「スレーブ・チャネルのレジスタ設定」に示すように設定します。 全チャネルの TAUJnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタ・チャネルとスレーブ・チャネルの TAUJnTS.TAUJnTSm を同時に 1 に設定します。 TAUJnTS.TAUJnTSm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm（マスタ／スレーブ・チャネル）が 1 に設定され，マスタ／スレーブ・チャネルのカウンタが動作を開始します。 マスタ・チャネルで INTTAUJnIm が発生し，TAUJnTTOUTm（スレーブ）が設定されます。
動作中	TAUJnCDRm は任意のタイミングで変更可能です。 TAUJnCNTm と TAUJnRSF.TAUJnRSFm は任意のタイミングで読み出し可能です。 TAUJnRDT.TAUJnRDTm は動作中に変更可能です。	マスタ・チャネルの TAUJnCNTm は TAUJnCDRm 値をロードし，ダウン・カウントを行います。カウンタが 0000 0000_H になった場合： • INTTAUJnIm（マスタ）が発生します。 • TAUJnCDRm 値を TAUJnCNTm（マスタ）にロードし，カウント動作を継続します。 • TAUJnCDRm 値を TAUJnCNTm（スレーブ）にロードし，ダウン・カウントを行います。 • TAUJnTTOUTm（スレーブ）がアクティブ・レベルに設定されます。 TAUJnCNTm（スレーブ）が 0000 0000_H になった場合： • INTTAUJnIm（スレーブ）が発生します。 • TAUJnTTOUTm（スレーブ）がインアクティブ・レベルに設定されます。
動作停止	マスタ・チャネルとスレーブ・チャネルの TAUJnTT.TAUJnTTm を同時に 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので，自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ，カウンタ動作が停止します。 TAUJnCNTm と TAUJnTTOUTm は停止し，現在値を保持します。

動作再開

(7) 特定の設定時のタイミング図

(a) デューティ・サイクル = 0 %

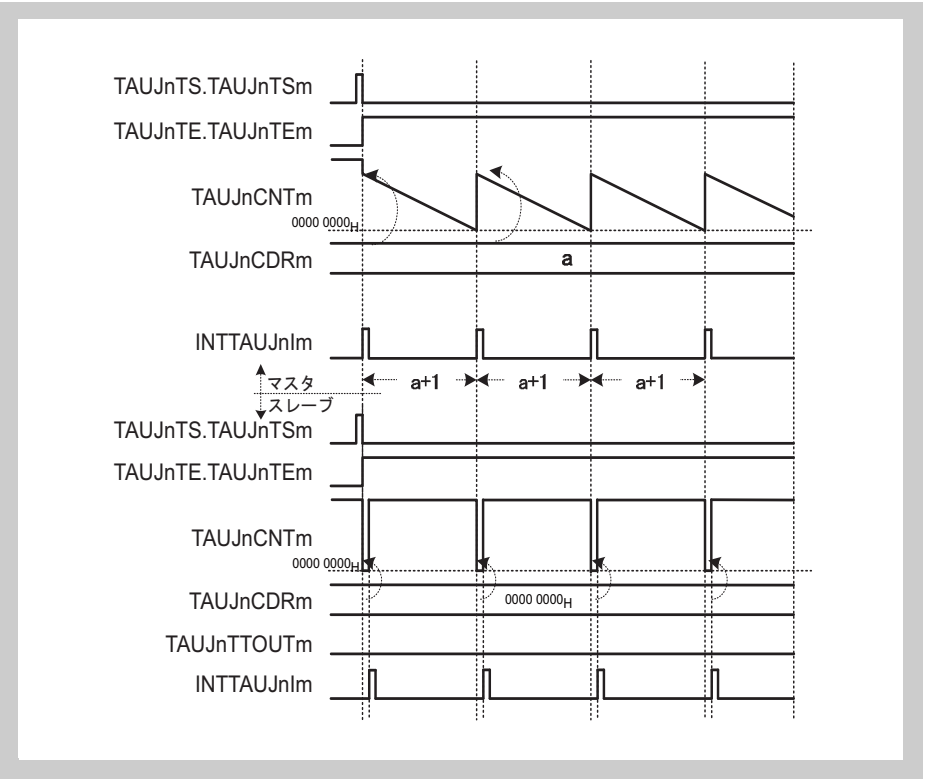


図 14-41 TAUJnCDRm（スレーブ）= 0000 0000_H,
正論理（TAUJnTOL.TAUJnTOLm（スレーブ）= 0）

- マスタ・チャネルで割り込み（INTTAUJnIm）が発生するたびに，TAUJnCNTm（スレーブ）に 0000 0000_H がロードされます。したがって，TAUJnCNTm（スレーブ）はカウントを開始できず，TAUJnTTOUTm はアクティブでない状態のままとなります。
- TAUJnCDRm 値を TAUJnCNTm（スレーブ）にロードし，割り込みを発生させます。

(b) デューティ・サイクル = 100 %

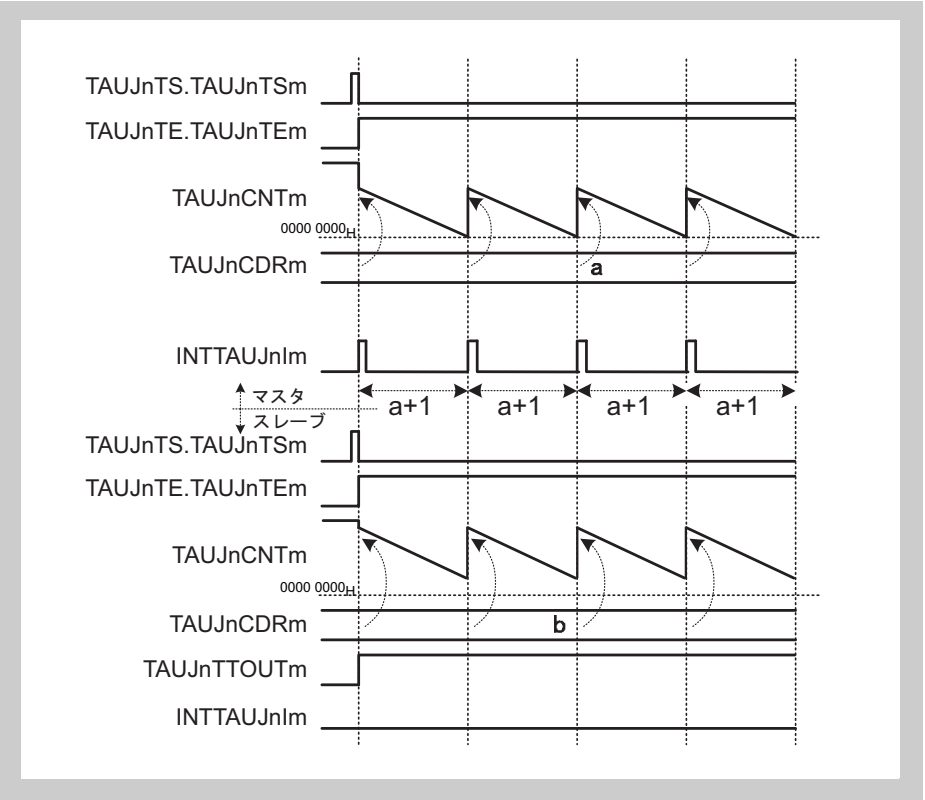


図 14-42 TAUJnCDRm（スレーブ）≧ TAUJnCDRm（マスタ）+ 1 正論理（TAUJnTOL.TAUJnTOLm（スレーブ）= 0）

- TAUJnCDRm（スレーブ）値が TAUJnCDRm（マスタ）値よりも大きい場合，スレーブ・チャネルのカウンタは 0000 0000_H にならないため，割り込みが発生しません。TAUJnTTOUTm はアクティブ状態のままになります。

(c) 動作の停止と再開

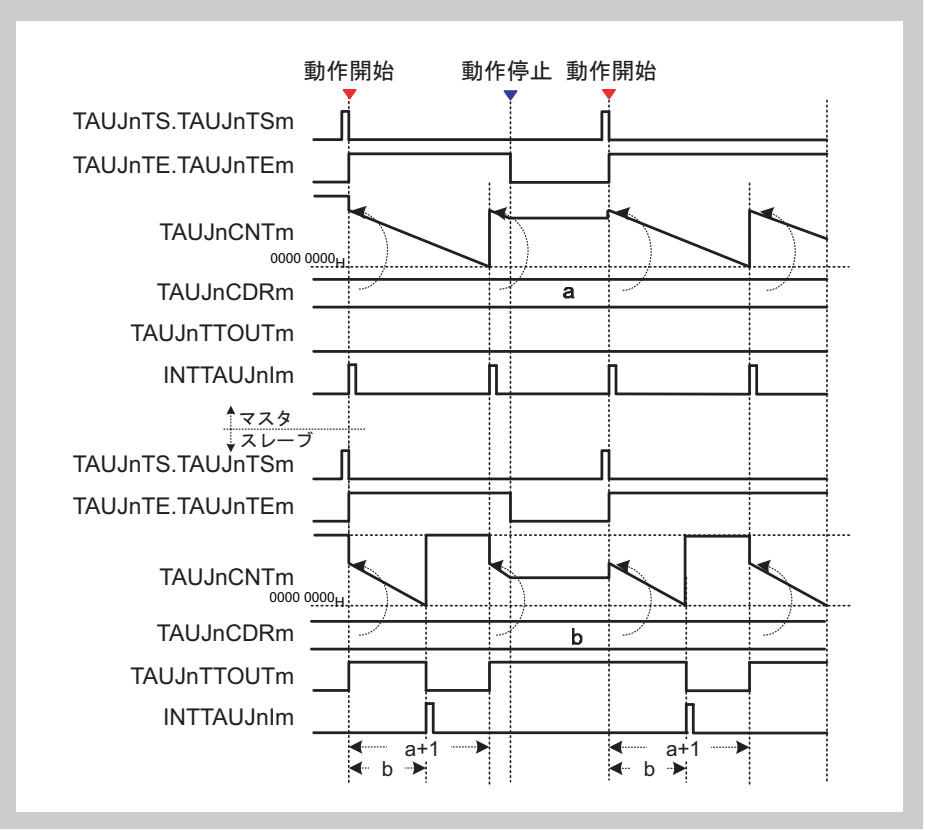


図 14-43 動作の停止と再開
正論理（TAUJnTOL.TAUJnTOLm（スレーブ）= 0）

- マスタ／スレーブ・チャネルの TAUJnTT.TAUJnTTm を 1 に設定すると，カウンタ動作を停止できます。これにより，TAUJnTE.TAUJnTEm は 0 に設定されます。
- 全チャネルの TAUJnCNTm と TAUJnTTOUTm が停止し，現在値を保持します。割り込みは発生しません。
- マスタ／スレーブ・チャネルの TAUJnTS.TAUJnTSm を 1 に設定すると，カウンタ動作を再開できます。マスタ／スレーブ・チャネルの TAUJnCDRm 値を TAUJnCNTm にロードし，この値からダウン・カウントを開始します。

14.14 レジスタ

この節では，32 ビット TAUJ の全レジスタについて説明します。

14.14.1 TAUJn レジスタの概要

TAUJn は次の表に示すレジスタによって制御および動作が行われます。

表 14-46 TAUJn レジスタの概要

レジスタ名	略号	アドレス
TAUJn プリスケーラ・レジスタ		
TAUJn プリスケーラ・クロック選択レジスタ	TAUJnTPS	<TAUJn_base0> + 90_H
TAUJn プリスケーラ・ボー・レート設定レジスタ	TAUJnBRS	<TAUJn_base0> + 94_H
TAUJn 制御レジスタ		
TAUJn チャネル・データ・レジスタ m	TAUJnCDRm	<TAUJn_base1> + m × 4_H
TAUJn チャネル・カウンタ・レジスタ m	TAUJnCNTm	<TAUJn_base1> + 10_H + m × 4_H
TAUJn チャネル・モード OS レジスタ m	TAUJnCMORm	<TAUJn_base0> + 80_H + m × 4_H
TAUJn チャネル・モード・ユーザ・レジスタ m	TAUJnCMURm	<TAUJn_base1> + 20_H + m × 4_H
TAUJn チャネル・ステータス・レジスタ m	TAUJnCSRm	<TAUJn_base1> + 30_H + m × 4_H
TAUJn チャネル・ステータス・クリア・トリガ・レジスタ m	TAUJnCSCm	<TAUJn_base1> + 40_H + m × 4_H
TAUJn チャネル・スタート・トリガ・レジスタ	TAUJnTS	<TAUJn_base1> + 54_H
TAUJn チャネル許可ステータス・レジスタ	TAUJnTE	<TAUJn_base1> + 50_H
TAUJn チャネル・ストップ・トリガ・レジスタ	TAUJnTT	<TAUJn_base1> + 58_H
TAUJn 出力レジスタ		
TAUJn チャネル出力許可レジスタ	TAUJnTOE	<TAUJn_base1> + 60_H
TAUJn チャネル出力レジスタ	TAUJnTO	<TAUJn_base1> + $5C_H$
TAUJn チャネル出力モード・レジスタ	TAUJnTOM	<TAUJn_base0> + 98_H
TAUJn チャネル出力コンフィギュレーション・レジスタ	TAUJnTOC	<TAUJn_base0> + $9C_H$
TAUJn チャネル出力アクティブ・レベル・レジスタ	TAUJnTOL	<TAUJn_base1> + 64_H
TAUJn リロード・データ・レジスタ		
TAUJn チャネル・リロード・データ許可レジスタ	TAUJnRDE	<TAUJn_base0> + $A0_H$
TAUJn チャネル・リロード・データ・モード・レジスタ	TAUJnRDM	<TAUJn_base0> + $A4_H$
TAUJn チャネル・リロード・データ・トリガ・レジスタ	TAUJnRDT	<TAUJn_base1> + 68_H
TAUJn チャネル・リロード・ステータス・レジスタ	TAUJnRSF	<TAUJn_base1> + $6C_H$

備考 TAUJn のベース・アドレス <TAUJn_base0>，<TAUJn_base1> は，この章の最初の節内「レジスタ・アドレス」で定義しています。

注意 各レジスタのビットに指定値の記載がある場合，該当するビットには指定値以外をライトしないでください。

14.14.2 TAUJn プリスケーラ・レジスタの詳細

(1) TAUJnTPS - TAUJn プリスケーラ・クロック選択レジスタ

PCLK プリスケーラの全チャネルの CK0，CK1，CK2，CK3_PRE クロックを指定するレジスタです。CK3 は，CK3_PRE を TAUJnBRS で指定した係数で分周することによって生成されます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAUJn_base0> + 90_H

初期値 $FFFF_H$ どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnPRS3[3:0]				TAUJnPRS2[3:0]				TAUJnPRS1[3:0]				TAUJnPRS0[3:0]			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-47 TAUJnTPS レジスタの内容 (1/3)

ビット位置	ビット名	機能
15-12	TAUJnPRS3 [3:0]	CK3_PRE クロックを指定します。 CK3_PRE クロックは BRG ユニットの入力クロックです。BRG ユニットは全チャネルにプリスケーラ出力 CK3 を供給します。 **TAUJnPRS3[3:0] / CK3_PRE クロック** 0000_B / PCLK/2^0 0001_B / PCLK/2^1 0010_B / PCLK/2^2 0011_B / PCLK/2^3 0100_B / PCLK/2^4 0101_B / PCLK/2^5 0110_B / PCLK/2^6 0111_B / PCLK/2^7 1000_B / PCLK/2^8 1001_B / PCLK/2^9 1010_B / PCLK/2^{10} 1011_B / PCLK/2^{11} 1100_B / PCLK/2^{12} 1101_B / PCLK/2^{13} 1110_B / PCLK/2^{14} 1111_B / PCLK/2^{15} 上記ビットは，CK3 を使用するカウンタがすべて停止している（TAUJnTE.TAUJnTEm= 0）場合のみ書き換え可能です。

表 14-47　TAUJnTPS レジスタの内容 (2/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>11-8</td><td>TAUJnPRS2
[3:0]</td><td>プリスケーラ出力 CK2 を指定します。
<table>
<tr><th>TAUJnPRS2[3:0]</th><th>プリスケーラ出力 CK2</th></tr>
<tr><td>0000_B</td><td>PCLK/2^0</td></tr>
<tr><td>0001_B</td><td>PCLK/2^1</td></tr>
<tr><td>0010_B</td><td>PCLK/2^2</td></tr>
<tr><td>0011_B</td><td>PCLK/2^3</td></tr>
<tr><td>0100_B</td><td>PCLK/2^4</td></tr>
<tr><td>0101_B</td><td>PCLK/2^5</td></tr>
<tr><td>0110_B</td><td>PCLK/2^6</td></tr>
<tr><td>0111_B</td><td>PCLK/2^7</td></tr>
<tr><td>1000_B</td><td>PCLK/2^8</td></tr>
<tr><td>1001_B</td><td>PCLK/2^9</td></tr>
<tr><td>1010_B</td><td>PCLK/2^{10}</td></tr>
<tr><td>1011_B</td><td>PCLK/2^{11}</td></tr>
<tr><td>1100_B</td><td>PCLK/2^{12}</td></tr>
<tr><td>1101_B</td><td>PCLK/2^{13}</td></tr>
<tr><td>1110_B</td><td>PCLK/2^{14}</td></tr>
<tr><td>1111_B</td><td>PCLK/2^{15}</td></tr>
</table>
上記ビットは，CK2 を使用するカウンタがすべて停止している（TAUJnTE.TAUJnTEm = 0）場合のみ書き換え可能です。</td></tr>
<tr><td>7-4</td><td>TAUJnPRS1
[3:0]</td><td>プリスケーラ出力 CK1 を指定します。
<table>
<tr><th>TAUJnPRS1[3:0]</th><th>プリスケーラ出力 CK1</th></tr>
<tr><td>0000_B</td><td>PCLK/2^0</td></tr>
<tr><td>0001_B</td><td>PCLK/2^1</td></tr>
<tr><td>0010_B</td><td>PCLK/2^2</td></tr>
<tr><td>0011_B</td><td>PCLK/2^3</td></tr>
<tr><td>0100_B</td><td>PCLK/2^4</td></tr>
<tr><td>0101_B</td><td>PCLK/2^5</td></tr>
<tr><td>0110_B</td><td>PCLK/2^6</td></tr>
<tr><td>0111_B</td><td>PCLK/2^7</td></tr>
<tr><td>1000_B</td><td>PCLK/2^8</td></tr>
<tr><td>1001_B</td><td>PCLK/2^9</td></tr>
<tr><td>1010_B</td><td>PCLK/2^{10}</td></tr>
<tr><td>1011_B</td><td>PCLK/2^{11}</td></tr>
<tr><td>1100_B</td><td>PCLK/2^{12}</td></tr>
<tr><td>1101_B</td><td>PCLK/2^{13}</td></tr>
<tr><td>1110_B</td><td>PCLK/2^{14}</td></tr>
<tr><td>1111_B</td><td>PCLK/2^{15}</td></tr>
</table>
上記ビットは，CK1 を使用するカウンタがすべて停止している（TAUJnTE.TAUJnTEm = 0）場合のみ書き換え可能です。</td></tr>
</table>

表 14-47 TAUJnTPS レジスタの内容 (3/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>3-0</td><td>TAUJnPRS0
[3:0]</td><td>プリスケーラ出力 CK0 を指定します。
<table>
<tr><th>TAUJnPRS0[3:0]</th><th>プリスケーラ出力 CK0</th></tr>
<tr><td>0000_B</td><td>PCLK/2^0</td></tr>
<tr><td>0001_B</td><td>PCLK/2^1</td></tr>
<tr><td>0010_B</td><td>PCLK/2^2</td></tr>
<tr><td>0011_B</td><td>PCLK/2^3</td></tr>
<tr><td>0100_B</td><td>PCLK/2^4</td></tr>
<tr><td>0101_B</td><td>PCLK/2^5</td></tr>
<tr><td>0110_B</td><td>PCLK/2^6</td></tr>
<tr><td>0111_B</td><td>PCLK/2^7</td></tr>
<tr><td>1000_B</td><td>PCLK/2^8</td></tr>
<tr><td>1001_B</td><td>PCLK/2^9</td></tr>
<tr><td>1010_B</td><td>PCLK/2^{10}</td></tr>
<tr><td>1011_B</td><td>PCLK/2^{11}</td></tr>
<tr><td>1100_B</td><td>PCLK/2^{12}</td></tr>
<tr><td>1101_B</td><td>PCLK/2^{13}</td></tr>
<tr><td>1110_B</td><td>PCLK/2^{14}</td></tr>
<tr><td>1111_B</td><td>PCLK/2^{15}</td></tr>
</table>
上記ビットは，CK0 を使用するカウンタがすべて停止している（TAUJnTE.TAUJnTEm = 0）場合のみ書き換え可能です。</td></tr>
</table>

(2) TAUJnBRS - TAUJn プリスケーラ・ボー・レート設定レジスタ

プリスケーラ出力 CK3 の分周係数を指定するレジスタです。

CK3 は，CK3_PRE をこのレジスタで指定した係数＋ 1 で分周することによって生成されます。CK3_PRE 用の PCLK プリスケーラは，TAUJnTPS.TAUJnPRS3[3:0] で指定します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TAUJn_base0> + 94_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
TAUJnBRS[07:00]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-48 TAUJnBRS レジスタの内容

ビット位置	ビット名	機能
7-0	TAUJnBRS [07:00]	プリスケーラ出力 CK3 生成のための CK3_PRE クロック分周係数を指定します。

TAUJnBRS[07:00]	プリスケーラ出力 CK3
$0000\ 0000_B$	CK3_PRE / 1
$0000\ 0001_B$	CK3_PRE / 2
$0000\ 0010_B$	CK3_PRE / 3
$0000\ 0011_B$	CK3_PRE / 4
...	...
$1111\ 1110_B$	CK3_PRE / 255
$1111\ 1111_B$	CK3_PRE / 256

14.14.3 TAUJn 制御レジスタの詳細

(1) TAUJnCDRm - TAUJn チャネル・データ・レジスタ m

このレジスタは，TAUJnCMORm.TAUJnMD[4:1] で指定された動作モードによって，コンペア・レジスタもしくはキャプチャ・レジスタとして機能するレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

- キャプチャ・モード時はリードのみ可能です。ライト動作は無視されます。
- コンペア・モード時はリード／ライト可能です。

アドレス <TAUJn_base1> + m × 4_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TAUJnCDR[31:16]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCDR[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-49 TAUJnCDRm レジスタの内容

ビット位置	ビット名	機能
31-0	TAUJnCDR [31:0]	キャプチャ値／コンペア値用データ・レジスタ

(2) TAUJnCNTm - TAUJn チャネル・カウンタ・レジスタ m

チャネル m カウンタ・レジスタです。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <TAUJn_base1> + 10_H + m × 4_H

初期値 0000 0000_H または FFFF $FFFF_H$ 初期値は動作モードによって異なります。*表 14-51「カウント再許可後の TAUJnCNTm リード値」*を参照してください。どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TAUJnCNT[31:16]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCNT[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14-50 TAUJnCNTm レジスタの内容

ビット位置	ビット名	機能
31-0	TAUJnCNT [31:0]	32 ビット・カウンタ値

リード値は，カウンタ，動作モード変更，TAUJnTS.TAUJnTSm，TAUJnTT.TAUJnTTm ビット値によって異なります。

カウンタの初期リード値は，動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタ・ストップ・トリガによる停止（TAUJnTT.TAUJnTTm = 1）

カウント停止後（TAUJnTE.TAUJnTEm = 0）と再許可後（TAUJnTS.TAUJnTSm = 1）のカウンタの初期リード値を次の表に示します。

また，カウンタがスタート・トリガを待っている状態で，カウンタ動作が許可（TAUJnTS.TAUJnTSm = 1）されてから 1 カウント後のカウンタのリード値も示します。

表 14-51 カウント再許可後の TAUJnCNTm リード値

モード名	カウント方式（アップ／ダウン）	TAUJnCNTm 値		
		リセット後に動作モードを変更した後	ストップ・トリガ後	ワンカウント後
インターバル・タイマ・モード	ダウン・カウント	FFFF $FFFF_H$	停止値	-
キャプチャ・モード	アップ・カウント	0000 0000_H	停止値	-
ワンカウント・モード	ダウン・カウント	FFFF $FFFF_H$	停止値	FFFF $FFFF_H$
キャプチャ＆ワンカウント・モード	アップ・カウント	0000 0000_H	停止値	キャプチャ値＋1（TAUJnCDRm）
カウント・キャプチャ・モード	アップ・カウント	0000 0000_H	停止値	-
キャプチャ＆ゲート・カウント・モード	アップ・カウント	0000 0000_H	停止値	停止値

備考 カウント停止中に動作モードが変更になった場合，カウント再開後の初期カウンタ値は不定になります。動作モードは，TAUJnCMORm.TAUJnMD[4:0] レジスタで変更します。

(3) TAUJnCMORm - TAUJn チャネル・モード OS レジスタ m

このレジスタは，チャネル m の動作を制御します。

アクセス　16 ビット単位でリード／ライト可能です。カウンタ停止中（TAUJnTE.TAUJnTEm = 0）のときのみライト可能です。

アドレス　<TAUJn_base0> + 80_H + m × 4_H

初期値　0000_H　どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		-	TAUJnMD[4:0]				
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 14-52　TAUJnCMORm レジスタの内容 (1/4)

ビット位置	ビット名	機能
15, 14	TAUJnCKS [1:0]	サンプリング・クロックを選択します。 サンプリング・クロックは TAUJnTTINm 入力エッジ検出回路で使用します。 TAUJnCMORm.TAUJnCCS[1:0] ビットの設定により，カウント・クロックとして使用することも可能です。
13, 12	TAUJnCCS [1:0]	TAUJnCNTm カウンタのカウント・クロックを選択します。
11	TAUJnMAS	チャネル連動動作時に，そのチャネルがマスタ・チャネルかスレーブ・チャネルかを指定します。 0: スレーブ 1: マスタ このビット設定は偶数チャネル（CHm_even）に対してのみ有効です。奇数チャネル（CHm_odd）は，0 に固定されています。

TAUJn CKS1	TAUJn CKS0	サンプリング・クロック選択
0	0	プリスケーラ出力 CK0
0	1	プリスケーラ出力 CK1
1	0	プリスケーラ出力 CK2
1	1	プリスケーラ出力 CK3

TAUJn CCS1	TAUJn CCS0	カウント・クロック選択
0	0	TAUJnCMORm.TAUJnCKS[1:0] で指定したサンプリング・クロック
0	1	TAUJnTTINm 入力信号の有効エッジ
1	0	設定禁止
1	1	

表 14-52 TAUJnCMORm レジスタの内容 (2/4)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>10-8</td><td>TAUJnSTS
[2:0]</td><td>外部スタート・トリガを選択します。
<table>
<tr><th>TAUJn STS2</th><th>TAUJn STS1</th><th>TAUJn STS0</th><th>機能説明</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>ソフトウエア・トリガ</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>TAUJnTTINm 入力信号の有効エッジ。有効エッジは TAUJnCMURm.TAUJnTIS[1:0] で指定</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>TAUJnTTINm 入力信号の有効エッジをスタート・トリガ，逆エッジをストップ・トリガとして使用</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>設定禁止</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>マスタ・チャネルの INTTAUJnIm</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td rowspan="3">設定禁止</td></tr>
<tr><td>1</td><td>1</td><td>0</td></tr>
<tr><td>1</td><td>1</td><td>1</td></tr>
</table></td></tr>
</table>

表 14-52　TAUJnCMORm レジスタの内容 (3/4)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>7, 6</td><td>TAUJnCOS
[1:0]</td><td>チャネル m のキャプチャ・レジスタ TAUJnCDRm とオーバフロー・フラグ TAUJnCSRm.TAUJnOVF を更新するタイミングを指定します。
これらのビットはチャネル m がキャプチャ・モードの時にのみ有効です。
<table>
<tr><th>TAUJn COS1</th><th>TAUJn COS0</th><th>TAUJnCDRm</th><th>TAUJnCSRm.TAUJnOVF</th></tr>
<tr><td>0</td><td>0</td><td rowspan="2">TAUJnTTINm 入力有効エッジを検出すると更新</td><td>TAUJnTTINm 入力有効エッジを検出すると更新（クリアまたはセット）
• 有効エッジを最後に検出してからカウンタ・オーバフローが発生している場合は，TAUJnCSRm.TAUJnOVF をセット
• 有効エッジを最後に検出してからカウンタ・オーバフローが発生していない場合は，TAUJnCSR.TAUJnOVF をクリア</td></tr>
<tr><td>0</td><td>1</td><td>カウンタ・オーバフロー時にセット，TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア</td></tr>
<tr><td>1</td><td>0</td><td rowspan="2">TAUJnTTINm 入力有効エッジ検出およびカウンタ・オーバフローの発生により更新
• TAUJnTTINm 入力有効エッジ検出：カウンタ値が TAUJnCDRm に書き込まれる
• オーバフロー発生：FFFF FFFF$_H$ が TAUJnCDRm にロードされる。次の TAUJnTTINm 入力有効エッジ検出は無視される。</td><td>設定なし</td></tr>
<tr><td>1</td><td>1</td><td>カウンタ・オーバフロー時にセット，TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア</td></tr>
</table>
</td></tr>
</table>

表 14-52　TAUJnCMORm レジスタの内容 (4/4)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>4-0</td><td>TAUJnMD
[4:0]</td><td>動作モードを指定します。
<table>
<tr><th>TAUJnMD4</th><th>TAUJnMD3</th><th>TAUJnMD2</th><th>TAUJnMD1</th><th>TAUJnMD0</th><th>機能説明</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1/0</td><td>インターバル・タイマ・モード</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1/0</td><td>設定禁止</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>0</td><td>1/0</td><td>キャプチャ・モード</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td><td>1/0</td><td>設定禁止</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>0</td><td>1/0</td><td>ワンカウント・モード</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>1</td><td>1/0</td><td>設定禁止</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>キャプチャ&ワンカウント・モード</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>1</td><td rowspan="4">1/0</td><td rowspan="4">設定禁止</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>1</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>0</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>1</td><td>1/0</td><td>カウント・キャプチャ・モード</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>0</td><td>1/0</td><td>設定禁止</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td>キャプチャ&ゲート・カウント・モード</td></tr>
</table>
<table>
<tr><th>モード</th><th>TAUJnMD0 ビットの役割</th></tr>
<tr><td>インターバル・タイマ・モード
キャプチャ・モード
カウント・キャプチャ・モード</td><td>カウント動作開始時（スタート・トリガ入力時）に，INTTAUJnIm 信号の発生をするかどうかを指定します。
0: INTTAUJnIm を発生しない
1: INTTAUJnIm を発生する</td></tr>
<tr><td>ワンカウント・モード</td><td>カウント中のスタート・トリガ検出を許可／禁止します。
0: 禁止
1: 許可</td></tr>
<tr><td>キャプチャ&ワンカウント・モード
キャプチャ&ゲート・カウント・モード</td><td>このビットは 0 に設定する必要があります。</td></tr>
</table>
</td></tr>
</table>

(4) TAUJnCMURm - TAUJn チャネル・モード・ユーザ・レジスタ m

このレジスタは，TAUJnTTINm 入力で使用される有効エッジ検出のタイプを指定します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TAUJn_base1> + 20_H + m × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUJnTIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 14-53 TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
1, 0	TAUJnTIS [1:0]	TAUJnTTINm 入力信号の有効エッジを指定します。 • TAUJnTTINm 入力信号のエッジ検出は，TAUJnCMORm.TAUJnCKS[1:0] で選択したサンプリング・クロックに基づいて行われます。

TAUJn TIS1	TAUJn TIS0	機能説明
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ検出（Low 幅測定選択） スタート・トリガ：立ち下がりエッジ ストップ・トリガ（キャプチャ）： 立ち上がりエッジ
1	1	両エッジ検出（High 幅測定選択） スタート・トリガ：立ち上がりエッジ ストップ・トリガ（キャプチャ）： 立ち下がりエッジ

(5) TAUJnCSRm - TAUJn チャネル・ステータス・レジスタ m

このレジスタは，チャネル m のオーバフロー状態を示します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <TAUJn_base1> + 30_H + m × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	TAUJnOVF
R	R	R	R	R	R	R	R

表 14-54 TAUJnCSRm レジスタの内容

ビット位置	ビット名	機能
0	TAUJnOVF	カウンタ・オーバフロー状態を示します。 0: オーバフローが発生していない 1: オーバフローが発生 このビットは，次のモード時のみ使用します。 • キャプチャ・モード • キャプチャ＆ワンカウント・モード このビットの機能は，制御ビット TAUJnCMORm.TAUJnCOS[1:0] の設定により異なります。

(6) TAUJnCSCm - TAUJn チャネル・ステータス・クリア・トリガ・レジスタ m

このレジスタは，チャネル m のオーバフロー・フラグ TAUJnCSRm.TAUJnOVF をクリアするためのトリガ・レジスタです。

アクセス 8 ビット単位でライト可能です。リード値は常に 00_H です。

アドレス <TAUJn_base1> + 40_H + m × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	0	TAUJnCLOV
R	R	R	R	R	R	R	W

表 14-55 TAUJnCSCm レジスタの内容

ビット位置	ビット名	機能
0	TAUJnCLOV	チャネル m のオーバフロー・フラグ（TAUJnCSRm.TAUJnOVF ビット）のクリア動作を制御します。 0: 無効（0 を設定してもオーバフロー・フラグ TAUJnCSRm.TAUJnOVF ビットに影響はありません。） 1: オーバフロー・フラグ TAUJnCSRm.TAUJnOVF をクリア

(7) TAUJnTS - TAUJn チャネル・スタート・トリガ・レジスタ

このレジスタは，各チャネルのカウンタ動作を許可します。

アクセス 8 ビット単位でライト可能です。リード値は常に 00_H です。

アドレス <TAUJn_base1> + 54_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTS 03	TAUJnTS 02	TAUJnTS 01	TAUJnTS 00
W	W	W	W	W	W	W	W

表 14-56 TAUJnTS レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTSm	チャネル m のカウンタ動作を許可します。 0: 無効（0 を設定してもチャネル m のカウンタ動作を許可しません。） 1: カウンタ動作を許可し，TAUJnTE.TAUJnTEm = 1 を設定。 TAUJnTE.TAUJnTEm = 1 を設定しても，カウント動作が許可されるだけです。カウントが開始されるかどうかは，選択されている動作モードによって異なります。

(8) TAUJnTE - TAUJn チャネル許可ステータス・レジスタ

このレジスタは，カウンタ動作の許可／禁止を示します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <TAUJn_base1> + 50_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTE 03	TAUJnTE 02	TAUJnTE 01	TAUJnTE 00
R	R	R	R	R	R	R	R

表 14-57 TAUJnTE レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTEm	チャネル m のカウンタ動作の許可／禁止を示します。 0: カウンタ動作禁止 1: カウンタ動作許可 TAUJnTSSTm （チャネル連動スタート・トリガ信号）のトリガ入力を検知するか，TAUJnTS.TAUJnTSm を 1 にセットすると，このビットが 1 に設定されます。 TAUJnTT.TAUJnTTm を 1 にセットすると，このビットが 0 にリセットされます。

(9) TAUJnTT - TAUJn チャネル・ストップ・トリガ・レジスタ

このレジスタは，各チャネルのカウンタ動作を停止します。

アクセス 8 ビット単位でライト可能です。リード値は常に 00_H です。

アドレス <TAUJn_base1> + 58_H

初期値 00_H

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTT 03	TAUJnTT 02	TAUJnTT 01	TAUJnTT 00
W	W	W	W	W	W	W	W

表 14-58 TAUJnTT レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTTm	チャネル m のカウンタ動作を停止します。 0: 無効（0 を設定してもチャネル m のカウンタ動作を停止しません。） 1: カウンタ動作を停止し，TAUJnTE.TAUJnTEm をリセットします。 TAUJnCNTm，TAUJnTO.TAUJnTOm，TAUJnTTOUTm は，カウント停止前の値を保持します。

14.14.4 TAUJn 出力レジスタの詳細

(1) TAUJnTOE - TAUJn チャネル出力許可レジスタ

このレジスタは，ソフトウエア制御のチャネル単体出力モードを許可／禁止します。

アクセス 8 ビット単位でリード／ライト可能です。カウンタ停止中（TAUJnTE.TAUJnTEm ビット = 0）のときのみライト可能です。

アドレス <TAUJn_base1> + 60_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTOE03	TAUJnTOE02	TAUJnTOE01	TAUJnTOE00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-59 TAUJnTOE レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTOEm	タイマ単体出力機能を許可／禁止します。 0: タイマ単体出力機能を禁止（ソフトウエア制御） 1: タイマ単体出力機能を許可

備考 TAUJnTTOUTm 端子の出力を TAUJnTO.TAUJnTOm で制御します。（ソフトウエア制御）

(2) TAUJnTOM - TAUJn チャネル出力モード・レジスタ

このレジスタは，各チャネルの出力モードを指定します。

アクセス 8 ビット単位でリード／ライト可能です。カウンタ停止中（TAUJnTE.TAUJnTEm = 0）のときのみ，ライト可能です。

アドレス <TAUJn_base0> + 98_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTOM03	TAUJnTOM02	TAUJnTOM01	TAUJnTOM00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-60 TAUJnTOM レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTOMm	出力モードを指定します。 0: チャネル単体動作 1: チャネル連動動作 出力モードは*表 14-8「チャネル出力モード」*にあるように，各チャネル出力制御ビットの設定によって変わります。

(3) TAUJnTOC - TAUJn チャネル出力コンフィギュレーション・レジスタ

このレジスタは，TAUJnTOMm とともに各チャネルの出力モードを指定します。

アクセス 8 ビット単位でリード／ライト可能です。カウンタ停止中（TAUJnTE.TAUJnTEm = 0）のときのみ，ライト可能です。

アドレス <TAUJn_base0> + $9C_H$

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTOC03	TAUJnTOC02	TAUJnTOC01	TAUJnTOC00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-61 TAUJnTOC レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTOCm	出力モードを指定します。 0: 動作モード 1（トグル・モード） 1: 設定禁止

14.14.5 TAUJn チャネル出力レベル・レジスタの詳細

(1) TAUJnTO - TAUJn チャネル出力レジスタ

このレジスタは，TAUJnTTOUTm レベルを指定およびリードします。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TAUJn_base1> + $5C_H$

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTO 03	TAUJnTO 02	TAUJnTO 01	TAUJnTO 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-62 TAUJnTO レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTOm	このレジスタは，TAUJnTTOUTm レベルを指定およびリードします。 0: ロウ・レベル 1: ハイ・レベル TAUJnTOE.TAUJnTOEm = 0 とき TAUJnTOm ビットのライトが可能です。

(2) TAUJnTOL - TAUJn チャネル出力アクティブ・レベル・レジスタ

このレジスタは，チャネル出力ビット（TAUJnTO.TAUJnTOm）の出力論理を指定します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TAUJn_base1> + 64_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTOL 03	TAUJnTOL 02	TAUJnTOL 01	TAUJnTOL 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-63 TAUJnTOL レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTOLm	チャネル m 出力ビット（TAUJnTO.TAUJnTOm）の出力論理を指定します。 0: 正論理（アクティブ・ハイ） 1: 反転論理（アクティブ・ロウ）

14.14.6 TAUJn リロード・データ・レジスタの詳細

(1) TAUJnRDE - TAUJn チャネル・リロード・データ許可レジスタ

このレジスタは，データ・レジスタ TAUJnCDRm/TAUJnTOLm の一斉書き換えを許可／禁止します。

アクセス 8 ビット単位でリード／ライト可能です。カウンタ停止中（TAUJnTE.TAUJnTEm = 0）のときのみ，ライト可能です。

アドレス <TAUJn_base0> + $A0_H$

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnRDE03	TAUJnRDE02	TAUJnRDE01	TAUJnRDE00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-64 TAUJnRDE レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnRDEm	チャネル m のデータ・レジスタの一斉書き換えを許可／禁止します。 0: 一斉書き換え禁止 1: 一斉書き換え許可

(2) TAUJnRDM - TAUJn チャネル・リロード・データ・モード・レジスタ

このレジスタは，一斉書き換え制御信号を発生させるタイミングを選択します。

アクセス 8 ビット単位でリード／ライト可能です。カウンタ停止中（TAUJnTE.TAUJnTEm = 0）のときのみ，ライト可能です。

アドレス <TAUJn_base0> + $A4_H$

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnRDM03	TAUJnRDM02	TAUJnRDM01	TAUJnRDM00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-65 TAUJnRDM レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0: マスタ・チャネルのカウンタがカウントを開始したとき 1: 設定禁止 このビット設定は TAUJnRDE.TAUJnRDEm = 1 時のみ適用されます。

(3) TAUJnRDT - TAUJn チャネル・リロード・データ・トリガ・レジスタ

一斉書き換え保留状態をトリガするレジスタです。

アクセス 8 ビット単位でライト可能です。リード値は常に 00_H です。

アドレス <TAUJn_base1> + 68_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnRDT03	TAUJnRDT02	TAUJnRDT01	TAUJnRDT00
W	W	W	W	W	W	W	W

表 14-66 TAUJnRDT レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnRDTm	一斉書き換え保留状態をトリガします。 0: 無効（0 を設定しても一斉書き換え保留状態をトリガしません。） 1: 一斉書き換え保留状態をトリガする。一斉書き換え保留フラグ（TAUJnRSFm）が 1 に設定されます。システムは一斉書き換えトリガを待ちます。 これらのビット設定は TAUJnRDE.TAUJnRDEm = 1 時のみ適用されます。

(4) TAUJnRSF - TAUJn チャネル・リロード・ステータス・レジスタ

このフラグ・レジスタは，一斉書き換えのステータスを示します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <TAUJn_base1> + $6C_H$

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnRSF03	TAUJnRSF02	TAUJnRSF01	TAUJnRSF00
R	R	R	R	R	R	R	R

表 14-67 TAUJnRSF レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnRSFm	一斉書き換えの状態を示します。 0: 一斉書き換えトリガの発生によって，一斉書き換えが行われたことを示します。 1: 一斉書き換え保留状態（TAUJnRDTm = 1）になっていることを示します。

第 15 章 TSG2（TSG20）

15.1 TSG2n の機能

チャネル この製品は，1 チャネルの TSG2n を搭載しています。

表 15-1 TSG2 のチャネル

TSG2	
チャネル数	1
名称	TSG20

n の意味 この章では，TSG2 の各チャネルを「n」で識別します（n = 0）。たとえば，TSG2n 制御レジスタ 0（TSnCTL0）のように記述しています。

レジスタ・アドレス TSG2n レジスタのアドレスは，それぞれベース・アドレス <TSG2n_base0>，<TSG2n_base1> からのオフセットで表されます。
各 TSGn のレジスタ・ベース・アドレスを次の表に示します。

表 15-2 TSG2 のレジスタ・ベース・アドレス

TSG2n	<TSG2n_base0> アドレス	<TSG2n_base1> アドレス
TSG20	FF82 $E000_H$	FFFF $CC00_H$

クロック供給 TSG2n は，次のクロック入力があります。TSG2n は PCLK に接続しています。

表 15-3 TSG2 のクロック供給

TSG2n	クロック供給	接続先
TSG20	PCLK	クロック・コントローラ

入出力信号 TSG2 の入力信号を次の表に示します。

表 15-4 TSG2 の入出力信号一覧

TSG2n 信号	機能	接続先
TSG2nPTSI0-TSG2nPTSI2	外部パターン入力	ポート
TSG2nO0-TSG2nO7	タイマ出力	ポート
TSnOPCI0, TSnOPCI1	トリガ入力信号	内部信号（入力）
TSnADTRG0,TSnADTRG1	A/D トリガ信号	内部信号（出力）
TSnPTE	パターンの入力変化検出信号	内部信号（出力）
TSnPEC	2 相エンコード信号	内部信号（出力）

割り込み要求 TSG2 の割り込み要求を次の表に示します。

表 15-5 TSG2n の割り込み要求一覧

TSG2n の割り込み要求	機能	接続先
INTTSG2nI00	TSnCMP0 コンペアー致割り込み	割り込みコントローラ
INTTSG2nI01	TSnCMP1 コンペアー致割り込み	割り込みコントローラ
INTTSG2nI02	TSnCMP2 コンペアー致割り込み	割り込みコントローラ
INTTSG2nI03	TSnCMP3 コンペアー致割り込み	割り込みコントローラ
INTTSG2nI04	TSnCMP4 コンペアー致割り込み	割り込みコントローラ
INTTSG2nI05	TSnCMP5 コンペアー致割り込み	割り込みコントローラ
INTTSG2nI06	TSnCMP6 コンペアー致割り込み	割り込みコントローラ
INTTSG2nI07	TSnCMP7 コンペアー致割り込み	割り込みコントローラ
INTTSG2nI08	TSnCMP8 コンペアー致割り込み	割り込みコントローラ
INTTSG2nI09	TSnCMP9 コンペアー致割り込み	割り込みコントローラ
INTTSG2nI10	TSnCMP10 コンペアー致割り込み	割り込みコントローラ
INTTSG2nI11	TSnCMP11 コンペアー致割り込み	割り込みコントローラ DMA
INTTSG2nI12	TSnCMP12 コンペアー致割り込み	割り込みコントローラ DMA
INTTSG2nIPEK	山割り込み	割り込みコントローラ DMA
INTTSG2nIVLY	谷割り込み	割り込みコントローラ DMA
INTTSG2nIER	エラー割り込み	割り込みコントローラ
INTTSG2nIWN	ワーニング割り込み	割り込みコントローラ

15.2 機能の概要

TSG2n は，各種のモータ制御機能を持った 16 ビット・タイマ／カウンタです。

- カウント・クロック分解能：最小 12.5ns（カウント・クロック 80MHz 時）
- 各種モータ制御方式に対応した動作モード
- リロード・バッファ付きコンペア・レジスタ
- 10 ビットのデッド・タイム・カウンタ
  - リロード・バッファ付きデッド・タイム・カウンタ
  - 正相→逆相／逆相→正相で独立したデッド・タイム値設定可能
- A/D 変換トリガ信号生成
  - コンペア･レジスタ TSnDCMP0W, TSnDCMP2 で，3 種類の A/D 変換トリガを生成
  - A/D 変換トリガ
    TSnADTRG0 信号／ TSnADTRG1 信号個別の間引き機能：間引き率 1/1, 1/2, 1/4, 1/8
  - TSnADTRG0 信号でセット，TSnADTRG1 信号でリセットのトグル出力，または，ダイアグ出力の専用端子（TSG2nO7）
- 割り込み間引き機能
  - 間引き率 1/1~1/32
- 強制出力停止機能
  - タイマオプション（TAPA）機能を接続し，TSG2nO1-TSG2nO6 端子の出力ハイ・インピーダンス制御が可能
- コンペア値の設定
  - リロード（一斉書き換え機能）／随時書き換え機能選択可能
- リロード･モード
  - TSnCMP1 レジスタを書き込むことでリロード許可（リロード要求フラグ TSnRSF をセット）となり，複数レジスタの同時転送可能
  - 山／谷／山および谷のリロード・タイミングで転送可能
  - リロード要求フラグ TSnRSF を用意
  - DMA 転送可能なレジスタ・アドレス配置
  - リロード間引き機能
- HT-PWM モード
  - デッド・タイム縮小を含む 0-100% デューティ PWM 出力可能
  - アップ・カウント側の PWM 出力に付加パルスあり／なしをコンペア・レジスタの LSB で制御可能なため，ソフトウエア負荷なしで出力分解能を向上
- 120-DC 制御
  - セミオート・ドライブ機能（2 相エンコーダ／ 3 相エンコーダ／ ENCA と連携したオフセットでトリガ発生可能）
- 3 相エンコーダ機能（ホール・センサ等の信号を入力可能）
- 出力端子 TSG2nO1-TSG2nO6 のアクティブ・レベルを端子ごとに設定可能
- フェイル・セーフ機能（ワーニング／エラー割り込み発生可能）
  - 正相／逆相における同時アクティブ出力検出機能
  - 3 相エンコーダの異常入力検出機能

15.3 構成

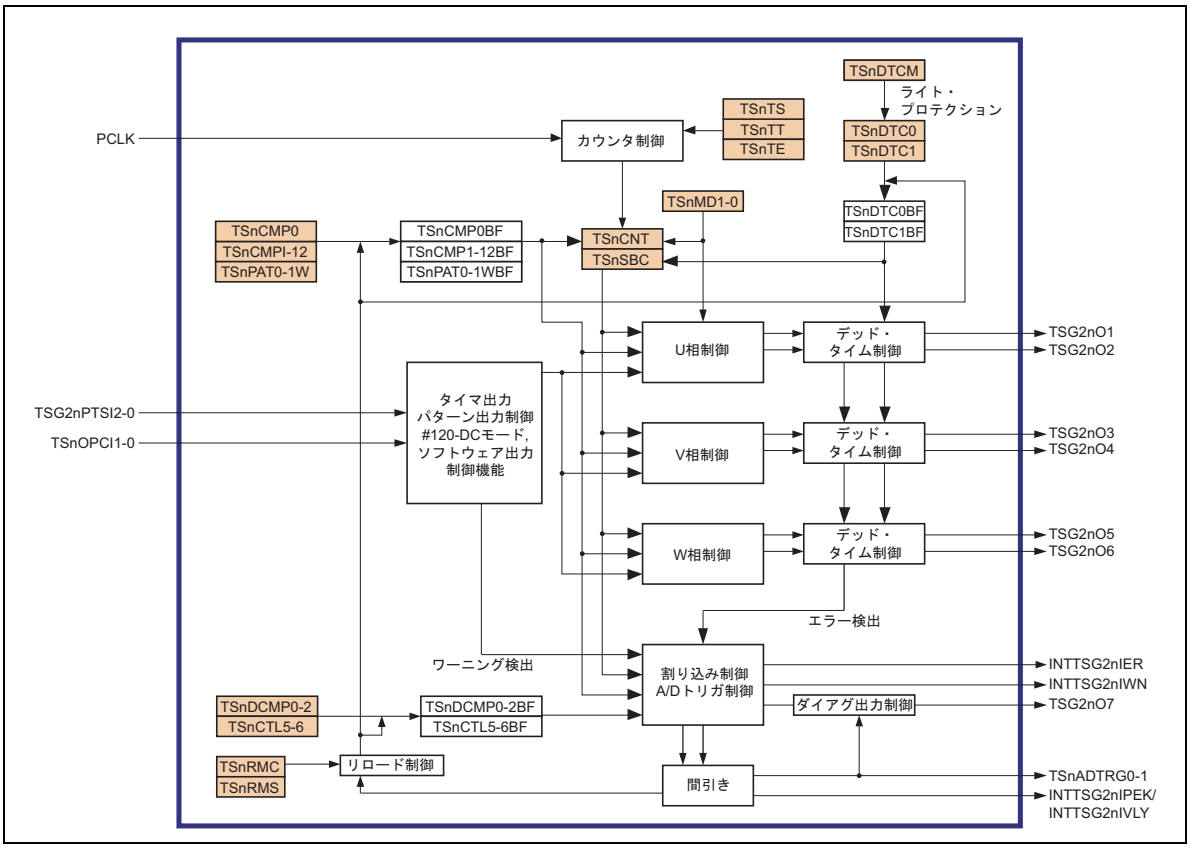


図 15-1 TSG2n のブロック図

15.4 レジスタ

この節では，TSG2n のすべてのレジスタについて説明します。

15.4.1 TSG2n レジスタの概要

TSG2n は，次の表に示すレジスタで制御，動作します。

表 15-6 TSG2n のレジスタ (1/2)

レジスタ機能	機能名称	アドレス
TSG2n 制御レジスタ 0	TSnCTL0	<TSG2n_base0> + 208_H
TSG2n 制御レジスタ 1	TSnCTL1	<TSG2n_base0> + $20C_H$
TSG2n 制御レジスタ 3	TSnCTL3	<TSG2n_base1> + 004_H
TSG2n 制御レジスタ 4	TSnCTL4	<TSG2n_base1> + $07C_H$
TSG2n 制御レジスタ 5	TSnCTL5	<TSG2n_base1> + 008_H
TSG2n 制御レジスタ 6	TSnCTL6	<TSG2n_base1> + $00C_H$
TSG2n I/O 制御レジスタ 0	TSnIOC0	<TSG2n_base0> + 200_H
TSG2n I/O 制御レジスタ 1	TSnIOC1	<TSG2n_base0> + 204_H
TSG2n I/O 制御レジスタ 2	TSnIOC2	<TSG2n_base1> + 000_H
TSG2n I/O 制御レジスタ 3	TSnIOC3	<TSG2n_base1> + 074_H
TSG2n ステータス・レジスタ 0	TSnSTR0	<TSG2n_base1> + 010_H
TSG2n ステータス・レジスタ 1	TSnSTR1	<TSG2n_base1> + 014_H
TSG2n ステータス・レジスタ 2	TSnSTR2	<TSG2n_base1> + 018_H
TSG2n ステータス・クリア・トリガ・レジスタ	TSnSTC	<TSG2n_base1> + $01C_H$
TSG2n オプション・レジスタ 0	TSnOPT0	<TSG2n_base1> + 020_H
TSG2n オプション・レジスタ 1	TSnOPT1	<TSG2n_base1> + 024_H
TSG2n トリガ・レジスタ 0	TSnTRG0	<TSG2n_base1> + 030_H
TSG2n トリガ・レジスタ 1	TSnTRG1	<TSG2n_base1> + 034_H
TSG2n カウンタ・リード・バッファ・レジスタ	TSnCNT	<TSG2n_base1> + 028_H
TSG2n サブカウンタ・リード・バッファ・レジスタ	TSnSBC	<TSG2n_base1> + $02C_H$
TSG2n コンペア・レジスタ 0	TSnCMP0	<TSG2n_base1> + 058_H
TSG2n コンペア・レジスタ 1, 2	TSnCMP1W	<TSG2n_base1> + 040_H
TSG2n コンペア・レジスタ 3, 4	TSnCMP3W	<TSG2n_base1> + $04C_H$
TSG2n コンペア・レジスタ 5, 6	TSnCMP5W	<TSG2n_base1> + 044_H
TSG2n コンペア・レジスタ 7, 8	TSnCMP7W	<TSG2n_base1> + 050_H
TSG2n コンペア・レジスタ 9, 10	TSnCMP9W	<TSG2n_base1> + 048_H
TSG2n コンペア・レジスタ 11, 12	TSnCMP11W	<TSG2n_base1> + 054_H
TSG2n コンペア・レジスタ 1-12	TSnCMP1-12	<TSG2n_base1> + 080_H-$0AC_H$
TSG2n ダイアグ出力用コンペア・レジスタ 0, 1	TSnDCMP0W	<TSG2n_base1> + $05C_H$
TSG2n ダイアグ出力用コンペア・レジスタ 2	TSnDCMP2	<TSG2n_base1> + 060_H

表 15-6 TSG2n のレジスタ (2/2)

レジスタ機能	機能名称	アドレス
TSG2n パターン・レジスタ 0	TSnPAT0W	<TSG2n_base1> + 064_H
TSG2n パターン・レジスタ 1	TSnPAT1W	<TSG2n_base1> + 068_H
TSG2n デッド・タイム設定レジスタ 0	TSnDTC0W	<TSG2n_base1> + $06C_H$
TSG2n デッド・タイム設定レジスタ 1	TSnDTC1W	<TSG2n_base1> + 070_H
TSG2n HT-PWM U 相用コンペアレジスタ	TSnCMPU	<TSG2n_base1> + $0B0_H$
TSG2n HT-PWM V 相用コンペアレジスタ	TSnCMPV	<TSG2n_base1> + $0B4_H$
TSG2n HT-PWM W 相用コンペアレジスタ	TSnCMPW	<TSG2n_base1> + $0B8_H$
TSG2n SP-PWM U 相アクティブ幅設定レジスタ	TSnUPW	<TSG2n_base1> + $0BC_H$
TSG2n SP-PWM V 相アクティブ幅設定レジスタ	TSnVPW	<TSG2n_base1> + $0C0_H$
TSG2n SP-PWM W 相アクティブ幅設定レジスタ	TSnWPW	<TSG2n_base1> + $0C4_H$
TSG2n デッド・タイム・プロテクション・レジスタ	TSnDTPR	<TSG2n_base0> + 210_H

15.4.2 TSG2n レジスタの詳細

(1) TSG2n 制御レジスタ 0（TSnCTL0）

ダイアグ出力用パルス幅，TSG2n の動作モードを設定します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base0> + 208_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	TSn DWD	-	-	TSnMD [1:0]	
R	R	R	R/W	R	R	R/W	R/W

表 15-7 TSnCTL0 レジスタの内容

ビット位置	ビット名	機能
4	TSnDWD	ダイアグ出力用パルス幅を選択 0: パルスを 8 クロック幅で出力 1: パルスを 16 クロック幅で出力 • このビットの設定は，ダイアグ出力許可（TSnIOC1.TSnTGS = 1）時に有効です。
1, 0	TSnMD[1:0]	タイマ・モードを選択

TSnMD1	TSnMD0	タイマ・モード
0	0	PWM モード
0	1	HT-PWM モード（HT-PWM）
1	0	シフト・パルス PWM モード（SP-PWM）
1	1	120-DC モード

注意 このレジスタの設定は，タイマ停止中（TSnSTR0.TSnTE = 0）に設定してください。タイマ動作中（TSnSTR0.TSnTE = 1）のとき，同一値であればライト・アクセスが可能です。TSnSTR0.TSnTE = 1 のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は，タイマを停止してから再設定してください。

(2) TSG2n 制御レジスタ 1（TSnCTL1）

TSG2n の各種フラグを制御します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base0> + $20C_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	TSnTBA2	TSnTBA1	TSnTBA0	TSnPPC	TSnPEC	TSnTDC	TSnNDC	TSnPRC	TSnPTC[1:0]	
R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-8 TSnCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
9	TSnTBA2	TSG2nO5 端子と TSG2nO6 端子の同時アクティブの検出を選択します。 0：TSG2nO5 端子と TSG2nO6 端子の同時アクティブを検出しない 1：TSG2nO5 端子と TSG2nO6 端子の同時アクティブを検出する • TSnIOC1.TSnEOC ビット = 1，TSnTBA2 ビット = 1 のとき，同時アクティブを検出すると，正相／逆相同時アクティブ検出フラグ 2（TSnTBF2）がセット（1）され，エラー割り込み（INTTSG2nIER）が発生します。
8	TSnTBA1	TSG2nO3 端子と TSG2nO4 端子の同時アクティブの検出を選択します。 0：TSG2nO3 端子と TSG2nO4 端子の同時アクティブを検出しない 1：TSG2nO3 端子と TSG2nO4 端子の同時アクティブを検出する • TSnIOC1.TSnEOC ビット = 1，TSnTBA1 ビット = 1 のとき，同時アクティブを検出すると，正相／逆相同時アクティブ検出フラグ 1（TSnTBF1）がセット（1）され，エラー割り込み（INTTSG2nIER）が発生します。
7	TSnTBA0	TSG2nO1 端子と TSG2nO2 端子の同時アクティブの検出を選択します。 0：TSG2nO1 端子と TSG2nO2 端子の同時アクティブを検出しない 1：TSG2nO1 端子と TSG2nO2 端子の同時アクティブを検出する • TSnIOC1.TSnEOC ビット = 1，TSnTBA0 ビット = 1 のとき，同時アクティブを検出すると，正相／逆相同時アクティブ検出フラグ 0（TSnTBF0）がセット（1）され，エラー割り込み（INTTSG2nIER）が発生します。
6	TSnPPC	TSG2nPTSI2-0, TSnOPF2-0 のパターン位相差異の検出（TSnSTR2.TSnPPF）を制御します。 0：入力／出力パターンの差異検出禁止 1：入力／出力パターンの差異検出許可

注意 TSnDTC0 または TSnDTC1 を 0000_H（デッドタイム無し）で使用する場合は，TSnTBA2-0 ビットは 0 にしてください。
このレジスタの設定は，タイマ停止中（TSnSTR0.TSnTE = 0）に設定してください。タイマ動作中（TSnSTR0.TSnTE = 1）のとき，同一値であればライト・アクセスが可能です。TSnSTR0.TSnTE = 1 のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は，タイマを停止してから再設定してください。

表 15-8 TSnCTL1 レジスタの内容 (2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>5</td><td>TSnPEC</td><td>TSG2nPTSI2-0 のパターンエラーの検出（TSnSTR2.TSnPEF）を制御します。
0：TSG2nPTSI2-0 端子のパターンエラー検出を禁止
1：TSG2nPTSI2-0 端子のパターンエラー検出を許可</td></tr>
<tr><td>4</td><td>TSnTDC</td><td>TSnOPCI0, TSnOPCI1 の同時トリガの検出（TSnSTR2.TSnTDF）を制御します。
0：TSnOPCI0, TSnOPCI1 の同時トリガ検出を禁止
1：TSnOPCI0, TSnOPCI1 の同時トリガ検出を許可</td></tr>
<tr><td>3</td><td>TSnNDC</td><td>TSG2nPTSI2-0 のノイズ発生（同時に 2 端子以上の変化）の検出（TSnSTR2.TSnNDF）を制御します。
0：TSG2nPTSI2-0 のノイズ発生の検出を禁止
1：TSG2nPTSI2-0 のノイズ発生の検出を許可</td></tr>
<tr><td>2</td><td>TSnPRC</td><td>TSG2nPTSI2-0 のパターンの反転の検出（TSnSTR2.TSnPRF）を制御します。
0：TSG2nPTSI2-0 のパターンの反転の検出を禁止
1：TSG2nPTSI2-0 のパターンの反転の検出を許可</td></tr>
<tr><td>1, 0</td><td>TSnPTC[1:0]</td><td>TSnOPCI1,0 のトリガ間における TSG2nPTSI2-0 の端子の異常トグルの検出（TSnSTR2.TSnPTF）を制御します。
<table>
<tr><th>TSnPTC1</th><th>TSnPTC0</th><th>機能</th></tr>
<tr><td>0</td><td>0</td><td rowspan="2">TSG2nPTSI2-0 の端子異常を検出しません</td></tr>
<tr><td>0</td><td>1</td></tr>
<tr><td>1</td><td>0</td><td>TSG2nPTSI2-0 の端子異常を検出します</td></tr>
<tr><td>1</td><td>1</td><td>TSG2nPTSI2-0 の端子異常を検出します
また，異常検出時は，パターン出力トリガをパタン切り替えからトリガ切り替え（TSnPOT = 1 → 0）に自動的に切り替えます</td></tr>
</table>
</td></tr>
</table>

注意 このレジスタの設定は，タイマ停止中（TSnSTR0.TSnTE = 0）に設定してください。タイマ動作中（TSnSTR0.TSnTE = 1）のとき，同一値であればライト・アクセスが可能です。TSnSTR0.TSnTE = 1 のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は，タイマを停止してから再設定してください。

(3) TSG2n 制御レジスタ 3（TSnCTL3）

コンペア・レジスタの書き換え方法を設定します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + 004_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TSnRIA	TSnRMC
R	R	R	R	R	R	R/W	R/W

表 15-9 TSnCTL3 レジスタの内容

ビット位置	ビット名	機能
1	TSnRIA	コンペア・レジスタのリロード・タイミングを選択 0：リロード・タイミングは，山リロード・タイミング（TSnCTL4.TSnPRE にて設定）と谷リロード・タイミング（TSnCTL4.TSnVRE にて設定）時に発生 1：リロード・タイミングは，山割り込み・タイミングと谷割り込み・タイミング時に発生 • このビットの設定は，リロード・モード（TSnRMC = 0）時に有効です。
0	TSnRMC	コンペア・レジスタの転送タイミングを選択 0：リロード・モード（一斉書き換え機能） TSnCMP1（TSnCMP1W, TSnCMPU, TSnUPW）レジスタへライトするとリロードが許可され，次のリロード・タイミングで一斉に更新されます（リロード）。TSnCMP1（TSnCMP1W, TSnCMPU, TSnUPW）以外のレジスタへライトしてもリロードは許可されません。 1：随時書き換えモード 各コンペア・レジスタが独立して更新動作を行い，各コンペア・レジスタに書き込むと随時ライト・アクセスした値に更新されます。 また，TSnRSF は，クリアされます。

(4) TSG2n 制御レジスタ 4（TSnCTL4）

山割り込み，谷割り込みとリロード・タイミングを制御します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + $07C_H$

初期値 00000000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	TSnPRE	TSnVRE	TSnPIE	TSnVIE	TSnRCC[04:00]				
R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-10 TSnCTL4 レジスタの内容 (1/2)

ビット位置	ビット名	機能
8	TSnPRE	山リロード・タイミングの許可／禁止を選択します。 0：16 ビット・カウンタの山タイミングにおけるリロード動作を禁止する 1：16 ビット・カウンタの山タイミングにおけるリロード動作を許可する • 山リロード・タイミングは，HT-PWM モード時の 16 ビット・カウンタの山タイミングと HT-PWM モード以外のコンペア一致による 16 ビット・カウンタのクリアタイミングを示します。 • 16 ビット・カウンタの山タイミングにおけるリロード動作を禁止（TSnPRE = 0）した場合，HT-PWM 以外のモードでは，リロードが発生しません。
7	TSnVRE	谷リロード・タイミングの許可／禁止を選択します。 0：16 ビット・カウンタの谷タイミングにおけるリロード動作を禁止する 1：16 ビット・カウンタの谷タイミングにおけるリロード動作を許可する • このビットの設定は，HT-PWM モードのみ有効です。
6	TSnPIE	山割り込み（INTTSG2nIPEK）の発生許可／禁止を選択します。 0：16 ビット・カウンタの山タイミングにおける山割り込み（INTTSG2nIPEK）の発生禁止。割り込み間引きの対象とはなりません。 1：16 ビット・カウンタの山タイミングにおける山割り込み（INTTSG2nIPEK）の発生許可。割り込み間引きの対象となります。
5	TSnVIE	谷割り込み（INTTSG2nIVLY）の発生許可／禁止を選択します。 0：16 ビット・カウンタの谷タイミングにおける谷割り込み（INTTSG2nIVLY）の発生禁止。割り込み間引きの対象とはなりません。 1：16 ビット・カウンタの谷タイミングにおける谷割り込み（INTTSG2nIVLY）の発生許可。割り込み間引きの対象となります。 • このビットの設定は，HT-PWM モードのみ有効です。

表 15-10 TSnCTL4 レジスタの内容 (2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>4-0</td><td>TSnRCC
[04:00]</td><td>割り込み（INTTSG2nIPEK，INTTSG2nIVLY）とリロードの間引き率を指定します。
<table>
<tr><th>TSnRCC04</th><th>TSnRCC03</th><th>TSnRCC02</th><th>TSnRCC01</th><th>TSnRCC00</th><th>間引き率</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>間引きなし</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1/2</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>1/3</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>1/4</td></tr>
<tr><td>・
・
・</td><td>・
・
・</td><td>・
・
・</td><td>・
・
・</td><td>・
・
・</td><td>・
・
・</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>0</td><td>1</td><td>1/30</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>1/31</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1/32</td></tr>
</table>
• タイマ動作中（TSnSTR0.TSnTE = 1），TSnCTL4 にライト・アクセス（TSnRCC04-TSnRCC00 への同一値を含む）した場合，割り込み間引きカウンタはクリアされます。</td></tr>
</table>

(5) TSG2n 制御レジスタ 5（TSnCTL5）

A/D 変換トリガ出力（TSnADTRG0）を制御します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + 008_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	TSnACC [01:00]		TSn AT09	TSn AT08	TSn AT07	TSn AT06	TSn AT05	TSn AT04	TSn AT03	TSn AT02	TSn AT01	TSn AT00
R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-11 TSnCTL5 レジスタの内容 (1/3)

ビット位置	ビット名	機能
11,10	TSnACC [01:00]	A/D 変換トリガ（TSnADTRG0）の間引き率を指定します。 TSnACC01 / TSnACC00 / 間引き率 0 / 0 / 間引きなし 0 / 1 / 1/2 1 / 0 / 1/4 1 / 1 / 1/8 • タイマ動作中（TSnSTR0.TSnTE = 1），TSnCTL5 にライト・アクセス（TSnACC01，TSnACC00 への同一値を含む）した場合，間引きカウンタはクリアされます。
9	TSnAT09	16 ビット・サブカウンタがアップ・カウントからダウン・カウントへ切り替わる（山）タイミングで A/D 変換トリガ（TSnADTRG0）発生有無を指定します。 0：16 ビット・サブカウンタの山タイミングを A/D 変換トリガとしない 1：16 ビット・サブカウンタの山タイミングを A/D 変換トリガとする • TSnAT09 ビットは，HT-PWM モード時のみ，TSnAT09 = 1 に設定可能です。それ以外のモードの場合は，必ず TSnAT09 = 0 に設定してください。 • TSnDTC0W ≠ 0000_H, TSnDTC1W = 0000_H の場合に，TSnAT09 ビット = 1 に設定しないでください。16 ビット・サブカウンタの山タイミングでは A/D 変換トリガが発生しません。
8	TSnAT08	16 ビット・サブカウンタがダウン・カウントからアップ・カウントへ切り替わる（谷）タイミングでの A/D 変換トリガ（TSnADTRG0）発生有無を指定します。 0：16 ビット・サブカウンタの谷タイミングを A/D 変換トリガとしない 1：16 ビット・サブカウンタの谷タイミングを A/D 変換トリガとする • TSnAT08 ビットは，HT-PWM モード時のみ，TSnAT08 ビット = 1 に設定可能です。それ以外のモードの場合は，必ず TSnAT08 ビット = 0 に設定してください。 • TSnDTC0W = 0000_H, TSnDTC1W ≠ 0000_H の場合に，TSnAT08 ビット = 1 に設定しないでください。16 ビット・サブカウンタの谷タイミングでは A/D 変換トリガが発生しません。

表 15-11 表 15-11TSnCTL5 レジスタの内容 (2/3)

ビット位置	ビット名	機能
7	TSnAT07	16 ビット・カウンタのダウン・カウントと TSnDCMP2 の一致が発生した場合，A/D 変換トリガ（TSnADTRG0）発生有無を指定します。 0：16 ビット・カウンタのダウン・カウントと TSnDCMP2 の一致が発生した場合，A/D 変換トリガとしない 1：16 ビット・カウンタのダウン・カウントと TSnDCMP2 の一致が発生した場合，A/D 変換トリガとする • このビットの設定は，HT-PWM モード時のみ，TSnAT07 = 1 に設定可能です。それ以外のモードの場合は，必ず TSnAT07 = 0 に設定してください。
6	TSnAT06	16 ビット・カウンタのアップ・カウントと TSnDCMP2 の一致が発生した場合，A/D 変換トリガ（TSnADTRG0）発生有無を指定します。 0：16 ビット・カウンタのアップ・カウントと TSnDCMP2 の一致が発生した場合，A/D 変換トリガとしない 1：16 ビット・カウンタのアップ・カウントと TSnDCMP2 の一致が発生した場合，A/D 変換トリガとする
5	TSnAT05	16 ビット・カウンタのダウン・カウントと TSnDCMP1 の一致が発生した場合，A/D 変換トリガ（TSnADTRG0）発生有無を指定します。 0：16 ビット・カウンタのダウン・カウントと TSnDCMP1 の一致が発生した場合，A/D 変換トリガとしない 1：16 ビット・カウンタのダウン・カウントと TSnDCMP1 の一致が発生した場合，A/D 変換トリガとする • このビットの設定は，HT-PWM モード時のみ，TSnAT05 = 1 に設定可能です。それ以外のモードの場合は，必ず TSnAT05 = 0 に設定してください。
4	TSnAT04	16 ビット・カウンタのアップ・カウントと TSnDCMP1 の一致が発生した場合，A/D 変換トリガ（TSnADTRG0）発生有無を指定します。 0：16 ビット・カウンタのアップ・カウントと TSnDCMP1 の一致が発生した場合，A/D 変換トリガとしない 1：16 ビット・カウンタのアップ・カウントと TSnDCMP1 の一致が発生した場合，A/D 変換トリガとする
3	TSnAT03	16 ビット・カウンタのダウン・カウントと TSnDCMP0 の一致が発生した場合，A/D 変換トリガ（TSnADTRG0）発生有無を指定します。 0：16 ビット・カウンタのダウン・カウントと TSnDCMP0 の一致が発生した場合，A/D 変換トリガとしない 1：16 ビット・カウンタのダウン・カウントと TSnDCMP0 の一致が発生した場合，A/D 変換トリガとする • このビットの設定は，HT-PWM モード時のみ，TSnAT03 = 1 に設定可能です。それ以外のモードの場合は，必ず TSnAT03 = 0 に設定してください。
2	TSnAT02	16 ビット・カウンタのアップ・カウントと TSnDCMP0 の一致が発生した場合，A/D 変換トリガ（TSnADTRG0）発生有無を指定します。 0：16 ビット・カウンタのアップ・カウントと TSnDCMP0 の一致が発生した場合，A/D 変換トリガとしない 1：16 ビット・カウンタのアップ・カウントと TSnDCMP0 の一致が発生した場合，A/D 変換トリガとする

表 15-11 表 15-11TSnCTL5 レジスタの内容 (3/3)

ビット位置	ビット名	機能
1	TSnAT01	16 ビット・カウンタがアップ・カウントからダウン・カウントへ切り替わるタイミング（山割り込み）で，A/D 変換トリガ（TSnADTRG0）発生有無を指定します。 0：間引き後の山割り込み（INTTSG2nIPEK）を A/D 変換トリガとしない 1：間引き後の山割り込み（INTTSG2nIPEK）を A/D 変換トリガとする
0	TSnAT00	16 ビット・カウンタがダウン・カウントからアップ・カウントへ切り替わるタイミング（谷割り込み）で，A/D 変換トリガ（TSnADTRG0）発生有無を指定します。 0：間引き後の谷割り込み（INTTSG2nIVLY）を A/D 変換トリガとしない 1：間引き後の谷割り込み（INTTSG2nIVLY）を A/D 変換トリガとする • このビットの設定は，HT-PWM モード時のみ，TSnAT00 = 1 に設定可能です。それ以外のモードの場合は，必ず TSnAT00 = 0 に設定してください。

(6) TSG2n 制御レジスタ 6（TSnCTL6）

A/D 変換トリガ出力（TSnADTRG1）を制御します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + $00C_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	TSnACC [11:10]		TSn AT19	TSn AT18	TSn AT17	TSn AT16	TSn AT15	TSn AT14	TSn AT13	TSn AT12	TSn AT11	TSn AT10
R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-12 TSnCTL6 レジスタの内容 (1/3)

ビット位置	ビット名	機能
11,10	TSnACC [11:10]	A/D 変換トリガ（TSnADTRG1）の間引き率を指定します。 TSnACC11 / TSnACC10 / 間引き率 0 / 0 / 間引きなし 0 / 1 / 1/2 1 / 0 / 1/4 1 / 1 / 1/8 • タイマ動作中（TSnSTR0.TSnTE = 1），TSnCTL6 にライト・アクセス（TSnACC11，TSnACC10 への同一値を含む）した場合，間引きカウンタはクリアされます。
9	TSnAT19	16 ビット・サブカウンタがアップ・カウントからダウン・カウントへ切り替わる（山）タイミングで A/D 変換トリガ（TSnADTRG1）発生有無を指定します。 0：16 ビット・サブカウンタの山タイミングを A/D 変換トリガとしない 1：16 ビット・サブカウンタの山タイミングを A/D 変換トリガとする • TSnAT19 ビットは，HT-PWM モード時のみ，TSnAT19 = 1 に設定可能です。それ以外のモードの場合は，必ず TSnAT19 = 0 に設定してください。 • TSnDTC0W ≠ 0000_H, TSnDTC1W = 0000_H の場合に，TSnAT19 ビット = 1 に設定しないでください。16 ビット・サブカウンタの山タイミングでは A/D 変換トリガが発生しません。
8	TSnAT18	16 ビット・サブカウンタがダウン・カウントからアップ・カウントへ切り替わる（谷）タイミングでの A/D 変換トリガ（TSnADTRG1）発生有無を指定します。 0：16 ビット・サブカウンタの谷タイミングを A/D 変換トリガとしない 1：16 ビット・サブカウンタの谷タイミングを A/D 変換トリガとする • TSnAT18 ビットは，HT-PWM モード時のみ，TSnAT18 ビット = 1 に設定可能です。それ以外のモードの場合は，必ず TSnAT18 ビット = 0 に設定してください。 • TSnDTC0W = 0000_H, TSnDTC1W ≠ 0000_H の場合に，TSnAT18 ビット = 1 に設定しないでください。16 ビット・サブカウンタの谷タイミングでは A/D 変換トリガが発生しません。

表 15-12 表 15-12TSnCTL6 レジスタの内容 (2/3)

ビット位置	ビット名	機能
7	TSnAT17	16 ビット・カウンタのダウン・カウントと TSnDCMP2 の一致が発生した場合，A/D 変換トリガ（TSnADTRG1）発生有無を指定します。 0：16 ビット・カウンタのダウン・カウントと TSnDCMP2 の一致が発生した場合，A/D 変換トリガとしない 1：16 ビット・カウンタのダウン・カウントと TSnDCMP2 の一致が発生した場合，A/D 変換トリガとする • このビットの設定は，HT-PWM モード時のみ，TSnAT17 = 1 に設定可能です。それ以外のモードの場合は，必ず TSnAT17 = 0 に設定してください。
6	TSnAT16	16 ビット・カウンタのアップ・カウントと TSnDCMP2 の一致が発生した場合，A/D 変換トリガ（TSnADTRG1）発生有無を指定します。 0：16 ビット・カウンタのアップ・カウントと TSnDCMP2 の一致が発生した場合，A/D 変換トリガとしない 1：16 ビット・カウンタのアップ・カウントと TSnDCMP2 の一致が発生した場合，A/D 変換トリガとする
5	TSnAT15	16 ビット・カウンタのダウン・カウントと TSnDCMP1 の一致が発生した場合，A/D 変換トリガ（TSnADTRG1）発生有無を指定します。 0：16 ビット・カウンタのダウン・カウントと TSnDCMP1 の一致が発生した場合，A/D 変換トリガとしない 1：16 ビット・カウンタのダウン・カウントと TSnDCMP1 の一致が発生した場合，A/D 変換トリガとする • このビットの設定は，HT-PWM モード時のみ，TSnAT15 = 1 に設定可能です。それ以外のモードの場合は，必ず TSnAT15 = 0 に設定してください。
4	TSnAT14	16 ビット・カウンタのアップ・カウントと TSnDCMP1 の一致が発生した場合，A/D 変換トリガ（TSnADTRG1）発生有無を指定します。 0：16 ビット・カウンタのアップ・カウントと TSnDCMP1 の一致が発生した場合，A/D 変換トリガとしない 1：16 ビット・カウンタのアップ・カウントと TSnDCMP1 の一致が発生した場合，A/D 変換トリガとする
3	TSnAT13	16 ビット・カウンタのダウン・カウントと TSnDCMP0 の一致が発生した場合，A/D 変換トリガ（TSnADTRG1）発生有無を指定します。 0：16 ビット・カウンタのダウン・カウントと TSnDCMP0 の一致が発生した場合，A/D 変換トリガとしない 1：16 ビット・カウンタのダウン・カウントと TSnDCMP0 の一致が発生した場合，A/D 変換トリガとする • このビットの設定は，HT-PWM モード時のみ，TSnAT13 = 1 に設定可能です。それ以外のモードの場合は，必ず TSnAT13 = 0 に設定してください。
2	TSnAT12	16 ビット・カウンタのアップ・カウントと TSnDCMP0 の一致が発生した場合，A/D 変換トリガ（TSnADTRG1）発生有無を指定します。 0：16 ビット・カウンタのアップ・カウントと TSnDCMP0 の一致が発生した場合，A/D 変換トリガとしない 1：16 ビット・カウンタのアップ・カウントと TSnDCMP0 の一致が発生した場合，A/D 変換トリガとする

表 15-12 表 15-12TSnCTL6 レジスタの内容 (3/3)

ビット位置	ビット名	機能
1	TSnAT11	16 ビット・カウンタがアップ・カウントからダウン・カウントへ切り替わるタイミング（山割り込み）で，A/D 変換トリガ（TSnADTRG1）発生有無を指定します。 0：間引き後の山割り込み（INTTSG2nIPEK）を A/D 変換トリガとしない 1：間引き後の山割り込み（INTTSG2nIPEK）を A/D 変換トリガとする
0	TSnAT10	16 ビット・カウンタがダウン・カウントからアップ・カウントへ切り替わるタイミング（谷割り込み）で，A/D 変換トリガ（TSnADTRG1）発生有無を指定します。 0：間引き後の谷割り込み（INTTSG2nIVLY）を A/D 変換トリガとしない 1：間引き後の谷割り込み（INTTSG2nIVLY）を A/D 変換トリガとする • このビットの設定は，HT-PWM モード時のみ，TSnAT10 = 1 に設定可能です。それ以外のモードの場合は，必ず TSnAT10 = 0 に設定してください。

(7) TSG2n I/O 制御レジスタ 0（TSnIOC0）

タイマ出力（TSG2nO1-TSG2nO6 端子）を制御します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base0> + 200_H

初期値 $7E_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	TSn TOE6	TSn TOE5	TSn TOE4	TSn TOE3	TSn TOE2	TSn TOE1	-
R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 15-13 TSnIOC0 レジスタの内容

ビット位置	ビット名	機能
6-1	TSnTOE6-TSnTOE1	TSnIOC2 への書き込みの許可，禁止を設定します。 0：TSnIOC2 書き換えによる TSG2nO6-1 の制御許可 1：TSnIOC2 書き換えによる TSG2nO6-1 の制御禁止 （TSnIOC2 の書き換えは無視されます）

注意 このレジスタの設定は，タイマ停止中（TSnSTR0.TSnTE = 0）に設定してください。タイマ動作中（TSnSTR0.TSnTE = 1）のとき，同一値であればライト・アクセスが可能です。TSnSTR0.TSnTE = 1 のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は，タイマを停止してから再設定してください。

(8) TSG2n I/O 制御レジスタ 1（TSnIOC1）

タイマ出力（TSG2nO1-TSG2nO6 端子）を制御します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base0> + 204_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	TSn PTS	TSn EOC	TSn WOC	TSn TGS	TSn TOS
R	R	R	R/W	R/W	R/W	R/W	R/W

表 15-14 TSnIOC1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
4	TSnPTS	TSG2nPTSI0-2 のエッジ検出信号（TSnPTE）と 2 相エンコーダ・カウント信号（TSnPEC）の出力許可 / 禁止を選択します。 0：TSG2nPTSI0-2 のエッジ検出でトグル信号の出力を禁止 1：TSG2nPTSI0-2 のエッジ検出でトグル信号の出力を許可 • TSnPTS を “1” から “0” に変更した場合は，TSnPTE, TSnPEC のレベルを保持します。
3	TSnEOC	モータ制御時のエラー状態の検出を選択します。 0：エラー割り込み（INTTSG2nIER）の発生を禁止する 1：エラー割り込み（INTTSG2nIER）の発生を許可する • エラー割り込み制御に関する詳細は 15.10.1「エラー割り込み機能」を参照してください。
2	TSnWOC	モータ制御時のワーニングの検出を選択します。 0：ワーニング割り込み（INTTSG2nIWN）の発生を禁止する 1：ワーニング割り込み（INTTSG2nIWN）の発生を許可する • ワーニング割り込み制御に関する詳細は 15.10.2「ワーニング割り込み機能」を参照してください。

注意 このレジスタの設定は，タイマ停止中（TSnSTR0.TSnTE = 0）に設定してください。タイマ動作中（TSnSTR0.TSnTE = 1）のとき，同一値であればライト・アクセスが可能です。TSnSTR0.TSnTE = 1 のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は，タイマを停止してから再設定してください。

表 15-14 TSnIOC1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	TSnTGS	A/D 変換トリガ診断出力（TSG2nO7）信号を選択します。 0：A/D 変換トリガ出力を選択 1：ダイアグ出力を選択
0	TSnTOS	タイマ・アップ / ダウン・ステータス出力（TSG2nO0）信号を選択します。 0：16 ビット・カウンタのアップ／ダウン・カウント・フラグを出力 1：16 ビット・サブカウンタのアップ／ダウン・カウント・フラグを出力 • TSnTOS = 0 の場合，TSnSTR0.TSnCUF の状態を TSG2nO0 へ出力します。また，TSnTOS = 1 の場合，TSnSTR0.TSnSUF の状態を TSG2nO0 へ出力します。 • このビットの設定は，HT-PWM モードのみ有効です。

注意 このレジスタの設定は，タイマ停止中（TSnSTR0.TSnTE = 0）に設定してください。タイマ動作中（TSnSTR0.TSnTE = 1）のとき，同一値であればライト・アクセスが可能です。TSnSTR0.TSnTE = 1 のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は，タイマを停止してから再設定してください。

(9) TSG2n I/O 制御レジスタ 2（TSnIOC2）

タイマ出力（TSG2nO1-TSG2nO6 端子）を制御します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + 000_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	TSnOL6	TSnOL5	TSnOL4	TSnOL3	TSnOL2	TSnOL1	-	-	TSnTO6	TSnTO5	TSnTO4	TSnTO3	TSnTO2	TSnTO1	-
R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 15-15 TSnIOC2 レジスタの内容

ビット位置	ビット名	機能
14-9	TSnOL6-TSnOL1	TSG2nO6-TSG2nO1 出力のアクティブ・レベルを設定します。 0：アクティブ・レベルはハイ・レベル 1：アクティブ・レベルはロウ・レベル
6-1	TSnTO6-TSnTO1	TSG2nO6-TSG2nO1 の出力バッファのラッチ・レベルを設定します。 0：出力バッファのラッチ・レベルはロウ・レベル 1：出力バッファのラッチ・レベルはハイ・レベル

注意 カウンタを停止（TSnTE = 0）とした場合，TSG2nO1-6 端子は出力状態を保持します。出力レベルを変更する場合は TSnIOC0.TSnTOEm ビットを 0 にし TSnTOm ビットにより変更する必要があります。
このレジスタの設定は，TSnIOC0.TSnTOEm = 0（m = 1-6）のとき，書き換え可能です。

備考 タイマ停止中（TSnSTR0.TSnTE = 0），かつ，TSnIOC2 書き換えによる TSG2nOm の制御許可（TSnIOC0.TSnTOEm = 0）時に TSnIOC2 の TSnOLm と TSnTOm により TSG2nOm に以下の任意のレベルを出力することができます。

TSnOLm	TSnTOm	TSG2nOm の出力レベル
0	0	ロウ・レベル
0	1	ハイ・レベル
1	0	ハイ・レベル
1	1	ロウ・レベル

(10) TSG2n I/O 制御レジスタ 3（TSnIOC3）

タイマ出力（TSG2nO1-TSG2nO6 端子）を制御します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + 074_H

初期値 00000000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	TSn TOL6	TSn TOL5	TSn TOL4	TSn TOL3	TSn TOL2	TSn TOL1	-
R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 15-16 TSnIOC3 レジスタの内容

ビット位置	ビット名	機能
6-1	TSnTOL6-TSnTOL1	出力のセット／クリア・レベルを制御します。 0：通常レベル出力 1：反転レベル出力 • このビットの設定は，出力開始時から反映され，出力レベルの変更は，変更後の次のコンペアー致から出力レベルが反映されます。

注意 HT-PWM モードのときは TSnTOL6-TSnTOL1 は “0” としてください。

(11) TSG2n ステータス・レジスタ 0（TSnSTR0）

各種フラグを制御します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <TSG2n_base1> + 010_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TSnCUF	TSnSUF	TSnRSF	TSnTE
R	R	R	R	R	R	R	R

表 15-17 TSnSTR0 レジスタの内容

ビット位置	ビット名	機能
3	TSnCUF	16 ビット・カウンタのカウント状態を示すフラグです。 0：16 ビット・カウンタはアップ・カウント状態 1：16 ビット・カウンタはダウン・カウント状態 • TSnCUF は HT-PWM モード時のみ有効です。それ以外のモードの場合は，無効（TSnCUF = 0）です。
2	TSnSUF	16 ビット・サブカウンタのカウント状態を示すフラグです。 0：16 ビット・サブカウンタがアップ・カウント中 1：16 ビット・サブカウンタがダウン・カウント中 • TSnSUF は，16 ビット・サブカウンタのカウント動作が 0000_H から（TSnCMP0 値－ 0002_H）までのカウントをアップ・カウント，TSnCMP0 値から 0002_H までのカウントをダウン・カウントとして検出します。 • このビットは，HT-PWM モードの場合のみ有効となります。
1	TSnRSF	リロード要求の有無を示すフラグです。 0：リロード要求なし，またはリロード完了 1：リロード要求あり • TSnRMC = 0 時のみ有効です。 • このビットは，次に転送するデータが保留されていることを示します。 • このビットは，TSnCMP1（TSnCMP1W, TSnCMPU, TSnUPW）へのライトで “1” にセットされ，リロード完了で “0” にクリアされます。 • HT-PWM モード時に TSnRMC を “0” から “1” に変更した場合，TSnRSF は，“0” にクリアされます。
0	TSnTE	TSG2n の動作状態を示します。 0：停止中 1：動作中 • このビットは，TSnTRG0.TSnTS = 1 でセットされ，TSnTRG1.TSnTT = 1 でクリアされます。

(12) TSG2n ステータス・レジスタ 1（TSnSTR1）

各種フラグを制御します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <TSG2n_base1> + 014_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TSn TSF	TSnOPF[2:0]		
R	R	R	R	R	R	R	R

表 15-18 TSnSTR1 レジスタの内容

ビット位置	ビット名	機能
3	TSnTSF	TSG2nPTSI0-2 で検出したパターンの変化順序を示すフラグです。 0：正転の順番で TSG2nPTSI0-2 が入力 1：逆転の順番で TSG2nPTSI0-2 が入力 正転 → 逆転 ← TSG2nPTSI2-TSG2nPTSI0：[1,0,1] [1,0,0] [1,1,0] [0,1,0] [0,1,1] [0,0,1] • 正転，逆転を検出できるのは，TSnTRG0.TSnTS = 1 に設定後 1 回目の TSG2nPTSI0-2 の変化からです。詳細は 15.7.5 (b)「入力パターン変化の順序検出」を参照してください。
2-0	TSnOPF [2:0]	タイマ出力（TSG2nO1-TSG2nO6 端子）のパターン出力を示すフラグです。

(13) TSG2n ステータス・レジスタ 2（TSnSTR2）

各種フラグを制御します。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <TSG2n_base1> + 018_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	TSnTBF2	TSnTBF1	TSnTBF0	TSnPPF	TSnPEF	TSnTDF	TSnNDF	TSnPRF	TSnPTF	-
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 15-19 TSnSTR2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
9	TSnTBF2	TSnCTL1.TSnTBA2 が “1” の場合において，正相と逆相が同時アクティブになったことを検出するフラグです。 0：正相（TSG2nO5）と逆相（TSG2nO6）が同時アクティブになっていない 1：正相（TSG2nO5）と逆相（TSG2nO6）が同時アクティブになったことを検出 • TSnTBF2 は，正相（TSG2nO5）と逆相（TSG2nO6）が同時アクティブを検出した場合にセット（1）され，エラー割り込み（INTTSG2nIER）を発生します。また，TSnSTC.TSnTBR2 に “1” をライトすることで TSnTBF2 をクリアできます。 • TSnTBA2 = 0 の場合は，同時アクティブを検出しません。
8	TSnTBF1	TSnCTL1.TSnTBA1 が “1” の場合において，正相と逆相が同時アクティブになったことを検出するフラグです。 0：正相（TSG2nO3）と逆相（TSG2nO4）が同時アクティブになっていない 1：正相（TSG2nO3）と逆相（TSG2nO4）が同時アクティブになったことを検出 • TSnTBF1 は，正相（TSG2nO3）と逆相（TSG2nO4）が同時アクティブを検出した場合にセット（1）され，エラー割り込み（INTTSG2nIER）を発生します。また，TSnSTC.TSnTBR1 に “1” をライトすることで TSnTBF1 をクリアできます。 • TSnTBA1 = 0 の場合は，同時アクティブを検出しません。
7	TSnTBF0	TSnCTL1.TSnTBA0 が “1” の場合において，正相と逆相が同時アクティブになったことを検出するフラグです。 0：正相（TSG2nO1）と逆相（TSG2nO2）が同時アクティブになっていない 1：正相（TSG2nO1）と逆相（TSG2nO2）が同時アクティブになったことを検出 • TSnTBF0 は，正相（TSG2nO1）と逆相（TSG2nO2）が同時アクティブを検出した場合にセット（1）され，エラー割り込み（INTTSG2nIER）を発生します。また，TSnSTC.TSnTBR0 に “1” をライトすることで TSnTBF0 をクリアできます。 • TSnTBA0 = 0 の場合は，同時アクティブを検出しません。
6	TSnPPF	入力パターン（TSG2nPTSI0-2）と出力パターン（TSG2nO1-TSG2nO6）で比較し，差異を検出するフラグです。 0：TSG2nPTSI0-2 と TSG2nO1-TSG2nO6 出力間で位相差異を検出していない 1：TSG2nPTSI0-2 と TSG2nO1-TSG2nO6 出力間で位相差異を検出 • TSnPPF は，入力／出力パターンの差異を検出した場合にセット（1）され，ワーニング割り込み（INTTSG2nIWN）を発生します。また，TSnSTC.TSnPPR に “1” をライトすることで TSnPPF をクリアできます。 • TSnPPF は，TSnOPT0.TSnSOC = 0,TSnPOT = 1，TSnCTL1.TSnPPC = 1 の場合，有効となります。

表 15-19 TSnSTR2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
5	TSnPEF	入力異常（TSG2nPTSI0-2 に 000_B または 111_B が入力されたこと）を検出するフラグです。 0：TSG2nPTSI0-2 に 000_B または 111_B は入力されていない 1：TSG2nPTSI0-2 に 000_B または 111_B が入力されたことを検出 • TSnPEF は，TSG2nPTSI0-2 に 000_B または 111_B が入力されたことを検出した場合にセット（1）され，ワーニング割り込み（INTTSG2nIWN）を発生します。また，TSnSTC.TSnPER に “1” をライトすることで TSnPEF をクリアできます。
4	TSnTDF	TSnOPCI0, TSnOPCI1 のトリガが同時に発生したことを検出するフラグです。 0：TSnOPCI0, TSnOPCI1 のトリガは同時に発生していない 1：TSnOPCI0, TSnOPCI1 のトリガが同時に発生したことを検出 • TSnTDF は，TSnOPCI0, TSnOPCI1 のトリガが同時に発生したことを検出した場合にセット（1）され，ワーニング割り込み（INTTSG2nIWN）を発生します。また，TSnSTC.TSnTDR に “1” をライトすることで TSnTDF をクリアできます。
3	TSnNDF	TSG2nPTSI0-2 にノイズが発生したことを検出するフラグです。 0：TSG2nPTSI0-2 に 2 端子以上の同時変化によるノイズは発生していない 1：TSG2nPTSI0-2 に 2 端子以上の同時変化によるノイズが発生したことを検出 • TSnNDF は，TSG2nPTSI0-2 で同時に 2 端子以上の値が変化したことを検出した場合にセット（1）され，ワーニング割り込み（INTTSG2nIWN）を発生します。また，TSnSTC.TSnNDR に “1” をライトすることで TSnNDF をクリアできます。
2	TSnPRF	TSG2nPTSI0-2 の入力順序が反転したことを検出するフラグです。 0：TSG2nPTSI0-2 の入力順序が反転していない 1：TSG2nPTSI0-2 の入力順序が反転したことを検出 • TSnPRF は，TSnSTR1.TSnTSF の変化タイミングでセット（1）され，ワーニング割り込み（INTTSG2nIWN）を発生します。 また，TSnSTC.TSnPRR に “1” をライトすることで TSnPRF をクリアできます。TSnTRG0.TSnTS = 1 に設定後，2 回目の TSG2nPTSI0-2 変化タイミングから検出可能です。
1	TSnPTF	TSG2nPTSI0-2 の異常トグルを検出するフラグです。 0：TSG2nPTSI0-2 の異常トグルを検出していない 1：TSG2nPTSI0-2 の異常トグルを検出 • TSnPTF は，TSnOPCI0 のトリガ間に TSG2nPTSI0-2（TSnPTE 信号トグル）が 3 回以上変化した場合，または，TSnOPCI1 のトリガ間に TSG2nPTSI0-2（TSnPTE 信号トグル）が 3 回以上変化した場合にセット（1）され，ワーニング割り込み（INTTSG2nIWN）を発生します。また，TSnSTC.TSnPTR に “1” をライトすることで TSnPTF をクリアできます。

(14) TSG2n ステータス･クリア・トリガ・レジスタ（TSnSTC）

各種フラグを制御します。

アクセス 16 ビット単位でライトのみ可能です。

アドレス <TSG2n_base1> + $01C_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	TSnTBR2	TSnTBR1	TSnTBR0	TSnPPR	TSnPER	TSnTDR	TSnNDR	TSnPRR	TSnPTR	-
R	R	R	R	R	R	W	W	W	W	W	W	W	W	W	R

表 15-20 TSnSTC レジスタの内容 (1/2)

ビット位置	ビット名	機能
9	TSnTBR2	TSnSTR2.TSnTBF2 をクリアするトリガ・ビットです。 0：TSnTBF2 をクリアしない 1：TSnTBF2 をクリアする • TSnTBR2 のライト・タイミングと TSnSTR2.TSnTBF2 のセット・タイミングが競合した場合，TSnSTR2.TSnTBF2 のセットが優先され，フラグはクリアされません。
8	TSnTBR1	TSnSTR2.TSnTBF1 をクリアするトリガ・ビットです。 0：TSnTBF1 をクリアしない 1：TSnTBF1 をクリアする • TSnTBR1 のライト・タイミングと TSnSTR2.TSnTBF1 のセット・タイミングが競合した場合，TSnSTR2.TSnTBF1 のセットが優先され，フラグはクリアされません。
7	TSnTBR0	TSnSTR2.TSnTBF0 をクリアするトリガ・ビットです。 0：TSnTBF0 をクリアしない 1：TSnTBF0 をクリアする • TSnTBR0 のライト・タイミングと TSnSTR2.TSnTBF0 のセット・タイミングが競合した場合，TSnSTR2.TSnTBF0 のセットが優先され，フラグはクリアされません。
6	TSnPPR	TSnSTR2.TSnPPF をクリアするトリガ・ビットです。 0：TSnPPF をクリアしない 1：TSnPPF をクリアする • TSnPPR のライト・タイミングと TSnSTR2.TSnPPF のセット・タイミングが競合した場合，TSnSTR2.TSnPPF のセットが優先され，フラグはクリアされません。
5	TSnPER	TSnSTR2.TSnPEF をクリアするトリガ・ビットです。 0：TSnPEF をクリアしない 1：TSnPEF をクリアする • TSnPER のライト・タイミングと TSnSTR2.TSnPEF のセット・タイミングが競合した場合，TSnSTR2.TSnPEF のセットが優先され，フラグはクリアされません。
4	TSnTDR	TSnSTR2.TSnTDF をクリアするトリガ・ビットです。 0：TSnTDF をクリアしない 1：TSnTDF をクリアする • TSnTDR のライト・タイミングと TSnSTR2.TSnTDF のセット・タイミングが競合した場合，TSnSTR2.TSnTDF のセットが優先され，フラグはクリアされません。

表 15-20 TSnSTC レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	TSnNDR	TSnSTR2.TSnNDF をクリアするトリガ・ビットです。 0：TSnNDF をクリアしない 1：TSnNDF をクリアする • TSnNDR のライト・タイミングと TSnSTR2.TSnNDF のセット・タイミングが競合した場合，TSnSTR2.TSnNDF のセットが優先され，フラグはクリアされません。
2	TSnPRR	TSnSTR2.TSnPRF をクリアするトリガ・ビットです。 0：TSnPRF をクリアしない 1：TSnPRF をクリアする • TSnPRR のライト・タイミングと TSnSTR2.TSnPRF のセット・タイミングが競合した場合，TSnSTR2.TSnPRF のセットが優先され，フラグはクリアされません。
1	TSnPTR	TSnSTR2.TSnPTF をクリアするトリガ・ビットです。 0：TSnPTF をクリアしない 1：TSnPTF をクリアする • TSnPTR のライト・タイミングと TSnSTR2.TSnPTF のセット・タイミングが競合した場合，TSnSTR2.TSnPTF のセットが優先され，フラグはクリアされません。

(15) TSG2n オプション･レジスタ 0（TSnOPT0）

オプション機能を設定します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + 020_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	TSn SOC	TSn STE	TSn POT	TSn PSS	TSn IDC	TSn PSC	-
R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 15-21 TSnOPT0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
6	TSnSOC	ソフトウエアによるタイマ出力（TSG2nO1-TSG2nO6 端子）の制御を選択します。 0：ソフトウエア制御禁止 1：ソフトウエア制御許可 • TSnSOC をセット（1）した場合，タイマ出力を TSnSPC2-TSnSPC0 で設定したソフトウエア制御機能／トリガ制御の出力パターンに切り替えます。その際，デッド・タイム・カウンタによりデッド・タイムを確保します。
5	TSnSTE	パターン出力トリガによる制御の許可 / 禁止を選択します。 0：TSG2nPTSI0-TSG2nPTSI2 と TSnOPCI0, TSnOPCI1 の入力を禁止 1：TSG2nPTSI0-TSG2nPTSI2 と TSnOPCI0, TSnOPCI1 の入力を許可 • パターン出力トリガは，TSnPOT で選択します。 • TSnSTE は，120-DC モードとソフトウエア出力制御機能のとき，有効となります。
4	TSnPOT	パターン出力トリガを選択します。 0：外部パターン入力端子（TSG2nPTSI0-TSG2nPTSI2）による出力パターン切り替え （パターン切り替え方式） 1：TSnOPCI0, TSnOPCI1 の立ち上がりエッジによる出力切り替え （トリガ切り替え方式）
3	TSnPSS	パターン出力順序切り替え要因を選択します。 0：TSnPSC によるパターン出力順序の切り替えを使用しない 1：TSnPSC によるパターン出力順序の切り替えを使用する • TSnPSS は，TSnSTE = 1 かつ TSnPOT = 1（トリガ切り替え方式）のとき，有効となります。このとき TSnPSS = 1 としてください。
2	TSnIDC	TSnIDC と TSnSTR1.TSnTSF，TSnPSC 信号の組み合わせで，TSG2nO1-TSG2nO6 端子の出力パターンを決定します。 タイマ出力順序および出力されるパターンについては 15.11.4 (5)「120-DC モードの動作」の動作の図 15-65 から図 15-68 の 120-DC モードの動作例を参照してください。

表 15-21 TSnOPT0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	TSnPSC	セミオート・ドライブ時のパターン出力順序を選択します。 0：正転の順番でタイマ出力（TSG2nO1-TSG2nO6）を切り替える 1：逆転の順番でタイマ出力（TSG2nO1-TSG2nO6）を切り替える • TSnPSC は，TSnSPC2-TSnSPC0 で設定した出力パターンを初期パターンとして，タイマ出力パターンの順序を指定します。また，TSnPSC は TSnPOT = 1 かつ TSnPSS = 1 のとき，有効です。 • TSnPSC は，TSnSTR0.TSnTE = 0，または，TSnPOT = 0 のときに変更することを推奨します。TSnPOT = 1 のときに書き換えた場合，タイマ出力パターンが期待と異なる場合があります。 • TSG2n 動作停止中（TSnSTR0.TSnTE = 0）の状態で，TSG2nPTSI0-TSG2nPTSI2 に入力されている信号が変化する場合，入力信号の変化論理と，TSnPSC の順序を合わせてから，TSnTRG0.TSnTS ビット = 1 を設定してください。 • 正転，逆転における出力順序は，15.11.4「120-DC モード」を参照してください。 ここでの正転，逆転の定義は出力の変化を表しているもので，モータ回転の正転，逆転と同じ意味ではありません。

(16) TSG2n オプション･レジスタ 1（TSnOPT1）

オプション機能を設定します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + 024_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	TSnSPC[2:0]		
R	R	R	R	R	R/W	R/W	R/W

表 15-22 TSnOPT1 レジスタの内容

ビット位置	ビット名	機能
2-0	TSnSPC [2:0]	ソフトウエア出力機能時および 120-DC モード時のタイマ出力のパターンを設定します。 出力パターンについては，15.11.5「ソフトウエア出力制御機能」，15.11.4「120-DC モード」を参照してください。

(17) TSG2n トリガ･レジスタ 0（TSnTRG0）

タイマの開始を制御します。

アクセス 8 ビット単位でライトのみ可能です。

アドレス <TSG2n_base1> + 030_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	TSn TS
R	R	R	R	R	R	R	W

表 15-23 TSnTRG0 レジスタの内容

ビット位置	ビット名	機能
0	TSnTS	タイマの開始を制御するトリガ・ビットです。 0：タイマを開始しない 1：タイマを開始（リスタート）する（TSnSTR0.TSnTE = 1） • リード時は常に “0” が読み出されます。

(18) TSG2n トリガ･レジスタ 1（TSnTRG1）

タイマの停止を制御します。

アクセス 8 ビット単位でライトのみ可能です。

アドレス <TSG2n_base1> + 034_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	TSnTT
R	R	R	R	R	R	R	W

表 15-24 TSnTRG1 レジスタの内容

ビット位置	ビット名	機能
0	TSnTT	タイマの停止を制御するトリガ・ビットです。 0：タイマを停止しない 1：タイマを停止する（TSnSTR0.TSnTE = 0） • リード時は常に “0” が読み出されます。

(19) TSG2n カウンタ・リード・バッファ・レジスタ（TSnCNT）

カウンタ値をリードするレジスタです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <TSG2n_base1> + 028_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
16 ビット・カウンタ															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

16 ビット・カウンタ このレジスタは，16 ビット・カウンタの値をリードできるタイマ・リード・バッファ・レジスタです。HT-PWM モード時は，カウント・アップ / ダウンを 2 カウントずつで行う三角波制御です。ビット 0 は常に “0” をリードします。

また，HT-PWM モード以外では，カウント・アップを 1 カウントずつで行うのこぎり波制御です。

表 15-25 TSnCNT レジスタのカウント値

動作モード	開始時	最小値	最大値
HT-PWM モード	TSnDTC0	TSnDTC0	TSnDTC0 + TSnCMP0 注
HT-PWM モード以外	0000_H	0000_H	TSnCMP0

注 TSnDTC0+TSnCMP0 < $FFFF_H$ の設定値で使用してください。

(20) TSG2n サブカウンタ・リード・バッファ・レジスタ（TSnSBC）

サブカウンタ値をリードするレジスタです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <TSG2n_base1> + $02C_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
16 ビット・サブカウンタ															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

16 ビット・サブカウンタ このレジスタは，16 ビット・サブカウンタの値をリードできるタイマ・リード・バッファ・レジスタです。HT-PWM モードでは，カウント・アップ / ダウンを 2 カウントずつで行う三角波制御です。ビット 0 は常に “0” をリードします。（HT-PWM モード時のみ使用可能です）

表 15-26 TSnSBC レジスタのカウント値

動作モード	開始時	最小値	最大値
HT-PWM モード	TSnDTC0	0000_H	TSnDTC0 + TSnDTC1 + TSnCMP0 注
HT-PWM モード以外	0000_H	0000_H	0000_H

注 TSnDTC0 + TSnDTC1 + TSnCMP0 < $FFFF_H$ の設定値で使用してください。

(21) TSG2n コンペア・レジスタ 0（TSnCMP0）

PWM 周期を設定します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + 058_H

初期値 00000000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
16 ビット・コンペア・レジスタ															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-27 TSnCMP0 レジスタの設定

動作モード	PWM 周期	最小値（周期）	最大値（周期）
HT-PWM モード	TSnCMP0 注	0002_H	$FFFE_H$
HT-PWM モード以外	TSnCMP0 + 1	1 （TSnCMP0=0000_H）	10000_H （TSnCMP0=$FFFF_H$）

注 HT-PWM モードでは，最下位ビットは無視されます。

(22) TSG2n コンペア・レジスタ 1,2（TSnCMP1W）

コンペア値を設定します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + 040_H

初期値 00000000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TSnCMP2（16 ビット・コンペア・レジスタ）															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSnCMP1（16 ビット・コンペア・レジスタ）															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-28 TSnCMP1W レジスタの設定

動作モード	TSnCMP1	TSnCMP2	最小値	最大値
PWM モード	TSG2nO1 クリア・タイミング	TSG2nO1 セット・タイミング	0000_H	TSnCMP0+1（TSnCMP0 < $FFFF_H$）もしくは $FFFF_H$
HT-PWM モード	TSG2nO1 クリア・タイミング／TSG2nO2 セット・タイミング	TSG2nO1 セット・タイミング／TSG2nO2 クリア・タイミング	0000_H	TSnCMP0+ TSnDTC0+ TSnDTC1
SP-PWM モード	同上	同上	0000_H	TSnCMP0+1（TSnCMP0 < $FFFF_H$）もしくは $FFFF_H$
120-DC モード	TSG2nO1, TSG2nO3, TSG2nO5 の出力パターンを TSnPAT0 で選択した場合のデューティ	TSG2nO1, TSG2nO3, TSG2nO5 の出力パターンを TSnPAT0 で選択した場合のデューティ	0000_H	TSnCMP0+1（TSnCMP0 < $FFFF_H$）もしくは $FFFF_H$

備考 デッド・タイム機能は，すべての動作モードで動作します。
HT-PWM モードの場合，このレジスタと TSnSBC の一致タイミングが関係します。
120-DC モードの場合，TSG2nO1-TSG2nO6 出力は，TSnCMPm と TSnPAT0, TSnPAT1 で制御します。

(23) TSG2n コンペア・レジスタ 3,4（TSnCMP3W）

コンペア値を設定します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + $04C_H$

初期値 00000000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TSnCMP4（16 ビット・コンペア・レジスタ）															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSnCMP3（16 ビット・コンペア・レジスタ）															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-29 TSnCMP3W レジスタの設定

動作モード	TSnCMP3	TSnCMP4	最小値	最大値
PWM モード	TSG2nO2 クリア・タイミング	TSG2nO2 セット・タイミング	0000_H	TSnCMP0+1（TSnCMP0 < $FFFF_H$）もしくは $FFFF_H$
HT-PWM モード	-	-	-	-
SP-PWM モード	-	-	-	-
120-DC モード	TSG2nO2, TSG2nO4, TSG2nO6 の出力パターンを TSnPAT1 で選択した場合のデューティ	TSG2nO2, TSG2nO4, TSG2nO6 の出力パターンを TSnPAT1 で選択した場合のデューティ	0000_H	TSnCMP0+1（TSnCMP0 < $FFFF_H$）もしくは $FFFF_H$

備考 デッド・タイム機能は，すべての動作モードで動作します。
120-DC モードの場合，TSG2nO1-TSG2nO6 出力は，TSnCMPm と TSnPAT0, TSnPAT1 で制御します。

(24) TSG2n コンペア・レジスタ 5,6（TSnCMP5W）

コンペア値を設定します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + 044_H

初期値 00000000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TSnCMP6（16 ビット・コンペア・レジスタ）															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSnCMP5（16 ビット・コンペア・レジスタ）															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-30 TSnCMP5W レジスタの設定

動作モード	TSnCMP5	TSnCMP6	最小値	最大値
PWM モード	TSG2nO3 クリア・タイミング	TSG2nO3 セット・タイミング	0000_H	TSnCMP0+1（TSnCMP0 < $FFFF_H$）もしくは $FFFF_H$
HT-PWM モード	TSG2nO3 クリア・タイミング／TSG2nO4 セット・タイミング	TSG2nO3 セット・タイミング／TSG2nO4 クリア・タイミング	0000_H	TSnCMP0+ TSnDTC0+ TSnDTC1
SP-PWM モード	同上	同上	0000_H	TSnCMP0+1（TSnCMP0 < $FFFF_H$）もしくは $FFFF_H$
120-DC モード	TSG2nO1, TSG2nO3, TSG2nO5 の出力パターンを TSnPAT0 で選択した場合のデューティ	TSG2nO1, TSG2nO3, TSG2nO5 の出力パターンを TSnPAT0 で選択した場合のデューティ	0000_H	TSnCMP0+1（TSnCMP0 < $FFFF_H$）もしくは $FFFF_H$

備考 デッド・タイム機能は，すべての動作モードで動作します。
HT-PWM モードの場合，このレジスタと TSnSBC の一致タイミングが関係します。
120-DC モードの場合，TSG2nO1-TSG2nO6 出力は，TSnCMPm と TSnPAT0, TSnPAT1 で制御します。

(25) TSG2n コンペア・レジスタ 7, 8（TSnCMP7W）

コンペア値を設定します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + 050_H

初期値 00000000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TSnCMP8（16 ビット・コンペア・レジスタ）															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSnCMP7（16 ビット・コンペア・レジスタ）															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-31 TSnCMP7W レジスタの設定

動作モード	TSnCMP7	TSnCMP8	最小値	最大値
PWM モード	TSG2nO4 クリア・タイミング	TSG2nO4 セット・タイミング	0000_H	TSnCMP0+1（TSnCMP0 < $FFFF_H$）もしくは $FFFF_H$
HT-PWM モード	-	-	-	-
SP-PWM モード	-	-	-	-
120-DC モード	TSG2nO2, TSG2nO4, TSG2nO6 の出力パターンを TSnPAT1 で選択した場合のデューティ	TSG2nO2, TSG2nO4, TSG2nO6 の出力パターンを TSnPAT1 で選択した場合のデューティ	0000_H	TSnCMP0+1（TSnCMP0 < $FFFF_H$）もしくは $FFFF_H$

備考 デッド・タイム機能は，すべての動作モードで動作します。
120-DC モードの場合，TSG2nO1-TSG2nO6 出力は，TSnCMPm と TSnPAT0, TSnPAT1 で制御します。

(26) TSG2n コンペア・レジスタ 9, 10（TSnCMP9W）

コンペア値を設定します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + 048_H

初期値 00000000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TSnCMP10（16 ビット・コンペア・レジスタ）															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSnCMP9（16 ビット・コンペア・レジスタ）															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-32 TSnCMP9W レジスタの設定

動作モード	TSnCMP9	TSnCMP10	最小値	最大値
PWM モード	TSG2nO5 クリア・タイミング	TSG2nO5 セット・タイミング	0000_H	TSnCMP0+1（TSnCMP0 < $FFFF_H$）もしくは $FFFF_H$
HT-PWM モード	TSG2nO5 クリア・タイミング／TSG2nO6 セット・タイミング	TSG2nO5 セット・タイミング／TSG2nO6 クリア・タイミング	0000_H	TSnCMP0+ TSnDTC0+ TSnDTC1
SP-PWM モード	同上	同上	0000_H	TSnCMP0+1（TSnCMP0 < $FFFF_H$）もしくは $FFFF_H$
120-DC モード	TSG2nO1, TSG2nO3, TSG2nO5 の出力パターンを TSnPAT0 で選択した場合のデューティ	TSG2nO1, TSG2nO3, TSG2nO5 の出力パターンを TSnPAT0 で選択した場合のデューティ	0000_H	TSnCMP0+1（TSnCMP0 < $FFFF_H$）もしくは $FFFF_H$

備考 デッド・タイム機能は，すべての動作モードで動作します。
HT-PWM モードの場合，このレジスタと TSnSBC の一致タイミングが関係します。
120-DC モードの場合，TSG2nO1-TSG2nO6 出力は，TSnCMPm と TSnPAT0, TSnPAT1 で制御します。

(27) TSG2n コンペア・レジスタ 11, 12（TSnCMP11W）

コンペア値を設定します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + 054_H

初期値 00000000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TSnCMP12（16 ビット・コンペア・レジスタ）															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSnCMP11（16 ビット・コンペア・レジスタ）															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-33 TSnCMP11W レジスタの設定

動作モード	TSnCMP11	TSnCMP12	最小値	最大値
PWM モード	TSG2nO6 クリア・タイミング	TSG2nO6 セット・タイミング	0000_H	TSnCMP0+1（TSnCMP0 < $FFFF_H$）もしくは $FFFF_H$
HT-PWM モード	-	-	-	-
SP-PWM モード	-	-	-	-
120-DC モード	TSG2nO2, TSG2nO4, TSG2nO6 の出力パターンを TSnPAT1 で選択した場合のデューティ	TSG2nO2, TSG2nO4, TSG2nO6 の出力パターンを TSnPAT1 で選択した場合のデューティ	0000_H	TSnCMP0+1（TSnCMP0 < $FFFF_H$）もしくは $FFFF_H$

備考 デッド・タイム機能は，すべての動作モードで動作します。
120-DC モードの場合，TSG2nO1-TSG2nO6 出力は，TSnCMPm と TSnPAT0, TSnPAT1 で制御します。

(28) TSG2n コンペア・レジスタ 1-12（TSnCMP1-TSnCMP12）

コンペア値を設定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス TSnCMP1 <TSG2n_base1> + 080_H

TSnCMP2 <TSG2n_base1> + 084_H

TSnCMP3 <TSG2n_base1> + 098_H

TSnCMP4 <TSG2n_base1> + $09C_H$

TSnCMP5 <TSG2n_base1> + 088_H

TSnCMP6 <TSG2n_base1> + $08C_H$

TSnCMP7 <TSG2n_base1> + $0A0_H$

TSnCMP8 <TSG2n_base1> + $0A4_H$

TSnCMP9 <TSG2n_base1> + 090_H

TSnCMP10 <TSG2n_base1> + 094_H

TSnCMP11 <TSG2n_base1> + $0A8_H$

TSnCMP12 <TSG2n_base1> + $0AC_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
16 ビット・コンペア・レジスタ															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

このレジスタの設定は，TSnCMP1W, TSnCMP3W, TSnCMP5W, TSnCMP7W, TSnCMP9W, TSnCMP11W のレジスタ内の同名のレジスタと同じ内容です。（アクセスした場合，同名のレジスタに反映されます）

(29) TSG2n ダイアグ出力用コンペア・レジスタ 0, 1（TSnDCMP0W）

コンペア値を設定します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + $05C_H$

初期値 00000000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TSnDCMP1（16 ビット・コンペア・レジスタ）															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSnDCMP0（16 ビット・コンペア・レジスタ）															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

このレジスタの設定は，すべてのモードにおいてダイアグ出力，もしくは，A/D 変換トリガ・タイミングを制御します。このレジスタと 16 ビット・カウンタの一致でパルスを生成します。

(30) TSG2n ダイアグ出力用コンペア・レジスタ 2（TSnDCMP2）

コンペア値を設定します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + 060_H

初期値 00000000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSnDCMP2（16 ビット・コンペア・レジスタ）															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

このレジスタの設定は，すべてのモードにおいてダイアグ出力，もしくは，A/D 変換トリガ・タイミングを制御します。このレジスタと 16 ビット・カウンタの一致でパルスを生成します。

(31) TSG2n パターン・レジスタ 0（TSnPAT0W）

出力パターンを設定します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + 064_H

初期値 00000000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	PAT5T	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PAT5T	PAT4T			PAT3T			PAT2T			PAT1T			PAT0T		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

出力パターン このレジスタは，120-DC モード用 UT/VT/WT の出力制御を行うレジスタです。

表 15-34 TSnPAT0W レジスタの設定値と出力制御

PATmT 値	出力制御
000	ロウ・レベル固定
001	TSnCMP1 で設定した PWM 出力
010	TSnCMP2 で設定した PWM 出力
011	TSnCMP5 で設定した PWM 出力
100	TSnCMP6 で設定した PWM 出力
101	TSnCMP9 で設定した PWM 出力
110	TSnCMP10 で設定した PWM 出力
111	ハイ・レベル固定

（m = 0, 1, 2, 3, 4, 5）

(32) TSG2n パターン・レジスタ 1（TSnPAT1W）

出力パターンを設定します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + 068_H

初期値 00000000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	PAT5B	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PAT5B	PAT4B			PAT3B			PAT2B			PAT1B			PAT0B		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

出力パターン このレジスタは，120-DC モード用 UB/VB/WB の出力制御を行うレジスタです。

表 15-35 TSnPAT1W レジスタの設定値と出力制御

PATmB 値	出力制御
000	ロウ・レベル固定
001	TSnCMP3 で設定した PWM 出力
010	TSnCMP4 で設定した PWM 出力
011	TSnCMP7 で設定した PWM 出力
100	TSnCMP8 で設定した PWM 出力
101	TSnCMP11 で設定した PWM 出力
110	TSnCMP12 で設定した PWM 出力
111	ハイ・レベル固定

（m = 0, 1, 2, 3, 4, 5）

(33) TSG2n デッド・タイム設定レジスタ 0（TSnDTC0W）

デッド・タイム値（逆相インアクティブ→正相アクティブ間）を設定します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + $06C_H$

初期値 00000000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-	ライト・プロテクション・コード・チェック														
R	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	TSnDTC0（10 ビット・デッド・タイム・コンペア）									
R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TSnDTC0W[0:9] を書き換える場合，TSnDTPR の 14-0 ビットと TSnDTCM = 0 を設定し，TSnDTC0W を書き換えます。このとき，TSnDTC0W[30-16] の書き換え値と TSnDTPR の値が一致した場合，TSnDTC0W が書き換わります。

タイマ動作中（TSnSTR0.TSnTE = 1）の書き換えは，リロード・モード（TSnCTL3.TSnRMC = 0）時に行ってください。

(34) TSG2n デッド・タイム設定レジスタ 1（TSnDTC1W）

デッド・タイム値（正相インアクティブ→逆相アクティブ間）を設定します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + 070_H

初期値 00000000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-	ライト・プロテクション・コード・チェック														
R	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	TSnDTC1（10 ビット・デッド・タイム・コンペア）									
R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TSnDTC1W[9:0] を書き換える場合，TSnDTPR の 30-16 ビットと TSnDTCM = 0 を設定し，TSnDTC1W を書き換えます。このとき，TSnDTC1W[30-16] の書き換え値と TSnDTPR の値が一致した場合，TSnDTC1W が書き換わります。

タイマ動作中（TSnSTR0.TSnTE = 1）の書き換えは，リロード・モード（TSnCTL3.TSnRMC = 0）時に行ってください。

(35) TSG2n HT-PWM U 相用コンペアレジスタ（TSnCMPU）

HT-PWM モード時，U 相用のコンペア値を設定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + $0B0_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSnCMPU（16 ビット・コンペア・レジスタ）															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考
1.HT-PWM モード時のみ使用できます。
2.TSnCMPU の設定値は，TSnCMP1W（TSnCMP1,TSnCMP2）に反映されます。
3.TSnCMPU をリードした場合，TSnCMP1 の値をリードします。

(36) TSG2n HT-PWM V 相用コンペアレジスタ（TSnCMPV）

HT-PWM モード時，V 相用のコンペア値を設定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + $0B4_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSnCMPV（16 ビット・コンペア・レジスタ）															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考
1.HT-PWM モード時のみ使用できます。
2.TSnCMPV の設定値は，TSnCMP5W（TSnCMP5,TSnCMP6）に反映されます。
3.TSnCMPV をリードした場合，TSnCMP5 の値をリードします。

(37) TSG2n HT-PWM W 相用コンペアレジスタ（TSnCMPW）

HT-PWM モード時，W 相用のコンペア値を設定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + $0B8_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSnCMPW（16 ビット・コンペア・レジスタ）															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 1.HT-PWM モード時のみ使用できます。
2.TSnCMPW の設定値は，TSnCMP9W（TSnCMP9,TSnCMP10）に反映されます。
3.TSnCMPW をリードした場合，TSnCMP9 の値をリードします。

(38) TSG2n SP-PWM U 相アクティブ幅設定レジスタ（TSnUPW）

SP-PWM モード時，U 相用のアクティブ幅を設定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + $0BC_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSnUPW（16 ビット・コンペア・レジスタ）															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考
1.SP-PWM モード時のみ使用できます。
2.TSnUPW の設定値は，TSnCMP2 の設定値と加算した値を TSnCMP1 に反映されます。
3.TSnUPW をリードした場合，TSnCMP1 の値をリードします。

(39) TSG2n SP-PWM V 相アクティブ幅設定レジスタ（TSnVPW）

SP-PWM モード時，V 相用のアクティブ幅を設定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + $0C0_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSnVPW（16 ビット・コンペア・レジスタ）															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考
1.SP-PWM モード時のみ使用できます。
2.TSnVPW の設定値は，TSnCMP6 の設定値と加算した値を TSnCMP5 に反映されます。
3.TSnVPW をリードした場合，TSnCMP5 の値をリードします。

(40) TSG2n SP-PWM W 相アクティブ幅設定レジスタ（TSnWPW）

SP-PWM モード時，W 相用のアクティブ幅を設定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base1> + $0C4_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSnWPW（16 ビット・コンペア・レジスタ）															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 1.SP-PWM モード時のみ使用できます。
2.TSnWPW の設定値は，TSnCMP10 の設定値と加算した値を TSnCMP9 に反映されます。
3.TSnWPW をリードした場合，TSnCMP9 の値をリードします。

(41) TSG2n デッド・タイム・プロテクション・レジスタ（TSnDTPR）

デッド・タイム・レジスタのライト・アクセスのプロテクションを制御します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TSG2n_base0> + 210_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSn DTCM	ライト・プロテクション・コード・チェック														
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-36 TSnDTPR レジスタの内容

ビット位置	ビット名	機能
15	TSnDTCM	TSnDTC0, TSnDTC1 の書き換えの許可／禁止を設定します。 0：TSnDTC0, TSnDTC1 の書き換えを許可 1：TSnDTC0, TSnDTC1 の書き換えを禁止
14-0	TSnDTPR [14:0]	ライト・プロテクション・コード（0000-7FFF の任意の値）を設定します。

このレジスタは，TSnDTC0, TSnDTC1 への不正な書き換えを行わないように保護します。

機能は次のようになります。

- TSnDTCM により TSnDTC0, TSnDTC1 の書き換えを許可／禁止を設定することができます。
- TSnDTC0, TSnDTC1 の書き換え時，TSnDTC0, TSnDTC1 のライト・プロテクションコード（30-16 ビット）と TSnDTPR のライト・プロテクション・コードの一致と TSnDTCM の設定の二重のチェックにより書き換えの許可／禁止を決定します。

注意 このレジスタの設定は，タイマ停止中（TSnSTR0.TSnTE = 0）に設定してください。タイマ動作中（TSnSTR0.TSnTE = 1）のとき，同一値であればライト・アクセスが可能です。TSnSTR0.TSnTE = 1 のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は，タイマを停止してから再設定してください。

15.5 基本動作

15.5.1 16 ビット・カウンタ基本動作

16 ビット・カウンタの基本動作を説明します。詳細は 15.11「各モードの動作」を参照してください。

カウント開始動作

TSG2n の 16 ビット・カウンタは，HT-PWM モードを除くすべてのモードで初期値 0000_H からカウントを開始します。

HT-PWM モード以外でのカウント動作は，0000_H, 0001_H, 0002_H, 0003_H, …とカウント・アップします。

クリア動作

カウンタ値とコンペア設定値の一致により 16 ビット・カウンタをクリアします。

カウント動作中のカウンタ・リード動作

TSG2n では，TSnCNT レジスタにより，カウント動作中の 16 ビット・カウンタの値をリードできます。

割り込み動作 TSG2n では，次の割り込みを発生します。

- INTTSG2nI00 ：HT-PWM モード時，16 ビット・カウンタと TSnDTC0 の一致による周期割り込みとして機能します。HT-PWM モード以外のモードでは，16 ビット・カウンタと TSnCMP0 バッファ・レジスタのコンペアー致割り込みとして機能します。
- INTTSG2nI01 ：16 ビット・カウンタと TSnCMP1 バッファ・レジスタのコンペアー致割り込みとして機能します。
- INTTSG2nI02 ：16 ビット・カウンタと TSnCMP2 バッファ・レジスタのコンペアー致割り込みとして機能します。
- INTTSG2nI03 ：16 ビット・カウンタと TSnCMP3 バッファ・レジスタのコンペアー致割り込みとして機能します。
- INTTSG2nI04 ：16 ビット・カウンタと TSnCMP4 バッファ・レジスタのコンペアー致割り込みとして機能します。
- INTTSG2nI05 ：16 ビット・カウンタと TSnCMP5 バッファ・レジスタのコンペアー致割り込みとして機能します。
- INTTSG2nI06 ：16 ビット・カウンタと TSnCMP6 バッファ・レジスタのコンペアー致割り込みとして機能します。
- INTTSG2nI07 ：16 ビット・カウンタと TSnCMP7 バッファ・レジスタのコンペアー致割り込みとして機能します。
- INTTSG2nI08 ：16 ビット・カウンタと TSnCMP8 バッファ・レジスタのコンペアー致割り込みとして機能します。
- INTTSG2nI09 ：16 ビット・カウンタと TSnCMP9 バッファ・レジスタのコンペアー致割り込みとして機能します。
- INTTSG2nI10 ：16 ビット・カウンタと TSnCMP10 バッファ・レジスタのコンペアー致割り込みとして機能します。
- INTTSG2nI11 ：16 ビット・カウンタと TSnCMP11 バッファ・レジスタのコンペアー致割り込みとして機能します。
- INTTSG2nI12 ：16 ビット・カウンタと TSnCMP12 バッファ・レジスタのコンペアー致割り込みとして機能します。
- INTTSG2nIPEK ：16 ビット・カウンタがアップ・カウントからダウン・カウントの切り替わりタイミングの山割り込みとして機能します。
- INTTSG2nIVLY ：16 ビット・カウンタがダウン・カウントからアップ・カウントの切り替わりタイミングの谷割り込みとして機能します。
- INTTSG2nIER ：正相／逆相同時アクティブの検出割り込みとして機能します。
- INTTSG2nIWN ：各種ワーニングを検出する割り込みとして機能します。

15.5.2 コンペア・レジスタの機能

コンペア・レジスタの動作モード別の機能は次のとおりです。

表 15-37 モード別コンペア・レジスタ機能一覧（1/4）

動作モード	TSnCMP0	TSnCMP1W	TSnCMP3W	TSnCMP5W
PWM モード	PWM 周期	TSnCMP1： TSG2nO1 クリア・タイミング TSnCMP2： TSG2nO1 セット・タイミング	TSnCMP3： TSG2nO2 クリア・タイミング TSnCMP4： TSG2nO2 セット・タイミング	TSnCMP5： TSG2nO3 クリア・タイミング TSnCMP6： TSG2nO3 セット・タイミング
HT-PWM モード	PWM 周期	TSnCMP1： TSG2nO1 クリア・タイミング／ TSG2nO2 セット・タイミング TSnCMP2： TSG2nO1 セット・タイミング／ TSG2nO2 クリア・タイミング	－	TSnCMP5： TSG2nO3 クリア・タイミング／ TSG2nO4 セット・タイミング TSnCMP6： TSG2nO3 セット・タイミング／ TSG2nO4 クリア・タイミング
SP-PWM モード	PWM 周期	TSnCMP1： TSG2nO1 クリア・タイミング／ TSG2nO2 セット・タイミング TSnCMP2： TSG2nO1 セット・タイミング／ TSG2nO2 クリア・タイミング	－	TSnCMP5： TSG2nO3 クリア・タイミング／ TSG2nO4 セット・タイミング TSnCMP6： TSG2nO3 セット・タイミング／ TSG2nO4 クリア・タイミング
120-DC モード	PWM 周期	TSnCMP1, TSnCMP2： TSG2nO1, TSG2nO3, TSG2nO5 出力を TSnPAT0 で選択	TSnCMP3, TSnCMP4： TSG2nO2, TSG2nO4, TSG2nO6 出力を TSnPAT1 で選択	TSnCMP5, TSnCMP6： TSG2nO1, TSG2nO3, TSG2nO5 出力を TSnPAT0 で選択

表 15-37 モード別コンペア・レジスタ機能一覧（2/4）

動作モード	TSnCMP7W	TSnCMP9W	TSnCMP11W	TSnCMP1-TSnCMP12
PWM モード	TSnCMP7： TSG2nO4 クリア・タイミング TSnCMP8： TSG2nO4 セット・タイミング	TSnCMP9： TSG2nO5 クリア・タイミング TSnCMP10： TSG2nO5 セット・タイミング	TSnCMP11： TSG2nO6 クリア・タイミング TSnCMP12： TSG2nO6 セット・タイミング	TSnCMP1W-TSnCMP11W を参照
HT-PWM モード	－	TSnCMP9： TSG2nO5 クリア・タイミング／ TSG2nO6 セット・タイミング TSnCMP10： TSG2nO5 セット・タイミング／ TSG2nO6 クリア・タイミング	－	TSnCMP1W, TSnCMP5W, TSnCMP9W を参照
SP-PWM モード	－	TSnCMP9： TSG2nO5 クリア・タイミング／ TSG2nO6 セット・タイミング TSnCMP10： TSG2nO5 セット・タイミング／ TSG2nO6 クリア・タイミング	－	TSnCMP1W, TSnCMP5W, TSnCMP9W を参照
120-DC モード	TSnCMP7, TSnCMP8： TSG2nO2, TSG2nO4, TSG2nO6 出力を TSnPAT1 で選択	TSnCMP9, TSnCMP10： TSG2nO1, TSG2nO3, TSG2nO5 出力を TSnPAT0 で選択	TSnCMP11, TSnCMP12： TSG2nO2, TSG2nO4, TSG2nO6 出力を TSnPAT1 で選択	TSnCMP1W-TSnCMP11W を参照

表 15-37 モード別コンペア・レジスタ機能一覧（3/4）

動作モード	TSnDCMP0W	TSnDCMP2W	TSnCMPU	TSnCMPV
PWM モード	ダイアグ出力，もしくは，A/D 変換トリガ・タイミング	ダイアグ出力，もしくは，A/D 変換トリガ・タイミング	−	−
HT-PWM モード	ダイアグ出力，もしくは，A/D 変換トリガ・タイミング	ダイアグ出力，もしくは，A/D 変換トリガ・タイミング	TSnCMPU へ設定した値が TSnCMP1W（TSnCMP1, TSnCMP2）の設定値となります	TSnCMPV へ設定した値が TSnCMP5W（TSnCMP5, TSnCMP6）の設定値となります
SP-PWM モード	ダイアグ出力，もしくは，A/D 変換トリガ・タイミング	ダイアグ出力，もしくは，A/D 変換トリガ・タイミング	−	−
120-DC モード	ダイアグ出力，もしくは，A/D 変換トリガ・タイミング	ダイアグ出力，もしくは，A/D 変換トリガ・タイミング	−	−

表 15-37 モード別コンペア・レジスタ機能一覧（4/4）

動作モード	TSnCMPW	TSnUPW	TSnVPW	TSnWPW
PWM モード	−	−	−	−
HT-PWM モード	TSnCMPW へ設定した値が TSnCMP9W（TSnCMP9, TSnCMP10）の設定値となります	−	−	−
SP-PWM モード	−	TSnUPW へ設定した値が TSnCMP2 に設定した値と加算され，TSnCMP1 の設定値となります	TSnVPW へ設定した値が TSnCMP6 に設定した値と加算され，TSnCMP5 の設定値となります	TSnWPW へ設定した値が TSnCMP10 に設定した値と加算され，TSnCMP9 の設定値となります
120-DC モード	−	−	−	−

15.5.3 コンペア・レジスタの書き換え操作

コンペア・レジスタの書き換えは，リロード・モード（TSnCTL3.TSnRMC = 0）と随時書き換えモード（TSnCTL3.TSnRMC = 1）で行います。

対象のレジスタは次のとおりです。

- TSnCMP0
- TSnCMP1-TSnCMP12（TSnCMP1W, TSnCMP3W, TSnCMP5W, TSnCMP7W, TSnCMP9W, TSnCMP11W）
- TSnPAT0W, TSnPAT1W
- TSnDTC0W, TSnDTC1W
- TSnDCMP0W, TSnDCMP2
- TSnCTL4
- TSnIOC3

随時書き換えモード

このモードでは，各コンペア・レジスタが独立して更新動作を行い，各コンペア・レジスタに書き込むと随時ライト・アクセスした値に更新されます。

注意 HT-PWM モードで随時書き換えモード時，バッファ・レジスタへの転送が終了する前に再度書き換えを行った場合，ライト・アクセスした値が即時に更新されません。
書き換えたタイミングが 16 ビット・カウンタのアップ・カウント時は，次の 16 ビット・サブカウンタの山タイミングで更新されます。16 ビット・カウンタのダウン・カウント時は，次の 16 ビット・サブカウンタの谷タイミングで更新されます。

リロード・モード（一斉書き換え機能）

TSnCMP1（TSnCMP1W, TSnCMPU, TSnUPW）レジスタへライトするとリロードが許可され（リロード要求フラグ TSnSTR0.TSnRSF をセット），次のリロード・タイミングでリロード対象レジスタが一斉に更新されます（リロード）。

リロード・タイミングは，TSnTRG0.TSnTS ビットを “0” から “1” にしたとき，16 ビット・カウンタの山／谷タイミングです。TSnCTL4.TSnPRE, TSnVRE で制御します。

TSnCMP1（TSnCMP1W, TSnCMPU, TSnUPW）以外のレジスタへライトしてもリロードは許可されません。

TSnCMP1（TSnCMP1W, TSnCMPU, TSnUPW）レジスタへのライトによりリロードが許可され，次のリロード・タイミングがくるまでは，リロード対象レジスタへのライト・アクセスはしないでください。リロード要求フラグ TSnSTR0.TSnRSF = 0 のときに書き換えてください。

リロード対象レジスタの DMA 書き換え

一部のリロード対象レジスタは DMA 転送で書き換えることができます。
DMA 転送は，次のように行います。

表 15-38 リロード対象レジスタの DMA 転送順序例

アドレス	レジスタ名	DMA 転送順（例）
<TSG2n_base1> + 040_H	TSnCMP1W	↑
<TSG2n_base1> + 044_H	TSnCMP5W	
<TSG2n_base1> + 048_H	TSnCMP9W	
<TSG2n_base1> + $04C_H$	TSnCMP3W	
<TSG2n_base1> + 050_H	TSnCMP7W	
<TSG2n_base1> + 054_H	TSnCMP11W	
<TSG2n_base1> + 058_H	TSnCMP0	
<TSG2n_base1> + $05C_H$	TSnDCMP0W	
<TSG2n_base1> + 060_H	TSnDCMP2	
<TSG2n_base1> + 064_H	TSnPAT0W	
<TSG2n_base1> + 068_H	TSnPAT1W	
<TSG2n_base1> + $06C_H$	TSnDTC0W	
<TSG2n_base1> + 070_H	TSnDTC1W	

表 15-39 HT-PWM モード時のデューティ設定

アドレス	レジスタ名	DMA 転送順（例）
<TSG2n_base1> + $0B0_H$	TSnCMPU	↑
<TSG2n_base1> + $0B4_H$	TSnCMPV	
<TSG2n_base1> + $0B8_H$	TSnCMPW	

表 15-40 SP-PWM モード時のアクティブ幅設定

アドレス	レジスタ名	DMA 転送順（例）
<TSG2n_base1> + $0BC_H$	TSnUPW	↑
<TSG2n_base1> + $0C0_H$	TSnVPW	
<TSG2n_base1> + $0C4_H$	TSnWPW	

備考 1.TSnCTL4, TSnIOC3 は，個別に書き換えてください。
2.TSnCMP1W（TSnCMP1, TSnCMPU, TSnUPW を含む）のライトは，リロードが許可されますので，他のリロード対象レジスタの書き換え（リロードの準備）が終了した後に書き換えてください。

(1) 随時書き換えモードの動作例

コンペア・レジスタ（TSnCMP1-TSnCMP12）へライトした値が，すぐに内部のバッファ・レジスタに転送されカウンタ値との比較対象になるモードです。

コンペア・レジスタ（TSnCMP1-TSnCMP12）等へライト後，1 クロック（PCLK）後に内部コンペア・バッファ・レジスタへ値が転送されます。

TSnCMP0 の転送タイミングは，コンペア・レジスタへライト後の 16 ビット・カウンタの山／谷タイミング（HT-PWM モードのみ），もしくは，TSnCMP0 と 16 ビット・カウンタの一致タイミング（HT-PWM モード以外）になります。

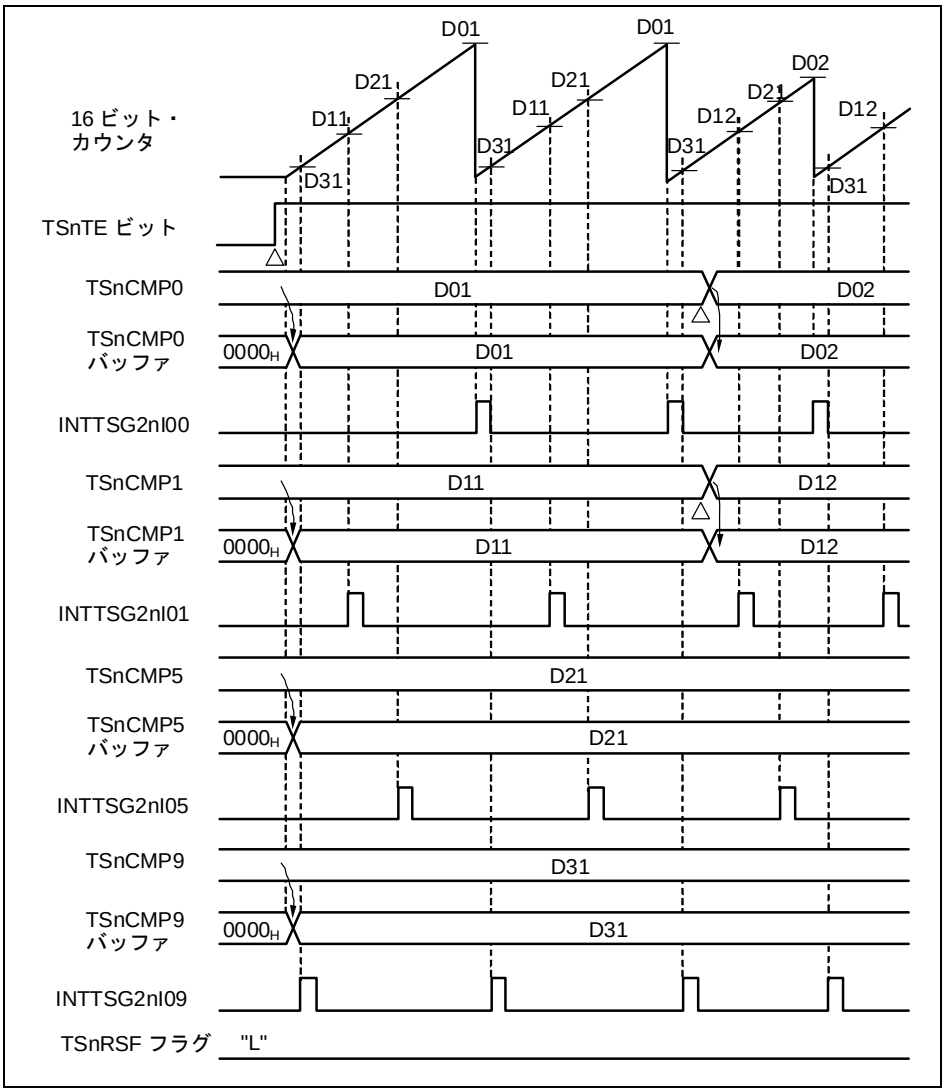


図 15-2 随時書き換えのタイミング（PWM モードの例）

備考 1.D01, D02：TSnCMP0 の設定値（0000_H-$FFFF_H$）
D11, D12：TSnCMP1 の設定値（0000_H-$FFFF_H$）
D21 ：TSnCMP5 の設定値（0000_H-$FFFF_H$）
D31 ：TSnCMP9 の設定値（0000_H-$FFFF_H$）
2. △：ライト・アクセス

(a) HT-PWM モードにおける随時書き込み時の PWM への反映について

HT-PWM モード時，コンペア・レジスタの随時書き換えしたタイミングにより，次の出力制御が行われます。

- 随時書き換えが逆相のクリア後，16 ビット・カウンタがアップ・カウント（16 ビット・サブカウンタは，アップ・カウント）の場合，書き換えた値が TSnCMPm < TSnSBC のとき，正相がセットされます。また，書き換えた値が TSnCMPm > TSnCNT のとき，逆相がセットされます。（正相および逆相のクリア後は，デッド・タイムが挿入されます）
- 随時書き換えが正相のセット後，16 ビット・カウンタがアップ・カウント（16 ビット・サブカウンタは，アップ・カウント）の場合，書き換えた値が TSnCMPm > TSnSBC のとき，正相がクリアされます。また，書き換えた値が TSnCMPm > TSnCNT のとき，正相がクリアされ，逆相がセットされます。（正相および逆相のクリア後は，デッド・タイムが挿入されます）
- 随時書き換えが逆相のクリア前，16 ビット・カウンタがアップ・カウント（16 ビット・サブカウンタは，アップ・カウント）の場合，書き換えた値が TSnCMPm < TSnCNT のとき，逆相がクリアされます。また，書き換え値が TSnCMPm < TSnSBC のとき，逆相がクリアされ，正相がセットされます。（正相および逆相のクリア後は，デッド・タイムが挿入されます）
- 随時書き換えが正相のクリア後，16 ビット・カウンタがアップ・カウント（16 ビット・サブカウンタは，ダウン・カウント）の場合，書き換えた値が TSnCMPm > TSnCNT のとき，逆相がセットされます。（正相がクリア後は，デッドタイムが挿入されます）
- 随時書き換えが正相のクリア前，16 ビット・カウンタがアップ・カウント（16 ビット・サブカウンタは，ダウン・カウント）の場合，書き換えた値が TSnCMPm > TSnSBC のとき，正相がクリアされます。また，書き換えた値が TSnCMPm > TSnCNT のとき，正相がクリアされ，逆相がセットされます。（正相および逆相のクリア後は，デッド・タイムが挿入されます）
- 随時書き換えが正相のセット後，16 ビット・カウンタがアップ・カウント（16 ビット・サブカウンタは，アップ・カウント）の場合，書き換えた値が TSnCMPm > TSnSBC のとき，正相がクリアされます。また，書き換えた値が TSnCMPm > TSnCNT のとき，正相がクリアされ，逆相がセットされます。（正相および逆相のクリア後は，デッド・タイムが挿入されます）
- 随時書き換えが正相のセット後，16 ビット・カウンタがダウン・カウント（16 ビット・サブカウンタは，アップ・カウント）の場合，書き換えた値が TSnCMPm > TSnSBC のとき，正相がクリアされます。（正相がクリア後は，デッド・タイムが挿入されます）
- 随時書き換えが正相のセット後，16 ビット・カウンタがダウン・カウント（16 ビット・サブカウンタは，アップ・カウント）の場合，書き換えた値が TSnCMPm > TSnCNT のとき，正相がクリアされます。また，書き換えた値が TSnCMPm > TSnSBC のとき，正相がクリアされ，逆相がセットされます。（正相がクリア後は，デッド・タイムが挿入されます）

(2) リロード・モード（一斉書き換え機能）の動作例

書き換えたリロード対象レジスタ（TSnCMP0-TSnCMP12, TSnCTL3, TSnIOC3, TSnPAT0W, TSnPAT1W, TSnDTC0W, TSnDTC1W, TSnDCMP0W, TSnDCMP2）の値は，リロード・タイミングで一斉に各バッファ・レジスタに転送することができます。

リロード対象レジスタは，リロード要求フラグ TSnSTR0.TSnRSF = 0 のときに書き換えてください。

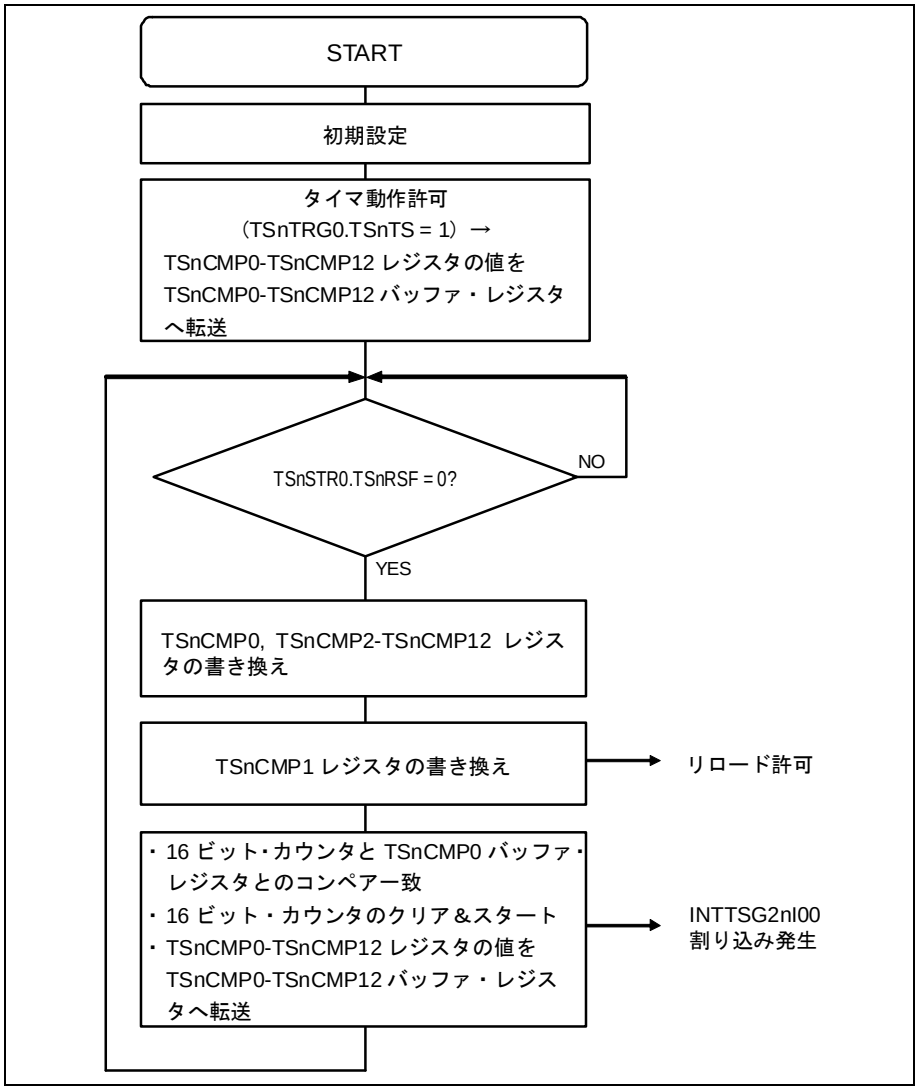


図 15-3 リロード・モード（一斉書き換え機能）の基本動作フロー（PWM モードの例）

注意 TSnCMP1 へのライト・アクセスにはリロードを許可する動作も含まれます。したがって TSnCMP1 の書き換えは他の TSnCMP0, TSnCMP2-TSnCMP12 レジスタの書き換えより後にしてください。

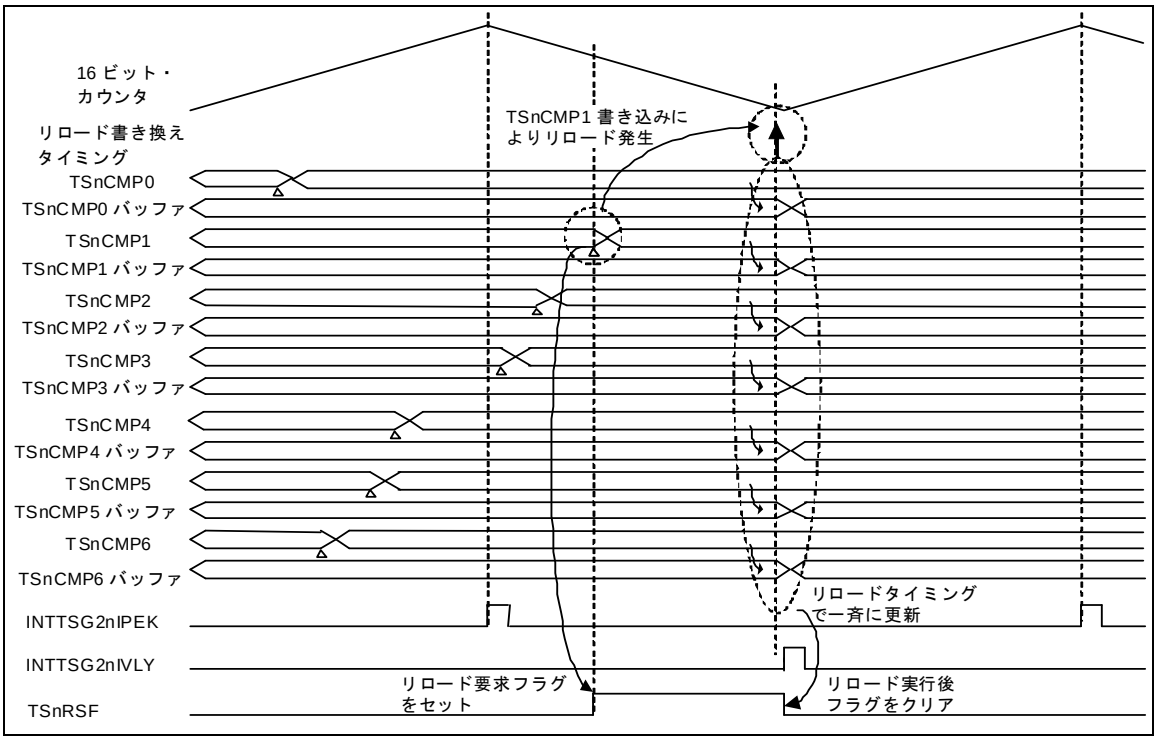


図 15-4 一斉書き換えのタイミング（1/2）
（HT ー PWM モードの例）

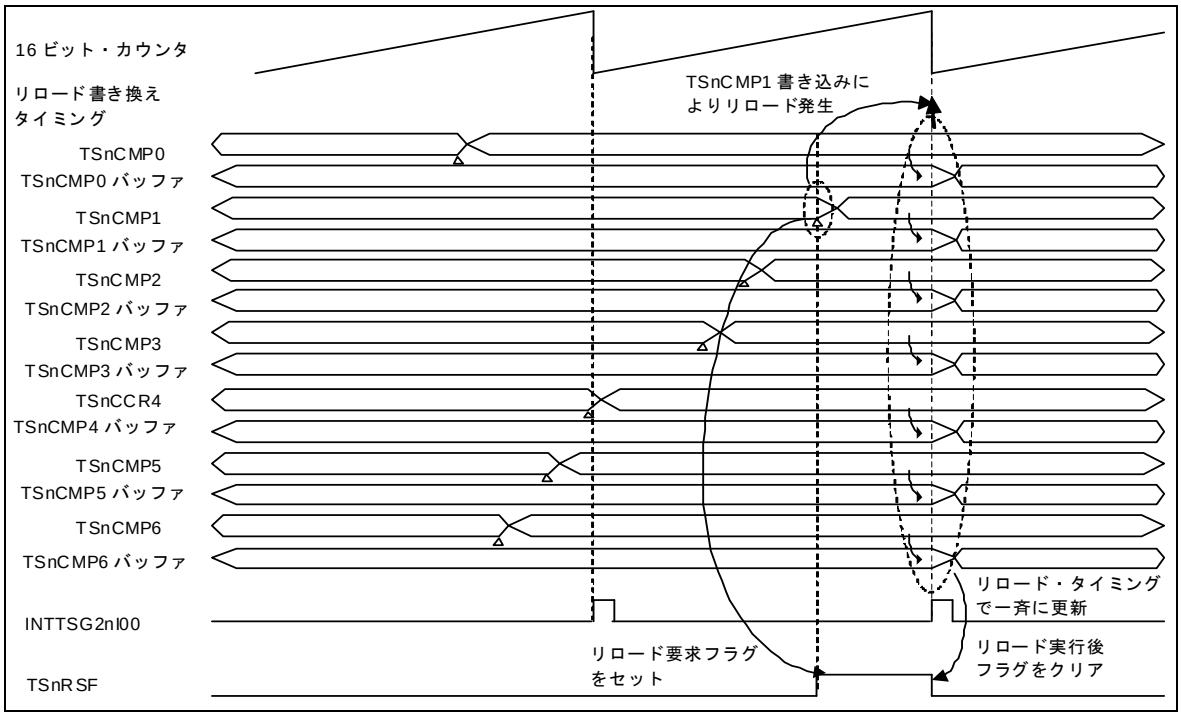


図 15-4 一斉書き換えのタイミング（2/2）
（PWM モードの例）

(a) 各モードのリロード書き換え設定例

リロード発生条件および設定例を示します。

表 15-41 リロードの設定一覧（TSnCTL3.TSnRIA = 0 の場合）

モード	TSnCTL4.TSnPRE	TSnCTL4.TSnVRE	TSnCTL4.TSnPIE	TSnCTL4.TSnVIE	TSnCTL4.TSnRCC4 - TSnRCC0	リロード
PWM モード	0	0/1	0/1	0/1	任意	設定禁止
SP-PWM モード	1	0	0/1	0/1	任意	INTTSG2nI00 発生時
120-DC モード	1	1	0/1	0/1	任意	INTTSG2nI00 発生時
HT-PWM モード	0	0	0/1	0/1	任意	設定禁止
	0	1	0/1	0/1	任意	INTTSG2nIVLY 発生時
	1	0	0/1	0/1	任意	INTTSG2nIPEK 発生時
	1	1	0/1	0/1	任意	INTTSG2nIPEK/INTTSG2nIVLY 発生時

表 15-42 リロードの設定一覧（TSnCTL3.TSnRIA = 1 の場合）

モード	TSnCTL4.TSnPRE	TSnCTL4.TSnVRE	TSnCTL4.TSnPIE	TSnCTL4.TSnVIE	TSnCTL4.TSnRCC4-TSnRCC0	リロード
PWM モード	0	0/1	0/1	0/1	任意	設定禁止
SP-PWM モード	1	0	0	0/1	任意	設定禁止
120-DC モード	1	0	1	0/1	任意	INTTSG2nI00 発生時
	1	1	0	0/1	任意	設定禁止
	1	1	1	0/1	任意	INTTSG2nI00 発生時
HT-PWM モード	0	0	0/1	0/1	任意	設定禁止
	0	1	0	0	任意	設定禁止
	0	1	0	1	任意	INTTSG2nIVLY 発生時
	0	1	1	0	任意	設定禁止
	0	1	1	1	任意	INTTSG2nIVLY 発生時
	1	0	0	0/1	任意	設定禁止
	1	0	1	0/1	任意	INTTSG2nIPEK 発生時
	1	1	0	0	任意	設定禁止
	1	1	0	1	任意	INTTSG2nIVLY 発生時
	1	1	1	0	任意	INTTSG2nIPEK 発生時
	1	1	1	1	任意	INTTSG2nIPEK/INTTSG2nIVLY 発生時

15.5.4 各モード時における出力一覧

(1) モード別のタイマ出力

各モード時のタイマ出力（TSG2nO0-TSG2nO7 端子）一覧を次に示します。

表 15-43 モード別タイマ出力一覧（1/3）

動作モード	TSG2nO0 端子	TSG2nO1 端子	TSG2nO2 端子
PWM モード	－ （ロウ・レベル出力固定）	TSnCMP1W（TSnCMP1, TSnCMP2）のコンペアー一致による PWM 出力	TSnCMP3W（TSnCMP3, TSnCMP4）のコンペアー一致による PWM 出力
HT-PWM モード	16 ビット・カウンタ，または，16 ビット・サブカウンタのアップ／ダウン・ステータス出力	TSnCMP1W（TSnCMP1, TSnCMP2）のコンペアー一致による正相 PWM 出力（デッド・タイム付き）	TSG2nO1 端子に対する逆相 PWM 出力（デッド・タイム付き）
SP-PWM モード	－ （ロウ・レベル出力固定）	TSnCMP1W（TSnCMP1, TSnCMP2）のコンペアー一致による正相 PWM 出力（デッド・タイム付き）	TSG2nO1 端子に対する逆相 PWM 出力（デッド・タイム付き）
120-DC モード	－ （ロウ・レベル出力固定）	TSnCMP1W（TSnCMP1, TSnCMP2），TSnCMP5W（TSnCMP5, TSnCMP6），TSnCMP9W（TSnCMP9, TSnCMP10）を使用した PWM 出力	TSnCMP3W（TSnCMP3, TSnCMP4），TSnCMP7W（TSnCMP7, TSnCMP8），TSnCMP11W（TSnCMP11, TSnCMP12）を使用した PWM 出力

表 15-43 モード別タイマ出力一覧（2/3）

動作モード	TSG2nO3 端子	TSG2nO4 端子	TSG2nO5 端子
PWM モード	TSnCMP5W（TSnCMP5, TSnCMP6）のコンペアー一致による PWM 出力	TSnCMP7W（TSnCMP7, TSnCMP8）のコンペアー一致による PWM 出力	TSnCMP9W（TSnCMP9, TSnCMP10）のコンペアー一致による PWM 出力
HT-PWM モード	TSnCMP5W（TSnCMP5, TSnCMP6）のコンペアー一致による正相 PWM 出力（デッド・タイム付き）	TSG2nO3 端子に対する逆相 PWM 出力（デッド・タイム付き）	TSnCMP9W（TSnCMP9, TSnCMP10）のコンペアー一致による正相 PWM 出力（デッド・タイム付き）
SP-PWM モード	TSnCMP5W（TSnCMP5, TSnCMP6）のコンペアー一致による正相 PWM 出力（デッド・タイム付き）	TSG2nO3 端子に対する逆相 PWM 出力（デッド・タイム付き）	TSnCMP9W（TSnCMP9, TSnCMP10）のコンペアー一致による正相 PWM 出力（デッド・タイム付き）
120-DC モード	TSnCMP1W（TSnCMP1, TSnCMP2），TSnCMP5W（TSnCMP5, TSnCMP6），TSnCMP9W（TSnCMP9, TSnCMP10）を使用した PWM 出力	TSnCMP3W（TSnCMP3, TSnCMP4），TSnCMP7W（TSnCMP7, TSnCMP8），TSnCMP11W（TSnCMP11, TSnCMP12）を使用した PWM 出力	TSnCMP1W（TSnCMP1, TSnCMP2），TSnCMP5W（TSnCMP5, TSnCMP6），TSnCMP9W（TSnCMP9, TSnCMP10）を使用した PWM 出力

表 15-43 モード別タイマ出力一覧（3/3）

動作モード	TSG2nO6 端子	TSG2nO7 端子
PWM モード	TSnCMP11W（TSnCMP11,TSnCMP12）のコンペアー致による PWM 出力	ダイアグ出力，もしくは，A/D 変換トリガ出力
HT-PWM モード	TSG2nO5 端子に対する逆相 PWM 出力（デッド・タイム付き）	ダイアグ出力，もしくは，A/D 変換トリガ出力
SP-PWM モード	TSG2nO5 端子に対する逆相 PWM 出力（デッド・タイム付き）	ダイアグ出力，もしくは，A/D 変換トリガ出力注
120-DC モード	TSnCMP3W（TSnCMP3,TSnCMP4），TSnCMP7W（TSnCMP7, TSnCMP8），TSnCMP11W（TSnCMP11,TSnCMP12）を使用した PWM 出力	ダイアグ出力，もしくは，A/D 変換トリガ出力注

注 TSG2nO7 に関しては 15.5.4 (1) (a)「TSG2nO7 端子の出力制御」を参照してください。

(a) TSG2nO7 端子の出力制御

A/D 変換トリガ用のパルス（TSnIOC1.TSnTGS = 0），または，ダイアグ出力（TSnIOC1.TSnTGS = 1）を TSG2nO7 端子に出力することができます。A/D 変換トリガ用のパルス出力時の TSG2nO7 端子は，TSnADTRG0 信号の立ち上がりエッジでアクティブとなり，TSnADTRG1 信号の立ち上がりエッジでインアクティブとなります。TSG2nO7 端子がアクティブの状態で TSnADTRG0 信号を検出した場合は，TSG2nO7 端子はアクティブ・レベルを維持します。また，TSG2nO7 端子がインアクティブの状態で TSnADTRG1 信号を検出した場合は，TSG2nO7 端子はインアクティブ・レベルを維持します。TSnADTRG0, TSnADTRG1 信号のトリガが同時の場合は，TSG2nO7 端子のインアクティブが優先されます。

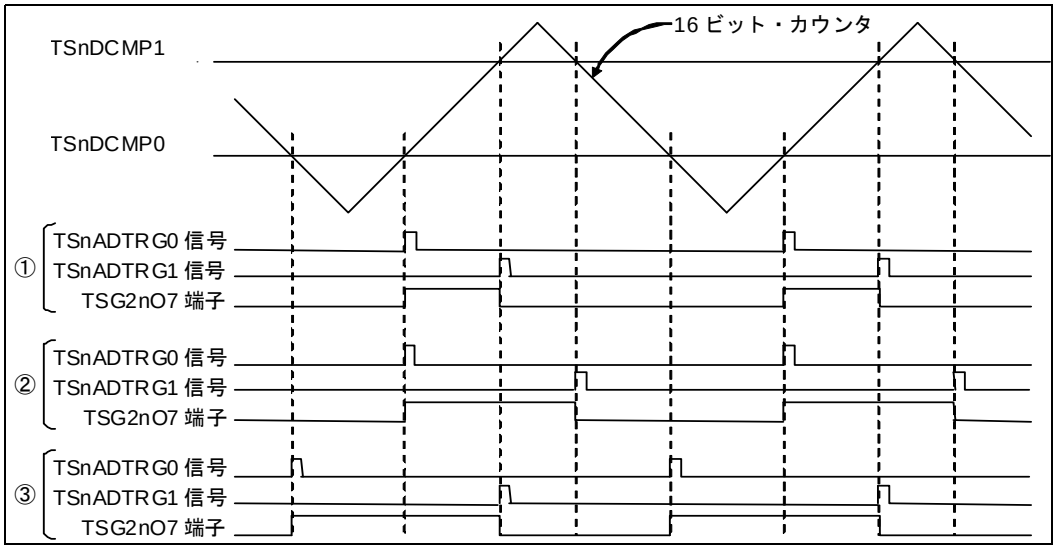


図 15-5 TSG2nO7 端子の A/D トリガ出力タイミング例（TSnIOC1.TSnTGS = 0）

備考 ①：TSnDCMP0 レジスタ＜ TSnDCMP1 レジスタ，TSnCTL5 レジスタ = 0004_H，TSnCTL6 レジスタ = 0010_H の場合
②：TSnDCMP0 レジスタ＜ TSnDCMP1 レジスタ，TSnCTL5 レジスタ = 0004_H，TSnCTL6 レジスタ = 0020_H の場合
③：TSnDCMP0 レジスタ＜ TSnDCMP1 レジスタ，TSnCTL5 レジスタ = 0008_H，TSnCTL6 レジスタ = 0010_H の場合 TSG2nO7 に関しては 15.5.4 (1) (a)「TSG2nO7 端子の出力制御」を参照してください。

ダイアグ出力時の TSG2nO7 端子は，TSnDCMP0-TSnDCMP2 が 16 ビット・カウンタと一致するタイミングにて TSnCTL0.TSnDWD で設定した出力幅のアクティブ・レベルを出力します。なお，TSnDCMP0-TSnDCMP2 と 16 ビット・カウンタの一致タイミングが TSnDWD で設定した出力幅以内で発生し，アクティブ・レベルが重なった場合，重なった箇所を 16 クロック（PCLK）以内で出力します。

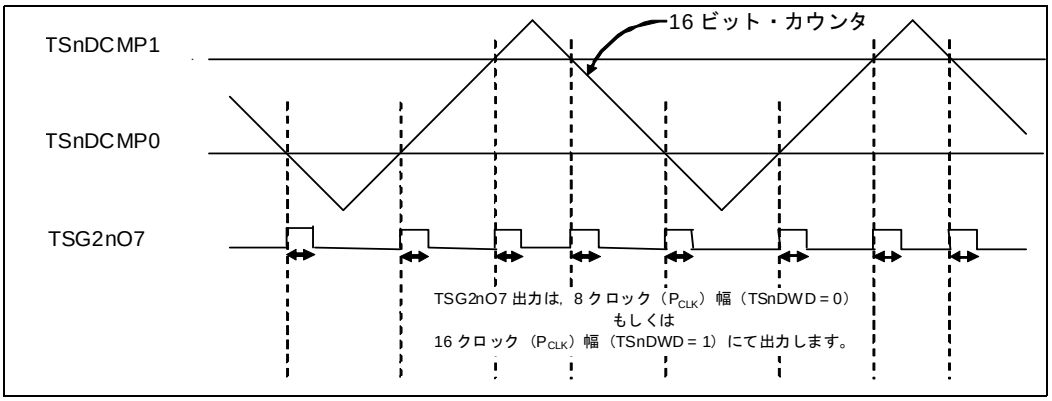


図 15-6 TSG2nO7 端子のダイアグ出力タイミング例①（TSnIOC1.TSnTGS = 1）

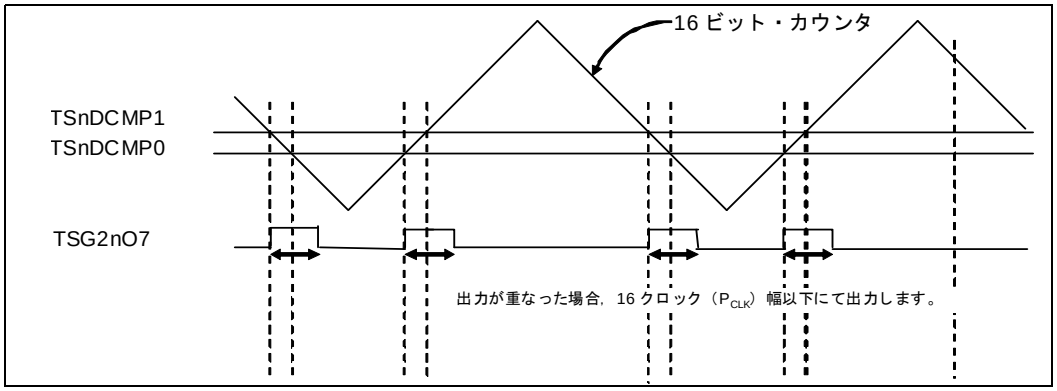


図 15-7 TSG2nO7 端子のダイアグ出力タイミング例②（出力幅が重なった場合）

(2) モード別の割り込み

各モード時の割り込み（INTTSG2nI00-INTTSG2nI12, INTTSG2nIPEK, INTTSG2nIVLY, INTTSG2nIER, INTTSG2nIWN）一覧を次に示します。

表 15-44 モード別割り込み一覧（1/5）

動作モード	INTTSG2nI00	INTTSG2nI01	INTTSG2nI02	INTTSG2nI03
PWM モード	TSnCMP0 コンペア一致割り込み	TSnCMP1 コンペア一致割り込み注 1	TSnCMP2 コンペア一致割り込み注 1	TSnCMP3 コンペア一致割り込み注 1
HT-PWM モード	周期割り込み	TSnCMP1 コンペア一致割り込み注 2	TSnCMP2 コンペア一致割り込み注 2	−
SP-PWM モード	TSnCMP0 コンペア一致割り込み	TSnCMP1 コンペア一致割り込み注 1	TSnCMP2 コンペア一致割り込み注 1	−
120-DC モード	TSnCMP0 コンペア一致割り込み	TSnCMP1 コンペア一致割り込み注 1	TSnCMP2 コンペア一致割り込み注 1	TSnCMP3 コンペア一致割り込み注 1

注 1. TSnCMP0 ＜ TSnCMPm に設定した場合，コンペアー致割り込みは発生しません。（m = 1-12）

2. 0000H ≦ TSnCMPm ＜ TSnDTC0，（TSnCMP0+TSnDTC0）＜ TSnCMPm の範囲に設定した場合，コンペアー致割り込みは発生しません。

表 15-44 モード別割り込み一覧（2/5）

動作モード	INTTSG2nI04	INTTSG2nI05	INTTSG2nI06	INTTSG2nI07
PWM モード	TSnCMP4 コンペア一致割り込み注 1	TSnCMP5 コンペア一致割り込み注 1	TSnCMP6 コンペア一致割り込み注 1	TSnCMP7 コンペア一致割り込み注 1
HT-PWM モード	−	TSnCMP5 コンペア一致割り込み注 2	TSnCMP6 コンペア一致割り込み注 2	−
SP-PWM モード	−	TSnCMP5 コンペア一致割り込み注 1	TSnCMP6 コンペア一致割り込み注 1	−
120-DC モード	TSnCMP4 コンペア一致割り込み注 1	TSnCMP5 コンペア一致割り込み注 1	TSnCMP6 コンペア一致割り込み注 1	TSnCMP7 コンペア一致割り込み注 1

注 1. TSnCMP0 ＜ TSnCMPm に設定した場合，コンペアー致割り込みは発生しません。（m = 1-12）

2. 0000_H ≦ TSnCMPm ＜ TSnDTC0，（TSnCMP0+TSnDTC0）＜ TSnCMPm の範囲に設定した場合，コンペアー致割り込みは発生しません。

表 15-44 モード別割り込み一覧（3/5）

動作モード	INTTSG2nI08	INTTSG2nI09	INTTSG2nI10	INTTSG2nI11
PWM モード	TSnCMP8 コンペアー致割り込み[注1]	TSnCMP9 コンペアー致割り込み[注1]	TSnCMP10 コンペアー致割り込み[注1]	TSnCMP11 コンペアー致割り込み[注1]
HT-PWM モード	−	TSnCMP9 コンペアー致割り込み[注2]	TSnCMP10 コンペアー致割り込み[注2]	−
SP-PWM モード	−	TSnCMP9 コンペアー致割り込み[注1]	TSnCMP10 コンペアー致割り込み[注1]	−
120-DC モード	TSnCMP8 コンペアー致割り込み[注1]	TSnCMP9 コンペアー致割り込み[注1]	TSnCMP10 コンペアー致割り込み[注1]	TSnCMP11 コンペアー致割り込み[注1]

注 1. TSnCMP0 ＜ TSnCMPm に設定した場合，コンペアー致割り込みは発生しません。（m = 1-12）

2. 0000_H ≦ TSnCMPm ＜ TSnDTC0，（TSnCMP0+TSnDTC0）＜ TSnCMPm の範囲に設定した場合，コンペアー致割り込みは発生しません。

表 15-44 モード別割り込み一覧（4/5）

動作モード	INTTSG2nI12	INTTSG2nIPEK	INTTSG2nIVLY
PWM モード	TSnCMP12 コンペアー致割り込み[注]	INTTSG2nI00 と同タイミングで山割り込み	−
HT-PWM モード	−	山割り込み	谷割り込み
SP-PWM モード	−	INTTSG2nI00 と同タイミングで山割り込み	−
120-DC モード	TSnCMP12 コンペアー致割り込み[注]	INTTSG2nI00 と同タイミングで山割り込み	−

注 TSnCMP0 ＜ TSnCMPm に設定した場合，コンペアー致割り込みは発生しません。（m = 1-12）

表 15-44 モード別割り込み一覧（5/5）

動作モード	INTTSG2nIER	INTTSG2nIWN
PWM モード	エラー割り込み	ワーニング割り込み
HT-PWM モード	エラー割り込み	ワーニング割り込み
SP-PWM モード	エラー割り込み	ワーニング割り込み
120-DC モード	エラー割り込み	ワーニング割り込み

15.6 一致割り込み

割り込みには，コンペアー致割り込み（INTTSG2nIm），山割り込み（INTTSG2nIPEK），谷割り込み（INTTSG2nIVLY）が存在します。エラー／ワーニング割り込み（INTTSG2nIER，INTTSG2nIWN）に関しては 15.10「エラー／ワーニング割り込み」を参照してください。

周期割り込み（INTTSG2nI00）は，タイマの周期毎に発生します。HT-PWM モードでは，TSnDTC0 バッファ・レジスタと 16 ビット・カウンタの一致したときに発生します。16 ビット・カウンタがのこぎり波動作を行うモード（PWM モード，SP-PWM モード，120-DC モード）では，16 ビット・カウンタが TSnCMP0 バッファ・レジスタとの一致後に発生します。

コンペアー致割り込み（INTTSG2nIm）は，TSnCMPm バッファ・レジスタと 16 ビット・カウンタの一致により発生する割り込みで，動作モードで使用するコンペア・レジスタに応じて一致割り込みを発生します。（m = 01-12）

山割り込み（INTTSG2nIPEK）は，全てのモードで発生します。HT-PWM モードでは，16 ビット・カウンタがアップ・カウントからダウン・カウントに切り替わるときに発生します。16 ビット・カウンタがのこぎり波動作を行うモード（PWM モード，SP-PWM モード，120-DC モード）では，16 ビット・カウンタが TSnCMP0 バッファ・レジスタとの一致後に発生します（INTTSG2nI00 割り込みと同タイミング）。

谷割り込み（INTTSG2nIVLY）は，HT-PWM モードで 16 ビット・カウンタがダウン・カウントからアップ・カウントに切り替わるときに発生します。

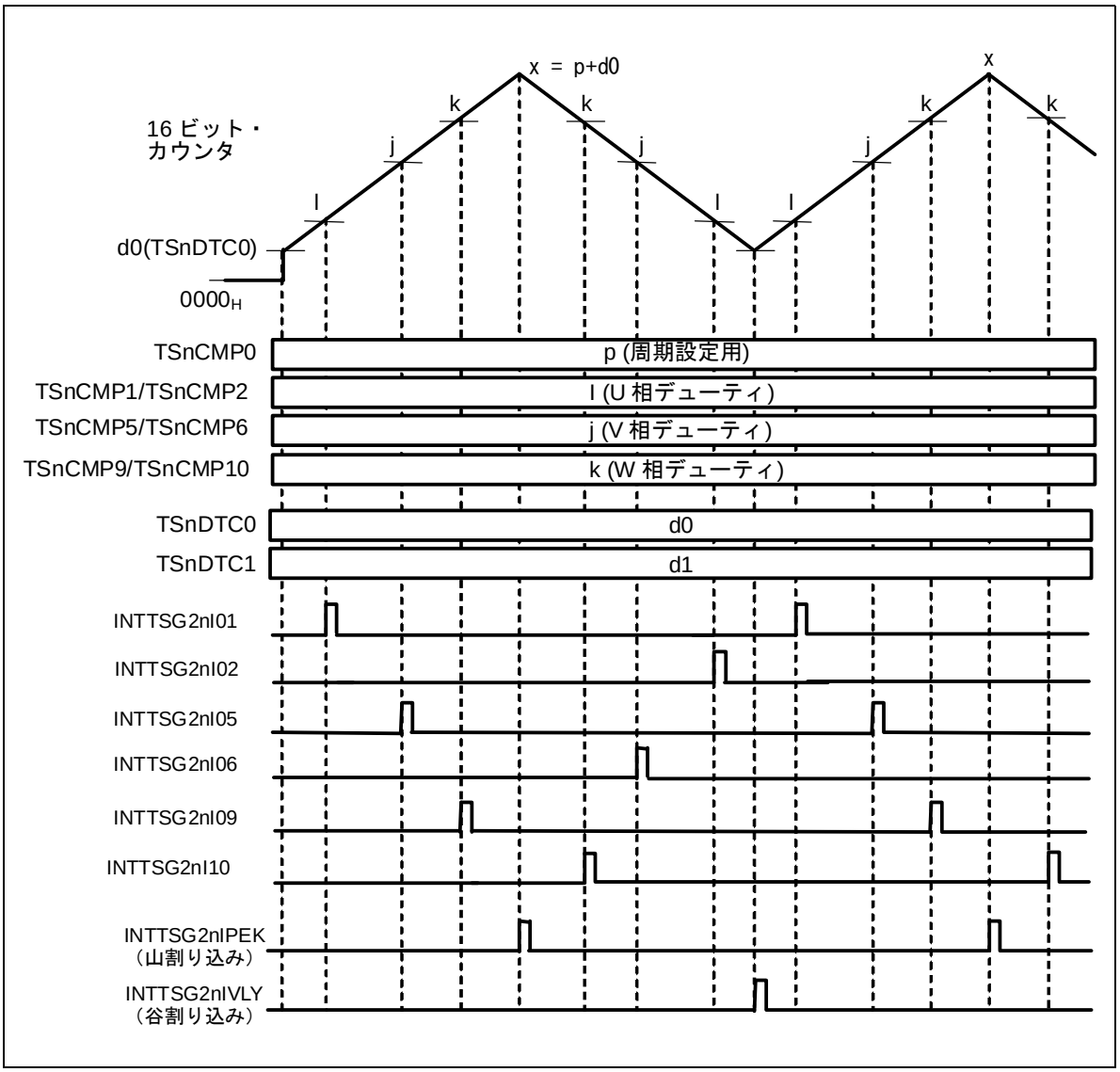


図 15-8 割り込み発生例（1/2）
（HT-PWM モードの例）

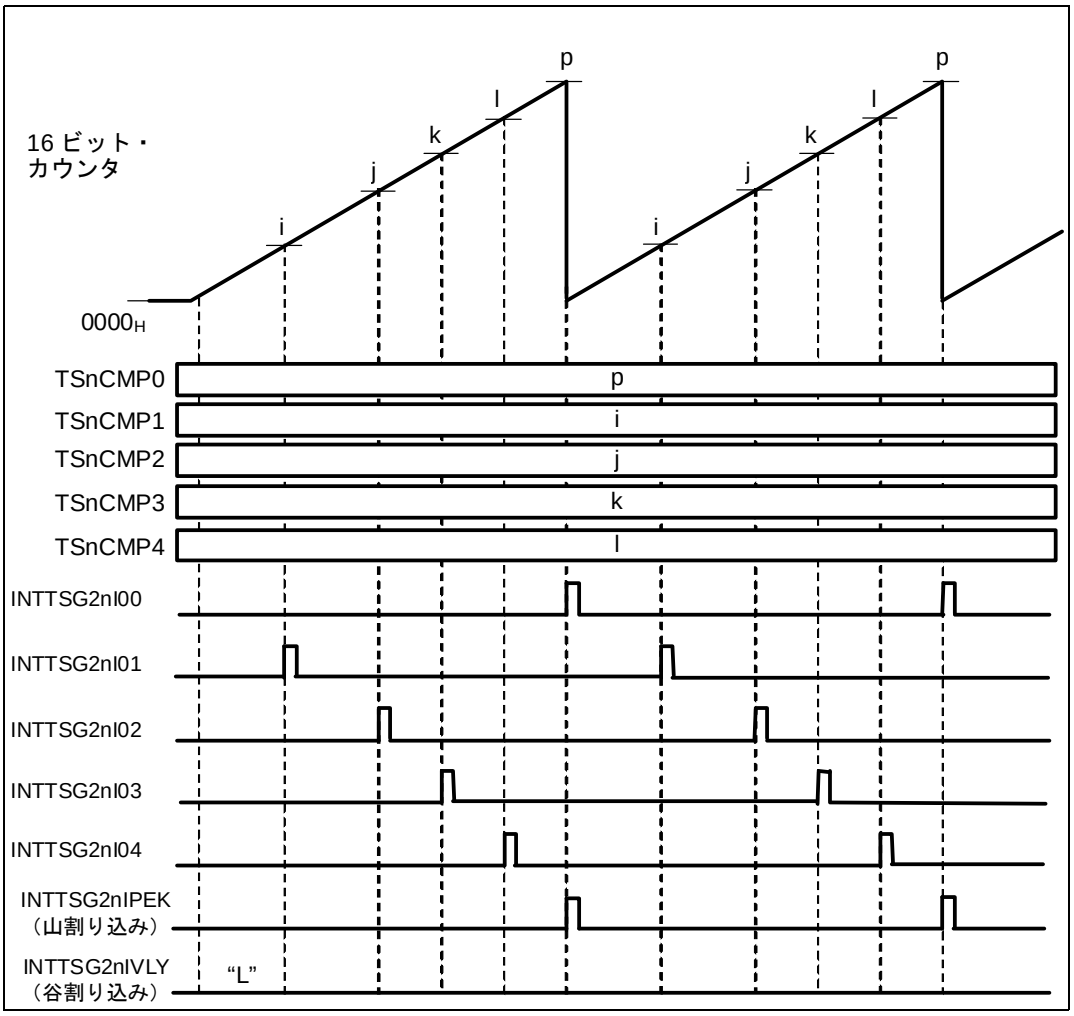


図 15-8 割り込み発生例（2/2）
（PWM モードの例）

15.7 フラグ

表 15-45 フラグ一覧表

番号	フラグ名称	記号	レジスタ	動作モード
(1)	アップ・カウント・フラグ	TSnCUF	TSnSTR0	HT-PWM モード
		TSnSUF	TSnSTR0	
(2)	正相／逆相同時アクティブ検出フラグ	TSnTBF0-TSnTBF2	TSnSTR2	全動作モード
(3)	リロード要求フラグ	TSnRSF	TSnSTR0	全動作モード
(4)	ノイズ検出フラグ	TSnNDF	TSnSTR2	全動作モード
(5)	パターン順序検出フラグ	TSnTSF	TSnSTR1	全動作モード
(6)	パターン・エラー検出フラグ	TSnPEF	TSnSTR2	全動作モード
(7)	パターン反転検出フラグ	TSnPRF	TSnSTR2	全動作モード
(8)	TSG2nPTSI2-TSG2nPTSI0 端子異常トグル検出フラグ	TSnPTF	TSnSTR2	全動作モード
(9)	TSnOPCI0, TSnOPCI1 信号同時トリガ検出フラグ	TSnTDF	TSnSTR2	全動作モード
(10)	パターン位相差異検出フラグ	TSnPPF	TSnSTR2	全動作モード
(11)	タイマ出力パターン・フラグ	TSnOPF0-TSnOPF2	TSnSTR1	全動作モード
(12)	パターン切り替え検出信号（内部信号）	TSnPTE	－	全動作モード

15.7.1 アップ・カウント・フラグ（TSnCUF, TSnSUF）

名称 アップ・カウント・フラグ（TSnSTR0.TSnCUF，TSnSUF）

説明 アップ・カウント・フラグには次の 2 種類があります。

TSnCUF は，16 ビット・カウンタのアップ／ダウン・カウント・フラグです。

TSnSUF は，16 ビット・サブカウンタのアップ／ダウン・カウント・フラグです。

TSnCUF/TSnSUF ともに，“0” はアップ・カウント状態を示し，“1” はダウン・カウント状態を示します。

TSnCUF/TSnSUF は，HT-PWM モード時のみ使用できます。

動作例

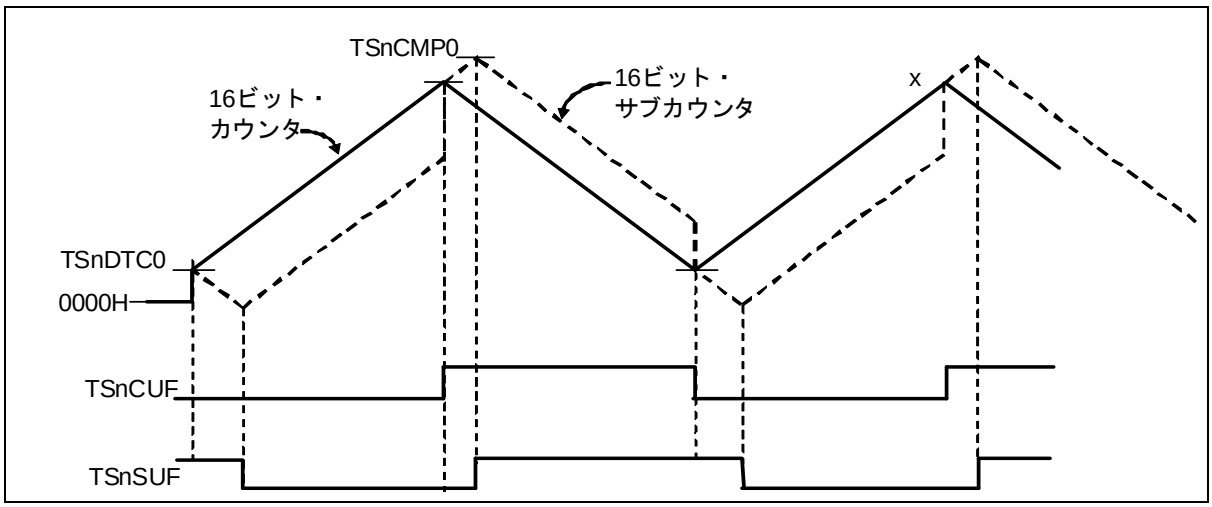


図 15-9 アップ・カウント・フラグ動作例

備考 1.TSnCUF の値は次のようになります。

TSnDTC0 ≦ 16 ビット・カウンタ ≦（TSnCMP0+TSnDTC0-2）
・・・“0”
（アップ・カウント）

（TSnCMP0+TSnDTC0）≧ 16 ビット・カウンタ ≧ TSnDTC0+2
・・・“1”
（ダウン・カウント）

2.TSnSUF の値は次のようになります。

0 ≦ 16 ビット・サブカウンタ ≦（TSnCMP0+TSnDTC0+TSnDTC1-2）
・・・“0”
（アップ・カウント）

（TSnCMP0+TSnDTC0+TSnDTC1）≧ 16 ビット・サブカウンタ ≧ 2
・・・“1”
（ダウン・カウント）

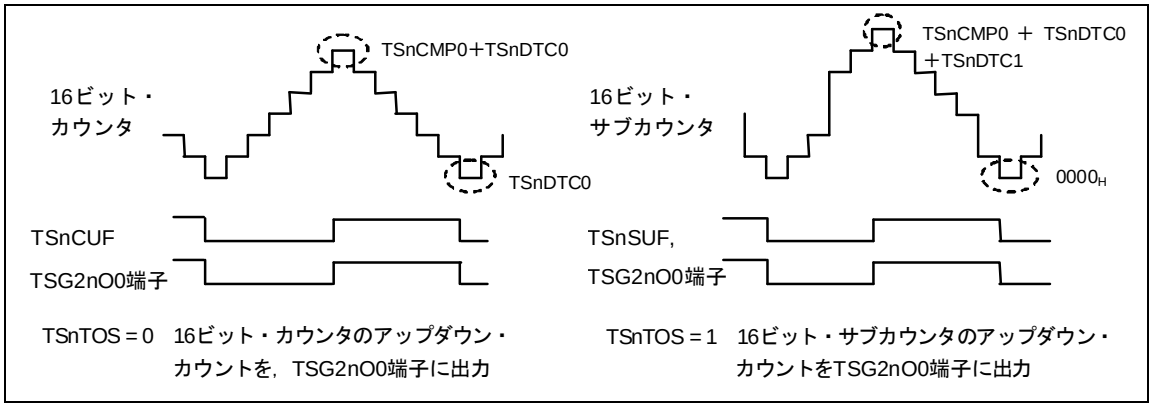


図 15-10 TSnIOC1.TSnTOS 切り替え時の TSG2nO0 端子出力

動作モード HT-PWM モード時のみ使用できます。

15.7.2 正相／逆相同時アクティブ検出フラグ（TSnTBF0-TSnTBF2）

名称 正相／逆相同時アクティブ検出フラグ
（TSnSTR2.TSnTBF0-TSnTBF2 フラグ）

説明 TSnCTL1.TSnTBA2-TSnTBA0 のいずれかが “1” の場合において，TSnTBF0-TSnTBF2 は，TSG2n の正相／逆相の同時アクティブを検出できます。

TSG2n の正相／逆相の同時アクティブを検出した場合，該当する TSnTBF0-TSnTBF2 フラグはセット（1）されエラー割り込み（INTTSG2nIER）が発生します。TSnSTC.TSnTBR0-TSnTBR2 に “1” をライトしたときに各々クリアされます。

動作例

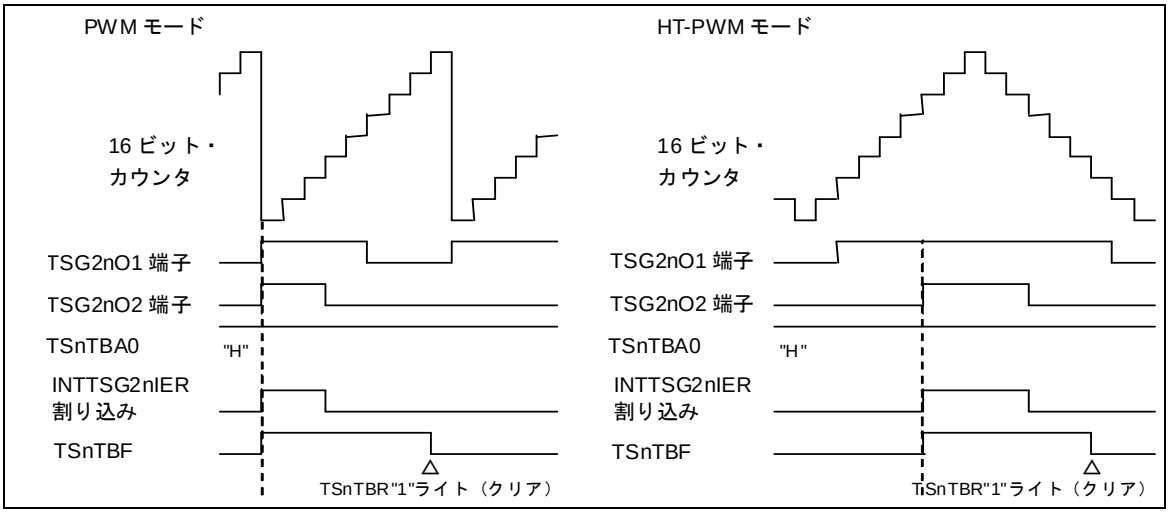


図 15-11 正相／逆相同時アクティブ検出フラグ動作例

動作モード 全ての動作モードで使用できます。

注意 TSnTBF0-TSnTBF2 は，TSnCTL1.TSnTBA0-TSnTBA2 = 1 かつ TSnSTR0.TSnTE = 1 のときのみ有効です。

15.7.3 リロード要求フラグ（TSnRSF）

名称 ロード要求フラグ（TSnSTR0.TSnRSF）

説明 TSnRSF は，リロード要求が発生した時（TSnCMP1（TSnCMP1W, TSnCMPU, TSnUPW）レジスタにライトしたとき），セット（1）されます。リロードが発生し，全バッファ・レジスタに値が転送されたときクリア（0）されます。

動作例

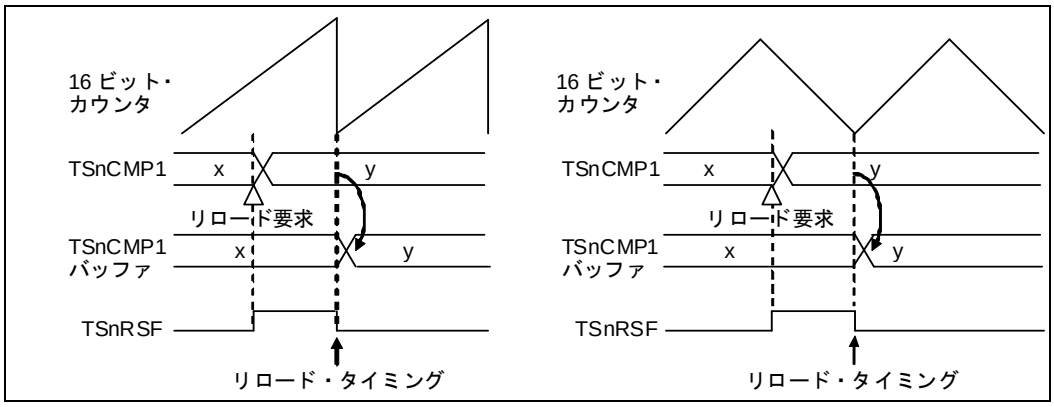


図 15-12 リロード要求フラグ動作例

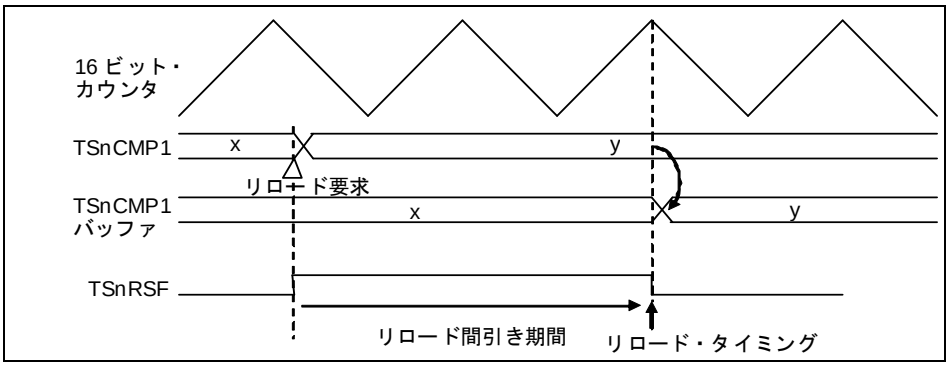


図 15-13 リロード要求フラグとリロード間引き期間

動作モード 全ての動作モードで使用できます。

15.7.4 ノイズ検出フラグ（TSnNDF）

名称 ノイズ検出フラグ（TSnSTR2.TSnNDF）

説明 TSnNDF は，TSG2nPTSI2-TSG2nPTSI0 端子が同時に 2 端子以上変化した（ノイズ発生）ことを検出できます。

TSnNDF は，TSG2nPTSI2-TSG2nPTSI0 端子が同時に 2 端子以上変化した（ノイズ発生）場合にセット（1）され，ワーニング割り込み（INTTSG2nIWN）が発生します。TSnNDF フラグは，TSnSTC.TSnNDR ビットに “1” をライトしたときにクリア（0）されます。

動作例

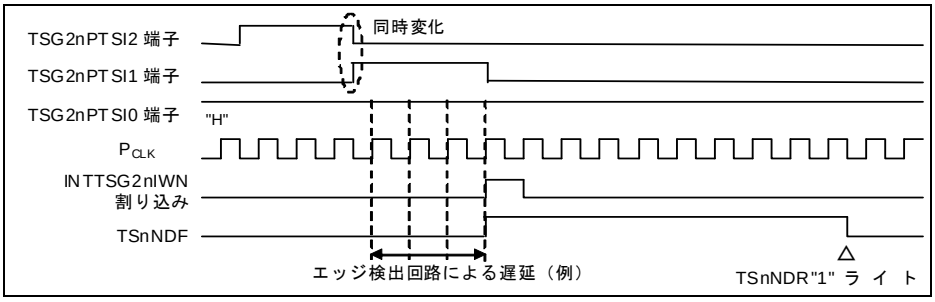


図 15-14 ノイズ検出フラグ動作例

動作モード 全ての動作モードで使用できます。

注意 TSnNDF は，TSnCTL1.TSnNDC=1 かつ TSnSTR0.TSnTE = 1 のときのみ有効です。

15.7.5 パターン順序検出フラグ（TSnTSF）

名称 パターン順序検出フラグ（TSnSTR1.TSnTSF）

説明 TSnTSF は，TSG2nPTSI2-TSG2nPTSI0 端子に入力しているパターンの順序を検出することができます。

TSG2nPTSI2-TSG2nPTSI0 端子の入力により，次の動作となります。

TSG2nTSF	TSG2nPTSI2-TSG2nPTSI0 端子の入力
0	[1,0,1] → [1,0,0] → [1,1,0] → [0,1,0] → [0,1,1] → [0,0,1]
1	[1,0,1] ← [1,0,0] ← [1,1,0] ← [0,1,0] ← [0,1,1] ← [0,0,1]

動作例

(a) TSG2nPTSI2-TSG2nPTSI0 端子に正常な入力が発生している場合

図 15-15 のように，TSG2nPTSI2-TSG2nPTSI0 端子が順序どおりに変化した場合は，変化したタイミングで変化した順序に従い “0” あるいは “1” の値がセットされます。

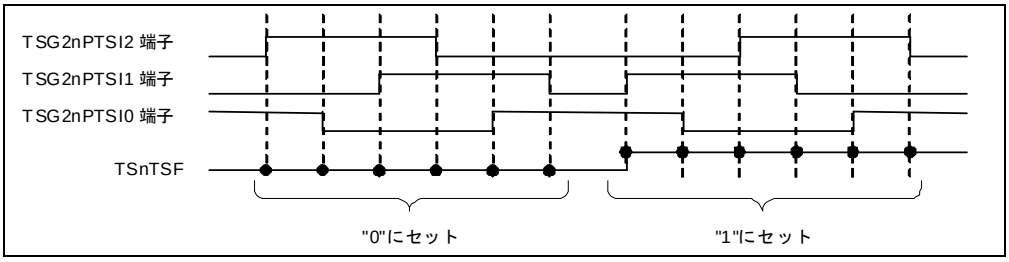


図 15-15 パターン順序検出フラグ動作例（正常時）

(b) 入力パターン変化の順序検出

TSG2ｎ 動作開始直後は回転方向が判別できないため，TSnTSF で，TSG2nPTSI2-TSG2nPTSI0 端子に入力されるパターンの変化（正転／逆転）を検出できません。動作開始時から検出するためには，動作開始前に TSnPSC を設定しておく必要があります（TSnTE=0 の時は，TSnPSC の値が反映されます）。

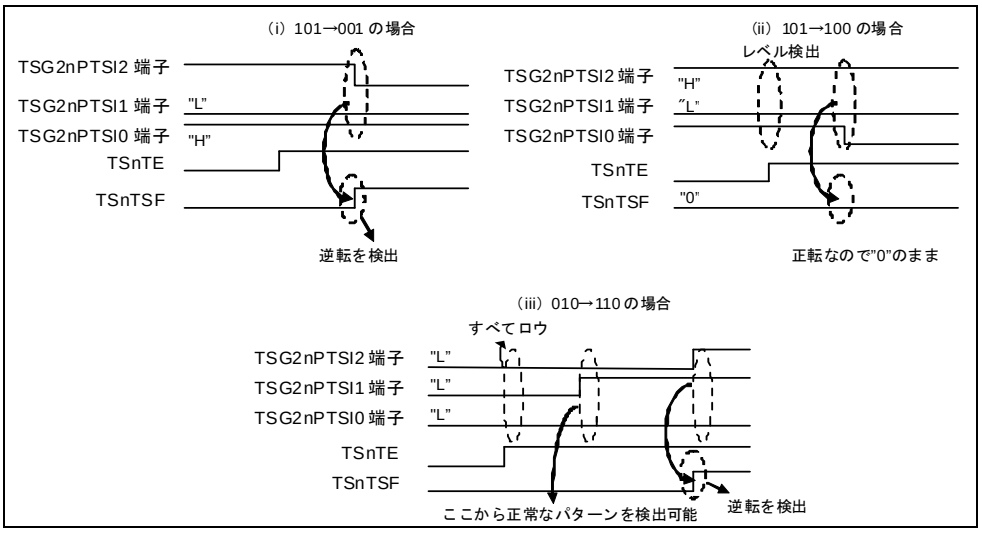


図 15-16 TSG2nPTSI2-TSG2nPTSI0 端子に入力されるパターンの変化（正転／逆転）検出例

(c) TSG2nPTSI2-TSG2nPTSI0 端子に異常な入力が発生した場合

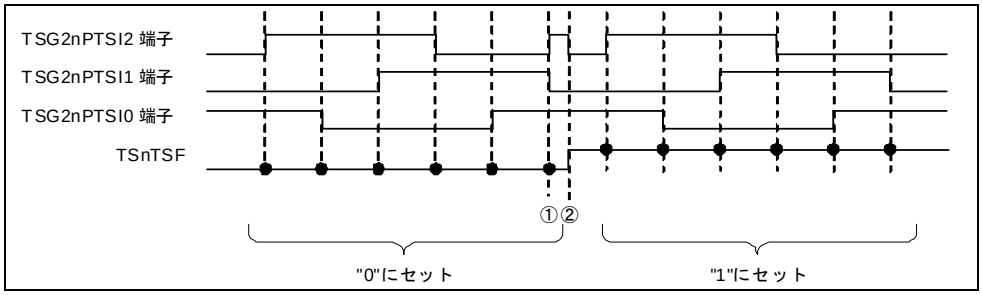


図 15-17 TSG2nPTSI2-TSG2nPTSI0 端子の入力が 2 端子変化した場合の動作例（異常時）

①ここでは，{0,1,0} または {0,0,1} に変化するのを待っているので，このような場合は，TSnTSF は変化しません。（2 端子変化した場合，TSnTSF は変化しません）

②ここで，TSG2nPTSI2-TSG2nPTSI0 端子が {1,0,1} から {0,0,1} に変化したと判断し，TSnTSF をセット（1）します。

動作モード 全ての動作モードで使用できます。

15.7.6 パターン・エラー検出フラグ（TSnPEF）

名称 パターン・エラー検出フラグ（TSnSTR2.TSnPEF）

説明 TSnPEF は，TSG2nPTSI2-TSG2nPTSI0 端子に “000”，“111” が入力されたことを検出できます。

TSnPEF は，TSG2nPTSI2-TSG2nPTSI0 端子のレベルが “111” または “000” の場合にセット（1）され，ワーニング割り込み（INTTSG2nIWN）が発生します。TSnPEF は，TSnSTC.TSnPER に “1” をライトしたときにクリア（0）されます。

動作例

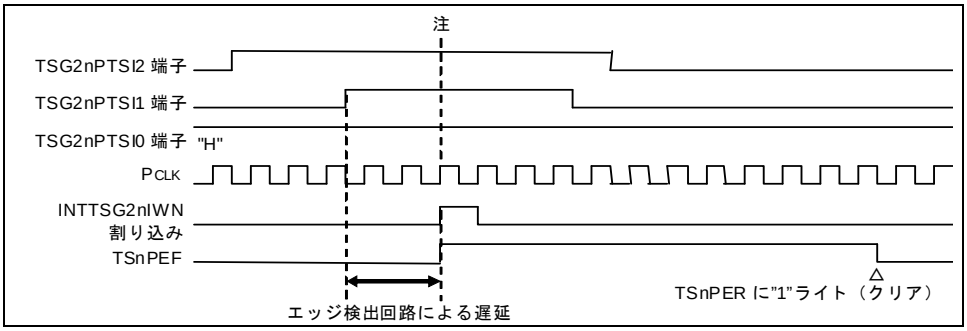


図 15-18 パターン・エラー検出フラグ動作例（TSG2nPTSI2-TSG2nPTSI0 端子 = 111）

注 “111” を検出

動作モード 全ての動作モードで使用できます。

注意 TSnPEF は，TSnCTL1.TSnPEC=1 かつ TSnSTR0.TSnTE = 1 のときのみ有効です。

15.7.7 パターン反転検出フラグ（TSnPRF）

名称 パターン反転検出フラグ（TSnSTR2.TSnPRF）

説明 TSnPRF は，TSG2nPTSI2-TSG2nPTSI0 端子の変化順序が反転したことを検出できます。

TSnPRF は，パターン順序検出フラグ（TSnTSF）の変化タイミングでセット（1）され，ワーニング割り込み（INTTSG2nIWN）が発生します。ただし，TSnSTR0.TSnTE フラグ = 1 がセットされた直後は，2 回目以降の TSG2nPTSI2-TSG2nPTSI0 端子の変化で TSnPRF が有効になります。

TSnPRF は，TSnSTC.TSnPRR ビットに “1” をライトしたときにクリア（0）されます。

動作例

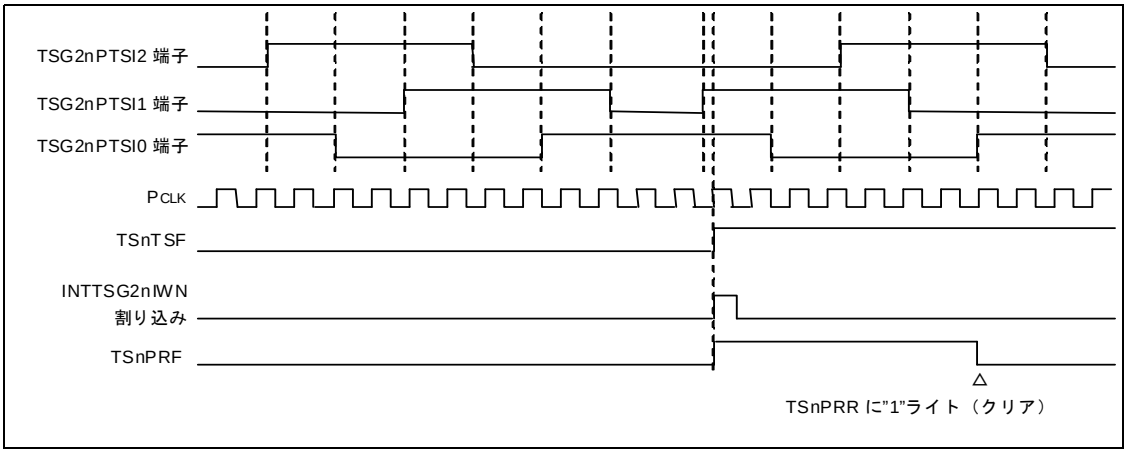


図 15-19 パターン反転検出フラグ動作例

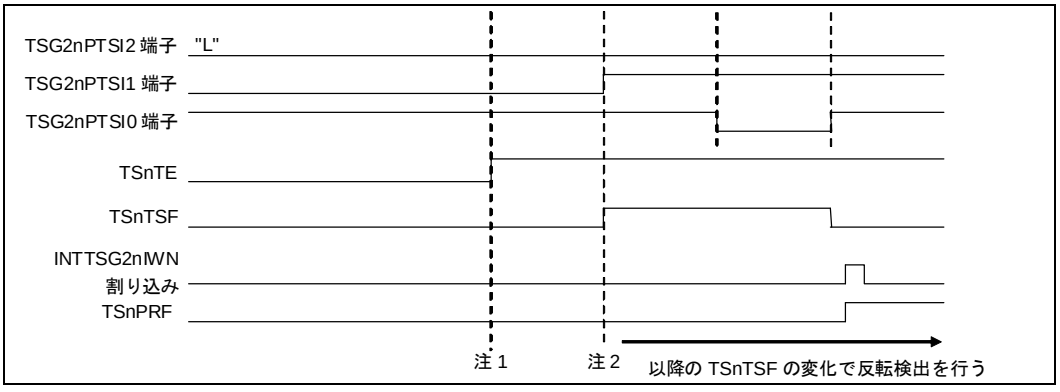


図 15-20 TSnSTR0 レジスタの TSnTE フラグ = 1 がセットされた直後の動作例

注 1. 動作開始タイミング

2. TSnTE = “1” 直後の 1 回目の TSG2nPTSI2-TSG2nPTSI0 端子の変化で TSnTSF が “1” にセットする場合は反転検出をしない

動作モード 全ての動作モードで使用できます。

注意 TSnPRF は，TSnCTL1.TSnPRC=1 かつ TSnSTR0.TSnTE = 1 のときのみ有効です。

15.7.8 TSG2nPTSI2-TSG2nPTSI0 端子異常トグル検出フラグ（TSnPTF）

名称 TSG2nPTSI2-TSG2nPTSI0 端子異常トグル検出フラグ（TSnSTR2.TSnPTF）

説明 TSnPTF は，TSnOPCI0 信号のトリガ間に TSG2nPTSI2-TSG2nPTSI0 端子の変化が 3 回以上入力されたこと，および，TSnOPCI1 信号のトリガ間に TSG2nPTSI2-TSG2nPTSI0 端子の変化が 3 回以上入力されたことを検出できます。

TSnOPCI0, TSnOPCI1 信号の 3 回目のトリガと TSG2nPTSI2-TSG2nPTSI0 端子の変化が同時の場合は，TSnPTF がセット（1）され，ワーニング割り込み（INTTSG2nIWN）が発生します。

TSnPTF は，TSnSTC.TSnPTR に “1” をライトしたときにクリア（0）されます。

動作例

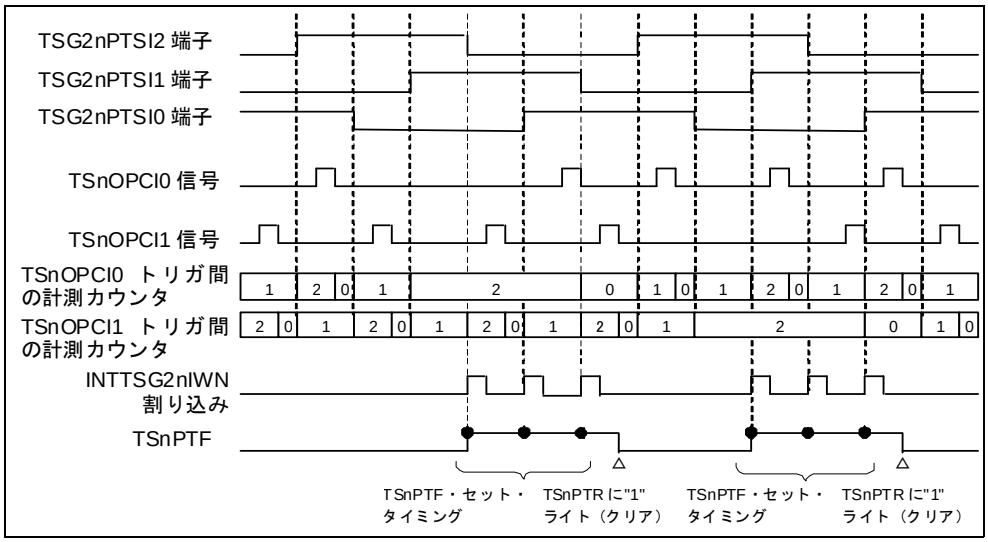


図 15-21 TSG2nPTSI2-TSG2nPTSI0 端子異常トグル検出フラグ動作例

動作モード 全ての動作モードで使用できます。

注意
1. TSnPTF フラグは，TSnCTL1.TSnPTC1 ビット = 1 かつ TSnSTR0.TSnTE = 1 のときのみ有効です。
2. TSnPTC0 ビット = 1 かつ TSnPTC1 ビット = 1 の場合，異常トグルを検出すると，TSG2nO1-TSG2nO6 端子の出力切り替え制御が，パターン切り替え方式（TSnOPT0.TSnPOT ビット = 0）に自動的に切り替わります。

15.7.9 TSnOPCI0, TSnOPCI1 信号同時トリガ検出フラグ（TSnTDF）

名称 TSnOPCI0, TSnOPCI1 信号同時トリガ検出フラグ（TSnSTR2.TSnTDF）

説明 TSnTDF は，TSnOPCI0, TSnOPCI1 信号が同時に発生したことを検出できます。

TSnTDF は，TSnOPCI0, TSnOPCI1 信号が同時に発生した場合にセット（1）されワーニング割り込み（INTTSG2nIWN）が発生します。TSnTDF は，TSnSTC.TSnTDR に “1” をライトしたときにクリア（0）されます。

動作例

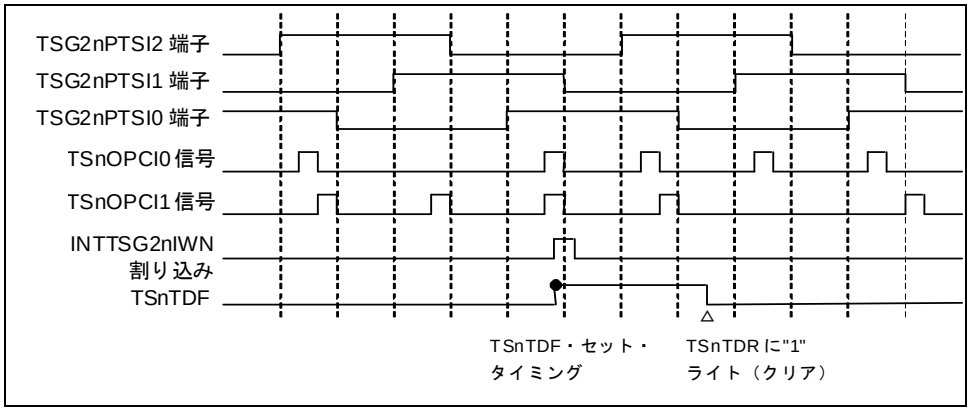


図 15-22 TSG2nPTSI2-TSG2nPTSI0 端子異常トグル検出フラグ動作例

動作モード 全ての動作モードで使用できます。

注意 TSnTDF は，TSnCTL1.TSnTDC = 1 かつ TSnSTR0.TSnTE = 1 のときのみ有効です。

15.7.10 パターン位相差異検出フラグ（TSnPPF）

名称 パターン位相差異検出フラグ（TSnSTR2.TSnPPF）

説明 TSnPPF は，入力パターン（TSG2nPTSI2-TSG2nPTSI0 端子）と出力パターン（TSnSTR1.TSnOPF2-TSnOPF0 フラグ）の位相差異を検出できます。

TSnPPF は，TSnOPCI0, TSnOPCI1 信号のトリガが入力されたタイミングでパターンの位相差異を検出した場合にセット（1）されワーニング割り込み（INTTSG2nIWN）が発生します。TSnPPF は，ソフトウエアで TSnSTC.TSnPPR に “1” をライトしクリア（0）されるまで “1” を保持しています。位相差異検出時，TSnPPF は動作クロック（PCLK）ごとにセットされます。位相差異の発生しないタイミングで TSnPPF をクリア（0）してください。

表 15-46 正常な入力パターンと出力パターンの対応表

TSG2nPTSI2-TSG2nPTSI0 端子（入力）	“1,0,1”	“1,0,0”	“1,1,0”	“0,1,0”	“0,1,1”	“0,0,1”
TSnOPF2-TSnOPF0 フラグ（出力）	“0,0,1” “1,0,1” “1,0,0”	“1,0,1” “1,0,0” “1,1,0”	“1,0,0” “1,1,0” “0,1,0”	“1,1,0” “0,1,0” “0,1,1”	“0,1,0” “0,1,1” “0,0,1”	“0,1,1” “0,0,1” “1,0,1”

動作例

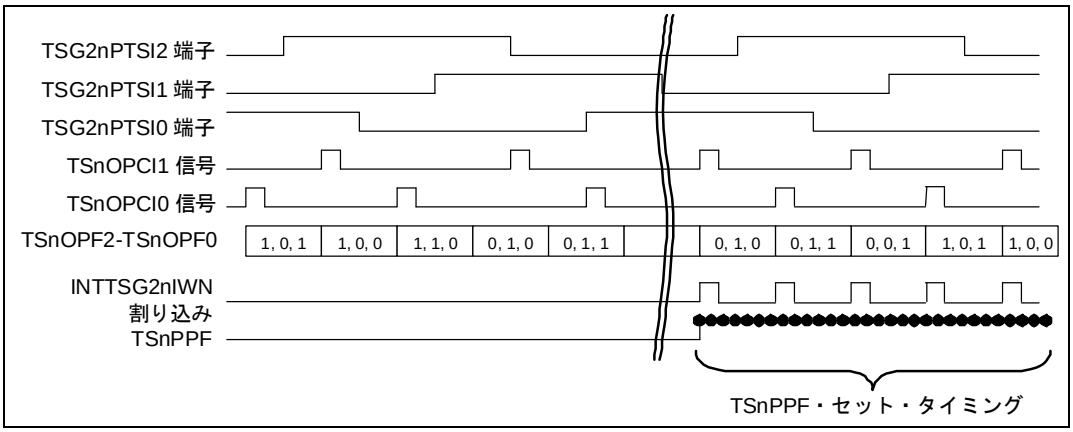


図 15-23 パターン位相差異検出フラグ動作例

動作モード 全ての動作モードで使用できます。

注意
1. TSnPPF は，TSnCTL1.TSnPPC = 1 かつ TSnSTR0.TSnTE = 1 のときにのみ有効です。
2. TSG2nPTSI2-0 端子入力に “000”，“111” が入力されている場合，もしくは TSnOPF2-TSnOPF0 が “000”，“111” の場合 TSnPPF はセットされません。

15.7.11 タイマ出力パターン・フラグ（TSnOPF2-TSnOPF0）

名称 タイマ出力パターン・フラグ（TSnSTR1.TSnOPF2-TSnOPF0）

説明 TSnOPF2-TSnOPF0 フラグは，タイマ出力パターンを示すフラグです。

詳細は 15.11.4「120-DC モード」，15.11.5「ソフトウエア出力制御機能」を参照してください。

動作モード 全ての動作モードで使用できます。

15.7.12 パターン切り替え検出信号（TSnPTE）

名称 パターン切り替え検出信号（TSnPTE 信号）

説明 TSnPTE 信号は，入力パターン（TSG2nPTSI2-TSG2nPTSI0 端子）が変化したタイミングでトグルします。

トグルパタンは TSnPSC ビット (TSnOPT0.TSnPSS = “1”) によって決定されます。

TSnPSC=0

		変化後の TSG2nPTSI2-TSG2nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG2nPTSI2-TSG2nPTSI0 端子	000	–	–	–	–	–	–	–	–
	111	–	–	–	–	–	–	–	–
	101	–	–	–	トグル	–	–	–	–
	100	–	–	–	–	トグル	–	–	–
	110	–	–	–	–	–	トグル	–	–
	010	–	–	–	–	–	–	トグル	–
	011	–	–	–	–	–	–	–	トグル
	001	–	–	トグル	–	–	–	–	–

TSnPSC=1

		変化後の TSG2nPTSI2-TSG2nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG2nPTSI2-TSG2nPTSI0 端子	000	–	–	–	–	–	–	–	–
	111	–	–	–	–	–	–	–	–
	101	–	–	–	–	–	–	–	トグル
	100	–	–	トグル	–	–	–	–	–
	110	–	–	–	トグル	–	–	–	–
	010	–	–	–	–	トグル	–	–	–
	011	–	–	–	–	–	トグル	–	–
	001	–	–	–	–	–	–	トグル	–

動作例

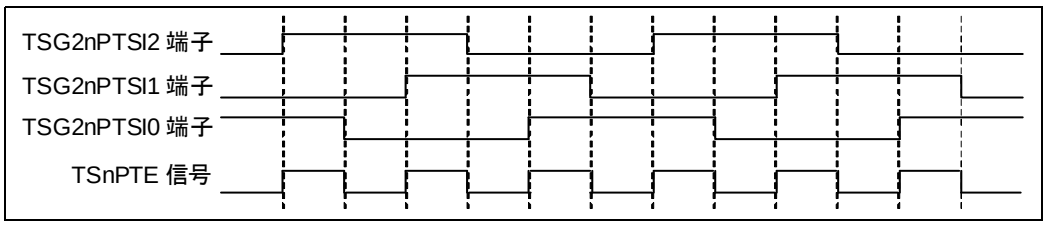


図 15-24 パターン切り替え検出信号動作例

動作モード 全ての動作モードで使用できます。

注意 TSnPTE 信号は，TSnIOC1.TSnPTS = 1 かつ TSnSTR0.TSnTE = 1 のときにのみ有効です。

15.8 割り込み間引き機能

割り込み間引き機能に関する動作を次に示します。

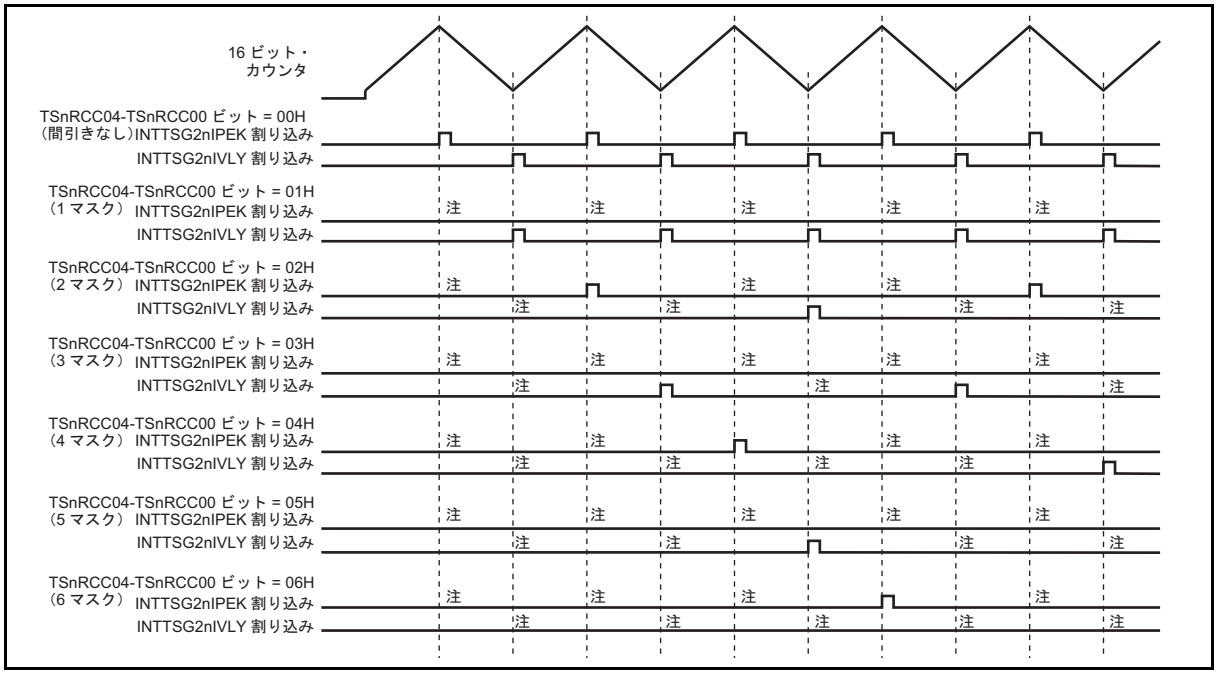
- 間引き対象割り込みは，山割り込み（INTTSG2nIPEK）と谷割り込み（INTTSG2nIVLY）です。
- TSnCTL4.TSnPIE で，INTTSG2nIPEK 割り込みの出力許可と間引きカウント対象指定を行います。
- TSnCTL4.TSnVIE で，INTTSG2nIVLY 割り込みの出力許可と間引きカウント対象指定を行います。

TSnCTL3.TSnRIA = 1（リロード間引きあり）した場合は，間引き後の割り込みと同タイミングでリロード・タイミングを発生します。
TSnCTL3.TSnRIA = 0（リロード間引きなし）に指定した場合は，割り込み間引きとは関係なく設定したリロード・タイミングにてリロードを発生します。

注意 TSnCTL4 レジスタにライト・アクセスし，TSnRCC04-TSnRCC00 がバッファ・レジスタに転送されると，割り込み間引きカウンタがクリアされます。このため割り込み間引き機能を使用している場合は，一時的に割り込み間隔が長くなることがあります。これを避けるためには，割り込み間引きに同調したリロード・タイミングの設定（TSnCTL3.TSnRIA = 1）にして，割り込み間引き数の変更を行ってください。

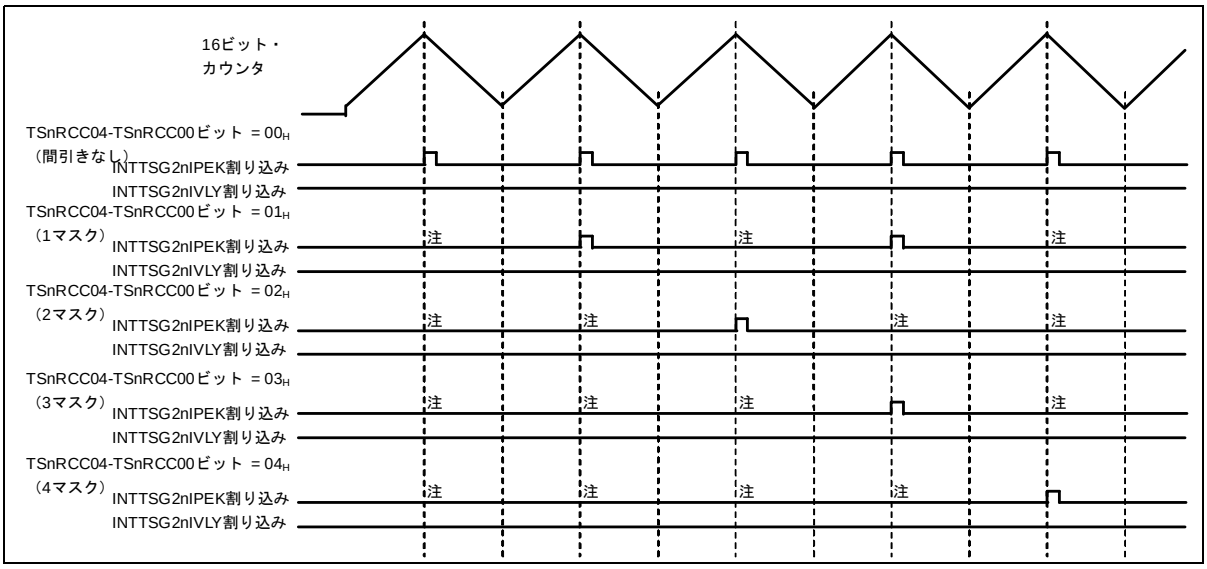
15.8.1 割り込み間引き機能の動作

(1) TSnCTL4 レジスタの TSnPIE = 1, TSnVIE = 1 での割り込み間引き動作
（HT-PWM モード時の山／谷割り込み発生）



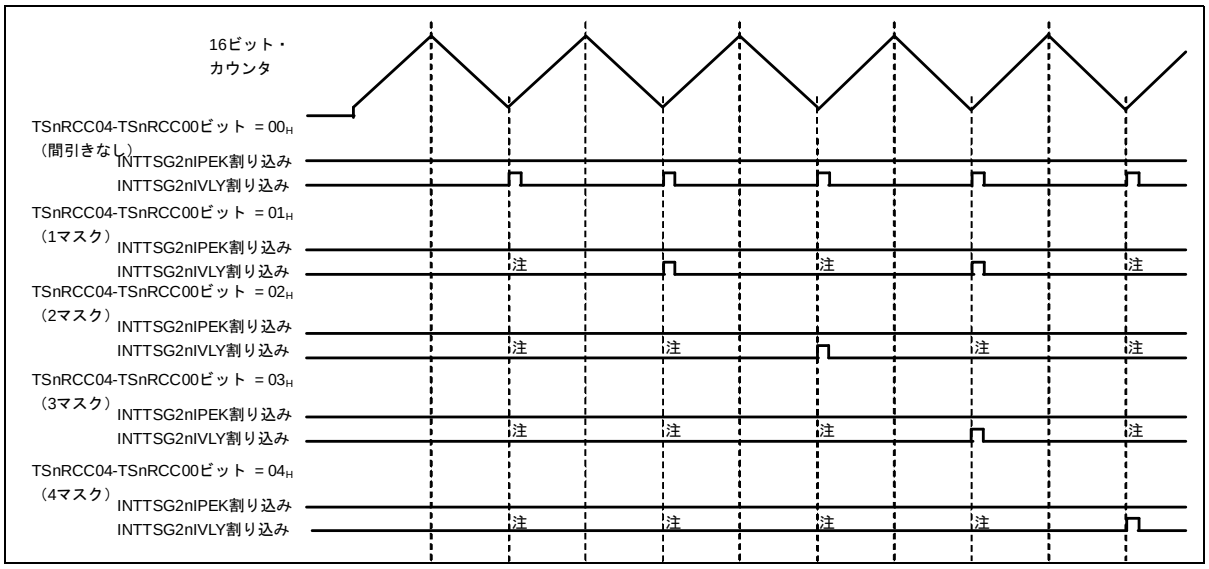
注 間引きされた割り込み要求

(2) TSnCTL4 レジスタの TSnPIE = 1, TSnVIE = 0 での割り込み間引き動作（HT-PWM モード時の山割り込みのみ発生）



注 間引きされた割り込み要求

(3) TSnCTL4 レジスタの TSnPIE = 0, TSnVIE = 1 での割り込み間引き動作（HT-PWM モード時の谷割り込みのみ発生）



注 間引きされた割り込み要求

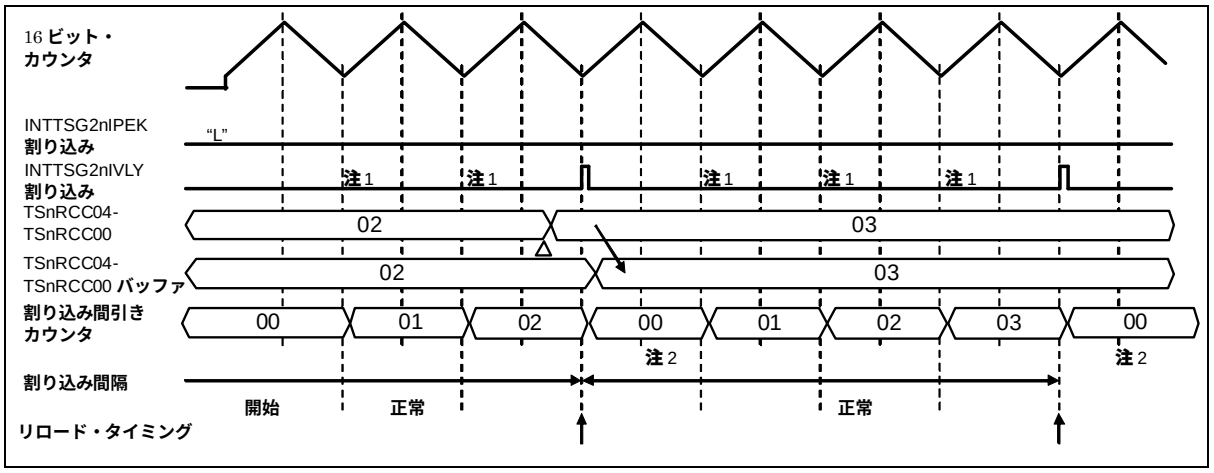


図 15-25 TSnCTL3 レジスタの TSnRMC = 0, TSnRIA = 1
（リロード間引きあり）の場合

注 1. 間引きされた割り込み要求
2. 割り込み間引きカウンタ・クリア

注意 割り込み間隔が長くなる場合があります。

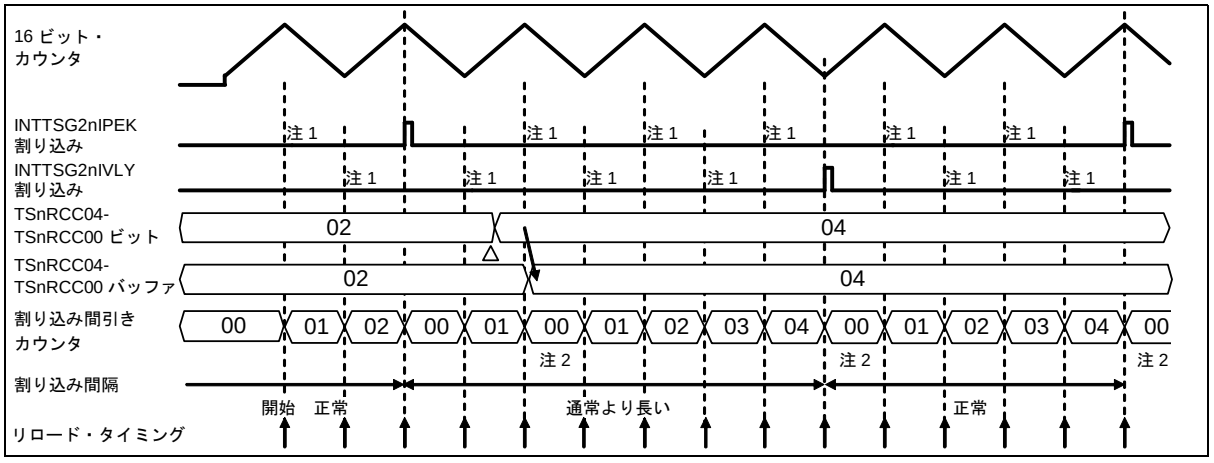


図 15-26 TSnCTL3 レジスタの TSnRMC = 0, TSnRIA ビット = 0
（リロード間引きなし）の場合

注 1. 間引きされた割り込み要求
2. 割り込み間引きカウンタ・クリア

注意 割り込み間隔が長くなる場合があります。

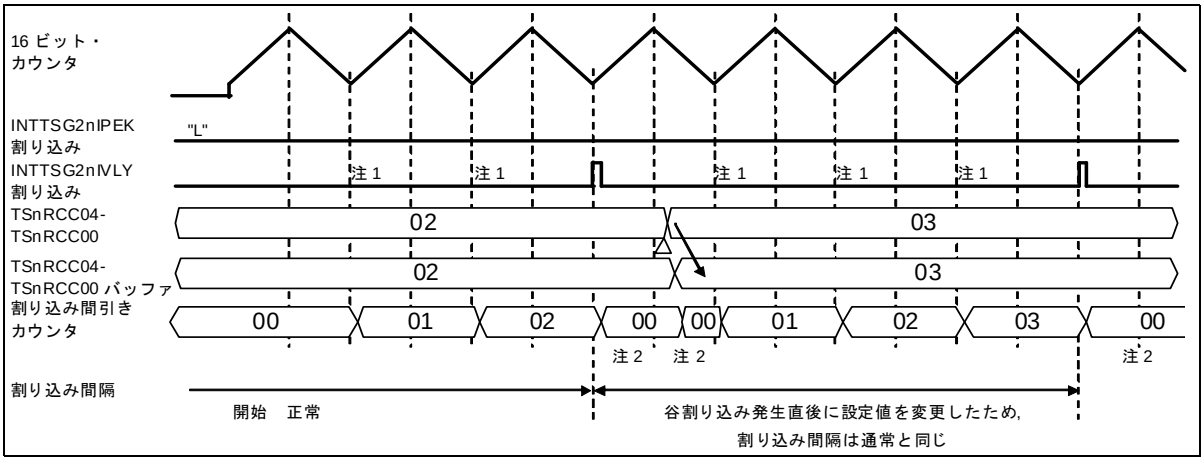


図 15-27 TSnCTL3 レジスタの TSnRMC = 1（随時書き換えモード）の場合

注 1. 間引きされた割り込み要求

2. 割り込み間引きカウンタ・クリア

注意 割り込み間隔が長くなる場合があります。

備考 書き換え後，リロード・タイミングは無視して値が直ちに反映されます。
割り込み間引きカウンタのクリア・タイミングはレジスタ書き換え時ではなく，TSnRCC04-TSnRCC00 バッファへの転送時です。

15.8.2 山割り込みを発生する場合の動作例（PWM モード時）

PWM モード時の割り込み間引き機能に関する動作を次に示します。

- 間引き対象割り込みは，山割り込み（INTTSG2nIPEK）です。PWM モード動作時は TSnCMP0 バッファ・レジスタと 16 ビット・カウンタのコンペアー致で発生します。
- TSnCTL4.TSnPIE で，INTTSG2nIPEK 割り込みの発生許可と間引きカウント対象指定を行います。
- TSnCTL4.TSnVIE の設定は無効となります。このとき，INTTSG2nIVLY 割り込みは発生しません。
  TSnCTL3.TSnRIA = 1（リロード間引きあり）に指定した場合は，間引き後の割り込みと同タイミングでリロード・タイミングを発生します。

注意 TSnCTL4 レジスタにライト・アクセスし，TSnRCC04-TSnRCC00 がバッファ・レジスタに転送されると，割り込み間引きカウンタがクリアされます。このため割り込み間引き機能を使用している場合は，一時的に割り込み間隔が長くなることがあります。これを避けるためには，割り込み間引きに同調したリロード・タイミングの設定（TSnCTL3.TSnRIA = 1）にして，割り込み間引き数の変更を行ってください。

(1) 動作例

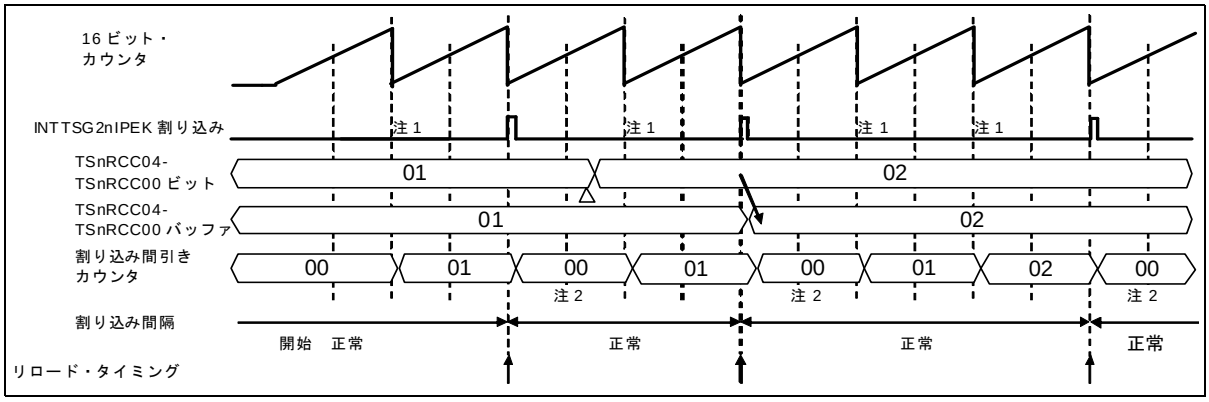


図 15-28 TSnCTL3.TSnRMC = 0, TSnRIA = 1, TSnCTL4.TSnPRE = 1 の場合（推奨設定）

注 1. 間引きされた割り込み要求
2. 割り込み間引きカウンタ・クリア

備考 TSnCTL3.TSnRIA = 1 の時，間引きされた割り込みと同じタイミングでリロード・タイミングが発生します。

15.9 A/D 変換トリガ機能

A/D 変換トリガの動作に関して説明します。

TSnDCMP0W, TSnDCMP2 レジスタは A/D 変換トリガ機能のコンペア・レジスタとして使用します。

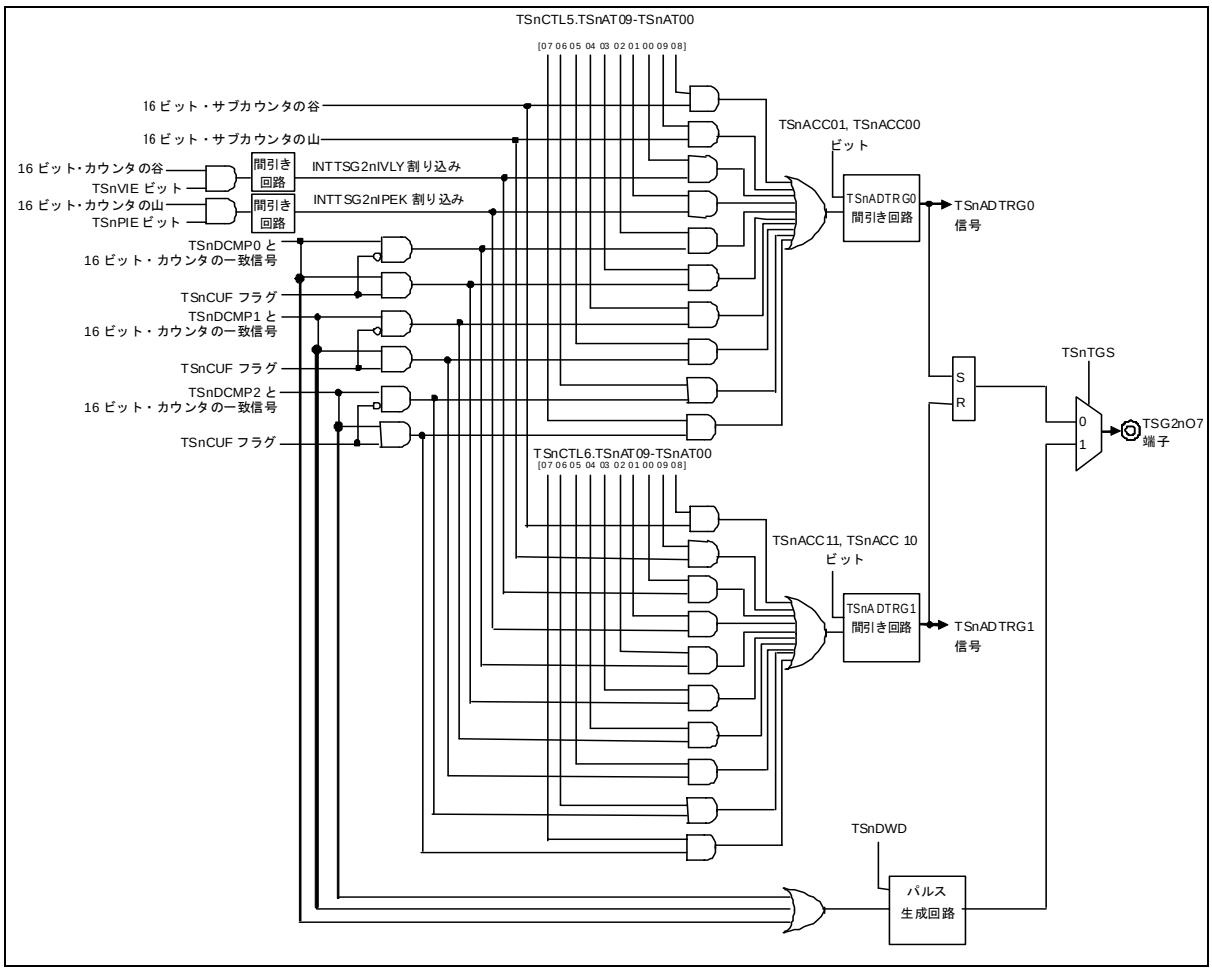


図 15-29 A/D 変換トリガ，ダイアグ出力制御回路

図 15-29 のように，TSnDCMP0-TSnDCMP2 と 16 ビット・カウンタのコンペアー致と山割り込み（INTTSG2nIPEK），谷割り込み（INTTSG2nIVLY）の割り込み信号，16 ビット・サブカウンタの山タイミング，16 ビット・サブカウンタの谷タイミングを選択し，論理和（OR）をとった信号を生成することができます。

TSG2n では，同じ A/D 変換トリガ制御回路が 2 チャネルあり，それぞれ独立に制御することができます。また，A/D 変換トリガの間引き機能があり，間引き率 1/2, 1/4, 1/8, 間引きなしの設定が可能です。

15.9.1 A/D 変換トリガの動作

TSG2n には，10 個のトリガ・ソースを自由に選択して，A/D の変換開始トリガ（TSnADTRG0, TSnADTRG1 信号）を生成する機能があります。トリガ・ソースの選択は，TSnCTL5 レジスタの TSnAT09-TSnAT00，TSnCTL6 レジスタの TSnAT19-TSnAT10 で指定します。

(1) TSnADTRG0/TSnADTRG1 信号の出力制御（TSnCTL5, TSnCTL6 レジスタ）

【トリガ・ソース】

- TSnAT00/TSnAT10 = 1 ：谷割り込み（INTTSG2nIVLY）発生時に A/D 変換トリガを発生
- TSnAT01/TSnAT11 = 1 ：山割り込み（INTTSG2nIPEK）発生時に A/D 変換トリガを発生
- TSnAT02/TSnAT12 = 1 ：16 ビット・カウンタのアップ・カウント時，TSnDCMP0 コンペアー致発生で A/D 変換トリガを発生許可
- TSnAT03/TSnAT13 = 1 ：16 ビット・カウンタのダウン・カウント時，TSnDCMP0 コンペアー致発生で A/D 変換トリガを発生許可
- TSnAT04/TSnAT14 = 1 ：16 ビット・カウンタのアップ・カウント時，TSnDCMP1 コンペアー致発生で A/D 変換トリガを発生許可
- TSnAT05/TSnAT15 = 1 ：16 ビット・カウンタのダウン・カウント時，TSnDCMP1 コンペアー致発生で A/D 変換トリガを発生許可
- TSnAT06/TSnAT16 = 1 ：16 ビット・カウンタのアップ・カウント時，TSnDCMP2 コンペアー致発生で A/D 変換トリガを発生許可
- TSnAT07/TSnAT17 = 1 ：16 ビット・カウンタのダウン・カウント時，TSnDCMP2 コンペアー致発生で A/D 変換トリガを発生許可
- TSnAT08/TSnAT18 = 1 ：16 ビット・サブカウンタの谷タイミング（ダウンからアップへの切り替わり時，A/D 変換トリガを発生許可
- TSnAT09/TSnAT19 = 1 ：16 ビット・サブカウンタの山タイミング（アップからダウンへの切り替わり）時，A/D 変換トリガを発生許可

【間引き設定】

- TSnACC01, TSnACC00 ／ TSnACC11, TSnACC10 ：TSnADTRG0/TSnADTRG1 信号の間引き設定

TSnAT09-TSnAT00/TSnAT19-TSnAT10 により選択された A/D 変換トリガは全て論理和（OR）され，その信号は，TSnACC01, TSnACC00/TSnACC11, TSnACC10 で設定した間引き制御の後，TSnADTRG0/TSnADTRG1 信号が生成されます。
また，TSnAT00, TSnAT01/TSnAT10, TSnAT11 によって選択される山割り込み（INTTSG2nIPEK），谷割り込み（INTTSG2nIVLY）は，割り込み間引き後の信号となります。したがって，割り込み間引き制御を受けたタイミングでの出力となり，割り込みの出力イネーブル（TSnCTL4.TSnPIE, TSnVIE）を許可にしていない場合は，A/D 変換トリガも出力されません。
また，TSnACC01, TSnACC00, TSnAT09-TSnAT00/TSnACC11, TSnACC10, TSnAT19-TSnAT10 は，タイマ動作中の書き換えが可能です。
動作中に A/D 変換トリガの設定ビットを書き換えると，即時に A/D 変換トリガの出力状態に反映されます。これらの制御ビットは，動作モードにかかわらず，随時書き換えとなります。また，TSnCTL5, TSnCTL6 レジスタにライト・アクセス（同値書き換え含む）をした場合は，A/D 変換トリガの間引きカウンタはクリアされ 0 からのカウントを開始します。

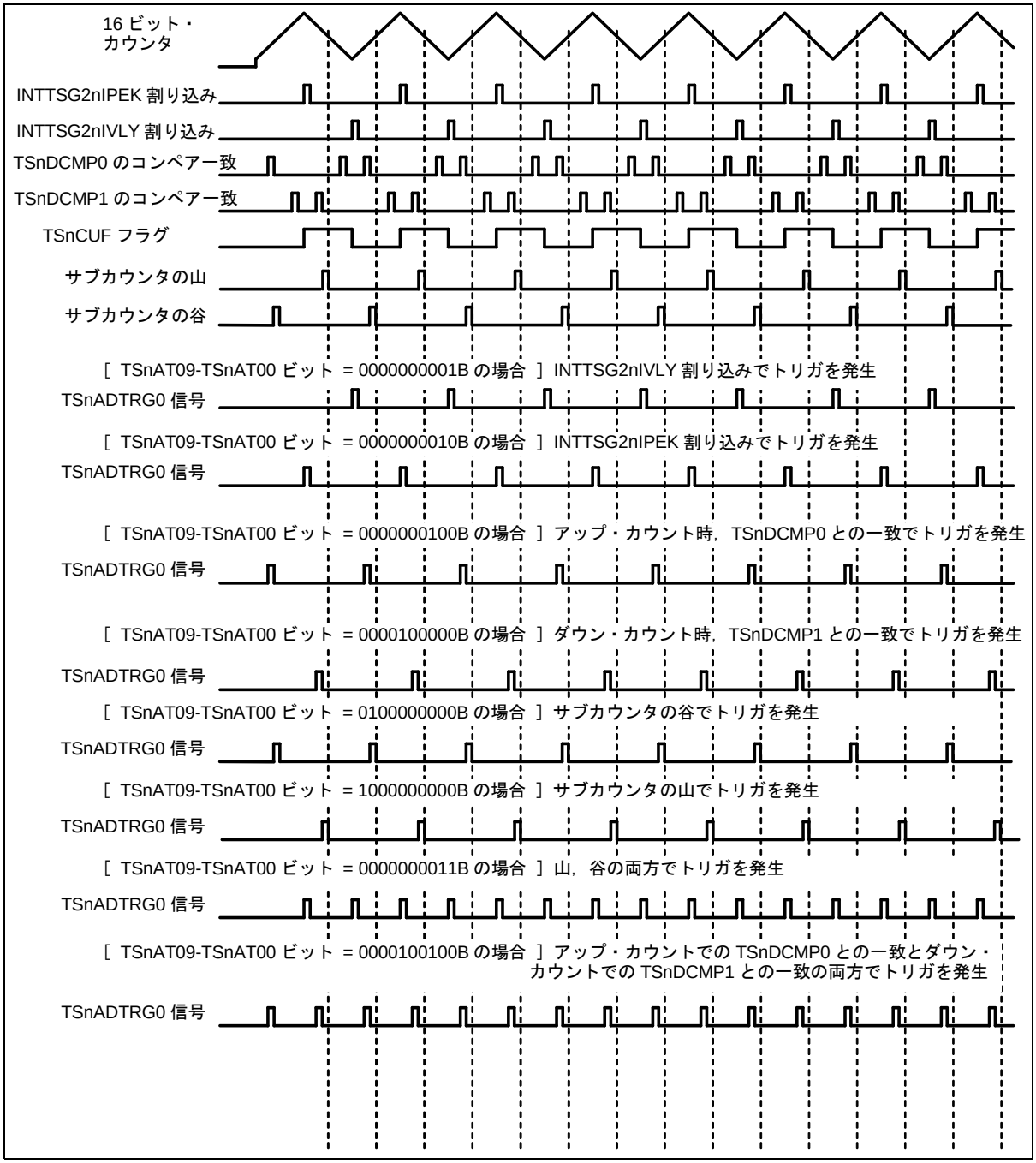


図 15-30 TSnCTL4 レジスタの TSnPIE = 1, TSnVIE = 1, TSnRCC04-TSnRCC00 = 00B, TSnCTL5 レジスタの TSnACC01, TSnACC00 = 00B の場合（HT-PWM モード）

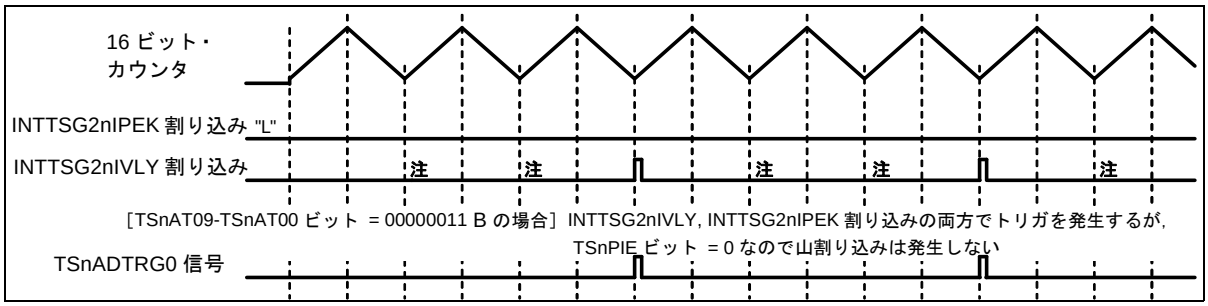


図 15-31 TSnCTL4 レジスタの TSnPIE = 0, TSnVIE = 1, TSnRCC04-TSnRCC00 = 02B, TSnCTL5 レジスタの TSnACC01, TSnACC00 = 00B の場合（HT-PWM モード）

注 間引きされた割り込み要求

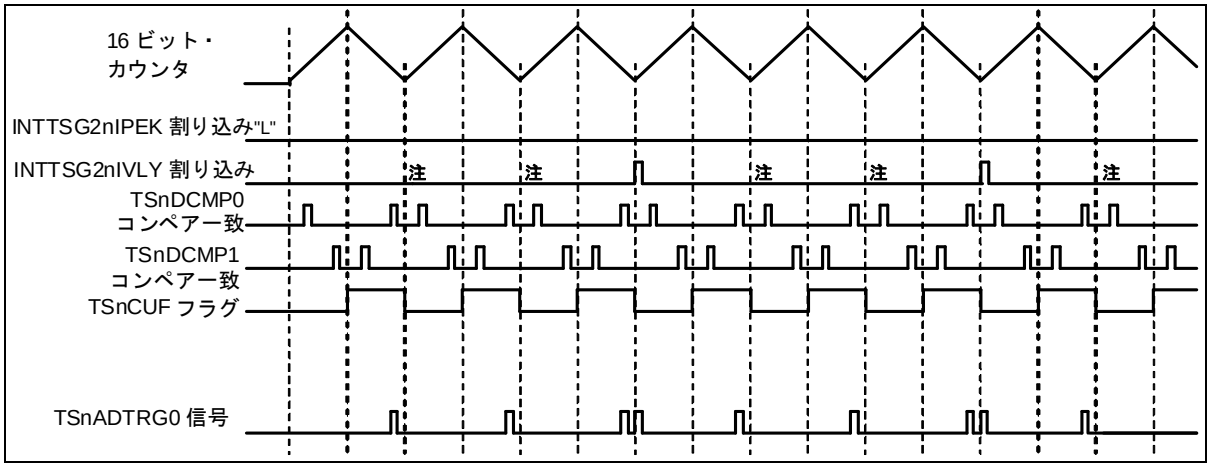


図 15-32 TSnCTL4 レジスタの TSnPIE = 0, TSnVIE = 1, TSnRCC04-TSnRCC00 = 02B, TSnCTL5 レジスタの TSnACC01, TSnACC00 = 00B, TSnAT09-TSnAT00 = 00001001B の場合（HT-PWM モード）

注 間引きされた割り込み要求

(2) A/D 変換トリガ間引き機能

A/D 変換トリガの間引き機能の動作例を次に示します。

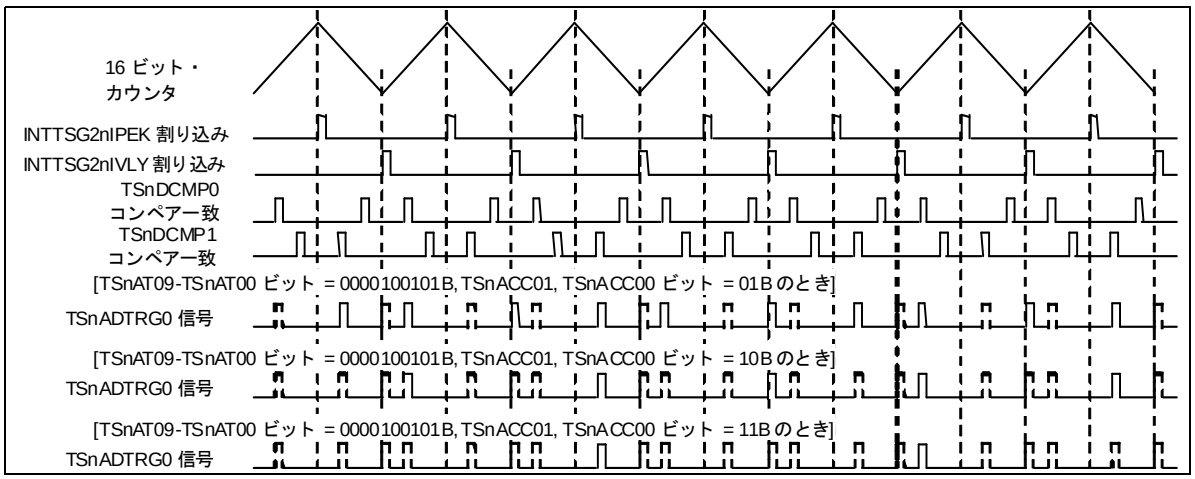


図 15-33 A/D 変換トリガの間引き機能の動作例

備考 破線は A/D 変換トリガ間引き機能により間引きされた A/D 変換トリガ

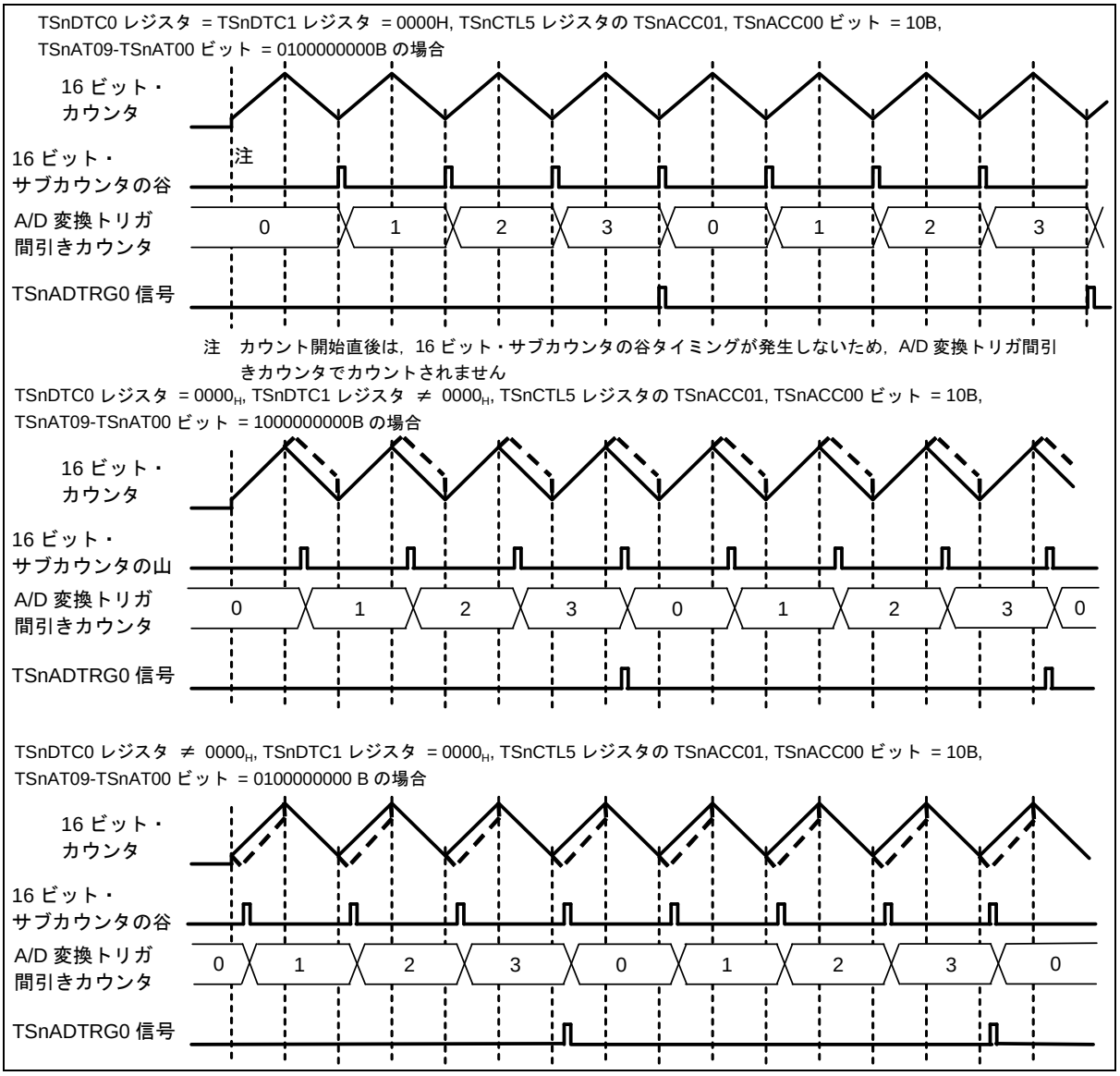


図 15-34 A/D 変換トリガの間引き機能の動作例

(3) A/D 変換トリガに関する注意事項

- TSnDCMP0 レジスタと，TSnDCMP1 レジスタもしくは，TSnDCMP2 レジスタに同値をライト・アクセスし，有効な A/D 変換トリガを同じ条件（16 ビット・カウンタのアップ／ダウン・カウント時）に設定した場合，A/D 変換トリガ間引きカウンタには 1 回としてカウントされます。また出力するトリガも 1 パルスです。
- PWM モード，SP-PWM モード，120-DC モードにおいて，谷割り込み（INTTSG2nIVLY）は発生しません。山割り込み（INTTSG2nIPEK）のみ有効となります。
- 120-DC モードにおいて，16 ビット・カウンタが出力パターンの切り替えにより，搬送周期未満でクリアされたとき，TSnDCMP2-0 と 16 ビット・カウンタの一致，山割り込み（INTTSG2nIPEK）が発生しない場合は，A/D 変換トリガが発生しません。

15.10 エラー／ワーニング割り込み

15.10.1 エラー割り込み機能

エラー割り込み機能を許可（TSnIOC1.TSnEOC = 1）後，正相／逆相同時アクティブを検出した場合，TSnSTR2.TSnTBF がセットされ，TSG2n のエラー割り込み（INTTSG2nIER）が発生します。TSnCTL1.TSnTBA2-TSnTBA0 で各相（TSG2nO1/TSG2nO2，TSG2nO3/TSG2nO4，TSG2nO5/TSG2nO6 端子）のエラー検出あり／なしを選択できます。

エラー発生時には，TSG2nO1-TSG2nO6 端子出力をハイ・インピーダンスにすることが可能です。詳細は，19.4.1「Hi-Z 制御機能」を参照してください。

次に，モードごとに正相／逆相同時アクティブ検出の可否を示します。

モード	正相／逆相同時アクティブ検出
PWM モード	○
HT-PWM モード	○
SP-PWM モード	○
120-DC モード	○

備考 ○：エラー検出可能，×：エラー検出不可

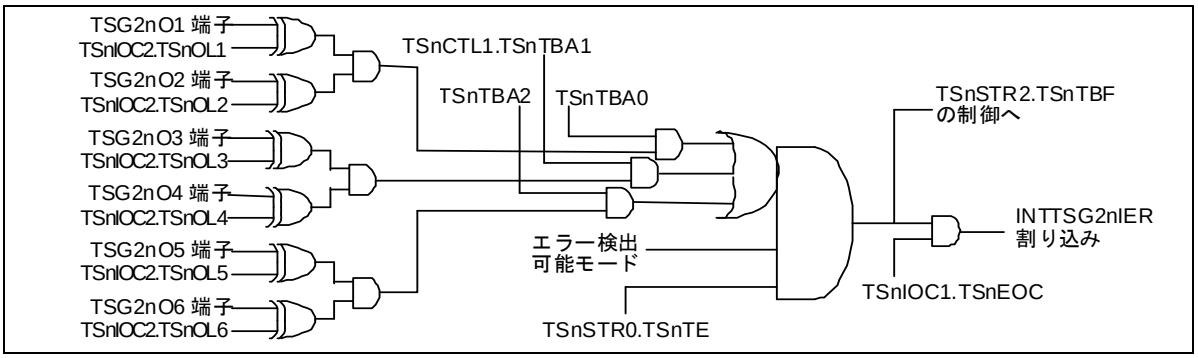


図 15-35 エラー割り込み（INTTSG2nIER）発生制御回路

注意 エラー割り込みが発生した場合，エラー割り込み処理内でエラー状態を解除してください。エラー状態を解除しない場合，以降のエラー割り込みは発生しません。

(1) PWM モード，120-DC モードの場合

PWM モード時，TSG2nO1 端子と TSG2nO2 端子が同時にアクティブ・レベルを出力するように TSnCMP1, TSnCMP2 レジスタと TSnCMP3, TSnCMP4 レジスタを設定した場合，エラー割り込み（INTTSG2nIER）が発生します。同様に，TSG2nO3 端子と TSG2nO4 端子および TSG2nO5 端子と TSG2nO6 端子が同時にアクティブ・レベルを出力するように TSnCMP5, TSnCMP6, TSnCMP7, TSnCMP8, TSnCMP9, TSnCMP10, TSnCMP11, TSnCMP12 レジスタを設定した場合も，エラー割り込み（INTTSG2nIER）が発生します。

120-DC モード時，TSG2nO1 端子と TSG2nO2 端子が同時にアクティブ・レベルを出力するように TSnCMP1, TSnCMP2, TSnCMP5, TSnCMP6, TSnCMP9, TSnCMP10 レジスタと TSnCMP3, TSnCMP4, TSnCMP7, TSnCMP8, TSnCMP11, TSnCMP12 レジスタ，TSnPAT0W と TSnPAT1W を設定した場合，エラー割り込み（INTTSG2nIER）が発生します。また，同様に設定したとき，TSG2nO3 端子と TSG2nO4 端子，TSG2nO5 端子と TSG2nO6 端子も同時にアクティブ・レベルを出力し，エラー割り込み（INTTSG2nIER）が発生します。

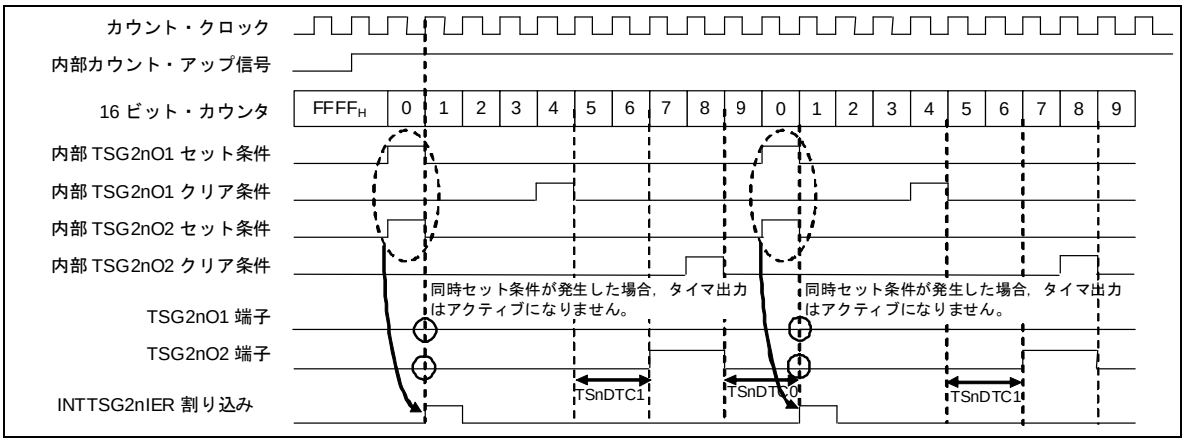


図 15-36 エラー割り込み（INTTSG2nIER）発生例（PWM モード時）

備考 TSG2nO3 端子と TSG2nO4 端子 , TSG2nO5 端子と TSG2nO6 端子も同様です。

TSnIOC2.TSnOL1, TSnOL2 を操作して，出力のアクティブ・レベルを切り替えた場合は，次のようになります。

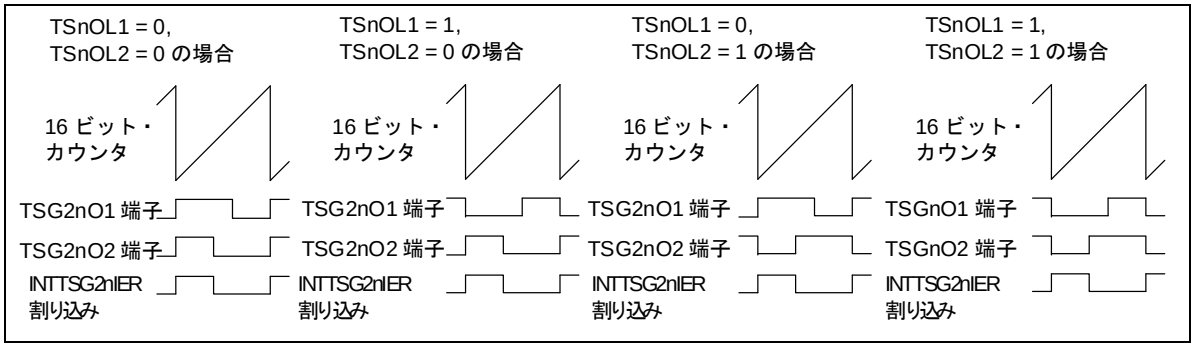


図 15-37 アクティブ・レベルごとのエラー割り込み（INTTSG2nIER）発生例

(2) HT-PWM モード，SP-PWM モードの場合

TSG2n デッド・タイム設定レジスタ 0, 1（TSnDTC0, TSnDTC1）のいずれかが 0000_H の場合，エラーが発生する可能性があります。

備考 デッド・タイム制御機能を使用（TSnDTC0, TSnDTC1 のいずれも 0000_H 以外）時にエラーが発生した場合は，内部回路の故障が考えられます。

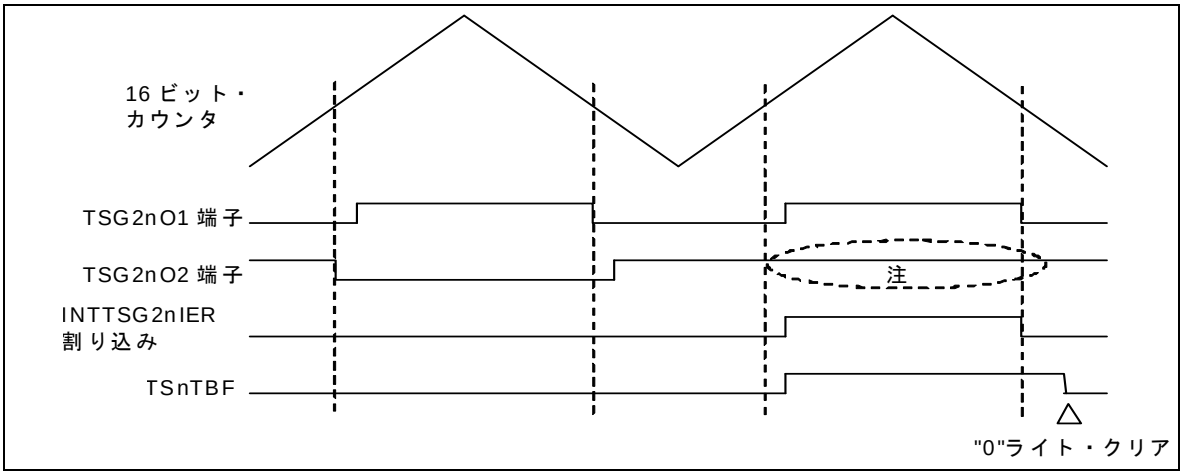


図 15-38 エラー割り込み動作例

注 TSG2nO2 端子制御回路に故障発生

15.10.2 ワーニング割り込み機能

TSG2n には，ワーニング割り込み（INTTSG2nIWN）があります。

ワーニング割り込み（INTTSG2nIWN）は，次のいずれかの条件を検出した場合に発生します。

詳細は 15.7「フラグ」を参照してください。

- TSG2nPTSI2-TSG2nPTSI0 端子に関して，2 端子以上の同時変化を検出した場合
  15.7.4「ノイズ検出フラグ（TSnNDF）」を参照
- TSG2nPTSI2-TSG2nPTSI0 端子に関して，反転を検出した場合
  15.7.7「パターン反転検出フラグ（TSnPRF）」を参照
- TSG2nPTSI2-TSG2nPTSI0 端子に関して “000”，“111” を検出した場合
  15.7.6「パターン・エラー検出フラグ（TSnPEF）」を参照
- TSnOPCI0, TSnOPCI1 信号のトリガ間に，TSnPTSI2-TSG2nPTSI0 端子のトグルが 3 回以上発生した場合
  15.7.8「TSG2nPTSI2-TSG2nPTSI0 端子異常トグル検出フラグ（TSnPTF）」を参照
- TSnOPCI0, TSnOPCI1 信号のトリガが同時に検出された場合
  15.7.9「TSnOPCI0, TSnOPCI1 信号同時トリガ検出フラグ（TSnTDF）」を参照
- 入力パターン（TSG2nPTSI2-TSG2nPTSI0 端子）と出力パターン（TSnOPF2-TSnOPF0）の位相関係がずれた場合
  15.7.10「パターン位相差異検出フラグ（TSnPPF）」を参照

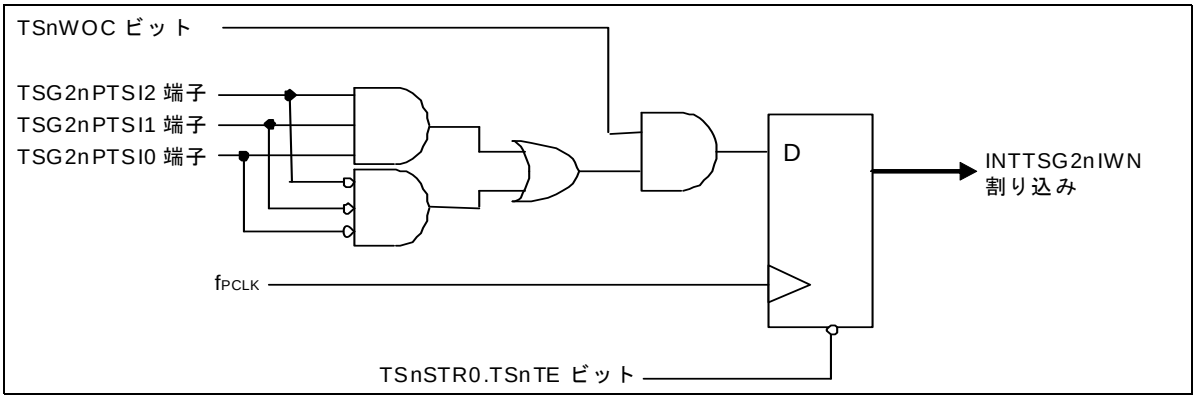


図 15-39 TSG2nPTSI2-TSG2nPTSI0 端子の異常検出

15.11 各モードの動作

表 15-47 モード一覧

TSnCTL0 レジスタ		タイマ・モード
TSnMD1	TSnMD0	
0	0	PWM モード
0	1	HT-PWM モード（HT-PWM）
1	0	シフト・パルス PWM モード（SP-PWM）
1	1	120-DC モード

15.11.1 PWM モード

概要 TSnCMP0 レジスタの PWM 周期，TSnCMP1-TSnCMP12 のセット・タイミング／クリア・タイミングにより，PWM を TSG2nO1-TSG2nO6 端子から出力します。

前提条件
- 偶数番号のコンペア・レジスタにセット・タイミングを設定。
  TSnCMP2（TSG2nO1 端子のセット・タイミング）, TSnCMP4（TSG2nO2 端子のセット・タイミング）, TSnCMP6（TSG2nO3 端子のセット・タイミング）, TSnCMP8（TSG2nO4 端子のセット・タイミング）, TSnCMP10（TSG2nO5 端子のセット・タイミング）, TSnCMP12（TSG2nO6 端子のセット・タイミング）を設定。
- 奇数番号のコンペア・レジスタにクリア・タイミングを設定。
  TSnCMP1（TSG2nO1 端子のクリア・タイミング）, TSnCMP3（TSG2nO2 端子のクリア・タイミング）, TSnCMP5（TSG2nO3 端子のクリア・タイミング）, TSnCMP7（TSG2nO4 端子のクリア・タイミング）, TSnCMP9（TSG2nO5 端子のクリア・タイミング）, TSnCMP11（TSG2nO6 端子のクリア・タイミング）を設定

機能説明 PWM 周期を設定，TSG2nO1-TSG2nO6 端子出力のセット・タイミング／クリア・タイミングを設定。TSnTRG0.TSnTS = 1 にすると，カウント・アップを開始します。

カウント・アップ開始と同時に，TSG2nO1-TSG2nO6 端子はインアクティブ・レベルとなり，16 ビット・カウンタと TSnCMP2, TSnCMP4, TSnCMP6, TSnCMP8, TSnCMP10, TSnCMP12 のバッファ・レジスタの一致によりアクティブ・レベルとなります。

次に TSnCMP1, TSnCMP3, TSnCMP5, TSnCMP7, TSnCMP9, TSnCMP11 のバッファ・レジスタとの一致により TSG2nO1-TSG2nO6 端子はインアクティブ・レベルとなります。

カウント動作中，16 ビット・カウンタと TSnCMP0-TSnCMP12 のバッファ・レジスタの一致でコンペア一致割り込み（INTTSG2nI00-INTTSG2nI12）が発生します。

注意 TSnCTL3.TSnRMC = 0 のとき，TSnCMP1 レジスタに書き込むとリロードが実行されます。したがって，TSnCMP0 レジスタの値だけ書き換えたい場合でも，TSnCMP1 レジスタは同値の書き込みを行う必要があります。
TSnCMP0 レジスタだけ書き換えを行ってもリロードは行われません。

備考 PWM モードは TSnCTL0.TSnMD1-TSnMD0 = 00_B に設定したときに有効となります。

(a) タイマ動作中に TSnCMP0，TSnCMP1-TSnCMP12 レジスタの値を書き換えない場合

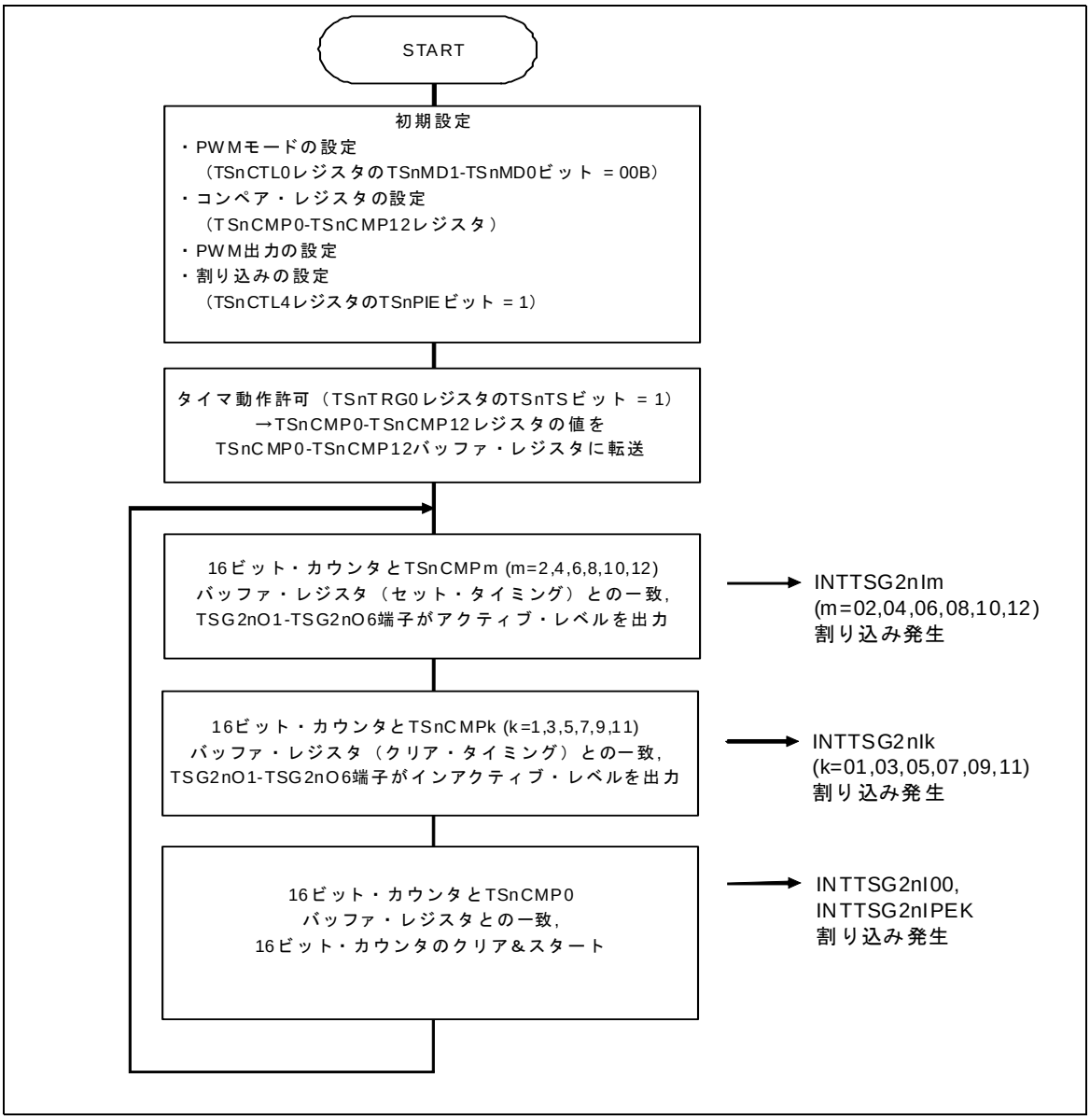


図 15-40 PWM モード時の基本動作フロー（1/2）

(b) タイマ動作中に TSnCMP0，TSnCMP1-TSnCMP12 レジスタの値を書き換える場合

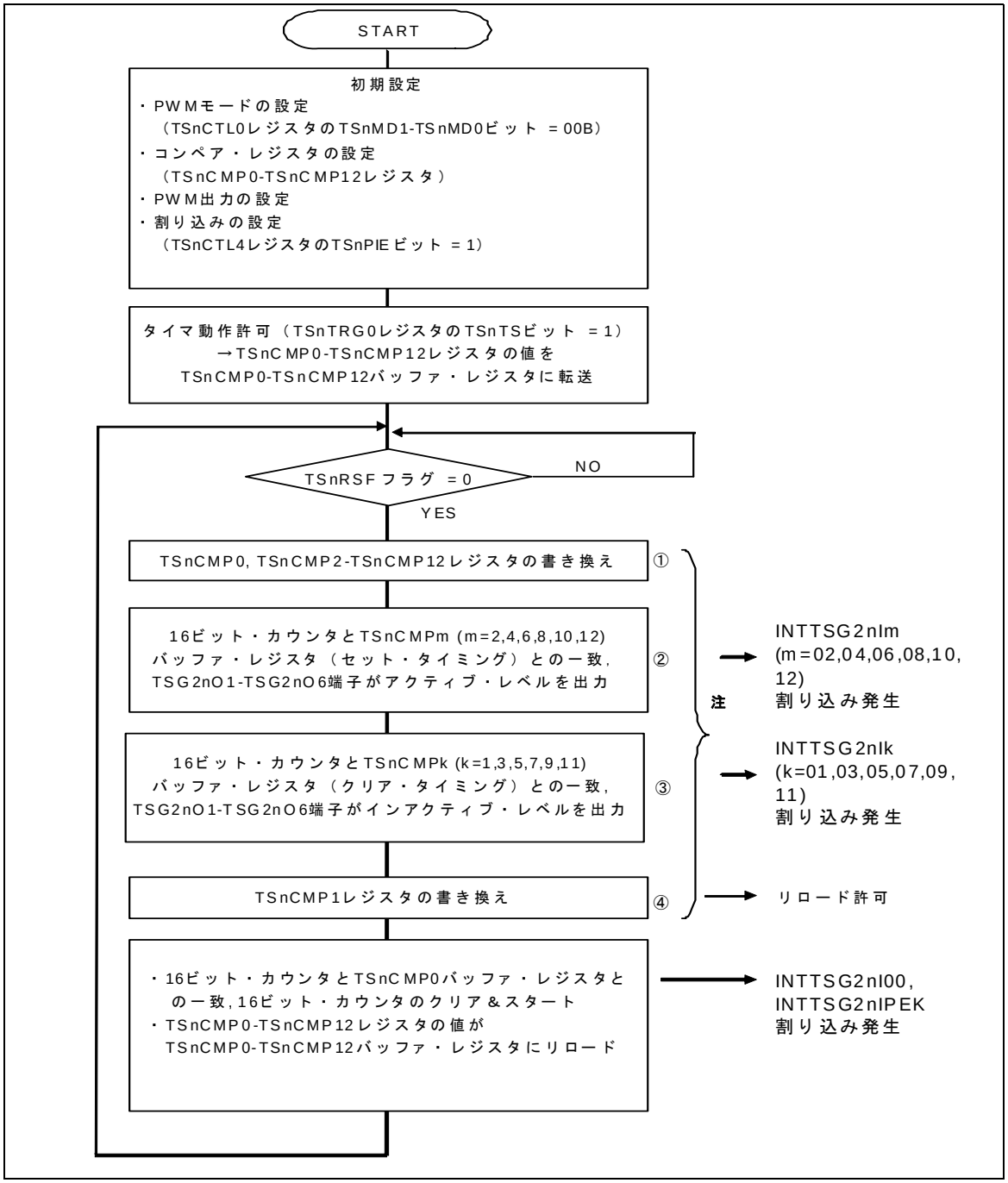


図 15-40 PWM モード時の基本動作フロー（2/2）

注 順番は，①，④の書き換えタイミング，TSnCMP1 レジスタの値などにより②，③のタイミングが異なる場合がありますが，①と④では必ず④を最後にしてください。

注意 コンペア・レジスタの書き換え前に，リロード要求フラグ（TSnRSF）が“0”であることを確認してください。

(1) PWM モード動作一覧

表 15-48 PWM モード：カウンタ機能

動作		設定条件
16 ビット・カウンタ	スタート	TSnTRG0.TSnTS = 0 → 1 または，同時スタートトリガ
	クリア	TSnCMP0 バッファ・レジスタと 16 ビット・カウンタのコンペアー致
	停止	TSnTRG1.TSnTT = 0 → 1

表 15-49 PWM モード：コンペア・レジスタ，デッド・タイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSnCMP0	リロード／随時書き換え	可能	周期
TSnCMPm（m = 1-12）	リロード／随時書き換え	可能	セット／ クリア・タイミング
TSnDCMP0W, TSnDCMP2	リロード／随時書き換え	可能	ダイアグ出力もしくは A/D 変換トリガ
TSnDTC0, TSnDTC1	リロード	可能[注]	デッド・タイム

注 詳細は (3)「PWM モード時のデッド・タイム制御」を参照してください。

表 15-50 PWM モード：タイマ出力機能

端子	機能
TSG2nOm（m = 1-6）	TSnCMPk バッファ・レジスタと 16 ビット・カウンタのコンペアー致による PWM 出力（k = 1-12）
TSG2nO7	ダイアグ出力，もしくは，A/D 変換トリガによるパルス出力

表 15-51 PWM モード：割り込み要求

割り込み	機能
INTTSG2nIm（m = 00-12）	TSnCMPm バッファ・レジスタと 16 ビット・カウンタのコンペアー致（m = 0-12）
INTTSG2nIER	エラー（TSG2nO1, TSG2nO2 または，TSG2nO3, TSG2nO4 または，TSG2nO5, TSG2nO6 の同時アクティブ検出）
INTTSG2nIVLY	―
INTTSG2nIPEK	山割り込み（INTTSG2nI00 と同時に発生）
INTTSG2nIWN	ワーニング

備考 “ ― ”は，PWM モードで使用しない機能を示します。

表 15-52 PWM モード：コンペアー致タイミング

コンペアー致	タイミング
TSnCMP0	16 ビット・カウンタが TSnCMP0 → 0000_H へ切り替わるとき
TSnCMPm（m = 1-12）	16 ビット・カウンタと TSnCMPm の一致検出後（m = 1-12）

表 15-53 PWM モード：タイマ出力条件別の設定例

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TSG2nOm（m = 1-6）	PWM 出力	（TSnCMP0 ＋ 1）× カウント・クロック	1 周期の期間内全てインアクティブ・レベル出力（デューティ 0%）	TSnCMPm = TSnCMP(m+1) もしくは TSnCMP(m+1)> TSnCMP0（m = 1, 3, 5, 7, 9, 11）
			1 周期で 1 カウント・クロックのアクティブ・レベル出力	TSnCMPm = TSnCMP(m+1) + 1 TSnCMP(m+1) = TSnCMPm - 1（m = 1, 3, 5, 7, 9, 11）
			1 周期で 1 カウント・クロックのインアクティブ・レベル出力	TSnCMPm = TSnCMP(m+1) - 1 TSnCMP(m+1) = TSnCMPm + 1（m = 1, 3, 5, 7, 9, 11）
			1 周期の期間内全てアクティブ・レベル出力（デューティ 100%）	TSnCMPm > TSnCMP0 TSnCMP(m+1) ≦ TSnCMP0（m = 1, 3, 5, 7, 9, 11）

TSnCMP2 のみの値書き換え，TSG2nO1 端子出力ありの場合
（TSnIOC0.TSnTOE1 = 1, TSnIOC2.TSnOL1 = 0）

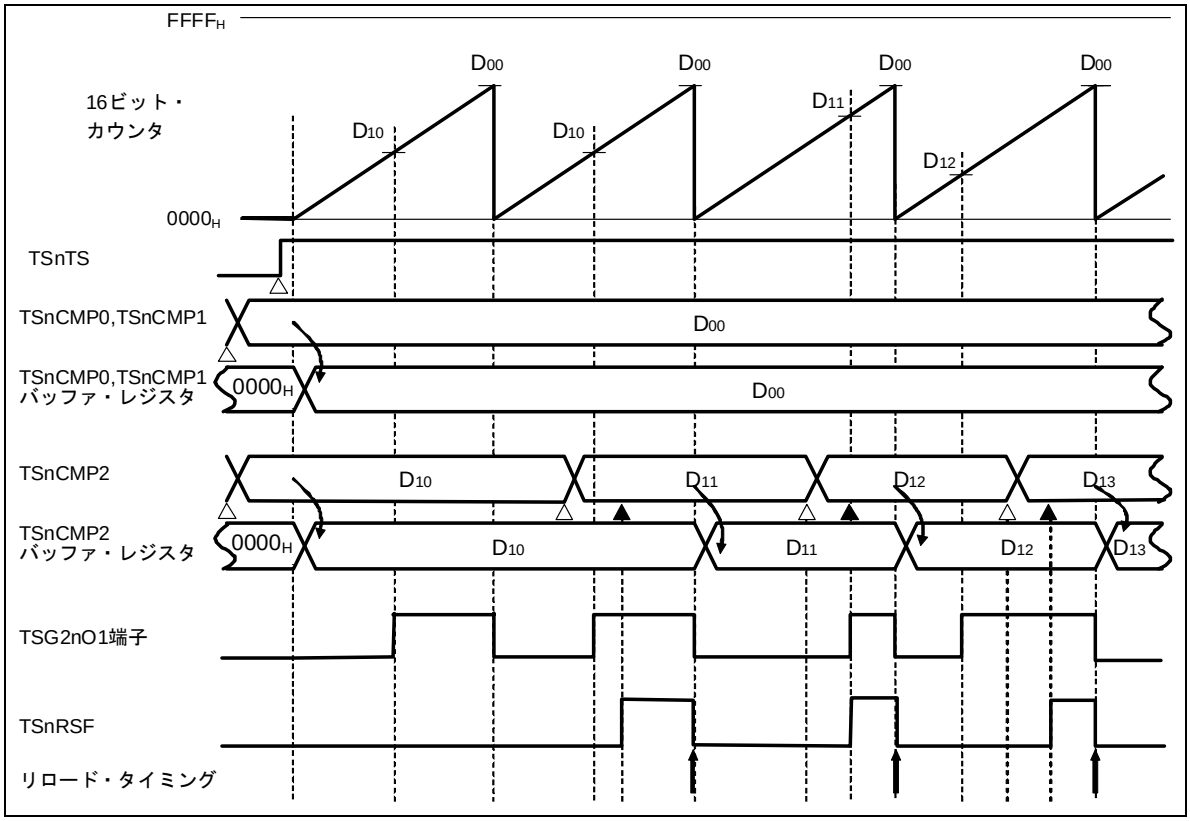


図 15-41 PWM モード時の基本動作タイミング例（1/2）

備考 1.D00：TSnCMP0, TSnCMP1 の設定値（0000_H-$FFFF_H$）
D10，D11，D12，D13：TSnCMP2 の設定値（0000_H-$FFFF_H$）
2.TSG2nO1 端子（PWM）デューティ =
（TSnCMP1 -TSnCMP2）×（カウント・クロック周期）
TSG2nO1 端子（PWM）周期 =
（TSnCMP0 レジスタの設定値 +1）×（カウント・クロック周期）
3.TSG2nO2-TSG2nO6 端子は，TSG2nO1 端子と同機能です。
4. △：ライト・アクセス
5. ▲：TSnCMP1 ライト・アクセス（同値）

TSnCMP0-TSnCMP2 レジスタの値書き換え，TSG2nO1 端子出力ありの場合

（TSnIOC0.TSnTOE1 = 1, TSnIOC2.TSnOL1 = 0）

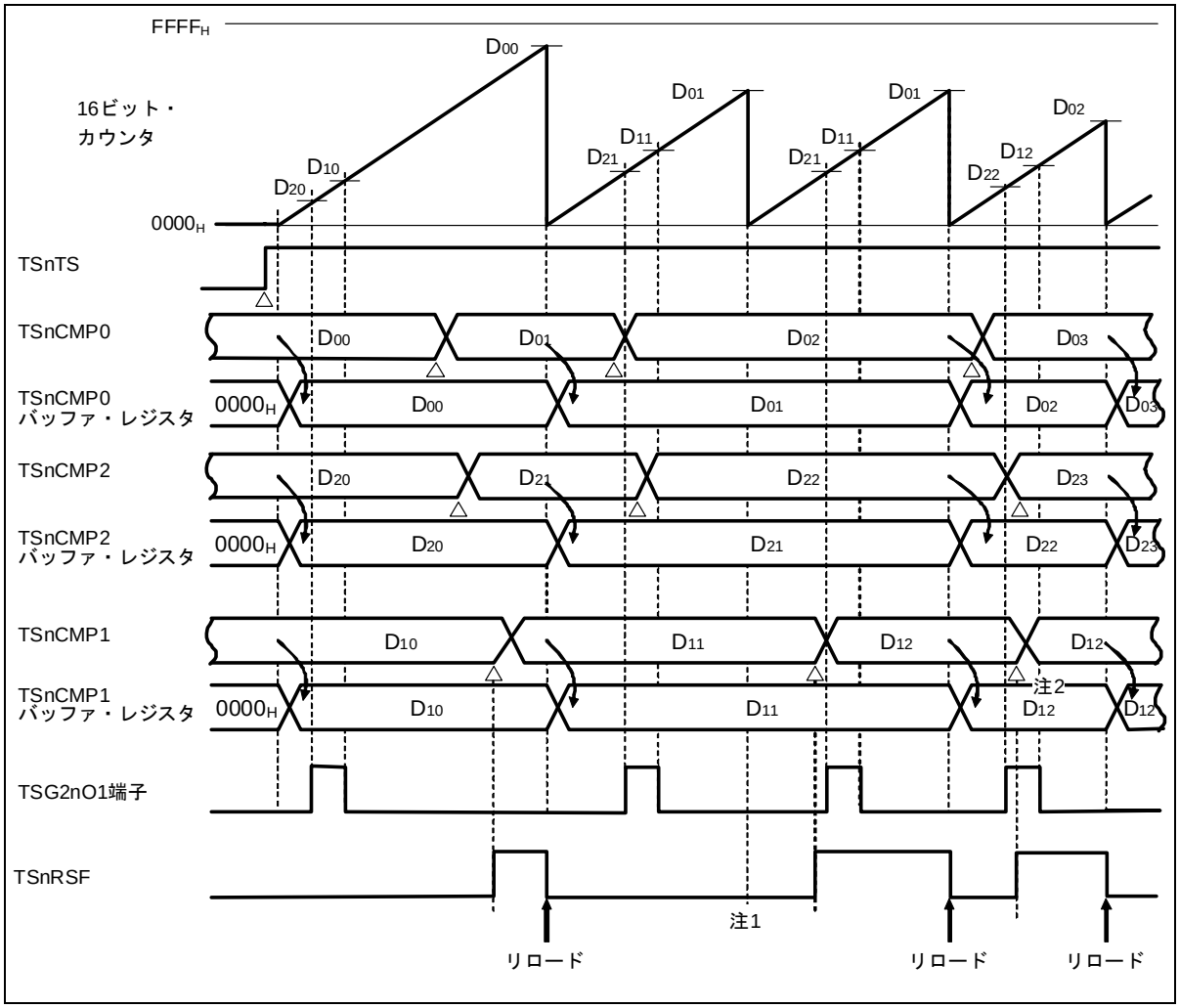


図 15-41 PWM モード時の基本動作タイミング例（2/2）

注 1. TSnCMP1 レジスタの書き込みがなかったため，TSnCMP0 バッファ・レジスタへリロードされません。

2. 同値書き込み

備考 1.D00, D01, D02, D03 ：TSnCMP0 レジスタの設定値（0000$_H$-FFFF$_H$）
D10, D11, D12, D13 ：TSnCMP1 レジスタの設定値（0000$_H$-FFFF$_H$）
D20, D21, D22, D23 ：TSnCMP2 レジスタの設定値（0000$_H$-FFFF$_H$）
2.TSG2nO2-TSG2nO6 端子は，TSG2nO1 端子と同機能です。
3. △ ：ライト・アクセス

(2) PWM モード時のリロード／割り込み間引き機能

TSnCTL4.TSnPRE = 1, TSnPIE = 1, TSnRCC04-TSnRCC00, TSnCTL3.TSnRIA を設定することで，リロード間引き機能，割り込み間引き機能を使用できます。

TSnPRE = 1, TSnRCC04-TSnRCC00 を設定することで，割り込み間引き機能を使用できます。

(3) PWM モード時のデッド・タイム制御

PWM モードでは，TSnDTC0, TSnDTC1 レジスタにデッド・タイム値を設定することで，デッド・タイム制御ができます。デッド・タイムは，TSG2nO1 端子と TSG2nO2 端子，TSG2nO3 端子と TSG2nO4 端子，TSG2nO5 端子と TSG2nO6 端子の切り替えタイミングで制御できます。

表 15-54 PWM モードにおけるデッド・タイム

切り替えタイミング	デッド・タイム
TSG2nO1 端子がハイ・レベルからロウ・レベルで TSG2nO2 端子がロウ・レベルからハイ・レベル	TSnDTC1 レジスタの値
TSG2nO2 端子がハイ・レベルからロウ・レベルで TSG2nO1 端子がロウ・レベルからハイ・レベル	TSnDTC0 レジスタの値
TSG2nO3 端子がハイ・レベルからロウ・レベルで TSG2nO4 端子がロウ・レベルからハイ・レベル	TSnDTC1 レジスタの値
TSG2nO4 端子がハイ・レベルからロウ・レベルで TSG2nO3 端子がロウ・レベルからハイ・レベル	TSnDTC0 レジスタの値
TSG2nO5 端子がハイ・レベルからロウ・レベルで TSG2nO6 端子がロウ・レベルからハイ・レベル	TSnDTC1 レジスタの値
TSG2nO6 端子がハイ・レベルからロウ・レベルで TSG2nO5 端子がロウ・レベルからハイ・レベル	TSnDTC0 レジスタの値

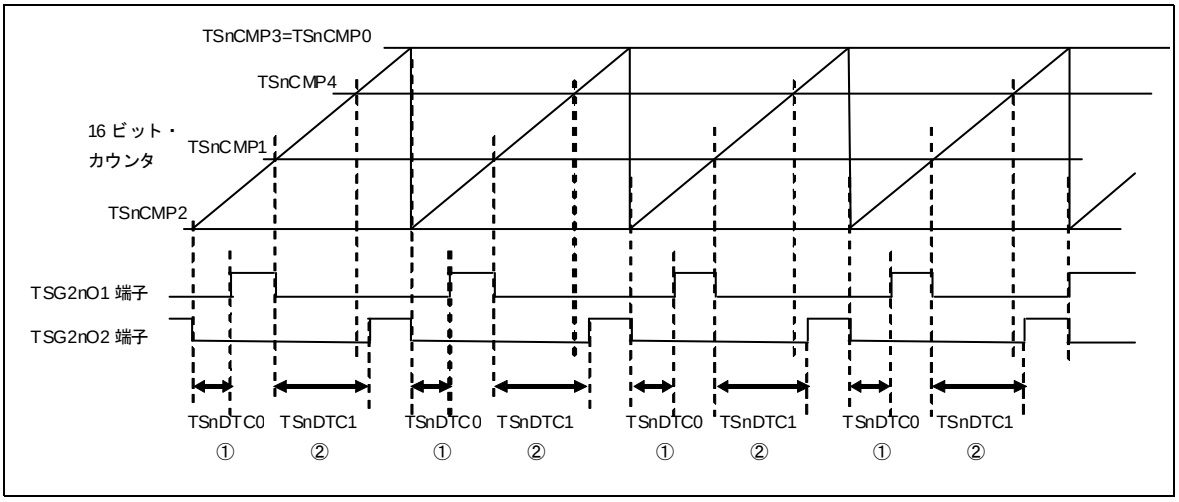


図 15-42 TSG2nO1 端子，TSG2nO2 端子間のデッド・タイム制御例（1/2）

①の箇所では，TSG2nO2 端子の立ち下がりからデッド・タイム・カウンタがスタートします。同時に，16 ビット・カウンタが 0000_H で TSG2nO1 端子がアクティブとなるタイミングでもデッド・タイム・カウンタが動作中のためインアクティブを継続し，デッド・タイム・カウント動作が終了したタイミングから TSG2nO1 端子がアクティブとなります。

②の箇所では，TSG2nO1 端子の立ち下がりからデッド・タイム・カウンタがスタートします。その後，16 ビット・カウンタと TSnCMP4 レジスタの一致で TSG2nO2 端子がアクティブとなるタイミングでもデッド・タイム・カウンタが動作中のためインアクティブを継続し，デッド・タイム・カウント動作が終了したタイミングから TSG2nO2 端子がアクティブとなります。

備考 1.TSG2nO1，TSG2nO2 端子のアクティブ・レベルは，ハイ・レベル
2.TSG2nO3，TSG2nO4 端子，TSG2nO5，TSG2nO6 端子の場合も同様です。

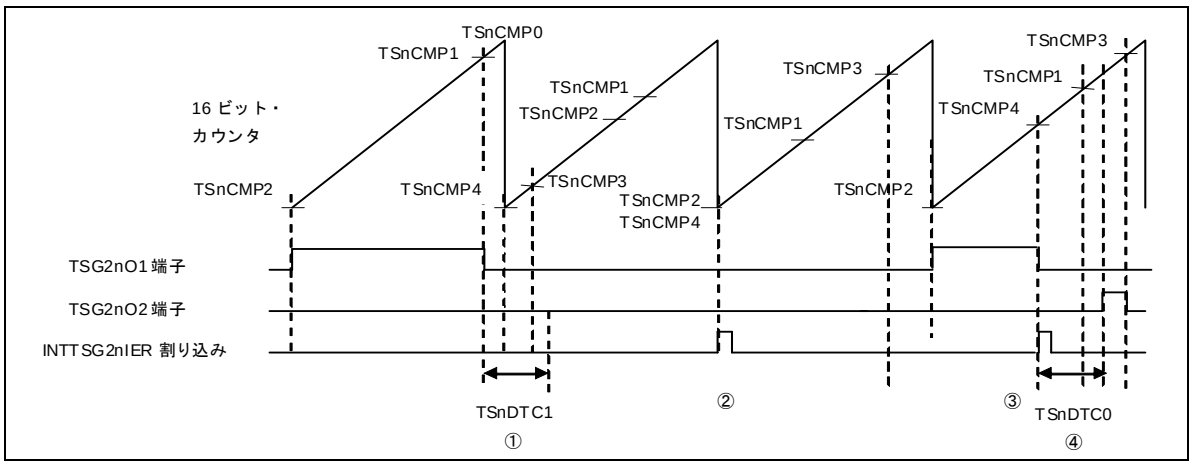


図 15-42 TSG2nO1 端子，TSG2nO2 端子間のデッド・タイム制御例（2/2）

①の箇所では，TSG2nO1 端子の立ち下がりからデッド・タイム・カウンタがスタートします。その後，16 ビット・カウンタが 0000_H で TSnCMP4 と一致し TSG2nO2 端子がアクティブとなるタイミングでもデッド・タイム・カウンタ動作中のためインアクティブを継続しさらに，デッド・タイム・カウンタの動作が終了する前に TSnCMP3 レジスタのコンペア一致が発生するため，コンペア一致により TSG2nO2 端子はインアクティブのままとなります。

TSnCMP1 ＋ TSnDTC1 ≧ TSnCMP0 ＋ TSnCMP2
（TSG2nO2 はインアクティブを継続）

TSnCMP2 ＋ TSnDTC0 ≧ TSnCMP0 ＋ TSnCMP1
（TSG2nO1 はインアクティブを継続）

②の箇所では，TSG2nO1 端子と TSG2nO2 端子が同時に立ち上がるように TSnCMP2 レジスタと TSnCMP4 レジスタを設定しているため INTTSG2nIER 割り込みが発生します。このとき，TSG2nO1, TSG2n02 端子ともにインアクティブとなります。

③の箇所では，TSG2nO1 端子がアクティブ出力中に TSnCMP4 レジスタのコンペア一致が発生したため INTTSG2nIER 割り込みが発生し，両端子ともインアクティブとなります。

④の箇所では，同時アクティブにより TSG2nO1 端子の立ち下がり（インアクティブ）となり，デッド・タイム・カウンタがスタートします。その後，デッド・タイム･カウンタの動作終了後に TSG2nO2 端子がアクティブとなります。

備考 1.TSG2nO1, TSG2nO2 端子のアクティブ・レベルは，ハイ・レベル
2.TSG2nO3, TSG2nO4 端子 , TSG2nO5, TSG2nO6 端子の場合も同様です。

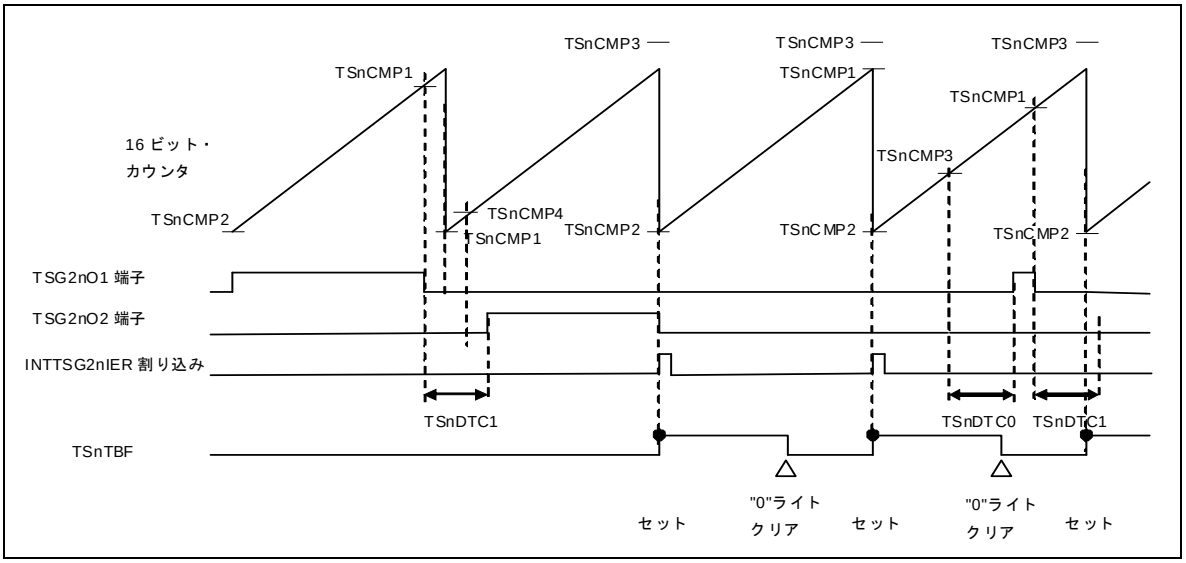


図 15-43 デッド・タイム制御時のデューティ 100% 出力例

TSG2nO2 端子にデューティ 100% 出力（TSnCMP3 ≧ TSnCMP0 ＋ 1）を設定した場合，TSG2nO1 端子の出力はロウ・レベル固定となります。これは，TSG2nO1 端子がアクティブとなったタイミングですでに TSG2nO2 端子がアクティブになっているため，TSG2nO1 端子のアクティブ条件をマスクするように制御しています。この場合も，同時にハイ・レベルとなる設定のため，INTTSG2nIER 割り込みが発生します。

備考 1.TSG2nO1，TSG2nO2 端子のアクティブ・レベルは，ハイ・レベル
2.TSG2nO3，TSG2nO4，TSG2nO5，TSG2nO6 端子の場合も同様です。

(4) PWM モード動作時のデッド・タイム書き換え

PWM モードでは，カウント中に TSG2n デッド・タイム設定レジスタ（TSnDTC0, TSnDTC1）の書き換えが可能です。デッド・タイムは，リロード・タイミングで新しい設定が有効となります。随時書き換えによる変更はできません。

リロード・タイミングを許可するには，TSnCMP1 レジスタに書き込みを行ってください。

15.11.2 HT-PWM モード（High accuracy Triangular - Pulse Width Modulation モード）

概要 16 ビット・カウンタ（アップ／ダウン，±2 カウント，実質 15 ビット）と，16 ビット・コンペア・レジスタ（LSB は付加パルス制御）を使用して，6 相 PWM を生成できます。

前提条件

- TSnCMP0 には，搬送波の周期を設定します。
- TSnCMPU, TSnCMPV, TSnCMPW で，U 相，V 相，W 相の電圧データ信号のデューティを設定します。（TSnCMPU, TSnCMPV, TSnCMPW に設定した値は，対応する TSnCMPm へ即時に設定値が反映されます（m = 1, 2, 5, 6, 9, 10））
- 本章では，対象三角波による制御を説明します。（非対称三角波による制御は，15.11.2 (10)「HT-PWM モードの非対称三角波制御」を参照ください）

機能説明 搬送波の周期を設定，U 相，V 相，W 相のデューティを設定。TSnTRG0.TSnTS = 1 にすると，カウント・アップを開始します。

16 ビット・カウンタは，TSnDTC0 を最小値としてアップ・カウントを行い，TSnCMP0+TSnDTC0 で示す最大値との一致でダウン・カウント動作を行います。

デッド・タイムは，TSnDTC0，TSnDTC1 で設定し，TSnDTC0 は逆相（OFF）→正相（ON）のデッド・タイムを，TSnDTC1 は正相（OFF）→逆相（ON）のデッド・タイムを設定することができます。デッド・タイム生成用の 10 ビット・カウンタ（TSnDTT1-TSnDTT3）は，16 ビット・カウンタと TSnCMPm バッファ・レジスタのコンペア一致で TSnDTC0, TSnDTC1 の設定値をロードし，ダウン・カウントを行います。（m=1, 2, 5, 6, 9, 10）

16 ビット・カウンタと，TSnCMP1, TSnCMP2, TSnCMP5, TSnCMP6, TSnCMP9, TSnCMP10 バッファ・レジスタのコンペア一致で，それぞれ INTTSG2nIm 割り込み（m=01, 02, 05, 06, 09, 10）を発生します。

備考 HT-PWM モードは TSnCTL0.TSnMD1-TSnMD0 = 01B に設定したときに有効となります。

(1) ブロック図と基本タイミング図

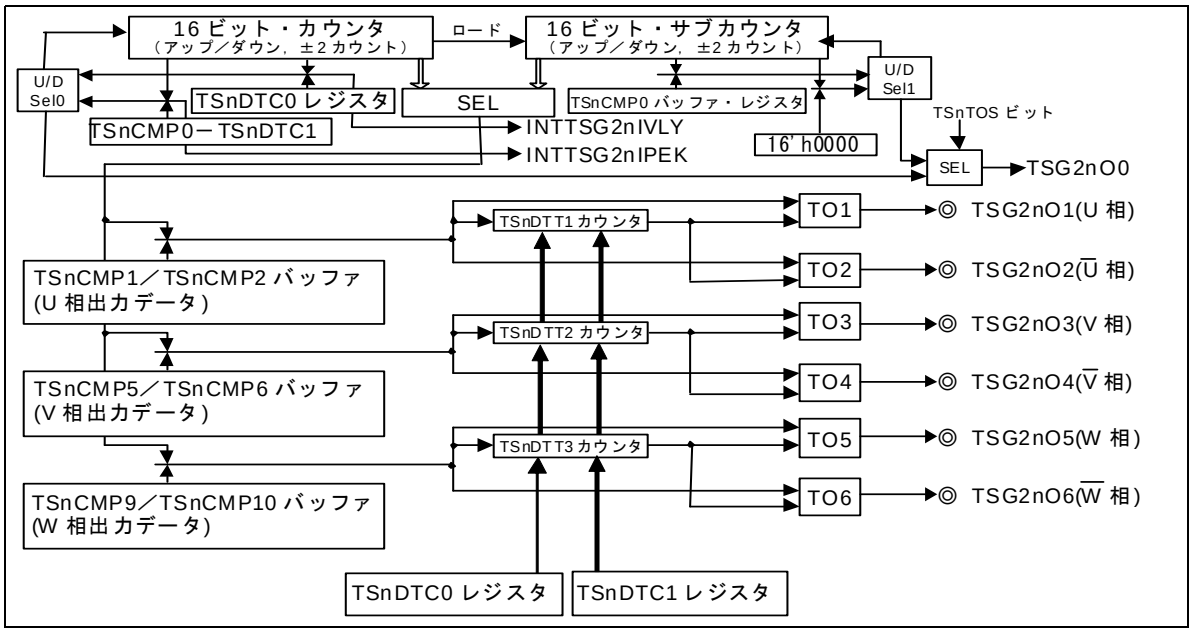


図 15-44 HT-PWM モード時のブロック図概略

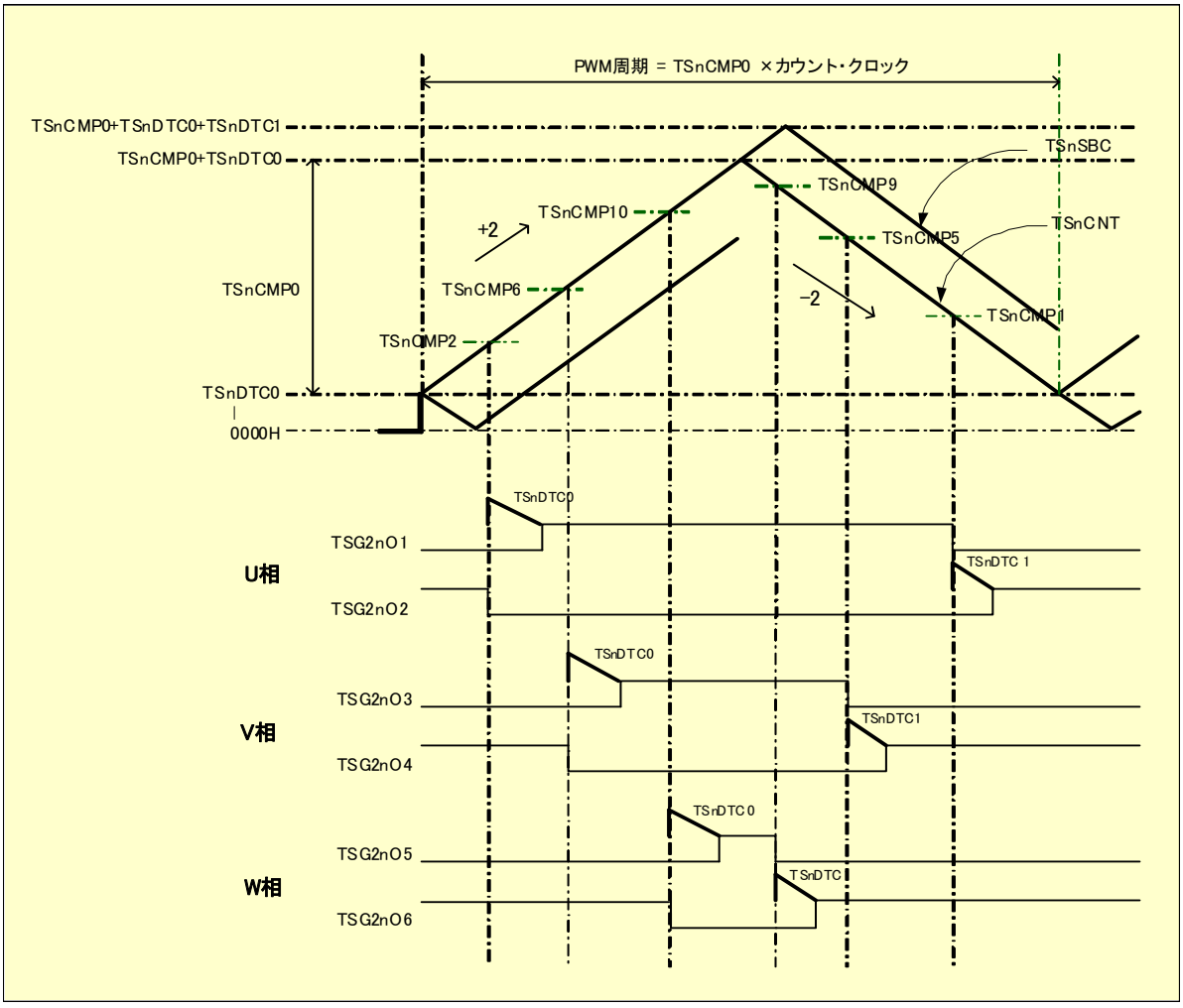


図 15-45 HT-PWM モード時の基本タイミング

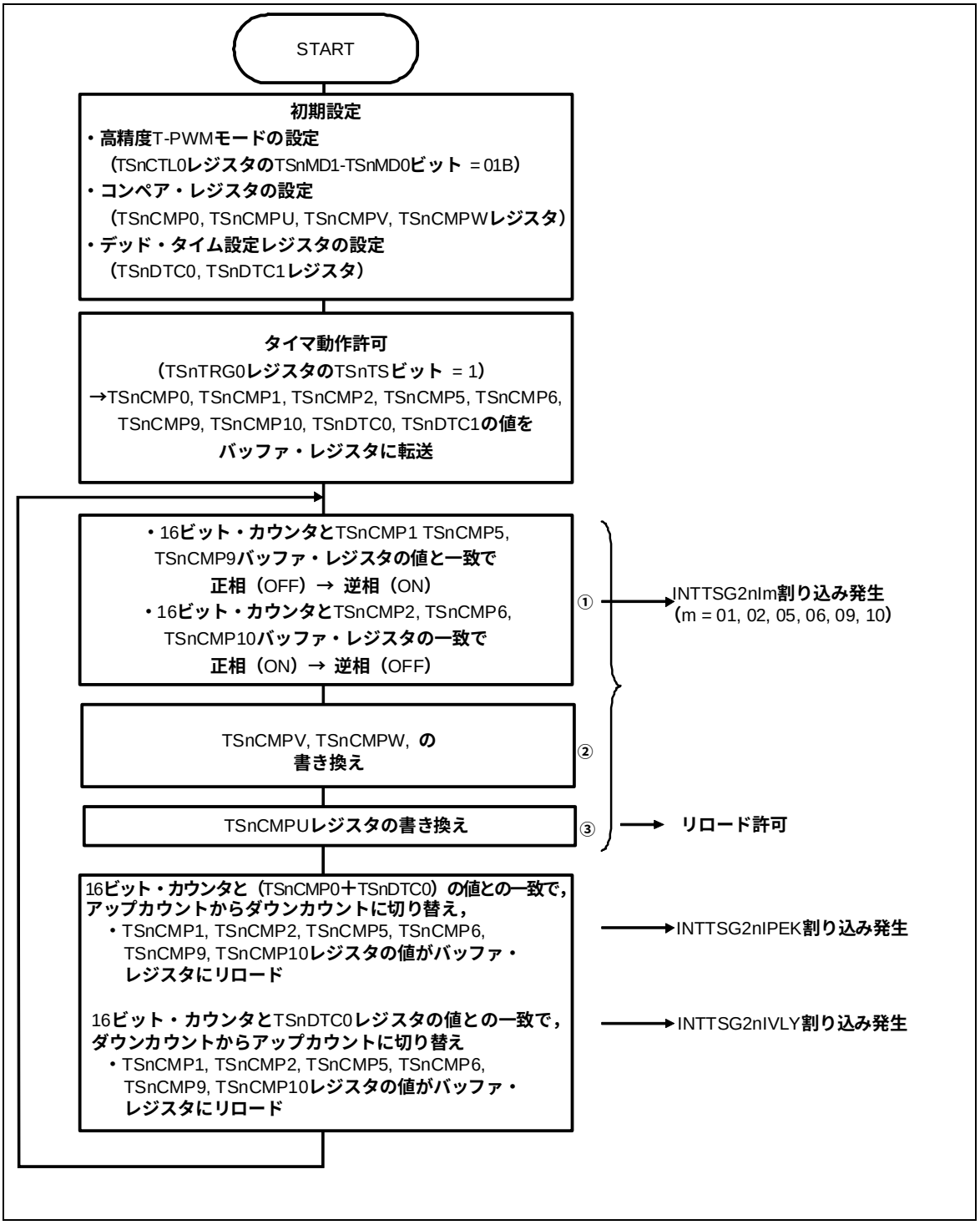


図 15-46 HT-PWM モード時の基本動作フロー

備考
- TSnCMPU（TSnCMP1）へのライト・アクセスにはリロードを許可する動作も含まれます。したがって③の書き換えタイミングは②の書き換えタイミングの後にしてください。
- INTTSG2nIPEK 割り込みは，TSnCTL4.TSnPRE = 1 のときのみ発生します。
- INTTSG2nIVLY 割り込みは，TSnCTL4.TSnVRE = 1 のときのみ発生します。

(2) HT-PWM モード動作一覧

表 15-55 HT-PWM モード：カウンタ機能

動作		設定条件
16 ビット・カウンタ	スタート	TSnTRG0.TSnTS = 0 → 1（TSnDTC0 からアップ・カウント）
	アップ	TSnDTC0 バッファ・レジスタと 16 ビット・カウンタのコンペアー致
	ダウン	TSnCMP0+TSnDTC0 バッファ・レジスタと 16 ビット・カウンタのコンペアー致
	クリア	−
	停止	TSnTRG1.TSnTT = 0 → 1
16 ビット・サブカウンタ	スタート	TSnTRG0.TSnTS = 0 → 1（TSnDTC0 からダウン・カウント）
	アップ	アンダフロー
	ダウン	TSnCMP0+TSnDTC0+TSnDTC1 バッファ・レジスタと 16 ビット・サブカウンタのコンペアー致
	ロード	• TSnCMP0+TSnDTC0 バッファ・レジスタと 16 ビット・カウンタのコンペアー致のとき，TSnCMP0+TSnDTC0 • TSnDTC0 バッファ・レジスタと 16 ビット・カウンタのコンペアー致のとき，TSnDTC0
	クリア	−
	停止	TSnTRG1.TSnTT = 0 → 1

表 15-56 HT-PWM モード：コンペア・レジスタ，デッド・タイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSnCMP0	リロード／随時書き換え	可能	周期
TSnCMPU	−	可能	U 相用 PWM 制御
TSnCMP1W（TSnCMP1, TSnCMP2）	リロード／随時書き換え		
TSnCMPV	−	可能	V 相用 PWM 制御
TSnCMP5W（TSnCMP5, TSnCMP6）	リロード／随時書き換え		
TSnCMPW	−	可能	W 相用 PWM 制御
TSnCMP9W（TSnCMP9, TSnCMP10）	リロード／随時書き換え		
TSnDCMP0W, TSnDCMP2	リロード／随時書き換え	可能	ダイアグ出力もしくは A/D 変換トリガ
TSnDTC0, TSnDTC1	リロード	条件付きで可能	周期，デッド・タイム

備考 ・TSnCMPU, TSnCMPV, TSnCMPW を書き換えた値は，TSnCMP1W（TSnCMP1, TSnCMP2），TSnCMP5W（TSnCMP5, TSnCMP6），TSnCMP9W（TSnCMP9, TSnCMP10）の上位 16 ビット，下位 16 ビットに設定されます。
・TSnDTC0, TSnDTC1 の書き換え方法は (8) (a)「TSnDTC0, TSnDTC1 の書き換えについて」を参照してください。

表 15-57 HT-PWM モード：タイマ出力機能

端子	機能
TSG2nO0	16 ビット・カウンタまたは 16 ビット・サブカウンタのアップ・カウント時インアクティブ，ダウン・カウント時アクティブ
TSG2nO1	TSnCMP1 バッファ・レジスタと 16 ビット・カウンタ（ダウン・カウント時）のコンペアー致，および， TSnCMP2 バッファ・レジスタと 16 ビット・カウンタ（アップ・カウント時）のコンペアー致による PWM 出力（デッド・タイム付き）
TSG2nO2	TSG2nO1 に対する逆相出力
TSG2nO3	TSnCMP5 バッファ・レジスタと 16 ビット・カウンタ（ダウン・カウント時）のコンペアー致，および， TSnCMP6 バッファ・レジスタと 16 ビット・カウンタ（アップ・カウント時）のコンペアー致による PWM 出力（デッド・タイム付き）
TSG2nO4	TSG2nO3 に対する逆相出力
TSG2nO5	TSnCMP9 バッファ・レジスタと 16 ビット・カウンタ（ダウン・カウント時）のコンペアー致，および， TSnCMP10 バッファ・レジスタと 16 ビット・カウンタ（アップ・カウント時）のコンペアー致による PWM 出力（デッド・タイム付き）
TSG2nO6	TSG2nO5 に対する逆相出力
TSG2nO7	ダイアグ出力もしくは A/D 変換トリガによるパルス出力

備考 TSG2nO0 端子のステータス出力の対象を TSnIOC1.TSnTOS で切り替えます。

表 15-58 HT-PWM モード：割り込み要求

割り込み	機能
INTTSG2nI00	TSnDTC00 バッファ・レジスタと 16 ビット・カウンタの一致 （周期割り込み）
INTTSG2nIm （m = 01, 02, 05, 06, 09, 10）	TSnCMPm バッファ・レジスタと 16 ビット・カウンタのコンペアー致 （m = 1, 2, 5, 6, 9, 10）
INTTSG2nIER	エラー
INTTSG2nIVLY	谷割り込み
INTTSG2nIPEK	山割り込み
INTTSG2nIWN	ワーニング割り込み

表 15-59 HT-PWM モード：コンペアー致タイミング

コンペアー致	タイミング
TSnCMP0	16 ビット・カウンタが TSnCMP0 + TSnDTC0 → TSnCMP0 + TSnDTC0 − 2 へ切り替わるとき
TSnCMPm （m = 1, 2, 5, 6, 9, 10）	16 ビット・カウンタが TSnCMPm → TSnCMPm±2 へ切り替わるとき （m = 1, 2, 5, 6, 9, 10）

表 15-60 HT-PWM モード：タイマ出力条件別の設定例

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TSG2nO0	トグル出力	TSnCMP0 × カウント・クロック	アップ・カウント時，インアクティブ・レベル出力，ダウン・カウント時，アクティブ・レベル出力	－
TSG2nO1, TSG2nO3, TSG2nO5	PWM 出力	TSnCMP0 × カウント・クロック	1 周期の期間内全てインアクティブ・レベル出力（デューティ 0%）	TSnCMPm = TSnCMP0 + TSnDTC0 + TSnDTC1（m = U, V, W）
			1 周期で 1 カウント・クロックのアクティブ・レベル出力	TSnCMPm = TSnCMP0 - 1（m = U, V, W）
			1 周期で 1 カウント・クロックのインアクティブ・レベル出力	TSnCMPm = 0001_H（m = U, V, W）
			1 周期の期間内全てアクティブ・レベル出力（デューティ 100%）	TSnCMPm = 0000_H（m = U, V, W）
TSG2nO2, TSG2nO4, TSG2nO6	PWM 出力		1 周期の期間内全てインアクティブ・レベル出力（デューティ 0%）	TSnCMPm = 0000_H（m = U, V, W）
			1 周期で 1 カウント・クロックのアクティブ・レベル出力	TSnCMPm = TSnDTC0 + TSnDTC1 + 1（m = U, V, W）
			1 周期で 1 カウント・クロックのインアクティブ・レベル出力	TSnCMPm = TSnCMP0 + TSnDTC0 + TSnDTC1 - 1（m = U, V, W）
			1 周期の期間内全てアクティブ・レベル出力（デューティ 100%）	TSnCMPm = TSnCMP0 + TSnDTC0 + TSnDTC1（m = U, V, W）
TSG2nO7	ダイアグ出力もしくは A/D 変換トリガによるパルス出力	TSnCMP0 × カウント・クロック	15.9「A/D 変換トリガ機能」を参照してください。	

(3) HT-PWM モードの各種設定

モード設定

TSnCTL0.TSnMD1-TSnMD0 = 01B に設定することで HT-PWM モードになります。

タイマ出力の設定

TSG2nO1-TSG2nO6 端子は，TSnIOC0, TSnIOC2, TSnIOC3 の設定で出力制御を行います。

TSG2nO0 端子は，16 ビット・カウンタまたは，16 ビット・サブカウンタのアップ／ダウン・カウントを示すステータス出力です。TSnIOC1.TSnTOS で，16 ビット・カウンタ／ 16 ビット・サブカウンタの切り替えを行います。

TSG2nO7 端子は，ダイアグ出力もしくは A/D 変換トリガによるパルス出力です。必要に応じて設定してください。

エラー割り込み発生の許可

TSnIOC1.TSnEOC = 1 にすることで，正相／逆相同時アクティブを検出したときのエラー割り込み（INTTSG2nIER）発生を許可します。HT-PWM モードでは，どのような値をコンペア・レジスタに設定しても正相／逆相同時アクティブにはなりません。詳細は，15.10「エラー／ワーニング割り込み」を参照してください。

リロード機能付きレジスタ書き換えタイミング設定

TSnCTL3.TSnRMC で，リロード機能付きレジスタに対し，リロード（一斉書き換え）／随時書き換えを行います（デフォルト “0” リロード）。リロードを行う場合は，TSnCTL4.TSnPRE または TSnVRE を必ずセット（1）してください。

TSnPRE，TSnVRE 共に “0” の場合はリロード・タイミングが発生しません。

随時書き換えにした場合，書き換えタイミングによって意図しない出力が発生する場合があります。

割り込みと間引き機能の設定

TSnCTL4 で，割り込みと間引き機能を設定します。山割り込み（INTTSG2nIPEK）が必要な場合は，TSnPIE = 1 にします。谷割り込み（INTTSG2nIVLY）が必要な場合は，TSnVIE = 1 にしてください。また，山／谷割り込みに対して，間引き機能を使用したい場合は，TSnRCC4-TSnRCC0 で設定を行います。

A/D 変換トリガ出力の設定

A/D 変換トリガ 0（TSnADTRG0 信号）を設定する場合は，TSnCTL5 の TSnAT09-TSnAT00 で設定を行います。

TSnAT09-TSnAT00 で，TSnDCMP2-TSnDCMP0 との一致タイミング（16 ビット・カウンタのアップ／ダウン・カウント），TSnDCMP2-TSnDCMP0 との一致タイミング（16 ビット・カウンタのアップ／ダウン・カウント），16 ビット・カウンタの山割り込み（INTTSG2nIPEK），および，谷割り込み（INTTSG2nIVLY），16 ビット・サブカウンタの山タイミング，および，谷タイミングによる A/D 変換トリガ出力の許可／禁止を行います。

A/D 変換トリガ 1（TSnADTRG1 信号）を設定する場合は，TSnCTL6 の TSnAT19-TSnAT10 で設定を行います。

16 ビット・カウンタと TSnDCMP2-TSnDCMP0 の一致タイミングを設定する場合は，それぞれのレジスタにコンペア値の設定を行います。

TSnADTRG0, TSnADTRG1 信号に対しては，間引き機能が使用できます。TSnCTL5 の TSnACC01, TSnACC00 および TSnCTL6 の TSnACC11, TSnACC10 を使用して，間引き無し／1 間引き／3 間引き／7 間引きの設定を行うことができます。

注意 A/D 変換トリガのタイミング・パルスを TSG2nO7 端子に出力する場合は，TSnCTL5, TSnCTL6 と TSnDCMP2-TSnDCMP0 の設定を正しく行ってください。

デッド・タイムの設定

TSnDTC0, TSnDTC1 でデッド・タイムの設定を行います。

デッド・タイムは，次の式で求めることができます。

PCLK × TSnDTC0

PCLK × TSnDTC1

TSnDTC0 は，TSG2nO2, TSG2nO4, TSG2nO6 端子のインアクティブ変化→TSG2nO1, TSG2nO3, TSG2nO5 端子のアクティブ変化までの時間を設定できます。

TSnDTC1 は，TSG2nO1, TSG2nO3, TSG2nO5 端子のインアクティブ変化→TSG2nO2, TSG2nO4, TSG2nO6 端子のアクティブ変化までの時間を設定できます。

TSnDTC0, TSnDTC1 は，偶数値のみ設定可能です。

搬送波の周期 次の式にしたがい TSnCMP0 で，搬送波の周期を設定してください。

TSnCMP0 = 搬送波周期 ／ カウント・クロック周期（PCLK）

また，TSnCMP0 レジスタの設定値は，デッド・タイムとの兼ね合いから次の条件を満たしてください。

- TSnCMP0 + TSnDTC0 + TSnDTC1 ≦ FFFEH
- TSnCMP0 > TSnDTC0
- TSnCMP0 > TSnDTC1
- TSnCMP0 > 3 × MAX(TSnDTC0, TSnDTC1)
- TSnCMP0 は偶数

備考 MAX（A, B）は A, B の中で大きい方の値を示しています。

デューティ（PWM 幅）の設定 TSnCMPm でそれぞれ U 相，V 相，W 相のデューティ設定を行います。コンペア・レジスタの設定範囲は次のようになっています。

（m = U, V, W もしくは 1, 2, 5, 6, 9, 10）

0000_H ≦ TSnCMPm ≦ TSnCMP0 + TSnDTC0 + TSnDTC1

TSnCMPU, TSnCMPV, TSnCMPW の LSB（Least Significant Bit）は，付加パルスの設定を意味しています。例えば，TSnCMPU = 0003_H と設定した場合は，TSnCMPU = 0002_H に設定した場合に比べて，逆相（TSG2nO2 端子）の変化が 1 カウント・クロック分遅く変化します（16 ビット・カウンタがアップ・カウント時）。ただし，TSnCMP1, TSnCMP2, TSnCMP5, TSnCMP6, TSnCMP9, TSnCMP10 には，付加パルスの設定はできません。（偶数値のみ設定可能）

(4) HT-PWM モードの 16 ビット・カウンタ動作

16 ビット・カウンタは初期値 0000_H で，TSG2n 動作開始（TSnTRG0.TSnTS = 1）に設定した直後に TSnDTC0 の値がロードされ，＋ 2 ずつアップ・カウントを行います。その後，TSnCMP0 + TSnDTC0 に一致した時点で 16 ビット・カウンタは− 2 ずつダウン・カウントを行います。

16 ビット・カウンタの動作は次のようになります。

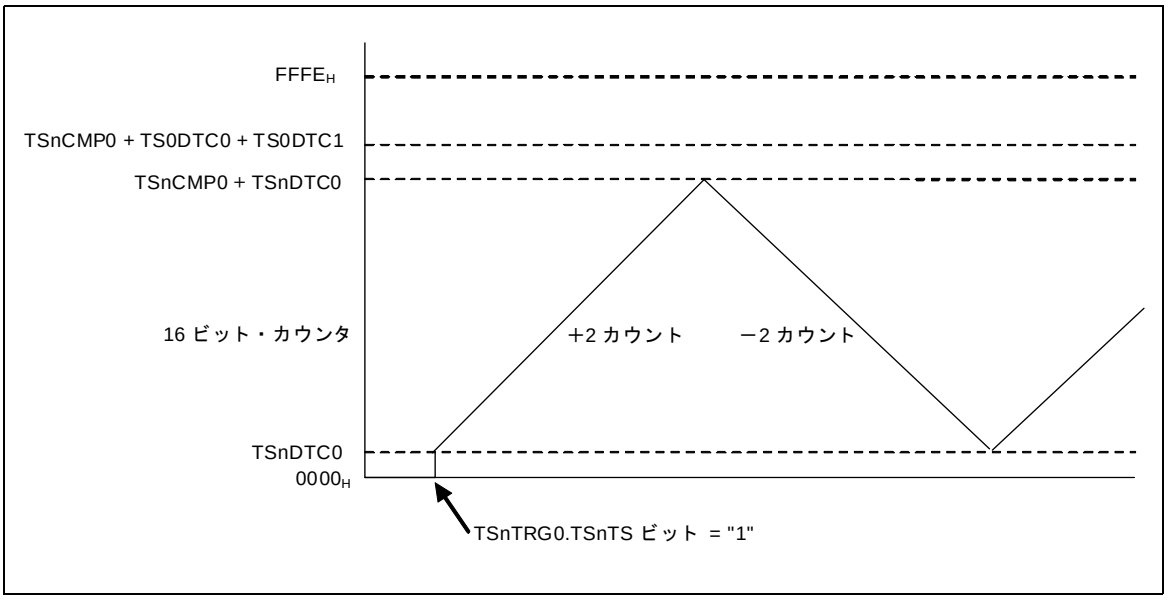


図 15-47 HT-PWM モード時の 16 ビット・カウンタ動作例

備考 16 ビット・カウンタ最小値 ：TSnDTC0
16 ビット・カウンタ最大値 ：TSnCMP0 + TSnDTC0
搬送波周期 ：TSnCMP0 × カウント・クロック周期（PCLK）

16 ビット・サブカウンタは初期値 0000_H で，TSG2n 動作開始（TSnTRG0.TSnTS = 1）に設定した直後に TSnDTC0 の値がロードされます。その後，0000_H と一致するまで－ 2 ずつダウン・カウントを行い，一致した時点で＋ 2 ずつアップ・カウントを開始します。次に，16 ビット・カウンタがアップ→ダウンに切り替わるタイミングで，16 ビット・サブカウンタに 16 ビット・カウンタの値をロードします。16 ビット・サブカウンタは，そのままカウント・アップを行い，TSnCMP0 + TSnDTC0 + TSnDTC1 と一致した時点で，－ 2 ずつダウン・カウントを開始します。同様に，16 ビット・カウンタが TSnDTC0 と一致したタイミングで，16 ビット・カウンタの値をロードし，ダウン・カウントを継続します。

16 ビット・サブカウンタ動作は，下記のようになります。

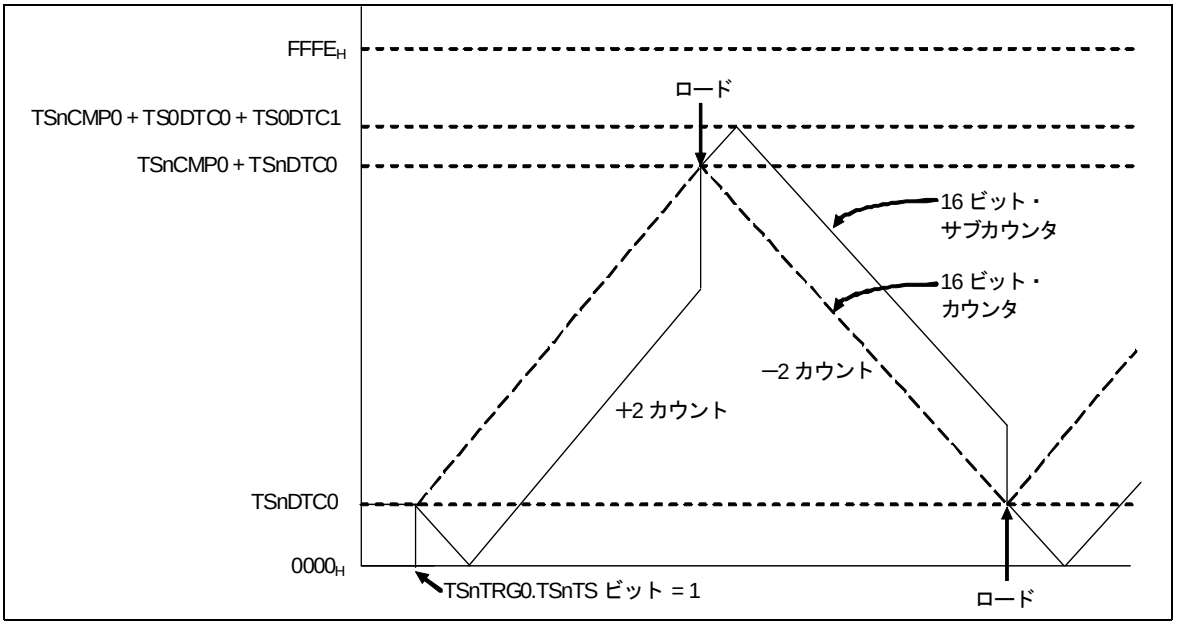


図 15-48 HT-PWM モード時の 16 ビット・サブカウンタ動作例

備考 16 ビット・サブカウンタ最小値 ：0000_H
16 ビット・サブカウンタ最大値 ：TSnCMP0 + TSnDTC0 + TSnDTC1

(5) HT-PWM モードの基本動作

(a) TSG2n 動作開始直後のタイマ出力例

TSnCMP0 = $000E_H$，TSnDTC0 = 0002_H，TSnDTC1 = 0004_H，TSnCMPU を 0000_H-0014_H（一部抜粋）に設定した場合のタイミング図を次に示します。この例では，TSnIOC2 レジスタの TSnOL1-TSnOL6 = 000000B と設定しています。

TSnCMPU = TSnDTC0 の場合は，TSG2n 動作開始（TSnTRG0.TSnTS = 1）にした後，カウントの初期値がロードされたときに TSG2nO2 端子がアクティブ・レベルに変化します。TSnCMPU = TSnDTC0-0001_H は，付加パルスなので TSnCMPU = TSnDTC0-0002_H の場合に比べて 1 カウント・クロック遅れて TSG2nO2 端子が変化します。

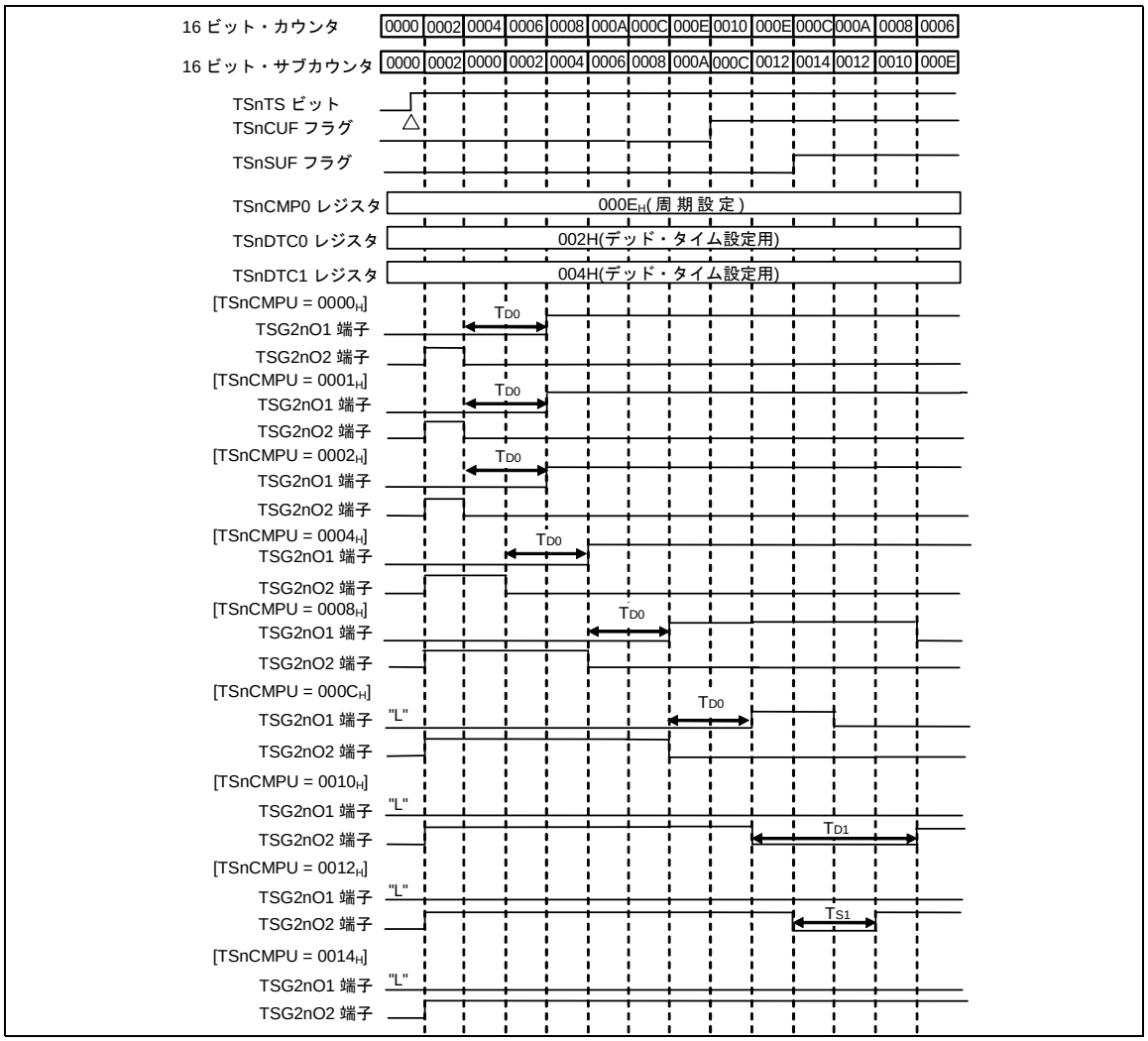


図 15-49 TSnTS = 1 にセットした場合（初期）のタイマ出力例（HT-PWM モード）

備考 1.TSnCMP0 = $000E_H$，TSnDTC0 = 0002_H，TSnDTC1 = 0004_H
2.T_{D0}：TSnDTC0 レジスタのデッド・タイム設定に依存する時間
T_{D1}：TSnDTC1 レジスタのデッド・タイム設定に依存する時間
T_{S1}：TSnCMPU ＞ 16 ビット・カウンタ最大値の場合，16 ビット・サブカウンタと TSnCMPU とのコンペアによって決定される時間
3. △：ライト・アクセス

(b) TSG2n 動作中のタイマ出力例

TSnCMP0 = $000E_H$，TSnDTC0 = 0002_H，TSnDTC1 = 0004_H，TSnCMPU を 0000_H-0014_H（一部抜粋）に設定した場合のタイミング図を次に示します。この例では，TSnIOC2 レジスタの TSnOL1-TSnOL6 = 000000B と設定しています。

正相（TSG2nO1 端子）の出力するアクティブ（ハイ・レベル）幅の範囲は 0000_H ≦ TSnCMPU ≦ TSnCMP0（付加パルス分）となっています。また，逆相（TSG2nO2 端子）の出力するアクティブ（ハイ・レベル）幅の範囲は TSnDTC0 + TSnDTC1 ≦ TSnCMPU ≦ TSnCMP0 + TS0DTC1 + TS0DTC0 となっています。

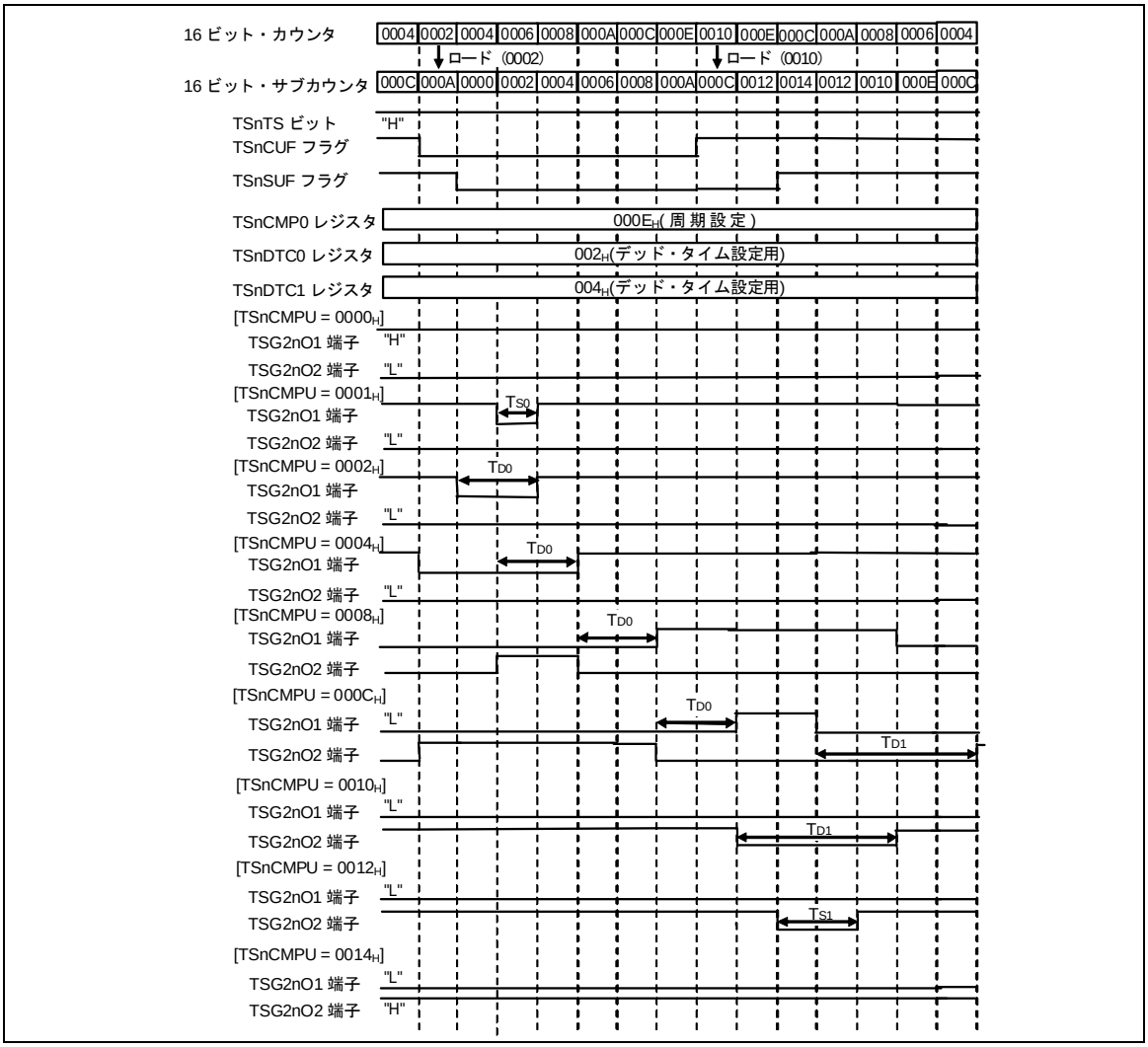


図 15-50 動作中のタイマ出力例（HT-PWM モード時）

備考 1.TSnCMP0 = $000E_H$，TSnDTC0 = 0002_H，TSnDTC1 = 0004_H

2.T_{D0}：TSnDTC0 レジスタのデッド・タイム設定に依存する時間

T_{D1}：TSnDTC1 レジスタのデッド・タイム設定に依存する時間

T_{S0}：TSnCMPU ＜ 16 ビット・カウンタ最小値の場合，16 ビット・サブカウンタと TSnCMPU とのコンペアによって決定される時間

T_{S1}：TSnCMPU 値＞ 16 ビット・カウンタ最大値の場合，16 ビット・サブカウンタと TSnCMPU のコンペアによって決定される時間

(6) HT-PWM モード時の付加パルス制御

HT-PWM モードは，デューティ設定レジスタ（TSnCMPU, TSnCMPV, TSnCMPW）の LSB に “1” を設定することで付加パルスを設定することができます。付加パルス制御機能をもつことで，デューティ制御をより細かく（精度が高く）行うことができます。

付加パルス制御を行った場合と，行わない場合の TSG2nO1 端子の出力例を記載します。

(a) 付加パルス制御を行った場合のパルス出力例

*図 15-51「付加パルス制御を行った場合の TSG2nO1 端子出力例」*で付加パルス制御を行うのは，TSnCMPU に奇数の値を設定した場合です。

矢印と数字は 1 周期内の TSG2nO1 端子出力のデューティ幅を示しています。

*図 15-51「付加パルス制御を行った場合の TSG2nO1 端子出力例」*のように，付加パルス制御を行った場合 TSG2nO1 端子の出力幅（デューティ比）が 12 クロック幅から 0 クロック幅まで 1 カウント・クロックごとに制御することができます。

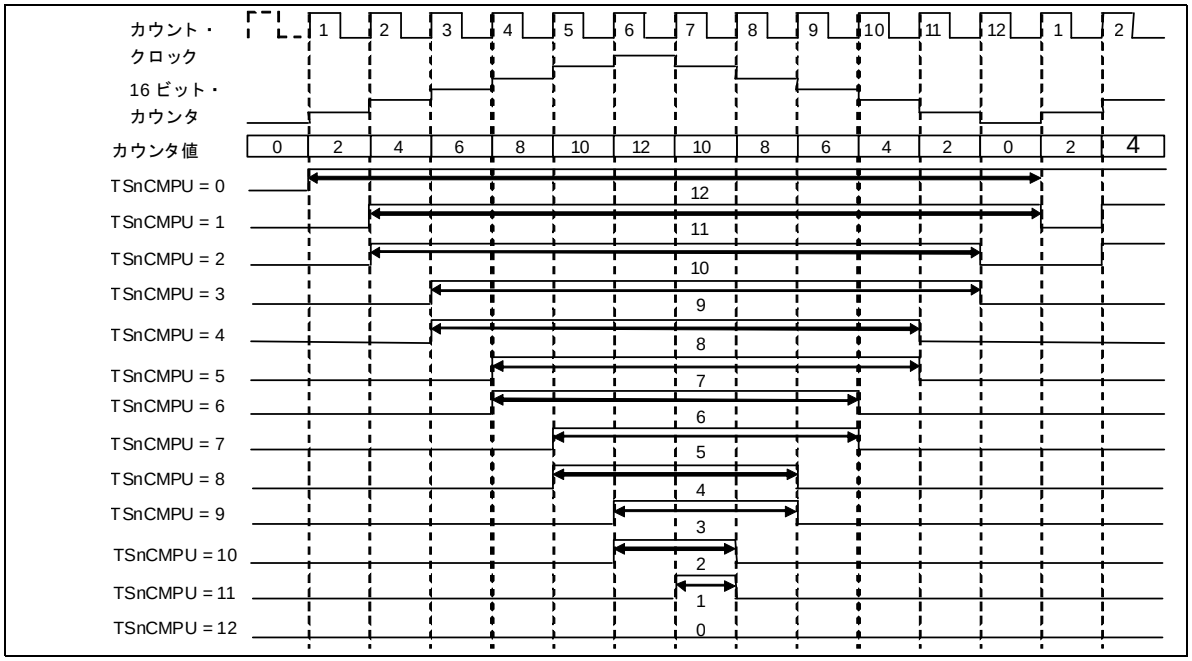


図 15-51 付加パルス制御を行った場合の TSG2nO1 端子出力例

備考 TSnCMP0 = 12，TSnDTC0 = 0，TSnDTC1 = 0

(b) 付加パルス制御を行っていない場合の出力例

*図15-52「付加パルス制御を行わなかった場合のTSG2nO1 端子出力例」*で，矢印と数字は 1 周期内の TSG2nO1 端子出力のデューティ幅を示しています。

付加パルス制御を行わない場合，TSG2nO1 端子の出力幅が 12 クロック幅から 0 クロック幅まで，2 カウント・クロックごとの制御となります。この場合は，付加パルス制御を行う場合と比べてデューティ変化量が大きくなってしまいます。

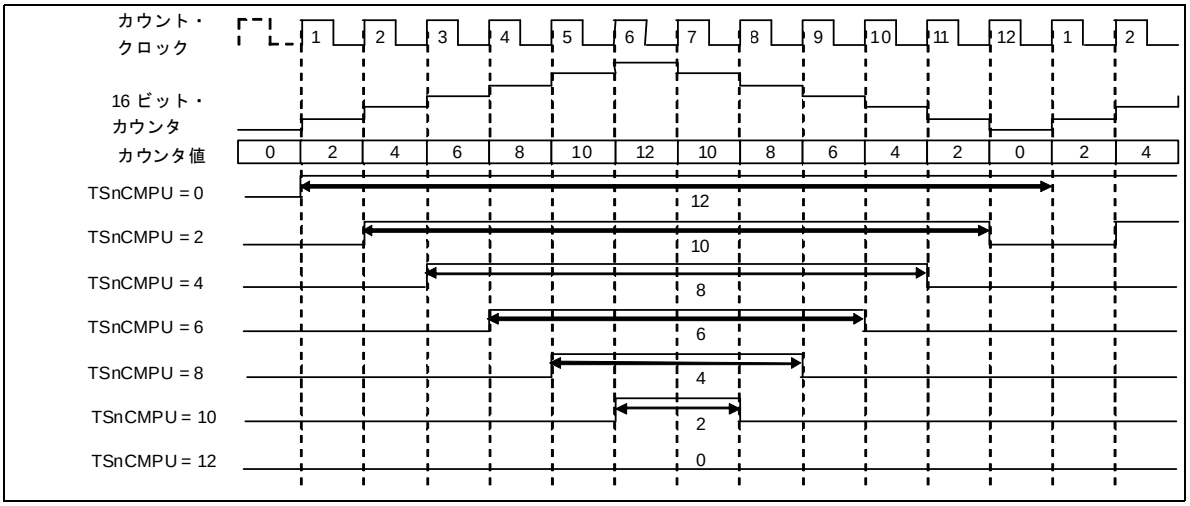


図 15-52 付加パルス制御を行わなかった場合の TSG2nO1 端子出力例

備考 TSnCMP0 = 12，TSnDTC0 = 0，TSnDTC1 = 0

(7) HT-PWM モード時のデッド・タイム制御

HT-PWM モード時は，デューティ用の設定レジスタは TSnCMP1, TSnCMP2, TSnCMP5, TSnCMP6, TSnCMP9, TSnCMP10 とし，周期用の設定レジスタは TSnCMP0 ,TSnDTC0, TSnDTC1 となります。この 6 つのレジスタを使用することで，デューティ可変型の 6 相 PWM 波形が出力されます。デッド・タイム制御を実現するために，16 ビット・カウンタのカウント・クロックに同期して動作する 6 本の 10 ビット・ダウンカウンタと，デッド・タイム設定レジスタ（TSnDTC0, TSnDTC1）があります。TSnDTC0 は，逆相がインアクティブに変化してから正相がアクティブに変化するまでのデッド・タイムの設定であり，TSnDTC1 は，正相がインアクティブに変化してから逆相がアクティブに変化するまでのデッド・タイムの設定です。

次に TSnDTC0 = x，TSnDTC1 = y の場合の出力波形を示します。

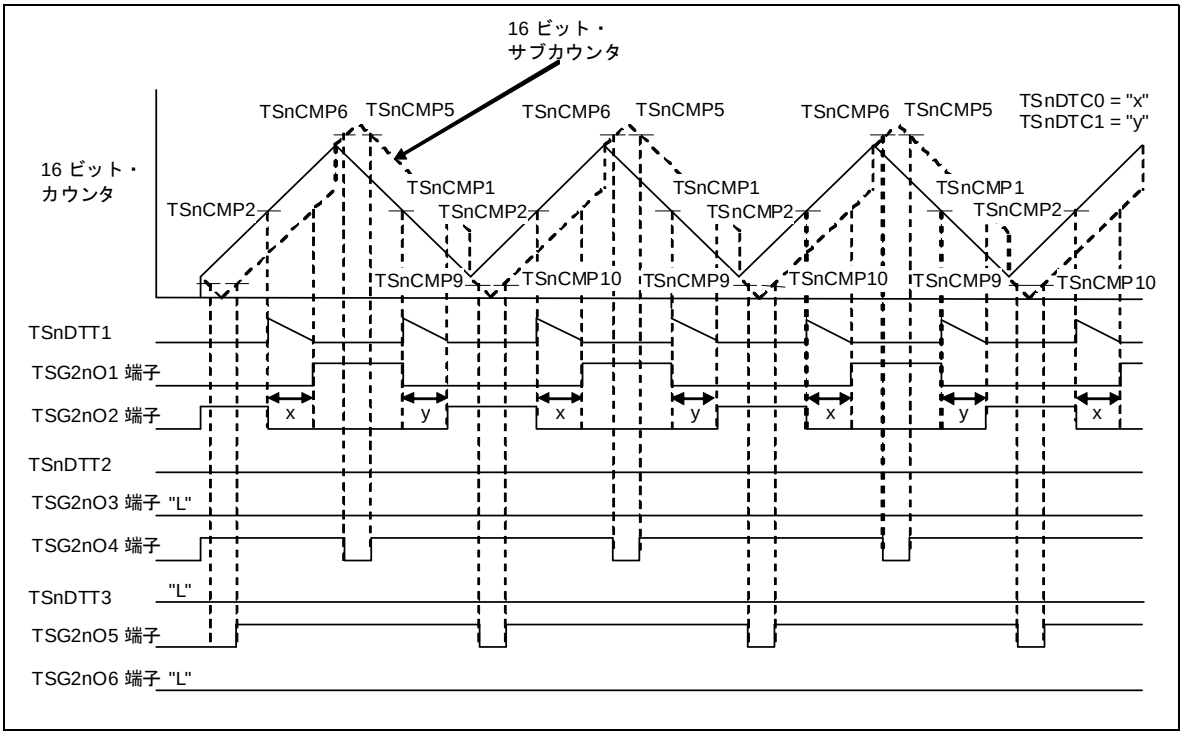


図 15-53 デッド・タイム設定時の出力波形例

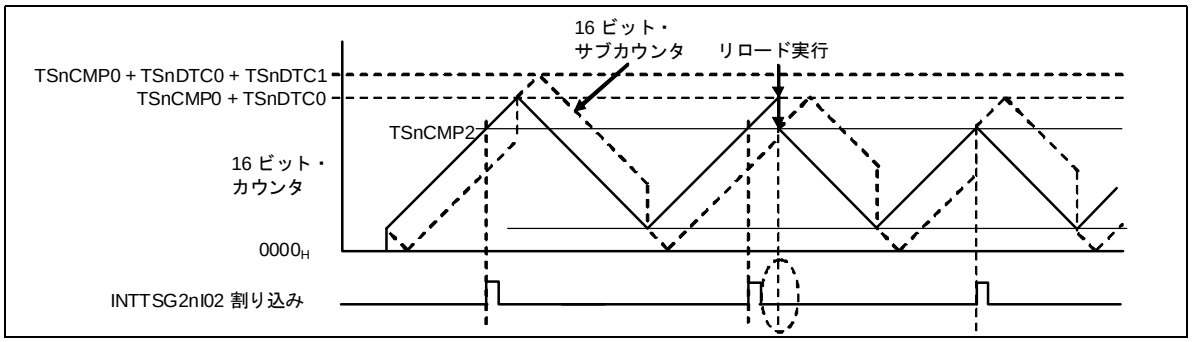
(8) HT-PWM モード時のデッド・タイム制御に関する注意事項

(a) TSnDTC0, TSnDTC1 の書き換えについて

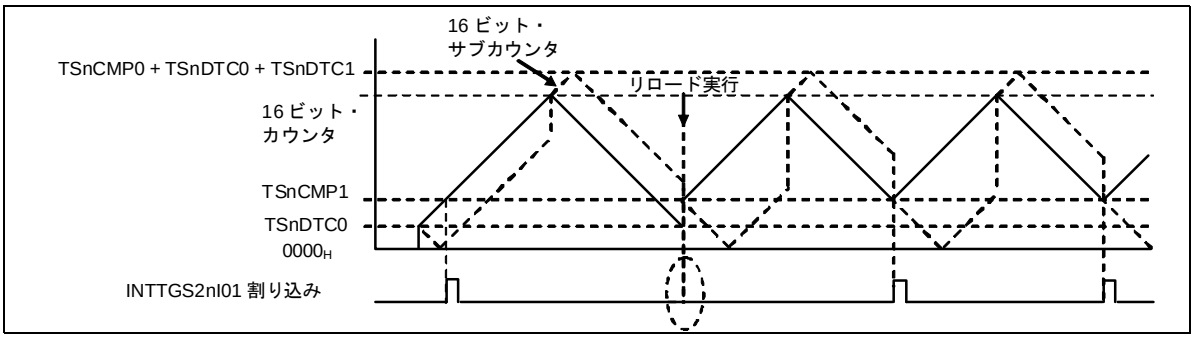
デッド・タイムの設定（TSnDTC0, TSnDTC1）を動作中に書き換えることができます。

注意

1. TSnDTC0, TSnDTC1 の書き換えは，リロード機能（TSnRMC = 0）を使用している場合に書き換えてください。
2. TSnDTC0, TSnDTC1 を書き換える場合，ライト・プロテクション・コード・チェックが機能します。詳細はレジスタ説明を参照ください。
3. 16 ビット・カウンタの山で TSnCMP0, TSnDTC1 を変更する場合
TSnCMPm の設定値と，更新後の TSnCMP0-TSnDTC1（メインカウンタの新しい最大値）が一致した場合，リロード実行直後の一致割り込み（INTTSG2nIm）は発生しません。（m = 02, 06, 10）



4. 16 ビット・カウンタの谷で TSnDTC0 を変更する場合
TSnCMPm の設定値と，更新後の TSnDTC0（メインカウンタの新しい最小値）に一致した場合，リロード直後の一致割込み（INTTSG2nIm）は発生しません。（m = 01, 05, 09）



(9) HT-PWM モード時のソフトウエア出力制御機能

HT-PWM モード時は，TSnOPT0.TSnSOC, TSnIDC, TSnOPT1.TSnSPC2-TSnSPC0 を使用して，ソフトウエア制御によるタイマ出力制御を行うことができます。

*図 15-54「HT-PWM からソフトウエア出力制御機能の切り替え例」*に示すように，TSnSTE = 0 とし，TSnSOC = 1 にしたタイミングで出力を即時に切り替えます。デッド・タイムの設定をしていれば，デッド・タイム期間は保証されます。その後，TSnSOC = 0 にしたタイミングでは出力を保持し，リロード・タイミングが発生した時点で，HT-PWM モードによる出力制御に切り替わります。

ソフトウエア出力制御機能について，詳細は 15.11.5「ソフトウエア出力制御機能」を参照してください。

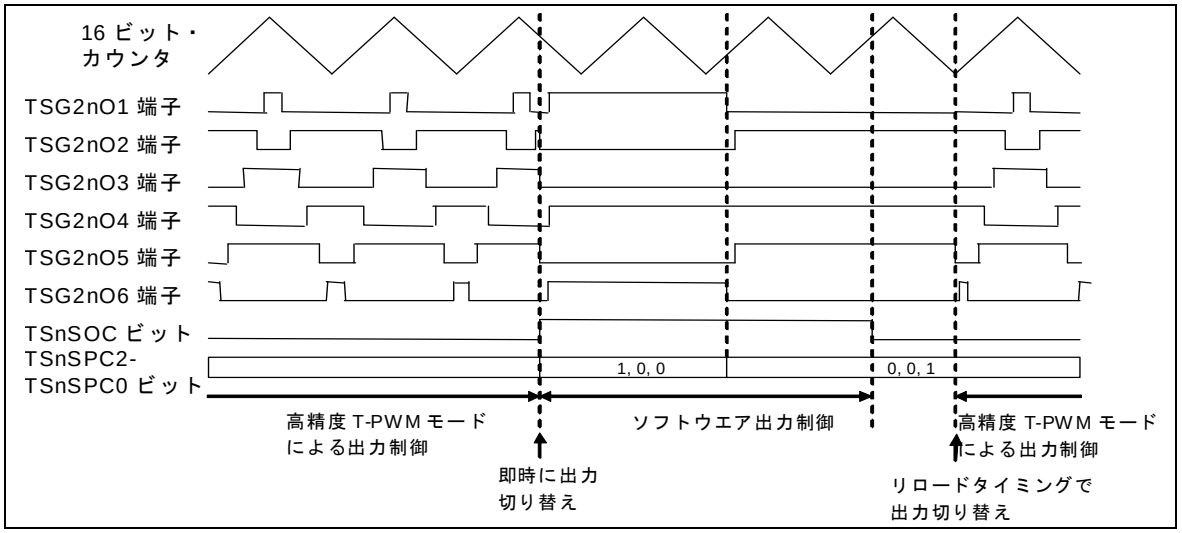


図 15-54 HT-PWM からソフトウエア出力制御機能の切り替え例

注意 ソフトウエア出力制御機能を使用する場合は，必ずリロード（一斉書き換え）モード（TSnCTL3.TSnRMC = 0）の設定で使用してください。

(a) ソフトウエア出力制御の処理手順

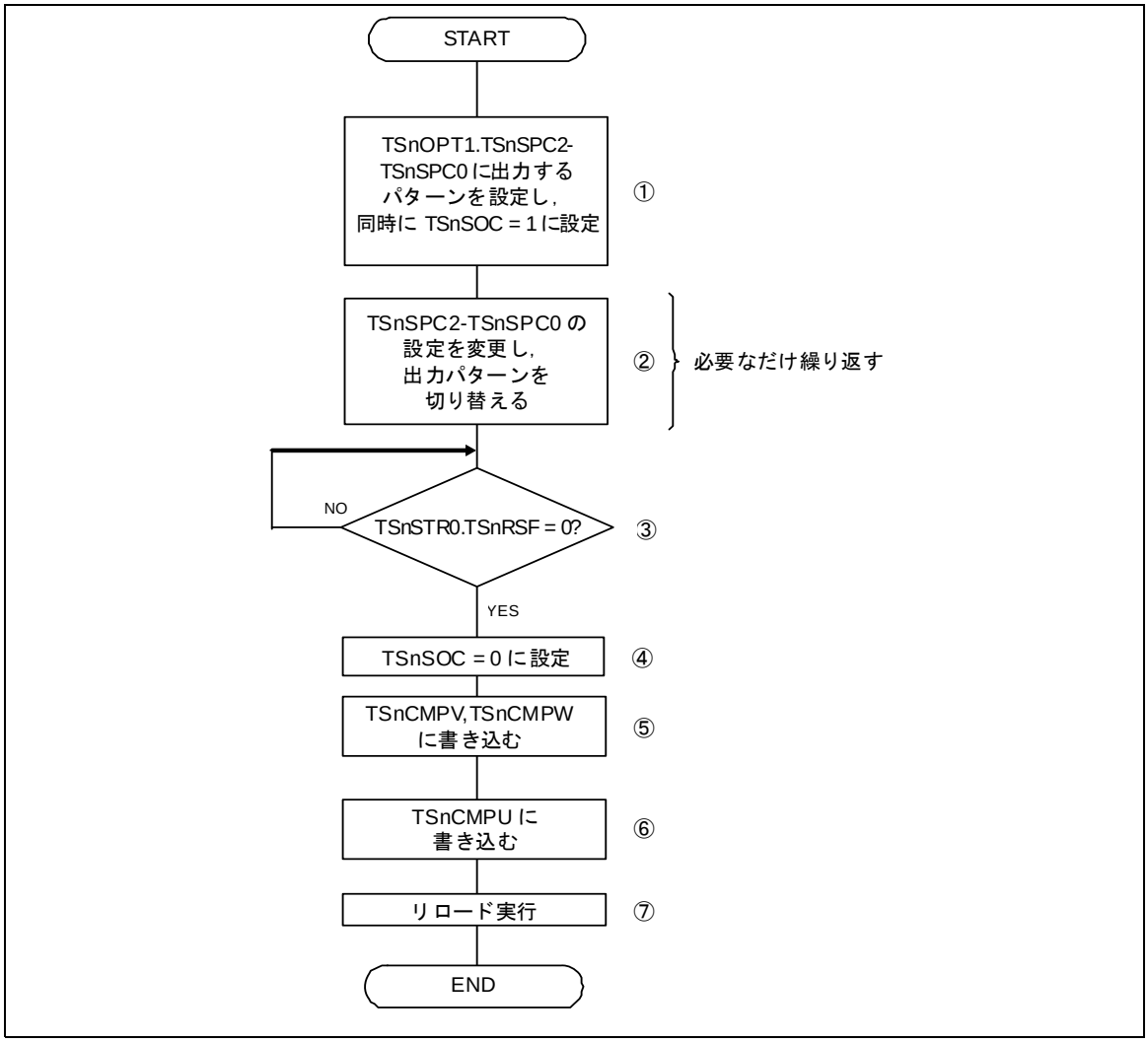


図 15-55 ソフトウエア出力制御時の処理フロー

ソフトウエア出力制御の処理手順を示します。

① TSnOPT1.TSnSPC2-TSnSPC0 に出力するパターンを設定し，同時にソフトウエア出力を行うために TSnOPT0.TSnSOC = 1 にします。

② TSnSPC2-TSnSPC0 の出力パターン設定を変更し，タイマ出力を変化させます。ソフトウエア制御中に変更可能なレジスタは次のとおりです。

TSnTRG1 の TSnTT, TSnCTL3-TSnCTL6, TSnOPT0, TSnOPT1, TSnIOC1.TSnTOS, TSnCMPm（m = 0, 1, 2, 5, 6, 9, 10）, TSnDTC0, TSnDTC1

③リロード要求フラグ（TSnSTR0.TSnRSF）= 0 であることを確認します。TSnRSF = 1 だった場合は TSnRSF = 0 になるまで次の手順に移行しないでください。

④ TSnSOC = 0 にするとソフトウエア制御を解除開始します（ここではまだ解除されません）。

⑤ソフトウエア出力制御解除後に必要な，コンペア・レジスタの設定を行います。変更が不要な場合は次の手順に移行してください。また，リロード機能付きレジスタを変更する場合はここで変更してください。

⑥ TSnCMPU（TSnCMP1）に書き込みを行い，リロードを起動します。

⑦リロードが実行され，ソフトウエア出力を解除します。

注意 ③，④，⑤，⑥の手順を実行してから，必ずリロードを実行してください。リロードが実行できない場合はソフトウエア出力を解除できません。

(10) HT-PWM モードの非対称三角波制御

HT-PWM モードでは，U 相，V 相，W 相の各相のセット・タイミングとクリア・タイミングを双方異なるタイミングで設定することにより非対称三角波で制御することができます。

以下では，対称三角波と異なる内容について説明します。

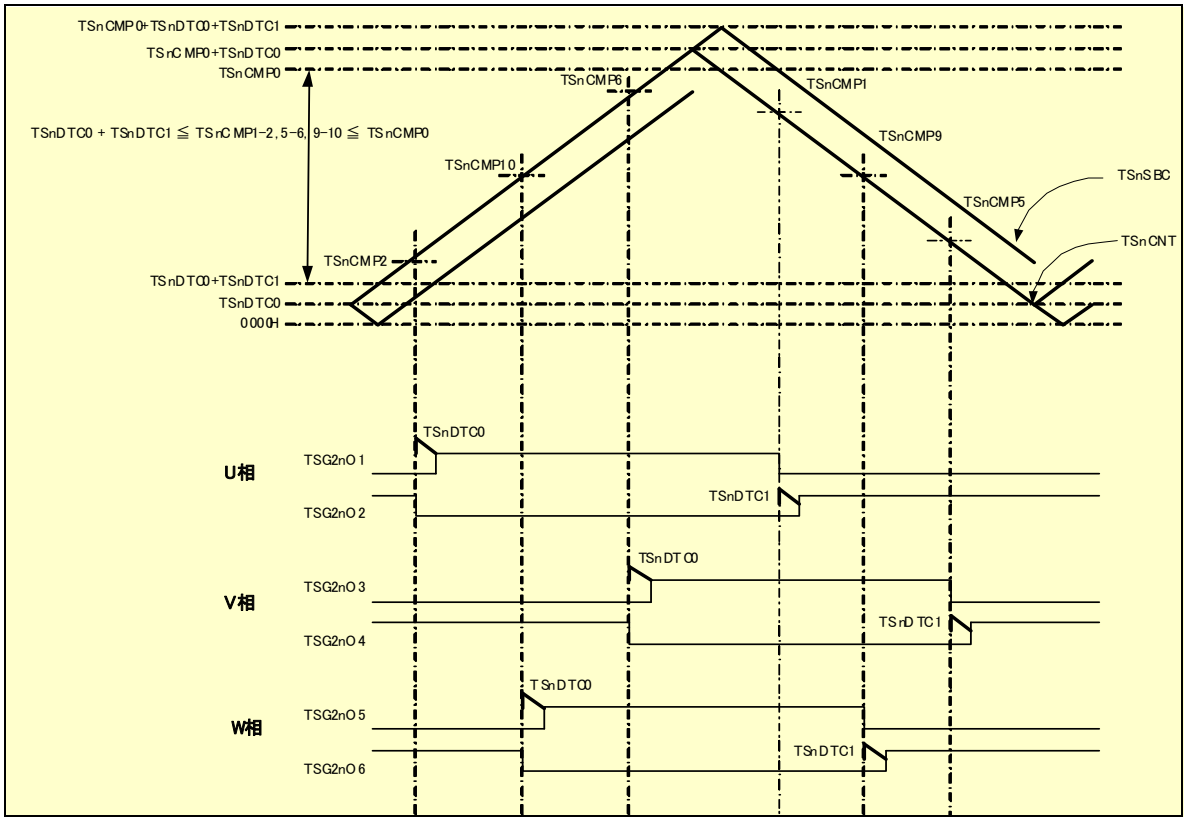
(a) PWM の設定について

対称三角波では，U 相，V 相，W 相の設定を TSnCMPU，TSnCMPV，TSnCMPW にてセット・タイミング，クリア・タイミングを同一値に設定することで各相の出力制御をしていました。非対称三角波では，TSnCMPm を以下のように設定することで各相の出力制御をします。（m = 1, 2, 5, 6, 9, 10）

前提条件

- TSnCMP1, TSnCMP5, TSnCMP9 で，U 相 , V 相 , W 相の電圧データ信号の PWM のクリア・タイミングを設定します。
- TSnCMP2, TSnCMP6, TSnCMP10 で，U 相 , V 相 , W 相の電圧データ信号の PWM のセット・タイミングを設定します。
- セット・タイミング , クリア・タイミングは，TSnCMP1W（TSnCMP1, TSnCMP2），TSnCMP5W（TSnCMP5, TSnCMP6），TSnCMP9W（TSnCMP9, TSnCMP10）で，各相の設定をおこなうことができます。
- TSnCMPm は偶数値のみ設定可能です。（m = 1, 2, 5, 6, 9, 10）

(b) タイマ出力について



備考 非対称三角波で出力制御する場合，TSnCMPm の設定は次の条件となります。（m = 1, 2, 5, 6, 9, 10）

- TSnDTC0+TSnDTC1 ≦ TSnCMPm ≦ TSnCMP0
- TSnCMPm = TSnCMP(m+1)，もしくは，TSnCMPm = TSnCMP(m + 1) + 2 の場合のみ，対称三角波と同じ「0000_H ≦ TSnCMPm ≦ TSnCMP0 + TSnDTC0 + TSnDTC1」の条件で設定可能です。

15.11.3 SP-PWM モード（Shifted-pulse - Pulse Width Modulation モード）

概要 16 ビット・カウンタと，16 ビット・コンペア・レジスタを使用して，6 相 PWM を生成できます。

前提条件
- TSnCMP0 には，PWM 周期を設定します。
- U 相 , V 相 , W 相のセット／クリア・タイミングを TSnCMP2, TSnCMP6, TSnCMP10（セット・タイミング），TSnCMP1, TSnCMP5, TSnCMP9（U 相 , V 相 , W 相のクリア・タイミング）で設定します。（セット・タイミングとクリア・タイミングで制御する場合）
- U 相 , V 相 , W 相のセット・タイミングとアクティブ期間を TSnCMP2, TSnCMP6, TSnCMP10（セット・タイミング），TSnUPW, TSnVPW, TSnWPW（アクティブ期間）で設定します。
  このとき，TSnCMP1, TSnCMP5, TSnCMP9 は，TSnCMP2, TSnCMP6, TSnCMP10 に設定した値と TSnUPW, TSnVPW, TSnWPW へ設定した値とを加算した値が設定されます。
  （セット・タイミングとアクティブ期間で制御する場合）

機能説明 搬送波の周期を設定，U 相 , V 相 , W 相のセット・タイミングおよびデューティを設定。TSnTRG0.TSnTS = 1 にすると，カウント・アップを開始します。

16 ビット・カウンタは，0000_H よりカウントを行い，TSnCMP0 との一致でカウンタをクリアします。

デッド・タイムは，TSnDTC0，TSnDTC1 で設定し，TSnDTC0 は逆相（OFF）→正相（ON）のデッド・タイムを，TSnDTC1 は正相（OFF）→逆相（ON）のデッド・タイムを設定することができます。デッド・タイム生成用の 10 ビット・カウンタ（TSnDTT1-TSnDTT3）は，16 ビット・カウンタと TSnCMPm バッファ・レジスタのコンペア一致で TSnDTC0, TSnDTC1 の設定値をロードし，ダウン・カウントを行います。（m = 1, 2, 5, 6, 9, 10）

16 ビット・カウンタと，TSnCMP1, TSnCMP2, TSnCMP5, TSnCMP6, TSnCMP9, TSnCMP10 バッファ・レジスタのコンペア一致で，それぞれ INTTSG2nIm 割り込み（m=01, 02, 05, 06, 09, 10）を発生します。

備考 SP-PWM モードは TSnCTL0.TSnMD1-TSnMD0 = 10_B に設定したときに有効となります。

(1) 基本タイミング図

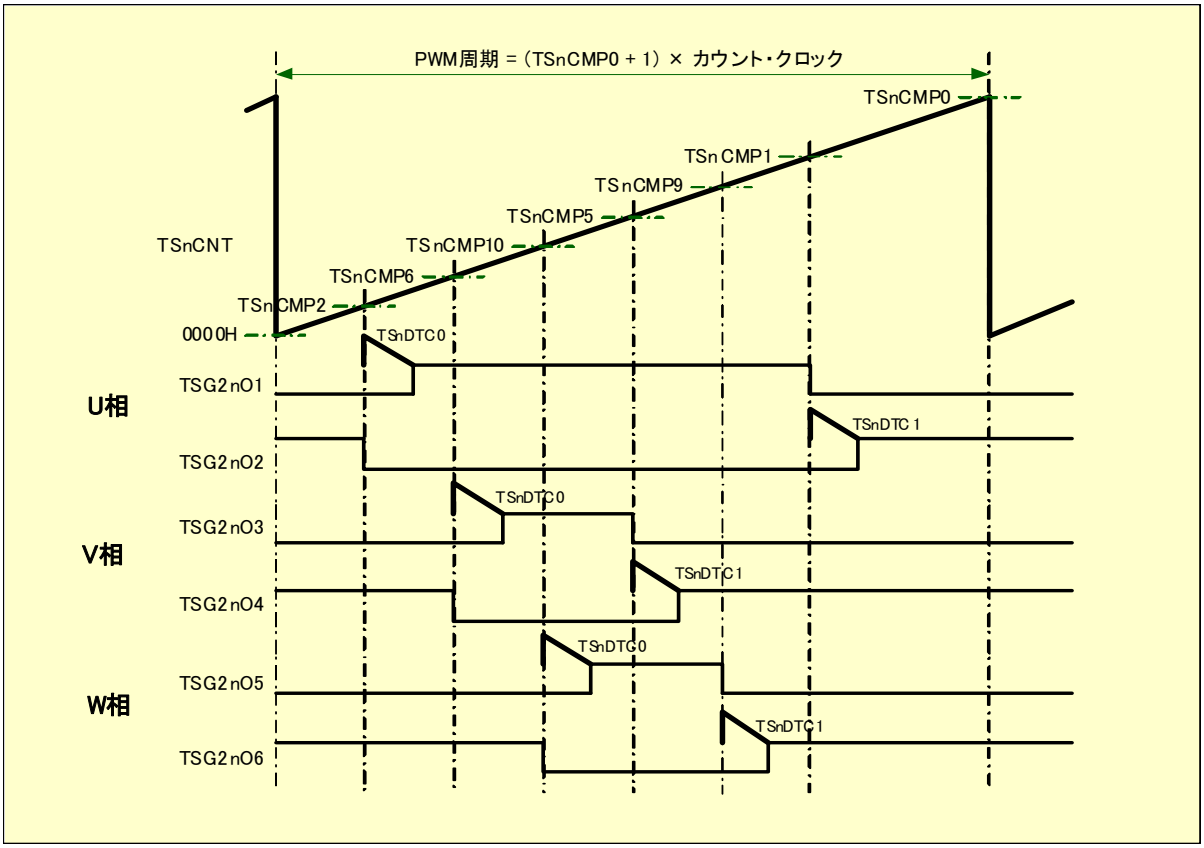


図 15-56 SP-PWM モード時の基本タイミング

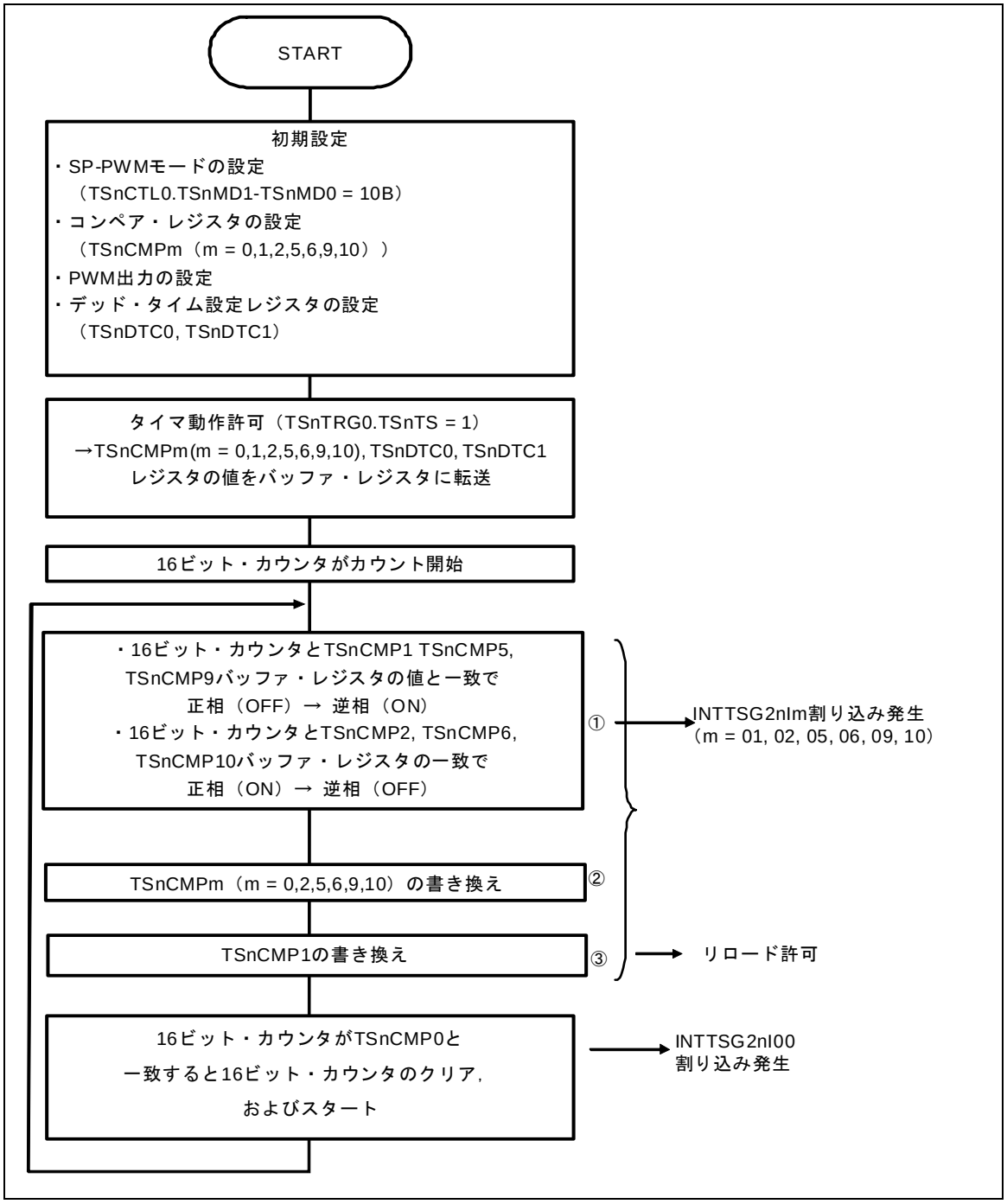


図 15-57 SP-PWM モード時の基本動作フロー

備考 順番は，②，③の書き換えタイミング，TSnCMP1 の値などにより①のタイミングが異なる場合がありますが，②と③では必ず③を最後にしてください。

(2) SP-PWM モード動作一覧

表 15-61 SP-PWM モード：カウンタ機能

動作		設定条件
16 ビット・カウンタ	スタート	TSnTRG0.TSnTS = 0 → 1
	クリア	TSnCMP0 バッファ・レジスタと 16 ビット・カウンタのコンペア一致
	停止	TSnTRG1.TSnTT = 0 → 1

表 15-62 SP-PWM モード：コンペア・レジスタ，デッド・タイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSnCMP0	リロード／随時書き換え	可能	周期
TSnUPW	リロード／随時書き換え	可能	U 相用 PWM 制御
TSnCMP1W（TSnCMP1, TSnCMP2）	リロード／随時書き換え		
TSnVPW	リロード／随時書き換え	可能	V 相用 PWM 制御
TSnCMP5W（TSnCMP5, TSnCMP6）	リロード／随時書き換え		
TSnWPW,	リロード／随時書き換え	可能	W 相用 PWM 制御
TSnCMP9W（TSnCMP9, TSnCMP10）	リロード／随時書き換え		
TSnDTC0, TSnDTC1	リロード	可能	周期，デッド・タイム
TSnDCMP0W,TSnDCMP2	リロード／随時書き換え	可能	ダイアグ出力もしくは A/D 変換トリガ

表 15-63 SP-PWM モード：出力機能

端子	機能
TSG2nO1	TSnCMP1 バッファ・レジスタ（クリア・タイミング），TSnCMP2 バッファ・レジスタ（セット・タイミング）と 16 ビット・カウンタのコンペア一致による PWM 出力（デッド・タイム付き）
TSG2nO2	TSG2nO1 に対する逆相出力（デッド・タイム付き）
TSG2nO3	TSnCMP5 バッファ・レジスタ（クリア・タイミング），TSnCMP6 バッファ・レジスタ（セット・タイミング）と 16 ビット・カウンタのコンペア一致による PWM 出力（デッド・タイム付き）
TSG2nO4	TSG2nO3 に対する逆相出力（デッド・タイム付き）
TSG2nO5	TSnCMP9 バッファ・レジスタ（クリア・タイミング），TSnCMP10 バッファ・レジスタ（セット・タイミング）と 16 ビット・カウンタのコンペア一致による PWM 出力（デッド・タイム付き）
TSG2nO6	TSG2nO5 に対する逆相出力（デッド・タイム付き）
TSG2nO7	ダイアグ出力もしくは A/D 変換トリガによるパルス出力

表 15-64 SP-PWM モード：割り込み要求

割り込み	機能
INTTSG2nIm（m = 00, 01, 02, 05, 06, 09, 10）	TSnCMPm バッファ・レジスタと 16 ビット・カウンタのコンペア一致（m = 0, 1, 2, 5, 6, 9, 10）
INTTSG2nIER	エラー

表 15-64 SP-PWM モード：割り込み要求

INTTSG2nIVLY	−
INTTSG2nIPEK	山割り込み（INTTSG2nI00 割り込みと同タイミングで発生）
INTTSG2nIWN	ワーニング

表 15-65 SP-PWM モード：コンペアー致タイミング

コンペアー致	タイミング
TSnCMP0	16 ビット・カウンタが TSnCMP0 → 0000_H へ切り替わるとき
TSnCMPm（m = 1, 2, 5, 6, 9, 10）	16 ビット・カウンタと TSnCMPm の一致検出後（m = 1, 2, 5, 6, 9, 10）

表 15-66 SP-PWM モード：タイマ出力条件別の設定例（1/2）

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TSG2nO1, TSG2nO3, TSG2nO5	PWM 出力	（TSnCMP0 ＋ 1）× カウント・クロック	1 周期の期間内全てインアクティブ・レベル出力（デューティ 0%）	TSnCMPm = TSnCMP(m + 1) もしくは TSnCMP(m+1) > TSnCMP0 （m = 1, 5, 9）
			1 周期で 1 カウント・クロックのアクティブ・レベル出力	TSnCMPm = TSnCMP(m + 1) + 1 TSnCMP(m + 1) = TSnCMPm - 1 （m = 1, 5, 9）
			1 周期で 1 カウント・クロックのインアクティブ・レベル出力	TSnCMPm = TSnCMP(m + 1) - 1 TSnCMP(m + 1) = TSnCMPm + 1 （m = 1, 5, 9）
			1 周期の期間内全てアクティブ・レベル出力（デューティ 100%）	TSnCMPm > TSnCMP0 TSnCMP (m + 1) ≦ TSnCMP0 （m = 1, 5, 9）

表 15-66 表 15-66SP-PWM モード：タイマ出力条件別の設定例（2/2）

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TSG2nO2, TSG2nO4, TSG2nO6	PWM 出力	（TSnCMP0 ＋ 1）× カウント・クロック	1 周期の期間内全てインアクティブ・レベル出力（デューティ 0%）	TSnCMPm = TSnCMP(m - 1) もしくは TSnCMP(m - 1) > TSnCMP0 （m = 2, 6, 10）
			1 周期で 1 カウント・クロックのアクティブ・レベル出力	TSnCMPm = TSnCMP(m - 1) - 1 TSnCMP(m - 1) = TSnCMPm + 1 （m = 2, 6, 10）
			1 周期で 1 カウント・クロックのインアクティブ・レベル出力	TSnCMPm = TSnCMP(m - 1) + 1 TSnCMP(m - 1) = TSnCMPm - 1 （m = 2, 6, 10）
			1 周期の期間内全てアクティブ・レベル出力（デューティ 100%）	TSnCMPm > TSnCMP0 （m = 2, 6, 10）
TSG2nO7	ダイアグ出力もしくは A/D 変換トリガによるパルス出力	（TSnCMP0 ＋ 1）× カウント・クロック	「15.9 A/D 変換トリガ機能」を参照	

(3) SP-PWM モードの各種設定

モード設定

TSnCTL0.TSnMD1-TSnMD0 = 10B に設定することで SP-PWM モードになります。

タイマ出力の設定

TSG2nO1-TSG2nO6 端子は，TSnIOC0, TSnIOC2, TSnIOC3 の設定で出力制御を行います。

TSG2nO7 端子は，ダイアグ出力もしくは A/D 変換トリガによるパルス出力です。必要に応じて設定してください。

エラー割り込み発生の許可

TSnIOC1.TSnEOC = 1 にすることで，正相／逆相同時アクティブを検出したときのエラー割り込み（INTTSG2nIER）発生を許可します。詳細は，「15.10 エラー／ワーニング割り込み」を参照してください。

リロード機能付きレジスタ書き換えタイミング設定

TSnCTL3.TSnRMC で，リロード機能付きレジスタに対し，リロード（一斉書き換え）／随時書き換えを行います（デフォルト “0” リロード）。リロードを行う場合は，TSnCTL4.TSnPRE を必ずセット（1）してください。

TSnPRE が ”0” の場合はリロード・タイミングが発生しません。

随時書き換えにした場合，書き換えタイミングによって意図しない出力が発生する場合があります。

A/D 変換トリガ出力の設定

A/D 変換トリガ 0（TSnADTRG0 信号）を設定する場合は，TSnCTL5.TSnAT09-TSnAT00 で設定を行います。

TSnAT09-TSnAT00 で，TSnDCMP2-TSnDCMP0 との一致タイミング（16 ビット・カウンタのアップ・カウント）による A/D 変換トリガ出力の許可／禁止を行います。

A/D 変換トリガ 1（TSnADTRG1 信号）を設定する場合は，TSnCTL6.TSnAT19-TSnAT10 で設定を行います。

16 ビット・カウンタと TSnDCMP2-TSnDCMP0 の一致タイミングを設定する場合は，それぞれのレジスタにコンペア値の設定を行います。

TSnADTRG0, TSnADTRG1 信号に対しては，間引き機能が使用できます。TSnCTL5 の TSnACC01, TSnACC00, および TSnCTL6 の TSnACC11, TSnACC10 を使用して，間引き無し／1 間引き／3 間引き／7 間引きの設定を行うことができます。

注意

- A/D 変換トリガのタイミング・パルスを TSG2nO7 端子に出力する場合は，TSnCTL5, TSnCTL6 と TSnDCMP2-TSnDCMP0 の設定を正しく行ってください。
- SP-PWM モードでは，谷割り込み（INTTSG2nIVLY）は発生しません。そのため TSnCTL5, TSnCTL6 の TSnAT00, TSnAT10 は必ず “0” に設定してください。
- SP-PWM モードでは，16 ビット・サブカウンタは動作しません。そのため，TSnCTL5, TSnCTL6 の TSnAT09, TSnAT08, TSnAT19, TSnAT18 は必ず “0” に設定してください。
- SP-PWM モードでは，16 ビット・カウンタのダウン・カウント状態は発生しません。そのため TSnCTL5, TSnCTL6 の TSnAT07, TSnAT05, TSnAT03, TSnAT17, TSnAT15, TSnAT13 は必ず “0” に設定してください。

デッド・タイムの設定

TSnDTC0, TSnDTC1 でデッド・タイムの設定を行います。

デッド・タイムは，次の式で求めることができます。

PCLK × TSnDTC0

PCLK × TSnDTC1

TSnDTC0 は，TSG2nO2, TSG2nO4, TSG2nO6 端子のインアクティブ変化→TSG2nO1, TSG2nO3, TSG2nO5 端子のアクティブ変化までの時間を設定できます。

TSnDTC1 は，TSG2nO1, TSG2nO3, TSG2nO5 端子のインアクティブ変化→TSG2nO2, TSG2nO4, TSG2nO6 端子のアクティブ変化までの時間を設定できます。

搬送波の周期

次の式にしたがい TSnCMP0 で，搬送波の周期を設定してください。

TSnCMP0 =（搬送波周期 ／ カウント・クロック周期）- 1

注意 TSnCMP0 = $FFFF_H$ で設定した場合，デューティ 100% の PWM 出力はできません。

デューティ（PWM 幅）の設定

TSnCMPm と TSnUPW, TSnVPW, TSnWPW でそれぞれ U 相，V 相，W 相のデューティ設定を行います。（m = 1, 2, 5, 6, 9, 10）

- TSnCMP2, TSnCMP6, TSnCMP10 で，U 相 , V 相 , W 相のセット・タイミングを設定し，TSnCMP1, TSnCMP5, TSnCMP9 で，U 相 , V 相 , W 相のクリア・タイミングを設定します。
（セット・タイミングとクリア・タイミングの設定で制御する場合）
- TSnCMP2, TSnCMP6, TSnCMP10 で，U 相 , V 相 , W 相のセット・タイミングを設定し，TSnUPW, TSnVPW, TSnWPW でアクティブ期間を設定します。
このとき，TSnCMP1, TSnCMP5, TSnCMP9 は，TSnCMP2, TSnCMP6, TSnCMP10 に設定した値と TSnUPW, TSnVPW, TSnWPW へ設定した値とを加算した値が設定されます。
（セット・タイミングとアクティブ期間の設定で制御する場合）

(4) SP-PWM モード時のデッド・タイム制御

SP-PWM モードでは，デューティ用の設定レジスタは TSnCMPm（m = 1, 2, 5, 6, 9, 10）と TSnUPW, TSnVPW, TSnWPW とし，周期用の設定レジスタは TSnCMP0 となります。このレジスタを使用することで，デューティ可変型の 6 相 PWM 波形を出力できます。デッド・タイム制御を実現するために，16 ビット・カウンタのカウント・クロックに同期して動作する 6 本の 10 ビット・ダウンカウンタと，デッド・タイム設定レジスタ（TSnDTC0, TSnDTC1）があります。TSnDTC0 レジスタは，逆相がインアクティブに変化してから正相がアクティブに変化するまでのデッド・タイムの設定であり，TSnDTC1 レジスタは，正相がインアクティブに変化してから逆相がアクティブに変化するまでのデッド・タイムの設定です。次に出力波形例を示します。

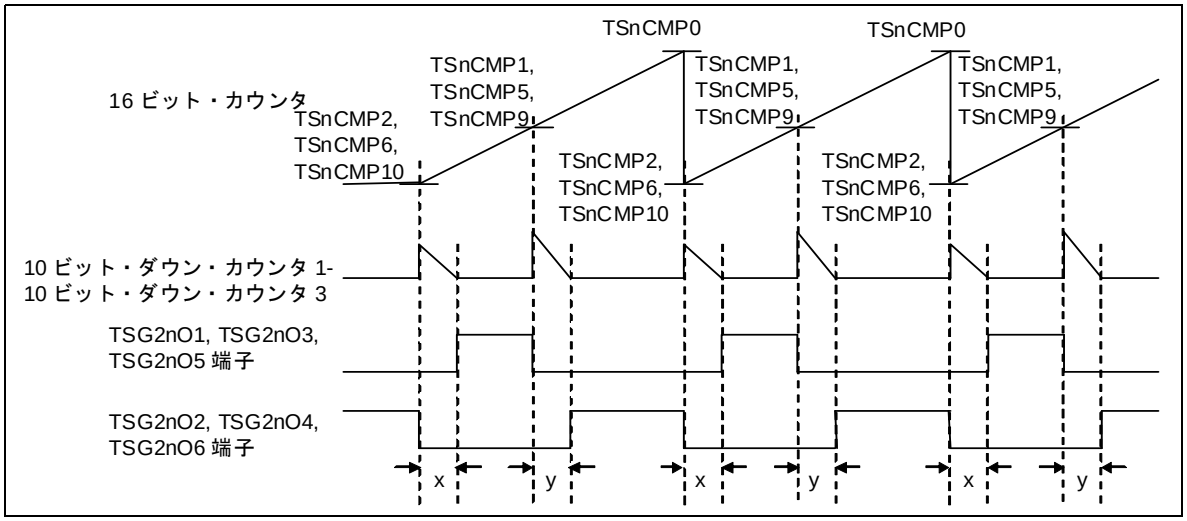


図 15-58 SP-PWM モード時の出力波形例

備考 x ：TSnDTC0 レジスタ，y ：TSnDTC1 レジスタ

(5) SP-PWM モード時のソフトウエア出力制御機能

TSnOPT0.TSnSOC, TSnIDC, TSnOPT1.TSnSPC2-TSnSPC0 を使用して，ソフトウエア制御によるタイマ出力制御を行うことができます。

*図 15-59「SP-PWM モードからソフトウエア出力制御機能の切り替え例」*に示すように，TSnSOC = 1 にしたタイミングで出力を即時に切り替えます。デッド・タイムの設定をしていれば，デッド・タイム期間は保証されます。その後，TSnSOC = 0 にしたタイミングでは出力を保持し，リロード・タイミングが発生した時点で，SP-PWM モードによる出力制御に切り替わります。

ソフトウエア出力制御機能について，詳細は 15.11.5「ソフトウエア出力制御機能」を参照してください。

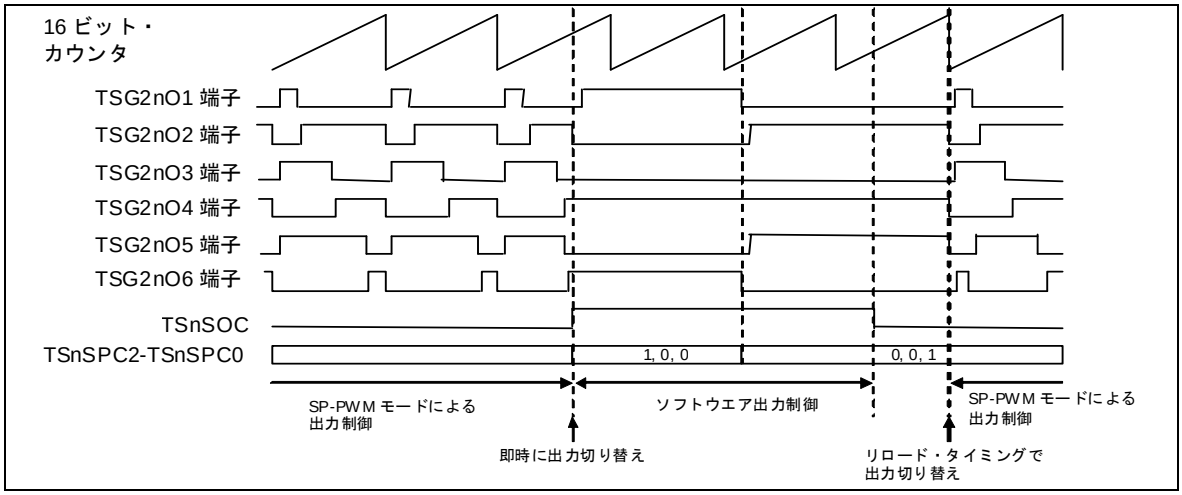


図 15-59 SP-PWM モードからソフトウエア出力制御機能の切り替え例

(a) ソフトウエア出力制御の処理手順

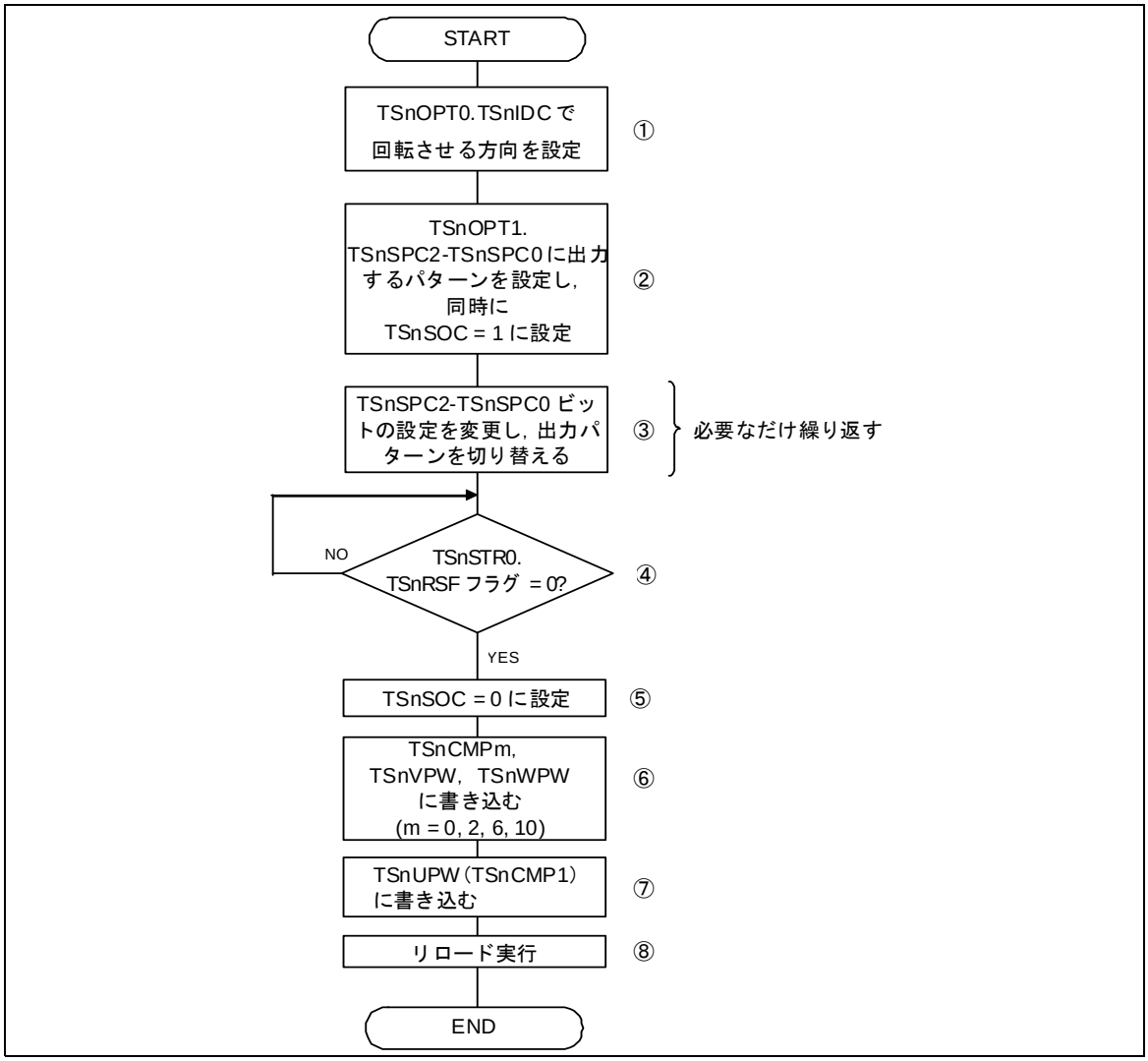


図 15-60 ソフトウエア出力制御時の処理フロー

ソフトウエア出力制御の処理手順を示します。

①回転方向を決定するため，TSnIDC の設定を行います。TSnIDC = 0 の場合と，TSnIDC = 1 の場合では 180 度位相が異なったタイマ出力となります。ソフトウエア出力制御機能において，このビットを書き換えただけではタイマ出力は変化しません。

② TSnSPC2-TSnSPC0 に出力するパターンを設定し，同時にソフトウエア出力を行うために TSnSOC = 1 にします。

③ TSnSPC2-TSnSPC0 の出力パターン設定を変更し，タイマ出力を変化させます。ソフトウエア制御中に変更可能なレジスタは次のとおりです。

TSnTRG0.TSnTS，TSnCTL3-TSnCTL6，TSnOPT0, TSnOPT1, TSnCMP0-TSnCMP12，TSnDTC0, TSnDTC1

④リロード要求フラグ（TSnRSF）= 0 であることを確認します。TSnRSF = 1 だった場合は TSnRSF = 0 になるまで次の手順に移行しないでください。

⑤ TSnSOC = 0 にするとソフトウエア制御を解除開始します（ここではまだ解除されません）。

⑥ソフトウエア出力制御解除後に必要な，コンペア・レジスタの設定を行います。変更が不要な場合は次の手順に移行してください。また，リロード機能付きレジスタを変更する場合はここで変更してください。

⑦ TSnUPW（TSnCMP1）に書き込みを行い，リロードを起動します。

⑧リロードが実行され，ソフトウエア出力を解除します。

注意 ④，⑤，⑥，⑦の手順を実行してから，必ずリロードを実行してください。リロードが実行できない場合はソフトウエア出力を解除できません。

15.11.4 120-DC モード

概要 TSnCMP0 の PWM 周期，TSnCMP1-TSnCMP12 のデューティによるタイマ出力（TSG2nO1-TSG2nO6）を 3 種類（ソフトウエア出力制御方式 , パターン切り替え方式 , トリガ切り替え方式）のパターン入力で出力制御を行い，120-DC 制御を実現します。

前提条件
- TSnCMP0 には，PWM 周期を設定します。
- TSnCMP1-TSnCMP12 には，PWM のデューティを設定，TSnPAT0W, TSnPAT1W に出力パターンを設定します。

機能説明 PWM 周期を設定，各コンペア・レジスタにデューティを設定，パターン・レジスタに各パターンの出力対象を設定します。TSnTRG0.TSnTS = 1 にすると，カウント・アップを開始します。

16 ビット・カウンタは，0000_H よりカウントを行い，TSnCMP0 との一致でカウンタをクリアします。

16 ビット・カウンタと，TSnCMP1-TSnCMP12 バッファ・レジスタのコンペアー致で，それぞれ INTTSG2nI01-INTTSG2nI12 割り込みを発生します。

備考 120-DC モードは TSnCTL0.TSnMD1-TSnMD0 = 11B に設定したときに有効となります。

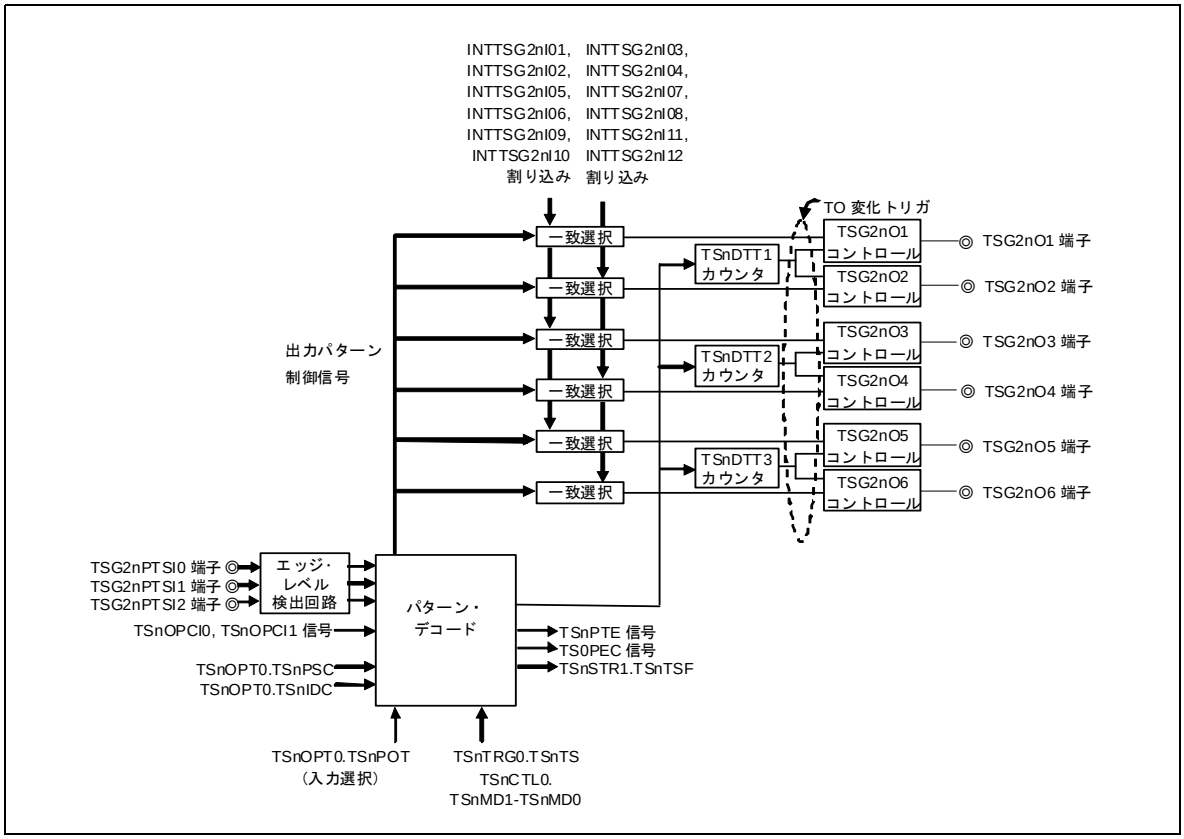


図 15-61　120-DC モード時のブロック構成図

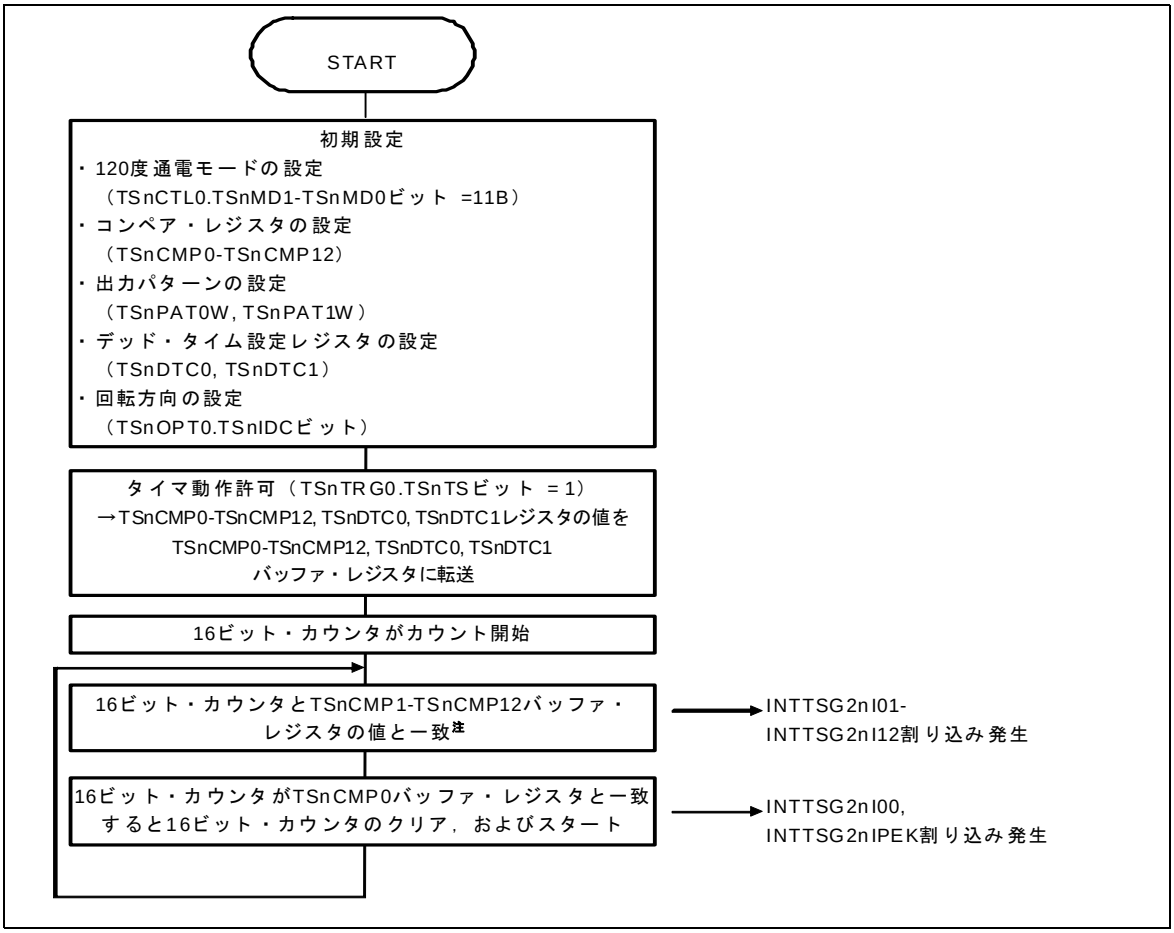


図 15-62 120-DC モード時の基本動作フロー

注 16 ビット・カウンタと TSnCMP1-TSnCMP12 バッファ・レジスタとの一致では 16 ビット・カウンタはクリアされません。

(1) 120-DC モード動作一覧

表 15-67 120-DC モード：カウンタ機能

動作		設定条件
16 ビット・カウンタ	スタート	TSnTRG0.TSnTS = 0 → 1
	クリア	TSnCMP0 と 16 ビット・カウンタの一致，もしくは，出力パターンの切り替えタイミング
	停止	TSnTRG1.TSnTT = 0 → 1

表 15-68 120-DC モード：コンペア・レジスタ，デッド・タイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSnCMP0	リロード	可能	周期
TSnCMPm（m = 1-12）	リロード	可能	PWM デューティ
TSnDCMP0W, TSnDCMP2	リロード	可能	ダイアグ出力もしくは A/D 変換トリガ
TSnDTC0, TSnDTC1	リロード	可能	デッド・タイム

表 15-69 120-DC モード：タイマ入力機能

端子／信号	機能
TSG2nPTSI2-TSG2nPTSI0 端子	パターン入力（3 相）
TSnOPCI0, TSnOPCI1 信号	トリガ入力

表 15-70 120-DC モード：タイマ出力機能

端子／信号	機能
TSG2nO1 端子	TSnCMPm バッファ・レジスタ（m = 1, 2, 5, 6, 9, 10）と 16 ビット・カウンタのコンペアー致と TSnPAT0W の設定による出力パターン選択により PWM 出力（デッド・タイム付き）
TSG2nO2 端子	TSnCMPm バッファ・レジスタ（m = 3, 4, 7, 8, 11, 12）と 16 ビット・カウンタのコンペアー致と TSnPAT1W の設定による出力パターン選択により PWM 出力（デッド・タイム付き）
TSG2nO3 端子	TSnCMPm バッファ・レジスタ（m = 1, 2, 5, 6, 9, 10）と 16 ビット・カウンタのコンペアー致と TSnPAT0W の設定による出力パターン選択により PWM 出力（デッド・タイム付き）
TSG2nO4 端子	TSnCMPm バッファ・レジスタ（m = 3, 4, 7, 8, 11, 12）と 16 ビット・カウンタのコンペアー致と TSnPAT1W の設定による出力パターン選択により PWM 出力（デッド・タイム付き）
TSG2nO5 端子	TSnCMPm バッファ・レジスタ（m = 1, 2, 5, 6, 9, 10）と 16 ビット・カウンタのコンペアー致と TSnPAT0W の設定による出力パターン選択により PWM 出力（デッド・タイム付き）
TSG2nO6 端子	TSnCMPm バッファ・レジスタ（m = 3, 4, 7, 8, 11, 12）と 16 ビット・カウンタのコンペアー致と TSnPAT1W の設定による出力パターン選択により PWM 出力（デッド・タイム付き）
TSG2nO7 端子	ダイアグ出力もしくは A/D 変換トリガによるパルス出力
TSnPTE 信号	パターン入力の変化によるトグル信号

表 15-71 120-DC モード：割り込み要求

割り込み	機能
INTTSG2nIm（m = 00-12）	TSnCMPm バッファ・レジスタと 16 ビット・カウンタのコンペアー致（m = 0-12）
INTTSG2nIER	エラー
INTTSG2nIVLY	―
INTTSG2nIPEK	山割り込み（INTTSG2nI00 と同タイミングで発生）
INTTSG2nIWN	ワーニング

表 15-72 120-DC モード：コンペアー致タイミング

コンペアー致	タイミング
TSnCMP0	16 ビット・カウンタが TSnCMP0 → 0000_H へ切り替わるとき
TSnCMPm（m = 1-12）	16 ビット・カウンタと TSnCMPm 一致検出後（m = 1-12）

表 15-73 120-DC モード：タイマ出力条件別の設定例

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TSG2nOm（m = 1-6）	PWM 出力	（TSnCMP0 ＋ 1）× カウント・クロック	(6)「120-DC モードの出力パターン一覧」を参照	―
TSG2nO7	ダイアグ出力もしくは A/D 変換トリガによるパルス出力	（TSnCMP0 ＋ 1）× カウント・クロック	15.9「A/D 変換トリガ機能」を参照	―

(2) 120-DC モードの各種設定

モード設定 TSnCTL0.TSnMD1-TSnMD0 = 11B に設定することで 120-DC モードになります。

タイマ出力の設定 TSG2nO1-TSG2nO6 端子は，TSnIOC0, TSnIOC2, TSnIOC3 の設定で出力制御を行います。

TSG2nO7 端子は，ダイアグ出力もしくは A/D 変換トリガによるパルス出力です。必要に応じて設定してください。

エラー割り込み発生の許可 TSnIOC1.TSnEOC = 1 にすることで，正相／逆相同時アクティブを検出したときのエラー割り込み（INTTSG2nIER）発生を許可します。詳細は，「15.10 エラー／ワーニング割り込み」を参照してください。

レジスタ書き換えタイミング設定 TSnCTL3.TSnRMC で，リロード機能付きレジスタに対し，リロード（一斉書き換え）を行います（デフォルト “0” リロード）。リロードを行う場合は，TSnCTL4.TSnPRE を必ずセット（1）してください。

TSnPRE に “0” の場合はリロード・タイミングが発生しません。

A/D 変換トリガ 出力の設定 A/D 変換トリガ 0（TSnADTRG0 信号）を設定する場合は，TSnCTL5 の TSnAT09-TSnAT00 で設定を行います。

TSnAT09-TSnAT00 で，TSnDCMP2-TSnDCMP0 との一致タイミング（16 ビット・カウンタのアップ・カウント）による A/D 変換トリガ出力の許可／禁止を行います。

A/D 変換トリガ 1（TSnADTRG1 信号）を設定する場合は，TSnCTL6 の TSnAT19-TSnAT10 で設定を行います。

16 ビット・カウンタと TSnDCMP2-TSnDCMP0 の一致タイミングを設定する場合は，それぞれのレジスタにコンペア値の設定を行います。

TSnADTRG0, TSnADTRG1 信号に対しては，間引き機能が使用できます。TSnCTL5 の TSnACC01, TSnACC00, および TSnCTL6 の TSnACC11, TSnACC10 を使用して，間引き無し／1 間引き／3 間引き／7 間引きの設定を行うことができます。

注意
- A/D 変換トリガのタイミング・パルスを TSG2nO7 端子に出力する場合は，TSnCTL5, TSnCTL6 と TSnDCMP2-TSnDCMP0 の設定を正しく行ってください。
- 120-DC モードでは，谷割り込み（INTTSG2nIVLY）は発生しません。そのため TSnCTL5, TSnCTL6 の TSnAT00, TSnAT10 は必ず ”0” に設定してください。
- 120-DC モードでは，16 ビット・サブカウンタは動作しません。そのため，TSnCTL5, TSnCTL6 の TSnAT09, TSnAT08, TSnAT19, TSnAT18 は必ず “0” に設定してください。
- 120-DC モードでは，16 ビット・カウンタのダウン・カウント状態は発生しません。そのため TSnCTL5, TSnCTL6 の TSnAT07, TSnAT05, TSnAT03, TSnAT17, TSnAT15, TSnAT13 は必ず “0” に設定してください。

デッド・タイムの設定

TSnDTC0, TSnDTC1 でデッド・タイムの設定を行います。

デッド・タイムは，次の式で求めることができます。

PCLK × TSnDTC0

PCLK × TSnDTC1

TSnDTC0 は，TSG2nO2, TSG2nO4, TSG2nO6 端子のインアクティブ変化→TSG2nO1, TSG2nO3, TSG2nO5 端子のアクティブ変化までの時間を設定できます。

TSnDTC1 は，TSG2nO1, TSG2nO3, TSG2nO5 端子のインアクティブ変化→TSG2nO2, TSG2nO4, TSG2nO6 端子のアクティブ変化までの時間を設定できます。

搬送波の周期

次の式にしたがい TSnCMP0 で，搬送波の周期を設定してください。

TSnCMP0 =（搬送波周期 ／ カウント・クロック周期）- 1

デューティ（PWM 幅）の設定

TSnCMP1-TSnCMP12 で PWM 出力のデューティ設定を行います。コンペア・レジスタの設定範囲は次のようになっています。

$0000_H \leqq$ TSnCMPm $\leqq$ TSnCMP0 ＋ 1

注意 TSnCMP0 ＋ 1 ＜ TSnCMPm，および，TSnCMP0 = $FFFF_H$ 時のみ TSnCMPm = TSnCMP0 ＋ 1 は設定しないでください。（m = 1-12）

出力 PWM の設定

120 度制御を行う場合は，TSG2nO1, TSG2nO3, TSG2nO5 端子の出力制御を TSnCMP1, TSnCMP2, TSnCMP5, TSnCMP6, TSnCMP9, TSnCMP10 で行い，TSG2nO2, TSG2nO4, TSG2nO6 端子の出力制御を TSnCMP3, TSnCMP4, TSnCMP7, TSnCMP8, TSnCMP11, TSnCMP12 で行います。PWM 周期（TSnCMP0）に対して，TSnCMP1-TSnCMP12 レジスタでデューティを設定可能です。デューティ 0%にする場合は TSnCMP1-TSnCMP12 レジスタに “0000_H” を設定し，デューティ 100% にする場合は，TSnCMP1-TSnCMP12 レジスタに TSnCMP0 ＋ 1 の値を設定する必要があります。これにより，チョッピング出力制御，矩形波出力制御が可能となります。

(3) 120-DC モードの制御方式

120-DC の制御方式は次の通りです。

制御方式	機能
ソフトウエア出力制御方式	TSnOPT1.TSnSPC2-TSnSPC0 の設定をソフトウエアにより出力パターンを切り替えます
パターン切り替え方式	TSG2nPTSI0-TSG2nPTSI2 のパターン入力信号により直接出力パターンを切り替えます
トリガ切り替え方式	TSnOPCI0, TSnOPCI1 のトリガ入力信号によるトリガ切り替え方式，もしくは，TSnOPT1.TSnSPC2-TSnSPC0 のパターン入力設定により，一定の順序により出力パターンを切り替えます

ソフトウエア出力制御方式の設定

TSnOPT0.TSnSTE = 0 にすると，ソフトウエア出力制御により出力パターンを切り替えることができます。TSnOPT1.TSnSPC2-TSnSPC0 の設定により TSG2nO1-TSG2nO6 端子の出力を切り替えます。

動作開始時の出力順序は TSnOPT0.TSnIDC で設定します。出力パターンは，TSnOPT0.TSnPSC で設定します。

ソフトウエア出力制御方式の動作

ソフトウエアにより設定された TSnOPT1.TSnSPC2-TSnSPC0 により，TSG2nO1-TSG2nO6 端子の PWM 出力（TSnCMP1-TSnCMP12 値で決定される PWM 出力）を選択します。デッド・タイムの制御は，各相の信号が立ち下がったタイミングでデッド・タイム・カウンタが動作し，デッド・タイムを挿入します。

16 ビット・カウンタは，TSnCMP0 に設定した搬送周期でカウントを行います。16 ビット・カウンタは，16 ビット・カウンタと TSnCMP0 の一致，もしくは，TSnOPT1.TSnSPC2-TSnSPC0 のライト時にカウンタ・クリアされます。

この方式では，出力パターン（TSnSPC2-TSnSPC0），電流方向を制御するビット（TSnOPT0.TSnIDC），TSG2nPTSI2-TSG2nPTSI0 順序検出フラグ（TSnSTR1.TSnTSF）の情報を使用してデコードされたパターンを出力します。*図15-83「120-DC モードからソフトウエア出力制御機能の切り替え例」*はソフトウエア出力制御による出力パターンが変化した場合のタイマ出力を示しています。

また，動作開始（TSnTRG0.TSnTS = 1）した直後は，TSnSPC2-TSnSPC0 の出力パターン，TSnIDC，TSnPSC（TSnOPT0.TSnPSS = 1）で設定したパターンを出力します。

パターン切り替え方式の設定

TSnOPT0.TSnSTE = 1，かつ，TSnPOT = 0 にすると，パターン切り替え方式となります。TSG2nPTSI2-TSG2nPTSI0 端子の変化タイミングで TSG2nO1-TSG2nO6 端子の出力を切り替えます。

動作開始時の出力順序は TSnOPT0.TSnIDC で設定します。初期出力パターンは，TSnOPT0.TSnPSC で設定します。ただし，回転方向が決定したあと（TSnSTR1.TSnTSF に値がセットされたあと）は，TSnPSC の設定は無効になります。

パターン切り替え方式の動作

TSG2nPTSI2-TSG2nPTSI0 端子（ホール・センサからの 3 入力）に対してレベル検出を行い，レベル検出した後の信号をデコードします。このデコード結果を判断して，TSG2nO1-TSG2nO6 端子の PWM 出力（TSnCMP1-TSnCMP12 値で決定される PWM 出力）を選択します。デッド・タイムの制御は，各相の信号が立ち下がったタイミングでデッド・タイム・カウンタが動作し，デッド・タイムを挿入します。

16 ビット・カウンタは，TSnCMP0 に設定した搬送周期でカウントを行います。16 ビット・カウンタは，16 ビット・カウンタと TSnCMP0 の一致，もしくは，入力パターン（TSG2nPTSI2-TSG2nPTSI0 端子）の変化時にカウンタ・クリアされます。

この方式では，入力パターン（TSG2nPTSI2-TSG2nPTSI0 端子），電流方向を制御するビット（TSnOPT0.TSnIDC），TSG2nPTSI2-TSG2nPTSI0 順序検出フラグ（TSnSTR1.TSnTSF）の情報を使用してデコードされたパターンを出力します。図 15-65 から図 15-68 は TSG2nPTSI2-TSG2nPTSI0 端子が変化した場合のタイマ出力を示しています。入力パターンに異常が発生し，入力パターン 1 から入力パターン 4 に切り替わった場合は，入力パターンに対応した出力パターンに切り替わります。

また，動作開始（TSnTRG0.TSnTS = 1）した直後は，TSG2nPTSI2-TSG2nPTSI0 端子の入力レベル，TSnIDC, TSnPSC（TSnOPT0.TSnPSS = 1）で設定したパターンを出力します。TSnTSF の値が決定したあとは，TSnPSC の代わりに TSnTSF で出力パターンを決定します。

注意 3 相パルス入力信号を TSG2nPTSI2-TSG2nPTSI0 端子に接続する時に，3 相パルス入力値と，TSG2nO1-TSG2nO6 端子から出力するパターンが期待する条件であることを確認してください。
期待する条件と異なる場合は，3 相パルス入力信号と TSG2nPTSI2-TSG2nPTSI0 端子の接続を変更してください。

トリガ切り替え方式の設定

TSnOPT0.TSnSTE = 1，かつ，TSnPOT = 1 に設定すると，トリガ切り替え方式となります。外部入力（TSnOPCI1, TSnOPCI0 信号）の立ち上がりで TSG2nO1-TSG2nO6 端子の出力を切り替えます。

パターンの出力順序に関しては，(5)「120-DC モードの動作」を参照してください。

初期出力パターンは，TSnOPT1.TSnSPC2-TSnSPC0 で制御できます。

TSnSPC2-TSnSPC0 で設定後，TSG2n 動作開始（TSnTRG0.TSnTS = 1）に設定した時点で，初期パターンが出力されます。詳細は (6)「120-DC モードの出力パターン一覧」を参照してください。

トリガ切り替え方式の動作

トリガ入力切り替え方式は，TSnOPCI0, TSnOPCI1 信号の立ち上がりを検出し，出力切り替えタイミングを生成します。タイマ出力の初期パターンは，TSnOPT1.TSnSPC2-TSnSPC0 で設定します。初期パターン以降の出力パターンは，TSnSPC2-TSnSPC0，TSnOPT0.TSnIDC，TSnPSC により決定します。

16 ビット・カウンタは，TSnCMP0 に設定した搬送周期でカウントを行います。16 ビット・カウンタは，16 ビット・カウンタと TSnCMP0 の一致，TSnOPT1.TSnSPC2-TSnSPC0 のライト時，もしくは，TSnOPCI0, TSnOPCI1 信号の立ち上がりを検出時にカウンタ・クリアされます。

トリガ入力切り替え方式時の 120-DC モード動作例は , 図 15-65 から図 15-68 を参照してください。

注意 TSG2nPTSI2-TSG2nPTSI0 端子が接続されるポートの入力レベルをリードし，初期パターンを設定してください。

(4) 120-DC モードのタイマ出力

120-DC モードでは，PWM 出力を TSnPAT0W, TSnPAT1W，および，TSnCMP1-TSnCMP12 で制御します。TSG2nO1, TSG2nO3, TSG2nO5 端子の出力では TSnPAT0W と TSnCMP1, TSnCMP2, TSnCMP5, TSnCMP6, TSnCMP9, TSnCMP10 を設定します。TSG2nO2, TSG2nO4, TSG2nO6 端子の出力では TSnPAT1W と TSnCMP3, TSnCMP4, TSnCMP7, TSnCMP8, TSnCMP11, TSnCMP12 を設定します。

PWM の出力制御では，TSG2nO1, TSG2nO3, TSG2nO5 端子および TSG2nO2, TSG2nO4, TSG2nO6 端子の出力パターンを各 8 種類選択できます。

表 15-74 TSnPAT0W レジスタの設定値と出力制御

PATmT 値	出力制御
000	ロウ・レベル固定
001	TSnCMP1 で設定した PWM 出力
010	TSnCMP2 で設定した PWM 出力
011	TSnCMP5 で設定した PWM 出力
100	TSnCMP6 で設定した PWM 出力
101	TSnCMP9 で設定した PWM 出力
110	TSnCMP10 で設定した PWM 出力
111	ハイ・レベル固定

（m = 0, 1, 2, 3, 4, 5）

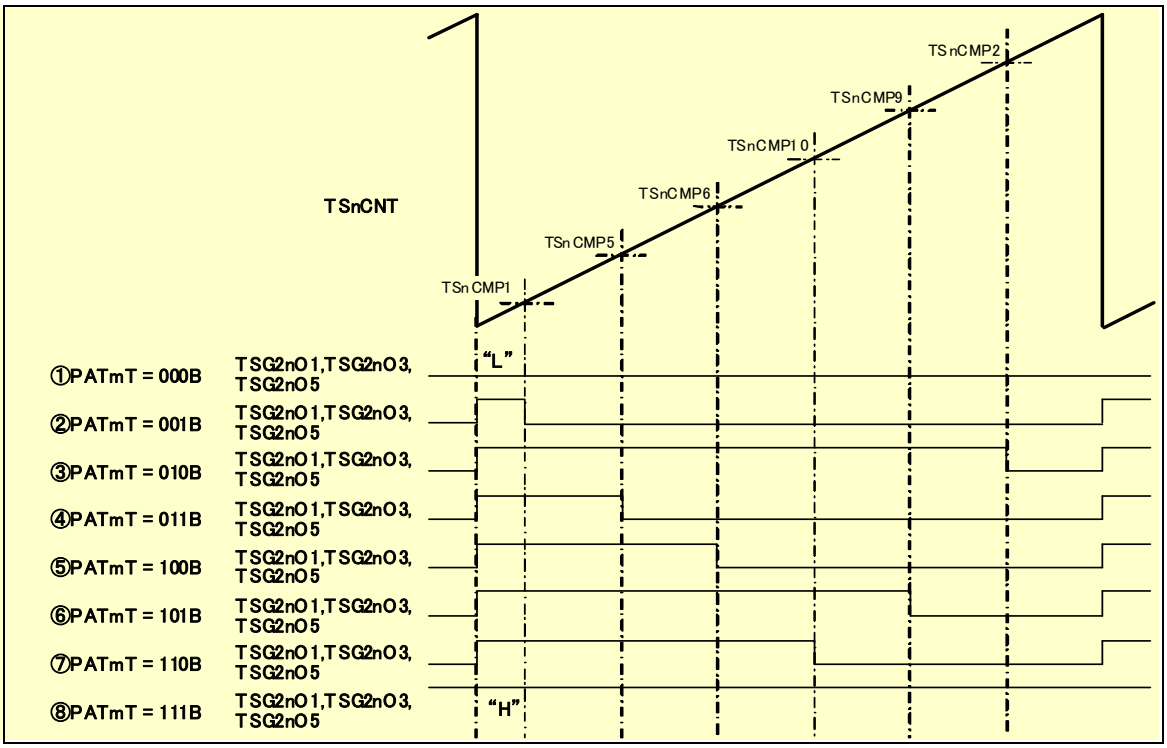


図 15-63 出力パターン別の TSG2nO1, TSG2nO3, TSG2nO5 端子出力

表 15-75 TSnPAT1W レジスタの設定値と出力制御

PATmB 値	出力制御
000	ロウ・レベル固定
001	TSnCMP3 で設定した PWM 出力
010	TSnCMP4 で設定した PWM 出力
011	TSnCMP7 で設定した PWM 出力
100	TSnCMP8 で設定した PWM 出力
101	TSnCMP11 で設定した PWM 出力
110	TSnCMP12 で設定した PWM 出力
111	ハイ・レベル固定

（m = 0, 1, 2, 3, 4, 5）

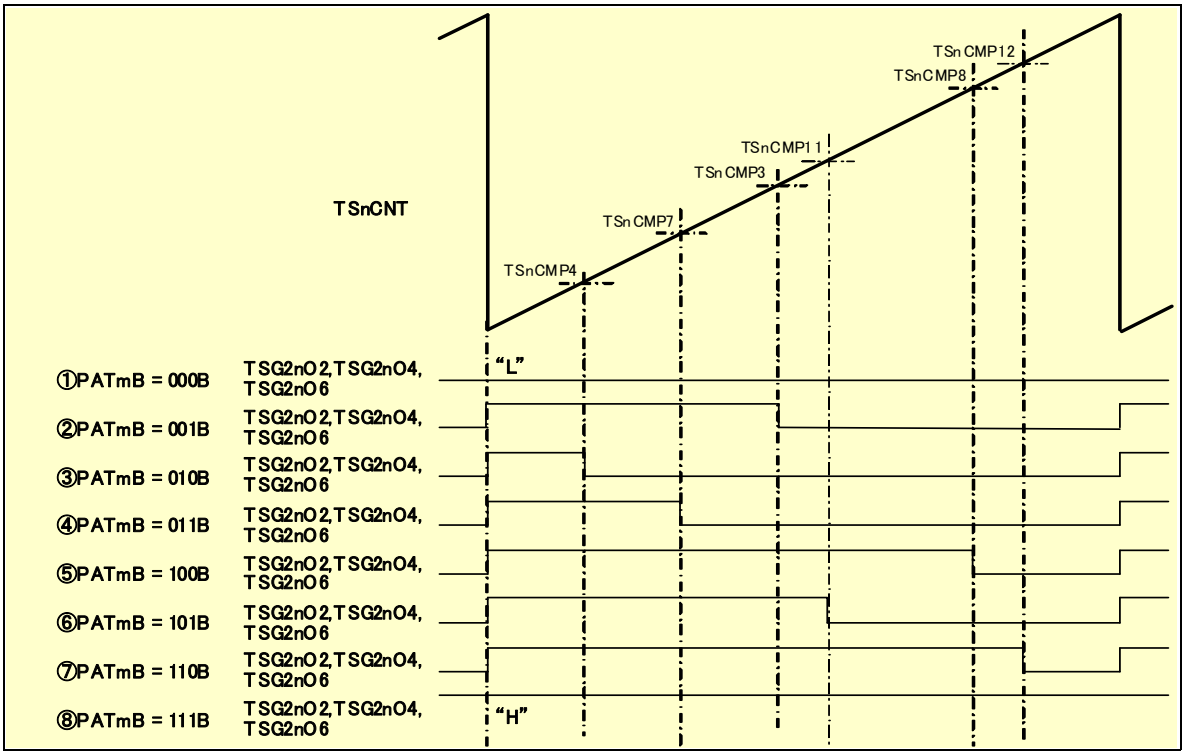


図 15-64 出力パターン別の TSG2nO2, TSG2nO4, TSG2nO6 端子出力

(5) 120-DC モードの動作

図 15-65 から 図 15-68 に，120-DC モードの動作例を示します。

TSG2nO1-TSG2nO6 端子は TSG2nPTSI2-TSG2nPTSI0 端子の入力レベルの変化タイミングを検出し，出力パターンを変化させます。16 ビット・カウンタはのこぎり波動作を行い，TSnCMP0-TSnCMP12 による PWM 出力を行います。16 ビット・カウンタは，TSnCMP0 レジスタ値との一致，もしくは，TSG2nPTSI2-TSG2nPTSI0 端子の変化を検出する毎に 0000_H にクリアされます。また，タイマ出力パターンは，TSG2nPTSI2-TSG2nPTSI0 端子の変化を検出する毎に切り替わります。

備考 PAT0T-PAT5T，PAT0B-PAT5B は，それぞれ TSnCMP1-TSnCMP12 レジスタ設定の PWM 動作を示しています。

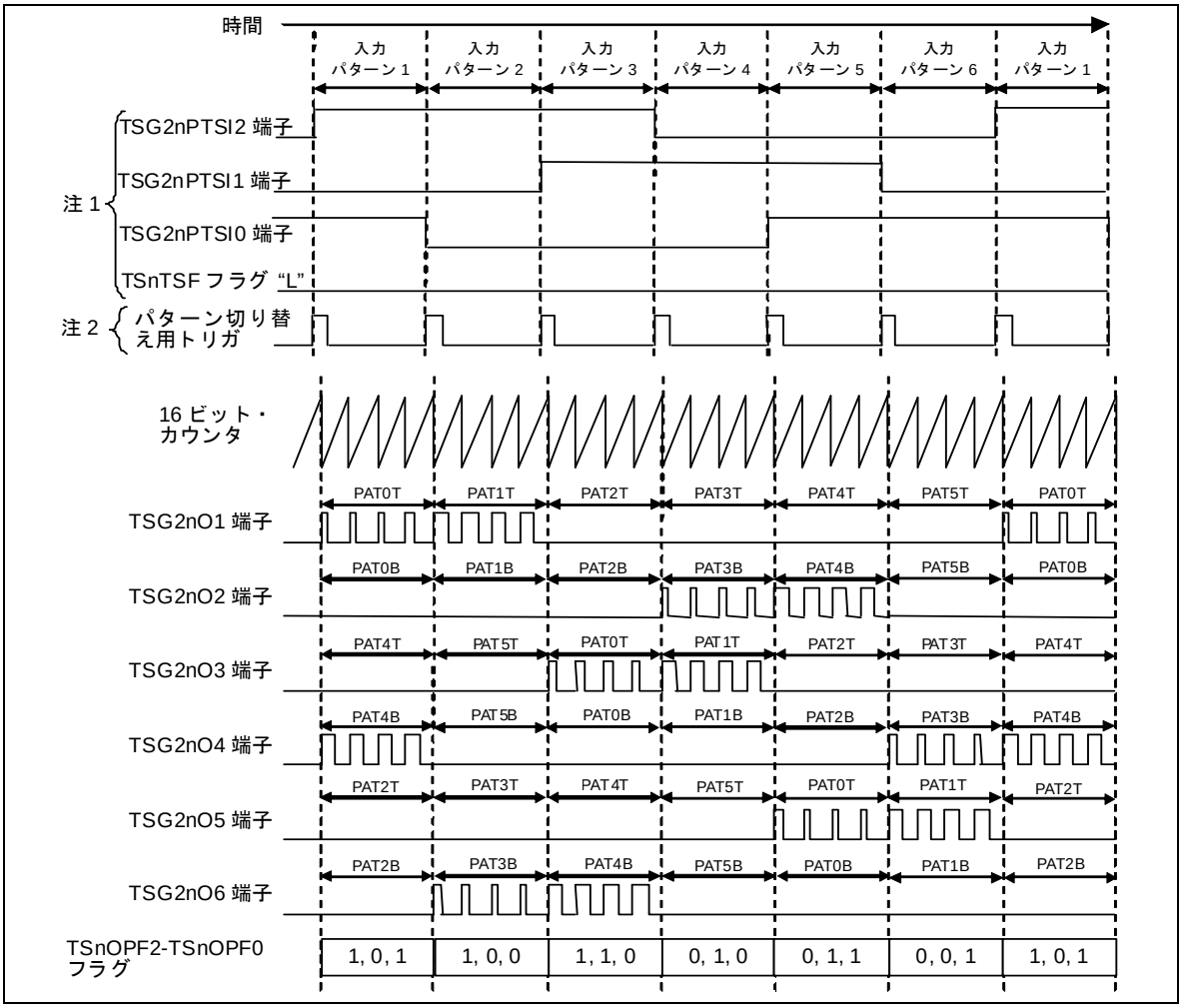


図 15-65 120-DC モード動作例
（正転：TSnSTR1.TSnTSF = 0, TSnOPT0.TSnIDC = 0）

注 1. パターン切り替え方式（TSnOPT0.TSnPOT = 0）の場合

2. トリガ切り替え方式（TSnOPT0.TSnPOT = 1, TSnPSS = 1）の場合

備考 TSnOPT0.TSnSOC = 0

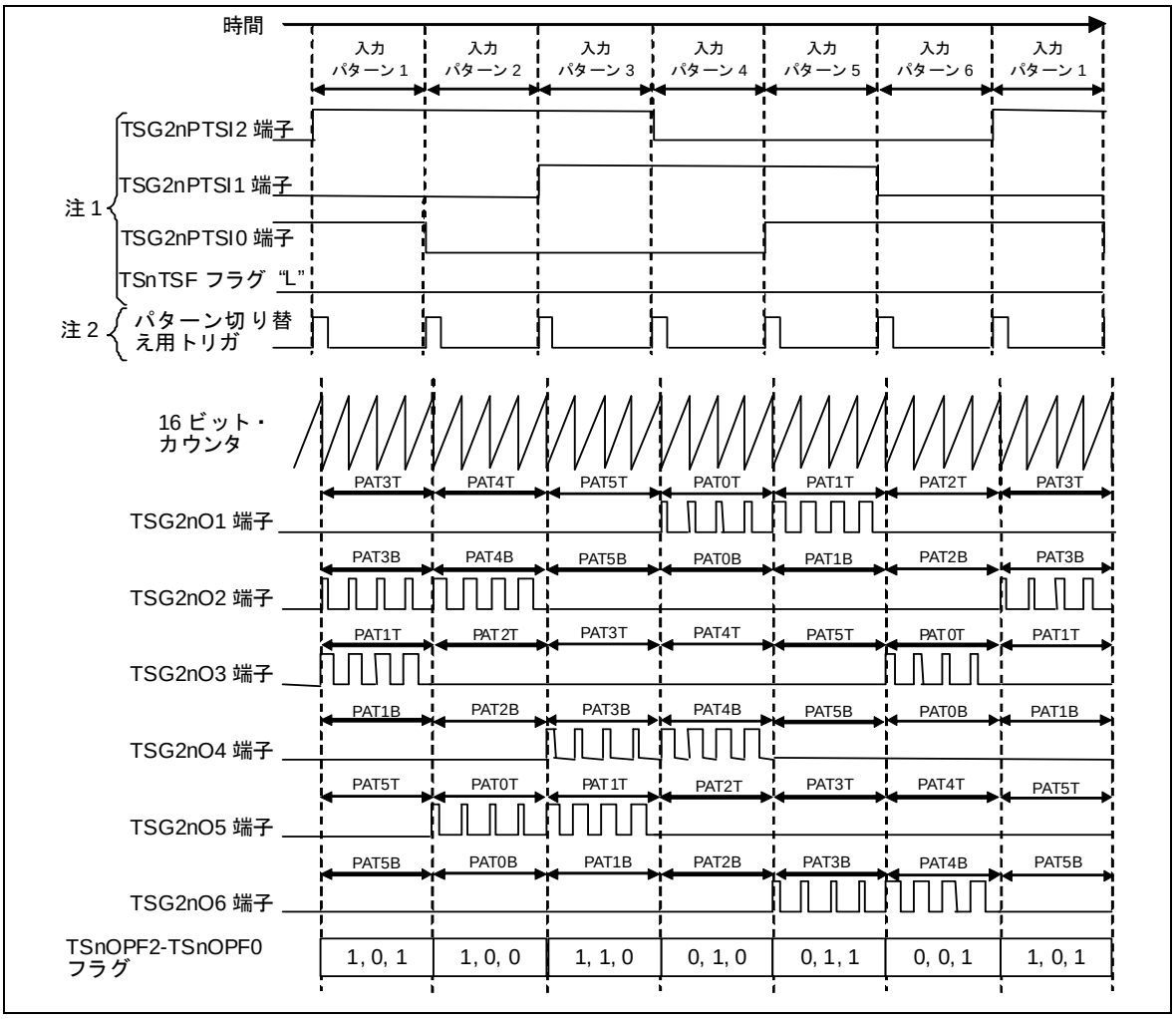


図 15-66 120-DC モード動作例
（正転：TSnSTR1.TSnTSF = 0, TSnOPT0.TSnIDC = 1）

注 1. パターン切り替え方式（TSnOPT0.TSnPOT = 0）の場合

2. トリガ切り替え方式（TSnOPT0.TSnPOT = 1, TSnPSS = 1）の場合

備考 TSnOPT0.TSnSOC = 0

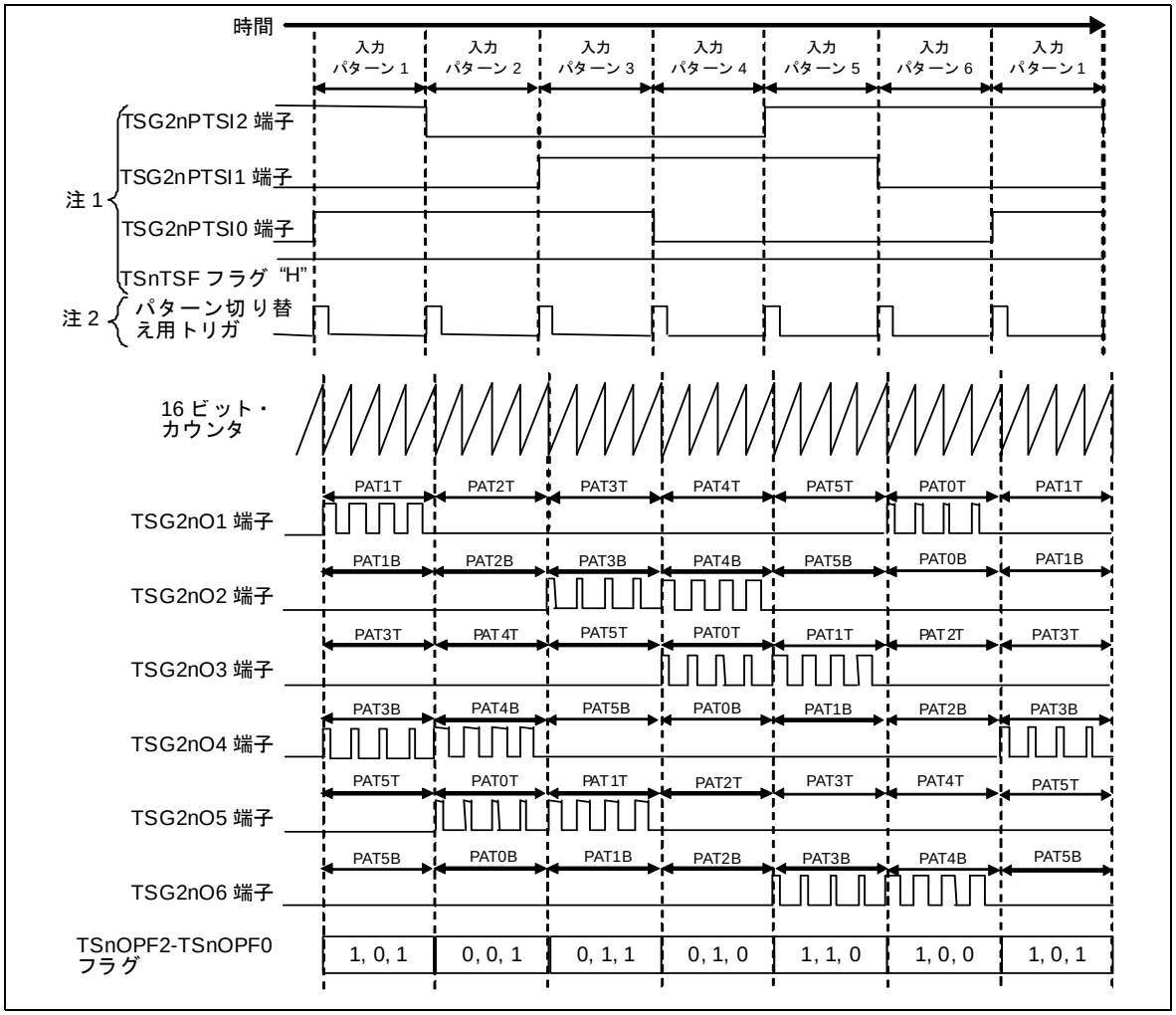


図 15-67 120-DC モード動作例
（逆転：TSnSTR1.TSnTSF = 1, TSnOPT0.TSnIDC = 0）

注 1. パターン切り替え方式（TSnOPT0.TSnPOT = 0）の場合

2. トリガ切り替え方式（TSnOPT0.TSnPOT = 1, TSnPSS = 1）の場合

備考 TSnOPT0.TSnSOC = 0

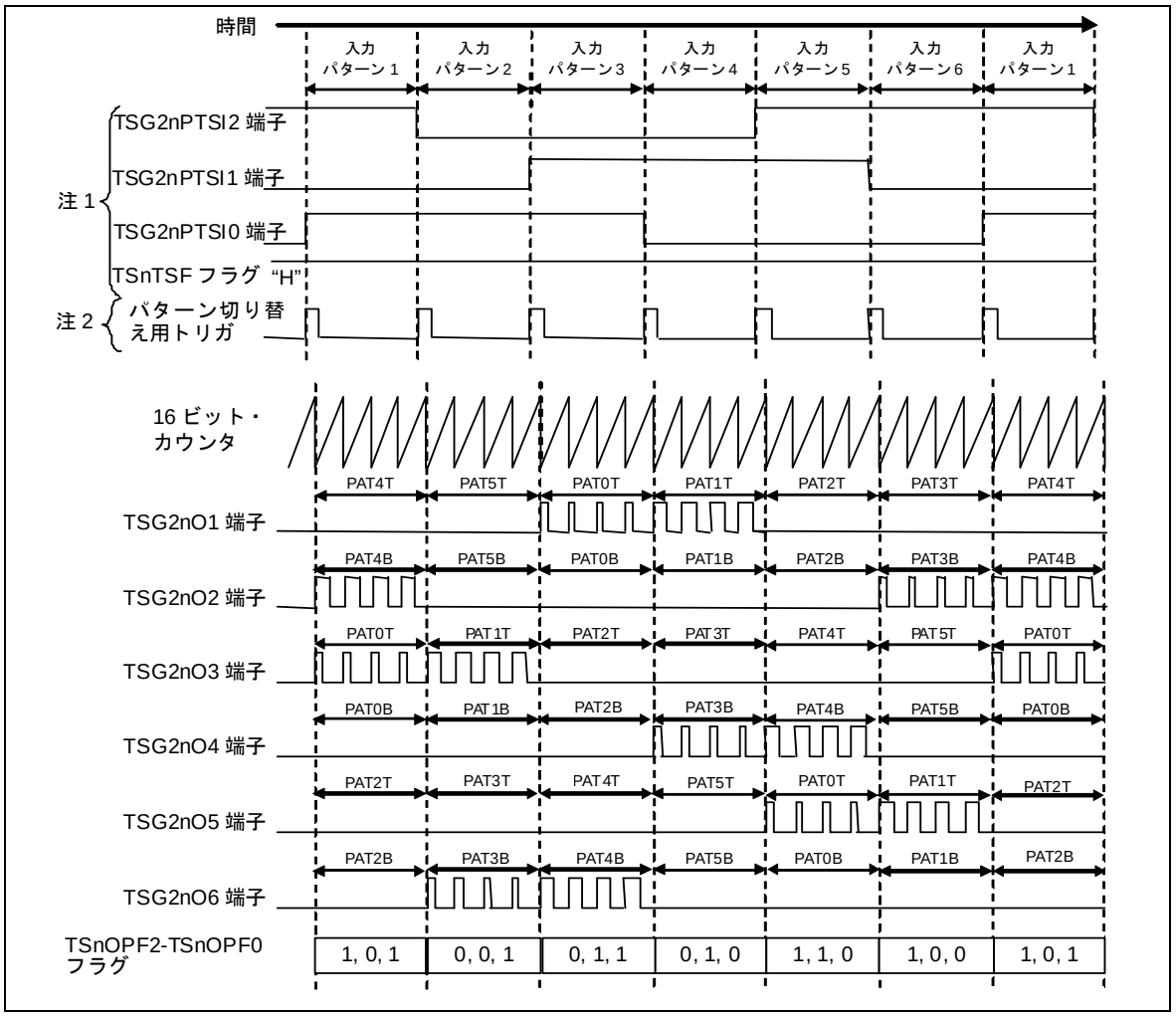


図 15-68 120-DC モード動作例
（逆転：TSnSTR1.TSnTSF = 1, TSnOPT0.TSnIDC = 1）

注 1. パターン切り替え方式（TSnOPT0.TSnPOT = 0）の場合

2. トリガ切り替え方式（TSnOPT0.TSnPOT = 1, TSnPSS = 1）の場合

備考 TSnOPT0.TSnSOC = 0

(6) 120-DC モードの出力パターン一覧

120-DC モードにおいて，出力パターンは回転方向と TSnOPT0.TSnIDC によって決定します。

TSnOPT0		回転方向
TSnPOT	TSnPSS	
0	—	TSnTSF
1	1	TSnPSC

正転：TSnOPT0.TSnSOC = 0, TSnPSC = 0,TSnPOT = 1, TSnPSS = 1, TSnIDC = 0

パターン切り替え順序

出力端子	TSnOPT1.TSnSPC2-TSnSPC0 注 /TSnSTR1.TSnOPF2-TSnOPF0							
	101	100	110	010	011	001	000	111
TSG2nO1	PAT0T	PAT1T	PAT2T	PAT3T	PAT4T	PAT5T	Low	Low
TSG2nO2	PAT0B	PAT1B	PAT2B	PAT3B	PAT4B	PAT5B	Low	Low
TSG2nO3	PAT4T	PAT5T	PAT0T	PAT1T	PAT2T	PAT3T	Low	Low
TSG2nO4	PAT4B	PAT5B	PAT0B	PAT1B	PAT2B	PAT3B	Low	Low
TSG2nO5	PAT2T	PAT3T	PAT4T	PAT5T	PAT0T	PAT1T	Low	Low
TSG2nO6	PAT2B	PAT3B	PAT4B	PAT5B	PAT0B	PAT1B	Low	Low

正転：TSnOPT0.TSnSOC = 0, TSnPSC = 0, TSnPOT = 1, TSnPSS = 1, TSnIDC = 1

パターン切り替え順序

出力端子	TSnOPT1.TSnSPC2-TSnSPC0 注 /TSnSTR1.TSnOPF2-TSnOPF0							
	101	100	110	010	011	001	000	111
TSG2nO1	PAT3T	PAT4T	PAT5T	PAT0T	PAT1T	PAT2T	Low	Low
TSG2nO2	PAT3B	PAT4B	PAT5B	PAT0B	PAT1B	PAT2B	Low	Low
TSG2nO3	PAT1T	PAT2T	PAT3T	PAT4T	PAT5T	PAT0T	Low	Low
TSG2nO4	PAT1B	PAT2B	PAT3B	PAT4B	PAT5B	PAT0B	Low	Low
TSG2nO5	PAT5T	PAT0T	PAT1T	PAT2T	PAT3T	PAT4T	Low	Low
TSG2nO6	PAT5B	PAT0B	PAT1B	PAT2B	PAT3B	PAT4B	Low	Low

注 TSnSPC2-TSnSPC0 は TSnPOT = 1 の場合に書き込みを行うと出力パターンが変化します。その後，TSnOPCI0, TSnOPCI1 信号の立ち上がりによるパターン切り替えトリガが発生するとパターン切り替え順序に従って出力が切り替わります。その際，出力パターンが切り替わっても TSnSPC2-TSnSPC0 は変化しません。

備考 1. PAT0T－PAT5T：TSnCMP1W, TSnCMP5W, TSnCMP9W による PWM 出力を示します。

2. PAT0B－PAT5B：TSnCMP3W, TSnCMP7W, TSnCMP11W による PWM 出力を示します。

逆転：TSnOPT0.TSnSOC = 0, TSnPSC = 1, TSnPOT = 1, TSnPSS = 1,
TSnIDC = 0

パターン切り替え順序

出力端子	TSnOPT1.TSnSPC2-TSnSPC0 注 /TSnSTR1.TSnOPF2-TSnOPF0							
	101	100	110	010	011	001	000	111
TSG2nO1	PAT1T	PAT0T	PAT5T	PAT4T	PAT3T	PAT2T	Low	Low
TSG2nO2	PAT1B	PAT0B	PAT5B	PAT4B	PAT3B	PAT2B	Low	Low
TSG2nO3	PAT3T	PAT2T	PAT1T	PAT0T	PAT5T	PAT4T	Low	Low
TSG2nO4	PAT3B	PAT2B	PAT1B	PAT0B	PAT5B	PAT4B	Low	Low
TSG2nO5	PAT5T	PAT4T	PAT3T	PAT2T	PAT1T	PAT0T	Low	Low
TSG2nO6	PAT5B	PAT4B	PAT3B	PAT2B	PAT1B	PAT0B	Low	Low

逆転：TSnOPT0.TSnSOC = 0, TSnPSC = 1, TSnPOT = 1, TSnPSS = 1,
TSnIDC = 1

パターン切り替え順序

出力端子	TSnOPT1.TSnSPC2-TSnSPC0 注 /TSnSTR1.TSnOPF2-TSnOPF0							
	101	100	110	010	011	001	000	111
TSG2nO1	PAT4T	PAT3T	PAT2T	PAT1T	PAT0T	PAT5T	Low	Low
TSG2nO2	PAT4B	PAT3B	PAT2B	PAT1B	PAT0B	PAT5B	Low	Low
TSG2nO3	PAT0T	PAT5T	PAT4T	PAT3T	PAT2T	PAT1T	Low	Low
TSG2nO4	PAT0B	PAT5B	PAT4B	PAT3B	PAT2B	PAT1B	Low	Low
TSG2nO5	PAT2T	PAT1T	PAT0T	PAT5T	PAT4T	PAT3T	Low	Low
TSG2nO6	PAT2B	PAT1B	PAT0B	PAT5B	PAT4B	PAT3B	Low	Low

注 TSnSPC2-TSnSPC0 は TSnPOT = 1 の場合に書き込みを行うと出力パターンが変化します。その後，TSnOPCI0, TSnOPCI1 信号の立ち上がりによるパターン切り替えトリガが発生するとパターン切り替え順序に従って出力が切り替わります。その際，出力パターンが切り替わっても TSnSPC2-TSnSPC0 は変化しません。

備考 1. PAT0T－PAT5T：TSnCMP1W, TSnCMP5W, TSnCMP9W による PWM 出力を示します。

2. PAT0B－PAT5B：TSnCMP3W, TSnCMP7W, TSnCMP11W による PWM 出力を示します。

(7) 120-DC モードの動作開始タイミング

120-DC モードでは，トリガ切り替え制御（TSnOPT0.TSnPOT = 1）の場合は TSnOPT1.TSnSPC2-TSnSPC0，回転方向，TSnOPT0.TSnIDC で設定されたパターンを出力することができます。しかし，パターン切り替え制御（TSnPOT = 0）の場合は，TSG2nPTSI2-TSG2nPTSI0 端子のパターンは検出できますが，回転方向（TSnSTR1.TSnTSF）が決定できません。そのため，TSnTE=0 のときに TSnPSC に回転方向をセットしてください。TSnPSC の設定値が TSnTSF にロードされ，この値を初期パターン設定に使用できます。

TSnOPT0.TSnSOC = 0, TSnPSC = 0, TSnPOT = 0, TSnIDC = 0

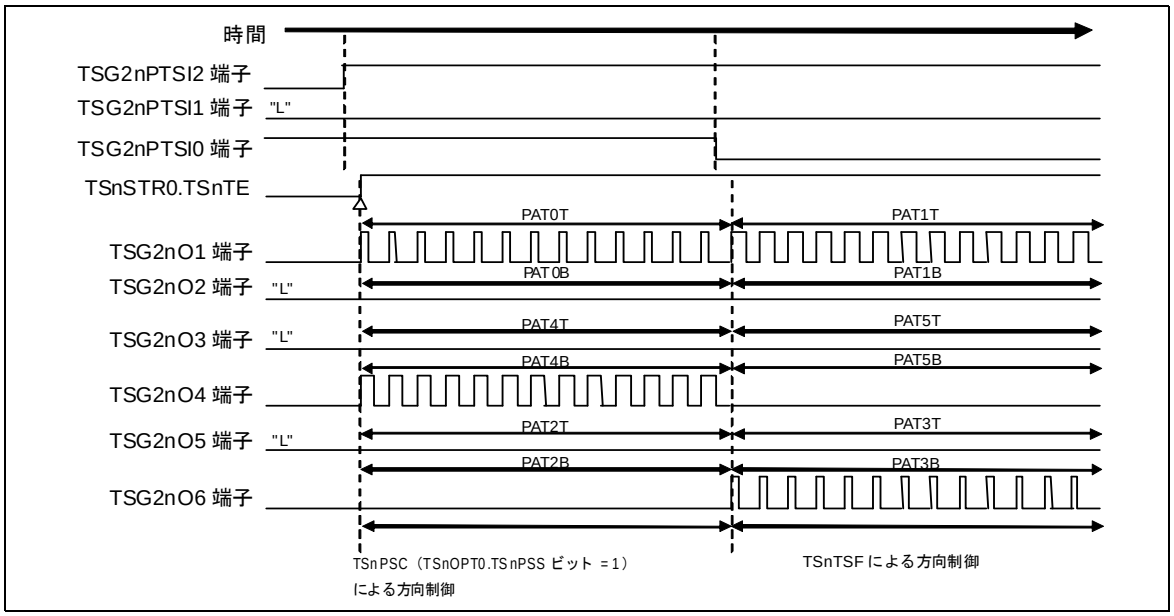


図 15-69 正転時のタイマ出力開始時の制御（正常なパターンが入力された場合）

TSnOPT0.TSnSOC = 0, TSnPSC = 1, TSnPOT = 0, TSnIDC = 1

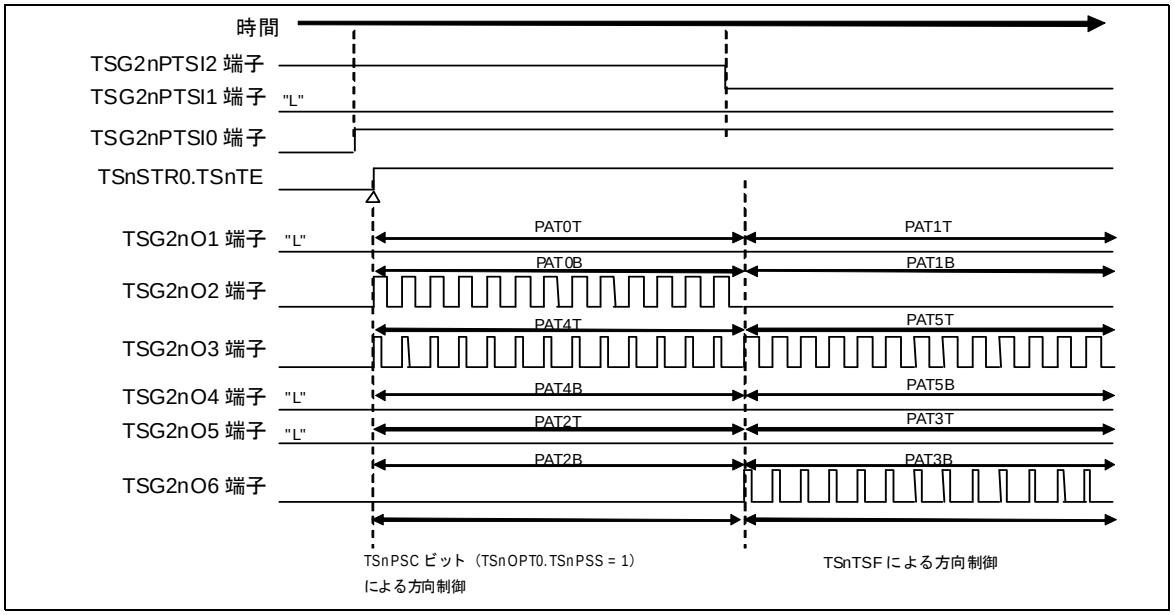


図 15-70 逆転時のタイマ出力開始時の制御（正常なパターンが入力された場合）

TSnOPT0.TSnSOC = 0, TSnPSC = 0, TSnPOT = 0, TSnIDC = 0

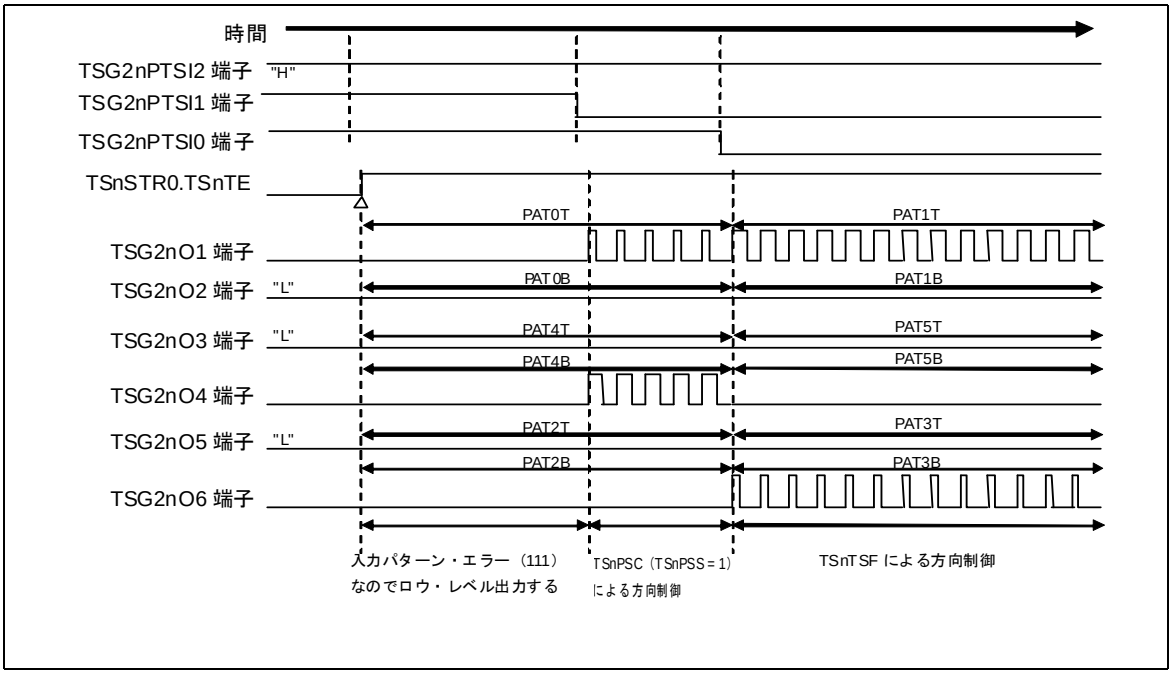


図 15-71 正転時のタイマ出力開始時の制御（エラー・パターンが入力された場合）

TSnOPT0.TSnSOC = 0, TSnPSC = 1, TSnPOT = 0, TSnIDC = 1

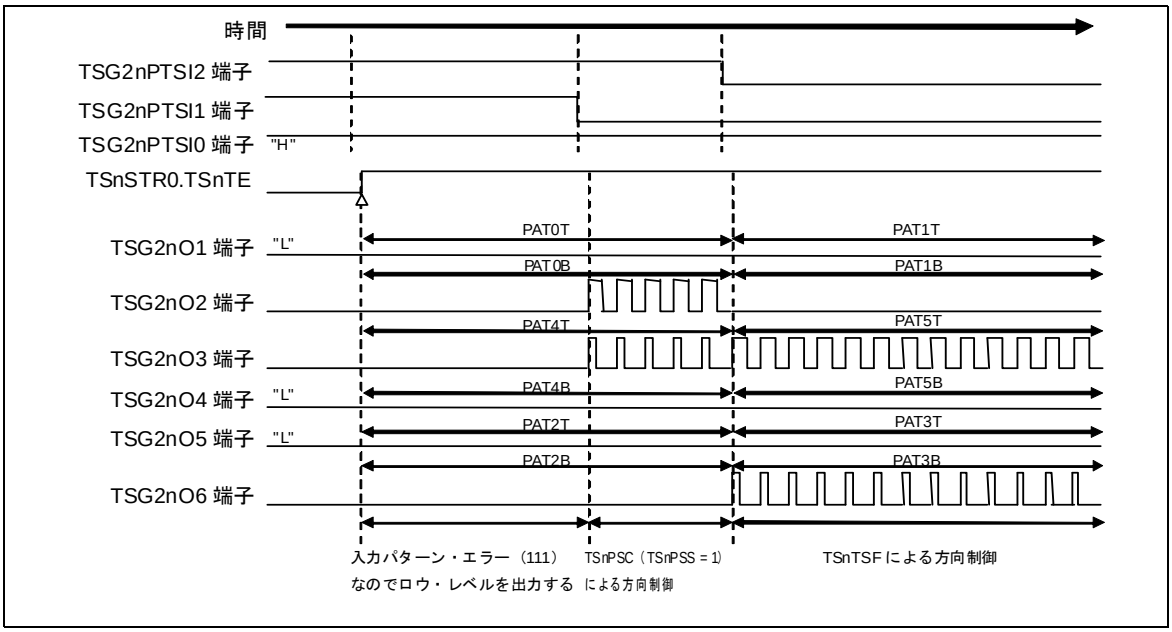


図 15-72　逆転時のタイマ出力開始時の制御（エラー・パターンが入力された場合）

(8) 120-DC モードの出力切り替えタイミング

120-DC モードでは，図 15-73 から 図 15-76 に示すように外部からの出力パターン切り替えタイミング（TSnOPCI0, TSnOPCI1 信号，TSG2nPTSI2-TSG2nPTSI0 端子）は 16 ビット・カウンタ動作と関係なく入力されます。出力を切り替えるタイミングは，外部から入力された切り替えタイミングで，16 ビット・カウンタをクリアして新しいパターンにて出力します。

パターン切り替え方式にて，1 周期内に TSG2nPTSI2-TSG2nPTSI0 端子の変化が連続した場合，周期一致直前でエッジ検出した値が採用され次の周期から出力する PWM に反映されます。また，トリガ切り替え方式にて，1 周期内に TSnOPCI0, TSnOPCI1 信号トリガが複数回入力した場合は，トリガを受け付ける毎に 16 ビット・カウンタをクリアし，出力パターンを切り替えます。

トリガ切り替え方式にて，TSnOPT1.TSnSPC2-TSnSPC0 への書き換えと TSnOPCI0, TSnOPCI1 トリガが 1 周期内に発生した場合は，TSnSPC2-TSnSPC0 への書き換えが優先されます。1 周期内に TSnSPC2-TSnSPC0 への書き換えを複数回実行した場合は，書き換え毎に 16 ビット・カウンタをクリアし，出力パターンを切り替えます。

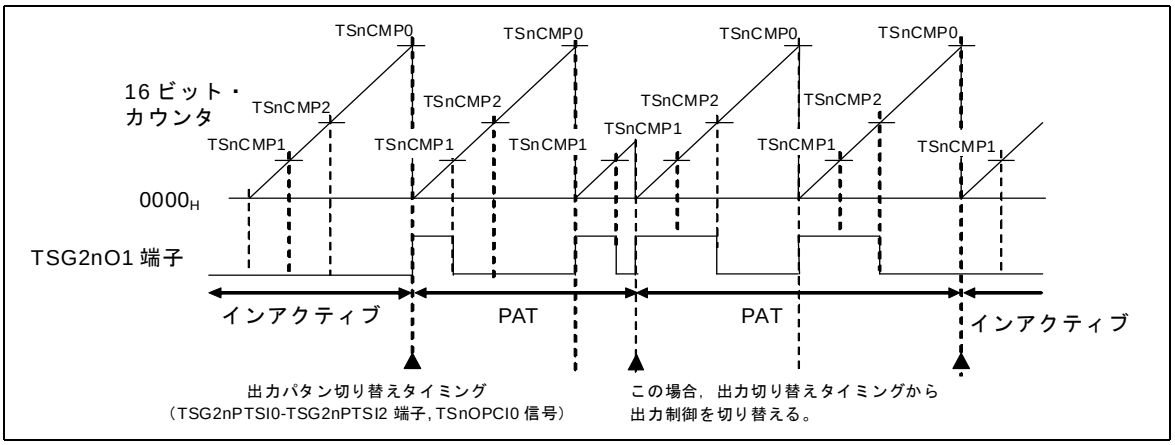


図 15-73 出力切り替え例
（TSG2nPTSI2-TSG2nPTSI0 端子，TSnOPCI0, TSnOPCI1 信号トリガ入力）

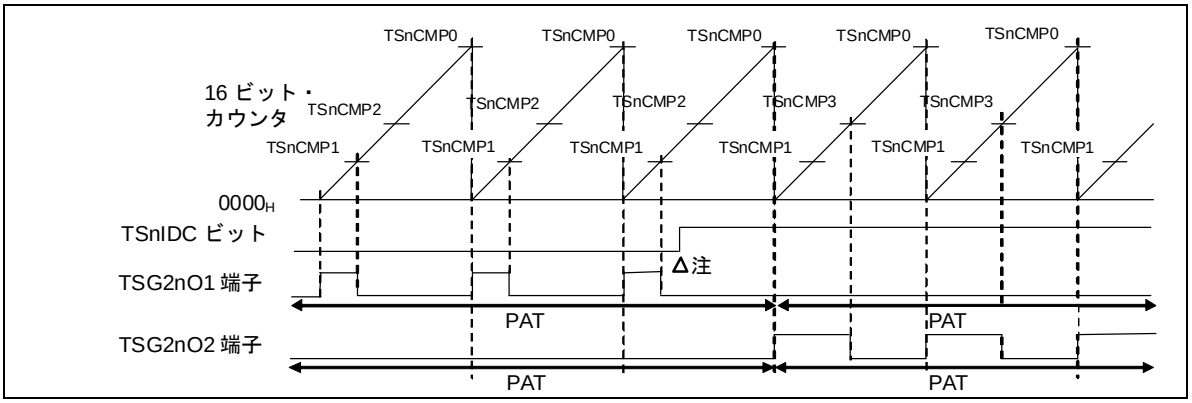


図 15-74 出力切り替え例（TSnOPT0.TSnIDC での切り替え）

注 ここで変更すると，次の周期から出力制御を切り替えます。

備考 TSnIDC ビットで出力制御を切り替え時，次の周期までに TSG2nPTSI2-TSG2nPTSI0 端子の変化が発生した場合，16 ビット・カウンタがクリアされ，切り替えた出力制御になります。

TSnOPT0.TSnPOT = 1

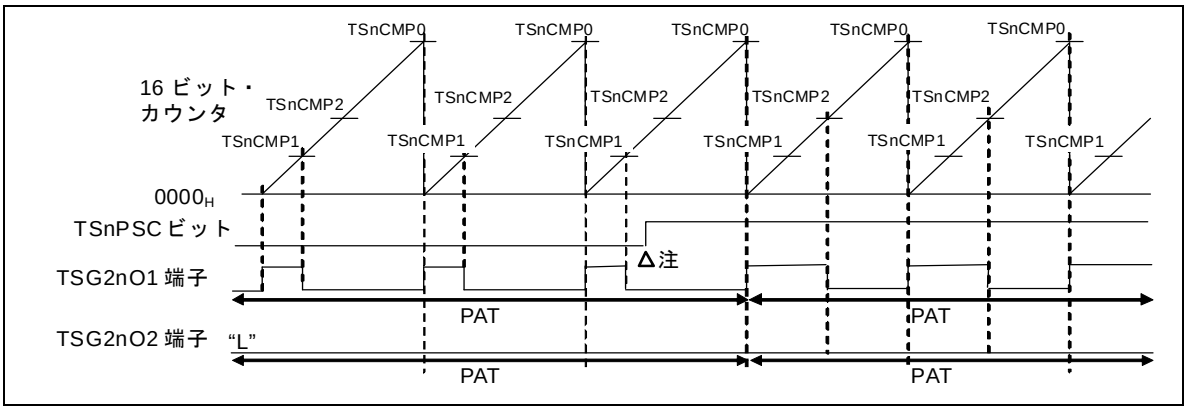


図 15-75 出力切り替え例（TSnOPT0.TSnPSC での切り替え）

注 ここで変更すると，次の周期から出力制御を切り替えます。

TSnOPT0.TSnSOC = 0, TSnPOT = 1

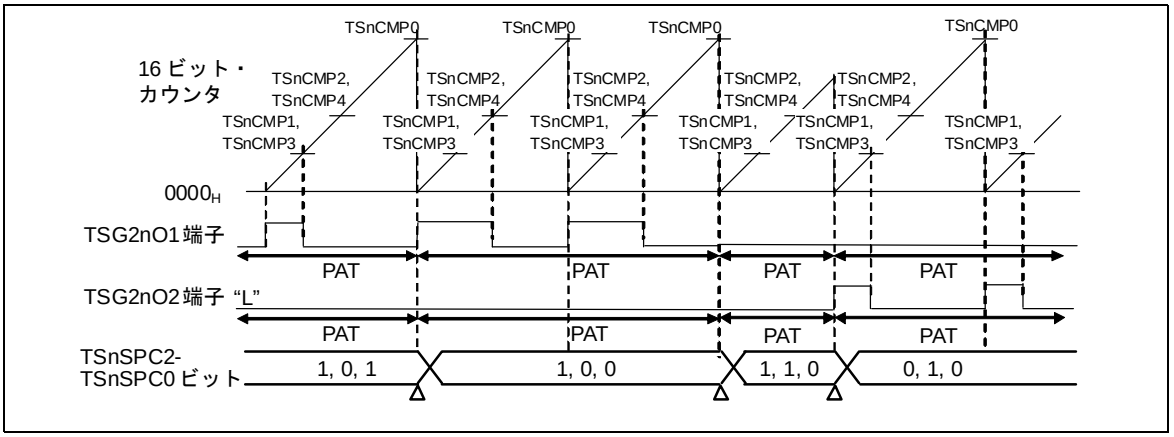


図 15-76　出力切り替え例（TSnOPT1.TSnSPC2-TSnSPC0 での切り替え）

備考　△：ライト・アクセス

(9) 120-DC モードのコンペア・レジスタ書き換えタイミング

次に，TSnCMP1 をリロード（一斉書き換え）した場合の動作例を示します。

図 15-77 は，TSnCMP1 レジスタを書き換えた場合の出力例を示しています。TSnCMP1 を変更後は次のリロード・タイミングまで TSnCMP1 バッファ・レジスタにデータが転送されない（変更したデータが有効にならない）ため，設定どおりの出力波形を得ることができます。ただし，リロードが保留されている期間（TSnCMP1 レジスタを変更してから，一斉書き換えが実行されるまでの期間）に，再度 TSnCMP1 レジスタに書き込まないでください。必ずリロード要求フラグ（TSnRSF）をリードし，0 であることを確認してから TSnCMP1 レジスタに書き込んでください。

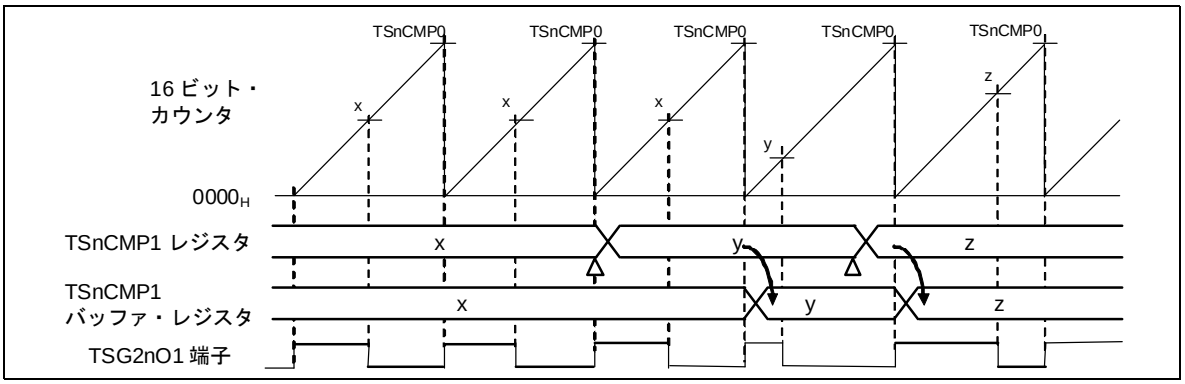


図 15-77 TSnCMP1 レジスタを書き換えた時の出力例

備考 △：ライト・アクセス

(10) 120-DC モードのデッド・タイム制御

120-DC モードにおいて，各相の立ち下がりでデッド・タイム制御が動作し，デッド・タイムが付加されます。

正相の立ち下がりでは，TSnDTC1 レジスタに設定したデッド・タイムが挿入され，逆相の立ち下がりでは TSnDTC0 レジスタに設定したデッド・タイムが挿入されます。

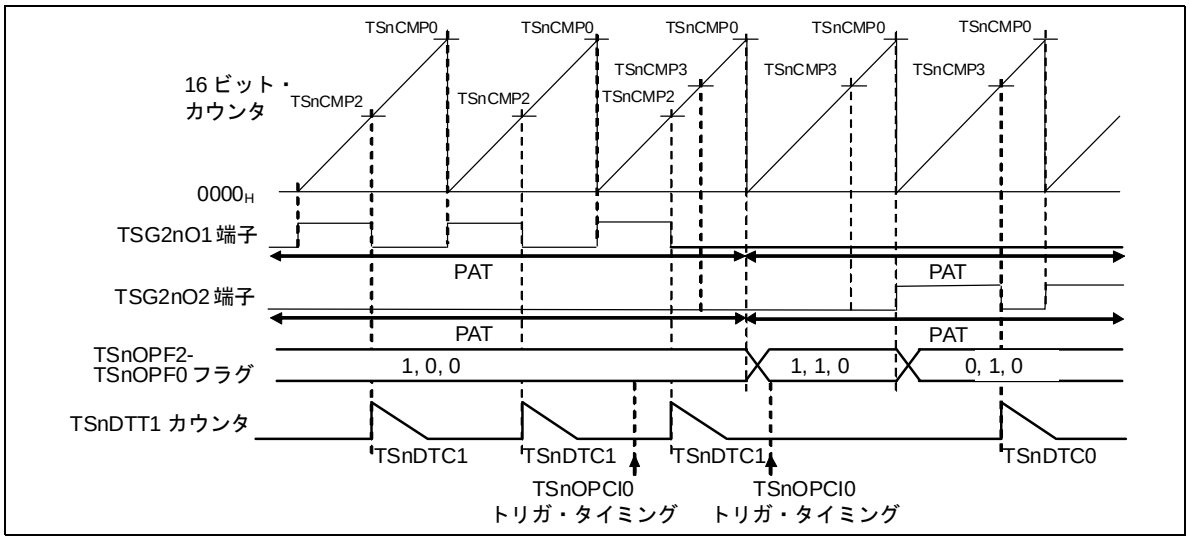


図 15-78 出力切り替え例

注意 デッド・タイムを制御する方法により，タイマ出力に影響を与える場合があります。主に次の条件ではデッド・タイム制御のため，タイマ出力が設定どおりのアクティブレベル幅を得られない可能性があります。

- パターン切り替え方式において，入力パターンにノイズが発生した場合
- パターン切り替え方式において，入力パターンの変化が PWM 周期より早くなった場合
- トリガ切り替え方式において，TSnOPT1.TSnSPC2-TSnSPC0 を変更し，出力パターンを強制的に変化させた場合
- 切り替え方式を変更した場合
- 電流方向を制御するビット（TSnOPT0.TSnIDC）を変更した場合
- ソフトウエア出力制御機能を使用した場合

(11) 120-DC モードの出力切り替え

120-DC モードでは，トリガ切り替え方式（TSnOPT0.TSnSTE = 1, かつ, TSnPOT = 1）時に TSnOPT1.TSnSPC2-TSnSPC0 に値を書き込むことで出力パターンを制御することができます。切り替えタイミングでは，ハードウエアによってデッド・タイムの確保を行います。

注意 TSnSPC2-TSnSPC0 に “111B”，“000B” を書き込んだ場合，TSG2nO1-TSG2nO6 端子はロウ・レベルとなります。

(12) 120-DC モード時，TSG2nPTSI2-TSG2nPTSI0 端子にノイズが発生した場合の動作

TSG2nPTSI2-TSG2nPTSI0 端子は，ブラシレス DC モータのホール・センサの入力を想定しています。システムによっては，TSG2nPTSI2-TSG2nPTSI0 端子にノイズが発生する場合が想定されます。ノイズが発生した場合の動作に関して説明します。

システム製品設計においてはホール・センサと TSG2nPTSI2-TSG2nPTSI0 端子間に必ずノイズ・フィルタ回路を挿入してください。

図 15-80 ではパターン切り替え方式で動作中に，TSG2nPTSI2-TSG2nPTSI0 端子にノイズが発生した場合に関して説明します。

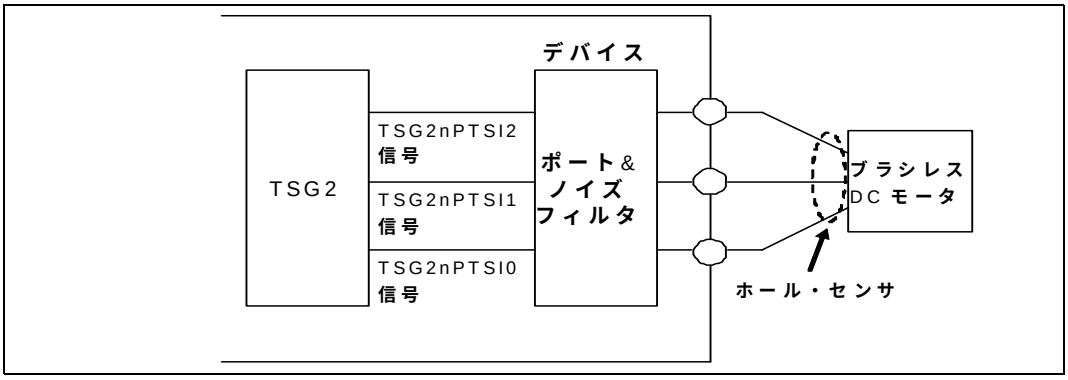


図 15-79 ノイズ・フィルタ回路接続例

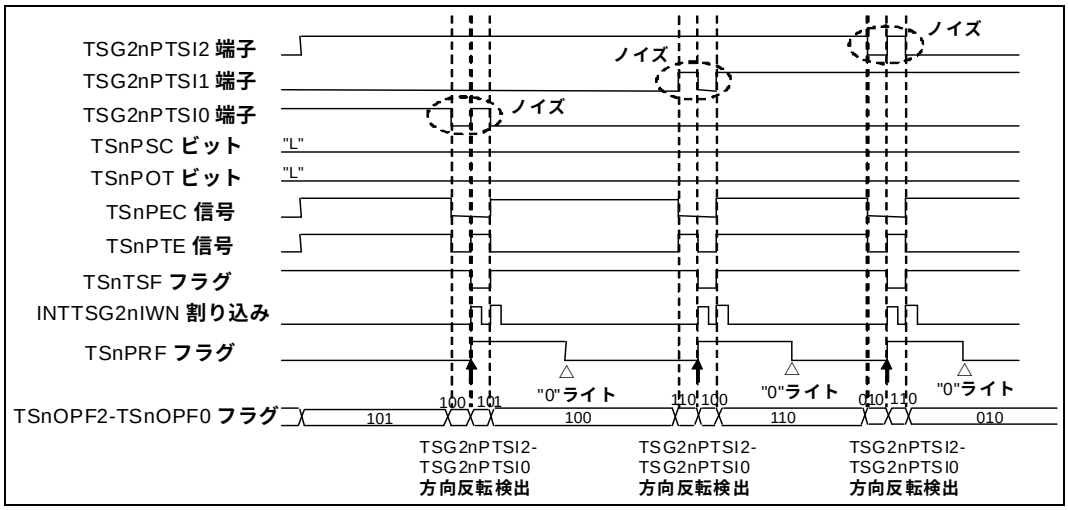


図 15-80 TSG2nPTSI2-TSG2nPTSI0 端子のレベル変化時，ノイズ発生例（パターン切り替え方式）

(a) 入力パターン変化検出信号（TSnPTE）の変化タイミング

- TSnPTE 信号は，入力パターン（TSG2nPTSI2-TSG2nPTSI0 端子）が変化したタイミングでトグルします。

注意 TSnOPT0 レジスタの TSnPSC（TSnOPT0 レジスタの TSnPSS = 1）で必ず回転方向を指定してください。

（TSnPSC = 0 の場合）

		変化後の TSG2nPTSI2-TSG2nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG2nPTSI2-TSG2nPTSI0 端子	000	－	－	－	－	－	－	－	－
	111	－	－	－	－	－	－	－	－
	101	－	－	－	トグル	－	－	－	－
	100	－	－	－	－	トグル	－	－	－
	110	－	－	－	－	－	トグル	－	－
	010	－	－	－	－	－	－	トグル	－
	011	－	－	－	－	－	－	－	トグル
	001	－	－	トグル	－	－	－	－	－

（TSnPSC = 1 の場合）

		変化後の TSG2nPTSI2-TSG2nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG2nPTSI2-TSG2nPTSI0 端子	000	－	－	－	－	－	－	－	－
	111	－	－	－	－	－	－	－	－
	101	－	－	－	－	－	－	－	トグル
	100	－	－	トグル	－	－	－	－	－
	110	－	－	－	トグル	－	－	－	－
	010	－	－	－	－	トグル	－	－	－
	011	－	－	－	－	－	トグル	－	－
	001	－	－	－	－	－	－	トグル	－

(b) 3 相エンコード信号（TSnPEC）の変化タイミング

- TSnPEC 信号は，入力パターン（TSG2nPTSI2-TSG2nPTSI0 端子）が変化したタイミングでトグルします。

		変化後の TSG2nPTSI2-TSG2nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG2nPTSI2-TSG2nPTSI0 端子	000	－	－	－	－	－	－	－	－
	111	－	－	－	－	－	－	－	－
	101	－	－	－	トグル	－	－	－	トグル
	100	－	－	トグル	－	トグル	－	－	－
	110	－	－	－	トグル	－	トグル	－	－
	010	－	－	－	－	トグル	－	トグル	－
	011	－	－	－	－	－	トグル	－	トグル
	001	－	－	トグル	－	－	－	トグル	－

(c) TSG2nO1-TSG2nO6 端子の変化タイミング

- パターン切り替え方式の場合は，TSG2nPTSI2-TSG2nPTSI0 端子注の入力信号が変化した場合，出力パターンが変化します。
  2 端子以上同時に変化しても出力が切り替わります。
- トリガ切り替え方式の場合は，TSnOPCI0, TSnOPCI1 信号の立ち上がりエッジにより，出力パターンが変化します。TSnOPT0 レジスタの TSnSPC2-TSnSPC0 注に書き込んだ場合も出力が変化します。

注 “000”，“111” に変化した場合，TSG2nO1-TSG2nO6 端子は，ロウ・レベルになります。

(d) TSnTSF フラグの変化タイミング

- TSnTSF フラグは，入力パターン（TSG2nPTSI2-TSG2nPTSI0 端子）が変化したタイミングでトグルします。

		変化後の TSG2nPTSI2-TSG2nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG2nPTSI2-TSG2nPTSI0 端子	000	–	–	–	–	–	–	–	–
	111	–	–	–	–	–	–	–	–
	101	–	–	–	0	–	–	–	1
	100	–	–	1	–	0	–	–	–
	110	–	–	–	1	–	0	–	–
	010	–	–	–	–	1	–	0	–
	011	–	–	–	–	–	1	–	0
	001	–	–	0	–	–	–	1	–

(e) TSnNDF フラグのセット・タイミング

- TSG2nPTSI2-TSG2nPTSI0 端子が同時に 2 端子以上変化した場合にセットされます。TSnNDR ビットへの 1 ライトでクリアします。TSnNDC ビットを 1 にセットしたときに有効となります。

(f) TSnPRF フラグのセット・タイミング

- TSnTSF フラグが変化したタイミングでセットされます。TSnPRR ビットへの 1 ライトでクリアします。TSnPRC ビットを 1 にセットしたときに有効となります。

(g) TSnPEF フラグのセット・タイミング

- ・TSG2nPTSI2-TSG2nPTSI0 端子が “000”, “111” の値を入力したときにセットされます。TSnPER ビットへの 1 ライトでクリアします。TSnPEC ビットを 1 にセットしたときに有効となります。

(13) 120-DC モード時の基本制御フロー

120-DC モードには表 15-76 に示した 8 つの制御状態が存在します。

TSnOPT0.TSnSTE = 1，かつ，TSnPOT = 0 では，パターン切り替え方式の 120-DC 制御となります。

これを位相固定制御と定義します。位相固定制御では，ホール・センサからの遅れ，センサ・レベル検出からタイマ出力までの遅れ等がありますので，これらを考慮して制御する必要があります。ただし，PWM デューティを変更するだけで加速／減速ができます。

TSnOPT0.TSnSTE=1 かつ TSnPOT = 1 では，トリガ切り替え方式の 120-DC 制御となります。

これを位相可変制御と定義します。位相可変制御では，ホール・センサに先行してタイマ出力パターンを設定するため，位相差による加速／減速制御が可能です。ただし，ホール・センサに対するオフセット幅，ホール・センサに対する予測値を考慮する必要があるため，位相固定制御に比べて制御が複雑になります。

TSnOPT0.TSnPOT = 1，TSnPSS = 1 の場合，TSnOPT0 レジスタの TSnPSC で，モータの回転方向が設定できます。正転の時は TSnPSC = 0 に逆転のときは TSnPSC = 1 に設定してください。

TSnOPT0 レジスタの TSnIDC では，制御方向（加速／減速）を設定します。モータの回転方向（TSnPSC の設定値）と同じ値を設定しているときは加速制御となり，モータの回転方向と異なる値を設定しているときは減速制御となります。

表 15-76 タイマの制御状態

状態	TSnOPT0 レジスタの TSnPSC	TSnSTR1 レジスタの TSnTSF	TSnOPT0 レジスタの TSnIDC	TSnOPT0 レジスタの TSnPOT	制御
A	–	0	0	0	正転・加速・位相固定
B	0	–	0	1	正転・加速・位相可変
C	0	–	1	1	正転・減速・位相可変
D	–	0	1	0	正転・減速・位相固定
E	–	1	1	0	逆転・加速・位相固定
F	1	–	1	1	逆転・加速・位相可変
G	1	–	0	1	逆転・減速・位相可変
H	–	1	0	0	逆転・減速・位相固定

通常，モータの回転が停止した状態をスタート状態として制御を開始します。まず停止状態からモータを回転させるために，位相固定制御を利用して回転させます。その後，高速回転まで引き上げるために位相可変制御に切り替えます。位相可変制御では ENCA と組み合わせてホール・センサの変化点よりも早いタイミング（進角）でタイマ出力を変化させます。

高速回転から減速させる場合も，TSnOPT0 レジスタの TSnIDC のみを書き換えて減速制御に変更します。その後，低速回転まで回転数を減速できたらPWM デューティを小さくして停止状態まで遷移させます。これがモータ制御の一連の流れになります，

状態の遷移を図 15-81, 図 15-82 で示します。

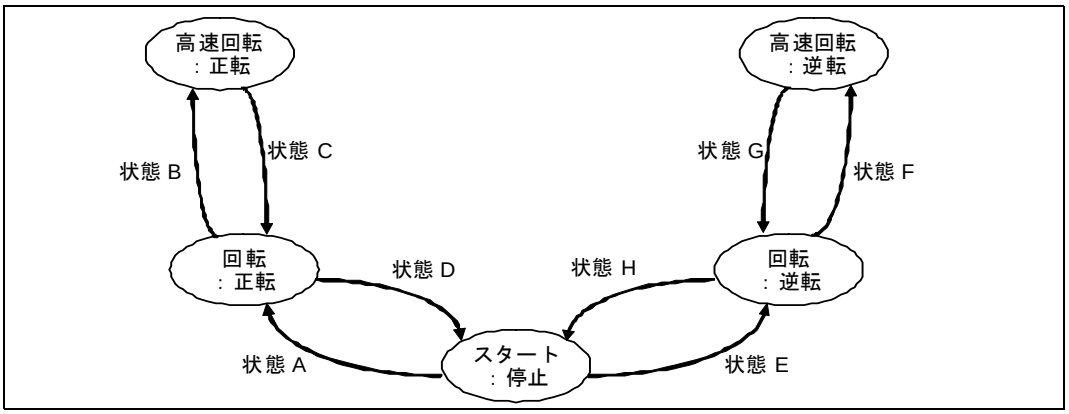


図 15-81 状態遷移図

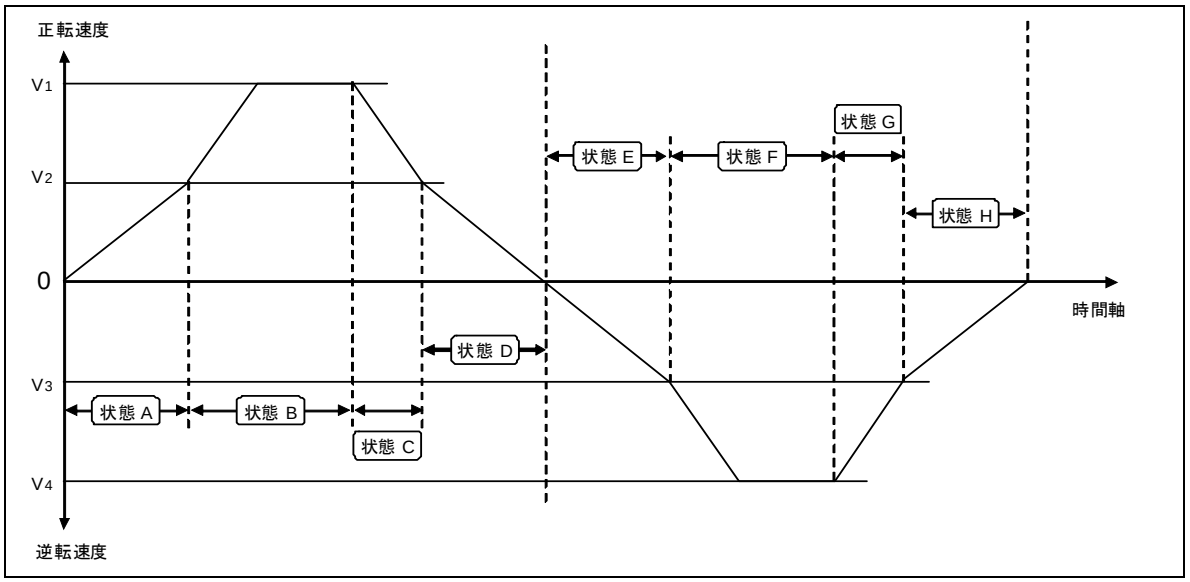


図 15-82 状態遷移とモータ回転速度の関連性

備考 V1, V4：正転／逆転の高速回転速度

V2, V3：正転／逆転の低速回転速度

(14) 120-DC モード時のソフトウエア出力制御機能

120-DC モード時は，TSnOPT0.TSnSOC, TSnIDC, TSnOPT1.TSnSPC2-TSnSPC0 を使用して，ソフトウエア制御によるタイマ出力制御を行うことができます。

図 15-83 に示すように，TSnSOC = 1 にしたタイミングで出力を即時に切り替えます。デッド・タイムの設定をしていれば，デッド・タイム期間は保証されます。その後，ソフトウエア出力制御から 120-DC 制御に切り替える場合は，TSnSOC = 0 に設定します。このタイミングでは出力を保持し，リロード・タイミングが発生した時点で，120-DC モードによる出力制御に切り替わります。

ソフトウエア出力制御機能について，詳細は 15.11.5「ソフトウエア出力制御機能」を参照してください。

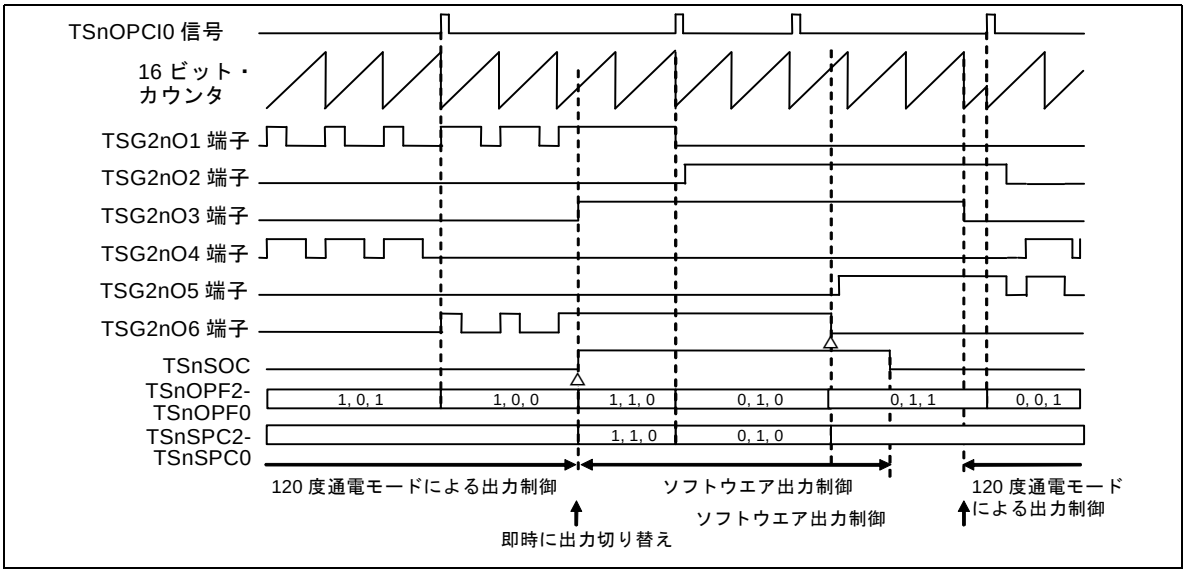


図 15-83 120-DC モードからソフトウエア出力制御機能の切り替え例

備考 △：ライト・アクセス

(a) ソフトウエア出力制御の処理手順

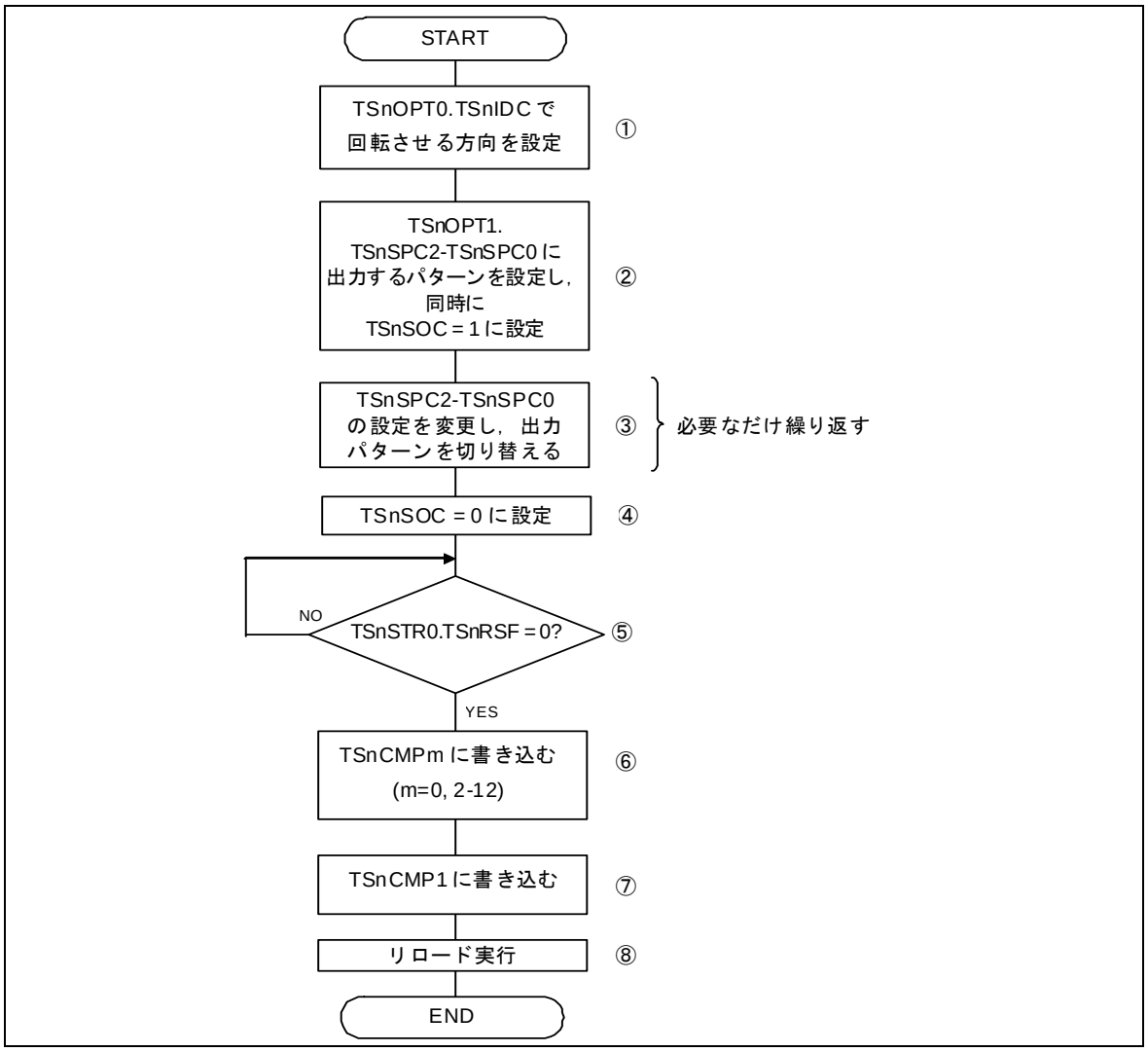


図 15-84 ソフトウエア出力制御時の処理フロー

ソフトウエア出力制御の処理手順を示します。

①回転方向を決定するため，TSnIDC の設定を行います。TSnIDC = 0 の場合と，TSnIDC = 1 の場合では 180 度位相が異なったタイマ出力となります。ソフトウエア出力制御機能において，このビットを書き換えただけではタイマ出力は変化しません。ただし，②の前に周期一致が発生した場合，120-DC 制御の出力パターンが変わりますので，②の前に周期一致が来ないようにスケジューリングしてください。

② TSnSPC2-TSnSPC0 に出力するパターンを設定し，同時にソフトウエア出力を行うために TSnSOC = 1 にします。

③ TSnSPC2-TSnSPC0 の出力パターン設定を変更し，タイマ出力を変化させます。ソフトウエア制御中に変更可能なレジスタは次のとおりです。

TSnTRG1.TSnTT, TSnCTL4-TSnCTL6, TSnOPT0, TSnOPT1, TSnCMP0-TSnCMP12, TSnDTC0, TSnDTC1

④リロード要求フラグ（TSnRSF）= 0 であることを確認します。TSnRSF = 1 だった場合は TSnRSF フラグ = 0 になるまで次の手順に移行しないでください。

⑤ TSnSOC = 0 にするとソフトウエア制御を解除開始します（ここではまだ解除されません）。

⑥ソフトウエア出力制御解除後に必要な，コンペア・レジスタの設定を行います。変更が不要な場合は次の手順に移行してください。また，リロード機能付きレジスタを変更する場合はここで変更してください。

⑦ TSnCMP1 レジスタに書き込みを行い，リロードを起動します。

⑧リロードが実行され，ソフトウエア出力を解除します。

注意 ④，⑤，⑥，⑦の手順を実行してから，必ずリロードを実行してください。リロードが実行できない場合はソフトウエア出力を解除できません。

15.11.5 ソフトウエア出力制御機能

HT-PWM モード，SP-PWM モード，120-DC モードにおいて，ソフトウエア出力制御機能を使用することができます。この機能は，TSnOPT0.TSnSOC, TSnIDC, TSnOPT1.TSnSPC2-TSnSPC0 を使用して TSG2nO1-TSG2nO6 端子に 6 パターンの出力をソフトウエアで切り替えられる機能です。

TSnSOC = 0 から TSnSOC = 1 に切り替えると，TSG2nO1-TSG2nO6 端子が即時にソフトウエア出力制御に切り替わります。逆に TSnSOC = 1 から TSnSOC = 0 に切り替えた場合は，リロード・タイミングでソフトウエア出力制御が解除されます。

表 15-77 ソフトウエア出力制御機能に関するレジスタ説明

レジスタ	動作
TSnOPT0.TSnSOC	TSnSOC = 1
TSnOPT0.TSnSTE	TSnSTE = 0
TSnOPT1.TSnSPC2-TSnSPC0	次の表 15-78, 表 15-79 に示す出力パターンを設定する
TSnOPT0.TSnIDC	出力するパターン（回転方向）を設定する

表 15-78 ソフトウエア出力制御の出力パターン（TSnOPT0.TSnIDC = 0）

TSnOPT0.TSnSOC = 1, TSnSTE = 0, TSnIDC = 0

出力端子	TSnSTR1.TSnOPF2-TSnOPF0							
	101	100	110	010	011	001	000	111
TSG2nO1	ACT	ACT	ACT	INACT	INACT	INACT	INACT	ACT
TSG2nO2	INACT	INACT	INACT	ACT	ACT	ACT	ACT	INACT
TSG2nO3	INACT	INACT	ACT	ACT	ACT	INACT	INACT	ACT
TSG2nO4	ACT	ACT	INACT	INACT	INACT	ACT	ACT	INACT
TSG2nO5	ACT	INACT	INACT	INACT	ACT	ACT	INACT	ACT
TSG2nO6	INACT	ACT	ACT	ACT	INACT	INACT	ACT	INACT

備考 ACT ：アクティブ・レベルを出力することを示します。

INACT ：インアクティブ・レベルを出力することを示します。

表 15-79 ソフトウエア出力制御の出力パターン（TSnOPT0.TSnIDC = 1）

TSnOPT0.TSnSOC = 1, TSnSTE = 0, TSnIDC = 1

出力端子	TSnSTR1.TSnOPF2-TSnOPF0							
	101	100	110	010	011	001	000	111
TSG2nO1	INACT	INACT	INACT	ACT	ACT	ACT	ACT	INACT
TSG2nO2	ACT	ACT	ACT	INACT	INACT	INACT	INACT	ACT
TSG2nO3	ACT	ACT	INACT	INACT	INACT	ACT	ACT	INACT
TSG2nO4	INACT	INACT	ACT	ACT	ACT	INACT	INACT	ACT
TSG2nO5	INACT	ACT	ACT	ACT	INACT	INACT	ACT	INACT
TSG2nO6	ACT	INACT	INACT	INACT	ACT	ACT	INACT	ACT

備考 ACT ：アクティブ・レベルを出力することを示します。
INACT ：インアクティブ・レベルを出力することを示します。

第 16 章 TPBA

16.1 TPBAn の機能

チャネル この製品は，1 チャネルの TPBAn を搭載しています。

表 16-1 TPBA のチャネル

TPBA	
チャネル数	1
名称	TPBA0

n の意味 この章では，TPBA の各チャネルを「n」で識別します（n = 0）。たとえば，TPBAn 制御レジスタ（TPBAnCTL）のように記述しています。

m の意味 バッファの番号を「m」で識別します（m = 00-63）。

レジスタ・アドレス TPBAn レジスタのアドレスは，それぞれベース・アドレス <TPBAn_base0>，もしくは，<TPBAn_base1> からのオフセットで表されます。
各 TPBAn のレジスタ・ベース・アドレスを次の表に示します。

表 16-2 TPBAn レジスタ・ベース・アドレス

TPBAn	<TPBAn_base0> アドレス	<TPBAn_base1> アドレス
TPBA0	FF83 2000_H	FFFF $F000_H$

クロック供給 TPBAn は，次のクロック入力があります。TPBAn は PCLK に接続しています。

表 16-3 TPBA のクロック供給

TPBAn	クロック供給
TPBA0	PCLK

入出力信号 TPBA の入力信号を次の表に示します。

表 16-4 TPBA の入出力信号一覧

TPBAn 信号	機能	接続先
TPBnO	タイマ出力	ポート
TPBAnSST	同時スタート・トリガ入力	PIC（入力）

割り込み TPBA の割り込み要求を次の表に示します。

表 16-5 TPBA の割り込み要求一覧

TPBAn 割り込み要求	機能	接続先
INTTPBAnIPRD	周期一致検出割り込み	割り込みコントローラ DMA
INTTPBAnIDTY	デューティー致検出割り込み	割り込みコントローラ DMA
INTTPBAnIPAT	パタン数一致検出割り込み	割り込みコントローラ DMA

16.2 機能の概要

TPBAn は，デューティ設定用バッファを搭載した 16 ビット PWM タイマです。

- カウント・クロック分解能：最小 12.5ns（カウント・クロック 80MHz 時）
- 16 ビット・カウンタ
- 16 ビット・デューティ・レジスタ
- 16 ビット・周期設定レジスタ
- 7 ビット・アドレス・カウンタ
- 7 ビット・パタン数設定レジスタ
- 割り込み要求信号
  - 周期一致検出割り込み
  - デューティー致検出割り込み
  - パタン数一致検出割り込み
- デューティ・パタン数
  - 16 ビット 64 パタンもしくは 8 ビット 128 パタン
- パタン数による自動デューティ生成
- ソフトウエアによる出力コントロール
- プリスケーラ設定値により 4 つのカウント・クロックを選択可能（PCLK, PCLK/2, PCLK/4, PCLK/8）
- 他のタイマとの同時スタート

16.3 構成

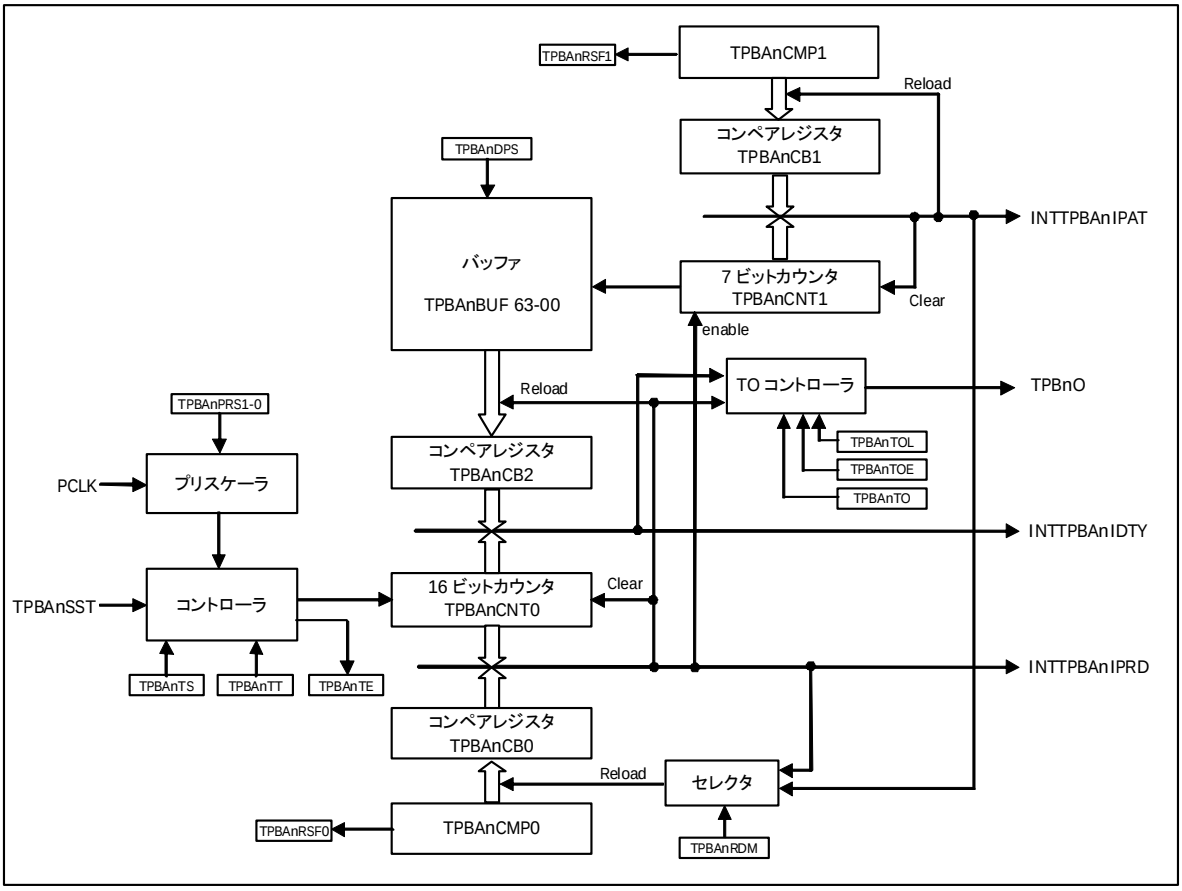


図 16-1 TPBAn のブロック図

16.4 レジスタ

この節では，TPBAn のすべてのレジスタについて説明します。

16.4.1 TPBAn レジスタの概要

TPBAn は，次の表に示すレジスタで制御，動作します。

表 16-6 TPBAn のレジスタ

レジスタ機能	機能名称	アドレス
TPBAn 制御レジスタ	TPBAnCTL	<TPBAn_base0> + 200_H
TPBAn リロード・データ・モード・レジスタ	TPBAnRDM	<TPBAn_base1> + 118_H
TPBAn リロード・ステータス・レジスタ	TPBAnRSF	<TPBAn_base1> + 110_H
TPBAn リロード・データ・トリガ・レジスタ	TPBAnRDT	<TPBAn_base1> + 114_H
TPBAn タイマ出力許可レジスタ	TPBAnTOE	<TPBAn_base1> + 120_H
TPBAn タイマ出力レジスタ	TPBAnTO	<TPBAn_base1> + $11C_H$
TPBAn タイマ出力レベル・レジスタ	TPBAnTOL	<TPBAn_base1> + 124_H
TPBAn 周期設定レジスタ	TPBAnCMP0	<TPBAn_base1> + 100_H
TPBAn デューティ設定レジスタ	TPBAnBUFm	<TPBAn_base1> + 000_H-$0FC_H$
TPBAn パタン数設定レジスタ	TPBAnCMP1	<TPBAn_base1> + 104_H
TPBAn タイマ・カウンタ・レジスタ	TPBAnCNT0	<TPBAn_base1> + 108_H
TPBAn アドレス・カウンタ・レジスタ	TPBAnCNT1	<TPBAn_base1> + $10C_H$
TPBAn イネーブル・ステータス・レジスタ	TPBAnTE	<TPBAn_base1> + 128_H
TPBAn スタート・トリガ・レジスタ	TPBAnTS	<TPBAn_base1> + $12C_H$
TPBAn ストップ・トリガ・レジスタ	TPBAnTT	<TPBAn_base1> + 130_H

16.4.2 TPBAn レジスタの詳細

(1) TPBAn 制御レジスタ（TPBAnCTL）

TPBAn の動作を設定します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TPBAn_base0> + 200_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	TPBAn PRS1	TPBAn PRS0	-	-	-	TPBAn DPS
R	R	R/W	R/W	R	R	R	R/W

表 16-7 TPBAnCTL0 レジスタの内容

ビット位置	ビット名	機能
4, 5	TPBAnPRS [1:0]	カウント・クロックを選択します。 TPBAnPRS1 / TPBAnPRS0 / 動作説明 0 / 0 / PCLK を選択 0 / 1 / PCLK/2 を選択 1 / 0 / PCLK/4 を選択 1 / 1 / PCLK/8 を選択
0	TPBAnDPS	デューティ設定パタンを選択します。 0: 16bit × 64 パタン 1: 8bit × 128 パタン

注意 このレジスタの設定は，タイマ停止中（TPBAnTE = 0）に設定してください。誤って書き換えた場合は，タイマを停止してから再設定してください。

(2) TPBAn リロード・データ・モード・レジスタ（TPBAnRDM）

TPBAn の周期設定レジスタとタイマ出力レベル・レジスタのリロード・タイミングを制御します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TPBAn_base1> + 118_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	TPBAn RDM0
R	R	R	R	R	R	R	R/W

表 16-8 TPBAnRDM レジスタの内容

ビット位置	ビット名	機能
0	TPBAnRDM0	周期設定レジスタ（TPBAnCMP0）とタイマ出力レベル・レジスタ（TPBAnTOL）のリロード・タイミングを制御します。 0: パタン数一致検出割り込み（INTTPBAnIPAT）に同期してリロード 1: 周期一致検出割り込み（INTTPBAnIPRD）に同期してリロード

注意 このレジスタは動作中の書き換えが可能ですが，書き換えた値は随時書き込まれます。従って，動作中の書き換えは，リロード要求フラグ（TPBAnRSF= 0）のときに行ってください。

(3) TPBAn リロード・ステータス・レジスタ（TPBAnRSF）

各レジスタのリロード要求を示すレジスタです。

アクセス 8 ビット単位でリード可能です。

アドレス <TPBAn_base1> + 110_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TPBAn RSF1	TPBAn RSF0
R	R	R	R	R	R	R	R

表 16-9 TPBAnRSF レジスタの内容

ビット位置	ビット名	機能
1	TPBAnRSF1	TPBAnCMP1 レジスタのリロード要求の有無を示すフラグです。 0: リロード要求なし，またはリロード完了 1: リロード要求あり TPBAnRDT レジスタの TPBAnRDT1 ビットに “1” がライトされたタイミングでセットされます。 リロードが実行されたタイミングでクリアされます。
0	TPBAnRSF0	TPBAnCMP0 レジスタおよび TPBAnTOL レジスタのリロード要求の有無を示すフラグです。 0: リロード要求なし，またはリロード完了 1: リロード要求あり TPBAnRDT レジスタの TPBAnRDT0 ビットに “1” がライトされたタイミングでセットされます。 リロードが実行されたタイミングでクリアされます。

(4) TPBAn リロード・データ・トリガ・レジスタ（TPBAnRDT）

各レジスタのリロードを許可します。

アクセス 8 ビット単位でライト可能です。リード時には “0” がリードされます。

アドレス <TPBAn_base1> + 114_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TPBAn RDT1	TPBAn RDT0
R	R	R	R	R	R	W	W

表 16-10 TPBAnRDT レジスタの内容

ビット位置	ビット名	機能
1	TPBAnRDT1	TPBAnCMP1 レジスタのリロードを許可するビットです。 0: 書き込みは無視されます 1: リロードを許可します（TPBAnRSF1 を “1” にセット） 次のリロード・タイミングで一斉に更新されます（リロード）
0	TPBAnRDT0	TPBAnCMP0 レジスタ及び TPBAnTOL レジスタのリロードを許可するビットです。 0: 書き込みは無視されます 1: リロードを許可します（TPBAnRSF0 を “1” にセット） 次のリロード・タイミングで一斉に更新されます（リロード）

(5) TPBAn タイマ出力許可レジスタ（TPBAnTOE）

タイマ出力の許可／禁止を制御します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TPBAn_base1> + 120_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	TPBAn TOE0
R	R	R	R	R	R	R	R/W

表 16-11 TPBAnTOE レジスタの内容

ビット位置	ビット名	機能
0	TPBAnTOE0	タイマ出力（TPBnO）の出力許可／禁止を選択します。 0: カウント動作によるタイマ出力の停止 1: カウント動作によるタイマ出力の許可 • 出力停止時には TPBAnTO レジスタに設定したレベルが TPBnO 端子から出力され，ソフトウエアによる操作が可能です。 • 出力許可時には TPBAnTO レジスタはタイマの動作によりセット／クリアされ，ＰWM 出力します。書き込みは禁止です（書き込みを無視します）。

(6) TPBAn タイマ出力レジスタ（TPBAnTO）

出力を制御の設定及び出力のレベルをリードします。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TPBAn_base1> + $11C_H$

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	TPBAnTO0
R	R	R	R	R	R	R	R/W

表 16-12 TPBAnTO レジスタの内容

ビット位置	ビット名	機能
0	TPBAnTO0	TPBnO 端子の出力の設定および出力レベルをリードします。 • タイマ出力停止中（TPBAnTOE.TPBAnTOE0 = 0）時 0: Low レベルを出力 1: Hi レベルを出力 • タイマ出力許可中（TPBAnTOE.TPBAnTOE0 = 1）時 0: タイマ出力により Low レベルを出力中 1: タイマ出力により Hi レベルを出力中 タイマ出力許可中は，本レジスタの書き換えは無視されます。

(7) TPBAn タイマ出力レベル・レジスタ（TPBAnTOL）

タイマ出力レベルを制御します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TPBAn_base1> + 124_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	TPBAnTOL0
R	R	R	R	R	R	R	R/W

表 16-13 TPBAnTOL レジスタの内容

ビット位置	ビット名	機能
0	TPBAnTOL0	タイマ出力のアクティブ・レベルを設定します。 0: アクティブ・レベルはハイ・レベル 1: アクティブ・レベルはロウ・レベル • このビットの設定はタイマ出力許可中（TPBAnTOE.TPBAnTOE0 = 1）のとき有効となります。 • このビットの設定は，タイマ出力開始時から反映され，出力レベルの変更は，変更後の次のリロード・タイミングから出力レベルが反映されます。

注意 このレジスタはリロード対象レジスタです。タイマ動作中の書き換えは，次のリロード・タイミングにて反映されます。
リロードの詳細については 16.5.2「コンペア・レジスタの書き換え操作」を参照してください。

(8) TPBAn 周期設定レジスタ（TPBAnCMP0）

PWM 周期設定用の 16 ビット・コンペア・レジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TPBAn_base1> + 100_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPBAnCMP0															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-14 TPBAnCMP0 レジスタの設定

動作モード	PWM 周期	最小値（周期）	最大値（周期）
8 ビット設定	TPBAnCMP0 + 1	1	100_H
16 ビット設定	TPBAnCMP0 + 1	1	10000_H

注意 PWM 周期は，（TPBAnCMP0+1）カウント・クロック周期となります。
従って，100% の PWM 出力を行う場合，設定可能な最大値は $FFFE_H$（FE_H）となります。

注意 このレジスタはリロード対象レジスタです。タイマ動作中の書き換えは，次のリロード・タイミングにて反映されます。
リロードの詳細については 16.5.2「コンペア・レジスタの書き換え操作」を参照してください。

(9) TPBAn デューティ設定レジスタ（TPBAnBUFm）

デューティ設定用の 16 × 64 個のバッファ・レジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TPBAn_base1> + 000_H-$0FC_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPBAnBUFm															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-15 TPBAnBUFm レジスタの内容

ビット位置	ビット名	機能
15-0	TPBAnBUFm 15-0	デューティ値を設定します。 このレジスタは TPBAnDPS ビットにより 16bit × 64 パタン（TPBAnDPS = 0）と 8bit × 128 パタン（TPBAnDPS = 1）を切り替えて使用することが可能です。 いずれのパタンにおいても，CPU からのアクセスは 16 ビット単位で行います。 詳細については 16.5.3「デューティの書き換え操作」を参照ください。

注意 このレジスタへ設定された値は，周期一致検出割り込み（INTTPBAnIPRD）に同期してデューティ設定バッファ・レジスタ（TPBAnCB2）へ転送されます。
タイマ動作中の書き換えは，随時反映されます。
詳細については 16.5.3「デューティの書き換え操作」を参照してください。

(10) TPBAn パタン数設定レジスタ（TPBAnCMP1）

PWM 出力のパタン数を設定します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TPBAn_base1> + 104_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	TPBAnCMP1						
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-16 TPBAnCMP1 レジスタの内容

ビット位置	ビット名	機能
6-0	TPBAnCMP1 [6:0]	パタン数を設定します。設定範囲は以下の通りです。 TPBAnDPS = 0：0-63 TPBAnDPS = 1：0-127

注意 このレジスタはリロード対象レジスタです。タイマ動作中の書き換えは，次のリロード・タイミングにて反映されます。
リロードの詳細については 16.5.2「コンペア・レジスタの書き換え操作」を参照してください。

注意 デューティ設定パタンが 16bit × 64 パタン（TPBAnDPS = 0）の時，パタン数に 64 以上が設定された場合，アドレス・ポインタは “63” → “00” となり，再度 “00” からデューティ値の転送動作が行われます。設定されたパタン数と TPBAnCNT1 の下位値 7 ビットの一致により，パタン数一致検出割込み信号（INTTPBAnIPAT）を出力します。

(11) TPBAn タイマ・カウンタ・レジスタ（TPBAnCNT0）

PWM 出力を生成する 16 ビット・カウンタです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <TPBAn_base1> + 108_H

初期値 $FFFF_H$ どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPBAnCNT0															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

16 ビット・カウンタ このレジスタは，16 ビット・カウンタの値をリードできるカウンタ・レジスタです。

(12) TPBAn アドレス・カウンタ・レジスタ（TPBAnCNT1）

デューティ設定レジスタのアドレス・ポインタを示すカウンタ・レジスタです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <TPBAn_base1> + $10C_H$

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	TPBAnCNT1						
R	R	R	R	R	R	R	R

7 ビット・カウンタ このレジスタは，次に転送するデューティ値が格納されている TPBAnBUFm レジスタを示します。

(13) TPBAn イネーブル・ステータス・レジスタ（TPBAnTE）

タイマ・カウンタの動作／停止状態を示すレジスタです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <TPBAn_base1> + 128_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	TPBAnTE0
R	R	R	R	R	R	R	R

表 16-17 TPBAnTE レジスタの内容

ビット位置	ビット名	機能
0	TPBAnTE0	タイマ・カウンタの動作／停止状態を示すフラグです。 0: タイマ・カウンタ停止状態 1: タイマ・カウンタ動作状態 • TPBAnTS ビットの “1” ライトもしくは同時スタートトリガ入力により TPBAnTE0 ビットが “1” にセットされます。 • TPBAnTT ビットの “1” ライトにより TPBAnTE0 ビットが “0” にクリアされます。

(14) TPBAn スタート・トリガ・レジスタ（TPBAnTS）

タイマ・カウンタのスタート・トリガを制御します。

アクセス 8 ビット単位でライトのみ可能です。リード時には “0” がリードされます。

アドレス <TPBAn_base1> + $12C_H$

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	TPBAnTS0
R	R	R	R	R	R	R	W

表 16-18 TPBAnTS レジスタの内容

ビット位置	ビット名	機能
0	TPBAnTS0	タイマ・カウンタを動作状態とするトリガ・ビットです。 0: 書き込みは無視されます 1: カウント開始（TPBAnTE = 1）

注意 カウント動作中（TPBAnTE=1）の，このレジスタへの書き込みは無視されます。

(15) TPBAn ストップ・トリガ・レジスタ（TPBAnTT）

タイマ・カウンタのストップ・トリガを制御します。

アクセス 8 ビット単位でライトのみ可能です。リード時には “0” がリードされます。

アドレス <TPBAn_base1> + 130_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	TPBAnTT0
R	R	R	R	R	R	R	W

表 16-19 TPBAnTT レジスタの内容

ビット位置	ビット名	機能
0	TPBAnTT0	タイマ・カウンタを停止状態とするトリガ・ビットです。 0: 書き込みは無視されます 1: カウント停止（TPBAnTE = 0）

16.5 基本動作

16.5.1 カウンタ基本動作

(1) 16 ビット・カウンタ（TPBAnCNT0）の基本動作

カウント開始動作 16 ビット・カウンタ（TPBAnCNT0）は，初期値 $FFFF_H$ からカウントを開始します。

クリア動作 カウンタ値と TPBAnCMP0 のバッファ・レジスタ（TPBAnCB0）の設定値の一致により 16 ビット・カウンタをクリアします。

カウント動作中のカウンタ・リード動作 TPBAnCNT0 レジスタにより，カウント動作中の 16 ビット・カウンタの値をリードできます。

(2) 7 ビット・カウンタ（TPBAnCNT1）の基本動作

カウント開始動作 7 ビット・カウンタ（TPBAnCNT1）は，00_H に初期化されカウントを開始します。以降周期一致検出割り込み（INTTPBAnIPRD）と同期してカウントアップします。

クリア動作 カウンタ値と TPBAnCMP1 のバッファ・レジスタ（TPBAnCB1）の設定値の一致により 7 ビット・カウンタをクリアします。

カウント動作中のカウンタ・リード動作 TPBAnCNT1 レジスタにより，カウント動作中の 7 ビット・カウンタの値をリードできます。リード値は次に転送するデューティ値が格納されている TPBAnBUFm レジスタを示します。

16.5.2 コンペア・レジスタの書き換え操作

次のレジスタの書き換えは，リロードで行います。

- TPBAnCMP0
- TPBAnCMP1
- TPBAnTOL

リロード・モード（一斉書き換え機能）

TPBAnRDT レジスタへライトするとビットごとに割り当てられた対象レジスタのリロードが許可され（リロード要求フラグ TPBAnRSF.TPBAnRSFk をセット），次のリロード・タイミングでリロード対象レジスタが一斉に更新されます（リロード）。

TPBAnCMP0 レジスタと TPBAnTOL レジスタのリロード・タイミングは，TPBAnRDM レジスタで設定します。

TPBAnCMP1 レジスタのリロード・タイミングは 7 ビット・カウンタ（TPBAnCNT1）と TPBAnCMP1 のバッファ・レジスタ（TPBAnCB1）の一致タイミング（INTTPBAnIPAT）になります。

リロード対象レジスタは，リロード要求フラグ TPBAnRSF.TPBAnRSFk = 0 のときに書き換えてください。

備考：k = 0, 1

リロード・モード対象レジスタの設定フロー

書き換えたリロード対象レジスタ（TPBAnCMP0-TPBAnCMP1, TPBAnTOL）の値は，リロード・タイミングで一斉に各バッファ・レジスタに転送することができます。

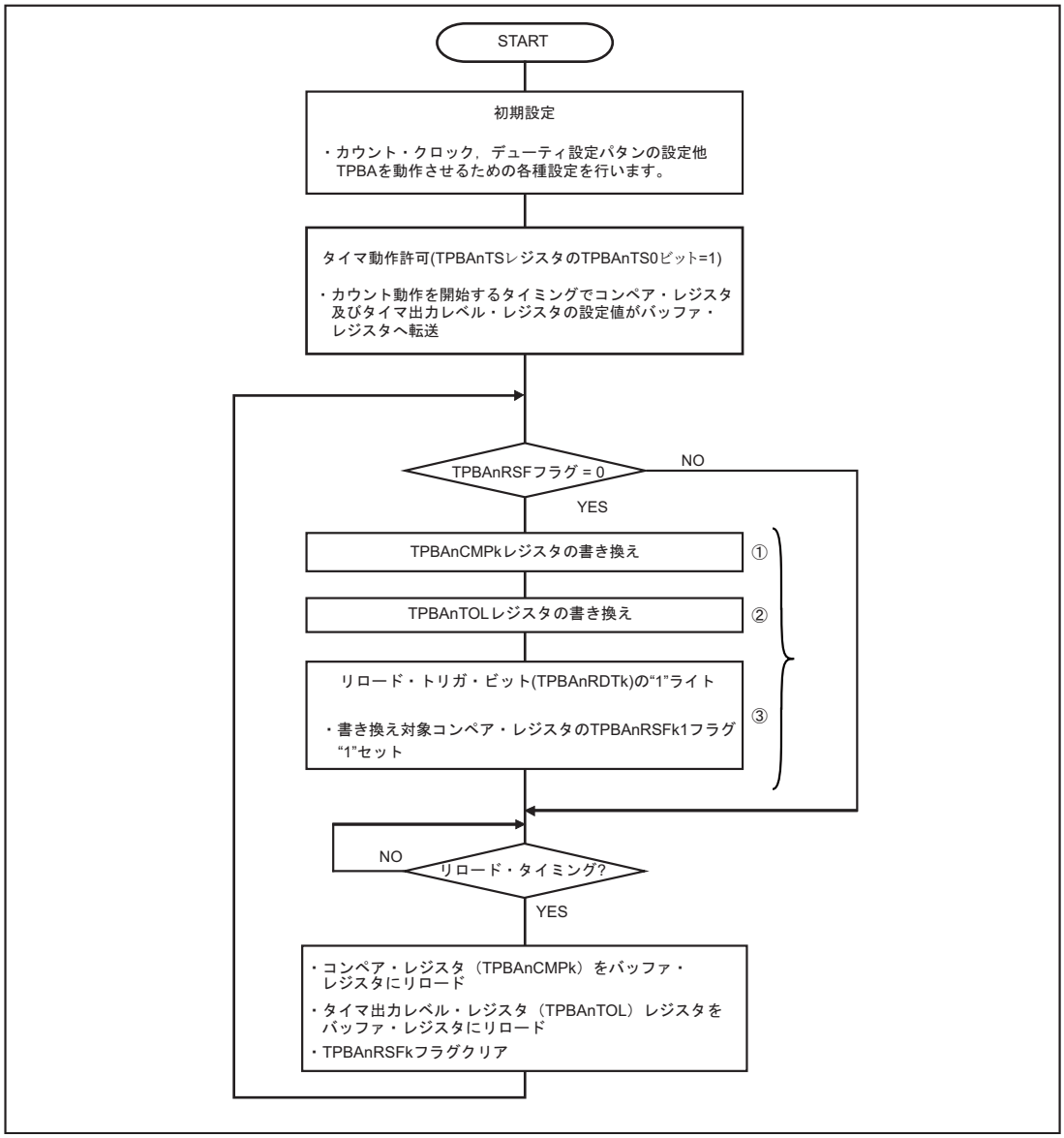


図 16-2 リロード（一斉書き換え機能）の基本動作フロー

備考：k = 0, 1

注意 TPBAnRDTk ビットの “1” セットによりリロードを許可します。したがってTPBAnRDTk ビットの書き換えはリロード対象レジスタの書き換えより後にしてください。

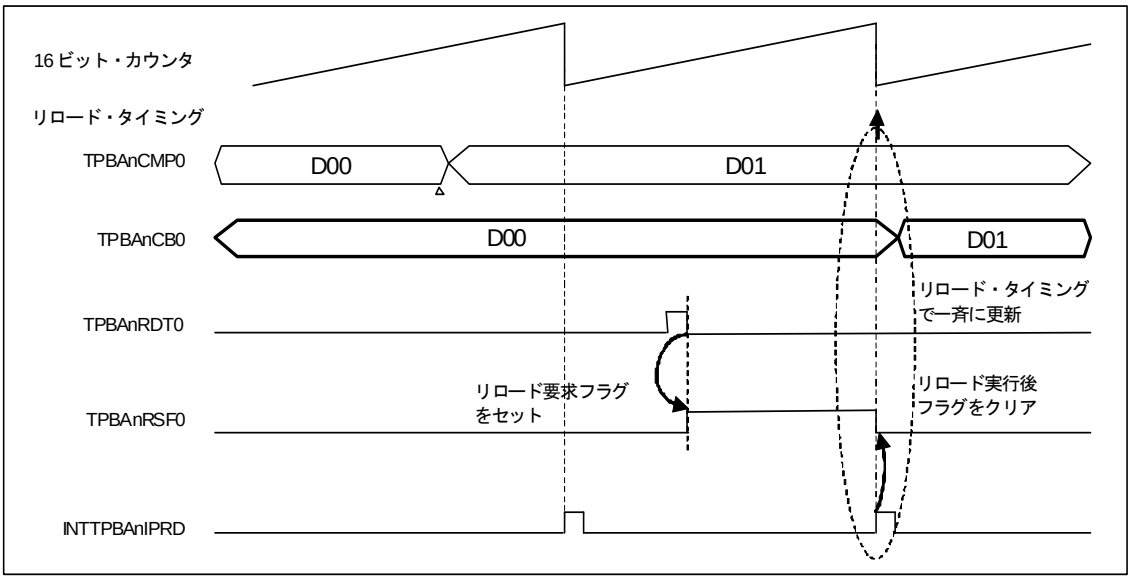


図 16-3 一斉書き換えのタイミング
（TPBAnDPS = 0, TPBAnRDM = 0, TPBAnTOL = 0）

16.5.3 デューティの書き換え操作

TPBAnBUFm レジスタは，動作中の書き換えが可能です。

書き換えた設定は随時書き込みとなります。

(1) TPBAnBUFm レジスタの設定フロー

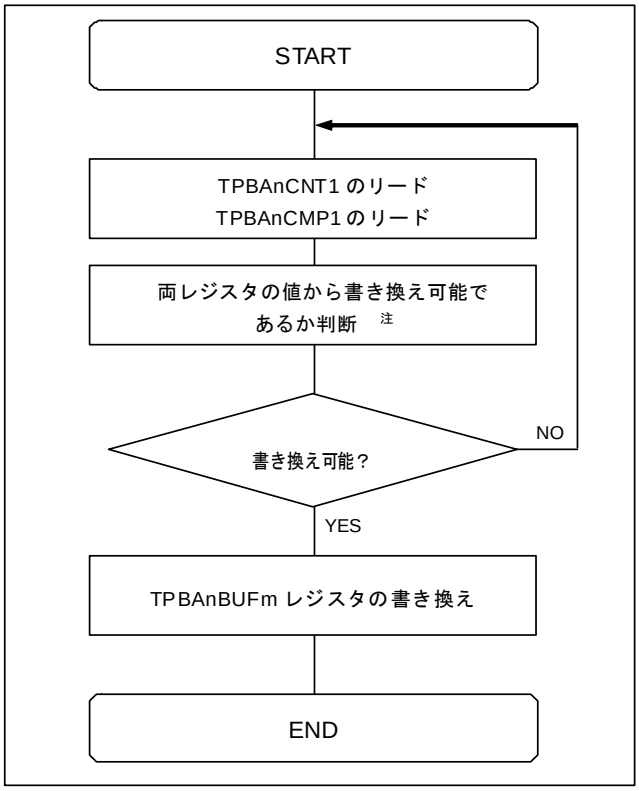


図 16-4 TPBAnBUFm レジスタの基本書き換えフロー

注：TPBAnBUFm レジスタは随時書き込みのため，パタン周期（TPBAnCMP1 で設定したパタン数）の最終デューティ出力中（TPBAnCNT1=00_H）のときに書き換えることを推奨します。

(2) TPBAnBUFm レジスタのアクセス

TPBAnBUFm レジスタは，16 ビット・アクセスです。
16 ビット × 64 パタン，8 ビット × 128 パタンの場合のアクセスは，次の通りになります。

・16 ビット × 64 パタン選択時（TPBAnDPS=0）

CPU からのアクセスは 16 ビット × 1 パタン単位になります

15	0
パタン 64	00FCh
パタン 63	00F8h
・ ・	・ ・
パタン 3	0008h
パタン 2	0004h
パタン 1	0000h

・8 ビット × 128 パタン選択時（TPBAnDPS=1）

CPU からのアクセスは 8 ビット × 2 パタン単位になります

15		0
パタン 128	パタン 127	00FCh
パタン 126	パタン 125	00F8h
・ ・	・ ・	・ ・
パタン 6	パタン 5	0008h
パタン 4	パタン 3	0004h
パタン 2	パタン 1	0000h

(3) TPBAnCNT1 レジスタのリード値と TPBAnBUFm の関係

動作中に TPBAnCNT1 レジスタのカウント値をリードすることにより，現在出力されている PWM 波形のデューティ値を得ることができます。以下の方法により，現在出力中のデューティ値が格納されている TPBAnBUFm レジスタを求めてください。

TPBAnDPS0 ビット	計算式		
	TPBAnCNT1=00_H 以外		TPBAnCNT1 = 00_H
0：16 ビット × 64 パタン	① TPBAnCNT1 - 01_H		② TPBAnCMP1
1：8 ビット × 128 パタン	TPBAnCNT1 が奇数	③ TPBAnCNT1 / 2	⑤ TPBAnCMP1 / 2
	TPBAnCNT1 が偶数	④（TPBAnCNT1 / 2）- 01_H	

① TPBAnDPS = “0” で，TPBAnCNT1 のリード値が TPBAnCNT1 = "00_H" 以外の時

TPBAnCNT1 - 01_H の計算式により該当のレジスタを求めます。

例）TPBAnCNT1 = “08_H” の時：08_H - 01_H = 07_H -> TPBA0BUF07

② TPBAnDPS = “0” で，TPBAnCNT1 のリード値が TPBAnCNT1 = “00_H” の時

TPBAnCMP1 の値により該当のレジスタを求めます。

例）TPBAnCMP1 = “08_H” の時：TPBAnBUF08

③ TPBAnDPS = “1” で，TPBAnCNT1 のリード値が TPBAnCNT1 = 奇数の時

TPBAnCNT1 / 2 の計算式により該当のレジスタを求めます。

例）TPBAnCNT1 = “07_H” の時：07_H / 02_H = 03_H -> TPBAnBUF03（下位 8bit）

④ TPBAnDPS = “1” で，TPBAnCNT1 のリード値が TPBAnCNT1 = 偶数の時

(TPBAnCNT1 / 2) - 01_H の計算式により該当のレジスタを求めます。

例）TPBAnCNT1 = “08_H” の時：(08_H / 02_H) - 01_H = 03_H -> TPBAnBUF03（上位 8bit）

⑤ TPBAnDPS = “1” で，TPBAnCNT1 のリード値が TPBAnCNT1 = “00_H” の時

TPBAnCMP1 / 2 の計算式により該当のレジスタを求めます。

例）TPBAnCMP1=“08_H” の時：08_H / 2 = 04_H -> TPBAnBUF04（下位 8bit）

16.5.4 基本動作例

概要 TPBAnCMP0 レジスタの PWM 周期，TPBAnBUF00-TPBAnBUF63 レジスタのデューティにより，PWM を TPBnO 端子から出力します。

前提条件
- TPBAnDPS レジスタの設定により，16 ビット × 64 パタンか 8 ビット × 128 パタンを選択。
- TPBAnBUF00-TPBAnBUF63 レジスタにデューティを設定。
- TPBAnCMP1 レジスタにパタン数を設定

機能説明 PWM 周期，パタン数，デューティ，出力を設定。TPBAnTS.TPBAnTS0 = 1（または同時スタートトリガを入力）にすると，カウント・アップを開始します。

カウント・アップ開始と同時に，TPBnO 端子はアクティブ・レベルとなり，TPBAnCNT1 レジスタはカウント・アップし次のデューティ値が格納されているバッファのアドレスを示します。

16 ビット・カウンタと TPBAnBUFm バッファ・レジスタ（TPBAnCB2）の一致によりインアクティブ・レベルとなります。

次に 16 ビット・カウンタと TPBAnCMP0 バッファレジスタ（TPBAnCB0）の一致により TPBAnBUFm レジスタからバッファレジスタ（TPBAnCB2）に転送され TPBAnCNT1 がカウント・アップし，周期一致検出割り込み（INTTPBAnIPRD）が発生します。TPBnO 端子は 1 カウント・クロック後にアクティブ・レベルとなります。

カウント動作中，16 ビット・カウンタと TPBAnBUFm のバッファ・レジスタ（TPBAnCB2）の一致でデューティ一致検出割り込み（INTTPBAnIDTY）が発生します。

7 ビット・カウンタと TPBAnCMP1 バッファ・レジスタ（TPBAnCB1）の一致でパタン一致検出割り込み（INTTPBAnIPAT）が発生します。

(1) 動作一覧

表 16-20 16 ビット・カウンタ機能

動作		設定条件
16 ビット・カウンタ	スタート	TPBAnTS = 1 ライト または，同時スタート・トリガ
	クリア	TPBAnCMP0 バッファ・レジスタと 16 ビット・カウンタのコンペア一致
	停止	TPBAnTT = 1 ライト

表 16-21 7 ビット・カウンタ機能

動作		設定条件
7 ビット・カウンタ	スタート	TPBAnTS = 1 ライト または，同時スタート・トリガ
	クリア	TPBAnCMP1 バッファ・レジスタと 7 ビット・カウンタのコンペア一致
	停止	TPBAnTT = 1 ライト

表 16-22 コンペア・レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TPBAnCMP0	リロード	可能	周期
TPBAnCMP1	リロード	可能	パタン数
TPBAnBUFm	随時書き換え	可能	デューティ
TPBAnTOL	リロード	可能	出力レベル

表 16-23 タイマ出力機能

端子	機能
TPBnO	• 出力許可時（TPBAnTOE=01_H） TPBAnBUFm バッファ・レジスタ（TPBAnCB2）と 16 ビット・カウンタのコンペア一致による PWM 出力 • 出力停止時（TPBAnTOE=00_H） TPBAnTO レジスタの設定値

表 16-24 割り込み要求

割り込み	機能
INTTPBAnIPRD	周期一致検出割り込み
INTTPBAnIDTY	デューティ一致検出割り込み
INTTPBAnIPAT	パタン数一致検出割り込み

表 16-25 コンペア一致タイミング

コンペア一致	タイミング
TPBAnCMP0	16 ビット・カウンタが TPBAnCMP0 と一致 → 0000_H へ切り替わるとき
TPBAnCMP1	7 ビット・カウンタが TPBAnCMP1 と一致 → 00_H へ切り替わるとき
TPBAnBUFm	16 ビット・カウンタとバッファレジスタ（TPBAnCB2）の一致したとき

表 16-26 タイマ出力条件別の設定例

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TPBnO	PWM 出力	（TPBAnCMP0 ＋ 1）× カウント・クロック	1 周期の期間内全てインアクティブ・レベル出力（デューティ 0%）	TPBAnBUFm = 0000_H
			1 周期で 1 カウント・クロックのアクティブ・レベル出力	TPBAnBUFm = 0001_H
			1 周期で 1 カウント・クロックのインアクティブ・レベル出力	TPBAnBUFm = TPBAnCMP0
			1 周期の期間内全てアクティブ・レベル出力（デューティ 100%）	TPBAnBUFm ≧ TPBAnCMP0 + 1

TPBAnCMP0, TPBAnTOL レジスタのリロード・タイミングをパタン数一致検出割り込みとした場合（TPBAnIRDM.TPBAnRDM0 = 0, TPBAnTOL = 0）

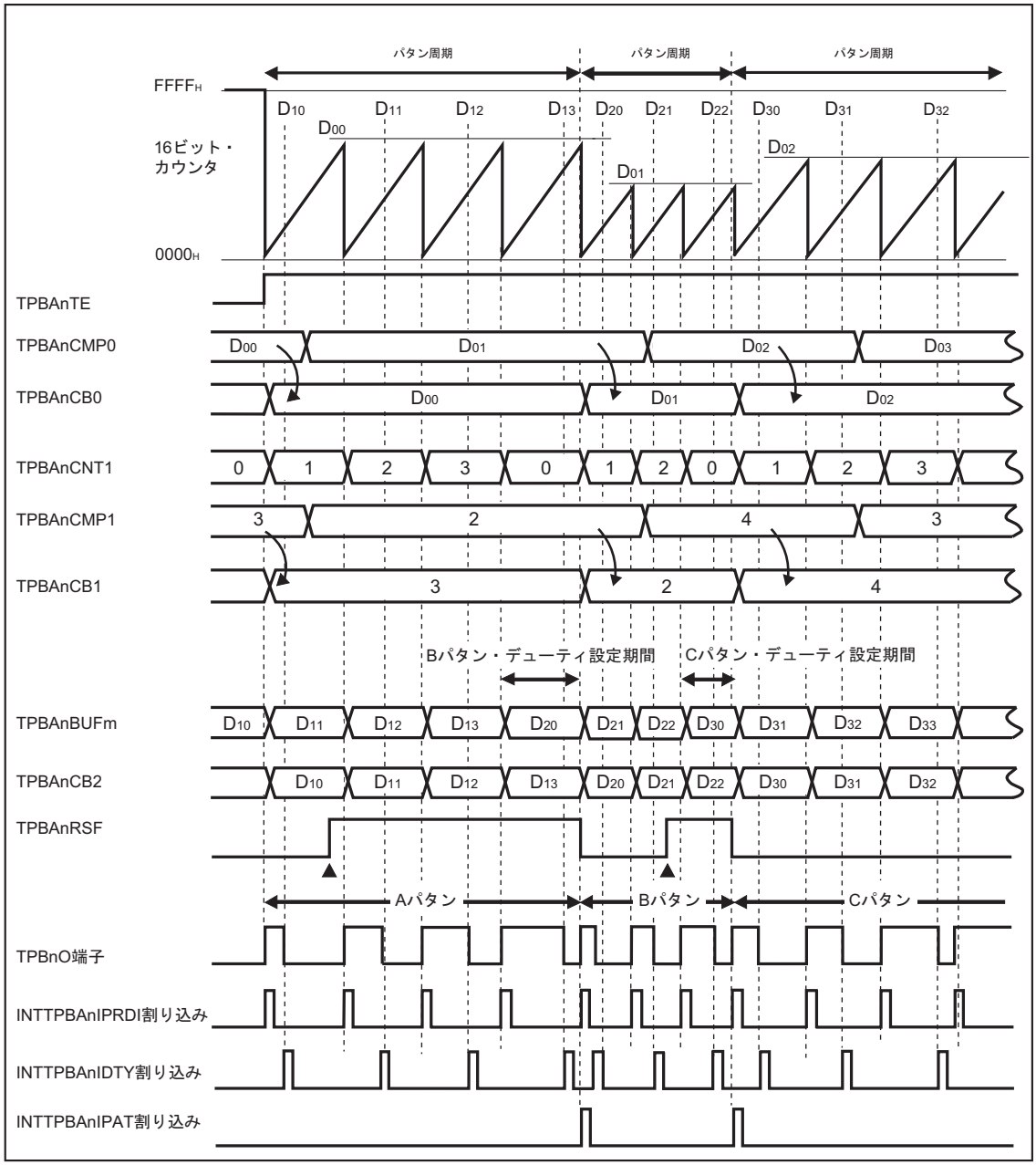


図 16-4 基本動作タイミング例（1/2）

備考 1. PWM デューティ = (TPBAnBUFm) / (TPBAnCMP0 レジスタの設定値 +1)
PWM 周期 =（TPBAnCMP0 レジスタの設定値 +1）×（カウント・クロック周期）

2. ▲：TPBAnRDT レジスタ “1” ライト・アクセス

TPBAnCMP0, TPBAnTOL レジスタのリロード・タイミングを周期一致検出割り込みとした場合（TPBAnIRDM.TPBAnRDM0 = 1, TPBAnTOL = 0）

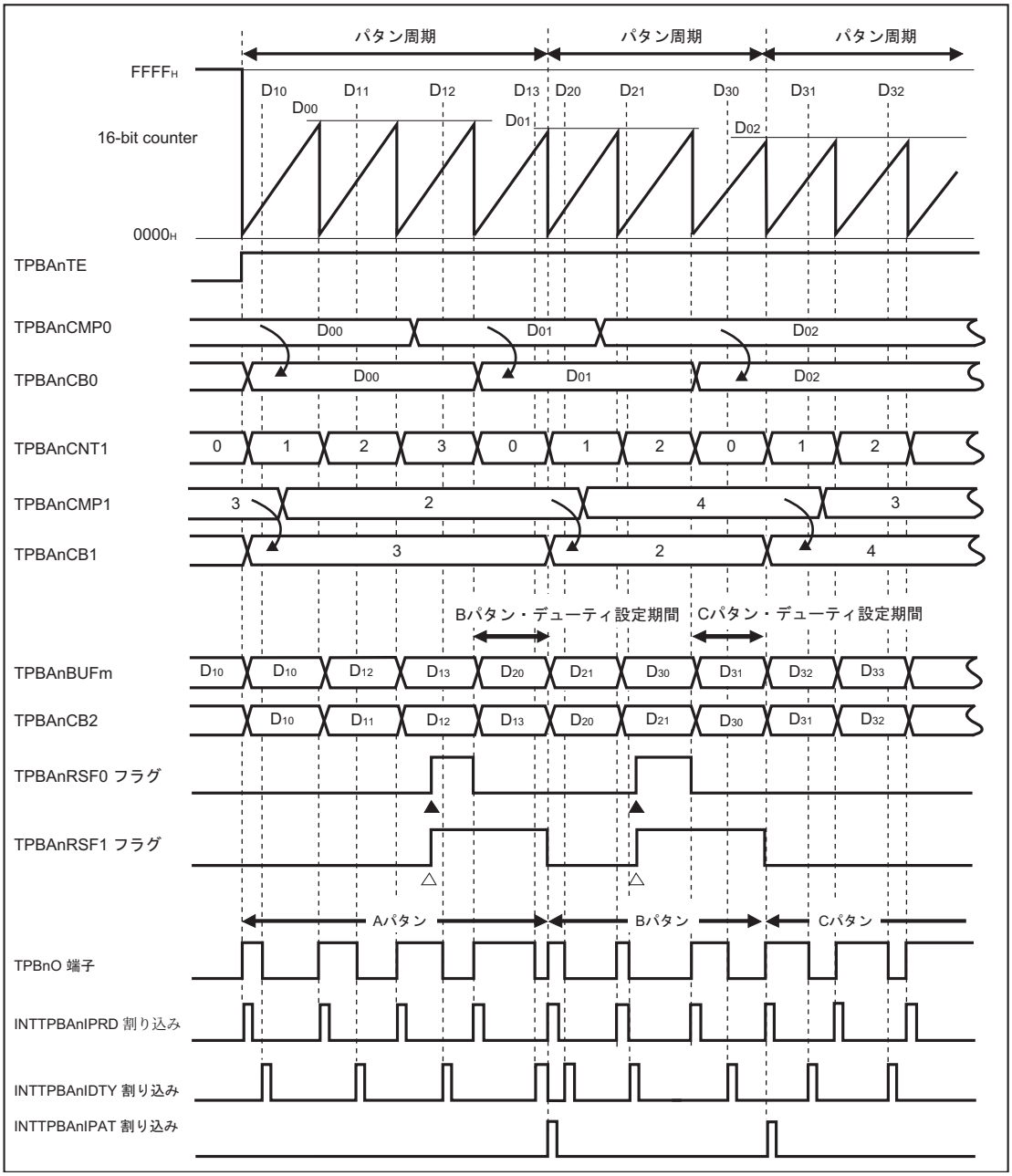


図 16-4 基本動作タイミング例（2/2）

備考 1. PWM デューティ = (TPBAnBUFm) / (TPBAnCMP0 レジスタの設定値 +1)
PWM 周期 =（TPBAnCMP0 レジスタの設定値 +1）×（カウント・クロック周期）

2. ▲：TPBAnRDT0 ビット “1” ライト・アクセス

3. △：TPBAnRDT1 ビット “1” ライト・アクセス

第 17 章 OS タイマ（OSTM）

この章では，OS タイマの機能について説明します。

17.1 OSTM の特徴

チャネル この製品は次のチャネル数の OS タイマを搭載しています。

表 17-1 OS タイマのチャネル

OS タイマ	
チャネル数	2
名称	OSTMn

n の意味 この章では，OS タイマの各チャネルを「n」で識別します。たとえば，n 出力レジスタ（OSTMnTO）（n = 0, 1）のように記述しています。

レジスタ・アドレス OS タイマ・レジスタのアドレスは，それぞれのベース・アドレス <OSTMn_base0>，<OSTMn_base1> からのオフセットで表されます。
各 OSTMn のレジスタ・ベース・アドレスを次の表に示します。

表 17-2 レジスタ・ベース・アドレス

OSTMn	<OSTMn_base0> アドレス	<OSTMn_base1> アドレス
OSTM0	FF80 0000_H	FFFF $C000_H$
OSTM1	FF80 1000_H	FFFF $C100_H$

クロック供給 OS タイマは以下のクロックが入力されます。

表 17-3 OSTM クロック供給

OSTMn	OSTMn のクロック	接続先
OSTM0	PCLK	クロック・コントローラ
OSTM1		

割り込み OS タイマは次の割り込み要求を発生できます。

表 17-4 OSTMn の割り込み要求

OSTMn の信号	機能	接続先
OSTM0TINT	OSTM0 の割り込み	割り込みコントローラ INTOSTM0
OSTM1TINT	OSTM1 の割り込み	割り込みコントローラ INTOSTM1

I/O 信号　OS タイマの I/O 信号を以下の表に示します。

表 17-5　OSTMn の I/O 信号

OSTMn の信号	機能	接続先
OSTM0TTOUT	OS タイマ出力	OSTM0O
OSTM1TTOUT		OSTM1O

表 17-6　OSTMn の信号処理

OSTMn の信号	機能	接続先
OSTMnTCKE	カウント・クロック・イネーブル	IC0CKSELn レジスタで選択のクロック
OSTMnTSST	カウント同時スタート・トリガ	PIC 機能

備考　1. OSTMnTCKE 信号より供給するカウント・クロックは，IC0CKSELn レジスタと供給元となる TAUB，TAUJ の設定に依存します。詳細は 17.3.1「カウント・クロック」を参照してください。

2. カウント同時スタート・トリガ（OSTMnTSST）を使用する場合は，24.4.1「同時スタート・トリガ機能」を参照してください。

17.2 機能概要

機能概要 OS タイマには，次の機能があります。

- 2 つの動作モード
  - インターバル・タイマ・モード
  - フリー・ランニング・コンペア・モード
- 2 つの出力モード
  - ソフトウエア制御モード
  - タイマ出力トグル・モード
- ユニット間の同時スタート

OS タイマの主な構成要素を次のブロック図に示します。

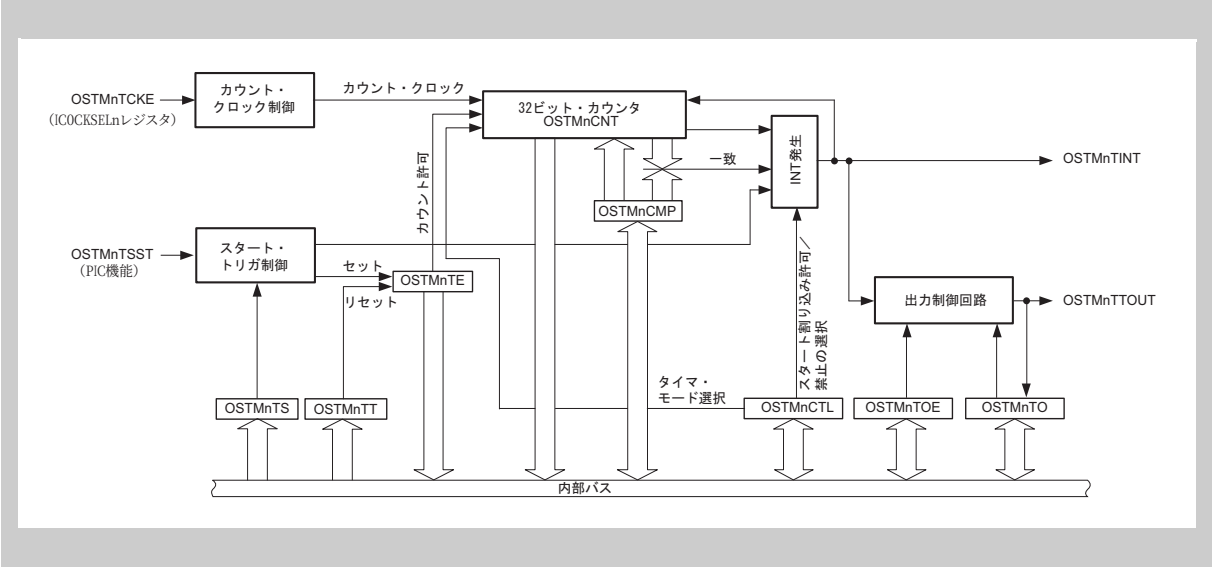


図 17-1 OS タイマのブロック図

17.3 機能説明

OS タイマは 32 ビットのタイマ／カウンタです。

動作モードを選択することによりカウントのアップ・ダウン方向を指定し，割り込み要求の生成を制御します。

17.3.1 カウント・クロック

OS タイマのカウント・クロックは，OSTMnTCKE の入力によって次のように定義されます。

- IC0KSELn.IC0TMEN0 = 0 に設定することで OSTMnTCKE = 1（ハイ）となり，カウント・クロック周期は PCLK となります。
- IC0KSELn.IC0TMEN0 = 1 に設定することで TAUB ／ TAUJ で選択しているクロックと同一クロックがカウント・クロック周期となります。

これを次の図に示します。

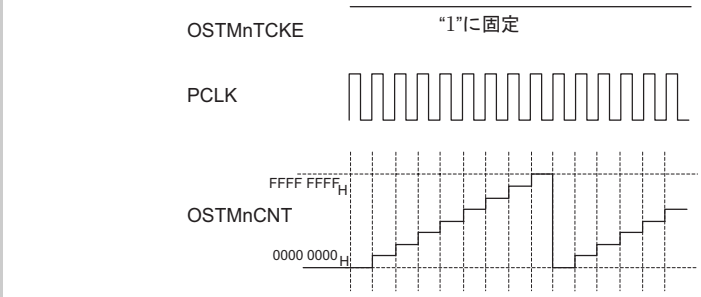


図 17-2 OSTMnTCKE をハイにした場合の動作（IC0KSELn.IC0TMEN0 = 0）

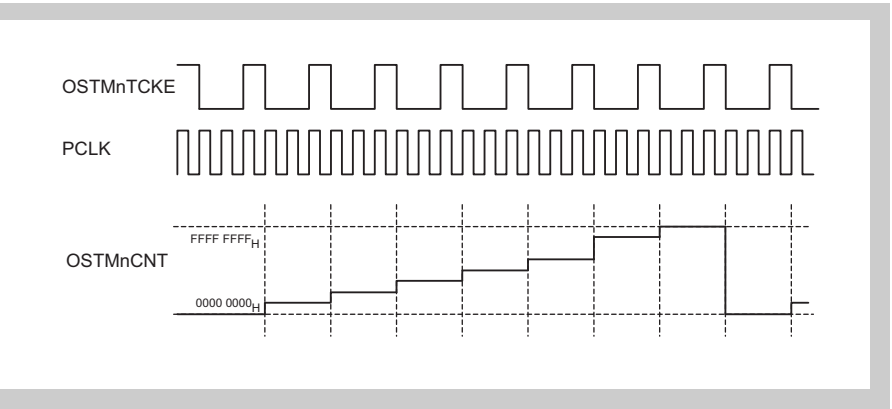


図 17-3 OSTMnTCKE が PCLK の 3 周期ごとにハイとなる場合の動作（IC0KSELn.IC0TMEN0 = 1）

OSTM は，外部より接続される信号（OSTMnTCKE）を，カウント・クロックのクロック・イネーブルとして使用し，間欠動作する機能を実装しています。

カウント・クロックのクロック・イネーブル信号を，TAUB0 の各 16ch，TAUJ0 の各 4ch，合計 20ch の中から選択することが可能です。選択は IC0CKSELn レジスタにて行います。

注意 1.OSTMn カウント・クロック・イネーブル信号の選択は，OSTMn の動作が停止している状態（OSTMnTE.OSTMnTE ビット = 0）で行ってください。

2.OSTMn カウント・クロック・イネーブル信号を IC0CKSELn.IC0CKSELn[13:0] ビットで選択した後，IC0CKSELn.IC0TMENn ビット = 1 に設定してください。

3.OSTMn カウント・クロック・イネーブル信号として TAUBn または TAUJn を選択している場合（IC0CKSELn.IC0TMENn ビット = 1），OSTMn の動作中（OSTMnTE.OSTMnTE ビット = 1）は選択している TAUBn または TAUJn の動作を変更しないでください。

【設定手順】

（1）OSTMnTE.OSTMnTE ビット = 0 を確認（OSTMn の動作が停止）

（2）IC0CKSELn.IC0CKSELn[13:0] ビットで OSTMn カウント・クロック・イネーブル信号を選択

（3）IC0CKSELn.IC0TMENn ビット = 1 に設定

（4）OSTMnTS.OSTMnTS ビット = 1 で OSTMn 動作許可

17.3.2 出力モード

OS タイマには，次の出力モードがあり，OSTMnTOE.OSTMnTOE ビットで設定します。

- ソフトウエア制御モード（OSTMnTOE.OSTMnTOE ビット = 0）：

  OSTMnTO.OSTMnTO ビットに設定した値が OSTMnTTOUT に出力されます。

- タイマ出力トグル・モード（OSTMnTOE.OSTMnTOE ビット = 1）：

  OSTMnTINT 要求が発生すると，OSTMnTTOUT 出力がトグルします。

2 つの出力モードを次の図に示します。

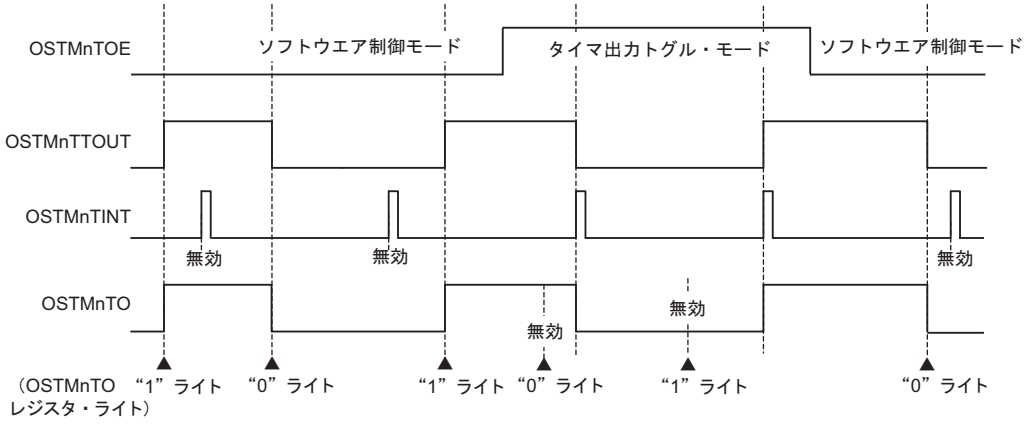


図 17-4 出力モードのタイミング図

上記のタイミング図では次の内容を示しています。

- ソフトウエア制御モードでは，OSTMnTTOUT 出力が OSTMnTO.OSTMnTO ビットに設定された値になります。
- タイマ出力トグル・モードでは，OSTMnTINT 割り込み要求が発生すると OSTMnTO.OSTMnTO ビットと OSTMnTTOUT 出力がトグルします。

17.3.3 割り込み要求の生成

カウンタが 0000 0000_H に到達したとき（インターバル・タイマ・モードの場合）またはカウンタがコンペア値と一致したとき（フリー・ランニング・コンペア・モードの場合）に割り込み要求 OSTMnTINT が発生します。

さらに，割り込み要求はカウント開始時またはカウント再開時にも生成できます。これは OSTMnCTL.OSTMnMD0 ビットで制御します。

OSTMnTINT はタイマ出力トグル・モード（OSTMnTOE.OSTMnTOE = 1）で OSTMnTTOUT 出力のトグルのトリガとなるため，
OSTMnCTL.OSTMnMD0 ビットの設定は OSTMnTTOUT 出力にも影響します。

これを次の図に示します。

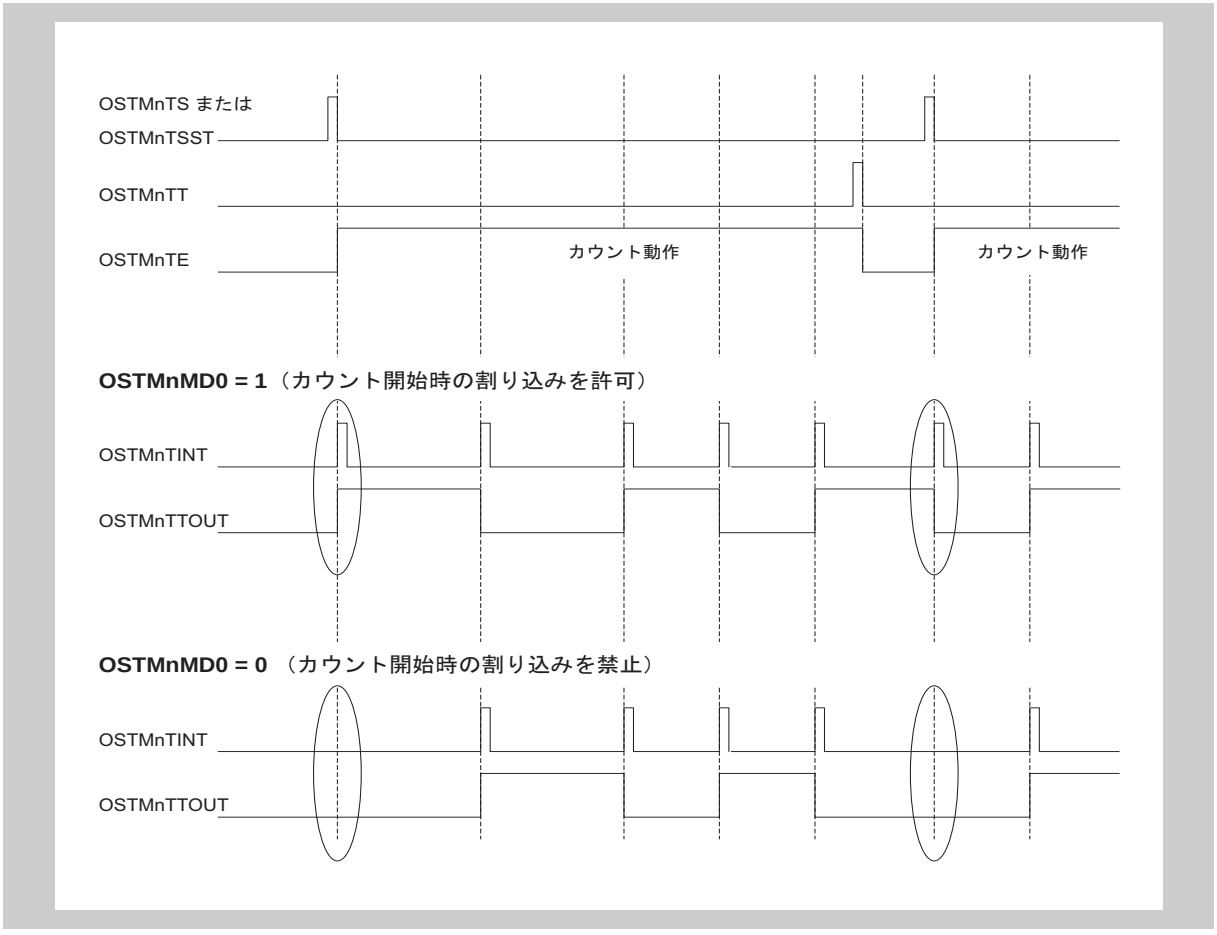


図 17-5 カウント開始時の割り込み生成

17.3.4 タイマの起動と停止

OS タイマは次のように起動し，停止します。

起動 タイマは次のいずれかによって起動します。

- OSTMnTS.OSTMnTS ビット = 1 に設定
- OSTMnTSST 信号（同時スタート使用時）をハイに設定

ステータス・ビット OSTMnTE.OSTMnTE が 1 に設定されます。

動作モードによって，カウンタはカウント・ダウンまたはカウント・アップを開始します。詳細は *948 ページの 17.3.5「インターバル・タイマ・モード」* と *952 ページの 17.3.6「フリー・ランニング・コンペア・モード」* を参照してください。

停止 タイマは，OSTMnTT.OSTMnTT ビット = 1 に設定することで停止します。

ステータス・ビット OSTMnTE.OSTMnTE がクリアされます。

カウンタが停止すると，次のカウント動作が開始されるまで，OSTMnTO レジスタと OSTMnTTOUT 出力，OSTMnCNT レジスタはその時点での値を保持します。

同時スタート PIC 機能より出力される OSTMnTSST 信号を使用して，複数のタイマを同時に起動することができます。設定方法は，*第 24 章「Peripheral Interconnection（PIC）」* を参照してください。

初期化 リセット解除後のインターバル・タイマ・モード，フリー・ランニング・コンペア・モードの初期化は，以下の設定手順にて行います。

1. OSTMnCMP レジスタにダウン・カウンタの開始値／コンペア値を設定します。
2. OSTMnTTOUT 出力をトグルさせる場合
   - ソフトウエア制御モード（OSTMnTOE.OSTMnTOE = 0）で，OSTMnTO レジスタを初期化します。
   - タイマ出力トグル・モード（OSTMnTOE.OSTMnTOE = 1）を選択します。
3. OSTMnCTL.OSTMnMD1 ビットを設定することによってインターバル・タイマ・モード／フリー・ランニング・コンペア・モードを選択します。
4. カウント開始時の割り込みモードを選択します（OSTMnCTL.OSTMnMD0 = 1 or 0）。

17.3.5 インターバル・タイマ・モード

インターバル・タイマ・モードでは，OS タイマを一定の間隔で割り込み要求を発生する基準タイマとして使用できます。

(1) インターバル・タイマ・モードの基本動作

インターバル・タイマ・モードでは，タイマは OSTMnCMP レジスタで指定された値からカウント・ダウンします。カウンタ値が 0000 0000_H に到達した場合に，割り込み要求 OSTMnTINT が発生します。

インターバル・タイマ・モードは OSTMnCTL.OSTMnMD1 ビット = 0 で設定されます。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。カウント動作中に書き換えられた場合，カウンタ値が 0000 0000_H に到達後，カウンタは次のカウント・クロックで OSTMnCMP レジスタ値から動作を開始します。

OSTMnTINT 期間と OSTMnTTOUT 出力期間

OSTMnTINT と OSTMnTTOUT 出力の期間は次のようになります。

- OSTMnTINT 発生期間 = カウント・クロック期間 × (OSTMnCMP ＋ 1)
- OSTMnTTOUT 出力期間 = OSTMnTINT 発生期間 × 2

次の図に，インターバル・タイマ・モードでカウンタ・スタート割り込みを許可された場合（OSTMnCTL.OSTMnMD0 = 1）の基本動作と，タイマ出力トグルモード（OSTMnTOE.OSTMnTOE = 1）での OSTMnTTOUT 出力を示します。

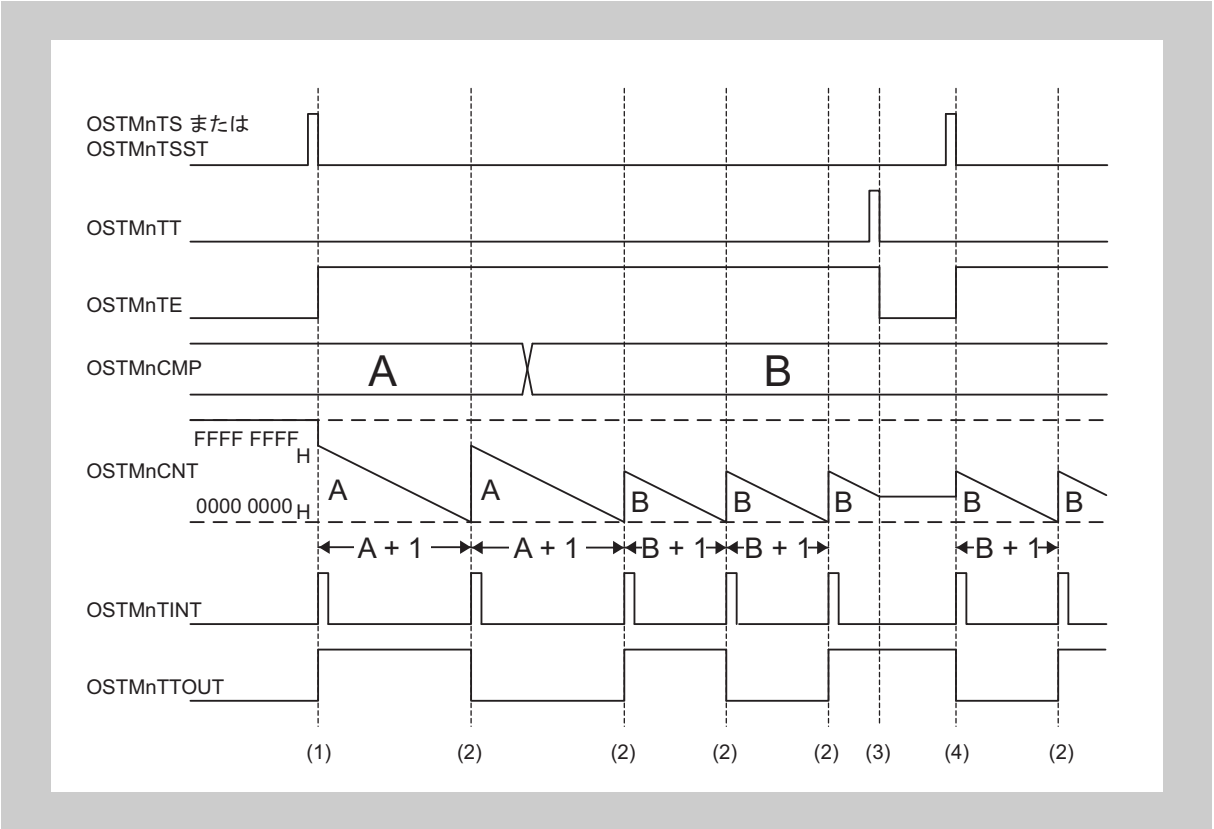


図 17-6 インターバル・タイマ・モードの OS タイマのタイミング図

上記のタイミング図では次の内容を示しています。

1. カウンタは，OSTMnTS.OSTMnTS = 1 または OSTMnTSST = ハイ（同時スタート・トリガ使用時）によりカウントを開始します。
   カウントが開始されるとカウンタは，OSTMnCMP の値からカウント・ダウンを開始します。OSTMnCTL.OSTMnMD0=1 の場合は，カウント開始タイミングで割り込み要求 OSTMnTINT が発生し，OSTMnTTOUT 出力がトグルします。カウンタ値は OSTMnCNT レジスタで示されます。
2. カウンタが 0000 0000_H に到達すると，割り込み要求 OSTMnTINT が発生し，OSTMnTTOUT 出力がトグルします。カウンタは，OSTMnCMP の値からカウント・ダウンを開始します。
3. OSTMnTT.OSTMnTT = 1 によりカウンタが停止すると，OSTMnTE.OSTMnTE ビットがクリアされ，カウンタが停止中であることを示します。
   カウンタは，カウントを再開するまでその時点での値を保持します。
4. OSTMnTS.OSTMnTS = 1 または OSTMnTSST = ハイ（同時スタート使用時）によりカウントを再開すると，カウンタは，OSTMnCMP の値からカウント・ダウンを開始します。

強制リスタート カウンタの強制リスタートは，カウント動作中に OSTMnTS.OSTMnTS = 1 または OSTMnTSST 信号（同時スタート使用時）をハイに設定することによって実行されます。

カウンタは，OSTMnCMP の値からカウント・ダウンを開始します。

次の図に，インターバル・タイマ・モードでカウンタ・スタート割り込みが許可（OSTMnCTL.OSTMnMD0 = 1），OSTMnTTOUT 出力がタイマ出力トグル・モードの場合（OSTMnTOE.OSTMnTOE = 1）の OS タイマの強制リスタートを示します。

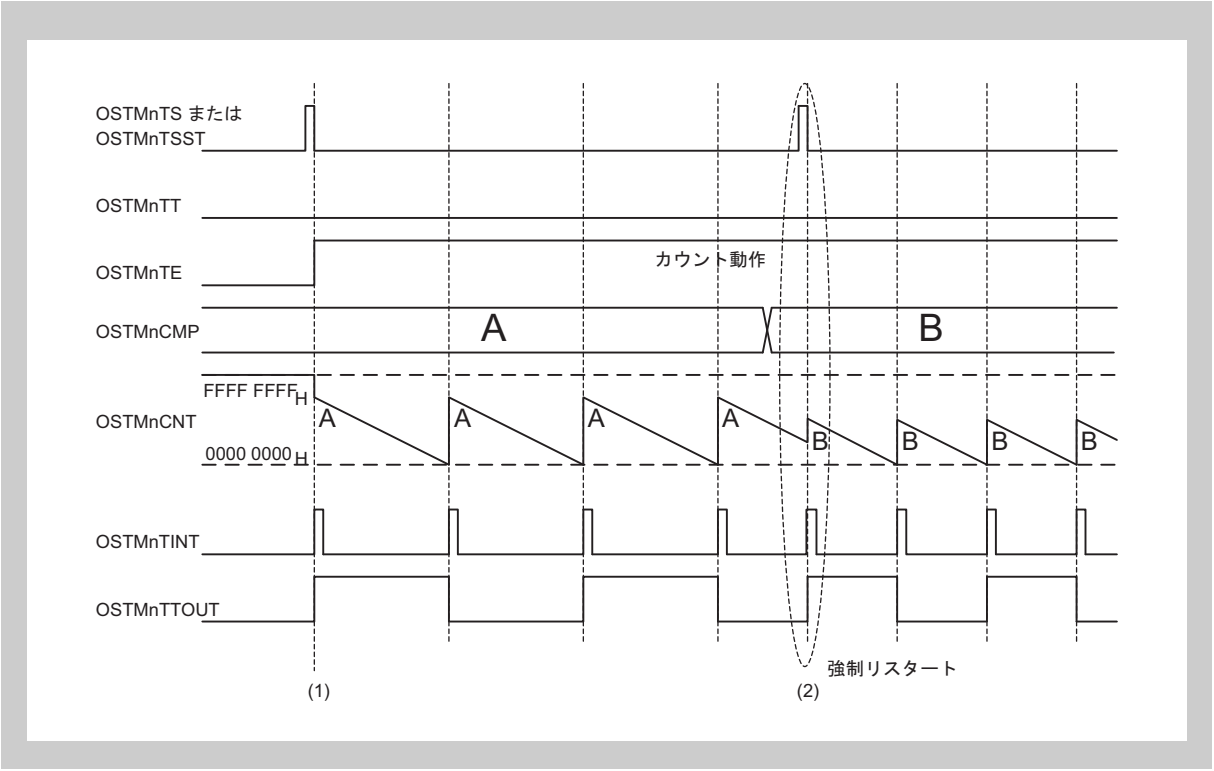


図 17-7 インターバル・タイマ・モードの強制リスタートのタイミング図

上記のタイミング図では次の内容を示しています。

1. カウンタは，*図 17-6「インターバル・タイマ・モードの OS タイマのタイミング図」* に示し，説明されているように動作を開始します。
2. カウンタ動作中（OSTMnTE.OSTMnTE = 1）に OSTMnTS.OSTMnTS = 1 または OSTMnTSST = ハイ・レベル（同時スタート・トリガ使用時）になると，カウンタは強制リスタートします。

   カウンタは，ただちに OSTMnCMP レジスタから開始値をロードし，ロードした値から動作します。

   OSTMnCTL.OSTMnMD0 = 1 の場合は，カウント開始タイミングで割り込み要求 OSTMnTINT が発生し，OSTMnTTOUT 出力がトグルします。

(2) OSTMnCMP = 0000 0000_H の場合の動作

OSTMnCMP = 0000 0000_H の場合に，OS タイマは次のように動作します。

- カウント・クロックを PCLK とした場合，カウント動作開始から動作停止まで割り込み要求 OSTMnTINT がハイ固定になるため，OSTMnCMP = 0000 0000_H 設定時，OSTMnTINT 割り込み出力は使用できません。ただし，タイマ（OSTMnTTOUT）出力は使用できます。タイマ出力トグル・モードを使用し，タイマ（OSTMnTTOUT）出力を行うとカウント・クロック毎にトグル出力します。

次の図に，OSTMnCMP = 0000 0000_H，カウンタ・スタート割り込みが許可（OSTMnCTL.OSTMnMD0 = 1），OSTMnTTOUT 出力がタイマ出力トグル・モードの場合（OSTMnTOE.OSTMnTOE = 1）の OS タイマの動作を示します。

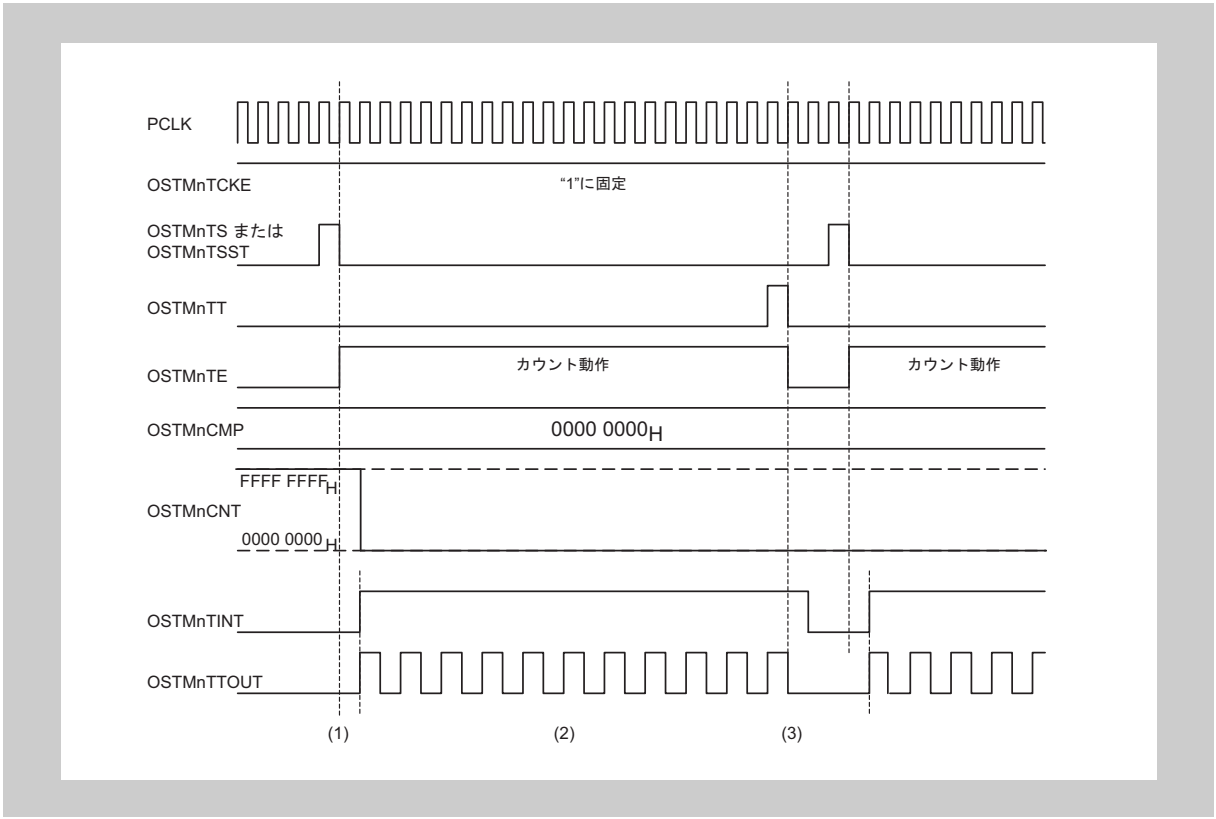


図 17-8 インターバル・タイマ・モードで OSTMnCMP = 0000 0000_H の場合のタイミング図（カウント・クロック = PCLK（OSTMnTCKE = ハイ））

上記のタイミング図では次の内容を示しています。

1. カウントを開始すると，OSTMnCMP レジスタの値をロードするため，0000 0000_H のままです。
2. 割り込み要求 OSTMnTINT が発生すると，OSTMnTTOUT 出力がトグルします。（*図 17-8* は，カウント・クロック = PCLK のため，OSTMnTINT がハイ固定となります。）
3. カウンタが停止すると，割り込み要求 OSTMnTINT が停止し，OSTMnTTOUT 出力は，出力レベルを保持します。

17.3.6 フリー・ランニング・コンペア・モード

(1) フリー・ランニング・コンペア・モードの基本動作

フリー・ランニング・コンペア・モードでは，カウンタは 0000 0000_H から FFFF $FFFF_H$ までカウント・アップします。OSTMnCMP レジスタの値が現在のカウンタ値と一致すると，割り込み要求 OSTMnTINT が発生します。
フリー・ランニング・コンペア・モードは，OSTMnCTL.OSTMnMD1 ビット = 1 で設定します。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。
次の図に，フリー・ランニング・コンペア・モードでカウント開始が許可（OSTMnTS.OSTMnTS = 1），OSTMnTTOUT 出力がタイマ出力トグル・モードの場合（OSTMnTOE.OSTMnTOE = 1）の OS タイマの基本動作を示します。

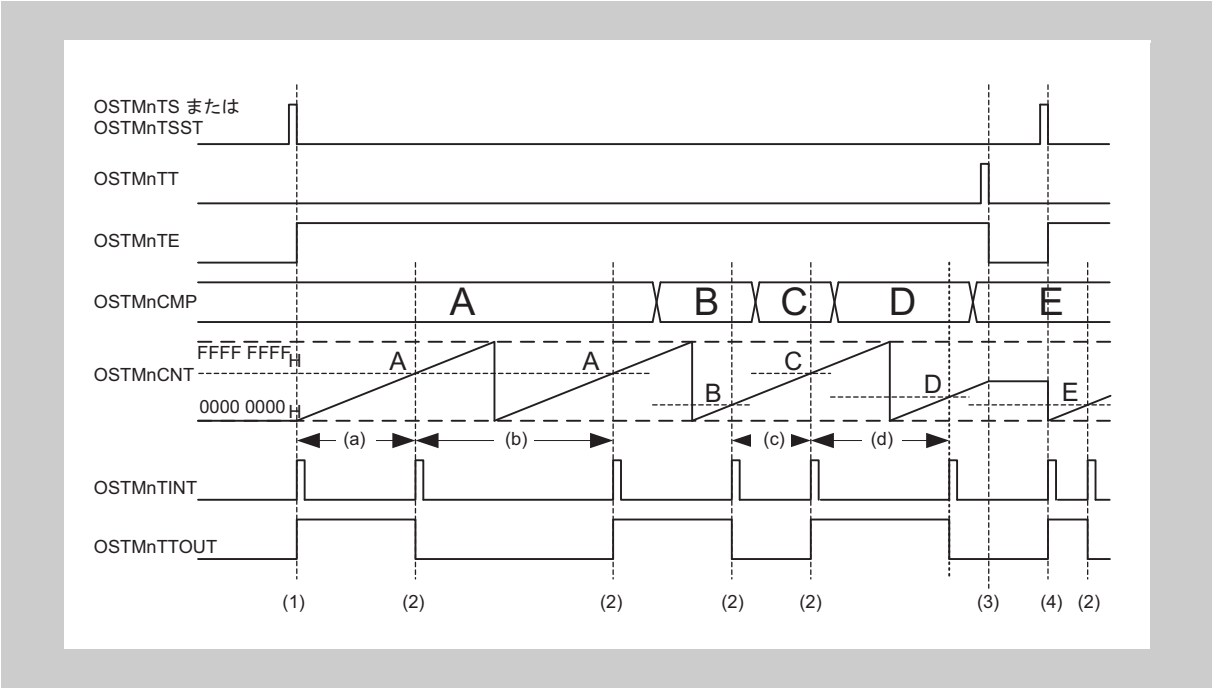


図 17-9 フリー・ランニング・コンペア・モードの OS タイマのタイミング図

上記のタイミング図では次の内容を示しています。

1. カウンタは，OSTMnTS.OSTMnTS = 1 または OSTMnTSST = ハイ（同時スタート使用時）によりカウントを開始します。OSTMnTE.OSTMnTE ビットがセットされ，カウンタが動作中であることを示します。カウンタは 0000 0000_H から FFFF $FFFF_H$ までカウント・アップします。カウンタ値はレジスタ OSTMnCNT で示されます。
2. OSTMnCMP レジスタの値が現在のカウンタ値と一致すると，OSTMnTINT 割り込み要求が発生し，OSTMnTTOUT 出力がトグルします。
3. カウンタが停止すると（OSTMnTT.OSTMnTT = 1），OSTMnTE.OSTMnTE ビットがクリアされ，カウンタが停止中であることを示します。
   カウンタは，カウントを再開するまでその時点での値を保持します。
4. OSTMnTS.OSTMnTS = 1 または OSTMnTSST = ハイ（同時スタート使用時）によりカウントを再開すると，カウンタは 0000 0000_H からカウン

トを開始します。
割り込み OSTMnTINT の発生期間は，OSTMnCMP レジスタの更新のタイミングと，そのときのカウンタ値に依存します。割り込み OSTMnTINT の発生期間の計算式は以下の表を参照してください。

表 17-7 OSTMnTINT 発生のタイミング

古いコンペア値	新しいコンペア値	書き換え時のカウンタ値	OSTMnTINT の発生期間	タイミング図のラベル
カウント開始			(A + 1) × カウント・クロック期間	(a)
A	A	書き換えなし	(FFFF $FFFF_H$ + 1) × カウント・クロック期間	(b)
B	C > B	B < カウンタ値 < C	(C – B) × カウント・クロック期間	(c)
C	D < C	カウンタ値 > D, C	(FFFF $FFFF_H$ – C + D + 1) × カウント・クロック期間	(d)

備考 A, B, C, D は*図 17-9「フリー・ランニング・コンペア・モードの OS タイマのタイミング図」*中の OSTMnCMP の値を示します。

強制リスタート カウント動作中に OSTMnTS.OSTMnTS ビットがセットされた場合や OSTMnTSST = ハイ（同時スタート使用時）の場合でも，カウンタの強制リスタートは実行されません。カウンタは，この設定を無視してカウントを継続します。

(2) OSTMnCMP = 0000 0000_H の場合の動作

次の図に，OSTMnCMP = 0000 0000_H，カウンタ・スタート割り込みが許可（OSTMnCTL.OSTMnMD0 = 1），OSTMnTTOUT 出力がタイマ出力トグル・モード（OSTMnTOE.OSTMnTOE = 1）の場合の動作を示します。

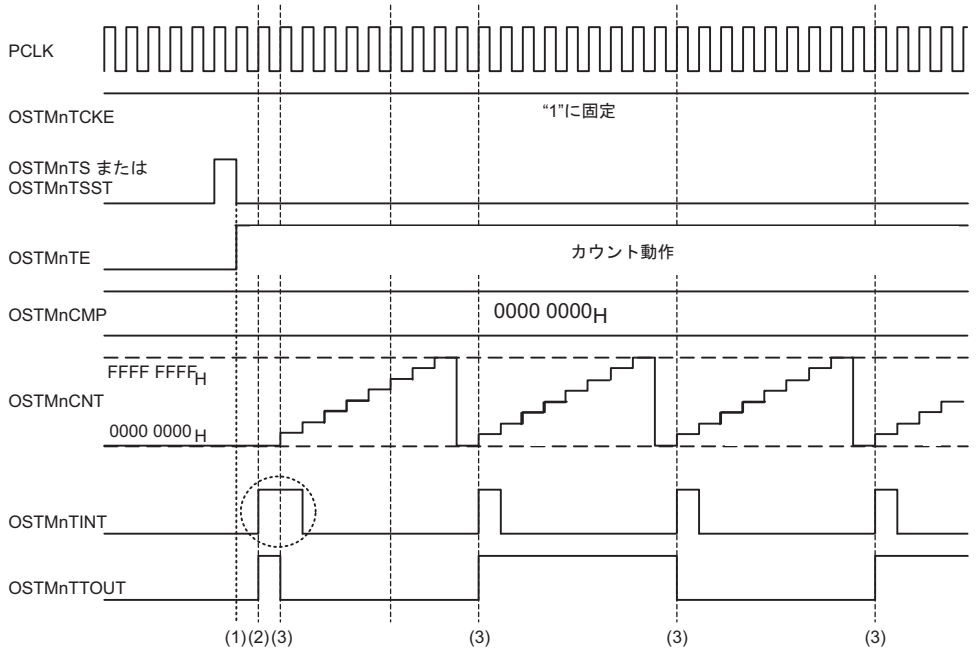


図 17-10 フリー・ランニング・コンペア・モードで OSTMnCMP = 0000 0000_H の場合のタイミング図（カウント・クロック = PCLK（OSTMnTCKE = ハイ））

上記のタイミング図では次の内容を示しています。

1. カウントを開始すると，カウンタは 0000 0000_H から FFFF $FFFF_H$ までをカウントします。
2. カウント開始時に割り込み要求 OSTMnTINT が発生します（OSTMnTTOUT 出力がトグルします）。
3. OSTMnTTOUT 出力がトグルします。現在のカウント値が OSTMnCMP レジスタと一致する場合は，コンペア一致割り込みが発生します。

備考 カウント・クロックが PCLK（OSTMnTCKE = ハイ）かつコンペア値が 0（OSTMnCMP = 00000000_H）の場合，初回動作時は PCLK の 2 周期分 OSTMnTINT のハイ・レベルが継続しますが，割り込み要求は，OSTMnTINT 立ち上がり時に 1 回発生します。

17.4 レジスタ

この節では，OS タイマのすべてのレジスタについて説明します。

17.4.1 OS タイマ・レジスタの概要

OS タイマは，次のレジスタで制御，動作します。

表 17-8 OS タイマ・レジスタの一覧

レジスタ名	略号	アドレス
OSTM コンペア・レジスタ	OSTMnCMP	<OSTMn_base1>
OSTM カウンタ・レジスタ	OSTMnCNT	<OSTMn_base1> + 4_H
OSTM 出力レジスタ	OSTMnTO	<OSTMn_base1> + 8_H
OSTM 出力イネーブル・レジスタ	OSTMnTOE	<OSTMn_base1> + C_H
OSTM カウント・イネーブル・ステータス・レジスタ	OSTMnTE	<OSTMn_base1> + 10_H
OSTM カウント開始トリガ・レジスタ	OSTMnTS	<OSTMn_base1> + 14_H
OSTM カウント停止トリガ・レジスタ	OSTMnTT	<OSTMn_base1> + 18_H
OSTM 制御レジスタ	OSTMnCTL	<OSTMn_base0> + 20_H
OSTM 入力クロック選択機能レジスタ 0	IC0CKSEL0	$FF83F000_H$
OSTM 入力クロック選択機能レジスタ 1	IC0CKSEL1	$FF83F004_H$

17.4.2 OS タイマ・レジスタの詳細

(1) OSTMnCMP - OSTM コンペア・レジスタ

このレジスタは，動作モードによってダウン・カウンタの開始値または，コンペア値を格納します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <OSTMn_base1>

初期値 $0000\ 0000_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OSTMnCMP[31:16]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OSTMnCMP[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17-9 OSTMnCMP レジスタの内容

ビット位置	ビット名	機能
31-0	OSTMnCMP[31:0]	• インターバル・タイマ・モードの場合：ダウン・カウンタの開始値 • フリー・ランニング・コンペア・モードの場合：コンペア値

(2) OSTMnCNT - OSTM カウンタ・レジスタ

このレジスタはタイマのカウンタ値を示します。

アクセス 32 ビット単位でリード可能です。

アドレス <OSTMn_base1> + 4_H

初期値 OS タイマの動作モードによって変わります。*17-11「動作モード，カウントのアップダウン方向，初期値の関係」*を参照してください。どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OSTMnCNT[31:16]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OSTMnCNT[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17-10 OSTMnCNT レジスタの内容

ビット位置	ビット名	機能
31-0	OSTMnCNT[31:0]	32 ビット・カウンタの値

動作モード，カウントのアップダウン方向，初期値の関係を次に示します。
初期値は，動作モードが変更されたあとにリードされる値です。

表 17-11 動作モード，カウントのアップダウン方向，初期値の関係

タイマの動作モード	OSTMnCTL.OSTMnMD1	カウントのアップダウン方向	初期値
インターバル・タイマ・モード	0 注1	ダウン	FFFF FFFF$_H$
フリー・ランニング・コンペア・モード	1	アップ	0000 0000$_H$

注1 リセット後の値

(3) OSTMnTO - OSTM 出力レジスタ

このレジスタは，OSTMnTTOUT 出力のレベルを指定／リードします。

アクセス 8 ビット単位でリード／ライト可能です。ソフトウエア制御モードが有効時（OSTMnTOE.OSTMnTOE = 0）にのみライト可能です。

アドレス <OSTMn_base1> + 8_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	OSTMnTO
R	R	R	R	R	R	R	R/W

表 17-12 OSTMnTO レジスタの内容

ビット位置	ビット名	機能
0	OSTMnTO	OSTMnTTOUT 出力のレベルを指定／リードします。 0: ロウ・レベル 1: ハイ・レベル

(4) OSTMnTOE - OSTM 出力イネーブル・レジスタ

このレジスタは，OSTMnTTOUT 出力モードを指定します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <OSTMn_base1> + C_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	OSTMnTOE
R	R	R	R	R	R	R	R/W

表 17-13 OSTMnTOE レジスタの内容

ビット位置	ビット名	機能
0	OSTMnTOE	OSTMnTTOUT 出力モードを指定します。 0: ソフトウエア制御モード：OSTMnTO.OSTMnTO ビットに設定されたレベルを OSTMnTTOUT に出力 1: タイマ出力トグル・モード：割り込み要求 OSTMnTINT が発生すると，OSTMnTTOUT 出力がトグル

(5) OSTMnTE - OSTM カウント・イネーブル・ステータス・レジスタ

このレジスタは，カウンタの状態を示します。

アクセス 8 ビット単位でリード可能です。

アドレス <OSTMn_base1> + 10_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	OSTMnTE
R	R	R	R	R	R	R	R

表 17-14 OSTMnTE レジスタの内容

ビット位置	ビット名	機能
0	OSTMnTE	カウンタの状態を示します。 0: カウンタが停止中 1: カウンタが動作中 OSTMnTS.OSTMnTS ビットを 1 または OSTMnTSST（同時スタート使用時）をハイに設定すると，このビットが 1 になります。 OSTMnTT.OSTMnTT ビットを 1 に設定すると，このビットが 0 にリセットされます。

備考 OSTMnTE = 0 の場合はカウンタ値が保持されます。

カウントを再開した場合は次のようになります。

- インターバル・タイマ・モードでは，カウンタ値は OSTMnCMP レジスタ値からカウント・ダウンを開始します。
- フリー・ランニング・コンペア・モードでは，カウンタ値 0000 0000_H からカウント・アップを開始します。

(6) OSTMnTS - OSTM カウント開始トリガ・レジスタ

このレジスタは，カウント動作を開始します。

アクセス 8 ビット単位でライト可能です。リードすると常に 00_H を返します。

アドレス <OSTMn_base1> + 14_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	OSTMnTS
R	R	R	R	R	R	R	W

表 17-15 OSTMnTS レジスタの内容

ビット位置	ビット名	機能
0	OSTMnTS	カウントの動作を開始します。 0: 機能しません。 1: カウントを開始し，OSTMnTE.OSTMnTE ビットをセットします。 • インターバル・タイマ・モードでは，OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされると，強制リスタートが実行されます。 • フリー・ランニング・コンペア・モードでは，OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされても無視されます。

(7) OSTMnTT - OSTM カウント停止トリガ・レジスタ

このレジスタは，カウンタを停止します。

アクセス 8 ビット単位でライト可能です。リードすると常に 00_H を返します。

アドレス <OSTMn_base1> + 18_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	OSTMnTT
R	R	R	R	R	R	R	W

表 17-16 OSTMnTT レジスタの内容

ビット位置	ビット名	機能
0	OSTMnTT	カウンタの動作を停止します。 0: 機能しません。 1: カウンタを停止し，OSTMnTE.OSTMnTE ビットをクリアします。

(8) OSTMnCTL - OSTM 制御レジスタ

このレジスタは，カウンタの動作モードを設定し，カウント開始時の割り込み要求 OSTMnTINT の許可／禁止を設定します。

アクセス 8 ビット単位でリード／ライト可能です。カウンタが無効の場合（OSTMnTE.OSTMnTE = 0）のみライト可能です。

アドレス <OSTMn_base0> + 20_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	OSTMnMD1	OSTMnMD0
R	R	R	R	R	R	R/W	R/W

表 17-17 OSTMnCTL レジスタの内容

ビット位置	ビット名	機能
1	OSTMnMD1	カウンタの動作モードを設定します。 0: インターバル・タイマ・モード 1: フリー・ランニング・コンペア・モード
0	OSTMnMD0	カウント開始時の OSTMnTINT 割り込み許可／禁止を設定します。 0: カウント開始時の割り込みを禁止 1: カウント開始時の割り込みを許可

(9) IC0CKSEL0 - OSTM 入力クロック選択機能レジスタ 0

このレジスタは，OSTM0 のカウント・クロックのクロック・イネーブル信号を選択することができます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス $FF83F000_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IC0TMEN0	0	IC0TMSEL01	IC0TMSEL00	0	0	IC0CKSEL021	IC0CKSEL020	0	0	0	0	IC0CKSEL003	IC0CKSEL002	IC0CKSEL001	IC0CKSEL000
R/W	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 17-18 IC0CKSEL0 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>15</td><td>IC0TMEN0</td><td>カウント・クロック・イネーブル信号の出力を選択します。
<table>
<tr><th>IC0TMEN0</th><th>説明</th></tr>
<tr><td>0</td><td>OSTM0 のカウント・クロック・イネーブル信号にハイ・レベルを入力する（カウント・クロックは PCLK になります）。</td></tr>
<tr><td>1</td><td>OSTM0 に「IC0TMSEL00, IC0TMSEL01」で選択したカウント・クロック・イネーブル信号を入力する。</td></tr>
</table></td></tr>
<tr><td>13,12</td><td>IC0TMSEL00,
IC0TMSEL01</td><td>下記のタイマのカウント・クロック・イネーブル信号を有効にする。
（本レジスタの bit 11-0 で選択したカウント・クロック・イネーブル信号から選択）
<table>
<tr><th>IC0TMSEL01</th><th>IC0TMSEL00</th><th>説明</th></tr>
<tr><td>0</td><td>0</td><td>TAUB0</td></tr>
<tr><td>0</td><td>1</td><td>設定禁止</td></tr>
<tr><td>1</td><td>0</td><td>TAUJ0</td></tr>
<tr><td>1</td><td>1</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>9,8</td><td>IC0CKSEL020,
IC0CKSEL021</td><td>OSTM0 に入力するカウント・クロック・イネーブル信号を選択します。
<table>
<tr><th>IC0CKSEL021</th><th>IC0CKSEL020</th><th>説明</th></tr>
<tr><td>0</td><td>0</td><td>TAUJ0 タイマ ch0</td></tr>
<tr><td>0</td><td>1</td><td>TAUJ0 タイマ ch1</td></tr>
<tr><td>1</td><td>0</td><td>TAUJ0 タイマ ch2</td></tr>
<tr><td>1</td><td>1</td><td>TAUJ0 タイマ ch3</td></tr>
</table></td></tr>
<tr><td>3-0</td><td>IC0CKSEL000-
IC0CKSEL003</td><td>OSTM0 に入力するカウント・クロック・イネーブル信号を選択します。
x=0
<table>
<tr><th>IC0CKSEL0x3</th><th>IC0CKSEL0x2</th><th>IC0CKSEL0x1</th><th>IC0CKSEL0x0</th><th>説明</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>TAUBx タイマ ch0</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td><td>TAUBx タイマ ch1</td></tr>
<tr><td>…</td><td>…</td><td>…</td><td>…</td><td>…</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>0</td><td>TAUBx タイマ ch14</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>1</td><td>TAUBx タイマ ch15</td></tr>
</table></td></tr>
</table>

注意 1.OSTMn カウント・クロック・イネーブル信号の選択は，OSTMn の動作が停止している状態（OSTMnTE.OSTMnTE ビット = 0）で行ってください。

2.OSTMn カウント・クロック・イネーブル信号を IC0CKSELn.IC0CKSELn[13:0] ビットで選択した後，IC0CKSELn.IC0TMENn ビット = 1 に設定してください。

3.OSTMn カウント・クロック・イネーブル信号として TAUBn または TAUJn を選択している場合（IC0CKSELn.IC0TMENn ビット = 1），OSTMn の動作中（OSTMnTE.OSTMnTE ビット = 1）は選択している TAUBn または TAUJn の動作を変更しないでください。

【設定手順】

（1）OSTMnTE.OSTMnTE ビット = 0 を確認（OSTMn の動作が停止）

（2）IC0CKSELn.IC0CKSELn[13:0] ビットで OSTMn カウント・クロック・イネーブル信号を選択

（3）IC0CKSELn.IC0TMENn ビット = 1 に設定

（4）OSTMnTS.OSTMnTS ビット = 1 で OSTMn 動作許可

(10) IC0CKSEL1 - OSTM 入力クロック選択機能レジスタ 1

このレジスタは，OSTM1 のカウント・クロックのクロック・イネーブル信号を選択することができます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス $FF83F004_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IC0TMEN1	0	IC0TMSEL11	IC0TMSEL10	0	0	IC0CKSEL121	IC0CKSEL120	0	0	0	0	IC0CKSEL103	IC0CKSEL102	IC0CKSEL101	IC0CKSEL100
R/W	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 17-19 IC0CKSEL1 レジスタの内容

ビット位置	ビット名	機能
15	IC0TMEN1	カウント・クロック・イネーブル信号の入力を選択します。 **IC0TMEN1**：**説明** 0：OSTM1 のカウント・クロック・イネーブル信号にハイ・レベルを入力する。 1：OSTM1 に「IC0TMSEL10, IC0TMSEL11」で選択したカウント・クロック・イネーブル信号を入力する。
13,12	IC0TMSEL10, IC0TMSEL11	下記のタイマのカウント・クロック・イネーブル信号を有効にする。 （本レジスタの bit 11-0 で選択したカウント・クロック・イネーブル信号から選択） **IC0TMSEL11** / **IC0TMSEL10** / **説明** 0 / 0 / TAUB0 0 / 1 / 設定禁止 1 / 0 / TAUJ0 1 / 1 / 設定禁止
9, 8	IC0CKSEL120, IC0CKSEL121	OSTM1 に入力するカウント・クロック・イネーブル信号を選択します。 IC0CKSEL121 / IC0CKSEL120 / **説明** 0 / 0 / TAUJ0 タイマ ch0 0 / 1 / TAUJ0 タイマ ch1 1 / 0 / TAUJ0 タイマ ch2 1 / 1 / TAUJ0 タイマ ch3
3-0	IC0CKSEL100-IC0CKSEL103	OSTM1 に入力するカウント・クロック・イネーブル信号を選択します。 x=0 **IC0CKSEL1x3** / **IC0CKSEL1x2** / **IC0CKSEL1x1** / **IC0CKSEL1x0** / **説明** 0 / 0 / 0 / 0 / TAUBx タイマ ch0 0 / 0 / 0 / 1 / TAUBx タイマ ch1 … / … / … / … / … 1 / 1 / 1 / 0 / TAUBx タイマ ch14 1 / 1 / 1 / 1 / TAUBx タイマ ch15

注意 1.OSTMn カウント・クロック・イネーブル信号の選択は，OSTMn の動作が停止している状態（OSTMnTE.OSTMnTE ビット = 0）で行ってください。

2.OSTMn カウント・クロック・イネーブル信号を IC0CKSELn.IC0CKSELn[13:0] ビットで選択した後，IC0CKSELn.IC0TMENn ビット = 1 に設定してください。

3.OSTMn カウント・クロック・イネーブル信号として TAUBn または TAUJn を選択している場合（IC0CKSELn.IC0TMENn ビット = 1），OSTMn の動作中（OSTMnTE.OSTMnTE ビット = 1）は選択している TAUBn または TAUJn の動作を変更しないでください。

【設定手順】

（1）OSTMnTE.OSTMnTE ビット = 0 を確認（OSTMn の動作が停止）

（2）IC0CKSELn.IC0CKSELn[13:0] ビットで OSTMn カウント・クロック・イネーブル信号を選択

（3）IC0CKSELn.IC0TMENn ビット = 1 に設定

（4）OSTMnTS.OSTMnTS ビット = 1 で OSTMn 動作許可

第 18 章　エンコーダ・タイマ（ENCA）

18.1　ENCA の機能

チャネル　この製品は，1 チャネルのエンコーダ・タイマを搭載しています。

表 18-1　ENCA のチャネル

エンコーダ・タイマ	
チャネル数	1
名称	ENCA0

n の意味　この章では，エンコーダ・タイマの各チャネルを「n」（n = 0）で識別します。たとえば，ENCAn 制御レジスタは ENCAnCTL と記述します。

両エッジの意味　この章では，立ち上がりエッジ・立ち下がりエッジの両方を意味します。

レジスタ・アドレス　ENCAn のレジスタ・アドレスは，それぞれベース・アドレス <ENCAn_base> からのオフセットで表されます。
各 ENCAn のベース・アドレス <ENCAn_base> を以下の表に示します。

表 18-2　レジスタ・ベース・アドレス <ENCAn_base>

ENCAn のチャネル	<ENCAn_base0> アドレス	<ENCAn_base1> アドレス
ENCA0	FF81 9000_H	FFFF $D800_H$

クロック供給　ENCAn は，次のクロック入力があります。ENCAn は PCLK に接続しています。

表 18-3　ENCAn のクロック供給

ENCAn のチャネル	クロック供給
ENCA0	PCLK

割り込み要求　ENCAn の割り込み要求を次の表に示します。

表 18-4　ENCAn の割り込み要求一覧

ENCAn の信号	機能	接続先
INTENCAnIOV	オーバフロー割り込み	割り込みコントローラ，DMA
INTENCAnIUD	アンダフロー割り込み	割り込みコントローラ，DMA
INTENCAnI0	コンペアー致 0 またはキャプチャ 0 割り込み	割り込みコントローラ，DMA
INTENCAnI1	コンペアー致 1 またはキャプチャ 1 割り込み	割り込みコントローラ，DMA
INTENCAnIEC	エンコーダ・クリア入力によるクリア割り込み	割り込みコントローラ，DMA

入力信号　ENCAn の入力信号を次の表に示します。

表 18-5　ENCAn の入力信号一覧

ENCAn の信号	機能	接続先
ENCAnI0	ENCAn キャプチャ・トリガ入力 0	ー
ENCAnI1	ENCAn キャプチャ・トリガ入力 1	PIC 機能（入力）
ENCAnE0	ENCAn エンコーダ入力 0	ポート
ENCAnE1	ENCAn エンコーダ入力 1	ポート
ENCAnEC	ENCAn エンコーダ・クリア入力	ポート
ENCAnTSST	ENCAn 同時スタート・トリガ入力	PIC 機能（入力）

18.2　機能の概要

機能の概要

- エンコーダ入力信号からカウンタ制御信号を生成し，PCLK と同期してカウント動作を実行
- 外部トリガ信号によりカウンタ値をキャプチャするキャプチャ機能
- カウンタ値とのコンペアー致判定を行うコンペア機能
- キャプチャとコンペア用に別々に設定できる 2 つのキャプチャ／コンペア・レジスタ
- 動作中にコンペアー致した場合，出力される割り込み信号出力をマスクする割り込みマスク機能
- アンダフローが発生したときにキャプチャ／コンペア・レジスタの値をカウンタにロードする機能
- タイマ・カウンタのクリア条件としてエンコーダ入力信号を利用可能
- タイマ・カウンタ・クリア条件としてエンコーダ入力信号の判定基準をエッジまたはレベルから選択可能
- 5 つの割り込み出力：キャプチャ／コンペア割り込み ×2，カウンタ・クリア割り込み ×1，オーバフロー割り込み ×1，アンダフロー割り込み ×1

18.2.1 ブロック図

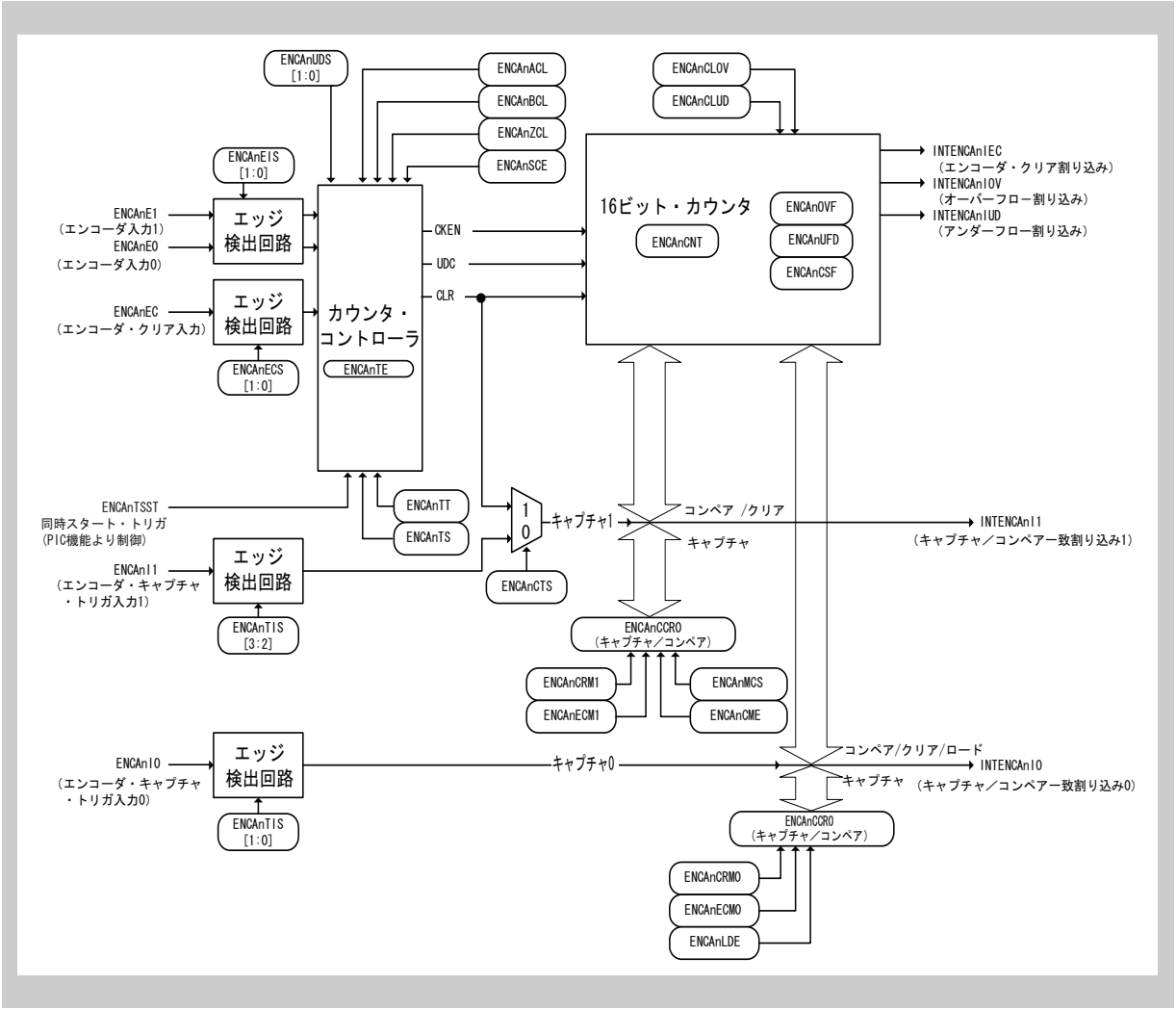


図 18-1 エンコーダ・タイマのブロック図

18.3 ENCA 制御レジスタ

ENCAn は，以下のレジスタによって制御され，操作されます。

表 18-6 ENCAn レジスタの概要

レジスタ機能	名称	アドレス
ENCAn キャプチャ／コンペア・レジスタ 0	ENCAnCCR0	<ENCAn_base1>
ENCAn キャプチャ／コンペア・レジスタ 1	ENCAnCCR1	<ENCAn_base1> + 04_H
ENCAn カウンタ・レジスタ	ENCAnCNT	<ENCAn_base1> + 08_H
ENCAn ステータス・フラグ・レジスタ	ENCAnFLG	<ENCAn_base1> + $0C_H$
ENCAn ステータス・フラグ・クリア・レジスタ	ENCAnFGC	<ENCAn_base1> + 10_H
ENCAn タイマ・イネーブル・ステータス・レジスタ	ENCAnTE	<ENCAn_base1> + 14_H
ENCAn タイマ・スタート・トリガ・レジスタ	ENCAnTS	<ENCAn_base1> + 18_H
ENCAn タイマ・ストップ・トリガ・レジスタ	ENCAnTT	<ENCAn_base1> + $1C_H$
ENCAn I/O 制御レジスタ 0	ENCAnIOC0	<ENCAn_base1> + 20_H
ENCAn 制御レジスタ	ENCAnCTL	<ENCAn_base0> + 40_H
ENCAn I/O 制御レジスタ 1	ENCAnIOC1	<ENCAn_base0> + 44_H

<ENCAn_base> ENCAn のベース・アドレス <ENCAn_base> は，この章第 1 節の「レジスタ・アドレス」で定義しています。

(1) ENCAnCTL — ENCA 制御レジスタ

このレジスタは，エンコーダ・タイマの動作制御を行う 16 ビットのレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。
動作中のこのレジスタへのライトは禁止です。

アドレス <ENCAn_base0> + 40_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
ENCAn CME	ENCAn MCS	0	0	0	0	ENCAn CRM1	ENCAn CRM0
R/W	R/W	R	R	R	R	R/W	R/W

7	6	5	4	3	2	1	0
ENCAn CTS	0	0	ENCAn LDE	ENCAn ECM1	ENCAn ECM0	ENCAn UDS[1:0]	
R/W	R	R	R/W	R/W	R/W	R/W	R/W

表 18-7 ENCAnCTL レジスタの内容 (1/3)

ビット位置	ビット名	機能
15	ENCAnCME	このビットは，ENCAnCCR1 レジスタのコンペア機能使用時にコンペア一致割り込み検出のマスク機能の有効／無効を選択します。 0: マスク機能を無効 1: マスク機能を有効 注意 1.ENCAnCME ビットは ENCAnCRM1 ビット = 0 の場合にのみ有効になります。 2.ENCAnCME ビット = 1 に設定されているとき，ENCAnECM1 ビット = 1 の設定は禁止です。
14	ENCAnMCS	このビットは，ENCAnCCR1 レジスタのコンペア機能使用時にコンペア一致割り込み検出のマスク機能の解除トリガ要因を選択します。 0: ENCAnCCR1 レジスタへの書き込みが行われると，コンペアー致割り込みマスク機能を解除。 1: 以下の 3 つの動作のいずれかが実行されたときにコンペアー致割り込みマスク機能を解除。 - エンコーダ・クリア入力によるタイマ・カウンタ・クリア動作 - ENCAnECM0 ビット = 1 のときに ENCAnCNT レジスタと ENCAnCCR0 レジスタがコンペアー致したときのタイマ・カウンタ・クリア動作 - ENCAnLDE ビット = 1 のときのアンダフローの検出による ENCAnCCR0 からタイマ・カウンタへのロード時。 注意 ENCAnMCS ビットは ENCAnCRM1 ビット = 0 の場合にのみ有効になります。
9	ENCAnCRM1	このビットは，ENCAnCCR1 レジスタの用途を選択します。 0: コンペア・レジスタとして選択。 1: キャプチャ・レジスタとして選択。
8	ENCAnCRM0	このビットは，ENCAnCCR0 レジスタの用途を選択します。 0: コンペア・レジスタとして選択。 1: キャプチャ・レジスタとして選択。

表 18-7 ENCAnCTL レジスタの内容 (2/3)

ビット位置	ビット名	機能
7	ENCAnCTS	このビットで ENCAnCCR1 レジスタへのキャプチャ・トリガ要因を選択します。 0: ENCAnI1 入力をキャプチャ・トリガとして選択。 1: ENCAnEC 入力をキャプチャ・トリガとして選択。 注意 ENCAnCTS ビットは，ENCAnCRM1 ビット = 1 の場合にのみ有効になります。
4	ENCAnLDE	このビットは，カウンタ・アンダフロー発生時，ENCAnCCR0 レジスタの設定値をカウンタに対してロードの許可／禁止を選択します。 0: カウンタへのロード禁止 1: カウンタへのロード許可 注意 1.ENCAnLDE ビットは ENCAnCRM0 ビット = 0 の場合にのみ有効になります。 2.ENCAnCRM0 ビット = 1 のときは，ENCAnLDE ビットの値にかかわらず，アンダフローの発生によるカウンタへの設定値のロードは行われません。
3	ENCAnECM1	このビットは，カウンタ値と ENCAnCCR1 レジスタの設定値が一致したとき，カウンタ・クリア動作の有効／無効を選択します。 0: カウンタを 0000_H にクリアしない。 1: 次のカウントがダウン・カウントの場合，カウンタを 0000_H にクリアする。 注意 ENCAnECM1 ビットは ENCAnCRM1 ビット = 0 の場合にのみ有効になります。
2	ENCAnECM0	このビットは，カウンタ値と ENCAnCCR0 レジスタの設定値が一致したときのカウンタ・クリア動作の有効・無効を選択します。 0: カウンタを 0000_H にクリアしない。 1: 次のカウントがアップ・カウントの場合，カウンタを 0000_H にクリアする。 注意 ENCAnECM0 ビットは ENCAnCRM0 ビット = 0 の場合にのみ有効になります。

表 18-7 ENCAnCTL レジスタの内容 (3/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>1, 0</td><td>ENCAnUDS1,
ENCAnUDS0</td><td>このビットは，ENCAnE0，ENCAnE1 端子入力によるカウンタのアップ／ダウンを制御します。
<table>
<tr><th>ENCAn
UDS1</th><th>ENCAn
UDS0</th><th>動 作</th></tr>
<tr><td>0</td><td>0</td><td>エンコーダ入力 ENCAnE0 端子の有効エッジ検出時，エンコーダ入力 ENCAnE1 端子の状態により次のカウント動作となります。
• “ハイ”の時，ダウン・カウント
• “ロウ”の時，アップ・カウント</td></tr>
<tr><td>0</td><td>1</td><td>• エンコーダ入力 ENCAnE0 端子の有効エッジ検出でアップ・カウント
• エンコーダ入力 ENCAnE1 端子の有効エッジ検出でダウン・カウント</td></tr>
<tr><td>1</td><td>0</td><td>• エンコーダ入力 ENCAnE0 端子の立ち上がりでダウン・カウント
• エンコーダ入力 ENCAnE0 端子の立ち下がりでアップ・カウント
但し，ENCAnE1 端子が“ロウ”のときのみカウント動作実施</td></tr>
<tr><td>1</td><td>1</td><td>エンコーダ入力 ENCAnE0 端子／エンコーダ入力 ENCAnE1 端子の両エッジを検出。検出エッジと入力レベルの組み合わせでカウント動作を行います。</td></tr>
</table>
</td></tr>
</table>

(2) ENCAnIOC0 — ENCA I/O 制御レジスタ 0

このレジスタは，キャプチャ・トリガ 0 と 1 入力（ENCAnI0，ENCAnI1）に対する有効エッジを制御する 8 ビットのレジスタです。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <ENCAn_base1> + 20_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	ENCAn TIS[3:2]		ENCAn TIS[1:0]	
R	R	R	R	R/W	R/W	R/W	R/W

表 18-8 ENCAnIOC0 レジスタの内容

ビット位置	ビット名	機能
3, 2	ENCAnTIS3, ENCAnTIS2	キャプチャ・トリガ 1（ENCAnI1）の有効エッジを選択します。 ENCAn TIS3 / ENCAn TIS2 / 動作 0 / 0 / エッジ検出なし 0 / 1 / 立ち上がりエッジ検出 1 / 0 / 立ち下がりエッジ検出 1 / 1 / 両エッジ検出 注意 これらのビットは ENCAnCTL レジスタの ENCAnCRM1 ビット = 1 かつ ENCAnCTS ビット = 0 である場合にのみ有効になります。ENCAnCRM1 ビットと ENCAnCTS ビットが上記以外の値に設定されている場合は無効となります。
1, 0	ENCAnTIS1, ENCAnTIS0	キャプチャ・トリガ 0（ENCAnI0）の有効エッジを選択します。 ENCAn TIS1 / ENCAn TIS0 / 動作 0 / 0 / エッジ検出なし 0 / 1 / 立ち上がりエッジ検出 1 / 0 / 立ち下がりエッジ検出 1 / 1 / 両エッジ検出 注意 これらのビットは ENCAnCTL レジスタ ENCAnCRM0 ビット = 1 の場合にのみ有効になります。

(3) ENCAnIOC1 — ENCA I/O 制御レジスタ 1

このレジスタは，エンコーダ入力，エンコーダ・クリア入力（ENCAnE0, ENCAnE1，ENCAnEC）に対するクリア条件と有効エッジを制御する 8 ビット・レジスタです。

アクセス 8 ビット単位でリード／ライト可能です。
動作中のこのレジスタへのライトは禁止です。

アドレス <ENCAn_base0> + 44_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
ENCAn SCE	ENCAn ZCL	ENCAn BCL	ENCAn ACL	ENCAn ECS[1:0]		ENCAn EIS[1:0]	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18-9 ENCAnIOC1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	ENCAn SCE	このビットは，エンコーダ・カウンタのクリア方式を選択します。 0:ENCAnEC 端子の有効エッジ検出によるクリア 1: クリア条件レベルの検出によるクリア ENCAnSCE ビット = 0 のとき，ENCAnZCL，ENCAnACL，ENCAnBCL ビットの設定は無効となり，ENCAnECS1，ENCAnECS0 ビットの設定が有効となります。 ENCAnSCE ビット = 1 のとき，ENCAnZCL，ENCAnACL，ENCAnBCL ビットの設定したクリア条件が全て一致した場合にカウンタを 0000_H にクリアします。 （ENCAnECS1，ENCAnECS0 ビットの設定が無効となります。） 注意 ENCAnSCE ビット = 1 のとき，ENCAnUDS1，ENCAnUDS0 ビット = 10B または 11B に設定してください。
6	ENCAn ZCL	このビットは，エンコーダ・クリア入力 ENCAnEC 端子のクリアレベルを設定します。 0: クリア条件：ロウ・レベル 1: クリア条件：ハイ・レベル 注意 このビットは ENCAnSCE ビット = 1 の場合に有効となります。
5	ENCAn BCL	このビットは，エンコーダ入力 ENCAnE1 端子のクリアレベルを設定します。 0: クリア条件：ロウ・レベル 1: クリア条件：ハイ・レベル 注意 このビットは ENCAnSCE ビット = 1 の場合に有効となります。
4	ENCAn ACL	このビットは，エンコーダ入力 ENCAnE0 端子のクリアレベルを設定します。 0: クリア条件：ロウ・レベル 1: クリア条件：ハイ・レベル 注意 このビットは ENCAnSCE ビット = 1 の場合に有効となります。

表 18-9 ENCAnIOC1 レジスタの内容 (2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>3, 2</td><td>ENCAnECS1,
ENCAnECS0</td><td>これらのビットは，エンコーダ・クリア入力（ENCAnEC 端子）の有効エッジを設定します。

<table>
<tr><th>ENCAn ECS1</th><th>ENCAn ECS0</th><th>動作</th></tr>
<tr><td>0</td><td>0</td><td>エッジ検出なし</td></tr>
<tr><td>0</td><td>1</td><td>立ち上がりエッジ検出</td></tr>
<tr><td>1</td><td>0</td><td>立ち下がりエッジ検出</td></tr>
<tr><td>1</td><td>1</td><td>両方のエッジ検出</td></tr>
</table>
注意 これらのビットは ENCAnSCE ビット = 0 の場合に有効となります。</td></tr>
<tr><td>1, 0</td><td>ENCAnEIS1,
ENCAnEIS0</td><td>これらのビットは，エンコーダ入力（ENCAnE0，ENCAnE1 端子）の有効エッジを設定します。

<table>
<tr><th>ENCAn EIS1</th><th>ENCAn EIS0</th><th>動作</th></tr>
<tr><td>0</td><td>0</td><td>エッジ検出なし</td></tr>
<tr><td>0</td><td>1</td><td>立ち上がりエッジ検出</td></tr>
<tr><td>1</td><td>0</td><td>立ち下がりエッジ検出</td></tr>
<tr><td>1</td><td>1</td><td>両方のエッジ検出</td></tr>
</table>
注意 これらのビットは，ENCAnUDS1，ENCAnUDS0 ビット = 00_B または 01 の場合に有効で，ENCAnUDS1，ENCAnUDS0 ビット = 10_B または 11_B の場合は無効となります。</td></tr>
</table>

(4) ENCAnFLG — ENCA ステータス・フラグ・レジスタ

このレジスタは，エンコーダ・タイマ・カウンタの状態を示す，8 ビットのフラグ・レジスタです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <ENCAn_base1> + $0C_H$

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	ENCAn CSF	ENCAn UDF	ENCAn OVF
R	R	R	R	R	R	R	R

表 18-10 ENCAnFLG レジスタの内容

ビット位置	ビット名	機能
2	ENCAn CSF	このビットはタイマ・カウンタのアップ／ダウン動作を示すフラグです。 0: アップ・カウント動作 1: ダウン・カウント動作 注意 このビットはカウント動作開始時にクリアされます。
1	ENCAnUDF	このビットは，タイマ・カウンタ動作中のアンダフロー発生有無を示すフラグです。 16 ビットカウンタが 0000_H から $FFFF_H$ となるときにアンダフローとなり，ENCAnUDF フラグが（1）セットされると同時にアンダフロー割り込み（INTENCAnIUD）が発生します。 セット条件（1） エンコーダ・タイマ・カウント動作中にアンダフローが発生すると，このフラグが「1」にセットされます。 クリア条件（0） ENCAnFGC レジスタの ENCAnCLUD ビットに「1」が書き込まれるか，ENCAnTE ビット = 0 で ENCAnTS ビットを「1」にセットすること，または同時スタート・トリガ入力（ENCAnTSST 信号）を “ ハイ ” にすることによりフラグが「0」にクリアされます。 注意 このビットはカウント動作開始時にクリアされます。
0	ENCAnOVF	このビットは，タイマ・カウンタ動作中のオーバフロー発生有無を示すフラグです。 16 ビットカウンタが $FFFF_H$ から 0000_H となるときにオーバフローとなり，ENCAnOVF フラグが（1）セットされると同時にオーバフロー割り込み（INTENCAnIOV）が発生します。 セット条件（1） エンコーダ・タイマ・カウント動作中にオーバフローが発生すると，このフラグが「1」にセットされます。 クリア条件 ENCAnFGC レジスタの ENCAnCLOV ビットに「1」が書き込まれるか，ENCAnTE ビット = 0 で ENCAnTS ビットを「1」にセットすること，または同時スタート・トリガ入力（ENCAnTSST 信号）を “ ハイ ” にすることによりフラグが「0」にクリアされます。 注意 このビットはカウント動作の開始時にクリアされます。

(5) ENCAnFGC — ENCA ステータス・フラグ・クリア・レジスタ

このレジスタは ENCAnFLG レジスタのタイマ・カウンタ・ステータス・フラグのクリア制御を行う 8 ビットのレジスタです。

アクセス 8 ビット単位でライト可能です。
このレジスタは，リードすると常に 00_H を返します。

アドレス <ENCAn_base1> + 10_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	ENCAn CLUD	ENCAn CLOV
R	R	R	R	R	R	W	W

表 18-11 ENCAnFGC レジスタの内容

ビット	名称	機能
1	ENCAn CLUD	このビットはアンダフロー・フラグをクリアします。 0: 無効 1: ENCAnFLG レジスタの ENCAnUDF ビットをクリア（アンダフロー検出のクリア）
0	ENCAn CLOV	このビットはオーバフロー・フラグをクリアします。 0: 無効 1: ENCAnFLG レジスタの ENCAnOVF ビットをクリア（オーバフロー検出のクリア）

(6) ENCAnCCR0 — ENCA キャプチャ／コンペア・レジスタ 0

このレジスタは，キャプチャ機能とコンペア機能を兼用させた 16 ビットのレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

ただし，コンペア・レジスタとして使用する場合（ENCAnCTL レジスタの ENCAnCRM0 ビット = 0）は，16 ビット単位でライト可能です。
キャプチャ・レジスタとして使用する場合（ENCAnCTL レジスタの ENCAnCRM0 ビット = 1）は，動作中のこのレジスタへのライトは無効になります。

アドレス <ENCAn_base1> + 00_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ENCAnCCR0[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18-12 ENCAnCCR0 レジスタの内容

ビット	名称	機能
15-0	ENCAn CCR0[15:0]	• ENCAnCTL レジスタの ENCAnCRM0 ビット = 0 の場合 ENCAnCCR0 レジスタはコンペア・レジスタになります。 タイマ・カウンタ値との比較の対象になる値を設定します。 • ENCAnCTL レジスタの ENCAnCRM0 ビット = 1 の場合 ENCAnCCR0 レジスタはキャプチャ・レジスタになります。 キャプチャされたタイマ・カウンタ値が格納されます。 備考 アンダフローが発生した場合は，ENCAnCTL レジスタの ENCAnLDE ビットの設定に従って，このレジスタの設定値をカウンタにロードすることができます。 詳細については，ENCAnCTL レジスタの ENCAnLDE ビットの説明を参照してください。

(7) ENCAnCCR1 — ENCA キャプチャ／コンペア・レジスタ 1

このレジスタは，キャプチャ機能とコンペア機能を兼用させた 16 ビットのレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

ただし，コンペア・レジスタとして使用する場合（ENCAnCTL レジスタの ENCAnCRM1 ビット = 0）は，16 ビット単位でライト可能です。
キャプチャ・レジスタとして使用する場合（ENCAnCTL レジスタの ENCAnCRM1 ビット = 1）は，動作中のこのレジスタへのライトは無効になります。

アドレス <ENCAn_base1> + 04_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ENCAnCCR1[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18-13 ENCAnCCR1 レジスタの内容

ビット位置	ビット名	機能
15-0	ENCAn CCR1[15:0]	• ENCAnCTL レジスタの ENCAnCRM1 ビット = 0 の場合 ENCAnCCR1 レジスタはコンペア・レジスタになります。 タイマ・カウンタ値との比較の対象になる値を設定します。 • ENCAnCTL レジスタの ENCAnCRM1 ビット = 1 の場合 キャプチャ・レジスタになります。 キャプチャされたタイマ・カウンタ値が格納されます。 備考 キャプチャ動作中，このレジスタへのキャプチャをトリガする条件は，ENCAnCTL レジスタの ENCAnCTS ビットの設定によって異なります。詳細については，制御レジスタ ENCAnCTL レジスタの ENCAnCTS ビットの説明を参照してください。

(8) ENCAnCNT — ENCA カウンタ・レジスタ

このレジスタは 16 ビットのタイマ・カウンタ・レジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

カウント動作停止中のみ，このレジスタへのライトは可能です。また，カウント動作中のこのレジスタへのライトは無効になります。

アドレス <ENCAn_base1> + 08_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ENCAnCNT[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18-14 ENCAnCNT レジスタの内容

ビット位置	ビット名	機能
15-0	ENCAnCNT15 -ENCAnCNT0	カウンタ・レジスタの動作

ENCAnTE 状態	カウンタ状態	動作
0	停止（初期設定）	タイマ・カウンタレジスタに任意の値を設定
0 → 1	動作開始	設定した任意の値からアップ／ダウン・カウント開始
1	動作中	アップ／ダウン・カウント動作
1 → 0	停止	カウント動作停止（停止直前の値を保持）

備考 ENCAnTE 状態：ENCAnTE レジスタの ENCAnTE ビットを意味します。

(9) ENCAnTE — ENCA タイマ・イネーブル・ステータス・レジスタ

このレジスタはエンコーダ・タイマの動作状態を示す 8 ビットのレジスタです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <ENCAn_base1> + 14_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ENCAnTE
R	R	R	R	R	R	R	R

表 18-15 ENCAnTE レジスタの内容

ビット位置	ビット名	機能
0	ENCAnTE	このビットは，エンコーダ・タイマの動作可能／停止状態を示します。 0: 動作停止状態 1: 動作可能状態 クリア条件 ENCAnTT レジスタの ENCAnTT ビットに「1」が書き込まれると「0」にクリアされます。 セット条件 ENCAnTS レジスタの ENCAnTS ビットに「1」が書き込み，または同時スタート・トリガ入力（ENCAnTSST 信号）を “ ハイ ” にすることにより「1」にセットされます。

(10) ENCAnTS — ENCA タイマ・スタート・トリガ・レジスタ

このレジスタは，エンコーダ・タイマの開始動作を制御する 8 ビットのレジスタです。

アクセス 8 ビット単位でリード／ライト可能です。
このレジスタは，リードすると常に 00_H を返します。このレジスタへのライトは ENCAnTE レジスタの ENCAnTE ビット = 0 のときに有効となります。

アドレス <ENCAn_base1> + 18_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ENCAnTS
R	R	R	R	R	R	R	W

表 18-16 ENCAnTS レジスタの内容

ビット位置	ビット名	機能
0	ENCAnTS	このビットは，エンコーダ・タイマを動作可能状態に設定するトリガ・ビットです。 0: 無効 1: 動作可能状態 （ENCAnTE レジスタの ENCAnTE ビット = 1 に設定）

(11) ENCAnTT — ENCA タイマ・ストップ・トリガ・レジスタ

このレジスタは，エンコーダ・タイマの動作停止を制御する 8 ビットのレジスタです。

アクセス 8 ビット単位でリード／ライト可能です。
このレジスタは，リードすると常に 00_H を返します。

アドレス <ENCAn_base1> + $1C_H$

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ENCAn TT
R	R	R	R	R	R	R	W

表 18-17 ENCAnTT レジスタの内容

ビット位置	ビット名	機能
0	ENCAn TT	このビットは，ENCAn を動作停止状態に設定するトリガ・ビットです。 0: 無効 1: 動作停止状態 （ENCAnTE レジスタの ENCAnTE ビット = 0 に設定）

18.4 機能の説明

ENCAn は，エンコーダ入力，エンコーダ・クリア入力（ENCAnE0，ENCAnE1，ENCAnEC 端子）でカウンタを動作させ，カウンタのアップ／ダウン，クリア制御を行うことができます。ENCAnCCR0，ENCAnCCR1 レジスタは，コンペア・レジスタもしくは，キャプチャ・レジスタとしても使用することができます。

18.4.1 タイマ・カウンタの動作

エンコーダ・タイマのカウンタ動作について説明します。

以下の図では基本動作を示しています。個々の動作説明については，各用法を参照してください。

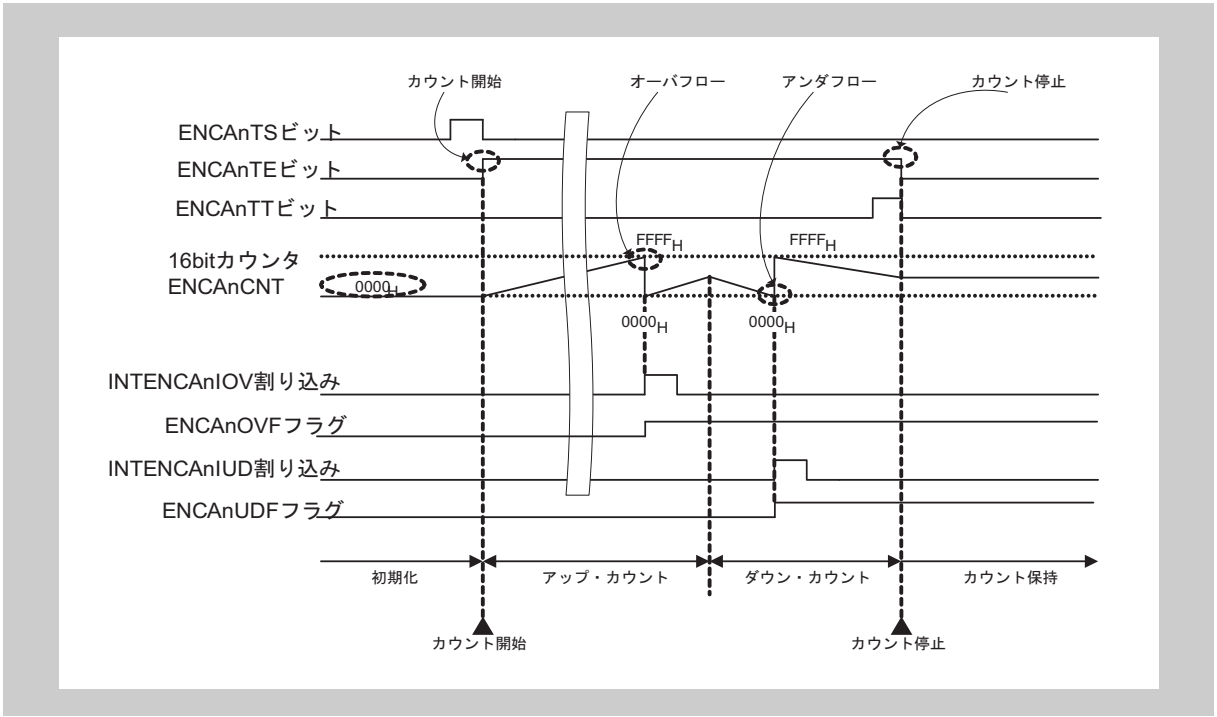


図 18-2 タイマ・カウンタの初期値設定／開始／停止

(1)　タイマ・カウンタの初期値設定

カウンタ動作停止状態（ENCAnTE レジスタの ENCAnTE ビット = 0）のときに ENCAn カウンタ・レジスタ（ENCAnCNT）の初期値を設定することができます。ENCAnCCR0，ENCAnCCR1 レジスタにおけるコンペア／キャプチャの組み合わせを以下の表に示します。

使用条件	ENCAnCCR0 レジスタ	ENCAnCCR1 レジスタ
コンペア機能のみで使用する場合（エンコーダ・コンペア・モード）	コンペア機能	コンペア機能
コンペア／キャプチャ機能で使用する場合（エンコーダ・キャプチャ・コンペア・モード）	コンペア機能	キャプチャ機能
キャプチャ／キャプチャ機能で使用する場合（エンコーダ・キャプチャ・モード）	キャプチャ機能	キャプチャ機能

(2)　タイマ・カウンタの起動

タイマ・スタート・トリガ・ビット（ENCAnTS レジスタの ENCAnTS ビット）に「1」を書き込むことによってタイマ・ステータス・イネーブル・ビット（ENCAnTE レジスタの ENCAnTE ビット）が「1」にセットされ，カウント動作が可能になり，エンコーダ入力の有効エッジが検出されるとカウント動作が実行されます。

(3) オーバフロー動作

カウンタ値が $FFFF_H$ のときにアップ・カウントが実行されると，オーバフローが発生します。オーバフローが発生すると，オーバフロー割り込み（INTENCAnIOV）が出力され，オーバフロー・フラグ（ENCAnOVF）が「1」にセットされます。オーバフロー・クリア・ビット（ENCAnCLOV）が「1」にセットされると，オーバフロー・フラグ（ENCAnOVF）が「0」にクリアされます。

オーバフロー発生とオーバフロー・フラグ・クリアの動作について説明します。

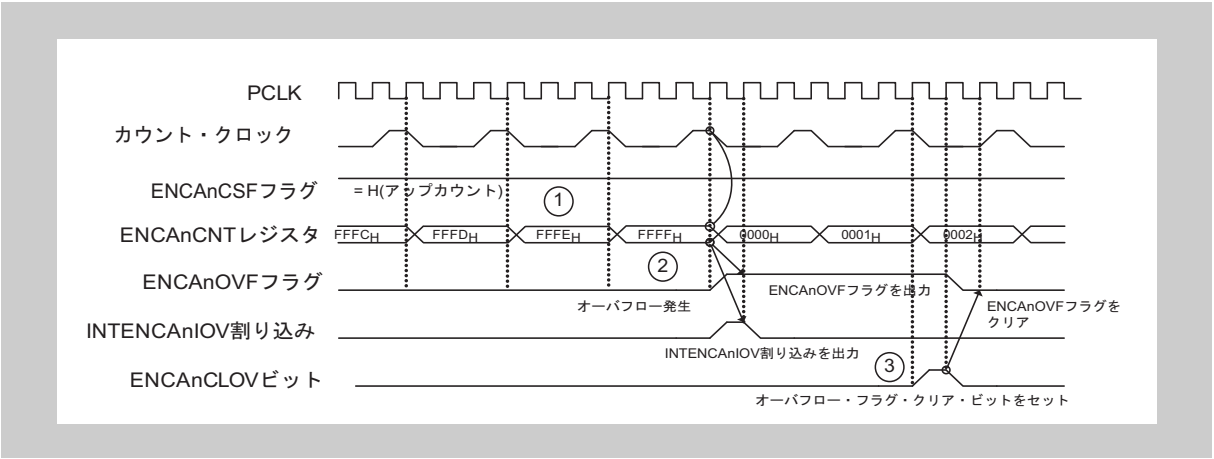


図 18-3 オーバフローの発生とオーバフロー・フラグ・クリアの設定

1. ①は，カウント値が $FFFE_H$ から $FFFF_H$ にアップ・カウントします。
2. ②は，カウント値が $FFFF_H$ から 0000_H に変化するとオーバフローが発生します。同時に，オーバフロー割り込みが出力され，オーバフロー・フラグが「1」にセットされます。
3. ③は，オーバフロー・フラグのクリア方法で，ENCAnFGC レジスタの ENCAnCLOV ビットを「1」にセットすることで「0」にクリアされます。また，ENCAnTE レジスタの ENCAnTE ビット = 0 のときに ENCAnTS レジスタの ENCAnTS ビットに「1」を設定するか，ENCAnTSST（同時スタート・トリガ入力）の入力信号を「ハイ」にすることでもオーバフロー・フラグはクリアされます。

(4) アンダフローの動作

カウンタ値が 0000_H のときにダウン・カウントが実行されると，アンダフローが発生します。アンダフローが発生すると，アンダフロー割り込み（INTENCAnIUD）が出力され，アンダフロー・フラグ（ENCAnUDF）が「1」にセットされます。アンダフロー・クリア・ビット（ENCAnCLUD）が「1」にセットされると，アンダフロー・フラグ（ENCAnUDF）が「0」にクリアされます。

アンダフロー発生とアンダフロー・フラグ・クリアの動作について説明します。

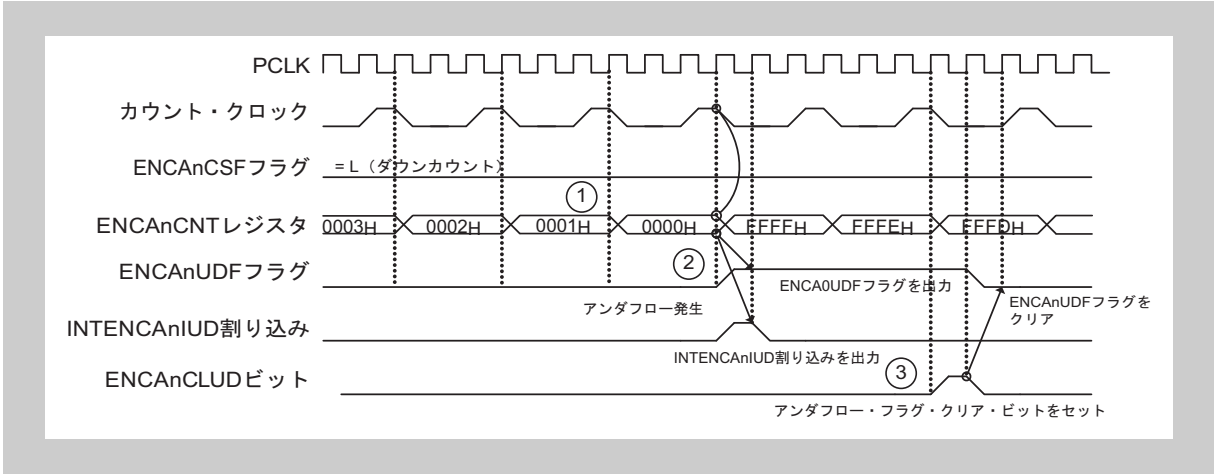


図 18-4 アンダフローの発生とアンダフロー・フラグ・クリアの設定

1. ①は，カウント値が 0001_H から 0000_H にダウン・カウントします。
2. ②は，カウント値が 0000_H から $FFFF_H$ に変化するとアンダフローが発生します。同時に，アンダフロー割り込みが出力され，アンダフロー・フラグが「1」にセットされます。
3. ③は，アンダフロー・フラグのクリア方法で，ENCAnFGC レジスタの ENCAnCLUD ビットを「1」にセットすることで「0」にクリアされます。また，ENCAnTE レジスタの ENCAnTE ビット = 0 のときに ENCAnTS レジスタの ENCAnTS ビットに「1」を設定するか，ENCAnTSST（同時スタート・トリガ）の入力信号を「ハイ・レベル」することでもアンダーフロー・フラグはクリアされます。

(5) タイマ・カウンタの停止

タイマ・ストップ・トリガ・ビット（ENCAnTT レジスタの ENCAnTT ビット）に「1」を書き込むことによって，タイマ・ステータス・イネーブル・ビット（ENCAnTE）が「0」にクリアされ，カウント動作が停止します。その時点で，タイマ・カウンタは 0000_H にセットされず，カウント動作が停止する直前の値を保持します。

18.4.2 タイマ・カウンタのアップ／ダウン制御

ENCAnCTL レジスタの ENCAnUDS1，ENCAnUDS0 ビットの設定とエンコーダ入力（ENCAnE0, ENCAnE1 端子）の位相により，カウンタのアップ／ダウン制御を行います。

(1) ENCAnCTL レジスタの ENCAnUDS1，ENCAnUDS0 ビット = 00_B の場合

ENCAnUDS1	ENCAnUDS0	動作の説明		
		ENCAnE0 端子	ENCAnE1 端子	カウント動作
0	0	立ち上がりエッジ	ハイ・レベル	ダウン
		立ち下がりエッジ		
		両方のエッジ		
		立ち上がりエッジ	ロウ・レベル	アップ
		立ち下がりエッジ		
		両方のエッジ		

ENCAnE0 の有効エッジは，ENCAnIOC1 レジスタの ENCAnEIS1, ENCAnEIS0 ビットの設定で指定します。

カウント動作は ENCAnE0 端子の有効エッジと ENCAnE1 端子の有効レベルが一致するとダウン／アップ・カウントを行います。

以下のタイミング図は，ENCAnCTL レジスタの ENCAnUDS1, ENCAnUDS0 ビット = 00B のときのカウント動作を示しています。

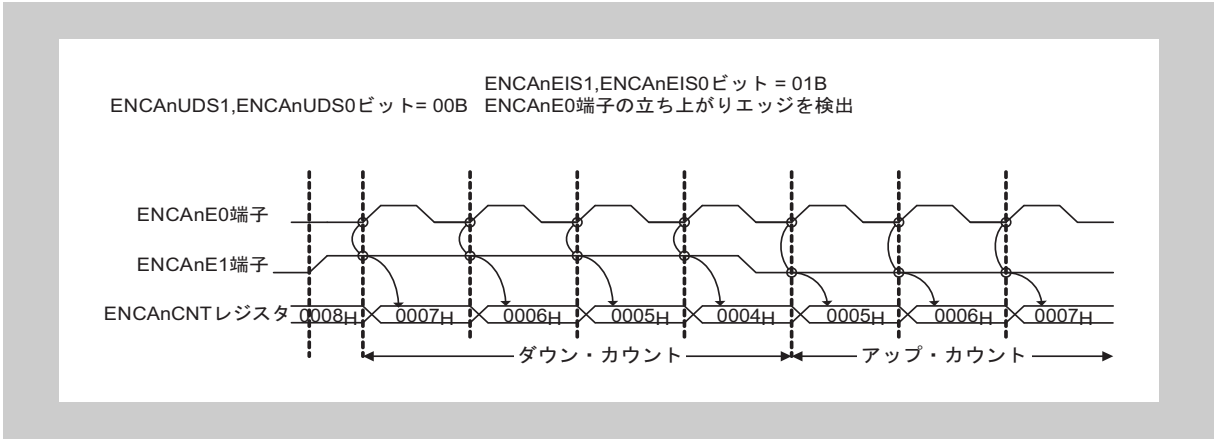


図 18-5 ENCAnCTL レジスタの ENCAnUDS1，ENCAnUDS0 ビット = 00_B のカウント動作

(2) ENCAnCTL レジスタの ENCAnUDS1，ENCAnUDS0 ビット = 01_B の場合

ENCAnUDS1	ENCAnUDS0	動作の説明		
		ENCAnE0 端子	ENCAnE1 端子	カウント動作
0	1	ロウ・レベル	立ち上がりエッジ	ダウン
			立ち下がりエッジ	
			両方のエッジ	
		ハイ・レベル	立ち上がりエッジ	
			立ち下がりエッジ	
			両方のエッジ	
		立ち上がりエッジ	ロウ・レベル	アップ
		立ち下がりエッジ		
		両方のエッジ		
		立ち上がりエッジ	ハイ・レベル	
		立ち下がりエッジ		
		両方のエッジ		
		同時入力		保持

ENCAnE0，ENCAnE1 端子の有効なエッジは，ENCAnIOC1 レジスタの ENCAnEIS1，ENCAnEIS0 ビットを設定することによって指定します。

カウント動作は，ENCAnE0，ENCAnE1 端子の有効エッジとレベルが一致するとアップ／ダウン・カウントを行います。また，有効エッジが重なるとカウントを保持します。

以下のタイミング図は，ENCAnUDS1，ENCAnUDS0 ビット = 01_B のときのカウント動作を示しています。

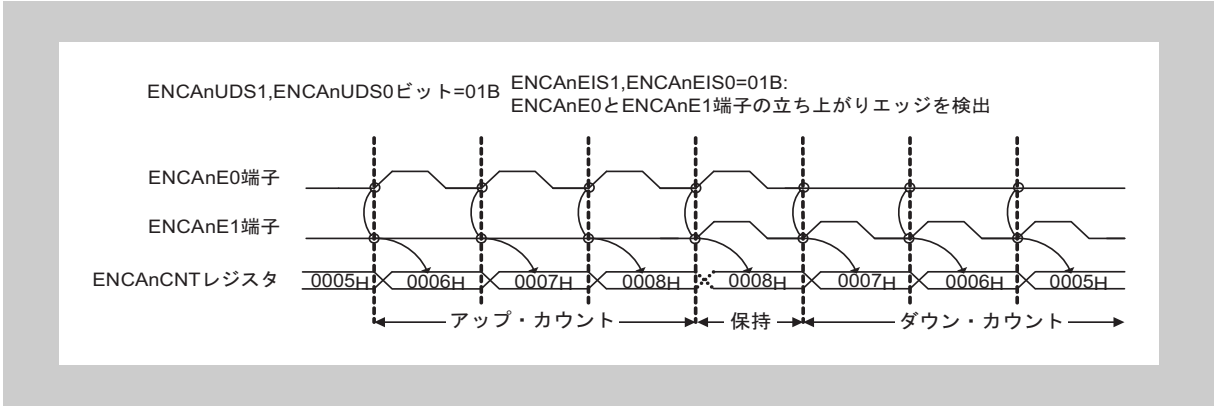


図 18-6 ENCAnCTL レジスタの ENCAnUDS1，ENCAnUDS0 ビット = 01_B のカウント動作

(3) ENCAnCTL レジスタの ENCAnUDS1，ENCAnUDS0 ビット = 10_B の場合

ENCAnUDS1	ENCAnUDS0	動作の説明		
		ENCAnE0 端子	ENCAnE1 端子	カウント動作
1	0	立ち上がりエッジ	ロウ・レベル	ダウン
		立ち上がりエッジ	立ち下がりエッジ	
		立ち下がりエッジ	ロウ・レベル	アップ
		立ち下がりエッジ	立ち下がりエッジ	
		ロウ・レベル	立ち上がりエッジ	保持
		立ち上がりエッジ	立ち上がりエッジ	
		ハイ・レベル	立ち上がりエッジ	
		立ち下がりエッジ	立ち上がりエッジ	
		ロウ・レベル	立ち下がりエッジ	
		立ち上がりエッジ	ハイ・レベル	
		ハイ・レベル	立ち下がりエッジ	
		立ち下がりエッジ	ハイ・レベル	

ENCAnE0，ENCAnE1 端子の有効エッジの指定（ENCAnIOC1 レジスタの ENCAnEIS1，ENCAnEIS0 ビットの設定）は無効です。

以下のタイミング図は，ENCAnCTL レジスタの ENCAnUDS1，ENCAnUDS0 ビット = 10_B のときのカウント動作を示しています。

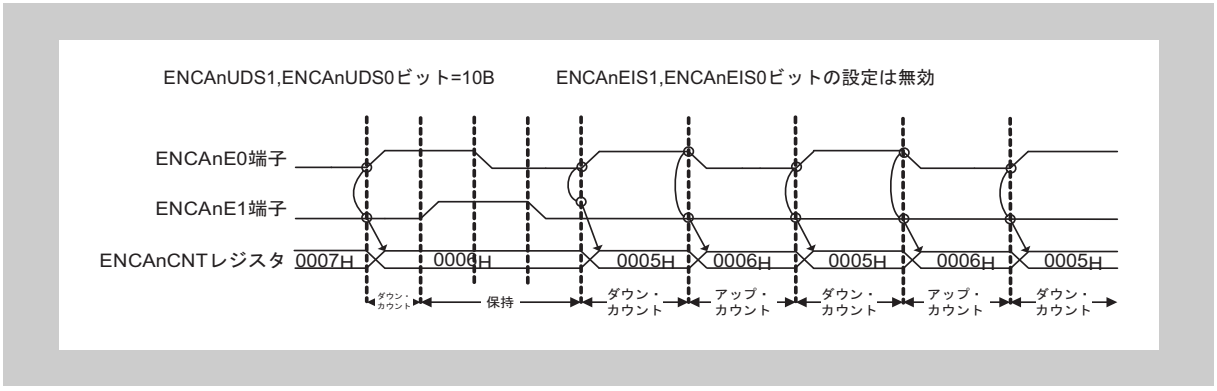


図 18-7 ENCAnCTL レジスタの ENCAnUDS1，ENCAnUDS0 ビット = 10_B のカウント動作

(4) ENCAnCTL レジスタの ENCAnUDS1，ENCAnUDS0 ビット = 11_B の場合

ENCAnUDS1	ENCAnUDS0	動作の説明		
		ENCAnE0 端子	ENCAnE1 端子	カウント動作
1	1	ロウ・レベル	立ち下がりエッジ	ダウン
		立ち上がりエッジ	ロウ・レベル	
		ハイ・レベル	立ち上がりエッジ	
		立ち下がりエッジ	ハイ・レベル	
		立ち上がりエッジ	ハイ・レベル	アップ
		ハイ・レベル	立ち下がりエッジ	
		立ち下がりエッジ	ロウ・レベル	
		ロウ・レベル	立ち上がりエッジ	
		同時入力		保持

ENCAnE0，ENCAnE1 端子の有効エッジの指定（ENCAnIOC1 レジスタの ENCAnEIS1，ENCAnEIS0 ビットの設定）は無効です。

ENCAnE0，ENCAnE1 端子の有効エッジが重なるとカウンタ値が保持されます。

以下のタイミング図は，ENCAnCTL レジスタの ENCAnUDS1，ENCAnUDS0 ビット = 11_B のときのカウント動作を示しています。

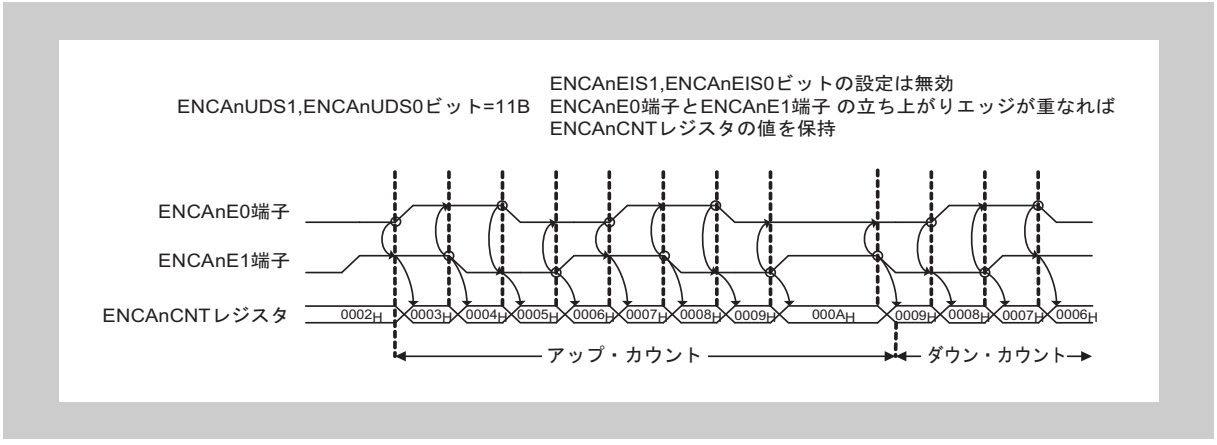


図 18-8 ENCAnCTL レジスタの ENCAnUDS1，ENCAnUDS0 ビット = 11_B のカウント動作

18.4.3 タイマ・カウンタ・クリア制御

カウンタの 0000_H クリアは次のいずれかの条件で動作します。

クリア条件 (1) エンコーダ・クリア入力（ENCAnEC 端子）の有効エッジ検出によるクリア。

クリア条件 (2) エンコーダ入力，エンコーダ・クリア入力（ENCAnE0，ENCAnE1，ENCAnEC 端子）のレベル検出によるクリア

ENCAnIOC1 レジスタの ENCAnSCE，ENCAnZCL，ENCAnBCL，ENCAnACL，ENCAnECS1，ENCAnECS0 ビット設定によりクリア条件を選択します。

クリア条件	ENCAnSCE	ENCAnZCL	ENCAnBCL	ENCAnACL	ENCAnECS1, ENCAnECS0
(1)	0	無効	無効	無効	有効
(2)	1	有効	有効	有効	無効

(1)-1 エンコーダ・クリア入力の有効エッジによるクリア（ENCAnIOC1 レジスタの ENCAnSCE ビット = 0 のとき）

- ENCAnEC 端子の有効エッジを検出すると，タイマ・カウンタは動作クロックと同期して 0000_H にクリアされます。
- ENCAnEC 端子の有効エッジは，ENCAnIOC1 レジスタの ENCAnECS1，ENCAnECS0 ビットにて設定します。
- ENCAnIOC1 レジスタの ENCAnZCL，ENCAnBCL，ENCAnACL ビットの設定は無効となります。
- タイマ・カウンタがクリアされると同時に，クリア割り込み信号（INTENCAnIEC）が出力されます。

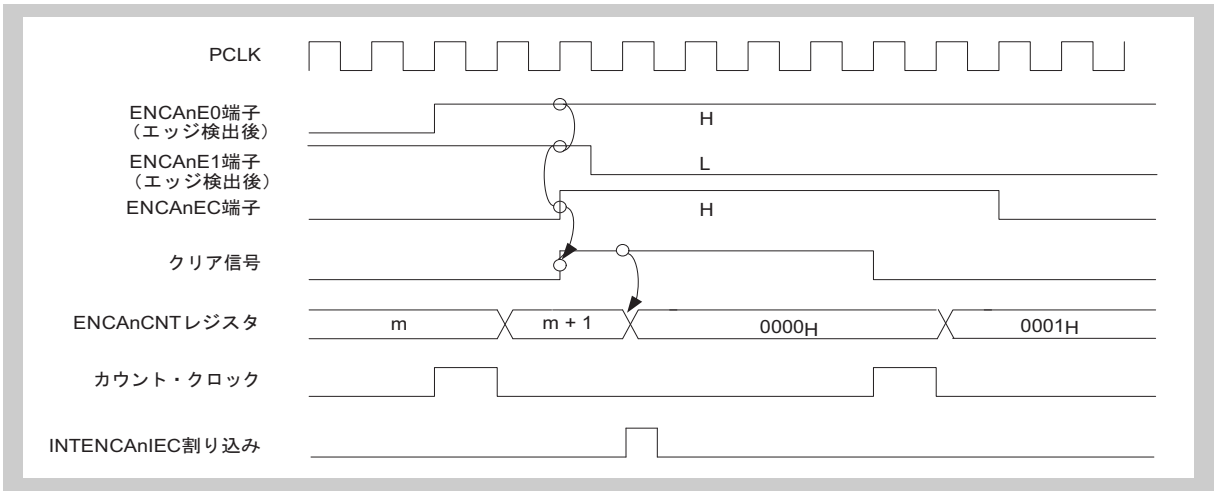


図 18-9 エンコーダ・クリア入力（ENCAnEC 端子）によるカウンタのクリア動作

(1)-2 エンコーダ・クリア入力（ENCAnEC 端子）によるカウント・クリアとキャプチャ動作

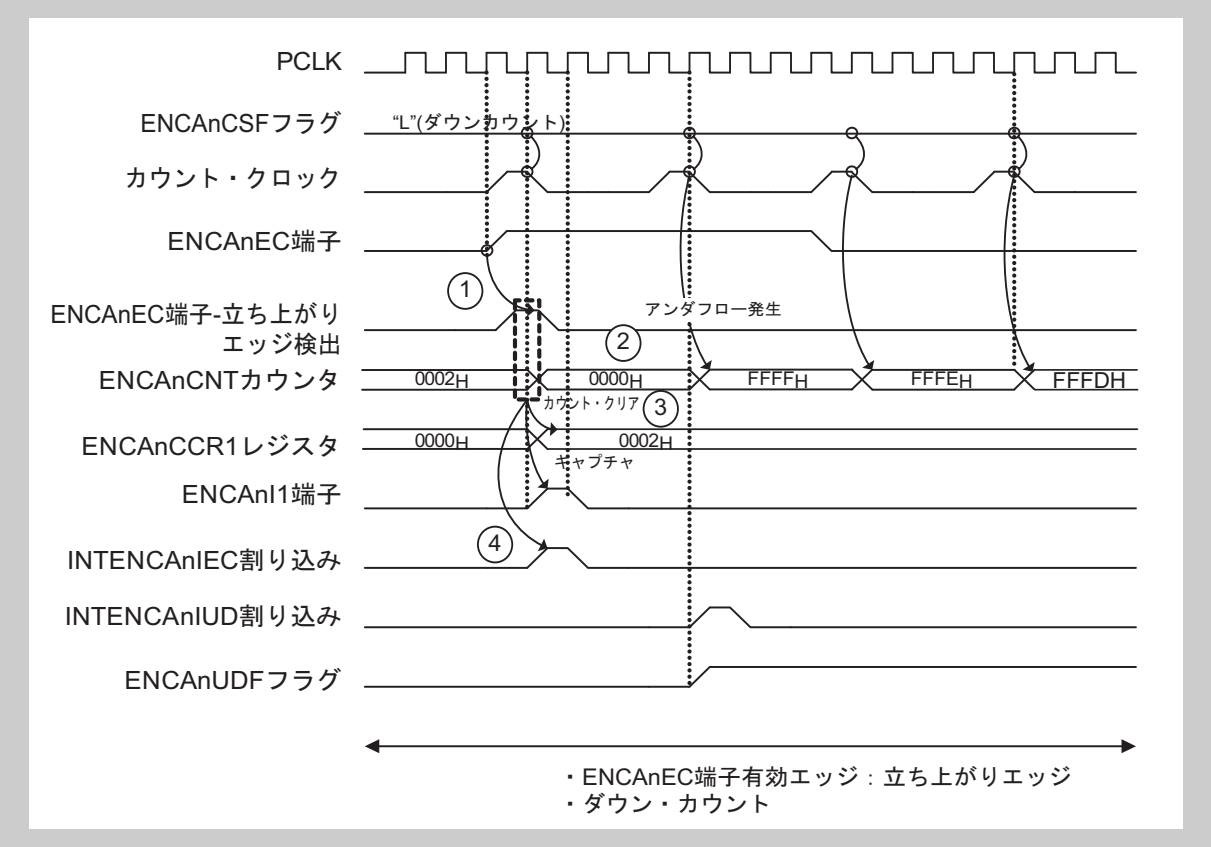


図 18-10 エンコーダ・クリア入力（ENCAnEC 端子）によるカウント・クリアとキャプチャ動作のタイミング図

＜設定条件＞

ENCAnCTL レジスタの ENCAnCRM1 ビット = 1
（ENCAnCCR1 レジスタをキャプチャ・レジスタとして選択）
ENCAnCTL レジスタの ENCAnCTS ビット = 1
（ENCAnEC 端子入力をキャプチャ・トリガ入力として選択）
ENCAnIOC1 レジスタの ENCAnECS1，ENCAnECS0 ビット = 01_B
（ENCAnEC 端子入力の立ち上がりエッジ検出をカウンタ・クリア条件として選択）

1. ENCAnEC 端子入力トリガの立ち上がりエッジでキャプチャ動作が実行されます。
2. ENCAnEC 端子の入力によるクリア動作が実行され，カウント値が 0000_H にセットされます。
3. ENCAnEC 端子入力の立ち上がりエッジでカウンタ値（0002_H）が ENCAnCCR1 レジスタにキャプチャされます。
4. 同時に，ENCAnEC 端子の入力によるクリア割り込み（INTENCAnIEC）とキャプチャ割り込み（INTENCAnI1）が出力されます。

(2) エンコーダ入力，エンコーダ・クリア入力のレベル検出によるクリア

ENCAnIOC1 レジスタの ENCAnSCE，ENCAnZCL，ENCAnBCL，ENCAnACL，ENCAnECS1，ENCAnECS0 ビットの設定によるクリア（ENCAnIOC1 レジスタの ENCAnSCE ビット = 1 のとき）

- ENCAnIOC1 レジスタの ENCAnZCL，ENCAnBCL，ENCAnACL ビットの設定によって ENCAnEC，ENCAnE1，ENCAnE0 端子入力のクリア・レベルが検出され，タイマ・カウンタが動作クロックと同期して 0000_H にクリアされます。
- ENCAnIOC1 レジスタの ENCAnECS1，ENCAnECS0 ビットの設定は無効です。
- タイマ・カウンタがクリアされると同時に，エンコーダ・クリア割り込み信号（INTENCAnIEC）が出力されます。

ENCAnIOC1 レジスタの ENCAnZCL，ENCAnBCL，ENCAnACL ビットの設定によって行われるタイマ・カウンタのクリア条件を以下の表に示します。

カウンタ・クリア条件の設定			エンコーダの端子入力レベル		
ENCAnZCL	ENCAnBCL	ENCAnACL	ENCAnEC	ENCAnE1	ENCAnE0
0	0	0	ロウ	ロウ	ロウ
0	0	1	ロウ	ロウ	ハイ
0	1	0	ロウ	ハイ	ロウ
0	1	1	ロウ	ハイ	ハイ
1	0	0	ハイ	ロウ	ロウ
1	0	1	ハイ	ロウ	ハイ
1	1	0	ハイ	ハイ	ロウ
1	1	1	ハイ	ハイ	ハイ

(a) アップ・カウント中に ENCAnEC 端子の入力タイミングが ENCAnE1 端子の入力タイミングより遅れた場合

（ENCAnIOC1 レジスタの ENCAnACL ビット = 1，ENCAnBCL ビット = 0，ENCAnZCL ビット = 1，ENCAnCTL レジスタの ENCAnUDS1，ENCAnUDS0 ビット = 11B のとき）

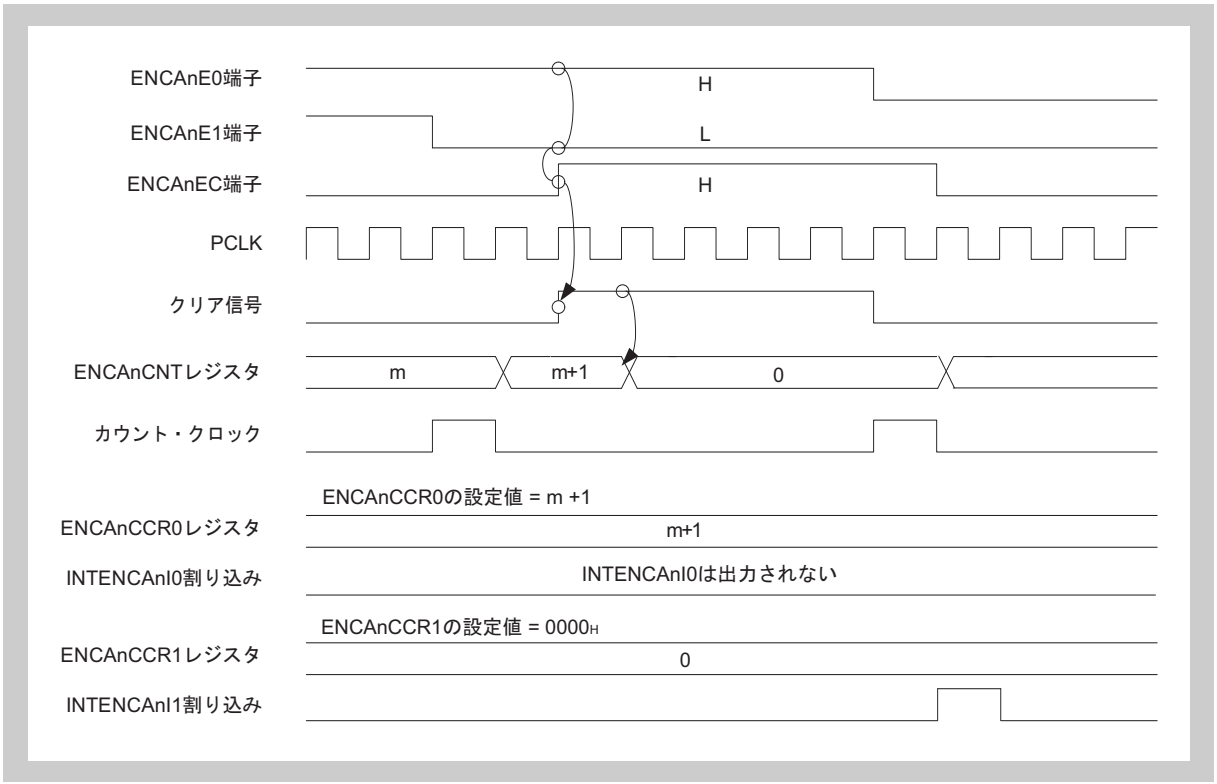


図 18-11 アップ・カウント中に ENCAnEC 端子の入力タイミングが ENCAnE1 端子の入力タイミングより遅れた場合のクリアのタイミング

(b) アップ・カウント中に ENCAnEC 端子の入力タイミングと ENCAnE1 端子の入力タイミングが同時の場合

（ENCAnIOC1 レジスタの ENCAnACL ビット = 1，ENCAnBCL ビット = 0，ENCAnZCL ビット = 1，ENCAnCTL レジスタの ENCAnUDS1，ENCAnUDS0 ビット = 11_B のとき）

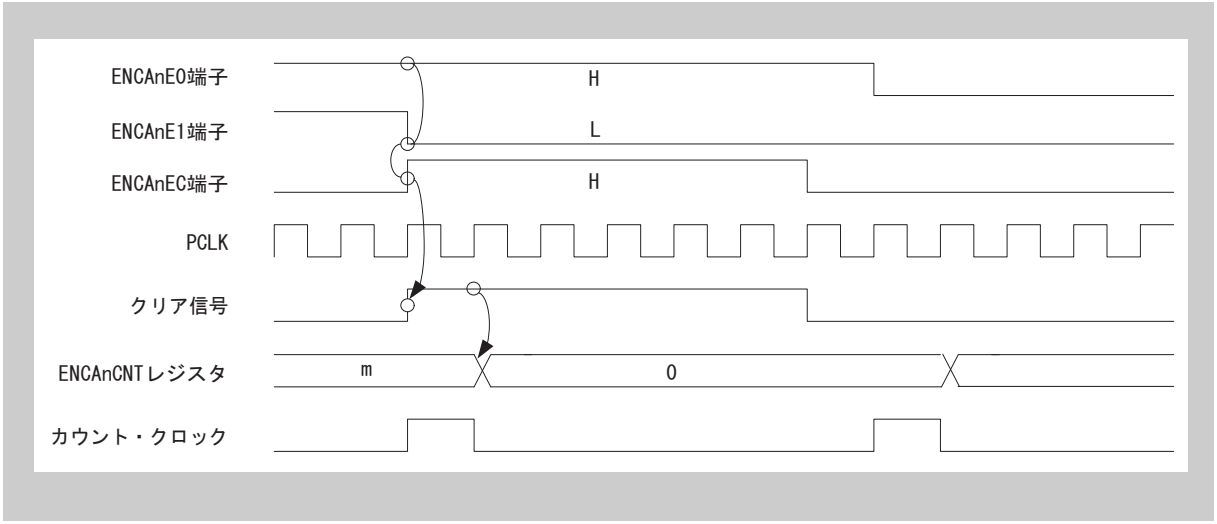


図 18-12 アップ・カウント中に ENCAnEC 端子の入力タイミングと ENCAE1 端子の入力タイミングが同時の場合のクリアのタイミング

(c) アップ・カウント中に ENCAnEC 端子の入力タイミングが ENCAnE1 端子の入力タイミングより早い場合

（ENCAnIOC1 レジスタの ENCAnACL ビット = 1，ENCAnBCL ビット = 0，ENCAnZCL ビット = 1，ENCAnCTL レジスタの ENCAnUDS1，ENCAnUDS0 ビット = 11_B のとき）

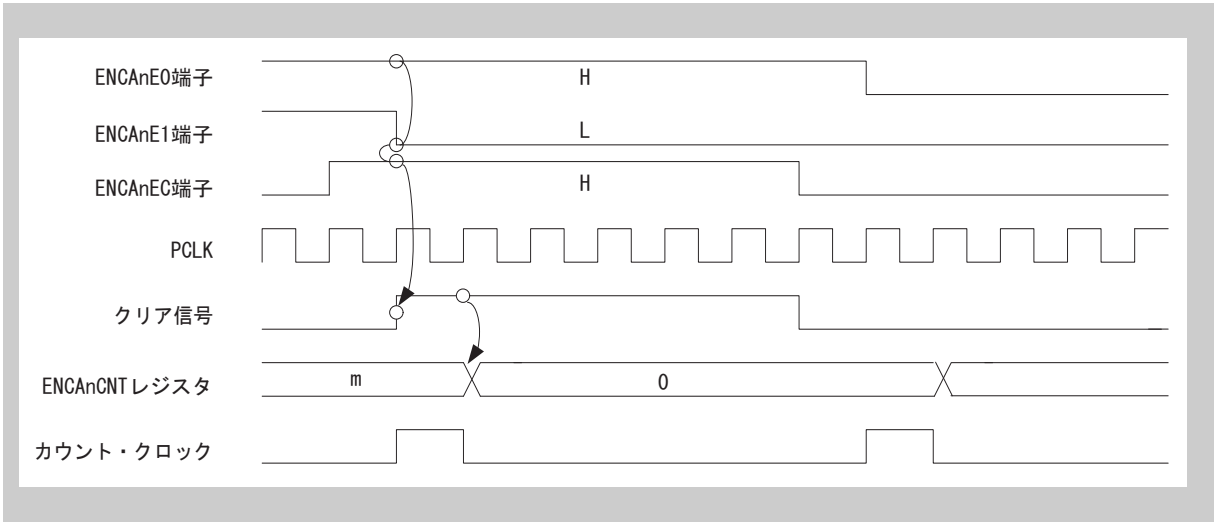


図 18-13 アップ・カウント中に ENCAnEC 端子の入力タイミングが ENCAnE1 端子の入力タイミングより早い場合のクリアのタイミング

(d) ダウン・カウント中に ENCAnEC 端子の入力タイミングが ENCAnE1 端子の入力タイミングより遅い場合

（ENCAnIOC1 レジスタの ENCAnACL ビット = 1，ENCAnBCL ビット = 0，ENCAnZCL ビット = 1，ENCAnCTL レジスタの ENCAnUDS1，ENCAnUDS0 ビット = 11_B のとき）

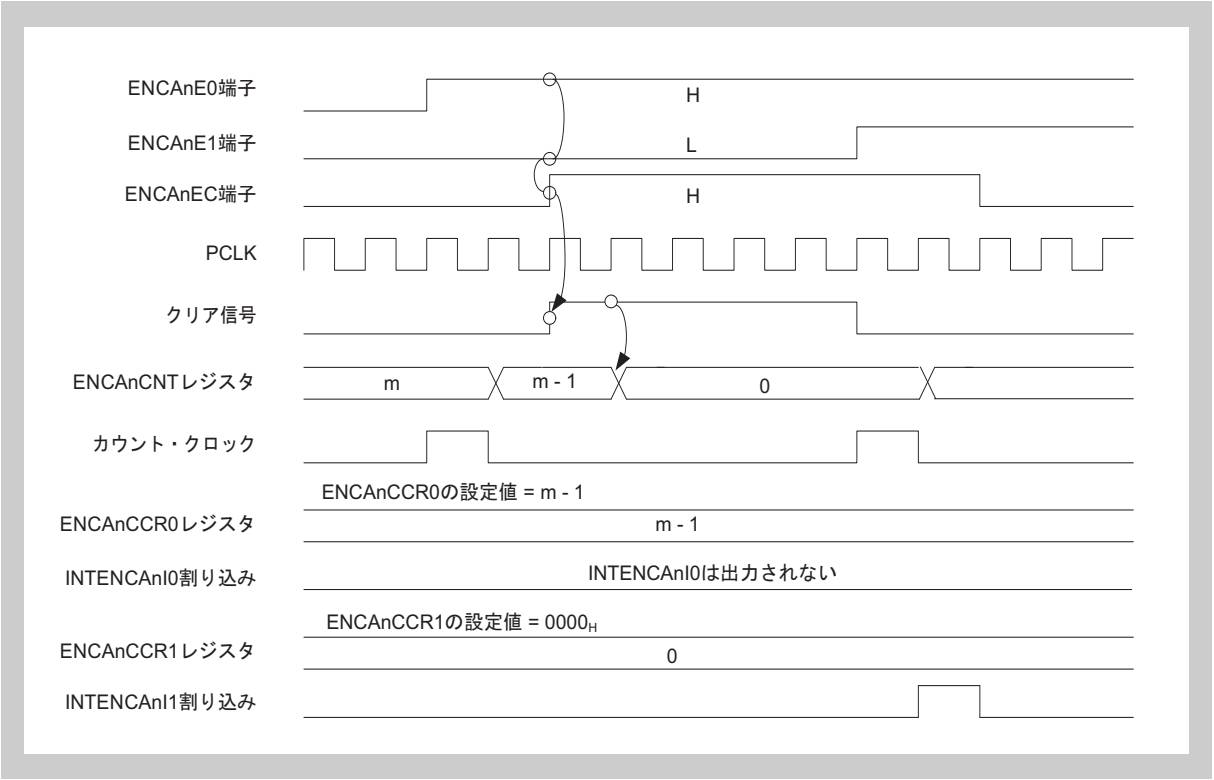


図 18-14 ダウン・カウント中に ENCAnEC 端子の入力タイミングが ENCAnE1 端子の入力タイミングより遅い場合のクリアのタイミング

18.4.4 ENCAnCCR0 レジスタの詳細説明

(1) コンペア機能

- ENCAnCTL レジスタの ENCAnCRM0 ビット = 0 のとき，ENCAnCCR0 レジスタは専用のコンペア・レジスタとして機能します。
- タイマ・カウンタの値と ENCAnCCR0 レジスタの設定値がコンペア一致すると，コンペア 0 一致割り込み（INTENCAnI0）が出力されます。
- ENCAnCTL レジスタの ENCAnECM0 ビット = 1 の場合は，次のカウント動作がアップ・カウントであれば，コンペア一致が発生すると同時にタイマ・カウンタが動作クロック（PCLK）と同期して 0000_H にクリアされます。

ENCAnCCR0 の機能	コンペア一致クリア制御	次のカウント動作	ENCAnCCR0 とのコンペア一致が発生したときのタイマ・カウンタのクリア
ENCAnCRM0	ENCAnECM0		
0（コンペア）	0	アップ・カウント	タイマ・カウンタをクリアしません（カウント動作を継続します）。
		ダウン・カウント	
	1	アップ・カウント	タイマ・カウンタを 0000_H にクリアします。
		ダウン・カウント	タイマ・カウンタをクリアしません（カウント動作を継続します）。

ENCAnCTL レジスタの ENCAnLDE ビット = 1 の場合

- アンダフローが発生すると，ENCAnCCR0 レジスタの設定値がタイマ・カウンタにロードされます。
- アンダフロー割り込み（INTENCAnIUD）が出力されます。

(2) キャプチャ機能

- ENCAnCTL レジスタの ENCAnCRM0 ビット = 1 のとき，ENCAnCCR0 レジスタは専用のキャプチャ・レジスタとして機能します。
- キャプチャ・トリガ入力 0（ENCAnI0) の有効エッジを検出すると，タイマ・カウンタの値が ENCAnCCR0 レジスタに格納されます。
- キャプチャ動作中にキャプチャ 0 割り込み（INTENCAnI0）が出力されます。

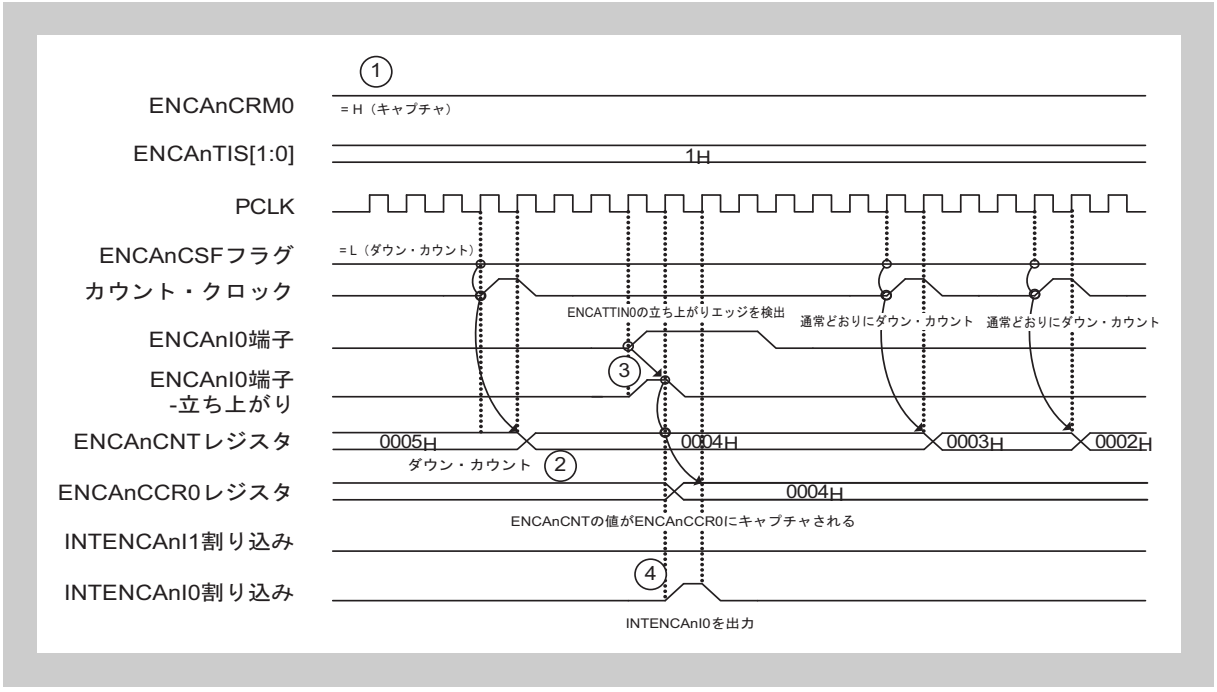


図 18-15 カウント・クロック間のキャプチャ動作（ENCAnCCR0）

1. ①には，次の値が設定されています。ENCAnCRM0 = 1，ENCAnTIS1, ENCAnTIS0 ビット = 01_B。
2. ②は，ダウン・カウントが実行されます。
3. ③では，ENCAnI0 端子入力の立ち上がりエッジが検出され，カウント値が ENCAnCCR0 レジスタにキャプチャされます。
4. ④では，ENCAnCCR0 レジスタへのキャプチャに対応する割り込み信号（INTENCAnI0）が出力されます。

18.4.5 ENCAnCCR1 レジスタの詳細説明

(1) コンペア機能

- ENCAnCTL レジスタの ENCAnCRM1 ビット = 0 のとき，ENCAnCCR1 レジスタは，専用のコンペア・レジスタとして機能します。
- タイマ・カウンタの値と ENCAnCCR1 レジスタの設定値がコンペア一致すると，コンペア 1 一致割り込み（INTENCAnI1）が出力されます。
- ENCAnCTL レジスタの ENCAnECM1 ビット = 1 の場合は，次のカウント動作がダウン・カウントであれば，コンペア一致が発生すると同時にタイマ・カウンタが動作クロック（PCLK）と同期して 0000_H にクリアされます。

ENCAnCCR1 の機能	コンペア一致クリア制御	次のカウント動作	ENCAnCCR1 とのコンペア一致が発生したときのタイマ・カウンタのクリア
ENCAnCRM1	ENCAnECM1		
0（コンペア）	0	アップ・カウント	タイマ・カウンタをクリアしません（カウント動作を継続します）。
		ダウン・カウント	
	1	アップ・カウント	タイマ・カウンタをクリアしません（カウント動作を継続します）。
		ダウン・カウント	タイマ・カウンタを 0000_H にクリアします。

コンペア一致割り込み検出マスク機能

- ENCAnCTL レジスタの ENCAnCME ビット = 1 のときは，コンペア 1 一致割り込み検出マスク機能が有効です。この状態では，タイマ・カウンタの値と ENCAnCCR1 レジスタの設定値が初めて一致したときにコンペア 1 一致割り込みが出力されますが，2 回目以降のコンペア一致によって生成される割り込みはマスクされます。
- ENCAnCTL レジスタの ENCAnMCS ビット = 0 のときは，ENCAnCCR1 レジスタへの書き込み操作によってコンペア 1 一致割り込み検出マスク機能が無効になります。
- ENCAnCTL レジスタの ENCAnMCS ビット = 1 のときは，ENCAnEC 端子入力によるタイマ・カウンタのクリア動作または ENCAnCCR0 レジスタ値とタイマ・カウンタ値との一致によるタイマ・カウンタのクリア動作によってコンペア 1 一致割り込み検出マスク機能が無効になります。
- ENCAnCTL レジスタの ENCAnMCS ビット = 1 かつ ENCAnCTL レジスタの ENCAnLDE ビット = 1 のときは，アンダフロー検出時の ENCAnCCR0 レジスタからタイマ・カウンタへのロード動作によってコンペア 1 一致割り込み検出マスク機能が無効になります。
- コンペア 1 一致割り込み検出マスク機能を有効にする場合，ENCAnCTL レジスタの ENCAnECM1 ビット = 1 の設定は禁止です。

ENCAnCCR1の機能	コンペア1一致割り込みマスク	割り込みマスク・キャンセル・トリガ		ENCAnCCR1とのコンペア一致が発生したときのコンペア1一致割り込みの出力
ENCAnCRM1	ENCAnCME	ENCAnMCS	ENCAnLDE = 0のときのアンダフローの発生	
0（コンペア）	0（マスク機能無効）	–（設定無効）	–	コンペア一致が発生するたびにコンペア1一致割り込みを出力します。
	1（マスク機能有効）	0（ENCAnCCR1レジスタへの書き込み操作）	発生（ENCAnCCR0レジスタからタイマ・カウンタへのロード）	最初のコンペア一致でコンペア1一致割り込みを1回出力します（キャンセル・トリガが発生するまで，2回目以降の一致によって生成される割り込みはマスクされます）。
		1（タイマ・カウンタ・クリア動作）		

(2) キャプチャ機能

- ENCAnCTLレジスタのENCAnCRM1ビット = 1のとき，ENCAnCCR1レジスタは，専用のキャプチャ・レジスタとして機能します。

ENCAnCCR1レジスタのキャプチャ動作については，*1012 ページの(4)「エンコーダ基本動作タイミング4（エンコーダ・キャプチャ・モード）」*のタイミング図を参照してください。

ENCAnCTLレジスタのENCAnCTSビットの設定に対応する動作を以下の表に示します。

ENCAnCCR1の機能	キャプチャ・トリガの選択	キャプチャ・トリガ信号	タイマ・カウンタのクリア	割り込みの発生
ENCAnCRM1	ENCAnCTS			
1（キャプチャ）	0	キャプチャ・トリガ1入力（ENCAnI1端子）	タイマ・カウンタをクリアしません。	(1) キャプチャ1割り込み（INTENCAnI1）
	1	エンコーダ・クリア入力（ENCAnEC端子）	タイマ・カウンタをクリアします。	(1) キャプチャ1割り込み（INTENCAnI1） (2) エンコーダ・クリア割り込み（INTENCAnIEC）

キャプチャ機能の基本動作は，以下のとおりになります。

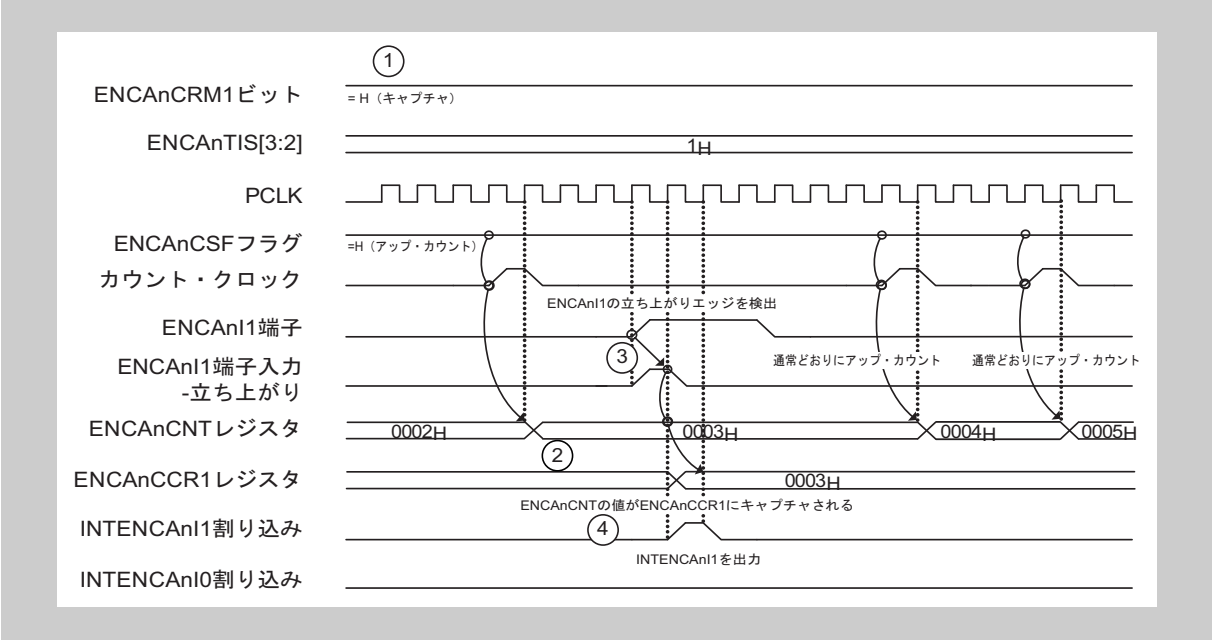


図 18-16 カウント・クロック間のキャプチャ動作（ENCAnCCR1）

1. ①には，次の値が設定されています。ENCAnCRM1 = 1，ENCAnTIS3 と ENCAnTIS2 ビット = 01_B。
2. ②は，アップ・カウントが実行されます。
3. ③では，ENCAnI1 入力の立ち上がりエッジが検出され，カウント値が ENCAnCCR1 にキャプチャされます。
4. ④では，ENCAnCCR1 レジスタへのキャプチャに対応する割り込み信号（INTENCAnI1）が出力されます。

(3) コンペアレジスタが一致したときのタイマ・カウンタのクリア動作

タイマ・カウンタ値と ENCAnCCR0，ENCAnCCR1 レジスタの設定値がコンペアー致したときに，ENCAnCTL レジスタの ENCAnECM1 ビットと ENCAnECM0 ビットの設定に従って行われるタイマ・カウンタのクリア動作の詳細を以下の表に示します。

ENCAnECM1 と ENCAnECM0	次のカウント動作	ENCAnCCR1 とのコンペアー致が発生したときのタイマ・カウンタのクリア	ENCAnCCR0 とのコンペアー致が発生したときのタイマ・カウンタのクリア
00	アップ・カウント	タイマ・カウンタをクリアしません（カウント動作を継続します）	タイマ・カウンタをクリアしません（カウント動作を継続します）
	ダウン・カウント	タイマ・カウンタをクリアしません（カウント動作を継続します）	タイマ・カウンタをクリアしません（カウント動作を継続します）
01	アップ・カウント	タイマ・カウンタをクリアしません（カウント動作を継続します）	タイマ・カウンタを 0000_H にクリアします。
	ダウン・カウント	タイマ・カウンタをクリアしません（カウント動作を継続します）	タイマ・カウンタをクリアしません（カウント動作を継続します）
10	アップ・カウント	タイマ・カウンタをクリアしません（カウント動作を継続します）	タイマ・カウンタをクリアしません（カウント動作を継続します）
	ダウン・カウント	タイマ・カウンタを 0000_H にクリアします。	タイマ・カウンタをクリアしません（カウント動作を継続します）
11	アップ・カウント	タイマ・カウンタをクリアしません（カウント動作を継続します）	タイマ・カウンタを 0000_H にクリアします。
	ダウン・カウント	タイマ・カウンタを 0000_H にクリアします。	タイマ・カウンタをクリアしません（カウント動作を継続します）

18.4.6　タイマ・カウンタの起動／停止

(1)　エンコーダ・タイマ単体使用時のタイマ起動

ENCAnTE レジスタの ENCAnTS ビットを 1 にセットすることによって動作を開始することができます。

(2)　エンコーダ・タイマの停止

タイマの動作は，ENCAnTT レジスタの ENCAnTT ビットを「1」に設定し，ENCAnTE レジスタの ENCAnTE ビットを「0」に設定することによって停止します。

エンコーダ・タイマが 1 つの場合は，ENCAnTT レジスタの ENCAnTT ビットが「1」にセットされると ENCAnTE ビットが 0 になり，タイマが停止します。

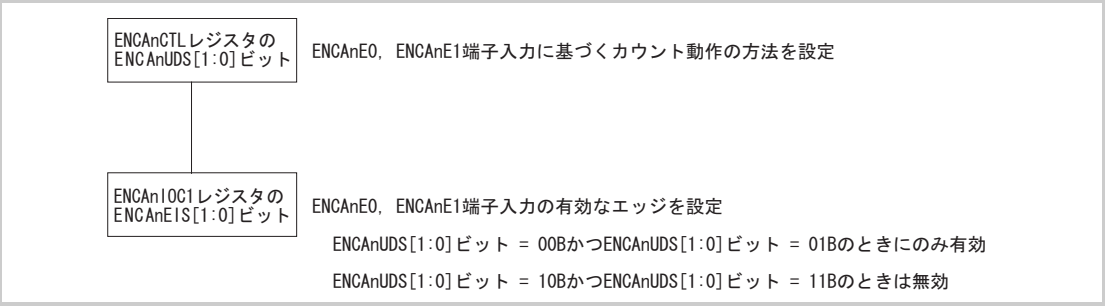
18.5 設定の順序

18.5.1 エンコーダ・タイマの設定手順

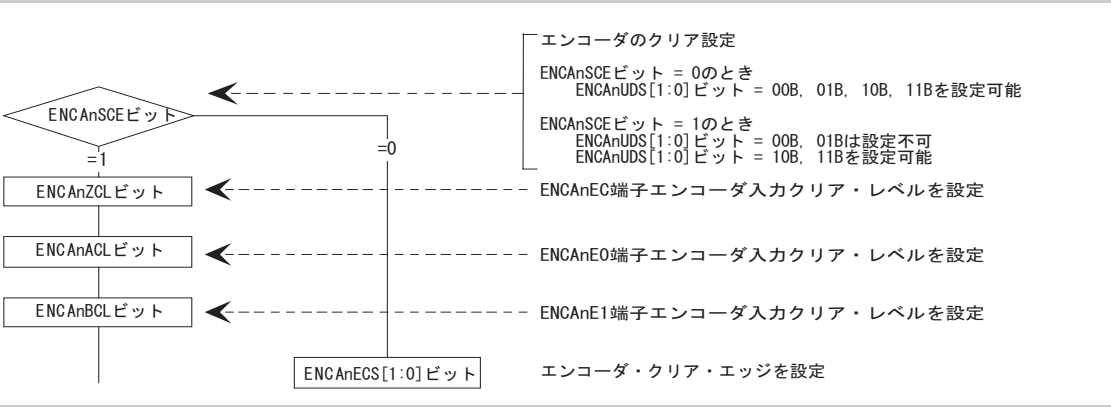
以下でエンコーダ・タイマの設定の手順を説明します。

	操作	設定の状態
初期設定	リセット解除	電源オン状態，動作停止状態。 （各レジスタへの書き込みは許可）
エンコーダ・タイマの初期設定	以下の初期設定を実行します。 • カウンタの設定 • カウンタ・クリアの設定 • ENCAnCCR0 レジスタの設定 • ENCAnCCR1 レジスタの設定	カウント動作停止状態です。 動作状態を示す ENCAnTE ビット = 0 です。
	カウンタ初期値の設定を実行します。 • ENCAnCNT レジスタに任意の 16 ビット値を設定します。 （このレジスタを設定した後，ENCAnTS ビットを「1」にセットすると，設定されたカウント値からカウンタの動作が開始されます）。	ここで設定される値がカウンタ・レジスタの初期値として設定されます。
動作開始	カウンタ動作開始の設定を実行します。 • ENCAnTS ビットを「1」にセットします。	カウンタ動作開始状態です。 動作状態を示す ENCAnTE ビットの値が 1 であり，カウント・クロックが内部回路に供給されます。
動作中	動作中に設定を変更できるレジスタのみを書き換えることができます。 • ENCAnCCR0 レジスタの設定 • ENCAnCCR1 レジスタの設定 • ENCAnIOC0 レジスタの設定	初期設定で設定されたカウント動作が実行され，ENCAnE0 端子と ENCAnE1 端子に従ってアップ・カウント／ダウン・カウントが実行されます。
動作停止	動作中にカウンタ動作停止の設定を実行します。 • ENCAnTT ビットを「1」に設定します。	カウンタ動作停止状態です。 動作状態を示す ENCAnTE ビット = 0 です。
エンコーダ・タイマ停止	リセット	設定レジスタが初期化されます。

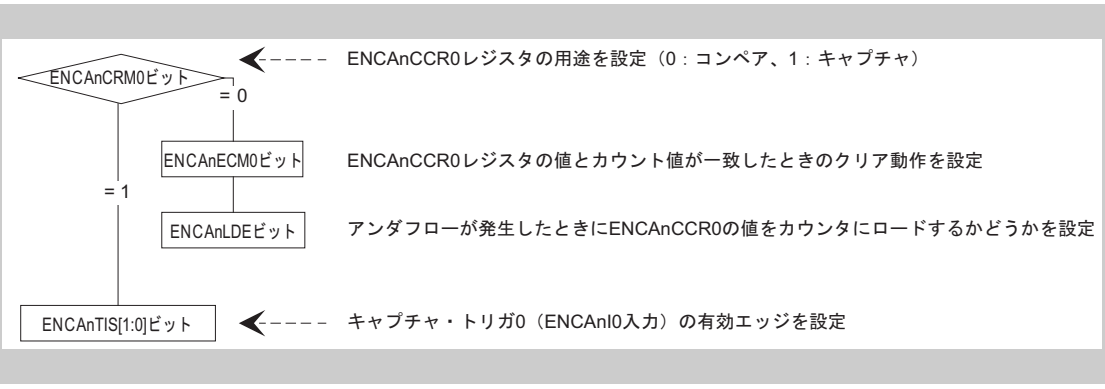
(1) カウンタの初期設定手順



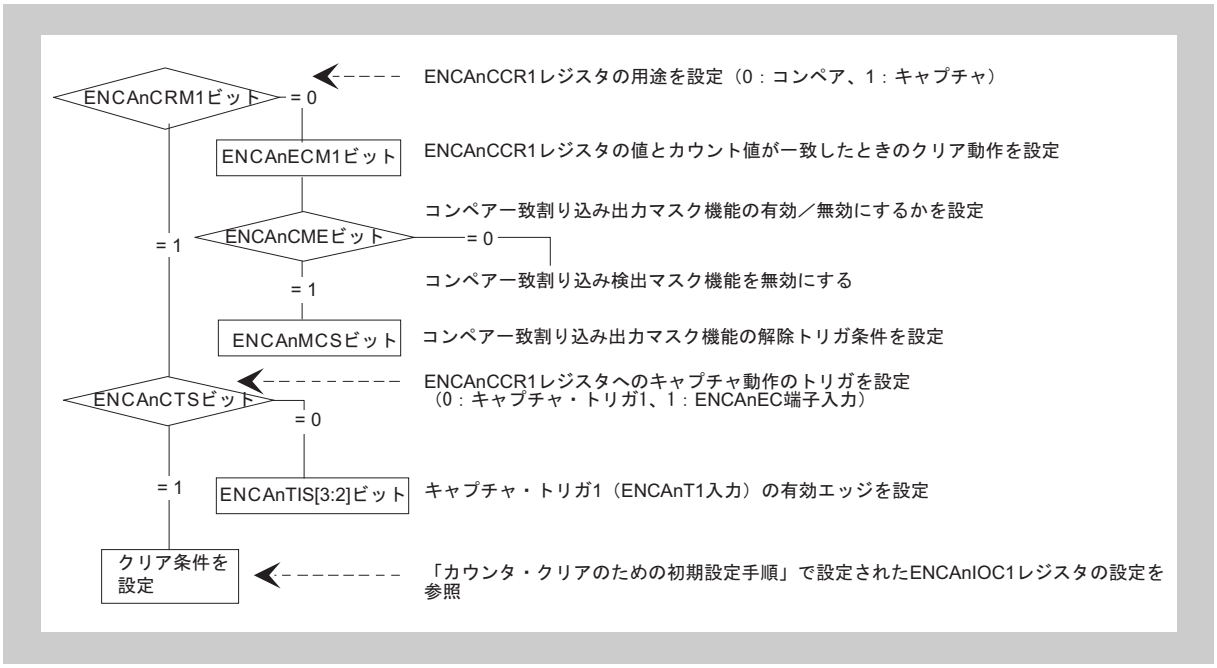
(2) カウンタ・クリアのための初期設定手順



(3) ENCAnCCR0 レジスタの初期設定手順



(4)　ENCAnCCR1 レジスタ設定手順



18.6 エンコーダ動作図

(1) エンコーダ基本動作タイミング 1（エンコーダ・コンペア・モード①）

＜設定条件＞

- ENCAnCTL レジスタの ENCAnCRM1，ENCAnCRM0 ビット = 00B
（ENCAnCCR0，ENCAnCCR1 レジスタをコンペア機能に設定）
- ENCAnCTL レジスタの ENCAnECM1，ENCAnECM0 ビット = 01B
（カウンタ値と ENCAnCCR0 レジスタの設定値が一致したとき，次のカウントがアップ・カウントの場合，カウンタ・クリア）
- ENCAnCTL レジスタの ENCAnLDE ビット = 1
（アンダフロー発生時，ENCAnCCR0 レジスタ設定値をカウンタにロード）

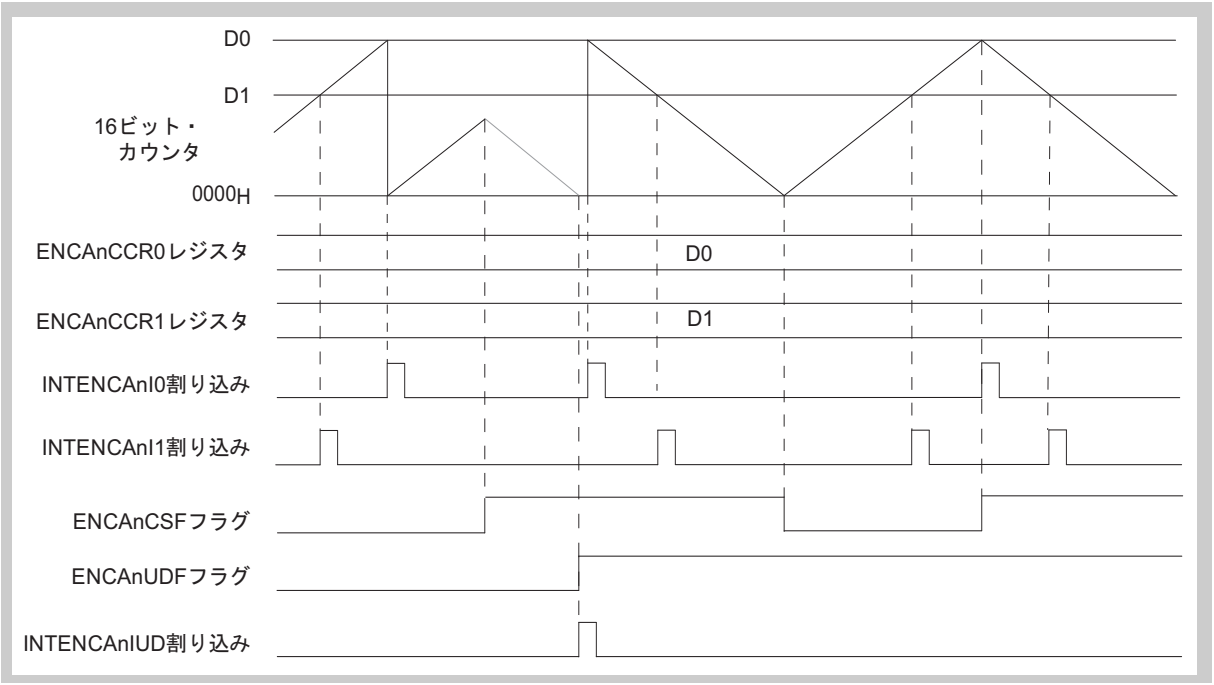


図 18-17 エンコーダ基本動作タイミング 1（エンコーダ・コンペア・モード①）

カウンタ値と ENCAnCCR0 レジスタ（D0）値との一致によりコンペア一致割り込み（INTENCAnI0）が発生します。

ENCAnECM0 ビット = 1 設定のため，次のカウント動作がアップ・カウントの場合カウンタを 0000_H にクリアします。

カウンタ値と ENCAnCCR1 レジスタ（D1）値との一致によりコンペア一致割り込み（INTENCAnI1）が発生します。
ENCAnECM1 ビット = 0 設定のため，ENCAnCCR1 レジスタとの一致によるカウンタ・クリア動作は発生しません。

カウンタのアンダフローのタイミングでアンダフロー割り込み（INTENCAnIUD）が発生します。
ENCAnLDE ビット = 1 設定のため，アンダフローの発生により ENCAnCCR0 レジスタ設定値（D0）がカウンタにロードされます。

ENCAnLDE ビット = 1，ENCAnECM1，ENCAnECM0 ビット = 01B の設定により「0000_H-ENCAnCCR0 レジスタ設定値」間でカウント動作します。

(2) エンコーダ基本動作タイミング 2（エンコーダ・コンペア・モード②）

＜設定条件＞

- ENCAnCTL レジスタの ENCAnCRM1，ENCAnCRM0 ビット = 00B
（ENCAnCCR0，ENCAnCCR1 レジスタをコンペア機能に設定）
- ENCAnCTL レジスタの ENCAnECM1，ENCAnECM0 ビット = 00B
（カウンタ値と ENCAnCCR0 レジスタの設定値との一致によるカウンタ・クリア動作は発生しません）
- ENCAnCTL レジスタの ENCAnLDE ビット = 0
（ENCAnCCR0 レジスタ設定値のカウンタへのダウンロードなし）

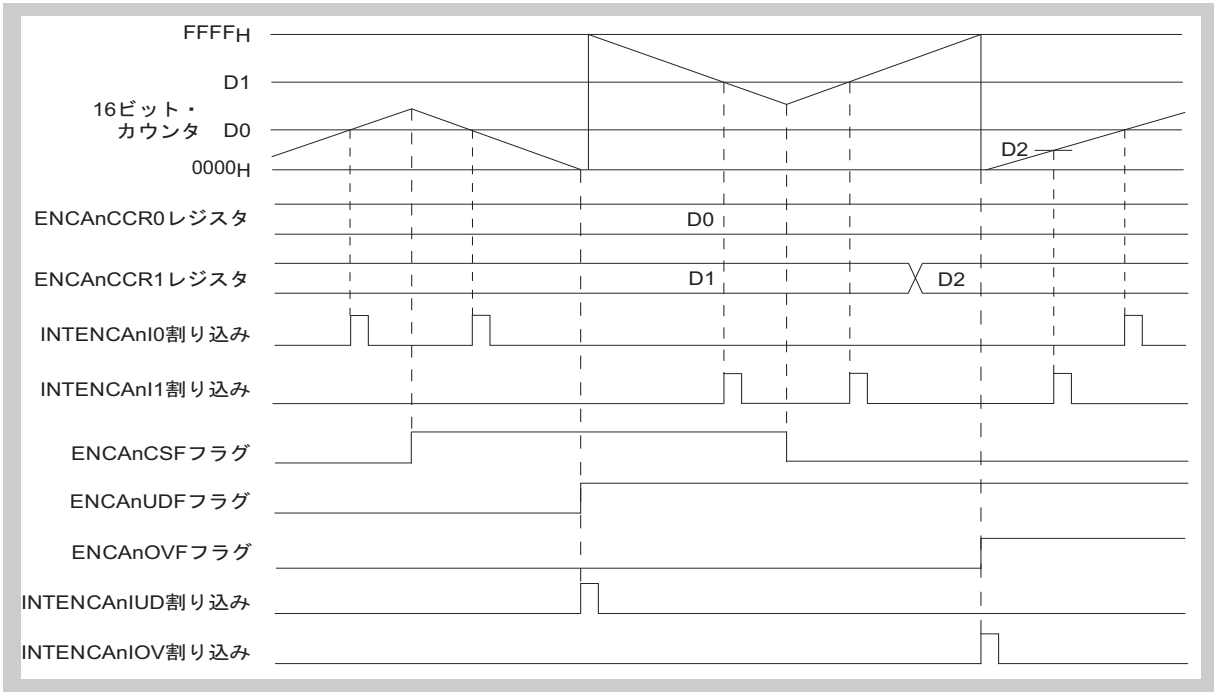


図 18-18 エンコーダ基本動作タイミング 2（エンコーダ・コンペア・モード②）

カウンタ値と ENCAnCCR0 レジスタ（D0）値との一致によりコンペア一致割り込み（INTENCAnI0）が発生します。
ENCAnECM0 ビット = 0 設定のため，ENCAnCCR0 レジスタとの一致によるカウンタ・クリア動作は発生しません。

カウンタ値と ENCAnCCR1 レジスタ（D1，D2）値との一致によりコンペア一致割り込み（INTENCAnI1）が発生します。
ENCAnECM1 ビット = 0 設定のため，ENCAnCCR1 レジスタとの一致によるカウンタ・クリア動作は発生しません。

カウンタのオーバフロー，アンダフローのタイミングで，オーバフロー割り込み（INTENCAnIOV），アンダフロー割り込み（INTENCAnIUD）が発生します。

(3) エンコーダ基本動作タイミング 3（エンコーダ・コンペア・モード③）

＜設定条件＞

- ENCAnCTL レジスタの ENCAnCRM1，ENCAnCRM0 ビット = 00B
（ENCAnCCR0，ENCAnCCR1 レジスタをコンペア機能に設定）
- ENCAnCTL レジスタの ENCAnECM1，ENCAnECM0 ビット = 11B
（カウンタ値と ENCAnCCR0 レジスタの設定値が一致したとき，次のカウントがアップ・カウントの場合，カウンタ・クリア）
（カウンタ値と ENCAnCCR1 レジスタの設定値が一致したとき，次のカウントがダウン・カウントの場合，カウンタ・クリア）
- ENCAnCTL レジスタの ENCAnLDE ビット = 0
（ENCAnCCR0 レジスタ設定値のカウンタへのダウンロードなし）

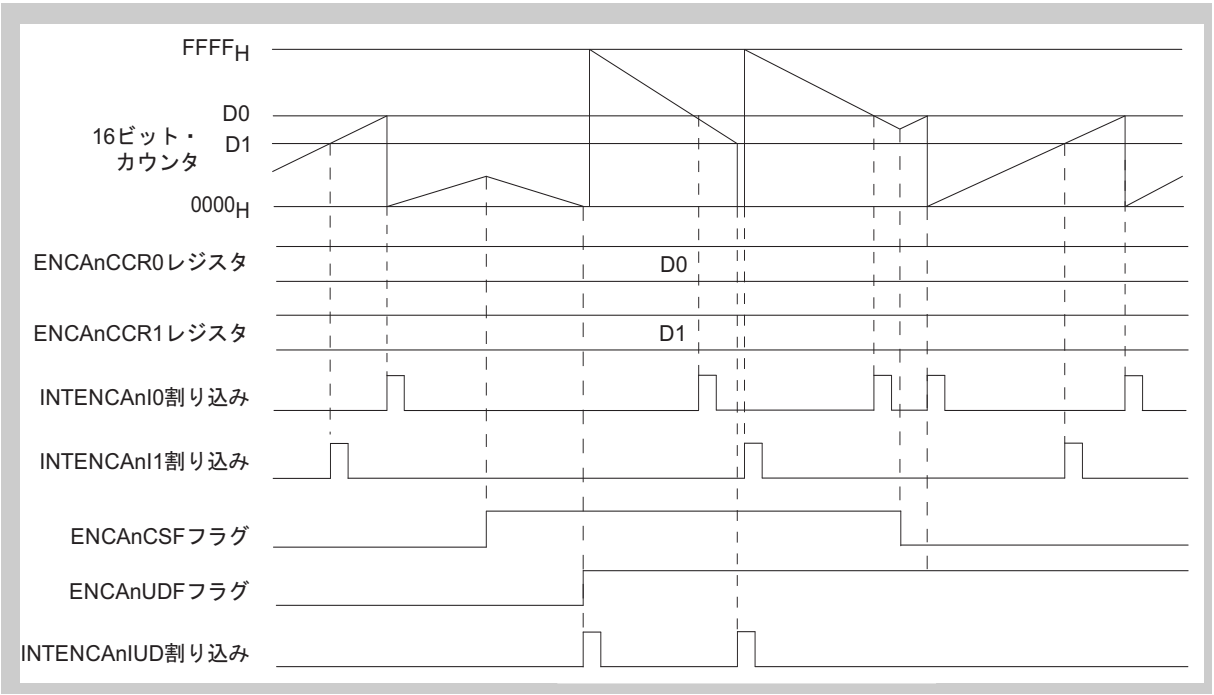


図 18-19 エンコーダ基本動作タイミング 3（エンコーダ・コンペア・モード③）

カウンタ値と ENCAnCCR0 レジスタ（D0）値との一致によりコンペア一致割り込み（INTENCAnI0）が発生します。
ENCAnECM0 ビット = 1 設定のため，次のカウント動作がアップ・カウントの場合カウンタを 0000_H にクリアします。

カウンタ値と ENCAnCCR1 レジスタ（D1）値との一致によりコンペア一致割り込み（INTENCAnI1）が発生します。
ENCAnECM1 ビット = 1 設定のため，次のカウント動作がダウン・カウントの場合カウンタを 0000_H にクリアします。

(4) エンコーダ基本動作タイミング 4（エンコーダ・キャプチャ・モード）

＜設定条件＞

- ENCAnCTL レジスタの ENCAnCRM1，ENCAnCRM0 ビット = 11B（ENCAnCCR0，ENCAnCCR1 レジスタをキャプチャ機能に設定）
- ENCAnCTL レジスタの ENCAnECM1，ENCAnECM0 ビット = 00B（カウンタ値と ENCAnCCR0 レジスタの設定値との一致によるカウンタ・クリア動作は発生しません）
- ENCAnCTL レジスタの ENCAnLDE ビット = 0（ENCAnCCR0 レジスタ設定値のカウンタへのロードなし）
- ENCAnIOC1 レジスタの ENCAnSCE ビット = 0，ENCAnECS1，ENCAnECS0 ビット = 00B（ENCAnEC 端子入力によるエッジ検出なし）
- ENCAnIOC0 レジスタの ENCAnTIS3，ENCAnTIS2 ビット = 01B（ENCAnI1 端子入力の立ち上がりエッジを検出）
- ENCAnIOC0 レジスタの ENCAnTIS1，ENCAnTIS0 ビット = 01B（ENCAnI0 端子入力の立ち上がりエッジを検出）

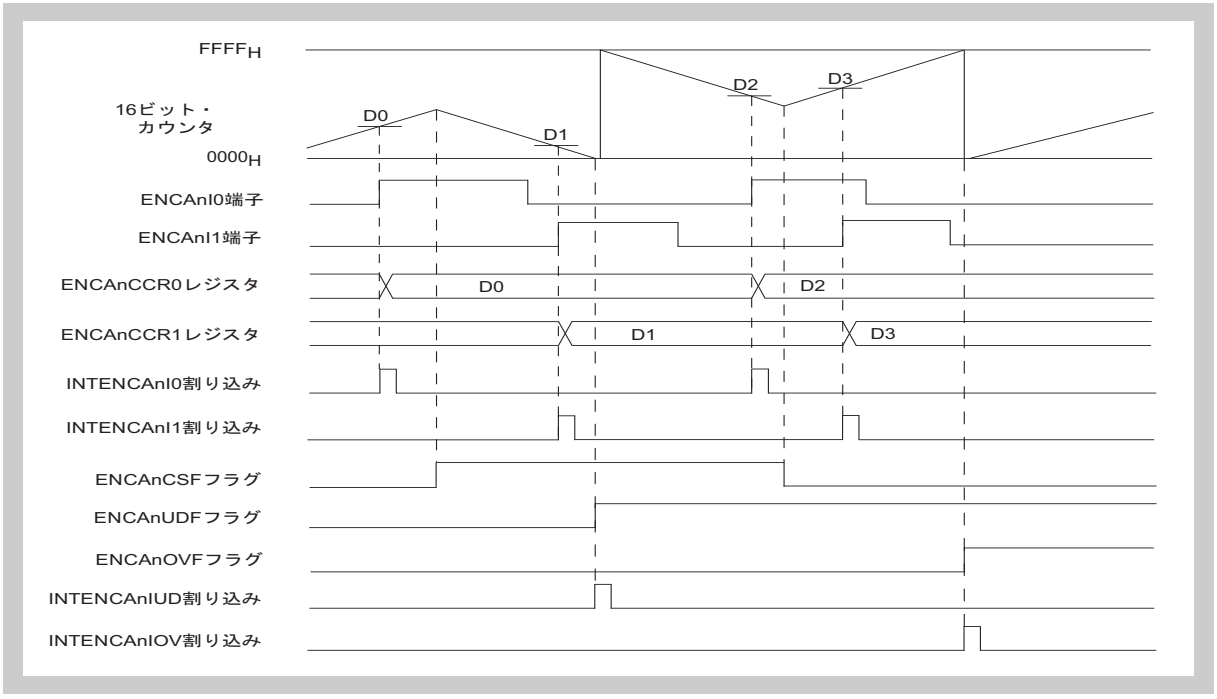


図 18-20 エンコーダ基本動作タイミング 4（エンコーダ・キャプチャ・モード）

ENCAnI0 端子の立ち上がりエッジ検出によりカウンタ値をキャプチャレジスタ（ENCAnCCR0）に格納し，キャプチャ割り込み（INTENCAnI0）が発生します。
ENCAnI1 端子の立ち上がりエッジ検出によりカウンタ値をキャプチャレジスタ（ENCAnCCR1）に格納し，キャプチャ割り込み（INTENCAnI1）が発生します。

カウンタのオーバフロー，アンダフローのタイミングで，オーバフロー割り込み（INTENCAnIOV），アンダフロー割り込み（INTENCAnIUD）が発生します。

(5) エンコーダ基本動作タイミング5（エンコーダ・キャプチャ・コンペア・モード）

＜設定条件＞

- ENCAnCTL レジスタの ENCAnCRM1，ENCAnCRM0 ビット = 10B
（ENCAnCCR0 レジスタをコンペア機能，ENCAnCCR1 レジスタをキャプチャ機能に設定）
- ENCAnCTL レジスタの ENCAnECM1，ENCAnECM0 ビット = 01B
（カウンタ値と ENCAnCCR0 レジスタ値との一致条件でカウンタ・クリア）
- ENCAnCTL レジスタの ENCAnLDE ビット = 1
（アンダフロー発生時，ENCAnCCR0 レジスタ設定値をカウンタにロード）
- ENCAnIOC1 レジスタの ENCAnSCE ビット = 0，ENCAnECS1，ENCAnECS0 ビット = 00B
- ENCAnIOC0 レジスタの ENCAnTIS3，ENCAnTIS2 ビット = 11B
（ENCAnI1 端子入力の両エッジを検出）

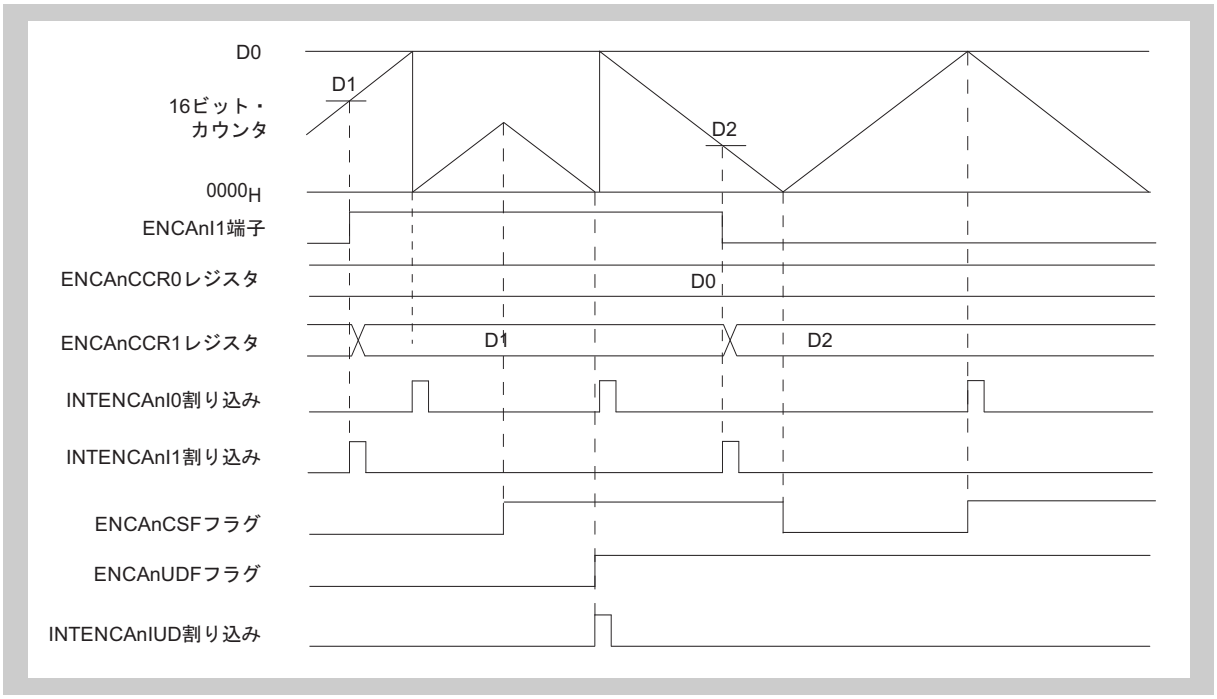


図 18-21 エンコーダ基本動作タイミング5
（エンコーダ・キャプチャ・コンペア・モード）

カウンタ値と ENCAnCCR0 レジスタ（D0）値との一致によりコンペア一致割り込み（INTENCAnI0）が発生します。
ENCAnECM0 ビット = 1 設定のため，次のカウント動作がアップ・カウントの場合カウンタを 0000_H にクリアします。

ENCAnI1 端子の両エッジ検出によりカウンタ値をキャプチャレジスタ（ENCAnCCR1）に格納し，キャプチャ割り込み（INTENCAnI1）が発生します。

カウンタのアンダフローのタイミングでアンダフロー割り込み（INTENCAnIUD）が発生します。
ENCAnLDE ビット = 1 設定のため，アンダフローの発生により ENCAnCCR0 レジスタ設定値（D0）がカウンタにロードされます。

ENCAnLDE ビット = 1，ENCAnECM1，ENCAnECM0 ビット = 01B の設定により「0000_H-ENCAnCCR0 レジスタ設定値」間でカウント動作します。

第 19 章　タイマ・オプション機能（TAPA）

この章では，タイマ・オプション機能について説明します。

19.1　タイマ・オプション機能の特徴

チャネル　この製品は次のチャネル数のタイマ・オプション機能を搭載しています。

表 19-1　タイマ・オプション機能のチャネル

タイマ・オプション	
チャネル数	2
名称	TAPAn

n の意味　この章では，タイマ・オプション機能の各チャネルを「n」で識別します。たとえば，TAPAn フラグ・レジスタ（TAPAnFLG）（n = 0, 2）のように記述しています。

レジスタ・アドレス　タイマ・オプション・レジスタのアドレスは，それぞれのベース・アドレス <TAPAn_base0>，<TAPAn_base1> からのオフセットで表されます。
各 TAPAn のレジスタ・ベース・アドレスを次の表に示します。

表 19-2　レジスタ・ベース・アドレス

TAPAn	<TAPAn_base0> アドレス	<TAPAn_base1> アドレス
TAPA0	FF81 5000$_H$	FFFF D400$_H$
TAPA2	FF81 7000$_H$	FFFF D600$_H$

クロック供給　タイマ・オプションは以下のクロックが入力されます。

表 19-3　TAPA クロック供給

TAPAn	TAPAn のクロック	接続先
TAPA0	PCLK	クロック・コントローラ
TAPA2		

割り込み　タイマ・オプションは次の割り込み要求を発生できます。

表 19-4　TAPAn の割り込み要求

TAPAn の信号	機能	接続先
TAPA0		
TAPA0TIPEK0	TAPA0 の山割り込み	割り込みコントローラ INTTAPA0IPEK0
TAPA0TIPEK1	TAPA0 の山割り込み	－
TAPA0TIVLY0	TAPA0 の谷割り込み	割り込みコントローラ INTTAPA0IVLY0
TAPA0TIVLY1	TAPA0 の谷割り込み	－
TAPA2		
TAPA2TIPEK0	TAPA2 の山割り込み	－
TAPA2TIPEK1	TAPA2 の山割り込み	－
TAPA2TIVLY0	TAPA2 の谷割り込み	－
TAPA2TIVLY1	TAPA2 の谷割り込み	－

内部信号　タイマ・オプションの内部信号の接続を以下の表に示します。

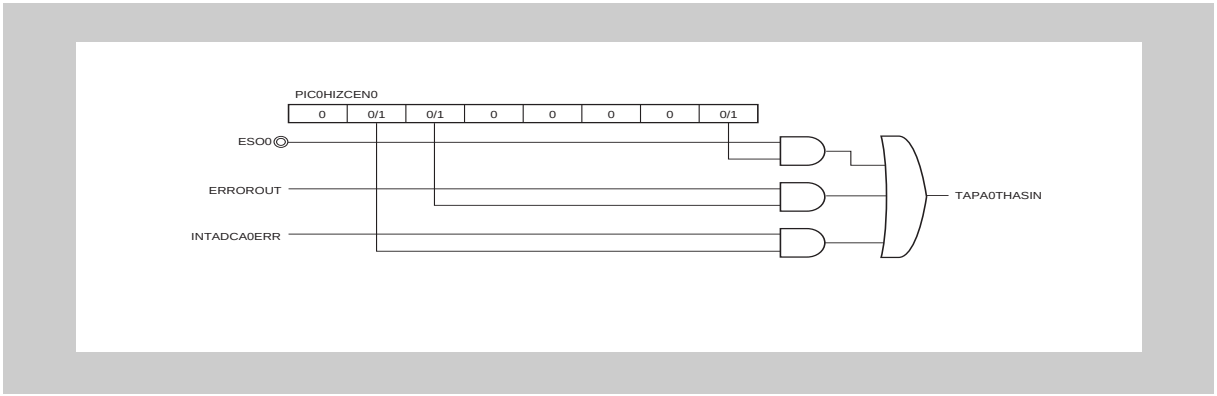
表 19-5　TAPAn の内部信号 (1/2)

TAPAn の信号	機能	接続先
TAPA0		
TAPA0THASIN	Hi-Z 制御 非同期入力信号	PIC
TAPA0TSIM0	TAUB マスタ CH0 INT 入力	PIC
TAPA0TSIM1	TAUB マスタ CH0 INT 入力	－
TAPA0TUDCM0	TAUB マスタ CH0 アップダウン入力	PIC
TAPA0TUDCM1	TAUB マスタ CH0 アップダウン入力	－
TAPA0TCDENS0	TAUB スレーブ CH0 一致検出入力	PIC
TAPA0TCDENS1	TAUB スレーブ CH1 一致検出入力	PIC
TAPA0TCDENM0	TAUB マスタ CH0 周期検出入力	－
TAPA0TCDENM1	TAUB マスタ CH1 周期検出入力	－
TAPA0TOEM0	TAUB マスタ CH0 タイマ許可入力	－
TAPA0TOEM1	TAUB マスタ CH1 タイマ許可入力	－
TAPA0TADOUT0	A/D 変換トリガ出力 0	ADCA0
TAPA0TADOUT1	A/D 変換トリガ出力 1	ADCA0

表 19-5　TAPAn の内部信号 (2/2)

TAPAn の信号	機能	接続先
TAPA2		
TAPA2THASIN	Hi-Z 制御 非同期入力信号	PIC
TAPA2TSIM0	TAUB マスタ CH0 INT 入力	－
TAPA2TSIM1	TAUB マスタ CH0 INT 入力	－
TAPA2TUDCM0	TAUB マスタ CH0 アップダウン入力	－
TAPA2TUDCM1	TAUB マスタ CH0 アップダウン入力	－
TAPA2TCDENS0	TAUB スレーブ CH0 一致検出入力	－
TAPA2TCDENS1	TAUB スレーブ CH1 一致検出入力	－
TAPA2TCDENM0	TAUB マスタ CH0 周期検出入力	－
TAPA2TCDENM1	TAUB マスタ CH1 周期検出入力	－
TAPA2TOEM0	TAUB マスタ CH0 タイマ許可入力	－
TAPA2TOEM1	TAUB マスタ CH1 タイマ許可入力	－
TAPA2TADOUT0	A/D 変換トリガ出力 0	－
TAPA2TADOUT1	A/D 変換トリガ出力 1	－

(a)　TAPA0 の Hi-Z 制御信号（TAPA0THASIN 信号）



(b)　TAPA2 の Hi-Z 制御信号（TAPA2THASIN 信号）

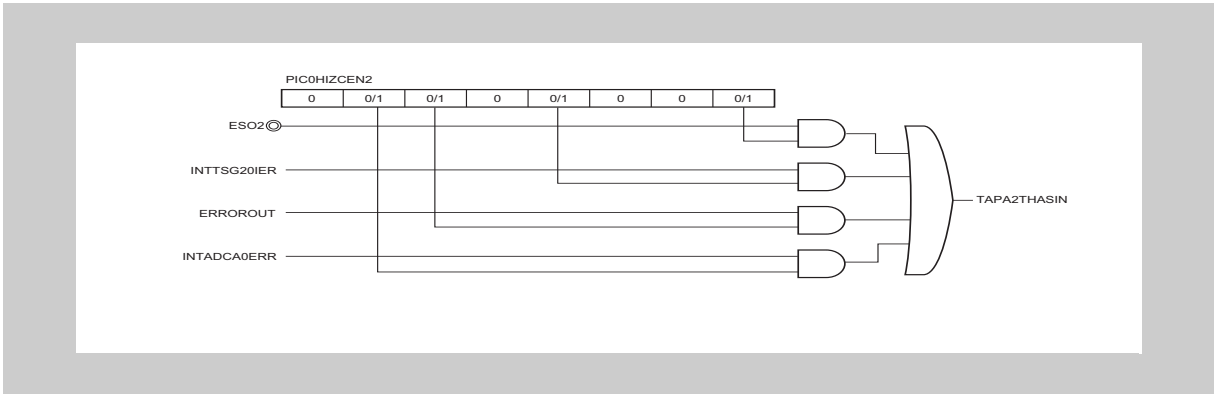


図 19-1　TAPA0，TAPA2 の Hi-Z 制御信号（TAPAnTHASIN 信号）

(1) Hi-Z 出力制御レジスタ 0（PIC0HIZCEN0）

PIC0HIZCEN0 レジスタは，Hi-Z 出力制御用の入力信号を選択します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FF81 C080$_H$

初期値 00$_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	PIC0HIZCEN06	PIC0HIZCEN05	0	0	0	0	PIC0HIZCEN00
R	R/W	R/W	R	R	R	R	R/W

表 19-6 PIC0HIZCEN0 の内容

ビット位置	ビット名	機能
6	PIC0HIZCEN06	INTADCA0TERR 割り込み信号で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可
5	PIC0HIZCEN05	ERROROUT 信号で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可
0	PIC0HIZCEN00	ESO0 端子入力で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可

注意 1. PIC0HIZCEN0 レジスタの設定は，非同期 Hi-Z 制御を許可する前に設定してください。

2. INTADCA0TERR 割り込み信号，ERROROUT 信号を選択する場合，有効エッジの選択を立ち上がりエッジ（TAPA0CTL0.TAPA0DCN, TAPA0DCP = “01”）で選択してください。

備考 PIC0HIZCEN0 レジスタの定義されていないビットは “0” を設定してください。

(2) Hi-Z 出力制御レジスタ 2（PIC0HIZCEN2）

PIC0HIZCEN2 レジスタは，Hi-Z 出力制御用の入力信号を選択します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FF81 C088$_H$

初期値 00$_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	PIC0HIZCEN26	PIC0HIZCEN25	0	PIC0HIZCEN23	0	0	PIC0HIZCEN20
R	R/W	R/W	R	R/W	R	R	R/W

表 19-7 PIC0HIZCEN2 の内容

ビット位置	ビット名	機能
6	PIC0HIZCEN26	INTADCA0TERR 割り込み信号で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可
5	PIC0HIZCEN25	ERROROUT 信号で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可
3	PIC0HIZCEN23	INTTSG20IER 割り込み信号で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可
0	PIC0HIZCEN20	ESO2 端子入力で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可

注意 1. PIC0HIZCEN2 レジスタの設定は，非同期 Hi-Z 制御を許可する前に設定してください。

2. INTADCA0TERR 割り込み信号，ERROROUT 信号，INTTSG20IER 割り込み信号を選択する場合，有効エッジの選択を立ち上がりエッジ（TAPA2CTL0.TAPA2DCN, TAPA2DCP = “01”）で選択してください。

備考 PIC0HIZCEN2 レジスタの定義されていないビットは “0” を設定してください。

I/O 信号 タイマ・オプションの I/O 信号を以下の表に示します

表 19-8 TAPAn の I/O 信号

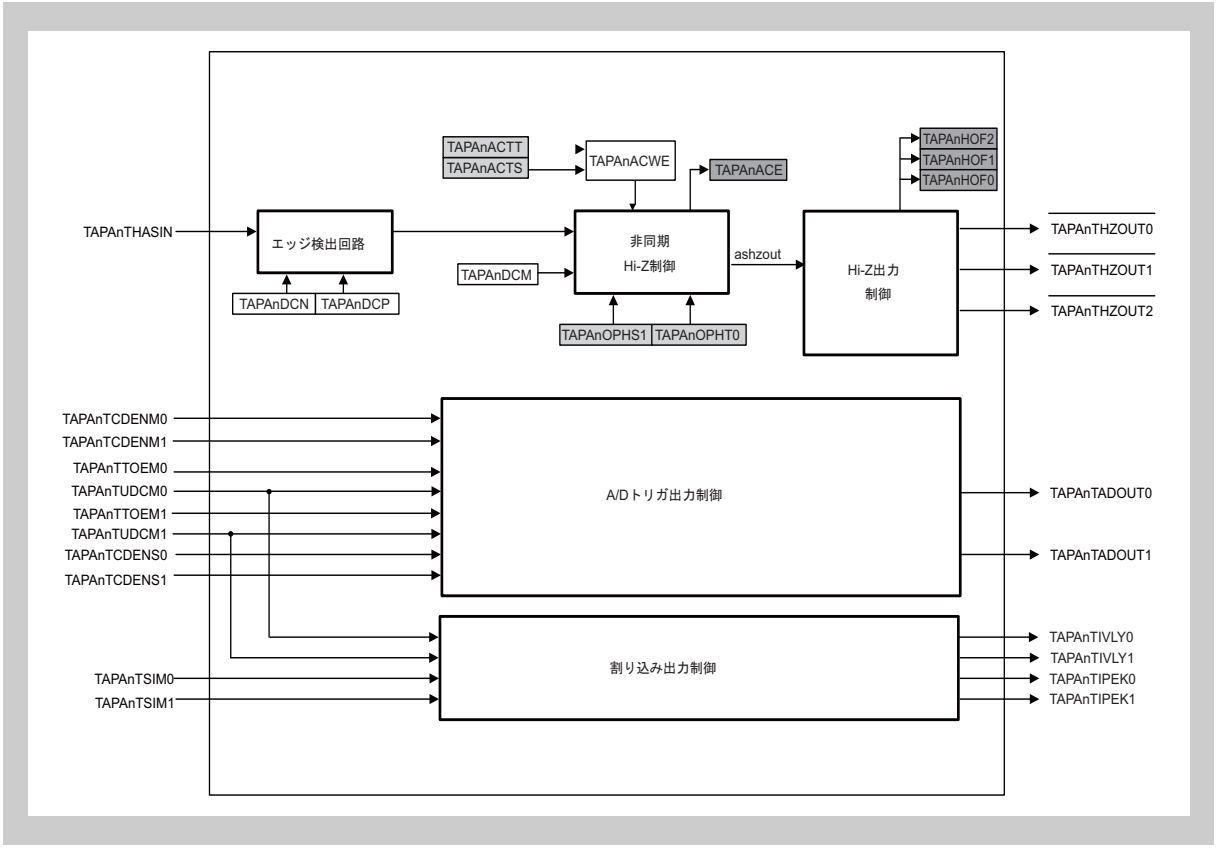
TAPAn の信号	機能	接続先
TAPA0		
$\overline{\text{TAPA0THZOUT0}}$	Hi-Z 制御信号 0（U 相）	TAUB0 の U 相出力信号（TOUT10/TOUT11）の Hi-Z 制御
$\overline{\text{TAPA0THZOUT1}}$	Hi-Z 制御信号 1（V 相）	TAUB0 の V 相出力信号（TOUT12/TOUT13）の Hi-Z 制御
$\overline{\text{TAPA0THZOUT2}}$	Hi-Z 制御信号 2（W 相）	TAUB0 の W 相出力信号（TOUT14/TOUT15）の Hi-Z 制御
TAPA2		
$\overline{\text{TAPA2THZOUT0}}$	Hi-Z 制御信号 0	TSG20 の TSG20O1-TSG20O6 端子の Hi-Z 制御

19.2　機能概要

機能概要　タイマ・オプション機能（TAPA）をタイマ・アレイ・ユニットB（TAUB），TSG2機能と組み合わせて使用します。

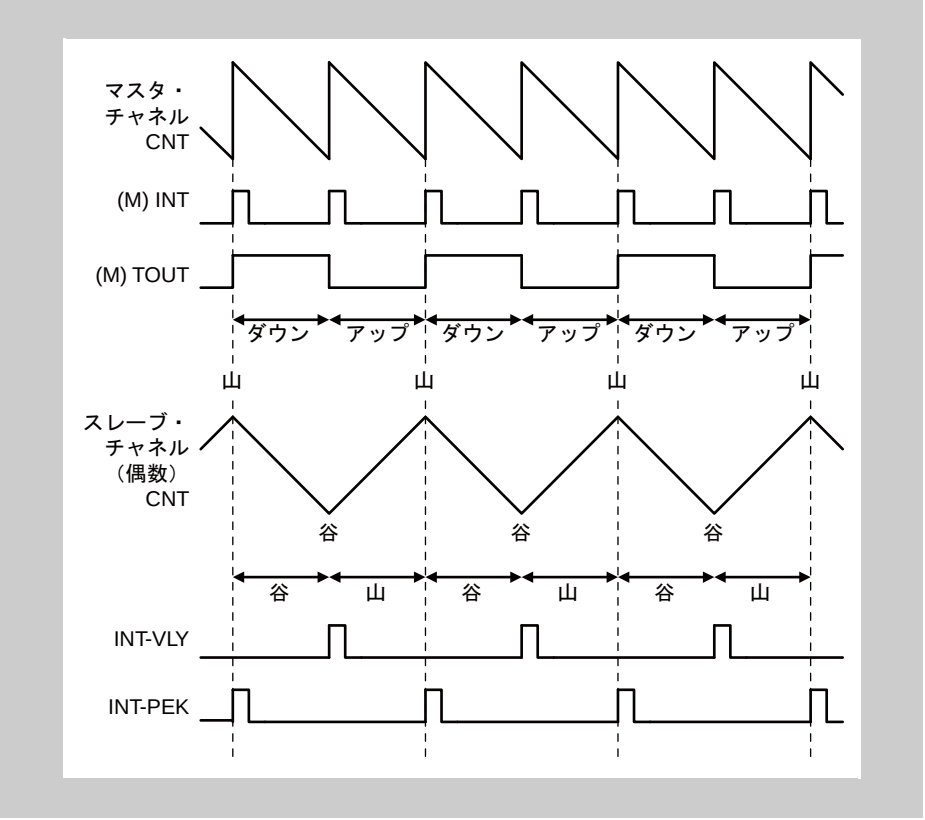
- 端子入力に対応した非同期Hi-Z制御
- TAUBが出力するINTn信号を基に山割り込み，谷割り込みを出力可能
- TAUBが出力するINTn信号を基にA/Dコンバータ変換トリガ信号を2本出力可能

19.2.1　ブロック図



19.2.2 タイマ・カウンタの「山」と「谷」,「山割り込み」と「谷割り込み」について

このドキュメントでは，TAUB の Down ステータス（カウント・ダウン・ステータス）期間から，マスタ・チャネルの INT 発生までを「谷」期間とし，発生するマスタ・チャネルの INT を「谷割り込み」（INT-VLY）と定義します。また，TAUB の Up ステータス（カウント・アップ・ステータス）期間から，マスタ・チャネルの INT 発生までを「山」期間とし，発生するマスタ・チャネルの INT を「山割り込み」（INT-PEK）と定義します。



19.3　レジスタ

TAPAn は，次のレジスタで制御，動作します。

19.3.1　レジスタの概要

表 19-9　制御レジスター覧

レジスタ名	略号	アドレス
TAPAn 制御レジスタ 0	TAPAnCTL0	<TAPAn_base0> + 20_H
TAPAn 制御レジスタ 1（n = 0）注	TAPAnCTL1（n = 0）注	<TAPAn_base0> + 24_H（n = 0）注
TAPAn フラグ・レジスタ	TAPAnFLG	<TAPAn_base1> + 00_H
TAPAn 非同期制御ライト・イネーブル・レジスタ	TAPAnACWE	<TAPAn_base1> + 04_H
TAPAn 非同期制御スタート・トリガ・レジスタ	TAPAnACTS	<TAPAn_base1> + 08_H
TAPAn 非同期制御ストップ・トリガ・レジスタ	TAPAnACTT	<TAPAn_base1> + $0C_H$
TAPAnHi-Z スタート・トリガ・レジスタ	TAPAnOPHS	<TAPAn_base1> + 14_H
TAPAnHi-Z ストップ・トリガ・レジスタ	TAPAnOPHT	<TAPAn_base1> + 18_H

注　TAPA2 は A/D コンバータ変換トリガ選択機能がないため，TAPAn 制御レジスタ 1（TAPAnCTL1）はありません。

<TAPAn_base>　TAPAn のベース・アドレス <TAPAn_base> は，この章の最初の節に「レジスタ・アドレス」という言葉で定義されています。

19.3.2 レジスタの詳細

(1) TAPAnCTL0 - TAPAn 制御レジスタ 0

Hi-Z 制御用の制御レジスタ 0 です。

このレジスタの値は，TAPAnFLG.TAPAnACE = 0，かつ，対応する TAUB のマスタ・チャネルの TAUBnTE = 0 の場合のみ書き換えることができます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAPAn_base0> + 20_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	TAPAnDCM	TAPAnDCN	TAPAnDCP	0	0
R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 19-10 TAPAnCTL0 レジスタの内容

ビット位置	ビット名	機能
4	TAPAnDCM	クリア条件指定ビット Hi-Z 制御出力のクリア条件を指定するビットです。 0: TAPAnTHASIN 信号入力に関係なく，TAPAnOPHT0 の操作を有効 1: TAPAnTHASIN 信号入力がアクティブ・レベルの場合，TAPAnOPHT0 の操作を無効 TAPAnTHASIN 信号入力がインアクティブの場合，TAPAnOPHT0 操作を有効
3, 2	TAPAnDCN, TAPAnDCP	Hi-Z 入力エッジ選択ビット TAPAnTHASIN の有効エッジを指定する制御ビットです。

TAPAn DCN	TAPAn DCP	動作説明
0	0	有効エッジを検出しない
0	1	立ち上がりエッジを有効エッジとして検出（アクティブ・レベル = High）
1	0	立ち下がりエッジを有効エッジとして検出（アクティブ・レベル = Low）
1	1	設定禁止

(2)　TAPAnCTL1 - TAPAn 制御レジスタ 1

このレジスタは，A/D コンバータのトリガを選択します。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<TAPAn_base0> ＋ 24_H

初期値　00_H　どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	TAPAn ATS3	TAPAn ATS2	TAPAn ATS1	TAPAn ATS0
R	R	R	R	R/W	R/W	R/W	R/W

表 19-11　TAPAnCTL1 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>3, 2</td><td>TAPAn ATS[3:2]</td><td>A/D コンバータ・トリガ 1 選択ビット
A/D コンバータ変換トリガ出力 1（TAPAnTADOUT1）から出力する信号を指定する制御ビットです。
<table>
<tr><th>TAPAn ATS3</th><th>TAPAn ATS2</th><th>動作説明</th></tr>
<tr><td>0</td><td>0</td><td>マスタ・チャネルの Down ステータス期間中に INT 出力</td></tr>
<tr><td>0</td><td>1</td><td>マスタ・チャネルの Up ステータス期間中に INT 出力</td></tr>
<tr><td>1</td><td>0</td><td>マスタ・チャネルの Down/Up ステータス期間中に INT 出力</td></tr>
<tr><td>1</td><td>1</td><td>マスタ・チャネルの Down/Up ステータス期間中に INT 信号とマスタ・チャネルの谷割り込み（TAPAnTIVLYn0）出力</td></tr>
</table></td></tr>
<tr><td>1, 0</td><td>TAPAn ATS[1:0]</td><td>A/D コンバータ・トリガ 0 選択ビット
A/D コンバータ変換トリガ出力 0（TAPAnTADOUT0）から出力する信号を指定する制御ビットです。
<table>
<tr><th>TAPAn ATS1</th><th>TAPAn ATS0</th><th>動作説明</th></tr>
<tr><td>0</td><td>0</td><td>マスタ・チャネルの Down ステータス期間中に INT 出力</td></tr>
<tr><td>0</td><td>1</td><td>マスタ・チャネルの Up ステータス期間中に INT 出力</td></tr>
<tr><td>1</td><td>0</td><td>マスタ・チャネルの Down/Up ステータス期間中に INT 出力</td></tr>
<tr><td>1</td><td>1</td><td>マスタ・チャネルの Down/Up ステータス期間中に INT 信号とマスタ・チャネルの谷割り込み（TAPAnTIVLY0）出力</td></tr>
</table></td></tr>
</table>

(3) TAPAnFLG - TAPAn フラグ・レジスタ

Hi-Z を制御するフラグ・レジスタです。

アクセス　16 ビット単位でリードのみ可能です。

アドレス　<TAPAn_base1> + 00_H

初期値　0000_H　どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	TAPAnHOF2	TAPAnHOF1	TAPAnHOF0	0	0	0	0	0	0	0	TAPAnACE
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19-12　TAPAnFLG レジスタの内容

ビット位置	ビット名	機能
10-8	TAPAn HOFm	$\overline{\text{TAPAnTHZOUTm}}$ 出力モニタ・ビット（m = 0, 1, 2） $\overline{\text{TAPAnTHZOUTm}}$ の出力モニタ・ビットです。 0: $\overline{\text{TAPAnTHZOUTm}}$ の現在の出力がハイ・レベル 1: TAPAnTHZOUTm の現在の出力がロウ・レベル
0	TAPAn ACE	非同期 Hi-Z 制御イネーブル・ビット 非同期 Hi-Z 制御（TAPAnTHASIN）の状態を示すビットです。 0: 非同期 Hi-Z 制御が停止状態 1: 非同期 Hi-Z 制御が許可状態 このビットのセット条件とクリア条件は次のとおりです。 クリア条件 :TAPAnACWE = 1 時の TAPAnACTT への “1” 書き込み セット条件 :TAPAnACWE = 1 時の TAPAnACTS への “1” 書き込み

(4) TAPAnACWE - TAPAn 非同期制御ライト・イネーブル・レジスタ

非同期 Hi-Z 制御のための書き込みを許可します。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<TAPAn_base1> + 04_H

初期値　00_H　どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	TAPAnACWE
R	R	R	R	R	R	R	R/W

表 19-13　TAPAnACWE レジスタの内容

ビット位置	ビット名	機能
0	TAPAn ACWE	非同期制御ライト・イネーブル・ビット 非同期 Hi-Z 制御用の書き込み許可ビットです。 “1” に書き込み後，TAPAnACTS と TAPAnACTT に “1” を書き込むことによって，自動的に “0” にクリアされます。 0: TAPAnACTS と TAPAnACTT への書き込み禁止 1: TAPAnACTS と TAPAnACTT への書き込み許可

(5) TAPAnACTS - 非同期制御スタート・トリガ・レジスタ

非同期 Hi-Z 制御用のスタート・トリガを許可します。

アクセス　8 ビット単位でリード／ライト可能です。読み出し値は常に 00_H となります。

アドレス　<TAPAn_base1> + 08_H

初期値　00_H　どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	TAPAn ACTS
R	R	R	R	R	R	R	W

表 19-14　TAPAnACTS レジスタの内容

ビット位置	ビット名	機能
0	TAPAn ACTS	非同期制御スタート・トリガ・ビット 非同期 Hi-Z 制御用のイネーブル・スタート・トリガ・ビットです。 このビットの設定は，TAPAnACWE = 1 の場合のみ有効となります。 0: “0” 書き込みは，機能として意味を持ちません。 1: TAPAnACE = 1 の場合に非同期 Hi-Z 制御を許可

(6) TAPAnACTT - TAPAn 非同期制御ストップ・トリガ・レジスタ

非同期 Hi-Z 制御用のイネーブル・ストップ・トリガ・レジスタです。

アクセス　8 ビット単位でリード／ライト可能です。読み出し値は常に 00_H となります。

アドレス　<TAPAn_base1> + $0C_H$

初期値　00_H　どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	TAPAn ACTT
R	R	R	R	R	R	R	W

表 19-15　TAPAnACTT レジスタの内容

ビット位置	ビット名	機能
0	TAPAn ACTT	非同期制御ストップ・トリガ・ビット 非同期 Hi-Z 制御用のストップ・トリガを許可します。 このビットの設定は，TAPAnACWE = 1 の場合のみ有効となります。 0: “0” 書き込みは，機能として意味を持ちません。 1: TAPAnACE = 0 の場合に非同期 Hi-Z 制御を停止

(7) TAPAnOPHS - TAPAn Hi-Z スタート・トリガ・レジスタ

Hi-Z 制御信号（$\overline{\text{TAPAnTHZOUT0}}$，$\overline{\text{TAPAnTHZOUT1}}$，$\overline{\text{TAPAnTHZOUT2}}$）のスタート・トリガを設定します。

アクセス　8 ビット単位でリード／ライト可能です。読み出し値は常に 00_H となります。

アドレス　<TAPAn_base1> + 14_H

初期値　00_H　どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	TAPAn OPHS0
R	R	R	R	R	R	R	W

表 19-16　TAPAnOPHS レジスタの内容

ビット位置	ビット名	機能
0	TAPAn OPHS0	Hi-Z 制御信号のスタート・トリガ 0 ビット Hi-Z 制御信号のスタート・トリガを設定します。 0: 読み出し値は常に 0 になり，0 の書き込みは無視されます。 1: Hi-Z 制御信号（$\overline{\text{TAPAnTHZOUT0}}$，$\overline{\text{TAPAnTHZOUT1}}$，$\overline{\text{TAPAnTHZOUT2}}$）をロウ・レベルに設定

(8) TAPAnOPHT - TAPAn Hi-Z ストップ・トリガ・レジスタ

Hi-Z 制御信号（$\overline{\text{TAPAnTHZOUT0}}$，$\overline{\text{TAPAnTHZOUT1}}$，$\overline{\text{TAPAnTHZOUT2}}$）のストップ・トリガを設定します。

アクセス　8 ビット単位でリード／ライト可能です。読み出し値は常に 00_H となります。

アドレス　<TAPAn_base1> + 18_H

初期値　00_H　どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	TAPAn OPHT0
R	R	R	R	R	R	R	W

表 19-17　TAPAnOPHT レジスタの内容

ビット位置	ビット名	機能
0	TAPAn OPHT0	Hi-Z 制御信号のストップ・トリガ 0 ビット Hi-Z 制御信号のストップ・トリガを設定します。 0: 読み出し値は常に 0 になり，0 の書き込みは無視されます。 1: Hi-Z 制御信号（$\overline{\text{TAPAnTHZOUT0}}$，$\overline{\text{TAPAnTHZOUT1}}$，$\overline{\text{TAPAnTHZOUT2}}$）をハイ・レベルに設定

19.4　基本動作説明

19.4.1　Hi-Z 制御機能

(1)　Hi-Z 制御機能の目的

CPU によって制御されるタイマ・モータ制御機能の動作が異常な場合，外部に接続しているモータの回転も異常になります。モータの異常検出時に，CPU による制御とは関係なく，モータ制御出力を強制的に Hi-Z 状態に設定します。

(2)　Hi-Z 制御機能の概要

Hi-Z は次の方法で制御することができます。

- 端子入力に対応した非同期入力 Hi-Z 制御
  - $\overline{\text{TAPAnTHZOUT0}}$（U 相），$\overline{\text{TAPAnTHZOUT1}}$（V 相），$\overline{\text{TAPAnTHZOUT2}}$（W 相）の Hi-Z 制御出力信号で非同期に制御します。

(3)　Hi-Z 制御の機能と動作

機能	動作
端子入力に対応した非同期 Hi-Z 制御	非同期の端子入力検出により，タイマ機能（TAUB 機能，TSG2 機能）からの TOUTn 出力を強制的に停止する機能です。 TAPAnTHASIN がアクティブ・レベルの間，ソフトウエアが停止要求を送るまで，デバイスのポートから Hi-Z を出力します。

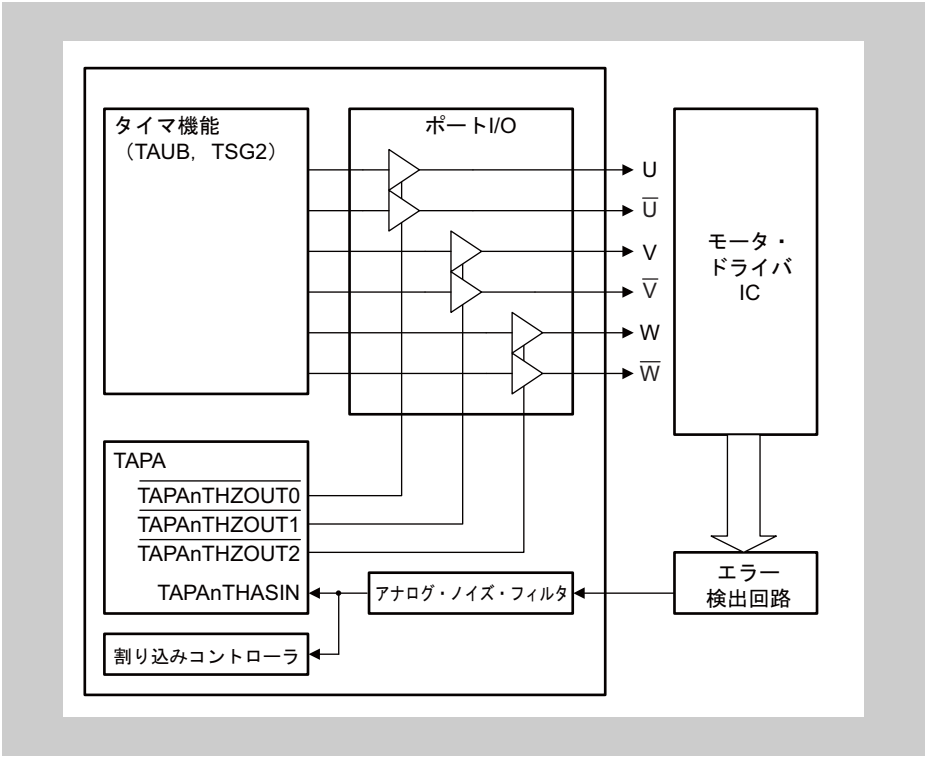
19.4.2 端子入力に対応した非同期 Hi-Z 制御

(1) 端子入力に対応した非同期 Hi-Z 制御のシステム構成例

この機能は，外部エラー検出信号を受信すると，割り込みが発生し，同時にモータ・ドライブ信号出力のレベルが Hi-Z に設定されます。

エラー発生時にマイコンも暴走している可能性があることを想定し，外部のエラー検出信号を継続的に処理することによってクロックがない状態でもモータ・ドライブ信号を Hi-Z にできるようにしています。

なお，エラー検出信号のエッジを検出したときのみエラーを検出し，出力レベルが固定されている（信号にエッジがない）場合，エラーは検出されません。

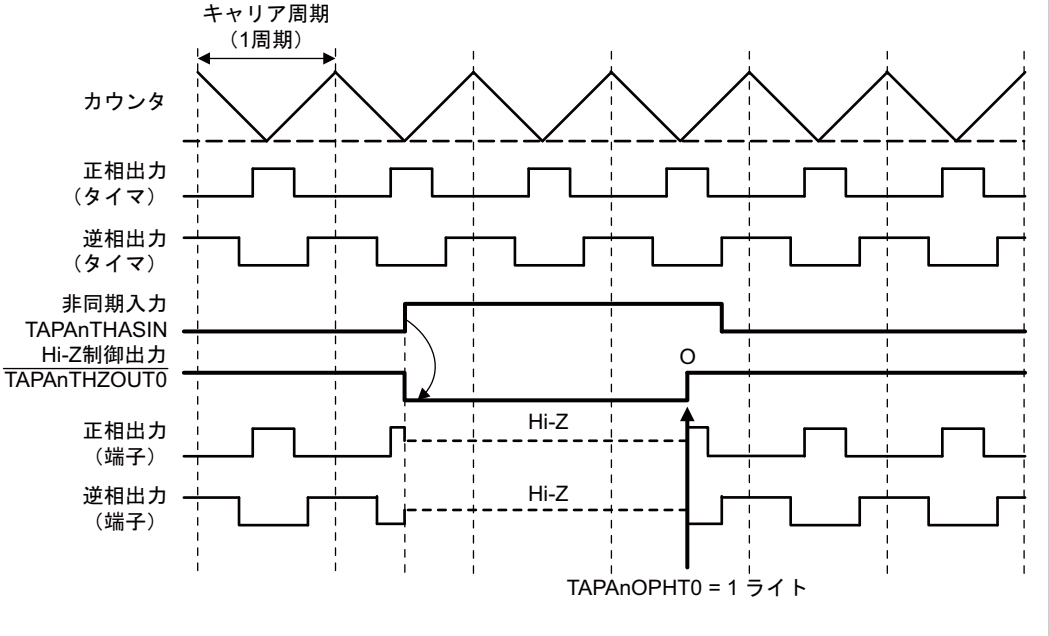


(2) 非同期入力 Hi-Z 制御の基本動作

(a) TAPAnCTL0.TAPAnDCM = 0, TAPAnDCP = 1, TAPAnDCN = 0 時

非同期入力（TAPAnTHASIN）の有効エッジを検出すると，$\overline{\text{TAPAnTHZOUT0}}$ がロウ・レベルになります。

$\overline{\text{TAPAnTHZOUT0}}$ がロウ・レベルの間，強制的に出力を停止（ポート制御による Hi-Z 出力）します。



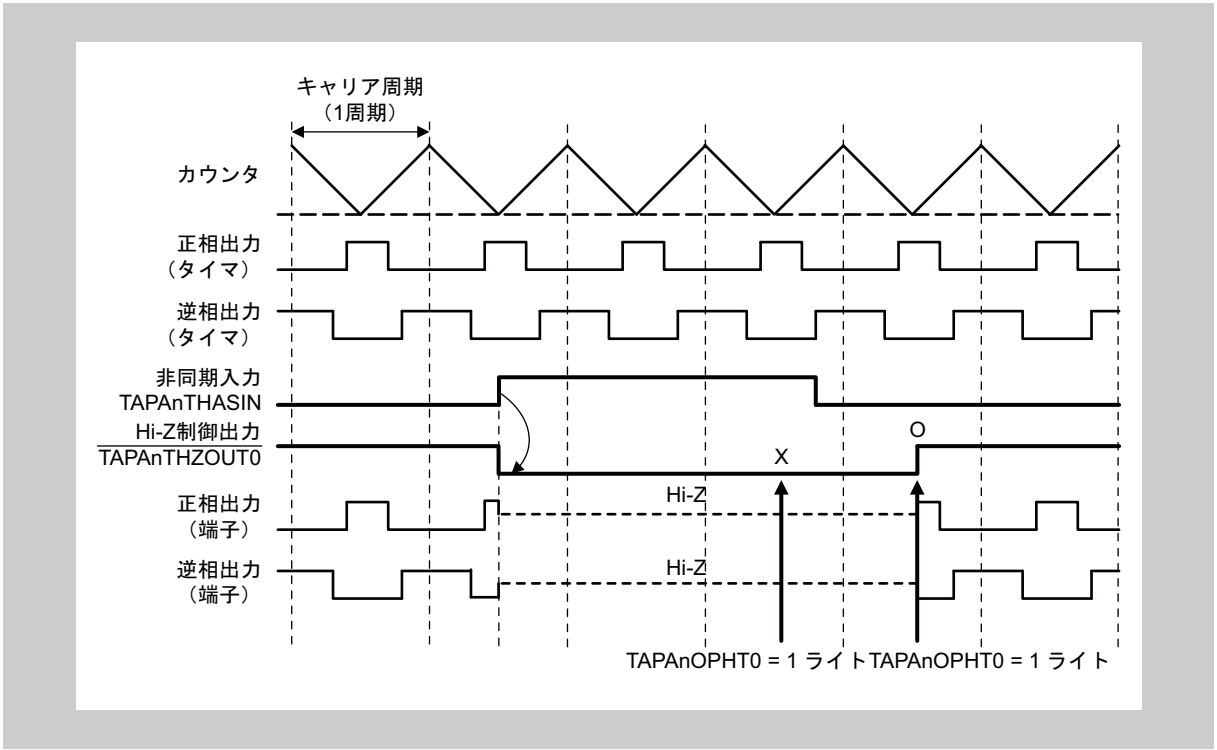
非同期入力（TAPAnTHASIN）の立ち上がりエッジを検出すると，$\overline{\text{TAPAnTHZOUT0}}$ がロウ・レベルになります。

TAPAnTHASIN のレベルに関係なく，Hi-Z ストップ・トリガ 0（TAPAnOPHT0）に “1” を書き込むことによって，$\overline{\text{TAPAnTHZOUT0}}$ がハイ・レベルになります。

(b) TAPAnCTL0.TAPAnDCM = 1, TAPAnDCP = 1, TAPAnDCN = 0 時

非同期入力（TAPAnTHASIN）の有効エッジを検出すると，$\overline{\text{TAPAnTHZOUT0}}$ がロウ・レベルになります。

$\overline{\text{TAPAnTHZOUT0}}$ がロウ・レベルの間，強制的に出力を停止（ポート制御による Hi-Z 出力）します。



非同期入力（TAPAnTHASIN）の立ち上がりエッジを検出すると，$\overline{\text{TAPAnTHZOUT0}}$ がロウ・レベルになります。

非同期入力（TAPAnTHASIN）がアクティブ・レベル（TAPAnDCP = 1 のため，ハイ・レベル）の間，Hi-Z ストップ・トリガ 0（TAPAnOPHT0）への “1” 書き込みは無視されます。

非同期入力（TAPAnTHASIN）がインアクティブ（TAPAnDCP = 1 のため，ロウ・レベル）レベルとなったあと，Hi-Z ストップ・トリガ 0（TAPAnOPHT0）に “1” を書き込むことによって，$\overline{\text{TAPAnTHZOUT0}}$ がハイ・レベルになります。

(3) 非同期入力 Hi-Z 制御のためのソフトウエア操作

この機能では，Hi-Z 制御出力信号をソフトウエアによって制御することが可能です。

Hi-Z スタート・トリガ 0（TAPAnOPHS0）および Hi-Z ストップ・トリガ 0（TAPAnOPHT0）で，TAPAnTHZOUT0，TAPAnTHZOUT1，TAPAnTHZOUT2 を制御します。

(a) Hi-Z スタート・トリガ（TAPAnOPHS）の動作

TAPAn DCM	動作
0/1	TAPAnOPHS0 ビットに “1” を書き込むことによって，TAPAnTHZOUT0，TAPAnTHZOUT1，TAPAnTHZOUT2 がロウ・レベルとなります。

(b) 非同期入力 Hi-Z 制御時のストップ・トリガ（TAPAnOPHT）の動作

Hi-Z ストップ・トリガは次の条件のときのみ有効となります。

TAPAn DCM	動作
0	TAPAnOPHT0 ビットに “1” を書き込むことによって，$\overline{\text{TAPAnTHZOUT0}}$，TAPAnTHZOUT1，TAPAnTHZOUT2 がハイ・レベルとなります。
1	TAPAnTHASIN がインアクティブ中，TAPAnOPHT0 ビットに “1” を書き込むことによって，TAPAnTHZOUT0，TAPAnTHZOUT1，TAPAnTHZOUT2 がハイ・レベルとなります。 TAPAnTHASIN がアクティブ中は，TAPAnOPHT0 ビットへの “1” の書き込みは無視されます。

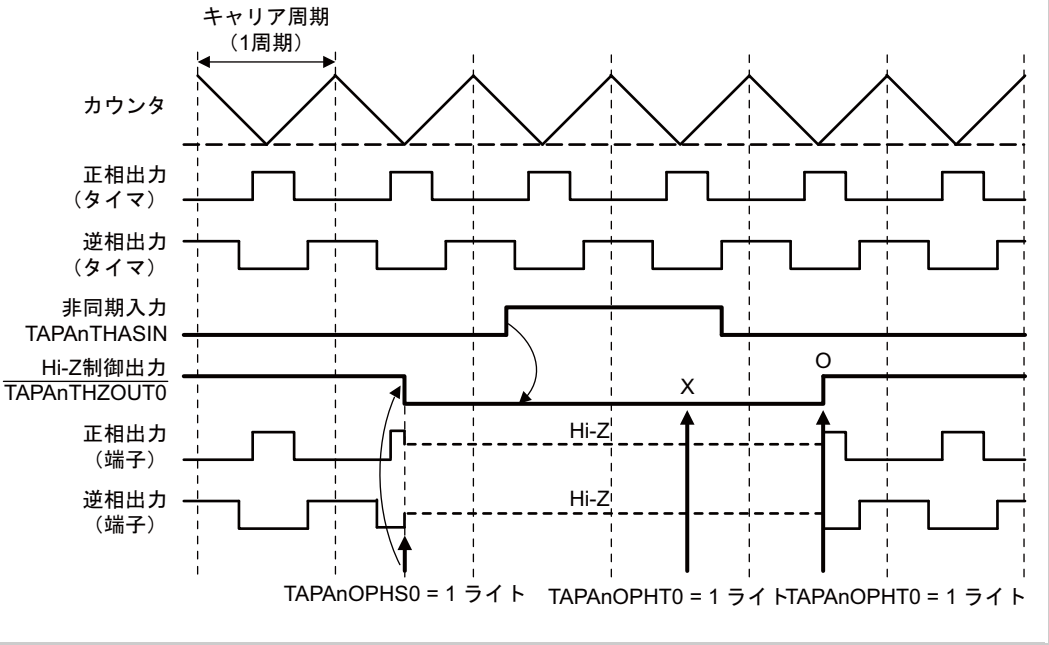


図 19-2 TAPAnDCM = 1，TAPAnDCP = 1，TAPAnDCN = 0 時の $\overline{\text{TAPAnTHZOUT0}}$ の動作

TAPAnOPHS0 に “1” を書き込むことによって $\overline{\text{TAPAnTHZOUT0}}$ がロウ・レベルになります。

その後，TAPAnTHASIN の立ち上がりエッジを検出しても，$\overline{\text{TAPAnTHZOUT0}}$ はロウ・レベルを保持します。

TAPAnTHASIN がアクティブ・レベル（TAPAnDCN = 0，TAPAnDCP = 1 のため，ハイ・レベル）の間，TAPAnOPHT0 への書き込みは無視されます。

TAPAnTHASIN の立ち下がりエッジ検出後，TAPAnTHASIN がインアクティブ（TAPAnDCN = 0，TAPAnDCP = 1 のため，ロウ・レベル）の期間に TAPAnOPHT0 に “1” を書き込むことによって $\overline{\text{TAPAnTHZOUT0}}$ がハイ・レベルになります。

(4)　非同期入力 Hi-Z 制御の操作例

以下に非同期入力 Hi-Z 制御の操作手順を示します。
（タイマ機能の動作に依存しないため，タイマオプション機能に関して記載しています）

	動作	TAPA の状態
初期設定	TAPAnCTL0 レジスタを設定します。 TAPAnDCP，TAPAnDCN を設定（入力エッジ選択） TAPAnDCM を設定（クリア・モード選択）	非同期 Hi-Z 制御停止 （TAPAnFLG.TAPAnACE = 0）
動作開始	TAPAnACWE レジスタを設定します。 TAPAnACWE に “1” を設定 TAPAnACTS レジスタを設定します。 TAPAnACTS に “1” を設定	 TAPAnACTS ビットの書き込み可能 TAPAnFLG.TAPAnACE = 1 により非同期 Hi-Z 制御許可
動作中	タイマ機能の出力に対して Hi-Z 制御を開始（スタート）する方法は，以下の通りです。 TAPA の TAPAnOPHS0 で制御 TAPA の Hi-Z 入力信号（TAPAnTHASIN）で制御 Hi-Z 制御を終了（ストップ）する方法は，以下の通りです。 TAPA の TAPAnOPHT0 で制御（TAPAnDCM = 0 の場合） TAPA の Hi-Z 入力信号（TAPAnTHASIN）がインアクティブ時に TAPAnOPHT0 で制御（TAPAnDCM = 1 の場合） TAPA の TAPAnFLG レジスタで常に TAPA の動作状態が読み出し可能です。	Hi-Z 制御機能は，Hi-Z 入力信号（TAPAnTHASIN）に入力されたスタートエッジの検出，またはスタート・トリガ・ビットを設定（TAPAnOPHS0 = 1）することによって，TAPAnTHZOUT0，TAPAnTHZOUT1，TAPAnTHZOUT2 をロウ・レベルで出力します。 Hi-Z 制御機能は，TAPAnDCM で設定した動作モードに従い，ストップ・トリガ・ビットを設定（TAPAnOPHT0 = 1）することによって，TAPAnTHZOUT0，TAPAnTHZOUT1，TAPAnTHZOUT2 をハイ・レベルで出力します。
動作停止	TAPAnACWE レジスタを設定します。 TAPAnACWE に “1” を設定 TAPAnACTT レジスタを設定します。 TAPAnACTT に “1” を設定	 TAPAnACTT ビットの書き込み許可 TAPAnFLG.TAPAnACE = 0 により非同期 Hi-Z 制御停止

動作再開

19.4.3 INT 信号出力選択機能

(1) INT 信号出力選択機能の構成

TAUB の三角波キャリア周期生成チャネル（マスタ）から出力された割り込み信号（TAPAnTSIM0），アップダウン入力信号（TAPAnTUDCM0）を用いて，山割り込み，谷割り込みを出力する機能です。

TAUB のマスタからの TAPAnTUDCM0 信号がハイ・レベルの間，マスタからの TAPAnTSIM0 信号は山割り込みとみなし，TAPAnTIPEK0 信号より出力します。

TAUB のマスタからの TAPAnTUDCM0 信号がロウ・レベルの間，マスタからの TAPAnTSIM0 信号は谷割り込みとみなし，TAPAnTIVLY0 信号より出力します。

TAPAnTSIM0，TAPAnTUDCM0 信号は，PIC0REG2n0 レジスタにより，TAUB の 0，2，8ch から選択します。

- タイマ入出力制御レジスタ 200（PIC0REG200）

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FF81 C0C0$_H$

初期値 0000 0000$_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	PIC0REG 20025	PIC0REG 20024
R	R	R	R	R	R	R/W	R/W

23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

ビット位置	ビット名	機能
25, 24	PIC0REG20025, PIC0REG20024	TAPAnTSIM0，TAPAnTUDCM0 で使用する TAUB のチャネルを選択します。 00: 非選択 01: TAUBn チャネル 0 選択 10: TAUBn チャネル 2 選択 11: TAUBn チャネル 8 選択

注意 PIC0REG200 レジスタに “0” を定義しているビットは，*第 24 章「Peripheral Interconnection（PIC）」* で定義していることがあります。その場合，該当する機能のビット定義を適用してください。

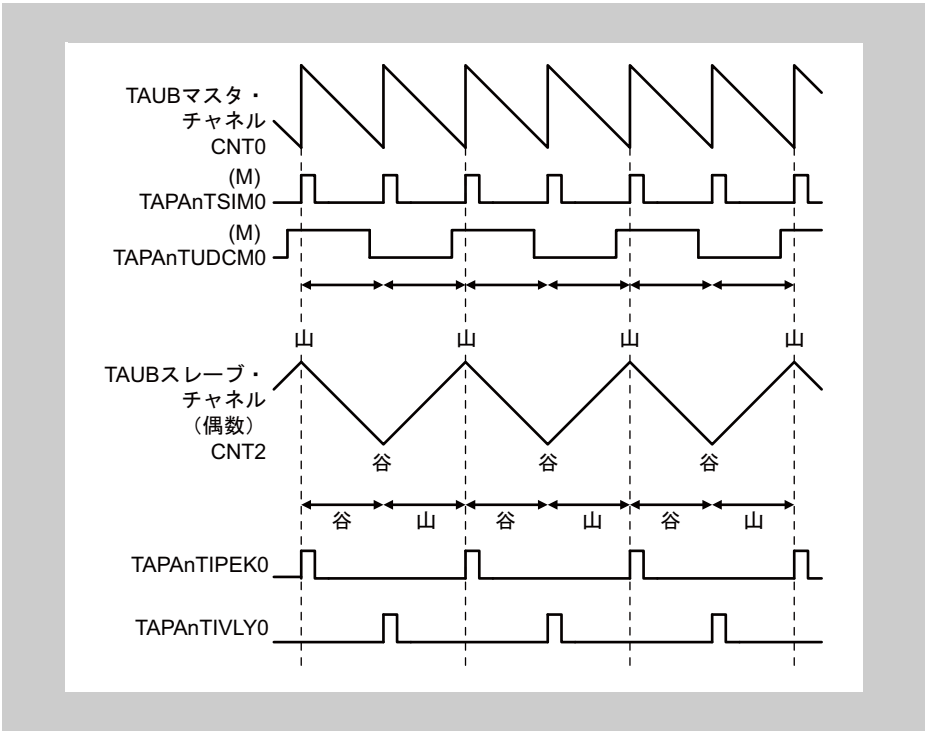


図 19-3　TAUB のマスタ・チャネル 0 の動作例

TAUB

- マスタ・チャネルで三角波キャリア周期を生成します。

  1/2 三角波キャリア周期ごとに TAPAnTSIM0 を出力し，TAPAnTUDCM0 よりアップ／ダウン信号を出力します。

TAPA

- TAPAnTUDCM0 = High 期間中の TAPAnTSIM0 を山割り込みとし，TAPAnTIPEK0 信号より出力します。
- TAPAnTUDCM0 = Low 期間中の TAPAnTSIM0 を谷割り込みとし，TAPAnTIVLY0 信号より出力します。

注意　TAPAnTIPEK0/TAPAnTIVLY0 は組合せ回路を構成しており，動作モードに関係なく動作します。

TAPAnTIPEK0/TAPAnTIVLY0 を使用しない場合，これらの信号は 4.3「割り込みコントローラ制御レジスタ」によりマスクする必要があります。

(2)　INT 信号出力選択機能の操作手順

以下に INT 信号出力選択機能の操作手順を示します。

	動作	TAUB，TAPA の状態
初期設定	TAPA は，初期設定不要です。	TAUB，TAPA は動作停止。
	TAUB を初期設定します。 　タイマ動作モードを確定	
動作開始	TAUB を動作開始します。	TAUB のカウント動作が開始します。
動作中	TAUB は，各機能の設定に従って動作します。	INT 信号出力選択機能は，TAUB からの割り込み入力（TAPAnTSIM0），アップ／ダウン入力（TAPAnTUDCM0）をもとに，制御周期 0 に対して山割り込み TAPAnTIPEK0 と谷割り込み TAPAnTIVLY0 を出力します。
動作停止	TAUB を動作停止します。	TAUB のカウント動作が停止します。

動作再開

19.4.4 A/D コンバータ変換トリガ選択機能

TAUB の三角波キャリア周期生成チャネル（マスタ）から出力された INT 信号，TOUT 信号と，A/D コンバータ変換トリガ選択機能で動作するチャネルから出力された INT 信号を用いて A/D コンバータ変換トリガ（TAPAnTADOUT0/TAPAnTADOUT1）を出力する機能です。

(1) A/D コンバータ変換トリガ選択機能の構成

表 19-18 TAPAnTADOUT 信号生成に使用する信号一覧

出力信号	Up/Down 入力	スレーブ一致検出信号	谷割り込み信号
TAPAn TADOUT0	TAPAn TUDCM0	TAPAn TCDENS0	TAPAn TIVLY0
TAPAn TADOUT1	TAPAn TUDCM0	TAPAn TCDENS1	TAPAn TIVLY0

備考
- Up/Down 入力，谷割り込み信号については，19.4.3「INT 信号出力選択機能」を参照してください。
- スレーブ一致検出信号は，下記レジスタによりスレーブ・チャネルを選択します。
  各レジスタについては，24.4.2.3(1)「A/D コンバータ・トリガ出力制御レジスタ 40j（PIC0ADTEN40j）」を参照してください。
  TAPAnCDENS0: PIC0ADTEN4n1
  TAPAnCDENS1: PIC0ADTEN4n2

表 19-19 TAPAnCTL1.TAPAnATS[1:0]，TAPAnTADOUT0 の動作

TAPAn ATS1	TAPAn ATS0	動作説明
0	0	TAUB のマスタ 0 が Down ステータス期間中，スレーブ 0 からの INT を TAPAnTADOUT0 より出力します。
0	1	TAUB のマスタ 0 が Up ステータス期間中，スレーブ 0 からの INT を TAPAnTADOUT0 より出力します。
1	0	TAUB のスレーブ 0 からの INT を TAPAnTADOUT0 より出力します。
1	1	TAUB のスレーブ 0 からの INT と TAPAnTIVLY0（谷割り込み信号 0）を TAPAnTADOUT0 より出力します。

表 19-20 TAPAnCTL1.TAPAnATS[3:2]，TAPAnTADOUT1 の動作

TAPAn ATS3	TAPAn ATS2	動作説明
0	0	TAUB のマスタ 0 が Down ステータス期間中，スレーブ 1 からの INT を TAPAnTADOUT1 より出力します。
0	1	TAUB のマスタ 0 が Up ステータス期間中，スレーブ 1 からの INT を TAPAnTADOUT1 より出力します。
1	0	TAUB のスレーブ 1 からの INT を TAPAnTADOUT1 より出力します。
1	1	TAUB のスレーブ 1 からの INT と TAPAnTIVLY0（谷割り込み信号 0）を TAPAnTADOUT1 より出力します。

(2)　三角波 PWM モード時の A/D コンバータ・トリガ出力制御動作波形

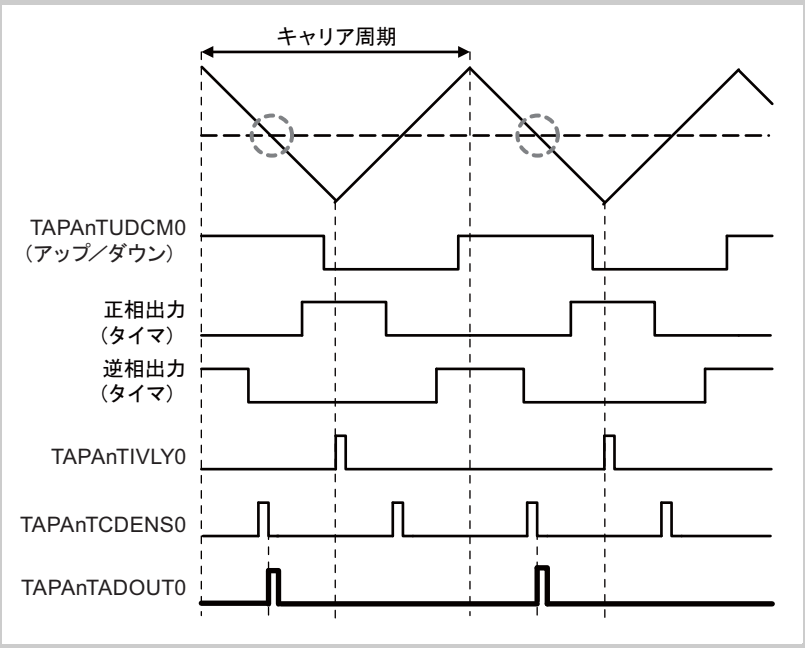


図 19-4　TAPAnATS = {0, 0}：マスタ・チャネルが Down ステータス期間中の INT 出力

マスタの Down ステータス期間中，スレーブから出力された INT 信号は A/D コンバータ変換トリガとして出力されます。

マスタの Up ステータス期間中，スレーブから出力された INT 信号は出力されません。

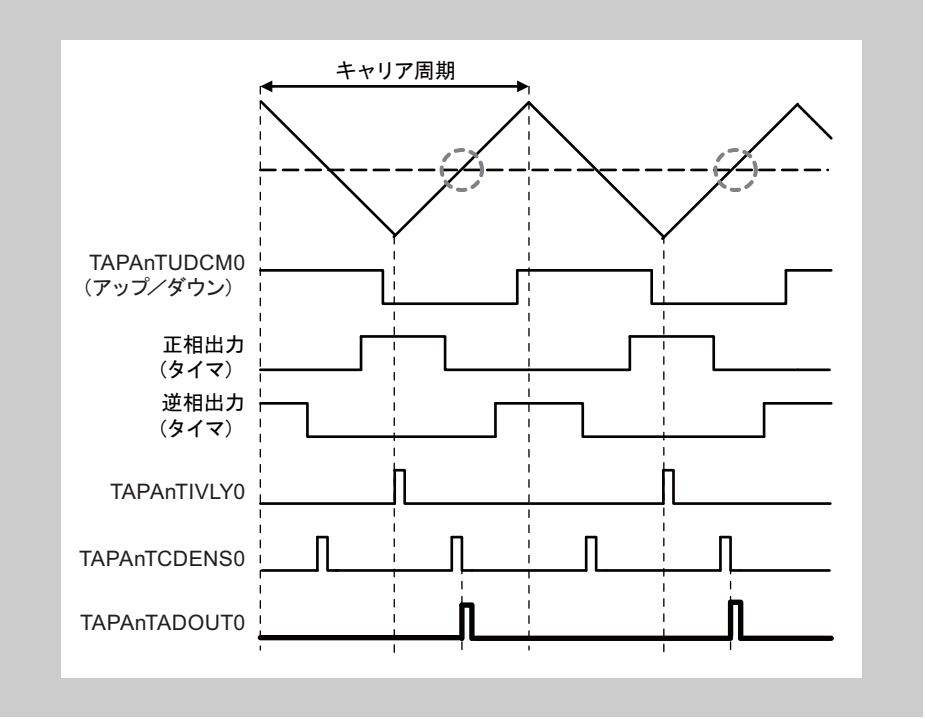


図 19-5 TAPAnATS = {0, 1}：マスタ・チャネルが Up ステータス期間中の INT 出力

マスタの Up ステータス期間中，スレーブから出力された INT 信号は A/D コンバータ変換トリガとして出力されます。

マスタの Down ステータス期間中，スレーブから出力された INT 信号は出力されません。

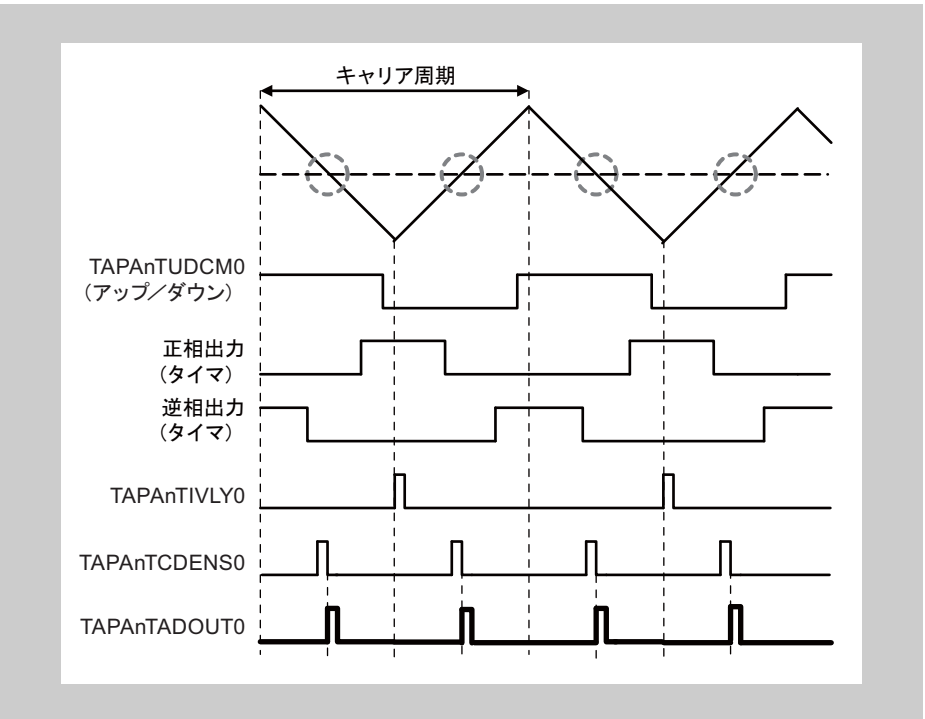


図 19-6 TAPAnATS = {1, 0}：マスタ・チャネルが Down/Up ステータス期間中の INT 出力

スレーブから出力された INT 信号は A/D コンバータ変換トリガとして出力されます。

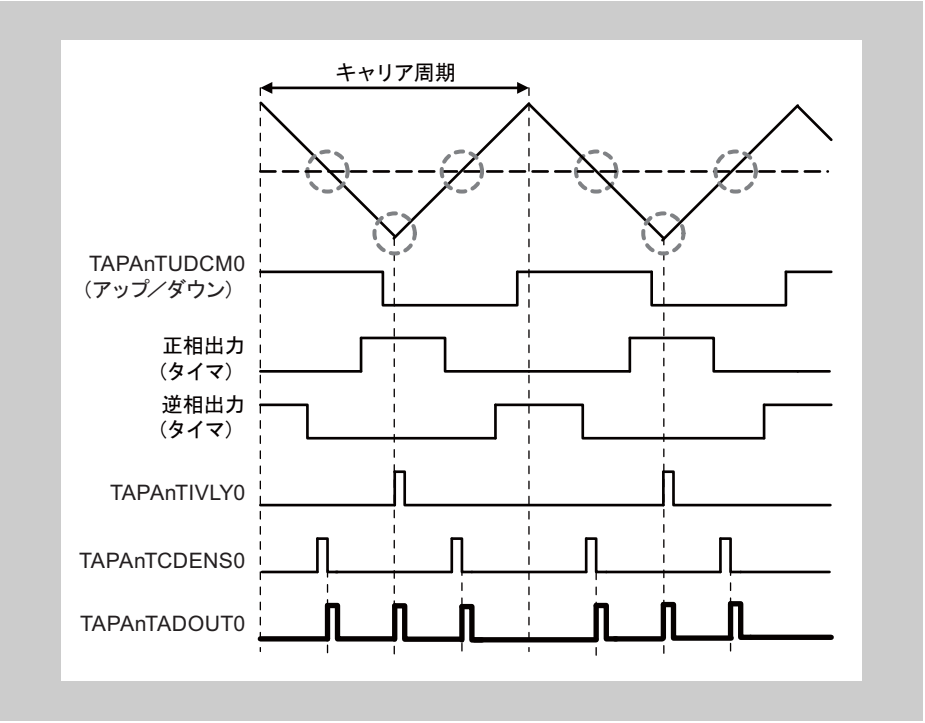


図 19-7　TAPAnATS = {1, 1}：マスタ・チャネルが Down/Up ステータス期間中の INT 出力と谷割り込み出力

スレーブから出力された INT 信号と谷割り込み信号は A/D コンバータ変換トリガとして出力されます。

(3)　A/D コンバータ変換トリガ選択機能の操作手順

以下に A/D コンバータ変換トリガ選択機能の操作手順を示します。

	動作	TAUB，TAPA の状態
初期設定	TAUB を初期設定します。 　タイマ動作モードを確定	TAUB，TAPA は動作停止。
初期設定	TAPAnCTL1 レジスタを設定します。 　TAPAnATS[1:0] を設定 　（TAPAnTADOUT0 の設定） 　TAPAnATS[3:2] を設定 　（TAPAnTADOUT1 の設定）	
動作開始	TAUB を動作開始します。	TAUB のカウント動作が開始します。
動作中	TAUB は，各機能の設定に従って動作します。	A/D コンバータ変換トリガ選択機能は，TAUB からのスレーブ一致検出信号（TAPAnTCDENS1/TAPAnTCDENS0），Up/Down 入力（TAPAnTUDCM0），TAPA で生成した谷割り込み信号（TAPAnTIVLY0）をもとに，TAPAnATS[1:0] の設定に従って TAPAnTADOUT0，または TAPAnATS[3:2] の設定に従って TAPAnTADOUT1 を出力します。
動作停止	TAUB を動作停止します。	TAUB のカウント動作が停止します。

動作再開

第 20 章 CAN コントローラ（FCN）

この製品は ISO 11898 で標準化されている CAN プロトコルに準拠したオンチップの CAN（Controller Area Network）コントローラを搭載しています。

この章では，CAN コントローラ（FCN）全般について説明します。

最初のセクションでは，チャネル，レジスタ・ベース・アドレス，入出力信号名などについて説明します。

20.1 FCN 機能

チャネル この製品は 2 チャネルの CAN コントローラを搭載しています。

表 20-1 FCN のチャネル

CAN コントローラ	
チャネル数 n	2
名称	FCN0 ～ FCN1

n の意味 この章では，CAN コントローラの各チャネルを「n」（n = 0 ～ 1）で識別します。たとえば，FCN0 コントロール・レジスタは FCN0GMCLCTL と記述します。

表 20-2 FCN チャネルのメッセージ・バッファ

チャネル	メッセージ・バッファの数 m
FCN0	32
FCN1	32

m の意味 この章では，FCN メッセージ・バッファ・レジスタを「m」（m = 000 - 031）で識別します。たとえば，FCN チャネル n，FCN メッセージ・バッファ・レジスタ m のメッセージ・データ・バイト 4 は，FCNnMmDAT4B と記述します。

レジスタ・アドレス CAN コントローラのレジスタ・アドレスは，FCNn のベース・アドレス <FCNn_base> からのオフセットで表されます。

FCNn の <FCNn_base> アドレスを*表 20-3* に示します。

表 20-3 FCNn のレジスタ <FCNn_base> アドレス

チャネル	<FCNn_base> アドレス
FCN0	FF48 0000_H
FCN1	FF4A 0000_H

クロック供給 CAN コントローラには以下のクロックが入力されます。

表 20-4 CAN コントローラのクロック供給

FCNn	FCNn の基本クロック（f_{CAN}）	接続先
FCN0 ～ FCN1	PCLK	クロック・コントローラ

割り込み CAN コントローラの割り込みを*表 20-5* に示します。

表 20-5 CAN コントローラの割り込み

FCNn の割り込み	機能	接続先
INT0ERR	FCN0 エラー検出	INTFCN0ERR
INT0REC	FCN0 受信完了	INTFCN0REC
INT0TRX	FCN0 送信完了	INTFCN0TRX
INT1ERR	FCN1 エラー検出	INTFCN1ERR
INT1REC	FCN1 受信完了	INTFCN1REC
INT1TRX	FCN1 送信完了	INTFCN1TRX
INT0WUP	FCN0 スリープ・ウェイクアップ／送信中断	INTFCN0WUP
INT1WUP	FCN1 スリープ・ウェイクアップ／送信中断	INTFCN1WUP

I/O 信号 CAN コントローラの I/O 信号を以下の表に示します。

表 20-6 CAN コントローラの I/O 信号

FCNn の信号	機能	接続先
CANRXD0	FCN0 CAN バス受信入力	ポート FCN0RX
CANTXD0	FCN0 CAN バス送信出力	ポート FCN0TX
CANRXD1	FCN1 CAN バス受信入力	ポート FCN1RX
CANTXD1	FCN1 CAN バス送信出力	ポート FCN1TX

20.2 特徴

- ISO 11898 に準拠
- 標準フレームと拡張フレームの送受信が可能
- 転送速度：最大 1 Mbps
- 1 チャネルにつき 32 個のメッセージ・バッファ
- 送受信ヒストリ・リスト機能
  （各メッセージ・バッファにて個別に設定可能)
- 自動ブロック送信機能
- マルチ・バッファ受信ブロック機能
- データ・フレームおよびリモート・フレームに適用可能な 8 パターンのマスクをチャネルごとに設定可能
- FCN モジュール・ビット・レート・プリスケーラ・レジスタ（FCNnCMBRPRS）およびビット・レート・レジスタ（FCNnCMBTCTL）により，データ・ビット時間，通信ボー・レート，サンプル・ポイントを制御可能

  たとえば，以下のサンプル・ポイントを設定可能：

  – 66.7%, 70.0%, 75.0%, 80.0%, 81.3%, 85.0%, 87.5%

  – 10 kbps ～ 1Mbps のボー・レートを設定可能
- 拡張機能：

  – 個々のメッセージ・バッファを送信メッセージ・バッファまたは受信メッセージ・バッファとして動作するように設定可能

  – 対象となるメッセージ・バッファの送信要求フラグをクリアすることで送信要求を中断可能。中断が成功した場合の送信中断割り込みに対応

  – 自動ブロック送信動作モード（ABT）

  – タイマ・キャプチャ・チャネルと連携する FCN チャネル 0 ～ 1 のタイム・スタンプ機能

  – 一元管理されるグローバル・データ更新ビット・モニタ・レジスタの採用により，一箇所ですべてのデータ更新ビットを確認可能

20.2.1 機能の概要

CAN コントローラの機能の概要を *20-7「機能の概要」* に示します。

表 20-7 機能の概要

機能	詳細
プロトコル	CAN プロトコル ISO 11898（標準フレームおよび拡張フレームの送受信）
ボー・レート	最大 1 Mbps（FCN の最小基本クロック = 16 MHz）
データの保存	CAN RAM にメッセージを保存
メッセージ数	• 1 チャネルにつき 32 個のメッセージ・バッファ • 個々のメッセージ・バッファを送信メッセージ・バッファまたは受信メッセージ・バッファとして設定可能
メッセージ受信	• 個々のメッセージ・バッファに固有の ID を設定可能 • データ・フレームおよびリモート・フレームに適用可能な 8 パターンのマスクをチャネルごとに設定可能 • メッセージを受信し，メッセージ・バッファに保存するたびに受信完了割り込みを発生 (メッセージ・バッファごとに受信完了割り込みの許可／禁止が設定可能) • 複数の受信メッセージ・バッファを 1 つの FIFO 受信バッファとして使用可能（マルチ・バッファ受信ブロック機能） • 受信ヒストリ・リスト機能 (各メッセージ・バッファにて個別に設定可能) • 一元管理されるグローバル・データ更新ビット・モニタ・レジスタ
メッセージ送信	• 個々のメッセージ・バッファに固有の ID を設定可能 • メッセージ・バッファごとに送信完了割り込みの許可／禁止が設定可能 • メッセージ・バッファごとの送信中断割り込みおよび送信完了フラグ（いずれのバッファについても，同時に中断可能な送信は 1 つに限られる） • 送信メッセージ・バッファとして指定されたメッセージ・バッファ番号 0 ～ 7 は，自動ブロック転送用として使用可能。メッセージ送信間隔をプログラマブルに変更可能（自動ブロック送信機能（以下，ABT と記述）） • 送信ヒストリ・リスト機能 (各メッセージ・バッファにて個別に設定可能)
リモート・フレーム処理	• 送信メッセージ・バッファによるリモート・フレーム処理 • 受信メッセージ・バッファによるリモート・フレーム受信 (8 個のマスクの 1 つを適用可能)
タイム・スタンプ機能	• 16 ビット・タイマと組み合わせて使用することで，メッセージ受信時のタイム・スタンプ機能を設定可能 • タイム・スタンプ・キャプチャ・トリガを選択可能（CAN メッセージ・フレーム内の SOF または EOF 検出に切り替え可能）
診断機能	• 読み出し可能なエラー・カウンタ • バス接続確認用の「有効プロトコル動作フラグ」 • 受信オンリー・モード • シングル・ショット・モード • CAN プロトコル・エラーの判別 • セルフ・テスト・モード
バスオフ復帰機能	• ソフトウエアによりバスオフからの強制復帰が可能 • バスオフからの自動復帰不可（ソフトウエアによる復帰要求が必要）
パワー・セーブ・モード	• CAN スリープ・モード（CAN バスによりウエイク・アップ可能） • CAN ストップ・モード（CAN バスによりウエイク・アップ不可）

20.2.2 構成

CAN コントローラは以下の 4 つのブロックから構成されています。

- 周辺バス・インタフェース
  周辺バス・インタフェースおよび FCN モジュールとホスト CPU の間でメッセージを送受信するための機能ブロックです。
- MCM（Message Control Module）
  FCN モジュール内の CAN プロトコル・レイヤと CAN RAM へのアクセスを制御している機能ブロックです。
- CAN プロトコル・レイヤ
  CAN プロトコルの動作とそれに関連する設定を行う機能ブロックです。
- CAN RAM
  メッセージ ID，メッセージ・データなどの保存に使用される CAN メモリ機能ブロックです。

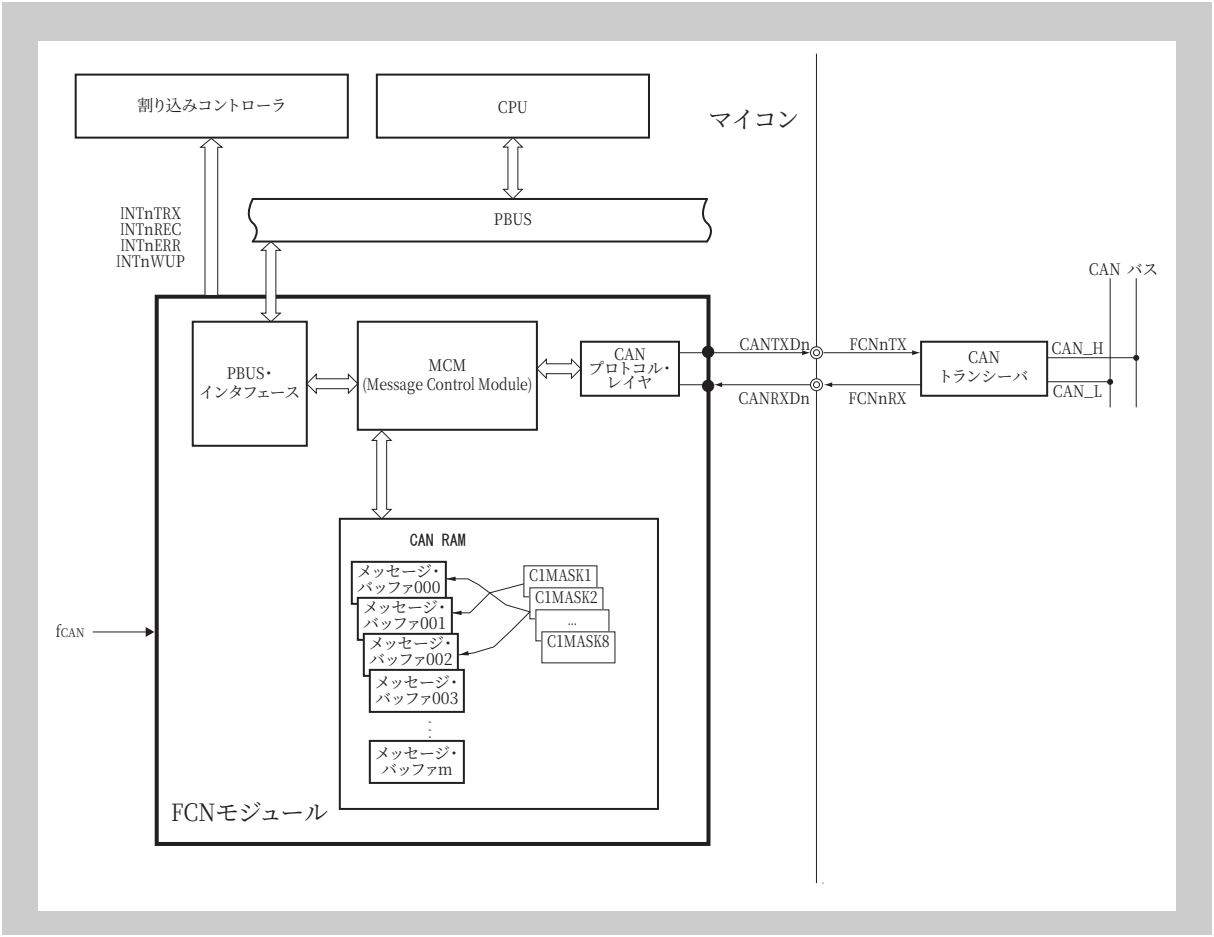


図 20-1 CAN コントローラのブロック図

20.3 FCN の内部レジスタ

20.3.1 CAN コントローラの構成

表 20-8 FCN レジスター覧 (1/2)

項目	レジスタ名
FCNn グローバル・レジスタ	FCNn グローバル制御レジスタ（FCNnGMCLCTL）
	FCNn グローバル・クロック選択レジスタ（FCNnGMCSPRE）
	FCNn グローバル自動ブロック送信制御レジスタ（FCNnGMABCTL）
	FCNn グローバル自動ブロック送信遅延設定レジスタ（FCNnGMADCTL）
	FCNn グローバル・データ更新ビット・モニタ・レジスタ（FCNnDNBMRX0）
FCNn モジュール・レジスタ	FCNn モジュール・マスク 1 レジスタ (FCNnCMMKCTL01H, FCNnCMMKCTL02H, FCNnCMMKCTL01W)
	FCNn モジュール・マスク 2 レジスタ (FCNnCMMKCTL03H, FCNnCMMKCTL04H, FCNnCMMKCTL03W)
	FCNn モジュール・マスク 3 レジスタ (FCNnCMMKCTL05H, FCNnCMMKCTL06H, FCNnCMMKCTL05W)
	FCNn モジュール・マスク 4 レジスタ (FCNnCMMKCTL07H, FCNnCMMKCTL08H, FCNnCMMKCTL07W)
	FCNn モジュール・マスク 5 レジスタ (FCNnCMMKCTL09H, FCNnCMMKCTL10H, FCNnCMMKCTL09W)
	FCNn モジュール・マスク 6 レジスタ (FCNnCMMKCTL11H, FCNnCMMKCTL12H, FCNnCMMKCTL11W)
	FCNn モジュール・マスク 7 レジスタ (FCNnCMMKCTL13H, FCNnCMMKCTL14H, FCNnCMMKCTL13W)
	FCNn モジュール・マスク 8 レジスタ (FCNnCMMKCTL15H, FCNnCMMKCTL16H, FCNnCMMKCTL15W)
	FCNn モジュール制御レジスタ（FCNnCMCLCTL）
	FCNn モジュール最終エラー情報レジスタ（FCNnCMLCSTR）
	FCNn モジュール情報レジスタ（FCNnCMINSTR）
	FCNn モジュール・エラー・カウンタ・レジスタ（FCNnCMERCNT）
	FCNn モジュール割り込み許可レジスタ（FCNnCMIECTL）
	FCNn モジュール割り込みステータス・レジスタ（FCNnCMISCTL）
	FCNn モジュール・ビット・レート・プリスケーラ・レジスタ（FCNnCMBRPRS）
	FCNn モジュール・ビット・レート・レジスタ（FCNnCMBTCTL）
	FCNn モジュール最終受信ポインタ・レジスタ（FCNnCMLISTR）
	FCNn モジュール受信ヒストリ・リスト・レジスタ（FCNnCMRGRX）
	FCNn モジュール最終送信ポインタ・レジスタ（FCNnCMLOSTR）
	FCNn モジュール送信ヒストリ・リスト・レジスタ（FCNnCMTGTX）
	FCNn モジュール・タイム・スタンプ・レジスタ（FCNnCMTSCTL）

表 20-8 FCN レジスター覧 (2/2)

項目	レジスタ名
FCN メッセージ・バッファ・レジスタ	FCNn メッセージ・データ・バイト 0 ～ 3 レジスタ m（FCNnMmDAT0W, FCNnMmDAT0H, FCNnMmDAT2H, FCNnMmDAT0B, FCNnMmDAT1B, FCNnMmDAT2B, FCNnMmDAT3B）
	FCNn メッセージ・データ・バイト 4 ～ 7 レジスタ m（FCNnMmDAT4W, FCNnMmDAT4H, FCNnMmDAT6H, FCNnMmDAT4B, FCNnMmDAT5B, FCNnMmDAT6B, FCNnMmDAT7B）
	FCNn メッセージ・データ長レジスタ m（FCNnMmDTLGB）
	FCNn メッセージ・コンフィギュレーション・レジスタ m（FCNnMmSTRB）
	FCNn メッセージ ID レジスタ m（FCNnMmMID0H, FCNnMmMID1H, FCNnMmMID0W）
	FCNn メッセージ制御レジスタ m（FCNnMmCTL）

20.3.2 CAN コントローラ・レジスタの概要

備考 レジスタ・アドレスはベース・アドレス <FCNn_base> からのオフセットとして表されます。レジスタの <FCNn_base> アドレスは，この章第 1 節のキーワード「レジスタ・アドレス」で定義されています。

(1) FCNn グローバル・レジスタと FCNn モジュール・レジスタ

表 20-9 FCNn グローバル・レジスタと FCNn モジュール・レジスタ (1/2)

アドレス・オフセット	レジスタ名	略号	R/W	アクセス・ビット	リセット後の値
0 0008$_H$	FCNn グローバル・クロック選択レジスタ	FCNnGMCSPRE	R/W	8	0F$_H$
0 0020$_H$	FCNn グローバル自動ブロック送信遅延設定レジスタ	FCNnGMADCTL	R/W	8	00$_H$
0 8000$_H$	FCNn グローバル制御レジスタ	FCNnGMCLCTL	R/W	16	00X0$_H$ [a]
0 8018$_H$	FCNn グローバル自動ブロック送信制御レジスタ	FCNnGMABCTL	R/W	16	0000$_H$
1 00C0$_H$	FCNn グローバル・データ更新ビット・モニタ・レジスタ 0	FCNnDNBMRX0	R	32	[b]
0 8300$_H$	FCNn モジュール・マスク 1 レジスタ	FCNnCMMKCTL01H	R/W	16	b
0 8308$_H$		FCNnCMMKCTL02H			
1 0300$_H$		FCNnCMMKCTL01W		32	
0 8310$_H$	FCNn モジュール・マスク 2 レジスタ	FCNnCMMKCTL03H	R/W	16	b
0 8318$_H$		FCNnCMMKCTL04H			
1 0310$_H$		FCNnCMMKCTL03W		32	
0 8320$_H$	FCNn モジュール・マスク 3 レジスタ	FCNnCMMKCTL05H	R/W	16	b
0 8328$_H$		FCNnCMMKCTL06H			
1 0320$_H$		FCNnCMMKCTL05W		32	
0 8330$_H$	FCNn モジュール・マスク 4 レジスタ	FCNnCMMKCTL07H	R/W	16	b
0 8338$_H$		FCNnCMMKCTL08H			
1 0330$_H$		FCNnCMMKCTL07W		32	

表 20-9 FCNn グローバル・レジスタと FCNn モジュール・レジスタ (2/2)

アドレス・オフセット	レジスタ名	略号	R/W	アクセス・ビット	リセット後の値
0 8340$_H$	FCNn モジュール・マスク 5 レジスタ	FCNnCMMKCTL09H	R/W	16	b
0 8348$_H$		FCNnCMMKCTL10H			
1 0340$_H$		FCNnCMMKCTL09W		32	
0 8350$_H$	FCNn モジュール・マスク 6 レジスタ	FCNnCMMKCTL11H	R/W	16	b
0 8358$_H$		FCNnCMMKCTL12H			
1 0350$_H$		FCNnCMMKCTL11W		32	
0 8360$_H$	FCNn モジュール・マスク 7 レジスタ	FCNnCMMKCTL13H	R/W	16	b
0 8368$_H$		FCNnCMMKCTL14H			
1 0360$_H$		FCNnCMMKCTL13W		32	
0 8370$_H$	FCNn モジュール・マスク 8 レジスタ	FCNnCMMKCTL15H	R/W	16	b
0 8378$_H$		FCNnCMMKCTL16H			
1 0370$_H$		FCNnCMMKCTL15W		32	
0 0248$_H$	FCNn モジュール最終エラー情報レジスタ	FCNnCMLCSTR	R/W	8	00$_H$
0 024C$_H$	FCNn モジュール情報レジスタ	FCNnCMINSTR	R	8	00$_H$
0 0268$_H$	FCNn モジュール・ビット・レート・プリスケーラ・レジスタ	FCNnCMBRPRS	R/W	8	FF$_H$
0 0278$_H$	FCNn モジュール最終受信ポインタ・レジスタ	FCNnCMLISTR	R	8	未定義
0 0288$_H$	FCNn モジュール最終送信ポインタ・レジスタ	FCNnCMLOSTR	R	8	未定義
0 8240$_H$	FCNn モジュール制御レジスタ	FCNnCMCLCTL	R/W	16	0000$_H$
0 8250$_H$	FCNn モジュール・エラー・カウンタ・レジスタ	FCNnCMERCNT	R	16	0000$_H$
0 8258$_H$	FCNn モジュール割り込み許可レジスタ	FCNnCMIECTL	R/W	16	0000$_H$
0 8260$_H$	FCNn モジュール割り込みステータス・レジスタ	FCNnCMISCTL	R/W	16	0000$_H$
0 8270$_H$	FCNn モジュール・ビット・レート・レジスタ	FCNnCMBTCTL	R/W	16	370F$_H$
0 8280$_H$	FCNn モジュール受信ヒストリ・リスト・レジスタ	FCNnCMRGRX	R/W	16	xx02$_H$
0 8290$_H$	FCNn モジュール送信ヒストリ・リスト・レジスタ	FCNnCMTGTX	R/W	16	xx02$_H$
0 8298$_H$	FCNn モジュール・タイム・スタンプ・レジスタ	FCNnCMTSCTL	R/W	16	0000$_H$

a) 初期値は，メッセージ・バッファ RAM からの読み出しでエラーが検出されたかどうかを示す FCNnGMCLCTL.FCNnGMCLECCF によって異なります。詳細については，FCNnGMCLCTL レジスタの説明を参照してください。

b) リセット後の値は，0000$_H$ または 00000000$_H$ です。

20.3.3 レジスタのビット構成

表 20-10 FCN グローバル・レジスタのビット構成

アドレス・オフセット	略号	ビット 7/15/31/23	ビット 6/14/30/22	ビット 5/13/29/21	ビット 4/12/28/20	ビット 3/11/27/19	ビット 2/10/26/18	ビット 1/9/25/17	ビット 0/8/24/16
0 8000$_H$	FCNnGMCLCTL (W)	0	0	FCNnGM CLCLMB	0	0	0	0	FCNnGM CLCLOM
		0	0	0	FCNnGM CLSESR	0	0	FCNnGM CLSEDE	FCNnGM CLSEOM
	FCNnGMCLCTL (R)	0	0	FCNnGM CLECCF	FCNnGM CLSORF	0	0	FCNnGM CLESDE	FCNnGM CLPWOM
		FCNnGM CLSSMO	0	0	0	0	0	0	0
0 0008$_H$	FCNnGMCSPRE	0	0	0	0	FCNnGMCSPRSC[3:0]			
0 8018$_H$	FCNnGMABCTL (W)	0	0	0	0	0	0	0	FCNnGM ABCLAT
		0	0	0	0	0	0	FCNnGM ABSEAC	FCNnGM ABSEAT
	FCNnGMABCTL (R)	0	0	0	0	0	0	FCNnGM ABCLRF	FCNnGM ABABTT
		0	0	0	0	0	0	0	0
0 0020$_H$	FCNnGMADCTL	0	0	0	0	FCNnGMADSSAD[3:0]			
1 00C0$_H$	FCNnDNBMRX0 (R)	FCNnDNBMSSDN[7:0]							
		FCNnDNBMSSDN[15:8]							
		FCNnDNBMSSDN[23:16]							
		FCNnDNBMSSDN[31:24]							

表 20-11 FCN モジュール・マスク制御 16 ビット・レジスタのビット構成

アドレス・オフセット	略号	ビット 15	ビット 14	ビット 13	ビット 12 ～ 0
0 8300$_H$	FCNnCMMKCTL01H	FCNnCMMKSSID[15:0]			
0 8308$_H$	FCNnCMMKCTL02H	0	0	0	FCNnCMMKSSID[28:16]
0 8310$_H$	FCNnCMMKCTL03H	FCNnCMMKSSID[15:0]			
0 8318$_H$	FCNnCMMKCTL04H	0	0	0	FCNnCMMKSSID[28:16]
0 8320$_H$	FCNnCMMKCTL05H	FCNnCMMKSSID[15:0]			
0 8328$_H$	FCNnCMMKCTL06H	0	0	0	FCNnCMMKSSID[28:16]
0 8330$_H$	FCNnCMMKCTL07H	FCNnCMMKSSID[15:0]			
0 8338$_H$	FCNnCMMKCTL08H	0	0	0	FCNnCMMKSSID[28:16]
0 8340$_H$	FCNnCMMKCTL09H	FCNnCMMKSSID[15:0]			
0 8348$_H$	FCNnCMMKCTL10H	0	0	0	FCNnCMMKSSID[28:16]
0 8350$_H$	FCNnCMMKCTL11H	FCNnCMMKSSID[15:0]			
0 8358$_H$	FCNnCMMKCTL12H	0	0	0	FCNnCMMKSSID[28:16]
0 8360$_H$	FCNnCMMKCTL13H	FCNnCMMKSSID[15:0]			
0 8368$_H$	FCNnCMMKCTL14H	0	0	0	FCNnCMMKSSID[28:16]
0 8370$_H$	FCNnCMMKCTL15H	FCNnCMMKSSID[15:0]			
0 8378$_H$	FCNnCMMKCTL16H	0	0	0	FCNnCMMKSSID[28:16]

表 20-12 FCN モジュール・マスク制御 32 ビット・レジスタのビット構成

アドレス・オフセット	略号	ビット 31	ビット 30	ビット 29	ビット 28 ～ 0
1 0300$_H$	FCNnCMMKCTL01W	0	0	0	FCNnCMMKSSID[28:0]
1 0310$_H$	FCNnCMMKCTL03W	0	0	0	FCNnCMMKSSID[28:0]
1 0320$_H$	FCNnCMMKCTL05W	0	0	0	FCNnCMMKSSID[28:0]
1 0330$_H$	FCNnCMMKCTL07W	0	0	0	FCNnCMMKSSID[28:0]
1 0340$_H$	FCNnCMMKCTL09W	0	0	0	FCNnCMMKSSID[28:0]
1 0350$_H$	FCNnCMMKCTL11W	0	0	0	FCNnCMMKSSID[28:0]
1 0360$_H$	FCNnCMMKCTL13W	0	0	0	FCNnCMMKSSID[28:0]
1 0370$_H$	FCNnCMMKCTL15W	0	0	0	FCNnCMMKSSID[28:0]

表 20-13 FCN モジュール・レジスタのビット構成 (1/2)

アドレス・オフセット	略号	ビット 7/15	ビット 6/14	ビット 5/13	ビット 4/12	ビット 3/11	ビット 2/10	ビット 1/9	ビット 0/8
0 8240$_H$	FCNnCM CLCTL (W)	0	FCNnCM CLCLAL	FCNnCM CLCLVL	FCNnCMCLCLPS [1:0]		FCNnCMCLCLOP[2:0]		
		FCNnCM CLSERC	FCNnCM CLSEAL	0	FCNnCMCLSEPS [1:0]		FCNnCMCLSEOP[2:0]		
	FCNnCM CLCTL (R)	FCNnCM CLERCF	FCNnCM CLALBF	FCNnCM CLVALF	FCNnCMCLMDPF [1:0]		FCNnCMCLMDOF[2:0]		
		0	0	0	0	0	0	FCNnCM CLSSRS	FCNnCM CLSSTS
0 0248$_H$	FCNnCM LCSTR (W)	0	0	0	0	0	0	0	0
	FCNnCM LCSTR (R)	0	0	0	0	0	FCNnCMLCSSLC[2:0]		
0 024C$_H$	FCNnCM INSTR	0	0	0	FCNnCM INBOFF	FCNnCMINSSTE [1:0]		FCNnCMINSSRE [1:0]	
0 8250$_H$	FCNnCM ERCNT	FCNnCMERTECF[7:0]							
		FCNnCM ERRPSF	FCNnCMERRECF[6:0]						
0 8258$_H$	FCNnCM IECTL (W)	0	FCNnCMIECLIE[6:0]						
		0	FCNnCMIESEIE[6:0]						
	FCNnCM IECTL (R)	0	FCNnCMIEINTF[6:0]						
		0	0	0	0	0	0	0	0
0 8260$_H$	FCNnCM ISCTL (W)	0	FCNnCMISCLTS[6:0]						
		0	0	0	0	0	0	0	0
	FCNnCM ISCTL (R)	0	FCNnCMISITSF[6:0]						
		0	0	0	0	0	0	0	0
0 0268$_H$	FCNnCM BRPRS	FCNnCMBRPRS[7:0]							
0 8270$_H$	FCNnCM BTCTL	0	0	0	0	FCNnCMBTS1LG[3:0]			
		0	0	FCNnCMBTJWLG [1:0]		0	FCNnCMBTS2LG[2:0]		
0 0278$_H$	FCNnCM LISTR	FCNnCMLISSLR[7:0]							
0 8280$_H$	FCNnCM RGRX (W)	0	0	0	0	0	0	0	FCNnCM RGCLRV
		0	0	0	0	0	0	0	0
	FCNnCM RGRX (R)	0	0	0	0	0	0	FCNnCM RGSSPM	FCNnCM RGRVFF
		FCNnCMRDSSPT[7:0]							
0 0288$_H$	FCNnCM LOSTR	FCNnCMLOSSLT[7:0]							
0 8290$_H$	FCNnCM TGTX (W)	0	0	0	0	0	0	0	FCNnCM TGCLTV
		0	0	0	0	0	0	0	0
	FCNnCM TGTX (R)	0	0	0	0	0	0	FCNnCM TGSSPM	FCNnCM TGTVFF
		FCNnCMTGSSPT[7:0]							

表 20-13 FCN モジュール・レジスタのビット構成 (2/2)

アドレス・オフセット	略号	ビット 7/15	ビット 6/14	ビット 5/13	ビット 4/12	ビット 3/11	ビット 2/10	ビット 1/9	ビット 0/8
0 8298$_H$	FCNnCM TSCTL (W)	0	0	0	0	0	FCNnCM TSCLLK	FCNnCM TSCLSL	FCNnCM TSCLTS
		0	0	0	0	0	FCNnCM TSSELK	FCNnCM TSSESL	FCNnCM TSSETS
	FCNnCM TSCTL (R)	0	0	0	0	0	FCNnCM TSLOKE	FCNnCM TSSELE	FCNnCM TSTSGE
		0	0	0	0	0	0	0	0

表 20-14 FCN メッセージ・バッファ・レジスタのビット構成 (1/2)

アドレス・オフセット	略号	ビット 7/15/31/23	ビット 6/14/30/22	ビット 5/13/29/21	ビット 4/12/28/20	ビット 3/11/27/19	ビット 2/10/26/18	ビット 1/9/25/17	ビット 0/8/24/16
1 1000$_H$ + m × 40$_H$	FCNnMm DAT0W	FCNnMmSSD0[7:0]							
		FCNnMmSSD1[7:0]							
		FCNnMmSSD2[7:0]							
		FCNnMmSSD3[7:0]							
0 9000$_H$ + m × 40$_H$	FCNnMm DAT0H	FCNnMmSSD0[7:0]							
		FCNnMmSSD1[7:0]							
0 1000$_H$ + m × 40$_H$	FCNnMm DAT0B	FCNnMmSSD0[7:0]							
0 1004$_H$ + m × 40$_H$	FCNnMm DAT1B	FCNnMmSSD1[7:0]							
0 9008$_H$ + m × 40$_H$	FCNnMm DAT2H	FCNnMmSSD2[7:0]							
		FCNnMmSSD3[7:0]							
0 1008$_H$ + m × 40$_H$	FCNnMm DAT2B	FCNnMmSSD2[7:0]							
0 100C$_H$ + m × 40$_H$	FCNnMm DAT3B	FCNnMmSSD3[7:0]							
1 1010$_H$ + m × 40$_H$	FCNnMm DAT4W	FCNnMmSSD4[7:0]							
		FCNnMmSSD5[7:0]							
		FCNnMmSSD6[7:0]							
		FCNnMmSSD7[7:0]							
0 9010$_H$ + m × 40$_H$	FCNnMm DAT4H	FCNnMmSSD4[7:0]							
		FCNnMmSSD5[7:0]							
0 1010$_H$ + m × 40$_H$	FCNnMm DAT4B	FCNnMmSSD4[7:0]							
0 1014$_H$ + m × 40$_H$	FCNnMm DAT5B	FCNnMmSSD5[7:0]							
0 9018$_H$ + m × 40$_H$	FCNnMm DAT6H	FCNnMmSSD6[7:0]							
		FCNnMmSSD7[7:0]							
0 1018$_H$ + m × 40$_H$	FCNnMm DAT6B	FCNnMmSSD6[7:0]							
0 101C$_H$ + m × 40$_H$	FCNnMm DAT7B	FCNnMmSSD7[7:0]							
0 1020$_H$ + m × 40$_H$	FCNnMm DTLGB	0				FCNnMmDTLG[3:0]			
0 1024$_H$ + m × 40$_H$	FCNnMm STRB	FCNnMm SSOW	FCNnMmSSMT[3:0]				FCNnMm SSRT	0	FCNnMm SSAM

表 20-14 FCN メッセージ・バッファ・レジスタのビット構成 (2/2)

アドレス・オフセット	略号	ビット 7/15/31/23	ビット 6/14/30/22	ビット 5/13/29/21	ビット 4/12/28/20	ビット 3/11/27/19	ビット 2/10/26/18	ビット 1/9/25/17	ビット 0/8/24/16
$0\ 9028_H + m \times 40_H$	FCNnMm MID0H	FCNnMmSSID[7:0]							
		FCNnMmSSID[15:8]							
$0\ 9030_H + m \times 40_H$	FCNnMm MID1H	FCNnMmSSID[23:16]							
		FCNnMm SSIE	0	0	FCNnMmSSID[28:24]				
$1\ 1028_H + m \times 40_H$	FCNnMm MID0W	FCNnMmSSID[7:0]							
		FCNnMmSSID[15:8]							
		FCNnMmSSID[23:16]							
		FCNnMm SSIE	0	0	FCNnMmSSID[28:24]				
$0\ 9038_H + m \times 40_H$	FCNnMmCTL (W)	0	FCNnMm CLNH	0	FCNnMm CLMW	FCNnMm CLIE	FCNnMm CLDN	FCNnMm CLTR	FCNnMm CLRY
		0	FCNnMm SENH	0	0	FCNnMm SEIE	0	FCNnMm CSETR	FCNnMm SERY
	FCNnMmCTL (R)	0	FCNnMm NHMF	0	FCNnMm MOWF	FCNnMm IENF	FCNnMm DTNF	FCNnMm TRQF	FCNnMm RDYF
		0	0	FCNnMm MUCF	0	0	0	FCNnMm TCPF	0

20.4 ビットのセット／クリア機能

FCN 制御レジスタには，CPU および CAN コントローラを介してビットをセットまたはクリアできるレジスタが含まれています。これらのレジスタ・ビットを SET1，CLR1，NOT1 などのビット操作命令によって CPU が直接変更することはできません。レジスタ・ビットの変更には，特殊なビット・セット／ビット・クリア・メカニズムが使用されます。

ビット操作演算が禁止されているレジスタでは，CPU による変更が許可されているすべてのビットが下位バイト（下記のレジスタ・レイアウトの RWx）に配置されており，上位バイト（下記のレジスタ・レイアウトの ROx）には情報が配置されていないか，読み出し専用情報が配置されています。

レジスタの説明にあるように，現在設定されている 16 個のデータ・ビットすべてを取得する通常の方法でレジスタを読み出すことができます。
下位 8 ビットのセットまたはクリアには，以下のメカニズムが使用されます。

レジスタ・アドレスに 16 ビット・データを書き込む場合

ビット・クリア

- 下位 8 データ・ビット（下記のレジスタ・レイアウトの CLx）を使用して，各ビット位置に対応するレジスタ・ビット RWx が次のいずれの状態になるかを示します。
  - クリアされる，つまり 0 にセットされる：CLx = 1 であれば，対応する RWx は 0 にクリアされます。
  - 変化しない：CLx = 0 であれば，対応する RWx は変化しません。

ビット・セット

- 上位 8 データ・ビット（下記のレジスタ・レイアウトの SEx）を使用して，各ビット位置に対応するレジスタ・ビットが次のいずれの状態になるかを示します。
  - セットされる，つまり 1 にセットされる：SEx = 1 であれば，対応する RWx が 1 にセットされます。
  - 変化しない：SEx = 0 であれば，対応する RWx は変化しません。

読み出しアクセスのレジスタ・レイアウト

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RO7	RO6	RO5	RO4	RO3	RO2	RO1	RO0	RW7	RW6	RW5	RW4	RW3	RW2	RW1	RW0
CPU による変更が不可能								SE7 ～ SE0 および CL7 ～ CL0 を介した CPU によるビット操作が可能							

書き込みアクセスのレジスタ・レイアウト

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE7	SE6	SE5	SE4	SE3	SE2	SE1	SE0	CL7	CL6	CL5	CL4	CL3	CL2	CL1	CL0
SEx = 1 であれば，対応する RW7 ～ RW0 をセットします。								CLx = 1 であれば，対応する RW7 ～ RW0 をクリアします。							

RWx ビットに適用される操作を以下の表に示します。

表 20-15 ビットのセット／クリア操作

CLx	SEx	RWx に対する操作
0	0	RWx を変更しません。
0	1	RWx を 1 にセットします。
1	0	RWx を 0 にクリアします。
1	1	RWx を変更しません。

例 以下に例を示します。

内容が 1883_H であるレジスタを以下のように変更する場合

- ビット 3 を 1 に設定：SE3 = 1
- ビット 1 を 0 にクリア：CL1 = 1

ビット操作前のレジスタ読み出し値

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	1	1	0	0	0	1	0	0	0	**0**	0	**1**	1
任意の値に設定することができます。 この例では 18_H です。								RW7 ～ RW0：83_H							

レジスタ書き込みアクセス

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0
SE3 = 1：08_H								CL1 = 1：02_H							

ビット操作後のレジスタ読み出し値

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	1	1	0	0	0	1	0	0	0	1	0	0	1
任意の値にすることができます。 この例では 18_H です。								RW7 ～ RW0：89_H							

20.5 制御レジスタ

20.5.1 FCN グローバル・レジスタ

(1) FCNnGMCLCTL — FCNn グローバル制御レジスタ

本レジスタは FCN モジュールの動作の制御に使用されます。

アクセス 16 ビット単位でリード／ライトが可能です。

アドレス <FCNn_base> + $0\ 8000_H$

初期値 $00x0_H$ 本レジスタは各種リセットにより初期化されます。

(a) FCNnGMCLCTL の読み出し値

15	14	13	12	11	10	9	8
FCNnGMCLSSMO	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	FCNnGMCLECCF [a]	FCNnGMCLSORF[a]	0	0	FCNnGMCLESDE	FCNnGMCLPWOM

a) 初期値は以下のようになります。
--- ソフト・リセット後にエラーが検出されなければ 0000_H。
--- ソフト・リセット中にエラーが検出されなければ 0010_H。
--- ソフト・リセット後にエラーが検出されれば 0020_H。
--- ソフト・リセット中にエラーが検出されれば 0030_H。

FCNnGMCLSSMO	FCN メッセージ・バッファ・レジスタおよび FCN モジュール送受信ヒストリ・レジスタへのアクセス有効ビット
0	FCN メッセージ・バッファ・レジスタおよび送受信ヒストリ・リスト・レジスタへの書き込みアクセスおよび読み出しアクセスは無効です。
1	FCN メッセージ・バッファ・レジスタおよび送受信ヒストリ・リスト・レジスタへの書き込みアクセスおよび読み出しアクセスは有効です。

注意
1. FCNnGMCLCTL.FCNnGMCLSSMO がクリア (0) されている間，ソフトウエアによる FCN メッセージ・バッファ・レジスタ（FCNnMm であるすべてのレジスタ）または送信ヒストリ，受信ヒストリに関連したレジスタ（FCNnCMLOSTR，FCNnCMTGTX，FCNnCMLISTR，FCNnCMRGRX）へのアクセスは無効です。
2. FCNnGMCLCTL.FCNnGMCLSSMO はリード・オンリーです。本ビットが 0 の状態で 1 を書き込んでも，ビットの値は変わらず，FCN メッセージ・バッファ・レジスタまたは送信ヒストリ，受信ヒストリに関連したレジスタへのアクセスは無効のままです。

備考 FCN モジュールが FCN スリープ・モードまたは FCN ストップ・モードに移行した場合，または，FCNnGMCLCTL.FCNnGMCLPWOM がクリア (0) された場合に，FCNnGMCLCTL.FCNnGMCLSSMO がクリア (0) されます。

FCN スリープ・モードまたは FCN ストップ・モードが解除された場合，または，FCNnGMCLCTL.FCNnGMCLPWOM がセット (1) された場合に，FCNnGMCLSSMO がセット (1) されます。

FCNnGMCLECCF	メッセージ・バッファ RAM 読み出しエラー検出ビット
0	メッセージ・バッファ RAM からの読み出しでエラーが検出されなかったことを示します。
1	メッセージ・バッファ RAM からの読み出しでエラーが検出されたことを示します。

備考
1. ソフト・リセットの実行中，メッセージ・バッファ RAM からの読み出しでメモリ・エラーが検出されると，FCNnGMCLCTL.FCNnGMCLECCF がセット（1）されます。FCNnGMCLECCF がセット（1）されると，クリア（0）されるまで，セット状態が保たれます。
2. 本ビットは，ソフト・リセット実行後にメモリ・エラーを確認する用途以外で使用しないでください。
3. FCNnGMCLCTL.FCNnGMCLSORF がセット（1）されている間（ソフト・リセットの実行中），FCNnGMCLECCF をクリア（0）することはできません。

FCNnGMCLSORF	ソフト・リセット実行ステータス・ビット
0	ソフト・リセットを実行していないことを示します。
1	ソフト・リセットを実行中であることを示します。

備考
1. ソフト・リセットを実行中（FCNnGMCLCTL.FCNnGMCLSORF がセット（1）されている間），FCNnGMCLCTL.FCNnGMCLPWOM および FCNnGMCLCTL.FCNnGMCLESDE をセットすることはできません。FCNnGMCLCTL.FCNnGMCLPWOM がクリア（0）されている間は，FCNnGMCLCTL.FCNnGMCLSESR = 1 にすることで，ソフトウェア・リセットの開始を設定することができます。
2. FCNnGMCLCTL.FCNnGMCLSORF がセット（1）されると，メッセージ・バッファ RAM の初期化が開始されます。FCNnGMCLSORF をセットする前に FCNnGMCLCTL.FCNnGMCLECCF がクリアされれば，メッセージ・バッファ RAM の初期化中にエラーを検出することができます。
3. すでにセット（1）されている FCNnGMCLCTL.FCNnGMCLSORF を再びセット（1）しても，ソフト・リセット処理は再開されず，処理が継続されるだけです。
4. ハードウェア・リセットの解除後，FCNnGMCLCTL.FCNnGMCLSORF が自動的にセット（1）され，メッセージ・バッファ RAM の初期化が開始されます。
5. FCNnGMCLCTL.FCNnGMCLPWOM のクリア（0）と FCNnGMCLCTL.FCNnGMCLSORF のセット（1）を同時に行うことはできません。
6. FCNnGMCLCTL.FCNnGMCLSORF = 1 の間，ハードウェア・リセットが行われると，ソフト・リセット処理が中断され，ハードウェア・リセットが開始されます。

FCNnGMCLESDE	強制シャットダウンを許可するビット
0	強制シャットダウンを禁止します。
1	FCNnGMCLCTL.FCNnGMCLPWOM ビット = 0 にする強制シャットダウンを許可します。

注意 強制シャットダウンを要求するには，FCNnGMCLCTL.FCNnGMCLESDE がセット（1）された直後に行われるアクセスで FCNnGMCLCTL.FCNnGMCLPWOM をクリア（0）する必要があります。FCNnGMCLESDE がセット（1）された直後に FCNnGMCLPWOM をクリアすることなく，ほかのレジスタへの何らかのアクセス（FCNnGMCLCTL レジスタの読み出しを含む）を実行すると，FCNnGMCLESDE は強制的にクリア（0）され，強制シャットダウン要求が無効になります。

FCNnGMCLPWOM	グローバル動作モード・ビット
0	FCN モジュールの動作を禁止します。
1	FCN モジュールの動作を許可します。

注意 FCNnGMCLCTL.FCNnGMCLPWOM は，初期化モード中，または FCNnGMCLCTL.FCNnGMCLESDE がセットされた（強制シャットダウン）直後にだけクリアすることができます。

(b) FCNnGMCLCTL の書き込み値

15	14	13	12	11	10	9	8
0	0	0	FCNnGMCLSESR	0	0	FCNnGMCLSESD	FCNnGMCLSEOM

7	6	5	4	3	2	1	0
0	0	FCNnGMCLCLMB	0	0	0	0	FCNnGMCLCLOM

FCNnGMCLSESR	ソフトウェア・リセット開始
0	変化しません。
1	ソフト・リセットを開始します。

FCNnGMCLSESD	FCNnGMCLSESD ビットの設定
0	FCNnGMCLESDE ビットを変更しません。
1	FCNnGMCLESDE ビットを 1 にセットします。

FCNnGMCLSEOM	FCNnGMCLCLOM	FCNnGMCLPWOM ビットの設定
0	1	FCNnGMCLCTL.FCNnGMCLPWOM ビットを 0 にクリアします。
1	0	FCNnGMCLCTL.FCNnGMCLPWOM ビットを 1 にセットします。
上記以外の値		FCNnGMCLCTL.FCNnGMCLPWOM ビットを変更しません。

注意 FCNnGMCLCTL.FCNnGMCLPWOM ビットと FCNnGMCLCTL.FCNnGMCLESDE ビットは必ず別々にセットしてください。

FCNnGMCLCLMB	FCNnGMCLCTL.FCNnGMCLECCF ビットのクリア
0	FCNnGMCLCTL.FCNnGMCLECCF ビットを変更しません。
1	FCNnGMCLCTL.FCNnGMCLECCF ビットを 0 にクリアします。

(2) FCNnGMCSPRE — FCNn グローバル・クロック選択レジスタ

本レジスタは FCN モジュール・システム・クロックの選択に使用されます。

アクセス 8 ビット単位でリード／ライトが可能です。

アドレス <FCNn_base> + 0008_H

初期値 $0F_H$ 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	FCNnGMCSPRSC[3:0]			

FCNnGMCSPRSC[3:0]	FCN モジュール・システム・クロック（f_{CANMOD}）
0000_B	$f_{CAN}/1$
0001_B	$f_{CAN}/2$
0010_B	$f_{CAN}/3$
0011_B	$f_{CAN}/4$
0100_B	$f_{CAN}/5$
0101_B	$f_{CAN}/6$
0110_B	$f_{CAN}/7$
0111_B	$f_{CAN}/8$
1000_B	$f_{CAN}/9$
1001_B	$f_{CAN}/10$
1010_B	$f_{CAN}/11$
1011_B	$f_{CAN}/12$
1100_B	$f_{CAN}/13$

FCNnGMCSPRSC[3:0]	FCN モジュール・システム・クロック（f_{CANMOD}）
1101_B	f_{CAN}/14
1110_B	f_{CAN}/15
1111_B	f_{CAN}/16（デフォルト値）

備考 f_{CAN} = FCN の基本クロック

(3) FCNnGMABCTL — FCNn グローバル自動ブロック送信制御レジスタ

本レジスタは，自動ブロック送信（ABT）操作の制御に使用されます。

アクセス 16 ビット単位でリード／ライトが可能です。

アドレス <FCNn_base> + $0\ 8018_H$

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnGMABCTL の読み出し値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	FCNnGMABCLRF	FCNnGMABABTT

FCNnGMABCLRF	自動ブロック送信エンジン・クリア・ステータス・ビット
0	自動送信エンジンのクリアが完了していることを示します。
1	自動送信エンジンをクリア中であることを示します。

備考 FCNnGMABCTL.FCNnGMABABTT = 0 である間に FCNnGMABCTL.FCNnGMABSEAC = 1 にセットすることで，自動送信エンジンのクリアを開始します。
FCNnGMABABTT = 1 である間に FCNnGMABCLRF を 1 にセットした場合の動作は保証されません。

FCNnGMABABTT	自動ブロック送信ステータス・ビット
0	自動ブロック送信が停止していることを示します。
1	自動ブロック送信が実行されていることを示します。

(b) FCNnGMABCTL の書き込み値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	FCNnGMABSEAC	FCNnGMABSEAT

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FCNnGMABCLAT

備考 FCNnGMABCTL.FCNnGMABSEAC を 1 にセットして自動ブロック送信エンジンをクリアすると，FCNnGMABCLRF が自動的にセットされ，要求されたクリア処理が完了すると同時に FCNnGMABCLRF が 0 にクリアされます。

注意
1. ABT 付き通常動作モードから初期化モードへ変更する前に，必ず FCNnGMABCTL レジスタをデフォルト値（0000_H）に設定し，FCNnGMABCTL レジスタがデフォルト値（0000_H）に確実に初期化されたことを確認してください。
2. 初期化モード中に自動ブロック送信を開始しないでください。初期化モード中に自動ブロック送信を開始した場合，CAN コントローラが ABT 付き通常動作モードに入ったときの動作は保証されません。
3. FCNnCMCLCTL.FCNnCMCLSSTS が 1 にセットされている間（送信中）に自動ブロック送信を開始しないでください。自動ブロック送信を開始する前に，あらかじめ FCNnCMCLSSTS = 0 になっていることを直接確認してください。

FCNnGMABSEAC	自動ブロック送信エンジン・クリア要求ビット
0	自動ブロック送信エンジンがアイドル状態または動作中であることを示します。
1	自動ブロック送信エンジンのクリアを要求します。自動ブロック送信エンジンがクリアされたあと，FCNnGMABCTL.FCNnGMABABTT = 1 にセットすることで，メッセージ・バッファ 0 からの自動ブロック送信が開始されます。

FCNnGMABSEAT	FCNnGMABCLAT	自動ブロック送信開始ビット
0	1	自動ブロック送信の停止を要求します。
1	0	自動ブロック送信の開始を要求します。
上記以外の値		FCNnGMABCTL.FCNnGMABABTT ビットを変更しません。

(4) FCNnGMADCTL — FCNn グローバル自動ブロック送信遅延設定レジスタ

本レジスタは，ABT 付き通常動作モード中に，ABT に割り当てられたメッセージ・バッファのデータを送信するインターバルの設定に使用されます。

アクセス 8 ビット単位でリード／ライトが可能です。

アドレス <FCNn_base> + 0020_H

初期値 00_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	FCNnGMADSSAD[3:0]			

FCNnGMADSSAD[3:0]	自動ブロック送信中のデータ・フレーム・インターバル（DBT 単位）[a]
0000_B	0 DBT（デフォルト値）
0001_B	2^5 DBT
0010_B	2^6 DBT
0011_B	2^7 DBT
0100_B	2^8 DBT
0101_B	2^9 DBT
0110_B	2^{10} DBT
0111_B	2^{11} DBT
1000_B	2^{12} DBT
上記以外の値	設定禁止

a) 単位：DBT（データ・ビット時間）

注意
1. FCNnGMABCTL.FCNnGMABCLRF = 1 である間（ABT のクリア中）に FCNnGMADCTL レジスタの内容を変更しないでください。
2. ABT メッセージが実際に CAN バスに送信されるタイミングは，ほかのステーションからの送信の状態または ABT メッセージ以外のメッセージの送信要求が行われた方法によって異なります。

(5) FCNnDNBMRXk — FCNn グローバル・データ更新ビット・モニタ・レジスタ (k = 0, 1)

本レジスタは，同時に複数のメッセージ・バッファのデータ更新ビットをグローバルに読み出すために使用されます。

アクセス 32 ビット単位でリード可能です。

アドレス FCNnDNBMRX0: <FCNn_base> + 1 $00C0_H$

初期値 $0000\ 0000_H$ 本レジスタは各種リセットにより初期化されます。

(a) FCNnDNBMRX0

31	30	29	28	27	26	25	24
FCNnDNBMSSDN[31:24]							

23	22	21	20	19	18	17	16
FCNnDNBMSSDN[23:16]							

15	14	13	12	11	10	9	8
FCNnDNBMSSDN[15:08]							

7	6	5	4	3	2	1	0
FCNnDNBMSSDN[07:00]							

FCNnDNBMSSDN[31:0]	メッセージ・バッファ・データ更新ビット
0	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されていません。
1	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されています。

20.5.2 FCN モジュール・レジスタ

(1) FCNnCMMKCTLaH — FCNn モジュール・マスク制御レジスタ

これらのレジスタは，比較されるメッセージ識別子（ID）の一部をマスクし，マスクされた部分の ID を無効にすることで，同じメッセージ・バッファに保存できるメッセージの数を増やすために使用されます。

レジスタ FCNnCMMKCTLaW（a = 01, 03, 05, 07, 09, 11, 13, 15）への 1 回の 32 ビット・アクセスで，2 つの 16 ビット・レジスタ FCNnCMMKCTLaH（a = 01-16）にアクセスすることもできます。

アクセス FCNnCMMKCTLaH レジスタは 16 ビット単位でリード／ライト可能です。
FCNnCMMKCTLaW レジスタは 32 ビット単位でリード／ライト可能です。

アドレス
FCNnCMMKCTL01H: <FCNn_base> + $0\ 8300_H$
FCNnCMMKCTL02H: <FCNn_base> + $0\ 8308_H$
FCNnCMMKCTL03H: <FCNn_base> + $0\ 8310_H$
FCNnCMMKCTL04H: <FCNn_base> + $0\ 8318_H$
FCNnCMMKCTL05H: <FCNn_base> + $0\ 8320_H$
FCNnCMMKCTL06H: <FCNn_base> + $0\ 8328_H$
FCNnCMMKCTL07H: <FCNn_base> + $0\ 8330_H$
FCNnCMMKCTL08H: <FCNn_base> + $0\ 8338_H$
FCNnCMMKCTL09H: <FCNn_base> + $0\ 8340_H$
FCNnCMMKCTL10H: <FCNn_base> + $0\ 8348_H$
FCNnCMMKCTL11H: <FCNn_base> + $0\ 8350_H$
FCNnCMMKCTL12H: <FCNn_base> + $0\ 8358_H$
FCNnCMMKCTL13H: <FCNn_base> + $0\ 8360_H$
FCNnCMMKCTL14H: <FCNn_base> + $0\ 8368_H$
FCNnCMMKCTL15H: <FCNn_base> + $0\ 8370_H$
FCNnCMMKCTL16H: <FCNn_base> + $0\ 8378_H$

FCNnCMMKCTL01W: <FCNn_base> + $1\ 0300_H$
FCNnCMMKCTL03W: <FCNn_base> + $1\ 0310_H$
FCNnCMMKCTL05W: <FCNn_base> + $1\ 0320_H$
FCNnCMMKCTL07W: <FCNn_base> + $1\ 0330_H$
FCNnCMMKCTL09W: <FCNn_base> + $1\ 0340_H$
FCNnCMMKCTL11W: <FCNn_base> + $1\ 0350_H$
FCNnCMMKCTL13W: <FCNn_base> + $1\ 0360_H$
FCNnCMMKCTL15W: <FCNn_base> + $1\ 0370_H$

初期値 FCNnCMMKCTLaH 0000_H

FCNnCMMKCTLaW $0000\ 0000_H$

本レジスタは各種リセットにより初期化されます。

15	14	13	12	11	10	9	8
FCNnCMMKSSID[15:8]							

7	6	5	4	3	2	1	0
FCNnCMMKSSID[7:0]							

(a) FCNnCMMKCTLaH (a = 01, 03, 05, 07, 09, 11, 13, 15)

15	14	13	12	11	10	9	8
FCNnCMMKSSID[15:8]							

7	6	5	4	3	2	1	0
FCNnCMMKSSID[7:0]							

(b) FCNnCMMKCTLaH (a = 02, 04, 06, 08, 10, 12, 14, 16)

15	14	13	12	11	10	9	8
0	0	0	FCNnCMMKSSID[28:24]				

7	6	5	4	3	2	1	0
FCNnCMMKSSID[23:16]							

(c) FCNnCMMKCTLaW (a = 01, 03, 05, 07, 09, 11, 13, 15)

31	30	29	28	27	26	25	24
0	0	0	FCNnCMMKSSID[28:24]				

23	22	21	20	19	18	17	16
FCNnCMMKSSID[23:16]							

15	14	13	12	11	10	9	8
FCNnCMMKSSID[15:8]							

7	6	5	4	3	2	1	0
FCNnCMMKSSID[7:0]							

FCNnCMMKSSID[i] [a]	ID ビットのマスク・パターン設定
0	FCNnMmSSID[**i**] によって設定されたメッセージ・バッファ m の ID ビット **i** を受信メッセージ・フレームの ID ビットと比較します。
1	FCNnMmSSID[**i**] によって設定されたメッセージ・バッファ m の ID ビット **i** を受信メッセージ・フレームの ID ビットと比較しません（マスクします）。

a) i = [28:0]

備考 マスキングは，常に ID 長 29 ビットによって定義されます。マスクが標準 ID を持つメッセージに割り当てられている場合，FCNnCMMKSSID[17:0] は無視されます。したがって，受信 ID の FCNnCMMKSSID[28:18] のみがマスクされます。同じマスクを標準 ID と拡張 ID の両方に使用できます。

(2) FCNnCMCLCTL — FCNn モジュール制御レジスタ

本レジスタは FCN モジュールの動作モードの制御に使用されます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <FCNn_base> + $0\ 8240_H$

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnCMCLCTL の読み出し値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	FCNnCMCLSSRS	FCNnCMCLSSTS

7	6	5	4	3	2	1	0
FCNnCMCLERCF	FCNnCMCLALBF	FCNnCMCLVALF	FCNnCMCLMDPF[1:0]		FCNnCMCLMDOF[2:0]		

FCNnCMCLSSRS	受信ステータス・ビット
0	受信が停止していることを示します。
1	受信中であることを示します。

備考 1. FCNnCMCLSSRS は以下の条件（タイミング）で 1 にセットされます。
- 受信フレームの SOF ビットが検出されたとき
- 送信フレームに調停ロスが生じたとき

2. FCNnCMCLSSRS は以下の条件（タイミング）で 0 にクリアされます。
- インターフレーム・スペースの第 2 ビットでリセッシブ・レベルが検出されたとき
- インターフレーム・スペースの第 1 ビットで初期化モードへ移行したとき

FCNnCMCLSSTS	送信ステータス・ビット
0	送信が停止していることを示します。
1	送信中であることを示します。

備考 1. FCNnCMCLSSTS は以下の条件（タイミング）で 1 にセットされます。
- 送信フレームの SOF ビットが検出されたとき

2. FCNnCMCLSSTS は以下の条件（タイミング）で 0 にクリアされます。
- バスオフ状態への移行中
- 送信フレームに調停ロスが生じたとき
- インターフレーム・スペースの第 2 ビットでリセッシブ・レベルが検出されたとき
- インターフレーム・スペースの第 1 ビットで初期化モードへ移行したとき

FCNnCMCLERCF	エラー・カウンタ・クリア・ビット
0	FCNnCMERCNT レジスタと FCNnCMINSTR レジスタを初期化モード中にクリアしません。
1	FCNnCMERCNT レジスタと FCNnCMINSTR レジスタを初期化モード中にクリアします。

注意 FCNnCMCLERCF ビットは，再初期化またはバスオフ状態から強制復帰のときにエラー・カウンタ FCNnCMERCNT と情報レジスタ FCNnCMINSTR をクリアするために使用されます。エラー・カウンタおよび情報レジスタは下記の条件でクリア（FCNnCMCLERCF セット）可能です。

- バスオフ期間中の初期化モード状態時
- FCN モジュール起動（FCNnGMCLPWOM = 0 状態から FCNnGMCLPWOM をセット）後の初期化モード状態時
- 動作モード中に*図 20-24* の送信中断処理に従った全ての送信要求クリア後の初期化モード状態時（ABT 付き通常動作モード中は*図 20-25* の送信中断処理に従って全ての送信要求をクリアしてください。）

備考 1. FCNnCMERCNT レジスタと FCNnCMINSTR レジスタがクリアされると，FCNnCMCLERCF も自動的に 0 にクリアされます。

2. 初期化モードから動作モードへの移行要求が発行されると同時に，FCNnCMCLERCF を 1 にセットすることができます。

3. FCN スリープ・モード中または FCN ストップ・モード中，FCNnCMCLERCF は読み出し専用になります。

4. エラー・カウンタは CAN コントローラの通常シャットダウンまたは強制シャットダウンでもクリアされます。

FCNnCMCLALBF	調停ロスが発生したときの動作を設定するビット
0	シングル・ショット・モード中に調停ロスが発生したときに再送信を実行しません。
1	シングル・ショット・モード中に調停ロスが発生したときに再送信を実行します。

備考 FCNnCMCLALBF はシングル・ショット・モード中にのみ有効です。

FCNnCMCLVALF	有効受信メッセージ・フレーム検出ビット
0	FCNnCMCLVALF が最後に 0 にクリアされたあと，有効メッセージ・フレームが受信されていないことを示します。
1	FCNnCMCLVALF が最後に 0 にクリアされたあと，有効メッセージ・フレームが受信されたことを示します。

備考 1. 有効受信メッセージ・フレームの検出は，受信メッセージ・バッファ（データ・フレーム）または送信メッセージ・バッファ（リモート・フレーム）にフレームが保存されているかどうかにかかわらず，行われます。

2. 受信オンリー・モードでは確認応答が生成されないため，2 つの CAN ノードのみが CAN バスに接続されていて，一方が通常モードでメッセージ・フレームを送信しており，もう一方が受信オンリー・モードになっている場合は，送信側ノードがエラー・パッシブ状態に入るまで FCNnCMCLVALF は 1 にセットされません。
3. FCNnCMCLVALF をクリアするには，まず FCNnCMCLCLVL を 1 にセットしたあと，FCNnCMCLVALF がクリアされたかどうかを確認してください。FCNnCMCLVALF がクリアされていない場合は，クリア処理を再び実行してください。

FCNnCMCLMDPF[1:0]	パワー・セーブ・モード
00_B	パワー・セーブ・モードが選択されていないことを示します。
01_B	FCN スリープ・モード
10_B	設定禁止
11_B	FCN ストップ・モード

注意
1. FCN ストップ・モードからほかのモードへ，またはほかのモードから FCN ストップ・モードへ移行するときは，必ず FCN スリープ・モードを経由する必要があります。ほかのモードから FCN ストップ・モードへの直接の移行または FCN ストップ・モードからほかのモードへの直接の移行に対する要求は無視されます。
2. パワー・セーブ・モードを解除した場合は，メッセージ・バッファへのアクセスを再開する前に，FCNnGMCLCTL の FCNnGMCLSSMO フラグをチェックする必要があります。
3. FCN スリープ・モード要求は，ソフトウェアによって要求がキャンセルされるか，適切なバス状態（バス・アイドル状態）に移行するまで保留されます。ソフトウェアで FCNnCMCLMDPF[1:0] を読み出すことで，実際のステータスを確認することができます。
4. パワー・セーブ・モードは動作モード変更と組み合わせて行わないでください。これらのアクセスはステップを分けて実行してください。

備考 初期化モードからいずれかの通信モードに遷移する場合，FCN モジュールは CAN バスのアイドル期間を確認した後で通信に参加します。アイドル期間確認前でもスリープ·モードに移行することは可能ですが，ウェイクアップ条件は常にレセシブ・レベルからドミナント・レベル方向への変化です。

FCNnCMCLMDOF[2:0]	動作モード
000_B	いずれの動作モードも選択されていない（FCN モジュールが初期化モード中である）ことを示します。
001_B	通常動作モード
010_B	自動ブロック送信機能付き通常動作モード（ABT 付き通常動作モード）
011_B	受信オンリー・モード
100_B	シングル・ショット・モード
101_B	セルフ・テスト・モード
上記以外の値	設定禁止

注意 1. 初期化モードまたはパワー・セーブ・モードへの移行には時間がかかることがあります。次の処理を開始する前に，値を読み出すことによって，モードの変更が成功したかどうかを必ず確認してください。

2. 動作モードで受信中に初期化モードを設定したとき，メッセージ・バッファの FCNnMmCTL.FCNnMmDTNF ビットをセットする最後の受信が発生する可能性があります。また，動作モードへ戻る遷移は受信ヒストリ・リストもクリアします。従って，初期化モードに達したことを動作モードを読み込んで確認してください。また，動作モードを再開する前に，全ての有効な受信メッセージ・バッファの全てのセットされた FCNnMmCTL.FCNnMmDTNF ビットをクリアしてください。

備考 FCN スリープ・モード中または FCN ストップ・モード中，FCNnCM.FCNnCMCLMDOF[2:0] は読み出し専用になります。

(b) FCNnCMCLCTL の書き込み値

15	14	13	12	11	10	9	8
FCNnCMCLSERC	FCNnCMCLSEAL	0	FCNnCMCLSEPS[1:0]		FCNnCMCLSEOP[2:0]		

7	6	5	4	3	2	1	0
0	FCNnCMCLCLAL	FCNnCMCLCLVL	FCNnCMCLCLPS[1:0]		FCNnCMCLCLOP[2:0]		

FCNnCMCLSERC	FCNnCMCLERCF ビットの設定
1	FCNnCMCLERCF を 1 にセットします。
上記以外の値	FCNnCMCLERCF を変更しません。

FCNnCMCLSEAL	FCNnCMCLCLAL	FCNnCMCLALBF ビットの設定
0	1	FCNnCMCLALBF を 0 にクリアします。
1	0	FCNnCMCLALBF を 1 にセットします。
上記以外の値		FCNnCMCLALBF を変更しません。

FCNnCMCLCLVL	FCNnCMCLVALF ビットの設定
0	FCNnCMCLVALF を変更しません。
1	FCNnCMCLVALF を 0 にクリアします。

FCNnCMCLSEPS0	FCNnCMCLCLPS0	FCNnCMCLMDPF0 ビットの設定
0	1	FCNnCMCLMDPF0 を 0 にクリアします。
1	0	FCNnCMCLMDPF0 を 1 にセットします。
上記以外の値		FCNnCMCLMDPF0 を変更しません。

FCNnCMCLSEPS1	FCNnCMCLCLPS1	FCNnCMCLMDPF1 ビットの設定
0	1	FCNnCMCLMDPF1 を 0 にクリアします。
1	0	FCNnCMCLMDPF1 を 1 にセットします。
上記以外の値		FCNnCMCLMDPF1 を変更しません。

FCNnCMCLSEOP0	FCNnCMCLCLOP0	FCNnCMCLMDOF0 ビットの設定
0	1	FCNnCMCLMDOF0 を 0 にクリアします。
1	0	FCNnCMCLMDOF0 を 1 にセットします。
上記以外の値		FCNnCMCLMDOF0 を変更しません。

FCNnCMCLSEOP1	FCNnCMCLCLOP1	FCNnCMCLMDOF1 ビットの設定
0	1	FCNnCMCLMDOF1 を 0 にクリアします。
1	0	FCNnCMCLMDOF1 を 1 にセットします。
上記以外の値		FCNnCMCLMDOF1 を変更しません。

FCNnCMCLSEOP2	FCNnCMCLCLOP2	FCNnCMCLMDOF2 ビットの設定
0	1	FCNnCMCLMDOF2 を 0 にクリアします。
1	0	FCNnCMCLMDOF2 を 1 にセットします。
上記以外の値		FCNnCMCLMDOF2 を変更しません。

(3) FCNnCMLCSTR — FCNn モジュール最終エラー情報レジスタ

本レジスタは CAN プロトコルのエラー情報を提供します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <FCNn_base> + 0248_H

初期値 00_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	FCNnCMLCSSLC[2:0]		

備考 1. FCN モジュールが動作モードから初期化モードへ移行しても FCNnCMLCSTR レジスタの内容はクリアされません。

2. ソフトウェアで 00_H 以外の値を FCNnCMLCSTR レジスタに書き込もうとしても，そのアクセスは無視されます。

FCNnCMLCSSLC[2:0]	最終 CAN プロトコル・エラー情報
000_B	エラーなし
001_B	スタッフ・エラー
010_B	フォーム・エラー
011_B	ACK エラー
100_B	ビット・エラー（FCN モジュールがリセッシブ・レベルのビットを（調停フィールド以外の）送信メッセージの一部として送信しようとしたが，CAN バス上の値がドミナント・レベルのビットだった）
101_B	ビット・エラー（FCN モジュールがドミナント・レベルのビットを送信メッセージ，ACK ビット，エラー・フレームまたはオーバロード・フレームの一部として送信しようとしたが，CAN バス上の値がリセッシブ・レベルのビットだった）
110_B	CRC エラー
111_B	未定義

(4) FCNnCMINSTR — FCNn モジュール情報レジスタ

本レジスタは FCN モジュールの状態を示します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <FCNn_base> + $0\ 024C_H$

初期値 00_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	FCNnCMINBOFF	FCNnCMINSSTE[1:0]		FCNnCMINSSRE[1:0]	

FCNnCMINBOFF	バスオフ状態ビット
0	バスオフ状態でないこと（送信エラー・カウンタが 255 以下）を示します（送信エラー・カウンタの値が 256 未満）。
1	バスオフ状態であること（送信エラー・カウンタが 255 を上回っている）を示します（送信エラー・カウンタの値が 256 以上）。

FCNnCMINSSTE[1:0]	送信エラー・カウンタ・ステータス・ビット
00_B	送信エラー・カウンタの値が警告レベル（96）未満であることを示します。
01_B	送信エラー・カウンタの値が警告レベルの範囲内（96-127）であることを示します。
10_B	設定禁止
11_B	送信エラー・カウンタの値がエラー・パッシブ状態またはバスオフ状態の範囲にあること（128 以上）を示します。

FCNnCMINSSRE[1:0]	受信エラー・カウンタ・ステータス・ビット
00_B	受信エラー・カウンタの値が警告レベル（96）未満であることを示します。
01_B	受信エラー・カウンタの値が警告レベルの範囲内（96-127）であることを示します。
10_B	設定禁止
11_B	受信エラー・カウンタの値がエラー・パッシブ状態の範囲にあること（128 以上）を示します。

(5) FCNnCMERCNT — FCNn モジュール・エラー・カウンタ・レジスタ

本レジスタは送受信エラー・カウンタのカウント値を示します。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <FCNn_base> + $0\ 8250_H$

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

15	14	13	12	11	10	9	8
FCNnCM ERRPSF	FCNnCM ERRECF[6:0]						

7	6	5	4	3	2	1	0
FCNnCM ERTECF[7:0]							

FCNnCMERRPSF	受信エラー・パッシブ・ステータス・ビット
0	受信エラー・カウンタがエラー・パッシブ範囲にないこと（128 未満）を示します。
1	受信エラー・カウンタがエラー・パッシブ範囲にあること（128 以上）を示します。

FCNnCMERRECF[6:0]	受信エラー・カウンタ・ビット
0 ～ 127	受信エラーの数を示します。これらのビットは受信エラー・カウンタのステータスを反映します。エラーの数は CAN プロトコルによって定義されます。

備考 受信エラー・パッシブ状態（FCNnCMINSTR.FCNnCMINSSRE[1:0] = 11_B）では，FCNnCMERRECF[6:0] は無効です。

FCNnCMERTECF[7:0]	送信エラー・カウンタ・ビット
0 ～ 255	送信エラーの数を示します。これらのビットは送信エラー・カウンタのステータスを反映します。エラーの数は CAN プロトコルによって定義されます。

備考 バスオフ状態（FCNnCMINSTR.FCNnCMINBOFF = 1）では，FCNnCMERTECF[7:0] は無効です。

(6) FCNnCMIECTL — FCNn モジュール割り込み許可レジスタ

本レジスタは FCN モジュールの割り込みの許可または禁止に使用されます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <FCNn_base> + $0\ 8258_H$

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnCMIECTL の読み出し値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	FCNnCMIEINTF[6:0]						

FCNnCMIEINTF[6:0]	FCN モジュール割り込み許可ビット
0	割り込みステータス・レジスタ FCNnCMISCTL に対応する割り込みの出力を禁止します。
1	割り込みステータス・レジスタ FCNnCMISCTL に対応する割り込みの出力を許可します。

(b) FCNnCMIECTL の書き込み値

15	14	13	12	11	10	9	8
0	FCNnCMIESEIE[6:0]						

7	6	5	4	3	2	1	0
0	FCNnCMIECLIE[6:0]						

FCNnCMIESEIE[6:0]	FCNnCMIECLIE[6:0]	FCNnCMIEINTF[6:0] ビットの設定
0	1	FCNnCMIEINTF[6:0] ビットを 0 にクリアします。
1	0	FCNnCMIEINTF[6:0] ビットを 1 にセットします。
上記以外の値		FCNnCMIEINTF[6:0] ビットを変更しません。

(7) FCNnCMISCTL — FCNn モジュール割り込みステータス・レジスタ

本レジスタは FCN モジュールの割り込みステータスを示します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <FCNn_base> + $0\ 8260_H$

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnCMISCTL の読み出し値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	FCNnCMISITSF[6:0]						

FCNnCMISITSF[6:0]	FCN 割り込みステータス・ビット
0	関連する割り込みソース・イベントが保留中でないことを示します。
1	関連する割り込みソース・イベントが保留中であることを示します。

割り込みステータス・ビット	関連する割り込みソース・イベント
FCNnCMISITSF6	FCN モジュール送信中断割り込みステータス・ビット
FCNnCMISITSF5	FCN スリープ・モードからのウェイクアップ割り込み[a]
FCNnCMISITSF4	調停ロス割り込み
FCNnCMISITSF3	CAN プロトコル・エラー割り込み
FCNnCMISITSF2	CAN エラー・ステータス割り込み
FCNnCMISITSF1	メッセージ・バッファ m への有効なメッセージ・フレームの受信完了割り込み
FCNnCMISITSF0	メッセージ・バッファ m からのメッセージ・フレームの送信正常完了割り込み

a) FCNnCMISITSF5 は，FCN モジュールが CAN バス上の動作によって FCN スリープ・モードからウェイクアップされたときにのみセットされます。FCN スリープ・モードがソフトウェアによって解除された場合は，セットされません。

(b) FCNnCMISCTL の書き込み値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	FCNnCMISCLTS[6:0]						

FCNnCMISCLTS[6:0]	FCNnCMISITSF[6:0] のクリア
0	FCNnCMISITSF[6:0] ビットを変更しません。
1	FCNnCMISITSF[6:0] ビットを 0 にクリアします。

注意 これらのビットは自動的にはクリアされないため，割り込み処理で各ステータスの確認が必要な場合は，本レジスタのステータス・ビットをソフトウェアでクリアしてください。

(8) FCNnCMBRPRS — FCNn モジュール・ビット・レート・プリスケーラ・レジスタ

本レジスタは CAN プロトコル・レイヤの基本システム・クロック（f_{TQ}）の選択に使用されます。通信ボー・レートは FCNnCMBTCTL レジスタに合わせて設定されます。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <FCNn_base> + $0\ 0268_H$

初期値 FF_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
FCNnCMBRPRS[7:0]							

FCNnCMBRPRS [7:0]	CAN プロトコル・レイヤの基本システム・クロック（f_{TQ}）
0	$f_{CANMOD}/1$
1	$f_{CANMOD}/2$
n	$f_{CANMOD}/(n+1)$
:	:
255	$f_{CANMOD}/256$（デフォルト値）

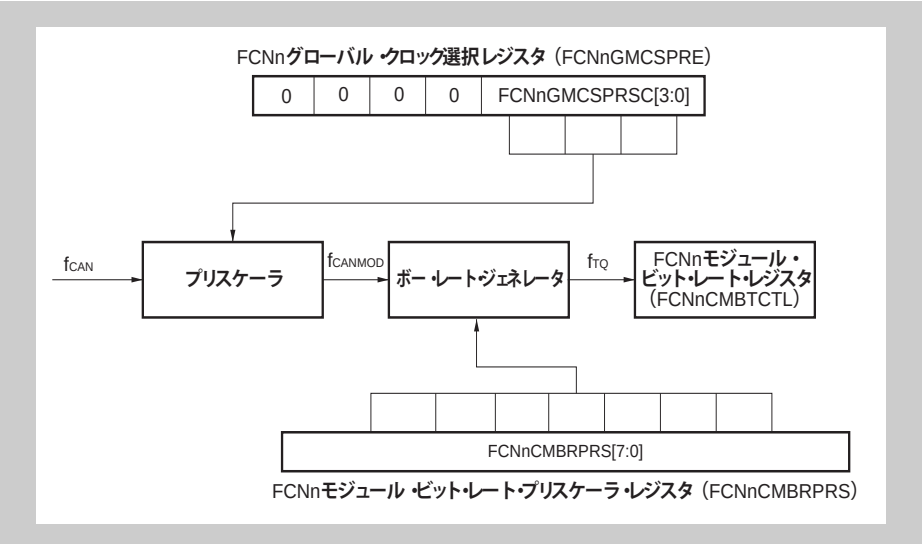


図 20-2 FCN モジュール・クロック

備考 f_{CAN}： FCN の基本クロック

f_{CANMOD}： FCN モジュール・システム・クロック

f_{TQ}： CAN プロトコル・レイヤの基本システム・クロック

注意 FCNnCMBRPRS へは，初期化モード中のみ書き込みアクセスが可能です。

(9) FCNnCMBTCTL — FCNn モジュール・ビット・レート・レジスタ

本レジスタは，通信ボー・レートのデータ・ビット時間の制御に使用されます。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<FCNn_base> + $0\ 8270_H$

初期値　$0370F_H$　本レジスタは各種リセットにより初期化されます。

15	14	13	12	11	10	9	8
0	0	FCNnCM BTJWLG[1:0]		0	FCNnCM BTS2LG[2:0]		

7	6	5	4	3	2	1	0
0	0	0	0	FCNnCMBTS1LG[3:0]			

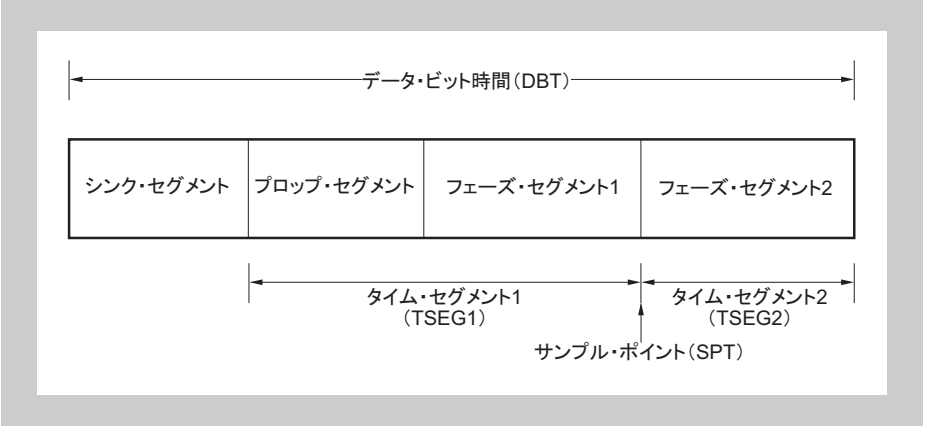


図 20-3　データ・ビット時間

FCNnCMBTJWLG[1:0]	同期ジャンプ幅の長さ（SJW）
00_B	$1T_Q$
01_B	$2T_Q$
10_B	$3T_Q$
11_B	$4T_Q$（デフォルト値）

FCNnCMBTS2LG[2:0]	タイム・セグメント 2 の長さ（TSEG2）
000_B	$1T_Q$
001_B	$2T_Q$
010_B	$3T_Q$
011_B	$4T_Q$
100_B	$5T_Q$
101_B	$6T_Q$
110_B	$7T_Q$
111_B	$8T_Q$（デフォルト値）

FCNnCMBTS1LG[3:0]	タイム・セグメント1の長さ（TSEG1）
0000_B	設定禁止
0001_B	$2T_Q$ [a]
0010_B	$3T_Q$ [a]
0011_B	$4T_Q$
0100_B	$5T_Q$
0101_B	$6T_Q$
0110_B	$7T_Q$
0111_B	$8T_Q$
1000_B	$9T_Q$
1001_B	$10T_Q$
1010_B	$11T_Q$
1011_B	$12T_Q$
1100_B	$13T_Q$
1101_B	$14T_Q$
1110_B	$15T_Q$
1111_B	$16T_Q$（デフォルト値）

a) FCNnCMBRPRS = 00_H のときにこの設定を行わないでください。

備考 $T_Q = 1/f_{TQ}$ (f_{TQ}：CAN プロトコル・レイヤの基本システム・クロック）

(10) FCNnCMLISTR — FCNn モジュール最終受信ポインタ・レジスタ

本レジスタは，データ・フレームまたはリモート・フレームが最後に保存されたメッセージ・バッファの番号を示します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <FCNn_base> + 0278_H

初期値 不定

7	6	5	4	3	2	1	0
FCNnCMLISSLR[7:0]							

FCNnCMLISSLR [7:0]	受信ヒストリ・リストの最終受信ポインタ
0-31	FCNnCMLISTR レジスタをリードすると，受信ヒストリ・リストの最終受信ポインタ（FCNnCMLISSLR[7:0]）でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが最後に受信格納されたメッセージ・バッファ番号が得られます。

備考 メッセージ・バッファにデータ・フレームまたはリモート・フレームが保存されたことがない場合は，FCNnCMLISTR の読み出し値は不定です。したがって，FCN モジュールが初期化モードから動作モードへ移行したあと，FCNnCMRGRX.FCNnCMRGSSPM を 1 にセットすると，FCNnCMLISTR の読み出し値は不定となります。

(11) FCNnCMRGRX — FCNn モジュール受信ヒストリ・リスト・レジスタ

本レジスタは受信ヒストリ・リスト（RHL）の読み出しに使用されます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <FCNn_base> + $0\ 8280_H$

初期値 $xx02_H$ 本レジスタは各種リセットにより初期化されます。

(a) FCNnCMRGRX の読み出し値

15	14	13	12	11	10	9	8
FCNnCMRGSSPT[7:0]							

7	6	5	4	3	2	1	0
0	0	0	0	0	0	FCNnCMRGSSPM	FCNnCMRGRVFF

FCNnCMRGSSPT[7:0]	受信ヒストリ・リスト読み出しポインタ
0-31	FCNnCMRGRX をリードすると，受信ヒストリ・リストの読み出しポインタ（FCNnCMRGRX.FCNnCMRGSSPT）でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが受信格納されたメッセージ・バッファ番号が得られます。

FCNnCMRGSSPM[a]	受信ヒストリ・リストのポインタ
0	受信ヒストリ・リストには，少なくとも 1 つのリードされていないメッセージ・バッファ番号があります。
1	受信ヒストリ・リストには，リードされていないメッセージ・バッファ番号がありません。

a) FCNnCMTGSSPM = 1 のとき，FCNnCMTGSSPT[7:0] の読み出し値は無効です。

FCNnCMRGRVFF[a]	受信ヒストリ・リスト・オーバフロー・ビット
0	読み出されていないすべてのメッセージ・バッファ番号はすべて保存されます。新規にデータ・フレームまたはリモート・フレーム受信格納したメッセージ・バッファ番号はすべて受信ヒストリ・リストに記録され（受信ヒストリ・リストに空きのエレメントが存在します）。
1	ホスト・プロセッサが受信ヒストリ・リスト (RHL) を最後に使用（たとえば，FCNnCMRGRX の読み込みなど）してから少なくとも 23 個のエントリが格納されています。FCNnCMRGRVFF がセットされていると，すべてのメッセージ・バッファ番号は位置 23 に格納されるため，最初の 22 個のエントリは順番に格納されていますが，最後のエントリは新たなメッセージを受信格納するたびに上書きされます。したがって，受信した順番を完全に回復することができません。

a) FCNnCMRGRVFF がセットされていれば，FCNnCMRGSSPM はメッセージが保存されてもクリアされませんが，FCNnCMRGRX のすべてのエントリがソフトウェアで読み出されれば，FCNnCMRGSSPM はセットされます。

(b) FCNnCMRGRX の書き込み値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FCNnCMRGCLRV

FCNnCMRGCLRV	FCNnCMRGRVFF ビットのクリア
0	FCNnCMRGRVFF ビットを変更しません。
1	FCNnCMRGRVFF ビットを 0 にクリアします。

(12) FCNnCMLOSTR — FCNn モジュール最終送信ポインタ・レジスタ

本レジスタは，データ・フレームまたはリモート・フレームを最後に送信したメッセージ・バッファの番号を示します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <FCNn_base> + 0288_H

初期値 不定

7	6	5	4	3	2	1	0
FCNnCMLOSSLT[7:0]							

FCNnCMLOSSLT [7:0]	送信履歴リストの最終アウト・ポインタ
0-31	FCNnCMLOSSLT をリードすると，送信ヒストリ・リストの最終送信・ポインタ（FCNnCMLOSSLT[7:0]）でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが最後に送信されたメッセージ・バッファ番号が得られます。

注意 メッセージ・バッファからデータ・フレームまたはリモート・フレームが送信されたことがない場合，FCNnCMLOSTR レジスタの読み出し値は不定になります。したがって，初期化モードから任意の動作モードへ移行後に FCNnCMTGTX.FCNnCMTGSSPM がセットされている場合には，FCNnCMLOSTR の読み出し値は不定となります。

(13) FCNnCMTGTX — FCNn モジュール送信ヒストリ・リスト・レジスタ

本レジスタは送信ヒストリ・リスト（THL）の読み出しに使用されます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <FCNn_base> + $0\ 8290_H$

初期値 $xx02_H$ 本レジスタは各種リセットにより初期化されます。

(a) FCNnCMTGTX の読み出し値

15	14	13	12	11	10	9	8
FCNnCMTGSSPT[7:0]							

7	6	5	4	3	2	1	0
0	0	0	0	0	0	FCNnCMTGSSPM	FCNnCMTGTVFF

FCNnCMTGSSPT[7:0]	送信ヒストリ・リスト読み出しポインタ
0-31	FCNnCMTGTX をリードすると，送信ヒストリ・リストの読み出しポインタ（FCNnCMTGSSPT[7:0]）でインデクスされるエレメントの内容が読み出されます。これにより，データ・フレームまたはリモート・フレームが送信されたメッセージ・バッファ番号が得られます。

FCNnCMTGSSPM[a]	送信ヒストリ・ポインター致
0	送信ヒストリ・リストには，少なくとも 1 つのリードされていないメッセージ・バッファ番号があります。
1	送信ヒストリ・リストには，リードされていないメッセージ・バッファ番号がありません。

a) FCNnCMTGSSPM = 1 のとき，FCNnCMTGSSPT[7:0] の読み出し値は無効です。

FCNnCMTGTVFF [a]	送信ヒストリ・リスト・オーバフロー・ビット
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。新規にデータ・フレームまたはリモート・フレームを送信完了したメッセージ・バッファ番号はすべて送信ヒストリ・リストに記録されます（送信ヒストリ・リストに空きのエレメントが存在します）。
1	ホスト・プロセッサが送信ヒストリ・リスト (THL) を最後に使用（たとえば，FCNnCMTGTX の読み込みなど）してから少なくとも 7 個のエントリが格納されています。FCNnCMTGTVFF がセットされていると，すべてのメッセージ・バッファ番号は位置 7 に格納されるため，最初の 6 個のエントリは順番に格納されていますが，最後のエントリは新たなメッセージが完了するたびに上書きされます。したがって，送信した順番を完全に回復することができません。

a) FCNnCMTGTVFF がセットされていれば，FCNnCMTGSSPM はメッセージが送信されてもクリアされませんが，FCNnCMTGTX のすべてのエントリがソフトウェアで読み出されれば，FCNnCMTGSSPM はセットされます。

備考 以下のメッセージ・バッファからの送信は，ABT 付きの通常動作モード中には送信ヒストリ・リストに記録されません。

- 0 ～ 16

(b) FCNnCMTGTX の書き込み値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FCNnCMTGCLTV

FCNnCMTGCLTV	FCNnCMTGTVFF ビットの設定
0	FCNnCMTGTVFF ビットを変更しません。
1	FCNnCMTGTVFF ビットを 0 にクリアします。

(14) FCNnCMTSCTL — FCNn モジュール・タイム・スタンプ・レジスタ

本レジスタはタイム・スタンプ機能の制御に使用されます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <FCNn_base> + $0\ 8298_H$

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnCMTSCTL の読み出し値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	FCNnCMTSLOKE	FCNnCMTSSELE	FCNnCMTSTSGE

備考 FCN モジュールが ABT 付き通常動作モードを実行している間は，タイム・スタンプ機能のロック機能を使用しないでください。

FCNnCMTSLOKE	タイム・スタンプ・ロック機能許可ビット
0	タイム・スタンプ・ロック機能を停止させます。 TSOUT 信号は，選択されているタイム・スタンプ・キャプチャ・イベントが発生するたびにトグルします。
1	タイム・スタンプ・ロック機能を許可します。 TSOUT 信号は，選択されているタイム・スタンプ・キャプチャ・イベントが発生するたびにトグルします。ただし，データ・フレームがメッセージ・バッファ 0 で正しく受信されれば，TSOUT 出力信号はロックされます。[a]

a) FCNnCMTSTSGE は自動的に 0 にクリアされます。

FCNnCMTSSELE	タイム・スタンプ・キャプチャ・イベント選択ビット
0	タイム・スタンプ・キャプチャ・イベントは SOF です。
1	タイム・スタンプ・キャプチャ・イベントは EOF の最終ビットです。

FCNnCMTSTSGE	TSOUT 動作設定ビット
0	TSOUT のトグル動作を禁止します。
1	TSOUT のトグル動作を許可します。

(b) FCNnCMTSCTL の書き込み値

15	14	13	12	11	10	9	8
0	0	0	0	0	FCNnCMTSSELK	FCNnCMTSSESL	FCNnCMTSSETS

7	6	5	4	3	2	1	0
0	0	0	0	0	FCNnCMTSCLLK	FCNnCMTSCLSL	FCNnCMTSCLTS

FCNnCMTSSELK	FCNnCMTSCLLK	FCNnCMTSLOKE ビットの設定
0	1	FCNnCMTSLOKE を 0 にクリアします。
1	0	FCNnCMTSLOKE を 1 にセットします。
上記以外の値		FCNnCMTSLOKE を変更しません。

FCNnCMTSSESL	FCNnCMTSCLSL	FCNnCMTSSELE ビットの設定
0	1	FCNnCMTSSELE を 0 にクリアします。
1	0	FCNnCMTSSELE を 1 にセットします。
上記以外の値		FCNnCMTSSELE を変更しません。

FCNnCMTSSETS	FCNnCMTSCLTS	FCNnCMTSTSGE ビットの設定
0	1	FCNnCMTSTSGE を 0 にクリアします。
1	0	FCNnCMTSTSGE を 1 にセットします。
上記以外の値		FCNnCMTSTSGE を変更しません。

20.5.3 FCN メッセージ・バッファ・レジスタ

(1) FCNnMmDATxB/H/W — FCNn メッセージ・データ・バイト・レジスタ

これらのレジスタは送受信メッセージのデータの保存に使用されます。

アクセス FCNnMmDATzW レジスタは，32 ビット単位でリード／ライト可能です。
FCNnMmDATyH レジスタは，16 ビット単位でリード／ライト可能です。
FCNnMmDATxB レジスタは，8 ビット単位でリード／ライト可能です。

アドレス FCNnMmDAT0B: <FCNn_base> + $0\ 1000_H$ + m × 40_H
FCNnMmDAT1B: <FCNn_base> + $0\ 1004_H$ + m × 40_H
FCNnMmDAT2B: <FCNn_base> + $0\ 1008_H$ + m × 40_H
FCNnMmDAT3B: <FCNn_base> + $0\ 100C_H$ + m × 40_H
FCNnMmDAT4B: <FCNn_base> + $0\ 1010_H$ + m × 40_H
FCNnMmDAT5B: <FCNn_base> + $0\ 1014_H$ + m × 40_H
FCNnMmDAT6B: <FCNn_base> + $0\ 1018_H$ + m × 40_H
FCNnMmDAT7B: <FCNn_base> + $0\ 101C_H$ + m × 40_H

FCNnMmDAT0H: <FCNn_base> + $0\ 9000_H$ + m × 40_H
FCNnMmDAT2H: <FCNn_base> + $0\ 9008_H$ + m × 40_H
FCNnMmDAT4H: <FCNn_base> + $0\ 9010_H$ + m × 40_H
FCNnMmDAT6H: <FCNn_base> + $0\ 9018_H$ + m × 40_H

FCNnMmDAT0W: <FCNn_base> + $1\ 1000_H$ + m × 40_H
FCNnMmDAT4W: <FCNn_base> + $1\ 1010_H$ + m × 40_H

初期値 FCNnMmDATxB 00_H
FCNnMmDATyH 0000_H
FCNnMmDATzW $0000\ 0000_H$

本レジスタは各種リセットにより初期化されます。

(a) FCNnMmDATxB (x = 0 ～ 7)

7	6	5	4	3	2	1	0
FCNnMmSSDx0, FCNnMmSSDx1, FCNnMmSSDx2, FCNnMmSSDx3, FCNnMmSSDx4, FCNnMmSSDx5, FCNnMmSSDx6, FCNnMmSSDx7							

(b) FCNnMmDATyH (y = 0, 2, 4, 6)

15	14	13	12	11	10	9	8
FCNnMmSSD(y+1)0, FCNnMmSSD(y+1)1, FCNnMmSSD(y+1)2, FCNnMmSSD(y+1)3, FCNnMmSSD(y+1)4, FCNnMmSSD(y+1)5, FCNnMmSSD(y+1)6, FCNnMmSSD(y+1)7							

7	6	5	4	3	2	1	0
FCNnMmSSDy0, FCNnMmSSDy1, FCNnMmSSDy2, FCNnMmSSDy3, FCNnMmSSDy4, FCNnMmSSDy5, FCNnMmSSDy6, FCNnMmSSDy7							

(c) FCNnMmDATzW (z = 0, 4)

31	30	29	28	27	26	25	24
FCNnMmSSD(z+3)0, FCNnMmSSD(z+3)1, FCNnMmSSD(z+3)2, FCNnMmSSD(z+3)3, FCNnMmSSD(z+3)4, FCNnMmSSD(z+3)5, FCNnMmSSD(z+3)6, FCNnMmSSD(z+3)7							

23	22	21	20	19	18	17	16
FCNnMmSSD(z+2)0, FCNnMmSSD(z+2)1, FCNnMmSSD(z+2)2, FCNnMmSSD(z+2)3, FCNnMmSSD(z+2)4, FCNnMmSSD(z+2)5, FCNnMmSSD(z+2)6, FCNnMmSSD(z+2)7							

15	14	13	12	11	10	9	8
FCNnMmSSD(z+1)0, FCNnMmSSD(z+1)1, FCNnMmSSD(z+1)2, FCNnMmSSD(z+1)3, FCNnMmSSD(z+1)4, FCNnMmSSD(z+1)5, FCNnMmSSD(z+1)6, FCNnMmSSD(z+1)7							

7	6	5	4	3	2	1	0
FCNnMmSSDz0, FCNnMmSSDz1, FCNnMmSSDz2, FCNnMmSSDz3, FCNnMmSSDz4, FCNnMmSSDz5, FCNnMmSSDz6, FCNnMmSSDz7							

(2) FCNnMmDTLGB — FCNn メッセージ・データ長レジスタ m

本レジスタはメッセージ・バッファのデータ・フィールドのバイト数の設定に使用されます。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <FCNn_base> + $0\ 1020_H$ + m × 40_H

初期値 00_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	FCNnMmDTLG[3:0]			

FCNnMmDTLG[3:0]	送受信メッセージのデータ長
0000_B	0 バイト
0001_B	1 バイト
0010_B	2 バイト
0011_B	3 バイト
0100_B	4 バイト
0101_B	5 バイト
0110_B	6 バイト
0111_B	7 バイト
1000_B	8 バイト
1001_B	設定禁止 （送信中にこれらのビットをセットすると，データ・フレームが送信されるときに，FCNnMmDTLG[3:0] の設定値に関係なく，8 バイト・データが送信されます。しかし，実際に CAN バスに送信される DLC は，このレジスタに対して設定された DLC 値です）。備考
1010_B	
1011_B	
1100_B	
1101_B	
1110_B	
1111_B	

備考 データと DLC 値は，実際は以下のように CAN バスに送信されます。

送信フレームのタイプ	送信データ長	送信される DLC
データ・フレーム	FCNnMmDTLG[3:0] によって指定されたバイト数（ただし，設定値が 8 以上のときは 8 バイト）	FCNnMmDTLGB.FCNnMmDTLG[3:0] ビットの設定値
リモート・フレーム	0 バイト	

注意
1. ビット 7-4 を必ず 0000_B に設定してください。
2. 受信データは，受信フレームの DLC に対応するバイト数と同じ数（ただし，上限は 8 個）の FCNnMmDATxB レジスタに保存されます。データが保存されない FCNnMmDATxB レジスタは不定になります。
3. 受信時，FCNnMmDTLGB は受信フレームに従って更新されます。

(3) FCNnMmSTRB — FCNn メッセージ・コンフィギュレーション・レジスタ m

本レジスタはメッセージ・バッファのタイプの指定およびマスクの設定に使用されます。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <FCNn_base> + 0 1024_H + m × 40_H

初期値 00_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
FCNnMmSSOW	FCNnMmSSMT[3:0]				FCNnMmSSRT	0	FCNnMmSSAM

FCNnMmSSOW	オーバライト制御ビット
0	すでにデータ・フレームを受信しているメッセージ・バッファ[a] を新たに受信されたデータ・フレームによって上書きしません。新たに受信されたデータ・フレームは破棄します。
1	すでにデータ・フレームを受信しているメッセージ・バッファ[a] を新たに受信されたデータ・フレームによって上書きします。

a) 「すでにデータ・フレームを受信しているメッセージ・バッファ」とは，FCNnMmCTL.FCNnMmDTNF ビットが 1 にセットされている受信メッセージ・バッファです。

備考 リモート・フレームの送信用メッセージ・バッファへの受信格納に際しては，FCNnMmCTL.FCNnMmSSOW および FCNnMmCTL.FCNnMmDTNF の設定には依存せず，その他の条件が合致（ID が一致，FCNnMmSTRB.FCNnMmSSRT = 0，FCNnMmCTL.FCNnMmTRQF = 0）したリモート・フレームは必ず該当するメッセージ・バッファに受信格納（割り込み生成，FCNnMmDTNF フラグのセット，FCNnMmDTLBG.FCNnMmDTLG[3:0] ビットの更新，および受信ヒストリ・リストへの記録）されます。

FCNnMmSSRT	リモート・フレーム要求ビット
0	データ・フレームを送信または受信します。
1	リモート・フレームを送信または受信します。

FCNnMmSTRB.FCNnMmSSRT は，メッセージ・バッファで送信または受信するメッセージ・フレームのタイプを指定します。

備考 1. メッセージ・バッファが送信メッセージ・バッファとして定義されており，そのバッファでリモート・フレームを受信する場合は，FCNnMmSSRT ビットをクリアする必要があります。

2. 送信メッセージ・バッファが有効なリモート・フレームを受信した場合でも，フレームを受信した送信メッセージ・バッファの FCNnMmSSRT ビットは 0 にクリアされた状態にとどまります。

3. ID が一致するリモート・フレームを CAN バスから受信した場合でも，送信メッセージ・バッファの FCNnMmSSRT ビットが 1 にセットされていれば（リモート・フレームを送信するように設定されていれば），そのリモート・フレームは，その送信メッセージ・バッファには保存されません。

4. メッセージ・バッファが受信メッセージ・バッファとして定義されている場合，そのメッセージ・バッファでデータ・フレームの代わりにリモート・フレームを受信するには，FCNnMmSSRT ビットをセットする必要があります。

FCNnMmSSMT[3:0]	メッセージ・バッファ・タイプ設定ビット
0000_B	送信メッセージ・バッファ
0001_B	受信メッセージ・バッファ（マスク設定なし）
0010_B	受信メッセージ・バッファ（マスク 1 設定）
0011_B	受信メッセージ・バッファ（マスク 2 設定）
0100_B	受信メッセージ・バッファ（マスク 3 設定）
0101_B	受信メッセージ・バッファ（マスク 4 設定）
0110_B	受信メッセージ・バッファ（マスク 5 設定）
0111_B	受信メッセージ・バッファ（マスク 6 設定）
1000_B	受信メッセージ・バッファ（マスク 7 設定）
1001_B	受信メッセージ・バッファ（マスク 8 設定）
上記以外の値	設定禁止

備考 FCNnMmSSMT を設定することで，リモート・フレームの受信と併せてマスクを選択することもできます。受信メッセージ・バッファでリモート・フレームを受信するには，メッセージ・バッファの FCNnMmSSRT フラグをセットする必要があります。

FCNnMmSSAM	メッセージ・バッファ割り当てビット
0	メッセージ・バッファを使用しません。
1	メッセージ・バッファを使用します。

注意 ビット 1 に必ず 0 を書き込んでください。

(4) FCNnMmMID0H，FCNnMmMID1H，FCNnMmMID0W — FCNn メッセージ ID レジスタ m

これらのレジスタは識別子（ID）の設定に使用されます。

アクセス FCNnMmMID0H と FCNnMmMID1H は 16 ビット単位でリード／ライト可能です。
FCNnMmMID0W は 32 ビット単位でリード／ライト可能です。

アドレス FCNnMmMID0H: <FCNn_base> + $0\ 9028_H$ + m × 40_H
FCNnMmMID1H: <FCNn_base> + $0\ 9030_H$ + m × 40_H

FCNnMmMID0W: <FCNn_base> + $1\ 1028_H$ + m × 40_H

初期値 FCNnMmMID0H 0000_H
FCNnMmMID1H 0000_H
FCNnMmMID0W $0000\ 0000_H$
本レジスタは各種リセットにより初期化されます。

(a) FCNnMmMID0H

15	14	13	12	11	10	9	8
FCNnMmSSID[15:8]							

7	6	5	4	3	2	1	0
FCNnMmSSID[7:0]							

(b) FCNnMmMID1H

15	14	13	12	11	10	9	8
FCNnMmSSIE	0	0	FCNnMmSSID[28:24]				

7	6	5	4	3	2	1	0
FCNnMmSSID[23:16]							

(c) FCNnMmMID0W

31	30	29	28	27	26	25	24
FCNnMmSSIE	0	0	FCNnMmSSID[28:24]				

23	22	21	20	19	18	17	16
FCNnMmSSID[23:16]							

15	14	13	12	11	10	9	8
FCNnMmSSID[15:8]							

7	6	5	4	3	2	1	0
FCNnMmSSID[7:0]							

FCNnMmSSIE	フォーマット・モード指定ビット
0	標準フォーマット・モード（FCNnMmSSID[28:18]： 11 ビット。FCNnMmSSID[17:0] は使用しません）
1	拡張フォーマット・モード（FCNnMmSSID[28:0]： 29 ビット）

FCNnMmSSID[28:0]	メッセージ ID
FCNnMmSSID[28:18]	11 ビットの標準 ID 値（FCNnMmSSIE = 0 の場合）
FCNnMmSSID[28:0]	29 ビットの拡張 ID 値（FCNnMmSSIE = 1 の場合）

注意
1. FCNnMmMID1H のビット 14 とビット 13 および FCNnMmMID0W レジスタのビット 30 とビット 29 に必ず 0 を書き込んでください。
2. このレジスタの指定されたビット位置に ID 値を合わせてください。標準 ID の場合，FCNnMmSSID[28:18] ビット位置に ID 値を合わせるには，ID 値をシフトする必要がある点に注意してください。

(5) FCNnMmCTL — FCNn メッセージ制御レジスタ m

本レジスタはメッセージ・バッファの動作の制御に使用されます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <FCNn_base> + $0\ 9038_H$ + m × 40_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnMmCTL の読み出し値

15	14	13	12	11	10	9	8
0	0	FCNnMm MUCF	0	0	0	FCNnMm TCPF	0

7	6	5	4	3	2	1	0
0	FCNnMm NHMF	0	FCNnMm MOWF	FCNnMm IENF	FCNnMm DTNF	FCNnMm TRQF	FCNnMm RDYF

FCNnMmMUCF	メッセージ・バッファ・データが更新中であることを示すビット
0	FCN モジュールがメッセージ・バッファを更新していない（受信と保存を行っていない）ことを示します。
1	FCN モジュールがメッセージ・バッファを更新している（受信と保存を行っている）ことを示します。

FCNnMmTCPF[a]	送信完了フラグ
0	送信が失敗したことを示します。[b]
1	送信が完全に終了したことを示します。

a) FCNnMmRDYF が変更されるか，FCNnMmTRQF がセットされると，FCNnMmTCPF はクリアされます。
b) アプリケーションが FCNnMmTRQF フラグをクリアすることで送信中断を要求した場合，0 は送信の中断が成功したことを示します。

FCNnMmNHMF	履歴マスク・フラグ[a]
0	受信／送信ヒストリ・リスト・レジスタ FCNnCMRGRX/FCNnCMRGTX の更新をマスクしません。
1	受信／送信ヒストリ・リスト・レジスタ FCNnCMRGRX/FCNnCMRGTX の更新をマスクします。

a) 更新がマスクされると，対象となるメッセージ・バッファ上の受信動作または送信動作が完了しても受信ヒストリ・リストは更新されません。

FCNnMmMOWF	メッセージ・バッファ上書きステータス・ビット
0	新たに受信されたデータ・フレームまたはリモート・フレームによってメッセージ・バッファが上書きされていないことを示します。
1	新たに受信されたデータ・フレームまたはリモート・フレームによってメッセージ・バッファが上書きされていることを示します。

備考 FCNnMmDTNF = 1 の送信メッセージ・バッファに対してリモート・フレームを受信格納しても，本ビット はセット (1) されません。

FCNnMmIENF	メッセージ・バッファ割り込み要求許可ビット
0	受信メッセージ・バッファ：有効なメッセージの受信完了割り込みを禁止します。 送信メッセージ・バッファ：正常なメッセージの送信完了割り込みおよび送信中断割り込みを禁止します。
1	受信メッセージ・バッファ：有効なメッセージの受信完了割り込みを許可します。 送信メッセージ・バッファ：正常なメッセージの送信完了割り込みおよび送信中断割り込みを許可します。

注意 FCNnMmIENF と FCNnMmRDYF は必ず別々に設定してください。

FCNnMmDTNF	メッセージ・バッファ・データ更新ビット
0	メッセージ・バッファに新しいデータ・フレームまたはリモート・フレームが保存されていないことを示します。
1	メッセージ・バッファに新しいデータ・フレームまたはリモート・フレームが保存されていることを示します。

注意 FCNnMmDTNF をソフトウェアで 1 にセットしないでください。ビット 10 には必ず 0 を書き込んでください。

FCNnMmTRQF	メッセージ・バッファ送信要求ビット
0	保留中または送信中のメッセージ・フレーム送信要求がメッセージ・バッファにないことを示します。
1	メッセージ・バッファがメッセージ・フレームの送信を保留中またはメッセージ・フレームを送信中であることを示します。

注意
1. FCNnMmTRQF と FCNnMmRDYF を同時に 1 にセットしないでください。FCNnMmRDYF = 1 にセットしてから FCNnMmTRQF = 1 にセットしてください
2. 送信メッセージ・バッファ以外 (FCNnMmSSMT[3:0] ≠ 4'b0000 もしくは FCNnMmSSAM = 0 のバッファ) に対し，FCNnMmTRQF を 1 にセットしないで
ください

FCNnMmRDYF	メッセージ・バッファ・レディ・ビット
0	ソフトウェアによるメッセージ・バッファへの書き込みが可能です。FCN モジュールがメッセージ・バッファへ書き込むことはできません。
1	ソフトウェアによるメッセージ・バッファへの書き込みが無視されます（FCNnMmRDYF，FCNnMmTRQF，FCNnMmDTNF，FCNnMmMOWF への書き込みアクセスを除く）。FCN モジュールはメッセージ・バッファへ書き込むことができます。

注意
1. FCNnMmIENF と FCNnMmRDYF は必ず別々に設定してください。
2. FCNnMmTRQF と FCNnMmRDYF を同時に 1 にセットしないでください。FCNnMmRDYF = 1 にセットしてから FCNnMmTRQF = 1 にセットしてください。
3. メッセージの送信中に CNnMMRDYF を「0」にクリアしないでください。メッセージ・バッファを再定義するために FCNnMmRDYF をクリアするには，送信中断処理を実行してください。
4. CAN コントローラの動作状況によっては，FCNnMmRDYF のクリアに時間がかかることがあります。FCNnMmRDYF を読み出すことによってビットがクリアされたことを確認するまで，クリア・アクセスを繰り返してください。
5. FCNnMmRDYF のステータスをチェックすることによって，FCNnMmRDYF がクリアされていることを確認するまで，ほかの FCN メッセージ・バッファ・レジスタには書き込まないでください。

(b) FCNnMmCTL の書き込み値

15	14	13	12	11	10	9	8
0	FCNnMmSENH	0	0	FCNnMmSEIE	0	FCNnMmSETR	FCNnMmSERY

7	6	5	4	3	2	1	0
0	FCNnMmCLNH	0	FCNnMmCLMW	FCNnMmCLIE	FCNnMmCLDN	FCNnMmCLTR	FCNnMmCLRY

FCNnMmSENH	FCNnMmCLNH	FCNnMmNHMF ビットの設定
0	1	FCNnMmNHMF を 0 にクリアします。
1	0	FCNnMmNHMF を 1 にセットします。
上記以外の値		FCNnMmNHMF を変更しません。

FCNnMmCLMW	FCNnMmMOWF ビットの設定
0	FCNnMmMOWF を変更しません。
1	FCNnMmMOWF を 0 にクリアします。

FCNnMmSEIE	FCNnMmCLIE	FCNnMmIENF ビットの設定
0	1	FCNnMmIENF を 0 にクリアします。
1	0	FCNnMmIENF を 1 にセットします。
上記以外の値		FCNnMmIENF を変更しません。

注意 FCNnMmIENF と FCNnMmRDYF は必ず別々に設定してください。

FCNnMmCLDN	FCNnMmDTNF ビットの設定
0	FCNnMmDTNF を変更しません。
1	FCNnMmDTNF を 0 にクリアします。

備考 ID フィールドの受信が完了した時点で FCNnMmDTNF がクリアされていた場合，そのメッセージ・バッファは，受信中のフレームを保存する対象となります。

注意 FCNnMmDTNF をソフトウェアで 1 にセットしないでください。ビット 10 には必ず 0 を書き込んでください。

FCNnMmSETR	FCNnMmCLTR	FCNnMmTRQF ビットの設定
0	1	FCNnMmTRQF を 0 にクリアします。
1	0	FCNnMmTRQF を 1 にセットします。
上記以外の値		FCNnMmTRQF を変更しません。

注意 FCNnMmTRQF と FCNnMmRDYF を同時に 1 にセットしないでください。FCNnMmRDYF = 1 にセットしてから FCNnMmTRQF = 1 にセットしてください。

FCNnMmSERY	FCNnMmCLRY	FCNnMmRDYF ビットの設定
0	1	FCNnMmRDYF を 0 にクリアします。
1	0	FCNnMmRDYF を 1 にセットします。
上記以外の値		FCNnMmRDYF を変更しません。

注意

1. FCNnMmIENF と FCNnMmRDYF は必ず別々に設定してください。
2. FCNnMmTRQF と FCNnMmRDYF を同時に 1 にセットしないでください。FCNnMmRDYF = 1 にセットしてから FCNnMmTRQF = 1 にセットしてください。
3. メッセージの送信中に FCNnMmRDYF を「0」にクリアしないでください。メッセージ・バッファを再定義するために FCNnMmRDYF をクリアするには，送信中断処理を実行してください。
4. CAN コントローラの動作状況によっては，FCNnMmRDYF のクリアに時間がかかることがあります。FCNnMmRDYF を読み出すことによってビットがクリアされたことを確認するまで，クリア・アクセスを繰り返してください。
5. FCNnMmRDYF のステータスをチェックすることによって，FCNnMmRDYF がクリアされていることを確認するまで，ほかの FCN メッセージ・バッファ・レジスタには書き込まないでください。

20.6 CAN コントローラの初期化

20.6.1 FCN モジュールの初期化

FCN モジュールを動作可能状態にするには，ソフトウェアで FCNnGMCSPRE.FCNnGMCSPRSC[3:0] をセットすることによって FCN モジュールのシステム・クロックを決定する必要があります。FCN モジュールの動作が許可されたあとで FCN モジュールのシステム・クロックの設定を変更しないでください。

FCN モジュールの動作は FCNnGMCLCTL.FCNnGMCLPWOM をセットすることによって許可されます。

FCN モジュールを初期化する手順については，*1147 ページの 20.14「CAN コントローラの動作」*を参照してください。

20.6.2 メッセージ・バッファの再定義

メッセージ・バッファの再定義とは，メッセージを受信中または送信中に，ほかの送信，受信の動作に影響を与えることなく，メッセージ・バッファの ID と制御情報を変更することです。

(1) 初期化モード中のメッセージ・バッファの再定義

FCN モジュールを初期化モードに設定したあと，初期化モード中にメッセージ・バッファの ID と制御情報を変更します。ID と制御情報を変更したあと，FCN モジュールを動作モードに設定します。

(2) 受信中のメッセージ・バッファの再定義

*図 20-17「受信中のメッセージ・バッファの再定義」*に従って再定義を実行します。

(3) 送信中のメッセージ・バッファの再定義

送信要求が設定されている送信メッセージ・バッファの内容を書き換えるには，送信中断処理を実行します（*1124 ページの（1）「自動ブロック送信（ABT）以外の送信中断処理」*および *1124 ページの（2）「自動ブロック送信（ABT）の送信中断処理」*を参照してください）。送信が中断されたか，完了したことを確認したあと，メッセージ・バッファを再定義します。送信メッセージ・バッファを再定義したあと，以下の手順に従って送信要求を設定します。

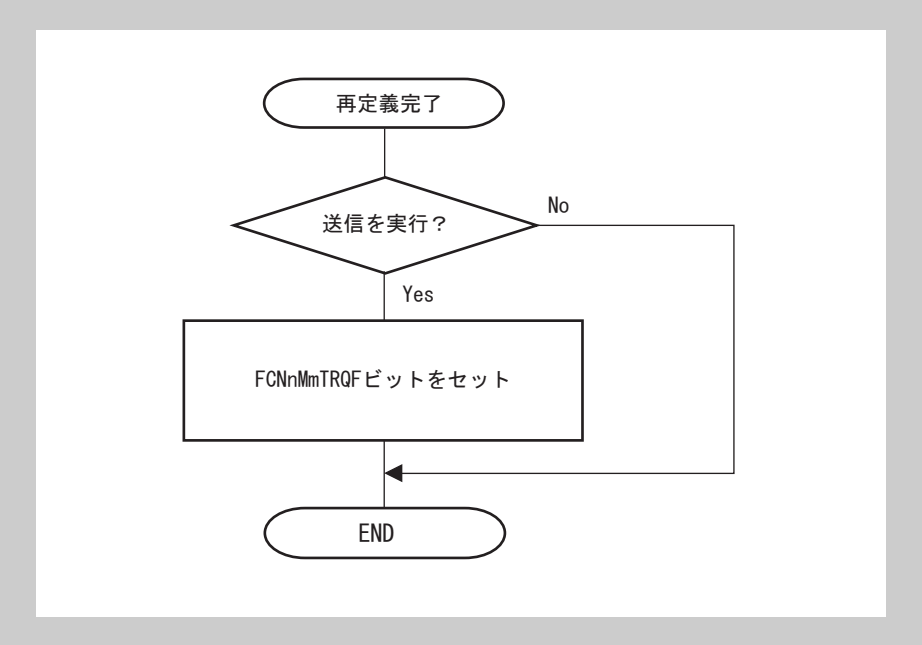


図 20-4 再定義後の送信メッセージ・バッファに対する送信要求の設定（FCNnMmCTL.FCNnMmTRQF）

注意 1. メッセージを受信すると，個々の受信メッセージ・バッファに対して設定されている ID とマスクに従って受信フィルタリングが行われます。*1151 ページの図 20-17「受信中のメッセージ・バッファの再定義」*の手順を守らないと，メッセージ・バッファを再定義したあとのメッセージ・バッファの内容が受信の結果（受信フィルタリングの結果）と矛盾することがあります。その場合は，再定義後，はじめて受信され，メッセージ・バッファに保存された ID と IDE が，メッセージ・バッファが再定義されたあとで保存されたものであるかどうかを確認してください。再定義後，ID と IDE が保存されていない場合は，メッセージ・バッファを再び再定義してください。

2. メッセージが送信されると，送信要求が設定された個々の送信メッセージ・バッファで設定されている ID，IDE および FCNnMmSTRB.FCNnMmSSRT に従って送信優先度をチェックします。優先度の最も高い送信メッセージ・バッファが選択され，送信に使用されます。*1104 ページの図 20-4「再定義後の送信メッセージ・バッファに対する送信要求の設定（FCNnMmCTL.FCNnMmTRQF）」*の手順を守らないと，優先度の最も高い ID を持つメッセージが再定義後に送信されないことがあります。

20.6.3 初期化モードから動作モードへの移行

FCN モジュールは以下の動作モードに切り換えることができます。

- 通常動作モード
- ABT 付き通常動作モード
- 受信オンリー・モード
- シングル・ショット・モード
- セルフ・テスト・モード

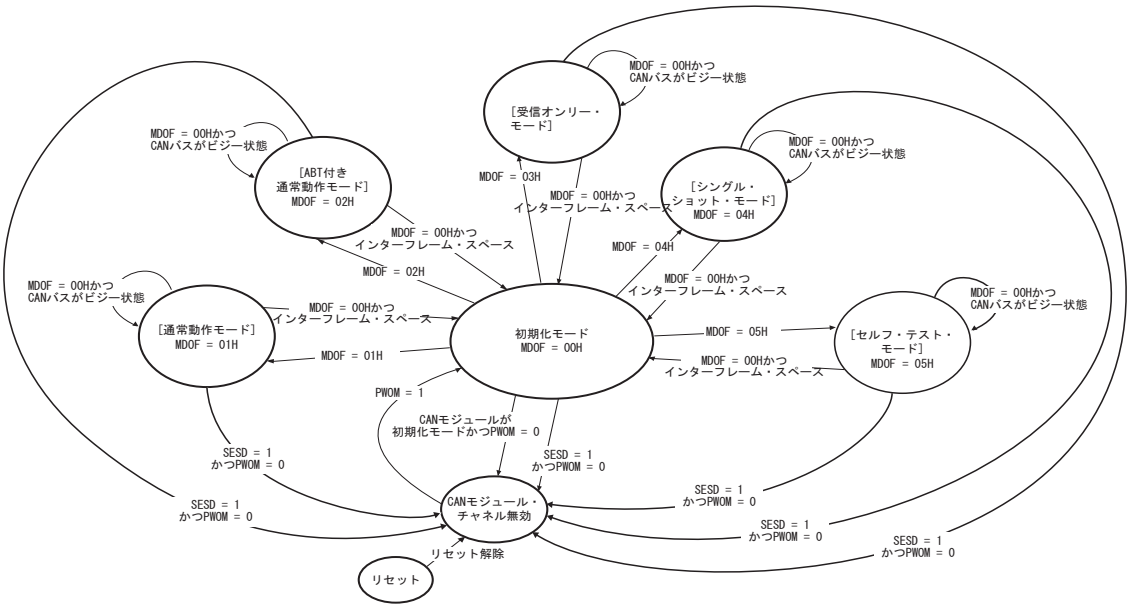


図 20-5 動作モードへの移行

備考 上の図では以下の略号を使用しています。

- MDOF = FCNnCMCLCTL.FCNnCMCLMDOF[2:0]
- PWOM = FCNnGMCLCTL.FCNnGMCLPWOM
- SESD = FCNnGMCLCTL.FCNnGMCLSESD

初期化モードから動作モードへの移行は FCNnCM.FCNnCMCLMDOF[2:0] によって制御されます。

1 つの動作モードから別の動作モードへ移行するには，いったん初期化モードに切り換える必要があります。1 つの動作モードから別の動作モードへ直接切り換えないでください。動作モードを直接切り換えたときの動作は保証されません。

CAN バスがインターフレーム・スペースにない場合（つまり，フレームを受信中または送信中）は，動作モードから初期化モードへの移行要求が保留され，FCN モジュールはインターフレーム・スペースの第 1 ビットで初期化モードに入ります（FCNnCMCLCTL.FCNnCMCLMDOF[2:0] の値が 000_B に変更されます）。初期化モードへの移行要求を発行したら，モジュールが初期化モードに入ったことを確認するために，読み出し値が 000_B になるまで FCNnCMCLCTL.FCNnCMCLMDOF[2:0] を読み出してください（*1148 ページの図 20-14「ソフトウェア・リセット機能を利用しない再初期化」を参照*してください）。

20.7 メッセージ受信

20.7.1 メッセージの受信

すべての動作モードで，新たに受信したメッセージの保存に適したバッファを見つけるために，メッセージ・バッファの全領域が解析されます。その評価（RX 検索プロセス）の対象には，以下の条件を満たすすべてのメッセージ・バッファが含まれます。

- メッセージ・バッファとして使用されている（FCNnMmSTRB.FCNnMmSSAM = 1）
- 受信メッセージ・バッファとして設定されている（FCNnMmSTRB.FCNnMmSSMT[3:0] = 0001_B to 1001_B）
- 受信レディ状態である（FCNnMmCTL.FCNnMmRDYF = 1）

FCN モジュールの複数のメッセージ・バッファをメッセージの受信に使用できる場合は，以下で説明する優先度に従ってメッセージが保存されます。メッセージは常に優先度が最も高いメッセージ・バッファに保存され，優先度の低いメッセージ・バッファにメッセージが保存されることはありません。たとえば，同じ ID を持つマスクされていない受信メッセージ・バッファとマスク 1 にリンクされている受信メッセージ・バッファがある場合は，マスク 1 にリンクされているメッセージ・バッファがメッセージを受信したことがなく，マスクされていない受信メッセージ・バッファがすでにメッセージを受信していても，受信メッセージはマスク 1 にリンクされているメッセージ・バッファには保存されません。つまり，異なる特性を持つ複数のメッセージ・バッファに同じ条件が設定されている場合は，優先度の最も高いメッセージ・バッファが常にメッセージを保存します。優先度の低いメッセージ・バッファにメッセージが保存されることはありません。この規則は，優先度の最も高いメッセージ・バッファがメッセージを保存できない場合（つまり，FCNnMmCTL.FCNnMmDTNF = 1 になっていて，メッセージがすでに受信されていることを示しているのに，FCNnMmSTRB.FCNnMmSSOW = 0 であるため，書き換えが禁止されている場合）にも適用されます。その場合，メッセージは，実際に優先度の最も高いメッセージ・バッファ候補に保存されませんが，優先度の低いメッセージ・バッファにも保存されません。

表 20-16 MBRB の優先度

優先度	同じ ID が設定されている場合の保存条件	
1（高い）	マスクされていないメッセージ・バッファ	FCNnMmDTNF = 0
		FCNnMmDTNF = 1 かつ FCNnMmSSOW = 1
2	マスク 1 にリンクされているメッセージ・バッファ	FCNnMmDTNF = 0
		FCNnMmDTNF = 1 かつ FCNnMmSSOW = 1
3	マスク 2 にリンクされているメッセージ・バッファ	FCNnMmDTNF = 0
		FCNnMmDTNF = 1 かつ FCNnMmSSOW = 1
...	...	...
9（低い）	マスク 8 にリンクされているメッセージ・バッファ	FCNnMmDTNF = 0
		FCNnMmDTNF = 1 かつ FCNnMmSSOW = 1

20.7.2 受信データの読み出し

メッセージ・バッファを読み出すときのデータの整合性を保つために，*1168 ページの図 20-31「割り込みを利用した受信（FCNnCMLISTR レジスタを利用）」*から *1172 ページの図 20-34「ソフトウェア・ポーリングを利用した受信」*の手順に従ってデータの読み出しを行ってください。

メッセージの受信中，FCN モジュールは，メッセージ・バッファへのデータの保存プロセスの開始時と保存プロセスの終了時の 2 回にわたって FCNnMmCTL.FCNnMmDTNF をセットします。保存プロセスの実行中は，メッセージ・バッファの FCNnMmCTL.FCNnMmMUCF がセットされます（*図 20-6「受信タイミング」*を参照してください）。

保存プロセスの開始直前に受信ヒストリ・リストも更新されます。さらに，保存プロセスの実行中（FCNnMmCTL.FCNnMmMUCF = 1 である間），CPU によるデータ書き込みが行われないように，メッセージ・バッファの FCNnMmCTL.FCNnMmRDYF がロックされます。CPU がメッセージ・バッファにアクセスすると，保存プロセスが妨害される（遅延する）可能性がある点に注意してください。

注意 メッセージを確実にメッセージ・バッファに格納したい場合，バッファの FCNnMmCTL.FCNnMmDTNF ビットをメッセージ・サーチ処理が開始される前（フレームの ID がバス上に出力される前）にクリアする必要があります。これは最短で前のフレームの EOF の後の 15CAN ビット目となります。CAN フレームがバス上に連続して現れ，確実に受信したい場合，フレーム受信用のメッセージ・バッファを 1 個より多く使用することを推奨します。

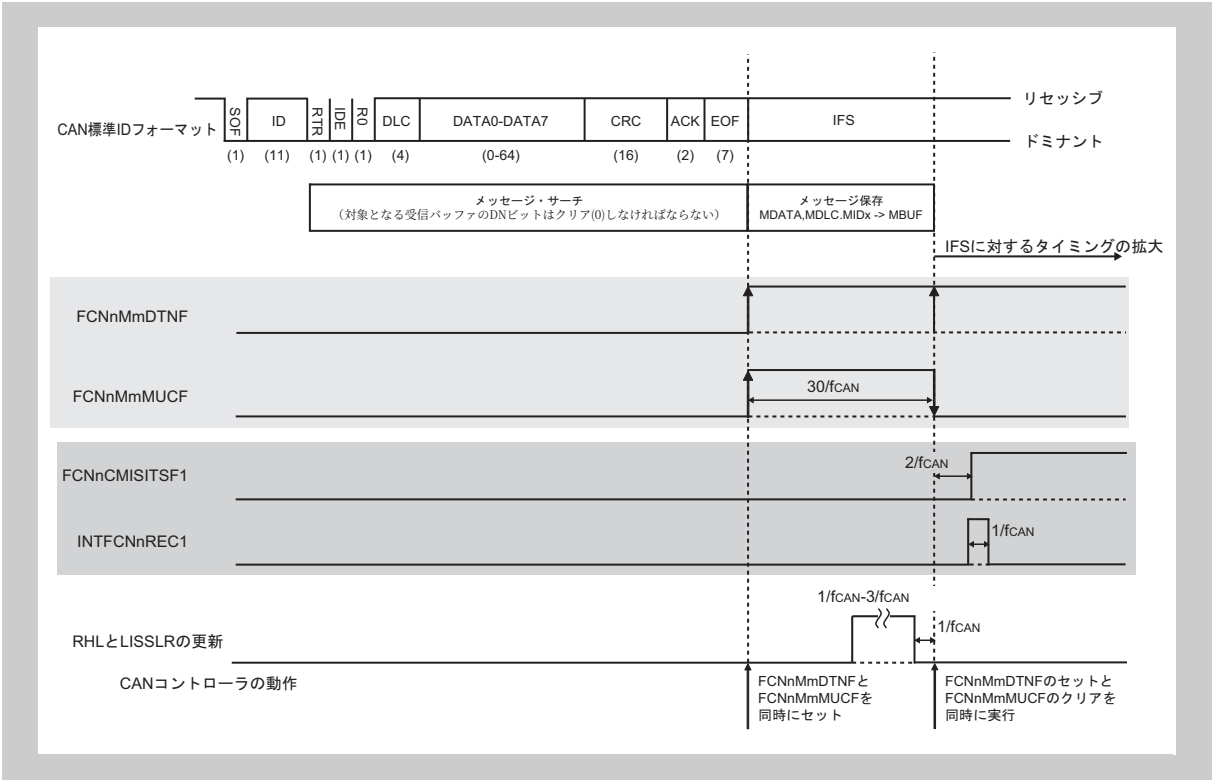


図 20-6 受信タイミング

20.7.3 受信ヒストリ・リスト機能

受信ヒストリ・リスト（RHL）機能では，個々のデータ・フレームまたはリモート・フレームが受信され，保存された受信メッセージ・バッファの番号を受信ヒストリ・リストに記録する機能です。RHL は，最大 23 個のメッセージに相当する保存要素，最終受信メッセージ・ポインタ FCNnCMLISSLR[7:0] とそれに対応する FCNnCMLISTR レジスタおよび受信ヒストリ・リスト取得ポインタ FCNnCMRGSSPT とそれに対応する FCNnCMRGRX レジスタから構成されます。

FCN モジュールが初期化モードからいずれかの動作モードへ移行した直後の RHL は不定です。

FCNnCMLISTR レジスタには，FCNnCMLISTR.FCNnCMLISSLR[7:0] ポインタから 1 を引いた値が示す RHL 要素の内容が格納されています。したがって，FCNnCMLISTR レジスタを読み出すことによって，最後にデータ・フレームまたはリモート・フレームを受信し，保存したメッセージ・バッファの番号をチェックすることができます。FCNnCMLISSLR[7:0] ポインタは，RHL のどの部分にメッセージ・バッファ番号が記録されるかを示す書き込みポインタとして利用されます。データ・フレームまたはリモート・フレームが受信され，保存されるたびに，それに対応するメッセージ・バッファ番号が FCNnCMLISSLR[7:0] ポインタの示す RHL 要素に記録されます。RHL への記録が完了するたびに，FCNnCMLISSLR[7:0] ポインタは自動的にインクリメントされます。そうすることで，フレームを受信し，保存したメッセージ・バッファの番号が時系列順に記録されます。

FCNnMmCTL.FCNnMmNHMF フラグがセットされているメッセージ・バッファのエントリは受信ヒストリ・リストに記録されません。

FCNnCMRGRX.FCNnCMRGSSPT は，記録されているメッセージ・バッファ番号を RHL から読み出すときの読み出しポインタとして利用されます。このポインタは，CPU がまだ読み出していない RHL 要素のうち，最初の要素を示します。ソフトウェアで FCNnCMRGRX レジスタを読み出すことによって，データ・フレームまたはリモート・フレームを受信し，保存したメッセージ・バッファの番号を読み出すことができます。FCNnCMRGRX レジスタからメッセージ・バッファ番号が読み出されるたびに，FCNnCMRGSSPT ポインタが自動的にインクリメントされます。

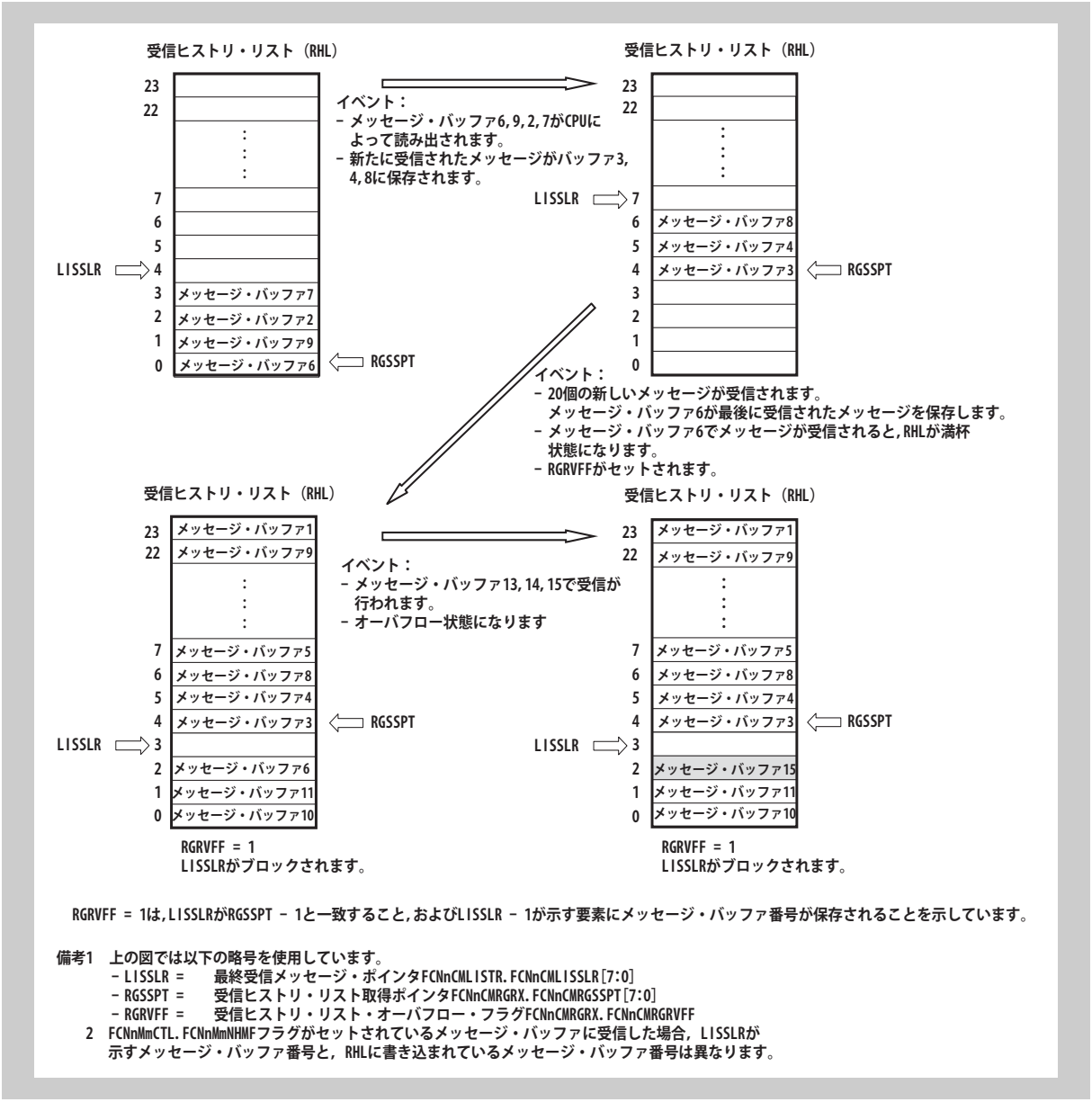
FCNnCMRGRX.FCNnCMRGSSPT ポインタの値が FCNnCMLISTR.FCNnCMLISSLR[7:0] ポインタの値と一致すると，FCNnCMRGRX.FCNnCMRGSSPM（受信ヒストリ・リスト・ポインタ・マッチ）が 1 にセットされます。これは，まだ読み出されていないメッセージ・バッファ番号が RHL に残っていないことを示します。新しいメッセージ・バッファ番号が記録されると，FCNnCMLISSLR[7:0] ポインタがインクリメントされ，その値が FCNnCMRGSSPT ポインタの値と一致しなくなるため，FCNnCMRGSSPM がクリアされます。これは，まだ読み出されていないメッセージ・バッファ番号が RHL に存在することを意味しています。

FCNnCMLISTR.FCNnCMLISSLR[7:0] ポインタがインクリメントされた結果，FCNnCMRGRX.FCNnCMRGSSPT ポインタから 1 を引いた値と一致すると，FCNnCMRGRX.FCNnCMRGRVFF（受信ヒストリ・リスト・オーバフロー）が 1 にセットされます。これは，まだ読み出されていないメッセージ・バッファ番号によって RHL が満杯になったことを示します。それ以降，メッセージの受信と保存が行われると，新たに受信されたメッセージを受信し，保存したメッセージ・バッファの番号によって最後に記録されたメッセージ・バッファ番号が上書きされます。その場合，FCNnCMRGRVFF が（1 に）セットされたあとは，RHL に記録されたメッセージ・バッファ番号が時系列

順を完全に反映しなくなります。ただし，FCNnMmCTL.FCNnMmDTNF を利用した CPU によるメッセージ・バッファ・メモリ内の検索または FCN グローバル・レジスタ FCNnDNBMRX0 の読み出しを実行できるため，メッセージ自体が失われることはなく，メッセージを見つけることは可能です。

注意 受信ヒストリ・リストがオーバフロー状態になっても（FCNnCMRGRX.FCNnCMRGRVFF がセットされても），受信ヒストリ・リストが空になるまで（FCNnCMRGRX.FCNnCMRGSSPM フラグがセットされるまで），受信ヒストリ・リストの内容を読み出すことはできます。ただし，FCNnCMRGRVFF がソフトウェアによってクリアされるまで，受信ヒストリ・リストはオーバフロー状態にとどまります。FCNnCMRGRVFF がクリアされないと，新たに受信されたフレームのメッセージが保存されても，FCNnCMRGSSPM フラグは更新（クリア）されません。その場合は，受信ヒストリ・リストがオーバフロー状態で受信が行われたときにもかかわらず，受信ヒストリ・リストが空であることを FCNnCMRGSSPM が示す（FCNnCMRGRVFF と FCNnCMRGSSPM がセットされる）可能性があります。

RHL に空のエントリがある限り，受信の順番は保たれます。ホスト・プロセッサが RHL を読み出さないうちに，さらに受信が行われると，受信の順番を完全に元に戻すことができなくなります。



RGRVFF = 1は, LISSLRがRGSSPT − 1と一致すること, およびLISSLR − 1が示す要素にメッセージ・バッファ番号が保存されることを示しています。

備考1 上の図では以下の略号を使用しています。
- LISSLR = 最終受信メッセージ・ポインタFCNnCMLISTR.FCNnCMLISSLR[7:0]
- RGSSPT = 受信ヒストリ・リスト取得ポインタFCNnCMRGRX.FCNnCMRGSSPT[7:0]
- RGRVFF = 受信ヒストリ・リスト・オーバフロー・フラグFCNnCMRGRX.FCNnCMRGRVFF

2 FCNnMmCTL.FCNnMmNHMFフラグがセットされているメッセージ・バッファに受信した場合，LISSLRが示すメッセージ・バッファ番号と，RHLに書き込まれているメッセージ・バッファ番号は異なります。

図 20-7 受信ヒストリ・リスト

20.7.4 マスク機能

受信に使用される任意のメッセージ・バッファを 8 つのグローバル受信マスクの 1 つ（またはマスクなし）に割り当てることができます。

マスク機能を使用すると，マスクされるビットによってメッセージ ID の比較対象となるビットが減るため，複数の異なる ID を 1 つのバッファで受信することができます。

マスク機能が有効になっていると，マスクによって 1 と定義されている受信メッセージ内の識別子ビットと，それに対応するメッセージ・バッファ内の識別子ビットとの比較が行われません。

しかし，マスクによって値が 0 と定義されているビットについては，比較が行われます。

たとえば，ID27 ～ 25 のビットが 0 で，ID24 と ID22 のビットが 1 の標準フォーマット ID を持つすべてのメッセージをメッセージ・バッファ 14 に保存する例を考えてみましょう。その場合は，以下のように設定します。

(1) メッセージ・バッファに保存される識別子

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x

(2) メッセージ・バッファ 14 で設定する識別子（例）
（FCN1M014MID0W レジスタを使用）

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x

ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
x	x	x	x	x	x	x	x	x	x	x

ID6	ID5	ID4	ID3	ID2	ID1	ID0				
x	x	x	x	x	x	x				

備考 1. ID27 ～ 25 のビットが 0 にクリアされており，ID24 と ID22 のビットが 1 にセットされている ID がメッセージ・バッファ 14 に登録（初期化）されます。

2. メッセージ・バッファ 14 は，マスク 1 にリンクされた標準フォーマット識別子として設定されます（FCN1M014STRB.FCN1M014SSMT[3:0] = 0010_B）。

(3) FCN モジュール 1 のマスク設定（マスク 1）（例）
（FCN1 モジュール・マスク 1 レジスタ FCN1CMMKCTL01W を使用）

FCN1CMMKSSID[..]

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
1	0	0	0	0	1	0	1	1	1	1

ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
1	1	1	1	1	1	1	1	1	1	1

ID6	ID5	ID4	ID3	ID2	ID1	ID0				
1	1	1	1	1	1	1				

1: 比較されない（マスクされる）
0: 比較される

FCN1CMMKSSID[27:24] と FCN1CMMKSSID[22] は 0 にクリアし，FCN1CMMKSSID[28]，FCN1CMMKSSID[23]，FCN1CMMKSSID[21:0] は 1 にセットします。

20.7.5 マルチ・バッファ受信ブロック機能

マルチ・バッファ受信ブロック（MBRB）機能の目的は，同じメッセージ・バッファ・タイプを持つ複数のメッセージ・バッファに同じ ID を設定することで，CPU の介入なしに，データのブロックを複数のメッセージ・バッファに順番に保存することです。保存に使用されるメッセージ・バッファは，メッセージ・バッファ・メモリ内の任意の場所に割り当てることができ，互いに隣接している必要もありません。

たとえば，メッセージ・バッファ 10-19 からなる 10 個のメッセージ・バッファが同じメッセージ・バッファ・タイプに設定されており，それらのメッセージ・バッファで同じ ID が設定されているとします。メッセージ・バッファの ID と一致する ID を持つ最初のメッセージを受信すると，そのメッセージはメッセージ・バッファ 10 に保存されます。この時点で，メッセージ・バッファ 10 の FCNnMmCTL.FCNnMmDTNF がセットされるため，それ以降の受信メッセージでこのメッセージ・バッファを上書きすることは禁止されます。

ID の一致する次のメッセージを受信すると，そのメッセージはメッセージ・バッファ 11 で受信され，保存されます。ID の一致するメッセージを受信するたびに，メッセージはメッセージ・バッファ 12，13... の順（昇順）に保存されます。複数のメッセージから構成されるデータ・ブロックを受信した場合でも，以前に受信した ID の一致するデータを上書きすることなく，メッセージを保存し，受信することができます。

各メッセージ・バッファの FCNnMmCTL.FCNnMmIENF をセットすることによって，データ・ブロックが受信され，保存されたかどうかを確認することができます。たとえば，データ・ブロックが k 個のメッセージから構成される場合は，k 個のメッセージ・バッファをそのデータ・ブロックの受信用として初期化します。メッセージ・バッファ 0-（k-2）の FCNnMmIENF を 0 にクリアし（割り込み禁止），メッセージ・バッファ k-1 の FCNnMmIENF を 1 にセットします（割り込み許可）。その場合は，メッセージ・バッファ k-1 でメッセージが受信され，保存されると，受信完了割り込みが発生するので，MBRB が満杯になったことがわかります。あるいは，メッセージ・バッファ 0-（k-3）の FCNnMmIENF を 0 にクリアし，メッセージ・バッファ k-2 の FCNnMmIENF をセットすることで，MBRB がオーバフロー直前であるという警告を発することもできます。

MBRB で利用する個々のメッセージ・バッファに受信データを保存するための基本条件は，1 つのメッセージ・バッファにデータを保存するときの条件と同じです。

注意

1. MBRB はメッセージ・バッファ・タイプごとに設定することができます。したがって，ID は一致するものの，メッセージ・バッファ・タイプが異なる別の MBRB のメッセージ・バッファが空いていても，受信メッセージはそのメッセージ・バッファには保存されず，破棄されます。
2. MBRB はリング・バッファ構造を持っていません。したがって，MBRB 用として設定されているメッセージ・バッファのうち，番号が最大のメッセージ・バッファにメッセージが保存されたあとは，新たにメッセージを受信しても，そのメッセージはメッセージ・バッファ番号が最小のメッセージ・バッファには保存されません。
3. MBRB は受信と保存の条件に基づいて動作します。機能許可ビットなど，MBRB 専用の設定はありません。複数のメッセージ・バッファで同じメッセージ・バッファ・タイプと ID を設定することで，MBRB は自動的に設定されます。
4. MBRB でいう「一致する ID」とは，「マスクを適用したあと，一致する ID」です。メッセージ・バッファで設定されている ID が同じでなくても，マスク・レジスタによってマスクされた ID が一致すれば，ID が一致すると見なされ，その ID を持つバッファはメッセージの保存先として扱われます。
5. MBRB 間の優先度については，*20-16「MBRB の優先度」*を参照してください。

20.7.6 リモート・フレームの受信

すべての動作モードで，リモート・フレームを受信すると，以下の条件（条件 1 と 2。条件 1 のほうがが受信条件として優先される）を満たすすべてのメッセージ・バッファの中からリモート・フレームを保存するメッセージ・バッファを見つけるための検索が行われます。条件 1 が満たされない場合は，条件 2 を満たすものがあるかどうかを確認するために残りのメッセージ・バッファを検索します。

- 条件 1：
  送信メッセージ・バッファとして設定されている
  （FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000_B）
  - メッセージ・バッファとして使用されている
    （FCNnMmSTRB.FCNnMmSSAM = 1）
  - 受信レディ状態である
    （FCNnMmCTL.FCNnMmRDYF = 1）
  - データ・フレーム・メッセージ・タイプ用に設定されている
    (FCNnMmSTRB.FCNnMmSSRT = 0)
  - 送信要求が設定されていない
    (FCNnMmCTL.FCNnMmTRQF = 0)
- 条件 2：
  受信メッセージ・バッファとして設定されている
  （FCNnMmSTRB.FCNnMmSSMT[3:0] = 0001_B ... 1001_B）
  - メッセージ・バッファとして使用されている
    （FCNnMmSTRB.FCNnMmSSAM = 1）
  - 受信レディ状態である
    （FCNnMmCTL.FCNnMmRDYF = 1）
  - リモート・フレーム・メッセージ・タイプ用に設定されている
    (FCNnMmSTRB.FCNnMmSSRT = 1)
  - バッファがメッセージを保存できる状態にある
    （FCNnMmCTL.FCNnMmDTNF = 0，または
    FCNnMmSTRB.FCNnMmSSOW = 1 かつ FCNnMmCTL.FCNnMmDTNF = 1）

リモート・フレームを受信し，受信したリモート・フレームの ID が上記の条件を満たすメッセージ・バッファの ID と一致すると，以下の処理が行われます。

- FCNnMmDTLGB レジスタの FCNnMmDTLG[3:0] ビットが受信した DLC 値を保存します。
- 送信メッセージ・バッファへの受信の場合，データ領域の FCNnMmDAT0B ～ FCNnMmDAT7B レジスタは更新しません（受信前のデータを保存します）。
- FCNnMmCTL.FCNnMmDTNF を 1 にセットします。
- FCNnCMISCTL.FCNnCMISITSF1 を 1 にセットします（フレームを受信し，保存するメッセージ・バッファの FCNnMmCTL.FCNnMmIENF が 1 にセットされている場合）。
- 受信完了割り込み（INTnREC）を出力します（フレームを受信し，保存するメッセージ・バッファの FCNnMmCTL.FCNnMmIENF が 1 にセットされており，かつ，FCNnCMIECTL.FCNnCMIESEIE1 が 1 にセットされている場合）。

- FCNnMmCTL.FCNnMmNHMF フラグがセットされていなければ，メッセージ・バッファ番号を受信ヒストリ・リストに記録します。

注意 リモート・フレームの受信，保存用のメッセージ・バッファとして送信メッセージ・バッファが見つかった場合，メッセージ・バッファのFCNnMmSTRB.FCNnMmSSOW による上書き制御およびFCNnMmCTL.FCNnMmDTNF はチェックされません。FCNnMmSSOW の設定は無視され，FCNnMmDTNF はいずれの場合もセットされます。

備考
1. 複数の送信メッセージ・バッファが同じ ID を持っていて，受信したリモート・フレームの ID がその ID と一致する場合，リモート・フレームはメッセージ・バッファ番号の最も小さい送信メッセージ・バッファに保存されます。
2. リモート・フレームの ID と ID が一致し，リモート・フレームを受信可能な送信メッセージ・バッファと受信メッセージ・バッファが見つかった場合は，メッセージ・バッファがマスクされている場合も，マスクされていない場合も，リモート・フレームは送信メッセージ・バッファに保存されます。
3. リモート・フレームの受信条件を満たす複数の受信メッセージ・バッファがあるときの受信優先度は，データ・フレームの受信優先度と同じです。
4. リモート・フレームの受信に適した受信メッセージ・バッファが見つかり，保存用として選択されたにもかかわらず，FCNnMmDTNF がセットされていて，FCNnMmSSOW がセットされていないため，その受信メッセージ・バッファにフレームを保存できない場合，そのリモート・フレームはどこにも保存されません。

20.8 メッセージ送信

20.8.1 メッセージの送信

FCNnMmCTL.FCNnMmTRQF ビットが 1 にセットされたメッセージ・バッファは，以下の条件を満たしていれば，優先度の最も高いメッセージを送信するメッセージ・バッファを検索するときの対象になります。この処理はすべての動作モードで有効です。

- メッセージ・バッファとして使用されている（FCNnMmSTRB.FCNnMmSSAM = 1）
- 送信メッセージ・バッファとして設定されている（FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000_B）
- 送信レディ状態である（FCNnMmCTL.FCNnMmRDYF = 1）

CAN システムはマルチ・マスタ通信システムです。この種のシステムでは，メッセージ識別子（ID）に基づいてメッセージ送信の優先度が決まります。送信を待機しているメッセージが複数ある場合にソフトウェアによる送信処理を容易にするために，FCN モジュールではハードウェアを使用して優先度の最も高いメッセージの ID をチェックし，そのメッセージを自動的に識別します。そうすることで，ソフトウェアを利用した優先度制御を行う必要がなくなります。

送信優先度は識別子（ID）によって制御されます。

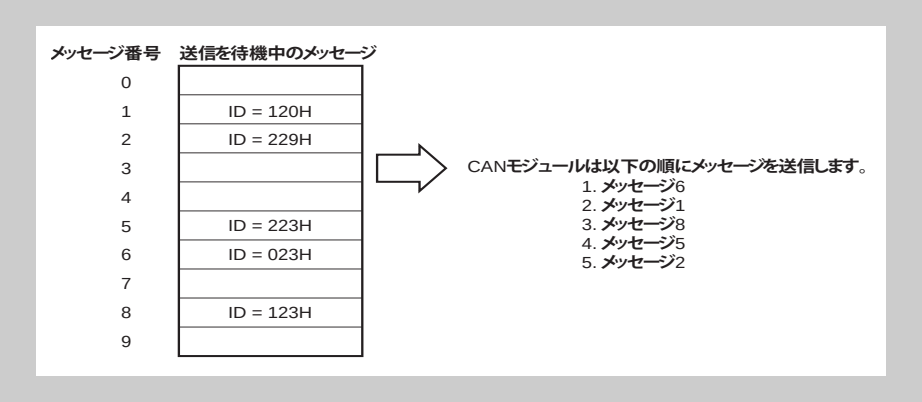


図 20-8 メッセージ処理の例

送信メッセージの検索が完了すると，送信要求を保留している（あらかじめ FCNnMmCTL.FCNnMmTRQF ビットが 1 にセットされている）送信メッセージ・バッファのうち，優先度の最も高い送信メッセージ・バッファを使用して送信メッセージが送信されます。

新しい送信要求が設定されると，新しい送信要求が設定された送信メッセージ・バッファと送信要求を保留している送信メッセージ・バッファとの比較が行われます。優先度の低いメッセージの送信がすでに開始されていない限り，新しい送信要求のほうが優先度が高ければ，新しい送信要求が送信されます。しかし，優先度の低いメッセージの送信がすでに開始されていれば，新しい送信要求はあとで送信されます。このように優先度が逆転する問題を解決するために，ソフトウェアで優先度の低いメッセージの送信中断要求を実行することができます。優先度の順位は以下の規則によって決まります。

優先度	条件	説明
1（高い）	ID の上位 11 ビットの値（ID28-18）	ID の上位 11 ビットが表す値が最も小さいメッセージ・フレームが最初に送信されます。11 ビット標準 ID の値が 29 ビット拡張 ID の上位 11 ビットの値以下である場合は，29 ビット拡張 ID を持つメッセージ・フレームより 11 ビット標準 ID のほうが優先度が高くなります。
2	フレーム・タイプ	11 ビット標準 ID を持つデータ・フレーム（FCNnMmSTRB.FCNnMmSSRT が 0 にクリアされている）のほうが標準 ID を持つリモート・フレームおよび拡張 ID を持つメッセージ・フレームより優先度が高くなります。
3	ID タイプ	標準 ID を持つメッセージ・フレーム（メッセージ・バッファ識別子レジスタ FCNnMmMID... のビット FCNnMmSSIE が 0 にクリアされている）のほうが拡張 ID を持つメッセージ・フレームより優先度が高くなります。
4	ID の下位 18 ビットの値（ID17-0）	ID の上位 11 ビットが同じで，同じフレーム・タイプの（FCNnMmSTRB.FCNnMmSSRT ビット値が等しい）送信保留中の拡張 ID メッセージ・フレームが複数ある場合は，拡張 ID の下位 18 ビットの値が最も小さいメッセージ・フレームが最初に送信されます。
5（低い）	メッセージ・バッファ番号	複数のメッセージ・バッファが同じ ID を持つメッセージ・フレームの送信を要求した場合は，メッセージ・バッファ番号の最も小さいメッセージ・バッファのメッセージが最初に送信されます。

備考 1. ABT 付き通常動作モードで，自動ブロック送信要求ビット FCNnGMABCTL.FCNnGMABABTT が 1 にセットされている場合は，ABT メッセージ・バッファ・グループ内の 1 つのメッセージ・バッファでのみ FCNnMmCTL.FCNnMmTRQF が 1 にセットされます。

FCNnGMABCTL.FCNnGMABSEAT = 1 によって ABT モードがトリガされた場合は，ABT 領域内（ 32 メッセージ・バッファの FCN：0 ～ 7）の 1 つの FCNnMmCTL.FCNnMmTRQF が 1 にセットされます。この送信要求以降，アプリケーションは，ABT 領域に属さないほかの送信メッセージ・バッファに対して送信を要求する（FCNnMmTRQF を 1 にセットする）ことができます。その場合，インターバル調停プロセス（送信検索）は，FCNnMmTRQF が 1 にセットされているすべての送信メッセージ・バッファを評価し，優先度の最も高い識別子を持つメッセージ・バッファを次の送信用バッファとして選択します。優先度が最も高い識別子が複数ある（同じ識別子が複数ある）場合は，番号の最も小さいメッセージ・バッファに格納されているメッセージが最初に送信されます。

メッセージ・フレームの送信が成功すると，以下の処理が実行されます。

- 対応する送信メッセージ・バッファの FCNnMmCTL.FCNnMmTRQF フラグが自動的に 0 にクリアされます。
- 送信完了ステータス・ビット FCNnCMISCTL.FCNnCMISITSF0 が 1 にセットされます（対応する送信メッセージ・バッファの割り込み許可ビット FCNnMmIENF が 1 にセットされている場合）。
- 割り込み要求信号 INTnTRX が出力されます（FCNnCMIECTL.FCNnCMIESEIE0 が 1 にセットされており，かつ，対応する送信メッセージ・バッファの割り込み許可ビット FCNnMmIENF が 1 にセットされている場合）。

2. 送信バッファの内容を変更するときは，内容を更新する前に，そのバッファの FCNnMmCTL.FCNnMmRDYF フラグをクリアする必要があります。内部転送動作中などに FCNnMmRDYF フラグが一時的にロックされることがあるため，FCNnMmRDYF を変更したときは，あとでフラグの状態をソフトウェアで確認する必要があります。

20.8.2 送信ヒストリ・リスト機能

送信ヒストリ・リスト（THL）機能は，データ・フレームまたはリモート・フレームの送信元となった送信メッセージ・バッファの番号を送信ヒストリ・リストに記録する機能です。THL は，最大 7 個のメッセージに相当する保存要素，最終送信メッセージ・ポインタ FCNnCMLOSTR[7:0] とそれに対応する FCNnCMLOSTR レジスタおよび送信ヒストリ・リスト取得ポインタ FCNnCMTGSSPT[7:0] とそれに対応する FCNnCMTGTX レジスタから構成されます。

FCN モジュールが初期化モードからいずれかの動作モードへ移行した直後の THL は不定です。

FCNnCMLOSTR レジスタには，FCNnCMLOSTR.FCNnCMLOSTR[7:0] ポインタから 1 を引いた値が示す THL 要素の内容が格納されています。したがって，FCNnCMLOSTR レジスタを読み出すことによって，最後にデータ・フレームまたはリモート・フレームを送信したメッセージ・バッファの番号をチェックすることができます。FCNnCMLOSTR[7:0] ポインタは，THL のどの部分にメッセージ・バッファ番号が記録されるかを示す書き込みポインタとして利用されます。データ・フレームまたはリモート・フレームが送信されるたびに，それに対応するメッセージ・バッファ番号が FCNnCMLOSTR[7:0] ポインタの示す THL 要素に記録されます。THL への記録が完了するたびに，FCNnCMLOSTR[7:0] ポインタは自動的にインクリメントされます。そうすることで，フレームを受信し，保存したメッセージ・バッファの番号が時系列順に記録されます。

FCNnMmCTL.FCNnMmNHMF フラグがセットされているメッセージ・バッファのエントリは送信ヒストリ・リストに記録されません。

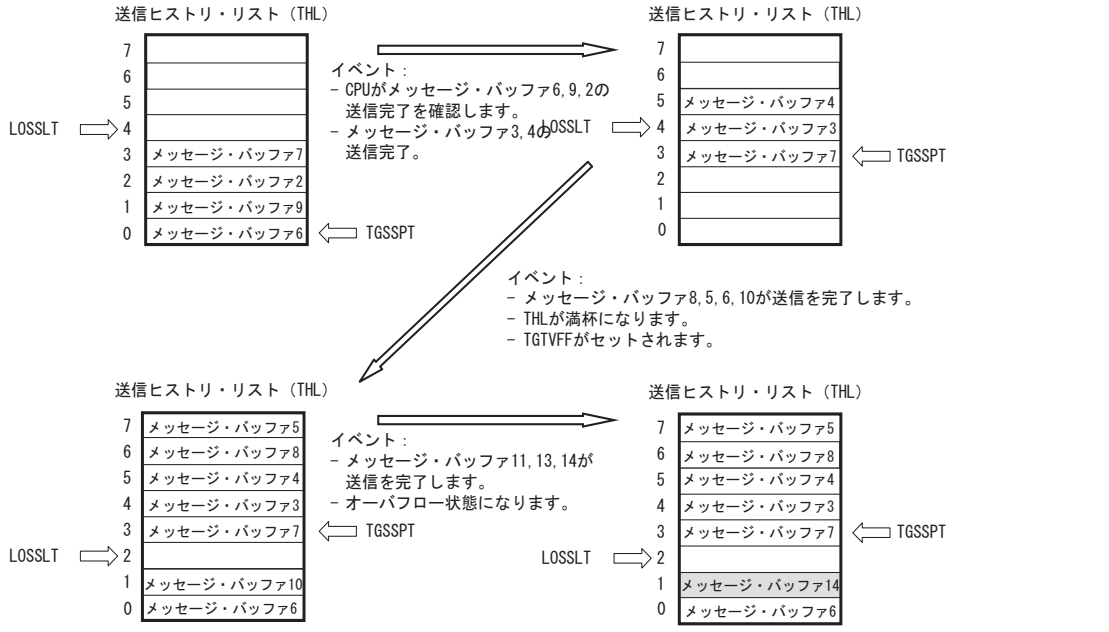
FCNnCMTGTX.FCNnCMTGSSPT[7:0] ポインタは，記録されているメッセージ・バッファ番号を THL から読み出すときの読み出しポインタとして利用されます。このポインタは，CPU がまだ読み出していない THL 要素のうち，最初の要素を示します。ソフトウェアで FCNnCMTGTX レジスタを読み出すことにより，送信を完了したメッセージ・バッファの番号を読み取ることができます。FCNnCMTGTX レジスタからメッセージ・バッファ番号が読み出されるたびに，FCNnCMTGSSPT[7:0] ポインタが自動的にインクリメントされます。

FCNnCMTGTX.FCNnCMTGSSPT[7:0] ポインタの値が FCNnCMLOSTR.FCNnCMLOSTR[7:0] ポインタの値と一致すると，FCNnCMTGTX.FCNnCMTGSSPM（送信ヒストリ・リスト・ポインタ・マッチ）が 1 にセットされます。これは，まだ読み出されていないメッセージ・バッファ番号が THL に残っていないことを示します。新しいメッセージ・バッファ番号が記録されると，FCNnCMLOSTR[7:0] ポインタがインクリメントされ，その値が FCNnCMTGSSPT[7:0] ポインタの値と一致しなくなるため，FCNnCMTGSSPM がクリアされます。これは，まだ読み出されていないメッセージ・バッファ番号が THL に存在することを意味しています。

FCNnCMLOSTR.FCNnCMLOSTR[7:0] ポインタがインクリメントされた結果，FCNnCMTGTX.FCNnCMTGSSPT[7:0] ポインタから 1 を引いた値と一致

すると，FCNnCMTGTX.FCNnCMTGTVFF（送信ヒストリ・リスト・オーバフロー）が 1 にセットされます。これは，まだ読み出されていないメッセージ・バッファ番号によって THL が満杯になったことを示します。新しいメッセージが受信され，保存されると，そのメッセージをあとで送信したメッセージ・バッファ番号によって最後に記録されたメッセージ・バッファ番号が上書きされます。その場合，FCNnCMTGTVFF が（1 に）セットされたあとは，THL に記録されたメッセージ・バッファ番号が時系列順を完全に反映しなくなります。ただし，その場合でも CPU はすべての送信バッファをサーチすることで送信完了したメッセージ・バッファの番号を特定することができます（CPU が送信再設定を行う前に実行）。
FCNnCMTGTX.FCNnCMTGTVFF に関わらず 6 個（32 メッセージ・バッファ），14 個（64 メッセージ・バッファ）または 30 個（128 メッセージ・バッファ）の送信メッセージ・バッファ番号は THL に保存されます。

注意 送信ヒストリ・リストがオーバフロー状態になっても（FCNnCMTGTX.FCNnCMTGTVFF がセットされても），送信ヒストリ・リストが空になるまで（FCNnCMTGTX.FCNnCMTGSSPM フラグがセットされるまで），送信ヒストリ・リストの内容を読み出すことはできます。ただし，FCNnCMTGTVFF がソフトウェアによってクリアされるまで，送信ヒストリ・リストはオーバフロー状態にとどまります。FCNnCMTGTVFF がクリアされないと，新しいメッセージの送信が成功しても FCNnCMTGTX.FCNnCMTGSSPM フラグは更新（クリア）されません。その場合は，送信ヒストリリストがオーバフローしている状態で送信が成功したにもかかわらず，送信ヒストリ・リストが空であることを FCNnCMTGSSPM が示す（FCNnCMTGTVFF と FCNnCMTGSSPM がセットされる）可能性があります。



TGTVFF = 1は, LOSSLTがTGSSPT - 1と一致すること, およびLOSSLT - 1が示す要素にメッセージ・バッファ番号が保存されたことを示しています。

備考1 上の図では以下の略号を使用しています。
- LOSSLT = 最終送信メッセージ・ポインタFCNnCMLOSTR.FCNnCMLOSSLT[7:0]
- TGSSPT = 送信ヒストリ・リスト取得ポインタFCNnCMTGTX.FCNnCMTGSSPT[7:0]
- TGTVFF = 送信ヒストリ・リスト・オーバフロー・フラグFCNnCMTGTX.FCNnCMTGTVFF

2 FCNnMmCTL.FCNnMmNHMFフラグがセットされているメッセージ・バッファを送信した場合, LOSSLTが示すメッセージ・バッファ番号とTHLに書き込まれているメッセージ・バッファ番号は異なります。

図 20-9 送信ヒストリ・リスト

20.8.3 自動ブロック送信機能（ABT）

自動ブロック送信（ABT）機能は，CPU の介入なしに，複数のデータ・フレームを連続的に送信する目的に使用されます。ABT 機能に割り当てられる送信メッセージ・バッファは，最大 8 個であり，常に番号の最も小さいメッセージ・バッファから順に割り当てられます。

FCNnCMCLCTL.FCNnCMCLMDOF[2:0] を 010_B に設定することで，「自動ブロック送信機能付き通常動作モード」（これ以降 ABT モードと言う）を選択することができます。

ABT 送信要求を発行するには，まずソフトウェアでメッセージ・バッファを定義します。ABT に使用するすべてのメッセージ・バッファで FCNnMmSTRB.FCNnMmSSAM = 1 に設定し，FCNnMmSTRB.FCNnMmSSMT[3:0] ビットを 0000_B に設定することによって，それらすべてのバッファを送信メッセージ・バッファとして定義します。その ID がすべてのメッセージ・バッファで使用されている場合でも，ABT 用のメッセージ・バッファには必ず同じ ID を設定してください。複数の ID を使用するには，FCNnMmMID0H レジスタと FCNnMmMID1H レジスタまたは FCNnMmMID0W レジスタを使用して，各メッセージ・バッファの ID を設定します。ABT 機能を利用した送信要求を発行する前に，FCN メッセージ・データ・バイト・レジスタを設定します。

ABT 用のメッセージ・バッファの初期化が完了したあと，FCNnMmCTL.FCNnMmRDYF を 1 にセットする必要があります。ABT モードでは，FCNnMmCTL.FCNnMmTRQF をソフトウェアで操作する必要はありません。

ABT メッセージ・バッファ用のデータを用意したあと，FCNnGMABCTL.FCNnGMABSEAT = 1 にセットします。そうすると，自動ブロック送信が開始されます。ABT が開始されると，最初のメッセージ・バッファ（メッセージ・バッファ 0）の FCNnMmCTL.FCNnMmTRQF が自動的に 1 にセットされます。メッセージ・バッファ 0 のデータの送信が完了すると，次のメッセージ・バッファであるメッセージ・バッファ 1 の FCNnMmTRQF が自動的にセットされます。このようにして，送信が連続的に実行されます。

送信が連続的に実行されている間，送信要求 FCNnMmCTL.FCNnMmTRQF が自動的にセットされるインターバルに，プログラムを利用して遅延時間を挿入することができます。挿入される遅延時間は FCNnGMADCTL レジスタによって定義されます。遅延時間の単位は DBT（データ・ビット時間）です。DBT は，FCNnCMBRPRS レジスタと FCNnCMBTCTL レジスタの設定によって決まります。

ABT 領域内の送信オブジェクトについては，送信 ID の優先度は評価されません。メッセージ・バッファ 0 からメッセージ番号順に送信されます。最後のメッセージ・バッファからのデータ・フレームの送信が完了すると，FCNnGMABCTL.FCNnGMABABTT が自動的に 0 にクリアされ，ABT 動作が完了します。

ABT の実行中に ABT メッセージ・バッファの中に FCNnMmCTL.FCNnMmRDYF がクリアされたメッセージ・バッファがあると，そのバッファからのデータ・フレームの送信は実行されず，ABT が中断され，FCNnGMABCTL.FCNnGMABABTT がクリアされます。その後，ソフトウェアで FCNnMmRDYF と FCNnGMABABTT を 1 にセットすることによって，ABT が中断されたメッセージ・バッファから送信を再開することができます。ABT が中断されたメッセージ・バッファから送信を再開したくな

い場合は，ABT モードが停止中であり，FCNnGMABABTT が 0 にクリアされている間に，FCNnGMABCTL.FCNnGMABCLRF ビットを 1 にセットすることによって内部 ABT エンジンをリセットします。その場合は，FCNnGMABCTL.FCNnGMABSEAC が 0 にクリアされたあと，FFCNnGMABABTT が 1 にセットされていれば，メッセージ・バッファ 0 から送信が開始されます。

割り込みを利用して，ABT 用のすべてのメッセージ・バッファからデータ・フレームが送信されたかどうかを確認することができます。それには，最後のメッセージ・バッファを除くすべてのメッセージ・バッファの FCNnMmCTL.FCNnMmIENF を（0 に）クリアする必要があります。

ABT 機能が使用している送信メッセージ・バッファ以外のメッセージ・バッファが送信メッセージ・バッファに割り当てられている場合，次に送信されるメッセージは，現在送信を保留中の ABT メッセージ・バッファの送信 ID の優先度と ABT 機能によって使用されていないメッセージ・バッファの送信 ID の優先度を比較したうえで決定されます。

ABT メッセージ・バッファからのデータ・フレームの送信は送信ヒストリ・リスト（THL）に記録されません。

注意

1. バッファ No.0 から ABT 動作を再開するには，FCNnGMABCTL.FCNnGMABABTT が 0 にクリアされている間に FCNnGMABCTL.FCNnGMABSEAC = 1 にセットします。FCNnGMABABTT が 1 にセットされている間に FCNnGMABSEAC を 1 にセットした場合，それ以降の動作は保証されません。
2. FCNnGMABCTL.FCNnGMABSEAC = 1 に設定することによって自動ブロック送信エンジンをクリアすると，クリア要求の処理が完了した直後に FCNnGMABSEAC が自動的にクリアされます。
3. 初期化モード中に自動ブロック送信をトリガしないでください。初期化モード中に FCNnGMABCTL.FCNnGMABSEAT をセットした場合，モードを初期化モードから ABT モードへ変更したあとの正しい動作は保証されません。
4. ABT 付き通常動作モードの実行中に ABT メッセージ・バッファの FCNnMmCTL.FCNnMmTRQF をソフトウェアで 1 にセットしないでください。セットした場合の動作は保証されません。
5. ABT モードで連続的に送信される ABT メッセージのメッセージ番号順に送信要求が設定されている場合，FCNnGMADCTL レジスタは，1 つの ABT メッセージの送信が完了してから次の ABT メッセージの FCNnMmCTL.FCNnMmTRQF がセットされるまでの間に挿入される遅延時間の設定に使用されます。メッセージが実際に CAN バス上で送信されるタイミングは，ほかのステーションからの送信の状態および ABT メッセージ以外のメッセージの送信要求の設定の状態によって異なります。
6. ABT メッセージ以外のメッセージの送信要求が発行されており，ABT の送信要求が自動的に設定されるインターバルに遅延時間が挿入されていない場合は（FCNnGMADCTL = 00_H），ABT メッセージ以外のメッセージが，ABT メッセージとの優先度の差異に関係なく送信される可能性があります。
7. FCNnGMABCTL.FCNnGMABABTT = 1 のときに FCNnMmCTL.FCNnMmRDYF を 0 にクリアしないでください。

8. ABT 付き通常動作モードを実行中に別のノードからメッセージを受信した場合は，FCNnGMADCTL レジスタが 00_H に設定されているにもかかわらず，ABT 領域からの送信メッセージが 1 フレーム遅れて送信される可能性があります。

20.8.4 送信中断処理

(1) 自動ブロック送信（ABT）以外の送信中断処理

ユーザは FCNnMmCTL.FCNnMmTRQF を 0 にクリアすることで送信要求を中断することができます。中断が成功すると，FCNnMmTRQF がただちにクリアされます。送信の中断が成功したかどうかは，CAN バス上の送信の状態を示す FCNnCMCLCTL.FCNnCMCLSSTS と FCNnCMTGTX レジスタまたは FCNnMmCTL.FCNnMmTCPF フラグを使用することで確認できます（詳細については，*1160 ページの図 20-24「送信中断処理（ABT 付き通常動作モードの実行中を除く）」*の手順を参照してください）。

(2) 自動ブロック送信（ABT）の送信中断処理

すでに開始されている ABT を中断するには，FCNnGMABCTL.FCNnGMABABTT を 0 にクリアします。その場合，ABT メッセージを現在送信中であれば，その送信が完了するまで（送信の成功，失敗にかわらず），FCNnGMABCTL.FCNnGMABABTT は 1 にセットされたまま変わらず，送信が完了すると同時に 0 にクリアされます。それによって ABT が中断されます。

（ABT が中断される前の）最後の送信が成功した場合，ABT 付き通常動作モードの内部 ABT ポインタは，次に送信されるメッセージ・バッファを指します。

送信が失敗した場合の内部 ABT ポインタの位置は，最後に送信されたメッセージ・バッファの FCNnMmCTL.FCNnMmTRQF の状態によって異なります。FCNnGMABCTL.FCNnGMABABTT のクリアを要求したときに FCNnMmTRQF が 1 にセットされていれば，内部 ABT ポインタは最後に送信されたメッセージ・バッファを指します。
FCNnGMABCTL.FCNnGMABABTT のクリアを要求したときに FCNnMmTRQF が 0 にクリアされていれば，内部 ABT ポインタはインクリメント（+1）され，ABT 領域内の次のメッセージ・バッファを指します（詳細については，*1163 ページの図 20-27「ABT 送信要求中断処理（ABT 付き通常動作モードの実行中）(2)」*の手順を参照してください）。

注意 必ず FCNnGMABCTL.FCNnGMABABTT を 0 にクリアすることによって ABT を中断してください。FCNnMmCTL.FCNnMmRDYF をクリアすることで送信の中断を要求した場合の動作は保証されません。

ABT が中断されたあと，FCNnGMABCTL.FCNnGMABSEAT が 1 にセットされて，ABT 付き通常動作モードが再開されたとき，次に送信される ABT メッセージ・バッファは，以下の表に示す仕組みで決まります。

ABT メッセージ・バッファの FCNnMmCTL.FCNnMmTRQF の状態	送信が成功したあと，ABT が中断された場合	送信が失敗したあと，ABT が中断された場合
セットされている（1）	ABT 領域内の次のメッセージ・バッファ[a]	ABT 領域内の同じメッセージ・バッファ
クリアされている（0）	ABT 領域内の次のメッセージ・バッファ[a]	ABT 領域内の次のメッセージ・バッファ[a]

a) 上記の再開操作は，ABT を実行可能な状態のメッセージ・バッファが ABT 領域内に存在するときにのみ実行できます。たとえば，番号が最大のメッセージ・バッファの ABT を実行中に中断要求を発行した結果，そのメッセージ・バッファの送信が成功した場合は，FCNnGMABCTL.FCNnGMABABTT が 0 にクリアされていても，ABT は中断されたと見なされず，完了したと見なされます。ABT 領域内の次のメッセージ・バッファの FCNnMmCTL.FCNnMmRDYF が 0 にクリアされている場合は，内部 ABT ポインタは保持されますが，FCNnGMABABTT が 1 にセットされていても再開操作は実行されず，ABT はただちに終了します。

20.8.5 リモート・フレームの送信

リモート・フレームは送信メッセージ・バッファからのみ送信できます。FCNnMmSTRB.FCNnMmSSRT を使用してデータ・フレームまたはリモート・フレームのどちらを送信するかを設定します。FCNnMmSSRT = 1 にセットすれば，リモート・フレームの送信が設定されます。

20.9 パワー・セーブ・モード

20.9.1 FCN スリープ・モード

FCN スリープ・モードを利用して CAN コントローラをスタンバイ・モードに設定し，消費電力を節約することができます。FCN モジュールはいずれの動作モードからも FCN スリープ・モードに入ることができます。FCN スリープ・モードを解除すると，FCN モジュールは FCN スリープ・モードに入る前と同じ動作モードに戻ります。

FCN スリープ・モードでは，送信要求が発行されたり保留されたりしても，FCN モジュールはメッセージを送信しません。

(1) FCN スリープ・モードへの移行

FCNnCMCLCTL.FCNnCMCLMDPF[1:0] = 01_B に設定することで，CPU は FCN スリープ・モードへの移行要求を発行します。

この移行要求は以下の条件が満たされている場合にのみ承認されます。

1. FCN モジュールがすでに以下のいずれかの動作モードに入っている
   - 通常動作モード
   - ABT 付き通常動作モード
   - 受信オンリー・モード
   - シングル・ショット・モード
   - セルフ・テスト・モード
   - 上記すべての動作モードでの FCN ストップ・モード
2. CAN バスの状態がバス・アイドル（インターフレーム・スペースの第 4 ビットがリセッシブ）である。
   CAN バスがドミナントに固定されていると，FCN スリープ・モードへの移行要求は保留されます。FCN ストップ・モードから FCN スリープ・モードへの移行は CAN バスの状態と関係なく行われます。
3. 保留中の送信要求がない。
4. パワー・セーブ・モードは動作モード変更と組み合わせて行わないでください。これらのアクセスはステップを分けて実行してください。

備考 スリープ・モード要求が保留中であり，かつ，受信されたメッセージがメッセージ・ボックスにある場合，そのスリープ・モード要求はキャンセルされず，メッセージの保存が終了すると同時に実行されます。その結果，CPU が受信割り込みルーチンを実行中に FCN がスリープ・モードに入ることがあります。したがって，スリープ・モードが使用されている場合，割り込みルーチンは，FCNnGMCLSSMO フラグを利用して，メッセージ・バッファへのアクセスと同時に受信ヒストリ・リスト・レジスタへのアクセスもチェックする必要があります。

上記の条件のうち 1 つでも満たされない場合，FCN モジュールは以下のように動作します。

- 初期化モードから FCN スリープ・モードが要求された場合，FCN スリープ・モードへの移行要求は無視され，FCN モジュールは初期化モードにとどまります。
- CAN バスの状態がバス・アイドルでないときに（CAN バスの状態が送信中または受信中に）いずれかの動作モードから FCN スリープ・モードへ

の移行要求を発行しても，ただちにFCNスリープ・モードへ移行することはできません。その場合は，CANバスの状態がバス・アイドルになる（インターフレーム・スペースの第4ビットがリセッシブになる）までFCNスリープ・モードへの移行要求は保留されます。FCNスリープ・モードへの移行要求が発行されてから移行が成功するまでの間，FCNnCMCLCTL.FCNnCMCLMDPF[1:0]は00_Bにとどまります。モジュールがFCNスリープ・モードに入ると，FCNnCMCLMDPF[1:0]ビットは01_Bに設定されます。

- FCNモジュールがいずれかの動作モードを実行中に初期化モードへの移行要求とFCNスリープ・モードへの移行要求が同時に発行された場合は，初期化モードへの移行要求が許可されます。その場合，FCNモジュールは，あらかじめ決められたタイミングで初期化モードに入ります。FCNスリープ・モードへの移行要求は保留されず，無視されます。
- 初期化モードとスリープ・モードへの移行要求が同時に発行されなかった場合でも（最初の要求が承認されず，2回目の要求が発行された場合など），初期化モードへの移行要求のほうがスリープ・モードへの移行要求より優先されます。初期化モードへの移行要求が発行されると，スリープ・モードへの移行要求はキャンセルされます。初期化モードへの移行要求が保留されている間に発行されたスリープ・モードへの移行要求は，要求が発行された時点でただちにキャンセルされます。

(2) FCNスリープ・モードの状態

FCNモジュールは，FCNスリープ・モードに入ると以下の状態になります。

- 内部動作クロックが停止し，消費電力が最小限になります。
- CANバスからFCNモジュールをウェイクアップできるように，FCN受信端子（CRXDn）の立ち下がりを検出する機能は有効な状態を保ちます。
- CPUからFCNモジュールをウェイクアップするためにFCNnCMCLCTL.FCNnCMCLMDPF[1:0]にデータを設定することはできますが，ほかのFCNモジュール・レジスタやビットにデータを書き込むことはできません。
- FCNnCMLISTRレジスタ，FCNnCMRGRXレジスタ，FCNnCMLOSTRレジスタ，FCNnCMTGTXレジスタ以外のFCNモジュール・レジスタを読み出すことができます。
- FCNメッセージ・バッファ・レジスタへの書き込み，読み出しはできません。
- FCNnGMCLCTL.FCNnGMCLSSMOはクリアされます。
- FCNnDNBMRXレジスタを読み出すことはできません。
- 初期化モードへの移行要求は承認されず，無視されます。

(3) FCNスリープ・モードの解除

FCNスリープ・モードは以下のイベントによって解除されます。

- CPUがFCNnCMCLCTL.FCNnCMCLMDPF[1:0]を00_Bに設定したとき
- FCN受信ピンCRXDnの立ち下がり時（CANバス・レベルがリセッシブからドミナントへ移行したとき）

注意 立ち下がりが受信メッセージの SOF に属していても，そのメッセージが受信され，保存されることはありません。FCN モジュールがスリープ・モードに入っている間，CPU が FCN モジュールへのクロック供給を停止した場合は，FCN モジュールへのクロック供給が再開されない限り，FCN スリープ・モードを解除することはできず，FCNnCMCLMDPF[1:0] の値は 01_B にとどまります。クロック供給を停止したあとは，受信メッセージも受信されなくなります。

スリープ・モードが解除されると，FCN モジュールは FCN スリープ・モードへの移行要求が発行されたときの動作モードに戻ります。その後，FCNnCMCLCTL.FCNnCMCLCTL[1:0] をソフトウェアで 00_B にリセットする必要があります。CAN バスの状態の変化によって FCN スリープ・モードが解除された場合は，FCNnCMIECTL.FCNnCMIEINTF[6:0] の値に関係なく，FCNnCMISCTL.FCNnCMISITSF5 は 1 にセットされます。FCN スリープ・モードから解除された FCN モジュールは，CAN バス上で 11 個の連続するリセッシブ・レベルのビットを自動的に検出することにより，再び CAN バス通信に参加します。FCNnGMCLCTL.FCNnGMCLSSMO = 1 になるまで，ユーザ・アプリケーションはメッセージ・バッファへのアクセスを再開できません。

FCN モジュールが FCN スリープ・モードに入っている間に初期化モードへの移行要求があった場合，その要求は無視されます。初期化モードへ移行するには，まず FCN モジュールをソフトウェアでスリープ・モードから解除する必要があります。

注意
1. スリープ・モードへの移行を要求した直後であっても，CAN バス・イベントが発生すれば，CAN バス・イベントによる FCN スリープ・モードの解除，つまりウェイクアップ割り込みがいつでも発生する可能性がある点に注意してください。
2. FCN スリープ・モードからのウェイクアップが行われたときは，FCN モジュールのほかのレジスタにアクセスする前に，必ず FCNnCMCLCTL.FCNnCMCLMDPF[1:0] ビットを 00_B にリセットしてください。
3. FCN スリープ・モードからのウェイクアップが行われたときは，必ず割り込みフラグ FCNnCMISCTL.FCNnCMISITSF5 をクリアしてください。

20.9.2 FCN ストップ・モード

FCN ストップ・モードを利用して CAN コントローラをスタンバイ・モードに設定し，消費電力を節約することができます。FCN モジュールは FCN スリープ・モードからのみ FCN ストップ・モードに入ることができます。FCN ストップ・モードを解除すると，FCN モジュールは FCN スリープ・モードに入ります。

FCN ストップ・モードは，FCNnCMCLCTL.FCNnCMCLMDPF[1:0] を 01_B に設定することによってのみ解除する（FCN スリープ・モードへ移行する）ことができます。CAN バスの状態の変化によって FCN ストップ・モードが解除されることはありません。FCN ストップ・モードに入っている間は，送信要求が発行されたり保留されたりしても，メッセージは送信されません。

(1) FCN ストップ・モードへの移行

FCN ストップ・モードへの移行要求を発行するには，FCNnCMCLCTL.FCNnCMCLMDPF[1:0] を 11_B に設定します。

FCN ストップ・モードへの移行要求は，FCN モジュールが FCN スリープ・モードに入っている間のみ承認されます。ほかのどのモードでも要求は無視されます。

注意 FCN モジュールを FCN ストップ・モードに設定するには，モジュールが FCN スリープ・モードに入っている必要があります。FCNnCMCLCTL.FCNnCMCLMDPF[1:0] = 01_B であることチェックし，モジュールがスリープ・モードに入っていることを確認してから，FCN ストップ・モードへの移行要求を発行してください。この処理の実行中に FCN 受信端子 CRXDn でバス状態が変化した場合，FCN スリープ・モードは自動的に解除されます。その場合，FCN ストップ・モードへの移行要求は承認されません。

(2) FCN ストップ・モードの状態

FCN モジュールは，FCN ストップ・モードに入ると以下の状態になります。

- 内部動作クロックが停止し，消費電力が最小限になります。
- CPU から FCN モジュールをウェイクアップするために FCNnCMCLCTL.FCNnCMCLMDPF[1:0] にデータを設定することはできますが，ほかの FCN モジュール・レジスタやビットにデータを書き込むことはできません。
- FCNnCMLISTR レジスタ，FCNnCMRGRX レジスタ，FCNnCMLOSTR レジスタ，FCNnCMTGTX レジスタ以外の FCN モジュール・レジスタを読み出すことができます。
- FCN メッセージ・バッファ・レジスタへの書き込み，読み出しはできません。
- FCNnGMCLCTL.FCNnGMCLSSMO はクリアされます。
- FCNnDNBMRX レジスタを読み出すことはできません。
- 初期化モードへの移行要求は承認されず，無視されます。

(3) FCN ストップ・モードの解除

FCN ストップ・モードは，FCNnCMCLCTL.FCNnCMCLMDPF[1:0] に 01_B を書き込むことによってのみ解除することができます。FCN ストップ・モードを解除すると，FCN モジュールは FCN スリープ・モードに入ります。

FCN モジュールが FCN ストップ・モードに入っている間に初期化モードへの移行要求があった場合，その要求は無視されます。CPU が初期化モードに入るには，ストップ・モードを解除したあと，FCN スリープ・モードを解除する必要があります。FCN ストップ・モードから FCN スリープ・モードを経ずに別の動作モードへ直接移行することはできません。そのような移行要求は無視されます。

20.9.3 パワー・セーブ・モードの使用例

一部のアプリケーション・システムでは，消費電力を節約するために CPU をパワー・セーブ・モードにする必要が生じることがあります。FCN モジュール固有のパワー・セーブ・モードと CPU 固有のパワー・セーブ・モードを併用することで，CAN バスによって CPU をパワー・セーブ状態からウェイクアップすることができます。

パワー・セーブ・モードの使用例を以下に示します。

- まず，FCN モジュールを FCN スリープ・モードにします（FCNnCMCLCTL.FCNnCMCLMDPF[1:0] = 01_B）。
  スリープ・モード状態を読み出すことで，スリープ・モード状態への移行を確認したら，CPU をパワー・セーブ・モードにします。FCN モジュールがスリープ・モードに入ったあと，残りのタスクを処理し，FCN ウェイクアップ割り込みが承認されないように，CPU への割り込みを禁止します。
  この状態で，FCN 受信ピン CRXDn でリセッシブからドミナントへのエッジの立ち下がりが検出されると，FCN モジュールの FCNnCMISCTL.FCNnCMISITSF5 が 1 にセットされます。
  FCNnCMIECTL.FCNnCMIEINT5 が 1 にセットされると，ウェイクアップ割り込み（INTnWUP）が発生します。
  FCN モジュールが FCN スリープ・モードから自動的に解除され（FCNnCMCLMDPF[1:0] = 00_B），通常の動作モードに戻ります。

- CPU は，INTnWUP に応答して，CPU のパワー・セーブ・モードを解除し，通常の動作モードに戻ることができます。

  FCN モジュールのクロックを含む内部クロックを停止させることで，CPU の消費電力をさらに節約することができます。その場合，FCN モジュールに供給される動作クロックは，FCN モジュールが FCN スリープ・モードに入ったあと，停止します。その後，CPU はパワー・セーブ・モードに入り，CPU に供給されるクロックも停止します。

- この状態で，FCN 受信端子 CRXDn でリセッシブからドミナントへのエッジの立ち下がりが検出された場合，FCN モジュールは，クロックの供給を受けていなくても，FCNnCMISCTL.FCNnCMISITSF5 を 1 にセットし，ウェイクアップ割り込み INTnWUP を生成することができます。

- ただし，FCN モジュールへのクロックの供給が停止しているため，それ以外の機能は動作せず，モジュールは FCN スリープ・モード状態にとどまります。

- CPU は INTnWUP に応答して以下の処理を行います。
  - CPU のパワー・セーブ・モードを解除します。
  - 発振安定時間の経過後，FCN モジュールへ供給されるクロックを含む内部クロックの供給を再開します。
  - 命令の実行を開始します。
- クロックの供給が再開されると，FCN モジュールはただちに FCN スリープ・モードから解除され，通常の動作モードに戻ります（FCNnCMCLCTL.FCNnCMCLMDPF[1:0] = 00_B）。

20.10 割り込み機能

FCN モジュールは 7 個の異なる割り込みソースを持っています。

これらの割り込みソースの発生は，割り込みステータス・レジスタに保存されます。7 個の割り込みソースから 4 個の別々の割り込み要求信号が生成されます。複数の割り込みソースに対応する割り込み要求信号が生成されれば，割り込みステータス・レジスタを使用して，割り込みソースを識別することができます。割り込みソースが発生したあとは，それに対応する割り込みステータス・ビットをソフトウェアで 0 にクリアする必要があります。

表 20-17 FCN モジュール割り込みソースの一覧

番号	割り込みステータス ビット FCNnCMISCTL.	割り込み許可ビット FCNnCMIECTL. [a]	割り込み要求信号	割り込みソースの説明
1	FCNnCMISITSF0	FCNnCMIESEIE0	INTnTRX	メッセージ・バッファ m からのメッセージ・フレームの送信が成功したことを示します。
2	FCNnCMISITSF1	FCNnCMIESEIE1	INTnREC	メッセージ・バッファ m が有効なメッセージ・フレームを受信したことを示します。
3	FCNnCMISITSF2	FCNnCMIESEIE2	INTnERR	FCN モジュール・エラー状態割り込み • この割り込みは，送信エラー・カウンタまたは受信エラー・カウンタが警告レベルに達しているか，エラー・パッシブ状態またはバスオフ状態にあるときに生成されます。
4	FCNnCMISITSF3	FCNnCMIESEIE3		FCN モジュール・プロトコル・エラー割り込み • この割り込みは，スタッフ・エラー，フォーム・エラー，ACK エラー，ビット・エラーまたは CRC エラーが発生すると生成されます。
5	FCNnCMISITSF4	FCNnCMIESEIE4		FCN モジュール調停ロス割り込み
6	FCNnCMISITSF5	FCNnCMIESEIE5	INTnWUP	FCN スリープ・モードからの FCN モジュール・ウェイクアップ割り込み • この割り込みは，FCN 受信ピンで立ち下がり（リセッシブからドミナントへの CAN バスの変化）が検出されたために，FCN モジュールが FCN スリープ・モードからウェイクアップされると生成されます。
7	FCNnCMISITSF6	FCNnCMIESEIE6		FCN モジュール送信中断割り込みステータス • この割り込みは，送信の中断が成功すると（送信を中断されたメッセージが送信されないと）生成されます。

a) メッセージ・バッファを割り込み生成プロセスに参加させるには，対象となるメッセージ・バッファのメッセージ・バッファ割り込み許可ビット FCNnMmCTL.FCNnMmIENF を 1 にセットする必要があります。

20.11 診断機能と特殊な動作モード

FCN モジュールは，CAN バス診断機能または特殊な CAN 通信方式の利用に対応するために，受信オンリー・モード，シングル・ショット・モード，セルフ・テスト・モードを備えています。

20.11.1 受信オンリー・モード

受信オンリー・モードは，CAN バスに干渉することなく，受信メッセージをモニタするために使用され，CAN バス解析ノードで利用することができます。

たとえば，このモードを自動ボー・レート検出に利用することができます。FCN モジュールのボー・レートは，モジュールの受信ボー・レートが送信ボー・レートと一致するように，「有効な受信」が検出されるまで変化します（「有効な受信」とは，CAN プロトコル・レイヤでエラーなしにメッセージ・フレームが受信され，CAN バスに接続されたノード間で適切な ACK が生成されたことを意味します）。メッセージ・フレームが受信メッセージ・バッファ（データ・フレーム）または送信メッセージ・バッファ（リモート・フレーム）に保存されなくても有効な受信は成立します。有効な受信は，発生したことを示すには，FCNnCMCLCTL.FCNnCMCLVALF がセット（1）されることで確認できます。

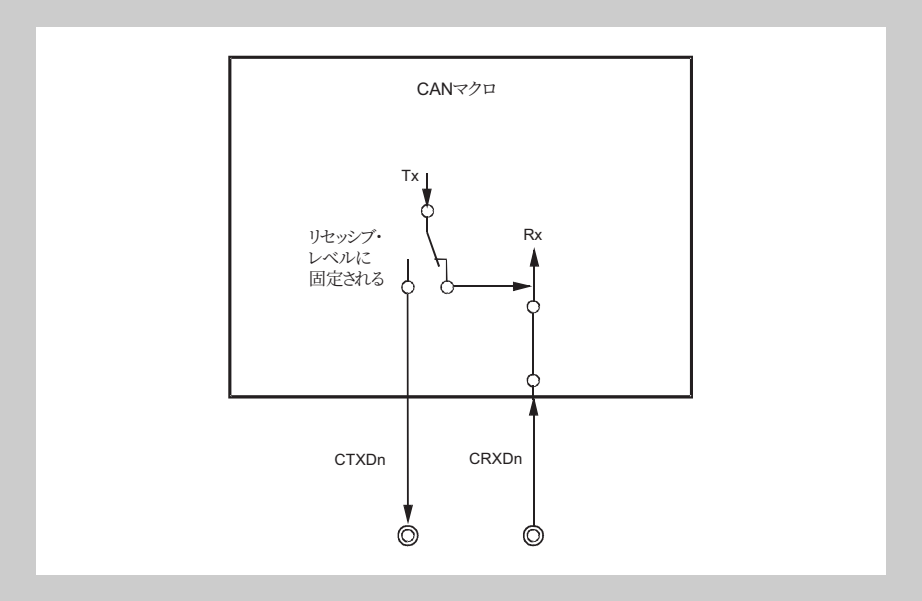


図 20-10 受信オンリー・モードでの FCN モジュール端子の接続

受信オンリー・モードの実行中に FCN モジュールから CAN バスへメッセージ・フレームを送信することはできません。送信メッセージ・バッファとして定義されたメッセージ・バッファに対して発行された送信要求は保留されます。

受信オンリー・モードでは，FCN モジュールの FCN 送信端子 CTXDn がリセッシブ・レベルに固定されます。したがって，メッセージ・フレームの受信中に CAN バス・エラーが検出されても，FCN モジュールから CAN バスへアクティブ・エラー・フラグを送信することはできません。FCN モジュールから何も送信することができないため，送信エラー・カウンタ FCNnCMERCNT.TEC7-FCNnCMERCNT.TEC0 ビットが更新されることはあ

りません。したがって，受信オンリー・モードを実行中の FCN モジュールがバスオフ状態に入ることはありません。

また，受信オンリー・モードでは，メッセージ・フレームの有効な受信が行われても，CAN バスへ ACK が返されることはありません。内部的には，ローカル・ノードは自分が ACK を送信したことを認識します。オーバロード・フレームを CAN バスに送信することはできません。

注意 2 つの CAN ノードのみが CAN バスに接続されている状態で，一方のノードが受信オンリー・モードで動作している場合，CAN バス上で ACK が送信されることはありません。ACK が検出されないため，送信ノードはアクティブ・エラー・フラグを送信し，メッセージ・フレームの送信を繰り返します。送信ノードはメッセージ・フレームを 16 回送信したあと，エラー・パッシブ状態になります（最初にエラー・カウンタが 0 になっていて，ほかのエラーが発生しなかった場合）。17 回目にメッセージ・フレームを送信したあと，送信ノードはパッシブ・エラー・フラグを生成します。受信オンリー・モードを実行中の受信ノードは，この時点で初めて有効なメッセージ・フレームを検出し，FCNnCMCLCTL.FCNnCMCLVALF ビットが初めて 1 にセットされます。

20.11.2 シングル・ショット・モード

シングル・ショット・モードでは，CAN プロトコルで定義されている自動再送信がオフになります（CAN プロトコルによれば，調停ロスまたはエラーの発生によって中断されたメッセージ・フレームの送信は，ソフトウェアによる制御なしに，繰り返す必要があります）。シングル・ショット・モードのそれ以外のすべての動作は通常動作モードと同じです。シングル・ショット・モードの機能を ABT 付き通常動作モードと組み合わせて利用することはできません。

シングル・ショット・モードでは，送信を中断されたメッセージ・フレームの再送信を FCNnCMCLCTL.FCNnCMCLALBF の設定に従って禁止します。FCNnCMCLALBF が 0 にクリアされていると，調停ロスおよびエラーが発生したときの再送信が禁止されます。FCNnCMCLALBF が 1 にセットされていると，エラーが発生したときの再送信が禁止されますが，調停ロスが発生したときの再送信は許可されます。したがって，送信メッセージ・バッファとして定義されているメッセージ・バッファの FCNnMmCTL.FCNnMmTRQF は，以下のイベントが発生すると 0 にクリアされます。

- メッセージ・フレームの送信が成功したとき
- メッセージ・フレームの送信中に調停ロスが発生したとき
- メッセージ・フレームの送信中にエラーが発生したとき

調停ロス・イベントとエラー発生イベントは，それぞれ FCNnCMISCTL.FCNnCMISITSF4 と FCNnCMISCTL.FCNnCMISITSF3 をチェックすることで識別でき，エラーのタイプは FCNnCMLCSTR.FCN0CMLCSSLC[2:0] を読み出すことで識別できます。

メッセージ・フレームの送信が成功すると，送信完了割り込みビット FCNnCMISCTL.FCNnCMISITSF0 が 1 にセットされます。そのとき，FCNnCMIECTL.FCNnCMIEINTF0 が 1 にセットされていれば，割り込み要求信号が出力されます。

シングル・ショット・モードは，タイムトリガ型通信方式（TTCAN レベル 1）のエミュレートに利用できます。

注意 FCNnCMCLCTL.FCNnCMCLALBF はシングル・ショット・モードでのみ有効です。ほかの動作モードで調停ロスが発生したときの再送信にこのビットが影響を及ぼすことはありません。

20.11.3 セルフ・テスト・モード

セルフ・テスト・モードでは，CAN バスに CAN ノードを接続することなく，または CAN バスに影響を与えることなく，メッセージ・フレームの送信と受信をテストすることができます。

セルフ・テスト・モードでは，FCN モジュールが CAN バスから完全に切り離され，送信と受信が内部でループバックします。FCN 送信端子 CTXDn はリセッシブ・レベルに固定されます。

ただし，FCN モジュールがセルフ・テスト・モードから FCN スリープ・モードへ入ったあと，FCN 受信端子 CRXDn で立ち下がりが検出されれば，モジュールは，ほかの動作モードからスリープ・モードに入ったときと同様に，FCN スリープ・モードから解除されます。モジュールを FCN スリープ・モードの状態に保つには，FCN 受信端子 CRXDn をポート端子として使用します。

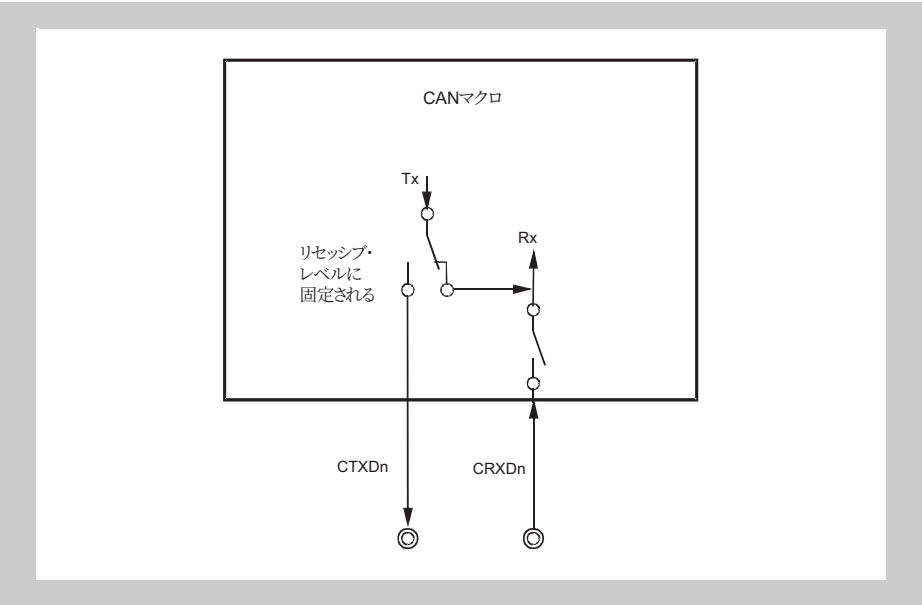


図 20-11 セルフ・テスト・モードでの FCN モジュール端子の接続

20.11.4 各動作モードでの送受信動作

各動作モードでの送受信動作の概要を以下の表に示します。

表 20-18 各動作モードでの送受信の概要

動作モード	データ・フレーム／リモート・フレームの送信	ACK の送信	エラー・フレーム／オーバロード・フレームの送信	送信の再試行	自動ブロック送信（ABT）	FCNnCMCLVALF ビットのセット	メッセージ・バッファへのデータの保存
初期化モード	不可能	不可能	不可能	不可能	不可能	不可能	不可能
通常動作モード	可能	可能	可能	可能	不可能	可能	可能
ABT 付き通常動作モード	可能	可能	可能	可能	可能	可能	可能
受信オンリー・モード	不可能	不可能	不可能	不可能	不可能	可能	可能
シングル・ショット・モード	可能	可能	可能	不可能[a]	不可能	可能	可能
セルフ・テスト・モード	可能[b]	可能[b]	可能[b]	可能[b]	不可能	可能[b]	可能[b]

a) 調停ロスが発生した場合は，FCNnCMCLCTL.FCNnCMCLALBF によって再送信を制御することができます。
b) 生成される信号は外部へ出力されず，FCN モジュール内にとどまります。

20.12 タイム・スタンプ機能

CAN は非同期シリアル・プロトコルです。CAN バスに接続されたすべてのノードは，それぞれローカルの自律クロックを持っています。したがって，ノードのクロックどうしの間には関係がありません（つまり，ノードのクロックは非同期であり，ノードによってクロック周波数が異なる可能性があります）。

しかし，一部のアプリケーションは，ネットワークをまたがる共通のタイム・ベース（グローバル・タイム・ベース）を必要とします。グローバル・タイム・ベースを構築するためにタイム・スタンプ機能を利用します。タイム・スタンプ機能は，基本的に，CAN バス上の信号によってトリガされるタイマ値をキャプチャすることによって動作します。

20.12.1 タイム・スタンプ機能

CAN コントローラは特定のフレームによってトリガされるタイマ値のキャプチャに対応しています。この製品では CAN コントローラと TAUB0 の 8ch と 9ch を組み合わせて使用します。（詳細は，24.4.9「CAN タイムスタンプ機能」を参照してください。）

TAUB0 の 8ch と 9ch は，CAN コントローラから送信されたデータ・フレームを受信したときに出力されるキャプチャ用のトリガ信号（TSOUT）に従ってタイマ値をキャプチャします。CPU は，キャプチャされた値を読み出すことで，キャプチャ・イベントが発生した時刻，つまり CAN バスから送信されたメッセージの受信時のタイム・スタンプを取り出すことができます。以下の 2 つのイベント・ソースから TSOUT 信号を選択することができます。TSOUT 信号は FCNnCMTSCTL.FCNnCMTSSELE によって指定します。

- SOF イベント（フレームの先頭）
  （FCNnCMTSCTL.FCNnCMTSSELE = 0）
- EOF イベント（フレームの末尾の最下位ビット）
  （FCNnCMTSCTL.FCNnCMTSSELE = 1）

TSOUT 信号は，FCNnCMTSCTL.FCNnCMTSTSGE = 1 にセットすることによって許可されます。

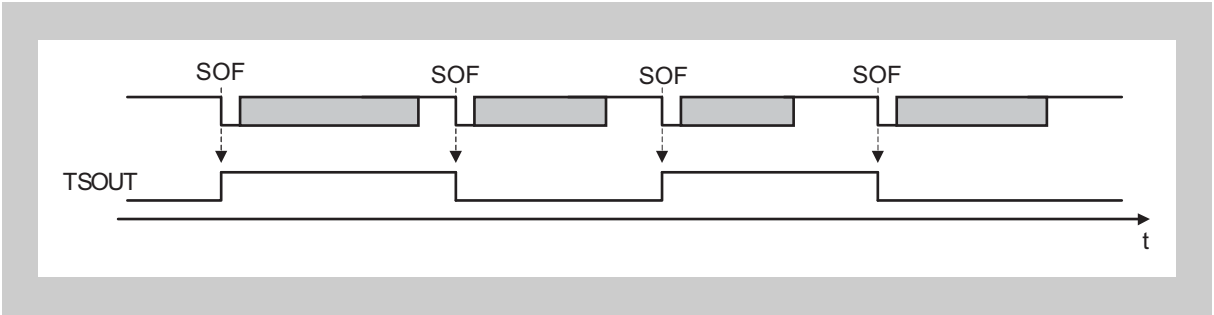


図 20-12 キャプチャ信号 TSOUT のタイミング図

データ・フレームの受信中，選択されているイベントが発生するたびに，TSOUT 信号のレベルがトグルします（*図 20-12「キャプチャ信号 TSOUT のタイミング図」*では，SOF がトリガ・イベント・ソースとして使用されています）。TSOUT 信号を利用してタイマ値をキャプチャするには，キャプチャ・タイマ・ユニットがキャプチャ信号の立ち上がりと立ち下がりの両方を検出する必要があります。

このタイム・スタンプ機能は，FCNnCMTSCTL レジスタの FCNnCMTSLOKE ビットによって制御されます。FCNnCMTSLOKE が 0 にクリアされている場合，TSOUT 信号は，選択されているイベントが発生するたびにトグルします。FCNnCMTSLOKE が 1 にセットされている場合も，TSOUT 信号は選択されているイベントが発生するたびにトグルしますが，メッセージ・バッファ 0 へのメッセージの保存が始まると同時に FCNnCMTSCTL.FCNnCMTSTSGE が自動的に 0 にクリアされ，信号のトグルが停止します。そのため，それ以降は TSOUT 信号のトグルが停止し，最後に信号がトグルしたときの（最後にキャプチャされた）タイム・スタンプ値をメッセージ・バッファ 0 でデータ・フレームを受信したときのタイム・スタンプ値として保存することができます。

注意 FCNnCMTSLOKE ビットを使用するタイム・スタンプ機能では，メッセージ・バッファ 0 でデータ・フレームを受信したときに TSOUT 信号のトグルを停止させます。メッセージ・バッファ 0 以外のメッセージ・バッファでデータ・フレームを受信した場合，TSOUT 信号のトグルは停止しません。
FCN モジュールが ABT 付き通常動作モードを実行中は，メッセージ・バッファ 0 を送信メッセージ・バッファとして設定する必要があるため，メッセージ・バッファ 0 でデータ・フレームを受信することはできません。
したがって，この動作モードでは，FCNnCMTSLOKE ビットを利用して TSOUT 信号のトグルを停止させる機能は利用できません。

20.13 ボー・レートの設定

20.13.1 ボー・レートの設定条件

CAN コントローラが正しく動作するように，設定値が以下に示す制限値を超えないようにしてください。

- 5 TQ ≦ SPT（サンプリング・ポイント）≦ 17 TQ

  SPT = TSEG1 + 1
- 8 TQ ≦ DBT（データ・ビット時間）≦ 25 TQ

  DBT = TSEG1 + TSEG2 + 1 TQ = TSEG2 + SPT
- 1 TQ ≦ SJW（同期ジャンプ幅）≦ 4 TQ

  SJW ≦ DBT – SPT
- 4 ≦ TSEG1 ≦ 16
- 1 ≦ TSEG2 ≦ 8

備考 1. TQ = 1/f_{TQ} （f_{TQ}：CAN プロトコル・レイヤの基本システム・クロック）

2. TSEG1，TSEG2，SJW の値は以下のレジスタのビットにより定義されます。

   TSEG1 = FCNnCMBTCTL.FCNnCMBTS1LG[3:0] + 1

   TSEG2 = FCNnCMBTCTL.FCNnCMBTS2LG[2:0] + 1

   SJW = FCNnCMBTCTL.FCNnCMBTJWLG[1:0] + 1

上記の条件を満たすビット・レートの組み合わせを *20-19「設定可能なビット・レートの組み合わせ」* に示します。

表 20-19 設定可能なビット・レートの組み合わせ (1/3)

有効なビット・レートの設定					FCNnCMBTCTL レジスタの設定値		サンプリング・ポイント（単位%）
DBT 長	シンク・セグメント	プロップ・セグメント	フェーズ・セグメント 1	フェーズ・セグメント 2	FCNnCMBTS1LG [3:0]	FCNnCMBTS2LG [2:0]	
25	1	8	8	8	1111	111	68.0
24	1	7	8	8	1110	111	66.7
24	1	9	7	7	1111	110	70.8
23	1	6	8	8	1101	111	65.2
23	1	8	7	7	1110	110	69.6
23	1	10	6	6	1111	101	73.9
22	1	5	8	8	1100	111	63.6
22	1	7	7	7	1101	110	68.2
22	1	9	6	6	1110	101	72.7
22	1	11	5	5	1111	100	77.3
21	1	4	8	8	1011	111	61.9
21	1	6	7	7	1100	110	66.7
21	1	8	6	6	1101	101	71.4
21	1	10	5	5	1110	100	76.2

表 20-19 設定可能なビット・レートの組み合わせ (2/3)

有効なビット・レートの設定					FCNnCMBTCTL レジスタの設定値		サンプリング・ポイント（単位%）
DBT 長	シンク・セグメント	プロップ・セグメント	フェーズ・セグメント1	フェーズ・セグメント2	FCNnCMBTS1LG [3:0]	FCNnCMBTS2LG [2:0]	
21	1	12	4	4	1111	011	81.0
20	1	3	8	8	1010	111	60.0
20	1	5	7	7	1011	110	65.0
20	1	7	6	6	1100	101	70.0
20	1	9	5	5	1101	100	75.0
20	1	11	4	4	1110	011	80.0
20	1	13	3	3	1111	010	85.0
19	1	2	8	8	1001	111	57.9
19	1	4	7	7	1010	110	63.2
19	1	6	6	6	1011	101	68.4
19	1	8	5	5	1100	100	73.7
19	1	10	4	4	1101	011	78.9
19	1	12	3	3	1110	010	84.2
19	1	14	2	2	1111	001	89.5
18	1	1	8	8	1000	111	55.6
18	1	3	7	7	1001	110	61.1
18	1	5	6	6	1010	101	66.7
18	1	7	5	5	1011	100	72.2
18	1	9	4	4	1100	011	77.8
18	1	11	3	3	1101	010	83.3
18	1	13	2	2	1110	001	88.9
18	1	15	1	1	1111	000	94.4
17	1	2	7	7	1000	110	58.8
17	1	4	6	6	1001	101	64.7
17	1	6	5	5	1010	100	70.6
17	1	8	4	4	1011	011	76.5
17	1	10	3	3	1100	010	82.4
17	1	12	2	2	1101	001	88.2
17	1	14	1	1	1110	000	94.1
16	1	1	7	7	0111	110	56.3
16	1	3	6	6	1000	101	62.5
16	1	5	5	5	1001	100	68.8
16	1	7	4	4	1010	011	75.0
16	1	9	3	3	1011	010	81.3
16	1	11	2	2	1100	001	87.5
16	1	13	1	1	1101	000	93.8
15	1	2	6	6	0111	101	60.0
15	1	4	5	5	1000	100	66.7
15	1	6	4	4	1001	011	73.3
15	1	8	3	3	1010	010	80.0

表 20-19 設定可能なビット・レートの組み合わせ (3/3)

有効なビット・レートの設定					FCNnCMBTCTL レジスタの設定値		サンプリング・ポイント（単位%）
DBT 長	シンク・セグメント	プロップ・セグメント	フェーズ・セグメント1	フェーズ・セグメント2	FCNnCMBTS1LG [3:0]	FCNnCMBTS2LG [2:0]	
15	1	10	2	2	1011	001	86.7
15	1	12	1	1	1100	000	93.3
14	1	1	6	6	0110	101	57.1
14	1	3	5	5	0111	100	64.3
14	1	5	4	4	1000	011	71.4
14	1	7	3	3	1001	010	78.6
14	1	9	2	2	1010	001	85.7
14	1	11	1	1	1011	000	92.9
13	1	2	5	5	0110	100	61.5
13	1	4	4	4	0111	011	69.2
13	1	6	3	3	1000	010	76.9
13	1	8	2	2	1001	001	84.6
13	1	10	1	1	1010	000	92.3
12	1	1	5	5	0101	100	58.3
12	1	3	4	4	0110	011	66.7
12	1	5	3	3	0111	010	75.0
12	1	7	2	2	1000	001	83.3
12	1	9	1	1	1001	000	91.7
11	1	2	4	4	0101	011	63.6
11	1	4	3	3	0110	010	72.7
11	1	6	2	2	0111	001	81.8
11	1	8	1	1	1000	000	90.9
10	1	1	4	4	0100	011	60.0
10	1	3	3	3	0101	010	70.0
10	1	5	2	2	0110	001	80.0
10	1	7	1	1	0111	000	90.0
9	1	2	3	3	0100	010	66.7
9	1	4	2	2	0101	001	77.8
9	1	6	1	1	0110	000	88.9
8	1	1	3	3	0011	010	62.5
8	1	3	2	2	0100	001	75.0
8	1	5	1	1	0101	000	87.5
7[a]	1	2	2	2	0011	001	71.4
7[a]	1	4	1	1	0100	000	85.7
6[a]	1	1	2	2	0010	001	66.7
6[a]	1	3	1	1	0011	000	83.3
5[a]	1	2	1	1	0010	000	80.0
4[a]	1	1	1	1	0001	000	75.0

a) 7 以下の DBT 値の設定は，FCNnCMBRPRS レジスタの値が 00_H 以外のときにのみ有効です。

注意 *20-19「設定可能なビット・レートの組み合わせ」*に記載されている値は，ネットワーク・システムの動作を保証するものではありません。CAN バスと CAN トランシーバの発振エラーと発振遅延を考慮に入れて，設定値がネットワーク・システムに及ぼす影響を入念にチェックしてください。

20.13.2 代表的なボー・レートの設定例

*20-20「代表的なボー・レートの設定例（f_{CANMOD} = 8 MHz）」*と *20-21「代表的なボー・レートの設定例（f_{CANMOD} = 16 MHz）」*は，代表的なボー・レートの設定例を示しています。

表 20-20 代表的なボー・レートの設定例（f_{CANMOD} = 8 MHz）(1/2)

ボー・レートの設定値（単位：kbps）	FCNnCMBRPRS レジスタの分周比	FCNnCMBRPRS レジスタの設定値	有効なビット・レートの設定（単位：TQ）					FCNnCMBTCTL レジスタの設定値		サンプリング・ポイント（単位%）
			DBT 長	シンク・セグメント	プロップ・セグメント	フェーズ・セグメント 1	フェーズ・セグメント 2	FCNnCMBTS1LG[3:0]	FCNnCMBTS2LG[2:0]	
500	1	00000000	16	1	1	7	7	0111	110	56.3
500	1	00000000	16	1	3	6	6	1000	101	62.5
500	1	00000000	16	1	5	5	5	1001	100	68.8
500	1	00000000	16	1	7	4	4	1010	011	75.0
500	1	00000000	16	1	9	3	3	1011	010	81.3
500	1	00000000	16	1	11	2	2	1100	001	87.5
500	1	00000000	16	1	13	1	1	1101	000	93.8
500	2	00000001	8	1	1	3	3	0011	010	62.5
500	2	00000001	8	1	3	2	2	0100	001	75.0
500	2	00000001	8	1	5	1	1	0101	000	87.5
250	2	00000001	16	1	1	7	7	0111	110	56.3
250	2	00000001	16	1	3	6	6	1000	101	62.5
250	2	00000001	16	1	5	5	5	1001	100	68.8
250	2	00000001	16	1	7	4	4	1010	011	75.0
250	2	00000001	16	1	9	3	3	1011	010	81.3
250	2	00000001	16	1	11	2	2	1100	001	87.5
250	2	00000001	16	1	13	1	1	1101	000	93.8
250	4	00000011	8	1	3	2	2	0100	001	75.0
250	4	00000011	8	1	5	1	1	0101	000	87.5
125	4	00000011	16	1	1	7	7	0111	110	56.3
125	4	00000011	16	1	3	6	6	1000	101	62.5
125	4	00000011	16	1	5	5	5	1001	100	68.8
125	4	00000011	16	1	7	4	4	1010	011	75.0
125	4	00000011	16	1	9	3	3	1011	010	81.3
125	4	00000011	16	1	11	2	2	1100	001	87.5
125	4	00000011	16	1	13	1	1	1101	000	93.8
125	8	00000111	8	1	3	2	2	0100	001	75.0

表 20-20 代表的なボー・レートの設定例（f_{CANMOD} = 8 MHz）(2/2)

ボー・レートの設定値（単位：kbps）	FCNnCMBRPRS レジスタの分周比	FCNnCMBRPRS レジスタの設定値	有効なビット・レートの設定（単位：TQ）					FCNnCMBTCTL レジスタの設定値		サンプリング・ポイント（単位%）
			DBT 長	シンク・セグメント	プロップ・セグメント	フェーズ・セグメント1	フェーズ・セグメント2	FCNnCMBTS1LG[3:0]	FCNnCMBTS2LG[2:0]	
125	8	00000111	8	1	5	1	1	0101	000	87.5
100	4	00000011	20	1	7	6	6	1100	101	70.0
100	4	00000011	20	1	9	5	5	1101	100	75.0
100	5	00000100	16	1	7	4	4	1010	011	75.0
100	5	00000100	16	1	9	3	3	1011	010	81.3
100	8	00000111	10	1	3	3	3	0101	010	70.0
100	8	00000111	10	1	5	2	2	0110	001	80.0
100	10	00001001	8	1	3	2	2	0100	001	75.0
100	10	00001001	8	1	5	1	1	0101	000	87.5
83.3	4	00000011	24	1	7	8	8	1110	111	66.7
83.3	4	00000011	24	1	9	7	7	1111	110	70.8
83.3	6	00000101	16	1	5	5	5	1001	100	68.8
83.3	6	00000101	16	1	7	4	4	1010	011	75.0
83.3	6	00000101	16	1	9	3	3	1011	010	81.3
83.3	6	00000101	16	1	11	2	2	1100	001	87.5
83.3	8	00000111	12	1	5	3	3	0111	010	75.0
83.3	8	00000111	12	1	7	2	2	1000	001	83.3
83.3	12	00001011	8	1	3	2	2	0100	001	75.0
83.3	12	00001011	8	1	5	1	1	0101	000	87.5
33.3	10	00001001	24	1	7	8	8	1110	111	66.7
33.3	10	00001001	24	1	9	7	7	1111	110	70.8
33.3	12	00001011	20	1	7	6	6	1100	101	70.0
33.3	12	00001011	20	1	9	5	5	1101	100	75.0
33.3	15	00001110	16	1	7	4	4	1010	011	75.0
33.3	15	00001110	16	1	9	3	3	1011	010	81.3
33.3	16	00001111	15	1	6	4	4	1001	011	73.3
33.3	16	00001111	15	1	8	3	3	1010	010	80.0
33.3	20	00010011	12	1	5	3	3	0111	010	75.0
33.3	20	00010011	12	1	7	2	2	1000	001	83.3
33.3	24	00010111	10	1	3	3	3	0101	010	70.0
33.3	24	00010111	10	1	5	2	2	0110	001	80.0
33.3	30	00011101	8	1	3	2	2	0100	001	75.0
33.3	30	00011101	8	1	5	1	1	0101	000	87.5

注意 1. *20-20「代表的なボー・レートの設定例（f_{CANMOD} = 8 MHz）」*に記載されている値は，ネットワーク・システムの動作を保証するものではありません。CAN バスと CAN トランシーバの発振エラーと発振遅延を考慮に入れて，設定値がネットワーク・システムに及ぼす影響を入念にチェックしてください。

2. f_{CANMOD} <= 8 MHz のとき，500 kbit/s を上回るボー・レートは設定できません。

表 20-21 代表的なボー・レートの設定例（f_{CANMOD} = 16 MHz）(1/2)

ボー・レートの設定値（単位：kbps）	FCNnCMBRPRS レジスタの分周比	FCNnCMBRPRS レジスタの設定値	有効なビット・レートの設定（単位：TQ）					FCNnCMBTCTL レジスタの設定値		サンプリング・ポイント（単位%）
			DBT 長	シンク・セグメント	プロップ・セグメント	フェーズ・セグメント1	フェーズ・セグメント2	FCNnCMBTS1LG[3:0]	FCNnCMBTS2LG[2:0]	
1000	1	00000000	16	1	1	7	7	0111	110	56.3
1000	1	00000000	16	1	3	6	6	1000	101	62.5
1000	1	00000000	16	1	5	5	5	1001	100	68.8
1000	1	00000000	16	1	7	4	4	1010	011	75.0
1000	1	00000000	16	1	9	3	3	1011	010	81.3
1000	1	00000000	16	1	11	2	2	1100	001	87.5
1000	1	00000000	16	1	13	1	1	1101	000	93.8
1000	2	00000001	8	1	3	2	2	0100	001	75.0
1000	2	00000001	8	1	5	1	1	0101	000	87.5
500	2	00000001	16	1	1	7	7	0111	110	56.3
500	2	00000001	16	1	3	6	6	1000	101	62.5
500	2	00000001	16	1	5	5	5	1001	100	68.8
500	2	00000001	16	1	7	4	4	1010	011	75.0
500	2	00000001	16	1	9	3	3	1011	010	81.3
500	2	00000001	16	1	11	2	2	1100	001	87.5
500	2	00000001	16	1	13	1	1	1101	000	93.8
500	4	00000011	8	1	3	2	2	0100	001	75.0
500	4	00000011	8	1	5	1	1	0101	000	87.5
250	4	00000011	16	1	3	6	6	1000	101	62.5
250	4	00000011	16	1	5	5	5	1001	100	68.8
250	4	00000011	16	1	7	4	4	1010	011	75.0
250	4	00000011	16	1	9	3	3	1011	010	81.3
250	4	00000011	16	1	11	2	2	1100	001	87.5
250	8	00000111	8	1	3	2	2	0100	001	75.0
250	8	00000111	8	1	5	1	1	0101	000	87.5
125	8	00000111	16	1	3	6	6	1000	101	62.5
125	8	00000111	16	1	7	4	4	1010	011	75.0
125	8	00000111	16	1	9	3	3	1011	010	81.3
125	8	00000111	16	1	11	2	2	1100	001	87.5
125	16	00001111	8	1	3	2	2	0100	001	75.0
125	16	00001111	8	1	5	1	1	0101	000	87.5
100	8	00000111	20	1	9	5	5	1101	100	75.0
100	8	00000111	20	1	11	4	4	1110	011	80.0
100	10	00001001	16	1	7	4	4	1010	011	75.0
100	10	00001001	16	1	9	3	3	1011	010	81.3

表 20-21 代表的なボー・レートの設定例（f_{CANMOD} = 16 MHz）(2/2)

ボー・レートの設定値（単位：kbps）	FCNnCMBRPRS レジスタの分周比	FCNnCMBRPRS レジスタの設定値	有効なビット・レートの設定（単位：TQ）					FCNnCMBTCTL レジスタの設定値		サンプリング・ポイント（単位%）
			DBT 長	シンク・セグメント	プロップ・セグメント	フェーズ・セグメント 1	フェーズ・セグメント 2	FCNnCMBTS1LG[3:0]	FCNnCMBTS2LG[2:0]	
100	16	00001111	10	1	3	3	3	0101	010	70.0
100	16	00001111	10	1	5	2	2	0110	001	80.0
100	20	00010011	8	1	3	2	2	0100	001	75.0
83.3	8	00000111	24	1	7	8	8	1110	111	66.7
83.3	8	00000111	24	1	9	7	7	1111	110	70.8
83.3	12	00001011	16	1	7	4	4	1010	011	75.0
83.3	12	00001011	16	1	9	3	3	1011	010	81.3
83.3	12	00001011	16	1	11	2	2	1100	001	87.5
83.3	16	00001111	12	1	5	3	3	0111	010	75.0
83.3	16	00001111	12	1	7	2	2	1000	001	83.3
83.3	24	00010111	8	1	3	2	2	0100	001	75.0
83.3	24	00010111	8	1	5	1	1	0101	000	87.5
33.3	30	00011101	24	1	7	8	8	1110	111	66.7
33.3	30	00011101	24	1	9	7	7	1111	110	70.8
33.3	24	00010111	20	1	9	5	5	1101	100	75.0
33.3	24	00010111	20	1	11	4	4	1110	011	80.0
33.3	30	00011101	16	1	7	4	4	1010	011	75.0
33.3	30	00011101	16	1	9	3	3	1011	010	81.3
33.3	32	00011111	15	1	8	3	3	1010	010	80.0
33.3	32	00011111	15	1	10	2	2	1011	001	86.7
33.3	37	00100100	13	1	6	3	3	1000	010	76.9
33.3	37	00100100	13	1	8	2	2	1001	001	84.6
33.3	40	00100111	12	1	5	3	3	0111	010	75.0
33.3	40	00100111	12	1	7	2	2	1000	001	83.3
33.3	48	00101111	10	1	3	3	3	0101	010	70.0
33.3	48	00101111	10	1	5	2	2	0110	001	80.0
33.3	60	00111011	8	1	3	2	2	0100	001	75.0
33.3	60	00111011	8	1	5	1	1	0101	000	87.5

注意 *20-21「代表的なボー・レートの設定例（f_{CANMOD} = 16 MHz）」*に記載されている値は，ネットワーク・システムの動作を保証するものではありません。CAN バスと CAN トランシーバの発振エラーと発振遅延を考慮に入れて，設定値がネットワーク・システムに及ぼす影響を入念にチェックしてください。

20.14 CAN コントローラの動作

この章で示す処理手順は，FCN を運用するときの推奨処理手順です。

この章で推奨されている処理手順を参考にしてプログラムを開発してください。

20.14.1 初期化

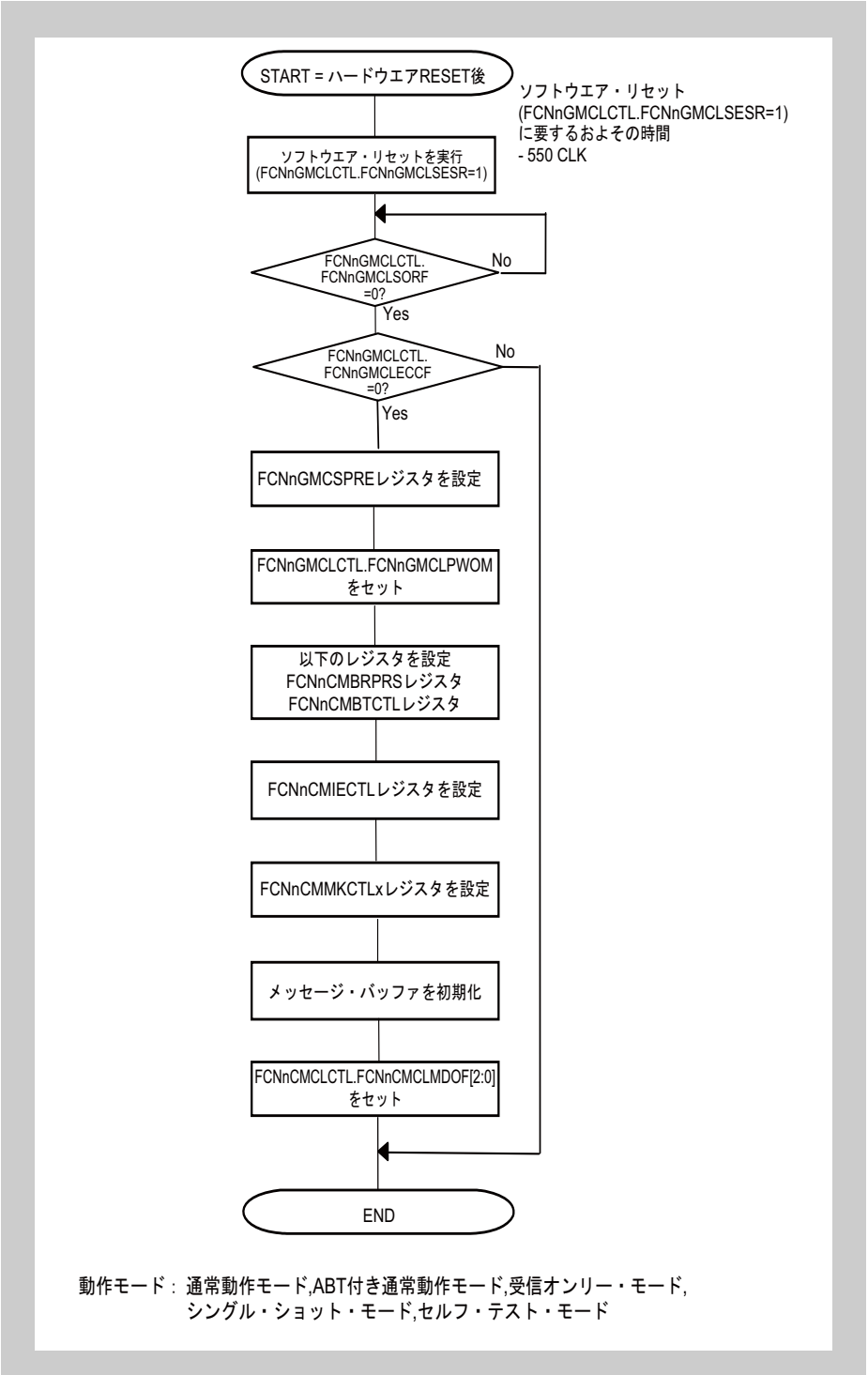


図 20-13 初期化

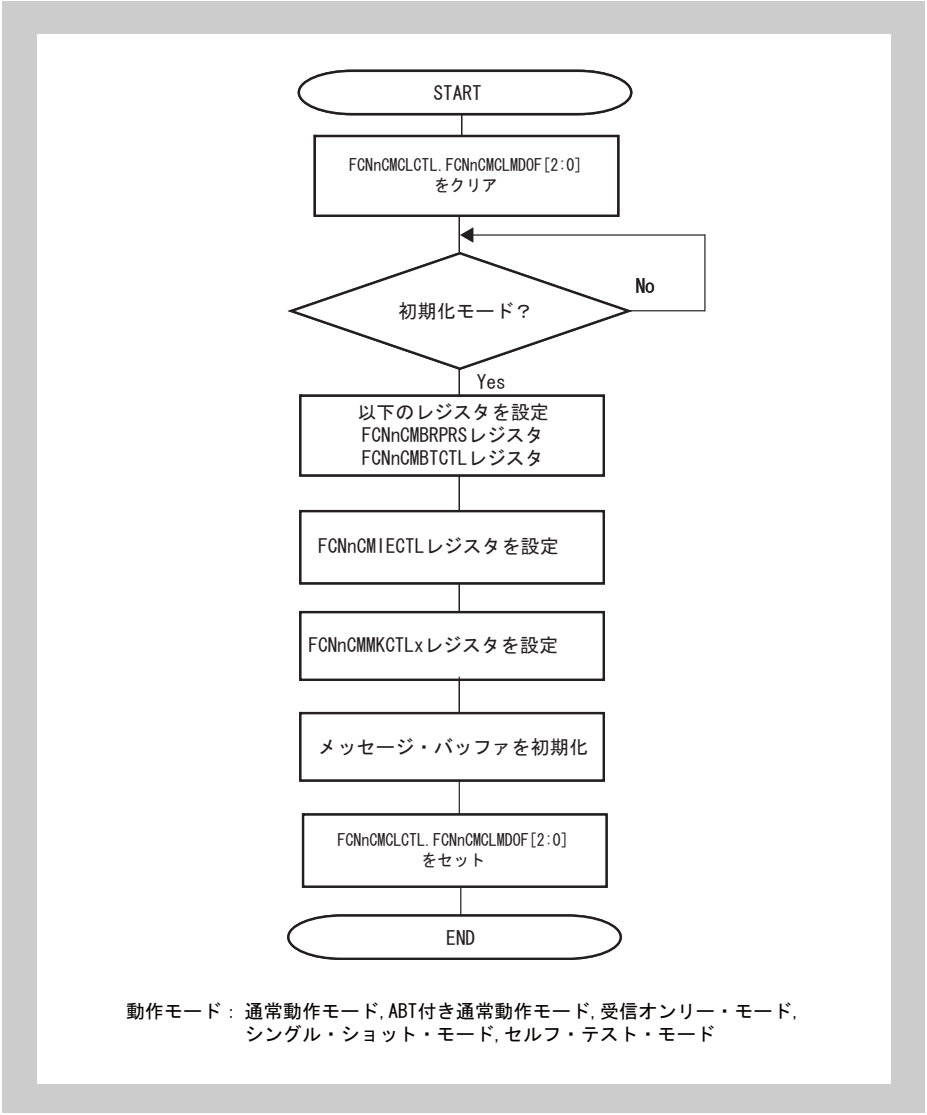


図 20-14 ソフトウェア・リセット機能を利用しない再初期化

注意 再初期化中にエラー・カウンタをクリア（FCNnCMCLERCF をセット）する場合には，以下のいずれかの状態で行ってください。

- FCN モジュール起動（FCNnGMCLPWOM = 0 状態から FCNnGMCLPWOM をセット）後の初期化モード状態時
- 動作モード中に*図 20-24* の送信中断処理に従った全ての送信要求クリア後の初期化モード状態時（ABT 付き通常動作モード中は*図 20-25* の送信中断処理に従って全ての送信要求をクリアしてください。）

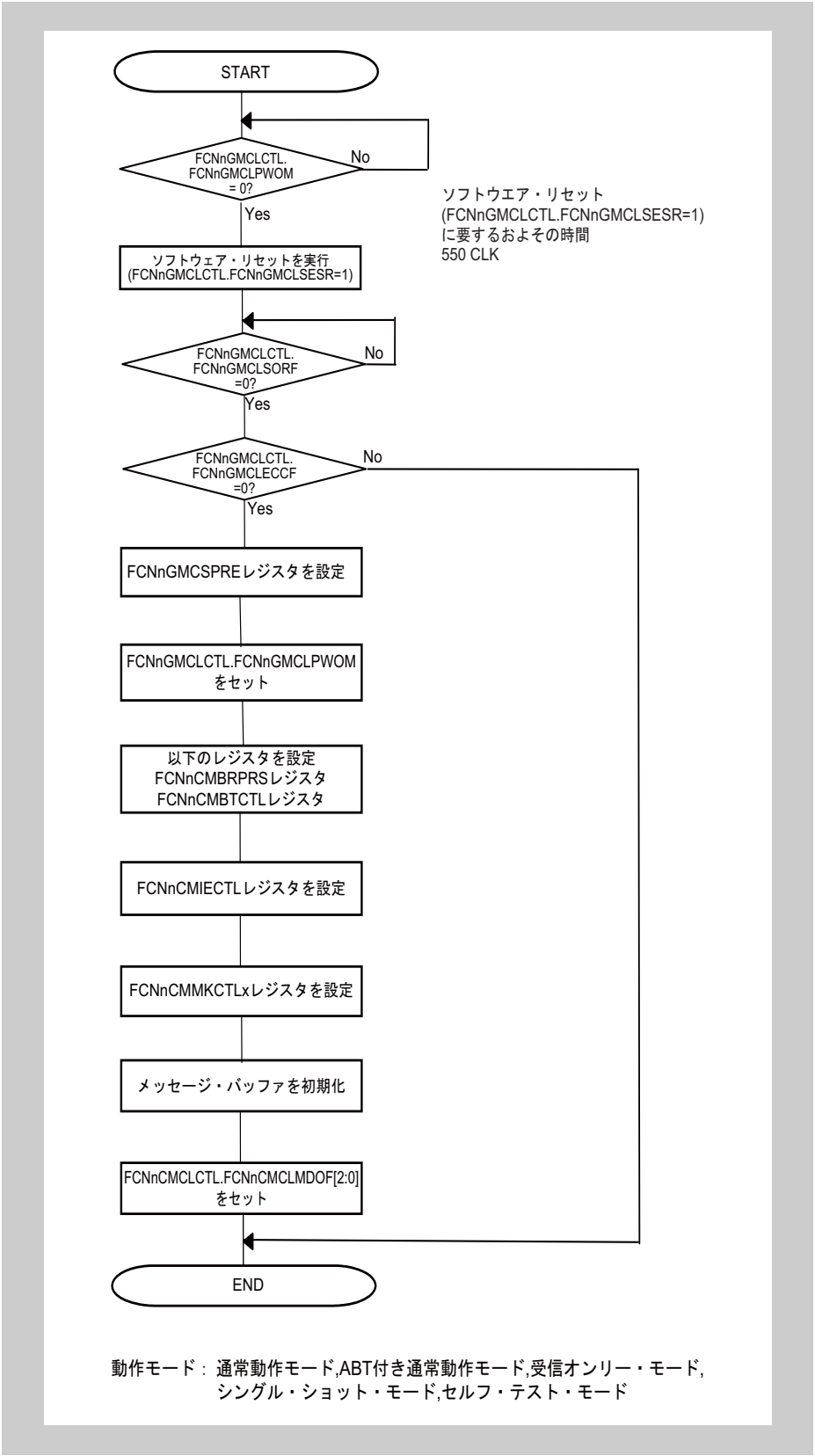


図 20-15 ソフトウェア・リセット機能を利用する再初期化

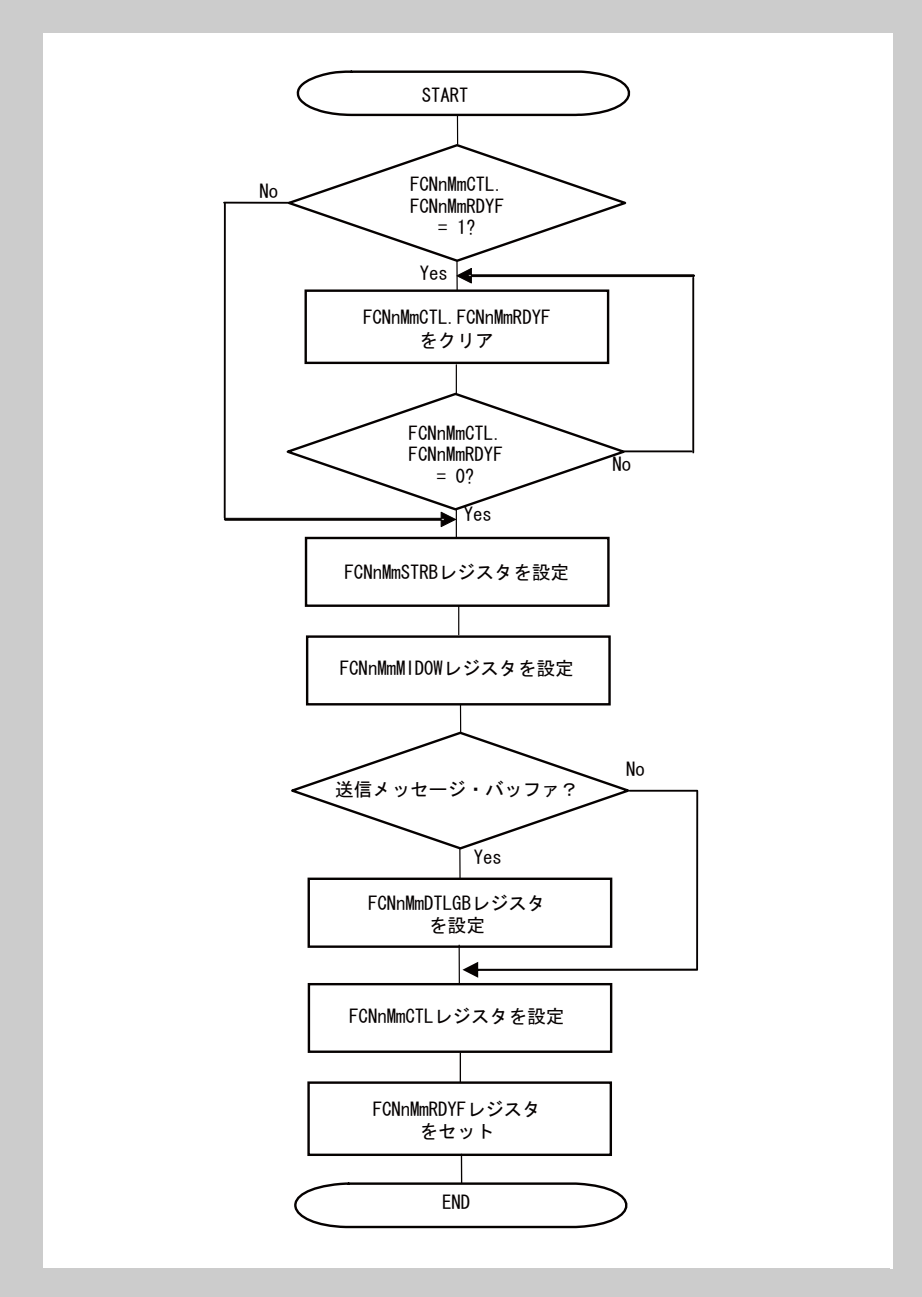
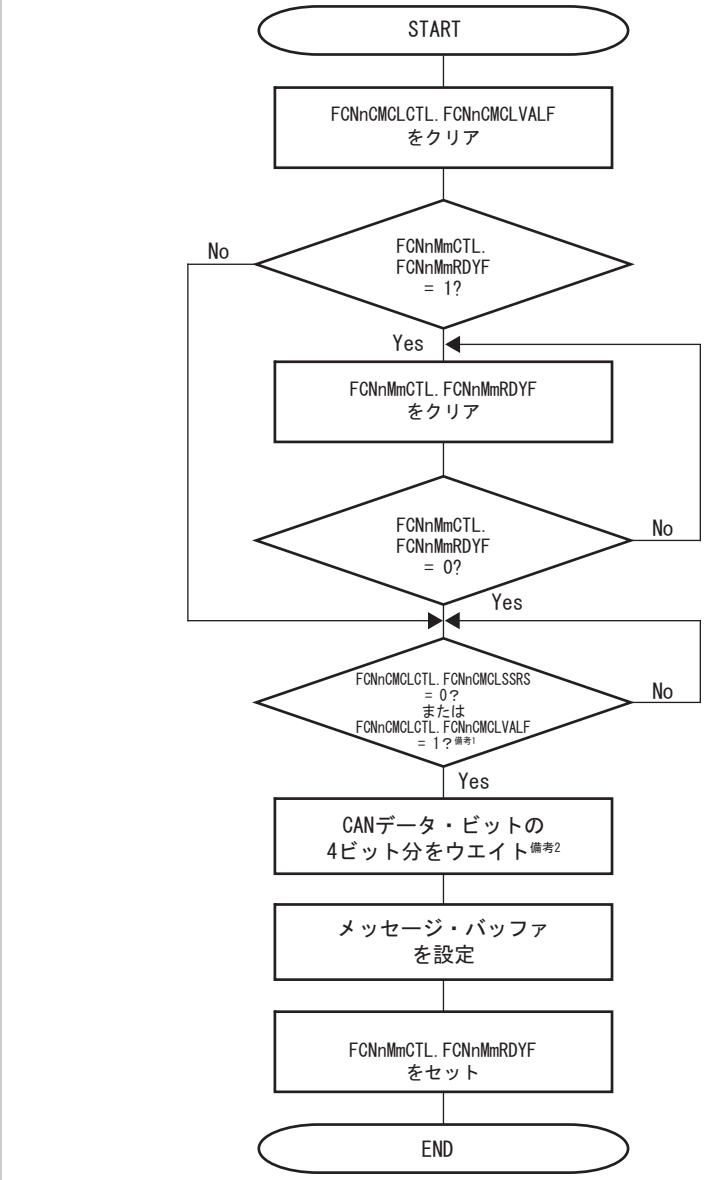


図 20-16 メッセージ・バッファの初期化

注意 1. メッセージ・バッファを初期化する前に，FCNnMmCTL.FCNnMmRDYF をクリアする必要があります。

2. アプリケーションが使用しないメッセージ・バッファは以下のように設定してください。
   - FCNnMmCTL レジスタの FCNnMmRDYF ビット，FCNnMmTRQF ビット，FCNnMmDTNF ビットを 0 にクリアします。
   - FCNnMmSTRB.FCNnMmSSAM を 0 にクリアします。

*図20-17「受信中のメッセージ・バッファの再定義」*は，受信メッセージ・バッファでの処理を示しています（FCNnMmSTRB.FCNnMmSSMT[3:0] = 0001_B ～ 1000_B）。



備考1： メッセージの受信が完了したあとでFCNnMmCTL. FCNnMmRDFYを
セットする必要があるため，メッセージを受信中であることを確認してください。

2： 受信メッセージの保存中にメッセージ・バッファが再定義されないように，
CANデータ・ビットの4ビット分をウエイトしてください。

図 20-17 受信中のメッセージ・バッファの再定義

*図20-18「送信中のメッセージ・バッファの再定義」*は，送信中の送信メッセージ・バッファでの処理を示しています（FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000_B）。

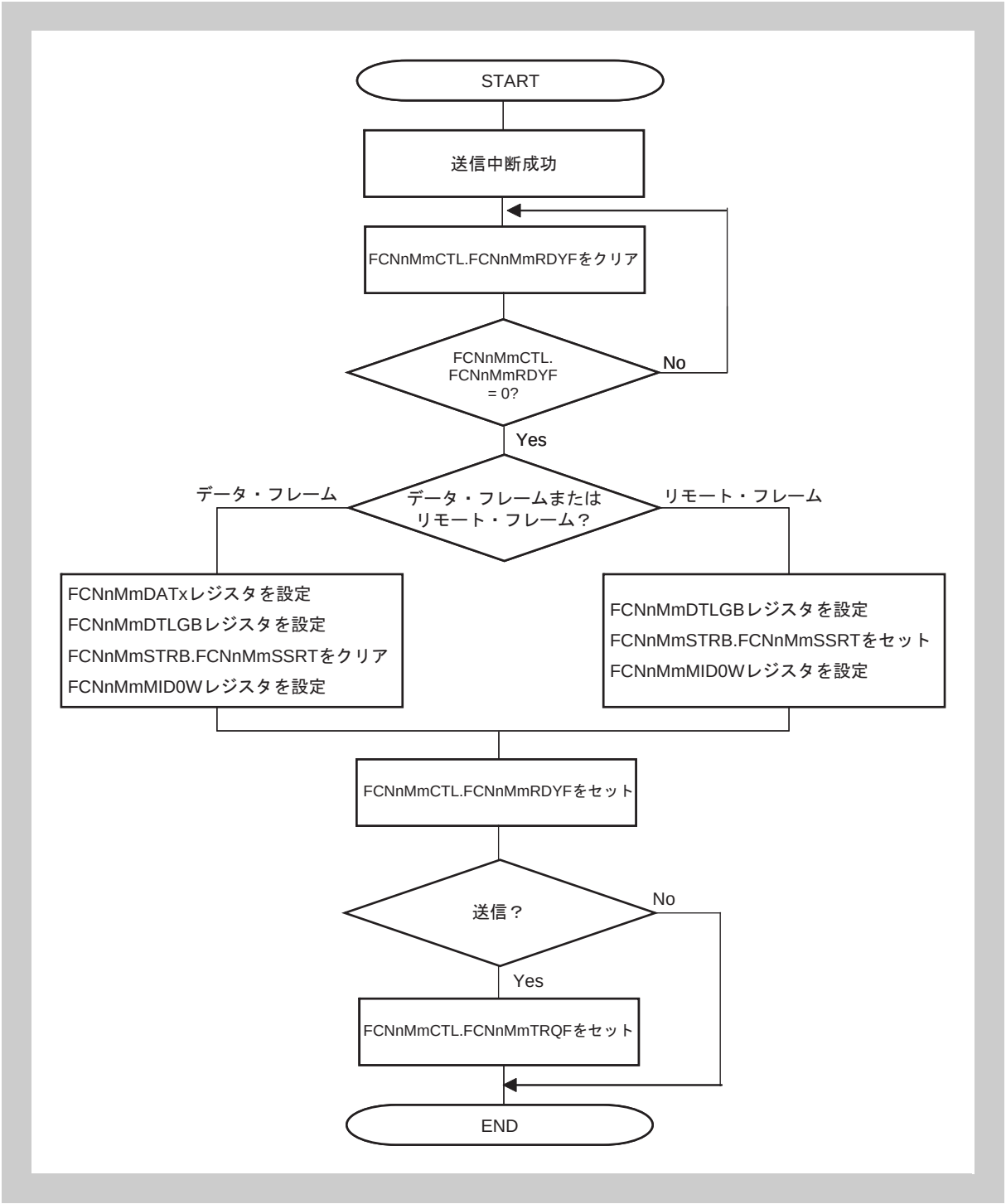


図 20-18　送信中のメッセージ・バッファの再定義

20.14.2 メッセージの送信

*図20-19「メッセージ送信処理」*は，送信メッセージ・バッファでの処理を示しています（FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000_B）。

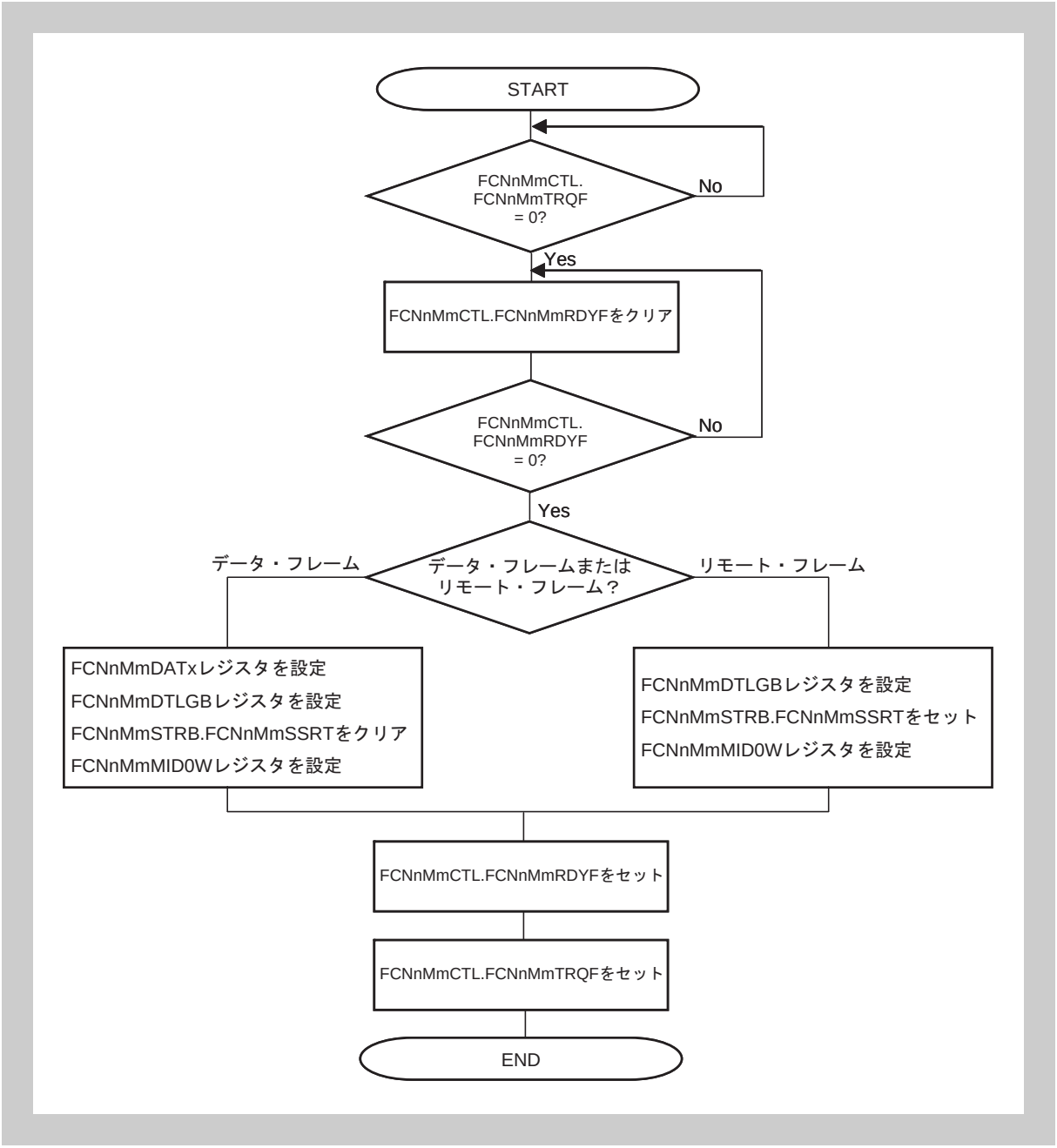


図 20-19 メッセージ送信処理

注意
1. FCNnMmCTL.FCNnMmTRQF をセットする前に FCNnMmCTL.FCNnMmRDYF をセットする必要があります。
2. FCNnMmCTL.FCNnMmRDYF と FCNnMmCTL.FCNnMmTRQF を同時にセットしないでください。

*図20-20「ABT メッセージ送信処理」*は，送信メッセージ・バッファでの処理を示しています（FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000_B）。

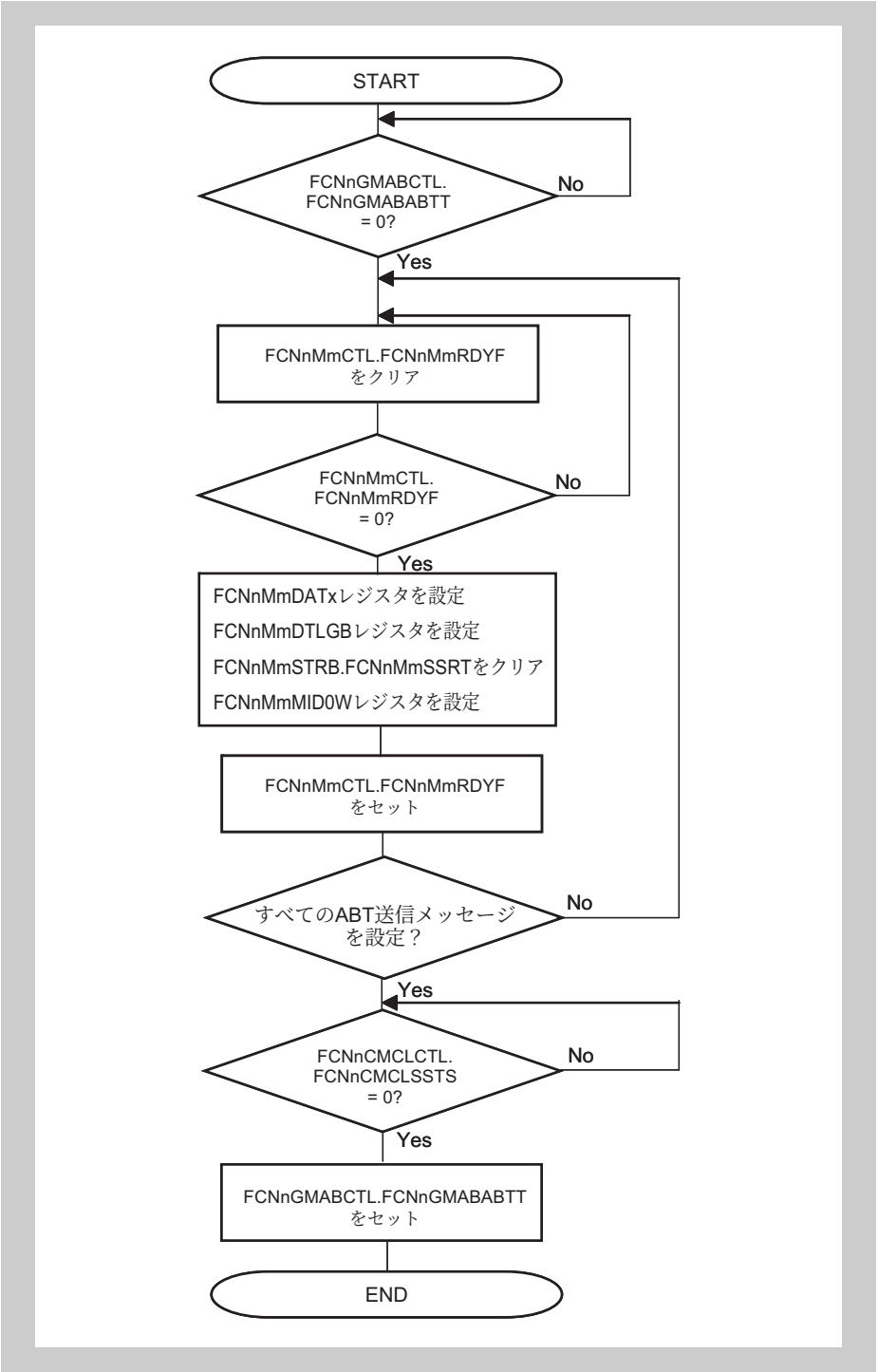


図 20-20 ABT メッセージ送信処理

備考 この処理（ABT 付き通常動作モード）は，ABT モードで利用可能なメッセージ・バッファにのみ適用することができます。ABT メッセージ・バッファ以外のメッセージ・バッファについては，*1153 ページの図20-19「メッセージ送信処理」*を参照してください。

注意 FCNnGMABCTL.FCNnGMABABTT を 1 にセットする前に FCNnCMCLCTL.FCNnCMCLSSTS を 0 にクリアする必要があります。FCNnCMCLCTL.FCNnCMCLSSTS のチェックと，FCNnGMABCTL.FCNnGMABABTT = 1 のセットは，この順に行う必要があります。

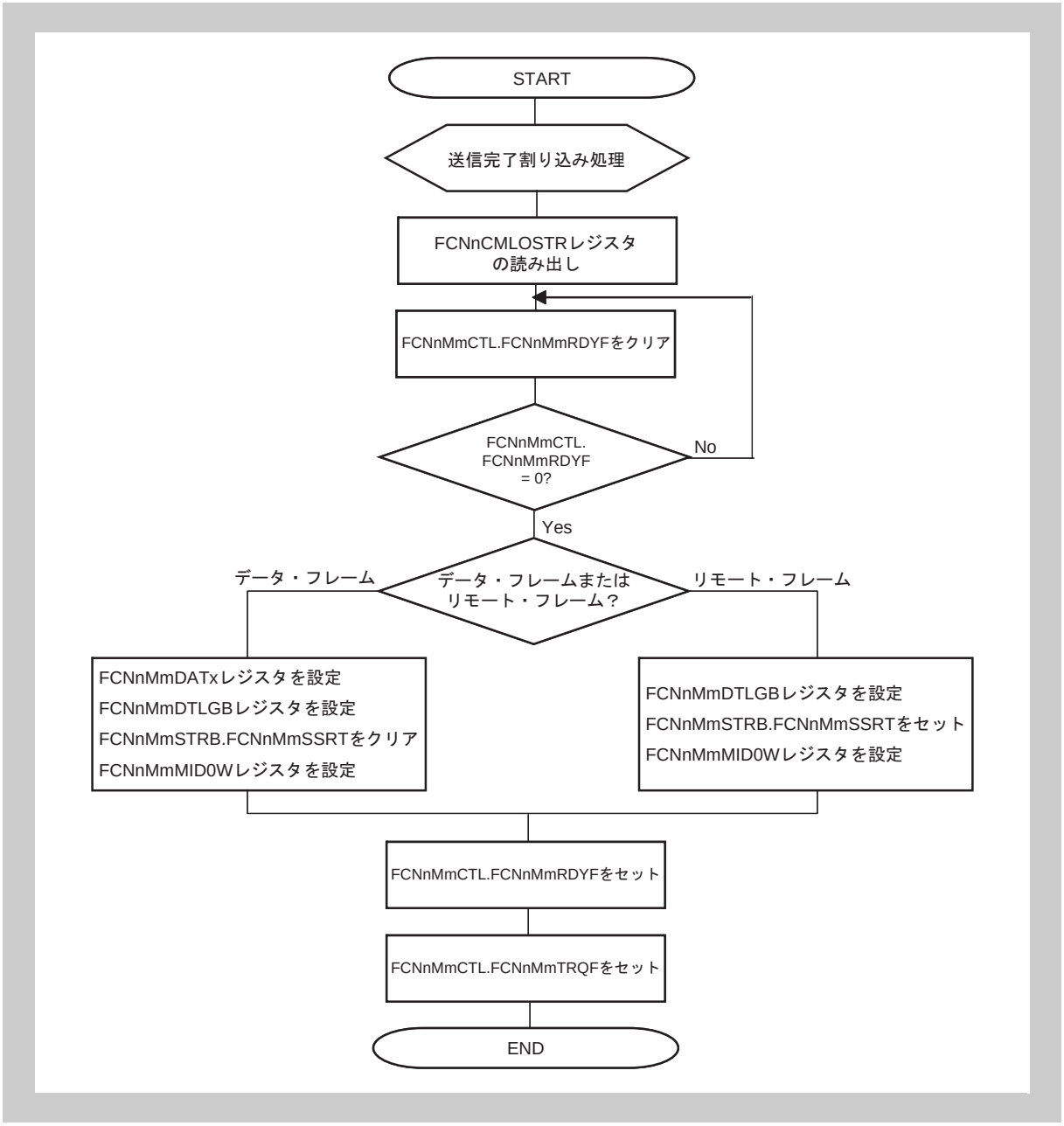


図 20-21 割り込みを利用した送信（FCNnCMLOSTR レジスタを利用）

注意
1. FCNnMmCTL.FCNnMmTRQF をセットする前に FCNnMmCTL.FCNnMmRDYF をセットする必要があります。
2. FCNnMmCTL.FCNnMmRDYF と FCNnMmCTL.FCNnMmTRQF を同時にセットしないでください。

備考 保留中のスリープ・モードが実行されることがあるため，割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで，メッセージ・バッファおよび FCN モジュール送信ヒストリ・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は，FCNnGMCLSSMO を再びセットしてから，処理のアクションと結果を破棄し，再び処理を実行してください。送信割り込みを処理する前に，すべてのスリープ・モード要求をキャンセルすることを推奨します。

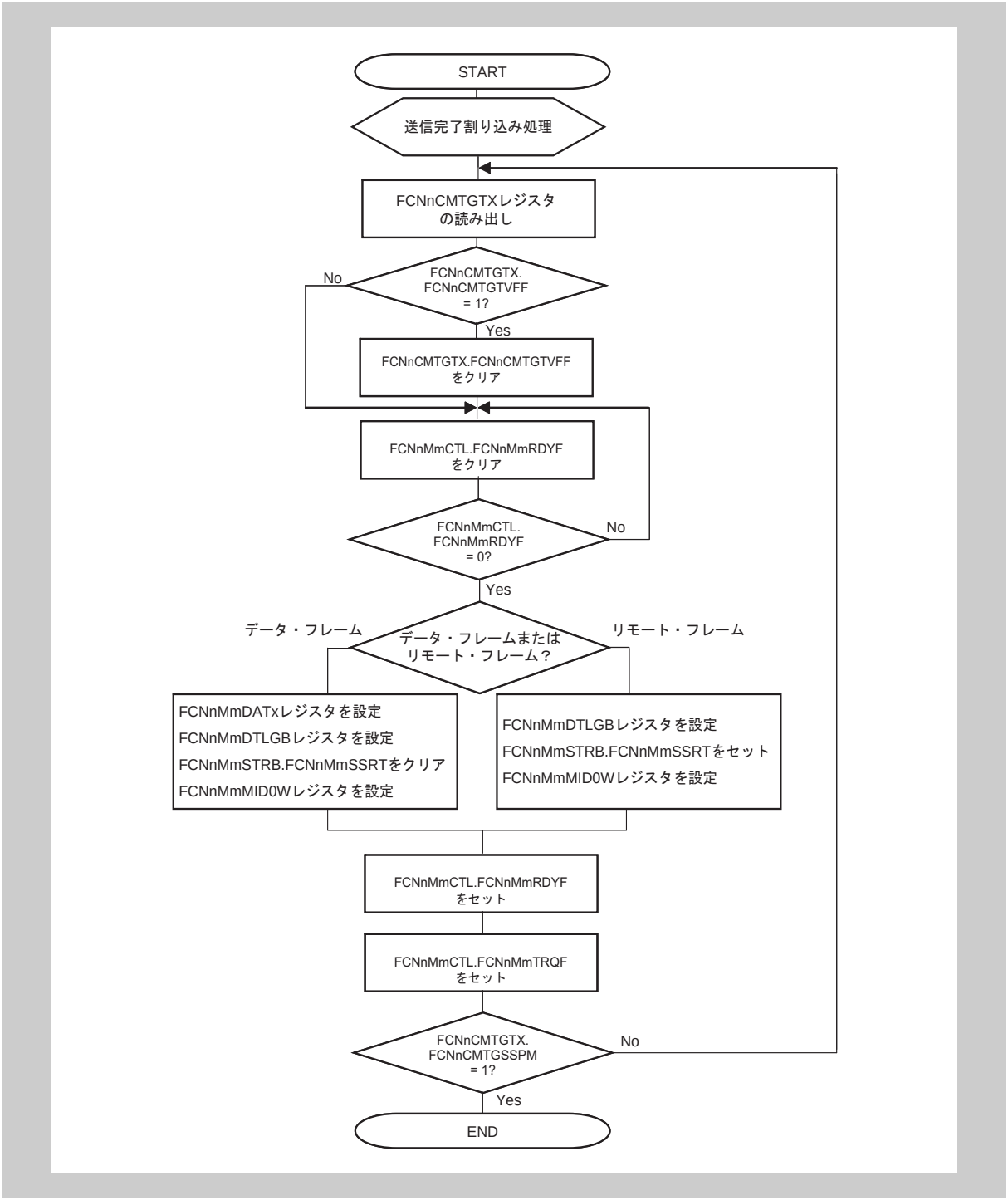


図 20-22 割り込みを利用した送信（FCNnCMTGTX レジスタを利用）

注意
1. FCNnMmCTL.FCNnMmTRQF をセットする前に FCNnMmCTL.FCNnMmRDYF をセットする必要があります。
2. FCNnMmCTL.FCNnMmRDYF と FCNnMmCTL.FCNnMmTRQF を同時にセットしないでください。

備考 1. 保留中のスリープ・モードが実行されることがあるため，割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで，メッセージ・バッファおよび FCN モジュール送信ヒストリ・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は，FCNnGMCLSSMO を再びセットしてから，処理のアクションと結果を破棄し，再び処理を実行してください。
送信割り込みを処理する前に，すべてのスリープ・モード要求をキャンセルすることを推奨します。

2. いったん FCNnCMTGTX.FCNnCMTGTVFF をセットすると，送信ヒストリ・リストの整合性が失われます。設定されているすべての送信バッファを調べて，完了した送信を確認することを検討してください。

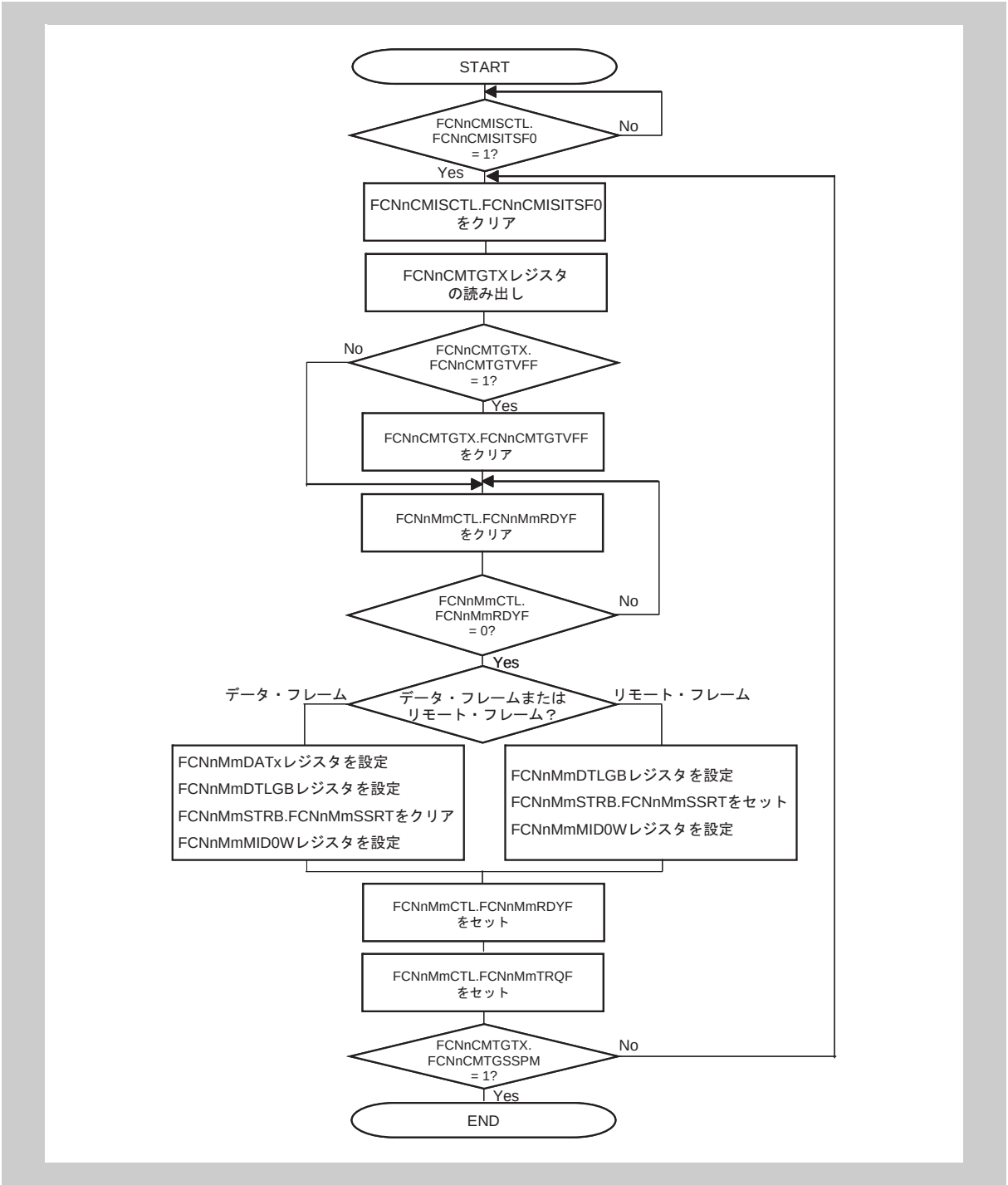


図 20-23 ソフトウェア・ポーリングを利用した送信

注意 1. FCNnMmCTL.FCNnMmTRQF をセットする前に FCNnMmCTL.FCNnMmRDYF をセットする必要があります。

2. FCNnMmCTL.FCNnMmRDYF と FCNnMmCTL.FCNnMmTRQF を同時にセットしないでください。

備考 1. 保留中のスリープ・モードが実行されることがあるため，ポーリング・ルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで，メッセージ・バッファおよび FCN モジュール送信ヒストリ・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は，FCNnGMCLSSMO を再びセットしてから，処理のアクションと結果を破棄し，再び処理を実行してください。

2. いったん FCNnCMTGTX.FCNnCMTGTVFF をセットすると，送信ヒストリ・リストの整合性が失われます。設定されているすべての送信バッファを調べて，完了した送信を確認することを検討してください。

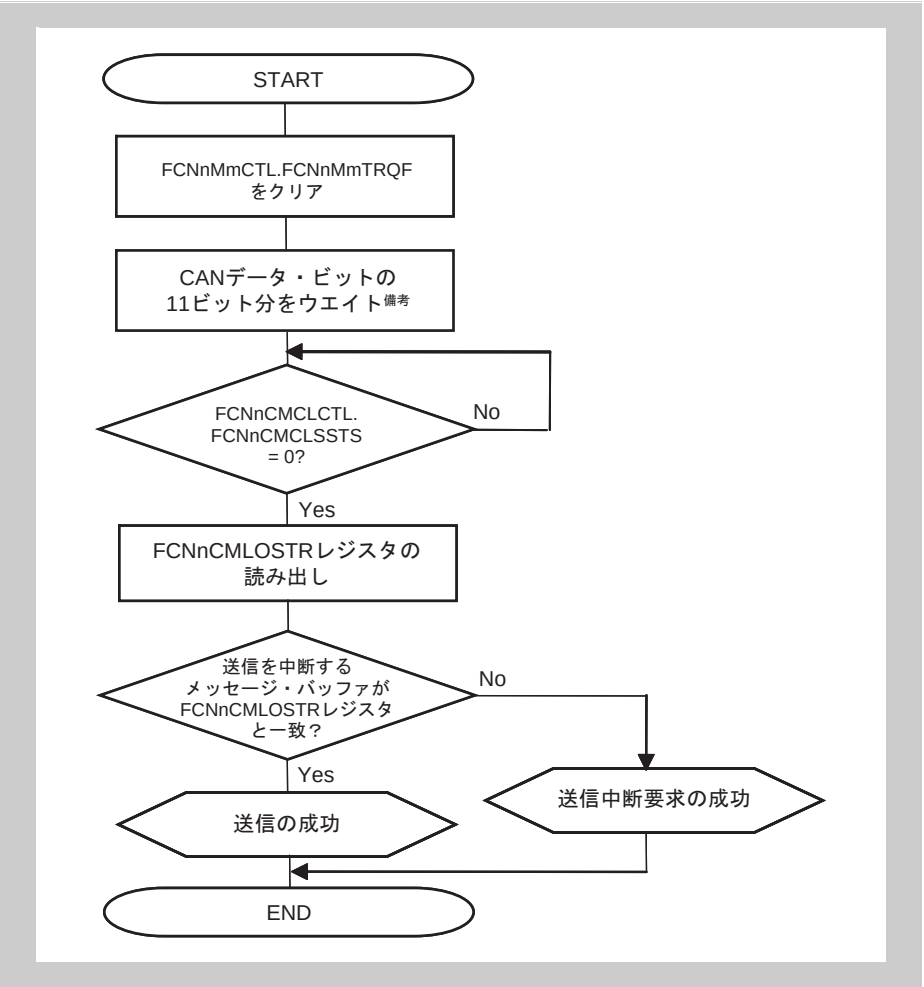


図 20-24 送信中断処理（ABT 付き通常動作モードの実行中を除く）

備考 プロトコル・レイヤへの送信要求がインターフレーム・スペース（3 ビット）と送信停止処理（8 ビット）を足した 11 ビットの間にすでに承認されている可能性があるため，FCNnMmCTL.FCNnMmTRQF がクリアされていても，送信が中断されず，開始される可能性があります。

注意
1. 送信中断を要求するには，FCNnMmCTL.FCNnMmRDYF ではなく，FCNnMmCTL.FCNnMmTRQF をクリアしてください。
2. スリープ・モードへの移行要求を発行する前に，この処理を利用する送信要求が残っていないことを確認してください。
3. FCNnCMCLCTL.FCNnCMCLSSTS は，ユーザ・アプリケーションによって定期的にチェックすることも，送信完了割り込み後にチェックすることもできます。
4. 送信中断処理の実行中に，ほかのメッセージ・バッファでの送信も含めて，新しい送信要求を実行しないでください。

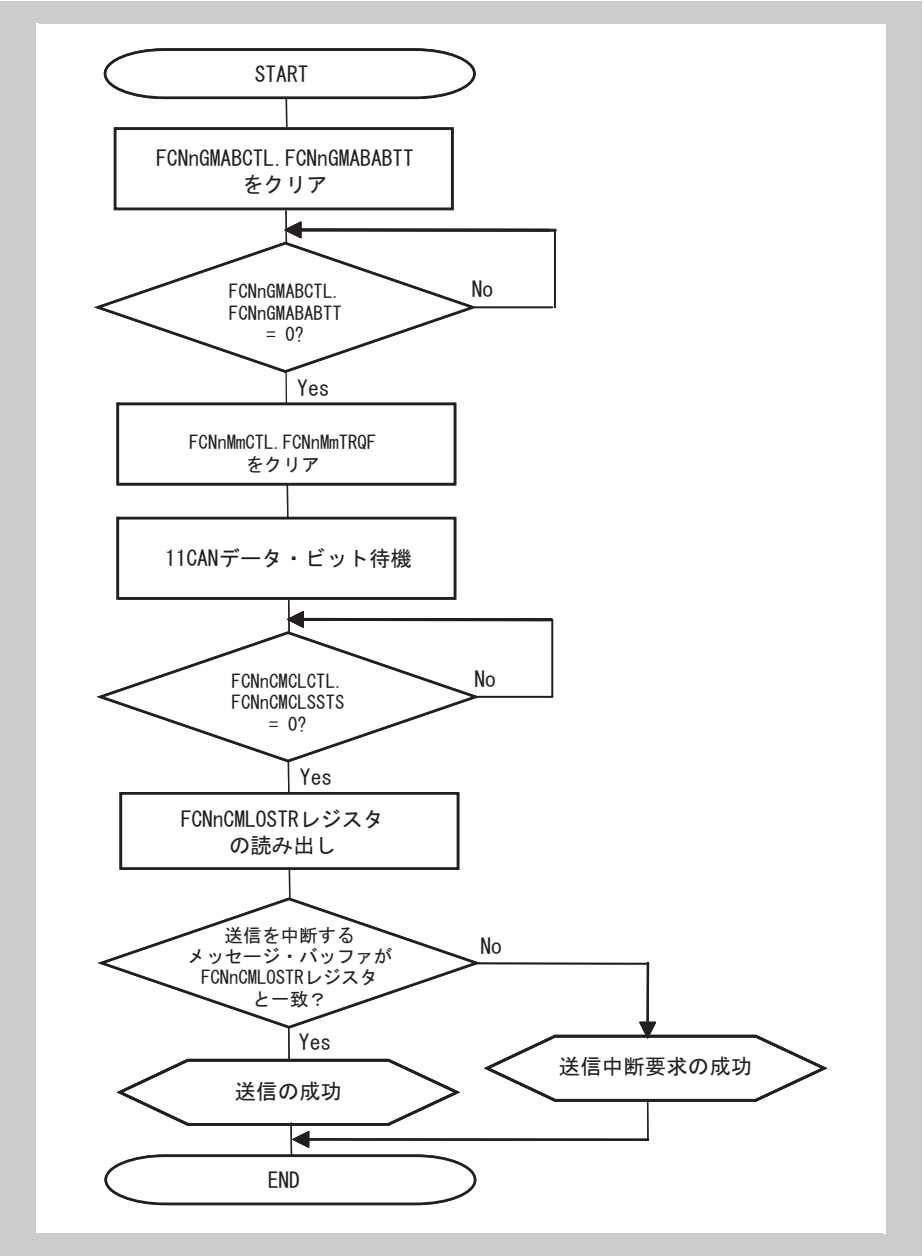


図 20-25 ABT 送信以外の送信中断処理（ABT 付き通常動作モードの実行中）

注意

1. 送信中断を要求するには，FCNnMmCTL.FCNnMmRDYF ではなく，FCNnMmCTL.FCNnMmTRQF をクリアしてください。
2. スリープ・モードへの移行要求を発行する前に，この処理を利用する送信要求が残っていないことを確認してください。
3. FCNnCMCLCTL.FCNnCMCLSSTS は，ユーザ・アプリケーションによって定期的にチェックすることも，送信完了割り込み後にチェックすることもできます。
4. 送信中断処理の実行中に，ほかのメッセージ・バッファでの送信も含めて，新しい送信要求を実行しないでください。

備考 プロトコル・レイヤへの送信要求がインターフレーム・スペース（3 ビット）と送信停止処理（8 ビット）を足した 11 ビットの間にすでに承認されている可能性があるため，FCNnMmCTL.FCNnMmTRQF がクリアされていても，送信が中断されず，開始される可能性があります。

*図 20-26「ABT 送信要求中断処理（ABT 付き通常動作モードの実行中）(1)」*は，ABT メッセージ・バッファの送信が中断されたときに中断されたメッセージ送信の再開をスキップしない処理を示しています。

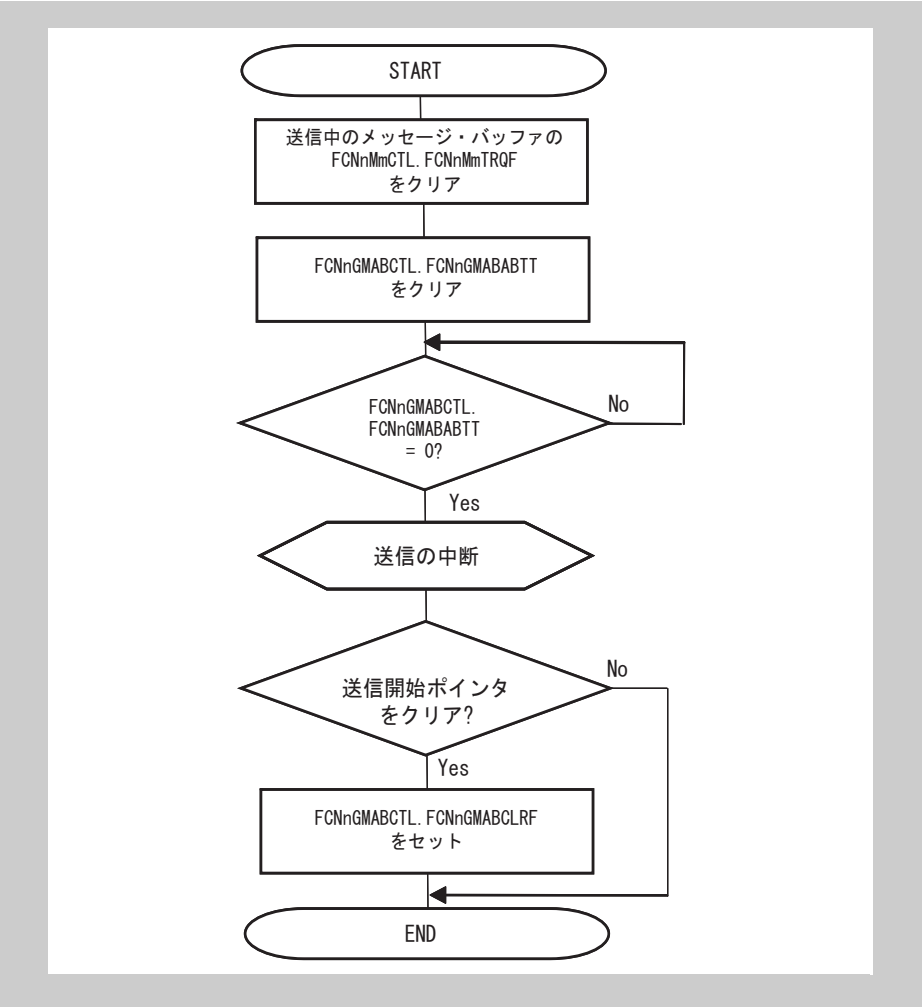


図 20-26 ABT 送信要求中断処理（ABT 付き通常動作モードの実行中）(1)

注意

1. ABT 送信中断処理の実行中に送信要求を設定しないでください。
2. FCN スリープ・モード／FCN ストップ・モードへの移行要求は，*図20-26「ABT 送信要求中断処理（ABT 付き通常動作モードの実行中）(1)」*または*図20-27「ABT 送信要求中断処理（ABT 付き通常動作モードの実行中）(2)」*の手順に従って FCNnGMABCTL.FCNnGMABABTT をクリアしたあと（ABT モードを中断したあと）で発行してください。ABT 領域以外の領域で送信要求をクリアする場合は，*1160 ページの図20-24「送信中断処理（ABT 付き通常動作モードの実行中を除く）」*の手順に従ってください。

*図20-27「ABT 送信要求中断処理（ABT 付き通常動作モードの実行中）(2)」*は，ABT メッセージ・バッファの送信が中断されたときに中断されたメッセージ送信の再開をスキップする処理を示しています。

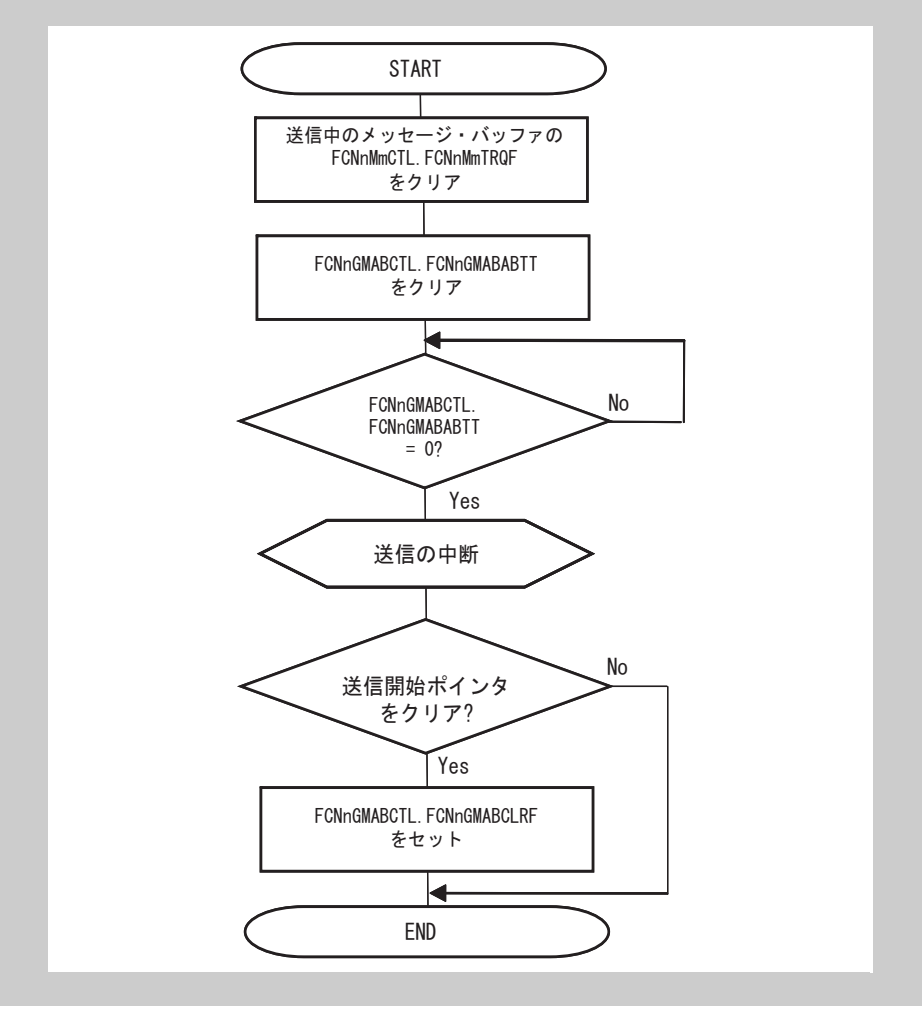


図 20-27 ABT 送信要求中断処理（ABT 付き通常動作モードの実行中）(2)

注意
1. ABT 送信中断処理の実行中に送信要求を設定しないでください。
2. FCN スリープ・モード／FCN ストップ・モードへの移行要求は，*図20-26「ABT 送信要求中断処理（ABT 付き通常動作モードの実行中）(1)」*または*図20-27「ABT 送信要求中断処理（ABT 付き通常動作モードの実行中）(2)」*の手順に従って FCNnGMABCTL.FCNnGMABABTT をクリアしたあと（ABT モードを中断したあと）で発行してください。ABT 領域以外の領域で送信要求をクリアする場合は，*1160 ページの図20-24「送信中断処理（ABT 付き通常動作モードの実行中を除く）」*の手順に従ってください。

*図20-28「送信完了フラグを利用した ABT 送信要求中断処理（ABT 付き通常動作モード）」*は，送信中断機能（送信完了フラグ）を利用した ABT モードの処理を示しています。「送信中断の成功」というボックスは，ABT メッセージ・バッファ内の FCNnMmTCPF フラグをチェックすることによって成功した状態を示しています。

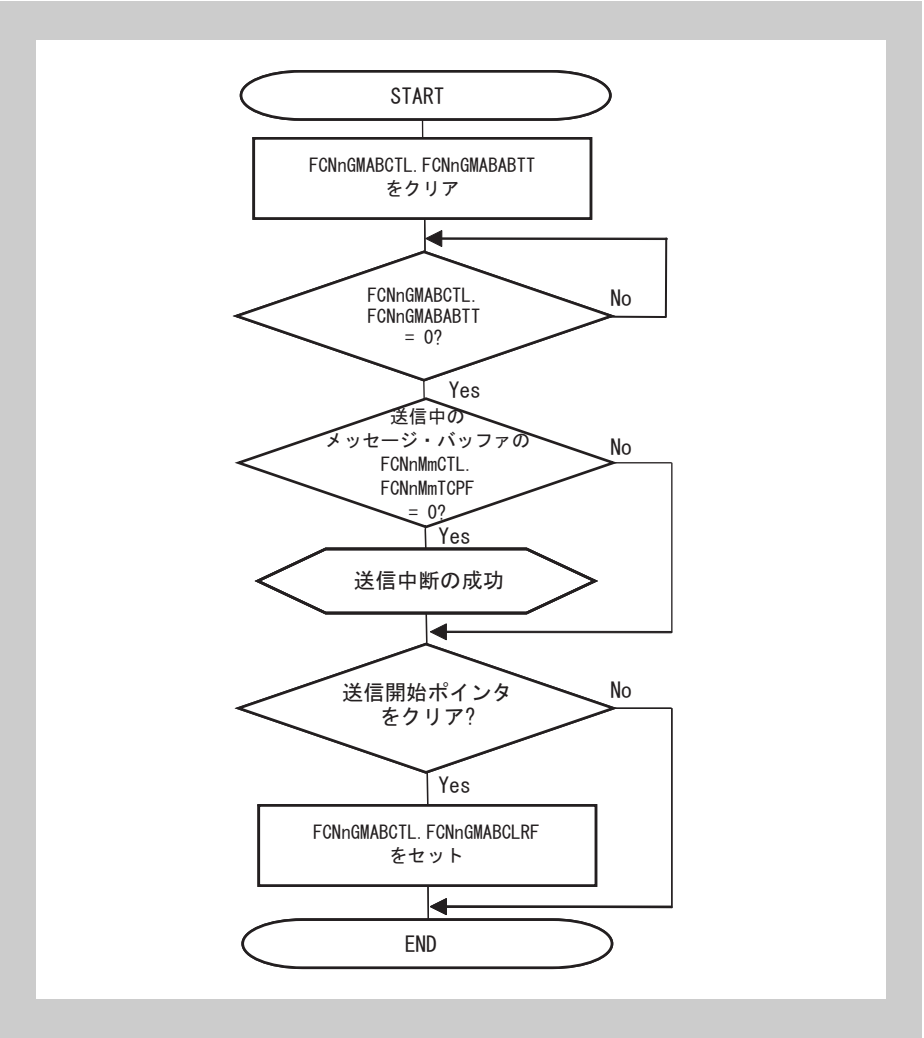


図 20-28 送信完了フラグを利用した ABT 送信要求中断処理（ABT 付き通常動作モード）

注意 1. ABT 送信中断処理の実行中に送信要求を設定しないでください。

2. FCN スリープ・モード／FCN ストップ・モードへの移行要求は，*図20-26「ABT 送信要求中断処理（ABT 付き通常動作モードの実行中）(1)」*または*図20-27「ABT 送信要求中断処理（ABT 付き通常動作モードの実行中）(2)」*の手順に従って FCNnGMABCTL.FCNnGMABABTT をクリアしたあと（ABT モードを中断したあと）で発行してください。ABT 領域以外の領域で送信要求をクリアする場合は，*1160 ページの図20-24「送信中断処理（ABT 付き通常動作モードの実行中を除く）」*の手順に従ってください。

備考 ABT 送信中断処理が成功したにもかかわらず，すべての ABT が完全に送信されることがあります。その場合は，どのメッセージの送信が完了したかを調べることができます。

*図20-29「送信中断割り込みと送信完了フラグによる送信中断処理」*は，送信中断機能（送信完了フラグ）を利用した処理を示しています。

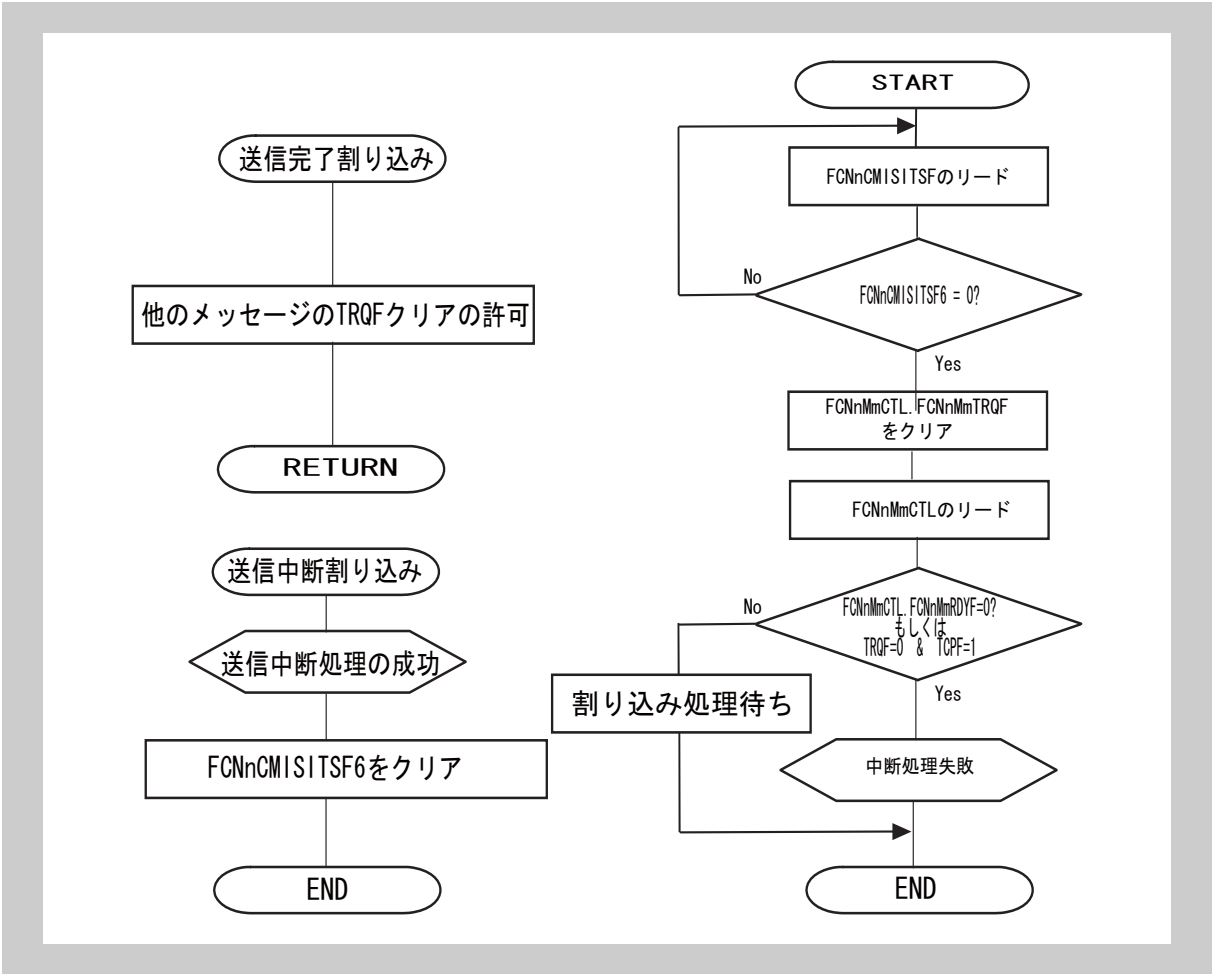


図 20-29 送信中断割り込みと送信完了フラグによる送信中断処理

備考 FCNnMmRDYF=0 の判定は，割り込みによる送信完了処理中に FCNnMmRDYF がクリアされるケースを考慮したものです。

注意

1. 送信中断処理は，FCNnMmRDYF をクリアして実行するのではなく，FCNnMmTRQF のクリアにより実行してください。
2. スリープ要求を行う場合は，本フローにより送信要求が完全になくなったことを確認したあとに行ってください。
3. 送信完了割り込み処理などにより，送信中断処理を実行中に対象となるメッセージの更新 (FCNnMmRDYF，FCNnMmTRQF セット) が行われないようにしてください。
4. 送信中断処理を実行中に，他のメッセージ・バッファの FCNnMmTRQF のクリアを行わないでください。
5. 送信中断処理後に元の ID より優先順位の低い ID を設定する場合には，FCNnMmTRQF のクリア後 1 フレーム分以上の時間を空けてから 送信要求を行ってください。
6. FCNnMmTRQF と FCNnMmTCPF の読み出しは必ず一度で行ってください。

*図 20-30「送信完了フラグによる送信中断処理」*は，送信中断機能（送信完了フラグ FCNnMmTCPF）を利用した処理を示しています。

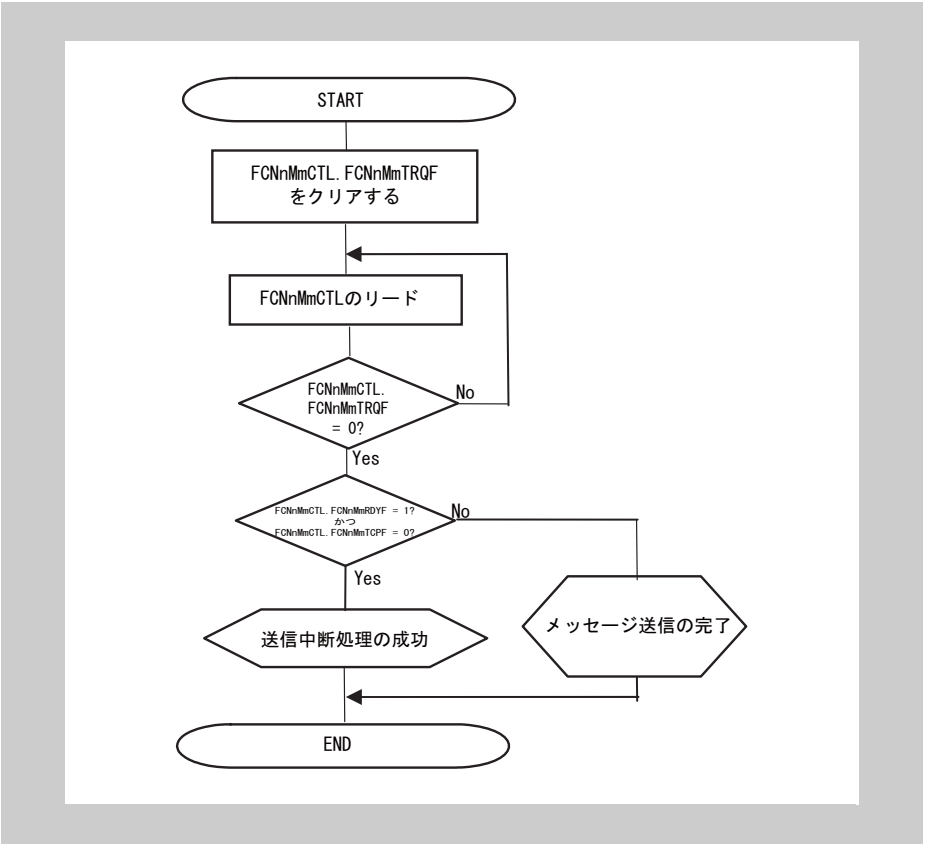


図 20-30 送信完了フラグによる送信中断処理

備考 FCNnMmRDYF=1 の判定は，割り込みによる送信完了処理中に FCNnMmRDYF がクリアされるケースを考慮したものです。

注意

1. 送信中断処理は，FCNnMmRDYF をクリアして実行するのではなく，FCNnMmTRQF のクリアにより実行してください。
2. スリープ要求を行う場合は，本フローにより送信要求が完全になくなったことを確認したあとに行ってください。
3. 送信完了割り込み処理などにより，送信中断処理を実行中に対象となるメッセージの更新 (FCNnMmRDYF，FCNnMmTRQF セット) が行われないようにしてください。
4. 送信中断処理後に元の ID より優先順位の低い ID を設定する場合には，FCNnMmTRQF のクリア後 1 フレーム分以上の時間を空けてから 送信要求を行ってください。
5. FCNnMmTRQF と FCNnMmTCPF の読み出しは必ず一度で行ってください。

20.14.3 メッセージの受信

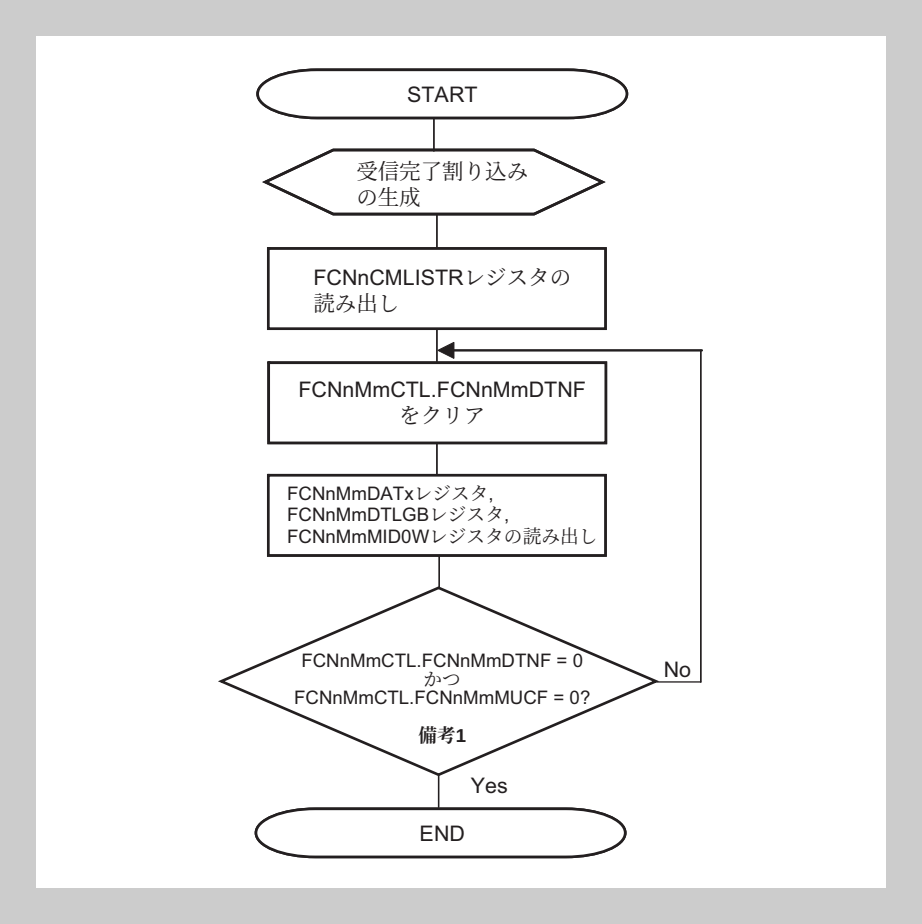


図 20-31 割り込みを利用した受信（FCNnCMLISTR レジスタを利用）

備考 1. 1 回の読み出しアクセスで FCNnMmCTL.FCNnMmMUCF ビットと FCNnMmCTL.FCNnMmDTNF ビットをチェックしてください。

2. 保留中のスリープ・モードが実行されることがあるため，割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで，メッセージ・バッファおよび FCN モジュール受信ヒストリ・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は，FCNnGMCLSSMO を再びセットしてから，処理のアクションと結果を破棄し，再び処理を実行してください。
受信割り込みを処理する前に，すべてのスリープ・モード要求をキャンセルすることを推奨します。

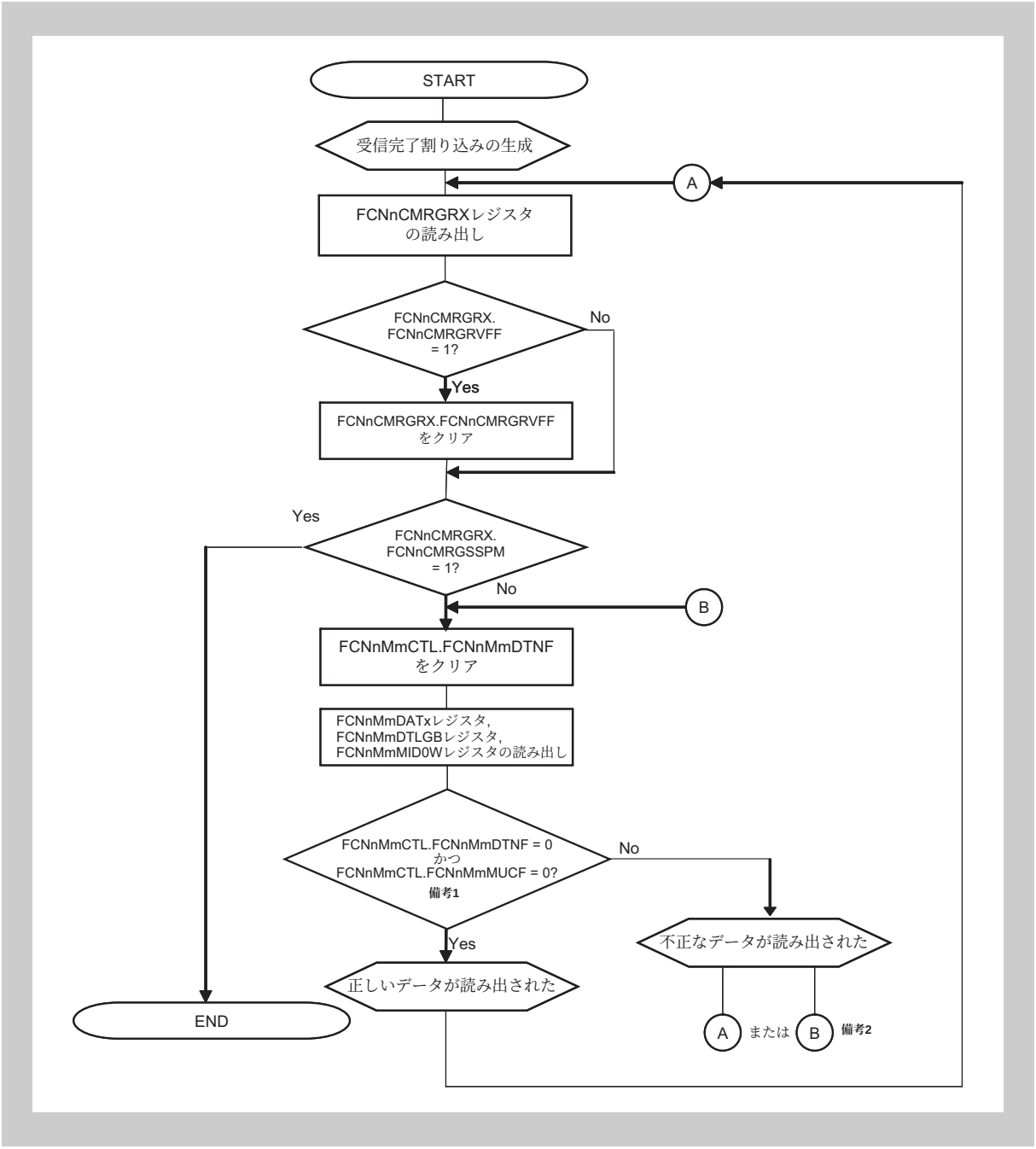


図 20-32　割り込みを利用した受信（FCNnCMRGRX レジスタを利用）

備考　1. 1 回の読み出しアクセスで FCNnMmCTL.FCNnMmMUCF ビットと FCNnMmCTL.FCNnMmDTNF ビットをチェックしてください。

2. アプリケーションの処理対象によって 2 つの方法があります。
   - 方法 A：次の受信割り込みでメッセージが処理される最も遅いタイミングによっては，現在のパスではなく，次のパスでメッセージが処理されます。ほかのメッセージはその前に処理されます。
   - 方法 B：現在のパスでメッセージが処理され，現在のメッセージでループが待機状態に入ります。
     ほかのメッセージは，あとで処理されます。

3. 保留中のスリープ・モードが実行されることがあるため，割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで，メッセージ・バッファおよび FCN モジュール受信ヒストリ・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は，FCNnGMCLSSMO を再びセットしてから，処理のアクションと結果を破棄し，再び処理を実行してください。
受信割り込みを処理する前に，すべてのスリープ・モード要求をキャンセルすることを推奨します。
4. いったん FCNnCMRGRX.FCNnCMRGRVFF をセットすると，受信ヒストリ・リストの整合性が失われます。設定されているすべての受信バッファを調べて，受信を確認することを検討してください。
5. *図 20-32「割り込みを利用した受信（FCNnCMRGRX レジスタを利用）」*の方法は，代わりに*図 20-33「割り込みを利用した受信（FCNnCMRGRX レジスタを利用）の別の方法」*の方法を利用することができます。

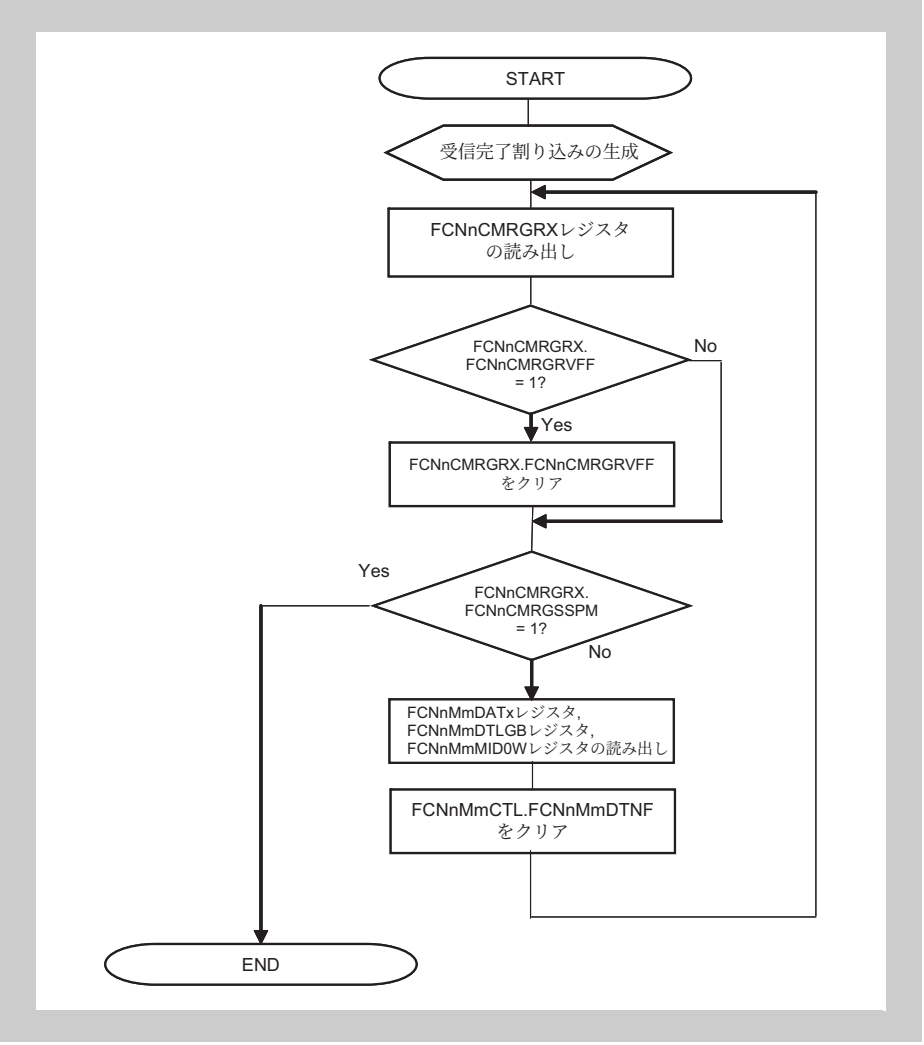


図 20-33 割り込みを利用した受信（FCNnCMRGRX レジスタを利用）の別の方法

備考 1. 保留中のスリープ・モードが実行されることがあるため，割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで，メッセージ・バッファおよび FCN モジュール受信ヒストリ・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は，FCNnGMCLSSMO を再びセットしてから，処理のアクションと結果を破棄し，再び処理を実行してください。
受信割り込みを処理する前に，すべてのスリープ・モード要求をキャンセルすることを推奨します。

2. いったん FCNnCMRGRX.FCNnCMRGRVFF をセットすると，受信ヒストリ・リストの整合性が失われます。設定されているすべての受信バッファを調べて，受信を確認することを検討してください。

3. このフローを利用する場合，アプリケーションは最新の受信データを取得できません。ただし，処理量が少ないため，割り込み負荷が軽減されます。

4. このフローで上書き機能（FCNnMmSTRB.FCNnMmSSOW=1）を使用しないでください。使用した場合は，データの整合性が失われる可能性があります。

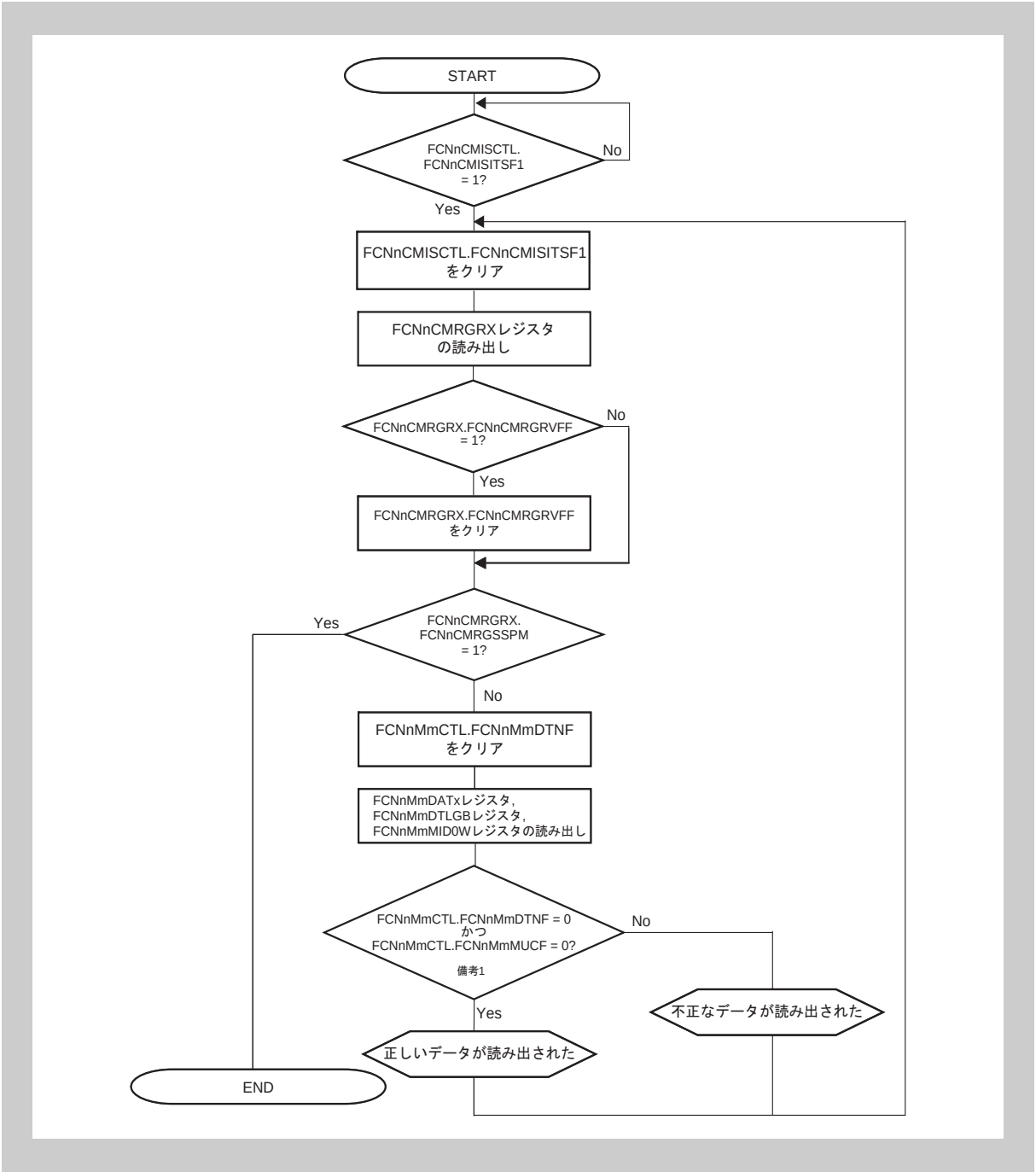


図 20-34 ソフトウェア・ポーリングを利用した受信

備考 1. 1 回の読み出しアクセスで FCNnMmCTL.FCNnMmMUCF ビットと FCNnMmCTL.FCNnMmDTNF ビットをチェックしてください。

2. 保留中のスリープ・モードが実行されることがあるため，ポーリング・ルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで，メッセージ・バッファおよび FCN モジュール受信ヒストリ・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は，FCNnGMCLSSMO を再びセットしてから，処理のアクションと結果を破棄し，再び処理を実行してください。

3. いったん FCNnCMRGRX.FCNnCMRGRVFF をセットすると，受信ヒストリ・リストの整合性が失われます。設定されているすべての受信バッファを調べて，受信を確認することを検討してください。

20.14.4 パワー・セーブ・モード

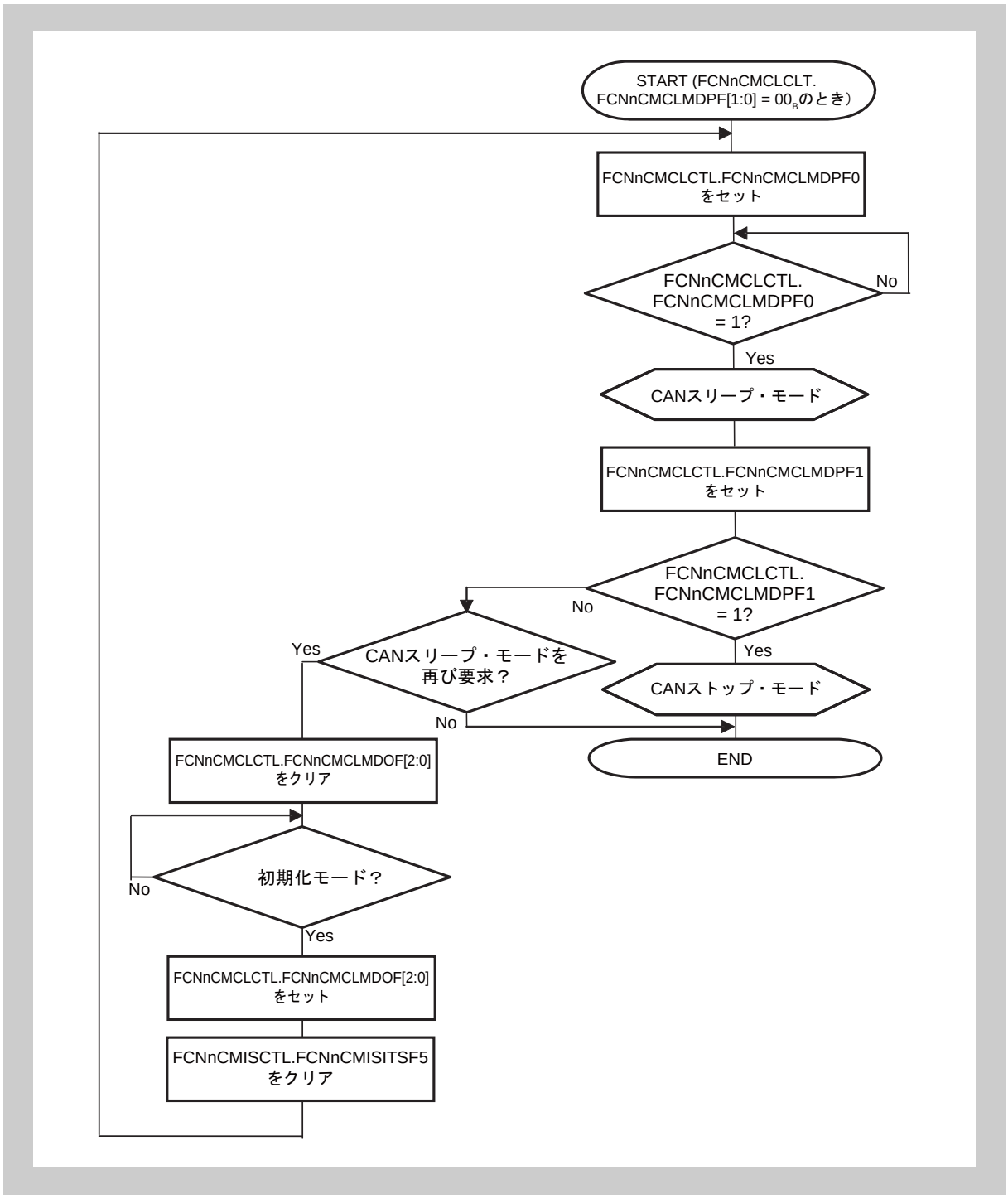


図 20-35 FCN スリープ・モード／ストップ・モードの設定

注意 FCN スリープ・モードへの移行要求を発行する前に送信を中断するには，前に示したフローチャートに従って送信中断処理を実行してください。

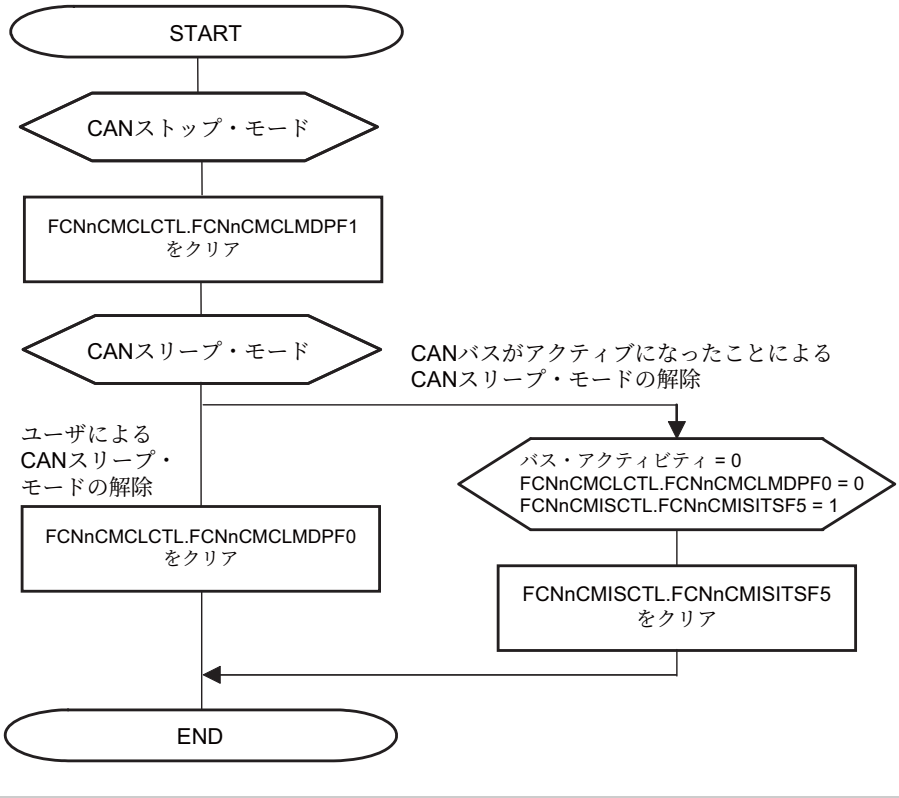


図 20-36 FCN スリープ／ストップ・モードの解除

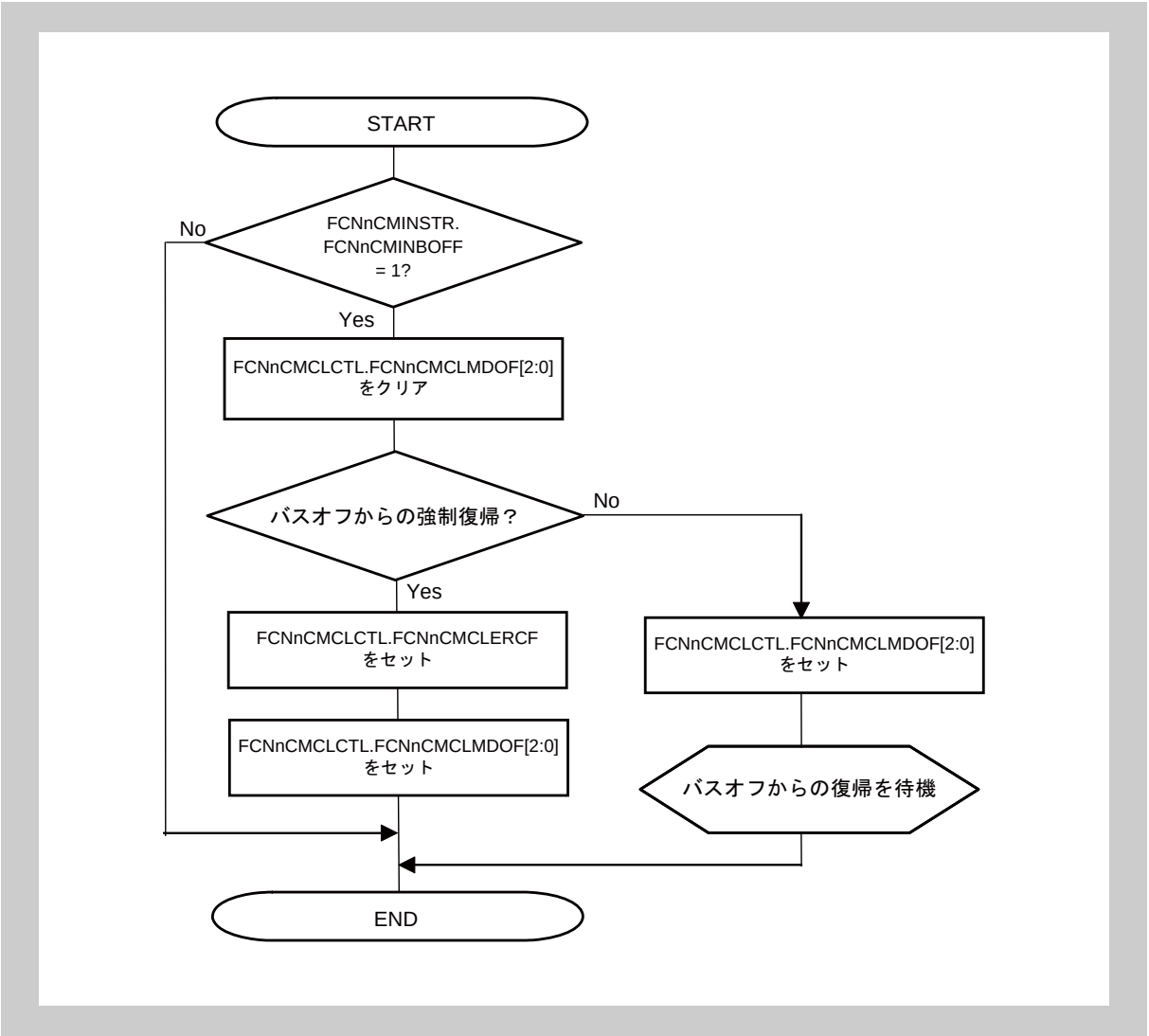


図 20-37 バスオフからの復帰

注意 バスオフ復帰シーケンス中に初期化モードからいずれかの動作モードへの移行要求が発行され，再びバスオフ復帰シーケンスが実行されると，受信エラー・カウンタがクリアされます。
したがって，連続する 11 個のリセッシブ・レベル・ビットを再びバス上で 128 回検出する必要があります。

備考 動作モード：通常動作モード，ABT 付き通常動作モード，受信オンリー・モード，シングル・ショット・モード，セルフ・テスト・モード

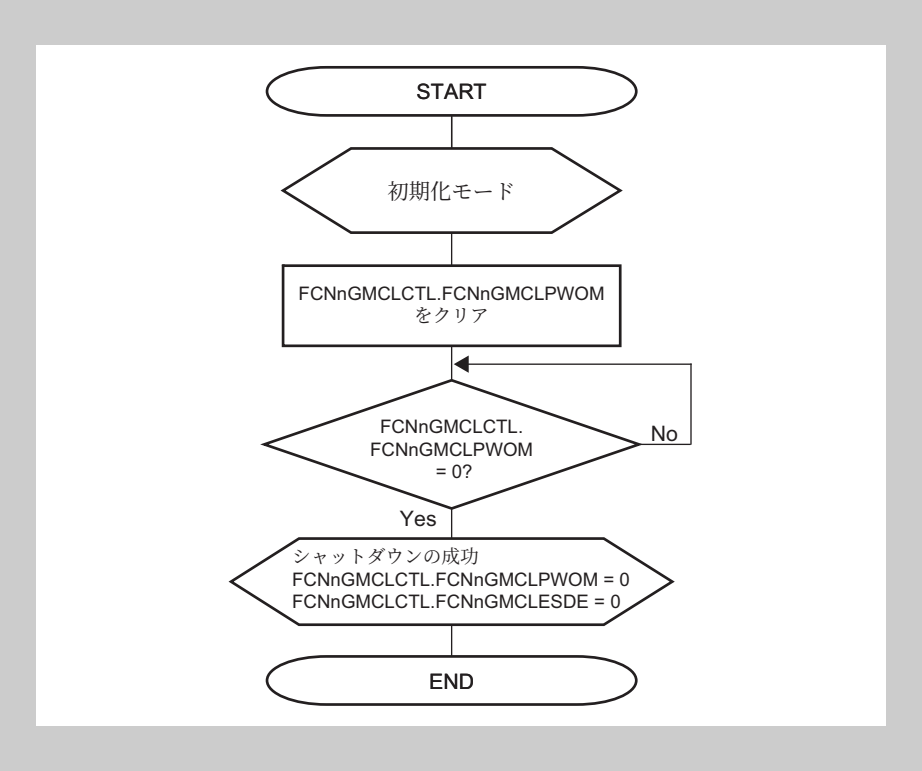


図 20-38 通常のシャットダウン処理

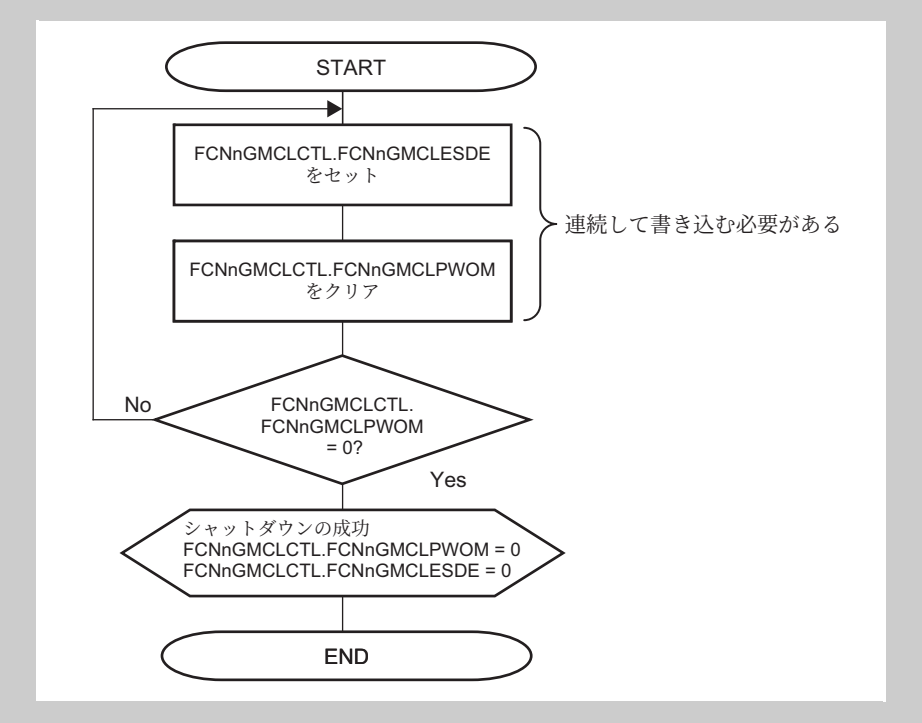


図 20-39 強制シャットダウン処理

注意 FCNnGMCLESDE ビットをセットしてから FCNnGMCLPWOM ビットをクリアするまでの間は，いずれのレジスタへもソフトウェアによる読み出しアクセスまたは書き込みアクセスを行わないでください。

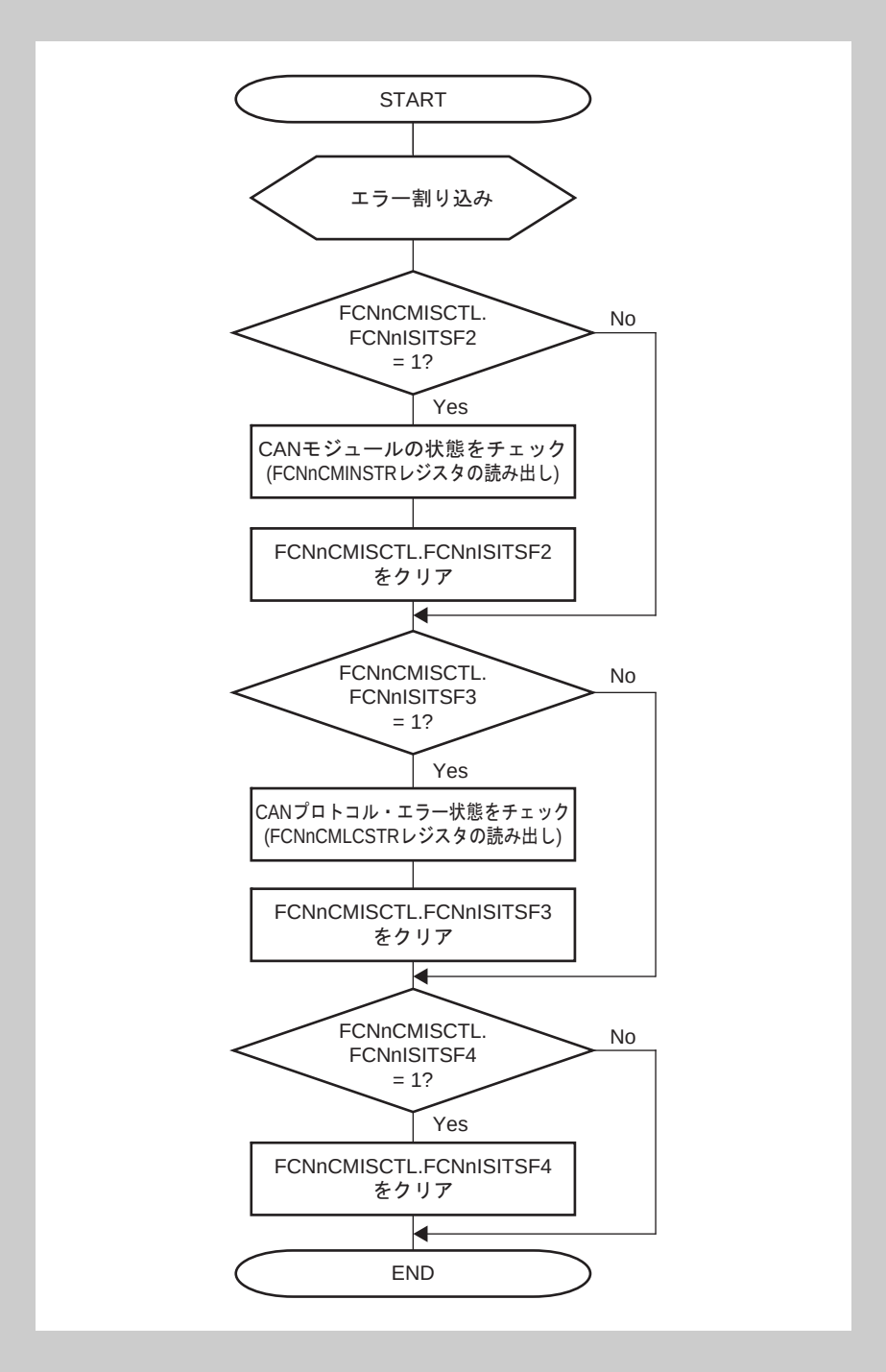

START
エラー割り込み
FCNnCMISCTL.
FCNnISITSF2
= 1?
No
Yes
CANモジュールの状態をチェック
(FCNnCMINSTRレジスタの読み出し)
FCNnCMISCTL.FCNnISITSF2
をクリア
FCNnCMISCTL.
FCNnISITSF3
= 1?
No
Yes
CANプロトコル・エラー状態をチェック
(FCNnCMLCSTRレジスタの読み出し)
FCNnCMISCTL.FCNnISITSF3
をクリア
FCNnCMISCTL.
FCNnISITSF4
= 1?
No
Yes
FCNnCMISCTL.FCNnISITSF4
をクリア
END

図 20-40 エラー処理

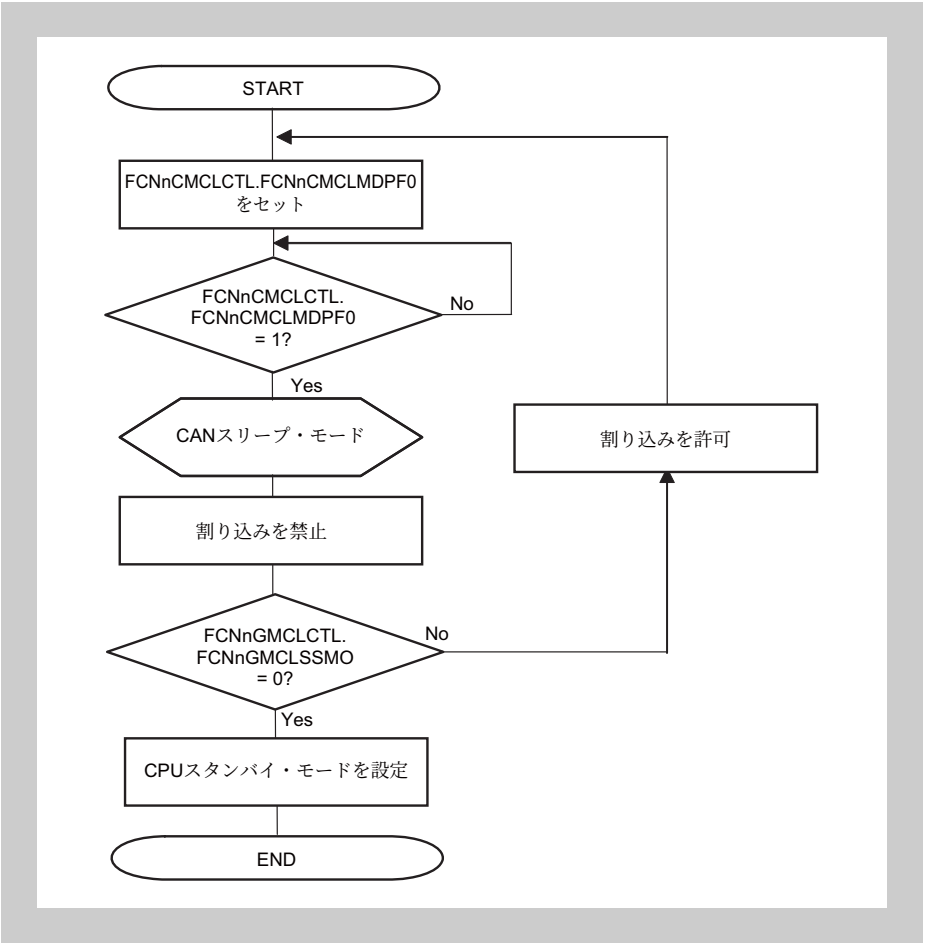


図 20-41 CPU スタンバイの設定（FCN スリープ・モードから）

備考 1. CPU を CPU スタンバイ・モードに設定する前に，FCN スリープ・モードに入っているかどうかをチェックしてください。
ただし，FCN スリープ・モードをチェックすると，CPU が CPU スタンバイ・モードに設定されるまで，CAN バスからのウェイクアップによって FCN スリープ・モードがキャンセルされる可能性があります。

2. FCNnGMCLSSMO = 0 をチェックしてから CPU スタンバイ・モードを設定するまでの間に，CAN バス上でウェイクアップ状態が発生する可能性があります。その場合は，CAN モジュールがスリープ・モードを解除し，FCNnCMISITSF5 ビットがセットされ，割り込みが許可されていればウェイクアップ割り込みが発生します。

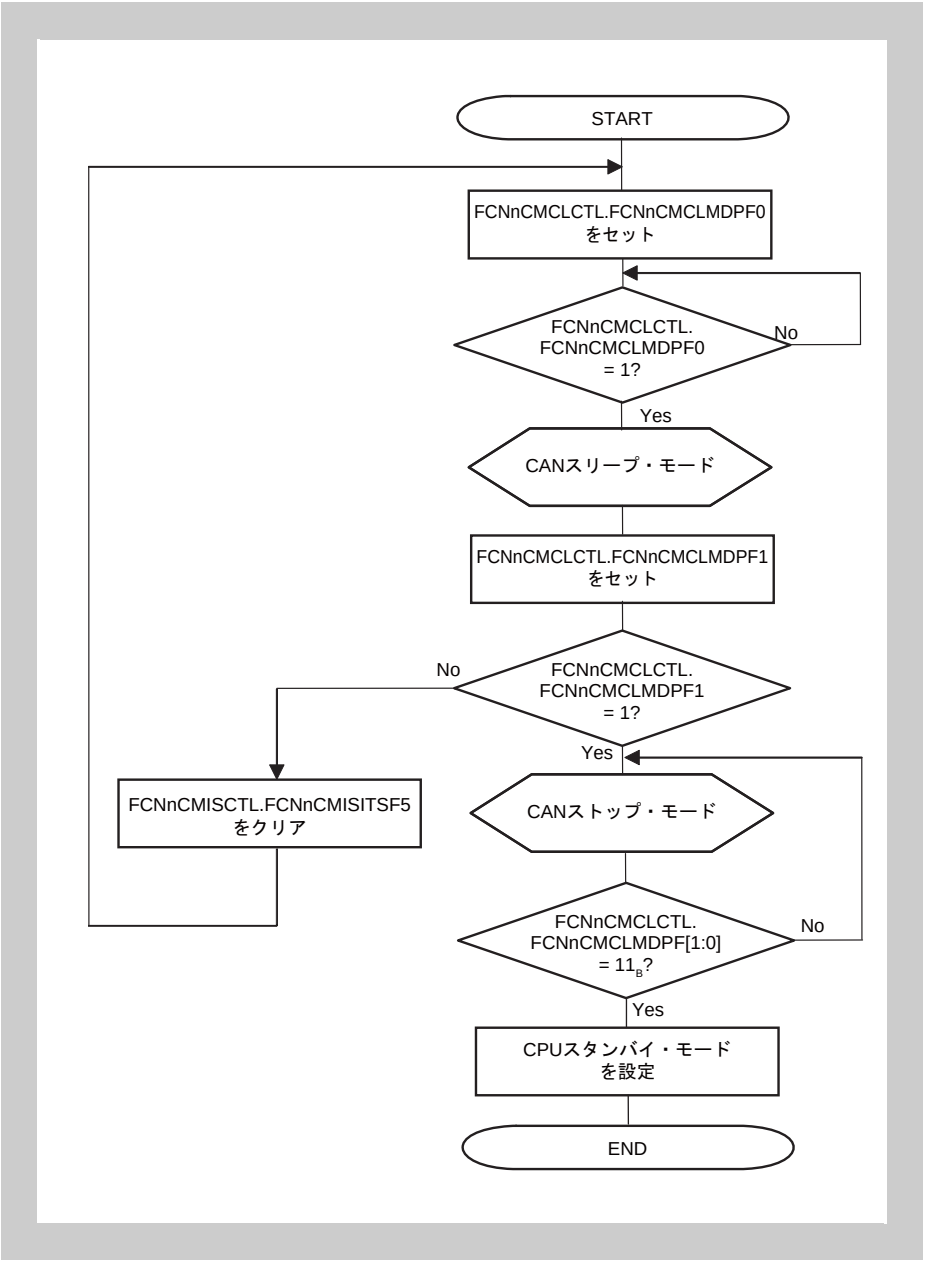


図 20-42 CPU スタンバイの設定（FCN ストップ・モードから）

注意 FCN ストップ・モードは，FCNnCMCLCTL.FCNnCMCLMDPF[1:0] を 01_B に設定することによってのみ解除することができます。FCN バスの状態の変化によって FCN ストップ・モードが解除されることはありません。

第 21 章　クロック同期シリアル・インタフェース G（CSIG）

この章では，クロック同期シリアル・インタフェース G（CSIG）について説明します。

21.1　CSIG の特徴

チャネル数　この製品は 2 チャネルのクロック同期シリアル・インタフェース G を搭載しています。

表 21-1　CSIG のチャネル

クロック同期シリアル・インタフェース G	
チャネル数	2
名称	CSIG0，CSIG1

n の意味　この章では，クロック同期シリアル・インタフェース G の各チャネルを「n」（n = 0，1）で識別します。たとえば，CSIGn 制御レジスタ 0 は CSIGnCTL0 と記述します。

レジスタ・アドレス　CSIGn のレジスタ・アドレスは，ベース・アドレス <CSIGn_base0>，<CSIGn_base1> からのオフセットで表されます。
各 CSIGn のベース・アドレスを以下の表に示します。

表 21-2　レジスタ・ベース・アドレス <CSIGn_base0>，<CSIGn_base1>

CSIGn のチャネル	<CSIGn_base0> アドレス	<CSIGn_base1> アドレス
CSIG0	FF70 0000$_H$	FFFF E400$_H$
CSIG1	FF71 0000$_H$	FFFF E500$_H$

クロック供給　CSIGn には以下のクロックが入力されます。

表 21-3　CSIGn のクロック供給

CSIGn のチャネル	CSIGn のクロック	接続先
CSIG0，1	PCLK	クロック・コントローラ

割り込み クロック同期シリアル・インタフェース G は以下の割り込み要求を生成することができます。

表 21-4 CSIGn の割り込み要求

CSIGn の信号	機能	接続先
CSIGnTIC	通信ステータス割り込み	割り込みコントローラ INTCSIGnIC DMA
CSIGnTIR	受信ステータス割り込み	割り込みコントローラ INTCSIGnIR DMA
CSIGnTIRE	受信エラー割り込み	割り込みコントローラ INTCSIGnIRE

I/O 信号 クロック同期シリアル・インタフェース G の I/O 信号を以下の表に示します。

表 21-5 CSIGn の I/O 信号

CSIGn の信号	機能	接続先
CSIGnTSCK	シリアル・クロック信号	ポート CSIGnSC
CSIGnTSI	シリアル・データ入力信号	ポート CSIGnSI
CSIGnTSO	シリアル・データ出力信号	ポート CSIGnSO
CSIGnTRYI	ハンドシェーク用入力信号	ポート CSIGnRYI
CSIGnTRYO	ハンドシェーク用出力信号	ポート CSIGnRYO

ポート・グループ CSIGn の端子は以下の表のグループで使用してください。

表 21-6 CSIGn のポート・グループ

CSIGn のチャネル	端子名	Group	
		1	2
CSIG0	CSIG0SC	P1_9	—
	CSIG0SO	P1_8	—
	CSIG0SI	P1_7	—
	CSIG0RYI	P2_0	—
	CSIG0RYO	P4_4	—
CSIG1	CSIG1SC	P3_4	P4_4
	CSIG1SO	P3_3	P4_3
	CSIG1SI	P3_2	P4_2
	CSIG1RYI	P2_1	—
	CSIG1RYO	P4_5	—

21.2 機能の概要

特徴の概要

- 3 線式クロック同期シリアル通信
- マスタ・モードとスレーブ・モードを選択可能
- ボー・レート・ジェネレータを内蔵
- 最大転送速度：
  - マスタ・モード：8 Mbps
  - スレーブ・モード：6.6 Mbps（ただし，PCLK/6 Mbps 以下）
- クロック位相とデータ位相が選択可能
- MSB ファーストまたは LSB ファーストでのデータ転送が選択可能
- 7 ビットから 16 ビットまでの転送データ長を 1 ビット単位で選択可能
- 16 ビットを上回るデータを転送するための拡張データ長（EDL：Extended Data Length）機能搭載
- 以下の 3 つの転送モードを選択可能：
  - 送信専用モード
  - 受信専用モード
  - 送受信モード
- ハンドシェーク機能を内蔵
- 送信バッファと受信バッファをそれぞれ搭載（16 ビット・レジスタを 2 個搭載）
- エラー検出（データー貫性チェック，パリティ，オーバラン）
- 3 つの割り込み要求信号（CSIGnTIC, CSIGnTIR, CSIGnTIRE）
- 自己テスト用のループ・バック・モード（LBM：Loop Back Mode）機能搭載

以下のブロック図はCSIGの主要なコンポーネントを示しています。

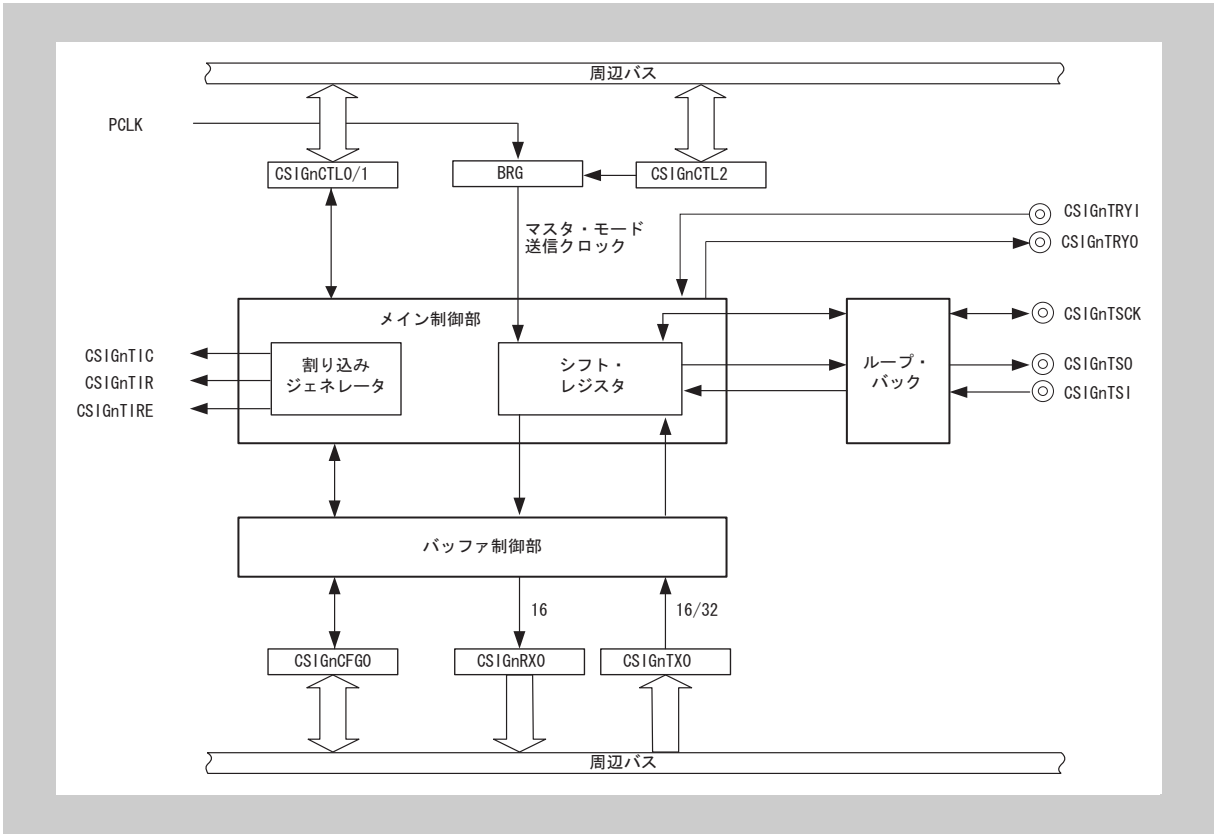


図 21-1　CSIG のブロック図

マスタ・モードでは，シリアル通信クロック CSIGnTSCK が内蔵のボー・レート・ジェネレータ（BRG）によって生成されます。スレーブ・モードでは，CSIGnTSCK からシリアル通信クロックが供給されます。

21.3 機能の説明

クロック同期シリアル・インタフェースでは以下の 3 つの信号を通信に使用します。

- シリアル通信クロック信号 CSIGnTSCK（マスタ・モードでは出力，スレーブ・モードでは入力）
- データ出力信号 CSIGnTSO
- データ入力信号 CSIGnTSI

データ送信は，1 ビットずつシリアルに行われ，送信クロックに同期します。

CSIG の設定に使用するレジスタを以下の表に示します。

レジスタ	機能
CSIGnCTL0	動作クロックを供給または停止し，データ送信とデータ受信を許可または禁止します。
CSIGnCTL1	割り込みのタイミング，拡張データ長，データー貫性チェック，ループ・バック・モード，ハンドシェークなどのオプション機能を制御します。
CSIGnCTL2	マスタ・モードまたはスレーブ・モードを選択し，マスタ・モードでは内蔵のボー・レート・ジェネレータ (BRG) のボー・レートを選択します。
CSIGnCFG0	通信プロトコルを設定します。

21.3.1 マスタ／スレーブ・モード

CSIG がマスタ・モードまたはスレーブ・モードのどちらで動作するかは，CSIGnCTL2.CSIGnPRS[2:0] の設定により決まります。

(1) マスタ・モード

マスタ・モードでは，内蔵のボー・レート・ジェネレータ（BRG）によってシリアル通信クロックが生成され，CSIGnTSCK 信号を介して供給されます。

ボー・レートの設定は，CSIGnCTL2.CSIGnPRS[2:0] に 111_B 以外の値，CSIGnCTL2.CSIGnBRG[11:0] に 0 以外の値を設定することにより有効となります。

CSIGnTSCK 信号のデフォルト・レベルは，クロック位相選択ビットの状態によって異なります。CSIGnTSCK 信号のデフォルト・レベルは，CSIGnCTL1.CSIGnCKR = 0 であればハイであり，CSIGnCTL1.CSIGnCKR = 1 であればロウです。

以下の例は，8 データ・ビット，CSIGnCTL1.CSIGnCKR = 0，CSIGnCFG0.CSIGnDAP = 0，MSB ファーストのときのマスタ・モードの通信を示しています。

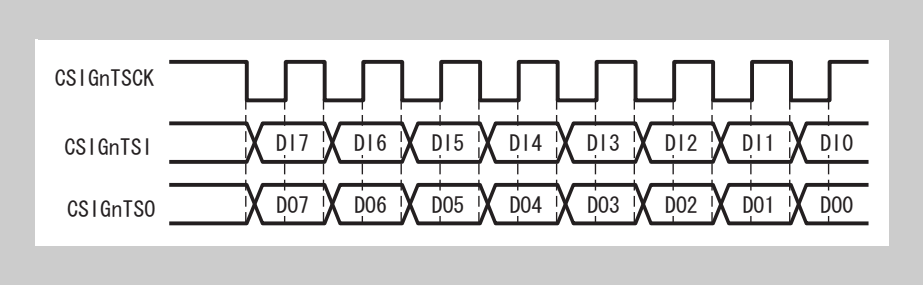


図 21-2 マスタ・モードでの送受信

(2) スレーブ・モード

スレーブ・モードでは，ほかのデバイスが通信マスタになります。外部クロックは CSIGnTSCK 信号を介して供給されます。クロック信号が検出されると，ただちに送信動作または受信動作が開始されます。

スレーブ・モードは，CSIGnCTL2.CSIGnPRS[2:0] を 111_B に設定することによって選択されます。

備考 スレーブ・モードを使用するときは，ビット CSIGnCTL2.CSIGnBRS[11:0] に 0 を設定することによってボー・レート・ジェネレータ（BRG）を無効にします。

以下の例は，8 データ・ビット，CSIGnCTL1.CSIGnCKR = 0，CSIGnCFG0.CSIGnDAP = 0，MSB ファーストのときのスレーブ・モードの通信を示しています。

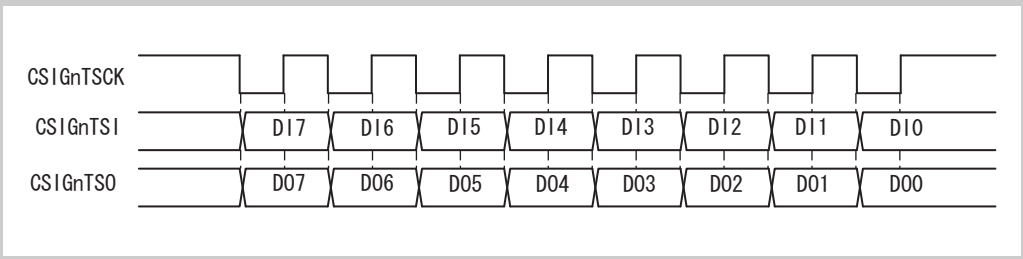


図 21-3 スレーブ・モードでの送受信

21.3.2　マスタ／スレーブの接続

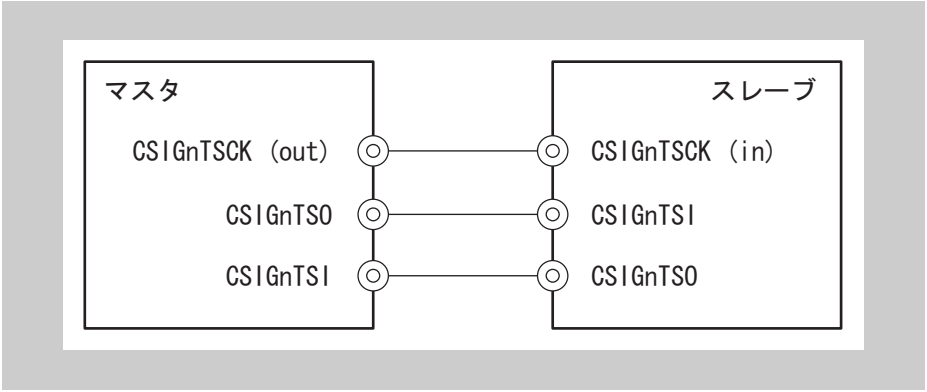


図 21-4　単純なマスタ／スレーブ間接続

21.3.3　シリアル通信クロックの選択

マスタ・モードでは，CSIGnCTL2 レジスタの CSIGnPRS[2:0] ビットと CSIGnBRS[11:0] ビットを使用してシリアル通信クロックのボー・レートを選択できます。

ボー・レート・ジェネレータのブロック図を以下に示します。

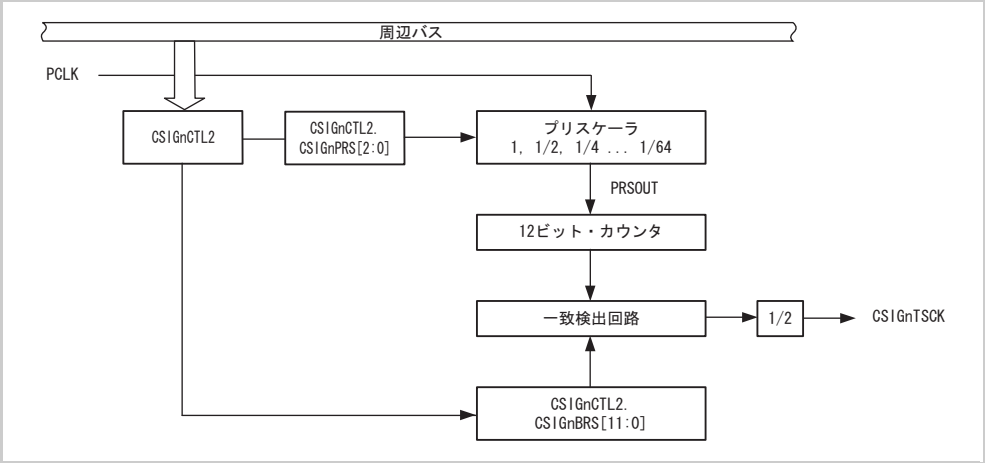


図 21-5　ボー・レート・ジェネレータのブロック図

CSIGnCTL2.CSIGnBRS[11:0] に 0 を設定すると，ボー・レート・ジェネレータが無効になります。

ボー・レートの計算

ボー・レートは以下の式で計算します。

$$CSIGnTSCK = PCLK / (2^m \times k \times 2)$$

ただし，

m = CSIGnCTL2.CSIGnPRS[2:0] = 0 - 6

k = CSIGnCTL2.CSIGnBRS[11:0] = 1 - 4095

ボー・レートの上限と下限

ボー・レートを設定するときは，以下のことに注意してください。

- マスタ・モードで使用できる最大ボー・レートは 8.0 Mbps です。
- スレーブ・モードで使用できる最大ボー・レートは 6.6 Mbps（ただし，PCLK/6 Mbps 以下）です（外部マスタのボー・レートがこの範囲に収まっていることを確認する必要があります）。
- いずれのモードでも最小ボー・レートは PCLK / 524160 です。

21.3.4 データ転送モード

(1) 送信専用モード

CSIGnCTL0.CSIGnTXE = 1，CSIGnCTL0.CSIGnRXE = 0 に設定すると，CSIG は送信専用モードになります。CSIGnCTL0.CSIGnTXE = 1 に設定した後，CSIGnTX0W レジスタまたは CSIGnTX0H レジスタに送信データが書き込まれると，送信が開始されます。

マスタ・モード では，CSIGnTX0W レジスタまたは CSIGnTX0H レジスタに送信データが書き込まれると通信が開始されます。

スレーブ・モード では，上記の設定後，CSIGnTSCK クロック入力によって通信が開始されます。

注意 いずれかの受信モードから送信専用モードに切り換える場合は，最初の送信が完了したあと，CSIGnRX0 バッファのデータが不定になります。
したがって，送信専用モードに切り換える前に受信レジスタ CSIGnRX0 を読み出す必要があります。

(2) 受信専用モード

CSIGnCTL0.CSIGnTXE = 0，CSIGnCTL0.CSIGnRXE = 1 に設定すると，CSIG は受信専用モードになります。

マスタ・モードでは，CSIGnCTL0.CSIGnRXE = 1 に設定した後，CSIGnRX0 レジスタを読み出すことで転送が開始されます。
CSIGnBCTL0.CSIGnSCE = 1 であれば，それ以降のすべての受信は受信データ・レジスタ CSIGnRX0 からの読み出しによって開始されます。

スレーブ・モードでは，マスタから通信クロック CSIGnTSCK が供給されると，データの受信が開始されます。

備考 受信専用モードでは，データが上書きされないように，すでに受信しているデータを受信レジスタ CSIGnRX0 から読み出す必要があります。

さらに，最後に受信したデータを CSIGnRX0 から読み出す前に，通信開始ビット CSIGnBCTL0.CSIGnSCE を 1 にセットしたあと，0 に戻す必要があります。

推奨手順を以下に示します。

1. 最初の受信操作を開始する前に，CSIGnBCTL0.CSIGnSCE = 1 の状態で CSIGnRX0 レジスタ（ダミー・データ）を読み出します。
2. 受信割り込み CSIGnTIR を待機します。
3. CSIGnRX0 レジスタ（受信データ）を読み出します。
   手順 2 でデータの受信が続いた場合は，受信完了毎に受信したすべてのデータの読み出しを続けます。
   最後のデータの受信（CSIGnRX0 レジスタ読み出し）前に，CSIGnBCTL0.CSIGnSCE = 0 に設定します。詳細は (6)「CSIGnBCTL0 — CSIG 受信専用モード制御レジスタ 0」を参照してください。

(3) 送受信モード

CSIGnCTL0.CSIGnTXE = 1 かつ CSIGnCTL0.CSIGnRXE = 1 に設定すると，CSIG は送受信モードになります。

CSIGnTX0W レジスタまたは CSIGnTX0H レジスタに送信データが書き込まれると，データ転送（送信と受信）が開始されます。

21.3.5 データ長の選択

(1) 7 ～ 16 ビットのデータ長

CSIGnCFG0 レジスタの CSIGnDLS[3:0] ビットを使用して，送信データ長を 7 ビットから 16 ビットの間に設定することができます。以下の例は，MSB ファースト（CSIGnCFG0.CSIGnDIR = 0）での通信を示しています。

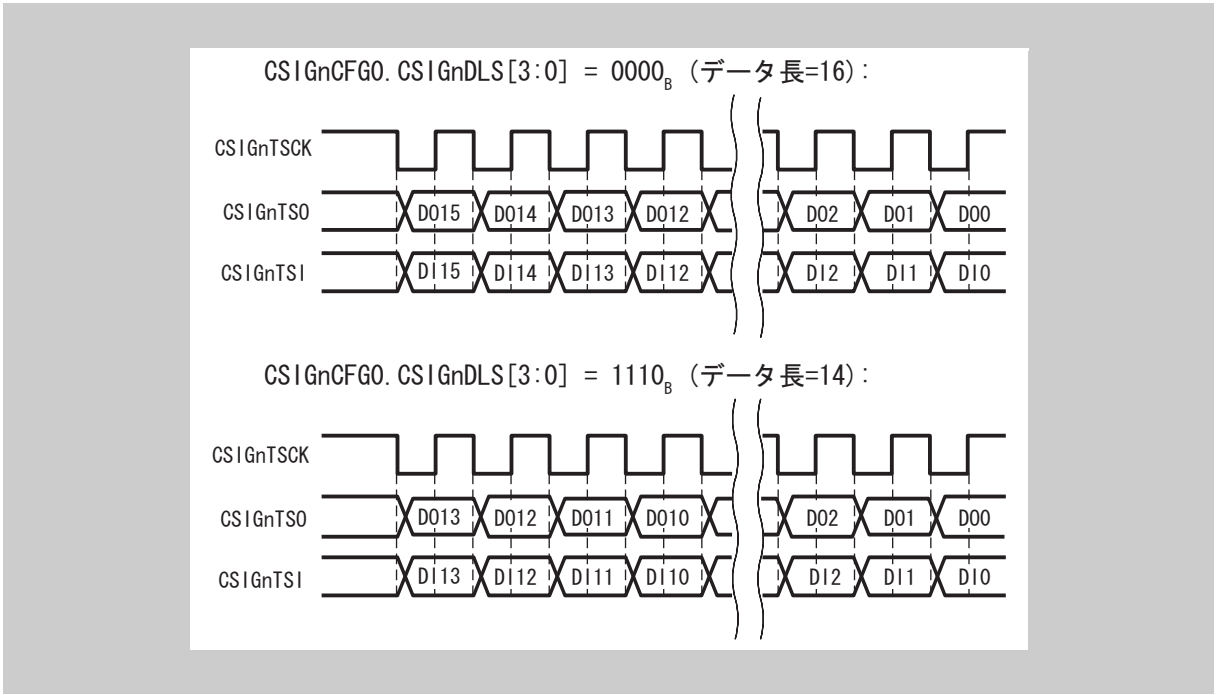


図 21-6 データ長選択機能

(2)　16 ビットを上回るデータ長

16 ビットを上回るデータを送受信する場合は，拡張データ長（EDL）機能を使用できます。

EDL 機能は，ビット CSIGnCTL1.CSIGnEDLE を 1 にセットすることによって有効になります。

EDL 機能は以下のとおり動作します。

- データを 16 ビットのブロックと剰余部分に分割する必要があります。たとえば，42 ビットのデータは 2 つの 16 ビット・ブロックと 10 ビットに分割されます。
- 剰余部分によって CSIGnCFG0.CSIGnDLS[3:0] で指定する必要のある「データ長」が定義されます。
- 16 ビットのブロックを送信するときは CSIGnTX0W.CSIGnEDL を 1 にセットする必要があります。この場合，CSIGnTX0W に書き込まれるデータは，CSIGnCFG0.CSIGnDLS[3:0] ビットの設定に関係なく，データ長 16 ビットのデータとして送信されます。
- 指定されたデータ長（CSIGnTX0W.CSIGnEDL = 0 のときの剰余部分）のデータが送信されると転送が完了します。

例　$123456789A_H$ という 40 ビットのデータを送信する例

40 ビットを 2 × 16 ビットと 8 ビットに分割します。

- CSIGnCFG0.CSIGnDLS[3:0] = 8_D に設定します。
- MSB ファーストで送信するには，以下のシーケンスを CSIGnTX0W レジスタに書き込みます。
  - 2000 1234_H (CSIGnTX0W.CSIGnEDL = 1)
  - 2000 5678_H (CSIGnTX0W.CSIGnEDL = 1)
  - 0000 $009A_H$ (CSIGnTX0W.CSIGnEDL = 0)

以下の図にタイミングを示します。

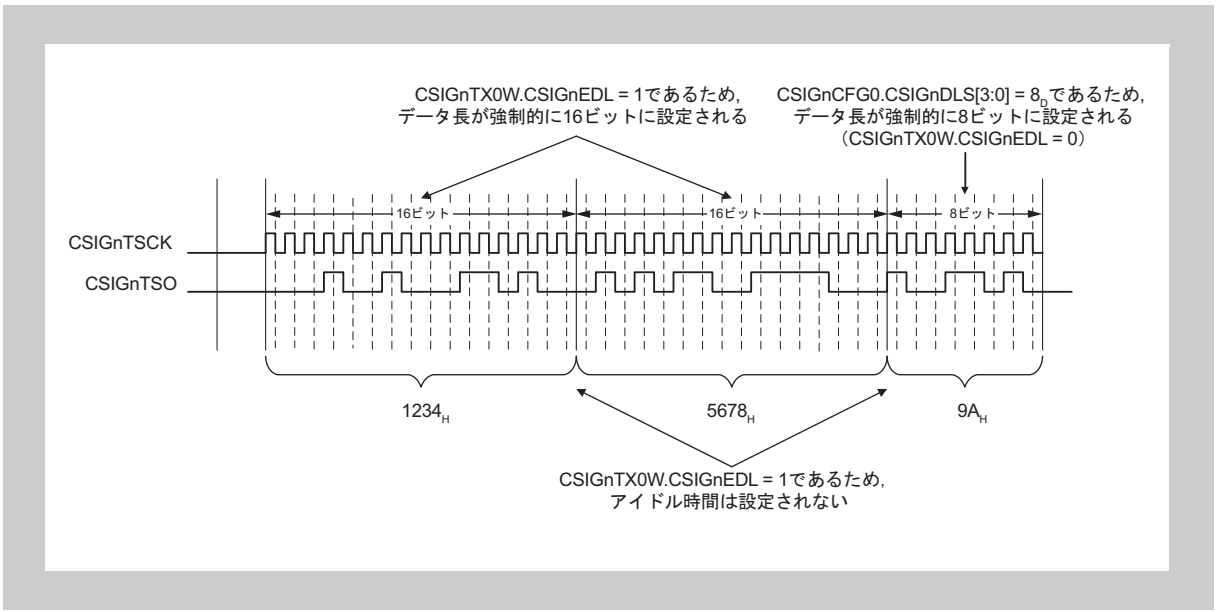


図 21-7　EDL のタイミング図

備考　1. データ長が 7 ビット未満のデータを 2 つ続けて送信することはできません。

2. パリティが有効になっていると，最後のビットの後ろにパリティ・ビットが追加されます。

3. LSB ファースト・モード / MSB ファースト・モードで送信するには，以下のシーケンスを CSIGnTX0W レジスタに書き込みます。
（送信データが 123456_H である場合）

- CSIGnCFG0.CSIGnDIR = 1：LSB ファースト
  CSIGnTX0W = 2000 3456_H（CSIGnEDL = 1）
  CSIGnTX0W = 0000 0012_H（CSIGnEDL = 0）
- CSIGnCFG0.CSIGnDIR = 0：MSB ファースト
  CSIGnTX0W = 2000 1234_H（CSIGnEDL = 1）
  CSIGnTX0W = 0000 0056_H（CSIGnEDL = 0）

4. EDL 機能はスレーブ・モードの受信専用モードでは使用禁止。

5. 7 ビット未満のデータ長は，EDL 機能を使用するときにのみ設定できます。

21.3.6　シリアル・データ方向の選択

CSIGnCFG0 レジスタの CSIGnDIR ビットを使用してシリアル・データの方向を選択できます。以下の例は 8 ビット・データ
（CSIGnCFG0.CSIGnDLS[3:0] = 1000_B）の通信を示しています。

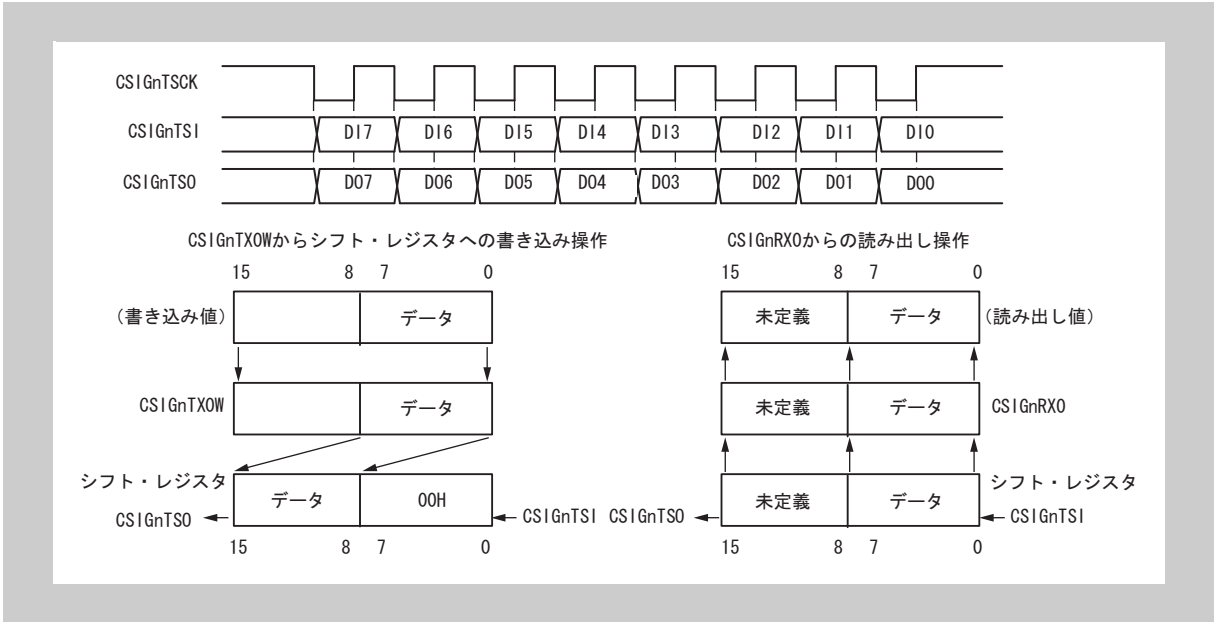


図 21-8　シリアル・データ方向選択機能 ― MSB ファースト
（CSIGnCFG0.CSIGnDIR = 0）

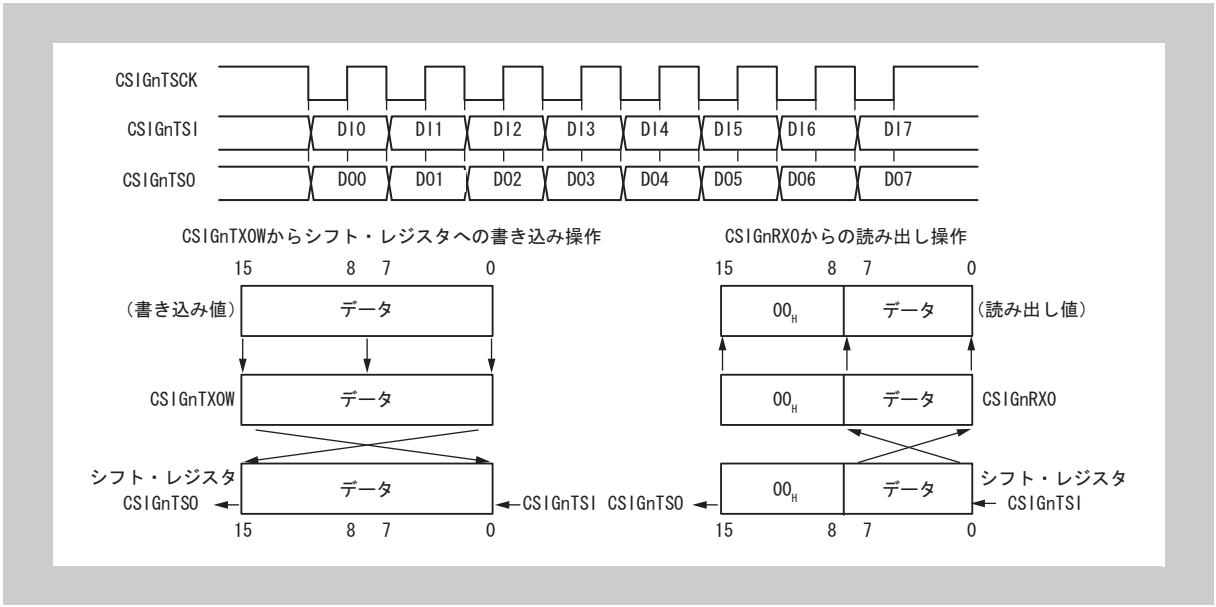


図 21-9 シリアル・データ方向選択機能 ― LSB ファースト（CSIGnCFG0.CSIGnDIR = 1）

21.3.7 スレーブ・モードでの通信

以下の図は，スレーブ・モードでの通信の信号とタイミングを示しています。

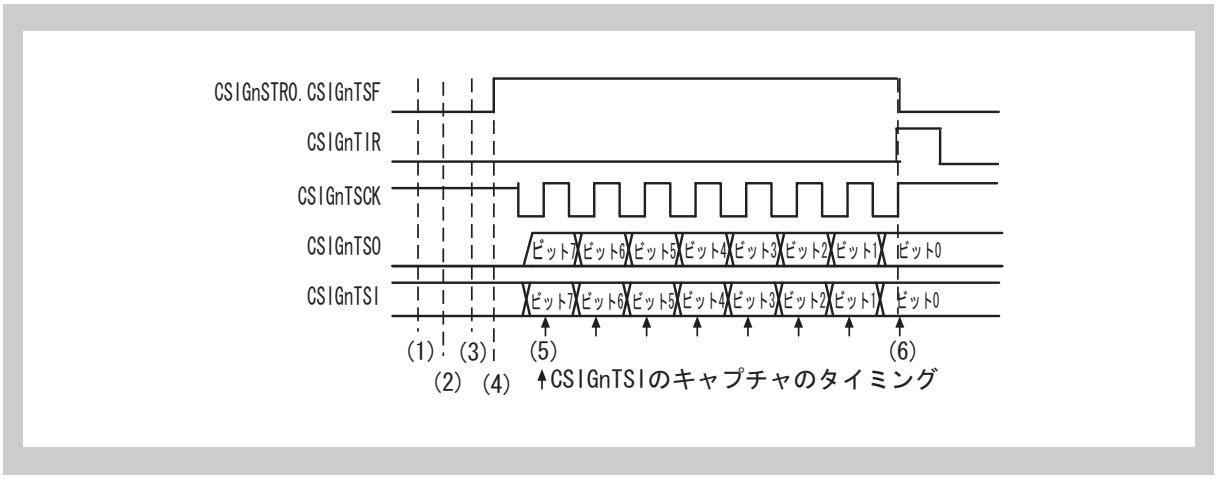


図 21-10 スレーブ・モードでの受信／送信の通信タイミング

1. CSIGnCTL2.CSIGnPRS[2:0] を 111_B に設定することによって CSIG はスレーブ・モードに設定されます。
2. CSIGnCTL1.CSIGnCKR と CSIGnCFG0.CSIGnDAP は 0 です。データ長は 8 ビット（CSIGnCFG0.CSIGnDLS[3:0] = 1000_B）です。データ方向は MSB ファースト（CSIGnCFG0.CSIGnDIR = 0）です。
3. CSIG を送受信モード（CSIGnCTL0.CSIGnPWR = 1, CSIGnCTL0.CSIGnTXE = 1, CSIGnCTL0.CSIGnRXE = 1）に設定すると，通信開始が許可されます。
4. 転送データが送信レジスタ CSIGnTX0W レジスタまたは CSIGnTX0H レジスタに書き込まれると，転送ステータス・フラグ CSIGnSTR0.CSIGnTSF が自動的にセットされます。
5. 外部クロック信号が CSIGnTSCK 信号として検出されると，スレーブはただちにデータを CSIGnTSO 端子に送信し，同時に CSIGnTSI 端子からデータをキャプチャします。
6. 最終データの受信が完了。
7. 受信データをリードします。

21.3.8 CSIG の割り込み要求

CSIG は以下の割り込み信号を生成することができます。

- CSIGnTIC
- CSIGnTIR
- CSIGnTIRE

(1) CSIGnTIC（通信割り込み）

この割り込みは，通常，データ転送が行われるたびに生成されます。この割り込みを利用して，CSIGnTX0W レジスタまたは CSIGnTX0H レジスタへ新しい送信データを書き込むための DMA を起動させることができます。

マスタ・モード，CSIGnCTL1.CSIGnSIT = 0（割り込み遅延なし），CSIGnCTL1.CSIGnCKR = 0，CSIGnCFG0.CSIGnDAP = 0（通常のクロック位相とデータ位相），CSIGnCFG0.CSIGnDLS[3:0] = 1000_B（データ長 8 ビット），CSIGnCTL1.CSIGnSLIT = 0（通常の割り込みタイミング）の設定で使用する例を以下の図に示します。

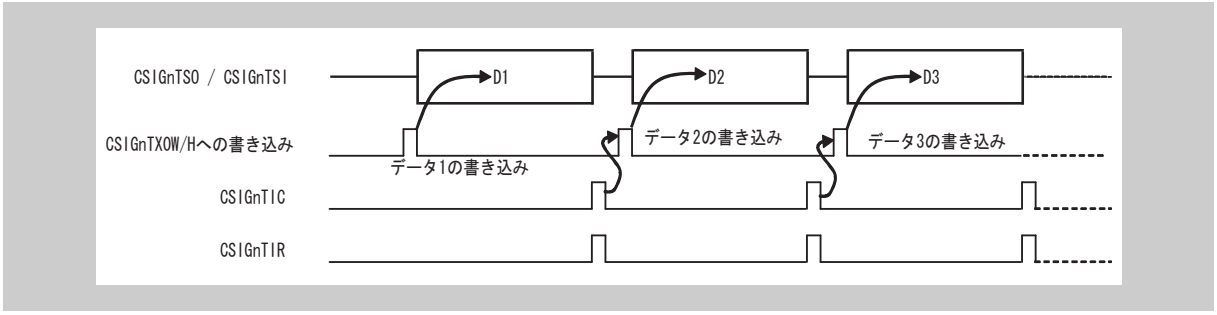


図 21-11 通信終了後の CSIGnTIC の生成（CSIGnCTL1.CSIGnSLIT = 0）

ただし，CSIGnTX0W レジスタまたは CSIGnTX0H レジスタが空になり，次のデータの受け入れが可能になったときに CSIGnTIC 割り込み信号を生成するように設定することもできます。このモードを使用するには，CSIGnCTL1.CSIGnSLIT = 1 に設定します。

このモードを利用すれば，データ転送の効率を高めることができます。

以下の図にその効果を示します。

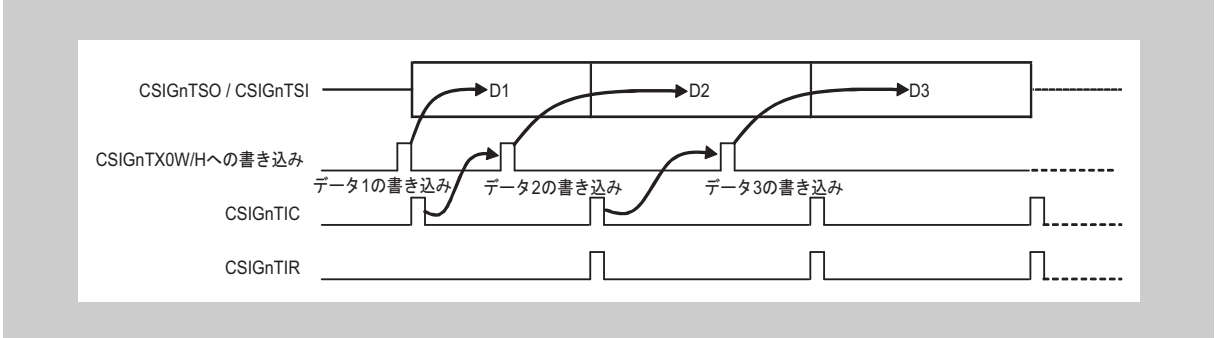


図 21-12 通信開始時の CSIGnTIC の生成

(2) CSIGnTIR（受信割り込み）

この割り込みは，受信専用モードまたは送受信モードで，データが受信され，そのデータが受信レジスタで利用可能になると生成されます。

マスタ・モード，CSIGnCTL1.CSIGnSIT = 0（割り込み遅延なし），CSIGnCTL1.CSIGnCKR = 0，CSIGnCFG0.CSIGnDAP = 0（通常のクロック位相とデータ位相），CSIGnCFG0.CSIGnDLS[3:0] = 1000_B（データ長 8 ビット）の設定で使用する例を以下の図に示します。

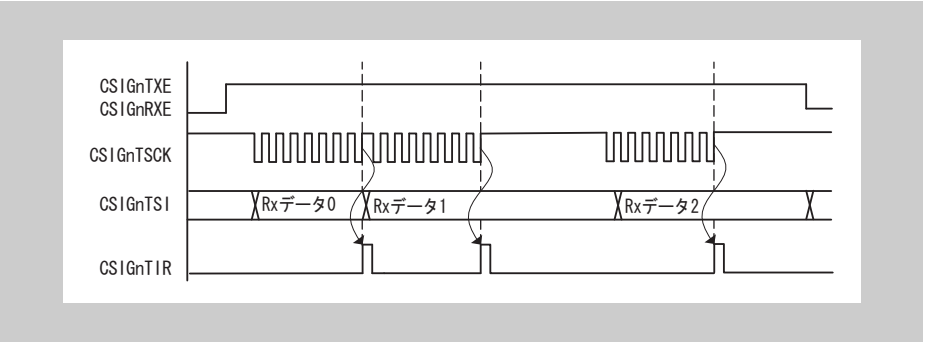


図 21-13 CSIGnTIR の生成

(3) CSIGnTIRE（受信エラー割り込み）

この割り込みは以下に示すエラーが検出されるたびに生成されます。

- パリティ・エラー
- データー貫性エラー
- オーバラン・エラー

表 21-7 データ・エラーのタイプ

エラーのタイプ	エラー割り込み後の通信ステータス
パリティ・エラー	割り込みが生成されても通信は継続します。
データー貫性エラー	割り込みが生成されても通信は継続します。
オーバラン・エラー	割り込みが生成されると通信が停止します。

CSIGnTIRE 割り込み信号が生成される原因となったエラーのタイプは，CSIGnSTR0 レジスタによって識別されます。

さまざまなエラー・タイプの詳細については，*1201 ページの 21.3.11「エラー検出」*を参照してください。

(4) 全割り込み遅延

マスタ・モードでは，マスタが生成するすべての割り込みを送信クロックCSIGnTSCKの半周期だけ遅延させることができます。スレーブ・モードでこの機能を利用することはできません。

遅延を指定するには，ビットCSIGnCTL1.CSIGnSIT = 1に設定します。

CSIGnCTL1.CSIGnSIT = 1（割り込み遅延有効），CSIGnCTL1.CSIGnCKR = 0，CSIGnCFG0.CSIGnDAP = 0（通常のクロック位相とデータ位相），CSIGnCFG0.CSIGnDLS[3:0] = 1000_B（データ長8ビット）の設定で割り込み遅延機能を使用する例を以下の図に示します。

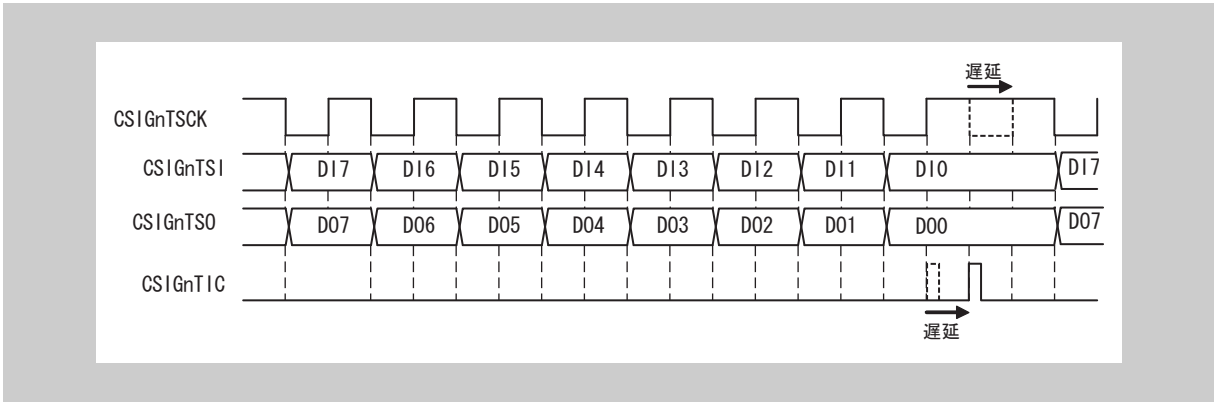


図 21-14 割り込み遅延機能（CSIGnCTL1.CSIGnSIT = 1）

21.3.9 ハンドシェーク機能

CSIG はマスタ・デバイスとスレーブ・デバイスを同期させるハンドシェーク機能を備えています。この機能はビット CSIGnCTL1.CSIGnHSE で有効または無効にすることができます。ハンドシェークでは，CSIGnTRYI/CSIGnTRYO 信号を使用します。

タイミングはデータ位相選択ビット CSIGnCFG0.CSIGnDAP の設定によって異なります。

(1) スレーブ・モード

CSIGnCTL1.CSIGnHSE = 1 のとき，スレーブはビジー状態になると CSIGnTRYO = 0 を出力します。すでに受信したデータがまだ CSIGnRX0 レジスタにあるため，シフト・レジスタから CSIGnRX0 へ新しいデータをコピーできないと，この状態になります（CSIGnRX0 フル状態）。

以下の例では，8 ビットのデータ長を想定しています。

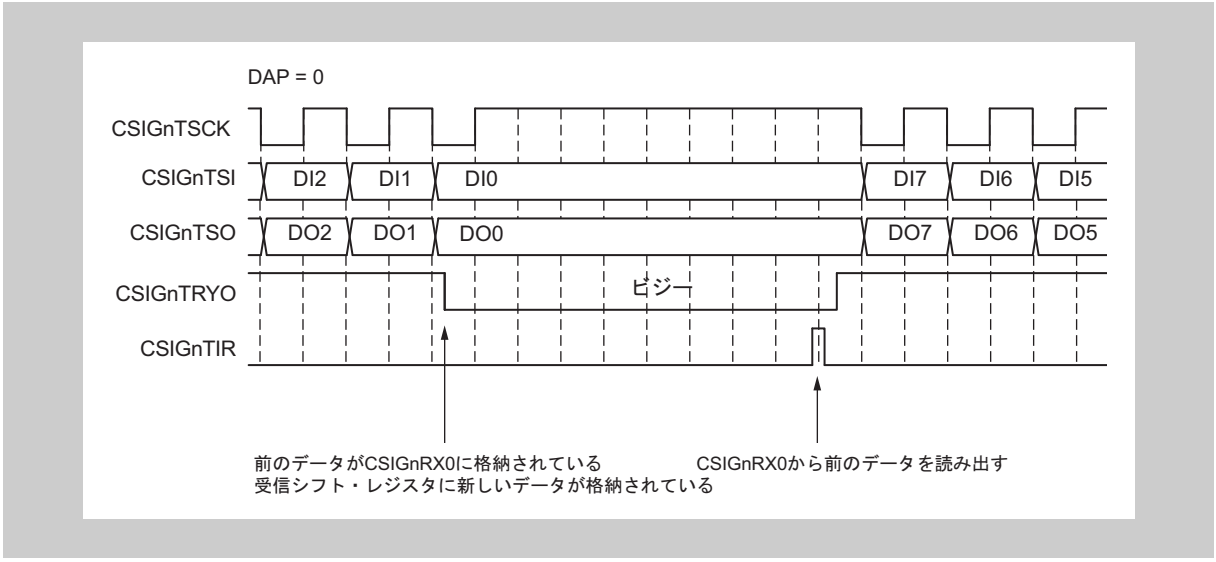


図 21-15 スレーブからのレディ／ビジー信号（CSIGnCFG0.CSIGnDAP = 0）

スレーブがビジーである間，マスタは待機する（送信クロックを停止させる）必要があります。受信レジスタ CSIGnRX0 からの読み出しが完了すると，ただちにスレーブは CSIGnTRYO をハイ（「レディ」）に設定します。

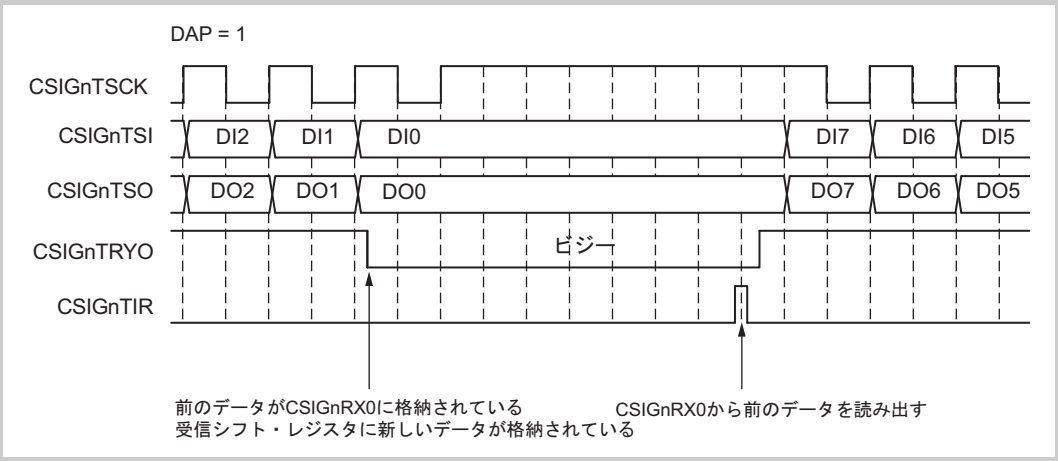


図 21-16 スレーブからのレディ／ビジー信号（CSIGnCFG0.CSIGnDAP = 1）

(2) マスタ・モード

マスタが CSIGnTRYI = 0 を検出すると，それ以降の転送が保留され，マスタは待機状態に入ります。マスタは CSIGnTSCK へのクロックの出力を停止します。

CSIGnTRYI のレベルは，CSIGnTSCK の半周期ごとにチェックされます。

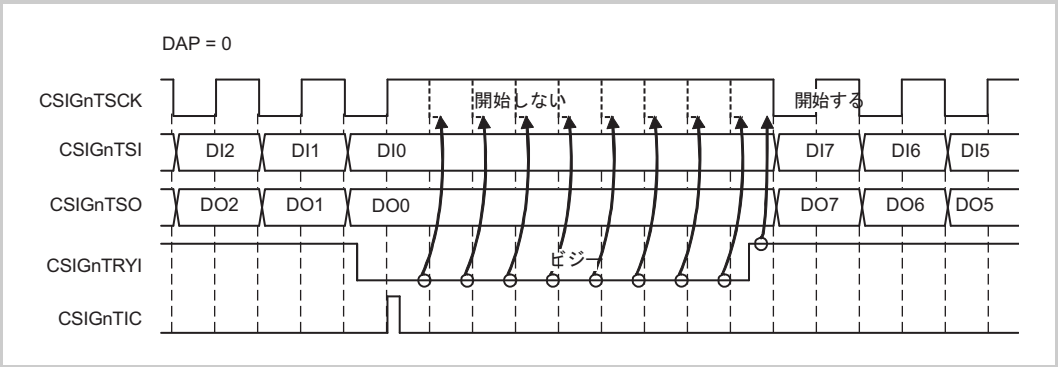


図 21-17 スレーブの CSIGnTRYO 信号に対するマスタの反応（CSIGnCFG0.CSIGnDAP = 0）

データの転送中にマスタの CSIGnTRYI にスレーブからロウ信号が出力されると，転送が完了したあと，シリアル・クロックが停止します。

マスタは CSIGnTRYI がハイになる（スレーブが「レディ」状態になる）と，ただちに通信を再開します。

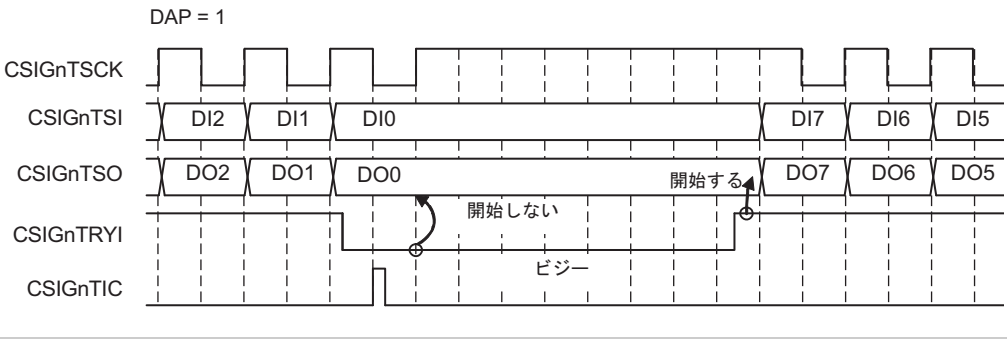


図 21-18　スレーブの CSIGnTRYO 信号に対するマスタの反応（CSIGnCFG0.CSIGnDAP = 1）

注意　次の転送が始まる前にスレーブは CSIGnTRYI をロウ・レベルに下げる必要があります。転送中にスレーブがこの信号をロウ・レベルに下げても，転送は完了するまで継続します。

21.3.10 ループ・バック・モード

ループ・バック・モードは自己テスト用の特殊なモードです。この機能はマスタ・モードでのみ利用できます。

このモードがアクティブになっていると，以下の図に示すように，送信信号と受信信号が内部で接続されます。CSIGnTSCK 信号，CSIGnTSO 信号，CSIGnTSI 信号は切り離されます。さらに，CSIGnTSO の出力レベルがロウ・レベルに固定され，CSIGnTSCK は非アクティブになります。CSIG のそれ以外の部分は通常どおりに動作します。

CSIG を自己テストするには，CSIGnCTL1.CSIGnLBM を 1 に設定し，通常の転送操作を実行します。その後，受信データが送信データと同じかどうかをチェックします。

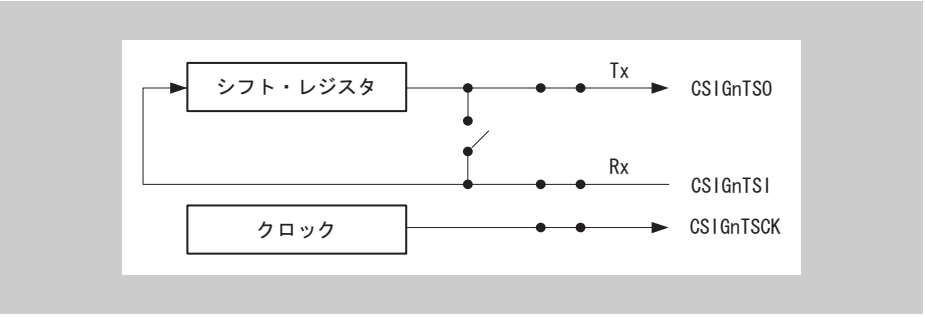


図 21-19 通常の動作

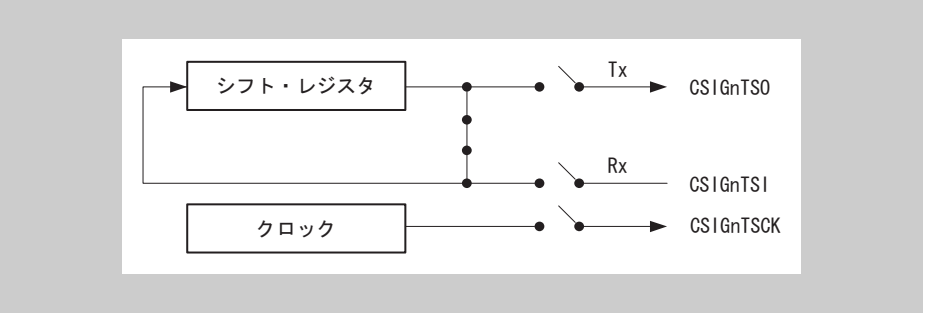


図 21-20 ループ・バック・モードでの動作

21.3.11 エラー検出

CSIG は 3 つのエラー・タイプを検出することができます。

- データー貫性エラー（送信データ）
- パリティ・エラー（受信データ）
- オーバラン・エラー

データー貫性エラー，パリティ・エラーのチェック機能は個別に有効または無効にすることができます。

これらのエラーのいずれかが検出されると，割り込み信号 CSIGnTIRE が生成され，検出されたエラーに対応するフラグがセットされます。

(1) データー貫性チェック

データー貫性チェックの目的は，出力信号として物理的に送信されたデータがシフト・レジスタへコピーされた元のデータと同じかどうかを確認することです。

データー貫性チェックはビット CSIGnCTL1.CSIGnDCS で有効または無効にすることができます。データ送信が禁止されていると（CSIGnCTL0.CSIGnTXE = 0），データー貫性チェックはアクティブになりません。

データー貫性チェックがアクティブになっていると，CSIGnTX0W レジスタまたは CSIGnTX0H レジスタからシフト・レジスタへ転送されたデータが別のレジスタへコピーされます。さらに，CSIGnTSO の物理レベルが独自のシフト・レジスタに書き込まれます。

送信が完了すると，送信されたデータと元の送信データとの比較が行われます。

データの不一致はデーター貫性エラーと見なされ，以下のことが行われます。

- 割り込み信号 CSIGnTIRE が生成されます。
- データー貫性チェック・エラー・フラグ（CSIGnSTR0.CSIGnDCE）がセットされます。

注意 データー貫性チェックを行う場合，CSIGnTSO 端子が割り当てられている PIPCn レジスタの当該ビットには 0 を，PBDCn レジスタの当該ビットには 1 を設定してください。

データー貫性チェックの機能を以下のブロック図に示します。

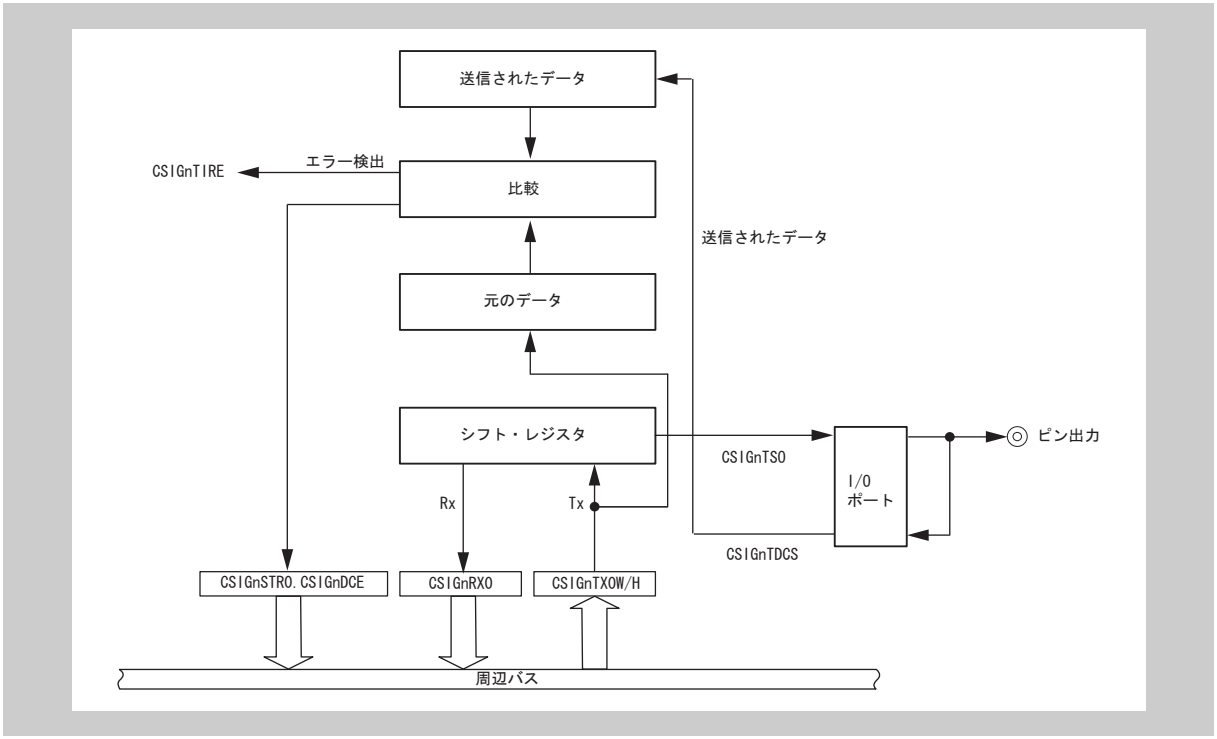


図 21-21　データー貫性チェックの機能ブロック図

(2) パリティ・チェック

CSIG では，最後のデータ・ビットの後ろにパリティ・ビットを追加することができます（拡張データ長が使われている場合を含む）。

パリティを使用するかどうかとパリティのタイプは CSIGnCFG0.CSIGnPS[1:0] で指定します。

CSIGnCFG0.CSIGnPS[1] = 1 であれば，パリティ・チェックが有効になります。

パリティ・ビットは受信完了後にチェックされます。パリティ・エラーが発生すると，以下のことが行われます。

- 割り込み信号 CSIGnTIRE が生成されます。
- パリティ・エラー・フラグ（CSIGnSTR0.CSIGnPE）がセットされます。

データ長は 8 ビット，送信されるデータは 05_H と 35_H，パリティ・タイプは奇数の場合の送信例を以下の図に示します。

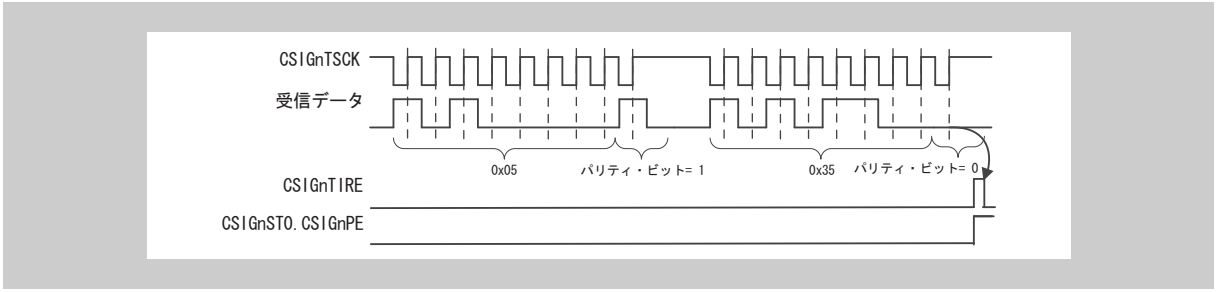


図 21-22 パリティ・チェックの例

最初の受信データのパリティ・ビットは 1 です。1 の総数（パリティ・ビットを含む）が奇数であるため，パリティ・エラーは発生しません。

次の受信データのパリティ・ビットは 0 です。1 の総数（パリティ・ビットを含む）が偶数であるため，これはパリティ・エラーとして検出されます。

(3)　オーバラン・エラー

前に受信したデータを受信レジスタ CSIGnRX0 から読み出していない状態で新しいデータを受信すると，このエラーが発生します。

データ受信が禁止されているとき（CSIGnCTL0.CSIGnRXE = 0），またはマスタ・モードのとき，オーバラン・エラーは発生しません。

オーバラン・エラーが発生すると，以下のことが行われます。

- 割り込み信号 CSIGnTIRE が生成されます。
- オーバラン・エラー・フラグ（CSIGnSTR0.CSIGnOVE）がセットされます。
- 通信が停止します。

以下の図にオーバラン・エラー検出機能の仕組みを示します。

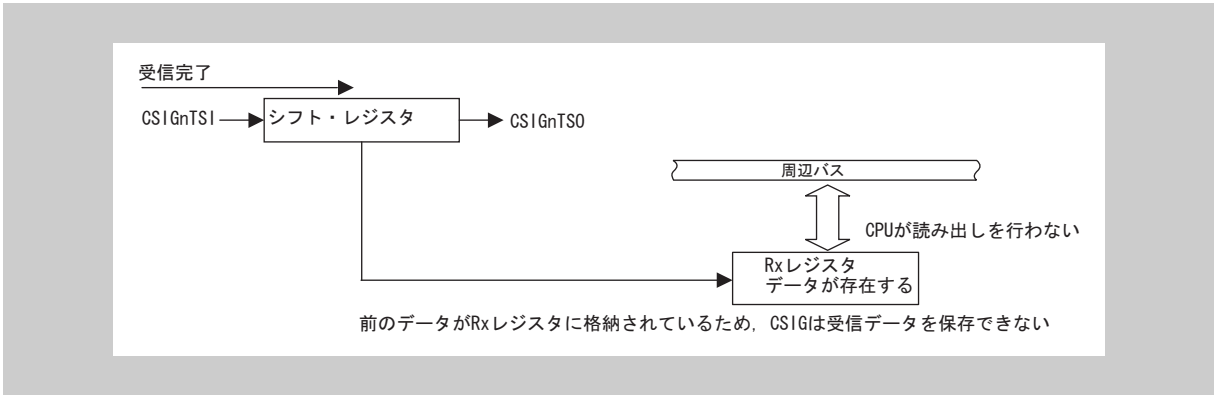


図 21-23　オーバラン・エラーの検出

以下の図に例を示します。

- Rx データ 3 は読み出されていません。
- Rx データ 4 は受信されていますが，そのデータを保存することはできません。

したがって，オーバラン・エラーが発生します。

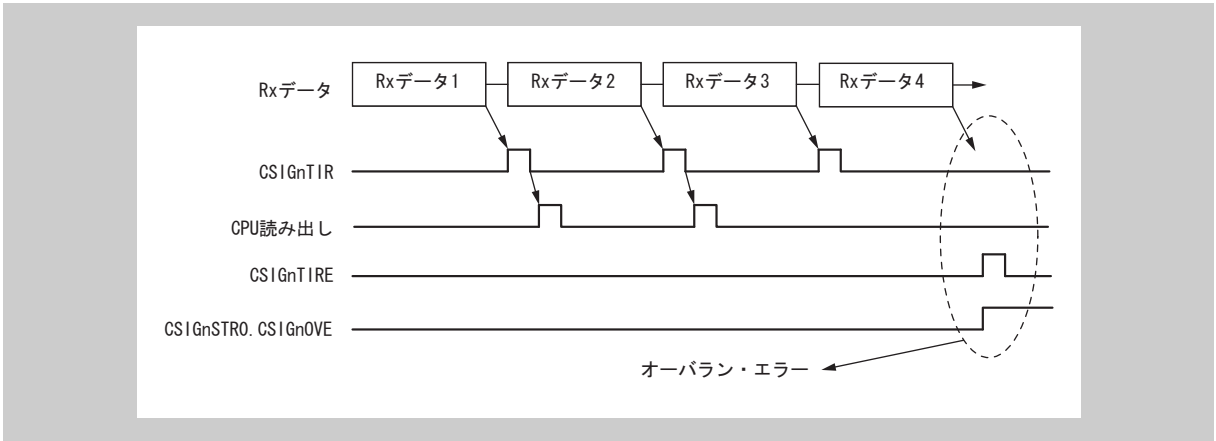


図 21-24　オーバラン・エラーの検出の例

備考　スレーブ・モードで発生する受信データ上書きタイプのオーバラン・エラーは，ハンドシェークを利用することで回避できます。

スレーブ・モードでハンドシェークを使用すると，受信側（スレーブ）は送信側（マスタ）に自分がビジーであることを伝えます。送信側は，受信側が自分の受信レジスタを読み出し，再びレディ状態になるまで待機します。

詳細については，*1197 ページの 21.3.9「ハンドシェーク機能」*を参照してください。

21.4 CSIG 制御レジスタ

CSIGn は，以下のレジスタによって制御され，操作されます。

表 21-8 CSIGn のレジスタの概要

レジスタ名	略号	アドレス
制御レジスタ 0	CSIGnCTL0	<CSIGn_base1> + 00_H
制御レジスタ 1	CSIGnCTL1	<CSIGn_base0> + 10_H
制御レジスタ 2	CSIGnCTL2	<CSIGn_base0> + 14_H
ステータス・レジスタ 0	CSIGnSTR0	<CSIGn_base1> + 04_H
ステータス・クリア・レジスタ 0	CSIGnSTCR0	<CSIGn_base1> + 08_H
受信専用モード制御レジスタ 0	CSIGnBCTL0	<CSIGn_base1> + 80_H
コンフィギュレーション・レジスタ 0	CSIGnCFG0	<CSIGn_base0> + 1010_H
ワード・アクセス用送信データ・レジスタ 0	CSIGnTX0W	<CSIGn_base1> + 84_H
ハーフ・ワード・アクセス用送信データ・レジスタ 0	CSIGnTX0H	<CSIGn_base1> + 88_H
受信データ・レジスタ 0	CSIGnRX0	<CSIGn_base1> + $8C_H$

<CSIGn_base> CSIGn のベース・アドレス <CSIGn_base0>，<CSIGn_base1> は，この章第 1 節のキーワード「レジスタ・アドレス」で定義されています。

(1) CSIGnCTL0 — CSIG 制御レジスタ 0

このレジスタは，動作クロックの制御と送信／受信の許可／禁止を設定します。

アクセス　8/1 ビット単位でリード／ライト可能です。

アドレス　<CSIGn_base1> + 00_H

初期値　00_H　どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
CSIGn PWR	CSIGn TXE	CSIGn RXE	0	0	0	0	CSIGn MBS
R/W	R/W	R/W	R	R	R	R	R/W

表 21-9　CSIGnCTL0 レジスタの内容

ビット位置	ビット名	機能
7	CSIGnPWR	動作クロックを制御します。 0: 動作クロックを停止させます。 1: 動作クロックを供給します。 CSIGnPWR を 0 にクリアすると，内部回路がリセットされ，動作が停止し，CSIG がスタンバイ状態に設定されます。内部回路へのクロックの供給が停止します。 通信中に CSIGnPWR がクリアされると，実行中の通信は中断されます。その場合は，通信を最初からやり直す必要があります。
6	CSIGnTXE	送信を許可または禁止します。 0: 送信を禁止します。 1: 送信を許可します。
5	CSIGnRXE	受信を許可または禁止します。 0: 受信を禁止します。 1: 受信を許可します。
0	CSIGnMBS	このビットには，必ず 1 を設定してください。（初期値 0）

注意
1. CSIGnPWR = 0 である間に CSIGnRXE または CSIGnTXE を変更しないでください。
   ただし，CSIGnPWR = 1 に設定したときは，両方のビットを同じ書き込み操作で変更することは可能です。
2. データ送信が保留中または進行中，つまり CSIGnSTR0.CSIGnTSF = 1 のときに，CSIGnRXE または CSIGnTXE を変更しないでください。
3. CSIGnMBS ビットは、CSIG を動作させる前（CSIGnPWR =1 にする前、または CSIGnPWR = 1 と同時）に 1 を設定してください。

(2) CSIGnCTL1 — CSIG 制御レジスタ 1

このレジスタでは，割り込みのタイミングと割り込み遅延モードを指定します。このレジスタは，拡張データ長制御，データー貫性チェック，ループ・バック・モード，ハンドシェーク機能を有効または無効する機能も持っています。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<CSIGn_base0> + 10_H

初期値　$0000\ 0000_H$　どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	CSIGn CKR	CSIGn SLIT
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	CSIGn EDLE	0	CSIGn DCS	0	CSIGn LBM	CSIGn SIT	CSIGn HSE	0
R	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R/W	R/W	R

注意　このレジスタの内容は，CSIGnCTL0.CSIGnPWR = 0 のときにのみ変更することができます。

表 21-10　CSIGnCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
17	CSIGnCKR	CSIGnTSCK のクロック位相を選択します。 0: CSIGnTSCK のデフォルト・レベルは，ハイ。 1: CSIGnTSCK のデフォルト・レベルは，ロウ。 設定例は，*表 21-15「CSIGnCFG0 レジスタの内容」* の CSIGnDAP ビットを参照ください。
16	CSIGnSLIT	割り込み CSIGnTIC のタイミングを選択します。 0: 通常の割り込みのタイミング（転送後に割り込みを生成します）。 1: CSIGnTX0W, CSIGnTX0H レジスタが空になり，次のデータを格納できる状態になったときに割り込みを生成します。 詳細については，*1194 ページの (1)「CSIGnTIC（通信割り込み）」* を参照してください。
7	CSIGnEDLE	拡張データ長（EDL）モードを有効または無効にします。 0: 拡張データ長モードを無効にします。 1: 拡張データ長モードを有効にします。 詳細については，*1190 ページの (2)「16 ビットを上回るデータ長」* を参照してください。
5	CSIGnDCS	データー貫性チェックを有効または無効にします。 0: データー貫性チェックを無効にします。 1: データー貫性チェックを有効にします。 詳細については，*1201 ページの (1)「データー貫性チェック」* を参照してください。

表 21-10　CSIGnCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	CSIGnLBM	ループ・バック・モード（LBM）を制御します。 0: ループ・バック・モードを非アクティブにします。 1: ループ・バック・モードをアクティブにします。 詳細については，*1200 ページの 21.3.10「ループ・バック・モード」*を参照してください。 注意： スレーブ・モードの場合，このビットは 0 にしてください。
2	CSIGnSIT	割り込み遅延モードを選択します。 0: 遅延を生成しません。 1: すべての割り込みについて半周期の遅延を生成します。 このビットはマスタ・モードでのみ有効になります。スレーブ・モードでは遅延は生成されません。 詳細については，*1194 ページの 21.3.8「CSIG の割り込み要求」*を参照してください。
1	CSIGnHSE	ハンドシェーク・モードを有効または無効にします。 0: ハンドシェーク機能を無効にします。 1: ハンドシェーク機能を有効にします。 詳細については，*1197 ページの 21.3.9「ハンドシェーク機能」*を参照してください。

(3) CSIGnCTL2 — CSIG 制御レジスタ 2

このレジスタでは通信クロックを選択します。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<CSIGn_base0> + 14_H

初期値　$E000_H$　どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIGn PRS[2:0]			0	CSIGn BRS[11:0]											
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注意　このレジスタの内容は，CSIGnCTL0.CSIGnPWR = 0 のときにのみ変更することができます。

表 21-11　CSIGnCTL2 レジスタの内容

ビット位置	ビット名	機能
15-13	CSIGnPRS [2:0]	プリスケーラの値を選択します。
11-0	CSIGnBRS [11:0]	ボー・レートを選択します。

プリスケーラの値を選択します。

CSIGn PRS2	CSIGn PRS1	CSIGn PRS0	プリスケーラの出力（PRSOUT）
0	0	0	PCLK（マスタ・モード）
0	0	1	PCLK / 2（マスタ・モード）
0	1	0	PCLK / 4（マスタ・モード）
0	1	1	PCLK / 8（マスタ・モード）
1	0	0	PCLK / 16（マスタ・モード）
1	0	1	PCLK / 32（マスタ・モード）
1	1	0	PCLK / 64（マスタ・モード）
1	1	1	CSIGnTSCK 端子経由の外部クロック（スレーブ・モード）

ボー・レートを選択します。

CSIGnBRS[11:0]	CSIGnTSCK のボー・レート
0	BRG の停止
1	PCLK / (2^m × 1 × 2)
2	PCLK / (2^m × 2 × 2)
3	PCLK / (2^m × 3 × 2)
4	PCLK / (2^m × 4 × 2)
...	...
4095	PCLK / (2^m × 4095 × 2)

m = CSIGnPRS[2:0] = 0 - 6
マスタ・モードの場合，有効となる設定です。

(4) CSIGnSTR0 — CSIG ステータス・レジスタ 0

このレジスタは CSIG の状態を示します。

アクセス　32 ビット単位でリード可能です。

ただし，CSIGnDCE, CSIGnPE, CSIGnOVE ビットは CSIGnCTL0.PWR = 0 のとき，ライト可能です。

アドレス　<CSIGn_base1> + 04_H

初期値　$0000\ 0010_H$　どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	CSIGn TSF	0	0	1	CSIGn DCE	0	CSIGn PE	CSIGn OVE
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21-12　CSIGnSTR0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	CSIGnTSF	転送ステータス・フラグ 0: アイドル状態 1: 送信中または送信の準備中 このビットがセットまたはクリアされる条件を以下に示します。

マスタ・モード	セットされる条件	クリアされる条件
送信専用モード	CSIGnTX0W または CSIGnTX0H レジスタへの書き込み	最後の CSIGnTSCK エッジから 0.5 クロック以内
送受信モード		
受信専用モード	CSIGnRX0 レジスタのリード	

スレーブ・モード	セットされる条件	クリアされる条件
送信専用モード	CSIGnTX0W または CSIGnTX0H レジスタへの書き込み	最後の CSIGnTSCK エッジから 0.5 クロック以内
送受信モード		
受信専用モード	CSIGnTSCK 端子へのクロックの入力	

表 21-12 CSIGnSTR0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	CSIGnDCE	データー貫性チェック・エラー・フラグ 0: データー貫性エラーが検出されていません。 1: データー貫性エラーが検出されています。 このビットは CSIGnSTCR0.CSIGnDCEC に 1 を書き込むことによってクリアされます。 このビットは CSIGnCTL0.CSIGnPWR = 0 のときに書き込みできます。 このビットは CSIGnCTL0.CSIGnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。 データー貫性エラーの検出による (1 への) セットと CSIGnSTCR0.CSIGnDCEC による (0 への) クリアが同時に発生した場合，データー貫性エラーの検出による (1 への) セットを優先します。
1	CSIGnPE	パリティ・エラー・フラグ 0: パリティ・エラーが検出されていません。 1: パリティ・エラーが検出されています。 このビットは CSIGnSTCR0.CSIGnPEC に 1 を書き込むことによってクリアされます。 このビットは CSIGnCTL0.CSIGnPWR = 0 のときに書き込みできます。 このビットは CSIGnCTL0.CSIGnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。 パリティ・エラーの検出による (1 への) セットと CSIGnSTCR0.CSIGnPEC による (0 への) クリアが同時に発生した場合，パリティ・エラーの検出による (1 への) セットを優先します。
0	CSIGnOVE	オーバラン・エラー・フラグ 0: オーバラン・エラーが検出されていません。 1: オーバラン・エラーが検出されています。 このビットは CSIGnSTCR0.CSIGnOVEC に 1 を書き込むことによってクリアされます。 このビットは CSIGnCTL0.CSIGnPWR = 0 のときに書き込みできます。 このビットは CSIGnCTL0.CSIGnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。 オーバラン・エラーの検出による (1 への) セットと CSIGnSTCR0.CSIGnOVEC による (0 への) クリアが同時に発生した場合，オーバラン・エラーの検出による (1 への) セットを優先します。

(5) CSIGnSTCR0 — CSIG ステータス・クリア・レジスタ 0

このレジスタは CSIGnSTR0 ステータス・レジスタのステータス・フラグをクリアします。

アクセス　16 ビット単位でライト可能です。

リードを行うと，リード値は常に 0000_H です。

アドレス　<CSIGn_base1> + 08_H

初期値　0000_H　どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	CSIGnDCEC	0	CSIGnPEC	CSIGnOVEC
R	R	R	R	R	R	R	R	R	R	R	R	W	R	W	W

表 21-13　CSIGnSTCR0 レジスタの内容

ビット位置	ビット名	機能
3	CSIGnDCEC	データー貫性チェック・エラー・フラグ（CSIGnSTR0.CSIGnDCE ビット）のクリア動作を制御します。 0: 何も操作を行いません。読み出し値は常に 0 になります。 1: データー貫性チェック・エラー・フラグ（CSIGnSTR0.CSIGnDCE）をクリアします。
1	CSIGnPEC	パリティ・エラー・フラグ（CSIGnSTR0.CSIGnPE ビット）のクリア動作を制御します。 0: 何も操作を行いません。読み出し値は常に 0 になります。 1: パリティ・エラー・フラグ（CSIGnSTR0.CSIGnPE）をクリアします。
0	CSIGnOVEC	オーバラン・エラー・フラグ（CSIGnSTR0.CSIGnOVE ビット）のクリア動作を制御します。 0: 何も操作を行いません。読み出し値は常に 0 になります。 1: オーバラン・エラー・フラグ（CSIGnSTR0.CSIGnOVE）をクリアします。

(6) CSIGnBCTL0 — CSIG 受信専用モード制御レジスタ 0

このレジスタは受信専用モードでのデータ転送を許可または禁止します。

アクセス 1 ビット単位と 8 ビット単位でリード／ライト可能です。

アドレス <CSIGn_base1> + 80_H

初期値 01_H　どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	CSIGnSCE
R	R	R	R	R	R	R	R/W

表 21-14　CSIGnBCTL0 レジスタの内容

ビット位置	ビット名	機能
0	CSIGnSCE	CSIGnRX0 レジスタを読み出しによる，次回のデータ受信開始の許可または禁止を設定します。 0: 次回の受信を禁止します。 1: 次回の受信を許可します。 詳細については，(2)「受信専用モード」を参照してください。

備考 送信専用モードまたは送受信モードのとき，CSIGnSCE ビットの設定は影響しません。

注意 次回の受信を停止するためには以下のタイミングで CSIGnSCE ビットを制御する必要があります。

- CSIGnSLIT = 0 の場合，最後のデータ受信（CSIGnRX0 レジスタ読み出し）前にこのビットをクリアしてください。
- CSIGnSLIT = 1 の場合，最後の 1 つ前のデータ受信（CSIGnRX0 レジスタ読み出し）直後（最後の受信完了割り込み CSIGnTIR の 1CSIGnTSCK クロック前まで）に，このビットをクリアしてください。

(7) CSIGnCFG0 — CSIG コンフィギュレーション・レジスタ 0

このレジスタでは，データ長，パリティ，転送方向，クロック位相，データ位相などの通信プロトコルを設定します。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<CSIGn_base0> + 1010_H

初期値　$0000\ 0000_H$　どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	CSIGn PS[1:0]		CSIGn DLS[3:0]				0	0	0	0	0	CSIGn DIR	0	CSIGn DAP
R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注意　このレジスタの内容は，CSIGnCTL0.CSIGnPWR = 0 のときにのみ変更することができます。

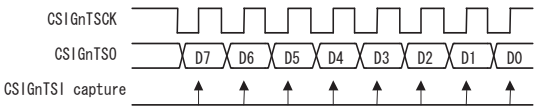
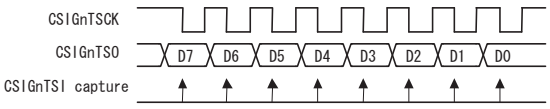
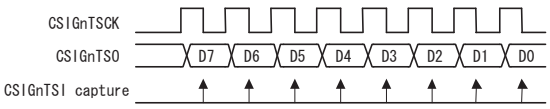
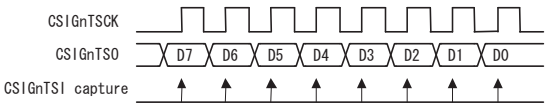
表 21-15　CSIGnCFG0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
29, 28	CSIGnPS [1:0]	パリティを指定します。 CSIGn PS1 / CSIGn PS0 / 送信 / 受信 0 / 0 / パリティを送信しません。 / パリティを判定しません。 0 / 1 / 0 に固定されたパリティ・ビットを追加します。 / パリティ・ビットを受信しますが，パリティを判定しません。 1 / 0 / 奇数パリティを追加します。 / 奇数パリティを判定します。 1 / 1 / 偶数パリティを追加します。 / 偶数パリティを判定します。
27-24	CSIGnDLS [3:0]	データ長を指定します。 0: データ長を 16 ビットにします。 1: データ長を 1 ビットにします。 2: データ長を 2 ビットにします。 ... 15: データ長を 15 ビットにします。 **注意：** データ長を 1 ～ 6 ビットにするには，EDL 機能を使用する必要があります。(*1190 ページの (2)「16 ビットを上回るデータ長」*も参照してください。) データ長が 7 ビット未満のデータを 2 つ続けて送信することは禁止されています。
18	CSIGnDIR	通信データの転送方向を選択します。 0: MSB ファーストでデータを送受信します。 1: LSB ファーストでデータを送受信します。

表 21-15　CSIGnCFG0 レジスタの内容 (2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>16</td><td>CSIGnDAP</td><td>データ位相選択ビット

CSIGnCTL1.CSIGnCKR とこのビットの組み合わせにより，データ送受信のタイミングは以下のようになります。

・CSIGnCTL1.CSIGnCKR = 0
<table><tr><th>CSIGn DAP</th><th>クロック位相とデータ位相の選択</th></tr><tr><td>0</td><td> 
</td></tr><tr><td>1</td><td> 
</td></tr></table>
・CSIGnCTL1.CSIGnCKR = 1
<table><tr><th>CSIGn DAP</th><th>クロック位相とデータ位相の選択</th></tr><tr><td>0</td><td> 
</td></tr><tr><td>1</td><td> 
</td></tr></table></td></tr>
</table>

(8) CSIGnTX0W — ワード・アクセス用 CSIG 送信データ・レジスタ 0

このレジスタは送信データを格納します。拡張データ長機能が有効になっている場合は（CSIGnCTL1.CSIGnEDLE = 1），このレジスタを使用する必要があります。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<CSIGn_base1> + 84_H

初期値　$0000\ 0000_H$　どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	CSIGnEDL	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIGnTX[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注意　CSIGnCTL0.CSIGnTXE = 0，CSIGnCTL0.CSIGnRXE = 0 のとき，このレジスタへの書き込みアクセスは禁止です。

表 21-16　CSIGnTX0W レジスタの内容

ビット位置	ビット名	機能
29	CSIGnEDL	拡張データ長を指定します。 0: 通常の動作 1: 拡張データ長を有効にします。 データは 16 ビット・データとして送信されます。 注意： このビットは CSIGnCTL1.CSIGnEDLE = 1 のときにのみ利用できます。 CSIGnCTL1.CSIGnEDLE がクリアされると，このビットも自動的にクリアされます。
15-0	CSIGnTX[15:0]	送信されるデータ

(9)　CSIGnTX0H — ハーフ・ワード・アクセス用 CSIG 送信データ・レジスタ 0

このレジスタは送信データを格納します。このレジスタは，拡張データ長機能が無効（CSIGnCTL1.CSIGnEDLE = 0）になっているときに使用できます。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<CSIGn_base1> + 88_H

初期値　0000_H　どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIGnTX[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注意　CSIGnCTL0.CSIGnTXE = 0，CSIGnCTL0.CSIGnRXE = 0 のとき，このレジスタへの書き込みアクセスは禁止されています。

表 21-17　CSIGnTX0H レジスタの内容

ビット位置	ビット名	機能
15-0	CSIGnTX [15:0]	送信されるデータ

(10)　CSIGnRX0 — CSIG 受信データ・レジスタ 0

このレジスタは受信データを格納します。

アクセス　16 ビット単位でリード可能です。

アドレス　<CSIGn_base1> + $8C_H$

初期値　0000_H　どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIGnRX[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注意
1. このレジスタは CSIGnCTL0.CSIGnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。
2. CSIGnCTL0.CSIGnTXE = 0，CSIGnCTL0.CSIGnRXE = 0 のとき，このレジスタからの読み込みアクセスは禁止されています。下記のように設定されている状態でこのレジスタをリードした場合，リード値は不定となります。
   - CSIGnPWR = 0，CSIGnTXE = 1，CSIGnRXE = 1
   - CSIGnPWR = 1，CSIGnTXE = 0，CSIGnRXE = 0
3. このレジスタは CSIGnCTL0.CSIGnPWR = 1 のとき，読み込みできます。
4. このレジスタは CSIGnCTL0.CSIGnPWR = 0 のとき，書き込みできます。

表 21-18　CSIGnRX0 レジスタの内容

ビット位置	ビット名	機能
15-0	CSIGnRX [15:0]	受信データ

21.5 操作手順の例

ここでは，マスタ・モードでの送受信を行う例について説明します。

ここに示す手順では，以下の条件を想定しています。

- 通信データ長は 8 ビット（CSIGnCFG0.CSIGnDLS[3:0] = 1000_B）
- 転送方向は MSB ファースト（CSIGnCFG0.CSIGnDIR = 0）
- 転送完了時に CSIGnTIC 割り込みを生成（CSIGnCTL1.CSIGnSLIT = 0）
- 通常のクロック位相とデータ位相：CSIGnCTL1.CSIGnCKR = 0, CSIGnCFG0.CSIGnDAP = 0
- データ・パケットの数は 10 個（0-9）

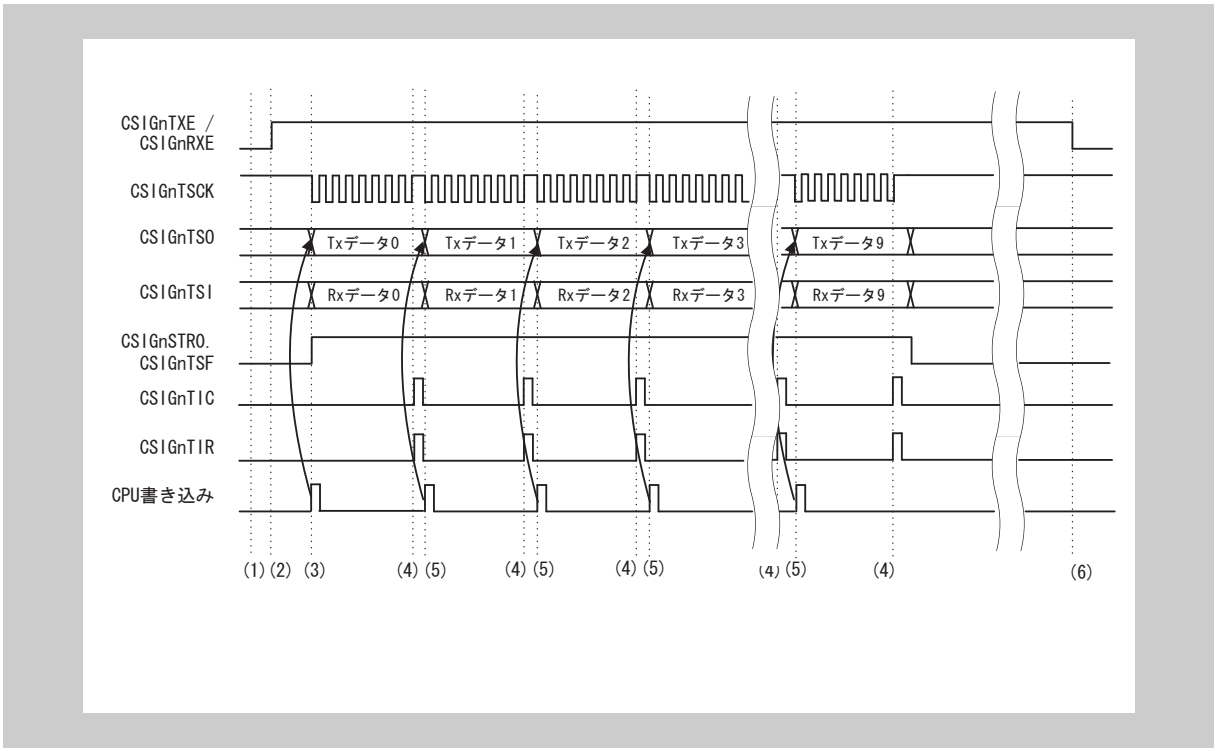


図 21-25 マスタ・モードでの通信

手順：

1. CSIGnCTL1 レジスタで各機能 , CSIGnCTL2 レジスタで通信スピード , CSIGnCFG0 レジスタで通信プロトコルを設定します。
2. CSIGnCTL0 レジスタで，CSIGnPWR = 1（クロック有効），CSIGnTXE = 1（送信許可），CSIGnRXE = 1（受信許可）に設定します。データ出力端子 CSIGnTSO が有効になります。
3. 最初の送信データを送信レジスタ CSIGnTX0W または CSIGnTX0H に書き込みます。送信が自動的に開始されます。
4. データ・パケットが 1 つ送信されるたびに割り込み信号 CSIGnTIC と CSIGnTIR が生成されます。CSIGnTIC 信号は，次のデータを CSIGnTX0W レジスタまたは CSIGnTX0H レジスタに書き込めることを示します。CSIGnTIR 信号は，受信レジスタ CSIGnRX0 レジスタを読み出す必要があることを示します。

   この例では，CPU 書き込みと DMA 書き込みを同じものと見なしています。
5. 次の送信データを CSIGnTX0W レジスタまたは CSIGnTX0H レジスタに書き込みます。
6. データ 9 の書き込みが完了すれば，それ以降の書き込みアクションは必要ありません。
7. 最後に，CSIGnCTL0.CSIGnTXE と CSIGnCTL0.CSIGnRXE をクリアして，送受信動作を禁止します。

第 22 章　同期／非同期シリアル・インタフェース H（UARTH）

22.1　UARTHn の機能

チャネル　この製品は 2 チャネルの同期／非同期シリアル・インタフェース H UARTHn を搭載しています。

表 22-1　UARTHn のチャネル

同期／非同期シリアル・インタフェース H	
チャネル数	2
名称	UARTHn

n の意味　この章では，同期／非同期シリアル・インタフェース H の各チャネルを「n」で識別します（n = 0，1）。たとえば，UARTHn 制御レジスタ 0（URTHnCTL0）のように記述しています。

レジスタ・アドレス　UARTHn レジスタのアドレスは，それぞれベース・アドレス <URTHn_base0>，<URTHn_base1> からのオフセットで表されます。

各 UARTHn のレジスタ・ベース・アドレス <URTHn_base0>，<URTHn_base1> を次の表に示します。

表 22-2　UARTHn レジスタ・ベース・アドレス <URTHn_base0>，<URTHn_base1>

UARTHn	<URTHn_base0> アドレス	<URTHn_base1> アドレス
UARTH0	$FF5C0000_H$	$FFFFEA00_H$
UARTH1	$FF5D0000_H$	$FFFFEB00_H$

クロック供給　UARTHn には 1 つのクロック入力があり，以下のクロックが入力されます。

表 22-3　UARTHn のクロック供給

UARTHn	UARTHn のクロック	接続先
UARTH0	PCLK	クロック・コントローラ
UARTH1		

入出力信号 UARTHn の入出力信号を次の表に示します。

表 22-4 UARTH の入出力信号

UARTHn 信号	機能	接続先
URTHnTXD	送信データ出力	ポート URTHnTXD
URTHnRXD	受信データ入力	ポート URTHnRXD
URTHnSC	同期クロック入出力	ポート URTHnSC
URTHnRTS	ハンドシェイク用信号出力	ポート URTHnRTS
URTHnCTS	ハンドシェイク用信号入力	ポート URTHnCTS

割り込み UARTHn の割り込みを次の表に示します。

表 22-5 UARTHn の割り込み

UARTHn 信号	機能	接続先
URTHnTIT	送信割り込み	割り込みコントローラ INTURTHnIT DMA
URTHnTIR	受信割り込み	割り込みコントローラ INTURTHnIR DMA
URTHnTIS	ステータス割り込み	割り込みコントローラ INTURTHnIS DMA

ポート・グループ UARTHn の端子は以下の表のグループで使用してください。

表 22-6 UARTHn のポート・グループ

UARTHn のチャネル	端子名	Group		
		1	2	3
UARTH0	URTH0SC	P0_2	P1_9	P5_2
	URTH0TXD	P0_1	P1_8	P5_1
	URTH0RXD	P0_0	P1_7	P5_0
	URTH0CTS	P0_3	—	P5_3
	URTH0RTS	—	—	—
UARTH1	URTH1SC	P2_0	—	—
	URTH1TXD	P3_1	P4_1	—
	URTH1RXD	P3_0	P4_0	—
	URTH1CTS	P4_3	—	—
	URTH1RTS	P4_4	—	—

22.2 機能の概要

- クロック同期モード／非同期モード選択
- 全二重通信
  - 内部 UARTHn 受信データ・レジスタ n（URTHnRX）
  - 内部 UARTHn 送信データ・レジスタ n（URTHnTX）
- 2 端子構成：
  - URTHnTXD：送信データ出力端子
  - URTHnRXD：受信データ入力端子
- 受信エラーとステータス出力機能
  - パリティ・エラー
  - フレーミング・エラー
  - オーバラン・エラー
  - データー貫性エラー
- 割り込みソース：3 種類
  - 送信割り込み URTHnTIT
  - 受信割り込み URTHnTIR
  - ステータス割り込み URTHnTIS
- キャラクタ長：7 ビット，8 ビット，9 ビット（拡張ビット）
- パリティ機能：奇数，偶数，0，なし
- 送信ストップ・ビット：1，2 ビット
- MSB ファースト／ LSB ファーストを切り換え可能
- 送信／受信データの出力／入力の反転が可能
- LIN（Local Interconnect Network）通信フォーマットの BF（ブレーク・フィールド）を 13-20 ビットに設定可能
  - LIN 通信フォーマットの BF 受信で 11 ビット以上を認識可能
  - BF 受信フラグを装備
- データ通信中に BF 受信の検出が可能
- 送信データの一貫性を保つバス・モニタ機能
- ハンドシェイク・モード（URTHnCTS 端子，URTHnRTS 端子：アクティブ・レベル選択可能）
- 1 フレーム転送／ 2 フレーム連続転送可能
- 拡張ビット検出割り込み設定可能
- ノイズ除去機能（URTHnRXD 端子，URTHnCTS 端子，URTHnSC 端子）
- 遅延サンプリング・モード（クロック同期モード時）
- LIN 通信スレーブ動作ボー・レート検出機能

22.3 構成

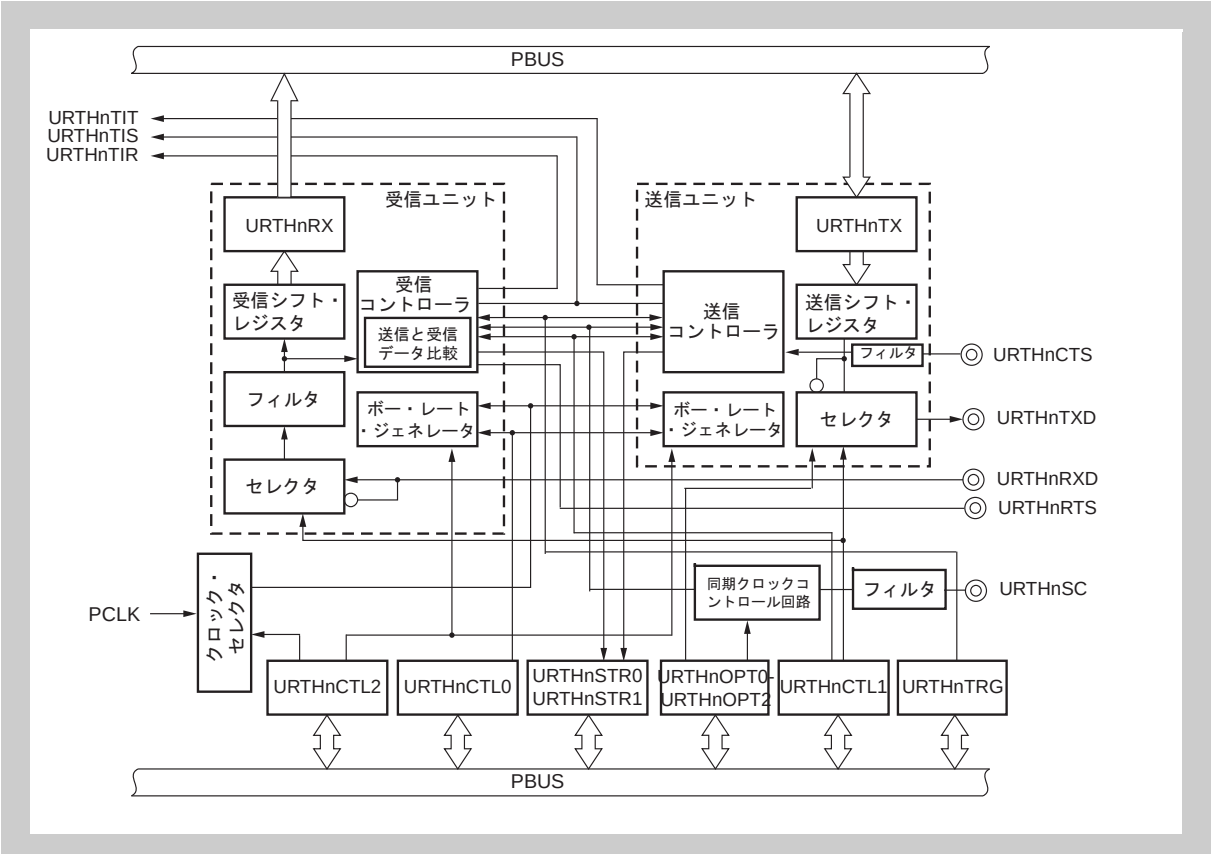


図 22-1 同期／非同期シリアル・インタフェース UARTHn のブロック図

22.4 UARTHn レジスタ

UARTHn は，次のレジスタで制御，動作します。

表 22-7 UARTHn レジスタ

レジスタ機能	名称	アドレス
制御レジスタ 0	URTHnCTL0	<URTHn_base1> + 00_H
制御レジスタ 1	URTHnCTL1	<URTHn_base0> + 40_H
制御レジスタ 2	URTHnCTL2	<URTHn_base0> + 44_H
トリガ・レジスタ	URTHnTRG	<URTHn_base1> + $0C_H$
ステータス・レジスタ 0	URTHnSTR0	<URTHn_base1> + 10_H
ステータス・レジスタ 1	URTHnSTR1	<URTHn_base1> + 14_H
ステータス・クリア・レジスタ	URTHnSTC	<URTHn_base1> + 18_H
オプション・レジスタ 0	URTHnOPT0	<URTHn_base0> + 48_H
オプション・レジスタ 1	URTHnOPT1	<URTHn_base1> + 04_H
オプション・レジスタ 2	URTHnOPT2	<URTHn_base1> + 08_H
受信データ・レジスタ	URTHnRX	<URTHn_base1> + $1C_H$
受信データ・レジスタ HL	URTHnRXHL	<URTHn_base1> + 20_H
受信拡張データ・レジスタ	URTHnERX	<URTHn_base1> + 24_H
受信拡張ワード・データ・レジスタ	URTHnERXW	<URTHn_base1> + 28_H
送信データ・レジスタ	URTHnTX	<URTHn_base1> + $2C_H$
送信データ・レジスタ HL	URTHnTXHL	<URTHn_base1> + 30_H
送信拡張データ・レジスタ	URTHnETX	<URTHn_base1> + 34_H
送信拡張ワード・データ・レジスタ	URTHnETXW	<URTHn_base1> + 38_H
LIN 通信スレーブ動作ボー・レート検出機能レジスタ 0	IC0REG0	$FFFFFE00_H$

<URTHn_base> UARTHn のレジスタ・ベース・アドレス <URTHn_base0>, <URTHn_base1> は，*表 22-2「UARTHn レジスタ・ベース・アドレス <URTHn_base0>，<URTHn_base1>」*を参照してください。

(1) URTHnCTL0 - UARTHn 制御レジスタ 0

UARTHn の基本的なシリアル転送動作を制御します。

アクセス 8/1 ビット単位でリード／ライト可能です。

アドレス <URTHn_base1> + 00_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
URTHn PW	URTHn TXE	URTHn RXE	0	0	0	0	URTHn SLDC
R/W	R/W	R/W	R	R	R	R	R/W

表 22-8 URTHnCTL0 レジスタの内容

ビット位置	ビット名	機能
7	URTHnPW	UARTHn の動作許可 0: UARTHn の動作禁止 1: UARTHn の動作許可 このビットを変更すると，送信ユニットと受信ユニットが初期化されます。
6	URTHnTXE	送信許可 0: 送信動作を禁止 1: 送信動作を許可 • 送信を開始するには，URTHnPW を 1 にセットしたあと，URTHnTXE を 1 にセットします。 送信を停止するには，URTHnTXE を 0 にクリアしたあと，URTHnPW を 0 にクリアする，または，URTHnPW と URTHnTXE を同時にクリアします。 • 送信ユニットを初期化するには，URTHnTXE を 0 にクリアし，2 × PRSCLK クロックが経過したあと，再度 URTHnTXE を 1 にセットします。
5	URTHnRXE	受信許可 0: 受信動作を禁止 1: 受信動作を許可 • 受信を許可するには，URTHnPW を 1 にセットしたあと，URTHnRXE を 1 にセットします。 受信を停止するには，URTHnRXE を 0 にクリアする，または，URTHnPW と URTHnRXE を同時にクリアします。 • 受信ユニットを初期化するには，URTHnRXE を 0 にクリアし，2 × PRSCLK クロックが経過したあと，再度 URTHnRXE を 1 にセットします。 URTHnRXE が 1 にセットされてから 2 × PRSCLK クロックが経過すると，受信が許可されます。URTHnRXE が 1 にセットされてから 4 × PRSCLK クロックが経過すると，URTHnRXD 信号エッジの検出が可能になります。
0	URTHnSLDC	データー貫性チェックの有効／無効 0: データー貫性チェック無効 1: データー貫性チェック有効 データ送信時にデーター貫性エラー・チェックを有効にするかどうかを選択します。 1 にセットした場合，送信データと受信データの比較を行います。比較の結果不一致が検出されると，URTHnSTR1.URTHnDCE フラグが 1 にセットされ，ステータス割り込み要求 URTHnTIS が発生します。 このビットは送信開始時にのみアクセス可能です。したがって，このビットの値を送信処理中に変更しても，後続の送信処理は処理開始時の設定に応じて実行されます。

注意

1. UARTHn が次の状態にある場合：
   - 送受信許可時（URTHnPW = URTHnRXE = URTHnTXE = 1）かつ
   - データー貫性チェックが有効（URTHnSLDC = 1）かつ
   - 送信中または送信完了状態

   送信を禁止し，受信許可状態に保つには，次の手順に従ってください。
   - 未送信状態（URTHnSTR0.URTHnSSBT = URTHnSTR0URTHnSST = 0）であることを確認します。
   - URTHnTXE を 0 に設定して送信を禁止します。

   この手順を実行するのは，URTHnTXE を 0 にクリアするとデーター貫性エラー・フラグ URTHnSTR1.URTHnDCE がクリアされるためです。上記手順を実行することによって，データ転送中またはデータ転送完了後に送信を禁止した際にデーター貫性エラーが報告されなくなります。
2. UARTHn が次の状態にある場合：
   - 送受信許可時（URTHnPW = URTHnRXE = URTHnTXE = 1）かつ
   - データー貫性チェックが有効（URTHnSLDC = 1）かつ
   - 送信中または送信完了状態

   受信を禁止し，送信許可状態に保つには，次の手順に従ってください。
   - 未送信状態（URTHnSTR0.URTHnSSBT = URTHnSTR0.URTHnSST = 0）であることを確認します。
   - URTHnRXE を 0 に設定して受信を禁止します。

   この手順を実行するのは，URTHnRXE を 0 にクリアするとデーター貫性エラー・フラグ URTHnSTR1.URTHnDCE がクリアされて無効になるためです。上記手順を実行することによって，すでに送信されたデータに対するデーター貫性エラーは報告されなくなります。
3. 次の場合はデータの送信を開始しないでください。
   - データー貫性チェックが有効（URTHnSLDC = 1）かつ
   - BF 受信許可時（URTHnSTR0.URTHnSSBR = 1）かつ
   - 受信中の BF 検出禁止時（URTHnCTL1.URTHnSLBM = 0）

   上記の場合，BF の受信が完了したときにデーター貫性エラーが発生します。このとき，ステータス割り込み URTHnTIS が発生し，BF の受信完了は報告されません（URTHnSTR1.URTHnBSF フラグは 0 を保持）。したがって，BF の受信完了は認識されません。

(2) URTHnCTL1 - UARTHn 制御レジスタ 1

UARTHn シリアル・データ転送で使用されるデータ・フレームの特性を指定します。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<URTHn_base0> + 40_H

初期値　5002_H　どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
URTHn SLBM	URTHnBLG[2:0]			0	0	0	URTHn CLG
R/W	R/W	R/W	R/W	R	R	R	R/W

7	6	5	4	3	2	1	0
URTHnSLP[1:0]		URTHn TDL	URTHn RDL	URTHn LPM	URTHn SLG	URTHn SLD	URTHn SLIT
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22-9　URTHnCTL1 レジスタの内容 (1/3)

ビット位置	ビット名	機能
15	URTHnSLBM	BF 受信モード選択 0: データ受信中の BF の受信を禁止 1: データ受信中の BF の受信を許可 • このビットは，受信禁止時（URTHnCTL0.URTHnPW = 0 または URTHnCTL0.URTHnRXE = 0）にのみ変更できます。
14-12	URTHn BLG[2:0]	送信時の BF ビット長 URTHnBLG2 / URTHnBLG1 / URTHnBLG0 / BF 長 1 / 0 / 1 / 13 ビット 1 / 1 / 0 / 14 ビット 1 / 1 / 1 / 15 ビット 0 / 0 / 0 / 16 ビット 0 / 0 / 1 / 17 ビット 0 / 1 / 0 / 18 ビット 0 / 1 / 1 / 19 ビット 1 / 0 / 0 / 20 ビット これらのビットは，送信禁止時（URTHnCTL0.URTHnPW = 0 または URTHnCTL0.URTHnTXE = 0）にのみ変更できます。
8	URTHnCLG	送信／受信データ・ビット長 0: 7 ビット 1: 8 ビット，または 9bit (拡張ビット) • LIN フォーマットで送信／受信を行うときは，URTHnCTL1.URTHnCLG を 1 にセットしてください。 • このビットは，送受信禁止時（URTHnCTL0.URTHnPW = 0 または URTHnCTL0.URTHnRXE = 0，URTHnCTL0.URTHnTXE = 0）にのみ変更できます。

表 22-9 URTHnCTL1 レジスタの内容 (2/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>7, 6</td><td>URTHn
SLP[1:0]</td><td>パリティ・ビット選択
<table>
<tr><th rowspan="2">URTHnSLP1</th><th rowspan="2">URTHnSLP0</th><th colspan="2">動作</th></tr>
<tr><th>送信</th><th>受信</th></tr>
<tr><td>0</td><td>0</td><td>パリティ・ビットなしで出力</td><td>パリティなしで受信</td></tr>
<tr><td>0</td><td>1</td><td>0 パリティを出力（0 に固定）</td><td>パリティを判定しない</td></tr>
<tr><td>1</td><td>0</td><td>奇数パリティで出力</td><td>奇数パリティとして判定</td></tr>
<tr><td>1</td><td>1</td><td>偶数パリティで出力</td><td>偶数パリティとして判定</td></tr>
</table>
• 受信中に「パリティなしで受信」を選択した場合，パリティ・チェックは行われません。したがって，URTHnSTR1.URTHnPE ビットがセットされず，エラー割り込みも出力されません。
• LIN フォーマットで送信／受信を行うときは，URTHnSLP[1:0] を 00_B に設定してください。
• これらのビットは，送受信禁止時（URTHnCTL0.URTHnPW = 0 または URTHnCTL0.URTHnRXE = 0，URTHnCTL0.URTHnTXE = 0）にのみ変更できます。</td></tr>
<tr><td>5</td><td>URTHnTDL</td><td>送信データ・レベル制御
0: 送信データ出力反転無効
1: 送信データ出力反転有効
• このビットを使って URTHnTXD 信号の出力レベルを反転させることができます。このビットを 1 にセットすると，URTHnCTL0.URTHnPW と URTHnCTL0.URTHnTXE の値に関係なく，ただちに URTHnTXD 信号の出力レベルを反転します。したがって，動作禁止時に URTHnTDL を 1 にセットすると，URTHnTXD 信号はロウ・レベルを出力します。
• このビットは，送信禁止時（URTHnCTL0.URTHnPW = 0 または URTHnCTL0.URTHnTXE = 0）にのみ変更できます。</td></tr>
<tr><td>4</td><td>URTHnRDL</td><td>受信データ・レベル制御
0: 受信データ入力反転無効
1: 受信データ入力反転有効
• このビットを使って URTHnRXD 信号の入力レベルを反転させることができます。このビットを 1 にセットすると，URTHnCTL0.URTHnPW と URTHnCTL0.URTHnRXE の値に関係なく，ただちに URTHnRXD 信号の入力レベルを反転します。したがって，動作禁止時に URTHnRDL を 1 にセットすると，URTHnRXD 信号にはロウ・レベルが入力されます。
• このビットは，受信禁止時（URTHnCTL0.URTHnPW = 0 または URTHnCTL0.URTHnRXE = 0）にのみ変更できます。</td></tr>
<tr><td>3</td><td>URTHnLPM</td><td>ループ・バック制御
0: 送信データのループ・バック無効
1: 送信データのループ・バック有効
• このビットを使って，出力する URTHnTXD 信号を，そのまま URTHnRXD 信号として入力することができます。このとき，URTHnTXD の出力は，
URTHnTDL = 0 であれば “H” 固定
URTHnTDL = 1 であれば “L” 固定を出力します。
• URTHnLPM = 1 時，ハンドシェイク・モードは禁止（URTHnOPT0.URTHnHS = 0）にしてください。
• このビットは，UARTHn の動作禁止時（URTHnCTL0.URTHnPW = 0）にのみ変更できます。</td></tr>
</table>

表 22-9 URTHnCTL1 レジスタの内容 (3/3)

ビット位置	ビット名	機能
2	URTHnSLG	送信データのストップ・ビット数の選択 0: 1 ビット 1: 2 ビット • データまたは BF の受信中，ストップ・ビット長は常に 1 として処理されます。 • スレーブでデーター貫性チェックを有効（URTHnCTL0.URTHnSLDC = 1）にして使用する際は，URTHnSLG = 1 にしてください。 • このビットは，送信禁止時（URTHnCTL0.URTHnPW = 0 または URTHnCTL0.URTHnTXE = 0）にのみ変更できます。
1	URTHnSLD	転送方向選択 0: MSB ファースト転送 1: LSB ファースト転送 • LIN フォーマットで送信／受信を行うときは，URTHnSLD を 1 にセットしてください。 • このビットは，送受信禁止時（URTHnCTL0.URTHnPW = 0 または URTHnCTL0.URTHnRXE，URTHnCTL0.URTHnTXE = 0）にのみ変更できます。
0	URTHnSLIT	送信割り込み要求（URTHnTIT）発生タイミング選択 0: 送信データが送信シフト・レジスタに格納され，送信を開始する際に URTHnTIT を発生します。 1: 送信完了時に URTHnTIT を発生します。 • このビットは，送信禁止時（URTHnCTL0.URTHnPW = 0 または URTHnCTL0.URTHnTXE = 0）にのみ変更できます。

(3) URTHnCTL2 - UARTHn 制御レジスタ 2

UARTHn シリアル・データ転送で使用されるボー・レートを指定します。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<URTHn_base0> + 44_H

初期値　$EFFF_H$　どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
URTHnPRS[2:0]			0	URTHnBRS[11:8]			
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
URTHnBRS[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22-10　URTHnCTL2 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>15-13</td><td>URTHn
PRS[2:0]</td><td>プリスケーラ・クロック（PRSCLK）分周値
0: PRSCLK = PCLK / 2^0
1: PRSCLK = PCLK / 2^1
2: PRSCLK = PCLK / 2^2
3: PRSCLK = PCLK / 2^3
4: PRSCLK = PCLK / 2^4
5: PRSCLK = PCLK / 2^5
6: PRSCLK = PCLK / 2^6
7: PRSCLK = PCLK / 2^7</td></tr>
<tr><td>11-0</td><td>URTHn
BRS[11:0]</td><td>ボー・レート・クロック（BRCLK）分周値
<table>
<tr><th>URTHn
BRS[11:0]</th><th>送信／受信 BRCLK</th><th>BF 受信クロック</th></tr>
<tr><td>000_H</td><td rowspan="3">PRSCLK / (2 × 2)</td><td rowspan="3">PRSCLK / 2</td></tr>
<tr><td>001_H</td></tr>
<tr><td>002_H</td></tr>
<tr><td>003_H</td><td>PRSCLK / (2 × 3)</td><td>PRSCLK / 3</td></tr>
<tr><td>004_H</td><td>PRSCLK / (2 × 4)</td><td>PRSCLK / 4</td></tr>
<tr><td>005_H</td><td>PRSCLK / (2 × 5)</td><td>PRSCLK / 5</td></tr>
<tr><td>...</td><td>PRSCLK /
(2 × URTHnBRS[11:0])</td><td>PRSCLK /
URTHnBRS[11:0]</td></tr>
<tr><td>FFE_H</td><td>PRSCLK / (2 × 4094)</td><td>PRSCLK / 4094</td></tr>
<tr><td>FFF_H</td><td>PRSCLK / (2 × 4095)</td><td>PRSCLK / 4095</td></tr>
</table></td></tr>
</table>

注意　このレジスタは，UARTHn 動作禁止時（URTHnCTL0.URTHnPW = 0）にのみ書き込み可能です。

クロック供給　UARTHn 入力クロックの値は，*表 22-3「UARTHn のクロック供給」*で定義しています。

(4) URTHnTRG - UARTHn トリガ・レジスタ

BF の UARTHn 送信／受信トリガを制御します。

アクセス 8/1 ビット単位でリード／ライト可能です。

アドレス <URTHn_base1> + $0C_H$

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	URTHn BRT	URTHn BTT	0	0	0	0	0
R	R/W	R/W	R	R	R	R	R

表 22-11 URTHnTRG レジスタの内容 (1/2)

ビット位置	ビット名	機能
6	URTHnBRT	BF 受信トリガ 0: 読み出し値は常に 0 になり，0 の書き込みは無視されます。 1: BF の受信許可 • 受信許可時にこのビットを 1 にセットすることによって BF の受信を許可し（URTHnSTR0.URTHnSSBR = 1），受信シリアル信号の立ち下がりエッジ検出によって BF の受信処理を開始します。 • 受信処理中にこのビットを 1 にセットすると，進行中の受信処理が終了します。このとき，受信データは格納されず，受信していたデータに基づいてフレーミング・エラー・ビット，パリティ・エラー・ビット，オーバフロー・エラー・ビットが更新されることもなく，割り込みも発生しません。この間 BF カウンタ値は継続的に使用されます。 • BF 受信後は，URTHnCTL1.URTHnSLBM の設定に従って受信ステータスが設定されます。 • このビットは，受信許可時（URTHnCTL0.URTHnPW = URTHnCTL0.URTHnRXE = 1）にのみセットできます。 URTHnBRT が 1 にセットされると，URTHnCTL1.URTHnSLBM の設定に応じて，次のいずれかの方法で BF の受信完了が発生します。 URTHnBRT ビットに 1 を設定した後，受信完了割り込みが発生するまでは，URTHnBRT ビットへの 1 書き込みは行わないでください。 • URTHnCTL1.URTHnSLBM = 0 の場合 : BF の受信が完了すると，受信割り込み要求 URTHnTIR が発生します。 • URTHnCTL1.URTHnSLBM = 1 の場合 : BF の受信が完了すると，URTHnSTR1.URTHnBSF が 1 にセットされ，ステータス割り込み要求 URTHnTIS が発生します。

表 22-11 URTHnTRG レジスタの内容 (2/2)

ビット位置	ビット名	機能
5	URTHnBTT	BF 送信トリガ 0: 読み出し値は常に 0 になり，0 の書き込みは無視されます。 1: BF の送信許可 • URTHnSTR0.URTHnSSBT = 0 かつ送信許可時（URTHnSTR1.URTHnDCE = 0）にこのビットを 1 にセットすると，BF 送信要求が設定され，URTHnSTR0.URTHnSSBT が 1 にセットされます。 • データ送信中にこのビットを 1 にセットすると，現在の送信処理が完了したあとで BF が送信されます。BF の送信が完了する前にこのビットを 1 にセットしても，BF は 1 回しか送信されません。 • 送信許可時（URTHnCTL0.URTHnPW = URTHnCTL0.URTHnTXE = 1）にこのビットを 1 にセットすると，それまでに設定されていた未送信のデータ送信要求はすべてクリアされ，BF 送信要求だけが残ります。このビットを 1 にセットしたあとに URTHnTX.URTHnTX7-URTHnTX0 ビットへの書き込みが行われた場合，BF が送信されたあとでデータが送信されます。 • 送信開始時に BF 送信要求とデータ送信要求の両方が設定された場合は，BF 送信要求が優先されます。 • URTHnSTR1.URTHnDCE = 1 の場合は，このビットに 1 を書き込んでも無視されます。 • このビットは，送信許可時（URTHnCTL0.URTHnPW = 1，URTHnCTL0.URTHnTXE = 1）にのみセットできます。

(5) URTHnSTR0 - UARTHn ステータス・レジスタ 0

シリアル・データ送信の現在の状態を示します。

アクセス 8/1 ビット単位でリード可能です。このレジスタは，UARTHn 動作禁止時（URTHnCTL0.URTHnPW = 0）に書き込み可能です。UARTHn の動作が許可（URTHnCTL0.URTHnPW = 1）されると，このレジスタはそれまで書き込まれた値を無視して初期値に戻ります。

アドレス <URTHn_base1> + 10_H

初期値 00_H どのリセット要因が発生，および URTHnCTL0.URTHnPW = 0 → 1 または 1 → 0 と変更されたときに初期化されます。

7	6	5	4	3	2	1	0
0	URTHn SSBR[a]	URTHn SSBT[b]	0	0	0	URTHn SSR[a]	URTHn SST[b]
R	R	R	R	R	R	R	R

a) これらのビットは，URTHnCTL0.URTHnRXE = 0 によって受信が禁止されたときにも初期化されます。

b) これらのビットは，URTHnCTL0.URTHnTXE = 0 によって送信が禁止されたときにも初期化されます。

表 22-12 URTHnSTR0 レジスタの内容

ビット位置	ビット名	機能
6	URTHnSSBR	BF 受信許可／禁止状態表示 0: BF 受信禁止状態 1: URTHnTRG.URTHnBRT のセットによる BF 受信許可状態（BF 受信スタンバイ・モードまたは BF 受信ビジー）
5	URTHnSSBT	BF 送信許可／禁止状態表示 0: BF 送信禁止状態 1: URTHnTRG.URTHnBTT のセットによる BF 送信許可状態（BF 送信スタンバイ・モードまたは BF 送信ビジー）
1	URTHnSSR	データ受信状態 0: データ受信処理外 1: データ受信中（データ受信ビジー）
0	URTHnSST	データ送信状態 0: 進行中または保留中の送信なし 1: URTHnTX.URTHnTX[7:0] 内データの送信を保留中，または進行中

(6) URTHnSTR1 - UARTHn ステータス・レジスタ 1

シリアル・データ送信の結果を示します。

アクセス　8/1 ビット単位でリード可能です。このレジスタは，UARTHn 動作禁止時（URTHnCTL0.URTHnPW = 0）に書き込み可能です。UARTHn の動作が許可（URTHnCTL0.URTHnPW = 1）されると，このレジスタはそれまで書き込まれた値を無視して初期値に戻ります。

アドレス　<URTHn_base1> + 14_H

初期値　00_H　どのリセット要因，および URTHnCTL0.URTHnPW = 0 → 1 でまたは 1 → 0 と変更されたときに初期化されます。

7	6	5	4	3	2	1	0
0	URTHn IDM[a]	URTHn EBD[a]	URTHn BSF[a]	URTHn DCE[b]	URTHn PE[a]	URTHn FE[a]	URTHn OVE[a]
R	R	R	R	R	R	R	R

a) これらのビットは，URTHnCTL0.URTHnRXE = 0 によって受信が禁止されたときも初期化されます。

b) このビットは，URTHnCTL0.URTHnTXE = 0 によって送信が禁止されたときも初期化されます。

表 22-13　URTHnSTR1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
6	URTHnIDM	ID 値一致検出フラグ 0: 受信データの ID 値一致なし 1: 受信データの ID 値一致検出 • 拡張ビット（9 ビット）転送で ID 比較を許可（URTHnOPT1.URTHnIDCN = 1），拡張ビット検出割込みを許可（URTHnOPT0.URTHnEGE = 1）時，ID 値が一致した場合，1 にセットされます。 • ID 一致検出の詳細は，22.6.5「拡張ビット検出機能 / ID 比較一致検出機能」を参照してください。
5	URTHnEBD	拡張ビット検出フラグ 0: 受信データの拡張ビットなし 1: 受信データの拡張ビットを検出 • 拡張ビット（9 ビット）転送の動作許可（URTHnOPT0.URTHnEBE = 1），拡張ビット検出割込みを許可（URTHnOPT0.URTHnEGE = 1）時，拡張ビットを検出した場合，1 にセットされます。 • 拡張ビット検出の詳細は，22.6.5「拡張ビット検出機能 / ID 比較一致検出機能」を参照してください。
4	URTHnBSF	BF 受信成功フラグ 0: URTHnSLBM = 1 のときに BF 受信なし 1: URTHnSLBM = 1 のときに BF 受信成功 LIN 通信時に BF 受信モード選択ビット（URTHnCTL1.URTHnSLBM）を 1 にセットした場合，ステータス割り込み処理によってこのビットを読み出して新しいフレーム・スロットの開始を確認する必要があります。
3	URTHnDCE	データー貫性エラー・フラグ 0: 送受信データ（送受信 BF）の不一致なし 1: 送受信データ（送受信 BF）の不一致を検出

表 22-13 URTHnSTR1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	URTHnPE	パリティ・エラー・フラグ 0: 受信データ内にパリティ・エラーなし 1: 受信データ内にパリティ・エラー検出 URTHnSTR.URTHnPE の動作は URTHnCTL1.URTHnSLP[1:0] の設定によって制御されます。 備考：2 フレーム連続受信モード時は，2 フレーム・データ受信完了時にステータスへの反映を行います。
1	URTHnFE	フレーミング・エラー・フラグ 0: 受信データ内にフレーミング・エラーなし 1: 受信データ内にフレーミング・エラー検出 備考：2 フレーム連続受信モード時は，2 フレーム・データ受信完了時にステータスへの反映を行います。
0	URTHnOVE	オーバラン・エラー・フラグ 0: 受信データ内にオーバラン・エラーなし 1: 受信データ内にオーバラン・エラー検出 オーバラン・エラーが発生した場合，そのデータは破棄され，次の受信データも受信データ・レジスタ URTHnRX に書き込まれません。

備考 このレジスタのビットに対してセット（1）とクリア（0）が同時に起こった場合，セットが優先されます。

注意 エラー検出の詳細は，22.6.9「送信データー貫性チェック」および 22.6.13「受信エラー」を参照してください。送受信許可時にデーター貫性チェック・エラーが発生（URTHnSTR1.URTHnDCE = 1）した場合，後続のデータを転送する前に次の手順を実行してください。

- URTHnCTL0.URTHnTXE を 0 に設定して送信を禁止します。
- URTHnCTL0.URTHnTXE を 1 に設定して送信を許可します。
- URTHnTRG.URTHnBTT（BF 送信トリガ）をセットするか，URTHnTX に任意のデータを書き込んで送信を開始します。

これで新しい送信を開始できる状態になります。

(7) URTHnSTC - UARTHn ステータス・クリア・レジスタ

URTHnSTR1（ステータス・レジスタ 1）のステータス・ビットをクリアします。

アクセス　8 ビット単位でリード／ライト可能です。

このレジスタを読み出すと常に 00_H を返します。

アドレス　<URTHn_base1> $+18_H$

初期値　00_H　どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	URTHn CLIM	URTHn CLEB	URTHn CLBS	URTHn CLDC	URTHn CLP	URTHn CLF	URTHn CLOV
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22-14　URTHnSTC レジスタの内容

ビット位置	ビット名	機能
6	URTHnCLIM	ID 値一致検出フラグ（URTHnSTR1.URTHnIDM ビット）のクリア動作を制御します。 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTHnSTR1.URTHnIDM がクリアされます。
5	URTHnCLEB	拡張ビット検出フラグ（URTHnSTR1.URTHnEBD ビット）のクリア動作を制御します。 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTHnSTR1.URTHnEBD がクリアされます。
4	URTHnCLBS	BF 受信成功フラグ（URTHnSTR1.URTHnBSF ビット）のクリア動作を制御します。 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTHnSTR1.URTHnBSF がクリアされます。
3	URTHnCLDC	データー貫性エラー・フラグ（URTHnSTR1.URTHnDCE ビット）のクリア動作を制御します。 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTHnSTR1.URTHnDCE がクリアされます。 このビットを 1 にセットすることで URTHnSTR1.URTHnDCE をクリアすると，次の送信がされるので，LIN 通信の場合は注意願います。
2	URTHnCLP	パリティ・エラー・フラグ（URTHnSTR1.URTHnPE ビット）のクリア動作を制御します。 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTHnSTR1.URTHnPE がクリアされます。
1	URTHnCLF	フレーミング・エラー・フラグ（URTHnSTR1.URTHnFE ビット）のクリア動作を制御します。 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTHnSTR1.URTHnFE がクリアされます。
0	URTHnCLOV	オーバラン・エラー・フラグ（URTHnSTR1.URTHnOVE ビット）のクリア動作を制御します。 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTHnSTR1.URTHnOVE がクリアされます。

(8) URTHnOPT0 - UARTHn オプション・レジスタ 0

UARTHn シリアル・データ転送で使用されるオプション機能を指定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <URTHn_base0> + 48_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
URTHnEBE	URTHnEGE	URTHnEJL	URTHnSCFR	URTHnRSFR	URTHnRXFR	URTHnRTSL	URTHnCTSL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
0	URTHnHS	URTHnDM	URTHnMSS	URTHnSAS	URTHnF2R	URTHnF2T	0
R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 22-15 URTHnOPT0 レジスタの内容 (1/3)

ビット位置	ビット名	機能
15	URTHnEBE	拡張ビット動作の許可／禁止を選択します。 0: 拡張ビット動作禁止 送信／受信データ・ビット長（URTHnCTL1.URTHnCLG）で送受信を行います。 1: 拡張ビット動作許可 キャラクタ・ビット長 9 ビットで送受信を行います。（8 ビットの送受信キャラクタに拡張ビットを付加し，送受信を行います） • このビットは，送信／受信データ・ビット長が 8 ビット（URTHnCTL1.URTHnCLG = 1）時のみ，設定が有効となります。送信／受信データ・ビット長が 7 ビット（URTHnCTL1.URTHnCLG = 0）時は，このビットの設定は無効になり，キャラクタ長 7 ビットで送受信を行います。 • LIN のフォーマットで送受信する場合，URTHnEBE = 0 に設定してください。 • このビットは，UARTHn の動作禁止時（URTHnCTL0.URTHnPW = 0）にのみ変更できます。 • 拡張ビット検出の詳細は，22.6.5「拡張ビット検出機能 / ID 比較一致検出機能」を参照してください。
14	URTHnEGE	拡張ビット検出割り込みの許可／禁止を選択します。 0: 拡張ビット検出割り込み禁止 URTHnEJL で設定した条件の拡張ビットを検出しても，拡張ビット検出フラグ（URTHnSTR1.URTHnEBD）は変化せず，拡張ビット検出割り込みは発生しません。 1: 拡張ビット動作許可 URTHnEJL で設定した条件の拡張ビットを検出すると，拡張ビット検出フラグ（URTHnSTR1.URTHnEBD）をセットし，拡張ビット検出割り込みが発生します。 • このビットは，送信／受信データ・ビット長が 8 ビット（URTHnCTL1.URTHnCLG = 1），かつ，拡張ビット動作許可（URTHnEBE = 1）時，設定が有効となります。 • このビットは，UARTHn の動作禁止時（URTHnCTL0.URTHnPW = 0）にのみ変更できます。 • 拡張ビット検出の詳細は，22.6.5「拡張ビット検出機能 / ID 比較一致検出機能」を参照してください。

表 22-15 URTHnOPT0 レジスタの内容 (2/3)

ビット位置	ビット名	機能
13	URTHnEJL	拡張ビット検出条件を選択します。 0: 拡張ビット “0” を割り込み検出条件に設定 1: 拡張ビット “1” を割り込み検出条件に設定 • 拡張ビットの検出条件は，受信データ・レベル制御 (URTHnCTL1.URTHnRDL) 後の拡張ビットのレベル（“0” もしくは “1”）を設定します。 • ID 比較を許可（URTHnOPT1.URTHnIDCN = 1）時は，拡張ビット検出後，ID 比較で一致した場合に拡張ビット検出割り込みが発生します。 • このビットは，UARTHn の動作禁止時（URTHnCTL0.URTHnPW = 0）にのみ変更できます。 • 拡張ビット検出の詳細は，22.6.5「拡張ビット検出機能 / ID 比較一致検出機能」を参照してください。
12	URTHnSCFR	同期クロック入力用のノイズ・フィルタの使用を選択します。 0: ノイズ・フィルタを使用する 1: ノイズ・フィルタを使用しない • スレーブでデーター貫性チェックの有効（URTHnCTL0.URTHnSLDC = 1）時，URTHnRXFR と同じ値にしてください。 • このビットは，UARTHn の動作禁止時（URTHnCTL0.URTHnPW = 0）にのみ変更できます。
11	URTHnRSFR	ハンドシェイク入力用のノイズ・フィルタの使用を選択します。 0: ノイズ・フィルタを使用する 1: ノイズ・フィルタを使用しない • このビットは，UARTHn の動作禁止時（URTHnCTL0.URTHnPW = 0）にのみ変更できます。
10	URTHnRXFR	受信データ用のノイズ・フィルタの使用を選択します。 0: ノイズ・フィルタを使用する 1: ノイズ・フィルタを使用しない • 同期モード・スレーブでデーター貫性チェックの有効（URTHnCTL0.URTHnSLDC = 1）時，URTHnSCFR と同じ値にしてください。 • このビットは，UARTHn の動作禁止時（URTHnCTL0.URTHnPW = 0）にのみ変更できます。
9	URTHnRTSL	ハンドシェイク用出力端子のアクティブ・レベルを選択します。 0: アクティブ・レベルは，ロウ・レベル 1: アクティブ・レベルは，ハイ・レベル • このビットは，UARTHn の動作禁止時（URTHnCTL0.URTHnPW = 0）にのみ変更できます。
8	URTHnCTSL	ハンドシェイク用入力端子のアクティブ・レベルを選択します。 0: アクティブ・レベルは，ロウ・レベル 1: アクティブ・レベルは，ハイ・レベル • このビットは，UARTHn の動作禁止時（URTHnCTL0.URTHnPW = 0）にのみ変更できます。
6	URTHnHS	ハンドシェイク・モードの許可／禁止を選択します。 0: ハンドシェイク・モード禁止 1: ハンドシェイク・モード許可 • URTHnHS = 1 時，ループ・バック制御は禁止（URTHnCTL1.URTHnLPM = 0）にしてください。 • このビットは，UARTHn の動作禁止時（URTHnCTL0.URTHnPW = 0）にのみ変更できます。

表 22-15 URTHnOPT0 レジスタの内容 (3/3)

ビット位置	ビット名	機能
5	URTHnDM	クロック同期モードでデータ受信時サンプリング・タイミングを選択します。 0: 受信時，同期クロックの立ち上がりでデータをサンプリングします（通常サンプリング・モード） 1: 受信時，同期クロックの立ち下がりでデータをサンプリングします（遅延サンプリング・モード） • このビットは，クロック同期モード（URTHnSAS = 1）時のみ，有効になります。 • このビットは，UARTHn の動作禁止時（URTHnCTL0.URTHnPW = 0）にのみ変更できます。
4	URTHnMSS	クロック同期モードでマスタ／スレーブを選択します。 0: マスタに設定 マスタから同期クロックを出力し，データの送受信を行います。 1: スレーブに設定 マスタから供給される同期クロックでデータの送受信を行います。 • このビットは，クロック同期モード（URTHnSAS = 1）時のみ，有効になります。 • このビットは，UARTHn の動作禁止時（URTHnCTL0.URTHnPW = 0）にのみ変更できます。
3	URTHnSAS	UARTHn の動作モードを選択します。 0: クロック非同期モード 1: クロック同期モード • このビットは，UARTHn の動作禁止時（URTHnCTL0.URTHnPW = 0）にのみ変更できます。 • 非同期モードのときにはクロック端子（URTHnSC）を無効化して使用してください。
2	URTHnF2R	1 フレーム／2 フレームのデータ受信を選択します。 0: 1 フレーム・データ受信 1: 2 フレーム・データ受信 • データー貫性チェックの有効（URTHnCTL0.URTHnSLDC = 1）時，もしくは ID 値の一致検出の許可（URTHnOPT1.URTHnIDCN = 1）時，URTHnOPT0.URTHnF2R = 0 に設定してください。 • このビットは，UARTHn の動作禁止時（URTHnCTL0.URTHnPW = 0）にのみ変更できます。
1	URTHnF2T	1 フレーム／2 フレームのデータ送信を選択します。 0: 1 フレーム・データ送信 1: 2 フレーム・データ送信 • このビットは，UARTHn の動作禁止時（URTHnCTL0.URTHnPW = 0）にのみ変更できます。

(9) URTHnOPT1 - UARTHn オプション・レジスタ 1

UARTHn シリアル・データ転送で使用されるオプション機能を指定します。

アクセス 8/1 ビット単位でリード／ライト可能です。

このレジスタを読み出すと常に 00_H を返します。

アドレス <URTHn_base1> $+04_H$

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
URTHnIDCN	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R

表 22-16 URTHnOPT1 レジスタの内容

ビット位置	ビット名	機能
7	URTHnIDCN	ID 値の一致検出の許可／禁止を選択します。 0: 拡張ビット（9 ビット）転送時に，ID 比較を禁止 1: 拡張ビット（9 ビット）転送時に，ID 比較を許可 • 7 ビット／8 ビット転送時，このビットの設定は，無効です。 • 2 フレーム・データ受信（URTHnOPT0.URTHnF2R = 0）時，もしくはハンドシェーク・モード（URTHnOPT0.URTHnHS = 1）時は，URTHnIDCN = 0 に設定してください。 • ID 一致検出の詳細は，22.6.5「拡張ビット検出機能 / ID 比較一致検出機能」を参照してください。

(10) URTHnOPT2 - UARTHn オプション・レジスタ 2

UARTHn シリアル・データ転送で使用されるオプション機能を指定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <URTHn_base1> + 08_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
URTHnIDCD[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
URTHnMID[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22-17 URTHnOPT2 レジスタの内容

ビット位置	ビット名	機能
15-8	URTHn IDCD[7:0]	拡張ビット（9 ビット）転送時に比較する ID 値を設定します。 • 拡張ビット検出の詳細は，22.6.5「拡張ビット検出機能 / ID 比較一致検出機能」を参照してください。
7-0	URTHn MID[7:0]	ID 値を比較するビットを指定します。 0: 拡張ビット（9 ビット）転送時に，指定したビットを比較します。 1: 拡張ビット（9 ビット）転送時に，指定したビットを比較しません。 • ID 一致検出の詳細は，22.6.5「拡張ビット検出機能 / ID 比較一致検出機能」を参照してください。

(11) URTHnRX - UARTHn 受信データ・レジスタ

受信データを格納します。

1フレーム7ビットもしくは8ビットのデータ受信が完了すると，受信シフト・レジスタに格納されたデータがURTHnRXレジスタに転送されます。

このレジスタは，URTHnERXWレジスタの7-0ビットと同じです。

7ビット転送　データ長が7ビットに指定されている（URTHnCTL1.URTHnCLG = 0）場合，このレジスタに格納された受信データは転送方向（MSBファースト/LSBファースト）の指定に応じて次のように転送されます。

- LSBファースト受信（URTHnCTL1.URTHnSLD = 1）の場合，受信データはURTHnRX[6:0]に転送され，データのMSBであるURTHnRX[7]は常に0になります。
- MSBファースト受信（URTHnCTL1.URTHnSLD = 0）の場合，受信データはURTHnRX[7:1]に転送され，データのLSBであるURTHnRX[0]は常に0になります。
- データ・フォーマットの詳細は，22.6.1「データ・フォーマット」を参照してください。

オーバラン・エラー　オーバラン・エラーが発生（URTHnSTR1.URTHnOVE = 1）した場合，そのときの受信データはURTHnRXレジスタに転送されず，破棄されます。

受信処理が終了し，オーバラン・エラーが発生せずにデータが受信されたことを確認した場合，指定された格納フォーマットで受信データがURTHnRXレジスタに格納されます。

このレジスタは，UARTHn動作禁止時（URTHnCTL0.URTHnPW = 0）に書き込み可能です。UARTHnの動作が許可（URTHnCTL0.URTHnPW = 1）されると，このレジスタはそれまで書き込まれた値を無視して初期値に戻ります。

アクセス　8ビット単位でリード可能です。

アドレス　<URTHn_base1> + $1C_H$

初期値　FFHどのリセット要因でも初期化されます。

およびURTHnCTL0.URTHnPW = 0 → 1でUARTHnの動作が許可されたときにFF_Hになります。

7	6	5	4	3	2	1	0
URTHnRX[7:0]							
R	R	R	R	R	R	R	R

表 22-18　URTHnRX レジスタの内容

ビット位置	ビット名	機能
7-0	URTHn RX[7:0]	UARTHn 受信データ（*表 22-22「受信モード別のアクセス」*参照）

注意　2フレーム連続転送時，受信データ・レジスタへのアクセスは16ビット・アクセス(URTHnRXHL)のみ可能です。8ビット・アクセスはしないでください。

(12) URTHnRXHL - UARTHn 受信データ・レジスタ HL

受信データを格納します。

1 フレーム 9 ビットのデータ受信が完了すると，受信シフト・レジスタに格納されたデータが URTHnRXHL レジスタに転送されます。

このレジスタは，URTHnERXW レジスタの 15-0 ビットと同じです。

アクセス 16 ビット単位でリード可能です。

アドレス <URTHn_base1> + 20_H

初期値 $FFFF_H$ どのリセット要因でも初期化されます。

および URTHnCTL0.URTHnPW = 1 で UARTHn の動作が許可されたときに $FFFF_H$ になります。

15	14	13	12	11	10	9	8
URTHnRX[15:8]							
R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
URTHnRX[7:0]							
R	R	R	R	R	R	R	R

表 22-19 URTHnRXHL レジスタの内容

ビット位置	ビット名	機能
15-0	URTHn RX[15:0]	UARTHn 受信データ（*表 22-22「受信モード別のアクセス」*参照）

(13) URTHnERX - UARTHn 受信拡張ビット・データ・レジスタ

受信データを格納します。

データ受信が完了すると，受信シフト・レジスタに格納された拡張ビットがURTHnERX レジスタに転送されます。

このレジスタは，URTHnERXW レジスタの 23-16 ビットと同じです。

アクセス 8 ビット単位でリード可能です。

アドレス <URTHn_base1> + 24_H

初期値 11_H どのリセット要因でも初期化されます。

および URTHnCTL0.URTHnPW = 1 で UARTHn の動作が許可されたときに 11_H になります。

7	6	5	4	3	2	1	0
0	0	0	URTHn ERXH8	0	0	0	URTHn ERXL8
R	R	R	R	R	R	R	R

表 22-20 URTHnERX レジスタの内容

ビット位置	ビット名	機能
4	URTHn ERXH8	UARTHn 受信データの拡張ビット（表 22-22「受信モード別のアクセス」参照）
0	URTHn ERXL8	UARTHn 受信データ の拡張ビット（表 22-22「受信モード別のアクセス」参照）

(14) URTHnERXW - UARTHn 受信拡張ビット・ワード・データ・レジスタ

受信データを格納します。

データ受信が完了すると，受信シフト・レジスタに格納されたデータがURTHnERXW レジスタに転送されます。

アクセス 32 ビット単位でリード可能です。

アドレス <URTHn_base1> + 28_H

初期値 $0011FFFF_H$ どのリセット要因でも初期化されます。

および URTHnCTL0.URTHnPW = 1 で UARTHn の動作が許可されたときに $0011FFFF_H$ になります。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

23	22	21	20	19	18	17	16
0	0	0	URTHn ERXH8	0	0	0	URTHn ERXL8
R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8
URTHnRX[15:8]							
R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
URTHnRX[7:0]							
R	R	R	R	R	R	R	R

表 22-21 URTHnERXW レジスタの内容

ビット位置	ビット名	機能
20	URTHn ERXH8	UARTHn 受信データの拡張ビット
16	URTHn ERXL8	UARTHn 受信データ の拡張ビット
15-0	URTHn RX[15:0]	UARTHn 受信データ

表 22-22 受信モード別のアクセス

受信モード	データ	拡張ビット
1 フレーム 8 ビットデータ転送	URTHnRX[7:0]	-
1 フレーム 7 ビットデータ転送 （MSB ファースト）	URTHnRX[7:1]	-
1 フレーム 7 ビットデータ転送 （LSB ファースト）	URTHnRX[6:0]	-
1 フレーム拡張ビット転送	URTHnRX[7:0]	URTHnRX8 または URTHnERXL8
2 フレーム 8 ビットデータ転送	1 フレーム目 URTHnRX[15:8] 2 フレーム目 URTHnRX[7:0]	-
2 フレーム 7 ビットデータ転送 （MSB ファースト）	1 フレーム目 URTHnRX[15:9] 2 フレーム目 URTHnRX[7:1]	-
2 フレーム 7 ビットデータ転送 （LSB ファースト）	1 フレーム目 URTHnRX[14:8] 2 フレーム目 URTHnRX[6:0]	-
2 フレーム拡張ビット転送	1 フレーム目 URTHnRX[15:8] 2 フレーム目 URTHnRX[7:0]	1 フレーム目 URTHnERXH8 2 フレーム目 URTHnERXL8

注意 データと拡張ビットを別々のレジスタでリードする場合は，先に拡張ビット（URTHnERX レジスタ）をリードしてください。

(15) URTHnTX - UARTHn 送信データ・レジスタ

送信するデータを格納します。

URTHnTX レジスタ内の送信データは，指定された送信データ・フォーマットで送信シフト・レジスタに格納されます。

このレジスタは，URTHnETXW レジスタの 7-0 ビットと同じです。

7 ビット転送　データ長が 7 ビットに指定されている（URTHnCTL1.URTHnCLG = 0）場合，このレジスタに格納された送信データは転送方向（MSB ファースト／LSB ファースト）の指定に応じて次のように転送されます。

- LSB ファースト送信（URTHnCTL1.URTHnSLD = 1）の場合，URTHnTX[6:0] がシフト・レジスタへ転送されます。
- MSB ファースト送信（URTHnCTL1.URTHnSLD = 0）の場合，URTHnTX[7:1] がシフト・レジスタへ転送されます。

データ・フォーマットの詳細は，22.6.1「データ・フォーマット」を参照してください。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<URTHn_base1> + $2C_H$

初期値　FF_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
URTHnTX[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22-23　URTHnTX レジスタの内容

ビット位置	ビット名	機能
7-0	URTHn TX[7:0]	UARTHn 送信データ（*表 22-27「送信モード別のアクセス」*参照）

送受信許可時（URTHnCTL0.URTHnPW = URTHnTXE = 1）にこのレジスタへの書き込みを行うと，送信開始が起動されます。

備考　処理中のデータ送信が完了する前に次のデータをこのレジスタに書き込んだ場合，転送の完了を待って，次のデータを送信することで連続して転送を行うことができます。

注意　2 フレーム連続転送時，送信データ・レジスタへのアクセスは 16 ビット・アクセス (URTHnTXHL) のみ可能です。8 ビット・アクセスはしないでください。

(16) URTHnTXHL - UARTHn 送信データ・レジスタ HL

送信するデータを格納します。

URTHnTXHL レジスタ内の送信データは，指定された送信データ・フォーマットで送信シフト・レジスタに格納されます。

このレジスタは，URTHnETXW レジスタの 15-0 ビットと同じです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <URTHn_base1> + 30_H

初期値 $FFFF_H$ どのリセット要因でも初期化されます。

および URTHnCTL0.URTHnPW = 1 で UARTHn の動作が許可されたときに $FFFF_H$ になります。

15	14	13	12	11	10	9	8
URTHnTX[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
URTHnTX[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22-24 URTHnTXHL レジスタの内容

ビット位置	ビット名	機能
15-0	URTHn TX[15:0]	UARTHn 送信データ（*表 22-27「送信モード別のアクセス」*参照）

(17) URTHnETX - UARTHn 送信拡張ビット・データ・レジスタ

送信するデータを格納します。

URTHnETX レジスタ内の送信データは，指定された送信データ・フォーマットで送信シフト・レジスタに格納されます。

このレジスタは，URTHnETXW レジスタの 23-16 ビットと同じです。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <URTHn_base1> + 34_H

初期値 11_H どのリセット要因でも初期化されます。

および URTHnCTL0.URTHnPW = 1 で UARTHn の動作が許可されたときに 11_H になります。

7	6	5	4	3	2	1	0
0	0	0	URTHn ETXH8	0	0	0	URTHn ETXL8
R	R	R	R/W	R	R	R	R/W

表 22-25 URTHnETX レジスタの内容

ビット位置	ビット名	機能
4	URTHn ETXH8	UARTHn 送信データ の拡張ビット（*表 22-27「送信モード別のアクセス」*参照）
0	URTHn ETXL8	UARTHn 送信データ の拡張ビット（*表 22-27「送信モード別のアクセス」*参照）

(18) URTHnETXW - UARTHn 送信拡張ビット・ワード・データ・レジスタ

送信するデータを格納します。

URTHnETXW レジスタ内の送信データは，指定された送信データ・フォーマットで送信シフト・レジスタに格納されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <URTHn_base1> + 38_H

初期値 $0011FFFF_H$ どのリセット要因でも初期化されます。

および URTHnCTL0.URTHnPW = 1 で UARTHn の動作が許可されたときに $0011FFFF_H$ になります。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

23	22	21	20	19	18	17	16
0	0	0	URTHn ETXH8	0	0	0	URTHn ETXL8
R	R	R	R/W	R	R	R	R/W

15	14	13	12	11	10	9	8
URTHnTX[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
URTHnTX[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22-26 URTHnETXW レジスタの内容

ビット位置	ビット名	機能
20	URTHn ETXH8	UARTHn 送信データ の拡張ビット
16	URTHn ETXL8	UARTHn 送信データの拡張ビット
15-0	URTHn TX[15:0]	UARTHn 送信データ

表 22-27 送信モード別のアクセス

送信モード	データ	拡張ビット
1 フレーム 8 ビットデータ転送	URTHnTX[7:0]	-
1 フレーム 7 ビットデータ転送 （MSB ファースト）	URTHnTX[7:1]	-
1 フレーム 7 ビットデータ転送 （LSB ファースト）	URTHnTX[6:0]	-
1 フレーム拡張ビット転送	URTHnTX[7:0]	URTHnTX8 または URTHnETXL8
2 フレーム 8 ビットデータ転送	1 フレーム目 URTHnTX[15:8] 2 フレーム目 URTHnTX[7:0]	-
2 フレーム 7 ビットデータ転送 （MSB ファースト）	1 フレーム目 URTHnTX[15:9] 2 フレーム目 URTHnTX[7:1]	-
2 フレーム 7 ビットデータ転送 （LSB ファースト）	1 フレーム目 URTHnTX[14:8] 2 フレーム目 URTHnTX[6:0]	-
2 フレーム拡張ビット転送	1 フレーム目 URTHnTX[15:8] 2 フレーム目 URTHnTX[7:0]	1 フレーム目 URTHnETXH8 2 フレーム目 URTHnETXL8

注意 データと拡張ビットを別々のレジスタで設定する場合は，先に拡張ビット（URTHnETX レジスタ）を設定してください。

(19)　IC0REG0 - LIN 通信スレーブ動作ボー・レート検出機能レジスタ 0

LIN 通信スレーブ動作ボー・レート検出機能レジスタ 0 について説明します。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　$FFFFFE00_H$

初期値　00000000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
IC0REG 00151	IC0REG 00150	IC0REG 00141	IC0REG 00140	IC0REG 00131	IC0REG 00130	IC0REG 00121	IC0REG 00120
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

23	22	21	20	19	18	17	16
IC0REG 00111	IC0REG 00110	IC0REG 00101	IC0REG 00100	IC0REG 00091	IC0REG 00090	IC0REG 00081	IC0REG 00080
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8
IC0REG 00071	IC0REG 00070	IC0REG 00061	IC0REG 00060	IC0REG 00051	IC0REG 00050	IC0REG 00041	IC0REG 00040
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
IC0REG 00031	IC0REG 00030	IC0REG 00021	IC0REG 00020	IC0REG 00011	IC0REG 00010	IC0REG 00001	IC0REG 00000
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22-28　IC0REG0 レジスタの内容

ビット位置	ビット名	機能
31-0	IC0REG00m0, IC0REG00m1	TAUB0 ch（m）へ入力する信号を選択します。（m = 00-15）

IC0REG 00m1	IC0REG 00m0	説明
0	0	TAUB0 ch（m）のタイマ入力 に TAUB0Im を入力する。
0	1	TAUB0 ch（m）のタイマ入力 に URTH0RXD を入力する。
1	0	TAUB0 ch（m）のタイマ入力 に URTH1RXD を入力する。
1	1	設定禁止

注意　1. TAUB0 が動作中に，本レジスタの設定を変更しないでください。

2. ボー・レート検出以外の用途で，TAUB0 にシリアル・データ入力端子を接続しないでください。

22.5 割り込み要求信号

UARTHn からは次の 3 種類の割り込み要求信号を発生します。

- 送信割り込み要求 URTHnTIT
- 受信割り込み要求 URTHnTIR
- ステータス割り込み要求 URTHnTIS

22.5.1 送信割り込み要求 URTHnTIT

送信許可状態で，URTHnTX レジスタから送信シフト・レジスタへ送信データが転送されると，送信割り込み要求 URTHnTIT を発生します。

送信割り込み要求の発生条件は，URTHnCTL1.URTHnSLIT の設定に依存します。

- 送信の開始時：URTHnCTL1.URTHnSLIT = 0
  最初のビット（データ送信の最初のビット，または BF 送信の最初の BF）が送信されると，送信割り込み要求が発生します。データ送信中は，URTHnTX レジスタ内の送信データが送信シフト・レジスタへ転送されると，送信割り込み要求が発生します。
- 送信処理の終了時：URTHnCTL1.URTHnSLIT = 1
  送信の最後のビット（ストップ・ビット長が 1 の場合最初のストップ・ビット，ストップ・ビット長が 2 の場合 2 番目のストップ・ビット）が送信されると，送信割り込み要求が発生します。

備考 データー貫性エラーが発生した場合，URTHnTIS 割り込みが発生するため，本割り込みは発生しません。

送信処理の開始時と終了時の送信割り込み要求の発生タイミングを，それぞれ次の図に示します。

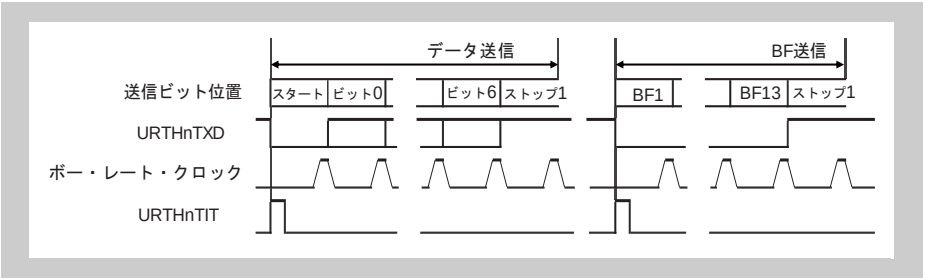


図 22-2 URTHnCTL1.URTHnSLIT = 0 のときの送信割り込み要求発生タイミング

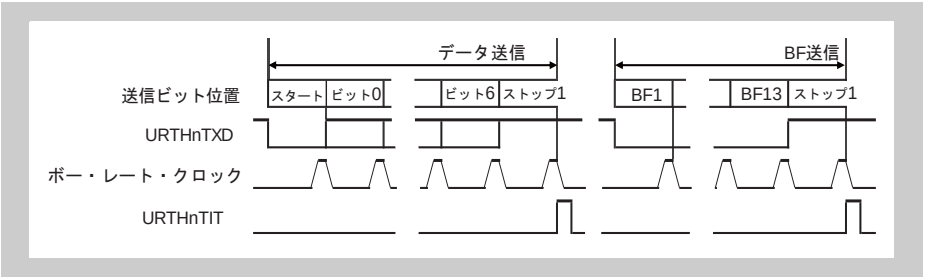


図 22-3 URTHnCTL1.URTHnSLG = 1, URTHnSLIT = 1 のときの送信割り込み要求発生タイミング

22.5.2 受信割り込み要求 URTHnTIR

ストップ・ビットの最初のビットがサンプリングされると，受信割り込み要求が発生します。

受信時にエラーが生じた場合は，URTHnTIR 割り込みの代わりにステータス割り込み URTHnTIS を発生します。

受信禁止状態中は，受信割り込み要求 URTHnTIR は発生しません。

データ／BF 受信中の受信割り込み要求の発生タイミングを次の図に示します。

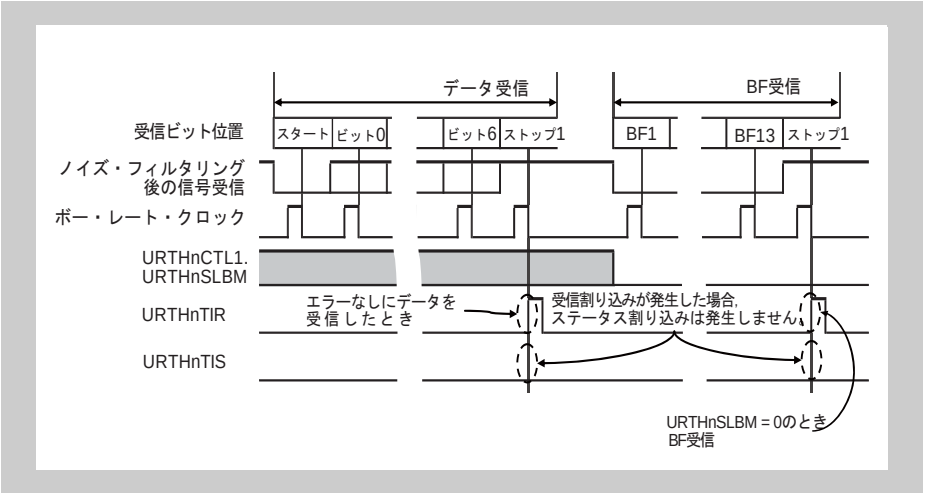


図 22-4 受信割り込み要求の発生タイミング

22.5.3 ステータス割り込み要求 URTHnTIS

受信中または送信中にエラー条件が発生すると，URTHnSTR1（ステータス・レジスタ 1）の設定に応じてステータス割り込み要求 URTHnTIS を発生します。

LIN 通信時に BF 受信モード選択ビット（URTHnCTL1.URTHnSLBM）を 1 にセットすると，11 ビット以上の連続的なロウ・レベル（BF）が受信された際にステータス割り込み要求 URTHnTIS を発生します。

22.6 動作

22.6.1 データ・フォーマット

全二重シリアル・データの受信と送信を行います。

送受信データのフォーマットは，次の図に示すようにスタート・ビット，キャラクタ・ビット，パリティ・ビット，ストップ・ビットで1データ・フレームを構成します。

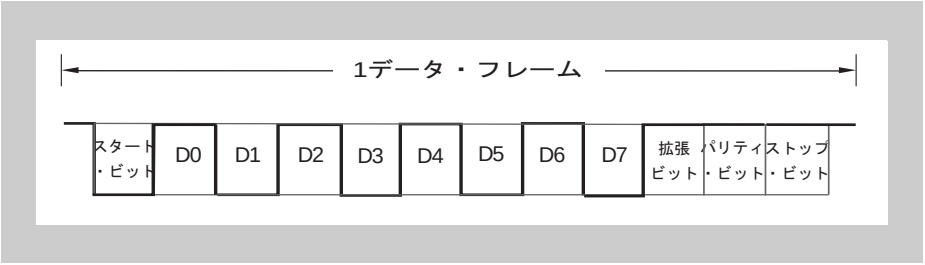
URTHnCTL1 レジスタの制御ビットを使って送信／受信データ・フレームの複数の特性を指定することができます。

表 22-29 データ・フォーマットの仕様

項目	オプション	制御ビット
スタート・ビット	1 ビット	固定
キャラクタ・ビット	7 ビット／8 ビット /9 ビット	URTHnCTL1.URTHnCLG
パリティ	偶数パリティ／奇数パリティ／0 ／なし	URTHnCTL1.URTHnSLP[1:0]
ストップ・ビット数	1 ビット／2 ビット	URTHnCTL1.URTHnSLG
データ順序	MSB ファースト／LSB ファースト	URTHnCTL1.URTHnSLD
送信データ・レベル	反転／非反転	URTHnCTL1.URTHnTDL
受信データ・レベル	反転／非反転	URTHnCTL1.URTHnRDL

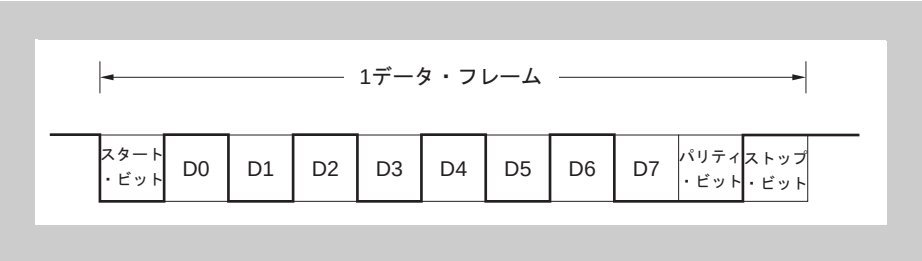
(1) UARTHn の送信／受信データ・フォーマット

(a) 9-ビット・データ長（拡張ビット），LSB ファースト，偶数パリティ，1 ストップ・ビット，転送データ：155_H

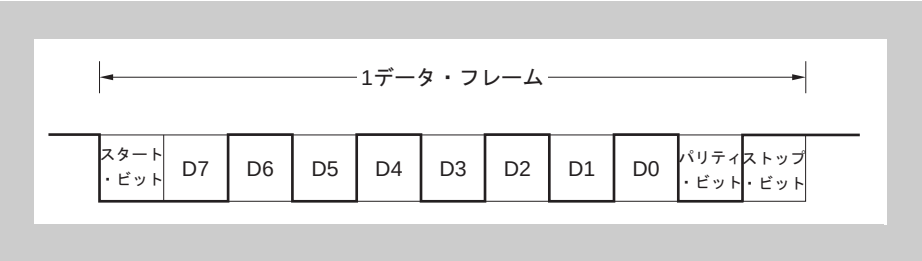


(b) 9-ビット・データ長（拡張ビット），MSB ファースト，偶数パリティ，1 ストップ・ビット，転送データ：155_H

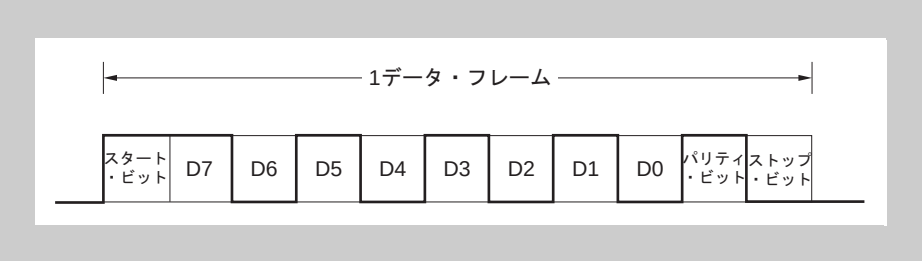
(c) 8-ビット・データ長，LSB ファースト，偶数パリティ，1 ストップ・ビット，転送データ：55_H



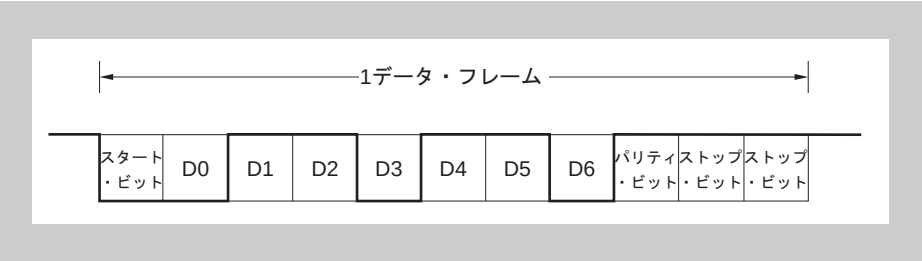
(d) 8-ビット・データ長，MSB ファースト，偶数パリティ，1 ストップ・ビット，転送データ：55_H



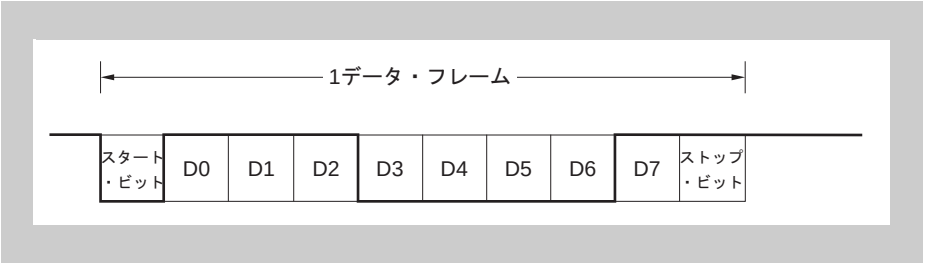
(e) 8-ビット・データ長，MSB ファースト，偶数パリティ，1 ストップ・ビット，転送データ：55_H，URTHnTTXD 反転



(f) 7-ビット・データ長，LSB ファースト，奇数パリティ，2 ストップ・ビット，転送データ：36_H



(g) 8-ビット・データ長，LSB ファースト，パリティなし，1 ストップ・ビット，転送データ：87_H



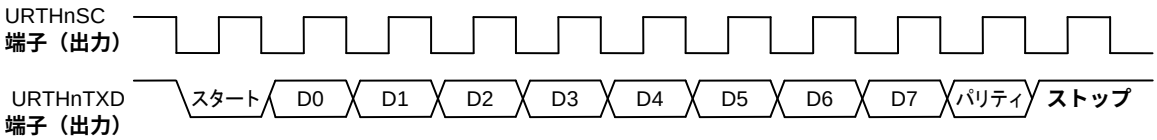
22.6.2 クロック同期モード

クロック同期モードは，同期クロックでデータの送受信を行います（同期クロックを供給する側をマスタとします）。

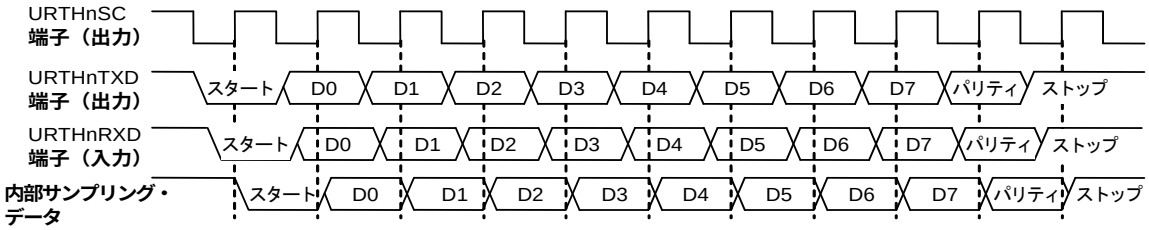
通常サンプリング・モード

送受信のタイミングは，同期クロックの立ち下がりが送信データを出力，立ち上がりが受信データのサンプリング・タイミングです。

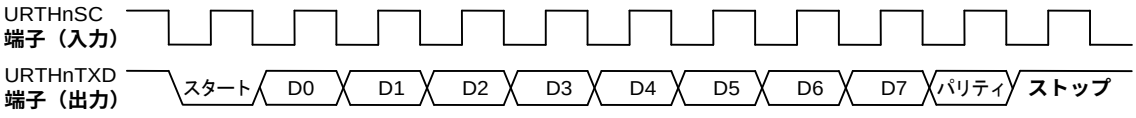
(a) マスタ時の送信タイミング



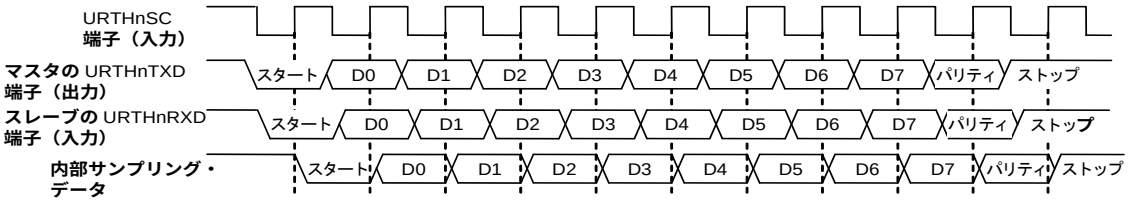
(b) マスタ時の受信タイミング



(c) スレーブ時の送信タイミング

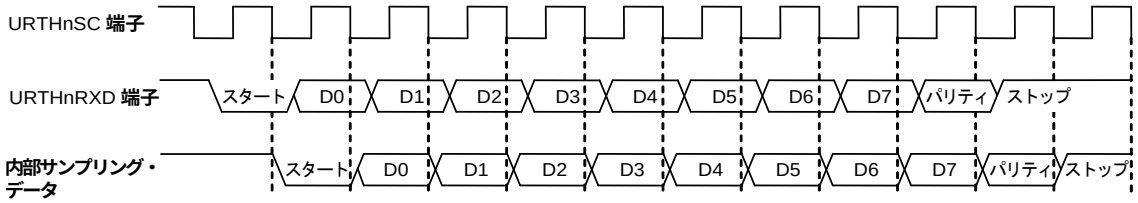


(d) スレーブ時の受信タイミング



遅延サンプリング・モード　クロック同期モード時，同期クロックの立ち下がりで受信データをサンプリングできます。

(a) 遅延サンプリング・モード時の動作例（マスタ，受信）

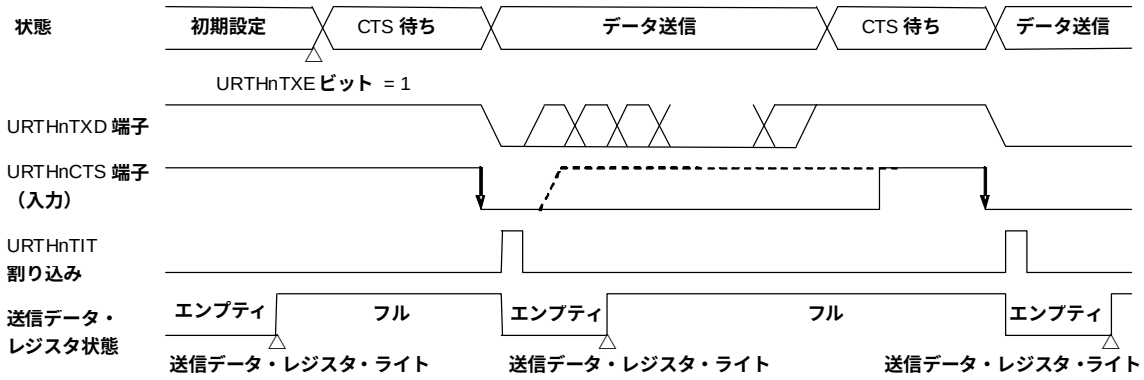


22.6.3　ハンドシェイク・モード

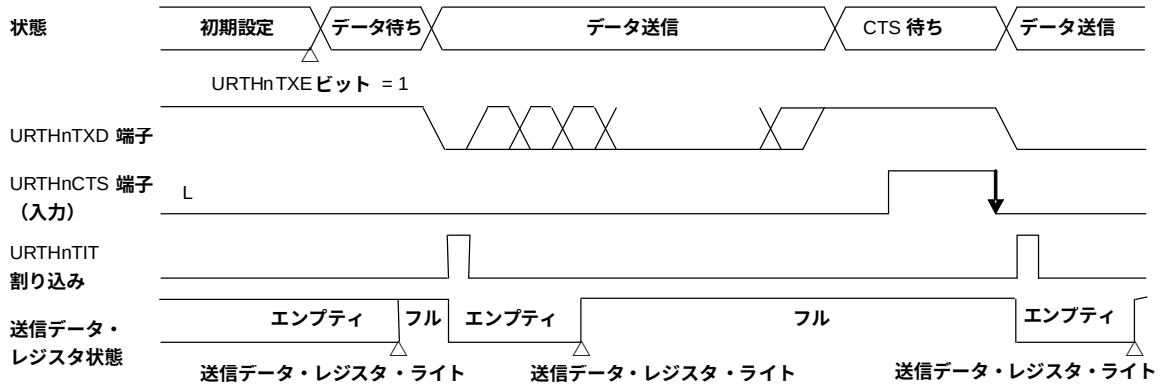
このモード設定時，受信許可信号（URTHnRTS 端子），送信許可信号（URTHnCTS 端子）を使用してデータ送受信をハンドシェイクできます。

送信動作　送信データ・レジスタへデータが書き込まれ送信可能状態となったとき，URTHnCTS 信号にアクティブ・レベルが入力されるとデータの送信を行います。URTHnCTS 信号がインアクティブ・レベルであれば，データの送信は保留されます。また，URTHnCTS 信号がアクティブ・レベルになり送信が開始され，送信途中に URTHnCTS 信号がインアクティブ・レベルに変化した場合，1 フレーム分のデータは送信されます。

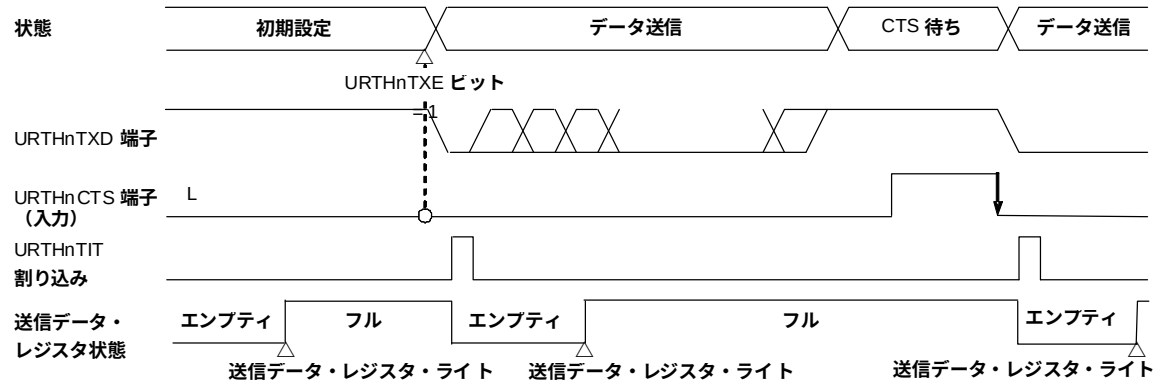
(a) ハンドシェイクでの送信動作例（URTHnCTS 信号待ちの場合）



(b) ハンドシェイクでの送信動作例（送信データ・ライト待ちの場合）

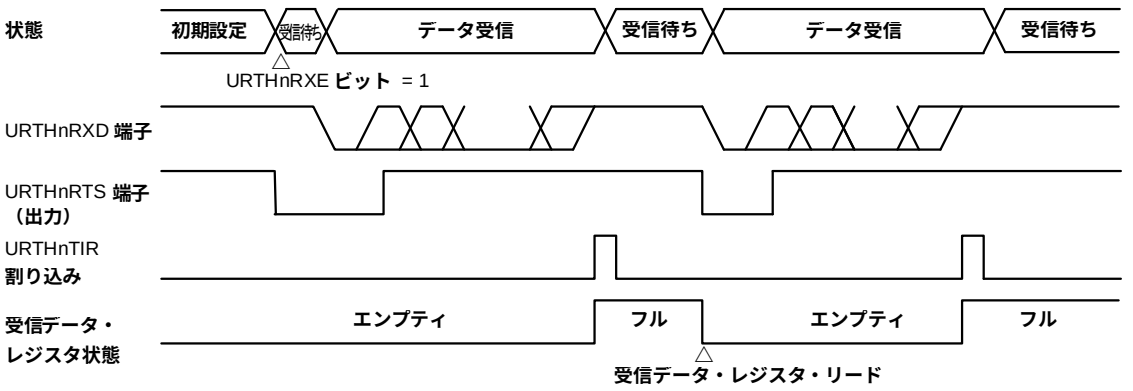


(c) ハンドシェイクでの送信動作例（URTHnTXE ライト待ちの場合）



受信動作　受信データ・レジスタがエンプティ状態になると，受信許可信号（URTHnRTS）をアクティブ・レベルにし，相手に受信可能状態であること通知します。受信データ・レジスタがエンプティでない状態（未読み出し）のときは，受信準備ができていないので，URTHnRTS 信号をインアクティブ・レベルにします。URTHnRTS 信号をインアクティブ・レベルにするタイミングは，受信データの最初のデータ・ビットをサンプリングしたときです。

(a) ハンドシェイクでの受信動作一例

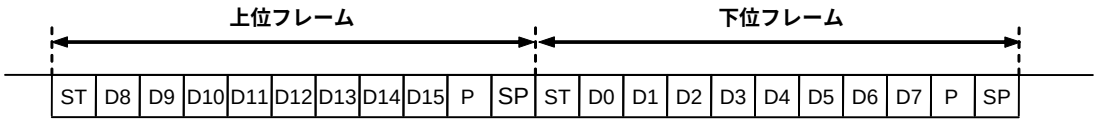


22.6.4　2 フレーム連続転送モード

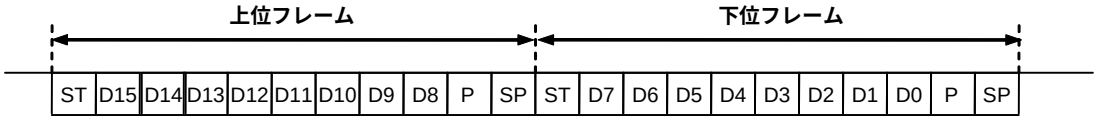
2 フレーム連続転送モード設定時，送受信とも 2 フレーム連続でデータ転送が可能です。2 フレーム連続転送時のフォーマットは次の通りです。

(a) 2 フレーム連続転送フォーマット

＜2 フレーム連続転送フォーマット：LSB ファースト＞



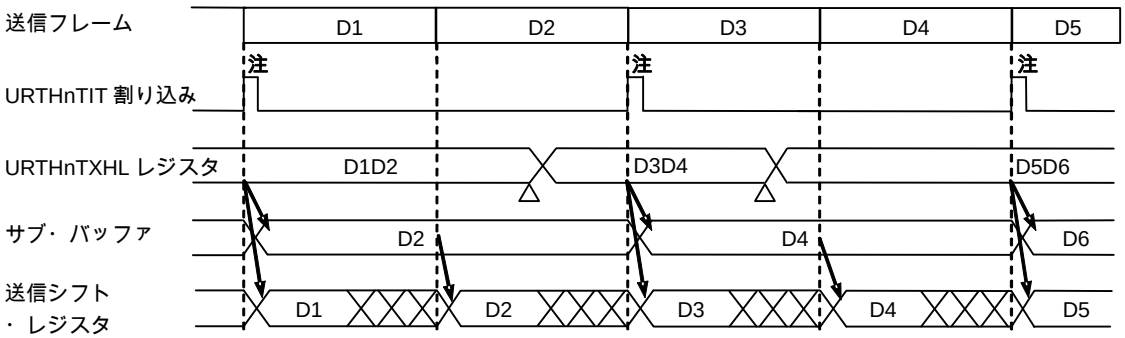
＜2 フレーム連続転送フォーマット：MSB ファースト＞



ST　　：スタート・ビット
D0～D15　：キャラクタ・ビット
P　　：パリティ
SP　　：ストップ・ビット

注意　2 フレーム連続転送時，送信データ・レジスタ，または，受信データ・レジスタへのアクセスは 16 ビット・アクセス (URTHnTXHL、URTHnRXHL) のみ可能です。8 ビット・アクセスはしないでください。

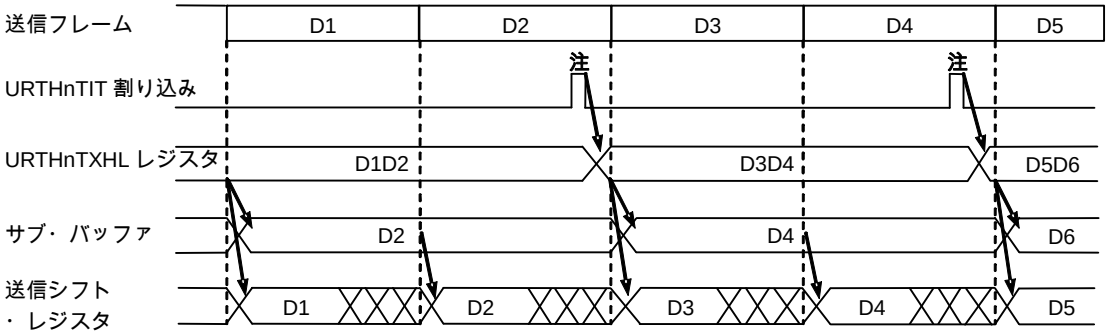
(b) 2 フレーム連続送信タイミング
（URTHnCTL1.URTHnSLIT = 0 に設定した場合）



注 送信データ・レジスタ・エンプティで送信許可割り込みを発生。

注意 2フレーム連続転送時，送信データ・レジスタへの書き込みは16ビット・アクセスのみ可能です。8ビット・アクセスはしないでください。

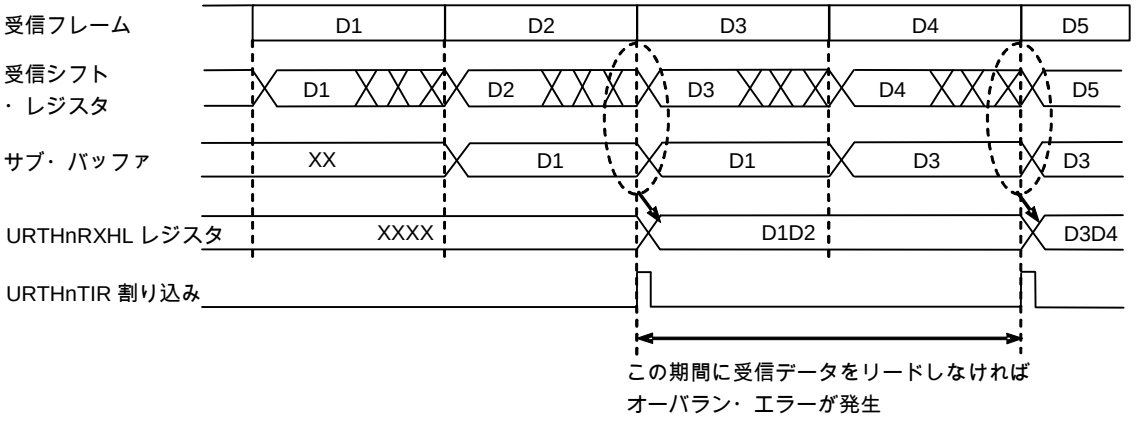
(c) 2フレーム連続送信タイミング
（URTHnCTL1.URTHnSLIT = 1に設定した場合）



注 送信終了時，送信許可割り込みを発生。

注意 2フレーム連続転送時，送信データ・レジスタへの書き込みは16ビット・アクセスのみ可能です。8ビット・アクセスはしないでください。

(d) 2フレーム連続受信タイミング



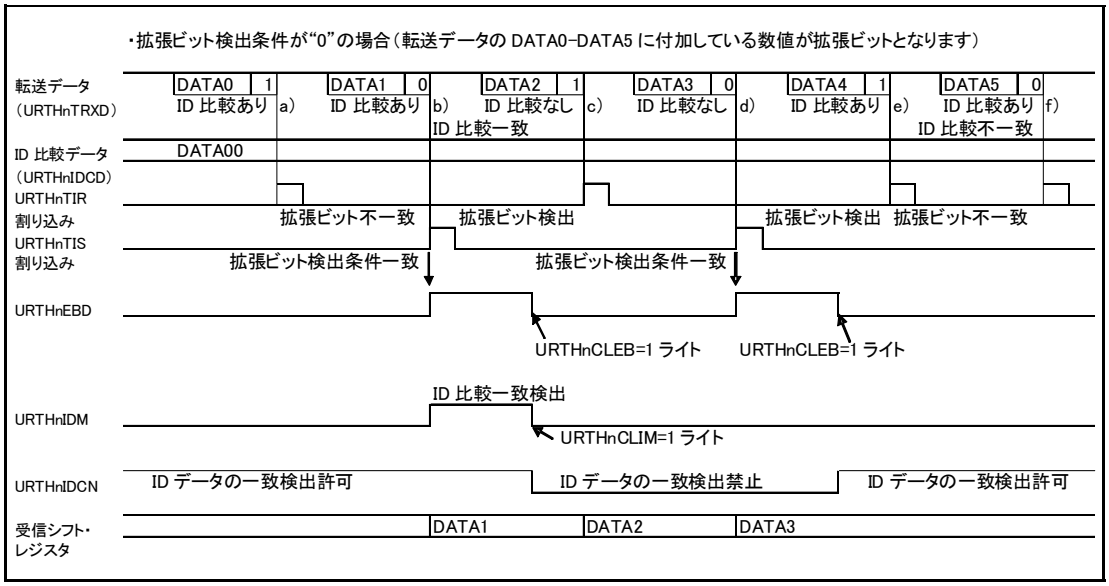
注意 2フレーム連続転送時，送信データ・レジスタへの書き込みは16ビット・アクセスのみ可能です。8ビット・アクセスはしないでください。

22.6.5 拡張ビット検出機能 / ID 比較一致検出機能

拡張ビット検出機能では，拡張ビット許可（URTHnOPT0.URTHnEBE = 1），拡張ビット検出割り込み許可（URTHnOPT0.URTHnEGE = 1）に設定します。受信時に拡張ビットを検出したとき，拡張ビット検出条件（URTHnOPT0.URTHnEJL）に応じて，拡張ビット検出割り込みが発生し，拡張ビット検出フラグ（URTHnSTR1.URTHnEBD）を 1 にセットします。
拡張ビット検出フラグ（URTHnSTR1.URTHnEBD）は，拡張ビット検出条件が URTHnOPT0.URTHnEJL = 0（URTHnOPT1.URTHnIDCN = 0）の時，拡張ビットが “0” の場合，URTHnEJL，URTHnOPT0.URTHnEJL = 1（URTHnOPT1.URTHnIDCN = 0）の時，拡張ビットが “1” の場合，1 にセットします。（ただし，ID 比較検出時（URTHnOPT1.URTHnIDCN = 1）は，ID 比較一致した場合のみ拡張ビットを検出します）
URTHnSTR1.URTHnEBD は，URTHnSTC.URTHnCLEB へ 1 をライトした時にクリアされます。

ID 比較一致検出機能では，ID データの一致検出許可（URTHnOPT1.URTHnIDCN = 1）のとき，ID データと ID 比較データが一致した場合，URTHnSTR1.URTHnIDM を 1 にセットします。拡張ビット検出機能を使用するとき，URTHnOPT1.URTHnIDCN = 1 の場合，拡張ビットを検出，かつ，ID データと ID 比較データが一致したときに ID 比較一致フラグ URTHnSTR1.URTHnIDM = 1 となり，データの受信を行います。ID データと ID 比較データが不一致の場合は，データの受信は行いません。また，ID 比較データ（URTHnOPT2.URTHnMID[7:0]）の各ビット値が 1 の時は，対応するビットの ID 比較データをマスクします。
URTHnSTR1.URTHnIDM は，URTHnSTC.URTHnCLIM へ 1 をライトした時にクリアされます。

(a) 拡張ビット検出 /ID 比較一致検出タイミング



a) DATA0 では拡張ビット検出，ID 比較を許可（URTHnOPT1.URTHnIDCN = 1）した転送です。拡張ビット検出レベルが検出条件と異なったため，受信割り込み（URTHnTIR）もステータス割込み（URTHnTIS）も発生しません。
b) DATA1 では拡張ビット検出，ID 比較を許可（URTHnOPT1.URTHnIDCN = 1）した転送です。拡張ビット検出レベルが検出条件と一致し，ID も一致したため，ステータス割込み（URTHnTIS）が発生します。
c) DATA2 では DATA1 で ID が一致したため，データ受信を行います。ID 比較は行わないため，ID 比較を禁止（URTHnOPT1.URTHnIDCN = 0）にします。DATA2 は正常に受信したため，受信完了後に受信割り込み（URTHnTIR）が発生します。
d) DATA3 では拡張ビット検出，ID 比較を禁止（URTHnOPT1.URTHnIDCN = 0）した状態で拡張ビット検出レベルが検出条件と一致したため，ステータス割込み（URTHnTIS）が発生します。
e) DATA4 では拡張ビット検出，ID 比較を許可（URTHnOPT1.URTHnIDCN = 1）した状態で拡張ビット検出レベルが検出条件と異なったため，受信割り込み（URTHnTIR）もステータス割込み（URTHnTIS）も発生しません。
f) DATA5 では拡張ビット検出，ID 比較を許可（URTHnOPT1.URTHnIDCN = 1）した状態で拡張ビット検出レベルが検出条件と一致し，ID が異なったため，受信割り込み（URTHnTIR）もステータス割込み（URTHnTIS）も発生しません。

注意
1. 受信 DATA2 において受信エラー（パリティ・エラー／フレーミング・エラー／オーバラン・エラー）が発生した場合，受信完了割込み要求（URTHnTIR）は発生せず，ステータス割込み要求（URTHnTIS）が発生し，エラー・フラグをセットします。
2. 受信 DATA1, DATA3 で受信エラー（パリティ・エラー／フレーミング・エラー／オーバラン・エラー）が発生した場合，エラー・フラグをセットします（URTHnIDM または URTHnEBD のセットも行います）。
   受信 DATA0, DATA4, DATA5 で受信エラーが発生した場合，エラー・フラグはセットしません。

22.6.6　BF の送信／受信フォーマット

UARTHn には LIN 機能を使用するために BF（ブレーク・フィールド）送信／受信制御機能があります。

LIN について

LIN は Local Interconnect Network（ローカル相互接続ネットワーク）の略であり，車載ネットワークのコスト削減を図るために開発された低速（1 ～ 20 kbps）シリアル通信プロトコルです。

LIN 通信はシングルマスタ通信で，1 つのマスタに最大 15 個のスレーブを接続することができます。

LIN スレーブは，スイッチ，アクチュエータ，センサの制御に使用され，LIN ネットワークを介して LIN マスタに接続されます。

通常，LIN マスタは CAN（Controller Area Network）などのネットワークに接続されます。

さらに，LIN バスはシングル・ワイヤ方式を使用し，ISO9141 に準拠したトランシーバを介してノードに接続されます。

LIN プロトコルでは，マスタがボー・レート情報とともにフレームを送信し，スレーブがそれを受信してボー・レート誤差を補正します。したがって，スレーブのボー・レート誤差が ±14% 以内であれば通信が可能です。

LIN の送信と受信の概要については，*図 22-5「LIN 送信の概要」*および*図 22-6「LIN 受信の概要」*を参照してください。

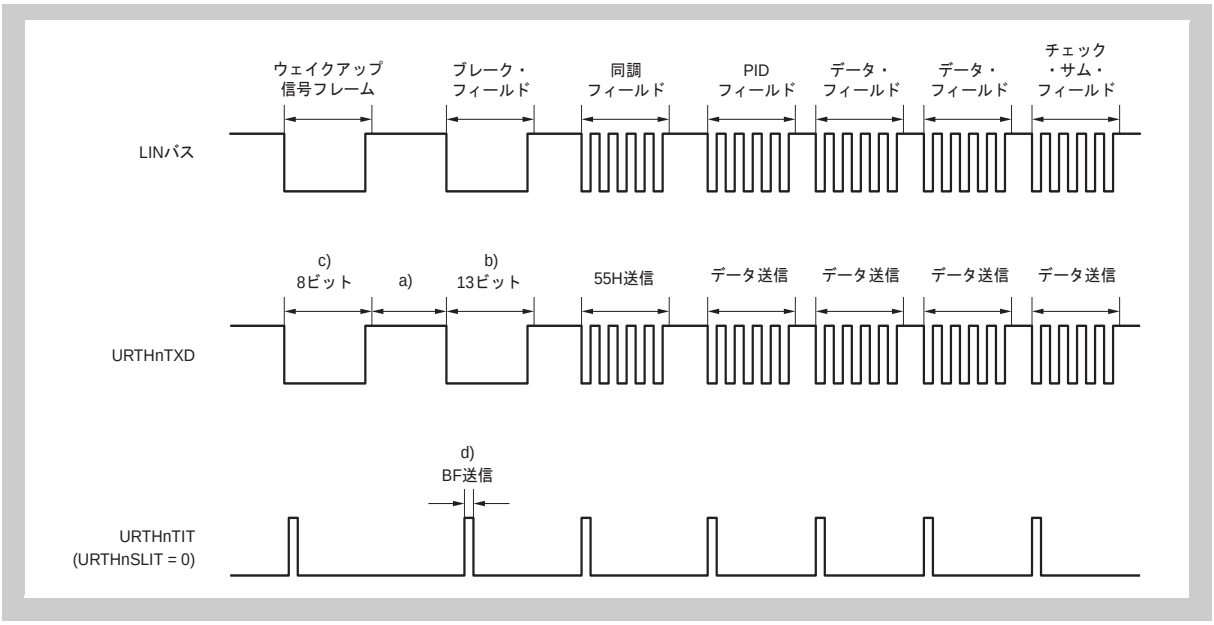


図 22-5　LIN 送信の概要

a)　フィールド間のインターバルはソフトウエアによって制御されます。
b)　BF の出力はハードウエアによって実行されます。出力幅は URTHnCTL1.URTHnBLG[2:0] によって設定されるビット長です。URTHnCTL2.URTHnBRS[11:0] を設定することによって，出力幅をより細かく調整することができます。
c)　ウェイクアップ信号フレームの代わりに 8 ビット・モードで 80_H が転送されます。
d)　送信を開始するたびに送信許可割り込み URTHnTIT を発生します。URTHnTIT 割り込みは，BF の送信開始時にも発生します。

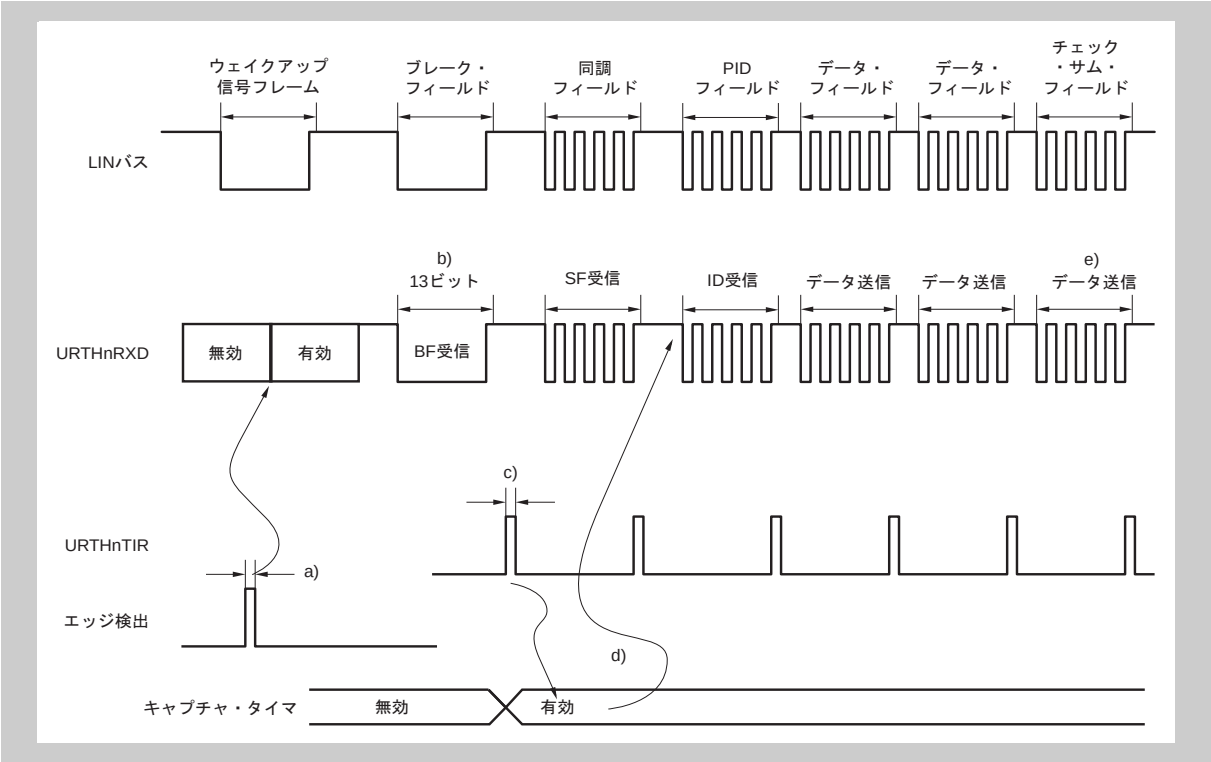


図 22-6 LIN 受信の概要

a) ウェイクアップ信号は端子のエッジ検出器によって送信され，UARTHn を有効にして BF 受信モードを設定します。

b) 11 ビット以上の BF 受信を検出した場合，正常 BF 受信終了と判断します。BF 受信モード選択ビット URTHnCTL1.URTHnSLBM の設定に応じて，次の割り込みを発生します。
・0 に設定されていた場合，受信割り込み URTHnTIR を発生します。
・1 に設定されていた場合，ステータス割り込み URTHnTIS を発生します。
11 ビット未満の BF 受信を検出した場合，BF 受信エラーと判断し，割り込みを出力せず，BF 受信モードに戻ります。

c) BF 受信が正常に終了した場合，BF 受信モード選択ビット URTHnCTL1.URTHnSLBM の設定に応じて，次の割り込みを発生します。
・0 に設定されていた場合，受信割り込み URTHnTIR を発生します。
・1 に設定されていた場合，ステータス割り込み URTHnTIS を発生し，BF 受信成功フラグ URTHnSTR1.URTHnBSF をセットします。
BF 受信トリガ・ビット URTHnTRG.URTHnBRT が 1 の場合，BF 受信中はオーバラン・エラー，パリティ・エラー，フレーミング・エラーの検出は行いません。また，受信シフト・レジスタから受信データ・レジスタ URTHnRX へのデータ転送も行われません。このとき，URTHnRX レジスタは以前の値を保持します。

d) ボー・レート・クロックを正しく調整するために，URTHnRXD 信号をタイマのキャプチャ入力に接続する必要があります（詳細は，22.8「LIN 通信スレーブ動作ボー・レート検出機能」を参照してください）。URTHnRXD 信号のエッジ間の時間を測定することによって転送レートとボー・レート誤差を計算することができ，ボー・レート設定ビット URTHnCTL2.URTHnBRS[11:0] を設定することによって，ボー・レートを調整することができます。

e) チェック・サム・フィールドの区別はソフトウエアで行います。チェック・サム・フィールドを受信すると UARTHn が初期化され，ソフトウエアによって BF 受信モードに再設定されます。URTHnCTL1.URTHnSLBM が 1 の場合，BF の受信を行います。

22.6.7 BF の送信

URTHnCTL0 の URTHnPW ビットと URTHnTXE ビットを 1 に設定すると送信許可状態になり，BF 送信トリガ URTHnTRG.URTHnBTT をセットすることによって BF の送信を開始します。

以降，URTHnSTR0.URTHnSSBT が 1 にセットされ，URTHnCTL1.URTHnBLG[2:0] の指定に従って 13-20 ビットのロウ・レベル幅が出力されます。次の場合に送信割り込み URTHnTIT が発生します。

- BF 送信開始時，URTHnCTL1.URTHnSLIT = 0 の場合
- BF 送信終了時，URTHnCTL1.URTHnSLIT = 1 の場合

BF の送信が終了すると，URTHnSTR0.URTHnSSBT が自動的にクリアされます。そのあと，UARTHn 送信モードに戻ります。

次に送信されるデータが URTHnTX レジスタに書き込まれ，URTHnSTR0.URTHnSST が 1 に変化するか，BF 送信トリガ URTHnTRG.URTHnBTT がセットされ，URTHnSTR0.URTHnSSBT が 1 に変化するまで，送信は中断されます。

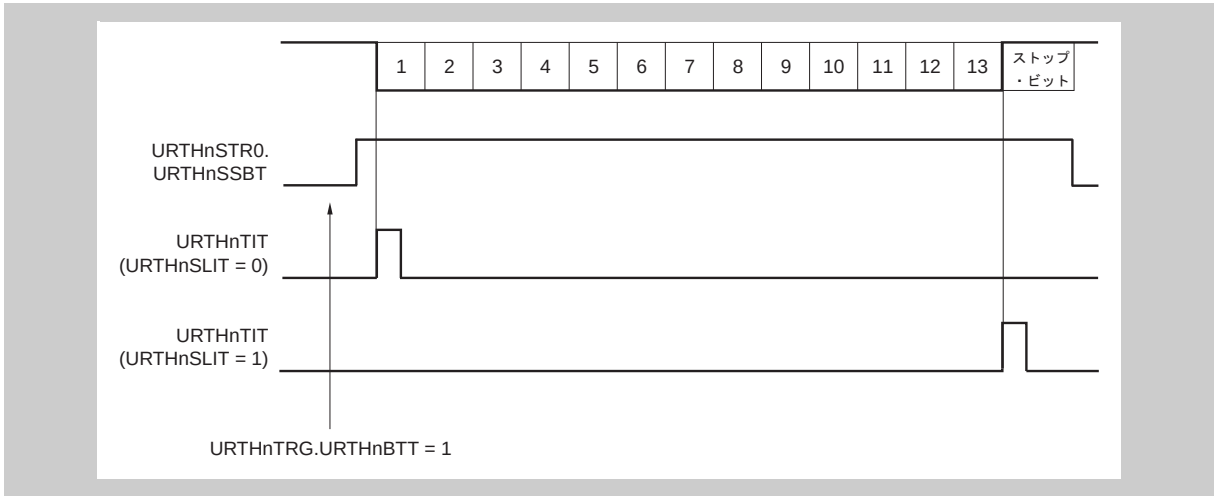


図 22-7 BF の送信

22.6.8 BF の受信

URTHnCTL0.URTHnPW ビットを 1 にセットしたあと，URTHnCTL0.URTHnRXE ビットを 1 にセットすることによって受信許可状態になります。

BF 受信トリガ URTHnTRG.URTHnBRT をセットすることによって BF 受信待ち状態になります。

UARTHn 受信待ち状態と同様に，BF 受信待ち状態では URTHnRXD 端子信号をモニタし，スタート・ビットの検出を行います。

ロウ・レベルを検出したら，受信動作を開始し，設定されたボー・レートに従って内部カウンタをカウント・アップします。

ハイ・レベルを受信し，BF 幅が 11 ビット以上の場合，BF 受信モード選択ビット URTHnCTL1.URTHnSLBM の設定に応じて次のように処理を行います。

- 0 に設定されていた場合，受信割り込み URTHnTIR を発生します。
- 1 に設定されていた場合，ステータス割り込み URTHnTIS を発生し，同時に BF 受信成功フラグ URTHnSTR1.URTHnBSF をセットします。

URTHnSTR0.URTHnSSBR ビットが自動的にクリアされ，BF の受信を終了します。

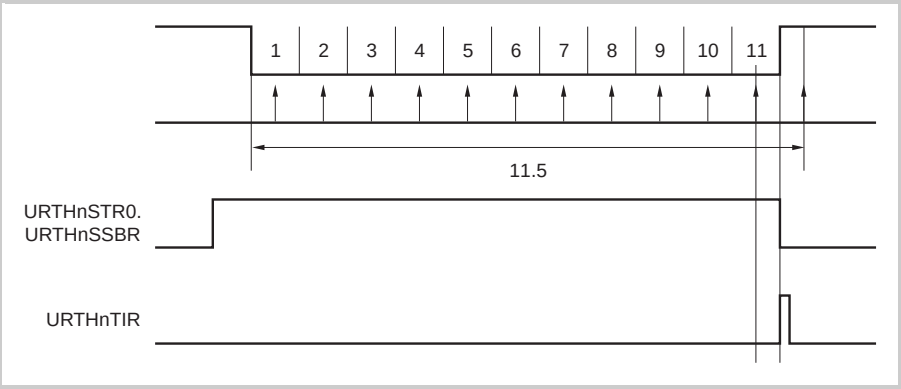


図 22-8 正常 BF 受信（10.5 超のロウ・ビット受信後にストップ・ビットを検出）

URTHnSTR1 エラー・フラグ URTHnOVE，URTHnPE，URTHnFE によるエラー検出は抑制され，UARTHn 通信エラー検出処理は行われません。

受信データは URTHnRX レジスタに格納されません。

BF の幅が 10 ビット以下の場合，エラー処理として，割り込みを発生せずに受信を終了し，BF 受信モードに戻ります。このとき，URTHnSTR0.URTHnSSBR はクリアされません。

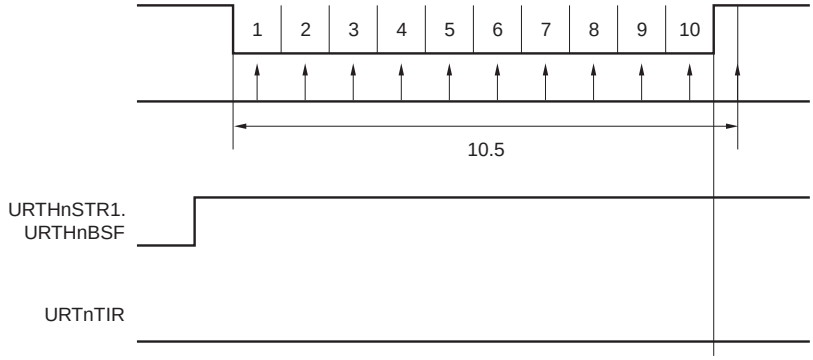


図 22-9 BF 受信エラー（10.5 以内のロウ・ビットでストップ・ビットを検出）

BF 受信が成功したかどうかは URTHnSTR1.URTHnBSF で確認できます。

備考 URTHnSTR0.URTHnSSBR は次の場合に 1 にセットされます。

- URTHnTRG.URTHnBRT をセットしたとき
- BF 正常受信によってエラーがクリアされたとき

22.6.9 送信データー貫性チェック

UARTHn は，デバイスが送信許可状態で動作中に，URTHnTXD 信号から出力された送信データと URTHnRXD 信号から入力された受信データとの不一致を検出するデーター貫性チェック機能を備えています。

データー貫性チェックは URTHnCTL0.URTHnSLDC を 1 に設定することによって有効になります。

データー貫性のチェックは，送信レジスタ URTHnTX 内の送信データと受信レジスタ URTHnRX 内の受信データとを比較して行います。データの不一致を検出すると，データー貫性エラー・フラグ URTHnSTR1.URTHnDCE をセットし，ステータス割り込み要求 URTHnTIS を発生します。

送信停止状態中はデーター貫性チェックを実行しません。

送信中に受信が禁止されている場合でも，送信データと入力データ信号レベルのデーター貫性チェックは実行されます。この場合，受信完了割り込み要求信号 URTHnTIR は発生せず，URTHnSTR1 のステータス・ビット（URTHnBSF，URTHnFE，および URTHnOVE）もセットしませんが，一貫性エラー発生時はステータス割り込み要求信号 URTHnTIS は発生，URTHnSTR1 のステータス・ビット（URTHnDCE）はセットされます。また，受信データを読み出す必要はありません。

詳細は 1236 ページの (6)「URTHnSTR1 - UARTHn ステータス・レジスタ 1」を参照してください。

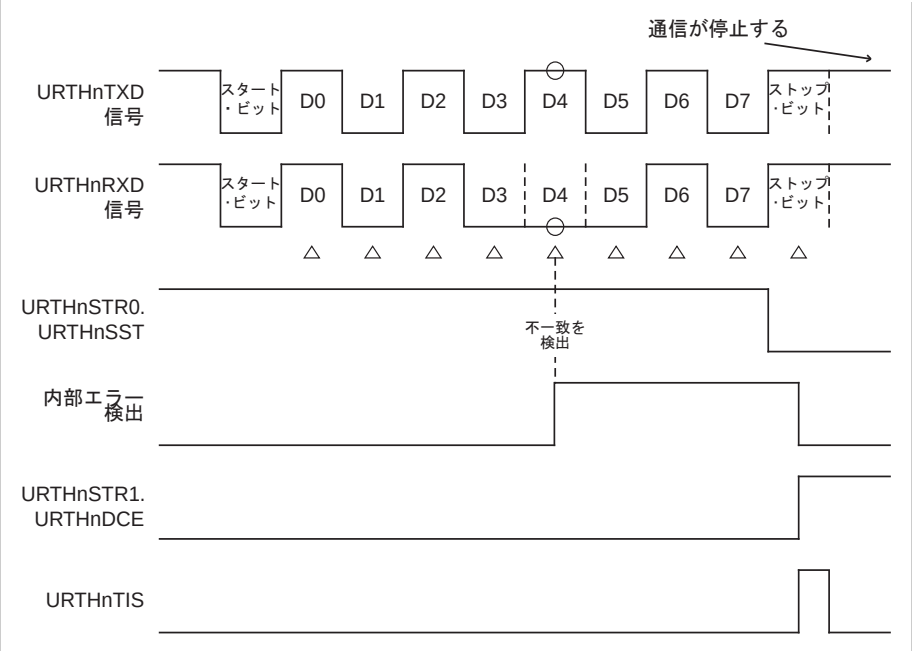


図 22-10 データー貫性エラーのタイミング例（URTHnSTR0.URTHnSSBR = 0 で BF 受信禁止時）

22.6.10 UARTHn 送信

送信の開始

次の手順に従って送信許可状態を設定します。

- UARTHn 制御レジスタ 2（URTHnCTL2）でボー・レートを指定します。
- UARTHn 制御レジスタ 1（URTHnCTL1）で，送信パリティ，データ・キャラクタ長，ストップ・ビット長，送信データ順序，送信割り込み要求タイミング，および出力論理レベルを指定します。
- URTHnCTL0.URTHnPW と URTHnCTL0.URTHnTXE を 1 にセットして，UARTHn の動作と送信を許可します。

送信バッファ・レジスタ URTHnTX に送信データを書き込んで送信を開始します。URTHnTX レジスタ内に保存されたデータは送信シフト・レジスタへ転送されます。データ・フレームにスタート・ビット，パリティ・ビット，ストップ・ビットを追加し，URTHnTXD 端子を介してシリアル出力します。

送信の停止

URTHnCTL0.URTHnPW または URTHnCTL0.URTHnTXE が 0 に設定されると，送信処理中であっても，ただちに送信動作を停止します。

BF とデータの同時送信

BF 送信要求とデータ送信要求の両方が設定された場合は，BF 送信要求が優先されます。

データー貫性チェック

データー貫性エラーを検出すると，URTHnSTC.URTHnCLDC = 1，URTHnCTL0.URTHnPW = 0，または URTHnCTL0.URTHnTXE = 0 が設定されるまで後続データは送信されません。（エラー検出後は，22.4 (1)「URTHnCTL0 - UARTHn 制御レジスタ 0」の注意に記載の手順に従って処理してください。）

URTHnTITの発生タイミング

送信割り込みURTHnTITの発生タイミングは，URTHnCTL1.URTHnSLITの設定に依存します。

- URTHnCTL1.URTHnSLIT = 0の場合：
  URTHnTIT割り込みは送信開始時（データ・レジスタURTHnTXから送信シフト・レジスタへのデータ転送）に発生します。
- URTHnCTL1.URTHnSLIT = 1の場合：
  URTHnTIT割り込みは全データの送信処理完了時（データ・フレームの最終ビット送信時）に発生します。

URTHnTIT割り込みが発生すると，次のデータをURTHnTXレジスタに書き込むことができるようになります。

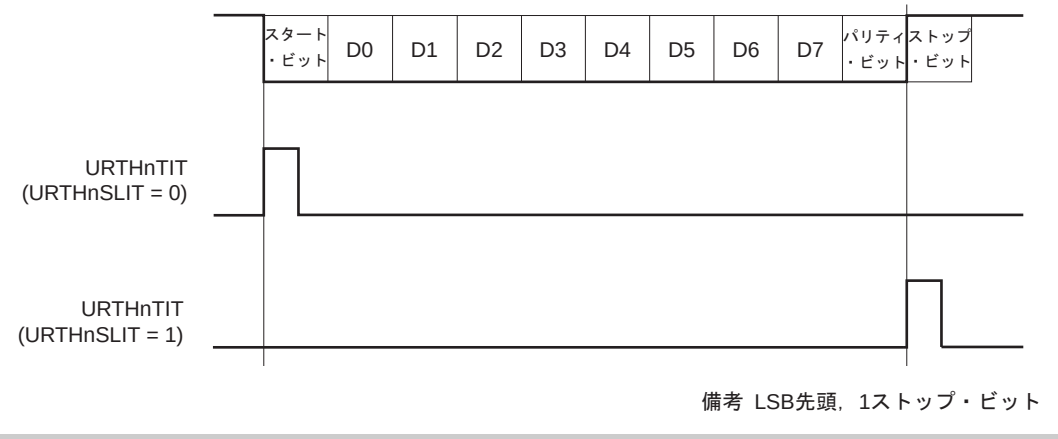


図 22-11 送信割り込み発生タイミング

22.6.11 連続送信の手順

URTHnCTL1.URTHnSLIT=0に設定し，URTHnTXレジスタにライトした送信データが送信シフト・レジスタに転送されたタイミングをURTHnTIT割り込みにて確認後，データ転送中に次の送信データを書き込むことで連続送信を実行できます。

注意 URTHnTIT割り込みが発生する前にURTHnTXレジスタへ値を書き込んだ場合，前に設定された送信データは新しい送信データによって上書きされます。送信ユニットを初期化（URTHnTXE = 0または，URTHnPWR = 0のとき）する際には，送信中でない（URTHnSTR0.URTHnSSBT = URTHnSST = 0）ことを確認してください。送信中に初期化が行なわれた場合，その送信は中止されます。

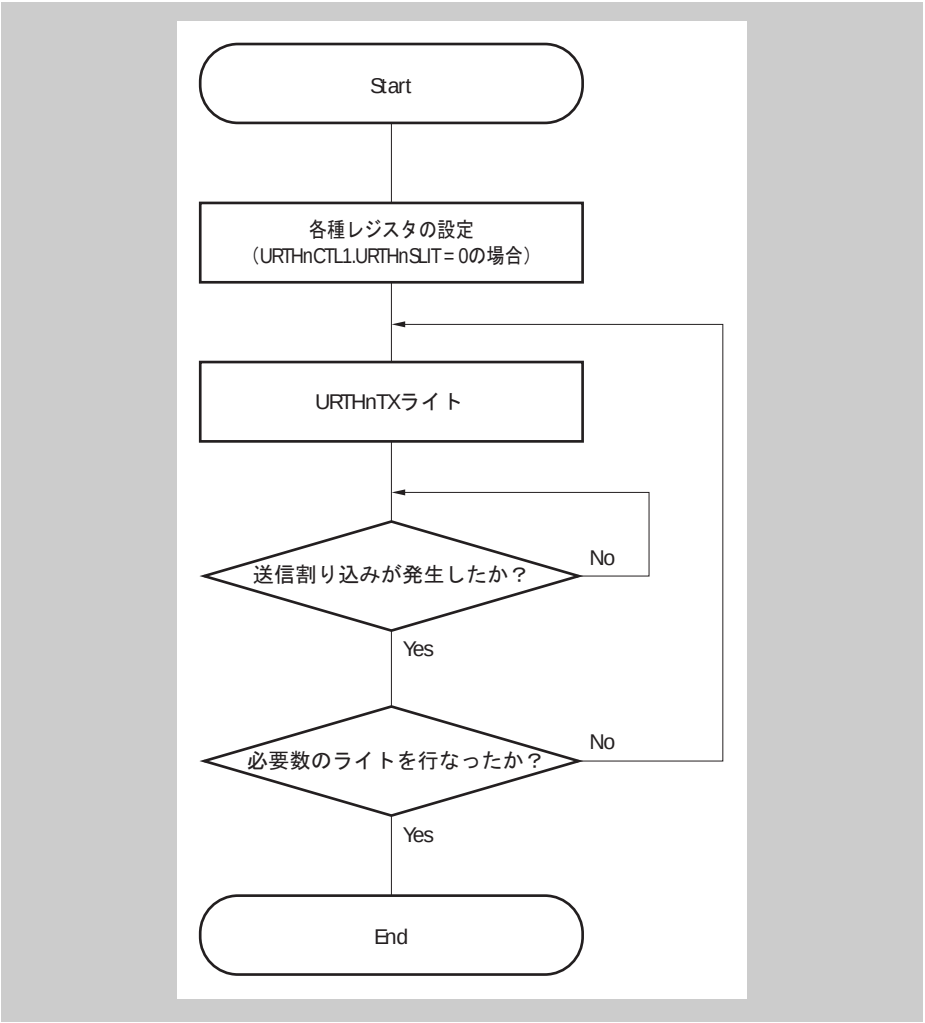


図 22-12 連続送信の手順フロー

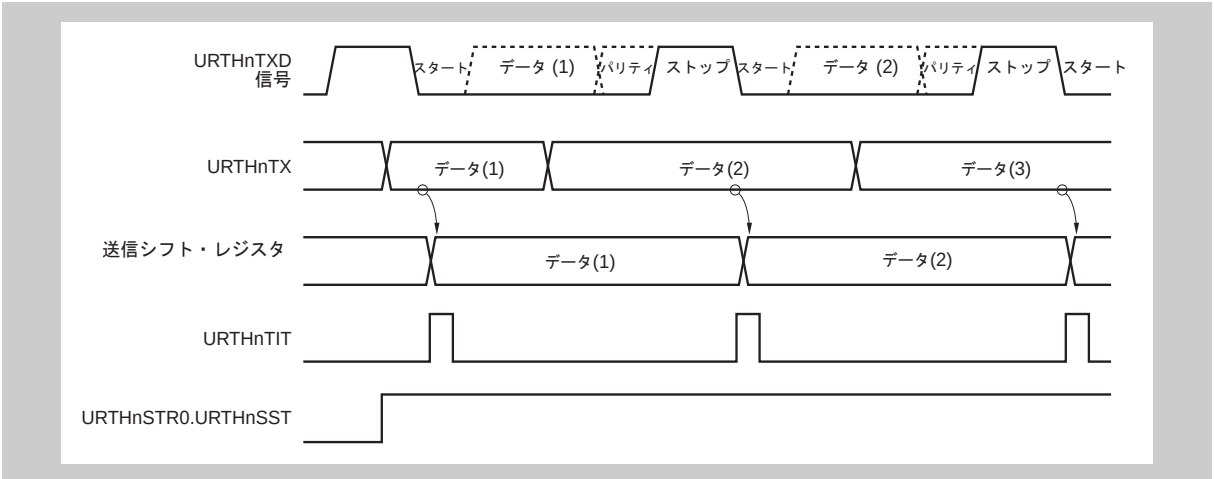


図 22-13 連続送信動作タイミング（送信開始時）

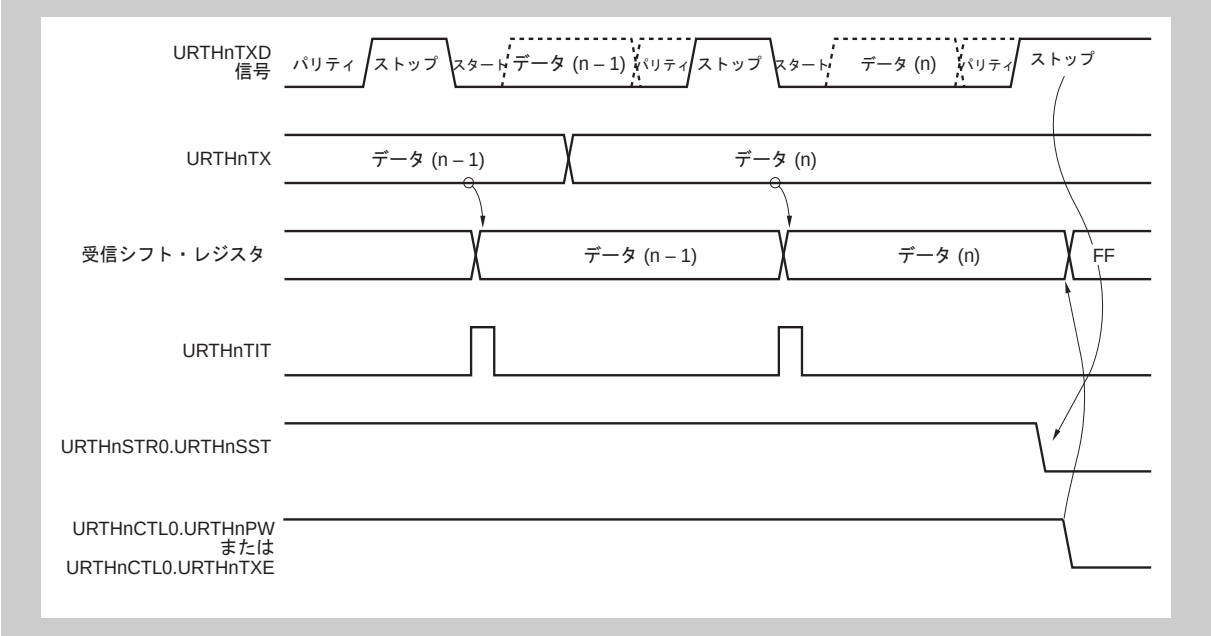


図 22-14 連続送信動作タイミング（送信終了時）

22.6.12 UARTHn 受信

受信の開始 次の手順に従って受信許可状態を設定します。

- UARTHn 制御レジスタ 2（URTHnCTL2）でボー・レートを指定します。
- UARTHn 制御レジスタ 1（URTHnCTL1）で，受信パリティ，データ・キャラクタ長，受信データ順序，および，受信データの論理レベルを指定します。
- URTHnCTL0.URTHnPW と URTHnCTL0.URTHnRXE を 1 にセットして，UARTHn の動作と受信を許可します。

URTHnTRXD 端子の入力レベルの立ち下がりを検出すると URTHnRXD のサンプリングを開始します。立ち下がりを検出してから半ビット分の時間が経過したあと，URTHnRXD 信号がロウ・レベルであれば，スタート・ビットとして認識されます（次の図を参照）。スタート・ビットが認識されると，受信動作を開始し，設定されたボー・レートに従ってシリアル・データを受信シフト・レジスタに格納していきます。ストップ・ビットを受信したら，受信割り込み URTHnTIR を発生し，受信シフト・レジスタに格納されたデータを受信データ・レジスタ URTHnRX に書き込みます。

受信の停止 URTHnCTL0.URTHnPW または URTHnCTL0.URTHnRXE が 0 に設定されると，受信処理中であっても，ただちに受信動作を停止します。

受信エラー オーバラン・エラーが発生（URTHnSTR1.URTHnOVE = 1）した場合，そのときの受信データは URTHnRX レジスタに転送されず，破棄されます。

受信中にパリティ・エラー（URTHnSTR1.URTHnPE = 1）が発生してもストップ・ビットまでは受信を継続し，受信データは RX レジスタへ転送されます。また，フレーミング・エラー（URTHnSTR1.URTHnFE = 1）はストップ・ビットの位置で判定し，エラーを検出しても受信データは URTHnRX レジスタへ転送されます。

受信エラーが発生した場合，受信割り込み URTHnTIR ではなくステータス割り込み URTHnTIS が発生します。

受信データ順序，パリティ，データ・キャラクタ長，または，受信データの論理レベルを変更する場合は，パワー・ビットを 0 にクリア（URTHnCTL0.URTHnPW = 0）したあとに行います。

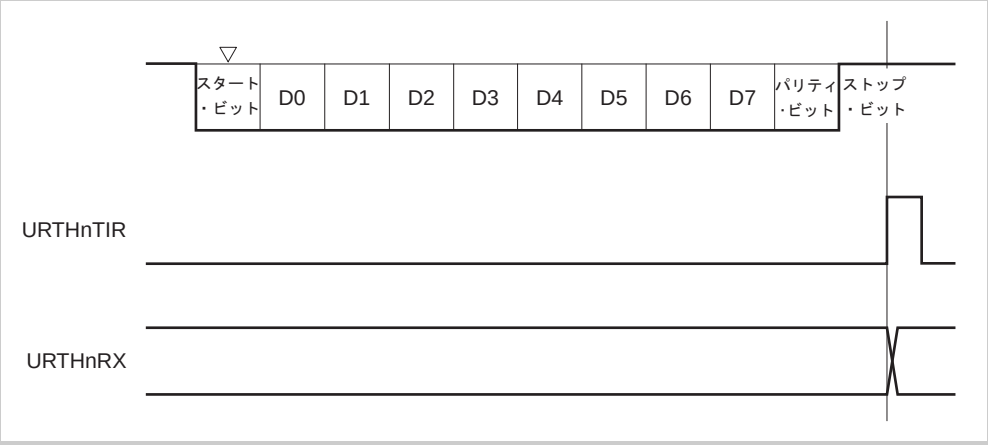


図 22-15　UARTHn の受信

注意

1. 受信エラー発生時にも，URTHnRX レジスタは必ず読み出してください。URTHnRX レジスタを読み出さないと，次のデータ受信中にオーバラン・エラーが発生します。
2. 受信時は，常に「ストップ・ビット数 = 1」として動作します。2 ビット目のストップ・ビットは無視されます。
3. データの受信処理がすべて完了し，ユニットの動作を停止させることで，電流低減を図るような場合には，受信割り込み URTHnTIR が発生したあとに URTHnRX レジスタを読み出し，URTHnCTL0.URTHnPW または URTHnCTL0.URTHnRXE を 0 にクリアしてください。URTHnTIR 割り込みが発生する前に URTHnCTL0.URTHnPW または URTHnCTL0.URTHnRXE を 0 にクリアした場合，URTHnRX レジスタからの読み出し値は保証されません。
4. 受信完了処理（URTHnTIR 割り込み発生）と URTHnCTL0.URTHnPW または URTHnCTL0.URTHnRXE の 0 にクリアが同時に起こった場合，URTHnRX レジスタにデータが格納されていないにも関わらず URTHnTIR 割り込みが発生することがあります。

備考

1. URTHnRXD 端子が “0” の状態で，URTHnCTL0.URTHnPW/URTHnCTL0.URTHnRXE を 0 から 1 にした場合，立ち下がりを検出しない為，スタート・ビットとして検出されません。
2. 連続受信では，ストップ・ビットが検出（受信割り込み発生）された直後に次のスタート・ビットが検出されることがあります。

22.6.13 受信エラー

受信動作時のエラーは，パリティ・エラー，フレーミング・エラー，オーバラン・エラーの 3 種類があります。URTHnSTR1 レジスタにはデータ受信結果エラー・フラグが用意されており，エラーが発生するとステータス割り込み要求信号 URTHnTIS が発生します。

URTHnSTR1 レジスタの内容を読み出すことによって，受信時にどのエラーが発生したのかを検出することができます。

受信エラー・フラグは，ステータス・クリア・レジスタ URTHnSTC 内の対応ビットをセットすることでクリアできます。

表 22-1 受信エラーの要因

URTHnSTR1 内のエラー・フラグ	受信エラー	要因
URTHnPE	パリティ・エラー	受信パリティ・ビットが設定と一致しない
URTHnFE	フレーミング・エラー	ストップ・ビットが検出されない
URTHnOVE	オーバラン・エラー	受信バッファからデータを読み出す前に次のデータの受信が完了した

備考 パリティ・エラーまたはフレーミング・エラーが発生した場合であっても，受信シフト・レジスタから受信データ・レジスタ URTHnRX へデータが転送されます。したがって，URTHnRX レジスタからデータを読み出す必要があります。読み出しを行わない場合，次のデータの受信完了時にオーバラン・エラー（URTHnSTR1.URTHnOVE = 1）が発生します。

オーバラン・エラーが発生した場合，受信シフト・レジスタのデータは URTHnRX レジスタへ転送されないため，前のデータは上書きされません。

22.6.14 パリティの種類と動作

注意 LIN 機能を使用するときは，URTHnCTL1.URTHnSLP[1:0] を 00_B に固定してください。

パリティ・ビットは通信データ内のビット・エラーを検出するために使用されます。通常は，送信側と受信側で同じパリティが使用してください。

(1) 偶数パリティ

- 送信中：
  パリティ・ビットを含めた送信データ中の，値が 1 のビット数が偶数個になるように制御します。パリティ・ビットの値は次のようになります。
  - 送信データ中に，値が 1 のビット数が奇数個：1
  - 送信データ中に，値が 1 のビット数が偶数個：0
- 受信中：
  パリティ・ビットを含めた受信データ中の，値が 1 のビット数をカウントし，奇数個であった場合にパリティ・エラーを発生します。

(2) 奇数パリティ

- 送信中：
  偶数パリティとは逆に，パリティ・ビットを含めた送信データ中の，値が 1 のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。
  - 送信データ中に，値が 1 のビット数が奇数個：0
  - 送信データ中に，値が 1 のビット数が偶数個：1
- 受信中：
  パリティ・ビットを含めた受信データ中の，値が 1 のビット数をカウントし，偶数個であった場合にパリティ・エラーを発生します。

(3) 0 パリティ

送信中，送信データに関係なくパリティ・ビットを常に 0 にします。

受信時にはパリティ・ビットのチェックを行いません。したがって，パリティ・ビットが 0 でも 1 でもパリティ・エラーを発生しません。

(4) パリティなし

送信データにパリティ・ビットを追加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため，パリティ・エラーを発生しません。

22.6.15 デジタル受信データ・ノイズ・フィルタ

受信データ信号入力 URTHnRXD 端子，URTHnSC 端子，URTHnCTS 端子には，ノイズやヒゲを除去するデジタル・ノイズ・フィルタを備えています。

このフィルタはプリスケーラ出力クロック PRSCLK を使用して URTHnRXD 端子，URTHnSC 端子，URTHnCTS 端子信号をサンプリングします。

サンプリング値が同じ値を 2 回取ると，各端子の入力信号は有効入力データと見なされます。

したがって，データ幅が 2 プリスケーラ出力クロック未満のデータはノイズと判断され，除去されます。

ノイズ・フィルタを使用すると，キャプチャしたデータを有効と見なして転送するまで，プリスケーラ出力クロック PRSCLK の 4 サイクル分の遅延が発生します。

ノイズ・フィルタ回路は受信許可設定時（URTHnPW = URTHnRXE = 1），もしくは送信許可設定 & データー貫性エラー・チェック有効設定（URTHnPW = URTHnTXE = URTHnSLDC = 1）で送信処理中に動作します。

22.7　ボー・レート・ジェネレータ

送受信用のボー・レート・クロック BRCLK は，プリスケーラとボー・レート・ジェネレータを使用して PCLK から生成されます（次の図参照）。

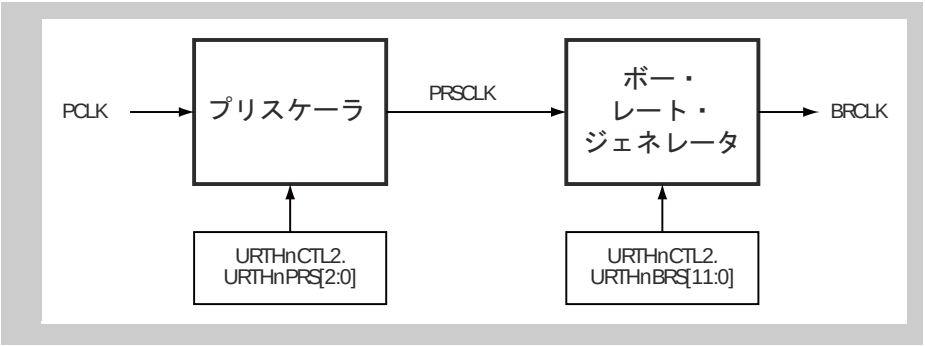


図 22-16　ボー・レート・ジェネレータの構成

プリスケーラ出力クロック PRSCLK は PCLK を分子とする分数であり，分母は URTHnCTL2.URTHnPRS[2:0] の設定によって決定されます。

$$PRSCLK = PCLK / 2^{URTHnPRS[2:0]}$$

ボー・レート・ジェネレータは，URTHnCTL2.URTHnBRS[11:0] の設定によって決定される値で PRSCLK をさらに分周します。
ボー・レート・ジェネレータは，データ・フレーム用のボー・レートと BF 受信用のボー・レートを次の表のように区別します。BF 受信クロックは，ボー・レート・クロック BRCLK の 2 倍です。

表 22-2　ボー・レート・ジェネレータ・クロック出力

URTHnCTL2. URTHnBRS[11:0]	送受信用 BRCLK	BF 受信クロック
000_H	PRSCLK / (2 × 2)	PRSCLK / 2
001_H		
002_H		
003_H	PRSCLK / (2 × 3)	PRSCLK / 3
004_H	PRSCLK / (2 × 4)	PRSCLK × 4
005_H	PRSCLK / (2 × 5)	PRSCLK × 5
...	PRSCLK / (2 × URTHnBRS[11:0])	PRSCLK / URTHnBRS[11:0]
FFE_H	PRSCLK / (2 × 4094)	PRSCLK / 4094
FFF_H	PRSCLK / (2 × 4095)	PRSCLK / 4095

22.8 LIN 通信スレーブ動作ボー・レート検出機能

この製品では，シリアル・データ入力端子を TAUB0 に入力する機能を搭載しています。この機能を使用することにより，LIN 通信スレーブ動作ボー・レート検出機能に対応します。

LIN 通信スレーブ動作ボー・レート検出機能を使用する場合は，下記点にご注意ください。

- TAUB0 はボー・レート検出が可能な動作モードで使用してください。
- タイマが動作中に，IC0REG0 レジスタの設定を変更しないでください。
- LIN 通信ボー・レート検出以外の用途で，この機能を使用して TAUB0 にシリアル・データ入力端子を接続しないでください。

第 23 章 A/D コンバータ

23.1 ADCA の特徴

この製品は，A/D コンバータ（ADC）を搭載しています。

次の表に仕様を示します。

ADC ＼ 製品		μPD70F4154 μPD70F4155
ADC 搭載ユニット（n で表示）		1（n = 0）
アナログ入力端子（m で表示）		18（m = 1-18）
チャネル・グループ（i で表示）		3（i = 0-2）
レジスタのベース・アドレス	<ADCAn_base0>[a]	FF81 D000$_H$
	<ADCAn_base1>[a]	FFFF DC00$_H$
分解能		10/12 ビット
変換結果確認機能		あり
ディスチャージ機能		あり
ハードウエア・トリガ拡張機能		あり
チャネル S/H 機能（x で表示）		6（x = 1-6） m = 1-6 に対応
供給クロック		PCLK

a) この章で説明する A/D コンバータに関連するすべてのレジスタのアドレスは，上記ベース・アドレスをオフセットとして定義しています。

注意 定義されていないビットに関しては初期値の状態で使用してください。

次の表に各信号の接続先を示します。

表 23-1 ADCAn の割り込み要求

信号名	機能	接続先	
		ユニット	信号
INTADCA0Ti	CGi の A/D 変換終了割り込み	割り込みコントローラ DMA	INTADCA0Ii
INTADCA0TLLT	最新変換ラッチ・タイミング信号	割り込みコントローラ	INTADCA0LLT
INTADCA0TERR	エラー割り込み	割り込みコントローラ DMA	INTADCA0ERR

この製品はハードウエア・トリガ機能を搭載しています。次の表に CGi の
ハードウエア・トリガ ADCAnTRGi の接続先を示します。

表 23-2 ハードウエア・トリガの接続先 (1/2)

ADCAn チャネル・グループ	トリガ入力信号			ADCAn トリガ信号
	名称	接続先		
		ユニット	信号	
CG0	ADCA0TTIN000	PIC	ADOPA0ADCATTIN00	ADCA0TTRG0
	ADCA0TTIN001	接続なし	−	
	ADCA0TTIN002	ENCA0	INTENCA0I1	
	ADCA0TTIN003	接続なし	−	
	ADCA0TTIN004	TSG20	TS0ADTRG0	
	ADCA0TTIN005	TSG20	TS0ADTRG1	
	ADCA0TTIN006	接続なし	−	
	ADCA0TTIN007	接続なし	−	
	ADCA0TTIN008	ポート	ADCA0TRG0	
	ADCA0TTIN009	接続なし	−	
	ADCA0TTIN010	接続なし	−	
	ADCA0TTIN011	接続なし	−	
	ADCA0TTIN012	接続なし	−	
	ADCA0TTIN013	接続なし	−	
	ADCA0TTIN014	接続なし	−	
	ADCA0TTIN015	接続なし	−	
CG1	ADCA0TTIN100	PIC	ADOPA1ADCATTIN00	ADCA0TTRG1
	ADCA0TTIN101	接続なし	−	
	ADCA0TTIN102	ENCA0	INTENCA0I1	
	ADCA0TTIN103	接続なし	−	
	ADCA0TTIN104	TSG20	TS0ADTRG0	
	ADCA0TTIN105	TSG20	TS0ADTRG1	
	ADCA0TTIN106	接続なし	−	
	ADCA0TTIN107	接続なし	−	
	ADCA0TTIN108	ポート	ADCA0TRG1	
	ADCA0TTIN109	TAPA0	TAPA0TADOUT0	
	ADCA0TTIN110	接続なし	−	
	ADCA0TTIN111	接続なし	−	
	ADCA0TTIN112	接続なし	−	
	ADCA0TTIN113	接続なし	−	
	ADCA0TTIN114	接続なし	−	
	ADCA0TTIN115	接続なし	−	

表 23-2 ハードウエア・トリガの接続先 (2/2)

ADCAn チャネル・グループ	トリガ入力信号			ADCAn トリガ信号
	名称	接続先		
		ユニット	信号	
CG2	ADCA0TTIN200	PIC	ADOPA2ADCATTIN00	ADCA0TTRG2
	ADCA0TTIN201	接続なし	－	
	ADCA0TTIN202	ENCA0	INTENCA0I1	
	ADCA0TTIN203	接続なし	－	
	ADCA0TTIN204	TSG20	TS0ADTRG0	
	ADCA0TTIN205	TSG20	TS0ADTRG1	
	ADCA0TTIN206	接続なし	－	
	ADCA0TTIN207	接続なし	－	
	ADCA0TTIN208	ポート	ADCA0TRG2	
	ADCA0TTIN209	TAPA0	TAPA0TADOUT1	
	ADCA0TTIN210	接続なし	－	
	ADCA0TTIN211	接続なし	－	
	ADCA0TTIN212	接続なし	－	
	ADCA0TTIN213	接続なし	－	
	ADCA0TTIN214	接続なし	－	
	ADCA0TTIN215	接続なし	－	

備考 トリガ入力信号の ADCA0TTINi00, ADCA0TTINi01 は，以下の信号が接続されます。

- ADOPAiADCATTIN00 は，INTTAUB0I0（TAUB0INT0）-INTTAUB0I15（TAUB0INT15）信号の論理和（OR）をトリガ入力信号とします。

23.2 機能概要

A/D コンバータ A（ADCAn）は，アナログ入力信号をディジタル値に変換します。

機能概要 ADCAn には次の機能があります。

- 10 ビット分解能と 12 ビット分解能をサポート
- 逐次比較変換方式
- 最大 18 本のアナログ入力信号
- 優先順位の異なる最大 3 つのチャネル・グループ
- ワンショット変換モード，連続変換モード（チャネル・グループ 0 のみ）
- 自動繰り返し機能（チャネル・リピート・モード）
- ソフトウエア・トリガ・モードとハードウエア・トリガ・モード
- ハードウエア・トリガ・ソースに複数の入力信号から選択可能
- A/D 変換終了時の A/D 変換終了割り込み発生チャネルを設定可能
- 3 種類の変換結果確認機能
- 新しいサンプリング値で変換する前にコンデンサを放電するディスチャージ機能
- バッファ・アンプのオン／オフ機能
- 自己診断機能

ADCAn の主な構成要素を次の図に示します。

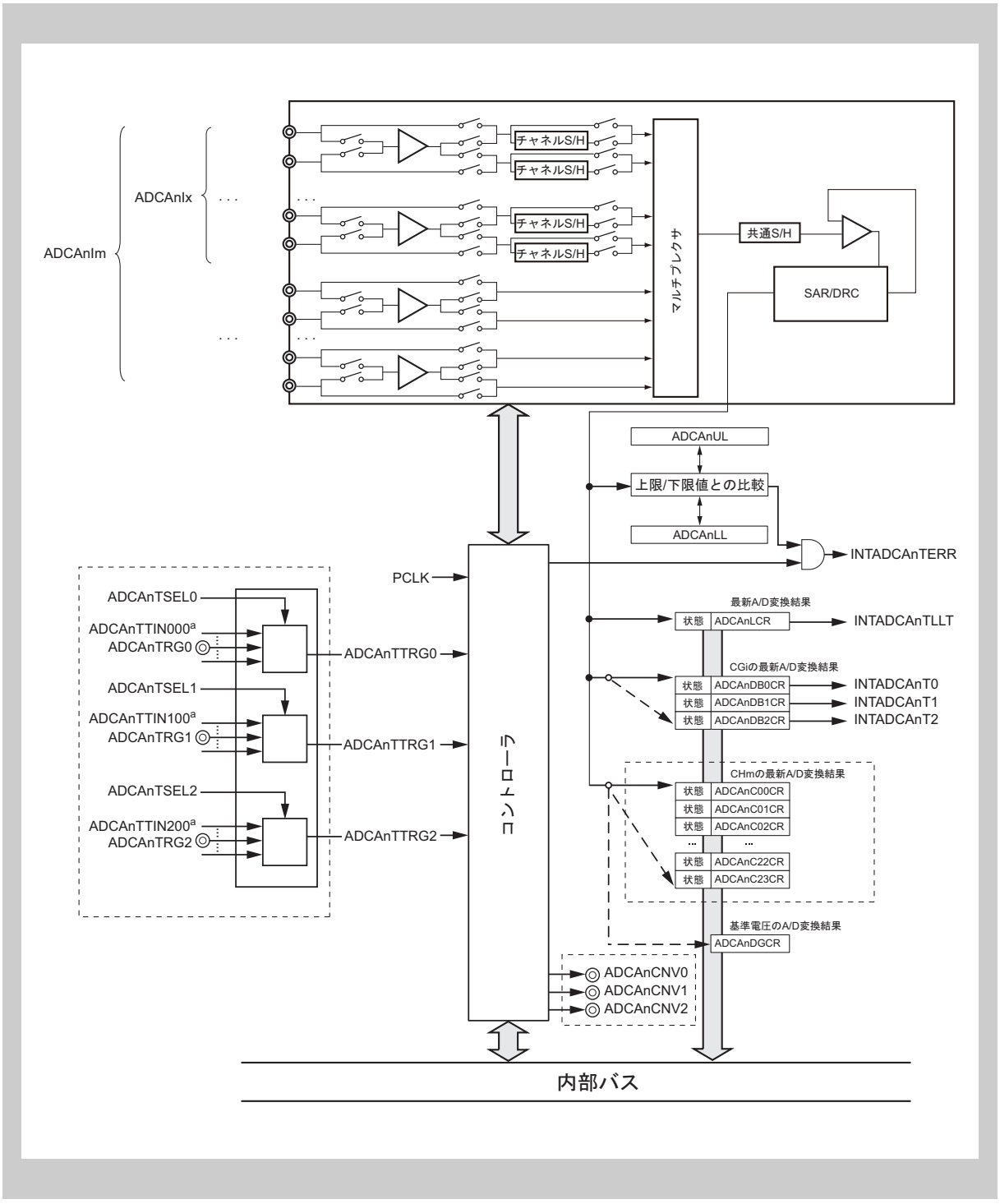


図 23-1 ADCAn のブロック図

注 接続先の詳細は表 23-2「ハードウエア・トリガの接続先」を参照してください。

23.3 機能説明

A/D コンバータ A（ADCAn）は，最大 18 本のアナログ入力信号をディジタル値に変換し，10 ビット分解能と 12 ビット分解能をサポートします。

備考 10 ビット /12 ビットの分解能の設定は，すべてのチャネルで共通の設定です。チャネルごとに分解能を変えることはできません。

チャネルとチャネル・グループ

各入力チャネルは，3 種類のチャネル・グループ（CG）にそれぞれ割り当てできます。各 CG に割り当てた入力チャネルのリストをスキャン・リストと呼びます（CG0 の診断 A/D 変換を含む）。スキャン・リストは 1 つのレジスタで容易に設定できます。また，動作中スキャン・リストを再設定できます。なお，スキャン・リストすべての A/D 変換をスキャン・リスト変換と呼びます。

ADCAn は，優先順位の異なる最大 3 つのチャネル・グループと 2 つの変換モードをサポートしています。

- ワンショット変換モード：チャネル・リピート・モードを使用しない場合，スキャン・リスト変換を 1 回実行します。チャネル・リピート・モードを使用する場合，スキャン・リストの各チャネルを指定した回数 (1-4 回) ずつ変換します。
- 連続変換モード：スキャン・リスト変換を繰り返し実行します。

A/D 変換

ソフトウエアまたはハードウエアを起動トリガとし変換を開始できます。

マルチプレクサで変換するチャネルを選択し，共通 S/H（サンプル・ホールド）回路で入力電圧を保持します。

逐次変換レジスタ（SAR）は，アナログ入力の電圧値と比較する D/A コンバータの出力電圧の値を，10 ビットまたは 12 ビットのディジタル値として保持します。

変換が終了するごとに，INTADCAnTLLT 割り込みを発生します。

A/D 変換結果レジスタ

A/D 変換が終了すると，SAR レジスタの内容が 3 つのレジスタに格納され，最新 A/D 変換結果，CGi の最新 A/D 変換結果，チャネル m の最新 A/D 変換結果をそれぞれ読み出すことができます。

ADCAn は，特定チャネルの A/D 変換終了後，またはチャネル・グループに属するすべてのチャネルの A/D 変換終了後に，設定に応じて変換終了割り込みを発生します。

変換結果確認機能

ADCAn では，次の機能で A/D 変換結果を確認することができます。

- 変換結果上書きチェック機能
- 変換結果読み出しフラグ機能
- 変換結果上下限比較機能

ディスチャージ機能

必要に応じて，各変換前に共通 S/H 回路の内部コンデンサを放電できます。

バッファ・アンプのオン／オフ機能

外部アナログ信号源の負荷を軽減するために，信号を内部バッファ・アンプに接続できます。

バッファ・アンプにより，A/D のサンプリング期間中に，内部サンプリング・コンデンサへのチャージを加速させます。

自己診断機能

ADCAn が正しく機能していることを確認したり，接続されていないアナログ入力端子を検出したりするために，4 つの自己診断機能を用意しています。

- A/D 変換回路の診断
- チャネル・マルチプレクサの診断
- アナログ入力端子の診断
- チャネル・サンプル・ホールドの診断

設定可能な安定時間

安定カウンタに任意の値を設定することで，パワー・オン後に最適な安定時間を確保できます。

23.3.1 基本動作

A/D 変換の基本的な手順について説明します。詳細は後続の各節を参照してください。

1. A/D コンバータのパワーオン（ADCA0CTL1.ADCA0GPS=1 に設定）後の起動時間を最適化する場合は，A/D コンバータをパワーオンする前に安定カウンタ ADCAnCNT レジスタを設定して安定時間を調整します（23.3.15「安定制御」を参照）。
2. A/D コンバータを有効（ADCAnCTL0.ADCAnCE = 1 に設定）にする前に，次の各レジスタで，パワー・オン，分解能，ADCAn クロック，トリガ・モード，変換モード，割り込み発生，チャネル・グループ，チャネル S/H 機能，サンプリング時間，チャネル S/H ホールド・ウェイト時間，バッファ・アンプ時間，ディスチャージ時間などを設定してください（ADCAnIOCi レジスタは，必ず ADCAnCGi レジスタの前に設定してください）。
   - ADCAnCTL0 レジスタ
   - ADCAnCTL1 レジスタ
   - ADCAnIOCi レジスタ
   - ADCAnCGi レジスタ
   - ADCAnTSELi レジスタ
   - ADCAnSHCTL レジスタ
   - ADCAnSMCNT レジスタ
   - ADCAnSHHWCNT レジスタ
   - ADCAnAMPCNT レジスタ
   - ADCAnDISCNT レジスタ
3. A/D 変換結果が特定の範囲内にあることを確認する場合は，該当するチャネルの変換結果上下限比較機能を有効にし（ADCAnCTL2.ADCAnRCKm），ADCAnLL レジスタと ADCAnUL レジスタで下限値と上限値を指定します。

4. 変換前に共通 S/H 回路のコンデンサを放電する場合は，ADCAnCTL1.ADCAnDISC に 1 を設定してディスチャージ機能を有効にします。
5. バッファ・アンプ機能を有効または無効にするには，ADCAnCTL1.ADCAnBPC を設定します。
6. A/D コンバータを有効にするには，ADCAnCTL0.ADCAnCE を 1 に設定します。

   A/D コンバータは，安定カウンタ ADCAnCNT レジスタを設定している場合，パワーオン後に安定時間が経過してから A/D 変換が開始されます。安定カウンタ ADCAnCNT レジスタを使用しない場合は，A/D コンバータのパワーオン（ADCA0CTL1.ADCA0GPS = 1 に設定）後，電源断復帰時間（27.6.15「A/D コンバータ特性」参照）以上経過してから，A/D コンバータを有効にしてください。
7. 設定したトリガ・モードに応じて，チャネル・グループに関連する次のいずれかの起動トリガによって A/D 変換が開始します。
   - ソフトウエア・トリガ（ADCAnTRGi.ADCAnSTTi に 1 を設定）
   - ハードウエア・トリガ（入力信号 ADCAnTTRGi）

   複数の CG に対して A/D 変換が起動した場合，変換の順序は CG の優先順位によって決まります。
8. ADCAnIOCi レジスタで設定したチャネルの変換が終了した時点で A/D 変換終了割り込み INTADCAnTi が発生します。
9. A/D 変換結果レジスタ ADCAnLCR，ADCAnDBiCR，ADCAnCmCR から結果を読み出します。
10. 次のレジスタをモニタします。
    - ADCAnSTR1：用途に応じて A/D 変換結果を読み出す前に上書きされていないかどうかを確認します。
    - ADCAnSTR0：A/D 変換結果を設定した範囲内にあるかどうかを確認します（変換結果上下限比較機能が有効の場合のみ）。
11. A/D コンバータを再設定する場合，ADCAnCTL0.ADCAnCE を 0 に設定して A/D コンバータを無効にします。

備考 自己診断機能については，1305 ページの 23.3.11「自己診断機能」で説明します。

23.3.2 クロックの使用

ADCAn クロック ADCAnTCLK は PCLK から生成します。分周比は ADCAnCTL1.ADCAnFR[1:0] で指定します。

注意 ADCAnTCLK には下記の制限があります。

48MHz（Max），24MHz（Min）

使用する周波数設定については表 23-3「総変換時間（10/12 ビット分解能）」を参照してください。

23.3.3 チャネルとチャネル・グループ

各入力チャネルはチャネル・グループ（CG）として構成されます。レジスタの設定により各 CG のスキャン・リストを作成でき，また動作中の再設定も可能です。CG の変換設定はグループ内のすべてのチャネルに適用されます。

ADCAn は，最大 3 つのチャネル・グループ CGi（i = 0-2）をサポートします。CGi のチャネルは ADCAnCGi レジスタで指定します。

備考 ADCAn は CG に対する A/D 変換要求のみを処理します。CG に入力チャネルを 1 つだけ割り当てることで単一チャネルの変換ができます。

(1) A/D 変換の順序

CG の起動トリガが発生すると，スキャン・リストに設定したチャネルを昇順に（CH01 から CH18 まで）変換します。

複数の CG に対する A/D 変換要求が保留された場合，CG は次の順序で変換されます。
CG2（最高優先順位）> CG1 > CG0（最低優先順位）

より優先順位の高い CG の起動トリガを設定した場合，現在の A/D 変換は中断されます。A/D 変換の中断に関しては，ADCAnCTL1.ADCAnTRMi の設定に応じて，次の 2 つの方法が選択できます。

- CG の A/D 変換をすぐに中断
  （ADCAnCTL1.ADCAnTRMi に 0 を設定）

  より優先順位の高い CG の A/D 変換がすべて終了したあと，中断されたチャネルから A/D 変換を再開します。
- 現在のチャネルの A/D 変換を終了したあとで，より優先順位の高い CG の変換を開始（ADCAnCTL1.ADCAnTRMi に 1 を設定）

  より優先順位の高い CG の A/D 変換がすべて終了したあと，次のチャネルから A/D 変換を再開します。

変換状態は ADCAnSTR2.ADCAnST[2:0] で示されます。

例 A/D 変換中断の例を次の図に示します。この例では，CH3，CH9，CH20 が CG0 に，CH5 と CH9 が CG2 に割り当てられています。

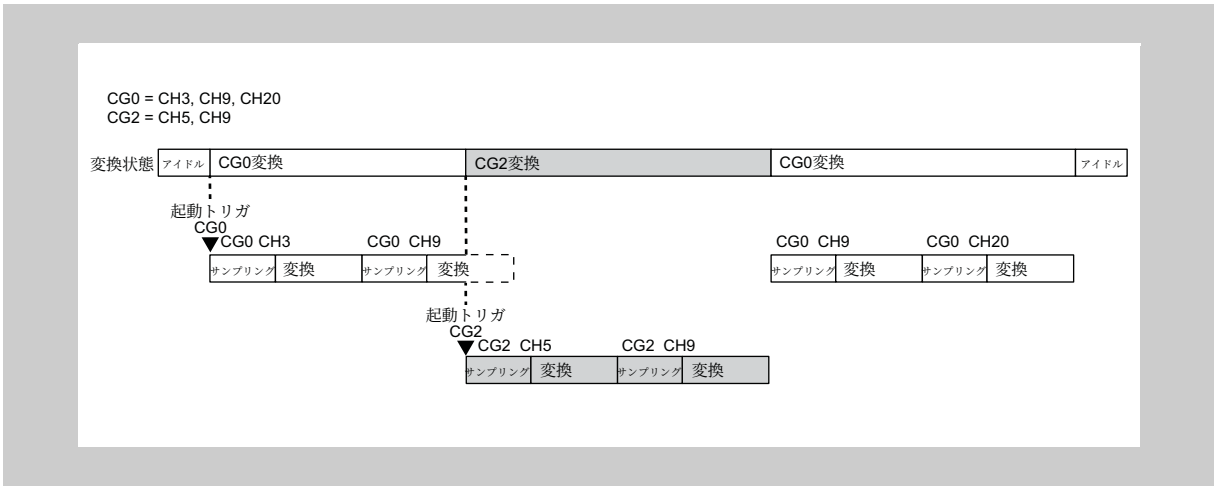


図 23-2 CG0 の A/D 変換をすぐに中断する場合（ADCAnCTL1.ADCAnTRM0 に 0 を設定）

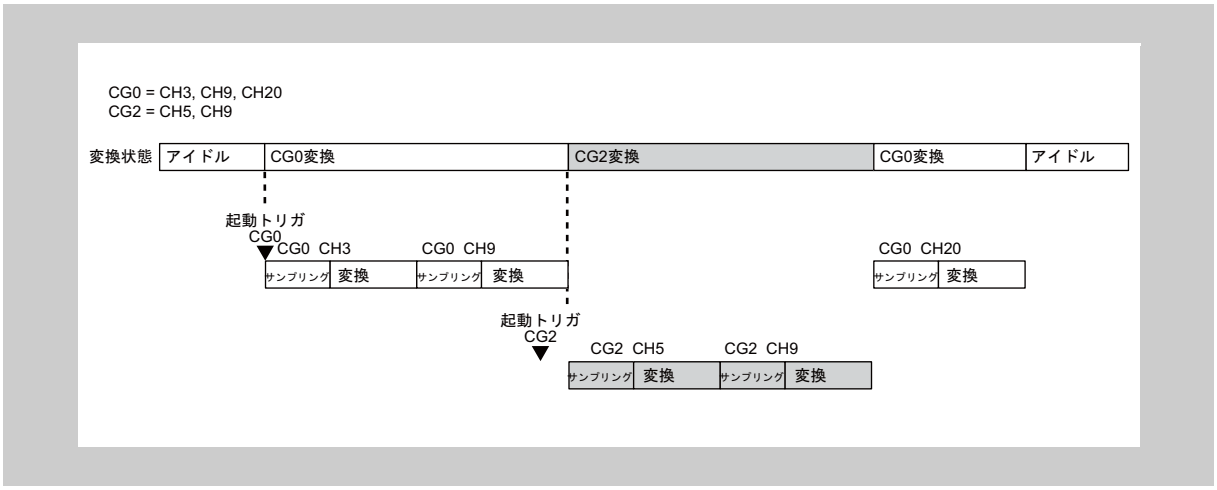


図 23-3 現在のチャネルの A/D 変換が終了するまで待機する場合
（ADCAnCTL1.ADCAnTRM0 に 1 を設定）

23.3.4 A/D 変換モード

A/D コンバータには次の 2 つの変換モードがあります。

モード	動作	チャネル・グループ
ワンショット変換モード	ワンショット変換モードは以下のモードを指定することができます。 • チャネル・リピート・モードを使用しない（ADCAnCTL0.ADCAnSTM = 0）場合，スキャン・リスト変換を 1 回実行します。 • チャネル・リピート・モード（ADCAnCTL0.ADCAnSTM = 1）を使用する場合，スキャン・リストの各チャネルを ADCAnCTL0.ADCAnSCTi[1:0] ビットで指定した回数ずつ変換します。 例）CGi=CH1, CH2, CH3，繰り返し回数を 3 回に指定した場合 CH1 → CH1 → CH1 → CH2 → CH2 → CH2 → CH3 → CH3 → CH3 の順に変換	CG0, CG1, CG2
連続変換モード	スキャン・リスト変換を繰り返し実行します。	CG0

備考 1. より優先順位の高い CG の A/D 変換要求によって，実行中の A/D 変換が中断された場合，優先順位の高い CG の要求がすべて終了したあと，自動的に元の変換を継続します（1289 ページの (1)「A/D 変換の順序」を参照）。

2. CG1 と CG2 は，変換モードの設定にかかわらずワンショット変換モードで動作します。CG0 の A/D 変換モードは，ADCAnCTL1.ADCAnMD0 で設定できます。

(1) ワンショット変換モード

チャネル・リピート・モードを使用しない（ADCAnCTL0.ADCAnSTM = 0）場合，起動トリガによって CGi のスキャン・リスト変更を 1 回実行します。

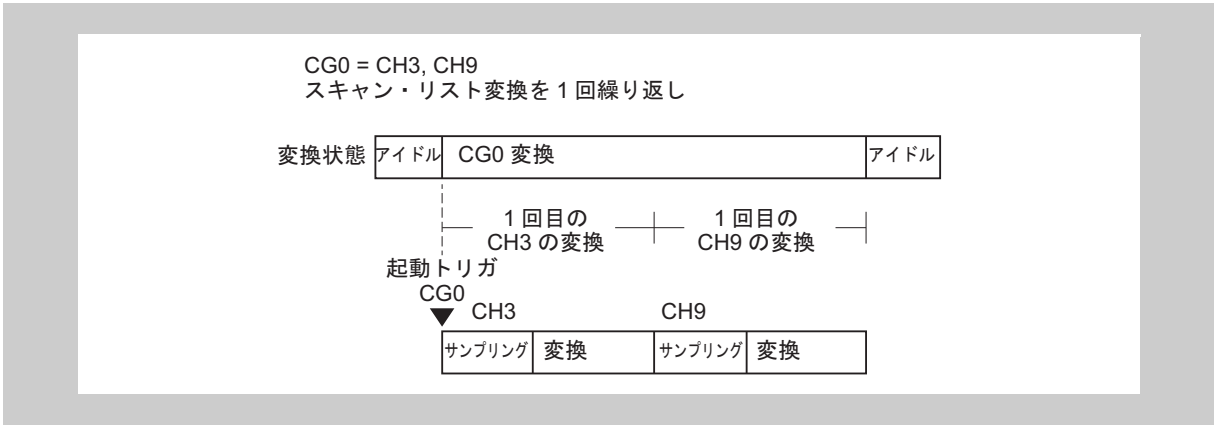


図 23-4 チャネル・リピート・モードを使用しない場合

チャネル・リピート・モード（ADCAnCTL0.ADCAnSTM = 1）を使用する場合，スキャン・リストの各チャネルを ADCAnCTL0.ADCAnSCTi[1:0] ビットで指定した回数ずつ変換します。

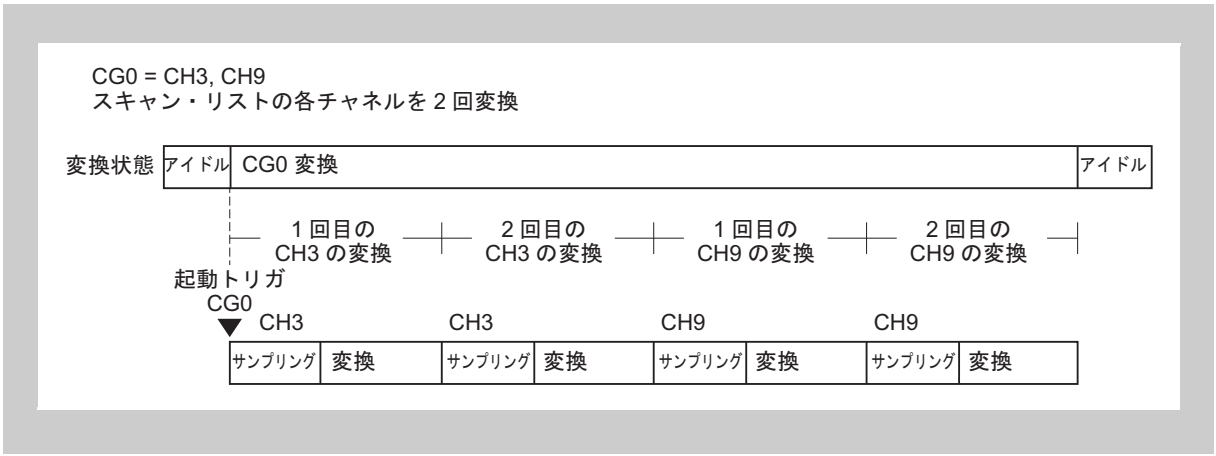


図 23-5 チャネル・リピート・モードを使用する場合（2 回繰り返し）

変換終了前起動トリガ入力時の動作

A/D コンバータは同一の CG の変換終了前起動トリガを 1 つまで保持できます。したがって最初の起動トリガによる CGi の A/D 変換が終了するまでに，後続の起動トリガが 1 つ以上（2 つ目以降は無視）入力された場合，連続して A/D 変換を実行します。

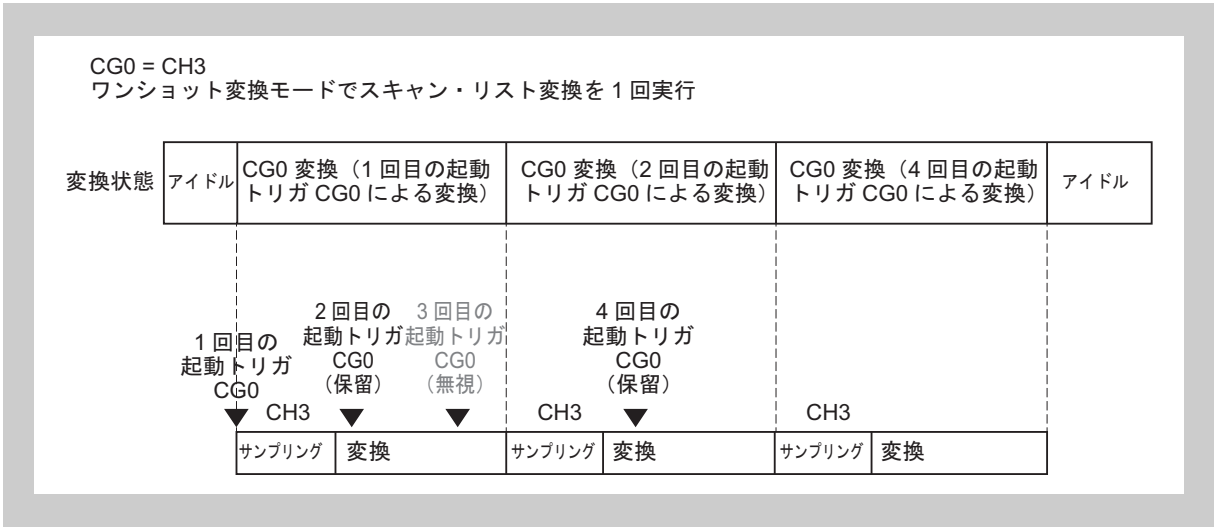


図 23-6 変換終了前起動トリガ入力時の動作

注意 高優先度 CG の変換期間中は , それよりも低優先の CG の変換終了前起動トリガが無視されます。逆に高優先度 CG の変換開始前に入力した低優先度 CG の変換終了前起動トリガは保持されます。なお，起動トリガが発生していない場合は高優先度 CG の変換期間中でも受け付けます。

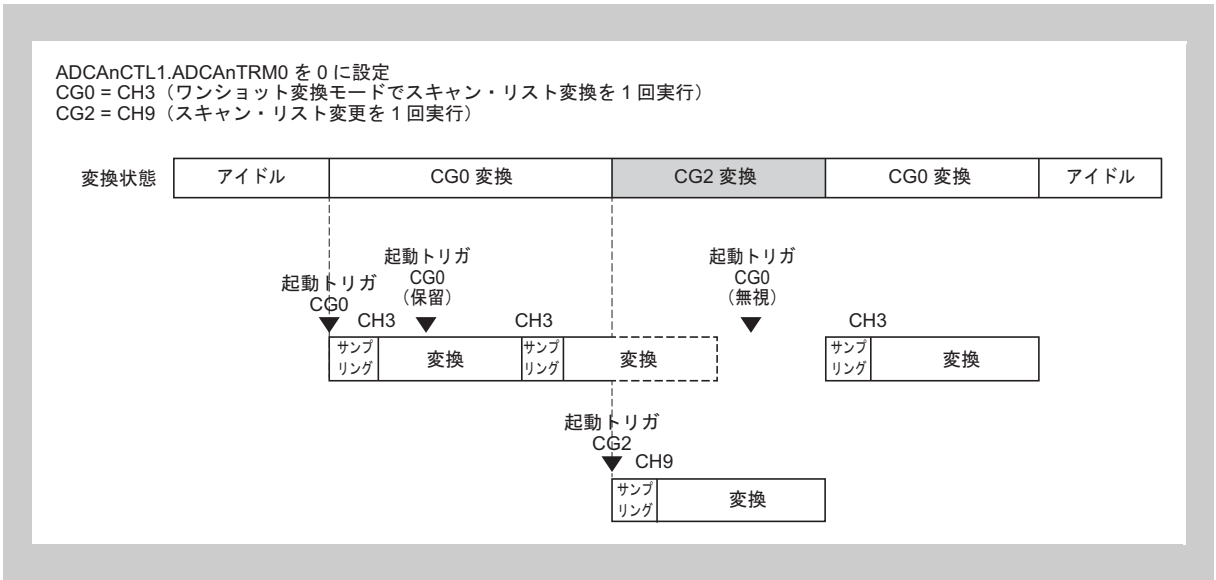


図 23-7 変換終了前起動トリガ入力時の動作（高優先度 CG の起動トリガ発生時）

(2) 連続変換モード

連続変換モードは CG0 のみで使用可能です（ADCAnCTL1.ADCAnMD0 に 1 を設定）。

連続変換モードで起動トリガが発生すると，チャネル CG0 のサンプリングと変換を開始し，停止トリガが発生するか別の停止条件が発生するまで繰り返し実行します（1296 ページの 23.3.6「A/D 変換の停止（停止トリガ）」を参照）。

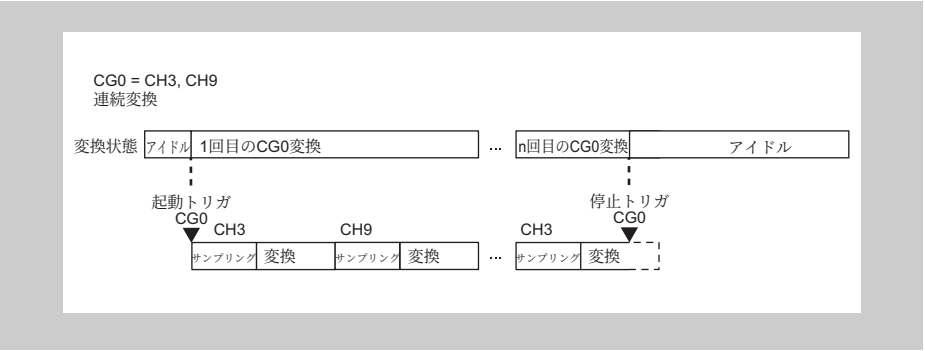


図 23-8 連続変換モード

注意 停止トリガ後はアイドルとなり，サンプリング／変換は行いません。

備考 連続変換モード中，CG0 への起動トリガは無視されます。

(3) ワンショット変換モード

チャネル・リピート・モードを使用しない（ADCAnCTL0.ADCAnSTM = 0）場合，起動トリガによって CGi のスキャン・リスト変更を 1 回実行します。

23.3.5 A/D 変換の開始（起動トリガ）

A/D 変換は，ADCAnCTL1.ADCAnMD1 で指定したソフトウエア・トリガまたはハードウエア・トリガによって開始できます。

複数の CG に対して A/D 変換が起動された場合，変換の順序は CG の優先順位によって決まります（1289 ページの (1)「A/D 変換の順序」を参照）。

備考 1. CGi のスキャン・リストにチャネルが割り当てられていない場合（ADCAnCGi レジスタ = 0000 0000_H），ADCAn はその CGi に対する起動トリガを無視します。

2. ワンショット変換モードでは，A/D コンバータは起動トリガを 1 つまで保持できます。

   起動した CGi の A/D 変換が終了するまでに，後続の起動トリガが 1 つ以上（2 つ目以降は無視）入力された場合，連続して A/D 変換を実行します（*図 23-6「変換終了前起動トリガ入力時の動作」*を参照）。

3. 連続変換モードでは，停止トリガが発生する前に発生した後続の起動トリガは無視されます。

(1) ソフトウエア・トリガ

A/D 変換が有効な場合（ADCAnCTL0.ADCAnCE に 1 を設定），ADCAnTRGi.ADCAnSTTi を 1 に設定すると CGi の A/D 変換が起動されます。

ソフトウエア・トリガのタイミング例

次の条件下でのソフトウエア・トリガのタイミングを次の図に示します。

- ADCAnTCLK クロック = PCLK/2（ADCAnCTL1.ADCAnFR[1:0] = 01_B）

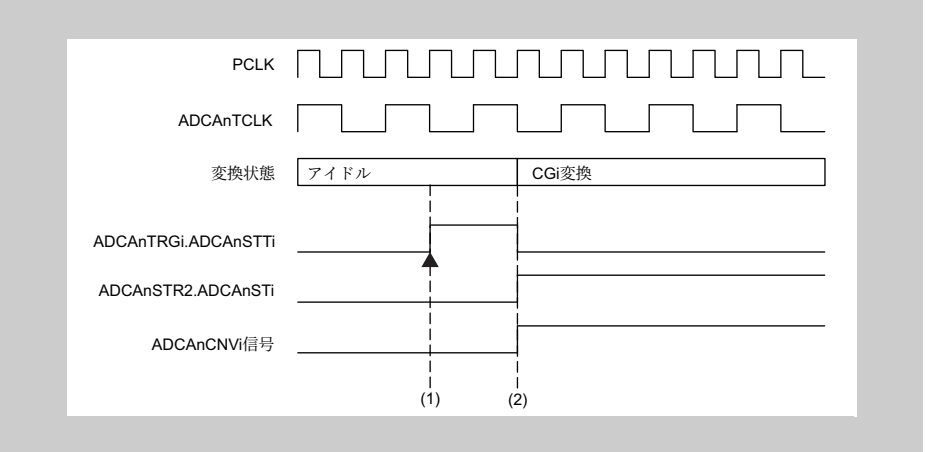


図 23-9 ソフトウエア・トリガのタイミング例

(1) CGi に対するソフトウエア・トリガの書き込み

(2) ADCAnTCLK クロックの次の立ち下がりエッジで A/D 変換を開始

状態信号 ADCAnCNVi がアクティブになり，ADCAnSTR2.ADCAnSTi がセットされ，CGi の A/D 変換を処理していることを示します。

(2) ハードウエア・トリガ

A/D コンバータが有効であり（ADCAnCTL0.ADCAnCE に 1 を設定），かつハードウエア・トリガ・モードを設定している場合（ADCAnCTL1.ADCAnMD1 に 1 を設定），ADCAnTTRGi 信号の有効エッジ検出によって CGi の A/D 変換が起動されます。

有効エッジは，CG ごとに ADCAnCTL1.ADCAnTiETS[1:0] で指定します。

ハードウエア・トリガ拡張

この製品はハードウエア・トリガ機能を搭載しています。CG0 では 5 種類，CG1 と CG2 では 6 種類のハードウエア・トリガ・ソースを ADCAnTTRGi 信号入力ごとに指定できます。ADCAnTSELi レジスタは ADCAnTTRGi 信号として使用する入力信号を指定します。

備考 ハードウエア・トリガ機能の接続先は，*表 23-2「ハードウエア・トリガの接続先」*を参照してください。

ハードウエア・トリガのタイミング

A/D コンバータは ADCAnTTRGi 信号の有効エッジ検出によって A/D 変換を開始します。

次の条件下でのハードウエア・トリガのタイミングを次の図に示します。

- ADCAnTCLK クロック = PCLK/2（ADCAnCTL1.ADCAnFR[1:0] = 01_B）
- ADCAnTTRGi 信号の有効エッジを立ち上がりに指定（ADCAnCTL1.ADCAnTiETS[1:0] = 01_B）

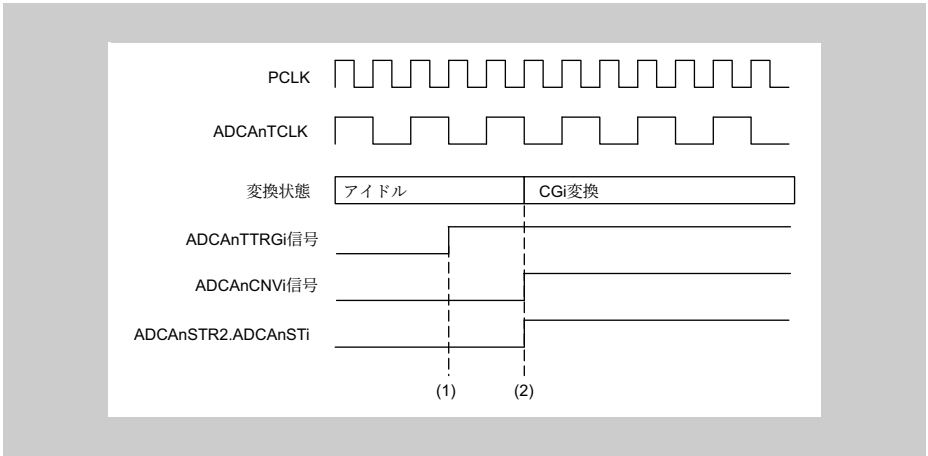


図 23-10 ハードウエア・トリガのタイミング

(1) 入力信号 ADCAnTTRGi の立ち上がり

(2) ADCAnTCLK クロックの次の立ち下がりエッジで A/D 変換を開始

状態信号 ADCAnCNVi がアクティブになり ADCAnSTR2.ADCAnSTi がセットされ，CGi の A/D 変換を処理していることを示します。

23.3.6 A/D 変換の停止（停止トリガ）

- A/D コンバータ・パワーオフ時（ADCAnCTL1.ADCAnGPS に 0 を設定）
- A/D コンバータ無効時（ADCAnCTL0.ADCAnCE に 0 を設定）

注意 ハードウェア・トリガ使用時は，A/D コンバータ無効設定前に，ADCAnCTL1.ADCAnTiETS[1:0] を 00_B（ハードウェア変換トリガの有効エッジ検出なし）に設定し，起動トリガが発生しないようにして下さい。

23.3.7 分解能，サンプリング時間と変換時間

総変換時間はディスチャージ時間（ディスチャージ時間が有効設定の場合），サンプリング時間，A/D 変換時間の合計です。

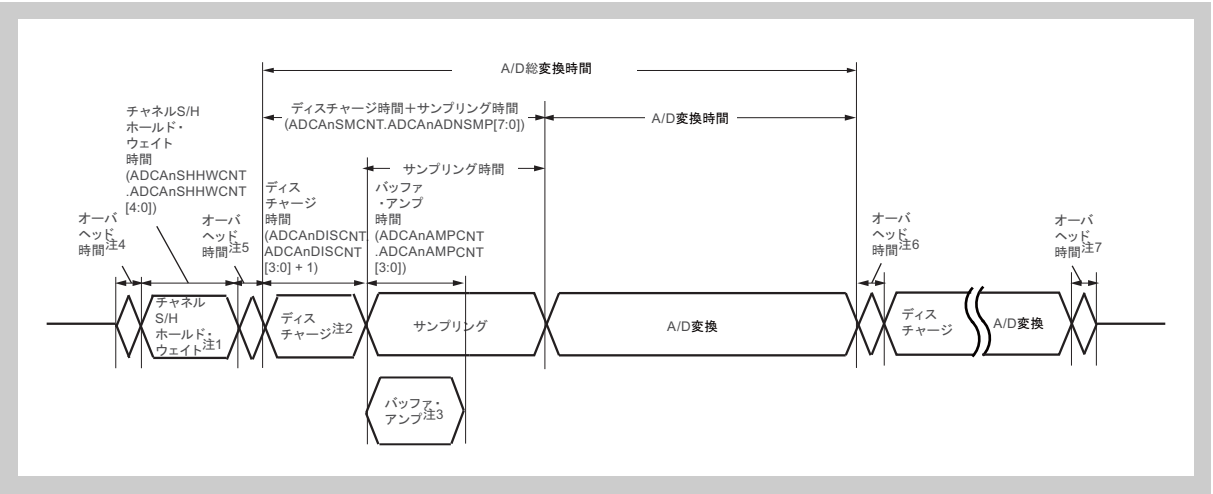


図 23-11 総変換時間

注 1. チャネル S/H 機能が有効設定のチャネルの場合に必要な時間
注 2. ディスチャージ機能が有効設定の場合に必要な時間
注 3. バッファ・アンプ機能が有効かつチャネル S/H 機能が無効のチャネルの場合に必要な時間
注 4. A/D 変換要求受付のオーバヘッド時間　1 クロック（ADCAnTCLK）
注 5. A/D 変換初期処理のオーバヘッド時間　1 クロック（ADCAnTCLK）
注 6. A/D 変換結果格納，A/D 変換要求受付，A/D 変換初期処理のオーバヘッド時間（表 23-3「総変換時間（10/12 ビット分解能）」のオーバヘッド時間を参照ください）
注 7. A/D 変換結果格納のオーバヘッド時間　ADCAnTCLK = PCLK の場合，3 クロック（ADCAnTCLK），ADCAnTCLK = PCLK/2 の場合，2 クロック（ADCAnTCLK）

- サンプリング時間はアナログ入力電圧が共通 S/H 回路に接続されている時間です。
- バッファ・アンプ時間はバッファ・アンプ機能が動作する時間です。バッファ・アンプ動作中も A/D のサンプリングは行われます。
- A/D 変換時間はアナログ入力電圧から 1 つのディジタル値を取得するために必要な時間です。
- チャネル S/H ホールド・ウェイト時間はチャネル S/H 機能でアナログ入力をサンプリング後，ホールドした値を共通 S/H に出力するまでの時間です。
- A/D クロック，チャネル S/H のホールド・ウェイト時間，ディスチャージ時間，バッファ・アンプ時間，サンプリング時間の設定のためサンプリング時間，総変換時間に応じて以下のレジスタを設定してください。設定値は表 23-3「総変換時間（10/12 ビット分解能）」を参照してください。
  - ADCAnCTL1.ADCAnFR [1:0]
  - ADCAnSHHWCNT.ADCAnSHHWCNT [4:0]（チャネル S/H ON 時）
  - ADCAnDISCNT.ADCAnDISCNT [3:0]（ディスチャージ ON 時）
  - ADCAnAMPCNT.ADCAnAMPCNT [3:0]（バッファ・アンプ ON 時）
  - ADCAnSMCNT.ADCAnADNSMP [7:0]

注意 上記のレジスタには，表 23-3「総変換時間（10/12 ビット分解能）」に記載の設定値以外を設定しないでください。

表 23-3 総変換時間（10/12 ビット分解能）

ディスチャージ ON 時

PCLK [MHz]	ADCAn TCLK [MHz]	総変換時間 [us]	ディスチャージ時間 [us] 注1	サンプリング時間 [us]	A/D 変換時間 [us]	オーバヘッド時間 [us]	設定値				
							ADCAn CTL1. ADCAn FR [1:0]	ADCAn SHHWCNT. ADCAn SHHWCNT [4:0] 注2	ADCAn DISCNT. ADCAn DISCNT [3:0]	ADCAn AMPCNT. ADCAn AMPCNT [3:0] 注3	ADCAn SMCNT. ADCAn ADNSMP [7:0]
80	PCLK/2	1.600	0.325	0.525	0.750	0.100	01_H	8_H	C_H	A_H	22_H
64	PCLK/2	1.813	0.344	0.531	0.938	0.125	01_H	7_H	A_H	8_H	$1C_H$
48	PCLK	1.458	0.333	0.500	0.625	0.104	00_H	A_H	F_H	C_H	28_H
40	PCLK	1.575	0.325	0.500	0.750	0.125	00_H	8_H	C_H	A_H	21_H
32	PCLK	1.781	0.344	0.500	0.938	0.156	00_H	7_H	A_H	8_H	$1B_H$
24	PCLK	2.125	0.375	0.500	1.250	0.208	00_H	5_H	8_H	6_H	15_H

注 1. 表内のディスチャージ時間はディスチャージに必要な時間（実際のディスチャージ時間（ADCAnDISCNT.ADCAnDISCNT[3:0]）+1）を示します。
注 2. チャネル S/H 機能を有効にする場合，必ず設定してください。
注 3. バッファ・アンプ機能を有効にする場合，必ず設定してください。

ディスチャージ OFF 時

PCLK [MHz]	ADCAn TCLK [MHz]	総変換時間 [us]	サンプリング時間 [us]	A/D 変換時間 [us]	オーバヘッド時間 [us]	設定値			
						ADCAn CTL1. ADCAn FR [1:0]	ADCAn SHHWCNT. ADCAn SHHWCNT [4:0] 注1	ADCAn AMPCNT. ADCAn AMPCNT [3:0] 注2	ADCAn SMCNT. ADCAn ADNSMP [7:0]
80	PCLK/2	1.275	0.525	0.750	0.100	01_H	8_H	A_H	15_H
64	PCLK/2	1.469	0.531	0.938	0.125	01_H	7_H	8_H	11_H
48	PCLK	1.125	0.500	0.625	0.104	00_H	A_H	C_H	18_H
40	PCLK	1.250	0.500	0.750	0.125	00_H	8_H	A_H	14_H
32	PCLK	1.438	0.500	0.938	0.156	00_H	7_H	8_H	10_H
24	PCLK	1.792	0.542	1.250	0.208	00_H	5_H	6_H	$0D_H$

注 1. チャネル S/H 機能を有効にする場合，必ず設定してください。
注 2. バッファ・アンプ機能を有効にする場合，必ず設定してください。

23.3.8 割り込み発生

(1) A/D 変換終了割り込み INTADCAnTi

INTADCAnTi 割り込みは，新しい A/D 変換結果が変換結果レジスタに格納されたことを通知します。

ADCAnIOCi レジスタで指定した CGi の任意のチャネルの A/D 変換が終了したとき，A/D 変換終了割り込みを発生します。

特定チャネルなどの指定がない場合（ADCAnIOCi レジスタ = 0000 0000_H），割り込み INTADCAnTi は CGi の A/D 変換終了時に発生します。

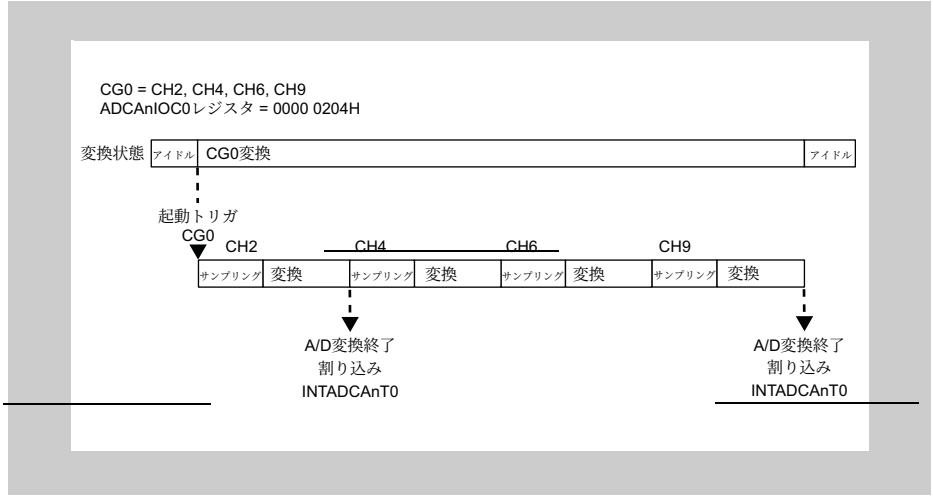


図 23-12 A/D 変換終了割り込み INTADCAnTi の発生

備考 1. A/D コンバータが有効（ADCAnCTL0.ADCAnCE に 1 を設定）の場合でも，ADCAnIOCi レジスタへの書き込みは任意のタイミングで行うことができます。新しく設定した値は，CGi の現在の A/D 変換が終了したあとに有効になります。

2. ADCAnIOCi レジスタは ADCAnCGi レジスタに連動しているため，それぞれのバッファ・レジスタを更新する場合はまとめて行う必要があります。更新は ADCAnCGi レジスタが書き込まれた時点で行われるため，CG の割り込み発生を変更する場合は，必ず ADCAnCGi レジスタの前に ADCAnIOCi レジスタの書き込みを行ってください。

(2) エラー割り込み INTADCAnTERR

エラー割り込み INTADCAnTERR は次の場合に発生します。

- 変換結果上下限比較機能が有効な状態で，指定チャネルの A/D 変換結果が設定範囲を外れた場合
  詳細は 1304 ページの (3)「変換結果上下限比較機能」を参照してください。
- ADCAnLCR レジスタ，ADCAnDBiCR レジスタ，または ADCAnCmCR レジスタの A/D 変換結果を読み出す前に上書きされた場合
  レジスタへの上書きによるエラー割り込み INTADCAnTERR の発生は，ADCAnCTL0.ADCAnOEM[4:0] を設定することによってレジスタごとに個別に制御できます。
  詳細は 1303 ページの (1)「変換結果上書きチェック機能」を参照してください。

23.3.9 A/D 変換結果の格納

(1) A/D 変換結果レジスタ

A/D 変換結果は，次のレジスタに格納されます。

- ADCAnLCR レジスタ

  最新 A/D 変換結果を格納します。

- ADCAnDBiCR レジスタ

  CGi の最新 A/D 変換結果を格納します。

- ADCAnCmCR レジスタ

  チャネル m の最新 A/D 変換結果を格納します。

これらレジスタのビット 15-00 に，サンプリングされたアナログ入力電圧のディジタル値が格納されます。また，各レジスタは，A/D 変換結果の状態フラグも格納します（1303 ページの 23.3.10「変換結果確認機能」を参照）。

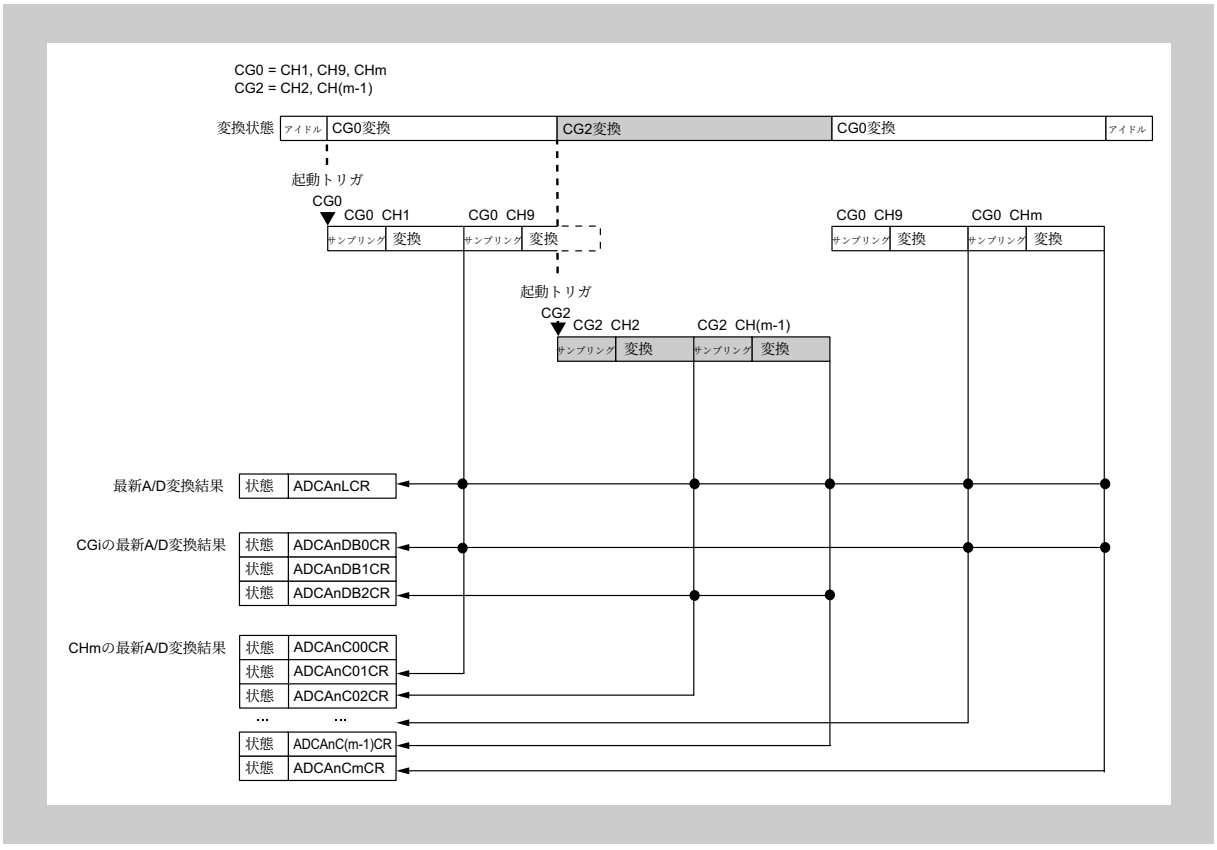


図 23-13 A/D 変換結果の格納

(2) 変換結果の格納に関する設定

(a) 変換結果 ビット位置指定機能

ADCAnCTL1.ADCAnCRAC によって，A/D 変換結果（12 ビットまたは 10 ビット）の揃え位置を右揃え（ADCAnCRAC ビット = 0）か左揃え（ADCAnCRAC ビット = 1）に指定できます。

(b) 変換結果リード&クリア機能

ADCAnCTL1.ADCAnRCL によって，A/D 変換結果レジスタ ADCAnCmCR を読み出したあとその値を保持するかクリアするかを指定できます。

(3) アナログ入力電圧と A/D 変換結果の関係

アナログ入力端子（ADCAnIm）に入力されたアナログ入力電圧と A/D 変換結果値（ADCAnLCR[15:00] ビット，ADCAnCmCR[15:00] ビット，ADCAnDBiCR[15:00] ビットの値）には次式に示す関係があります。

$$\text{A/D 変換結果値} = \text{INT}\left(\frac{V_{IAN} - AV_{REFnM}}{AV_{REFnP} - AV_{REFnM}} \times 2^k + 0.5\right)$$

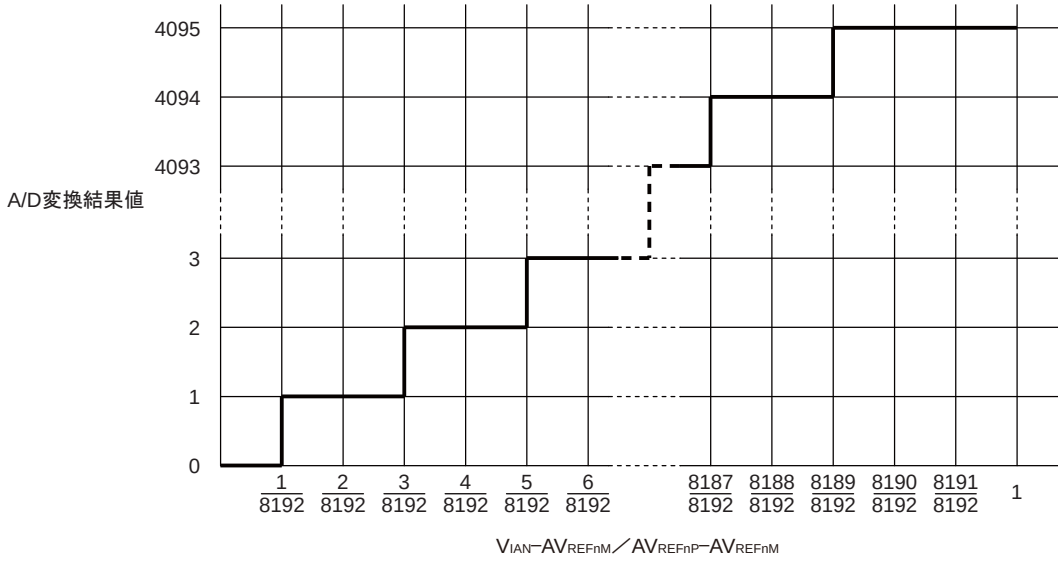
または

$$(\text{A/D 変換結果値} - 0.5) \times \frac{AV_{REFnP} - AV_{REFnM}}{2^k} \leqq V_{IAN} - AV_{REFnM} < (\text{A/D 変換結果値} + 0.5) \times \frac{AV_{REFnP} - AV_{REFnM}}{2^k}$$

INT（ ）	:（ ）内の値の整数部を返す関数
V_{IAN}	: アナログ入力電圧
AV_{REFnP}	: AV_{REFnP} 端子電圧
AV_{REFnM}	: AV_{REFnM} 端子電圧
A/D 変換結果値	: ADCAnLCR[15:00] ビット，ADCAnCmCR[15:00] ビット，ADCAnDBiCR[15:00] ビットの値
k	: 分解能

図 23-14 にアナログ入力電圧と A/D 変換結果の関係を示します。

（i）12 ビット A/D コンバータの変換特性（ADCAnCTL1.ADCAnCTYP に 0 を設定）の場合



（ii）10 ビット A/D コンバータの変換特性（ADCAnCTL1.ADCAnCTYP に 1 を設定）の場合

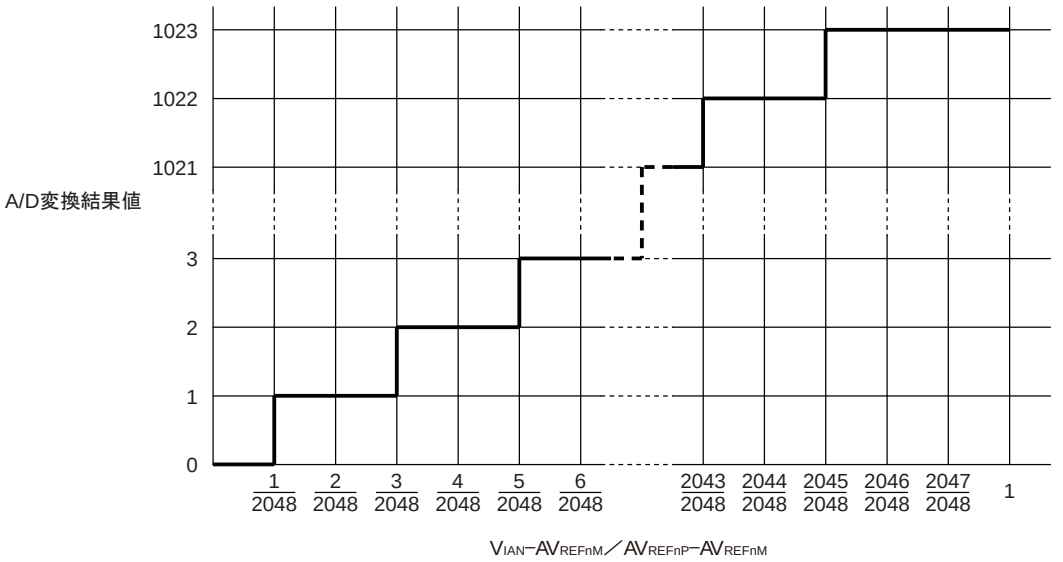


図 23-14 アナログ入力電圧と A/D 変換結果の関係

23.3.10 変換結果確認機能

ADCAn では，次の機能で A/D 変換結果を確認することができます。

- 変換結果上書きチェック機能
- 変換結果読み出しフラグ機能
- 変換結果上下限比較機能

(1) 変換結果上書きチェック機能

A/D 変換結果を読み出す前に上書きされたかどうかを確認できます。

エラー・フラグ

A/D 変換結果レジスタは，それぞれ下記の上書きエラー・フラグを持っています。

ADCAnLCR.ADCAnLER1

ADCAnDBiCR.ADCAnDBiER1

ADCAnCmCR.ADCAnCmER1

たとえば，ADCAnCmCR レジスタに格納された A/D 変換結果を読み出す前に上書きされた場合，ADCAnCmCR.ADCAnCmER1 に 1 をセットします。

ADCAnLCR レジスタと ADCAnDBiCR レジスタについても同様です。

また，ADCAnCmCR.ADCAnCmER1 の値は ADCAnSTR1.ADCAnOWEm にも反映されます。

エラー割り込み

ADCAnLCR レジスタ，ADCAnDBiCR レジスタ，ADCAnCmCR レジスタ の A/D 変換結果が読み出される前に上書きされると，エラー割り込み INTADCAnTERR が発生します。

変換結果を読み出さない変換結果レジスタに対しては，ADCAnCTL0.ADCAnOEM[4:0] を設定して，エラー割り込みをマスクしてください（変換結果上書きチェックをしないようにしてください）。

エラー割り込みをマスクしない場合，ADCAn は変換結果の読み出しを検知しません。この場合，次の A/D 変換結果が格納されたときに上書きされたことを検知し，INTADCAnTERR 割り込みが発生します。

(2) 変換結果読み出しフラグ機能

A/D 変換結果をすでに読み出したか，まだ読み出していないかを確認できます。

更新状態フラグ

A/D 変換結果レジスタには下記の更新状態フラグが用意されています。

ADCAnLCR.ADCAnLUR

ADCAnDBiCR.ADCAnDBiUR

ADCAnCmCR.ADCAnCmUR

このフラグが 1 に設定されている場合，A/D 変換結果の更新後，まだ読み出されていないことを示します。
更新状態フラグは，読み出し後 0 にクリアされます。

(3) 変換結果上下限比較機能

A/D 変換結果が設定可能な範囲内にあるかどうかを確認できます。

本機能の有効／無効は，ADCAnCTL2 レジスタによってチャネルごとに設定できます。

有効にしたチャネルの変換結果を，あらかじめ設定した下限値（ADCAnLL レジスタ）および上限値（ADCAnUL レジスタ）と比較します。

エラー・フラグ 指定チャネルの A/D 変換結果が下限値を下回るか上限値を上回った場合，そのチャネルに対応するエラー・フラグ ADCAnSTR0.ADCAnRCE が 1 にセットされます。

ADCAnSTR0 レジスタは，各チャネルの最新の A/D 変換結果上下限比較のエラー状態を示します。この ADCAnSTR0 レジスタによって，どの A/D 変換結果が設定範囲を外れているか確認できます。

また，結果確認エラー・フラグ ADCAnSTR0.ADCAnRCE の値は ADCAnLCR.ADCAnLER0, ADCAnDBiCR.ADCAnDBiER0, ADCAnCmCR.ADCAnCmER0 にも反映されます。

エラー割り込み 指定チャネルの A/D 変換結果が設定範囲を外れている場合，エラー割り込み INTADCAnTERR が発生します。

23.3.11 自己診断機能

ADCAn が機能しているかどうかを確認するために，次の自己診断機能が使用できます。

(1) A/D 変換回路の診断

(2) チャネル・マルチプレクサの診断

(3) アナログ入力端子の診断

(4) チャネル S/H 回路の診断

自己診断機能の概要を次の図に示し，詳細を後続の項で説明します。

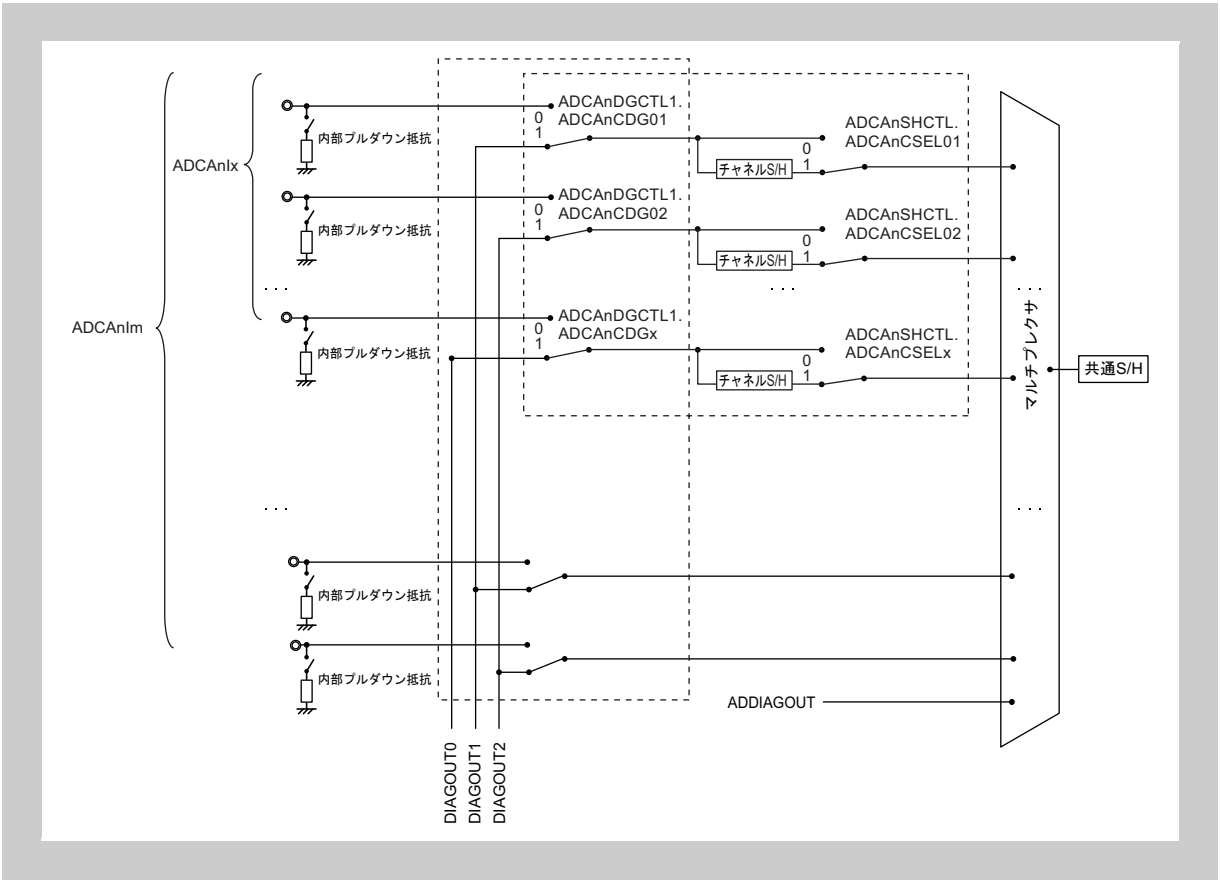


図 23-15 自己診断機能の概要

各診断機能の設定が可能な場合を次表に示します。

表 23-4 自己診断機能の設定

自己診断機能	ADCAnCE ビット = 0	ADCAnCE ビット = 1
A/D 変換回路の診断	○	○
チャネル・マルチプレクサの診断	○	×
アナログ入力端子の診断	○	×
チャネル S/H 回路の診断	○	○

○：設定可，×：設定不可

(1) A/D 変換回路の診断

A/D 変換回路の動作を診断できます。

A/D 変換回路の診断は，通常の A/D 変換動作中に行うことができます。CG0 の A/D 変換終了後，続けて基準電圧 ADDIAGOUT 信号を変換します。この診断 A/D 変換の結果が期待値から大きくはずれた場合は，ハードウエアに異常が発生または誤動作した可能性があります。

診断 A/D 変換を有効にするには，ADCAnCG0.ADCAnDIAG を 1 に設定します。

備考 A/D 変換回路の診断は，CG0 にのみ使用できます。

診断 A/D 変換は，CG0 の最後のチャネルの A/D 変換が終了したあとに開始されます。

- CG0 の A/D 変換結果は，通常の A/D 変換結果レジスタに格納されます（1300 ページの (1)「A/D 変換結果レジスタ」を参照）。
- 診断 A/D 変換の結果は，ADCAnDGCR レジスタに格納されます。

A/D 変換回路の診断では，A/D 変換中に ADCAnDGCTL0.ADCAnPSEL[2:0] の書き換えを行いますが，通常時の設定変更は，A/D 変換停止状態で以下の手順で変更してください。

1. A/D 変換動作中（ADCAnCTL0.ADCAnCE ビット =1）の場合，A/D 変換を停止（ADCAnCTL0.ADCAnCE ビット =0）します
2. ADCAnCG0.ADCAnDIAG ビットを 0 に設定します
3. ADCAnDGCTL0.ADCAnPSEL[2:0] ビットを 011_B に設定します
4. ADCAnDGCTL0.ADCAnPSEL[2:0] ビットを診断する電圧に設定します
5. ADCAnCG0.ADCAnDIAG ビットを 1 に設定します

A/D 変換中に書き込みを行った場合の動作を下図に示します。

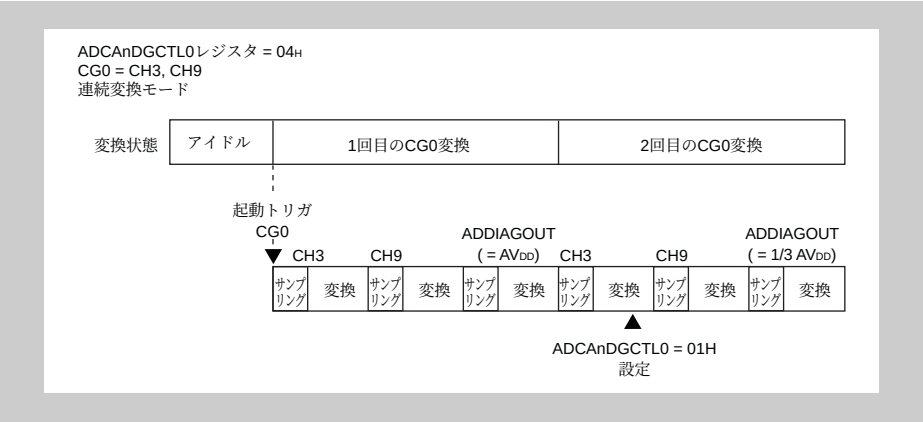


図 23-16 A/D 変換中の書き込み

備考 ADCAnDGCTL0.ADCAnPSEL[2:0] で設定した値は，現在のチャネルの変換終了後に反映されます。したがって，次の診断 A/D 変換の基準電圧は，その診断 A/D 変換が開始する前までに設定してください。

(2) チャネル・マルチプレクサの診断

チャネルの切り替えと選択を診断できます。

各チャネルには，3 つの基準電圧のうち 1 つが割り当てられます。この基準電圧の値は，ADCAnDGCTL0.ADCAnPSEL[2:0] で変更できます。

表 23-5 基準電圧のチャネル割り当て

基準電圧	割り当てチャネル
DIAGOUT0	18, 15, 12, 9, 6, 3
DIAGOUT1	16, 13, 10, 7, 4, 1
DIAGOUT2	17, 14, 11, 8, 5, 2

チャネル・マルチプレクサを診断するために，各チャネルに異なる基準電圧を入力できます。

チャネル・マルチプレクサ診断時の診断電圧設定変更を行う場合は，以下の手順により変更してください。

1. A/D 変換動作中（ADCAnCTL0.ADCAnCE ビット =1）の場合，A/D 変換を停止（ADCAnCTL0.ADCAnCE ビット =0）します
2. ADCAnDGCTL0.ADCAnPSEL[2:0] ビットを 011_B に設定します

3. ADCAnDGCTL0.ADCAnPSEL[2:0] ビットを診断する電圧に設定します

(3) アナログ入力端子の診断

入力端子がオープンになっていると，正しい A/D 変換結果が得られません。

内部プルダウン抵抗を接続してアナログ入力 ADCAnIm を診断できます。
内部プルダウン抵抗値は 27.6.15「A/D コンバータ特性」を参照してください。

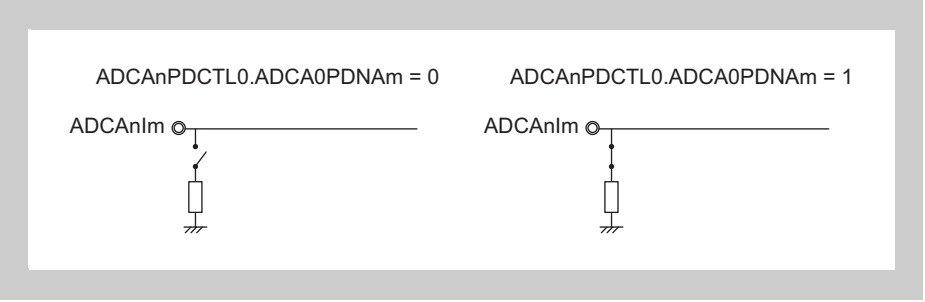


図 23-17 内部プルダウン抵抗

内部プルダウン抵抗をアナログ入力 ADCAnIm に接続（ADCAnPDCTL0.ADCAnPDNAm に 1 を設定），かつ ADCAnIm がオープンの場合は，A/D 変換結果は 0 V に近づきます。

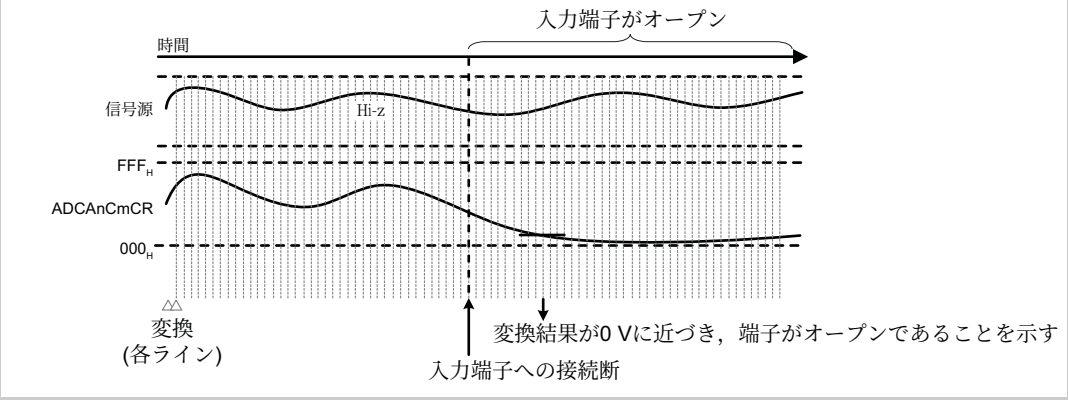


図 23-18 オープン入力端子の検出

備考 1. アナログ入力 ADCAnIm が 0.2 V より小さい場合，端子オープンを判別できません。

2. 通常の A/D 変換動作時には内部プルダウン抵抗を接続しないでください。内部プルダウン抵抗を接続することによって入力電圧降下が発生し，正しい A/D 変換結果が得られないことがあります。

診断手順（参考） オープン入力端子を診断する手順を次に示します。

1. ディスチャージ =ON，バッファアンプ =OFF，チャネル S/H ＝ OFF の設定にします。
2. オープン検出の診断対象とする ch を ADCA0PDCTL0 レジスタで 1ch のみ指定します。診断対象 ch のビットを “1” に設定して ANI バッファのプルダウン抵抗（typ 450kΩ）の接続を有効にします。
3. チャネルグループ 0，1，2 のうちの一つに診断対象チャネルの中で 1ch のみ登録します。

4. 全てのチャネルグループの HW トリガが無効となるよう ADCA0TSEL0/1/2 レジスタ，または，ADCA0CTL1 レジスタの ADCA0T2ETS1-0，ADCA0T1ETS1-0，ADCA0T0ETS1-0 ビットを設定します。また，対象 ch のオープン診断中は他のチャネルグループの変換を行わないよう制御して下さい。
5. 対象の 1ch が連続で AD 変換できるレジスタ設定を行い下記のどちらかで変換を行います。
   – チャネルグループ 0 を使用する場合，連続スキャンモード（ADCA0CTL1 の ADCA0MD1-0=01h）を指定し AD 変換を開始します。
   – チャネルグループ 1 または 2 を使用する場合は，TAUB で対象のチャネルグループに一定間隔（1 回の AD 変換時間）でトリガを入力するよう TAUB を設定し，ADCA0TSEL1 または ADCA0TSEL2 とで TAUB のトリガのみ受け付ける設定を行い AD 変換を開始します。
6. 連続で AD 変換中の変換結果は，割り込み処理または DMA にて別領域（ローカル RAM）へ転送しておきます。診断結果判定時に使用します。
7. 規定回数[注]の AD 変換が完了したら，AD 変換結果を確認し AD 変換毎に 0V に収束するように変化し，変換結果が 0.2V 未満になっているかを確認します。これを満たせば対象 ch のアナログ入力端子が断線していると判断します。
8. 診断対象 ch が複数ある場合は手順 2，3 で対象 ch の設定を変更後，手順 5 ～ 7 を再度実施します。

注 オープン検出時の連続変換回数は，AV_{DD}=5V の場合，（15pF の端子容量から 5V ⇒ 0.2V への時間。）総変換時間 =58μs 以上となる変換回数を AD 変換時間より算出して使用下さい。
基準電圧（0.2V），総変換時間（58μs）は参考値です。お客様の使用条件に合わせて十分評価したうえで使用してください。

注意 本オープン検出の診断機能は基板とアナログ入力端子の接続が外れたり，ボンディングワイヤの断線の故障を検出するためのもので，特に，外付け容量よりセンサ側の配線の断線を検出することは出来ません。

(4) チャネル S/H 回路の診断

チャネル S/H 機能は 23.3.12「チャネル S/H 機能」を参照してください。

チャネル S/H 回路を診断できます。概要を以下に示します。

DIAGOUT0-DIAGOUT2 信号を使用し，チャネル S/H 機能有効時，無効時の変換を 2 ステップ実行することでチャネル S/H 回路の診断を行います。
CH1，CH2，CH3，CH7 を使用した例を以下に示します。

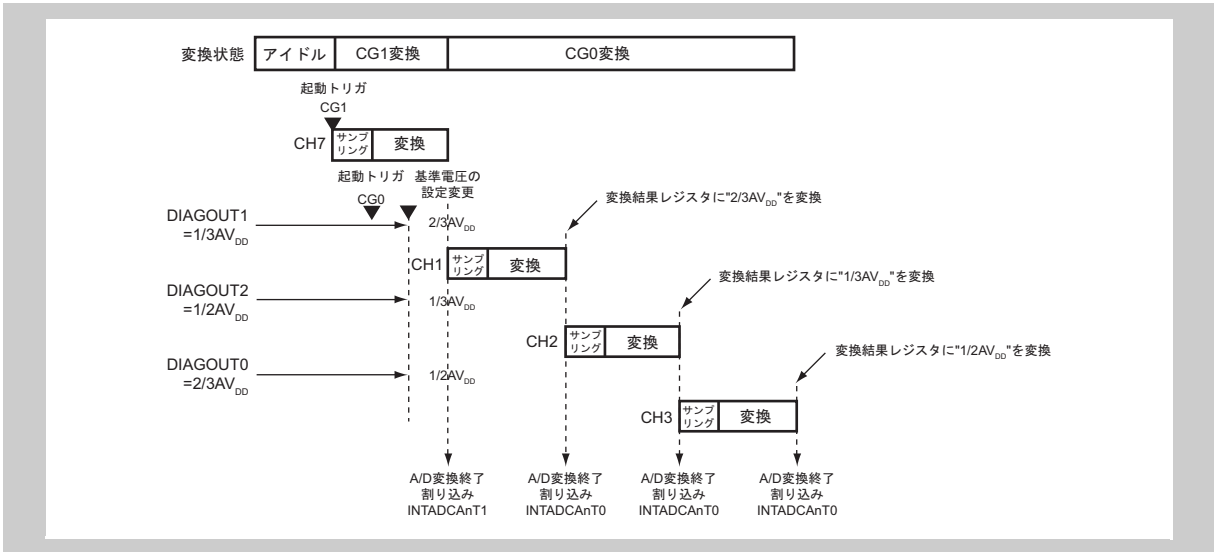
ステップ 1 ［初期設定］

- ADCAnCTL1.ADCAnGPS を 1 に設定します（ADCAn をパワーオン）。
- 起動トリガをソフトウエア・トリガに指定し，A/D 変換モードをワンショット変換モードに指定します（CG0）。
- ADCAnIOC0 レジスタ = 0000 $000E_H$ を設定し，A/D 変換終了割り込み INTADCAnT0 を発生させます。
  ADCAnIOC1 レジスタ = 0000 0080_H を設定し，A/D 変換終了割り込み INTADCAnT1 を発生させます。
  A/D 変換終了ごとに割り込みを発生させる必要があります。
- ADCAnCG0 レジスタ = 0000 $000E_H$ を設定します（CH1，H2，CH3 を選択）。
- ADCAnCG1 レジスタ = 0000 0080_H を設定します（CH7 を選択）。
- ADCAnDGCTL0.ADCAnPSEL[2:0] を 001_B に設定します（基準電圧 DIAGOUT0 に $2/3AV_{DD}$，DIAGOUT1 に $1/3AV_{DD}$，DIAGOUT2 に $1/2AV_{DD}$ を選択）。
- ADCAnDGCTL1 = 0000 $000E_H$ を設定します（内部基準電圧適用チャネルに CH1，CH2，CH3 を選択）。
- ADCAnSHCTL = 0000 0000_H を設定します（チャネル S/H 機能無効）。
- ADCAnCTL0. ADCAnCE を 1 に設定します（A/D コンバータ有効）。

［動作フロー］

- CG1（CH7）をソフトウエア・トリガにて A/D 変換を開始します。
- CG1 変換中に CG0 の変換トリガ（ソフトウエア・トリガ）を入力します。
  次に，ADCAnDGCTL0.ADCAnPSEL[2:0] を 010_B に設定します（基準電圧 DIAGOUT0 に $1/2AV_{DD}$，DIAGOUT1 に $2/3AV_{DD}$，DIAGOUT2 に $1/3AV_{DD}$ を選択）。
  上記の設定は，CG1 の A/D 変換が終了する前までに行ってください。
- CH1 の A/D 変換が終了し，CG0 の A/D 変換終了割り込み INTADCAnT0 が発生します。
  回路が正常であれば，変換結果は $2/3AV_{DD}$ となります。
- CH2 の A/D 変換が終了し，CG0 の A/D 変換終了割り込み INTADCAnT0 が発生します。
  回路が正常であれば，変換結果は $1/3AV_{DD}$ となります。
- CH3 の A/D 変換が終了し，CG0 の A/D 変換終了割り込み INTADCAnT0 が発生します。

回路が正常であれば，変換結果は $1/2AV_{DD}$ となります。



ステップ2 ［初期設定］

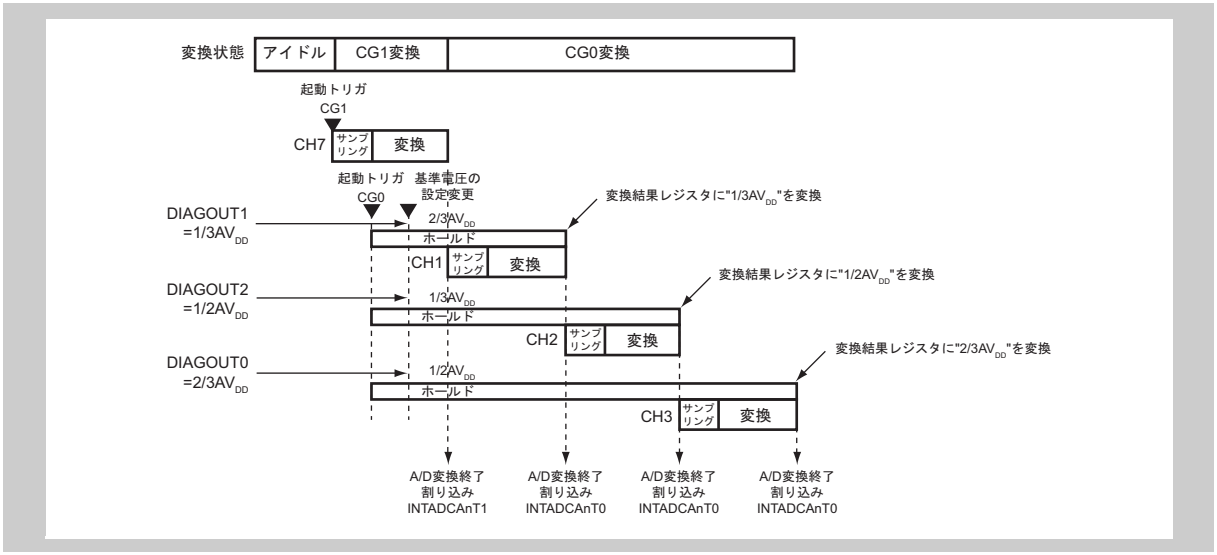
- ADCAnCTL1.ADCAnGPS を 1 に設定します（ADCAn をパワーオン）。
- 起動トリガをソフトウエア・トリガに指定し，A/D 変換モードをワンショット変換モードに指定します（CG0）。
- ADCAnIOC0 レジスタ = 0000 $000E_H$ を設定し，A/D 変換終了割り込み INTADCAnT0 を発生させます。ADCAnIOC1 レジスタ = 0000 0080_H を設定し，A/D 変換終了割り込み INTADCAnT1 を発生させます。
  A/D 変換終了ごとに割り込みを発生させる必要があります。
- ADCAnCG0 レジスタ = 0000 $000E_H$ を設定します（CH1，H2，CH3 を選択）。
- ADCAnCG1 レジスタ = 0000 0080_H を設定します（CH7 を選択）。
- ADCAnDGCTL0.ADCAnPSEL[2:0] を 001_B に設定します（基準電圧 DIAGOUT0 に $2/3AV_{DD}$，DIAGOUT1 に $1/3AV_{DD}$，DIAGOUT2 に $1/2AV_{DD}$ を選択）。
- ADCAnDGCTL1 = 0000 $000E_H$ を設定します（内部基準電圧適用チャネルに CH1，CH2，CH3 を選択）。
- ADCAnSHCTL = 0000 $000E_H$ を設定します（チャネル S/H 機能有効）
- ADCAnCTL0. ADCAnCE を 1 に設定します（A/D コンバータ有効）。

［動作フロー］

- CG1（CH7）をソフトウエア・トリガにて A/D 変換を開始します。
- CG1 変換中に CG0 の変換トリガ（ソフトウエア・トリガ）を入力します。
  次に，ADCAnDGCTL0.ADCAnPSEL[2:0] を 010_B に設定します（基準電圧 DIAGOUT0 に $1/2AV_{DD}$，DIAGOUT1 に $2/3AV_{DD}$，DIAGOUT2 に $1/3AV_{DD}$ を選択）。
  上記の設定は，CG1 の A/D 変換が終了する前までに行ってください。
- CH1 の A/D 変換が終了し，CG0 の A/D 変換終了割り込み INTADCAnT0 が発生します。

回路が正常であれば，変換結果は 1/3AV_{DD} となります。

- CH2 の A/D 変換が終了し，CG0 の A/D 変換終了割り込み INTADCAnT0 が発生します。
  回路が正常であれば，変換結果は 1/2AV_{DD} となります。
- CH3 の A/D 変換が終了し，CG0 の A/D 変換終了割り込み INTADCAnT0 が発生します。
  回路が正常であれば，変換結果は 2/3AV_{DD} となります。

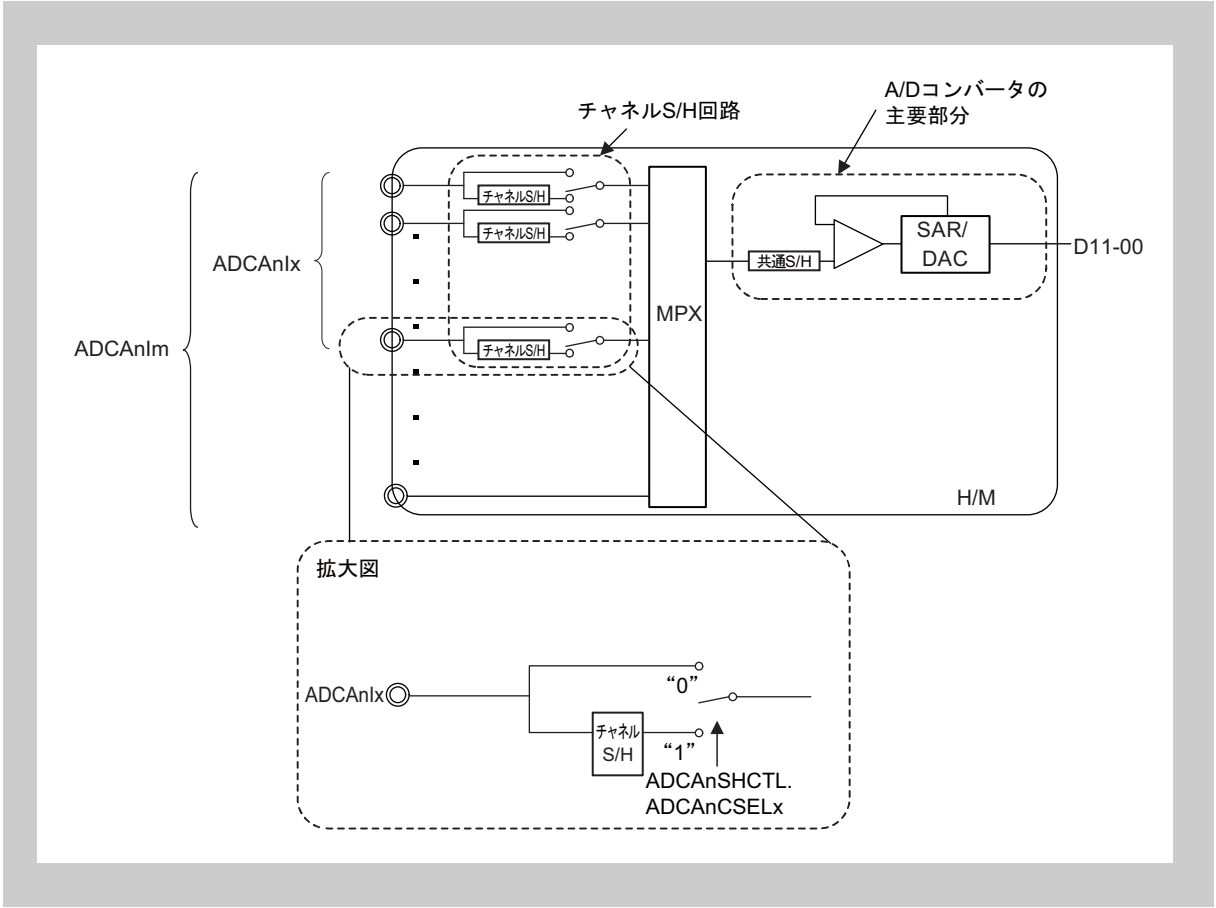


チャネル S/H 回路診断時の診断電圧設定変更を行う場合は，ADCAnDGCTL0.ADCAnPSEL[2:0] ビットを診断する電圧に設定してください。

23.3.12 チャネル S/H 機能

(1) チャネル S/H 機能

チャネル S/H 回路は次のようになります。



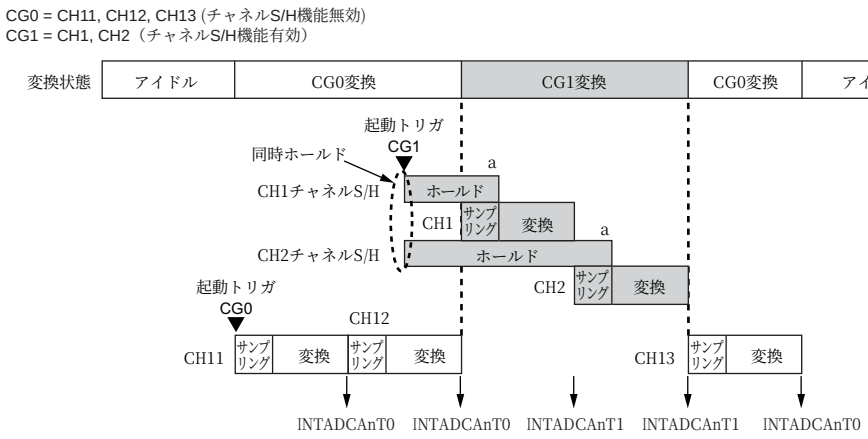
チャネル S/H は，CG0 のワンショット変換モード（繰り返しなし）と CG1, 2（繰り返しなし）で使用できます。

ADCAnSHCTL. ADCAnCSELx でチャネル S/H 機能の有効／無効を設定します。

ハードウエア・トリガまたは ソフトウエア・トリガ発生時に，ADCAnSHCTL. ADCAnCSELx でチャネル S/H 機能を有効にしたチャネルのアナログ入力信号をチャネル S/H 回路でホールドします。次に ADCAnCTL1.ADCAnTRMi の設定に従い，スキャン・リスト変換を開始します。

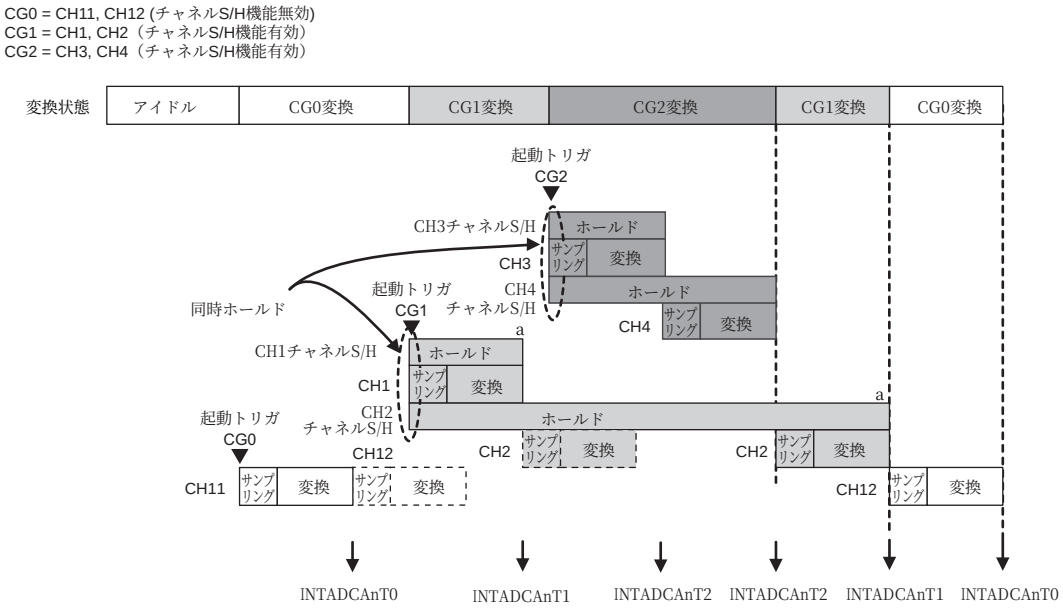
注意 チャネル S/H のサンプリングは ADCAnCE ビットを 1 にセットすることで開始します。ADCAnCE ビットに 1 をセットした直後に起動トリガが入力されるとチャネル S/H のサンプリングスペックを満たせないため，ADCAnCE ビットを 1 にセットした後，チャネル S/H サンプリング時間（t_{CAS}）をウェイト後に起動トリガを入力するようにしてください。

［例 1：優先順位の高い起動トリガが発生した場合（ADCAnTRM0 ビット = 1, ADCAnTRM1 ビット = 1）］



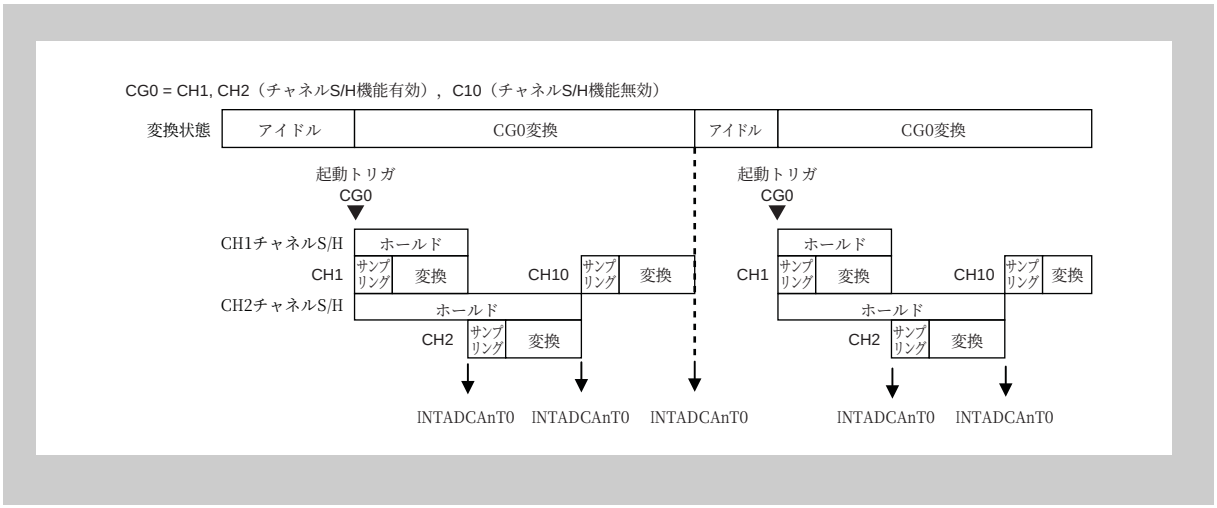
a) ADCAnTRM1 ビット = 1 の場合，チャネル S/H 回路はこのタイミングでサンプリングに切り替わります。

［例 2：優先順位の高い起動トリガが発生した場合（ADCAnTRM0 ビット = 0, ADCAnTRM1 ビット = 0）］

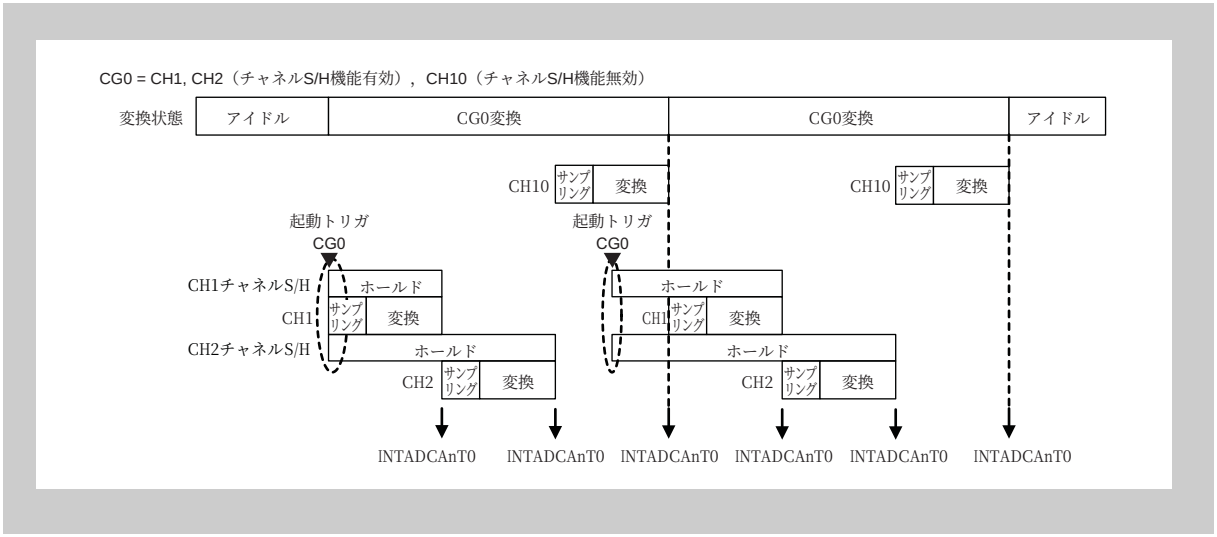


a) ADCAnTRM1 ビット = 0 の場合，チャネル S/H 回路はこのタイミングでサンプリングに切り替わります。

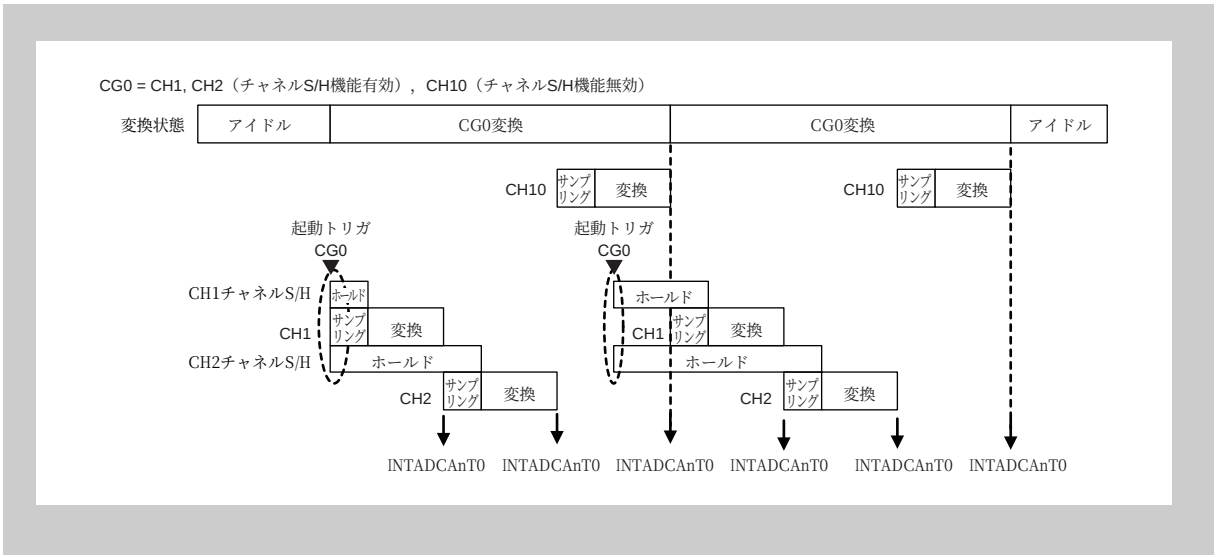
［例 3：CG0 がワンショット変換モード（繰り返しなし）の場合（ADCAnTRM0 ビット = 0）］



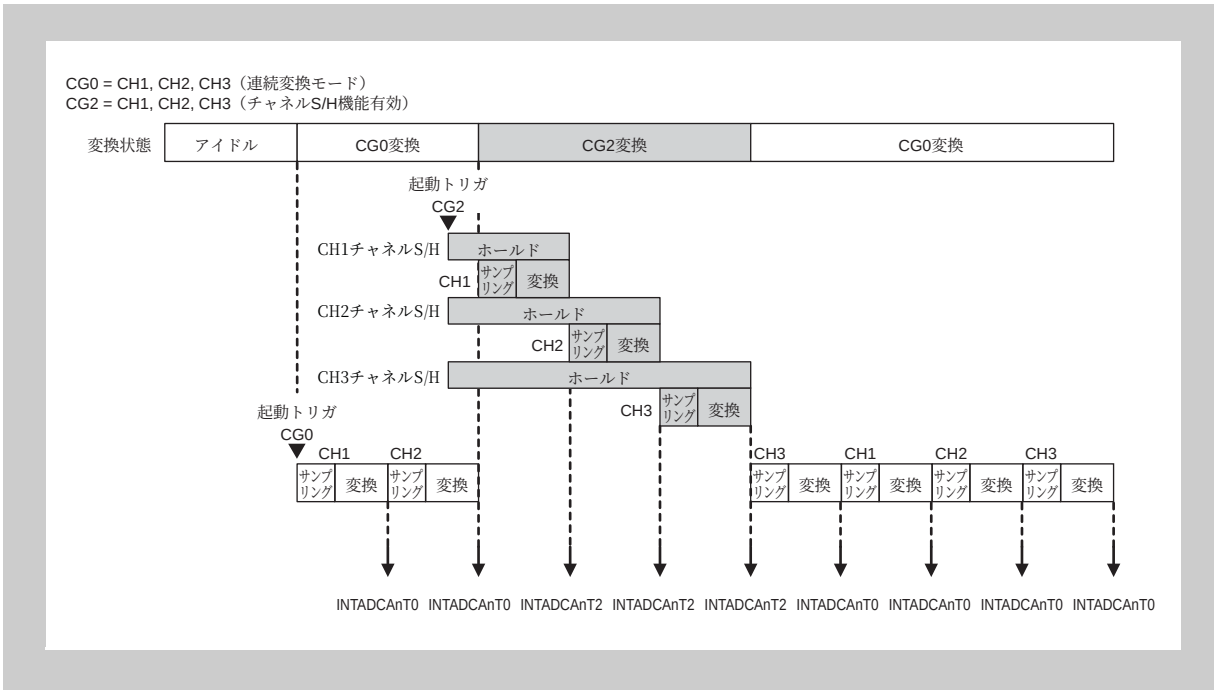
［例 4：CG0 がワンショット変換モード（繰り返しなし）時，後続の起動トリガが発生した場合（ADCAnTRM0 ビット = 0）］



［例 5：CG0 がワンショット変換モード（繰り返しなし）時，後続の起動トリガが発生した場合（ADCAnTRM0 ビット = 1)］



［例 6：CG0 が連続変換モードで CG0 と CG2 に同じチャネルを設定した場合（ADCAnTRM0 ビット = 1, ADCAnTRM2 ビット = 0)］



(2) チャネル S/H 機能使用時の制限事項

チャネル S/H 機能使用時の制限事項を示します。

(1) チャネル S/H 機能を使用するチャネルを複数の CG に同時に設定しないでください。

例 1：CG0, CG1, CG2 でチャネル S/H 機能を使用する場合
（CG0 はワンショット変換モード）

以下の組み合わせは設定可能です。

– CG0（CH1 を選択），CG1（CH2 を選択），CG2（CH3 を選択）

以下の組み合わせは設定禁止です。

– CG0（CH1 を選択），CG1（CH1 を選択），CG2（CH2, 3 を選択）

例 2：CG1, CG2 でチャネル S/H 機能を使用する場合
（CG0 は連続変換モード）

以下の組み合わせは設定可能です。

– CG0（CH1 を選択），CG1（CH1, 2 を選択），CG2（CH3 を選択）

– CG0（CH1, 2, 3 を選択），CG1（CH1 を選択），CG2（CH2, 3 を選択）

以下の組み合わせは設定禁止です。

– CG0（CH1, 2, 3 を選択），CG1（CH1, 2 を選択），CG2（CH2, 3 を選択）

(2) チャネル S/H 機能を使用している CGi に対して動作中にスキャン・リストを変更する場合，使用しているチャネル S/H の対象チャネルが変化しないように設定してください。

例：CH1, 2, 3 がチャネル S/H 機能を使用している場合

以下の組み合わせは設定可能です。

– CG0（CH1, 2, 3）を CG0（CH1, 2, 3, 10, 11）に変更

– CG0（CH1, 2, 3, 10, 11）を CG0（CH1, 2, 3）に変更

– CG0（CH7, 8, 9）を CG0（CH10, 11, 12）に変更

以下の組み合わせは設定禁止です。

– CG0（CH1, 2, 3）を CG0（CH1, 2）に変更

– CG0（CH1）を CG0（CH1, 2, 3）に変更

– CG0（CH7, 8, 9）を CG0（CH1, 7, 8, 9）に変更

– CG0（CH1, 2, 9）を CG0（CH9, 10, 11）に変更

(3) チャネル S/H を使用している CG に対して，繰り返し機能は使用禁止です。CGi でチャネル S/H を使用している場合は，その CG に対する繰り返し回数設定ビット（ADCAnCTL0. ADCAnSCTi[1:0]）を 00_B に設定してください。

23.3.13 ディスチャージ機能

必要に応じて，各変換の前に共通 S/H 回路の内部コンデンサを放電できます。

備考 ディスチャージ機能を有効にすると，総変換時間が長くなります（1297 ページの 23.3.7「分解能，サンプリング時間と変換時間」を参照）。

設定 ディスチャージ機能を有効にするには，ADCAnCTL1.DCAnDISC を 1 に設定します。

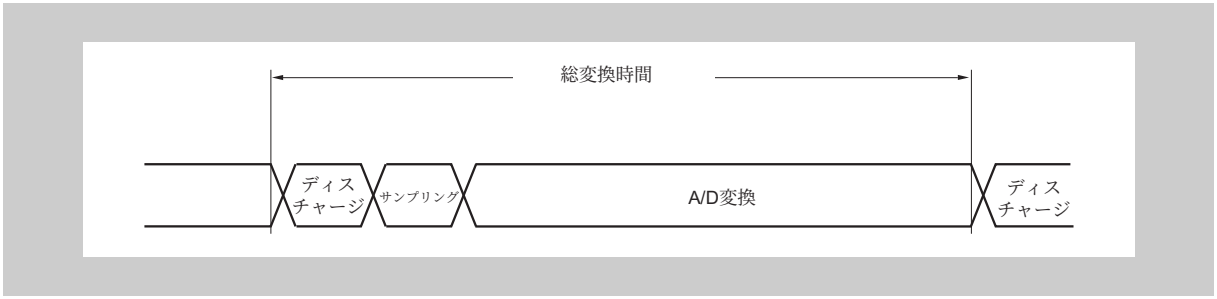


図 23-19 ディスチャージ機能有効時の変換タイミング

23.3.14 バッファ・アンプ機能

必要に応じて，アナログ入力信号を内部バッファ・アンプに接続できます。バッファ・アンプにより，A/D のサンプリング期間中に，内部サンプリング・コンデンサへのチャージを加速させます。
バッファ・アンプ機能を有効にするには，ADCAnCTL1.ADCAnBPC を 1 に設定します。

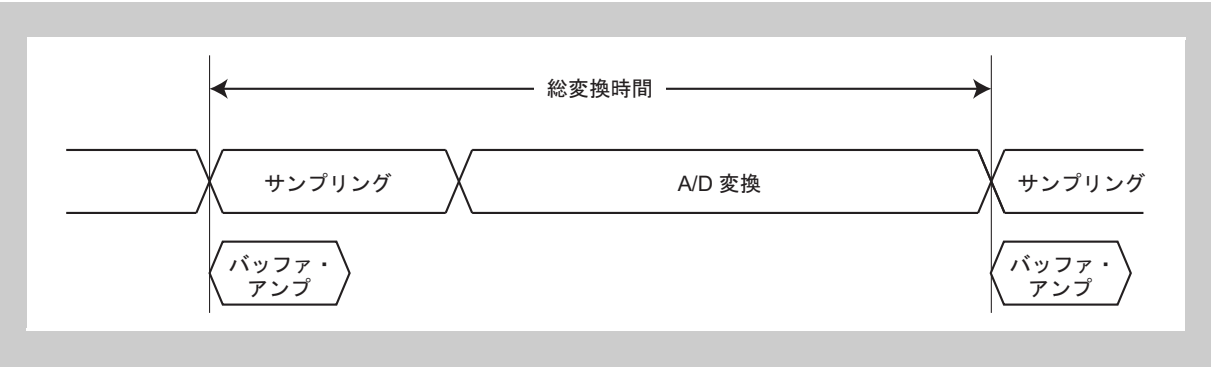


図 23-20 バッファ・アンプ機能有効時の変換タイミング

注意 チャネル S/H 機能を有効設定しているチャネルでは，バッファ・アンプ機能は自動的に無効となり変換動作します。

23.3.15 安定制御

A/D コンバータのパワーオン時（ADCAnCTL1.ADCAnGPS に 1 を設定），動作安定のための時間が必要です。

安定時間の確保中でも起動トリガは受け付けますが，安定時間が経過するまでは変換は開始されません。

最小安定時間を確保するために，安定時間カウンタ ADCAnCNT を設定する必要があります。詳細は 23.4.2 (5)「ADCAnCNT - A/D コンバータ安定カウンタ」を参照してください。

23.4 レジスタ

この節では，ADCAn のすべてのレジスタについて説明します。

23.4.1 ADCAn レジスタの概要

ADCAn は，次の表に示すレジスタで制御，動作します。

- チャネルごとに 1 つのレジスタが用意されている場合は，チャネル番号を “m” で示します。
- CG ごとに 1 つのレジスタが用意されている場合は，CG 番号を “i”（i = 0-2）で示します。

表 23-6 ADCAn レジスター覧 (1/2)

レジスタ名	略号	アドレス
制御レジスタ		
A/D コンバータ・モード制御レジスタ 0	ADCAnCTL0	<ADCAn_base0> + 100_H
A/D コンバータ・モード制御レジスタ 1	ADCAnCTL1	<ADCAn_base0> + 104_H
A/D コンバータ CG レジスタ i	ADCAnCGi	<ADCAn_base1> + i × 4_H
A/D コンバータ割り込み制御レジスタ i	ADCAnIOCi	<ADCAn_base1> + C_H + i × 4_H
A/D コンバータ・トリガ選択制御レジスタ i	ADCAnTSELi	<ADCAn_base0> + 108_H + i × 4_H
A/D コンバータ安定カウンタ	ADCAnCNT	<ADCAn_base0> + 114_H
A/D コンバータ・サンプリング・カウント・レジスタ	ADCAnSMCNT	<ADCAn_base0> + $12C_H$
A/D コンバータ・チャネル S/H・ウェイト・カウント・レジスタ	ADCAnSHHWCNT	<ADCAn_base0> + 130_H
A/D コンバータ・バッファ・アンプ・カウント・レジスタ	ADCAnAMPCNT	<ADCAn_base0> + 134_H
A/D コンバータ・ディスチャージ・カウント・レジスタ	ADCAnDISCNT	<ADCAn_base0> + 138_H
変換状態レジスタ		
A/D コンバータ上書きエラー・フラグ・レジスタ	ADCAnSTR1	<ADCAn_base1> + 28_H
ADCAnSTR1 フラグ・クリア・レジスタ	ADCAnSTC1	<ADCAn_base1> + 34_H
A/D コンバータ状態フラグ・レジスタ 2	ADCAnSTR2	<ADCAn_base1> + $2C_H$
ADCAnSTR2 フラグ・クリア・レジスタ	ADCAnSTC2	<ADCAn_base1> + 38_H
ソフトウエア・トリガ・レジスタ		
A/D コンバータ・ソフトウエア・トリガ・レジスタ i	ADCAnTRGi	<ADCAn_base1> + $A4_H$ + i × 4_H
A/D 変換結果レジスタ		
A/D コンバータ最新変換結果レジスタ	ADCAnLCR	<ADCAn_base1> + $A0_H$
A/D コンバータ変換結果レジスタ m	ADCAnCmCR	<ADCAn_base1> + $3C_H$ + m × 4_H
A/D コンバータ CGi の DMA バッファ・レジスタ i	ADCAnDBiCR	<ADCAn_base1> + $C4_H$ + i × 4_H
A/D コンバータ CGi の DMA バッファレジスタ i（変換結果）	ADCAnDBiCRL	<ADCAn_base1> + $D0_H$ + i × 4_H
A/D コンバータ診断変換結果レジスタ	ADCAnDGCR	<ADCAn_base1> + $9C_H$

表 23-6 ADCAn レジスター一覧 (2/2)

レジスタ名	略号	アドレス
A/D 変換結果上下限比較レジスタ		
A/D コンバータ結果確認レジスタ	ADCAnCTL2	<ADCAn_base1> + 18_H
A/D コンバータ結果確認（上限値）	ADCAnUL	<ADCAn_base1> + $1C_H$
A/D コンバータ結果確認（下限値）	ADCAnLL	<ADCAn_base1> + 20_H
A/D コンバータ結果確認エラー・フラグ	ADCAnSTR0	<ADCAn_base1> + 24_H
ADCAnSTR0 フラグ・クリア・レジスタ	ADCAnSTC0	<ADCAn_base1> + 30_H
診断機能制御レジスタ		
A/D コンバータ自己診断機能制御レジスタ 0	ADCAnDGCTL0	<ADCAn_base1> + DC_H
A/D コンバータ自己診断機能制御レジスタ 1	ADCAnDGCTL1	<ADCAn_base0> + $11C_H$
A/D コンバータ内部プルダウン抵抗値制御レジスタ 0	ADCAnPDCTL0	<ADCAn_base0> + 120_H
チャネル S/H 機能設定レジスタ		
A/D コンバータ・チャネル S/H 制御レジスタ	ADCAnSHCTL	<ADCAn_base0> + 118_H

23.4.2 制御レジスタ

(1) ADCAnCTL0 - A/D コンバータ・モード制御レジスタ 0

A/D コンバータの有効／無効を設定します。さらに，ワンショット変換モードの繰り返し回数と繰り返しモードの設定，A/D 変換結果を読み出す前に上書きされた場合にエラー割り込み要求を発生させるかどうかを指定します。

アクセス 16 ビット単位でリード／ライト可能です。
A/D コンバータが無効（ADCAnCTL0. ADCAnCE に 0 を設定）の場合のみ書き込み可能です（ADCAnCE を 0 にクリアする場合を除く）。

アドレス <ADCAn_base0> ＋ 100_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	ADCAn OEM4	ADCAnOEM[3:1]			ADCAn OEM0	ADCAn CE	ADCAn STM	ADCAn SCT2[1:0]		ADCAn SCT1[1:0]		ADCAn SCT0[1:0]	
R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23-7 ADCAnCTL0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
12	ADCAn OEM4	ADCAnLCR レジスタの A/D 変換結果を読み出す前に上書きされた場合に，エラー割り込み INTADCAnTERR を発生させるかどうかを指定します。 0: A/D 変換結果が上書きされた場合にエラー割り込み INTADCAnTERR を発生 1: エラー割り込み INTADCAnTERR を発生しない 詳細は 1303 ページの (1)「変換結果上書きチェック機能」を参照してください。
11-9	ADCAn OEM[3:1]	いずれかの ADCAnDBiCR レジスタの A/D 変換結果を読み出す前に上書きされた場合に，エラー割り込み INTADCAnTERR を発生させるかどうかを指定します。 0: A/D 変換結果が上書きされた場合にエラー割り込み INTADCAnTERR 発生 1: エラー割り込み INTADCAnTERR を発生しない CGi は ADCAnOEM(i+1) ビットによって制御されます。 詳細は 1303 ページの (1)「変換結果上書きチェック機能」を参照してください。
8	ADCAn OEM0	ADCAnCmCR レジスタの A/D 変換結果を読み出す前に上書きされた場合に，エラー割り込み INTADCAnTERR を発生させるかどうかを指定します。 0: A/D 変換結果が上書きされた場合にエラー割り込み INTADCAnTERR を発生 1: エラー割り込み INTADCAnTERR を発生しない 詳細は 1303 ページの (1)「変換結果上書きチェック機能」を参照してください。

表 23-7 ADCAnCTL0 レジスタの内容 (2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>7</td><td>ADCAnCE</td><td>A/D コンバータの有効／無効を設定します。
0: A/D コンバータ無効
1: A/D コンバータ有効
このビットを 1 に設定する場合は、その他のビットとは別に設定してください。
ADCAnCTL0.ADCAnCE ビットを 1 に設定後，ハードウエア・トリガまたはソフトウエア・トリガ（ADCAnTRGi.ADCAnSTTi）を発生させることで，A/D 変換が開始します。
ADCAnCTL1.ADCAnGPS ビットによるパワーオンの直後（安定時間の確保中），ハードウエア・トリガまたはソフトウエア・トリガは受け付けますが，安定時間が経過するまでは A/D 変換は開始しません。安定時間が経過したあと，A/D 変換を開始します。
A/D コンバータを有効から無効にする場合、下記手順となります。
1. ADCAnCTL1.ADCAnTiETS[1:0] を 00B に設定 (HW 変換トリガの有効エッジ検出なし)
2. 1 サイクルウェイト
3. ADCAnCTL0.ADCAnCE=0 (AD 変換停止)

有効 / 無効設定切り替え時、変換結果レジスタ（ADCAnDGCR，ADCAnLCR，ADCAnCmCR，ADCAnDBiCR）に保持されている値は初期化されます。</td></tr>
<tr><td>6</td><td>ADCAnSTM</td><td>ワンショット変換モードの繰り返しモードを指定します。
0: チャネル・リピート・モードを使用しない
1: チャネル・リピート・モードを使用する
各チャネルを ADCAnSCTi[1:0] ビットで指定した回数ずつ繰り返します。

例） CGi=CH1, CH2, CH3，ADCAnSCTi[1:0] ビット =10_B の場合
チャネル・リピート・モード時 :
CH1 → CH1 → CH1 → CH2 → CH2 → CH2 → CH3 → CH3 → CH3
の順に変換
注意 ADCAnSTM = 0 のとき，繰り返し回数 ADCAnSCTi[1:0] を 1(00_B) に設定してください。</td></tr>
<tr><td>5-0</td><td>ADCAn
SCTi[1:0]</td><td>CG1，CG2 とワンショット変換モードの CG0 のスキャン・リスト変換繰り返し回数
<table>
<tr><th>ADCAn SCTi1</th><th>ADCAn SCTi0</th><th>CGi のスキャン・リスト変換繰り返し回数</th></tr>
<tr><td>0</td><td>0</td><td>1</td></tr>
<tr><td>0</td><td>1</td><td>2</td></tr>
<tr><td>1</td><td>0</td><td>3</td></tr>
<tr><td>1</td><td>1</td><td>4</td></tr>
</table></td></tr>
</table>

(2) ADCAnCTL1 - A/D コンバータ・モード制御レジスタ 1

変換モードを指定し，変換動作を制御します。

アクセス 32 ビット単位でリード／ライト可能です。
A/D コンバータが無効（ADCAnCTL0. ADCAnCE に 0 を設定）の場合のみ書き込み可能です。

アドレス <ADCAn_base0> ＋ 104_H

初期値 $0100\ 0000_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADCAn T2ETS[1:0]		ADCAn T1ETS[1:0]		ADCAn T0ETS[1:0]		0	ADCAn CRAC	0	0	ADCAn MD1	ADCAn MD0	0	0	ADCAn DISC	ADCAn RCL
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAn CTYP	0	0	ADCAn STL	0	0	ADCAnFR [1:0]		0	0	ADCAn TRM[1:0]		ADCAn BPC	0	0	ADCAn GPS
R/W	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R	R	R/W

表 23-8 ADCAnCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31-26	ADCAn TiETS[1:0]	ハードウエア・トリガ ADCAnTTRGi 信号の有効エッジを指定します。 ADCAn TiETS1 / ADCAn TiETS0 / 有効エッジ 0 / 0 / エッジ検出なし（受け付けない） 0 / 1 / 立ち上がりエッジ 1 / 0 / 立ち下がりエッジ 1 / 1 / 立ち上がりエッジと立ち下がりエッジ
24	ADCAn CRAC	A/D 変換結果および診断変換結果の揃え位置を指定します。 0: 右揃え 1: 左揃え
21	ADCAn MD1	CG0 の A/D 変換の起動トリガを指定します。 0: ソフトウエア・トリガ 1: ハードウエア・トリガとソフトウエア・トリガ この設定は CG0 の A/D 変換のみに適用します。CG1 と CG2 は，常にハードウエア・トリガとソフトウエア・トリガを受け付けます。 トリガは，A/D コンバータが有効な場合のみ検出されます。 詳細は 1294 ページの 23.3.5「A/D 変換の開始（起動トリガ）」を参照してください。
20	ADCAn MD0	CG0 の A/D 変換モードを指定します。 0: ワンショット変換モード 繰り返し回数は，CG ごとに ADCAnCTL0.ADCAnSCTi[1:0] で指定します。 1: 連続変換モード この設定は CG0 の A/D 変換のみに適用します。 CG1 と CG2 は，常にワンショット変換モードで動作します。 詳細は 1290 ページの 23.3.4「A/D 変換モード」を参照してください。

表 23-8 ADCAnCTL1 レジスタの内容 (2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>17</td><td>ADCAn
DISC</td><td>ディスチャージ機能の有効／無効を設定します。
0: 無効
1: 有効
詳細は 1318 ページの 23.3.13「ディスチャージ機能」を参照してください。</td></tr>
<tr><td>16</td><td>ADCAn
RCL</td><td>A/D 変換結果 ADCAnCmCR, ADCAnDBiCR, ADCAnDBiCRL を読み出したあと，その値を保持するかどうかを指定します。
0: 次の A/D 変換結果によって上書きされるまで保持
1: 読み出し後にクリア</td></tr>
<tr><td>15</td><td>ADCAn
CTYP</td><td>分解能モードを指定します。
0: 12 ビット分解能
1: 10 ビット分解能</td></tr>
<tr><td>12</td><td>ADCAn
STL</td><td>ADCAnCNVi 信号のレベルを指定します。
0: ADCAnCNVi = L のとき，CGi は変換中ではない。
ADCAnCNVi = H のとき，CGi は変換中。
1: ADCAnCNVi = H のとき，CGi は変換中ではない。
ADCAnCNVi = L のとき，CGi は変換中。</td></tr>
<tr><td>9, 8</td><td>ADCAn
FR[1:0]</td><td>ADCAn クロック ADCAnTCLK を指定します。
設定値については，1297 ページの 23.3.7「分解能，サンプリング時間と変換時間」を参照してください。
<table>
<tr><th>ADCAnFR[1:0]</th><th>ADCAn クロック</th></tr>
<tr><td>00</td><td>PCLK</td></tr>
<tr><td>01</td><td>PCLK/2</td></tr>
<tr><td>10</td><td>設定禁止</td></tr>
<tr><td>11</td><td>設定禁止</td></tr>
</table>
ADCAnTCLK には以下の制限があります。
48MHz（Max），16 MHz（Min）</td></tr>
<tr><td>5, 4</td><td>ADCAn
TRM[1:0]</td><td>より優先順位の高い CG の A/D 変換の起動トリガが入力された場合の中断動作を指定します。ADCAnTRM1 が CG1，ADCAnTRM0 が CG0 に対応します。
CG2 は常に 0 の設定になります。
0: CGi の現在の A/D 変換はただちに中断し，より優先順位の高い CG の A/D 変換を開始する（優先度の高いトリガ発生で即時中断，後で再開できるように，変換中もホールド，変換完了と同時にホールド解除）。
1: CGi の現在のチャネルの変換を終了してから CG の A/D 変換を中断し，より優先順位の高い CG の A/D 変換を開始する（優先度の高いトリガが発生しても変換完了まで待たせるため，サンプリング完了と同時にホールド解除）。
より優先順位の高い CG の A/D 変換がすべて終了したあと，CGi の A/D 変換を継続します。
優先順位は，CG2 > CG1 > CG0 です。
詳細は (1)「A/D 変換の順序」を参照してください。</td></tr>
<tr><td>3</td><td>ADCAn
BPC</td><td>バッファ・アンプ機能の有効／無効を設定します。
0: 無効
1: 有効
初期値は 0 になります。
詳細は 23.3.14「バッファ・アンプ機能」を参照してください。</td></tr>
<tr><td>0</td><td>ADCAn
GPS</td><td>ADCAn のパワーオン／オフを切り替えます。
0: パワーオフ
1: パワーオン
A/D コンバータは，パワーオンにしたあとで動作を安定させるための時間が必要です（1319 ページの 23.3.15「安定制御」を参照）。</td></tr>
</table>

(3) ADCAnCGi - A/D コンバータ・チャネル・グループ・レジスタ i

各 CG のスキャン・リストを作成します。スキャン・リストに設定したチャネルは昇順に変換されます。詳細は 1289 ページの 23.3.3「チャネルとチャネル・グループ」を参照してください。

また，ADCAnCG0.ADCAnDIAG を使用して，基準電圧 ADDIAGOUT 信号を用いた A/D 変換の診断の有効・無効を選択することができます。詳細は 1306 ページの (1)「A/D 変換回路の診断」を参照してください。

アクセス 32 ビット単位でリード／ライト可能です。
本レジスタは，マスタ／スレーブ構成のレジスタのため，A/D 変換動作中に新たな A/D 変換チャネルをマスタ・レジスタに設定できます。マスタ・レジスタの値がスレーブ・レジスタに転送されるタイミングは次のとおりです。

- CGi が A/D 変換中でない場合は，マスタ・レジスタに書き込まれた 1 クロック（PCLK）後に転送されます。
- CGi が A/D 変換中の場合は，現在実行されている CGi のスキャン・リスト変換が終了したときに転送されます。

アドレス <ADCAn_base1> ＋ i × 4_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADCAn DIAG	0	0	0	0	0	0	0	ADCAnCGiS[23:16]							
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnCGiS[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23-9 ADCAnCGi レジスタの内容

ビット位置	ビット名	機能
31	ADCAn DIAG	CG0 の A/D 変換終了時に行う基準電圧 ADDIAGOUT 信号の診断 A/D 変換の有効／無効を設定します。 0: ADDIAGOUT 信号の A/D 変換無効 1: ADDIAGOUT 信号を変換 このビットは ADCAnCG0 のみ設定できます。ADCAnCG1 と ADCAnCG2 は 0 としてください。
23-00	ADCAn CGiS[23:00]	変換対象の CGi のアナログ入力信号を指定します。 0: アナログ入力 ADCAnIm を変換しない 1: アナログ入力 ADCAnIm を変換する 備考 この製品に実装されていないチャネルに対応するビットは 0 に設定してください（対応ビットは 23.1「ADCA の特徴」のアナログ入力端子の欄を参照してください）。

(4) ADCAnIOCi - A/D コンバータ割り込み制御レジスタ i

特定のチャネルの A/D 変換が終了したときに，A/D 変換終了割り込み INTADCAnTi を発生させることができます。

このレジスタは，A/D 変換終了時に割り込み INTADCAnTi を発生させるチャネルを指定します。

ADCAnIOCi = 0000 0000_H を設定した場合，CGi の A/D 変換終了時に自動的に割り込み INTADCAnTi が発生します。

アクセス 32 ビット単位でリード／ライト可能です。
A/D コンバータが有効（ADCAnCTL0.ADCAnCE に 1 を設定）の場合でも，任意のタイミングで書き込むことができます。新しい値は CGi の現在の A/D 変換が終了したあとに有効になります。

アドレス <ADCAn_base1> ＋ $0C_H$ ＋ $i \times 4_H$

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADCAnCG0IDG	0	0	0	0	0	0	0	ADCAnCGil[23:16]							
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnCGil[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23-10 ADCAnIOCi レジスタの内容

ビット位置	ビット名	機能
31	ADCAn CG0IDG	CG0 の診断モードが有効な場合（ADCAnCG0.ADCAnDIAG に 1 を設定），基準電圧の A/D 変換終了時に割り込み INTADCAnTi を発生させるかどうかを指定します。 0: A/D 変換終了割り込み INTADCAnTi を発生しない 1: A/D 変換終了割り込み INTADCAnTi を発生する このビットは ADCAnIOC0 レジスタのみ設定できます。ADCAnIOC1 レジスタと ADCAnIOC2 レジスタは 0 としてください。 詳細は 1306 ページの (1)「A/D 変換回路の診断」を参照してください。
23-00	ADCAn CGil[23:00]	チャネル m の A/D 変換終了時に割り込み INTADCAnTi を発生させるかどうかを指定します。 0: A/D 変換終了割り込み INTADCAnTi を発生しない 1: A/D 変換終了割り込み INTADCAnTi を発生する 備考 この製品に実装されていないチャネルに対応するビットは 0 に設定してください（対応ビットは 23.1「ADCA の特徴」のアナログ入力端子の欄を参照してください）。

備考 ADCAnIOCi レジスタは ADCAnCGi レジスタに連動しているため，それぞれのバッファ・レジスタを更新する場合はあわせて行う必要があります。更新は ADCAnCGi レジスタが書き込まれた時点で行われるため，CG の割り込み発生を変更する場合は，必ず ADCAnCGi レジスタの前に ADCAnIOCi レジスタの書き込みを行ってください。

(5) ADCAnCNT - A/D コンバータ安定カウンタ

安定時間を指定します。

アクセス 8 ビット単位でリード／ライト可能です。
A/D コンバータが無効（ADCAnCTL0. ADCAnCE に 0 を設定）の場合のみ書き込み可能です。

アドレス <ADCAn_base0> ＋ 114_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
ADCAnCNT[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23-11 ADCAnCNT レジスタの内容

ビット位置	ビット名	機能
7-0	ADCAnCNT [7:0]	安定カウンタ値を指定します。 安定時間 = 8192 × ADCAnCNT[7:0] × クロック周期（PCLK）

備考 安定カウンタ値は安定時間が 10 ms 以上になるように設定してください。

(6) ADCAnTSELi - A/D コンバータ・トリガ選択制御レジスタ 0

ハードウエア・トリガ ADCAnTTRGi 信号と組みあわせて使用する入力信号を指定します。複数のトリガ・ソースを同時に使用できます。

アクセス 16 ビット単位でリード／ライト可能です。
A/D コンバータが無効（ADCAnCTL0.ADCAnCE に 0 を設定）の場合のみ書き込み可能です。

アドレス <ADCAn_base0> ＋ 108_H ＋ i × 4_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnTiSEL[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23-12 ADCAnTSELi レジスタの内容

ビット位置	ビット名	機能
15-0	ADCAnTiSEL [15:00]	対応する入力信号をハードウエア・トリガとして使用するかどうかを指定します。 0: ハードウエア・トリガとして使用しない 1: ハードウエア・トリガとして使用する 備考 この製品に実装されていないトリガに対するビットは 0 に設定してください。

備考 ハードウエア・トリガの接続先は，表 23-2「ハードウエア・トリガの接続先」を参照してください。

(7) ADCAnSMCNT - A/D コンバータ・サンプリング・カウント・レジスタ

ディスチャージ時間とサンプリング時間の合計を指定します。

アクセス 8 ビット単位でリード／ライト可能です。
A/D コンバータが無効（ADCAnCTL0. ADCAnCE に 0 を設定）の場合のみ書き込み可能です。

アドレス <ADCAn_base0> + $12C_H$

初期値 $3C_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
ADCAnADNSMP[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23-13 ADCAnSMCNT レジスタの内容

ビット位置	ビット名	機能
7-0	ADCAn ADNSMP[7:0]	ディスチャージ時間とサンプリング時間の合計を指定します。詳細は表 23-3「総変換時間（10/12 ビット分解能）」を参照してください。

(8) ADCAnSHHWCNT - A/D コンバータ・チャネル S/H・ウェイト・カウント・レジスタ

チャネル S/H 機能でアナログ入力をサンプリング後 , ホールドした値を共通 S/H に出力するまでの時間を指定します。このレジスタはチャネル S/H 機能を有効にする場合，設定してください。チャネル S/H 機能が無効の場合 , このレジスタの設定は無視されます。

アクセス 8 ビット単位でリード／ライト可能です。
A/D コンバータが無効（ADCAnCTL0. ADCAnCE に 0 を設定）の場合のみ書き込み可能です。

アドレス <ADCAn_base0> + 130_H

初期値 $0A_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	ADCAnSHHWCNT[4:0]				
R	R	R	R/W	R/W	R/W	R/W	R/W

表 23-14 ADCAnSHHWCNT レジスタの内容

ビット位置	ビット名	機能
4-0	ADCAn SHHWCNT[4:0]	チャネル S/H 機能のホールド・ウェイト時間を指定します。詳細は表 23-3「総変換時間（10/12 ビット分解能）」を参照してください。

(9) ADCAnAMPCNT - A/D コンバータ・バッファ・アンプ・カウント・レジスタ

バッファ・アンプの動作時間を指定します。このレジスタはバッファ・アンプ機能を有効にする場合，設定してください。バッファ・アンプ機能が無効の場合，このレジスタの設定は無視されます。

アクセス 8 ビット単位でリード／ライト可能です。
A/D コンバータが無効（ADCAnCTL0. ADCAnCE に 0 を設定）の場合のみ書き込み可能です。

アドレス <ADCAn_base0> + 134_H

初期値 $0C_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	ADCAnAMPCNT[3:0]			
R	R	R	R	R/W	R/W	R/W	R/W

表 23-15 ADCAnAMPCNT レジスタの内容

ビット位置	ビット名	機能
3-0	ADCAn AMPCNT[3:0]	バッファ・アンプの動作時間を指定します。 詳細は表 23-3「総変換時間（10/12 ビット分解能）」を参照してください。

(10) ADCAnDISCNT - A/D コンバータ・ディスチャージ・カウント・レジスタ

ディスチャージ時間を指定します。このレジスタはディスチャージ機能を有効にする場合，設定してください。ディスチャージ機能が無効の場合，このレジスタの設定は無視されます。

アクセス 8 ビット単位でリード／ライト可能です。
A/D コンバータが無効（ADCAnCTL0. ADCAnCE に 0 を設定）の場合のみ書き込み可能です。

アドレス <ADCAn_base0> + 138_H

初期値 $0F_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	ADCAnDISCNT[3:0]			
R	R	R	R	R/W	R/W	R/W	R/W

表 23-16 ADCAnDISCNT レジスタの内容

ビット位置	ビット名	機能
3-0	ADCAnDISCNT [3:0]	ディスチャージ時間を指定します。 詳細は表 23-3「総変換時間（10/12 ビット分解能）」を参照してください。

23.4.3 変換状態レジスタ

(1) ADCAnSTR1 - A/D コンバータ上書きエラー・フラグ

ADCAnCmCR レジスタに対し，最新の A/D 変換結果を読み出す前に上書きされたかどうかを示します。

アクセス 32 ビット単位でリード可能です。

アドレス <ADCAn_base1> ＋ 28_H

初期値 $0000\ 0000_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnOWE[23:16]							
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnOWE[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 23-17 ADCAnSTR1 レジスタの内容

ビット位置	ビット名	機能
23-0	ADCAn OWE[23:00]	チャネル m の A/D 変換結果を読み出す前に上書きされたかどうかを示します。 0: 上書きされていない 1: 上書きされた このエラー・フラグは，ADCAnSTC1.ADCAnOWECm を 1 に設定するとクリアされます。 備考 この製品に実装されていないチャネルに対応するビットは 0 に設定してください（対応ビットは 23.1「ADCA の特徴」のアナログ入力端子の欄を参照してください）。

備考 ADCAnSTR1.ADCAnOWEm の値は，次の上書きエラー・フラグに反映されます。

- チャネル m の A/D コンバータ変換結果レジスタのエラー・フラグ（ADCAnCmCR.ADCAnCmER1）

(2) ADCAnSTC1 - ADCAnSTR1 フラグ・クリア・レジスタ

ADCAnSTR1 レジスタのクリア制御レジスタです。

アクセス 32 ビット単位でライト可能です。

読み出し値は常に 0000 0000_H です。

アドレス <ADCAn_base1> ＋ 34_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnOWEC[23:16]							
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnOWEC[15:00]															
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 23-18 ADCAnSTC1 レジスタの内容

ビット位置	ビット名	機能
23-0	ADCAnOWEC [23:00]	A/D コンバータ上書きエラー・フラグ（ADCAnSTR1.ADCAnOWEm ビット）のクリア動作を制御します。 0: 無効（0 を設定しても A/D コンバータ上書きエラー・フラグ ADCAnSTR1.ADCAnOWEm ビットに影響はありません。） 1: ADCAnSTR1.ADCAnOWEm をクリア 備考 この製品に実装されていないチャネルに対応するビットは 0 に設定してください（対応ビットは 23.1「ADCA の特徴」のアナログ入力端子の欄を参照してください）。

(3) ADCAnSTR2 - A/D コンバータ状態フラグ 2

現在の変換状態を示します。

アクセス 16 ビット単位でリード可能です。

アドレス <ADCAn_base1> ＋ $2C_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	ADCAnRQ[2:0]			0	0	0	0	0	ADCAnST[2:0]		
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 23-19 ADCAnSTR2 レジスタの内容

ビット位置	ビット名	機能
10-8	ADCAnRQ [2:0]	CGi の A/D 変換要求が保留されているかどうかを示します。 0: 保留 A/D 変換要求なし 1: 保留 A/D 変換要求あり
2-0	ADCAnST [2:0]	CGi の A/D 変換が現在実行中かどうかを示します。 0: A/D 変換実行中ではない（より優先順位の高い CG の A/D 変換による中断も含む） 1: A/D 変換実行中 A/D コンバータが無効（ADCAnCTL0.ADCAnCE に 0 を設定）の場合，このビットはクリアされています。

(4) ADCAnSTC2 - A/D コンバータ状態フラグ・クリア・レジスタ 2

ADCAnLCR レジスタと ADCAnDBiCR レジスタの上書き状態フラグと結果確認状態フラグをクリアします。

アクセス 8 ビット単位でライト可能です。
読み出し値は常に 00_H です。

アドレス <ADCAn_base1> ＋ 38_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
ADCAn LERC1	ADCAn LERC0	ADCAn DB2ERC1	ADCAn DB2ERC0	ADCAn DB1ERC1	ADCAn DB1ERC0	ADCAn DB0ERC1	ADCAn DB0ERC0
W	W	W	W	W	W	W	W

表 23-20 ADCAnSTC2 レジスタの内容

ビット位置	ビット名	機能
7	ADCAn LERC1	上書きフラグ（ADCAnLCR.ADCAnLER1 ビット）のクリア動作を制御します。 0: 無効（0 を設定してもフラグに影響はありません。） 1: ADCAnLCR.ADCAnLER1 をクリア
6	ADCAn LERC0	結果確認エラー・フラグ（ADCAnLCR.ADCAnLER0 ビット）のクリア動作を制御します。 0: 無効（0 を設定してもフラグに影響はありません。） 1: ADCAnLCR.ADCAnLER0 をクリア
5, 3, 1	ADCAn DBiERC1	上書きフラグ（ADCAnDBiCR.ADCAnDBiER1 ビット）のクリア動作を制御します。 0: 無効（0 を設定してもフラグに影響はありません。） 1: ADCAnDBiCR.ADCAnDBiER1 をクリア
4, 2, 0	ADCAn DBiERC0	結果確認エラー・フラグ（ADCAnDBiCR.ADCAnDBiER0 ビット）のクリア動作を制御します。 0: 無効（0 を設定してもフラグに影響はありません。） 1: ADCAnDBiCR.ADCAnDBiER0 をクリア

23.4.4 ソフトウエア・トリガ・レジスタ

(1) ADCAnTRGi - A/D コンバータ・ソフトウエア・トリガ・レジスタ i

CGi の A/D 変換を開始するためのトリガ・レジスタです。

アクセス 8 ビット単位でライト可能です。
読み出し値は常に 00_H です。

アドレス <ADCAn_base1> ＋ $A4_H$ ＋ i × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ADCAnSTTi
W	W	W	W	W	W	W	W

表 23-21 ADCAnTRGi レジスタの内容

ビット位置	ビット名	機能
0	ADCAnSTTi	CGi の A/D 変換を開始します。 0: 無効（0 を設定しても CGi の A/D 変換を開始しません。） 1: CGi の A/D 変換を開始

詳細は 1294 ページの 23.3.5「A/D 変換の開始（起動トリガ）」を参照してください。

23.4.5 A/D 変換結果レジスタ

(1) ADCAnLCR - A/D コンバータ最新変換結果レジスタ

最新の A/D 変換の結果と状態を格納します。

最新の A/D 変換結果を，読み出すことができます。

アクセス 32 ビット単位でリード可能です。

- 上位 16 ビットは A/D 変換結果の状態を格納します。
- 下位 16 ビットは A/D 変換結果を格納します。

アドレス <ADCAn_base1> ＋ $A0_H$

初期値 $0300\ 0000_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	ADCAn LCG[1:0]		ADCAn LER1	ADCAn LER0	ADCAn LUR	ADCAnLCN[4:0]				
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnLCR[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 23-22 ADCAnLCR レジスタの内容 (1/2)

ビット位置	ビット名	機能
25, 24	ADCAn LCG[1:0]	ADCAnLCR[15:00] に格納されている変換結果の対象 CG を示します。 ADCAn LCG1 / ADCAn LCG0 / チャネル・グループ 0 / 0 / CG0 0 / 1 / CG1 1 / 0 / CG2 1 / 1 / なし
23	ADCAn LER1	上書きエラー状態を示します。 0: 上書きされていない 1: 上書きされた このエラー・フラグは ADCAnSTC2.ADCAnLERC1 を 1 に設定するとクリアされます。
22	ADCAn LER0	A/D 変換結果上下限比較の状態を示します。 0: 変換結果が設定範囲内 1: 変換結果が設定範囲外 このエラー・フラグは ADCAnSTC2.ADCAnLERC0 を 1 に設定するとクリアされます。
21	ADCAn LUR	A/D 変換結果の更新状態を示します。 0: A/D 変換結果（ADCAnLCR レジスタ）は読み出されています（A/D 変換結果は更新されていません） 1: A/D 変換結果（ADCAnLCR レジスタ）は読み出されていません（A/D 変換結果は更新されています） このビットは，読み出し後クリアされます。

表 23-22 ADCAnLCR レジスタの内容 (2/2)

ビット位置	ビット名	機能
20-16	ADCAn LCN[4:0]	ADCAnLCR[15:00] ビットに格納されている変換結果の対象チャネル番号を示します。 00001 × m = CHm
15-0	ADCAn LCR[15:00]	A/D 変換の結果を示します。 分解能と揃え位置は，次のように ADCAnCTL1.ADCAnCTYP と ADCAnCTL1.ADCAnCRAC によって決まります。

ADCAnCTL1.ADCAnCTYP	ADCAnCTL1.ADCAnCRAC	分解能と揃え位置	A/D 変換結果値のビット位置
0	0	12 ビット分解能，右揃え	ADCAnLCR[15:00] の [11:00]
0	1	12 ビット分解能，左揃え	ADCAnLCR[15:00] の [15:04]
1	0	10 ビット分解能，右揃え	ADCAnLCR[15:00] の [09:00]
1	1	10 ビット分解能，左揃え	ADCAnLCR[15:00] の [15:06]

備考 内部基準電圧を用いて A/D 変換を行った場合，A/D 変換結果は ADCAnDGCR レジスタに格納されます。ADCAnLCR レジスタ，ADCAnCmCR レジスタには格納されません（1343 ページの (5) 「ADCAnDGCR - 診断変換結果レジスタ」を参照）。

(2) ADCAnCmCR - チャネル m の A/D コンバータ変換結果レジスタ

チャネル m の最新の A/D 変換の結果と状態を格納します。

指定チャネル（m）の A/D 変換結果を読み出すことができます。

アクセス 32 ビット単位でリード可能です。

- 上位 16 ビットは A/D 変換結果の状態を格納します。
- 下位 16 ビットは A/D 変換結果を格納します。

アドレス <ADCAn_base1> ＋ $3C_H$ ＋ m × 4_H

初期値 0300 0000_H ＋ m × 0001 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	ADCAn CmCG[1:0]		ADCAn CmER1	ADCAn CmER0	ADCAn CmUR	ADCAnCmCN[4:0]				
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnCmCR[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

備考 1. 各ビットの機能は ADCAnLCR レジスタのビットと同じですが，ADCAnLCR レジスタの対象が全チャネルであるのに対し，このレジスタは指定チャネルの最新の A/D 変換結果を示します（*1336 ページの表 23-22「ADCAnLCR レジスタの内容」*を参照）。

2. リセット後，ADCAnCmCG[1:0] ビットは 11_B に設定されます。

3. ADCAnCTL1.ADCAnRCL に 0 を設定の場合は，ADCAnCmCR[15:00] ビットの A/D 変換結果は次の A/D 変換結果によって上書きされるまで保持されます。

   ADCAnCTL1.ADCAnRCL に 1 を設定の場合，ADCAnCmCR[15:00] ビットの A/D 変換結果は読み出し後クリアされます。

表 23-23 ADCAnCmCR レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>25, 24</td><td>ADCAn CmCG[1:0]</td><td>ADCAnCmCR[15:00] に格納されている変換結果の対象 CG を示します。
<table>
<tr><th>ADCAn CmCG1</th><th>ADCAn CmCG0</th><th>チャネル・グループ</th></tr>
<tr><td>0</td><td>0</td><td>CG0</td></tr>
<tr><td>0</td><td>1</td><td>CG1</td></tr>
<tr><td>1</td><td>0</td><td>CG2</td></tr>
<tr><td>1</td><td>1</td><td>なし</td></tr>
</table></td></tr>
<tr><td>23</td><td>ADCAn CmER1</td><td>上書きエラー状態を示します。
0: 上書きされていない
1: 上書きされた
このエラー・フラグは ADCAnSTR1.ADCAnOWEm の値を反映し ADCAnSTC1.ADCAnQWECm を 1 に設定するとクリアされます。</td></tr>
<tr><td>22</td><td>ADCAn CmER0</td><td>A/D 変換結果上下限比較の状態を示します。
0: 変換結果が設定範囲内
1: 変換結果が設定範囲外
このエラー・フラグは ADCAnSTR0.ADCAnRCEm の値を反映し ADCAnSTC0.ADCAnRCECm を 1 に設定するとクリアされます。</td></tr>
<tr><td>21</td><td>ADCAn CmUR</td><td>A/D 変換結果の更新状態を示します。
0: A/D 変換結果（ADCAnCmCR レジスタ）は読み出されています（A/D 変換結果は更新されていません）
1: A/D 変換結果（ADCAnCmCR レジスタ）は読み出されていません（A/D 変換結果は更新されています）
このビットは，読み出し後クリアされます。</td></tr>
<tr><td>20-16</td><td>ADCAn CmCN[4:0]</td><td>ADCAnCmCR[15:00] ビットに格納されている変換結果の対象チャネル番号を示します。
00001 × m = CHm</td></tr>
<tr><td>15-0</td><td>ADCAn CmCR [15:00]</td><td>A/D 変換の結果を示します。
分解能と揃え位置は，次のように ADCAnCTL1.ADCAnCTYP と ADCAnCTL1.ADCAnCRAC によって決まります。
<table>
<tr><th>ADCAn CTL1. ADCAn CTYP</th><th>ADCAn CTL1. ADCAn CRAC</th><th>分解能と揃え位置</th><th>A/D 変換結果値のビット位置</th></tr>
<tr><td>0</td><td>0</td><td>12 ビット分解能，右揃え</td><td>ADCAnCmCR[15:00] の [11:00]</td></tr>
<tr><td>0</td><td>1</td><td>12 ビット分解能，左揃え</td><td>ADCAnCmCR[15:00] の [15:04]</td></tr>
<tr><td>1</td><td>0</td><td>10 ビット分解能，右揃え</td><td>ADCAnCmCR[15:00] の [09:00]</td></tr>
<tr><td>1</td><td>1</td><td>10 ビット分解能，左揃え</td><td>ADCAnCmCR[15:00] の [15:06]</td></tr>
</table></td></tr>
</table>

備考 内部基準電圧を用いて A/D 変換を行った場合，A/D 変換結果は ADCAnDGCR レジスタに格納されます。ADCAnLCR レジスタ，ADCAnCmCR レジスタには格納されません（1343 ページの (5) 「ADCAnDGCR - 診断変換結果レジスタ」を参照）。

(3) ADCAnDBiCR - CGi の DMA バッファ・レジスタ

CGi の最新の A/D 変換の結果と状態を格納します。CGi のすべてのチャネルの A/D 変換結果を読み出すことができます。

アクセス 32 ビット単位でリード可能です。

- 上位 16 ビットは，A/D 変換結果の状態を格納します。
- 下位 16 ビットは A/D 変換結果を格納します。

アドレス <ADCAn_base1> ＋ $C4_H$ ＋ i × 4_H

初期値 $0000\ 0000_H$ ＋ i × $0100\ 0000_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	ADCAn DBiCG[1:0]		ADCAn DBiER1	ADCAn DBiER0	ADCAn DBiUR	ADCAnDBiCN[4:0]				
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnDBiCR[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

備考 各ビットの機能は ADCAnLCR レジスタのビットと同じですが，ADCAnLCR レジスタの対象が全 CG であるのに対し，このレジスタは CGi の最新の A/D 変換結果を示します（*1336 ページの表 23-22「ADCAnLCR レジスタの内容」*を参照）。

表 23-24 ADCAnDBiCR レジスタの内容 (1/2)

ビット位置	ビット名	機能
25, 24	ADCAn DBiCG[1:0]	ADCAnDBiCR[15:00] に格納されている変換結果の対象 CG を示します。 **ADCAn DBiCG1** / **ADCAn DBiCG0** / **チャネル・グループ** 0 / 0 / CG0 0 / 1 / CG1 1 / 0 / CG2 1 / 1 / なし 常に同じ CG の変換結果と状態を格納するため，このビットの値は固定されます。
23	ADCAn DBiER1	上書きエラー状態を示します。 0: 上書きされていない 1: 上書きされた このエラー・フラグは ADCAnSTC2.ADCAnDBiERC1 を 1 に設定するとクリアされます。
22	ADCAn DBiER0	A/D 変換結果上下限比較の状態を示します。 0: 変換結果が設定範囲内 1: 変換結果が設定範囲外 このエラー・フラグは ADCAnSTC2.ADCAnDBiERC0 を 1 に設定するとクリアされます。

表 23-24 ADCAnDBiCR レジスタの内容 (2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>21</td><td>ADCAn
DBiUR</td><td>A/D 変換結果の更新状態を示します。
0: A/D 変換結果（ADCAnDBiCR レジスタ）は読み出されています（A/D 変換結果は更新されていません）
1: A/D 変換結果（ADCAnDBiCR レジスタ）は読み出されていません（A/D 変換結果は更新されています）
このビットは，読み出し後クリアされます。</td></tr>
<tr><td>20-16</td><td>ADCAn
DBiCN[4:0]</td><td>ADCAnDBiCR[15:00] ビットに格納されている変換結果の対象チャネル番号を示します。
00001 × m = CHm</td></tr>
<tr><td>15-0</td><td>ADCAn
DBiCR
[15:00]</td><td>A/D 変換の結果を示します。
分解能と揃え位置は，次のように ADCAnCTL1.ADCAnCTYP と ADCAnCTL1.ADCAnCRAC によって決まります。
<table>
<tr><th>ADCAnCTL1.ADCAnCTYP</th><th>ADCAnCTL1.ADCAnCRAC</th><th>分解能と揃え位置</th><th>A/D 変換結果値のビット位置</th></tr>
<tr><td>0</td><td>0</td><td>12 ビット分解能，右揃え</td><td>ADCAnDBiCR[15:00] の [11:00]</td></tr>
<tr><td>0</td><td>1</td><td>12 ビット分解能，左揃え</td><td>ADCAnDBiCR[15:00] の [15:04]</td></tr>
<tr><td>1</td><td>0</td><td>10 ビット分解能，右揃え</td><td>ADCAnDBiCR[15:00] の [09:00]</td></tr>
<tr><td>1</td><td>1</td><td>10 ビット分解能，左揃え</td><td>ADCAnDBiCR[15:00] の [15:06]</td></tr>
</table>
</td></tr>
</table>

備考 1. ADCAnDBiCR[15:00] は，
- ADCAnCTL1.ADCAnRCL ビット = 0 の場合，次の A/D 変換結果によって上書きされるまで保持します。
- ADCAnCTL1.ADCAnRCL ビット = 1 の場合，ADCAnDBiCR レジスタの読み出し後にクリアされます

2. 内部基準電圧を用いて A/D 変換を行った場合，A/D 変換結果は ADCAnDGCR レジスタに格納されます。ADCAnLCR レジスタ，ADCAnCmCR レジスタには格納されません（1343 ページの (5) 「ADCAnDGCR - 診断変換結果レジスタ」を参照）。

(4) ADCAnDBiCRL - CGi の DMA バッファ・レジスタ（変換結果）

CGi の最新の A/D 変換の結果を格納します。CGi のすべてのチャネルの A/D 変換結果を読み出すことができます。このレジスタは，ADCAnDBiCR.ADCAnDBiCR[15:00] ビットをミラーしています。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <ADCAn_base1> ＋ $D0_H$ ＋ i × 4_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnDBiCRL[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 23-25 ADCAnDBiCRL レジスタの内容

ビット位置	ビット名	機能
15-0	ADCAnDBiCRL[15:00]	A/D 変換の結果を示します。 分解能と揃え位置は，次のように ADCAnCTL1.ADCAnCTYP と ADCAnCTL1.ADCAnCRAC によって決まります。

ADCAnCTL1.ADCAnCTYP	ADCAnCTL1.ADCAnCRAC	揃え位置	A/D 変換結果値のビット位置
0	0	12 ビット分解能，右揃え	ADCAnDBiCR[15:00] の [11:00]
0	1	12 ビット分解能，左揃え	ADCAnDBiCR[15:00] の [15:04]
1	0	10 ビット分解能，右揃え	ADCAnDBiCR[15:00] の [09:00]
1	1	10 ビット分解能，左揃え	ADCAnDBiCR[15:00] の [15:06]

備考 1. このレジスタの値は，

- ADCAnCTL1.ADCAnRCL ビット = 0 の場合，次の A/D 変換結果によって上書きされるまで保持します。
- ADCAnCTL1.ADCAnRCL ビット = 1 の場合．ADCAnDBiCR レジスタおよび ADCAnDBiCRL レジスタの読み出し後にクリアされます。

2. 内部基準電圧を用いて A/D 変換を行った場合，A/D 変換結果は ADCAnDGCR レジスタに格納されます。ADCAnLCR レジスタ，ADCAnCmCR レジスタには格納されません（(5)「ADCAnDGCR - 診断変換結果レジスタ」を参照）。

(5) ADCAnDGCR - 診断変換結果レジスタ

基準電圧 ADDIAGOUT 信号の A/D 変換結果を格納します（ADCAnCG0.ADCAnDIAG に 1 を設定の場合）。

診断 A/D 変換は，CG0 の最後のチャネルの A/D 変換が終了したあとに開始されます。

アクセス 16 ビット単位でリード可能です。

アドレス <ADCAn_base1> ＋ $9C_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnDGCR[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 23-26 ADCAnDGCR レジスタの内容

ビット位置	ビット名	機能
15-0	ADCAn DGCR[15:00]	診断 A/D 変換の結果を示します。 分解能と揃え位置は，通常の A/D 変換結果レジスタと同様， ADCAnCTL1.ADCAnCTYP と ADCAnCTL1.ADCAnCRAC によって決まります。

23.4.6 A/D 変換結果上下限比較レジスタ

(1) ADCAnCTL2 - A/D コンバータ結果確認レジスタ

変換結果上下限比較機能の有効／無効をチャネルごとに設定できます。

詳細は 1303 ページの 23.3.10「変換結果確認機能」を参照してください。

アクセス 32 ビット単位でリード／ライト可能です。
A/D コンバータが無効（ADCAnCTL0.ADCAnCE に 0 を設定）の場合のみ書き込み可能です。

アドレス <ADCAn_base1> ＋ 18_H

初期値 $0000\ 0000_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnRCK[23:16]							
R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnRCK[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23-27 ADCAnCTL2 レジスタの内容

ビット位置	ビット名	機能
23-00	ADCAn RCK[23:00]	CHm の結果上下限比較の有効／無効を設定します。 0: CHm の A/D 変換結果を上下限比較しない 1: CHm の A/D 変換結果を上下限比較する 備考 この製品に実装されていないチャネルに対応するビットは 0 に設定してください（対応ビットは 23.1「ADCA の特徴」のアナログ入力端子の欄を参照してください）。

備考 この設定は各 CG の A/D 変換に対して有効です。

(2) ADCAnUL - A/D コンバータ結果上下限比較（上限値）

A/D 変換結果の上限値を指定します。

詳細は 1303 ページの 23.3.10「変換結果確認機能」を参照してください。

アクセス 16 ビット単位でリード／ライト可能です。
A/D コンバータが無効（ADCAnCTL0.ADCAnCE に 0 を設定）の場合のみ書き込み可能です。

アドレス <ADCAn_base1> ＋ $1C_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnUL[11:00]												0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 23-28 ADCAnUL レジスタの内容

ビット位置	ビット名	機能
15-4	ADCAnUL [11:00]	A/D 変換結果の上限値を指定します。 10 ビット機能の場合は ADCAnUL[11:02] で設定してください。 （ADCAnUL[01:00] には 11_B を設定してください。）

(3) ADCAnLL - A/D コンバータ結果上下限比較（下限値）

A/D 変換結果の下限値を指定します。

詳細は 1303 ページの 23.3.10「変換結果確認機能」を参照してください。

アクセス 16 ビット単位でリード／ライト可能です。
A/D コンバータが無効（ADCAnCTL0.ADCAnCE に 0 を設定）の場合のみ書き込み可能です。

アドレス <ADCAn_base1> ＋ 20_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnLL[11:00]												0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 23-29 ADCAnLL レジスタの内容

ビット位置	ビット名	機能
15-4	ADCAnLL [11:00]	A/D 変換結果の下限値を指定します。 10 ビット機能の場合は ADCAnLL[11:02] で設定してください。 （ADCAnLL[01:00] には 00_B を設定してください。）

(4) ADCAnSTR0 - A/D コンバータ結果上下限比較エラー・フラグ

ADCAnCTL2 レジスタに設定されたチャネルの最新の A/D 変換結果上下限比較のエラー状態を示します。ADCAnSTR0 レジスタによって，どの A/D 変換結果が設定範囲を外れているか確認できます。

詳細は 1303 ページの 23.3.10「変換結果確認機能」を参照してください。

アクセス 32 ビット単位でリード可能です。

アドレス <ADCAn_base1> ＋ 24_H

初期値 $0000\ 0000_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnRCE[23:16]							
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnRCE[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 23-30 ADCAnSTR0 レジスタの内容

ビット位置	ビット名	機能
23-0	ADCAn RCE[23:00]	A/D 変換結果が設定範囲内にあるかどうかを示します。 0: 変換結果は設定範囲内 1: 1 つ以上の変換結果が設定範囲外 このエラー・フラグは，ADCAnSTC0.ADCAnRCECm を 1 に設定するとクリアされます。 備考 この製品に実装されていないチャネルに対応するビットは 0 に設定してください（対応ビットは 23.1「ADCA の特徴」のアナログ入力端子の欄を参照してください）。

備考 ADCAnSTR0.ADCAnRCEm の値は，次の A/D 変換結果エラー・フラグに反映されます。

- チャネル m の A/D コンバータ変換結果レジスタのエラー・フラグ（ADCAnCmCR.ADCAnCmER0）

(5) ADCAnSTC0 - ADCAnSTR0 フラグ・クリア・レジスタ

ADCAnSTR0 のクリア制御レジスタです。

アクセス 32 ビット単位でライト可能です。
読み出し値は常に 0000 0000_H です。

アドレス <ADCAn_base1> ＋ 30_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnRCEC[23:16]							
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnRCEC[15:00]															
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 23-31 ADCAnSTC0 レジスタの内容

ビット位置	ビット名	機能
23-0	ADCAnRCEC [23:00]	A/D コンバータ結果上下限比較エラー・フラグ（ADCAnSTR0.ADCAnRCEm ビット）のクリア動作を制御します。 0: 機能なし 1: ADCAnSTR0.ADCAnRCEm をクリア 備考 この製品に実装されていないチャネルに対応するビットは 0 に設定してください（対応ビットは 23.1「ADCA の特徴」のアナログ入力端子の欄を参照してください）。

23.4.7 診断機能制御レジスタ

(1) ADCAnDGCTL0 - 自己診断機能制御レジスタ 0

A/D 変換回路の動作を診断するために適用する基準電圧を指定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <ADCAn_base1> ＋ DC_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	ADCAnPSEL[2:0]		
R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 23-32 ADCAnDGCTL0 レジスタの内容

ビット位置	ビット名	機能
2-0	ADCAn PSEL[2:0]	基準電圧を指定します。

ADCAn PSEL2	ADCAn PSEL1	ADCAn PSEL0	ADDIAGOUT 信号	DIAGOUT2 信号	DIAGOUT1 信号	DIAGOUT0 信号
0	0	0	AV_{SS}	2/3 AV_{DD}	1/2 AV_{DD}	1/3 AV_{DD}
0	0	1	1/3 AV_{DD}	1/2 AV_{DD}	1/3 AV_{DD}	2/3 AV_{DD}
0	1	0	1/2 AV_{DD}	1/3 AV_{DD}	2/3 AV_{DD}	1/2 AV_{DD}
0	1	1	2/3 AV_{DD}	Hi-Z	Hi-Z	Hi-Z
1	0	0	AV_{DD}	2/3 AV_{DD}	1/2 AV_{DD}	1/3 AV_{DD}
1	0	1	AV_{DD}	1/2 AV_{DD}	1/3 AV_{DD}	2/3 AV_{DD}
1	1	0	AV_{DD}	1/3 AV_{DD}	2/3 AV_{DD}	1/2 AV_{DD}
1	1	1	AV_{DD}	Hi-Z	Hi-Z	Hi-Z

Hi-Z を選択して変換を行った場合，A/D 変換結果は不定です。

詳細は 1306 ページの (1)「A/D 変換回路の診断」を参照してください。

(2) ADCAnDGCTL1 - 自己診断機能制御レジスタ 1

どのチャネルに（アナログ入力信号 ADCAnIm でなく）内部基準電圧を適用するかを指定します。

このレジスタは，ADCAnCTL0.ADCAnCE に 0 を設定のときのみ書き込み可能です。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ADCAn_base0> ＋ $11C_H$

初期値 $0000\ 0000_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnCDG[23:16]							
R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnCDG[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23-33 ADCAnDGCTL1 レジスタの内容

ビット位置	ビット名	機能
23-0	ADCAn CDG[23:00]	入力電圧を指定します。 0: アナログ入力電圧 ADCAnIm 端子を使用 1: 次の基準電圧を使用 DIAGOUT0（m = 18，15，12，9，6，3 の場合） DIAGOUT1（m = 16，13，10，7，4，1 の場合） DIAGOUT2（m = 17，14，11，8，5，2 の場合） 備考 この製品に実装されていないチャネルに対応するビットは 0 に設定してください（対応ビットは 23.1「ADCA の特徴」のアナログ入力端子の欄を参照してください）。

(3) ADCAnPDCTL0 - 内部プルダウン抵抗値制御レジスタ 0

ADCAnIm 端子内部のプルダウン抵抗を接続するチャネルを指定します。詳細は 1308 ページの (3)「アナログ入力端子の診断」を参照してください。

このレジスタは，ADCAnCTL0.ADCAnCE に 0 を設定のときのみ書き込み可能です。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ADCAn_base0> ＋ 120_H

初期値 $0000\ 0000_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnPDNA[23:16]							
R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnPDNA[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23-34 ADCAnPDCTL0 レジスタの内容

ビット位置	ビット名	機能
23-0	ADCAn PDNA[23:00]	内部プルダウン抵抗を CHm に接続するかどうかを指定します。 0: 内部プルダウン抵抗を接続しない 1: 内部プルダウン抵抗を接続する 備考 この製品に実装されていないチャネルに対応するビットは 0 に設定してください（対応ビットは 23.1「ADCA の特徴」のアナログ入力端子の欄を参照してください）。

23.4.8 チャネル S/H 機能設定レジスタ

(1) ADCAnSHCTL - A/D コンバータ・チャネル S/H 制御レジスタ

チャネル S/H 機能の有効 / 無効を制御します。

このレジスタは，ADCAnCTL0.ADCAnCE に 0 が設定されている場合に書き込み可能です。

ただし，チャネル S/H 回路の診断を行う場合は，ADCAnCTL0. ADCAnCE に 1 を設定していても書き込み可能です。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <ADCAn_base0> ＋ 118_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	ADCAnCSEL[6:1]						0
R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 23-35 ADCAnSHCTL レジスタの内容

ビット位置	ビット名	機能
6-1	ADCAn CSEL[6:1]	チャネル S/H 機能の有効／無効を設定します。 0: チャネル S/H 機能無効 1: チャネル S/H 機能有効 チャネル S/H 回路の診断を行う場合は，ADCAnCTL0.ADCAnCE = 1 でも，ADCAnSHCTL.ADCAnCSELx の変更が可能です。

23.5 使用上の注意事項

23.5.1 チャネル入力電圧の範囲

注意 ADCAnIm 入力電圧は規格の範囲内で使用してください。チャネル入力電圧が AV_{DD} を上回るか AV_{SS} を下回ると，そのチャネルの変換値が飽和し，ほかのチャネルの電気的特性にも影響を与えることがあります。

23.5.2 変換動作の停止

変換動作中に ADCAnCTL0.ADCAnCE に “0” を書き込むと変換動作を停止し，ADCAnCmCR レジスタへの変換結果を格納しません。

23.5.3 チャネル S/H 機能使用時の制限事項

1317 ページの (2)「チャネル S/H 機能使用時の制限事項」を参照してください。

23.5.4 アプリケーション設計上の注意事項

(1) アナログ入力端子（ADCAnIm）

(a) ADCAnIm 端子の入力電圧は規格の範囲内でご使用ください。AV_{REFnP} 以上または AV_{REFnM} 以下の電圧が入力されることを避けるため，V_F が 0.3 V 以下のダイオードでクランプすることを推奨します。特に AV_{REFnP} 以上，AV_{REFnM} 以下の電圧を入力すると，そのチャネルの変換値は不定となり，保証できません。また，ほかのチャネルの変換値にも影響を与えることがあります。

(b) アナログ入力端子（ADCAnIm）は，外部のアナログ信号入力源との間に抵抗 Re を接続 , AV_{SSn} 端子間にコンデンサ Ce を接続しノイズを除去してください。

(c) アナログ信号線とディジタル信号線を交差させたり近接させたりすることは極力避けてください。ノイズの誘導などによって A/D 変換特性が悪化する恐れがあります。

(d) ADCAnIm 端子に近いポートは，入力，出力ともに，大きな電流駆動を避け，トグルによるスイッチングを極力控えることを推奨します。

(2) 電源の配線

ディジタル回路のスイッチング・ノイズなどが，A/D コンバータ精度に及ぼす影響を最小限にするため，次の対策を推奨します。

(a) 電源ラインは，片面ベタとするか，または，極力太いパタンで格子状に接続してください。

(b) 電源端子（EV_{DD}, $OSCV_{DD}$, V_{DD}, AV_{DDn}）とグランド端子（EV_{SS}, $OSCV_{SS}$, V_{SS}, AV_{SSn}）間の端子リード直近にバイパス・コンデンサを挿入してください。バイパス・コンデンサは，0.1 μF（参考値）程度の積層セラミック・コンデンサ，および 4.7 μF（参考値）以上のタンタル電解コンデンサを推奨します。

(c) アナログ電源（AV_{DDn}）は，ディジタル電源（EV_{DD}, $OSCV_{DD}$, V_{DD}）から分離し，シリーズ・レギュレータより供給することを推奨します。ディジタル電源と共通にする場合，電源供給元でアナログ電源，ディジタル電源と電解コンデンサを 1 点ショートし，ボード上のパタンを別々に配線してください。

さらに，アナログ電源入口にチップ・インダクタの挿入を推奨します。また，アナログ・グランドも，電源グランド元でアナログ・グランド，ディジタル・グランドと電解コンデンサを 1 点アースし，ボード上のパタンを別々に配線してください。

(3) アナログ基準電圧入力端子（AV_{REFnP}, AV_{REFnM}）

AV_{REFnP} 端子と AV_{REFnM} 端子間の端子リード直近にバイパス・コンデンサを挿入してください。バイパス・コンデンサは，0.1 μF（参考値）の積層セラミック・コンデンサと 4.7 μF（参考値）以上のタンタル電解コンデンサを推奨します。

(4) A/D 変換結果のばらつきについて

電源電圧の変動やノイズなどの影響により A/D 変換結果がばらつくことがあります。また，アナログ入力端子（ADCAnIm）および基準電圧入力端子（AV_{REFnP}, AV_{REFnM}）にノイズがのる場合は，ノイズにより不正な変換結果が生じることがあります。

これらのばらつきや，不正な変換結果により，システムに悪影響を与えることを避けるために，ソフトウエア処理で軽減させてください。

次にソフトウエア処理の例を示します。

- 複数回の A/D 変換結果の平均値を，A/D 変換結果として使用する。
- 複数回の A/D 変換を連続して行い，特異な変換結果が得られた場合，この値を除外した変換結果を使用する。
- システムに異常が発生したと判断されるような A/D 変換結果が得られた場合，ただちに異常処理を行わず，再度異常発生を確認した上で異常処理を行う。

(5) A/D 変換のヒステリシス特性について

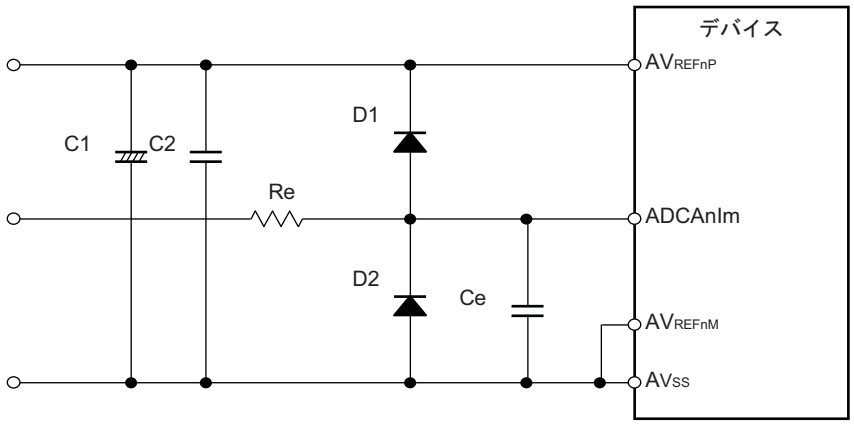
逐次比較型 A/D コンバータは，内部の共通 S/H 用コンデンサにアナログ入力電圧を保持し，そのあと，A/D 変換を行います。A/D 変換が終了したあとも，内部の共通 S/H 用コンデンサには，アナログ入力電圧が残っています。このため次のような現象が起きることがあります。

(a) 同一チャネルで A/D 変換を実行する場合，直前の A/D 変換時よりも高い電圧，または低い電圧に変化していると，変換結果が直前の値に影響されるヒステリシス特性が現れ，同じ電位でも変換結果が異なる場合があります。参考に，アナログ入力端子の外部回路における信号源インピーダンスや抵抗 Re の値が大きい場合，またはコンデンサ Ce の値が小さい場合に，ヒステリシス特性は大きくなる傾向があります。

(b) アナログ入力チャネルを切り換える場合，1 つの A/D コンバータを用いて A/D 変換を行っているため，変換結果が直前のチャネルの値に影響されるヒステリシス特性が現れ，同じ電位でも変換結果が異なる場合があります。

このため，より正確な変換結果を得たい場合は，同一チャネルで 2 回連続 A/D 変換を行い，1 回目の変換結果を廃棄してください。

(6) 配線と等価回路（参考）



備考 C1 : 4.7μF～10μF（参考値）
C2 : 0.01μF～0.1μF（参考値）
Ce : 内部容量参考値を参照のうえ，お客様の使用条件・評価等から検討願います。
Re : バッファ・アンプ，チャネルS/H未使用時200Ω以下（参考値）
バッファ・アンプまたはチャネルS/H使用時3kΩ以下（参考値）
D1, D2 : $V_F \leqq 0.3V$

図 23-21 アナログ入力回路のノイズ対策例

コンデンサ C1 は低周波のノイズに，コンデンサ C2，Ce は高周波のノイズに効果があります。

なお，A/D 変換動作を停止した状態から動作開始した直後は AV_{DDn} 端子や AV_{REFnP} 端子にかかる電圧が不安定になり，A/D 変換精度の悪化が生じる場合があります。このような場合には AV_{DDn} 端子と AV_{REFnP} 端子にコンデンサ C1 と C2 を接続してください。

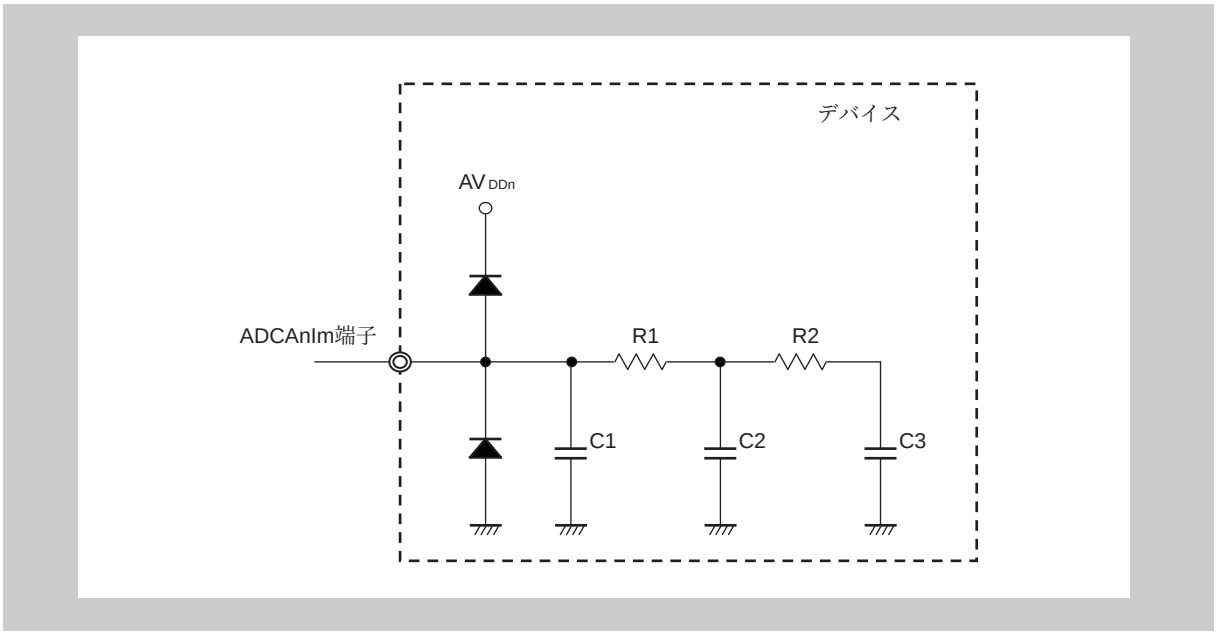


図 23-22 ADCAnIm 端子内部等価回路

備考 回路定数の参考値は以下のとおりです。

			C1[pF]	C2[pF]		C3[pF]		R1[kΩ]		R2[kΩ]	
			Max	Typ	Max	Typ	Max	Typ	Max	Typ	Max
Ch S/H 機能対応端子	Ch S/H 使用		15	0.64	0.77	1.07	1.28	0.17	0.20	6.30	14.30
	Ch S/H 未使用	Buf. 未使用		6.39	7.82	10.00	12.00	0.74	1.39	0.05	0.06
		Buf. 使用		1.14	1.38	1.00	1.20	0.74	1.39	0.05	0.06
Ch S/H 機能非対応端子	Buf. 未使用			5.24	6.44	10.00	12.00	0.23	0.27	0.05	0.06
	Buf. 使用			0.52	0.64	1.00	1.20	0.23	0.27	0.05	0.06

23.6 A/D コンバータ特性表の読み方

A/D コンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧，つまりディジタル出力 1 あたりのアナログ入力電圧の比率を，1 LSB（Least Significant Bit）といいます。1 LSB のフルスケールに対する比率を %FSR（Full Scale Range）で表します。%FSR とは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので，分解能に関係なく次の式で表されます。

1 %FSR =（変換可能なアナログ入力電圧の最大値－変換可能なアナログ入力電圧の最小値）／ 100

=（AV_{REFP} － AV_{REFM}）／ 100

1 LSB は分解能 10 ビットのとき，次のようになります。

1 LSB = $1/2^{10}$

= 1/1024

= 0.098 %FSR

1 LSB は分解能 12 ビットのとき，次のようになります。

1 LSB = $1/2^{12}$

= 1/4096

= 0.024 %FSR

精度は分解能とは関係なく，総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，直線性誤差，およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

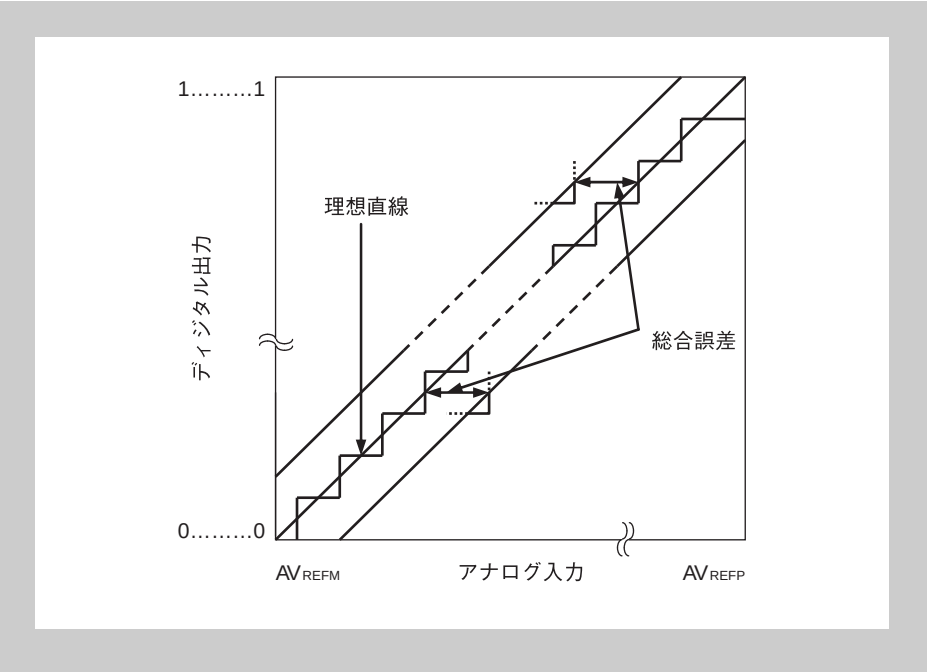


図 23-23 総合誤差

(3) 量子化誤差

アナログ値をディジタル値に変換するとき，必然的に生じる ±1/2 LSB の誤差です。A/D コンバータでは，±1/2 LSB の範囲にあるアナログ入力電圧は，同じディジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

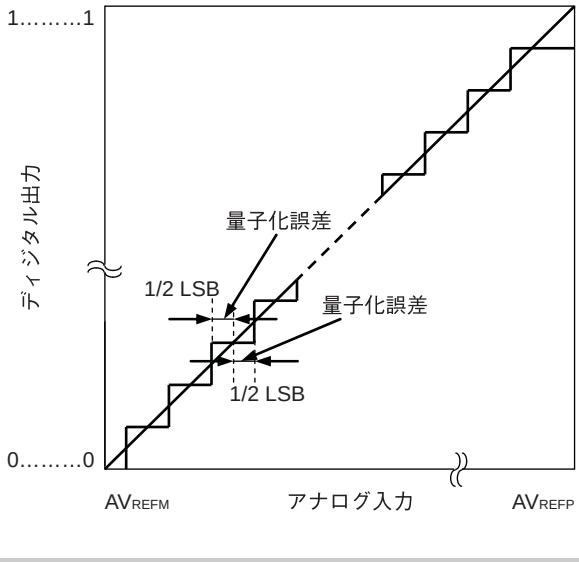


図 23-24 量子化誤差

(4) ゼロスケール誤差

ディジタル出力が 0……000 から 0……001 に変化するときの，アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。

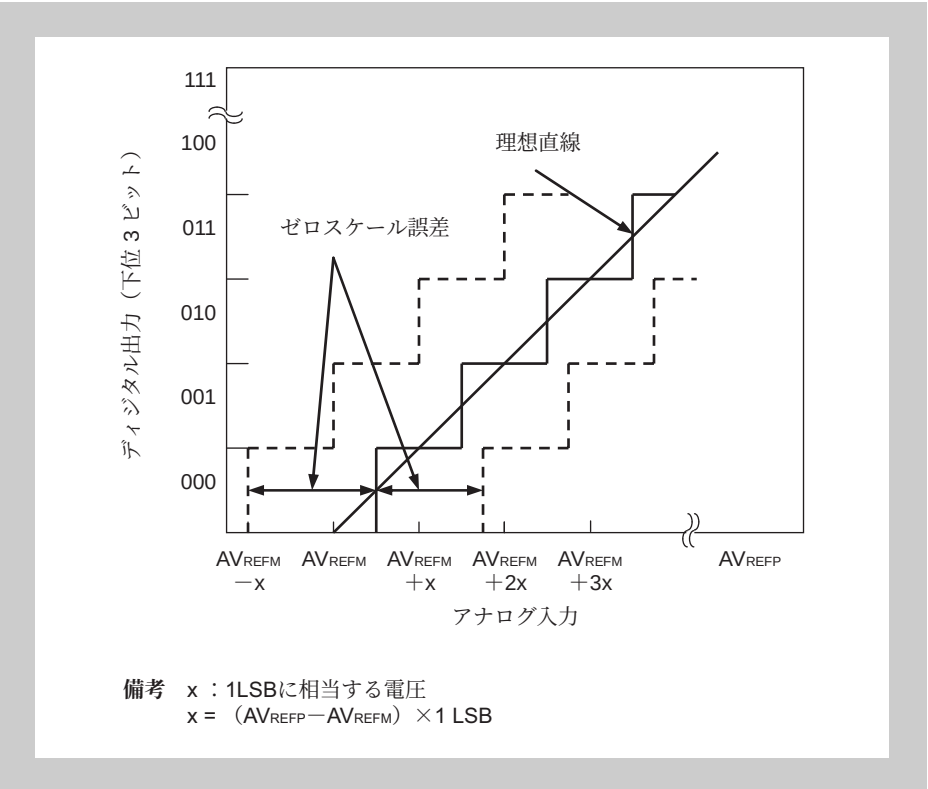


図 23-25 ゼロスケール誤差

(5) フルスケール誤差

ディジタル出力が 1……110 から 1……111 に変化するときの，アナログ入力電圧の実測値と理論値

（フルスケールー 3/2 LSB）との差を表します。

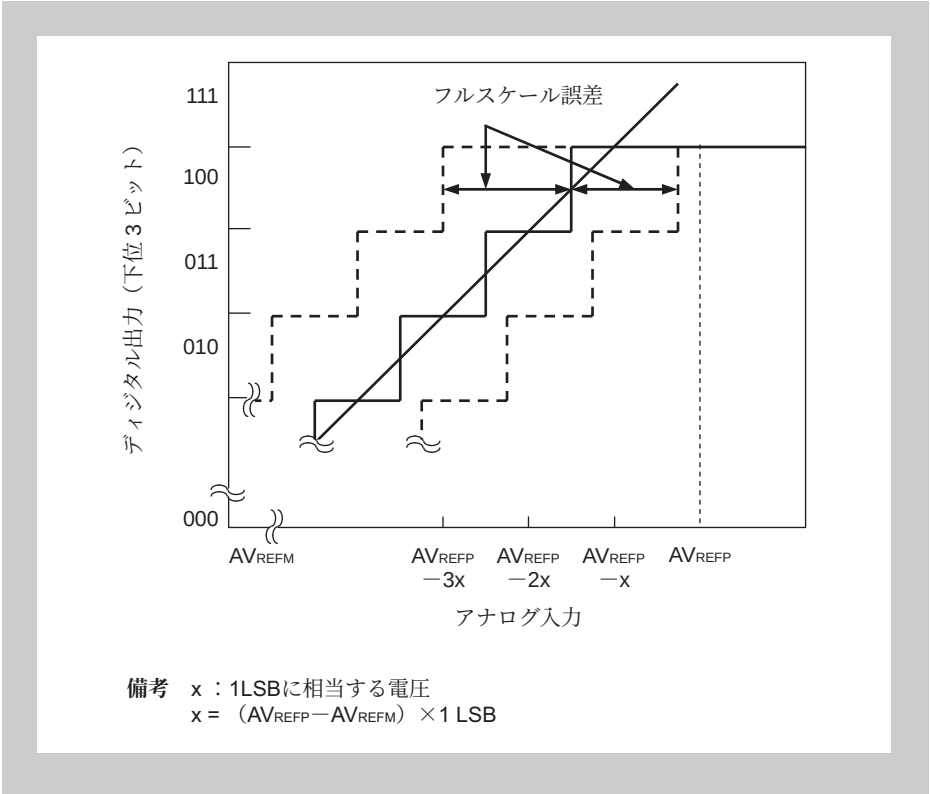


図 23-26 フルスケール誤差

(6) 微分直線性誤差

理想的には，あるコードを出力する幅は1 LSBですが，あるコードを出力する幅の実測値と理想値との差を表します。

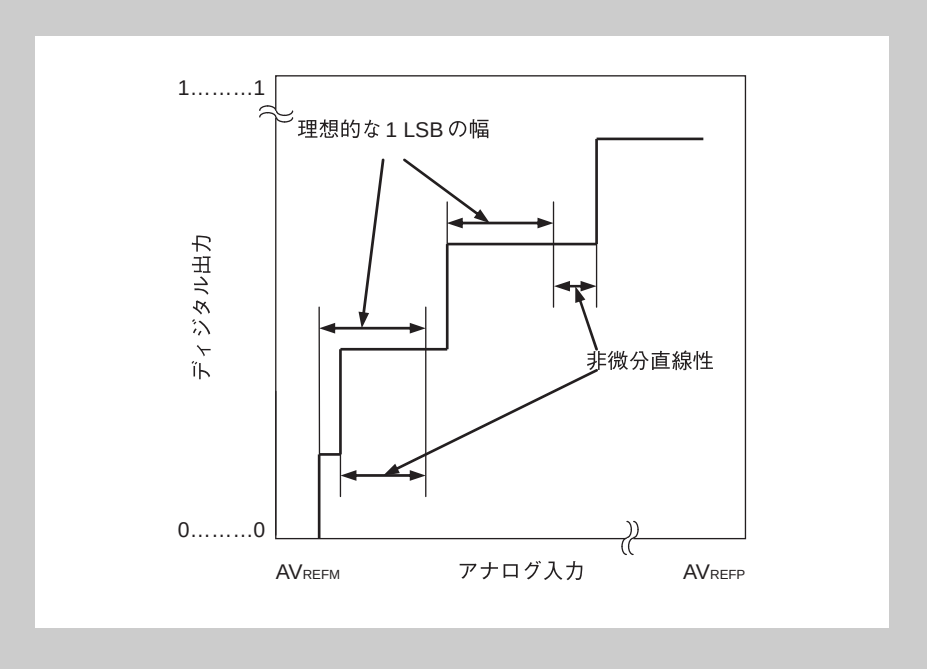


図 23-27 微分直線性誤差

(7) 積分直線性誤差

変換特性が，理想的な直線関係から外れている程度を指します。ゼロスケール誤差，フルスケール誤差を 0 としたときの，実測値と理想直線との差の最大値を表します。

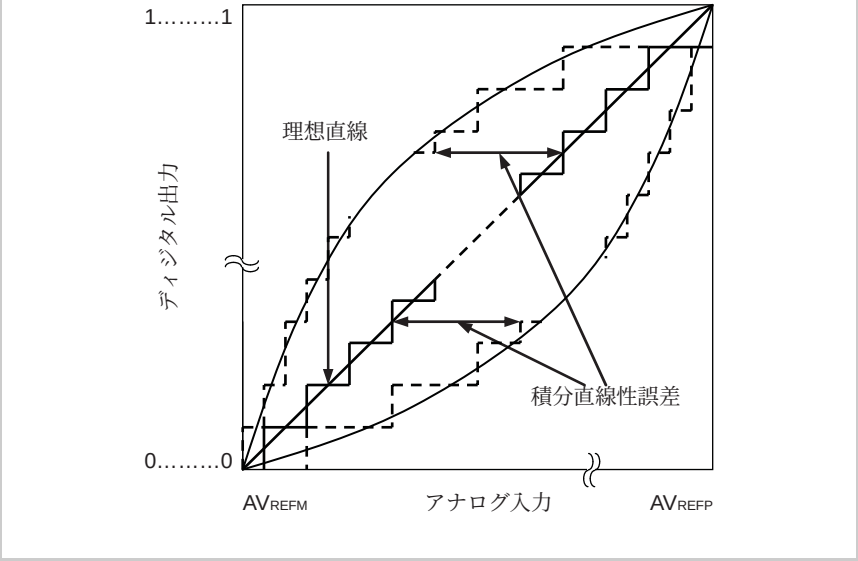


図 23-28 積分直線性誤差

(8) 変換時間

アナログ入力電圧が与えられてから，ディジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧を共通 S/H 回路に取り込むため，アナログ・スイッチがオンしている時間です。

(10) A/D 起動時間

A/D 変換トリガから，A/D 変換開始までの時間です。

第 24 章 Peripheral Interconnection（PIC）

24.1 Peripheral Interconnection 機能特徴

Peripheral Interconnection（PIC）機能は，複数タイマを使用した同調動作やタイマ入出力の内部信号をタイマ間で接続することにより，様々な機能を実現することができます。

n の意味 各タイマのユニット数を「n」で識別します。（n = 0,1）
たとえば，OSTM0 を OSTMn のように記述しています。

m の意味 TAUB0 に保有しているチャネル数を識別します。（m = 00-15）

x の意味 使用するレジスタ設定において任意の値を設定します。

y の意味 使用するレジスタを識別します。（y = 200, 201, 202, 203, 210, 211, 212, 213, 30, 31, 50, 51）

レジスタ・アドレス 24.3 項 レジスタを参照

クロック供給 PIC は，次のクロック入力があります。PIC は PCLK に接続しています。

表 24.1-1 PIC のクロック供給

PIC	クロック供給
PIC	PCLK

入出力信号 24.4 項 接続機能を参照

24.2 機能概要

PIC には以下の機能があります：

- 同時スタート・トリガ機能
- A/D トリガ選択機能
- デッドタイム付き高精度三角波 PWM 出力機能
- トリガ・パルス幅測定機能
- エンコーダ・キャプチャ・トリガ選択機能
- 2 相エンコーダ機能（制御方式 1）
- 2 相エンコーダ機能（制御方式 2）
- 3 相エンコーダ機能
- CAN タイムスタンプ機能
- TSG20+TAUB0 デッドタイム縮小機能
- TAUB 入力選択機能

24.3 Peripheral Interconnection レジスタ

Peripheral Interconnection 機能は，次のレジスタで制御，動作します。

表 24.3-1 PIC レジスター覧

レジスタ機能	名称	アドレス
制御レジスタ EN	PIC0EN	FFFF DB00$_H$
同時スタート・トリガ制御レジスタ	PIC0SST	FFFF DB04$_H$
同時スタート制御レジスタ 0	PIC0SSER0	FFFF DB10$_H$
同時スタート制御レジスタ 2	PIC0SSER2	FFFF DB18$_H$
Hi-Z 出力制御レジスタ 0	PIC0HIZCEN0	FF81 C080$_H$
Hi-Z 出力制御レジスタ 2	PIC0HIZCEN2	FF81 C088$_H$
A/D コンバータ・トリガ出力制御レジスタ 400	PIC0ADTEN400	FF81 C090$_H$
A/D コンバータ・トリガ出力制御レジスタ 401	PIC0ADTEN401	FF81 C094$_H$
A/D コンバータ・トリガ出力制御レジスタ 402	PIC0ADTEN402	FF81 C098$_H$
タイマ入出力制御レジスタ 200	PIC0REG200	FF81 C0C0$_H$
タイマ入出力制御レジスタ 201	PIC0REG201	FF81 C0C4$_H$
タイマ入出力制御レジスタ 202	PIC0REG202	FF81 C0C8$_H$
タイマ入出力制御レジスタ 203	PIC0REG203	FF81 C0CC$_H$
タイマ入出力制御レジスタ 30	PIC0REG30	FF81 C0E8$_H$
タイマ入出力制御レジスタ 31	PIC0REG31	FF81 C0EC$_H$
タイマ入出力制御レジスタ 50	PIC0REG50	FF81 C0F8$_H$

注意 各レジスタのビット定義は，各機能を参照してください。

タイマ間の信号接続には機能に合わせたレジスタを使用します。機能別に使用する制御レジスタの組み合わせ一覧を次に示します。

表 24.3-2 機能別 使用レジスター覧（1/2）

章番号	機能名	PIC0SSER		PIC0HIZCEN		PIC0ADTEN		
		0	2	0	2	400	401	402
24.4.1	同時スタート・トリガ機能	○	○	－	－	－	－	－
24.4.2	ADC トリガ選択機能	－	－	－	－	○	○	○
24.4.3	デッドタイム付き高精度三角波 PWM 出力機能	－	－	○	－	－	－	－
24.4.4	トリガ・パルス幅測定機能	－	－	－	－	－	－	－
24.4.5	エンコーダ・キャプチャ・トリガ選択機能	－	－	－	－	－	－	－
24.4.6	2 相エンコーダ制御機能（制御方式 1）	－	－	－	○	－	－	－
24.4.7	2 相エンコーダ制御機能（制御方式 2）	－	－	－	○	－	－	－
24.4.8	3 相エンコーダ制御機能	－	－	－	－	－	－	－
24.4.9	CAN タイムスタンプ機能	－	－	－	－	－	－	－
24.4.10	TSG20 ＋ TAUB0 デッドタイム縮小機能	－	－	－	－	－	－	－
24.4.11	TAUB 入力選択機能	－	－	－	－	－	－	－

表 24.3-2 機能別 使用レジスター覧（2/2）

章番号	機能名	レジスタ名（PIC0REGy）						
		200	201	202	203	30	31	50
24.4.1	同時スタート・トリガ機能	－	－	－	－	－	－	－
24.4.2	ADC トリガ選択機能	－	－	－	－	－	－	－
24.4.3	デッドタイム付き高精度三角波 PWM 出力機能	○	○	○	○	－	－	－
24.4.4	トリガ・パルス幅測定機能	－	－	－	－	○	○	－
24.4.5	エンコーダ・キャプチャ・トリガ選択機能	－	－	－	－	○	－	－
24.4.6	2 相エンコーダ制御機能（制御方式 1）	－	－	－	－	○	－	○
24.4.7	2 相エンコーダ制御機能（制御方式 2）	－	－	－	－	○	－	○
24.4.8	3 相エンコーダ制御機能	－	－	－	－	○	－	○
24.4.9	CAN タイムスタンプ機能	－	－	－	－	－	○	－
24.4.10	TSG20 ＋ TAUB0 デッドタイム縮小機能	○	－	－	－	－	－	○
24.4.11	TAUB 入力選択機能	○	－	○	－	－	－	－

24.3.1 PIC 機能の動作開始

PIC 機能を使用する場合，以下のレジスタを設定してください。

(1) 制御レジスタ EN（PIC0EN）

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFFF DB00$_H$

初期値 00$_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	PIC0EN0
R	R	R	R	R	R	R	R/W

表 24.3.1-1 PIC0EN の内容

ビット位置	ビット名	機能
0	PIC0EN0	PIC 機能の動作許可／禁止を設定します。 0：禁止 1：許可

24.4 接続機能

24.4.1 同時スタート・トリガ機能

24.4.1.1 機能概要

各タイマ（TAUB0, TAUJ0, TSG20, TPBA0, OSTMn, ENCA0）の任意の組み合わせでの同時スタートが可能です。

24.4.1.2 構成

構成＼タイマ機能	各タイマ
タイマ構成	TAUB0, TAUJ0, TSG20, TPBA0, OSTMn, ENCA0

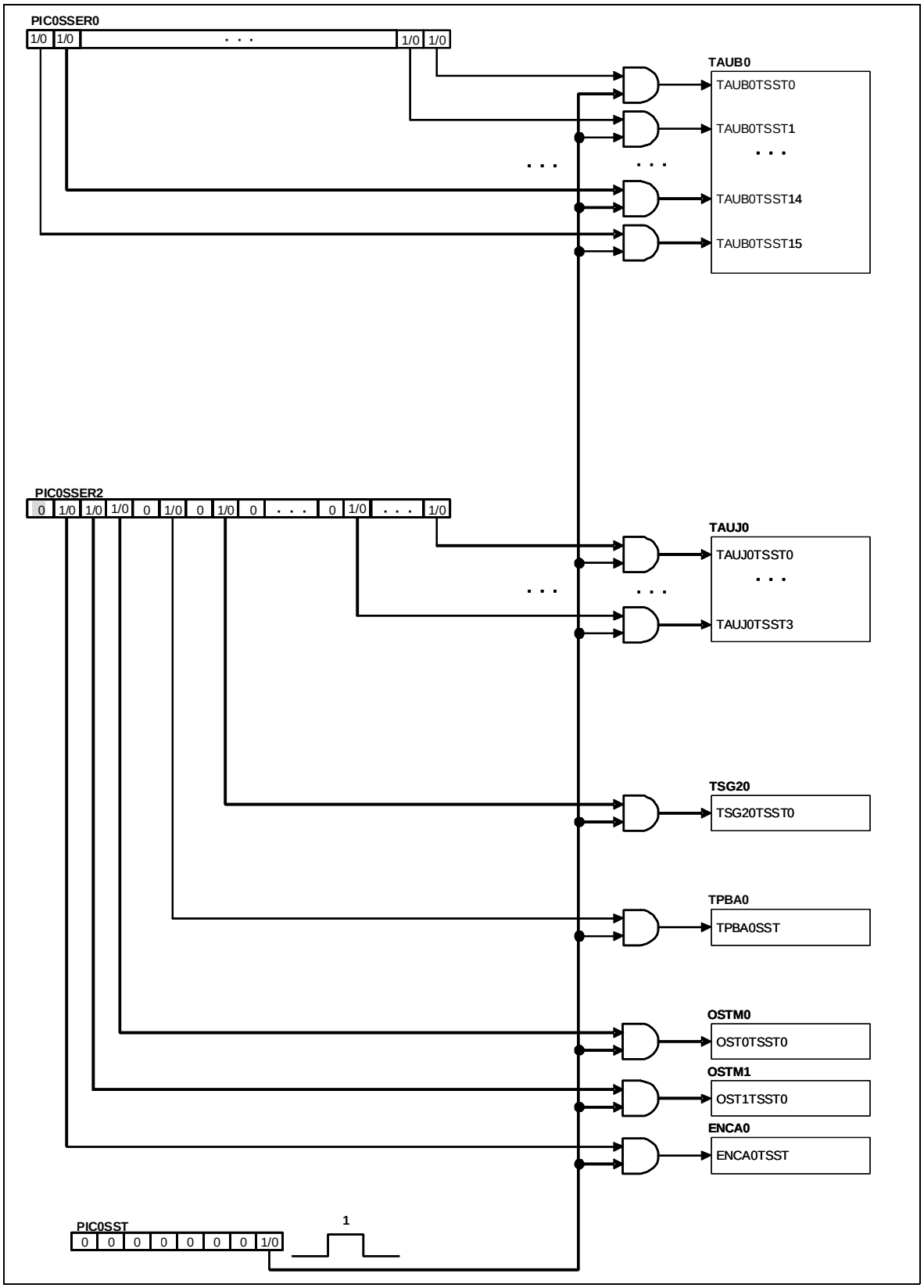


図 24.4.1-1 ブロック図

24.4.1.3 レジスタ

(1) 同時スタート制御レジスタ 0（PIC0SSER0）

PIC0SSER0 レジスタは TAUB0 の各 CH のスタート・トリガ許可を行うレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス FFFF DB10$_H$

初期値 0000$_H$ どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
PIC0SSER015	PIC0SSER014	PIC0SSER013	PIC0SSER012	PIC0SSER011	PIC0SSER010	PIC0SSER009	PIC0SSER008
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
PIC0SSER007	PIC0SSER006	PIC0SSER005	PIC0SSER004	PIC0SSER003	PIC0SSER002	PIC0SSER001	PIC0SSER000
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.4.1-1 PIC0SSER0 の内容

ビット位置	ビット名	機能
m	PIC0SSER0m	TAUB0 の CHm の同時スタート・トリガ許可を設定する。 0：TAUB0 の CHm の同時スタート・トリガを許可しない 1：TAUB0 の CHm の同時スタート・トリガを許可

(2) 同時スタート制御レジスタ 2（PIC0SSER2）

PIC0SSER2 レジスタは，TAUJ, TSG2, TPBA, OSTM, ENCA のスタート・トリガ許可を行うレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス FFFF DB18$_H$

初期値 0000$_H$ どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	PIC0SSER214	PIC0SSER213	PIC0SSER212	0	PIC0SSER210	0	PIC0SSER208
R	R/W	R/W	R/W	R	R/W	R	R/W

7	6	5	4	3	2	1	0
0	0	0	0	PIC0SSER203	PIC0SSER202	PIC0SSER201	PIC0SSER200
R	R	R	R	R/W	R/W	R/W	R/W

表 24.4.1-2 PIC0SSER2 の内容

ビット位置	ビット名	機能
14	PIC0SSER214	ENCA0 の同時スタート・トリガ許可を設定する。 0：ENCA0 の同時スタート・トリガを許可しない 1：ENCA0 の同時スタート・トリガを許可
13	PIC0SSER213	OSTM1 の同時スタート・トリガ許可を設定する。 0：OSTM1 の同時スタート・トリガを許可しない 1：OSTM1 の同時スタート・トリガを許可
12	PIC0SSER212	OSTM0 の同時スタート・トリガ許可を設定する。 0：OSTM0 の同時スタート・トリガを許可しない 1：OSTM0 の同時スタート・トリガを許可
10	PIC0SSER210	TPBA0 の同時スタート・トリガ許可を設定する。 0：TPBA0 の同時スタート・トリガを許可しない 1：TPBA0 の同時スタート・トリガを許可
8	PIC0SSER208	TSG20 の同時スタート・トリガ許可を設定する。 0：TSG20 の同時スタート・トリガを許可しない 1：TSG20 の同時スタート・トリガを許可
3	PIC0SSER203	TAUJ0 の CH03 の同時スタート・トリガ許可を設定する。 0：TAUJ0 の CH03 の同時スタート・トリガを許可しない 1：TAUJ0 の CH03 の同時スタート・トリガを許可
2	PIC0SSER202	TAUJ0 の CH02 の同時スタート・トリガ許可を設定する。 0：TAUJ0 の CH02 の同時スタート・トリガを許可しない 1：TAUJ0 の CH02 の同時スタート・トリガを許可
1	PIC0SSER201	TAUJ0 の CH01 の同時スタート・トリガ許可を設定する。 0：TAUJ0 の CH01 の同時スタート・トリガを許可しない 1：TAUJ0 の CH01 の同時スタート・トリガを許可
0	PIC0SSER200	TAUJ0 の CH00 の同時スタート・トリガ許可を設定する。 0：TAUJ0 の CH00 の同時スタート・トリガを許可しない 1：TAUJ0 の CH00 の同時スタート・トリガを許可

(3) 同時スタート・トリガ制御レジスタ（PIC0SST）

アクセス 8/1 ビット単位でライト可能です。

アドレス FFFF DB04$_H$

初期値 00$_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	SYNCTRG
W	W	W	W	W	W	W	W

表 24.4.1-3 PIC0SST の内容

ビット位置	ビット名	機能
0	SYNCTRG	同時スタート許可に設定したタイマに対し，スタート・トリガを生成 0：無効 1：同時スタート・トリガ（1PCLK 幅のパルスを出力）

SYNCTRG は，リード時は常に 0 を読み出します。

24.4.1.4 動作例

(1) タイマ構成の動作例

任意の動作モードで動作する各タイマ（TAUB0, TAUJ0, TSG20, TPBA0, OSTMn, ENCA0）の任意の組み合わせでの同時スタートを行います。

(2) 設定手順

1) 初期設定：
TAUB0, TAUJ0, TSG20, TPBA0, OSTMn, ENCA0 のタイマ毎に動作モードを設定します（レジスタ設定含む）
（TAUB0, TAUJ0, TSG20, TPBA0, OSTMn, ENCA0 の初期設定詳細については，各タイマ章を参照してください。）

2) 同時スタート許可設定
同時スタートさせる対象タイマについて，PIC0SSER0, PIC0SSER2 の該当ビットを 1 にすることで，各タイマの同時スタートを許可します。

3) スタート・トリガ出力：
PIC0SST0 の SYNCTRG ビットに 1 ライトすることで，2) で設定された対象タイマが同時にスタートします。

4) スタートしていないチャネルに対し 2), 3) を繰り返すことで，異なる対象タイマを複数回に分けて同時にスタートできます。

24.4.1.5 動作フロー

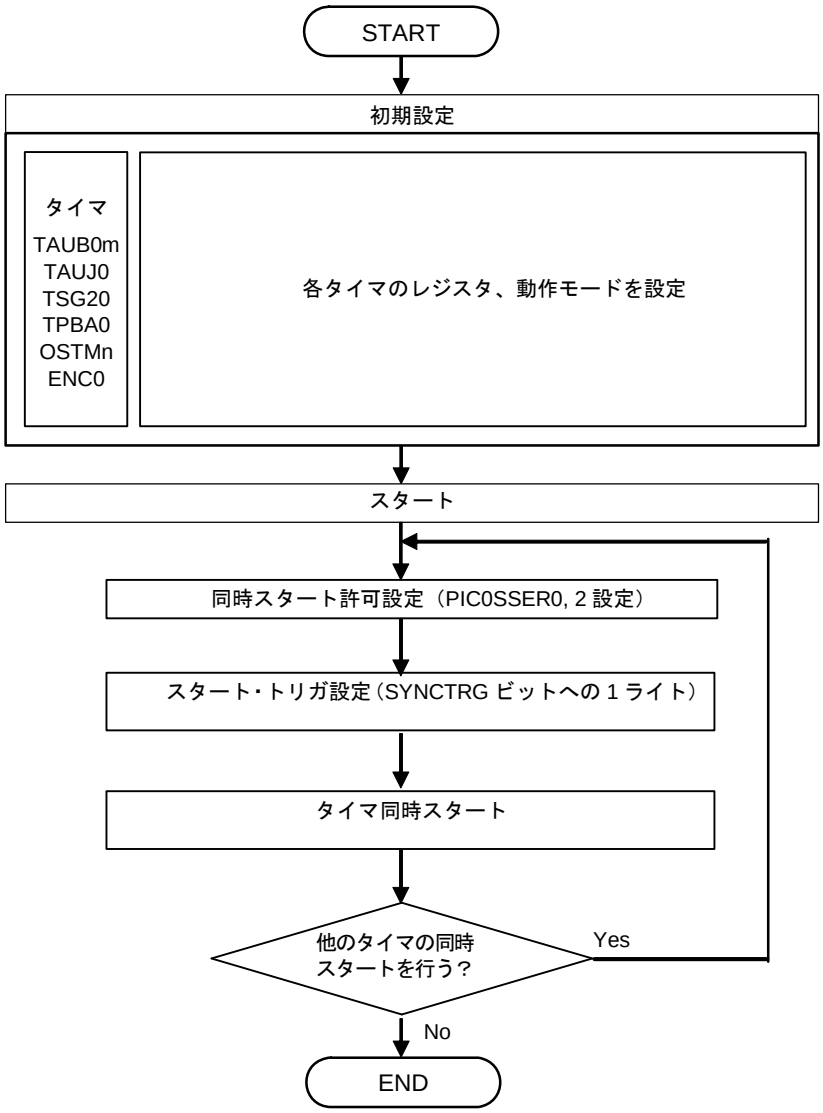


図 24.4.1-2 設定フロー

備考 同時スタート機能を使用した時の各タイマの動作については，各タイマの章を参照してください。

24.4.1.6 動作機能の設定

24.4.1.3「レジスタ」を参照してください。

24.4.2 ADC トリガ選択機能

24.4.2.1 機能概要

ADC は 3 つのチャネル・グループを持ち，それぞれのチャネル・グループに対応した ADC ハードウェア・トリガを持っています。

ADCA0TSEL0 では TAUB0，ENCA0，TSG20，から出力される内部トリガ信号及び端子からの外部トリガ信号の論理和（OR）を，ADCA0TSEL1，ADCA0TSEL2 では TAUB0，ENCA0，TSG20，TAPA0 から出力される内部トリガ信号及び端子からの外部トリガ信号の論理和 (OR) を，各チャネル・グループの ADC ハードウェア・トリガ信号として入力できます。

PIC は上記ユニットの内，TAUB0 の各 CH が出力する内部トリガ信号（TAUB0INTm）について，ADC ハードウェア・トリガ信号として使用する TAUB0INTm の選択機能を提供します。

注意 この機能で使用される TAUB0 の各 CH から出力するトリガ信号は，TAUB0CMORm.TAUB0MD0 ビットにより制御されませんので，全ての割り込みにおいて，ADC ハードウェア・トリガ信号として使用されます。

24.4.2.2 構成

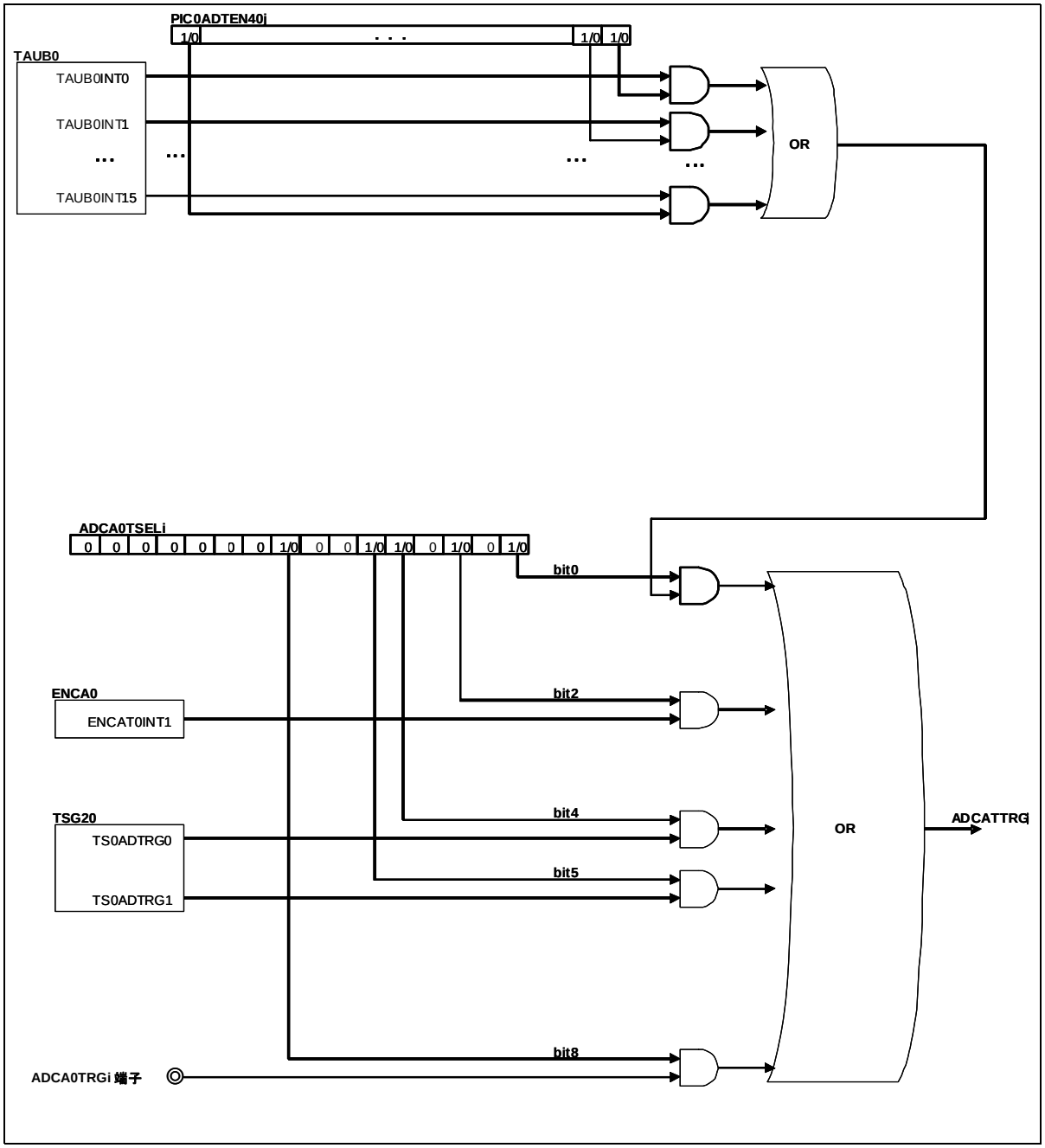


図 24.4.2-1 ブロック図（i = 0, j = 0-2）

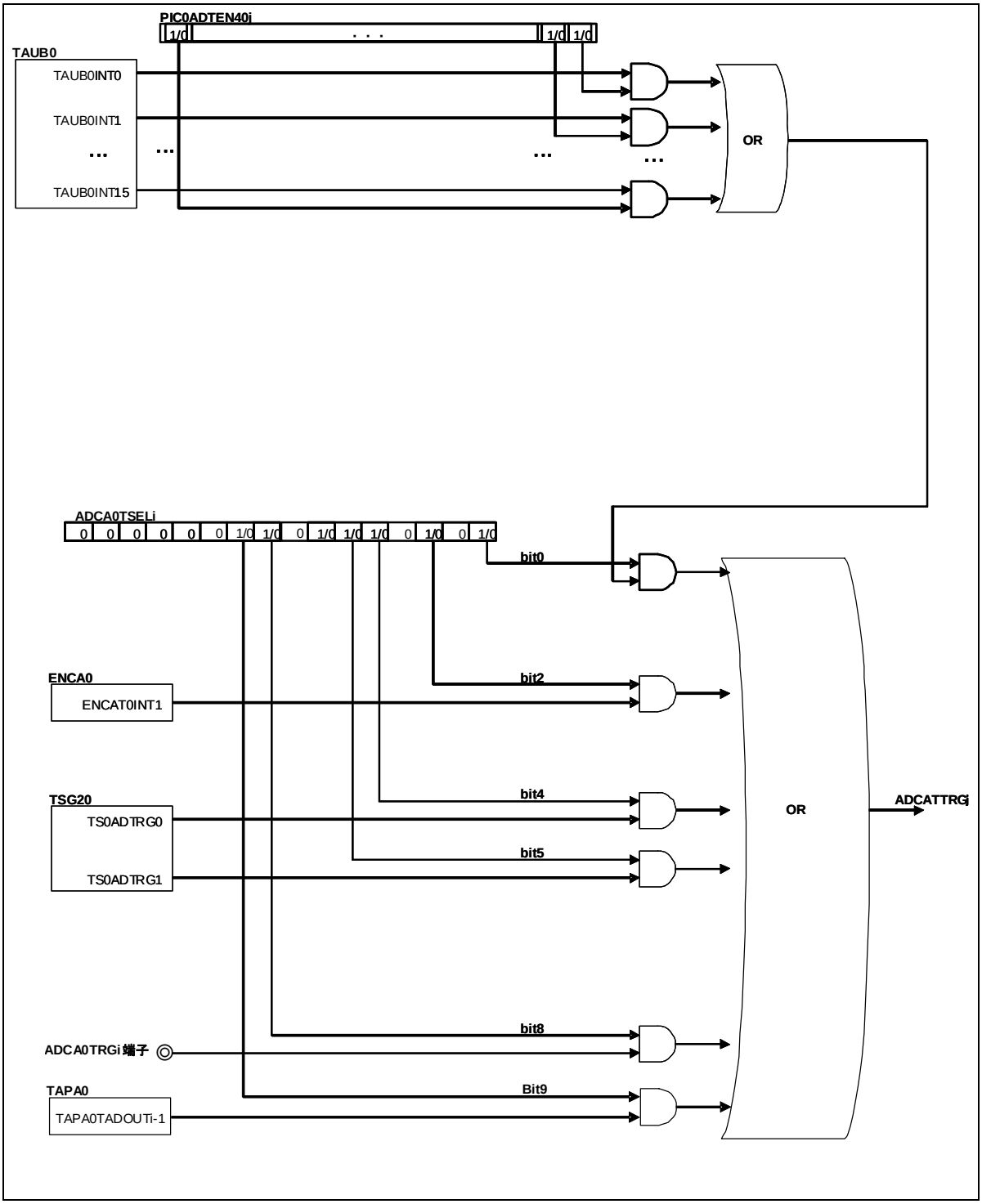


図 24.4.2-2 ブロック図 (i = 1, 2, j = 0-2)

24.4.2.3 レジスタ

(1) A/D コンバータ・トリガ出力制御レジスタ 40j（PIC0ADTEN40j）

PIC0ADTEN0j レジスタは ADC トリガとして TAUB0 CHm からのトリガ・ソース選択許可を行うレジスタです。(j = 0-2)

アクセス 16 ビット単位でリード／ライト可能です。

アドレス FF81 C090$_H$ (j = 0), FF81 C094$_H$ (j = 1), FF81 C098$_H$ (j = 2)

初期値 0000$_H$ どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
PIC0 ADTEN 40j15	PIC0 ADTEN 40j14	PIC0 ADTEN 40j13	PIC0 ADTEN 40j12	PIC0 ADTEN 40j11	PIC0 ADTEN 40j10	PIC0 ADTEN 40j09	PIC0 ADTEN 40j08
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
PIC0 ADTEN 40j07	PIC0 ADTEN 40j06	PIC0 ADTEN 40j05	PIC0 ADTEN 40j04	PIC0 ADTEN 40j03	PIC0 ADTEN 40j02	PIC0 ADTEN 40j01	PIC0 ADTEN 40j00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.4.2-1 PIC0ADTEN40j の内容

ビット位置	ビット名	機能
m	PIC0ADTEN40jm	TAUB0 CHm からのトリガ・ソースを設定する。 0：TAUB0 CHm のトリガ・ソースを ADC トリガとして選択可能にしない 1：TAUB0 CHm のトリガ・ソースを ADC トリガとして選択可能にする

(2)　A/D コンバータ・トリガ選択制御レジスタ i（ADCA0TSELi）

ADCA0TSELi レジスタは ADC のチャネル・グループ i のトリガを選択するレジスタです。（i = 0-2）

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　FF81 D108$_H$ (i = 0), FF81 D10C$_H$ (i = 1), FF81 D110$_H$ (i = 2)

初期値　0000$_H$　どのリセット要因でも初期化されます。

15	14	13	12	11	10	9 注1	8
0	0	0	0	0	0	ADCA0 TiSEL09	ADCA0 TiSEL08
R	R	R	R	R	R	R/W	R/W

7	6	5	4	3	2	1	0
0	0	ADCA0 TiSEL05	ADCA0 TiSEL04	0	ADCA0 TiSEL02	0	ADCA0 TiSEL00
R	R	R/W	R/W	R	R/W	R	R/W

注 1　ビット 9 は i = 1, 2 のみ

表 24.4.2-2　ADCA0TSELi の内容（i = 0, j = 0-2）

ビット位置	ビット名	機能
8	ADCA0TiSEL08	ADC のチャネル・グループ i のトリガ・ソースとして ADTRG0i 端子を選択する。 0：ADTRG0i 端子を選択しない 1：ADTRG0i 端子を選択
5	ADCA0TiSEL05	ADC のチャネル・グループ i のトリガ・ソースとして TS0ADTRG1 を選択する。 0：TS0ADTRG1 を選択しない 1：TS0ADTRG1 を選択
4	ADCA0TiSEL04	ADC のチャネル・グループ i のトリガ・ソースとして TS0ADTRG0 を選択する。 0：TS0ADTRG0 を選択しない 1：TS0ADTRG0 を選択
2	ADCA0TiSEL02	ADC のチャネル・グループ i のトリガ・ソースとして ENCAT0INT1 を選択する。 0：ENCAT0INT1 を選択しない 1：ENCAT0INT1 を選択
0	ADCA0TiSEL00	ADC のチャネル・グループ i のトリガ・ソースとして PIC0ADTEN40j レジスタで選択されたトリガを選択する。 0：PIC0ADTEN40j レジスタで選択されたトリガを選択しない 1：PIC0ADTEN40j レジスタで選択されたトリガを選択

表 24.4.2-2 ADCA0TSELi の内容（i = 1, 2, j = 0-2）

ビット位置	ビット名	機能
9	ADCA0TiSEL09	ADC のチャネル・グループ i のトリガ・ソースとして TAPA0TADOUTi-1 端子を選択する。 0：TAPA0TADOUTi-1 端子を選択しない 1：TAPA0TADOUTi-1 端子を選択
8	ADCA0TiSEL08	ADC のチャネル・グループ i のトリガ・ソースとして ADTRG0i 端子を選択する。 0：ADTRG0i 端子を選択しない 1：ADTRG0i 端子を選択
5	ADCA0TiSEL05	ADC のチャネル・グループ i のトリガ・ソースとして TS0ADTRG1 を選択する。 0：TS0ADTRG1 を選択しない 1：TS0ADTRG1 を選択
4	ADCA0TiSEL04	ADC のチャネル・グループ i のトリガ・ソースとして TS0ADTRG0 を選択する。 0：TS0ADTRG0 を選択しない 1：TS0ADTRG0 を選択
2	ADCA0TiSEL02	ADC のチャネル・グループ i のトリガ・ソースとして ENCAT0INT1 を選択する。 0：ENCAT0INT1 を選択しない 1：ENCAT0INT1 を選択
0	ADCA0TiSEL00	ADC のチャネル・グループ i のトリガ・ソースとして PIC0ADTEN40j レジスタで選択されたトリガを選択する。 0：PIC0ADTEN40j レジスタで選択されたトリガを選択しない 1：PIC0ADTEN40j レジスタで選択されたトリガを選択

24.4.2.4 動作例

1) 初期設定：
使用する TAUB0，ENCA0，TSG20 および TAPA0 の設定をします。
（各タイマの初期設定詳細については，それぞれのタイマ仕様を参照してください。）

2) A/D コンバータ・トリガ出力制御レジスタ 40j（PIC0ADTEN40j）設定
TAUB0 の各チャネルからの割込みトリガ信号を ADC のチャネル・グループ i のトリガとして選択可能とするには，A/D コンバータ・トリガ出力制御レジスタ 40j（PIC0ADTEN40j）のビット m を 1 にしてください。
（j = 0-2）

備考 レジスタ設定操作は，AD 停止時（ADCA0CE = 0）に行ってください。

3) A/D コンバータ・トリガ選択制御レジスタ i（ADCA0TSELi）設定
各トリガに対応するビットを 1 にすることで各トリガから論理和（OR）をとった信号を ADC のチャネル・グループ i のトリガにできます

備考 レジスタ設定操作は，AD 停止時（ADCA0CE = 0）に行ってください。

4) TAUB0，ENCA0，TSG20 および TAPA0 の動作許可
1) で設定した TAUB0，ENCA0，TSG20 および TAPA0 がスタートします。

24.4.2.5 動作フロー

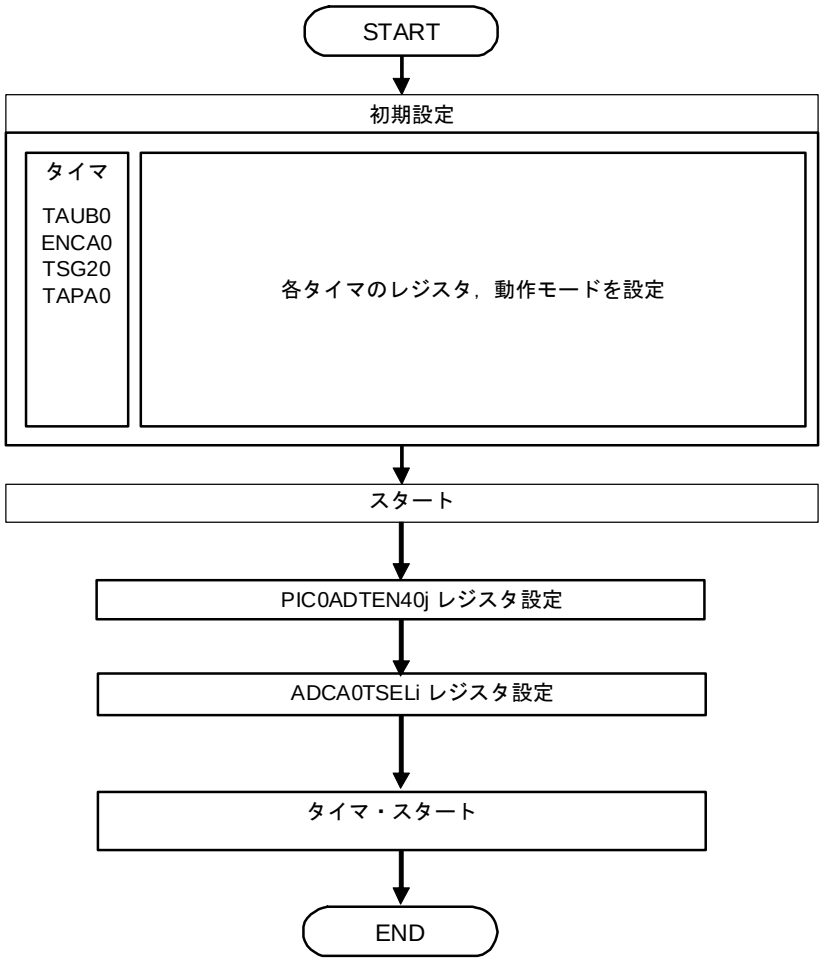


図 24.4.2-3 動作フロー（i = 0-2，j = 0-2）

24.4.2.6 動作機能の設定例

24.4.1.3「レジスタ」を参照してください。

24.4.3 デッドタイム付き高精度三角波 PWM 出力機能

24.4.3.1 機能概要

「デッドタイム付き三角波 PWM 出力機能」に対し，デューティ 100%及び 0%近傍のデッドタイム可変領域の制御が可能になるため，より高精度な三角波 PWM を出力できます。

24.4.3.2 構成

備考 以下の説明に使用している信号名は略称です。実際の信号名は以下のように読み替えてください。

INTm → TAUB0INTm

TINm → TAUB0TTINm

TOUTm → TAUB0TTOUTm

CDRm → TAUB0CDRm

CNTm → TAUB0CNTm

構成／タイマ機能	TAUB	TAPA
タイマ構成	TAUB0	TAPA0

- TAUB0　各 CH 機能設定

CH	機能名	M/S 注	CDR 設定値	説明
02	デッドタイム付き三角波 PWM 出力機能（CH02 は CH04-CH09 の Master-CH）	M	周期	
04		S	デューティ (U 相)	
05		S	デッドタイム (U 相)	
06		S	デューティ (V 相)	
07		S	デッドタイム (V 相)	
08		S	デューティ (W 相)	
09		S	デッドタイム (W 相)	
10	ワンショット・パルス出力機能	M	ディレイ	U 相 PWM にデッドタイム可変領域で挿入するパルスを生成
11		S	パルス幅	
12	ワンショット・パルス出力機能	M	ディレイ	V 相 PWM にデッドタイム可変領域で挿入するパルスを生成
13		S	パルス幅	
14	ワンショット・パルス出力機能	M	ディレイ	W 相 PWM にデッドタイム可変領域で挿入するパルスを生成
15		S	パルス幅	

注 M = マスタ・チャネル S = スレーブ・チャネル

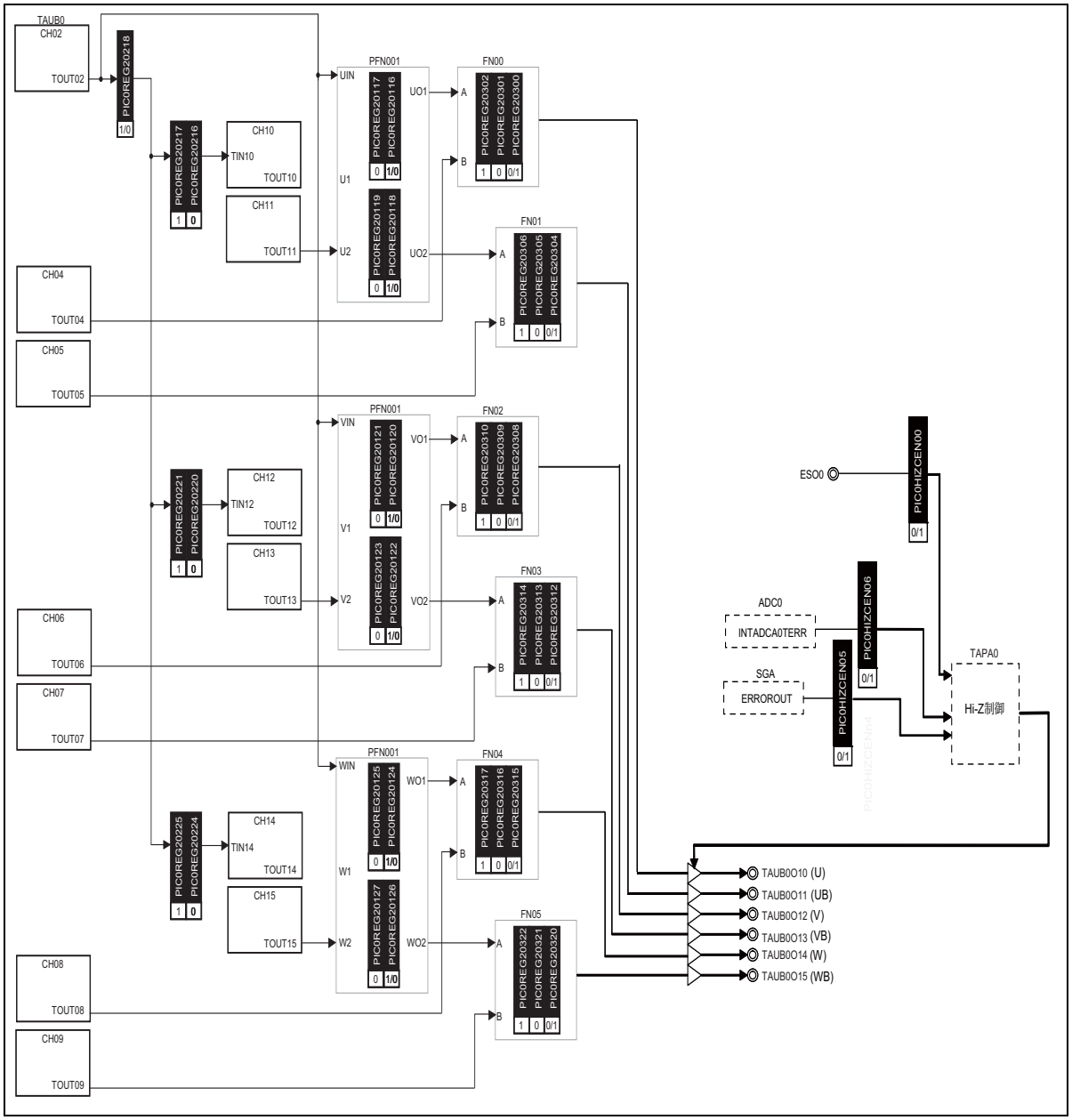


図 24.4.3-1 ブロック図

24.4.3.3 レジスタ

(1) タイマ入出力制御レジスタ 200（PIC0REG200）

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FF81 C0C0$_H$

初期値 0000 0000$_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

23	22	21	20	19	18	17	16
0	0	0	0	0	PIC0REG20018	0	0
R	R	R	R	R	R/W	R	R

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

表 24.4.3-1 PIC0REG200 の内容

ビット位置	ビット名	機能
18	PIC0REG20018	TAUB0 CH10, 12, 14 の TIN 入力信号を選択します。 0：設定禁止 1：TAUB0 CH02 の TOUT を選択

注意 PIC0REG200 レジスタに “0” を定義しているビットは，他のタイマ接続機能で定義していることがあります。その場合，該当する PIC 接続機能のビット定義を適用してください。

(2)　タイマ入出力制御レジスタ 201（PIC0REG201）

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FF81 C0C4$_H$

初期値　0000 0000$_H$　どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	PIC0REG20127	PIC0REG20126	PIC0REG20125	PIC0REG20124
R	R	R	R	R/W	R/W	R/W	R/W

23	22	21	20	19	18	17	16
PIC0REG20123	PIC0REG20122	PIC0REG20121	PIC0REG20120	PIC0REG20119	PIC0REG20118	PIC0REG20117	PIC0REG20116
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

表 24.4.3-2　PIC0REG201 の内容 (1/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>27
26</td><td>PIC0REG20127
PIC0REG20126</td><td>TAUB0 CH09 の TOL 設定値により，FN05 A 入力信号を選択します。
<table>
<tr><th>PIC0REG20127</th><th>PIC0REG20126</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>組み合わせ回路出力
(TAUB0 CH09 の TOL = 0 設定時)</td></tr>
<tr><td>1</td><td>1</td><td>組み合わせ回路反転出力
(TAUB0 CH09 の TOL = 1 設定時)</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>25
24</td><td>PIC0REG20125
PIC0REG20124</td><td>TAUB0 CH08 の TOL 設定値により，FN04 A 入力信号を選択します。
<table>
<tr><th>PIC0REG20125</th><th>PIC0REG20124</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>組み合わせ回路出力
(TAUB0 CH08 の TOL = 0 設定時)</td></tr>
<tr><td>1</td><td>1</td><td>組み合わせ回路反転出力
(TAUB0 CH08 の TOL = 1 設定時)</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
</table>

表 24.4.3-2 PIC0REG201 の内容 (2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>23
22</td><td>PIC0REG20123
PIC0REG20122</td><td>TAUB0 CH07 の TOL 設定値により，FN03 A 入力信号を選択します。
<table>
<tr><th>PIC0REG20123</th><th>PIC0REG20122</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>組み合わせ回路出力
(TAUB0 CH07 の TOL = 0 設定時)</td></tr>
<tr><td>1</td><td>1</td><td>組み合わせ回路反転出力
(TAUB0 CH07 の TOL = 1 設定時)</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>21
20</td><td>PIC0REG20121
PIC0REG20120</td><td>TAUB0 CH06 の TOL 設定値により，FN02 A 入力信号を選択します。
<table>
<tr><th>PIC0REG20121</th><th>PIC0REG20120</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>組み合わせ回路出力
(TAUB0 CH06 の TOL = 0 設定時)</td></tr>
<tr><td>1</td><td>1</td><td>組み合わせ回路反転出力
(TAUB0 CH06 の TOL = 1 設定時)</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>19
18</td><td>PIC0REG20119
PIC0REG20118</td><td>TAUB0 CH05 の TOL 設定値により，FN01 A 入力信号を選択します。
<table>
<tr><th>PIC0REG20119</th><th>PIC0REG20118</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>組み合わせ回路出力
(TAUB0 CH05 の TOL = 0 設定時)</td></tr>
<tr><td>1</td><td>1</td><td>組み合わせ回路反転出力
(TAUB0 CH05 の TOL = 1 設定時)</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>17
16</td><td>PIC0REG20117
PIC0REG20116</td><td>TAUB0 CH04 の TOL 設定値により，FN00 A 入力信号を選択します。
<table>
<tr><th>PIC0REG20117</th><th>PIC0REG20116</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>組み合わせ回路出力
(TAUB0 CH04 の TOL = 0 設定時)</td></tr>
<tr><td>1</td><td>1</td><td>組み合わせ回路反転出力
(TAUB0 CH04 の TOL = 1 設定時)</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
</table>

注意 PIC0REG201 レジスタに “0” を定義しているビットは，他のタイマ接続機能で定義していることがあります。その場合，該当する PIC 接続機能のビット定義を適用してください。

(3) タイマ入出力制御レジスタ 202（PIC0REG202）

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FF81 C0C8$_H$

初期値 0000 0000$_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	PIC0REG20225	PIC0REG20224
R	R	R	R	R	R	R/W	R/W

23	22	21	20	19	18	17	16
0	0	PIC0REG20221	PIC0REG20220	0	0	PIC0REG20217	PIC0REG20216
R	R	R/W	R/W	R	R	R/W	R/W

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

表 24.4.3-3 PIC0REG202 の内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>25
24</td><td>PIC0REG20225
PIC0REG20224</td><td>TAUB0 CH14 の TIN 入力信号を選択します。
<table>
<tr><th>PIC0REG20225</th><th>PIC0REG20224</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>PIC0REG20018 レジスタ・ビットで選択した信号
(TAUB0 CH02 の TOUT)</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>21
20</td><td>PIC0REG20221
PIC0REG20220</td><td>TAUB0 CH12 の TIN 入力信号を選択します。
<table>
<tr><th>PIC0REG20221</th><th>PIC0REG20220</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>PIC0REG20018 レジスタ・ビットで選択した信号
(TAUB0 CH02 の TOUT)</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>17
16</td><td>PIC0REG20217
PIC0REG20216</td><td>TAUB0 CH10 の TIN 入力信号を選択します。
<table>
<tr><th>PIC0REG20217</th><th>PIC0REG20216</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>PIC0REG20018 レジスタ・ビットで選択した信号
(TAUB0 CH02 の TOUT)</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
</table>

注意 PIC0REG202 レジスタに “0” を定義しているビットは，他のタイマ接続機能で定義していることがあります。その場合，該当する PIC 接続機能のビット定義を適用してください。

(4) タイマ入出力制御レジスタ 203（PIC0REG203）

PIC0REG203 は，論理演算の選択を行うレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FF81 C0CC$_H$

初期値 0000 0000$_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

23	22	21	20	19	18	17	16
0	PIC0REG 20322	PIC0REG 20321	PIC0REG 20320	0	PIC0REG 20318	PIC0REG 20317	PIC0REG 20316
R	R/W	R/W	R/W	R	R/W	R/W	R/W

15	14	13	12	11	10	9	8
0	PIC0REG 20314	PIC0REG 20313	PIC0REG 20312	0	PIC0REG 20310	PIC0REG 20309	PIC0REG 20308
R	R/W	R/W	R/W	R	R/W	R/W	R/W

7	6	5	4	3	2	1	0
0	PIC0REG 20306	PIC0REG 20305	PIC0REG 20304	0	PIC0REG 20302	PIC0REG 20301	PIC0REG 20300
R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 24.4.3-4 PIC0REG203 の内容 (1/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>22
21
20</td><td>PIC0REG20322
PIC0REG20321
PIC0REG20320</td><td>TAUB0 CH09 の TOL 設定値により，入力信号 A, B の論理演算を選択します。
<table>
<tr><th>PIC0REG 20322</th><th>PIC0REG 20321</th><th>PIC0REG 20320</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>0</td><td>A and B
(TAUB0 CH09 の TOL = 0 設定時)</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>A or B
(TAUB0 CH09 の TOL = 1 設定時)</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>18
17
16</td><td>PIC0REG20318
PIC0REG20317
PIC0REG20316</td><td>TAUB0 CH08 の TOL 設定値により，入力信号 A, B の論理演算を選択します。
<table>
<tr><th>PIC0REG 20318</th><th>PIC0REG 20317</th><th>PIC0REG 20316</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>0</td><td>A and B
(TAUB0 CH08 の TOL = 0 設定時)</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>A or B
(TAUB0 CH08 の TOL = 1 設定時)</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
</table>

表 24.4.3-4 PIC0REG203 の内容 (2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>14
13
12</td><td>PIC0REG20314
PIC0REG20313
PIC0REG20312</td><td>TAUB0 CH07 の TOL 設定値により，入力信号 A, B の論理演算を選択します。
<table>
<tr><th>PIC0REG20314</th><th>PIC0REG20313</th><th>PIC0REG20312</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>0</td><td>A and B
(TAUB0 CH07 の TOL = 0 設定時)</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>A or B
(TAUB0 CH07 の TOL = 1 設定時)</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>10
9
8</td><td>PIC0REG20310
PIC0REG20309
PIC0REG20308</td><td>TAUB0 CH06 の TOL 設定値により，入力信号 A, B の論理演算を選択します。
<table>
<tr><th>PIC0REG20310</th><th>PIC0REG20309</th><th>PIC0REG20308</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>0</td><td>A and B
(TAUB0 CH06 の TOL = 0 設定時)</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>A or B
(TAUB0 CH06 の TOL = 1 設定時)</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>6
5
4</td><td>PIC0REG20306
PIC0REG20305
PIC0REG20304</td><td>TAUB0 CH05 の TOL 設定値により，入力信号 A, B の論理演算を選択します。
<table>
<tr><th>PIC0REG20306</th><th>PIC0REG20305</th><th>PIC0REG20304</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>0</td><td>A and B
(TAUB0 CH05 の TOL = 0 設定時)</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>A or B
(TAUB0 CH05 の TOL = 1 設定時)</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>2
1
0</td><td>PIC0REG20302
PIC0REG20301
PIC0REG20300</td><td>TAUB0 CH04 の TOL 設定値により，入力信号 A, B の論理演算を選択します。
<table>
<tr><th>PIC0REG20302</th><th>PIC0REG20301</th><th>PIC0REG20300</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>0</td><td>A and B
(TAUB0 CH04 の TOL = 0 設定時)</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>A or B
(TAUB0 CH04 の TOL = 1 設定時)</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
</table>

注意 PIC0REG203 レジスタに “0” を定義しているビットは，他のタイマ接続機能で定義していることがあります。その場合，該当する PIC 接続機能のビット定義を適用してください。

(5) Hi-Z 出力制御レジスタ 0（PIC0HIZCEN0）

PIC0HIZCEN0 レジスタは，Hi-Z 出力制御用の入力信号を選択します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FF81 C080$_H$

初期値 00$_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	PIC0HIZCEN06	PIC0HIZCEN05	0	0	0	0	PIC0HIZCEN00
R	R/W	R/W	R	R	R	R	R/W

表 24.4.3-5 PIC0HIZCEN0 の内容

ビット位置	ビット名	機能
6	PIC0HIZCEN06	INTADCA0TERR 割り込み信号で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可
5	PIC0HIZCEN05	ERROROUT 信号で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可
0	PIC0HIZCEN00	ESO0 端子入力で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可

注意 PIC0HIZCEN0 レジスタに “0” を定義しているビットは，他のタイマ接続機能で定義していることがあり ます。その場合，該当するタイマ接続機能のビット定義を適用してください。

24.4.3.4 動作例

TAUB の次の機能の組み合わせにより実現します。

- デッドタイム付き三角波 PWM 出力機能
- ワンショット・パルス出力機能

また，デッドタイム可変領域で挿入するデッドタイム可変領域パルスを正相・逆相用に生成するため，PIC 内の以下機能を使用します。

- 組み合わせ回路（PFN001, PNF023, PNF045）

また，デッドタイム可変領域で挿入するデッドタイム可変領域パルスを三角波 PWM 出力波形と合成するため，PIC 内の以下機能を使用します。

- 論理演算回路（FN0i）（i ＝ 0 ～ 5）

デッドタイム付き高精度三角波 PWM 出力機能は，上記機能で実現した PWM 出力をそれぞれ U 相，V 相，W 相に割り当てる事により実現します。したがって，PWM 出力のデッドタイムは，各相の PWM 毎に自由に設定できます。各相の違いは割り当てられたチャネルの違いのみなので，ここでは 1 相（U 相）について説明を行います。

(1) デッドタイム付き三角波 PWM 出力機能

CH02, CH04, CH05 を組み合わせて使用し，TOUT04, TOUT05 よりデッドタイム付き三角波 PWM が出力されます。

(2) ワンショット・パルス出力機能

CH10, CH11 を組み合わせて使用し，CH10 の TIN10（TOUT02）の有効エッジからディレイ（CDR10）分遅らせた幅 CDR11 のパルスを TOUT11 として出力します。

このパルスはデューティ 100%及び 0% 近傍で使用するデッドタイム可変領域パルスとして利用します。

注意 ワンショット・パルス出力機能の各 CDR 設定値は，以下の条件を満たすように設定してください。

CDR05 ≧ （CDR10 ＋ CDR11）

上記条件を満たさない値を設定した場合，出力波形に影響を与える可能性があります。影響を最小にするには，上記設定値条件とともに，デッドタイム可変領域パルスが必要になる状況まで，CDR11 には 0000_H を設定しておいてください。

TIN10（TOUT02）の有効エッジは両エッジ検出，また TAUB0TOL11 = 1（アクティブ・ロー）に設定してください。

デッドタイム付き三角波 PWM 出力機能，ワンショット・パルス出力機能で使用する TAUB0 各 CH の動作クロック設定は同一クロックを設定してください。

TAUB 機能の詳細については，TAUB 機能の章を参照してください。

(3) U 相組み合わせ回路（PFN001）

ワンショット・パルス出力機能で生成したデッドタイム・パルスを，デッドタイム付き三角波 PWM 出力機能で生成された三角波 PWM へ付加するためのデッドタイム可変領域パルス（FN00 A，FN01 A）を生成します。

組み合わせ回路の入力（UIN，U2）と出力（UO1，UO2）の関係を表 24.4.4-5 に示します。

表 24.4.3-6 U，UB 相組み合わせ回路（PFN001）の入出力表

- UO1（U 相デッドタイム可変領域パルス[注]）出力

UIN（TOUT02）	U2（TOUT11）	UO1	
		PIC0REG20117, 16 = 10B U 相出力アクティブ・ハイ（TAUB0TOL04 = 0）	PIC0REG20117, 16 = 11B U 相出力アクティブ・ロー（TAUB0TOL04 = 1）
0	0	1	0
0	1	1	0
1	0	0	1
1	1	1	0

- UO2（UB 相デッドタイム可変領域パルス[注]）出力

UIN（TOUT02）	U2（TOUT11）	UO2	
		PIC0REG20119, 18 = 10B UB 相出力アクティブ・ハイ（TAUB0TOL05 = 0）	PIC0REG20119, 18 = 11B UB 相出力アクティブ・ロー（TAUB0TOL05 = 1）
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

注 デッドタイム可変領域パルスについて

TSG2 の HT-PWM モードで PWM 出力をした場合に，デューティ 100%もしくは 0%近傍で生成されるデッドタイム・パルスを，TAUB のデッドタイム付き三角波 PWM 出力機能の PWM 出力に擬似的に付加するパルスです。

備考 PIC0REG201k（k = 16-19）の設定は，デッドタイム付き三角波 PWM 出力機能で生成された三角波 PWM の U 相・UB 相アクティブ・レベルによって設定を変更します。

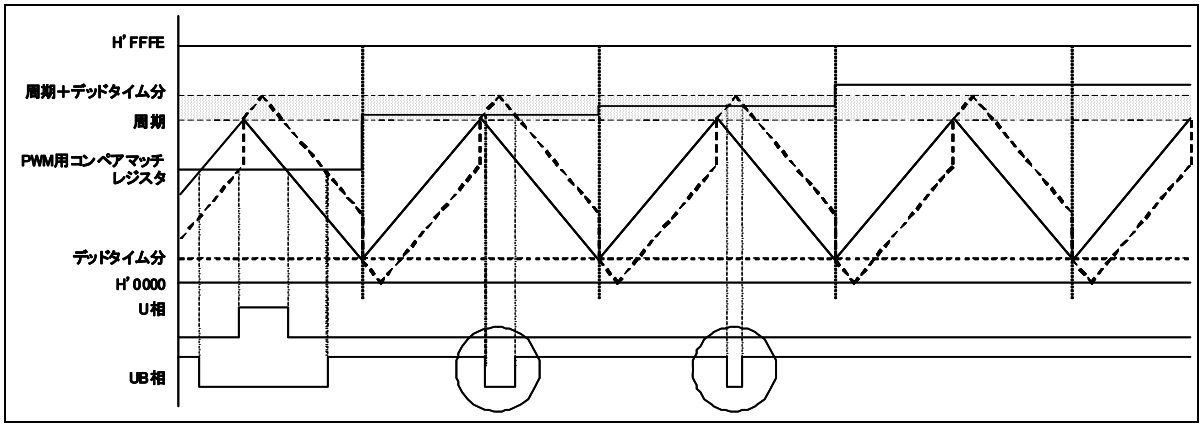


図 24.4.3-2 TSG2 の HT-PWM モードによるデッドタイム出力タイミング

TSG2 の HT-PWM モードによる PWM 出力において U 相 PWM が 0%出力に遷移する場合，網掛け部分（デッドタイム可変領域）にコンペア・マッチ値を設定すると，U 相パルスを変化させるコンペア・マッチは発生しませんが，UB 相パルスを変化させるコンペア・マッチは発生するため，UB 相のみにパルスが発生します。

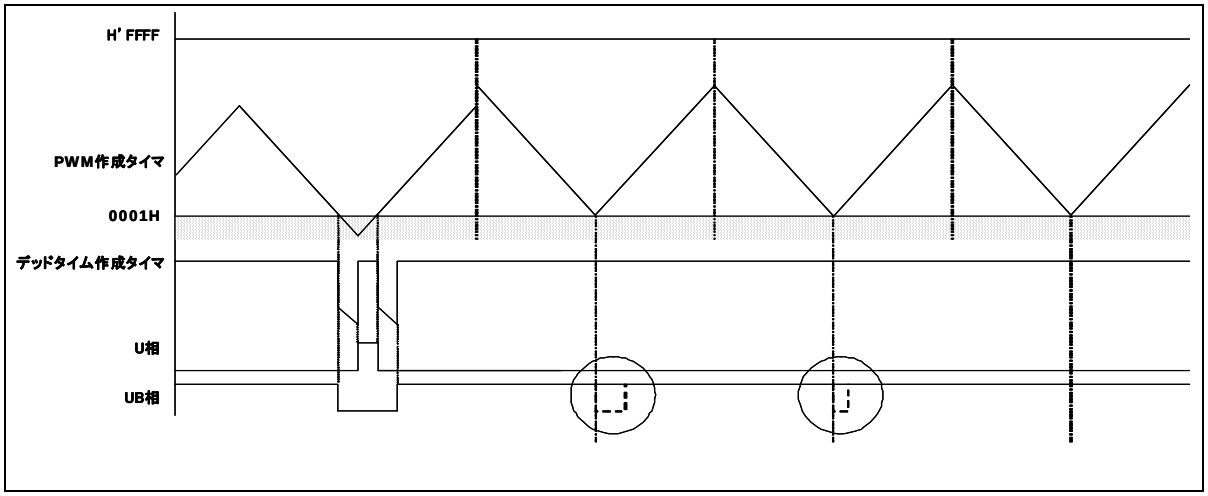


図 24.4.3-3 TAUB のデッドタイム付き三角波 PWM 出力機能によるデッドタイム出力タイミング

対して，TAUB のデッドタイム付き三角波 PWM 機能による PWM 出力では三角波を U 相 0%出力に遷移させた場合，TSG2 で出力されていた，UB 相のパルスを出力することが出来ません。

本機能では，この領域で使用するパルスをタイマで作成し，このパルスを表 24.4.3-6「U，UB 相組み合わせ回路（PFN001）の入出力表」条件により U，UB 相に適宜付加すべきパルスを組み合わせ回路で生成します。

(4) 論理演算回路（FN0i）（i = 0,1）

デッドタイム付き三角波 PWM 出力機能の三角波 PWM 出力（TOUT04, TOUT05）と組み合わせ回路出力（PFN001 の UO1，UO2）を合成し，デッドタイム可変領域パルスを付加した PWM を生成します。

論理演算回路は PIC0REG203k（k = 00-06）の設定によって，合成論理を切り替えます。

本機能での設定は，*図 24.4.3-7「論理演算回路（FN0i）（i = 0, 1）設定と TAUB0O10，TAUB0O11 端子出力」*の様に設定してください。TAUB0O10, TAUB0O11 端子からは設定された合成論理に従い合成した信号を出力します。

表 24.4.3-7 論理演算回路（FN0i）（i = 0, 1）設定と TAUB0O10，TAUB0O11 端子出力

- U 相出力（TOUT04）

アクティブ・レベル	PIC0REG20302 ～ 00	TAUB0O10 端子の出力波形
アクティブ・ハイ（TAUB0TOL04 = 0）	100B	FN00 B（TOUT04）と FN00 A（UO1）の AND
アクティブ・ロー（TAUB0TOL04 = 1）	101B	FN00 B （TOUT04）と FN00 A（UO1）の OR

- UB 相出力（TOUT05）

アクティブ・レベル	PIC0REG20306 ～ 04	TAUB0O11 端子出力
アクティブ・ハイ（TAUB0TOL05 = 0）	100B	FN01 B（TOUT05）と FN01 A（UO2）の AND
アクティブ・ロー（TAUB0TOL05 = 1）	101B	FN01 B （TOUT05）と FN01 A（UO2）の OR

これにより TAUB においてもデューティが 0% または 100%近傍時に，出力精度確保を目的としたデッドタイム可変制御が可能となるため TAUB 機能のデッドタイム付き三角波 PWM 出力機能よりも高精度な三角波 PWM を出力することができます。

V，VB 相，W, WB 相については*図 24.4.3-1「ブロック図」*に示す通り，使用する CH やレジスタの設定ビットが異なりますが，設定値は同じになります。

PIC は，「デッドタイム付き三角波 PWM 出力機能」で生成された PWM 信号に「ワンショット・パルス出力機能」によって生成されたパルスを PIC 機能の「組み合わせ回路」及び「論理演算回路」により付加する接続を提供します。

次頁以降にデッドタイム付き高精度三角波 PWM 出力機能のタイミング図を示します。

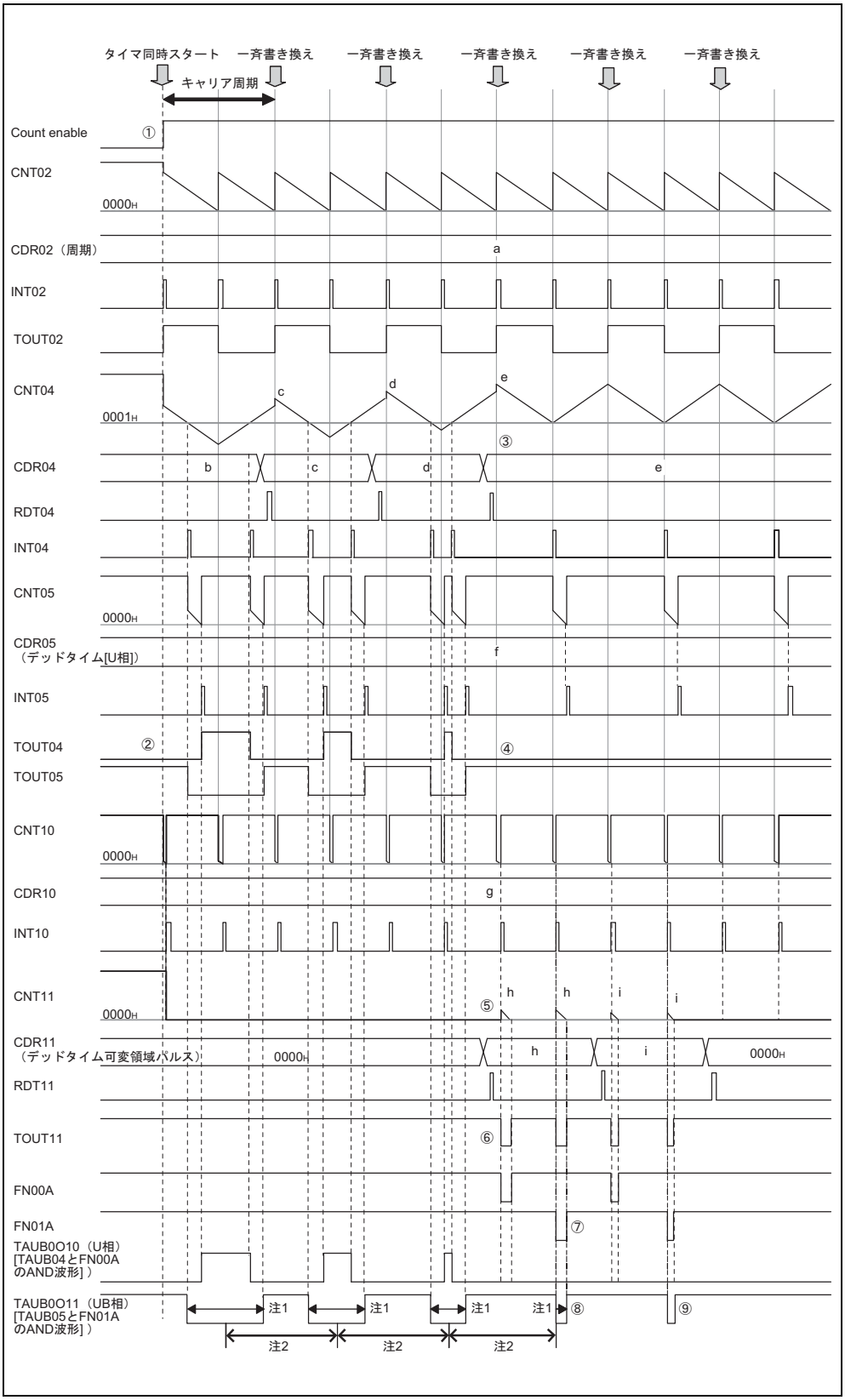


図 24.4.3-4 デッドタイム付き高精度三角波 PWM（U 相 0%，UB 相 100%）出力例（TOL4 = 0（アクティブ・ハイ），TOL5 = 0（アクティブ・ハイ）の場合）

図 24.4.4-4 の U 相 PWM 出力を行うタイマ構成で U 相 0%，UB 相 100%に遷移する場合の動作例について説明します。デッドタイム付き三角波 PWM 出力機能の出力はアクティブ・ハイです。

①タイマ動作開始により，TAUB0 の CH02, CH04, CH05 によるデッドタイム付き三角波 PWM 出力機能を開始します。

②デッドタイム付き三角波 PWM 出力機能により，TOUT04, TOUT05 からデッドタイム付き PWM 波形が出力されます。

③ CDR04 に U 相デューティ 0%出力値を設定します。

④③の設定により，TOUT04 の出力は非アクティブ・レベル，TOUT05 の出力はアクティブ・レベルとなります。ただし，この動作ではデッドタイム可変領域のパルスは出力されません。

⑤デッドタイム可変領域パルスを作成するため，③の U 相デューティ 0%設定時に，デッドタイム可変領域パルス幅となる値を CDR11 に設定します。この例では，出力 PWM への影響を考慮し，デッドタイム可変領域に入るまで CDR11 の設定値を 0000_H に固定しています。

⑥デッドタイム可変領域パルスは，TOUT02 のエッジ・タイミングで CDR10 に設定されているディレイ時間経過後，CDR11 に設定された幅のパルスとして出力されます。

⑦⑥で出力されたパルスは，組み合わせ回路（PFN001）により U 相用（FN00A），UB 相用（FN01A）のデッドタイム可変領域パルスに変換されます。

⑧⑦で生成されたパルスは，論理演算回路（FN00，FN01）で，TOUT04，TOUT05 出力波形と合成され，TAUB0O10（U 相出力）及び TAUB0O11（UB 相出力）から出力されます。

⑨以後，デッドタイム可変領域パルス幅を指定する CDR11 への設定値を変更することにより，希望のデッドタイム可変領域パルスが付加されます。

注 1 デッドタイム可変領域パルスは，三角波を使用している両側伸縮するパルスとは異なり，鋸波を使用しているため片側伸縮となります。

注 2 デッドタイム可変領域パルスが片側伸縮のため，デッドタイム可変領域での 1 相 PWM の出力周期は，付加するデッドタイム可変領域パルス幅の 1/2 分長くなります。

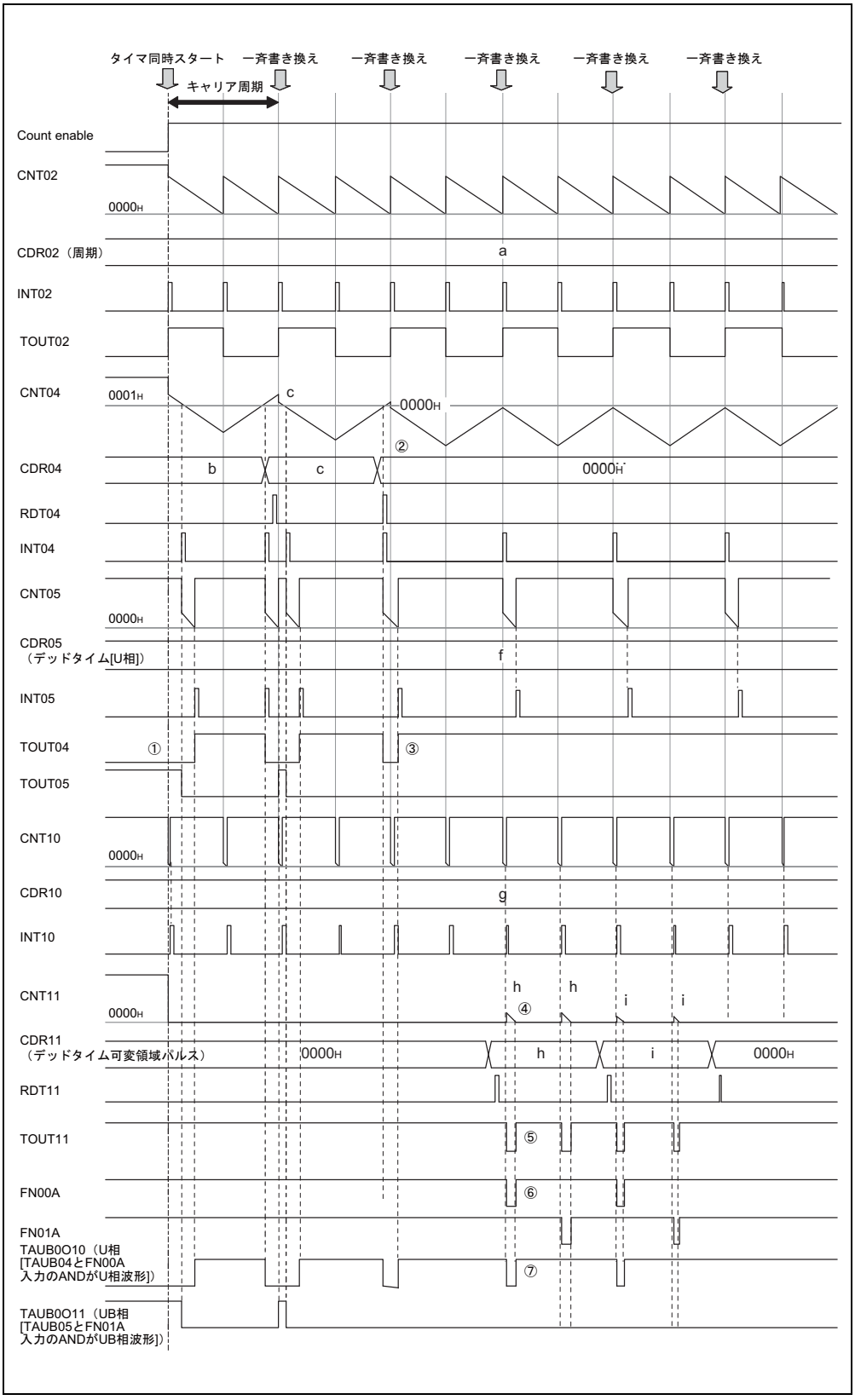


図 24.4.3-5 デッドタイム付き高精度三角波 PWM（U 相 100%，UB 相 0%）出力例（TOL4 = 0（アクティブ・ハイ），TOL5 = 0（アクティブ・ハイ）の場合）

図 24.4.4-5 の U 相 PWM 出力を行うタイマ構成で U 相 100%，UB 相 0%に遷移する場合の動作例について説明します。デッドタイム付き三角波 PWM 出力機能の出力はアクティブ・ハイです。

①タイマ動作開始からデッドタイム付き三角波 PWM 出力までのタイマ動作は同じです。

② CDR04 に U 相デューティ 100%出力値（CDR04 = 0000_H）を設定します。

③②の設定により，TOUT04 の出力はアクティブ・レベル，TOUT05 の出力は非アクティブ・レベルとなります。ただし，この動作ではデッドタイム可変領域パルスは出力されません。

④デッドタイム可変領域パルスを作成するため，②の U 相デューティ 100%設定から 1 周期後に，デッドタイム可変領域パルス幅となる値を CDR11 に設定します。
この例では，出力 PWM への影響を考慮し，デッドタイム可変領域に入るまで CDR11 の設定値を 0000_H に固定しています。

⑤デッドタイム可変領域パルスは，TOUT02 のエッジ・タイミングで CDR10 に設定されているディレイ時間経過後，CDR11 に設定された幅のパルスとして出力されます。

⑥⑤で出力されたパルスは，組み合わせ回路（PFN001）により U 相用（FN00A），UB 相用（FN01A）のデッドタイム可変領域パルスに変換されます。

⑦⑥で生成されたパルスは，論理演算回路（FN00，FN01）で，TOUT04，TOUT05 出力波形と合成され，TAUB0O10（U 相出力）及び TAUB0O11（UB 相出力）から出力されます。

備考　CDR04 へ U 相デューティ 100%設定と同時に CDR11 にデッドタイム可変領域パルス幅の値を設定した場合，*図 24.4.3-6「デッドタイム可変領域パルスがデッドタイム付き三角波 PWM 出力に影響する例」*で示す通り，機能仕様上①で示す TOUT04 から出力される最後の PWM に対し，②で示される分デッドタイム可変領域パルスが影響を与えてしまいます。
この影響をキャンセルするため，CDR11 の設定は 1 周期後としています。

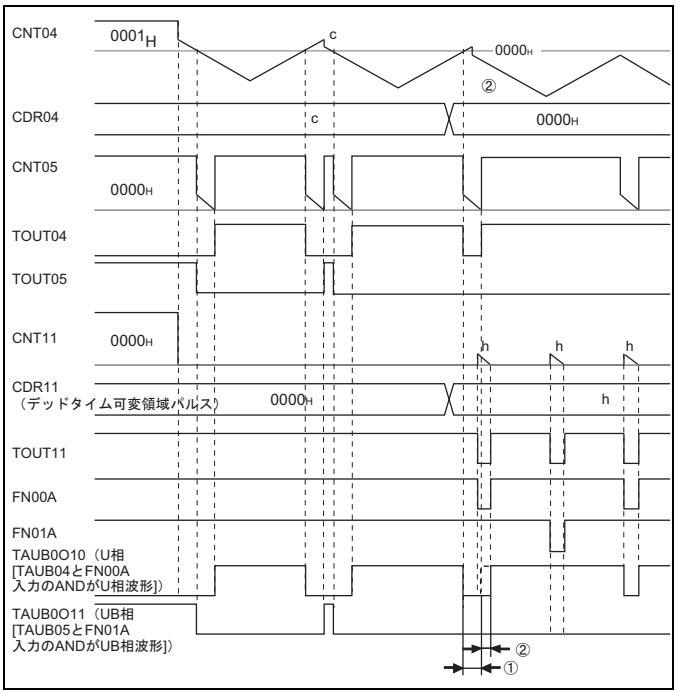


図 24.4.3-6　デッドタイム可変領域パルスがデッドタイム付き三角波 PWM 出力に影響する例

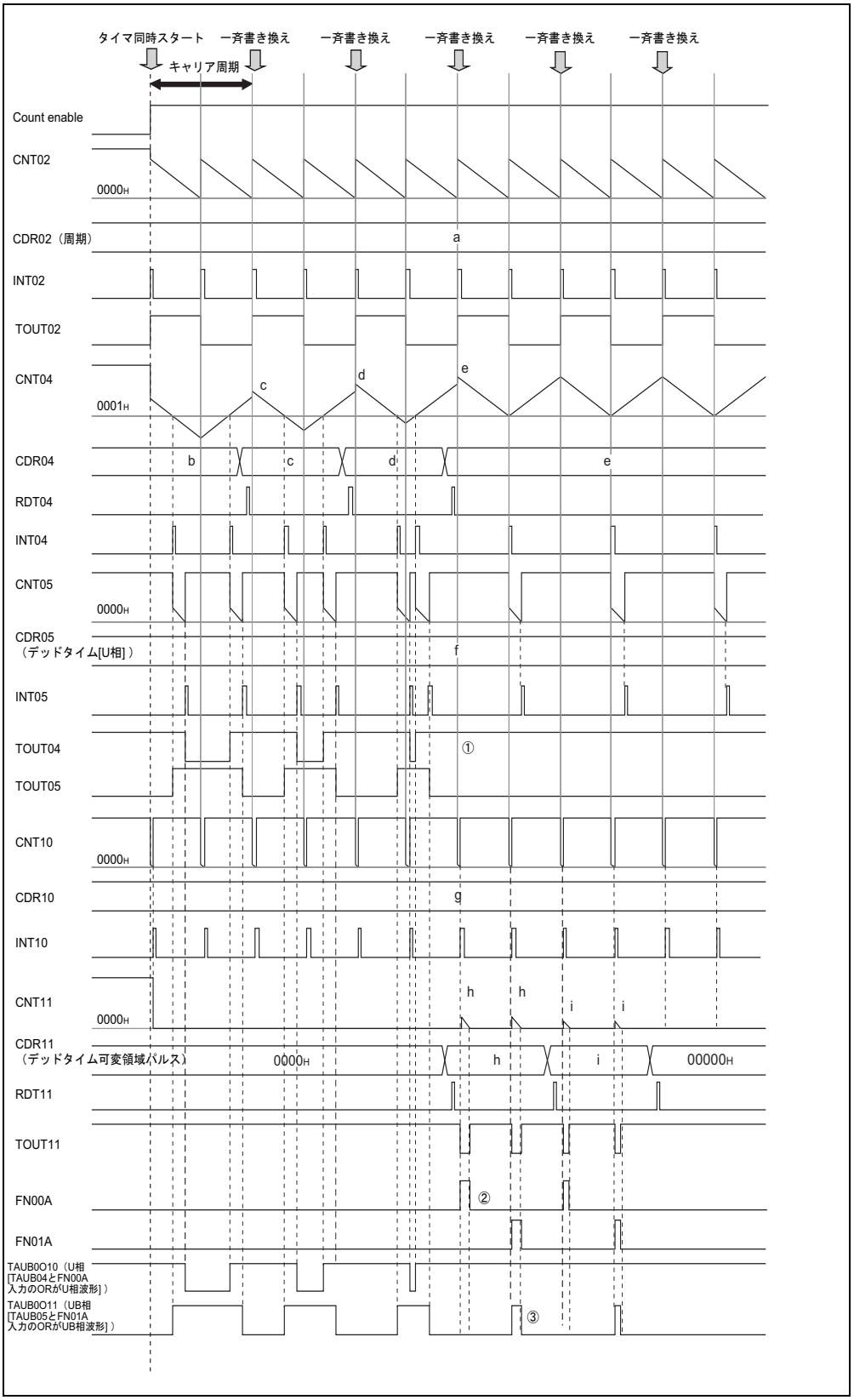


図 24.4.3-7　デッドタイム付き高精度三角波 PWM（U 相 100%，UB 相 0%）出力例（TOL4 = 1（アクティブ・ロー），TOL5 = 1（アクティブ・ロー）の場合）

*図24.4.3-7「デッドタイム付き高精度三角波PWM（U相100%，UB相0%）出力例（TOL4 = 1（アクティブ・ロー），TOL5 = 1（アクティブ・ロー）の場合）」*について説明します。デッドタイム付き三角波 PWM 出力機能の出力はアクティブ・ローです。

①タイマ動作開始からデッドタイム付き三角波 PWM 出力までのタイマ動作は，*図24.4.3-4「デッドタイム付き高精度三角波PWM（U相0%，UB相100%）出力例（TOL4 = 0（アクティブ・ハイ），TOL5 = 0（アクティブ・ハイ）の場合）」*と同じです。ただし，PWM 出力として TOUT04 と TOUT05 からはアクティブ・ローの PWM が出力されます。

②そのため，組み合わせ回路設定（PIC0REG20116,117, PIC0REG20118,119）を PWM 出力に合わせたアクティブ・ロー出力に設定します。これによりアクティブ・ロー用のデッドタイム可変領域パルスが U 相用（FN00A），UB 相用（FN01A）として出力されます。

③さらに，論理演算回路設定（PIC0REG20302-00，PIC0REG20306-04）も PWM 出力に合わせたアクティブ・ロー出力に設定します。②で生成されたパルスは，TOUT04，TOUT05 出力波形と合成され，TAUB0O10（U 相出力）及び TAUB0O11（UB 相出力）からアクティブ・ロー用 PWM として出力されます。

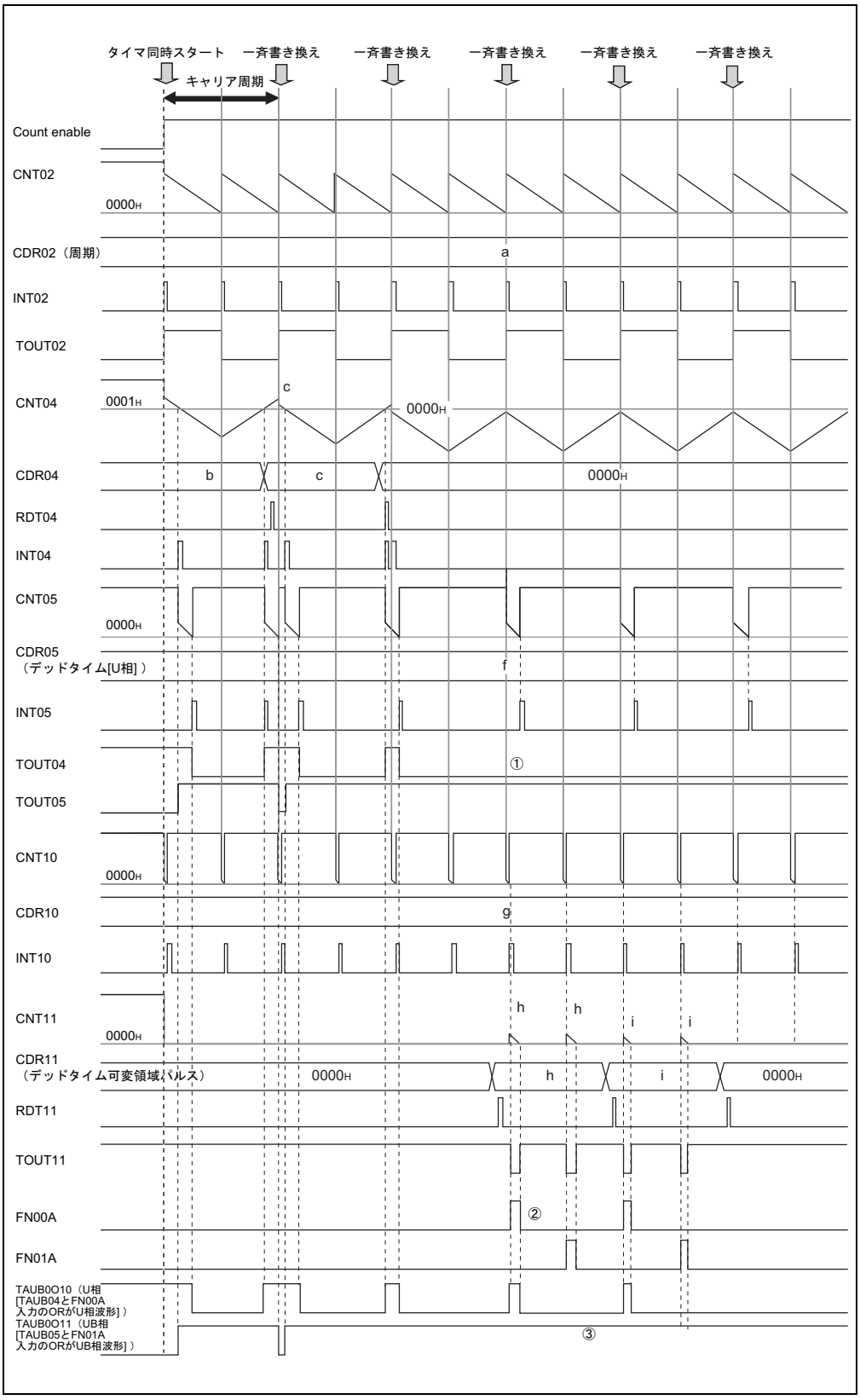


図 24.4.3-8　デッドタイム付き高精度三角波 PWM（U 相 0%，UB 相 100%）出力例（TOL4 = 0（アクティブ・ロー），TOL5 = 0（アクティブ・ロー）の場合）

*図24.4.3-8「デッドタイム付き高精度三角波PWM（U相0%，UB相100%）出力例（TOL4 = 0（アクティブ・ロー），TOL5 = 0（アクティブ・ロー）の場合）」*について説明します。デッドタイム付き三角波 PWM 出力機能の出力はアクティブ・ローです。

①タイマ動作開始からデッドタイム付き三角波 PWM 出力までのタイマ動作は*図24.4.3-5「デッドタイム付き高精度三角波PWM（U相100%，UB相0%）出力例（TOL4 = 0（アクティブ・ハイ），TOL5 = 0（アクティブ・ハイ）の場合）」*と同じです。ただし，PWM 出力としてアクティブ・ローの PWM が出力されます。

②そのため，組み合わせ回路設定（PIC0REG2016, 17，PIC0REG2018, 19）を PWM 出力に合わせたアクティブ・ロー出力に設定します。これによりアクティブ・ロー用のデッドタイム可変領域パルスが U 相用（FN00A），UB 相用（FN01A）として出力されます。

③さらに，論理演算回路設定（PIC0REG20302-00，PIC0REG20306-04）も PWM 出力に合わせたアクティブ・ロー出力に設定します。②で生成されたパルスは，TOUT04，TOUT05 出力波形と合成され，TAUB0O10（U 相出力）及び TAUB0O11（UB 相出力）からアクティブ・ロー用 PWM として出力されます。

注意 CDR04 へ U 相デューティ 100%設定と同時に CDR11 にデッドタイム可変領域パルス幅の値を設定した場合，機能仕様上 TOUT04 から出力される最後の PWM に影響を与えてしまいます。
この影響をキャンセルするため，CDR11 の設定は 1 周期後としています。
詳細は*図24.4.3-6「デッドタイム可変領域パルスがデッドタイム付き三角波PWM出力に影響する例」*を参照してください。

24.4.3.5 動作フロー

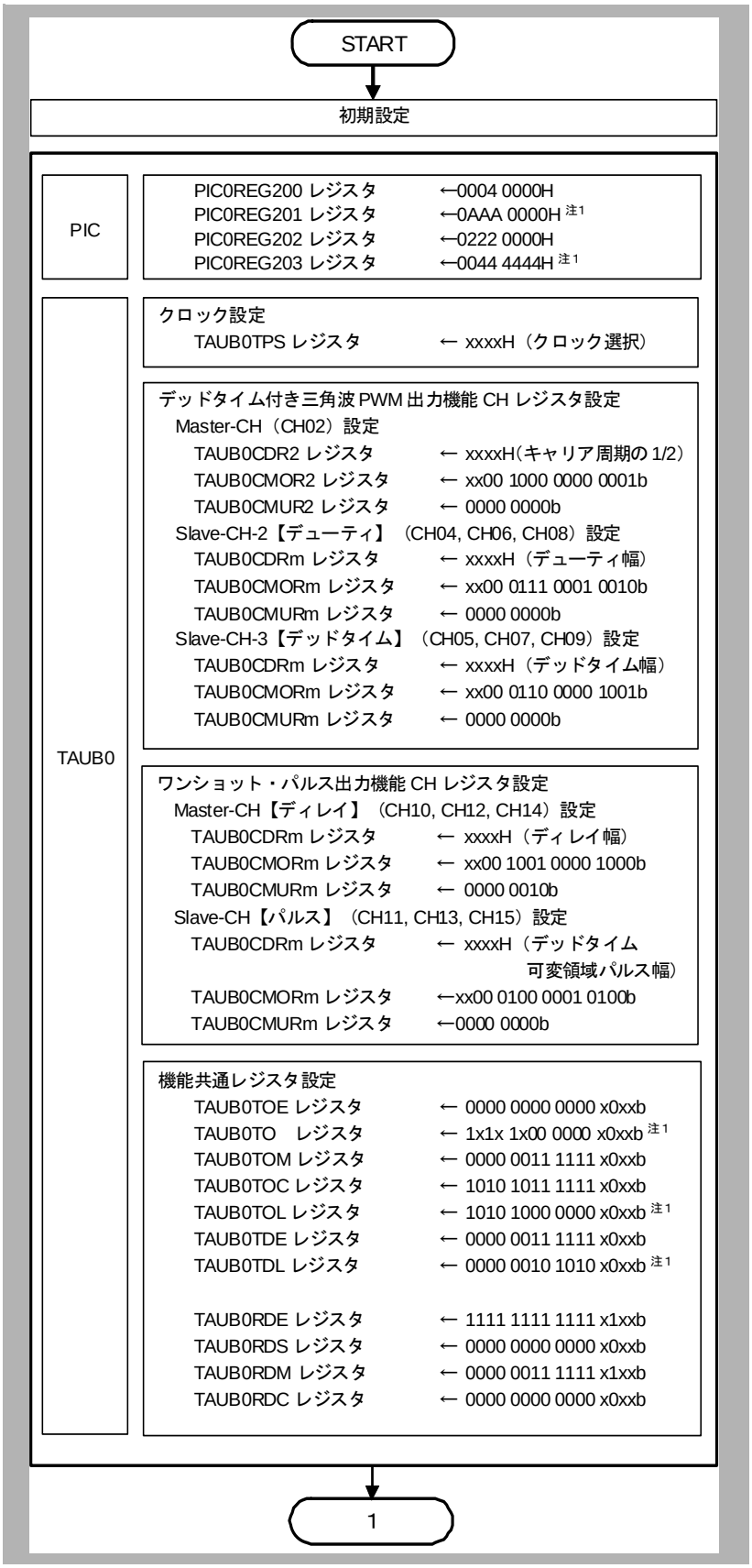


図 24.4.3-9 設定フロー（アクティブ・ハイの例）

注1 出力する PWM のアクティブ・レベルによって設定値を変更してください。

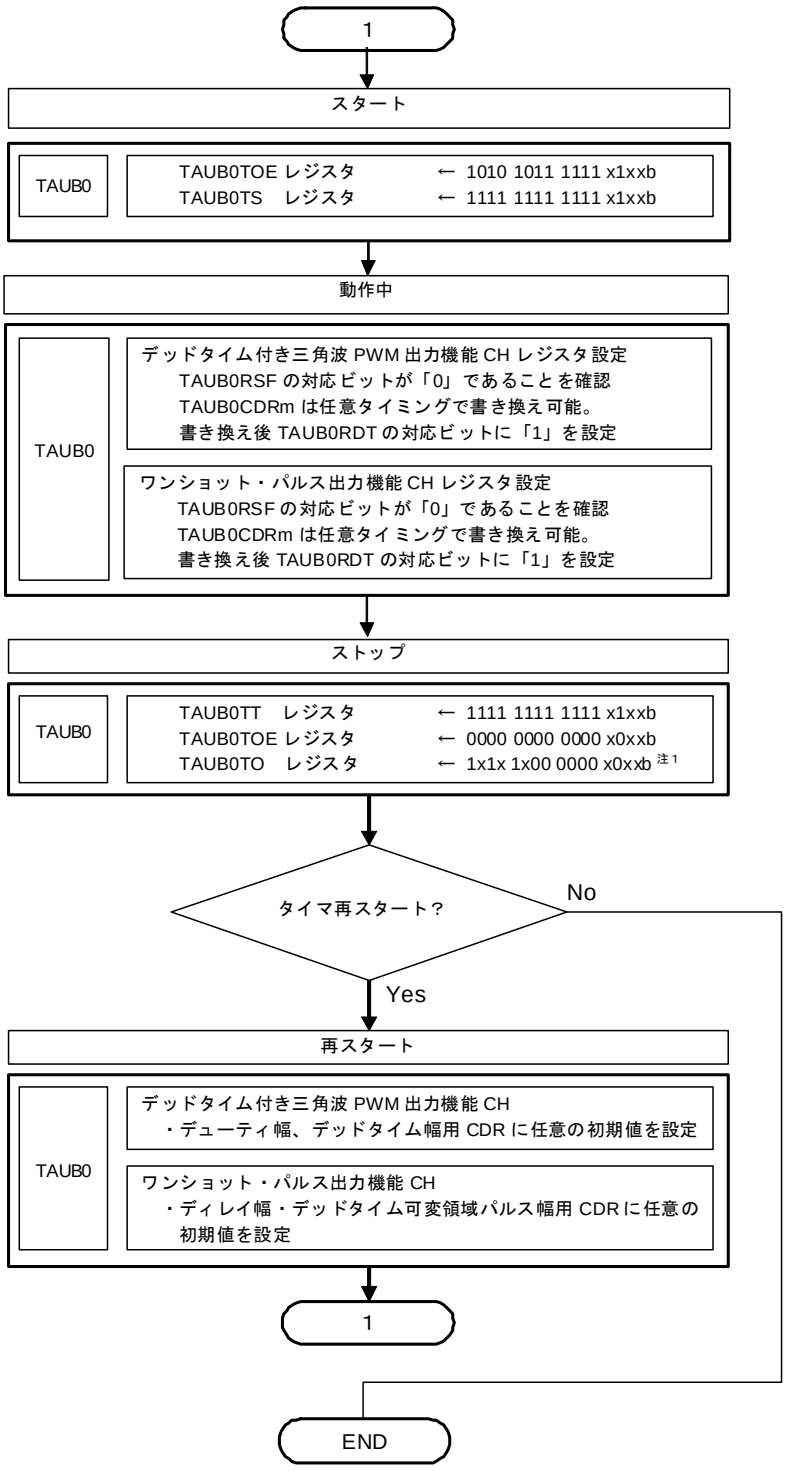


図 24.4.3-10 設定フロー（アクティブ・ハイの例）（続き）

注1 出力する PWM のアクティブ・レベルによって設定値を変更してください。

24.4.3.6 動作機能の設定例

各レジスタの設定値

表 24.4.3-8 TAUB0 設定（アクティブ・ハイの例）

TAUB0 CH02 関連（デッドタイム付き三角波 PWM 出力機能 Master-CH 注 1）

機能	レジスタ	ビット位置	ビット名	設定値	備考
TAUB0	TAUB0 CMOR2	15 14	CKS1 CKS0	任意 注 2	動作クロック設定
		13 12	CCS1 CCS0	0 0	
		11	MAS	1	
		10 9 8	STS2 STS1 STS0	0 0 0	
		7 6	COS1 COS0	0 0	
		5		0	
		4	MD4	0	
		3	MD3	0	
		2	MD2	0	
		1	MD1	0	
		0	MD0	1	1: 動作開始時に，INTn を出力し，TOUTn もトグル動作を行う
	TAUB0 CMUR2	1 0	TIS1 TIS0	0 0	固定

注 1 Master-CH および Slave-CH は TAUB のデッドタイム付き三角波 PWM 出力機能で定義されている名称です。詳細については TAUB の章を参照してください。

注 2 動作クロックは，Master-CH と Slave-CH で同一設定にする必要があります。

備考 デッドタイム付き三角波 PWM 出力機能の Master-CH の TAUB0CMORm は，CKS（動作クロック選択）と MD0 のみ任意に設定できますが，他の制御ビットは固定値となります。詳細は TAUB の章を参照してください。

本 PIC 機能実現には，MD0 = 1 を設定してください。

TAUB0 CH04, 06, 08 関連（デッドタイム付き三角波 PWM 出力機能 Slave-CH2 注1）（m = 4, 6, 8）

機能	レジスタ	ビット位置	ビット名	設定値	備考
TAUB0	TAUB0 CMORm	15 14	CKS1 CKS0	任意注2	動作クロック設定
		13 12	CCS1 CCS0	0 0	
		11	MAS	0	
		10 9 8	STS2 STS1 STS0	1 1 1	
		7 6	COS1 COS0	0 0	
		5		0	
		4	MD4	1	
		3	MD3	0	
		2	MD2	0	
		1	MD1	1	
		0	MD0	0	
	TAUB0 CMURm	1 0	TIS1 TIS0	0 0	

TAUB0 CH05, 07, 09 関連（デッドタイム付き三角波 PWM 出力機能 Slave-CH3 注1）（m = 5, 7, 9）

機能	レジスタ	ビット位置	ビット名	設定値	備考
TAUB0	TAUB0 CMORm	15 14	CKS1 CKS0	任意注2	動作クロック設定
		13 12	CCS1 CCS0	0 0	
		11	MAS	0	
		10 9 8	STS2 STS1 STS0	1 1 0	
		7 6	COS1 COS0	0 0	
		5		0	
		4	MD4	0	
		3	MD3	1	
		2	MD2	0	
		1	MD1	0	
		0	MD0	1	
	TAUB0 CMURm	1 0	TIS1 TIS0	0 0	

注1 Master-CH および Slave-CH は TAUB のデッドタイム付き三角波 PWM 出力機能で定義されている名称です。詳細については TAUB の章を参照してください。

注2 動作クロックは，Master-CH と Slave-CH で同一設定にする必要があります。

備考 デッドタイム付き三角波 PWM 出力機能の Slave-CH2, Slave-CH3 の TAUB0CMORm は，CKS（動作クロック選択）のみ任意に設定できますが，他の制御ビットは固定値となります。詳細は TAUB の章を参照してください。

TAUB0 CH10, 12, 14 関連（ワンショット・パルス出力機能 Master-CH[注1]）（m = 10, 12, 14）

機能	レジスタ	ビット位置	ビット名	設定値	備考
TAUB0	TAUB0 CMORm	15	CKS1	任意[注2]	動作クロック設定
		14	CKS0		
		13	CCS1	0	
		12	CCS0	0	
		11	MAS	1	
		10	STS2	0	
		9	STS1	0	
		8	STS0	1	
		7	COS1	0	
		6	COS0	0	
		5		0	
		4	MD4	0	
		3	MD3	1	
		2	MD2	0	
		1	MD1	0	
		0	MD0	0	カウント中のスタート・トリガは無効
	TAUB0 CMURm	1	TIS1	1	両エッジを有効エッジとして検出
		0	TIS0	0	

TAUB0 CH11, 13, 15 関連（ワンショット・パルス出力機能 Slave-CH[注1]）（m = 11, 13, 15）

機能	レジスタ	ビット位置	ビット名	設定値	備考
TAUB0	TAUB0 CMORm	15	CKS1	任意[注2]	動作クロック設定
		14	CKS0		
		13	CCS1	0	
		12	CCS0	0	
		11	MAS	0	
		10	STS2	1	
		9	STS1	0	
		8	STS0	0	
		7	COS1	0	
		6	COS0	0	
		5		0	
		4	MD4	1	
		3	MD3	0	
		2	MD2	1	
		1	MD1	0	
		0	MD0	0	カウント中のスタート・トリガは無効
	TAUB0 CMURm	1	TIS1	0	
		0	TIS0	0	

注1 Master-CH および Slave CH は TAUB のワンショット・パルス出力機能で定義されている名称です。詳細については TAUB の章を参照してください。

注2 動作クロックは，Master-CH と Slave-CH で同一設定にする必要があります。またデッドタイム付き三角波 PWM 出力機能の Master-CH（CH02）と同一のクロック設定にしてください。

備考 ワンショット・パルス出力機能の TAUB0CMORm は，CKS（動作クロック選択）と MD0 のみ任意に設定できますが，他の制御ビットは固定値となります。詳細は TAUB の章を参照してください。

本機能では，MD0 = 0 に設定してください。

TAUB0 CH 共通

機能	レジスタ	ビット位置	ビット名	設定値	備考
TAUB0	TAUB0TOE	15	TOE15	0 1	タイマ動作停止時 タイマ動作開始時
		14	TOE14	0	
		13	TOE13	0 1	タイマ動作停止時 タイマ動作開始時
		12	TOE12	0	
		11	TOE11	0 1	タイマ動作停止時 タイマ動作開始時
		10	TOE10	0	
		9 - 4	TOE09- TOE04	0 1	タイマ動作停止時 タイマ動作開始時
		3	TOE03	任意	
		2	TOE02	0 1	タイマ動作停止時 タイマ動作開始時
		1 0	TOE01 TOE00	任意	
	TAUB0TO	15	TO15	1 注1	TOUT15 に “High” を出力。
		14	TO14	任意	
		13	TO13	1 注1	TOUT13 に “High” を出力。
		12	TO12	任意	
		11	TO11	1 注1	TOUT11 に “High” を出力。
		10	TO10	任意	
		9 - 4	TO09-TO04	0 注1	TOUT09 ～ TOUT04 端子に “Low” を出力。
		3	TO03	任意	
		2	TO02	0	TOUT02 端子に “Low” を出力。
		1 0	TO01 TO00	任意	
	TAUB0TOM	15 - 10	TOM15- TOM10	0	単体動作モード
		9 - 4	TOM09- TOM04	1	連動動作モード
		3	TOM03	任意	
		2	TOM02	0	単体動作モード
		1 0	TOM01 TOM00	任意	
	TAUB0TOC	15	TOC15	1	セット／リセット・モード
		14	TOC14	0	
		13	TOC13	1	セット／リセット・モード
		12	TOC12	0	
		11	TOC11	1	セット／リセット・モード
		10	TOC10	0	
		9 - 4	TOC09- TOC04	1	連動動作モード 2
		3	TOC03	任意	
		2	TOC02	0	トグル・モード
		1 0	TOC01 TOC00	任意	

注1 使用システムによって設定を変更してください。

TAUB0 CH 共通（続き）

機能	レジスタ	ビット位置	ビット名	設定値	備考
TAUB0	TAUB0TOL	15	TOL15	1 注1	逆論理出力（アクティブ・ロー）
		14	TOL14	任意	
		13	TOL13	1 注1	逆論理出力（アクティブ・ロー）
		12	TOL14	任意	
		11	TOL11	1 注1	逆論理出力（アクティブ・ロー）
		10	TOL10	任意	
		9 - 4	TOL09-TOL04	0 注1	正論理出力（アクティブ・ハイ）
		3	TOL03	任意	
		2	TOL02	0	正論理出力（アクティブ・ハイ）
		1 0	TOL01 TOL00	任意	
	TAUB0TDE	15 - 10	TDE15-TDE10	0	デッドタイム制御停止
		9 - 4	TDE09-TDE04	1	デッドタイム制御可能注2
		3	TDE03	任意	
		2	TDE02	0	デッドタイム制御停止
		1 0	TDE01 TDE00	任意	
	TAUB0TDL	15 - 10	TDL15-TDL10	0	デッドタイム制御停止のため無効
		9	TDL09	1 注1	W 相逆相として動作
		8	TDL08	0 注1	W 相正相として動作
		7	TDL07	1 注1	V 相逆相として動作
		6	TDL06	0 注1	V 相正相として動作
		5	TDL05	1 注1	U 相逆相として動作
		4	TDL04	0 注1	U 相正相として動作
		3	TDL03	任意	
		2	TDL02	0	デッドタイム制御停止のため無効
		1 0	TDL01 TDL00	任意	

注1 使用システムによって設定を変更してください。

注2 デッドタイム制御行うため，偶数 CH と奇数 CH を対とした正逆相の波形出力制御を行います。詳細は TAUB の章を参照してください。

TAUB0 CH 共通（続き）

機能	レジスタ	ビット位置	ビット名	設定値	備考
TAUB0	TAUB0RDE	15 - 4	RDE15-RDE04	1	一斉書き換え制御許可
		3	RDE03	任意	
		2	RDE02	1	一斉書き換え制御許可
		1 0	RDE01 RDE00	任意	
	TAUB0RDS	15 - 4	RDS15-RDS04	0	上位別 CH により，一斉書き換えを制御しない
		3	RDS03	任意	
		2	RDS02	0	上位別 CH により，一斉書き換えを制御しない
		1 0	RDS01 RDS00	任意	
	TAUB0RDM	15 - 10	RDM15-RDM10	0	Master-CH のスタート・タイミングで一斉書き換え制御する
		9 - 4	RDM09 - RDM04	1	三角波周期の Master-CH のスタート・タイミングで一斉書き換え制御する
		3	RDM03	任意	
		2	RDM02	1	三角波周期の Master-CH のスタート・タイミングで一斉書き換え制御する
		1 0	RDM01 RDM00	任意	
	TAUB0RDC	15 - 4	RDC15-RDC04	0	一斉書き換えトリガ生成 CH として動作しない
		3	RDC03	任意	
		2	RDC02	0	一斉書き換えトリガ生成 CH として動作しない
		1 0	RDC01 RDC00	任意	

表 24.4.3-9 PIC の設定（アクティブ・ハイの例）

機能	レジスタ	ビット位置	ビット名	設定値	備考
PIC	PIC0REG200	18	PIC0REG20018	1	TAUB0CH02 の TOUT を選択
	PIC0REG201	27	PIC0REG20127	1	W 相逆相アクティブ・ハイ組合せ回路出力
		26	PIC0REG20126	0	
		25	PIC0REG20125	1	W 相正相アクティブ・ハイ組合せ回路出力
		24	PIC0REG20124	0	
		23	PIC0REG20123	1	V 相逆相アクティブ・ハイ組合せ回路出力
		22	PIC0REG20122	0	
		21	PIC0REG20121	1	V 相正相アクティブ・ハイ組合せ回路出力
		20	PIC0REG20120	0	
		19	PIC0REG20119	1	U 相逆相アクティブ・ハイ組合せ回路出力
		18	PIC0REG20118	0	
		17	PIC0REG20117	1	U 相正相アクティブ・ハイ組合せ回路出力
		16	PIC0REG20116	0	
	PIC0REG202	25	PIC0REG20225	1	PIC0REG20018 ビットで選択した入力を選択
		24	PIC0REG20224	0	
		21	PIC0REG20221	1	PIC0REG20018 ビットで選択した入力を選択
		20	PIC0REG20220	0	
		17	PIC0REG20217	1	PIC0REG20018 ビットで選択した入力を選択
		16	PIC0REG20216	0	
	PIC0REG203	22	PIC0REG20322	1	W 相逆相アクティブ・ハイ論理演算回路出力
		21	PIC0REG20321	0	
		20	PIC0REG20320	0	
		18	PIC0REG20318	1	W 相正相アクティブ・ハイ論理演算回路出力
		17	PIC0REG20317	0	
		16	PIC0REG20316	0	
		14	PIC0REG20314	1	V 相逆相アクティブ・ハイ論理演算回路出力
		13	PIC0REG20313	0	
		12	PIC0REG20312	0	
		10	PIC0REG20310	1	V 相正相アクティブ・ハイ論理演算回路出力
		9	PIC0REG20309	0	
		8	PIC0REG20308	0	
		6	PIC0REG20306	1	U 相逆相アクティブ・ハイ論理演算回路出力
		5	PIC0REG20305	0	
		4	PIC0REG20304	0	
		2	PIC0REG20302	1	U 相正相アクティブ・ハイ論理演算回路出力
		1	PIC0REG20301	0	
		0	PIC0REG20300	0	

24.4.4 トリガ・パルス幅測定機能

24.4.4.1 機能概要

ENCA0 から出力されるトリガを TAUJ0, TAUB0 に入力し，トリガの周期を測定することが可能です。

24.4.4.2 構成

備考 以下の説明に使用している信号名は略称です。実際の信号名は以下のように読み替えてください。

INTm → TAUB0INTm or TAUJ0INTm

TINm → TAUB0TTINm or TAUJ0TTINm

TOUTm → TAUB0TTOUTm or TAUJ0TTOUTm

CDRm → TAUB0CDRm or TAUJ0CDRm

CNTm → TAUB0CNTm or TAUJ0CNTm

構成＼タイマ機能	ENCA	TAUB	TAUJ
タイマ構成	ENCA0	TAUB0	TAUJ0

- TAUJ/TAUB0　各 CH 機能設定

TAU	CH	機能名	M/S 注	パルス幅測定対象トリガ
TAUJ0	00	TINm 入力パルス間隔測定機能	S	ENCAT0IEC
	01	TINm 入力パルス間隔測定機能	S	ENCAT0IEC
TAUB0	00	TINm 入力パルス間隔測定機能	S	ENCAT0EQ0 or ENCAT0EQ1
	01	TINm 入力パルス間隔測定機能	S	ENCAT0EQ1
	02	TINm 入力パルス間隔測定機能	S	ENCAT0EQ0

注 M = マスタ・チャネル S = スレーブ・チャネル

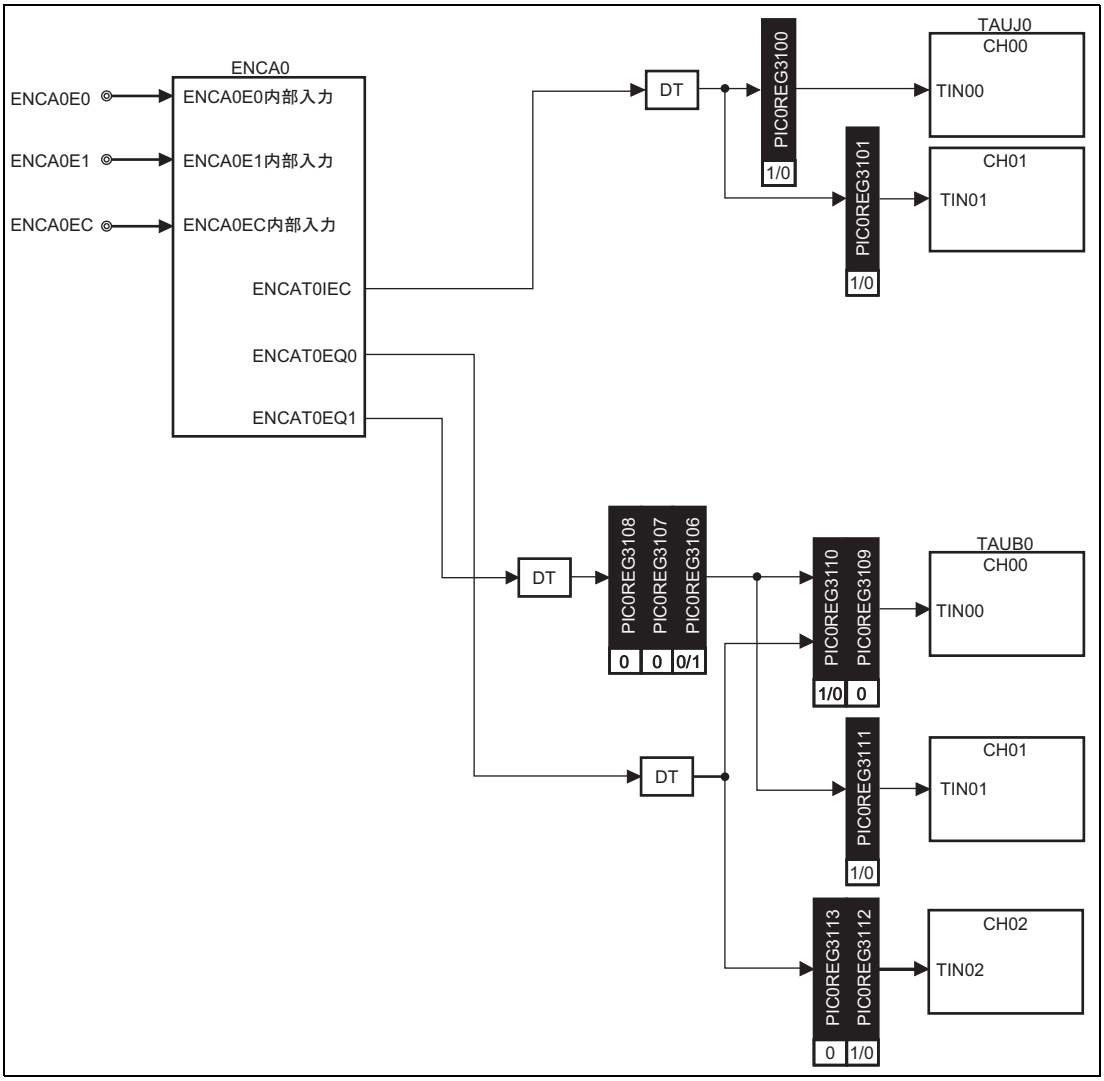


図 24.4.4-1 ブロック図

24.4.4.3 レジスタ

(1) タイマ入出力制御レジスタ 30（PIC0REG30）

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FF81 C0E8$_H$

初期値 0000 0000$_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R/W	R	R

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R	R	R/W	R/W	R/W	R	R

備考 PIC0REG30 レジスタのビット 18，4-2 は，“0” を設定してください。

(2) タイマ入出力制御レジスタ 31（PIC0REG31）

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FF81 C0EC$_H$

初期値 0000 0000$_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8
0	0	PIC0REG3113	PIC0REG3112	PIC0REG3111	PIC0REG3110	PIC0REG3109	PIC0REG3108
R	R	R/W	R/W	R/W	R/W	R/W	R/W

7	6	5	4	3	2	1	0
PIC0REG3107	PIC0REG3106	0	0	0	0	PIC0REG3101	PIC0REG3100
R/W	R/W	R	R	R	R	R/W	R/W

表 24.4.4-1 PIC0REG31 の内容 (1/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>13
12</td><td>PIC0REG3113
PIC0REG3112</td><td>TAUB0 CH02 の TIN 入力信号を選択します。
<table>
<tr><th>PIC0REG3113</th><th>PIC0REG3112</th><th>入力信号</th></tr>
<tr><td>0</td><td>0</td><td>TIN 端子入力（TAUB0 CH02 をトリガ幅測定に使用しない場合）</td></tr>
<tr><td>0</td><td>1</td><td>ENCAT0EQ0 の DT 出力信号</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>11</td><td>PIC0REG3111</td><td>TAUB0 CH01 の TIN 入力信号を選択します。
0：TIN 端子入力（TAUB0 CH01 をトリガ幅測定に使用しない場合）
1：PIC0REG3106-08 で選択した信号（ENCAT0EQ1 信号測定時）</td></tr>
<tr><td>10
9</td><td>PIC0REG3110
PIC0REG3109</td><td>TAUB0 CH00 の TIN 入力信号を選択します。
<table>
<tr><th>PIC0REG3110</th><th>PIC0REG3109</th><th>入力信号</th></tr>
<tr><td>0</td><td>0</td><td>PIC0REG3106-08 で選択した信号（ENCAT0EQ1 信号測定時）</td></tr>
<tr><td>1</td><td>0</td><td>ENCAT0EQ0 の DT 出力信号</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
</table>

表 24.4.4-1 PIC0REG31 の内容 (2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>8
7
6</td><td>PIC0REG3108
PIC0REG3107
PIC0REG3106</td><td>TAUB0 CH00, 01 の TIN 入力信号を選択します。
<table>
<tr><th>PIC0REG3108</th><th>PIC0REG3107</th><th>PIC0REG3106</th><th>入力信号</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>TIN 端子入力
（TAUB0 CH00, 01 をトリガ幅測定に使用しない場合）</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>ENCAT0EQ1 の DT 出力信号</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>1</td><td>PIC0REG3101</td><td>TAUJ0 CH01 の TIN 入力信号を選択します。
0：TIN 端子入力（TAUJ0 CH01 をトリガ幅測定に使用しない場合）
1：ENCAT0IEC の DT 出力信号を選択</td></tr>
<tr><td>0</td><td>PIC0REG3100</td><td>TAUJ0 CH00 の TIN 入力信号を選択します
0 ：TIN 端子入力（TAUJ0 CH00 をトリガ幅測定に使用しない場合）
1：ENCAT0IEC の DT 出力信号を選択</td></tr>
</table>

備考 PIC0REG31 レジスタに “0” を定義しているビットは，他のタイマ接続機能で定義していることがあります。その場合，該当する PIC 接続機能のビット定義を適用してください。

(3) DT 初期化レジスタ 01（PIC0INI01）

アクセス 8 ビット単位でリード／ライト可能です。リード時は，”0” が読めます。

アドレス FFFF DB24$_H$

初期値 00$_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	PIC0INI0102	PIC0INI0101	PIC0INI0100
R	R	R	R	R	R/W	R/W	R/W

表 24.4.4-2 PIC0INI01 の内容

ビット位置	ビット名	機能
2-0	PIC0INI010[2-0]	DT 回路を初期化します。 0: 無効 1: 初期化

24.4.4.4 動作例

ENCA0 の割込みトリガ信号（ENCAT0IEC，ENCAT0EQ0，ENCAT0EQ1）と，TAUB0，TAUJ0 の次の機能の組み合わせにより実現します。

- TINm 入力パルス間隔測定機能

また，TINm に入力する割込みトリガ信号をレベル変化のトグル信号へ変換するため，PIC 内の以下機能を使用します。

- DT 回路

トリガ・パルス幅測定機能は，ENCA0 から出力される割込みトリガ信号の間隔を TAUB0,TAUJ0 の TINm 入力パルス間隔測定機能により測定できる機能を実現します。

(1) TINm 入力パルス間隔測定機能

TAUB0,TAUJ0 の TINm の有効エッジを検出すると CNTm の値を CDRm にキャプチャし，CNTm をクリアします。

注意 本機能では，TINm で検出する有効エッジを両エッジ（立ち上がり，立ち下がり）とする設定にしてください。

TAUB0，TAUJ0 機能の詳細については，各章を参照してください。

(2) DT 回路

ENCA0 が出力する割込みトリガ信号をレベル変化のトグル信号に変換します。

*図 24.4.6-2「制御方式 1 の動作例：アップ・カウント時（n = 0）」*に示す通り，入力である割込みトリガ信号の発生毎に出力信号をトグルさせます。

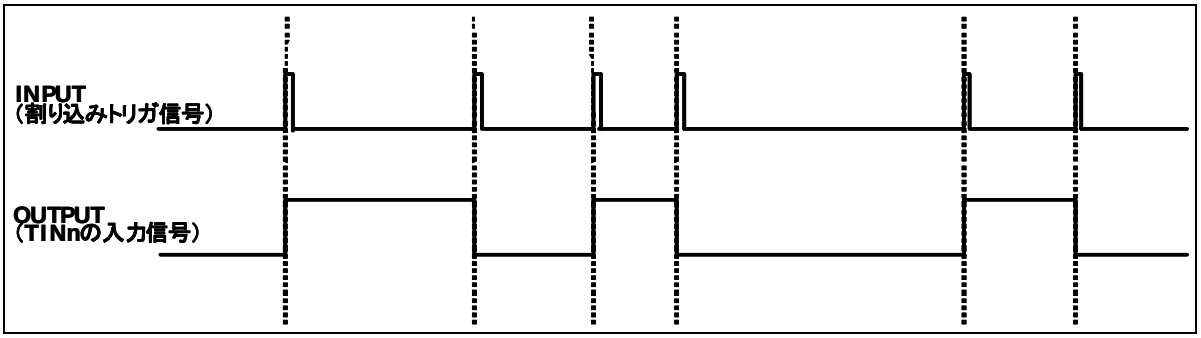


図 24.4.4-2 DT 回路動作

PIC は，ENCA0 からの割込みトリガ信号の発生間隔を測定するための TAUB0, TAUJ0 への入力信号変換及び信号接続を提供します。

次頁にトリガ・パルス幅測定機能のタイミング図を示します。

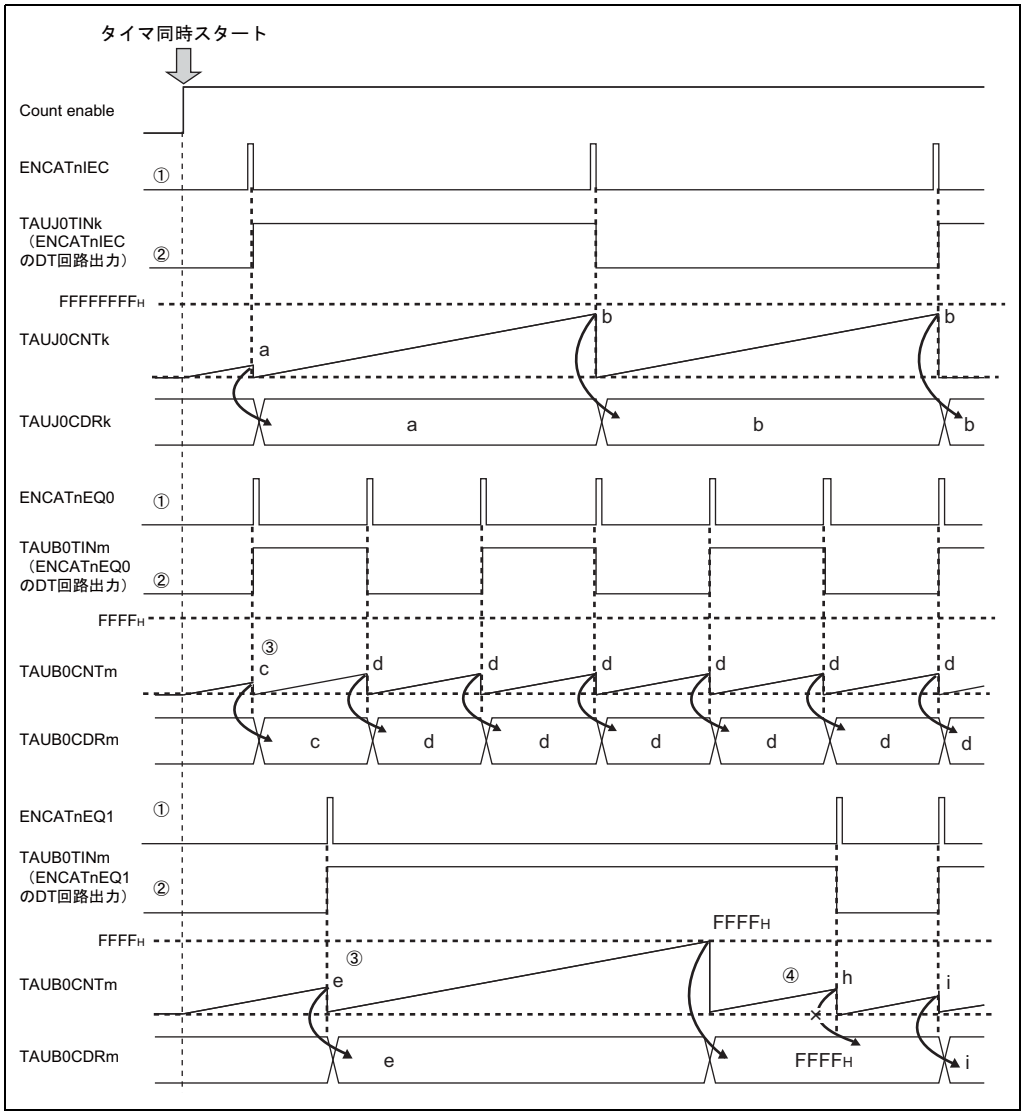


図 24.4.4-3 トリガ・パルス幅測定機能の動作例（m = 0-2, k = 0, 1）

① ENCA0 は次の割込みトリガ信号を出力します。

- ENCAT0IEC（ENCA0EC 入力によりタイマ・カウンタ値がクリアされた時出力される割込みトリガ信号）
- ENCAT0EQ0（タイマ・カウンタ値とコンペア・レジスタ 0 の値が一致したタイミングで出力される割込みトリガ信号）
- ENCAT0EQ1 （タイマ・カウンタ値とコンペア・レジスタ 1 の値が一致したタイミングで出力される割込みトリガ信号）

② ENCA0 から出力された各割込みトリガ信号は DT 回路によりレベル変化のトグル信号に変換し TAUB0 及び TAUJ0 の TINm へ出力します

③ TAUB0 及び TAUJ0 の TINm 有効エッジを両エッジ設定とすることにより，TINm のトグル・タイミングで CNTm 値を CDRm へ取り込みます。同時に CNTm を 0000_H にクリアする動作を繰り返します。

④オーバフロー時は $FFFF_H$（TAUJ の場合は，$FFFFFFFF_H$）をキャプチャし，その後の最初のトリガではカウント値をキャプチャしません。

以上の動作により，トリガの周期を測定できます。

以下に割込みトリガ信号と計測タイマの組み合わせ及びその経路を設定するPIC レジスタ・ビットの一覧を示します。計測する割込みトリガ信号によって計測タイマと信号経路を設定 PIC レジスタ・ビットにより適宜設定してください。

表 24.4.4-3 割込みトリガ信号と計測タイマの組み合わせ

エンコーダ・タイマ	割込みトリガ信号	計測タイマ CH	PIC レジスタ bit
ENCA0	ENCAT0IEC	TAUJ0-CH00	PIC0REG3100
		TAUJ0-CH01	PIC0REG3101
	ENCAT0EQ0	TAUB0-CH00	PIC0REG3109，PIC0REG3110
		TAUB0-CH02	PIC0REG3112，PIC0REG3113
	ENCAT0EQ1	TAUB0-CH00	PIC0REG3106，PIC0REG3107 PIC0REG3108，PIC0REG3109 PIC0REG3110
		TAUB0-CH01	PIC0REG3106，PIC0REG3107 PIC0REG3108，PIC0REG3111

24.4.4.5 動作フロー

本節に示す設定フローは，以下の組み合わせすべてでパルス間隔を計測する設定フローを記載しています。「注」と記載のあるレジスタについては測定したい割込みトリガ信号と測定に使用するタイマの組み合わせによって適宜設定を変更してください。割込みトリガ信号と測定に使用するタイマの組わせについては*図24.4.4-3「割込みトリガ信号と計測タイマの組み合わせ」*を参照してください。

エンコーダ・タイマ	割込みトリガ信号	計測タイマ CH
ENCA0	ENCAT0IEC	TAUJ0-CH00, TAUJ0-CH01
	ENCAT0EQ0	TAUB0-CH00, TAUB0-CH02
	ENCAT0EQ1	TAUB0-CH01

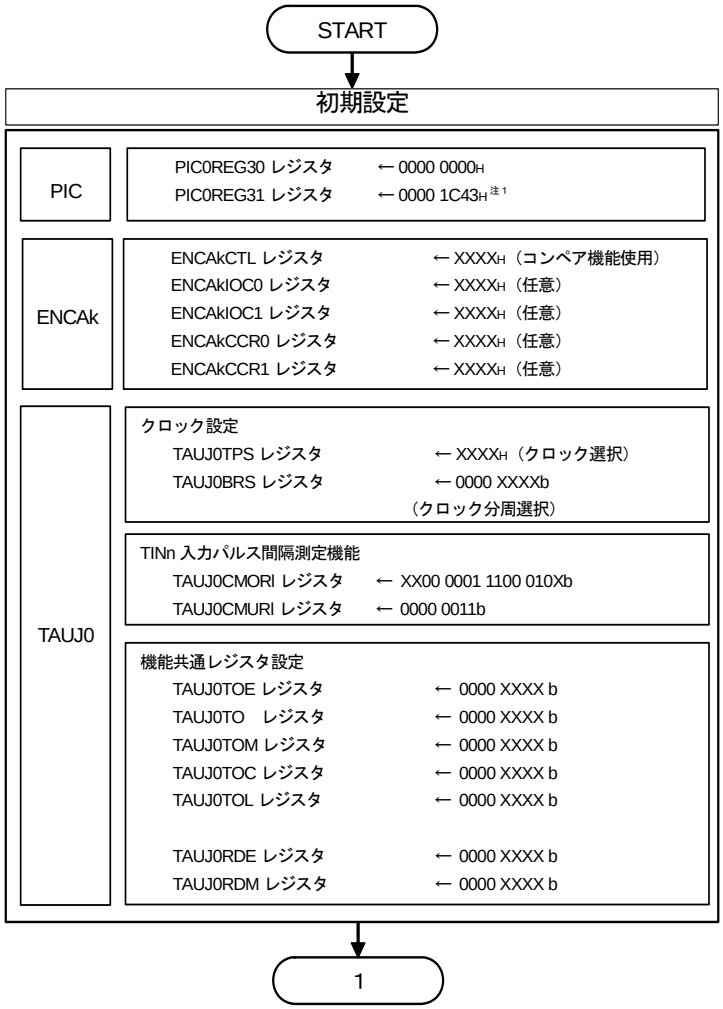
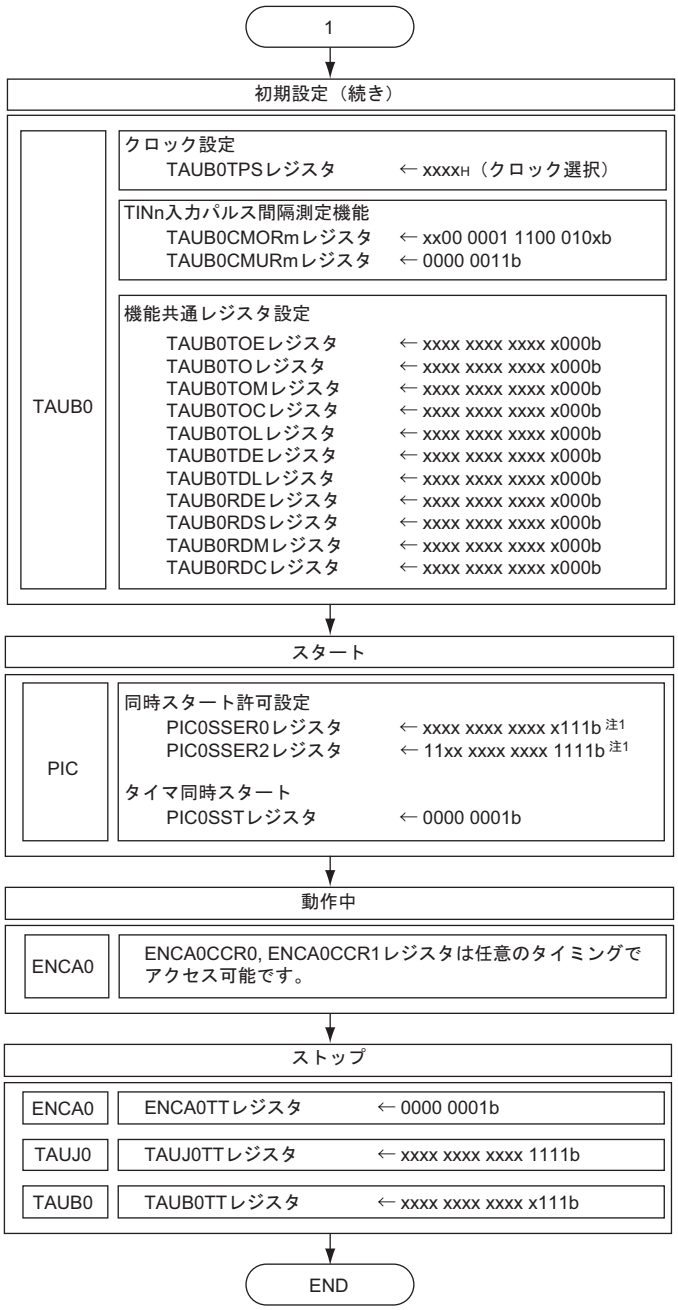


図 24.4.4-4 設定フロー（k = 0, l = 0, 1）

注1 測定したい割込みトリガ信号と測定に使用するタイマの組み合わせによって適宜設定を変更してください。



注1　測定したい割込みトリガ信号と測定に使用するタイマの組み合わせによって適宜設定を変更してください。

図 24.4.4-5　設定フロー（続き）（m = 0-2）

24.4.4.6 動作機能の設定例

レジスタ設定値

本節に示す設定例は，以下の組み合わせすべてでパルス間隔を計測する設定を記載しています。割込みトリガ信号と測定に使用するタイマの組わせについては表 24.4.6-2「PIC0REG50 の内容」を参照してください。

エンコーダ・タイマ	割込みトリガ信号	計測タイマ CH
ENCA0	ENCAT0IEC	TAUJ0-CH00, TAUJ0-CH01
	ENCAT0EQ0	TAUB0-CH00, TAUB0-CH02
	ENCAT0EQ1	TAUB0-CH01

表 24.4.4-4 ENCA0 設定

機能	レジスタ	ビット位置	ビット名	設定値	備考
ENCA0	ENCA0CTL	15	ENCA0CME	任意	コンペアー致割込み検出マスク許可／禁止を選択
		14	ENCA0MCS	任意	コンペアー致割込み検出マスク解除トリガ選択
		13 - 10		0	0 固定
		9	ENCA0CRM1	任意	ENCA0CCR1 レジスタの用途を選択
		8	ENCA0CRM0	任意	ENCA0CCR0 レジスタの用途を選択
		7	ENCA0CTS	任意	ENCA0CCR1 のキャプチャ動作のトリガ選択
		6, 5		0	0 固定
		4	ENCA0LDE	任意	アンダーフロー発生時のリロード許可／禁止を選択
		3	ENCA0ECM1	任意	ENCA0CCR1 のコンペアー致時のカウンタ・クリアの許可／禁止を選択
		2	ENCA0ECM0	任意	ENCA0CCR0 のコンペアー致時のカウンタ・クリアの許可／禁止を選択
		1 0	ENCA0UDS1, ENCA0UDS0	任意	ENCA0E0 および ENCA0E1 によるカウンタ・アップ / ダウン制御を選択
	ENCA0IOC0	7 - 4		0	0 固定
		3 2	ENCA0TIS3, ENCA0TIS2	任意	キャプチャ・トリガ 1（ENCA0I1）の有効エッジを選択
		1 0	ENCA0TIS3, ENCA0TIS2	任意	キャプチャ・トリガ 0（ENCA0I0）の有効エッジを選択
	ENCA0IOC1	7	ENCA0SCE	任意	エンコーダ特殊クリア許可を選択
		6	ENCA0ZCL	任意	エンコーダ特殊クリアの Z 相のクリア・レベルを選択
		5	ENCA0BCL	任意	エンコーダ特殊クリアの B 相のクリア・レベルを選択
		4	ENCA0ACL	任意	エンコーダ特殊クリアの A 相のクリア・レベルを選択
		3 2	ENCA0ECS1 ENCA0ECS0	任意	エンコーダ・クリア入力（Z 相）エッジを選択
		1 0	ENCA0EIS1 ENCA0EIS0	任意	エンコーダ入力（A, B 相）エッジを選択

表 24.4.4-5 TAUJ0 の設定（k = 0, 1）

TAUJ0（TINm 入力パルス間隔測定機能）

機能	レジスタ	ビット位置	ビット名	設定値	備考
TAUJ0	TAUJ0 CMORk	15 14	CKS1 CKS0	任意	動作クロック設定
		13 12	CCS1 CCS0	0 0	
		11	MAS	1	
		10 9 8	STS2 STS1 STS0	0 0 0	
		7 6	COS1 COS0	1 1	
		5		0	0 固定
		4	MD4	0	
		3	MD3	0	
		2	MD2	1	
		1	MD1	0	
		0	MD0	任意	
	TAUJ0 CMURk	1 0	TIS1 TIS0	1 1	

備考 TAUJ0CMORk を，TINm 入力パルス間隔測定機能として使用する場合，CKS（動作クロック選択），MD0（カウント開始時の INTm 出力制御）の各ビットは任意に設定できます。

COS（オーバフロー・モード選択）ビットも任意設定可能ですが本機能では固定値で使用してください。

他の制御ビットは固定値となります。詳細は TAUJ の章を参照してください。

TAUJ 共通レジスタ（TOE, TO, TOM, TOC, TOL, TDE, TDM, TDL, TRE, TRO, TRC, TME, RDE, RDS, RDM, RDC）については，使用する CH に対応するビットのみ「0」に設定してください。

表 24.4.4-6 TAUB0 の設定（m = 0-2）

TAUB0（TINm 入力パルス間隔測定機能）

機能	レジスタ	ビット位置	ビット名	設定値	備考
TAUB0	TAUB0 CMORm	15 14	CKS1 CKS0	任意	動作クロック設定
		13 12	CCS1 CCS0	0 0	
		11	MAS	1	
		10 9 8	STS2 STS1 STS0	0 0 0	
		7 6	COS1 COS0	1 1	
		5		0	0 固定
		4	MD4	0	
		3	MD3	0	
		2	MD2	1	
		1	MD1	0	
		0	MD0	任意	
	TAUB0 CMURm	1 0	TIS1 TIS0	1 1	

備考 TAUB0CMORm を，TINm 入力パルス間隔測定機能として使用する場合，CKS（動作クロック選択），MD0（カウント開始時の INTm 出力制御）の各ビットは任意に設定できます。

COS（オーバフロー・モード選択）ビットも任意設定可能ですが本機能では固定値で使用してください。

他の制御ビットは固定値となります。詳細は TAUB の章を参照してください。

TAUB 共通レジスタ（TOE, TO, TOM, TOC, TOL, TDE, TDL, RDE, RDS, RDM, RDC）については，使用する CH に対応するビットのみ「0」に設定してください。

表 24.4.4-7 PIC の設定

機能	レジスタ	ビット位置	ビット名	設定値	備考
PIC	PIC0REG31	13 12	PIC0REG3113 PIC0REG3112	0 1	TAUB0CH02 の TIN 入力信号に ENCAT0EQ0 の DT 出力信号を選択
		11	PIC0REG3111	1	TAUB0CH01 の TIN 入力信号に PIC0REG3106-08 で選択した信号（ENCAT0EQ1 の DT 出力信号）を選択
		10 9	PIC0REG3110 PIC0REG3109	1 0	TAUB0CH00 の TIN 入力信号に ENCAT0EQ0 の DT 出力信号を選択
		8 - 6	PIC0REG3108 PIC0REG3107 PIC0REG3106	0 0 1	TAUB0CH01, 00 の TIN 入力信号として ENCAT0EQ1 の DT 出力信号を選択
		1	PIC0REG3101	1	TAUJ0CH01 の TIN 入力信号に ENCAT0IEC の DT 出力信号を選択
		0	PIC0REG3100	1	TAUJ0CH00 の TIN 入力信号に ENCAT0IEC の DT 出力信号を選択

24.4.5 エンコーダ・キャプチャ・トリガ選択機能

24.4.5.1 機能概要

ENCA0 のキャプチャ・トリガ信号として，ADCAnTRGi，INTTAUBnIm いずれかを選択し接続することが可能です。

24.4.5.2 構成

構成／タイマ機能	ENCA
タイマ構成	ENCA0

構成／信号出力機能	ADCA	TAUB
エンコーダ・キャプチャ信号	ADCAnTRGi	TAUB0TINTm

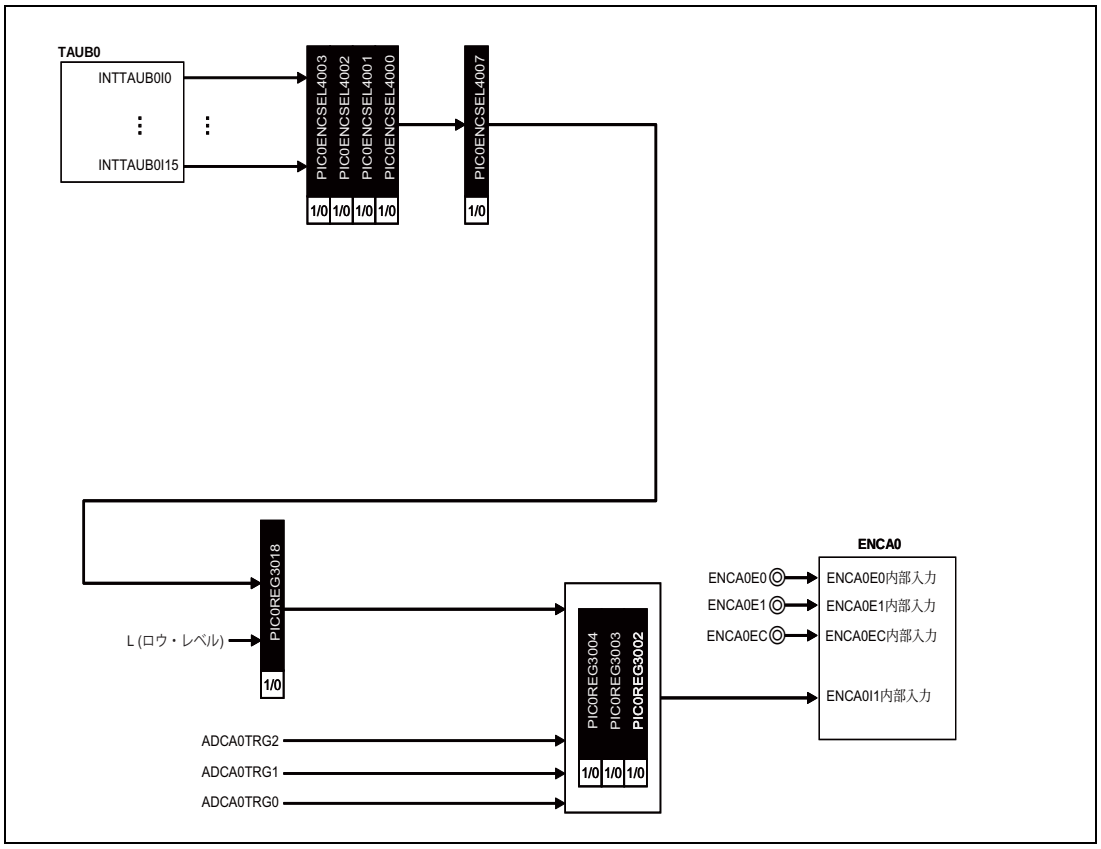


図 24.4.5-1 ブロック図

24.4.5.3 レジスタ

(1) タイマ入出力制御レジスタ 30（PIC0REG30）

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FF81 C0E8$_H$

初期値 0000 0000$_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

23	22	21	20	19	18	17	16
0	0	0	0	0	PIC0REG3018	0	0
R	R	R	R	R	R/W	R	R

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	0	0	PIC0REG3004	PIC0REG3003	PIC0REG3002	0	0
R	R	R	R/W	R/W	R/W	R	R

表 24.4.5-1 PIC0REG30 の内容

ビット位置	ビット名	機能
18	PIC0REG3018	PIC0REG30 bit2-4 へ供給する信号を選択します 0：ロウ・レベル入力信号 1：PIC0ENCSEL400 レジスタの PIC0ENCSEL4007 ビットで選択した信号
4 3 2	PIC0REG3004 PIC0REG3003 PIC0REG3002	ENCA0 の ENCA0I1（内部信号）への入力信号を選択します。

PIC0REG3004	PIC0REG3003	PIC0REG3002	入力信号
0	0	0	PIC0REG3018 で選択した信号
0	1	0	ADCA0TRG2
0	1	1	ADCA0TRG1
1	0	0	ADCA0TRG0
上記以外			設定禁止

注意 PIC0REG30 レジスタに “0” を定義しているビットは，他のタイマ接続機能で定義していることがあります。その場合，該当する PIC 接続機能のビット定義を適用してください。

(2) エンコーダ入力信号 1 選択レジスタ 400（PIC0ENCSEL400）

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FF81 C0B8$_H$

初期値 00$_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
PIC0ENCSEL4007	0	0	0	PIC0ENCSEL4003	PIC0ENCSEL4002	PIC0ENCSEL4001	PIC0ENCSEL4000
R/W	R	R	R	R/W	R/W	R/W	R/W

表 24.4.5-2 PIC0ENCSEL400 の内容

ビット位置	ビット名	機能
7	PIC0ENCSEL4007	PIC0ENCSEL400 bit3-0 で選択した INTTAUB0Im 信号の出力の許可／禁止を選択します。 0：TAUB0TINTm 信号の出力を禁止 1：TAUB0TINTm 信号の出力を許可
3 2 1 0	PIC0ENCSEL4003 PIC0ENCSEL4002 PIC0ENCSEL4001 PIC0ENCSEL4000	ENCA0 のキャプチャ・トリガ信号として使用する TAUB0TINTm を選択します。

PIC0ENCSEL400				入力信号
bit3	bit2	bit1	bit0	
0	0	0	0	INTTAUB0I0 を選択
0	0	0	1	INTTAUB0I1 を選択
0	0	1	0	INTTAUB0I2 を選択
0	0	1	1	INTTAUB0I3 を選択
0	1	0	0	INTTAUB0I4 を選択
0	1	0	1	INTTAUB0I5 を選択
0	1	1	0	INTTAUB0I6 を選択
0	1	1	1	INTTAUB0I7 を選択
1	0	0	0	INTTAUB0I8 を選択
1	0	0	1	INTTAUB0I9 を選択
1	0	1	0	INTTAUB0I10 を選択
1	0	1	1	INTTAUB0I11 を選択
1	1	0	0	INTTAUB0I12 を選択
1	1	0	1	INTTAUB0I13 を選択
1	1	1	0	INTTAUB0I14 を選択
1	1	1	1	INTTAUB0I15 を選択

24.4.5.4 動作例

PIC は，ADCAnTRGi（ADCAn 変換開始トリガ信号 i），TAUB0TINTm（TAUB0-CHm 割込み信号）を ENCA0 のキャプチャ・トリガ入力へ接続する経路を提供します。

(1) ADCAnTRGi によるエンコーダ・キャプチャ

A/D 変換開始トリガ信号（ADCA0TRG0,ADCA0TRG1, ADCA0TRG2）を ENCA0 に接続することで実現します。

注意 本機能を使用する場合は，24.4.2「ADC トリガ選択機能」で ENCA0 の割込みトリガ信号 EQ1（ENCAT0EQ1）を ADC トリガとして選択しないでください。選択した場合，「ADCA0TRG1 発生→ ENCA0 キャプチャ動作→キャプチャ実行による ENCAT0EQ1 発生→ ADCA0TRG1 発生」のループが成立してしまい正常動作できなくなります。

次に ADCAnTRG1 をトリガとしたエンコーダ・キャプチャ・トリガ選択機能のタイミング図を示します。（n = 0）

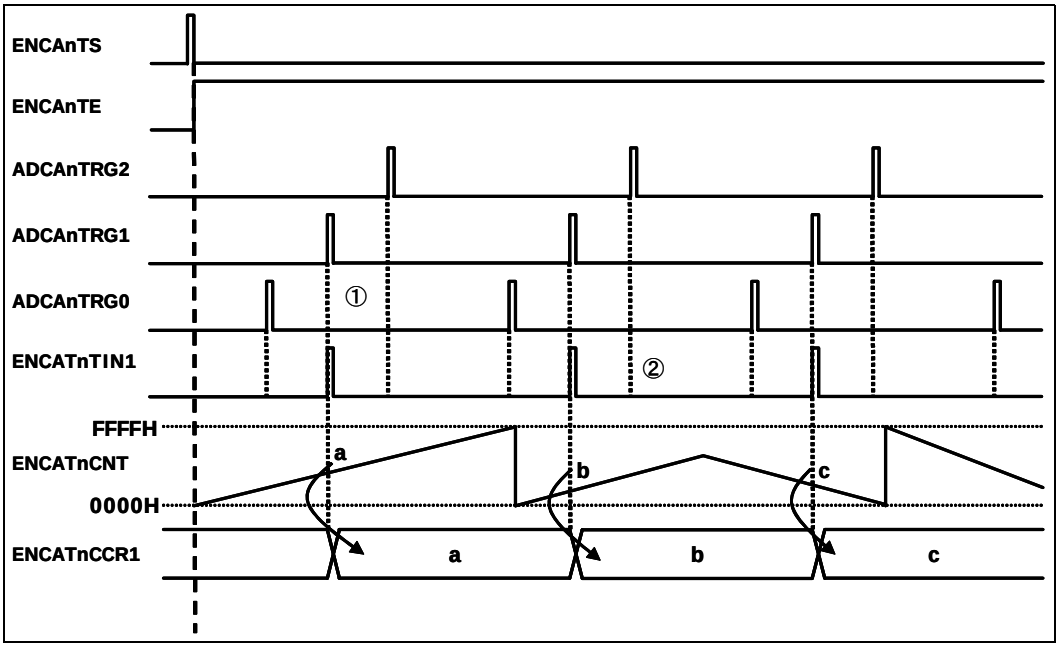


図 24.4.5-2 ADCAnTRG1 をトリガとしたエンコーダ・キャプチャ・トリガ選択機能の動作例

① ENCA0 のキャプチャ・トリガ 1 信号 ENCAT0TIN1 として ADCA0TRG1 を選択した場合，有効となる ADCA0TRG1 を ENCAT0TIN1 信号として ENCA0 に入力するため，ENCA0 のキャプチャが発生します。

② ADCA0TRG1 以外の AD トリガ信号（ADCA0TRG0，ADCA0TRG2）の発生では，ENCAT0TIN1 信号が発生しないため，ENCA0 のキャプチャ動作は実行されません。

(2) TAUB0TINTm によるエンコーダ・キャプチャ

TAUB0 の TAUB0TINTm（TAUB0-CHm 割り込み信号）のうち，1 本を選択し ENCA0 に接続することで実現します。

以下に TAUB0TINTm を ENCA0 のトリガとしたエンコーダ・キャプチャの動作例を示します。

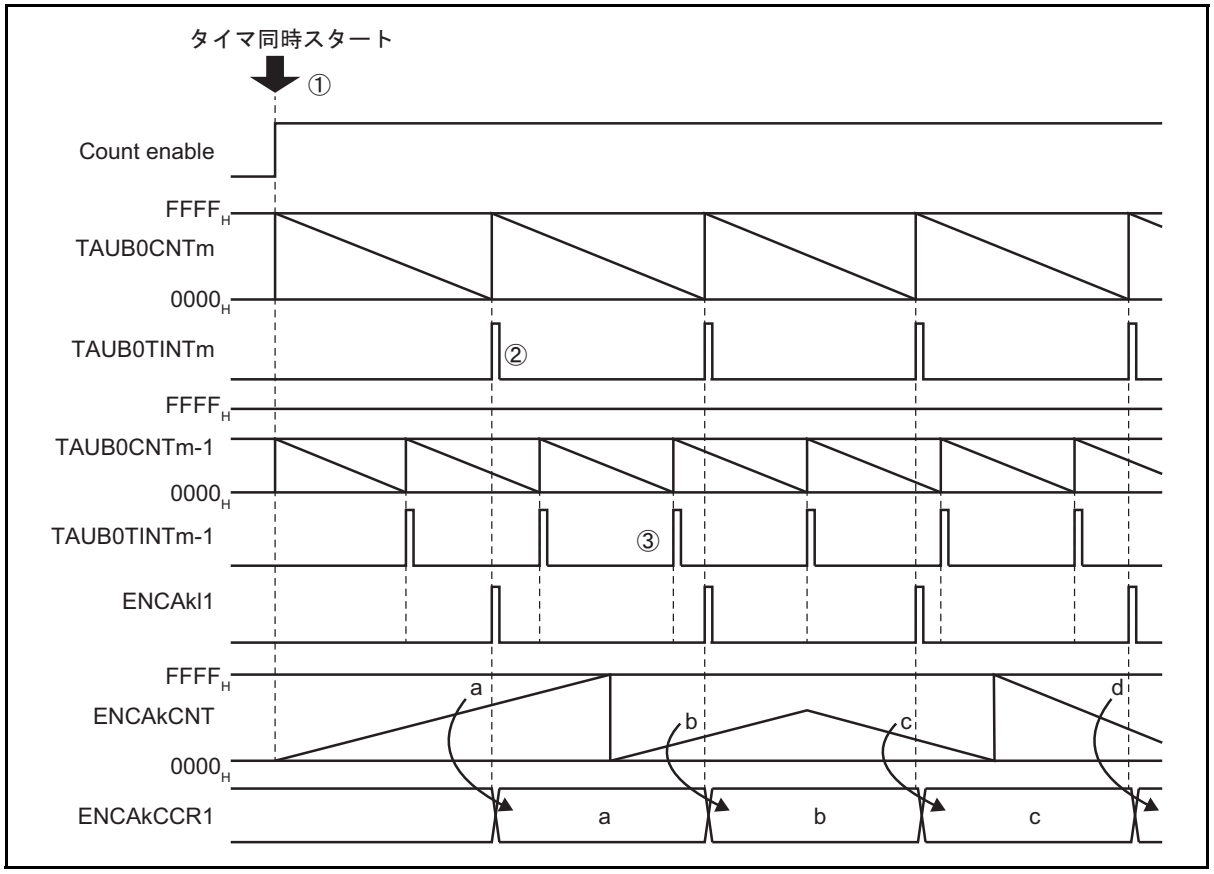


図 24.4.5-3 TAUB0TINTm をトリガとしたエンコーダ・キャプチャの動作例

① 同時スタート・トリガにより，TAUB0CNTm，TAUB0CNTm-1，ENCA0 が同時にカウント動作を開始します。

② ENCA0 の ENCA0I1（ENCA0 キャプチャ・トリガ 1 信号）として TAUB0TINTm（TAUB0-CHm 割り込み信号）を選択した場合，TAUB0TINTm の発生により ENCA0 はカウンタ値をキャプチャ・レジスタにキャプチャします。

③ TAUB0TINTm 以外の TAUB0TINTm-1（TAUB0-CHm 割り込み信号）の発生では，ENCA0 のキャプチャ動作は実行されません。

24.4.5.5 動作フロー

本節に示す設定フローは，ENCA0 両エンコーダ・タイマのキャプチャ動作を ADCA0TRG1 信号で実行する設定フローを記載しています。「注」と記載のあるレジスタについてはキャプチャ動作を実行するエンコーダ・タイマによって適宜設定を変更してください。

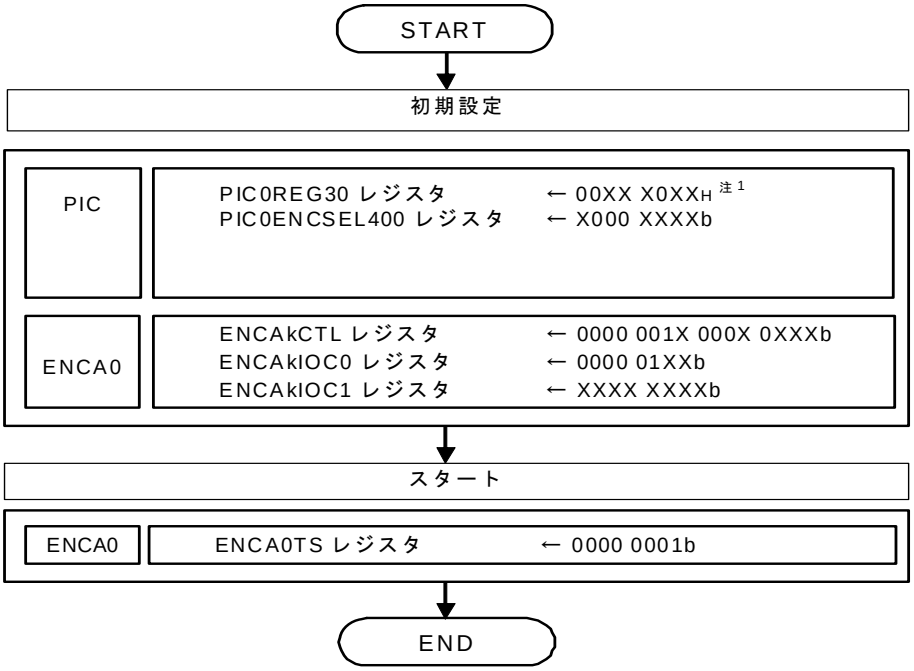
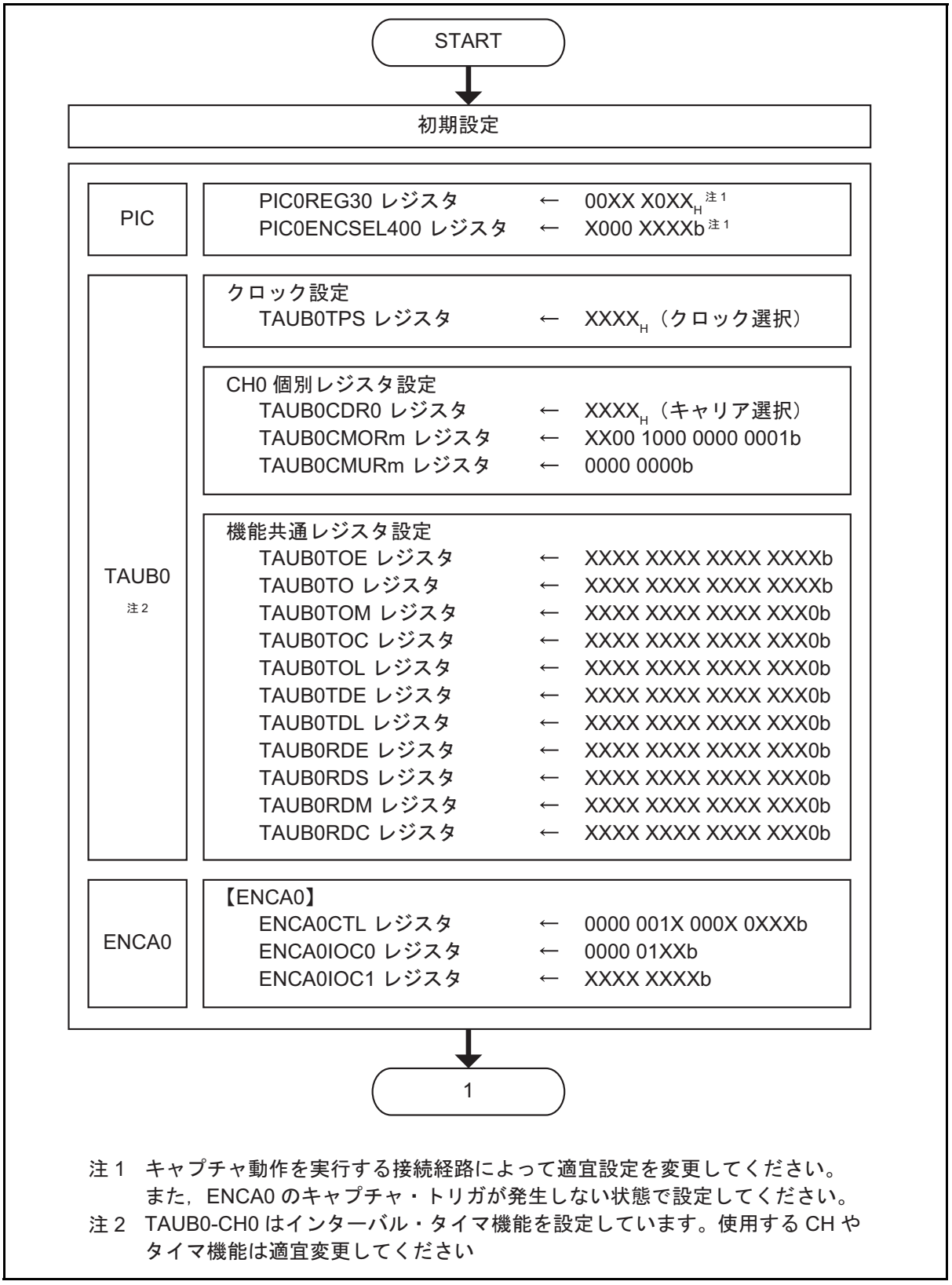


図 24.4.5-4 設定フロー

(1)　INTTAUB0Im によるエンコーダ・キャプチャ動作設定フロー



注1　キャプチャ動作を実行する接続経路によって適宜設定を変更してください。
　　また，ENCA0 のキャプチャ・トリガが発生しない状態で設定してください。
注2　TAUB0-CH0 はインターバル・タイマ機能を設定しています。使用する CH やタイマ機能は適宜変更してください

図 24.4.5-5　INTTAUB0Im によるエンコーダ・キャプチャ動作設定フロー（1/2）

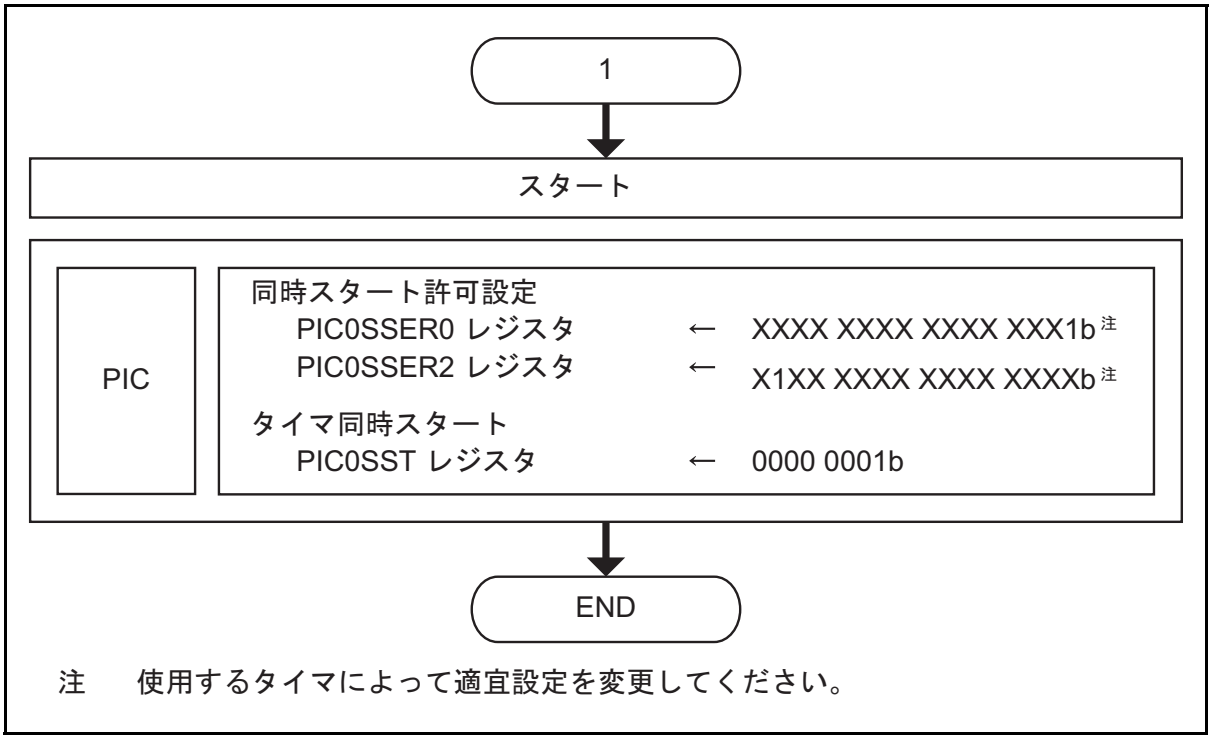


図 24.4.5-6 INTTAUB0Im によるエンコーダ・キャプチャ動作設定フロー（2/2）

24.4.5.6 動作機能の設定例

レジスタ設定値

本節に示す設定フローは，ENCA0 両エンコーダ・タイマのキャプチャ動作をADCA0TRG1 信号で実行する設定フローを記載しています。キャプチャ動作を実行するエンコーダ・タイマによって適宜設定を変更してください。

表 24.4.5-3 ENCA0 設定

機能	レジスタ	ビット位置	ビット名	設定値	備考
ENCA0	ENCA0CTL	15	ENCA0CME	0	コンペアー致割込み検出マスク禁止を選択
		14	ENCA0MCS	0	コンペアー致割込み検出マスク解除トリガ選択
		13 - 10		0	0 固定
		9	ENCA0CRM1	1	ENCA0CCR1 レジスタをキャプチャ用に設定
		8	ENCA0CRM0	任意	ENCA0CCR0 レジスタの用途を選択
		7	ENCA0CTS	0 注1	ENCA0I1 入力をキャプチャ・トリガとして選択。
		6, 5		0	0 固定
		4	ENCA0LDE	任意	アンダーフロー発生時のリロード許可／禁止を選択
		3	ENCA0ECM1	任意	ENCA0CCR1 のコンペアー致時のカウンタ・クリアの許可／禁止を選択
		2	ENCA0ECM0	任意	ENCA0CCR0 のコンペアー致時のカウンタ・クリアの許可／禁止を選択
		1 0	ENCA0UDS1 ENCA0UDS0	任意	ENCA0E0 および ENCA0E1 によるカウンタ・アップ / ダウン制御を選択
	ENCA0IOC0	7 - 4		0	0 固定
		3 2	ENCA0TIS3 ENCA0TIS2	0 注1 1 注1	キャプチャ・トリガ 1（ENCA0I1）の有効エッジを立ち上がりエッジ検出に選択
		1 0	ENCA0TIS1 ENCA0TIS0	任意	キャプチャ・トリガ 0（ENCA0I0）の有効エッジを選択
	ENCA0IOC1	7	ENCA0SCE	任意	エンコーダ特殊クリア許可を選択
		6	ENCA0ZCL	任意	エンコーダ特殊クリアの Z 相のクリア・レベルを選択
		5	ENCA0BCL	任意	エンコーダ特殊クリアの B 相のクリア・レベルを選択
		4	ENCA0ACL	任意	エンコーダ特殊クリアの A 相のクリア・レベルを選択
		3 2	ENCA0ECS1 ENCA0ECS0	任意	エンコーダ・クリア入力（Z 相）エッジを選択
		1 0	ENCA0EIS1 ENCA0EIS0	任意	エンコーダ入力（A, B 相）エッジを選択

注 1 キャプチャ動作を実行するエンコーダ・タイマによって適宜設定を変更してください。

備考 エンコーダ・キャプチャ・トリガ選択機能の ENCA0CTL の CRM1 = 1（ENCA0CCR1 レジスタの用途），CTS = 0（ENCA0CCR1 レジスタへのキャプチャ・トリガ要因）のみ固定値となります。その他は任意設定可能です。

表 24.4.5-4 PIC の設定

機能	レジスタ	ビット位置	ビット名	設定値	備考
PIC	PIC0REG30	18	PIC0REG3018	任意	PIC0REG30 bit2-4 へ供給する信号を選択
		4 3 2	PIC0REG3004 PIC0REG3003 PIC0REG3002	任意	ENCA0 の ENCAT0TIN1 入力信号を選択
	PIC0ENCSEL400	7	PIC0ENCSEL4007	任意	PIC0ENCSEL400 bit3-0 で選択した INTTAUB0Im 信号の出力の許可／禁止を選択
		3 2 1 0	PIC0ENCSEL4003 PIC0ENCSEL4002 PIC0ENCSEL4001 PIC0ENCSEL4000	任意	ENCA0 のキャプチャ・トリガ信号として使用する TAUB0TINTm を選択

表 24.4.5-5 PIC の設定（INTTAUB0Im 使用時）

レジスタ	ビット位置	ビット名	設定値	備考
PIC0REG30	18	PIC0REG3018	0	INTTAUB0Im（TAUB0 チャネル m の割り込み信号）を選択
	4 3 2	PIC0REG3004 PIC0REG3003 PIC0REG3002	000 or 001	PIC0REG3018 または，PIC0REG3021 で選択した信号
PIC0ENCSEL400	7	PIC0ENCSEL4007	0	INTTAUB0Im 信号の出力を許可
	6-4		0	0 固定
	3 2 1 0	PIC0ENCSEL4003 PIC0ENCSEL4002 PIC0ENCSEL4001 PIC0ENCSEL4000	任意	エンコーダ・キャプチャ信号として使用する TAUB0 のチャネル番号を設定

24.4.6 2 相エンコーダ制御機能（制御方式 1）

24.4.6.1 機能概要

2 相エンコーダ（ENCA タイマ）を使用して，TSG20 の出力パターンを切り替えることができます。

24.4.6.2 構成

構成＼タイマ機能	ENCA	TSG2	TAPA
タイマ構成 1	ENCA0	TSG20	TAPA2

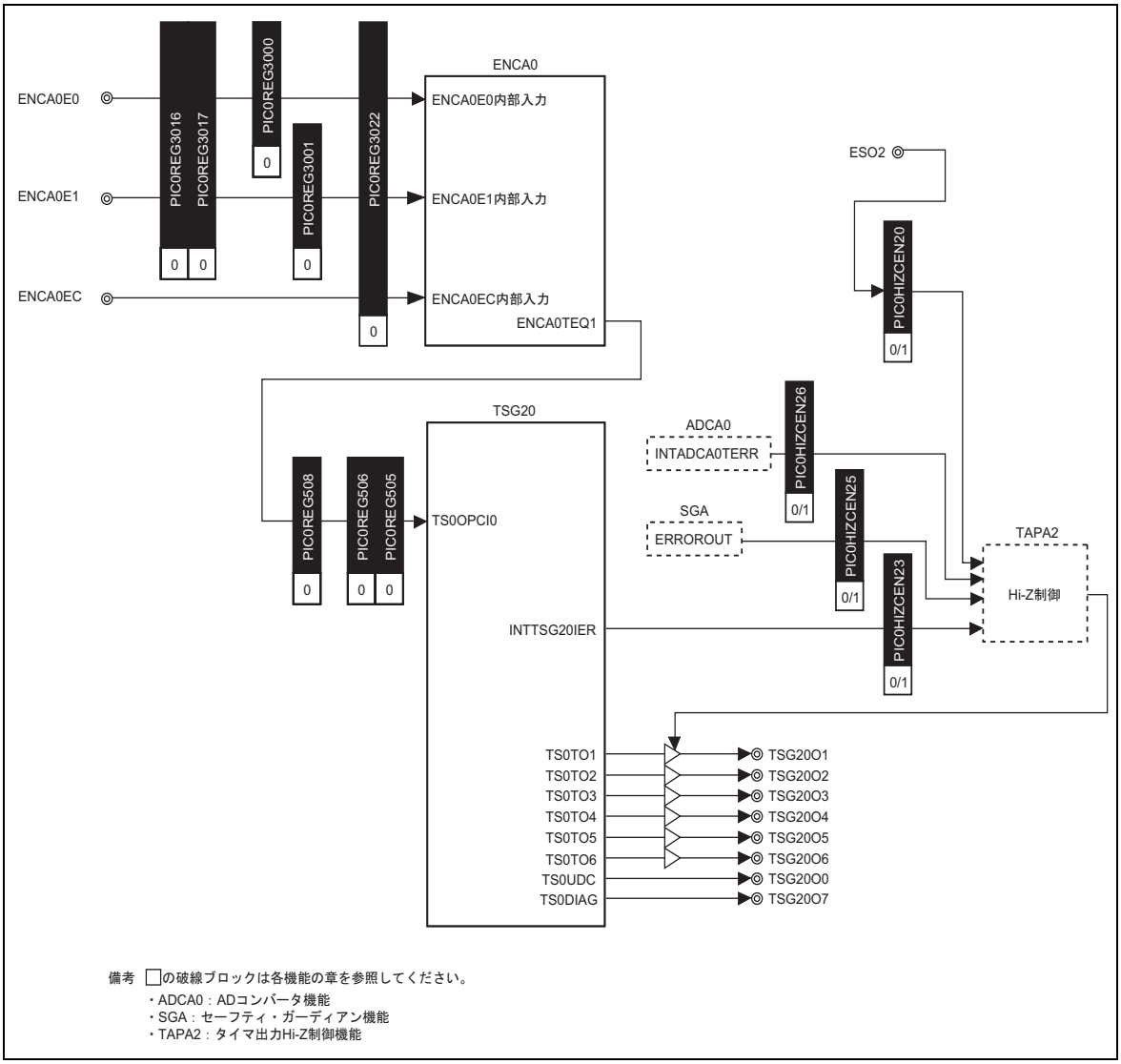


図 24.4.6-1 タイマ構成 1 のブロック図

24.4.6.3 レジスタ

(1) タイマ入出力制御レジスタ 30（PIC0REG30）

PIC0REG30 レジスタは，2 相エンコーダ制御のタイマ入力信号の選択を行う 32 ビット・レジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FF81 C0E8$_H$

初期値 0000 0000$_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

23	22	21	20	19	18	17	16
0	PIC0REG3022	0	0	0	0	PIC0REG3017	PIC0REG3016
R	R/W	R	R	R	R	R/W	R/W

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	0	0	0	0	0	PIC0REG3001	PIC0REG3000
R	R	R	R	R	R	R/W	R/W

表 24.4.6-1 PIC0REG30 の内容

ビット位置	ビット名	機能
22	PIC0REG3022	ENCA0 タイマの入力端子（ENCA0E0，ENCA0E1 内部入力）を選択します。 0：PIC0REG3000 ビット（ENCA0E0 内部入力），PIC0REG3001 ビット（ENCA0E1 内部入力）で選択した信号 1：設定禁止
17,16	PIC0REG3017, PIC0REG3016	ENCA0 タイマの入力（ENCA0E0，ENCA0E1 内部入力）を選択します。
1	PIC0REG3001	ENCA0E1 内部入力の信号を選択します。 0：PIC0REG3017,PIC0REG3016 ビットで選択した信号を入力 1：設定禁止
0	PIC0REG3000	ENCA0E0 内部入力の信号を選択します。 0：PIC0REG3017,PIC0REG3016 ビットで選択した信号を入力 1：設定禁止

PIC0REG3017	PIC0REG3016	入力信号
0	0	ENCA0E0，ENCAE1 端子入力（ENCA0 タイマ）
上記以外		設定禁止

注意 PIC0REG30 レジスタに “0” を定義しているビットは，他のタイマ接続機能で定義していることがあります。その場合，該当するタイマ接続機能のビット定義を適用してください。

(2) タイマ入出力制御レジスタ 50（PIC0REG50）

PIC0REG50 レジスタは，2 相エンコーダ制御のタイマ入力信号を選択します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス $FF81\ C0F8_H$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	PIC0REG508
R	R	R	R	R	R	R	R/W

7	6	5	4	3	2	1	0
0	PIC0REG506	PIC0REG505	0	0	0	0	0
R	R/W	R/W	R	R	R	R	R

表 24.4.6-2 PIC0REG50 の内容

ビット位置	ビット名	機能
8	PIC0REG5008	TSG20 タイマの TSG20TSTOPC0 信号の入力対象を選択します。 0：ENCA0TEQ1 入力（ENCA0 タイマ） 1：設定禁止
6 5	PIC0REG506, PIC0REG505	TS0OPCI0 信号の入力対象を選択します。

PIC0REG506	PIC0REG505	入力信号
0	0	ENCA0TEQ1 入力（ENCA0 タイマ）
上記以外		設定禁止

注意 PIC0REG50 レジスタに “0” を定義しているビットは，他のタイマ接続機能で定義していることがあります。その場合，該当するタイマ接続機能のビット定義を適用してください。

(3) Hi-Z 出力制御レジスタ 2（PIC0HIZCEN2）

PIC0HIZCEN2 レジスタは，Hi-Z 出力制御用の入力信号を選択します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FF81 C088$_H$

初期値 00$_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	PIC0HIZ CEN26	PIC0HIZ CEN25	0	PIC0HIZ CEN23	0	0	PIC0HIZ CEN20
R	R/W	R/W	R	R/W	R	R	R/W

表 24.4.6-3 PIC0HIZCEN2 の内容

ビット位置	ビット名	機能
6	PIC0HIZCEN26	INTADCA0TERR 割り込み信号で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可
5	PIC0HIZCEN25	ERROROUT 信号で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可
3	PIC0HIZCEN23	INTTSG20IER 割り込み信号で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可
0	PIC0HIZCEN20	ESO2 端子入力で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可

注意 PIC0HIZCEN2 レジスタに “0” を定義しているビットは，他のタイマ接続機能で定義していることがあります。その場合，該当するタイマ接続機能のビット定義を適用してください。

24.4.6.4 動作例

任意のエンコーダ・カウント値を ENCA0 タイマのコンペア（ENCA0CCR1）値に設定し，ENCA0 タイマのコンペアー致割り込み（INTENCA0I1）を TSG20 のパターン切り替えのトリガとすることにより，TSG20 の出力制御を行います。

この制御方式では，ENCA0 タイマの ENCA0CCR0 レジスタのコンペアー致によりエンコーダ・カウンタをクリアします。

コンペア値（ENCA0CCR1）は，パターン切り替えごと（INTENCA0I1 割り込みごと）に設定する必要があります。Z 相入力によるクリアがないため，ENCA タイマのコンペア・レジスタ（ENCA0CCR1）の設定値と TSG20 の初期出力パターンを，あらかじめ合わせ込む必要があります。出力パターンの正転，逆転の切り替えは，TS0OPT0 レジスタの TS0PSC ビットで設定してください。

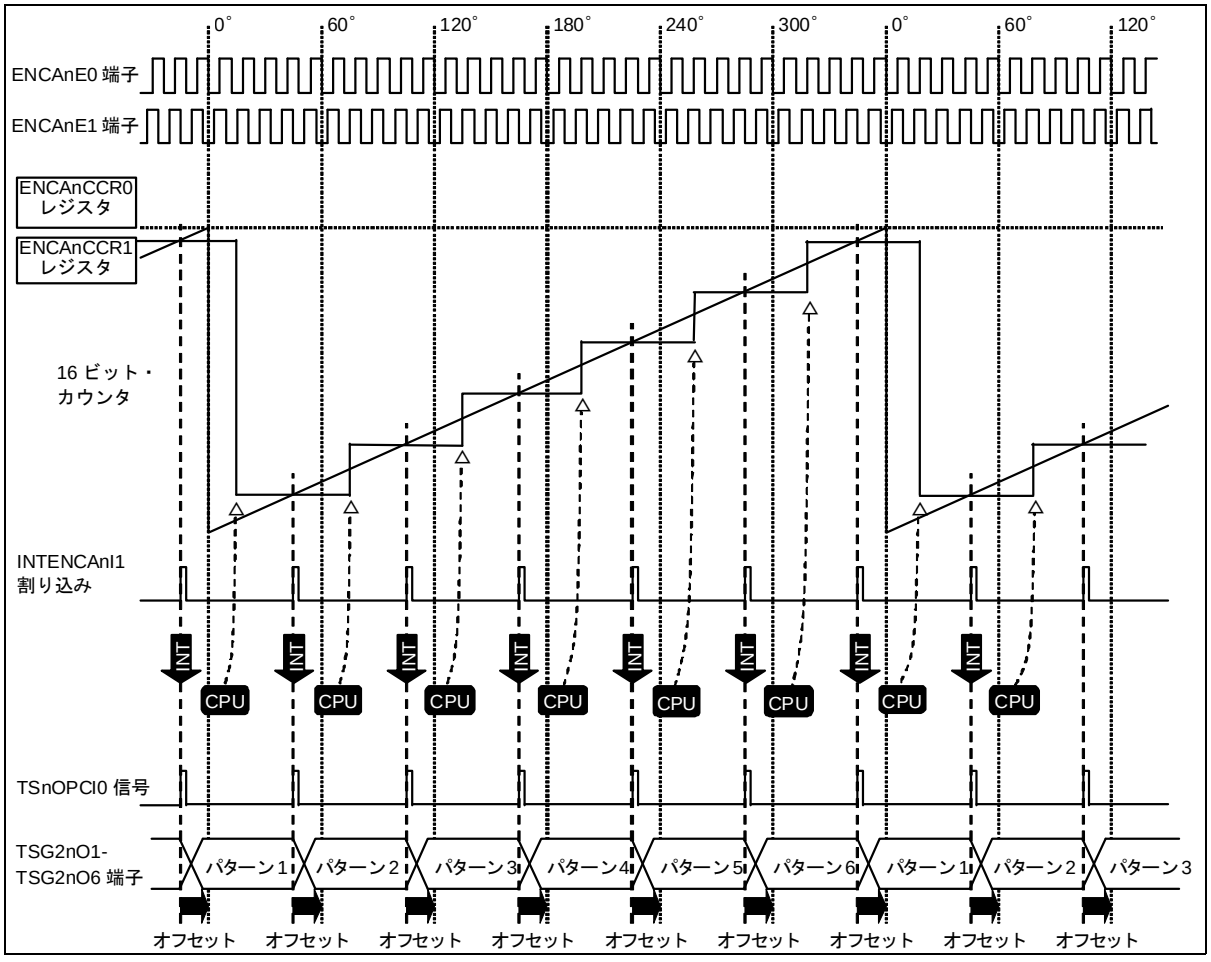


図 24.4.6-2 制御方式 1 の動作例：アップ・カウント時（n = 0）

備考 △：CPU によるライト・アクセス

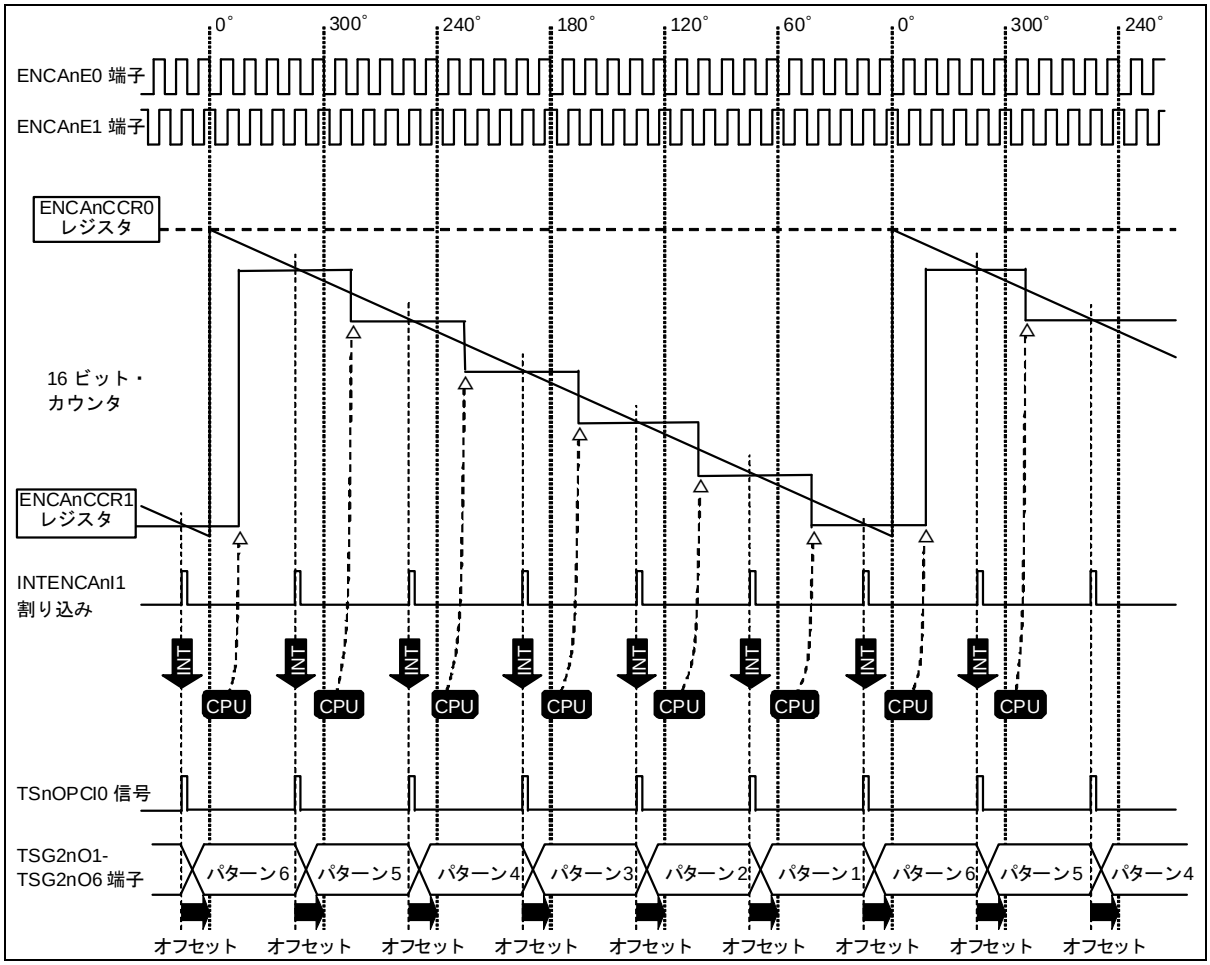


図 24.4.6-3 制御方式 1 の動作例：ダウン・カウント時

備考 △：CPU によるライト・アクセス

24.4.6.5 動作フロー

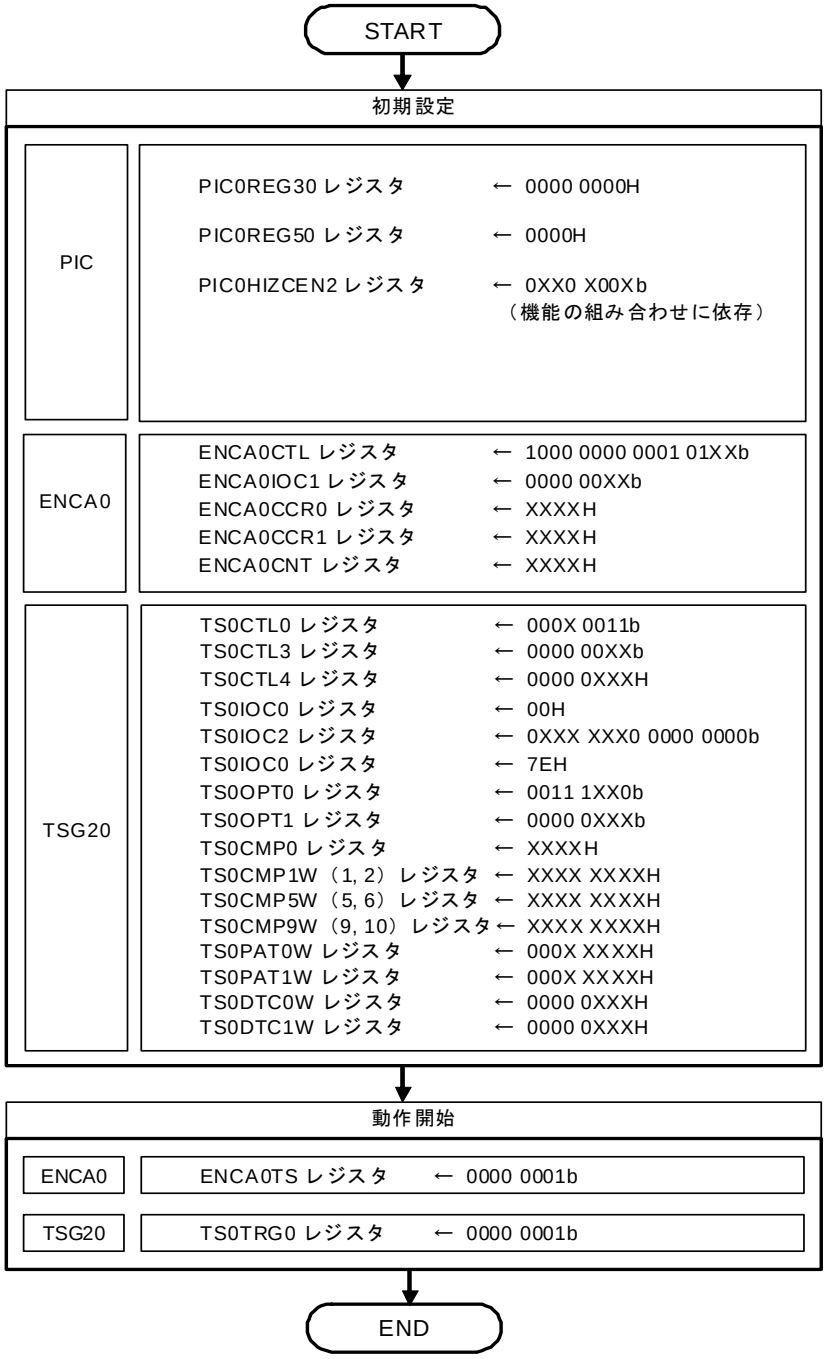


図 24.4.6-4 初期設定，動作開始フロー

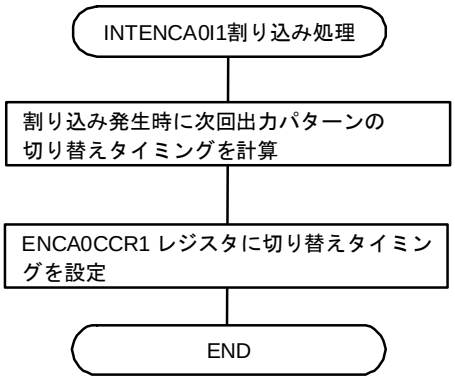


図 24.4.6-5 動作中の ENCA0CCR1 書き換えフロー

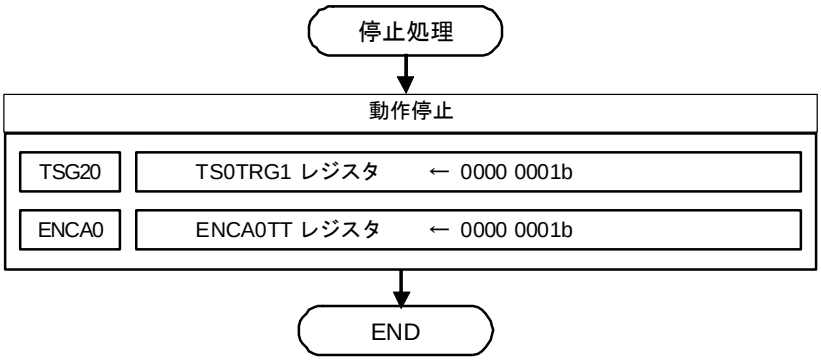


図 24.4.6-6 動作停止フロー

24.4.6.6 動作機能の設定

各レジスタの設定値を以下に示します。

記載のないレジスタのビットは，初期値になります。

表 24.4.6-4 ENCA0 の設定

機能	レジスタ	ビット位置	ビット名	設定値	備考
ENCA0	ENCA0CTL	15	ENCA0CME	1	コンペアー致割り込み検出マスク許可／禁止を選択
		14	ENCA0MCS	0	コンペアー致割り込み検出マスク解除トリガ選択
		9	ENCA0CRM1	0	ENCA0CCR1 レジスタ用途（キャプチャ / コンペア）
		8	ENCA0CRM0	0	ENCA0CCR0 レジスタ用途（キャプチャ / コンペア）
		7	ENCA0CTS	0	ENCA0CCR1 のキャプチャ動作のトリガ選択
		4	ENCA0LDE	1	アンダーフロー発生時のリロード許可／禁止を選択
		3	ENCA0ECM1	0	ENCA0CCR1 のコンペアー致時のカウンタ・クリアの許可／禁止を選択
		2	ENCA0ECM0	1	ENCA0CCR0 のコンペアー致時のカウンタ・クリアの許可／禁止を選択
		1 0	ENCA0UDS1 ENCA0UDS0	任意	ENCA0E0 および ENCA0E1 によるカウンタ・アップ / ダウン制御を選択
	ENCA0IOC1	7	ENCA0SCE	0	エンコーダ特殊クリア許可を選択
		6	ENCA0ZCL	0	エンコーダ特殊クリアの Z 相のクリア・レベルを選択
		5	ENCA0BCL	0	エンコーダ特殊クリアの B 相のクリア・レベルを選択
		4	ENCA0ACL	0	エンコーダ特殊クリアの A 相のクリア・レベルを選択
		3 2	ENCA0ECS1 ENCA0ECS0	0	エンコーダ・クリア入力（Z 相）エッジを選択
		1 0	ENCA0EIS1 ENCA0EIS0	任意	エンコーダ入力（A, B 相）エッジを選択
	ENCA0CCR0	—	—	任意	コンペア・レジスタ コンペア値を設定
	ENCA0CCR1	—	—	任意	コンペア・レジスタ コンペア値を設定 （タイマ動作中の書き換えが必要です）
	ENCA0CNT	—	—	任意	タイマ・カウンタ用レジスタ

表 24.4.6-5 TSG20 の設定 (1/2)

機能	レジスタ	ビット位置	ビット名	設定値	備考
TSG20	TS0CTL0	4	TS0DWD	任意	ダイアグ出力のパルス幅を選択
		1 0	TS0MD1 TS0MD0	1 1	動作モード選択（120-DC）
	TS0CTL3	1	TS0RIA	任意	コンペア・レジスタのリロード・タイミングを選択
		0	TS0RMC	任意	コンペア・レジスタの転送タイミングを選択
	TS0CTL4	8	TS0PRE	任意	山リロード・タイミングの許可 / 禁止を選択
		7	TS0VRE	0	谷リロード・タイミングの許可 / 禁止を選択
		6	TS0PIE	任意	山割り込みの発生許可 / 禁止を選択
		5	TS0VIE	0	谷割り込みの発生許可 / 禁止を選択
		4 - 0	TS0RCC4, TS0RCC3, TS0RCC2, TS0RCC1, TS0RCC0	任意	リロードと割り込み間引き率を設定
	TS0IOC0	6	TS0TOE6	0/1	TS0IOC2 レジスタの TS0OL6, TS0TO6 ビットの書き換えの許可／禁止を設定
		5	TS0TOE5	0/1	TS0IOC2 レジスタの TS0OL5, TS0TO5 ビットの書き換えの許可／禁止を設定
		4	TS0TOE4	0/1	TS0IOC2 レジスタの TS0OL4, TS0TO4 ビットの書き換えの許可／禁止を設定
		3	TS0TOE3	0/1	TS0IOC2 レジスタの TS0OL3, TS0TO3 ビットの書き換えの許可／禁止を設定
		2	TS0TOE2	0/1	TS0IOC2 レジスタの TS0OL2, TS0TO2 ビットの書き換えの許可／禁止を設定
		1	TS0TOE1	0/1	TS0IOC2 レジスタの TS0OL1, TS0TO1 ビットの書き換えの許可／禁止を設定
	TS0IOC2	14	TS0OL6	任意	TSG20O6 出力のアクティブ・レベルを選択
		13	TS0OL5	任意	TSG20O5 出力のアクティブ・レベルを選択
		12	TS0OL4	任意	TSG20O4 出力のアクティブ・レベルを選択
		11	TS0OL3	任意	TSG20O3 出力のアクティブ・レベルを選択
		10	TS0OL2	任意	TSG20O2 出力のアクティブ・レベルを選択
		9	TS0OL1	任意	TSG20O1 出力のアクティブ・レベルを選択
	TS0OPT0	6	TS0SOC	0	ソフトウエアによるタイマ出力の制御を選択
		5	TS0STE	1	パターン出力トリガによる制御の許可 / 禁止を選択
		4	TS0POT	1	パターン出力トリガを選択 外部パターン入力端子（TSG20PTSI0-2）による出力パターン切り替え，TS0OPCI1, 0 の立ち上がりエッジによる出力切り替えから選択
		3	TS0PSS	1	パターン出力順序切り替えを選択 TS0PSC でパターン出力順序を切り替える方法を選択
		2	TS0IDC	任意	モータ回転制御の方向を選択
		1	TS0PSC	任意	セミオート・ドライブ時のタイマ出力パターン順序を選択

表 24.4.6-5 TSG20 の設定 (2/2)

機能	レジスタ	ビット位置	ビット名	設定値	備考
TSG20	TS0OPT1	2-0	TS0SPC2-TS0SPC0	任意	ソフトウエア出力機能時のタイマ出力パターンを設定
	TS0CMP0	—	—	任意	コンペア・レジスタ PWM 周期を設定
	TS0CMP1W	—	—	任意	コンペア・レジスタ コンペア値を設定
	TS0CMP5W	—	—	任意	コンペア・レジスタ コンペア値を設定
	TS0CMP9W	—	—	任意	コンペア・レジスタ コンペア値を設定
	TS0PAT0W	—	—	任意	パターン・レジスタ 出力パターンを設定
	TS0PAT1W	—	—	任意	パターン・レジスタ 出力パターンを設定
	TS0DTC0W	—	—	任意	デッドタイム設定レジスタ デッドタイム値を設定
	TS0DTC1W	—	—	任意	デッドタイム設定レジスタ デッドタイム値を設定

表 24.4.6-6 PIC の設定

機能	レジスタ	ビット位置	ビット名	設定値	備考
PIC	PIC0REG30	22	PIC0REG3022	ブロック図参照	ENCA0E0/ENCA0E1/ENCA0EC 端子入力を選択
		17 16	PIC0REG3017 PIC0REG3016	ブロック図参照	ENCA0E0/ENCA0E1 端子入力を選択
		1	PIC0REG3001	ブロック図参照	ENCA0E1 端子入力を選択
		0	PIC0REG3000	ブロック図参照	ENCA0E0 端子入力を選択
	PIC0REG50	8	PIC0REG508	ブロック図参照	ENCA0TEQ1 信号を選択
		6 5	PIC0REG506 PIC0REG505	ブロック図参照	ENCA0TEQ1 信号を選択
	PIC0HIZCEN2	6	PIC0HIZCEN26	ブロック図参照	Hi-Z 制御用の信号入力で INTADC0TERR の許可 / 禁止
		5	PIC0HIZCEN25	ブロック図参照	Hi-Z 制御用の信号入力で ERROROUT の許可 / 禁止
		3	PIC0HIZCEN23	ブロック図参照	Hi-Z 制御用の信号入力で INTTSG20IER の許可 / 禁止
		0	PIC0HIZCEN20	ブロック図参照	Hi-Z 制御用の信号入力で ESO2 端子入力の許可 / 禁止

24.4.7 2 相エンコーダ制御機能（制御方式 2）

24.4.7.1 機能概要

2 相エンコーダ（ENCA0 タイマ）を使用して，TSG20 の出力パターンを切り替えることができます。また，出力パターンを進角／遅角制御による切り替えが可能です。

24.4.7.2 構成

構成／タイマ機能	ENCA	TSG2	TAPA
タイマ構成	ENCA0	TSG20	TAPA2

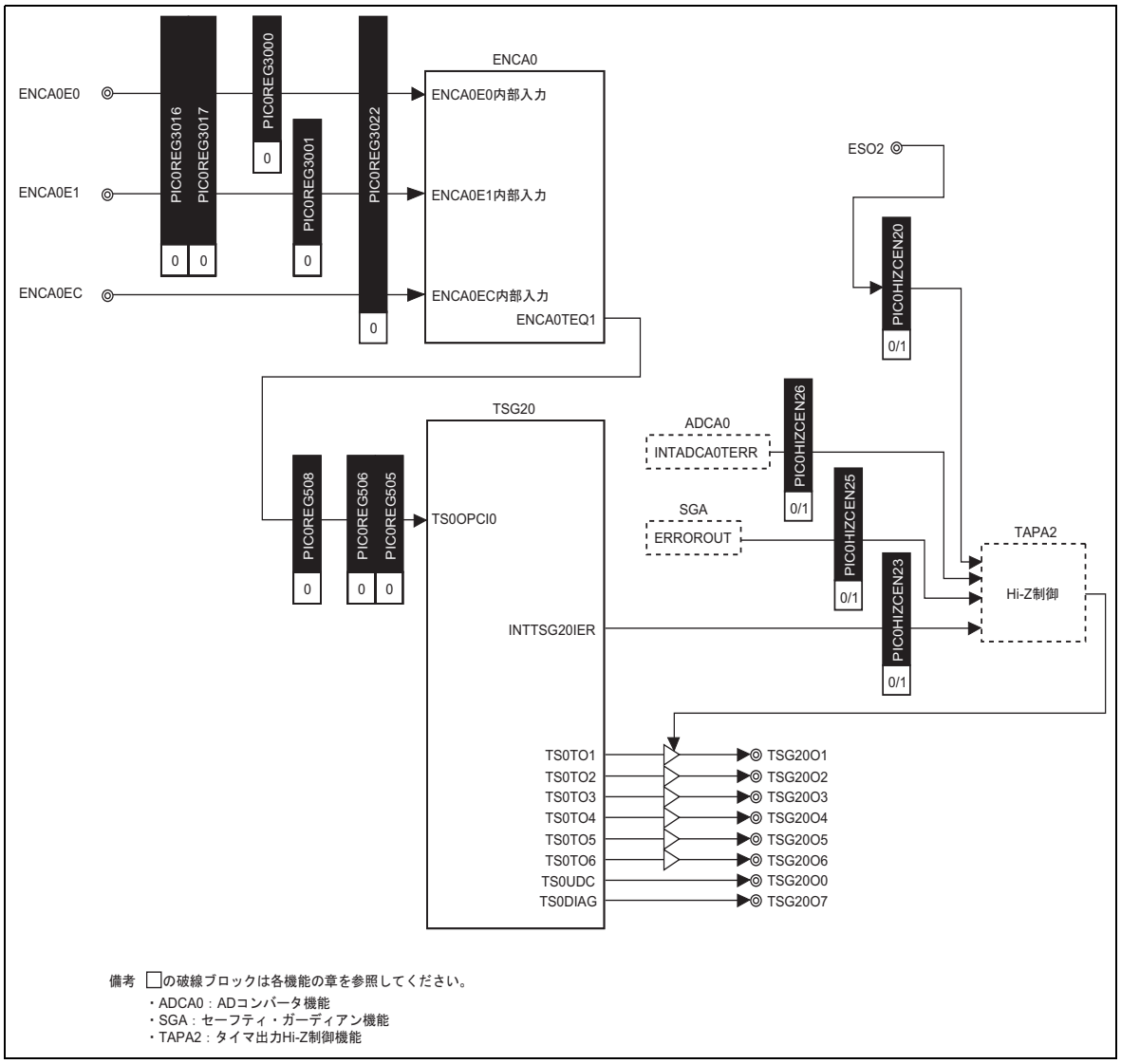


図 24.4.7-1 ブロック図

24.4.7.3 レジスタ

(1) タイマ入出力制御レジスタ 30（PIC0REG30）

PIC0REG30 レジスタは，2 相エンコーダ制御のタイマ入力信号の選択を行う 32 ビット・レジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FF81 C0E8$_H$

初期値 0000 0000$_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

23	22	21	20	19	18	17	16
0	PIC0REG3022	0	0	0	0	PIC0REG3017	PIC0REG3016
R	R/W	R	R	R	R	R/W	R/W

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	0	0	0	0	0	PIC0REG3001	PIC0REG3000
R	R	R	R	R	R	R/W	R/W

表 24.4.7-1 PIC0REG30 の内容

ビット位置	ビット名	機能
22	PIC0REG3022	ENCA0 タイマの入力端子（ENCA0E0，ENCA0E1 内部入力）を選択します。 0：PIC0REG3000 ビット（ENCA0E0 内部入力），PIC0REG3001 ビット（ENCA0E1 内部入力）で選択した信号 1：設定禁止
17 16	PIC0REG3017 PIC0REG3016	ENCA0 タイマの入力（ENCA0E0，ENCA0E1 内部入力）を選択します。 PIC0REG3017 = 0, PIC0REG3016 = 0：ENCA0E0，ENCAE1 端子入力（ENCA0 タイマ） 上記以外：設定禁止
1	PIC0REG3001	ENCA0E1 内部入力の信号を選択します。 0：PIC0REG3017,PIC0REG3016 ビットで選択した信号を入力 1：設定禁止
0	PIC0REG3000	ENCA0E0 内部入力の信号を選択します。 0：PIC0REG3017,PIC0REG3016 ビットで選択した信号を入力 1：設定禁止

注意 PIC0REG30 レジスタに “0” を定義しているビットは，他のタイマ接続機能で定義していることがあります。その場合，該当するタイマ接続機能のビット定義を適用してください。

(2) タイマ入出力制御レジスタ 50（PIC0REG50）

PIC0REG50 レジスタは，2 相エンコーダ制御のタイマ入力信号を選択します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス FF81 C0F8$_H$

初期値 0000$_H$ どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	PIC0REG508
R	R	R	R	R	R	R	R/W

7	6	5	4	3	2	1	0
0	PIC0REG506	PIC0REG505	0	0	0	0	0
R	R/W	R/W	R	R	R	R	R

表 24.4.7-2 PIC0REG50 の内容

ビット位置	ビット名	機能
8	PIC0REG5008	TSG20 タイマの TSG20TSTOPC0 信号の入力対象を選択します。 0：ENCA0TEQ1 入力（ENCA0 タイマ） 1：設定禁止
6 5	PIC0REG506 PIC0REG505	TS0OPCI0 信号の入力対象を選択します。

PIC0REG506	PIC0REG505	入力信号
0	0	ENCA0TEQ1 入力（ENCA0 タイマ）
上記以外		設定禁止

注意 PIC0REG50 レジスタに “0” を定義しているビットは，他のタイマ接続機能で定義していることがあります。その場合，該当するタイマ接続機能のビット定義を適用してください。

(3) Hi-Z 出力制御レジスタ 2（PIC0HIZCEN2）

PIC0HIZCEN2 レジスタは，Hi-Z 出力制御用の入力信号を選択します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FF81 C088$_H$

初期値 00$_H$ どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	PIC0HIZ CEN26	PIC0HIZ CEN25	0	PIC0HIZ CEN23	0	0	PIC0HIZ CEN20
R	R/W	R/W	R	R/W	R	R	R/W

表 24.4.7-3 PIC0HIZCEN2 の内容

ビット位置	ビット名	機能
6	PIC0HIZCEN26	INTADCA0TERR 割り込み信号で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可
5	PIC0HIZCEN25	ERROROUT 信号で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可
3	PIC0HIZCEN23	INTTSG20IER 割り込み信号で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可
0	PIC0HIZCEN20	ESO2 端子入力で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可

注意 PIC0HIZCEN2 レジスタに “0” を定義しているビットは，他のタイマ接続機能で定義していることがあります。その場合，該当するタイマ接続機能のビット定義を適用してください。

24.4.7.4 動作例

TSG20 の出力パターンの切り替え位置に相当するエンコーダ・カウント値を，ENCA0 タイマの ENCA0CCR0 レジスタに設定し，出力パターンの切り替え位置のオフセット（進角 , 遅角）に相当するエンコーダ・カウント値を，ENCA0 タイマの ENCA0CCR1 レジスタに設定します。ENCA0 タイマのコンペアー致割り込み（INTENCA0I1）を TSG20 のパターン切り替えのトリガとすることにより，TSG20 の出力制御を行います。

制御方式 2 では，ENCA0CCR0 レジスタとのコンペアー致によりエンコーダ・カウンタをクリアします。制御方式 1 と異なり，割り込みごとにコンペア値を設定する必要はありません。

ENCA0CCR1 の値を変更する場合は，INTENCA0I1 割り込みで値を書き換えます。エンコーダ・クリア入力によるクリアがないため，ENCA0CCR0 の設定値と TSG20 の初期出力パターンを，あらかじめ合わせ込む必要があります。出力パターンの正転，逆転の切り替えは，TS0OPT0 レジスタの TS0PSC ビットで行います。

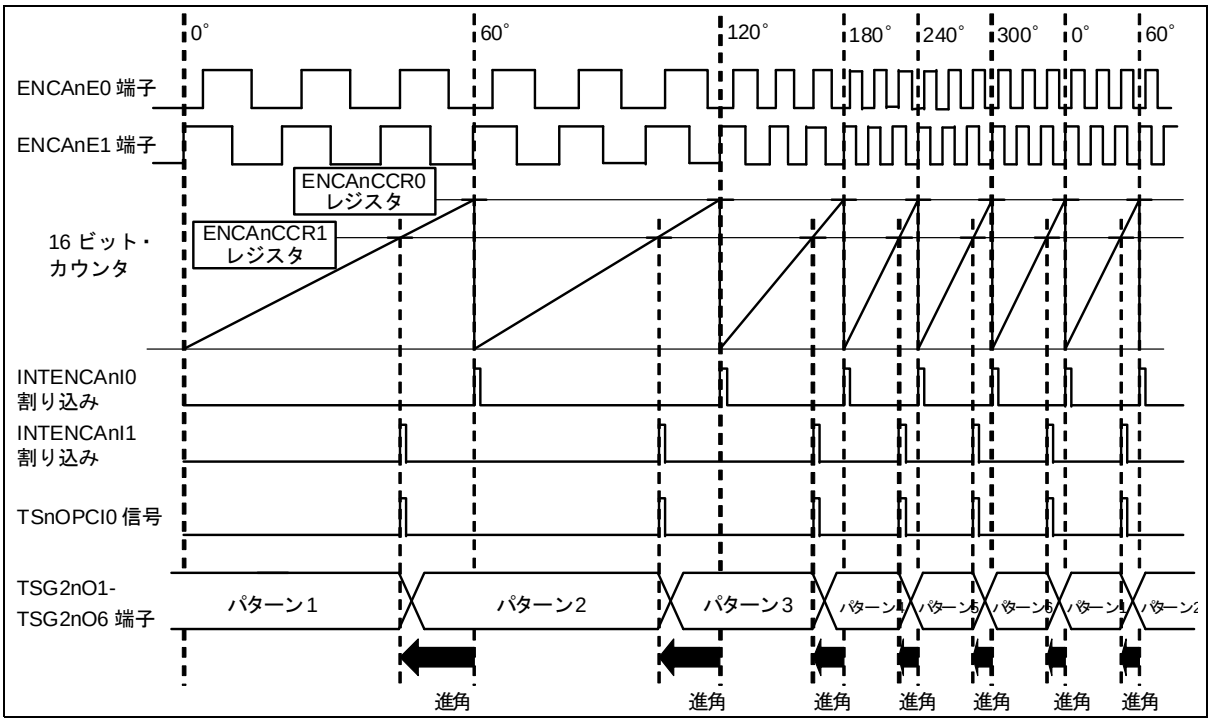


図 24.4.7-2 制御方式 2 の動作例：進角時

出力パターンの切り替え位置のタイミングを，ENCA0CCR0 より早くすることで，TSG20 の出力パターンの位相を進角させることができます。

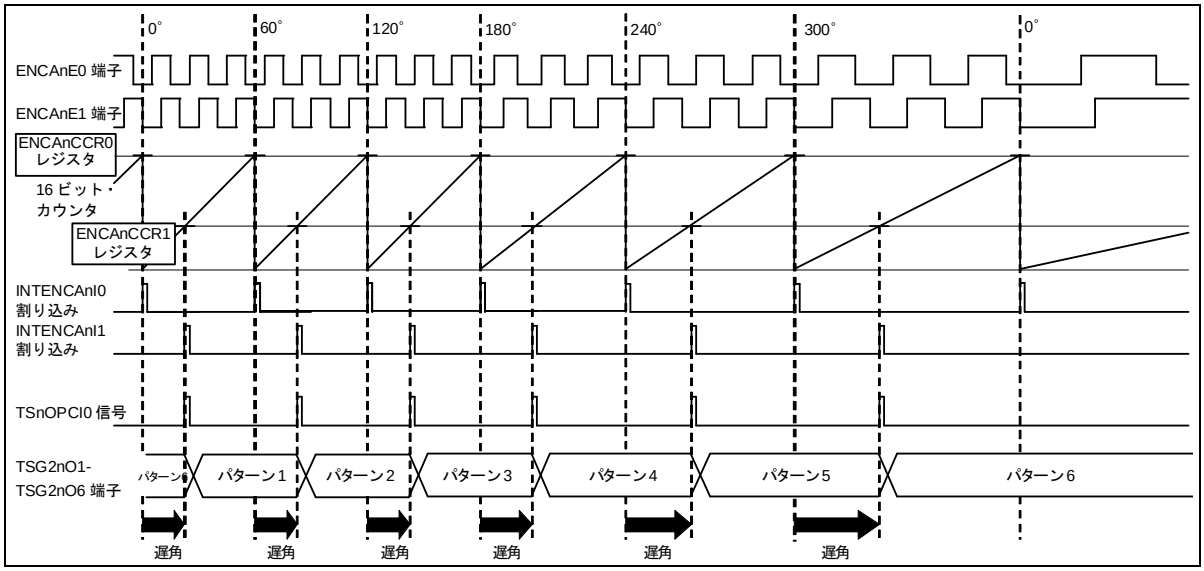


図 24.4.7-3 制御方式 2 の動作例：遅角時

出力パターンの切り替え位置のタイミングを，ENCA0CCR0 より遅くすることで，TSG20 の出力パターンの位相を遅角させることができます。

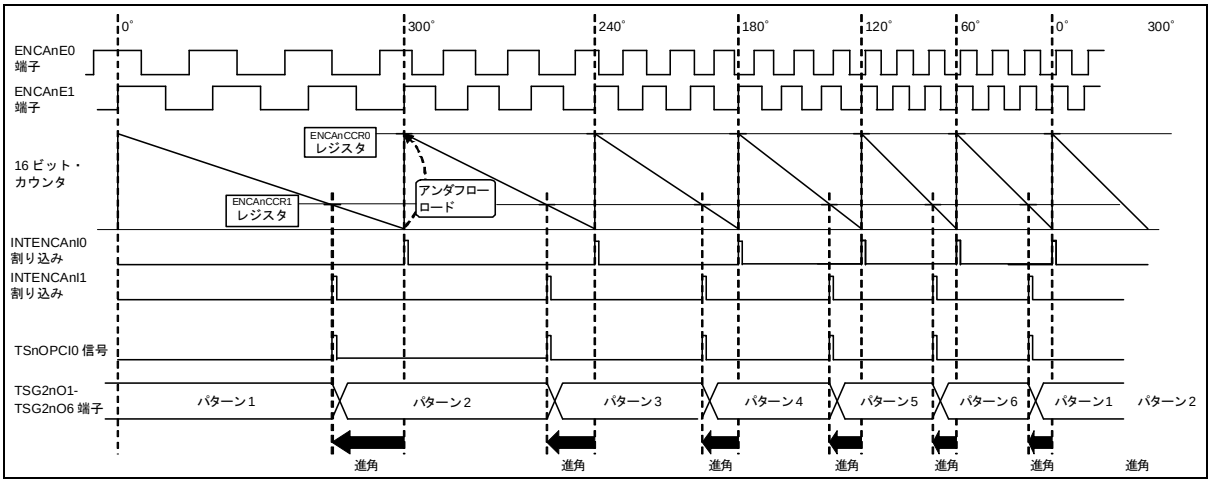


図 24.4.7-4 制御方式 2 の動作例：ダウン・カウント時

24.4.7.5 動作フロー

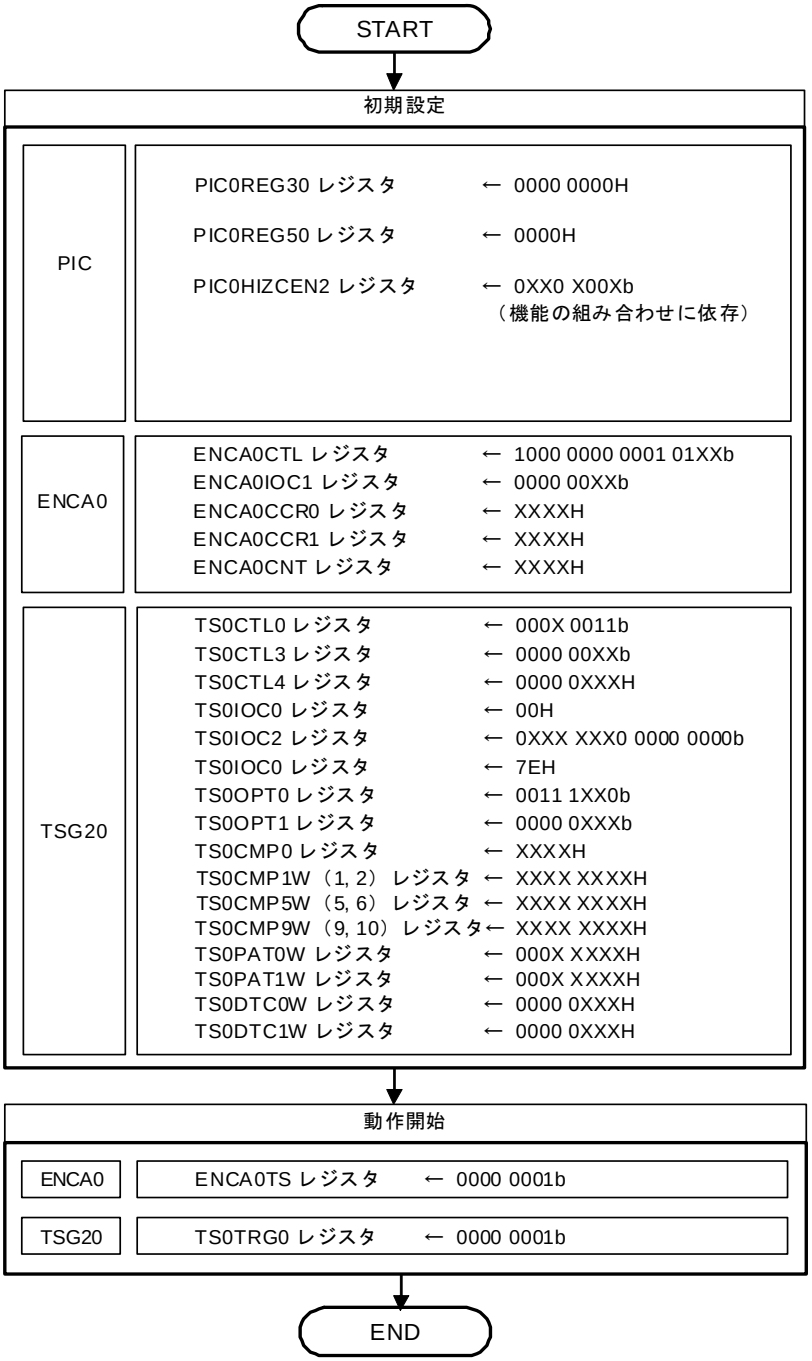


図 24.4.7-5 初期設定，動作開始フロー

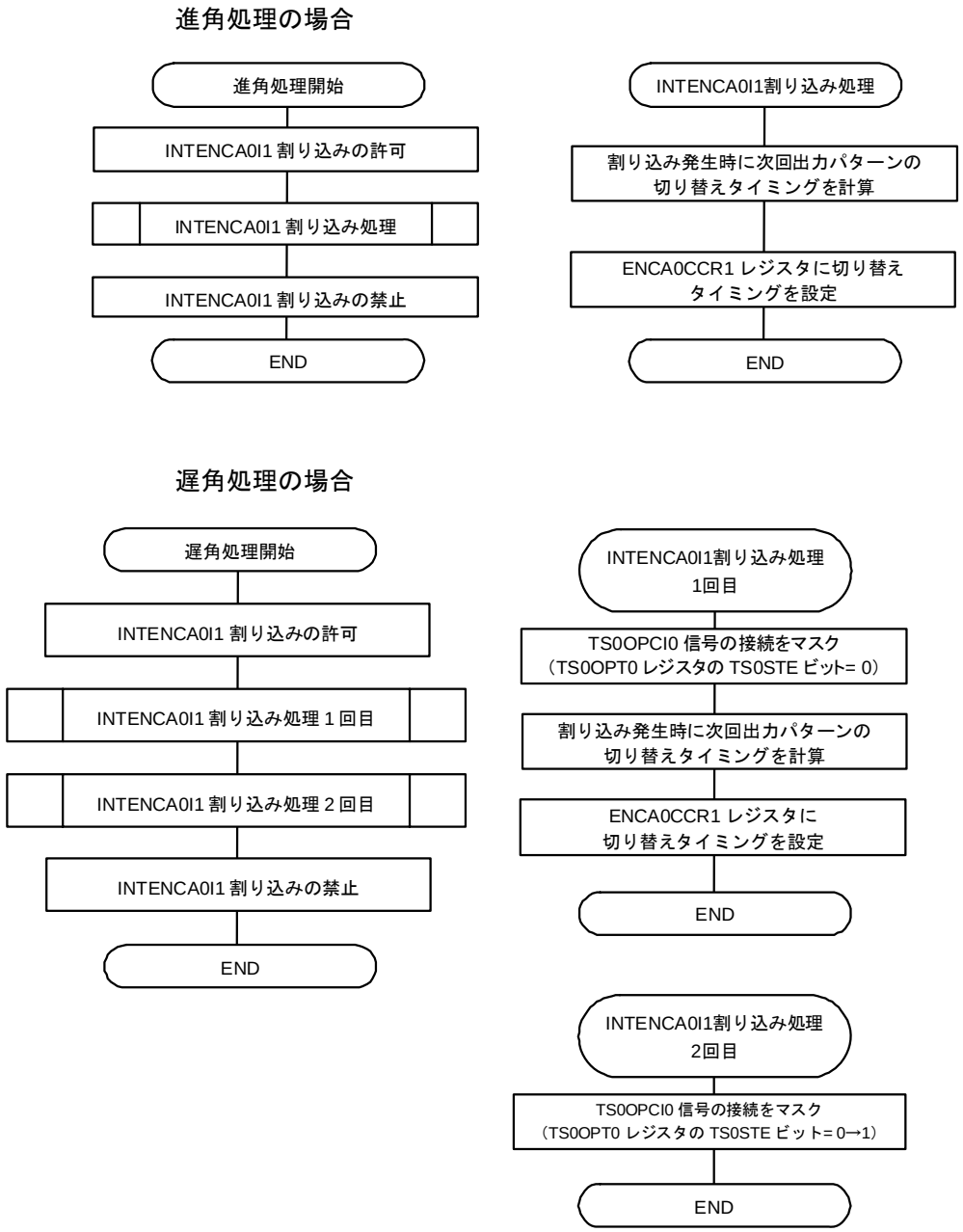


図 24.4.7-6 動作中の ENCA0CCR1 書き換えフロー

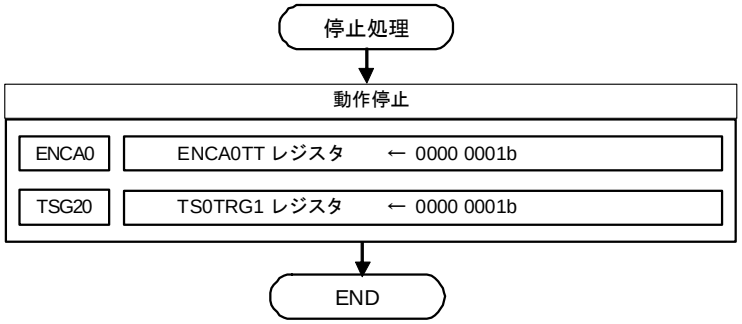


図 24.4.7-7 動作停止フロー

24.4.7.6 動作機能の設定

各タイマ・レジスタの設定値

記載のないレジスタのビットは，初期値になります。

表 24.4.7-4 ENCA0 設定

機能	レジスタ	ビット位置	ビット名	設定値	備考
ENCA0	ENCA0CTL	15	ENCA0CME	1	コンペアー致割り込み検出マスク許可／禁止
		14	ENCA0MCS	0	コンペアー致割り込み検出マスク解除トリガ選択
		9	ENCA0CRM1	0	ENCA0CCR1 レジスタ用途（キャプチャ / コンペア）
		8	ENCA0CRM0	0	ENCA0CCR0 レジスタ用途（キャプチャ / コンペア）
		7	ENCA0CTS	0	ENCA0CCR1 のキャプチャ動作のトリガ選択
		4	ENCA0LDE	1	アンダーフロー発生時のリロード許可／禁止
		3	ENCA0ECM1	0	ENCA0CCR1 のコンペアー致時のカウンタ・クリアの許可／禁止
		2	ENCA0ECM0	1	ENCA0CCR0 のコンペアー致時のカウンタ・クリアの許可／禁止
		1 0	ENCA0UDS1 ENCA0UDS0	任意	ENCA0E0 および ENCA0E1 によるカウンタ・アップ / ダウン制御
	ENCA0IOC1	7	ENCA0SCE	0	エンコーダ特殊クリア許可
		6	ENCA0ZCL	0	エンコーダ特殊クリアの Z 相のクリア・レベル
		5	ENCA0BCL	0	エンコーダ特殊クリアの B 相のクリア・レベル
		4	ENCA0ACL	0	エンコーダ特殊クリアの A 相のクリア・レベル
		3 2	ENCA0ECS1 ENCA0ECS0	0	エンコーダ・クリア入力（Z 相）エッジ選択
		1 0	ENCA0EIS1 ENCA0EIS0	任意	エンコーダ入力（A, B 相）エッジ選択
	ENCA0CCR0	—	—	任意	コンペア・レジスタ コンペア値を設定
	ENCA0CCR1	—	—	任意	コンペア・レジスタ コンペア値を設定
	ENCA0CNT	—	—	任意	タイマ・カウンタ用レジスタ

表 24.4.7-5 TSG20 設定例 (1/2)

機能	レジスタ	ビット位置	ビット名	設定値	備考
TSG20	TS0CTL0	4	TS0DWD	任意	ダイアグ出力のパルス幅を選択
		1 0	TS0MD1 TS0MD0	1 1	動作モード選択（120-DC）
	TS0CTL3	1	TS0RIA	任意	コンペア・レジスタのリロード・タイミングを選択
		0	TS0RMC	任意	コンペア・レジスタの転送タイミングを選択
	TS0CTL4	8	TS0PRE	任意	山リロード・タイミングの許可 / 禁止を選択
		7	TS0VRE	0	谷リロード・タイミングの許可 / 禁止を選択
		6	TS0PIE	任意	山割り込みの発生許可 / 禁止を選択
		5	TS0VIE	0	谷割り込みの発生許可 / 禁止を選択
		4-0	TS0RCC4, TS0RCC3, TS0RCC2, TS0RCC1, TS0RCC0	任意	リロードと割り込み間引き率を設定
	TS0IOC0	6	TS0TOE6	0/1	TS0IOC2 レジスタの TS0OL6, TS0TO6 ビットの書き換えの許可／禁止を設定
		5	TS0TOE5	0/1	TS0IOC2 レジスタの TS0OL5, TS0TO5 ビットの書き換えの許可／禁止を設定
		4	TS0TOE4	0/1	TS0IOC2 レジスタの TS0OL4, TS0TO4 ビットの書き換えの許可／禁止を設定
		3	TS0TOE3	0/1	TS0IOC2 レジスタの TS0OL3, TS0TO3 ビットの書き換えの許可／禁止を設定
		2	TS0TOE2	0/1	TS0IOC2 レジスタの TS0OL2, TS0TO2 ビットの書き換えの許可／禁止を設定
		1	TS0TOE1	0/1	TS0IOC2 レジスタの TS0OL1, TS0TO1 ビットの書き換えの許可／禁止を設定
	TS0IOC2	14	TS0OL6	任意	TSG20O6 出力のアクティブ・レベルを選択
		13	TS0OL5	任意	TSG20O5 出力のアクティブ・レベルを選択
		12	TS0OL4	任意	TSG20O4 出力のアクティブ・レベルを選択
		11	TS0OL3	任意	TSG20O3 出力のアクティブ・レベルを選択
		10	TS0OL2	任意	TSG20O2 出力のアクティブ・レベルを選択
		9	TS0OL1	任意	TSG20O1 出力のアクティブ・レベルを選択
	TS0OPT0	6	TS0SOC	0	ソフトウエアによるタイマ出力の制御を選択
		5	TS0STE	1	パターン出力トリガによる制御の許可 / 禁止を選択
		4	TS0POT	1	パターン出力トリガを選択 外部パターン入力端子（TSG20PTSI0-2）による出力パターン切り替え，TS0OPCI1, 0 の立ち上がりエッジによる出力切り替えから選択
		3	TS0PSS	1	パターン出力順序切り替えを選択 TS0PSC でパターン出力順序を切り替える方法を選択
		2	TS0IDC	任意	モータ回転制御の方向を選択
		1	TS0PSC	任意	セミオート・ドライブ時のタイマ出力パターン順序を選択
	TS0OPT1	2-0	TS0SPC2- TS0SPC0	任意	ソフトウエア出力機能時のタイマ出力パターンを設定

表 24.4.7-5 TSG20 設定例 (2/2)

機能	レジスタ	ビット位置	ビット名	設定値	備考
TSG20	TS0CMP0	－	－	任意	コンペア・レジスタ PWM 周期を設定
	TS0CMP1W	－	－	任意	コンペア・レジスタ コンペア値を設定
	TS0CMP5W	－	－	任意	コンペア・レジスタ コンペア値を設定
	TS0CMP9W	－	－	任意	コンペア・レジスタ コンペア値を設定
	TS0PAT0W	－	－	任意	パターン・レジスタ 出力パターンを設定
	TS0PAT1W	－	－	任意	パターン・レジスタ 出力パターンを設定
	TS0DTC0W	－	－	任意	デッドタイム設定レジスタ デッドタイム値を設定
	TS0DTC1W	－	－	任意	デッドタイム設定レジスタ デッドタイム値を設定

表 24.4.7-6 PIC の設定例

機能	レジスタ	ビット位置	ビット名	設定値	備考
PIC	PIC0REG30	22	PIC0REG3022	ブロック図参照	ENCA0E0/ENCA0E1/ENCA0EC 端子入力を選択
		17 16	PIC0REG3017 PIC0REG3016	ブロック図参照	ENCA0E0/ENCA0E1 端子入力を選択
		1	PIC0REG3001	ブロック図参照	ENCA0E1 端子入力を選択
		0	PIC0REG3000	ブロック図参照	ENCA0E0 端子入力を選択
	PIC0REG50	8	PIC0REG508	ブロック図参照	ENCA0TEQ1 信号を選択
		6 5	PIC0REG506 PIC0REG505	ブロック図参照	ENCA0TEQ1 信号を選択
	PIC0HIZCEN2	6	PIC0HIZCEN26	ブロック図参照	Hi-Z 制御用の信号入力で INTADC0TERR の許可 / 禁止
		5	PIC0HIZCEN25	ブロック図参照	Hi-Z 制御用の信号入力で ERROROUT の許可 / 禁止
		3	PIC0HIZCEN23	ブロック図参照	Hi-Z 制御用の信号入力で INTTSG20IER の許可 / 禁止
		0	PIC0HIZCEN20	ブロック図参照	Hi-Z 制御用の信号入力で ESO2 端子入力の許可 / 禁止

24.4.8 3 相エンコーダ制御機能

24.4.8.1 機能概要

TSG20PTSI0-TSG20PTSI2 端子に入力される信号を ENCA0 タイマに接続し，カウントすることができます。

24.4.8.2 構成

構成＼タイマ機能	ENCA	TSG2
タイマ構成	ENCA0	TSG20

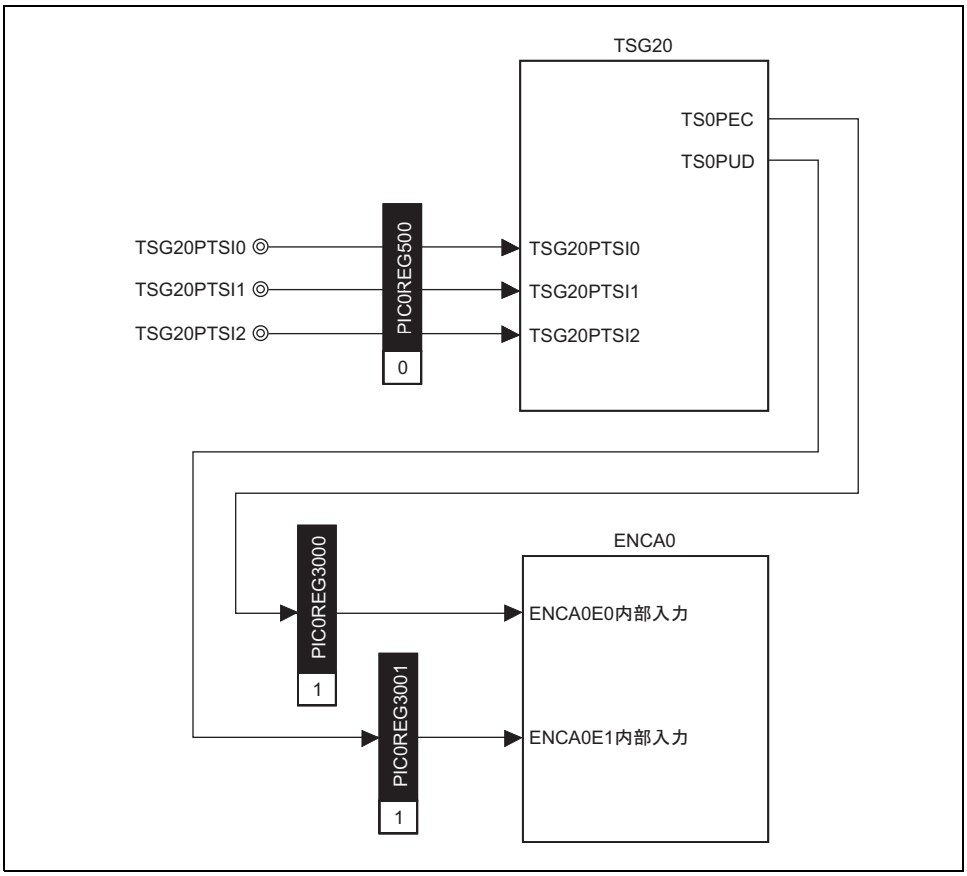


図 24.4.8-1 ブロック図

24.4.8.3 レジスタ

(1) タイマ入出力制御レジスタ 30（PIC0REG30）

PIC0REG30 レジスタは，3 相エンコーダ制御のタイマ入力信号の選択を行う 32 ビット・レジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FF81 C0E8$_H$

初期値 0000 0000$_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	0	0	0	0	0	PIC0REG3001	PIC0REG3000
R	R	R	R	R	R	R/W	R/W

表 24.4.8-1 PIC0REG30 の内容

ビット位置	ビット名	機能
1	PIC0REG3001	TSG20 の TS0PUD 信号を選択し ENCA0 タイマの入力を選択します。 0：設定禁止 1：TSG20 の TS0PUD 信号の入力
0	PIC0REG3000	TSG20 の TS0PEC 信号を選択し ENCA0 タイマの入力を選択します。 0：設定禁止 1：TSG20 の TS0PEC 信号の入力

注意 PIC0REG30 レジスタに “0” を定義しているビットは，他のタイマ接続機能で定義していることがあります。その場合，該当するタイマ接続機能のビット定義を適用してください。

(2) タイマ入出力制御レジスタ 50（PIC0REG50）

PIC0REG50 レジスタは，3 相エンコーダ制御のタイマ入力信号の選択を行う 16 ビット・レジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス FF81 C0F8$_H$

初期値 00$_H$ どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	PIC0REG500
R	R	R	R	R	R	R	R/W

表 24.4.8-2 PIC0REG50 の内容

ビット位置	ビット名	機能
0	PIC0REG500	TSG20PTSI0-TSG20PTSI2 端子入力を選択します。 0：TSG20PTSI0-TSG20PTSI2 端子選択 1：設定禁止

注意 PIC0REG50 レジスタに “0” を定義しているビットは，他のタイマ接続機能で定義していることがあります。その場合，該当するタイマ接続機能のビット定義を適用してください。

24.4.8.4 動作例

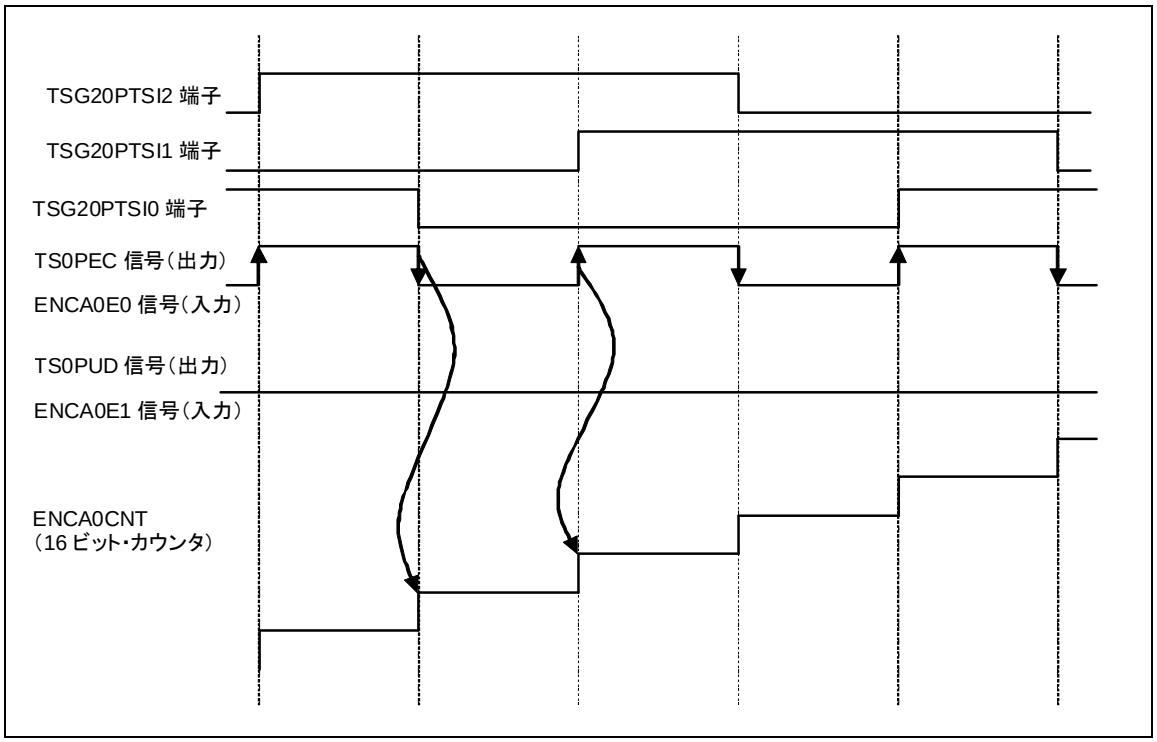


図 24.4.8-2 3 相エンコーダ機能の動作例

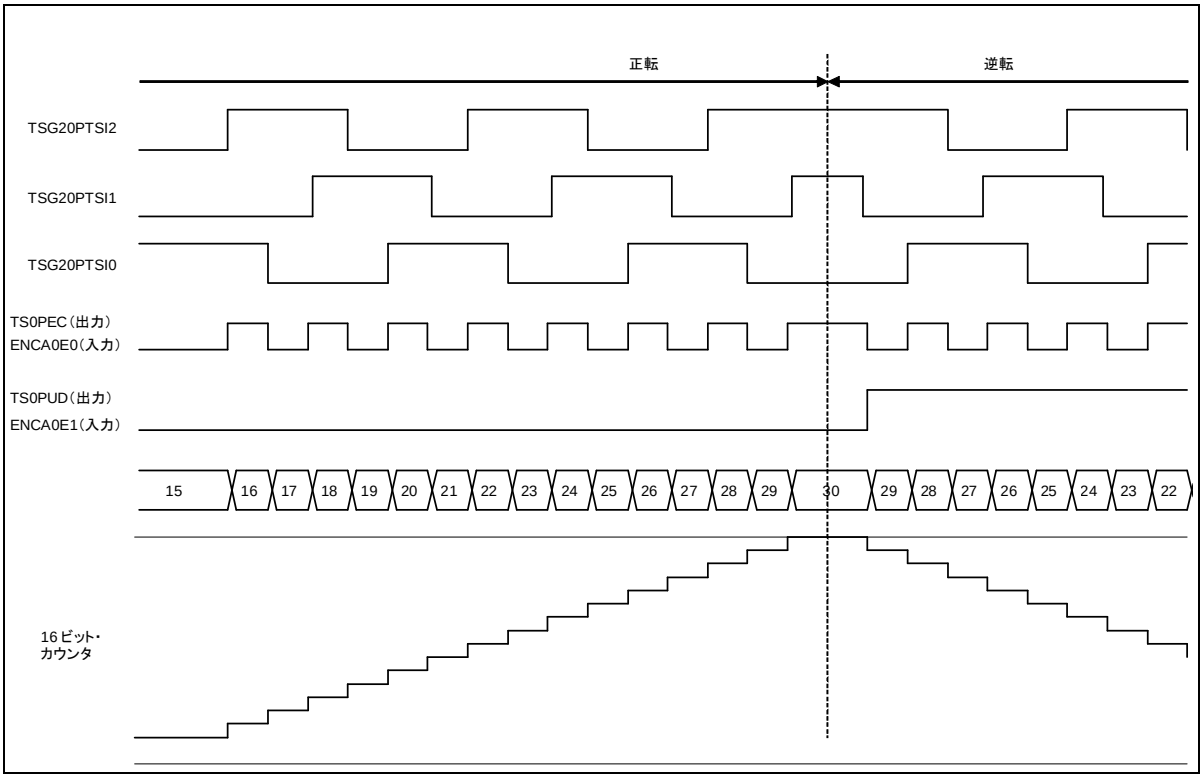


図 24.4.8-3 3 相エンコーダの正転／逆転動作例

注意 TSG20PTSI2-TSG20PTSI0 端子にノイズが発生した場合，ノイズのエッジにより，16 ビット・カウンタ（ENCA0CNT）は，誤カウントします。

24.4.8.5 動作フロー

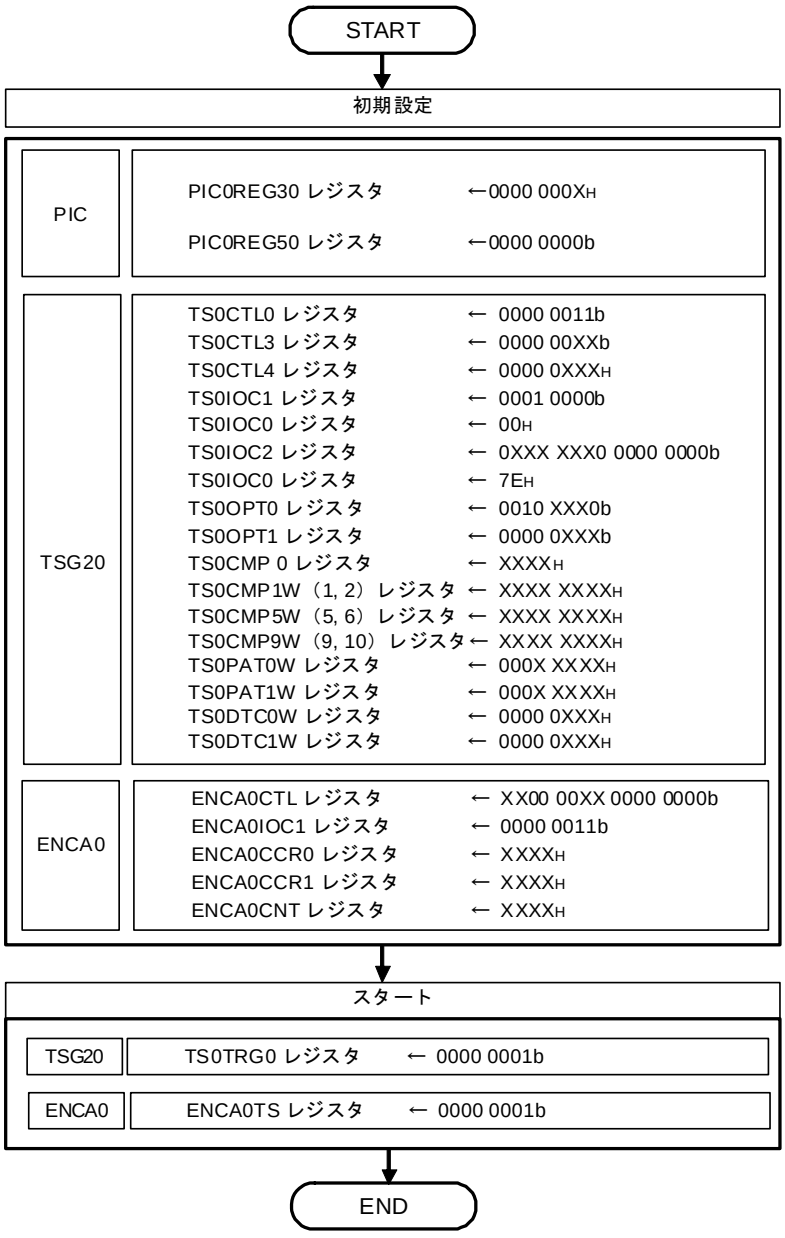


図 24.4.8-4 初期設定，動作開始フロー

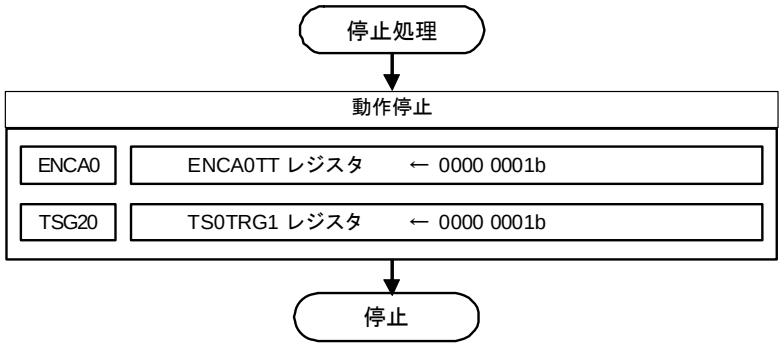


図 24.4.8-5 動作停止フロー

24.4.8.6 動作機能の設定

各レジスタの設定値を以下に示します。

記載のないレジスタのビットは，初期値になります。

表 24.4.8-3 ENCA0 設定

機能	レジスタ	ビット位置	ビット名	設定値	備考
ENCA0	ENCA0CTL	15	ENCA0CME	任意	コンペアー致割り込み検出マスク許可／禁止を選択
		14	ENCA0MCS	任意	コンペアー致割り込み検出マスク解除トリガ選択
		9	ENCA0CRM1	任意	ENCA0CCR1 レジスタ用途（キャプチャ / コンペア）
		8	ENCA0CRM0	任意	ENCA0CCR0 レジスタ用途（キャプチャ / コンペア）
		7	ENCA0CTS	0	ENCA0CCR1 のキャプチャ動作のトリガ選択
		4	ENCA0LDE	0	アンダーフロー発生時のリロード許可／禁止を選択
		3	ENCA0ECM1	0	ENCA0CCR1 のコンペアー致時のカウンタ・クリアの許可／禁止を選択
		2	ENCA0ECM0	0	ENCA0CCR0 のコンペアー致時のカウンタ・クリアの許可／禁止を選択
		1 0	ENCA0UDS1 ENCA0UDS0	0 0	ENCA0E0 および ENCA0E1 によるカウンタ・アップ / ダウン制御を選択
	ENCA0IOC1	7	ENCA0SCE	0	エンコーダ特殊クリア許可を選択
		6	ENCA0ZCL	0	エンコーダ特殊クリアの Z 相のクリア・レベルを選択
		5	ENCA0BCL	0	エンコーダ特殊クリアの B 相のクリア・レベルを選択
		4	ENCA0ACL	0	エンコーダ特殊クリアの A 相のクリア・レベルを選択
		3 2	ENCA0ECS1 ENCA0ECS0	0,0	エンコーダ・クリア入力（Z 相）エッジを選択
		1 0	ENCA0EIS1 ENCA0EIS0	1,1	エンコーダ入力（A, B 相）エッジを選択
	ENCA0CCR0	－	－	任意	コンペア・レジスタ コンペア値を設定
	ENCA0CCR1	－	－	任意	コンペア・レジスタ コンペア値を設定
	ENCA0CNT	－	－	任意	タイマ・カウンタ用レジスタ

表 24.4.8-4 TSG20 設定 (1/2)

機能	レジスタ	ビット位置	ビット名	設定値	備考
TSG20	TS0CTL0	1 0	TS0MD1 TS0MD0	1 1	動作モード選択（120-DC）
	TS0CTL3	1	TS0RIA	任意	コンペア・レジスタのリロード・タイミングを選択
		0	TS0RMC	任意	コンペアレジスタの転送タイミングを選択
	TS0CTL4	8	TS0PRE	任意	山リロード・タイミングの許可 / 禁止を選択
		7	TS0VRE	任意	谷リロード・タイミングの許可 / 禁止を選択
		6	TS0PIE	任意	山割り込みの発生許可 / 禁止を選択
		5	TS0VIE	任意	谷割り込みの発生許可 / 禁止を選択
		4-0	TS0RCC4, TS0RCC3, TS0RCC2, TS0RCC1, TS0RCC0	任意	リロードと割り込み間引き率を設定
	TS0IOC0	6	TS0TOE6	任意	TS0IOC2 レジスタの TS0OL6, TS0TO6 ビットの書き換えの許可／禁止を設定
		5	TS0TOE5	任意	TS0IOC2 レジスタの TS0OL5, TS0TO5 ビットの書き換えの許可／禁止を設定
		4	TS0TOE4	任意	TS0IOC2 レジスタの TS0OL4, TS0TO4 ビットの書き換えの許可／禁止を設定
		3	TS0TOE3	任意	TS0IOC2 レジスタの TS0OL3, TS0TO3 ビットの書き換えの許可／禁止を設定
		2	TS0TOE2	任意	TS0IOC2 レジスタの TS0OL2, TS0TO2 ビットの書き換えの許可／禁止を設定
		1	TS0TOE1	任意	TS0IOC2 レジスタの TS0OL1, TS0TO1 ビットの書き換えの許可／禁止を設定
	TS0IOC1	4	TS0PTS	1	TSG20PTSI0-2 のエッジ検出でトグル信号の出力を許可，禁止を選択
	TS0IOC2	14	TS0OL6	任意	TSG20O6 出力のアクティブ・レベルを選択
		13	TS0OL5	任意	TSG20O5 出力のアクティブ・レベルを選択
		12	TS0OL4	任意	TSG20O4 出力のアクティブ・レベルを選択
		11	TS0OL3	任意	TSG20O3 出力のアクティブ・レベルを選択
		10	TS0OL2	任意	TSG20O2 出力のアクティブ・レベルを選択
		9	TS0OL1	任意	TSG20O1 出力のアクティブ・レベルを選択
	TS0OPT0	6	TS0SOC	任意	ソフトウエアによるタイマ出力の制御を選択
		5	TS0STE	任意	パターン出力トリガによる制御の許可 / 禁止を選択
		4	TS0POT	任意	パターン出力トリガを選択 外部パターン入力端子（TSG20PTSI0-2）による出力パターン切り替え，TS0OPCI1, 0 の立ち上がりエッジによる出力切り替えから選択
		3	TS0PSS	任意	パターン出力順序切り替えを選択 TS0PSC でパターン出力順序を切り替える方法を選択
		2	TS0IDC	任意	モータ回転制御の方向を選択
		1	TS0PSC	任意	セミオート・ドライブ時のタイマ出力パターン順序を選択
	TS0OPT1	2-0	TS0SPC2- TS0SPC0	任意	ソフトウエア出力機能時のタイマ出力パターンを設定

表 24.4.8-4 TSG20 設定 (2/2)

機能	レジスタ	ビット位置	ビット名	設定値	備考
TSG20	TS0CMP0	－	－	任意	コンペア・レジスタ PWM 周期を設定
	TS0CMP1W	－	－	任意	コンペア・レジスタ コンペア値を設定
	TS0CMP5W	－	－	任意	コンペア・レジスタ コンペア値を設定
	TS0CMP9W	－	－	任意	コンペア・レジスタ コンペア値を設定
	TS0PAT0W	－	－	任意	パターン・レジスタ 出力パターンを設定
	TS0PAT1W	－	－	任意	パターン・レジスタ 出力パターンを設定
	TS0DTC0W	－	－	任意	デッドタイム設定レジスタ デッドタイム値を設定
	TS0DTC1W	－	－	任意	デッドタイム設定レジスタ デッドタイム値を設定

表 24.4.8-5 PIC の設定

機能	レジスタ	ビット位置	ビット名	設定値	備考
PIC	PIC0REG30	1	PIC0REG3001	ブロック図参照	TSG20 の TS0PUD 信号を出力し ENCA0 タイマの ENCA0E1 入力を選択
		0	PIC0REG3000	ブロック図参照	TSG20 の TS0PEC 信号を選択し ENCA0 タイマの ENCA0E0 入力を選択
	PIC0REG50	0	PIC0REG500	ブロック図参照	TSG20PTSI0-TSG20PTSI2 端子入力を選択

24.4.9 CAN タイムスタンプ機能

24.4.9.1 機能概要

CAN コントローラと TAUB0 の CH8，または，CH9 と組み合わせることでメッセージ受信に対してタイムスタンプ機能を設定することができます。

TAUB0 の CH8，または，CH9 は，CAN コントローラからデータ・フレームの受信時に出力される TSOUT 信号に応じて，タイマ値をキャプチャします。CPU はそのキャプチャ値を読み出すことにより，キャプチャ・イベントの発生時刻，すなわち CAN バスから受信したメッセージのタイム・スタンプを得ることができます。

24.4.9.2 構成

構成＼タイマ機能	CAN	TAUJ
構成 1	CAN0	TAUB0 CH8
構成 2	CAN1	TAUB0 CH9

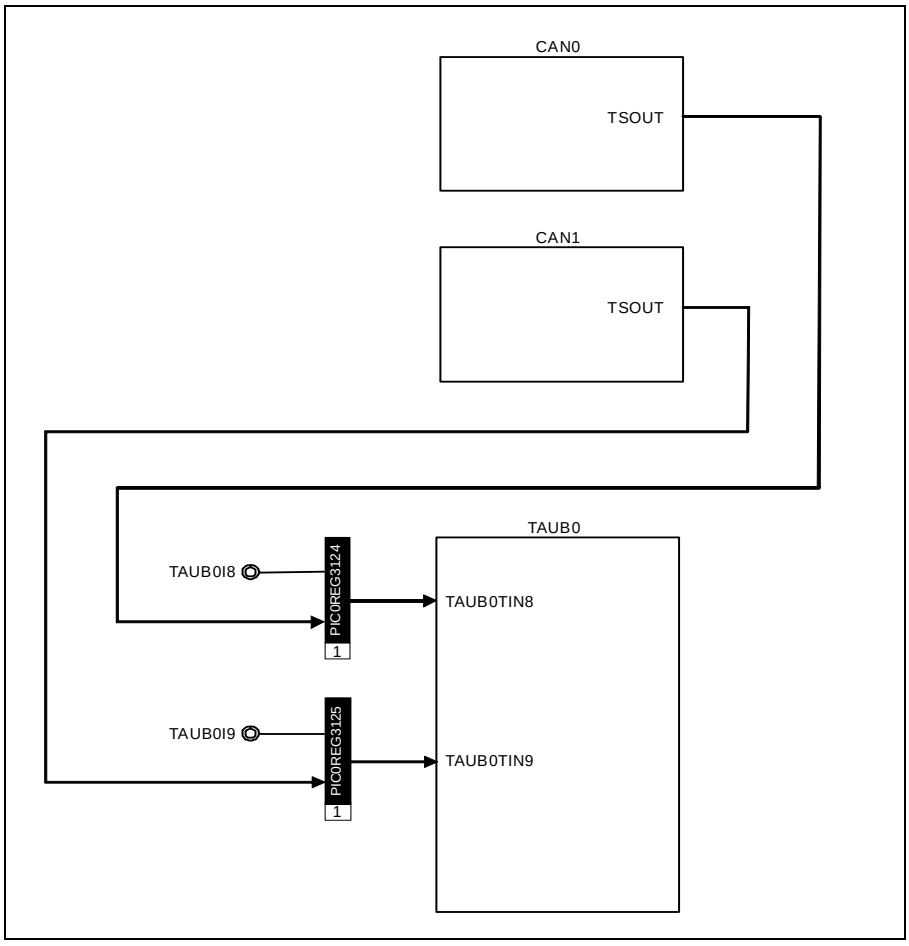


図 24.4.9-1 CAN タイムスタンプ機能のブロック図

24.4.9.3 レジスタ

(1) タイマ入出力制御レジスタ 31（PIC0REG31）

PIC0REG31 レジスタは，タイマ入力信号の選択を行う 32 ビット・レジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FF81 C0EC$_H$

初期値 0000 0000$_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	PIC0REG3125	PIC0REG3124
R	R	R	R	R	R	R/W	R/W

23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

表 24.4.9-1 PIC0REG31 の内容

ビット位置	ビット名	機能
25	PIC0REG3125	TAUB0CH9 の入力信号を選択します。 0：TAUB0TIN9 入力 1：CAN1 タイムスタンプ用のトリガ信号（TSOUT 信号）
24	PIC0REG3124	TAUB0CH8 の入力信号を選択します。 0：TAUB0TIN8 入力 1：CAN0 タイムスタンプ用のトリガ信号（TSOUT 信号）

注意
1. PIC0REG31 レジスタに “0” を定義しているビットは，他のタイマ接続機能で定義していることがあります。その場合，該当するタイマ接続機能のビット定義を適用してください。
2. CAN0 ／ CAN1 タイムスタンプ用のトリガ信号（TSOUT 信号）へ切り替える場合は，CAN 動作開始前，または，TSOUT 信号のトグル動作が禁止の状態で設定を行ってください。TSOUT 信号は，FCNnCMTSCTL.FCNnCMTSTSGE = 0 にセットすることによってトグル動作が禁止されます。
3. CAN タイムスタンプ機能と LIN 通信スレーブ動作ボー・レート検出機能と同時に使用することはできません。CAN タイムスタンプ機能が動作する場合，使用する TAUB0 の ch8, ch9 のタイマ入力信号に UARTH 機能の信号を入力しないようにしてください。

24.4.10 TSG20 ＋ TAUB0 デッドタイム縮小機能

24.4.10.1 機能概要

TSG20 と TAUB0 を組合わせることで，TSG20 の Duty 設定 0%，100% 付近でのリニアなデッドタイム縮小を実現します。

本機能は，TSG20 出力信号と TAUB0 のチャネル 4/5/6 出力信号を組合わせることで実現します。また，TAUB0 のチャネル 4/5/6 に入力されるトリガ信号として，TSG20 のコンペア 0 割込み信号またはコンペア 2/6/10 割込み信号の選択，TSG20 出力信号と TAUB0 出力信号のタイミング調整の選択もできます。

備考 本章では，各マクロのユニット番号を「n」で表します。n には，0 または 1 の番号が入ります。

24.4.10.2 構成

この機能で使用する構成を以下に示します。

表 24.4.10-1 タイマ構成

構成＼タイマ機能	TSG2	TAUB
タイマ構成 1	TSG20	TAUB0 Ch4/5/6

構成＼タイマ別端子機能	TSG2 出力信号	TAUB	
		入力信号	出力信号
タイマ構成 1	TSG20TO1 TSG20TO2 TSG20TO3 TSG20TO4 TSG20TO5 TSG20TO6	—	TAUB0TOUT4 TAUB0TOUT5 TAUB0TOUT6
	TSG20INT0 TSG20INT2 TSG20INT6 TSG20INT10	TAUB0TIN4 TAUB0TIN5 TAUB0TIN6	

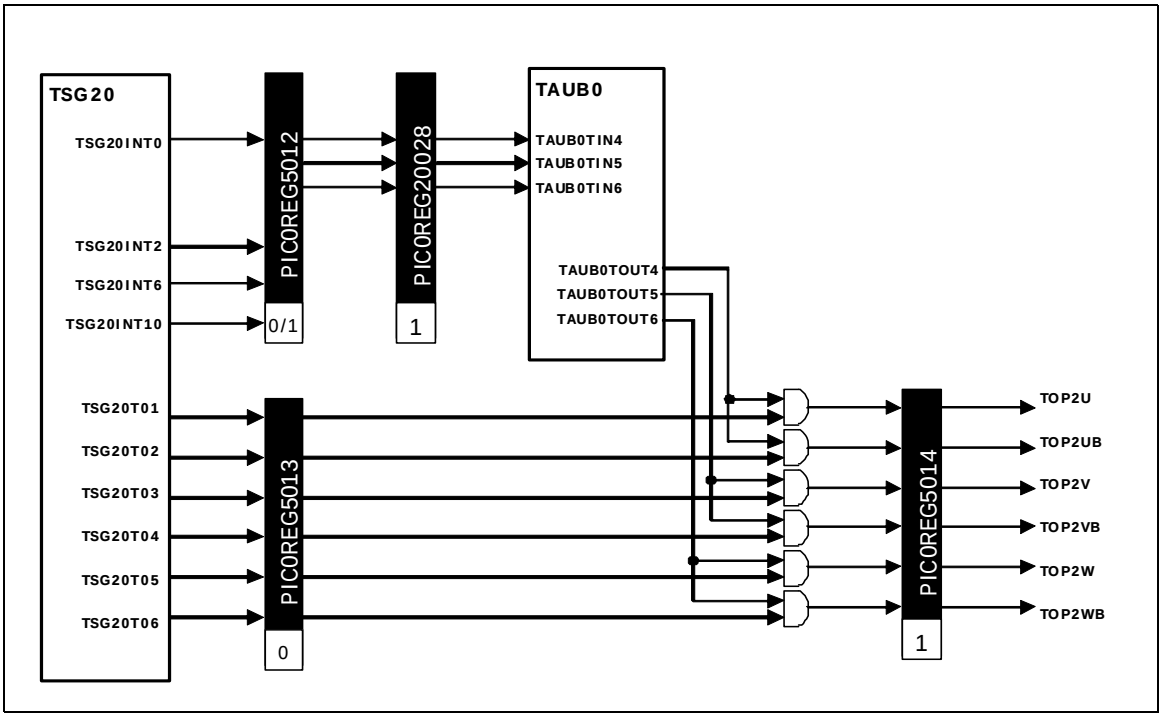


図 24.4.10-1 TSG20 ＋ TAUB0 デッドタイム縮小機能のブロック図

24.4.10.3 レジスタ

(1) タイマ入出力制御レジスタ 50（PIC0REG50）

PIC0REG50 レジスタは，TSG20 の出力信号を TAUB0 へ入力する 16 ビット・レジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス FF83 C0F8$_H$

初期値 0000$_H$ どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	PIC0REG5014	0	PIC0REG5012	0	0	0	0
R	R/W	R	R/W	R	R	R	R

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

表 24.4.10-2 PIC0REG50 の内容

ビット位置	ビット名	機能
14	PIC0REG5014	TOP2U/UB，TOP2V/VB，TOP2W/WB の出力信号を選択します。 TSG20 ＋ TAUB0 デッドタイム縮小機能を使用する場合は，PIC0REG5014 を必ず “1” に設定してください。
12	PIC0REG5012	TAUB0TIN4，TAUB0TIN5，TAUB0TIN6 の入力信号を選択します。 0：TSG20INT0 入力 1：TSG20INT2, TSG20INT4, TSG20INT6 入力

注意 PIC0REG50 レジスタに “0” を定義しているビットは，他のタイマ接続機能で定義していることがあります。その場合，該当するタイマ接続機能のビット定義を適用してください。

(2) タイマ入出力制御レジスタ 200（PIC0REG200）

PIC0REG200 レジスタは，TAUB0 への入力信号を選択する 16 ビット・レジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FF81 C0C0$_H$

初期値 0000 0000$_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

注意
1. TSG20 ＋ TAUB0 デッドタイム縮小機能を使用する場合は，PIC0REG2028 を必ず “1” に設定してください。
2. PIC0REG200 レジスタに “0” を定義しているビットは，他のタイマ接続機能で定義していることがあります。その場合，該当するタイマ接続機能のビット定義を適用してください。

24.4.10.4 動作例

(1) TSG20 コンペア 0 割込み＋ TAUB0 動作

TAUB0 のチャネル（TAUB0TIN4/5/6）に入力するタイマスタートトリガ信号に，TSG20 出力のコンペア 0 割込み信号（TSG20INT0）を選択し，TSG20 + TAUB0 によるデッドタイム縮小を実現します。

接続組合せについては，*図 24.4.10-1「タイマ構成」*を参照してください。

以下に接続イメージ，動作例を示します。

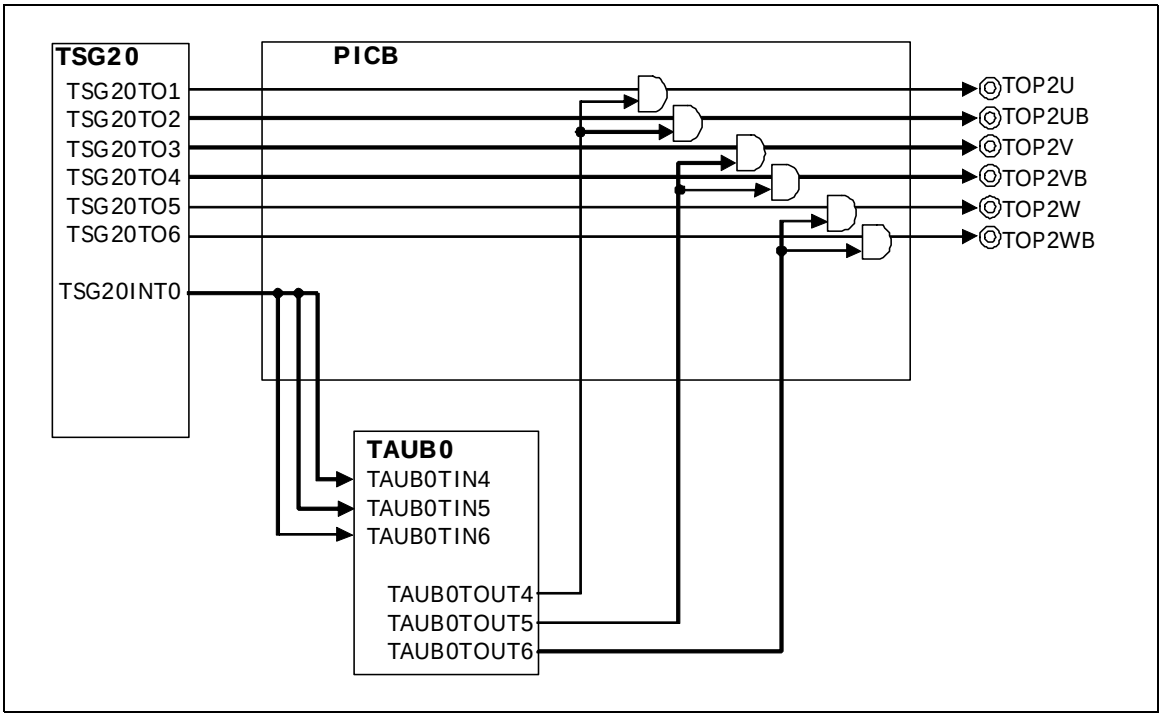


図 24.4.10-2 TSG20 コンペア 0 割込み +TAUB0 接続イメージ

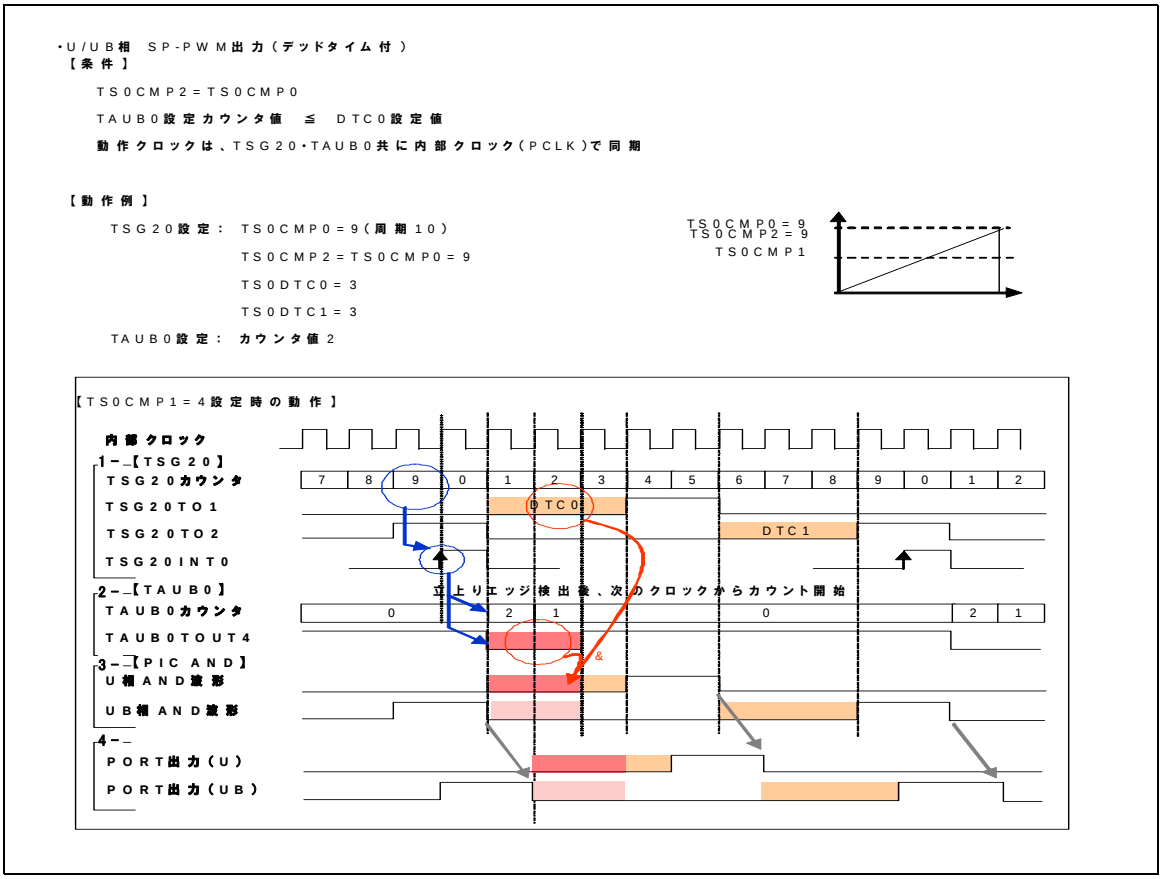


図 24.4.10-3 TSG20 コンペア 0 割込み +TAUB0 動作例

備考 1. Duty0%[TS0CMP1=0]，Duty100%[TS0CMP1=10] 設定時，TSG20 出力が “H” or “L” に張り付くため，上記の TAUB0TOUT4 の波形が，PORT（U/UB）出力波形として出力します。

2. コンペア 0 割込み（TSG20INT0）を使用した動作にて設定する場合，TS0CMP2=TS0CMP0 に設定する必要があります。

3. 図内 1 から 4 の動作は以下の通りとなります。
1- TSG20 が，SP-PWM モード（デッドタイム付き）にて動作（周期的にコンペア 0 割込みが発生）
2- コンペア 0 割込みの立上りエッジをトリガに，TAUB0 のカウントを開始
3- TSG20 出力信号と，TAUB0 出力信号を論理積した信号を生成
4- 3 で生成した信号を PCLK で切り直し，PORT 出力

(2) TSG20 コンペア 2/6/10 割込み＋ TAUB0 動作

TAUB0 のチャネル（TAUB0TIN4/5/6）に入力するタイマスタートトリガ信号に，TSG20 出力のコンペア 2/6/10 割込み信号（TSG20INT2/6/10）を選択し，TSG20+TAUB0 によるデッドタイム縮小を実現します。

接続組合せについては，*図 24.4.10-1「タイマ構成」*を参照してください。

以下に接続イメージ，動作例を示します。

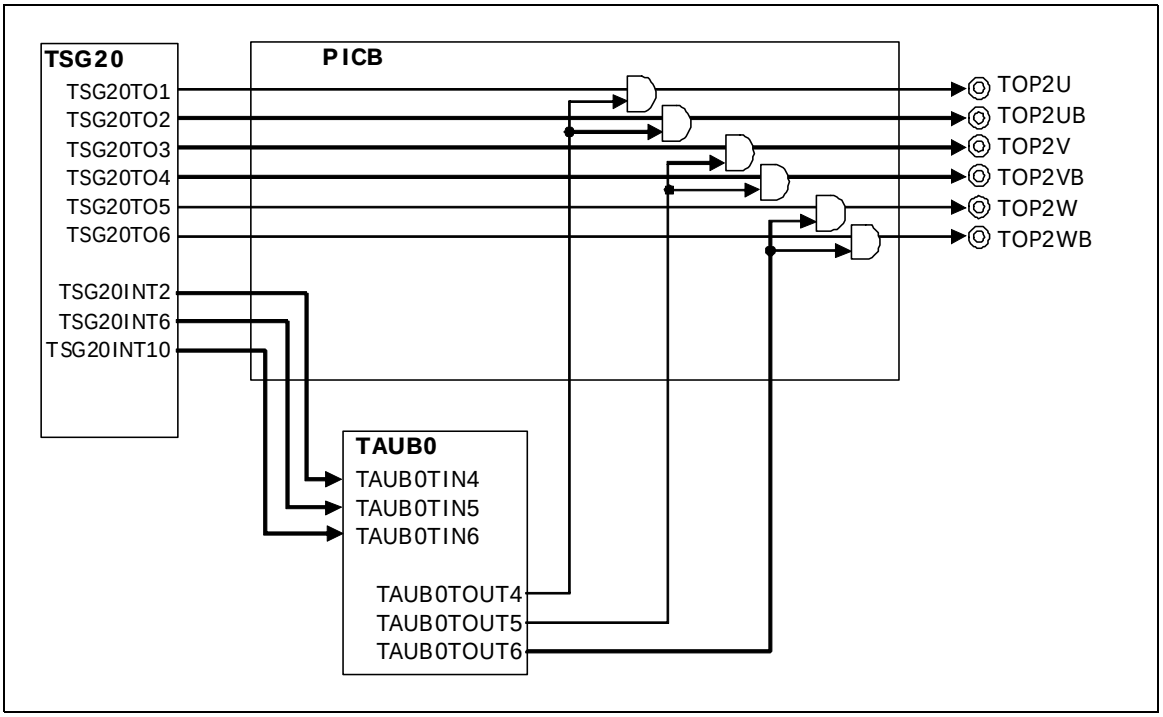


図 24.4.10-4 TSG20 コンペア 0 割込み +TAUB0 接続イメージ

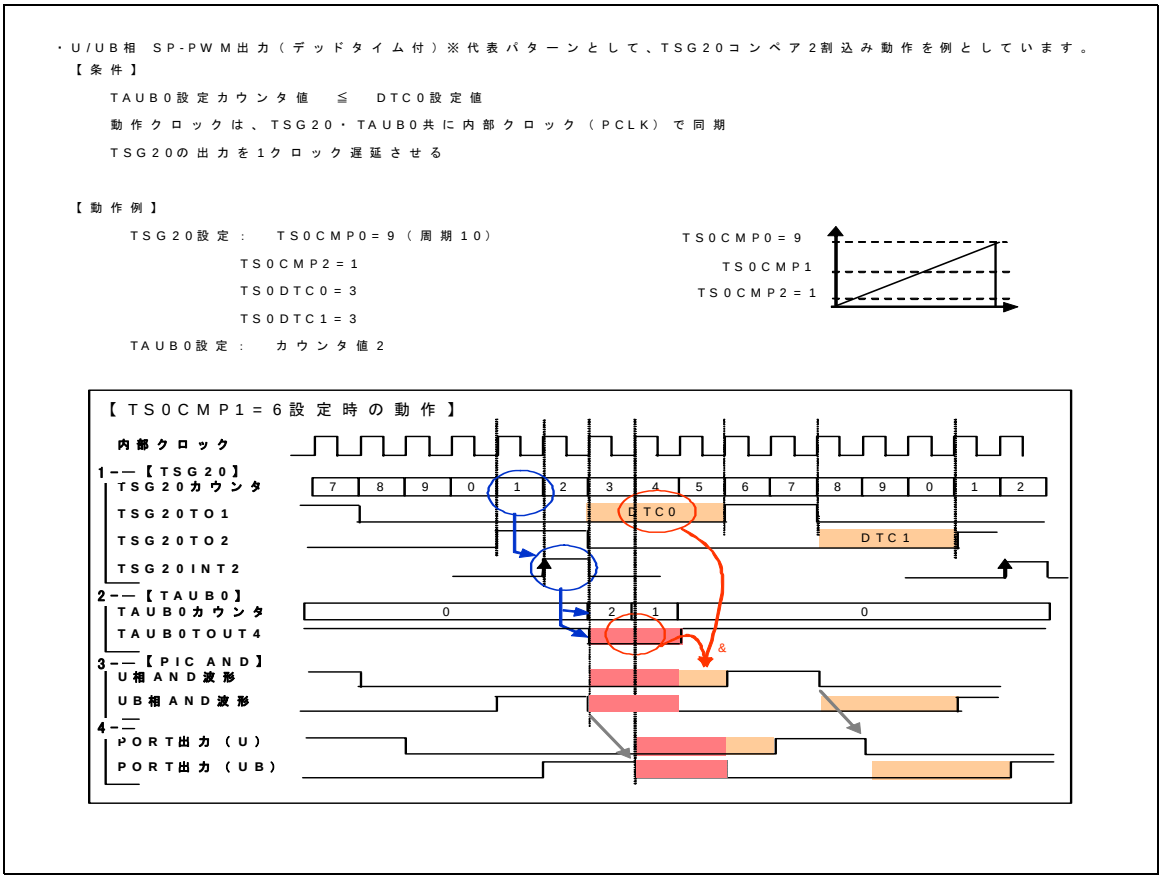


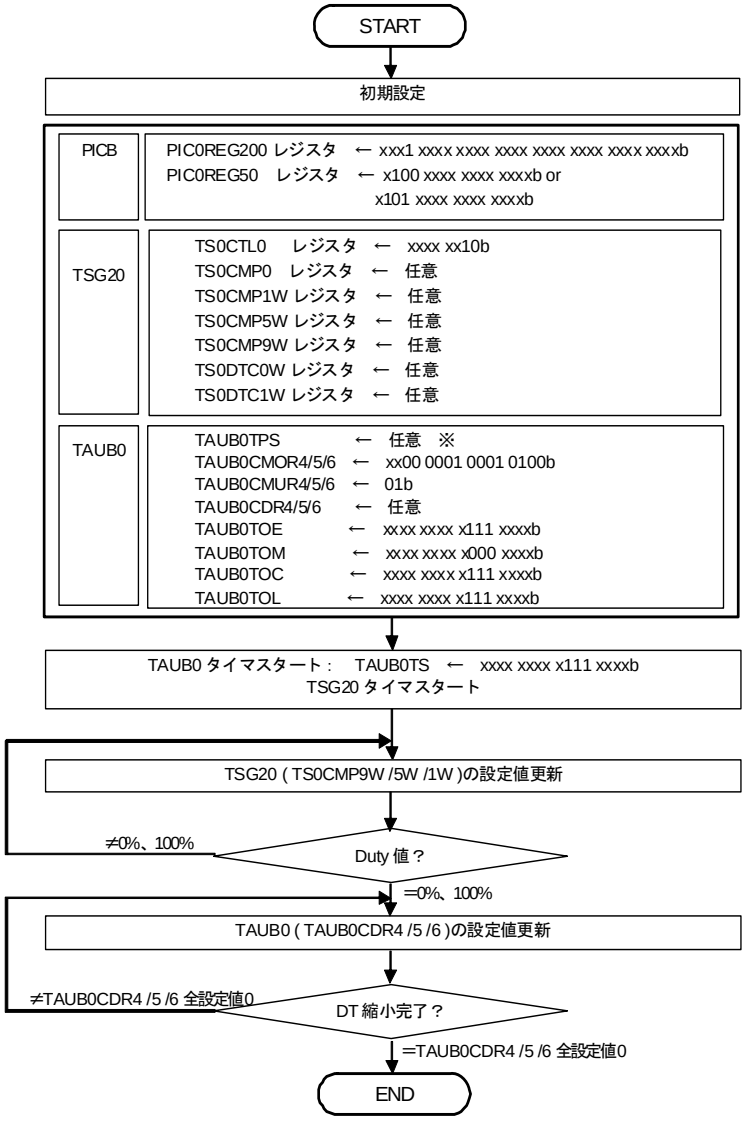
図 24.4.10-5 TSG20 コンペア 0 割込み +TAUB0 動作例

備考 1. Duty0%[TS0CMP1=0]，Duty100%[TS0CMP1=10] 設定時，TSG20 出力が “H” or “L” に張り付くため，上記の TAUB0TOUT4 の波形が，PORT（U/UB）出力波形として出力します。

2. 図内 1 から 4 の動作は以下の通りとなります。

1- TSG20 が，SP-PWM モード（デッドタイム付き）にて動作（設定に応じたコンペア 2 割込みが発生）
2- コンペア 2 割込みの立上りエッジをトリガに，TAUB0 のカウントを開始
3- TSG20 出力信号と，TAUB 出力信号を論理積した信号を生成
4- 3 で生成した信号を PCLK で切り直し，PORT 出力

24.4.10.5 動作フロー



※分周なしの PCLK で動作するようにクロック設定して下さい。

図 24.4.10-6 初期設定，動作開始フロー

24.4.10.6 動作機能の設定

本節に示す設定は，TAUB0 のカウントスタートトリガとして TSG20 コンペア 0 割込み，または TSG20 コンペア 2/6/10 割込みを選択する為の PICB レジスタ設定値，TSG20 出力信号（TSG20nTO1-6）信号と TAUB0 の出力信号（TAUB0TOUT4-6）を AND 接続する為の PICB レジスタ設定値を記載しています。利用する接続の設定値を参照してください。記載のないレジスタのビットは，初期値になります。

表 24.4.10-3 TSG20 設定

機能	レジスタ	ビット位置	ビット名	設定値	備考
TSG20	TS0CTL0	1 0	TS0MD1 TS0MD0	1,1	動作モード選択（SP-PWM）
	TS0TRG0	0	TS0TS	0	タイマの開始トリガ
	TS0CMP0	—	—	任意	コンペアレジスタ PWM 周期を設定
	TS0CMP1W	—	—	任意	コンペアレジスタ コンペア値を設定 • コンペア 0 割込み使用時は，TS0CMP2 ＝ TS0CMP0 設定とすること
	TS0CMP1W	—	—	任意	コンペアレジスタ コンペア値を設定 • コンペア 0 割込み使用時は，TS0CMP6 ＝ TS0CMP0 設定とすること
	TS0CMP1W	—	—	任意	コンペアレジスタ コンペア値を設定 • コンペア 0 割込み使用時は，TS0CMP10 ＝ TS0CMP0 設定とすること
	TS0CMP1,5,9	—	—	任意	コンペアレジスタ コンペア値を設定
	TS0CMP2,6,10	—	—	任意	コンペアレジスタ コンペア値を設定 • コンペア 0 割込み使用時は，TS0CMP0 の値と同値を設定すること
	TS0DTC0W	—	—	任意	デッドタイム設定レジスタ デッドタイム値を設定
	TS0DTC1W	—	—	任意	デッドタイム設定レジスタ デッドタイム値を設定

注意 分周なしの PCLK で動作するようにクロック設定して下さい。

表 24.4.10-4 TAUB0 設定

機能	レジスタ	ビット位置	ビット名	設定値	備考
TAUB	TAUB0TPS	15-12	PRS33-PRS30	任意	いずれか一つを 0000b 設定として，分周なしの PCLK が出力されるように設定
		11-8	PRS23-PRS20		
		7-4	PRS13-PRS10		
		3-0	PRS03-PRS00		
	TAUB0CDR6, TAUB0CDR5, TAUB0CDR4			任意	CHm のキャプチャ / コンペア・レジスタ 動作モードによりキャプチャ，コンペアが自動に切り替わる。
	TAUB0CMORm	15 14	CKS1 CKS0	任意	チャネルの動作クロックを選択 （動作クロックが PCLK になるように選択）
		13 12	CCS1 CCS0	0, 0	プリスケーラ出力をカウントクロックとして選択
		11	MAS	0	未使用
		10-8	STS2-STS0	0, 0, 1	有効な TAUB0TI4/5/6 入力エッジ信号を外部スタートトリガとして選択
		7 6	COS1, COS0	0, 0	未使用
		4-0	MD4-MD0	1, 0, 1, 0, 0	パルス・ワンカウント・モードを選択 動作中のスタート・トリガ無効
	TAUB0CMUR6, TAUB0CMUR5, TAUB0CMUR4	1 0	TIS1, TIS0	0,1	立ち上がりエッジ検出を選択
	TAUB0TOE	6-4	TAUB0TOE06- TAUB0TOE04	1, 1, 1	チャネル 4/5/6 タイマ単体出力機能を許可
	TAUB0TOM	6-4	TAUB0TOM06- TAUB0TOM04	0, 0, 0	チャネル 4/5/6 チャネル単体動作出力モードを選択
	TAUB0TOC	6-4	TAUB0TOC06- TAUB0TOC04	1, 1, 1	チャネル 4/5/6 セット／リセット・モードに出力選択
	TAUB0TOL	6-4	TAUB0TOL06- TAUB0TOL04	1, 1, 1	チャネル 4/5/6 出力論理を反転論理（アクティブ・ロウ）選択
	TAUB0TS	6-4	TAUB0TS06- TAUB0TS04	1, 1, 1	チャネル 4/5/6 カウンタ動作の許可を選択

注意 分周なしの PCLK で動作するようにクロック設定して下さい。

表 24.4.10-5 TSG20 コンペア 0 割込み＋ TAUB0 動作時の PICB の設定

機能	レジスタ	ビット位置	ビット名	設定値	備考
PIC	PIC0REG50	14	PIC0REG5014	1	TAUB0TOUT4/5/6 を AND した信号を F/F で切り直した信号を選択
		12	PIC0REG5012	0	TSG20 コンペア 0 割込み信号を選択
	PIC0REG200	28	PIC0REG20028	1	TAUB0TIN4/5/6 入力端子への入力信号に，TSG20 出力のコンペア割込み信号を選択 (PIC0REG50 bit12 で選択された信号)

表 24.4.10-6 TSG20 コンペア 2/6/10 割込み＋ TAUB0 動作時の PICB の設定

機能	レジスタ	ビット位置	ビット名	設定値	備考
PIC	PIC0REG50	14	PIC0REG5014	1	TAUB0TOUT4/5/6 を AND した信号を F/F で切り直した信号を選択
		12	PIC0REG5012	0	TSG20 コンペア 2/6/10 割込み信号を選択
	PIC0REG200	28	PIC0REG20028	1	TAUB0TIN4/5/6 入力端子への入力信号に，TSG20 出力のコンペア割込み信号を選択 (PIC0REG50 bit12 で選択された信号)

24.4.11 TAUB 入力選択機能

24.4.11.1 機能概要

特定端子においてマルチプレクサされている入力先 TAUB の TIN 端子に入力信号を同時入力することが可能です。

備考 本章では，各マクロのユニット番号を「n」で表します。n には，0 または 1 の番号が入ります。

24.4.11.2 構成

この機能で使用する構成を以下に示します。

表 24.4.11-1 タイマ構成

構成／タイマ機能	TAUB
タイマ構成	TAUB0

構成／タイマ別端子機能	TAUB
	入力端子
TAUB0 外部入力	TAUB0I6 ／ TAUB0I7 TAUB0I8 ／ TAUB0I9 TAUB0I10 ／ TAUB0I11

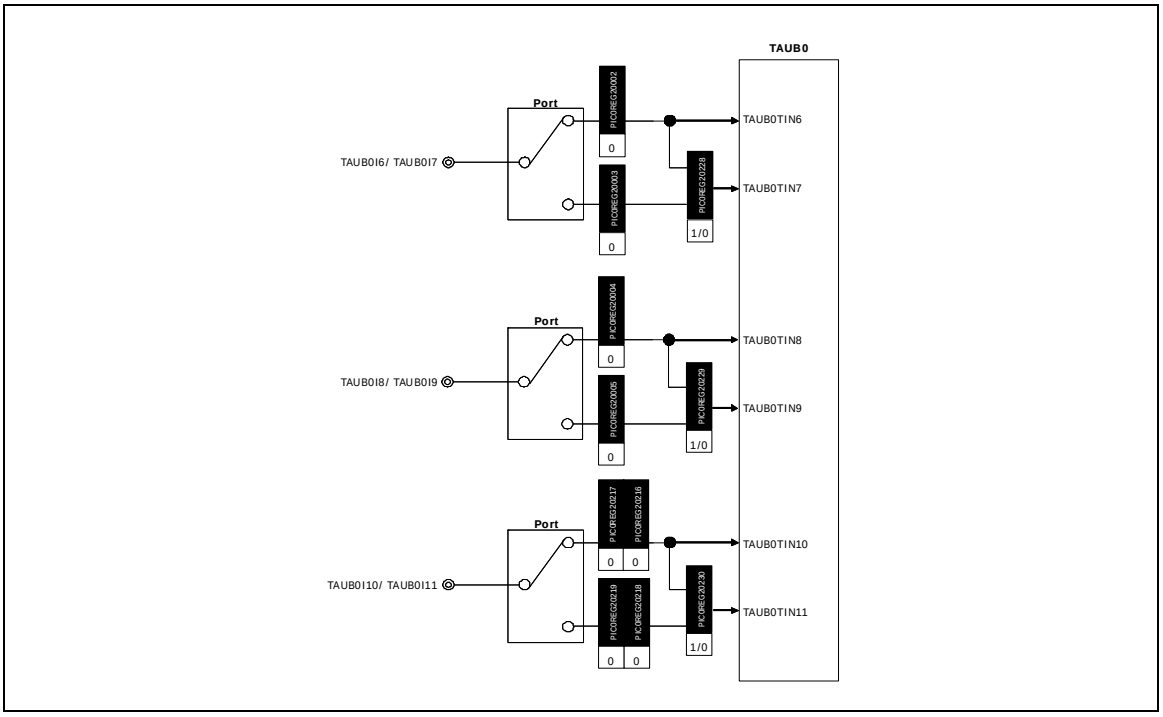


図 24.4.11-1 TAUB 入力選択機能のブロック図

24.4.11.3 レジスタ

(1) タイマ入出力制御レジスタ 200（PIC0REG200）

PIC0REG200 レジスタは，タイマ入力信号の選択を行う 32 ビット・レジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FF81 C0C0$_H$

初期値 0000 0000$_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	0	PIC0REG20005	PIC0REG20004	PIC0REG20003	PIC0REG20002	0	0
R	R	R/W	R/W	R/W	R/W	R	R

表 24.4.11-2 PIC0REG200 の内容

ビット位置	ビット名	機能
5	PIC0REG20005	TAUB0 CH09 の入力信号を選択します 0：TAUB0I9 の入力 1：設定禁止
4	PIC0REG20004	TAUB0 CH08 の入力信号を選択します 0：TAUB0I8 の入力 1：設定禁止
3	PIC0REG20003	TAUB0 CH07 の入力信号を選択します 0：TAUB0I7 の入力 1：設定禁止
2	PIC0REG20002	TAUB0 CH06 の入力信号を選択します 0：TAUB0I6 の入力 1：設定禁止

注意 PIC0REG200 レジスタに “0” を定義しているビットは，他のタイマ接続機能で定義していることがあります。その場合，該当するタイマ接続機能のビット定義を適用してください。

(2) タイマ入出力制御レジスタ 202（PIC0REG202）

PIC0REG202 レジスタは，タイマ入力信号の選択を行う 32 ビット・レジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FF81 C0C8$_H$

初期値 0000 0000$_H$ どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	PIC0REG20230	PIC0REG20229	PIC0REG20228	0	0	0	0
R	R/W	R/W	R/W	R	R	R	R

23	22	21	20	19	18	17	16
0	0	0	0	PIC0REG20219	PIC0REG20218	PIC0REG20217	PIC0REG20216
R	R	R	R	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

表 24.4.11-3 PIC0REG202 の内容 (1/2)

ビット位置	ビット名	機能
30	PIC0REG20230	TAUB0 CH11 の入力を選択します。 PIC0REG20230 = 0：PIC0REG202 bit19,18 で設定した信号を選択 (TAUB0I11) PIC0REG20230 = 1：PIC0REG202 bit17,16 で設定した信号を選択 (TAUB0I10)
29	PIC0REG20229	TAUB0 CH9 の入力を選択します。 PIC0REG20230 = 0：PIC0REG200 bit5 で設定した信号を選択 (TAUB0I9) PIC0REG20230 = 1：PIC0REG200 bit4 で設定した信号を選択 (TAUB0I8)

表 24.4.11-3 PIC0REG202 の内容 (2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>28</td><td>PIC0REG20228</td><td>TAUB0 CH7 の入力を選択します。
<table>
<tr><th>PIC0REG20230</th><th>入力信号</th></tr>
<tr><td>0</td><td>PIC0REG200 bit3 で設定した信号を選択
(TAUB0I7)</td></tr>
<tr><td>1</td><td>PIC0REG200 bit2 で設定した信号を選択
(TAUB0I6)</td></tr>
</table></td></tr>
<tr><td>19
18</td><td>PIC0REG20219
PIC0REG20218</td><td>TAUB0 CH11 の入力を選択します。
<table>
<tr><th>PIC0REG20009</th><th>PIC0REG20008</th><th>入力信号</th></tr>
<tr><td>0</td><td>0</td><td>TAUB0I11</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>17
16</td><td>PIC0REG20217
PIC0REG20216</td><td>TAUB0 CH10 の入力を選択します。
<table>
<tr><th>PIC0REG20009</th><th>PIC0REG20008</th><th>入力信号</th></tr>
<tr><td>0</td><td>0</td><td>TAUB0I10</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
</table>

注意 PIC0REG202 レジスタに “0” を定義しているビットは，他のタイマ接続機能で定義していることがあります。その場合，該当するタイマ接続機能のビット定義を適用してください。

24.4.11.4 動作例

この機能では，特定の TAUB0Im（TAUB0 外部入力端子 m）の入力信号をマルチプレクサされている TAUB の TIN 信号として同時接続できます。接続できる組合せは以下の通りです。

表 24.4.11-4 TAUB 外部入力端子と TAUB0TINm の接続動作

対象端子	端子機能	備考
TAUB0I6 ／ TAUB0I7	TAUB0I6	TAUB0I6TAUB0TIN6 に TAUB0I6 信号を接続します。
		PIC0REG20228 の設定で TAUB0TIN7 の接続を選択します。 1：TAUB0I6 接続 0：接続なし
	TAUB0I7	TAUB0TIN6 への信号接続はできません。
		PIC0REG20228 の設定で TAUB0TIN7 の接続を選択します。 1：TAUB0I7 接続 0：接続なし
TAUB0I8 ／ TAUB0I9	TAUB0I8	TAUB0I8TAUB0TIN8 に TAUB0I8 信号を接続します。
		PIC0REG20229 の設定で TAUB0TIN9 の接続を選択します。 1：TAUB0I8 接続 0：接続なし
	TAUB0I9	TAUB0I9TAUB0TIN8 への信号接続はできません。
		PIC0REG20229 の設定で TAUB0TIN9 の接続を選択します。 1：TAUB0I9 接続 0：接続なし
TAUB0I10 ／ TAUB0I11	TAUB0I10	TAUB0TIN10 に TAUB0I10 信号を接続します。
		PIC0REG20230 の設定で TAUB0TIN11 の接続を選択します。 1：TAUB0I10 接続 0：接続なし
	TAUB0I11	TAUB0TIN10 への信号接続はできません。
		PIC0REG20230 の設定で TAUB0TIN11 の接続を選択します。 1：TAUB0I11 接続 0：接続なし

第 25 章　オンチップ・デバッグ機能

この章では，オンチップ・デバック機能について説明します。

オンチップ・デバッグ・エミュレータを使用することで，マイクロコントローラをターゲット・システムに実装した状態で，プログラムのデバッグが行えるようになります。

なお，この製品のオンチップ・デバッグ機能は，Nexus デバッグ・インタフェース標準仕様 IEEE-ISTO 5001TM-2003 Class1 に準拠しています。

注意 この章で示すデバッグ機能は，マイクロコントローラとしてサポートしている機能であり，使用可能かどうかはデバッガによって異なります。各デバッグ機能の詳細は使用するデバッガのユーザーズ・マニュアルを参照してください。

25.1　機能概要

次にオンチップ・デバッグ機能の概要を示します。

(1)　デバッグ・インタフェース

次のデバッグ・インタフェースにより，オンチップ・デバッグ・エミュレータを介して，ホスト・マシンとの通信を行います。

– Nexus デバッグ I/F：$\overline{\text{DCUTRST}}$, DCUTCK，DCUTMS，DCUTDI
DCUTDO，DCUTRDY 信号

– LPD I/F（1 ピン・デバッグ I/F）：LPDIO 信号

(2)　デバッグ・モニタ機能

ユーザ・プログラムの中断中に，デバッグ専用領域でモニタ・プログラムを実行することで，次に示す基本的なデバッグ機能が実行できます。

- ユーザ・プログラムのダウンロード
- メモリやレジスタなどをリード／ライト
- ユーザ・プログラムの任意のアドレスから実行

(3)　ハードウエア・ブレーク機能

命令系／アクセス系兼用ブレーク・ポイントを 4 ポイント使用できます。命令系のブレーク・ポイントによって，プログラムの実行を任意のアドレスで中断できます。アクセス系のブレーク・ポイントによって，任意のアドレスへのデータ・アクセスでプログラムの実行を中断できます。また，最大 2 段のシーケンスでブレーク条件を組み合わせることもできます。

(4)　ソフトウエア・ブレーク機能

RAM 上のユーザ・プログラムの実行を任意のアドレスで中断（ブレーク）可能です。

(5)　強制ブレーク機能

ユーザ・プログラムの実行を強制的に中断できます。

(6)　強制リセット機能

マイクロコントローラを強制的にリセットできます。

(7)　リアルタイム RAM モニタ機能（RRM 機能）

プログラム実行中にメモリをリードできます。リード時はデバッグ専用の DMA を使用するため，プログラムの実行には，ほとんど影響を与えません。

(8)　ダイナミック・メモリ・モディフィケーション機能（DMM 機能）

プログラム実行中にメモリをリライトできます。リライト時はデバッグ専用の DMA を使用するため，プログラムの実行には，ほとんど影響を与えません。

(9)　時間測定機能

– Nexus デバッグ I/F

プログラム実行時間を測定できます。TCK 信号を 2 分周したクロックを使用し，32 ビットのカウンタで測定します。

– LPD I/F

CPU クロックを 8 分周したクロックを使用し，32 ビットのカウンタで測定します。

(10)　マスク機能

次に示す信号をマスクできます。

$\overline{\text{RESET}}$，各内部リセット

(11)　ブレーク中の周辺 I/O 動作／停止選択機能

ブレーク中の周辺 I/O を動作させるか，停止させるかを選択できます。

●ブレーク中は必ず停止する周辺 I/O

・ウォッチドッグ・タイマ（WDTA0）

●ブレーク中，動作／停止を選択できる機能

・タイマ（TSG2n，TAUBn，TAUJn，ENCAn，OSTMn）

・アシンクロナス・シリアル・インタフェース（UARTHn）

・3 線式シリアル・インタフェース（CSIGn）

・CAN コントローラ（FCNn）

・A/D コンバータ（ADCAn）

(12)　ホット・プラグイン機能

動作中の CPU にリセットを入れることなく，オンチップ・デバッグ・エミュレータを接続し，デバッグを開始することができます（ホット・プラグアウトには非対応です）。

(13)　セキュリティ機能

フラッシュ・メモリの内容を第三者に読み出されることを防ぐために，96 ビットの ID コードをマイクロコントローラに書き込むことができます。デバッガ起動時に，ユーザが入力する ID コードと，マイクロコントローラに書き込まれた ID コードが一致しないと，フラッシュ・メモリを参照できないようにできます。なお最終ビットのビット 95 を “0” に設定した場合は，ID コードが一致した場合でも，フラッシュ・メモリの参照ができないようになります。

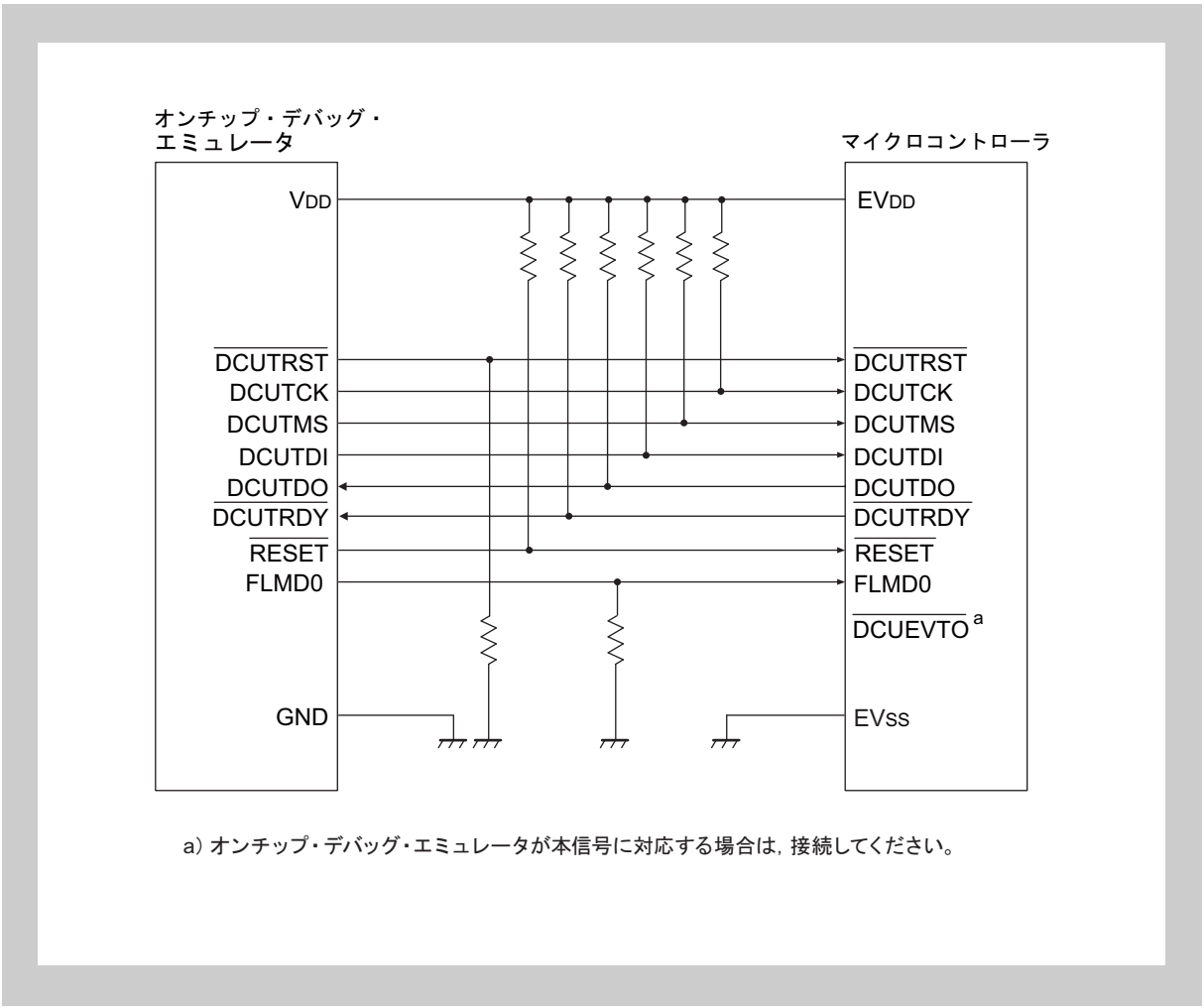
ID コードの設定方法などは，使用するソフトウエア・ツールのユーザーズ・マニュアルを参照してください。

(14)　トリガ・イベント機能

実行アドレス／アクセス・アドレス／アクセス・データ／範囲（大小比較）について，4 段シーケンシャル実行によるイベント検出を行うイベント機能を搭載します。

25.2 オンチップ・デバッグ・エミュレータとの接続

(1) Nexus デバッグ I/F



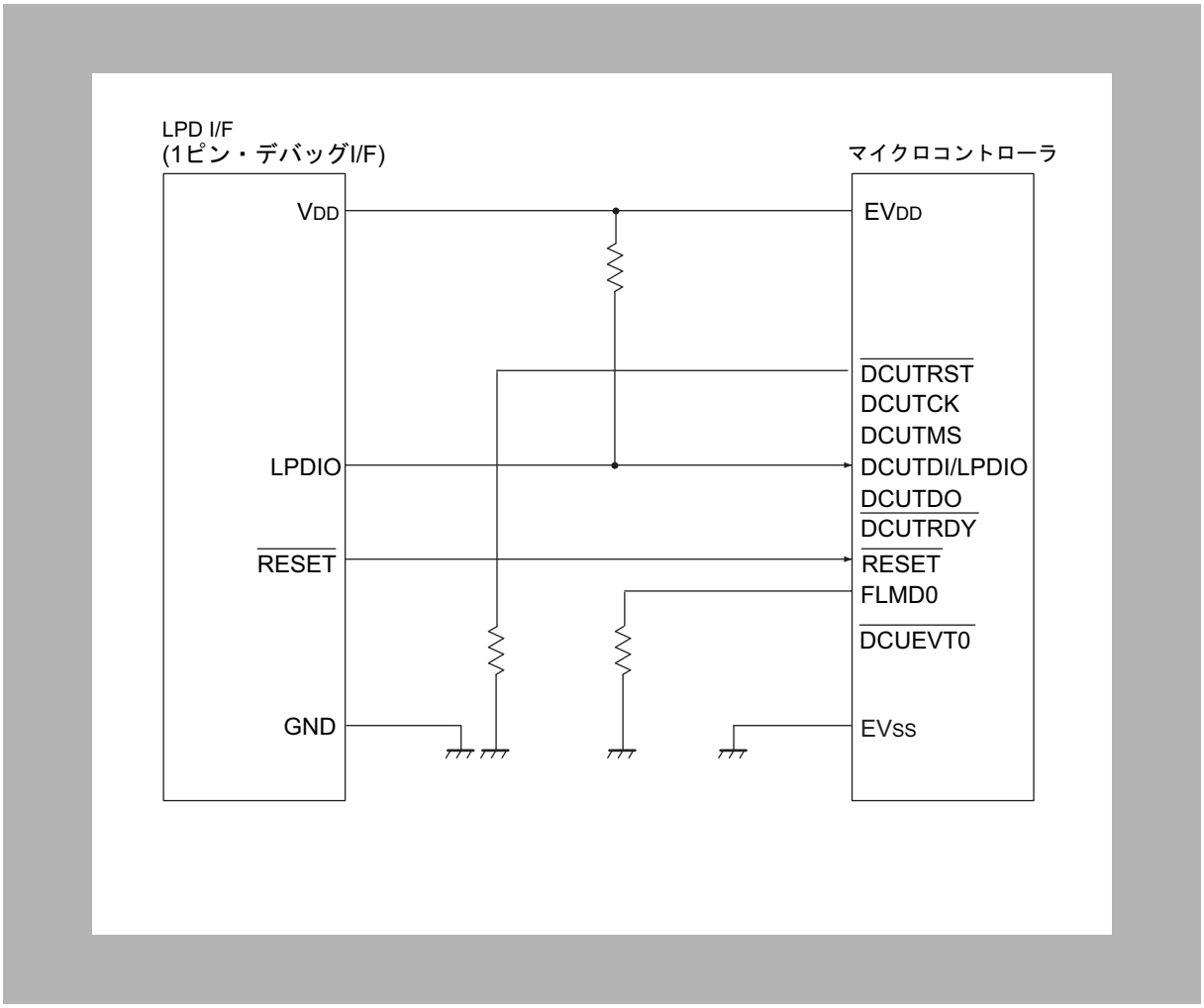
a) オンチップ・デバッグ・エミュレータが本信号に対応する場合は，接続してください。

図 25-1 オンチップ・デバッグ・エミュレータとの接続に使用する端子

表 25-1　オンチップ・デバッグ・エミュレータとの回路接続に使用する端子

端子名	説明
V_{DD}	ターゲット・システムの電源検出用信号，およびオンチップ・デバッグ・エミュレータ側のバッファ用電源です。
$\overline{\text{DCUTRST}}$	マイクロコントローラのデバッグ機能を非同期にリセットする信号です。
DCUTCK	デバッグ機能用のクロック信号です。
DCUTMS	データ通信の転送モード選択信号です。
DCUTDI	マイクロコントローラへ入力するデータ信号です。
DCUTDO	マイクロコントローラから出力するデータ信号です。
$\overline{\text{DCUTRDY}}$	データ通信用の同期信号です。
$\overline{\text{RESET}}$	マイクロコントローラのリセット信号です。システム電源 ON からデバッガ起動までの間，リセット状態にするために接続します。
FLMD0	マイクロコントローラのフラッシュ・メモリを書き換えるためのモード信号です。

(2) LPD I/F（1 ピン・デバッグ I/F）



1 ピン・デバッグ時に使用する端子を*表 25-2「オンチップ・デバッグ・エミュレータとの接続に使用する端子 （LPD I/F の場合）」*に示します。1 ピン・デバッグ時は DCUTRST 端子を常時，外部プルダウン処理してください。

表 25-2 オンチップ・デバッグ・エミュレータとの接続に使用する端子（LPD I/F の場合）

端子名	説明
LPDIO	LPD I/F 専用の信号です。

25.3 オンチップ・デバッグ時の注意事項

(1) Nexus デバッグ I/F の場合

1. デバッグに使用したデバイスの取り扱いについて
   デバッグに使用したデバイスを量産製品に搭載しないでください（デバッグ中にフラッシュ・メモリの書き換えをしており，フラッシュ・メモリの書き換え回数を保障することができないためです）。
2. マイコン電源投入後，DCUTRST 端子 = ロウ・レベル状態で RESET 端子 = ハイ・レベル（リセット解除）に設定してください。内部 Nexus 機能が未初期化状態で，DCUTRST 端子 = ハイ・レベルのまま RESET 端子がロウ・レベル→ハイ・レベルになると，内部信号が不定のためリセットが解除されず CPU が動作しません。
3. リセット解除後は，DCUTRDY 端子 = ハイ・レベル→ロウ・レベル遷移後，DCUTMS 端子 = ハイ・レベルかつ DCUTRST 端子 = ロウ・レベル状態で DCUTCK 端子に 10 クロック以上入力してから DCUTRST 端子 = ハイ・レベルに設定してください。
4. 一度 DCUTRST 端子 = ハイ・レベルに設定した後は，DCUTRST 端子 = ハイ・レベルに入力し続けてください（一度 DCUTRST 端子 = ハイ・レベルに設定したらロウ・レベルに変更しないでください）。この製品は Nexus デバッグ I/F，1 ピン・デバッグ I/F をサポートしますが，オンチップ・デバッグ・モード中のデバッグ I/F の切り替えはサポートしません。デバッグ I/F を切り替える場合は RESET 端子をロウ・レベル，DCUTRST 端子をロウ・レベルに設定後，電源を OFF してから再度電源を投入してください。
5. 以下のいずれかの条件でオンチップ・デバッグ・モードを終了した場合，動作は不定となります。オンチップ・デバッグ・モードの終了後，RESET 端子 = ロウ・レベル，DCUTRST 端子 = ロウ・レベルに設定し Nexus のスタートアップ・シーケンスを実行してください。
   - 電源 OFF
   - DCUTRST 端子 = ロウ・レベル
   - オンチップ・デバッグ ID コードの不一致（一度，比較した後でも，常に比較を行っています。）
   - FLMD0 端子 = ハイ・レベルかつ RESET 端子 = ロウ・レベル
6. オンチップ・デバッグ・モード時，FLMD0 端子 = ハイ・レベル（セルフ・プログラミングなど）中に RESET 端子 = ロウ・レベルが入力された場合，デバッグが中断されますので，FLMD0 端子 = ロウ・レベルの状態で，再度 RESET 端子 = ハイ・レベルを入力してください。
7. DCUTRST 端子 = ハイ・レベルに設定してからオンチップ・デバッグ ID 認証が完了するまでの間にリセット（RESET，WDTA0RES，CLMA0RES ～ CLMA2RES，LVIRES，SGARES，DBRES）が発生すると，ツールはマイコンとの通信ができなくなる場合があります。この場合，DCUTRST 端子をロウ・レベルに設定し，電源 OFF してから再度電源を投入してください。
8. オンチップ・デバッグ・モード中に外部リセットがアクティブになった場合，ERROROUT 端子はロウ・レベル固定となります（シングルチップ・モード時の外部リセットではロウ・レベル）。
9. オンチップ・デバッグ・モード時のリセット（RESET, WDTA0RES, CLMA0RES ～ CLMA2RES, LVIRES, SGARES, DBRES）解除後は自己診断 BIST を実行せず（自己診断 BIST 実行に相当する時間ウェイトし），自己診断 BIST リセットを発生し，ユーザ・プログラムが動作可能な状態となります。

10. デバッグ・モード時の自己診断 BIST 中のリセットは，デバッガ設定によるマスクができません。
11. デバッグ・モード時，HEAPCLK 停止期間（フラッシュ・リセット・シーケンス，PLL ロックアップ時間，OSC 安定化時間）はリセットされませんので，HEAPCLK 停止期間以外でリセットしてください。

(2) 1 ピン・デバッグ I/F の場合

1. デバッグに使用したデバイスの取り扱いについて
   デバッグに使用したデバイスを量産製品に搭載しないでください（デバッグ中にフラッシュ・メモリの書き換えをしており，フラッシュ・メモリの書き換え回数を保障することができないためです）。
2. リセット解除後は，$\overline{\text{DCUTRST}}$ 端子 = ロウ・レベルに入力し続けてください（$\overline{\text{DCUTRST}}$ 端子 = ハイ・レベルに変更しないでください）。この製品は Nexus デバッグ I/F，1 ピン・デバッグ I/F をサポートしますが，オンチップ・デバッグ・モード中のデバッグ I/F の切り替えはサポートしません。デバッグ I/F を切り替える場合は RESET 端子をロウ・レベル，$\overline{\text{DCUTRST}}$ 端子をロウ・レベルに設定後，電源を OFF してから再度電源を投入してください。
3. 以下のいずれかの条件でオンチップ・デバッグ・モードを終了した場合，動作は不定となります。オンチップ・デバッグ・モードの終了後，RESET 端子 = ロウ・レベル，$\overline{\text{DCUTRST}}$ 端子 = ロウ・レベルに設定し Nexus のスタートアップ・シーケンスを実行してください。
   - 電源 OFF
   - $\overline{\text{DCUTRST}}$ 端子 = ハイ・レベル
   - オンチップ・デバッグ ID コードの不一致（一度，比較した後でも，常に比較を行っています。）
   - FLMD0 端子 = ハイ・レベルかつ $\overline{\text{RESET}}$ 端子 = ロウ・レベル
4. オンチップ・デバッグ・モード時，FLMD0 端子 = ハイ・レベル（セルフ・プログラミングなど）中に RESET 端子 = ロウ・レベルが入力された場合，デバッグが中断されますので，FLMD0 端子 = ロウ・レベルの状態で，再度 RESET 端子 = ハイ・レベルを入力してください。
5. 自己診断 BIST 実行中に LPDIO 端子 = ロウ・レベルにして通信を開始した場合，ツールは通信ができなくなります。自己診断 BIST 実行後にマイコンとの通信を開始してください。
6. ツールの通信を開始してからオンチップ・デバッグ ID 認証が完了するまでの間にリセット（$\overline{\text{RESET}}$，$\overline{\text{WDTA0RES}}$，CLMA0RES ～ CLMA2RES，LVIRES，SGARES，DBRES）が発生すると，ツールはマイコンとの通信ができなくなる場合があります。この場合，電源 OFF してから再度電源を投入してください。
7. オンチップ・デバッグ・モード中に外部リセットがアクティブになった場合，ERROROUT 端子はロウ・レベル固定となります（シングルチップ・モード時の外部リセットではロウ・レベル）。
8. オンチップ・デバッグ・モード時のリセット（$\overline{\text{RESET}}$, $\overline{\text{WDTA0RES}}$, CLMA0RES ～ CLMA2RES, LVIRES, SGARES, DBRES）解除後は自己診断 BIST を実行せず（自己診断 BIST 実行に相当する時間ウェイトし），自己診断 BIST リセットを発生し，ユーザ・プログラムが動作可能な状態となります。

9. ツールで 1 ピン・デバッグ用の通信クロックを一度低速→高速に設定した後，再び低速クロックに戻さないでください。動作保証ができません。
10. オンチップ・デバッグ・モード時に CPU クロック設定を途中で変更しないでください。デバッグが継続できなくなります。
11. デバッグ・モード時の自己診断 BIST 中のリセットは，デバッガ設定によるマスクができません。
12. デバッグ・モード時，HEAPCLK 停止期間（フラッシュ・リセット・シーケンス，PLL ロックアップ時間，OSC 安定化時間）はリセットされませんので，HEAPCLK 停止期間以外でリセットしてください。

第 26 章　電源構成

この製品では，電源レギュレータを搭載します。構成イメージ図を示します。この製品で搭載するレギュレータは，REGCn 端子にレギュレータ出力安定用のコンデンサを接続してください。電源投入後，このレギュレータは常に動作します。

(1)　端子一覧

以下に，この製品で持つ電源端子構成を示します。

表 26-1　電源端子一覧

端子名	機能	端子番号
EVDD	外部端子，FLASH 用電源	25，59，60，98
VDD	内蔵レギュレータ，POF/LVI 用電源	CREG：7 メイン：8，36，65，96
OSCVDD	発振用電源	15
AVDD	AD コンバータ用電源	76
REGC0	内蔵レギュレータ用キャパシタ接続端子（CREG 用）	5
REGC1	内蔵レギュレータ用キャパシタ接続端子（メイン用）	10

(2)　電源構成イメージ図

以下に，この製品の電源構成イメージ図を示します。

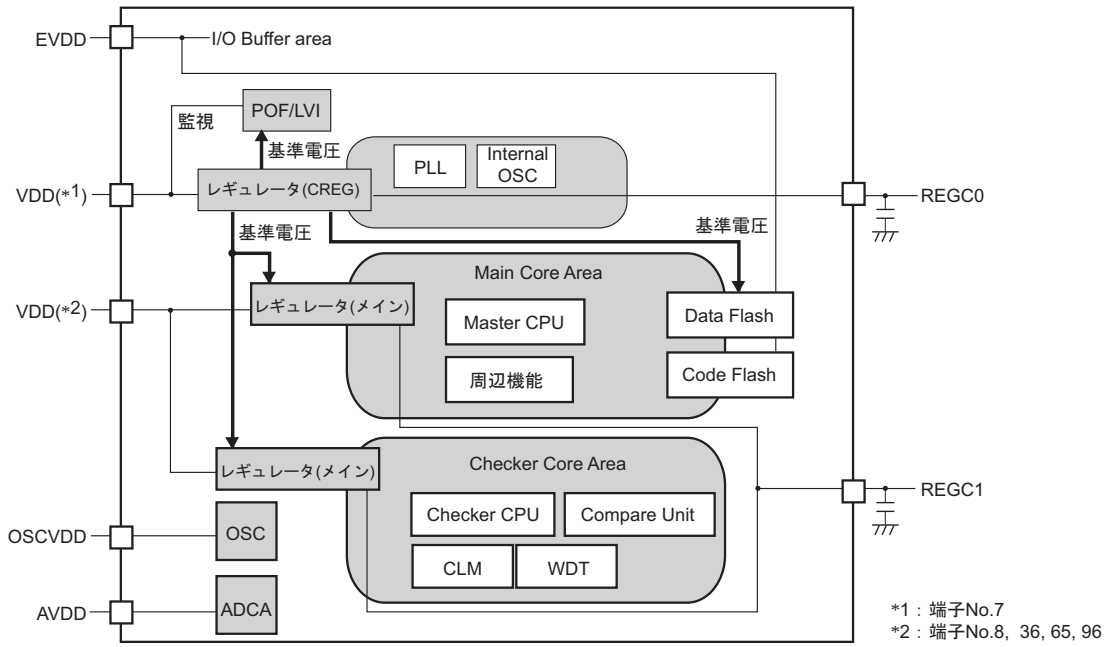


図 26-1　電源構成イメージ図

第 27 章 電気的特性

27.1 絶対最大定格

（T_a = 25 ℃）

項目	略号	条件	定格	単位
電源電圧	V_{DD}	$V_{DD} = EV_{DD} = OSCV_{DD}$ $V_{SS} = EV_{SS} = OSCV_{SS} = AV_{SS0} = 0V$	-0.3 ～ +6.0	V
	EV_{DD}		-0.3 ～ +6.0	V
	$OSCV_{DD}$		-0.3 ～ +6.0	V
	AV_{DD0}	$V_{SS} = EV_{SS} = OSCV_{SS} = AV_{SS0} = 0V$	-0.3 ～ +6.0	V
入力電圧	V_I	$V_{SS} = EV_{SS} = OSCV_{SS} = AV_{SS0} = 0V$	-0.3 ～ EV_{DD}+0.3 注 1	V
アナログ入力電圧	V_{IAN}	ADCA0I1 ～ ADCA0I18 $V_{SS} = EV_{SS} = OSCV_{SS} = AV_{SS0} = 0V$	-0.3 ～ AV_{DD0} +0.3 注 1	V
	AV_{REF0P}	ADCA0I1 ～ ADCA0I18 $V_{SS} = EV_{SS} = OSCV_{SS} = AV_{SS0} = 0V$	-0.3 ～ AV_{DD0} +0.3 注 1	V
	AV_{REF0M}	ADCA0I1 ～ ADCA0I18 $V_{SS} = EV_{SS} = OSCV_{SS} = AV_{SS0} = 0V$	-0.3 ～ AV_{DD0} +0.3 注 1	V
ハイ・レベル出力電流	I_{OH}	1 端子	-10	mA
		全端子合計	-50	mA
ロウ・レベル出力電流	I_{OL}	1 端子	10	mA
		全端子合計	50	mA
動作周囲温度	T_a		-40 ～ +125	℃
保存温度	T_{stg}	Ta=Tj	-55 ～ +125	℃

注1. 電源電圧の絶対最大定格を超えないようにしてください。

注意
1. 端子に流れる電流と出力電流の総和が，全端子合計で 50mA を超えないようにしてください。
2. IC 製品の出力（または入出力）端子同士を直結したり，V_{DD} または V_{CC} や GND に直結したりしないでください。ただし，オープン・ドレーン端子やオープン・コレクタ端子同士は直結できます。また，ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。
3. 各項目のうち 1 項目でも，また一瞬でも絶対最大定格を超えると，製品の品質を損なう恐れがあります。絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で，製品をご使用ください。DC 特性と AC 特性に示す規格や条件が，製品の正常動作，品質保証の範囲です。

27.2 容量

（T_a = 25 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = AV_{DD} = V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C_I	f_C = 1 MHz 被測定端子以外は 0 V アナログ入力端子は，S/H 付きチャネルおよび A/D 変換チャネルとして選択されている場合を除く			15	pF
入出力容量	C_{IO}				15	pF
出力容量	C_O				15	pF

27.3 動作条件

（T_a = -40 ～ +125 ℃ ,V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

内部動作クロック周波数	動作周囲温度（T_a）	電源電圧
fxx = 48MHz	T_a = -40 ～ +125 ℃	V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V AV_{DD0} = 4.2 ～ 5.5V
fxx = 64MHz		
fxx = 80MHz		

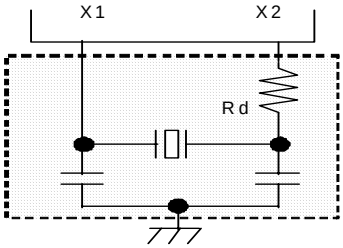
27.4 発振回路特性

27.4.1 発振回路特性

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V,
AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
発振周波数	fx	μPD70F4155	8	8	8	MHz
		μPD70F4154	16	16	16	MHz

注意 1. 発振回路の特性だけを示すものです。発振回路を設計する際は，配線容量などの影響を避けるために，図中の網線部分を次のように配線してください。



- 発振回路は X1, X2 端子にできるかぎり近づけ，配線は極力短くしてください。
- 網線の範囲に他の信号線を通さないでください。
- 変化する大電流が流れる線に近接させないでください。
- 発振回路のコンデンサ接地点は，常に $OSCV_{SS}$ と同電位にしてください。
- 大電流が流れるグランド・パターンに接地しないでください。
- 発振回路から信号を取り出さないでください。

2. 発振子／振動子の選択および発振回路定数，発振安定時間は，デバイスと発振子／振動子のマッチングを，お客様にて十分評価していただくか，発振子／振動子メーカに評価を依頼してください。

27.4.2 Internal OSC 特性

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V,
AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
Internal OSC 周波数	f_{ROSC}		7.2	8	8.8	MHz

27.5 DC 特性

DC 特性（1/3）

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	ポート端子，FLMD0 端子	0.7×EV_{DD}		EV_{DD}+0.3	V
	V_{IH2}	FLMD1 端子 , JP0_1 - JP0_3, JP0_5	0.8×EV_{DD}		EV_{DD}+0.3	V
	V_{IH3} 注 6, 注 7	DCUTDI, DCUTMS DCUTCK, DCUTRST	2.2		EV_{DD}+0.3	V
	V_{IH4} 注 6, 注 8	DCUTDI, DCUTMS DCUTCK, DCUTRST	2.0		EV_{DD}+0.3	V
	V_{IH5}	$\overline{\text{RESET}}$ 端子	0.8×EV_{DD}		EV_{DD}+0.3	V
ロウ・レベル入力電圧	V_{IL1}	ポート端子，FLMD0 端子	-0.3		0.3×EV_{DD}	V
	V_{IL2}	FLMD1 端子 , JP0_1 - JP0_3, JP0_5	-0.3		0.2×EV_{DD}	V
	V_{IL3} 注 6	DCUTDI, DCUTMS DCUTCK	-0.3		0.8	V
	V_{IL4}	$\overline{\text{RESET}}$ 端子，$\overline{\text{DCUTRST}}$	-0.3		0.6	V
ヒステリシス幅 注 1	V_{HYS1}	ポート端子，FLMD0 端子		0.5		V
	V_{HYS2}	FLMD1 端子		0.8		V
	V_{HYS3}	$\overline{\text{RESET}}$ 端子		0.8		V
ハイ・レベル出力電圧 注 2	V_{OH1}	I_{OH} = - 3mA	EV_{DD}-1.0		EV_{DD}	V
		I_{OH} = - 1mA	EV_{DD}-1.0		EV_{DD}	V
		I_{OH} = - 0.1mA	EV_{DD}-0.5		EV_{DD}	V
ロウ・レベル出力電圧 注 2	V_{OL1}	I_{OL} = 3mA	0		0.4	V
		I_{OL} = 1mA	0		0.4	V
		I_{OL} = 25mA 注 9	0		0.25	V
プルアップ抵抗	R_1	V_I = 0V, 下記端子以外	15	33	150	KΩ
	R_2	V_I = 0V 注 3	10	19	80	KΩ
プルダウン抵抗	R_3	V_I = EV_{DD} 注 4	15	33	150	KΩ
	R_4	V_I = EV_{DD} 注 5	25	53	200	KΩ
	R_5	V_I = EV_{DD} 注 3	10	19	80	KΩ

注1. 隣接端子の動作が停止状態の場合

注 2. 端子に流れる電流と出力電流の総和を全端子合計 50mA を超えないようにしてください

注 3. FLMD0 端子のみ

注 4. FLMD1 端子 , $\overline{\text{DCUTRST}}$ 端子のみ

注 5. $\overline{\text{RESET}}$ 端子のみ

注 6. デバッグモード時

注 7. EV_{DD} = 4.5 ～ 5.5V
注 8. EV_{DD} = 3.0 ～ 4.5V
注 9. LPDIO 端子 ,EV_{DD} = 4.0 ～ 5.5V

注意 兼用端子の特性は，特に指定のないかぎり，ポート端子と同じです。

DC 特性（2/3）

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I_{LIH1}	V_{IAN} = AV_{DD0}	アナログ端子注 1			0.3	μA
		V_I = EV_{DD}	LPDIO 端子			40	μA
		V_I = EV_{DD}	アナログ端子 ,LPDIO 端子以外 注 2, 注 3			5	μA
ロウ・レベル入力リーク電流	I_{LIL1}	V_{IAN}=0V	アナログ端子注 1			-0.3	μA
		V_I = 0V	LPDIO 端子			-40	μA
		V_I = 0V	アナログ端子 ,LPDIO 端子以外 注 2, 注 4			-5	μA
ハイ・レベル出力リーク電流	I_{LOH1}	V_I = EV_{DD}	注 3			5	μA
ロウ・レベル出力リーク電流	I_{LOL1}	V_I = 0V	注 3			-5	μA

注1. ADCA0I1 ～ ADCA0I18

対象端子で A/D 変換を行っていないときのリーク電流です。

注 2. 内蔵プルダウン抵抗，内蔵プルアップ抵抗に流れる電流を除く。
注 3. ポート端子，JP0_1 - JP0_3，JP0_5
注 4. ポート端子，JP0_1 - JP0_3，JP0_5，FLMD1 端子，$\overline{\text{DCUTRST}}$ 端子，$\overline{\text{RESET}}$ 端子

DC 特性（3/3）

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項　目		略号	条　件			MIN.	TYP. 注3	MAX.	単位
電源電流注1	通常時	I_{DD}	内部電源電流（V_{DD}）	fxx = 48 MHz	PCLK= 1/1HEAPCLK		55	115	mA
					PCLK= 1/2HEAPCLK		47	100	mA
				fxx = 64 MHz	PCLK= 1/1HEAPCLK		72	150	mA
					PCLK= 1/2HEAPCLK		63	130	mA
				fxx = 80 MHz	PCLK= 1/1HEAPCLK		90	185	mA
					PCLK= 1/2HEAPCLK		79	160	mA
		I_{DDE}	外部電源電流（EV_{DD} + $OSCV_{DD}$）					15	mA
	フラッシュ書き換え時	I_{DDF}	内部電源電流（V_{DD}）					95	mA
		I_{DDE}	外部電源電流（EV_{DD} + $OSCV_{DD}$）					86	mA
	BIST 実行時	I_{DDB}	内部電源電流（V_{DD}）	fxx = 48 MHz			56	110	mA
				fxx = 64 MHz			75	145	mA
				fxx = 80 MHz			94	180	mA
		I_{DDE}	外部電源電流（EV_{DD} + $OSCV_{DD}$）					15	mA
	リセット時 注2	I_{DDR}	内部電源電流（V_{DD}）					30	mA
		I_{DDE}	外部電源電流（EV_{DD} + $OSCV_{DD}$）					15	mA

注1. I_{DDE} は，EV_{DD}/$OSCV_{DD}$ に流れる電流です。但し内蔵プルダウン抵抗，内蔵プルアップ抵抗に流れる電流は含みません。またポートトグル電流も含みません。
AV_{DD0} に流れる電流の詳細は，*「27.6.15 A/D コンバータ特性」* を参照ください。

注 2. 電源投入時の過渡状態は含みません。マイコン内部の電源が，安定している状態でのリセット電流です。

注意 1. 端子に流れる電流と出力電流の総和が，全端子合計で 50mA を超えないようにしてください。

備考 MAX. 値は温度，電圧，製造条件による最大値です。

BIST 実行時の電流値は，BIST 実行時の平均電流値です。

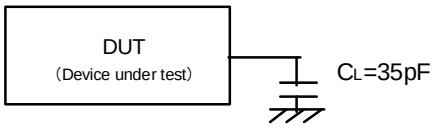
27.6 AC 特性

27.6.1 測定条件

AC テスト入力波形

AC テスト出力測定点

負荷条件

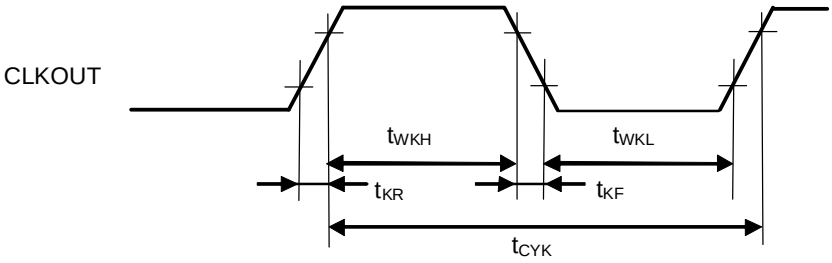


注意 回路構成により負荷容量が 35pF を超える場合は，バッファを入れるなどして，このデバイスの負荷条件を 35pF 以下にしてください。

27.6.2 クロック・タイミング（CLKOUT）

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項　　目	略　号	条　　件	MIN.	MAX.	単位
CLKOUT 出力周期	t_{CYK}		0.05	512	μs
CLKOUT ハイ・レベル幅	t_{WKH}		t_{CYK}/2 - 15		ns
CLKOUT ロウ・レベル幅	t_{WKL}		t_{CYK}/2 - 15		ns
CLKOUT 立ち上がり時間	t_{KR}			15	ns
CLKOUT 立ち下がり時間	t_{KF}			15	ns



27.6.3 電源投入／遮断タイミング

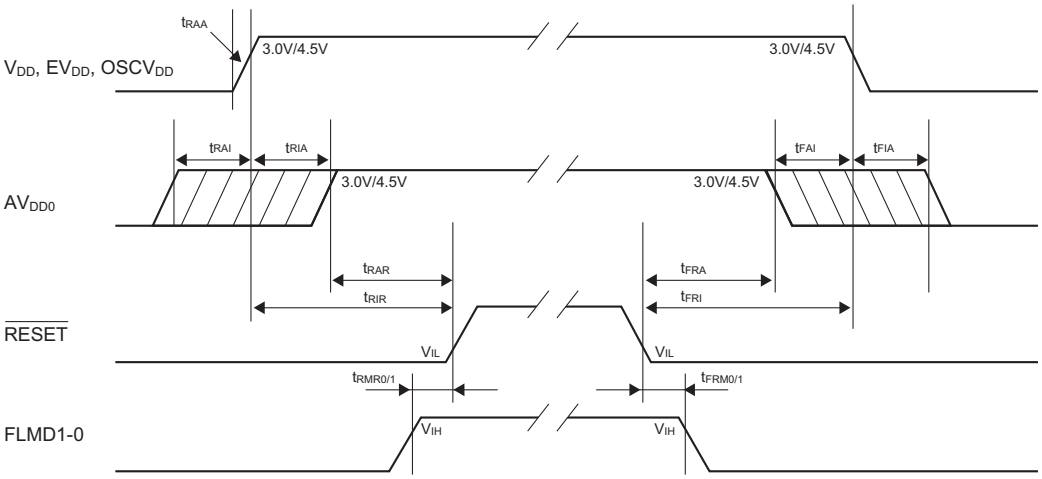
（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項目	略号	条件	MIN.	MAX.	単位
電圧スロープ（V_{DD}）	t_{RAA}	0V ~ 3V	0.5V/ms	0.15V/us	—
V_{DD} ↑～ AV_{DD0} ↑	t_{RIA}	V_{DD} = EV_{DD} = $OSCV_{DD}$	0	1000	ms
AV_{DD0} ↑～ V_{DD} ↑	t_{RAI}	V_{DD} = EV_{DD} = $OSCV_{DD}$	0	1000	ms
V_{DD} ↑～ $\overline{\text{RESET}}$ ↑	t_{RIR}	V_{DD} = EV_{DD} = $OSCV_{DD}$ 注 1	t_{OSC} + T_{d_pof} + 0.5		ms
AV_{DD0} ↑～ $\overline{\text{RESET}}$ ↑	t_{RAR}	注 1	t_{OSC} + 0.5		ms
FLMD1,0 設定時間（対 RESET ↑）	t_{RMR0}		0		ns
FLMD1,0 保持時間（対 RESET ↓）	t_{FRM0}	注 2	0		ns
$\overline{\text{RESET}}$ ↓～ V_{DD} ↓	t_{FRI}	V_{DD} = EV_{DD} = $OSCV_{DD}$	500		ns
$\overline{\text{RESET}}$ ↓～ AV_{DD0} ↓	t_{FRA}		500		ns
AV_{DD0} ↓～ V_{DD} ↓	t_{FAI}	V_{DD} = EV_{DD} = $OSCV_{DD}$	0	1000	ms
V_{DD} ↓～ AV_{DD0} ↓	t_{FIA}	V_{DD} = EV_{DD} = $OSCV_{DD}$	0	1000	ms

注1. t_{OSC}：発振安定時間。 T_{d_pof}：POF 検出遅延時間。

注 2. FLMD1,0 保持時間（対 $\overline{\text{RESET}}$ ↓：t_{FRM0}）につきましては，上記規格でのご使用を推奨します。
規格でのご使用が困難な場合には，FLMD1,0 端子はフラッシュ・メモリの書き換えが終了した後に変更するようにして下さい。

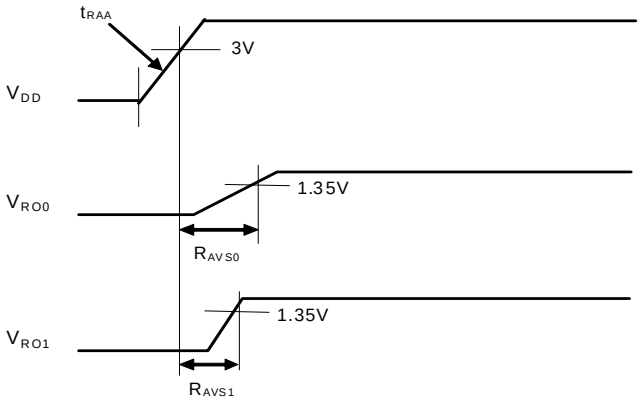
注意
1. V_{DD}，EV_{DD}，$OSCV_{DD}$ は，同時に投入／遮断してください。
2. 電源電圧が動作電圧以下の時は，必ず外部リセット（$\overline{\text{RESET}}$）を入力してください。
3. AV_{REF0P} は，AV_{DD0} の電源投入後（または同時）に電圧印加してください。
（AV_{REF0P} ≦ AV_{DD0} ）
4. AV_{REF0P} は，AV_{DD0} の電源遮断前（または同時）に遮断してください。
（AV_{REF0P} ≦ AV_{DD0} ）


tRAA
VDD, EVDD, OSCVDD
3.0V/4.5V
3.0V/4.5V
tRAI
tRIA
tFAI
tFIA
AVDD0
3.0V/4.5V
3.0V/4.5V
tRAR
tRIR
tFRA
tFRI
RESET
VIL
VIL
tRMR0/1
tFRM0/1
FLMD1-0
VIH
VIH

27.6.4 レギュレータ

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
入力電圧	V_{DD}		3.0		5.5	V
出力電圧（CREG）	V_{RO0}		1.35	1.5	1.65	V
出力電圧（メイン）	V_{RO1}		1.35	1.5	1.65	V
REGC0 の容量	REGC0		3.29	4.7	6.11	μF
REGC1 の容量	REGC1		0.07	0.1	0.13	μF
出力電圧安定時間（CREG）	R_{AVS0}				1	ms
出力電圧安定時間（メイン）	R_{AVS1}				200	μs



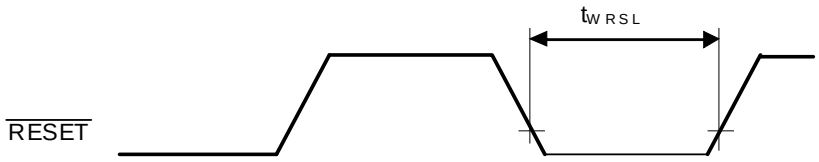
注意 REGC0，REGC1 に接続するコンデンサは，お客様で十分評価のうえ選択ください。

27.6.5 リセット・タイミング

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項　　目	略　号	条　　件	MIN.	MAX.	単 位
$\overline{\text{RESET}}$ 入力ロウ・レベル幅	t_{WRSL}	電源投入時以外	500		ns

注意 上記のスペックは，有効エッジとして確実に検出されるパルス幅を示しており，上記のスペックより小さいパルス幅を入力しても，有効エッジとして検出される可能性があります。



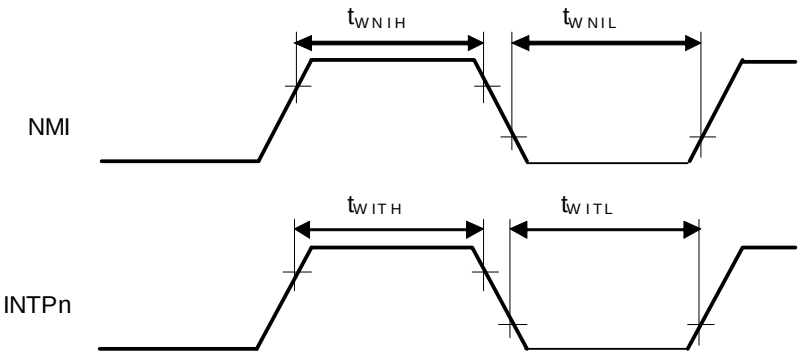
27.6.6 割り込みタイミング

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項　　目	略　号	条　　件	MIN.	MAX.	単 位
NMI 入力ハイ・レベル幅	t_{WNIH}	デジタル・フィルタ	注 1		ns
NMI 入力ロウ・レベル幅	t_{WNIL}	デジタル・フィルタ	注 1		ns
INTPn 入力ハイ・レベル幅	t_{WITH}	デジタル・フィルタ	注 1		ns
INTPn 入力ロウ・レベル幅	t_{WITL}	デジタル・フィルタ	注 1		ns

注1.　i ×T_{samp} + 10 （T_{samp}：ノイズ除去用サンプリング・クロックの周期，　i=2,3,4,5）

注意　上記のスペックは，有効エッジとして確実に検出されるパルス幅を示しており，上記のスペックより小さいパルス幅を入力しても，有効エッジとして検出される可能性があります。



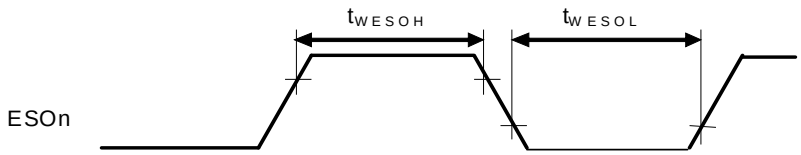
備考　n = 0-9

27.6.7 ESOn タイミング

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項目	略号	条件	MIN.	MAX.	単 位
ESOn 入力ハイ・レベル幅	t_{WESOH}	アナログ・フィルタ	500		ns
ESOn 入力ロウ・レベル幅	t_{WESOL}	アナログ・フィルタ	500		ns

注意 上記のスペックは，有効エッジとして確実に検出されるパルス幅を示しており，上記のスペックより小さいパルス幅を入力しても，有効エッジとして検出される可能性があります。



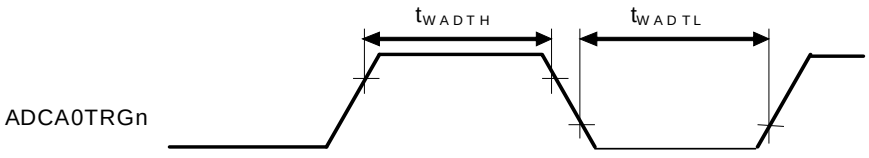
備考 n = 0,2

27.6.8 ADCA0TRGn タイミング

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項目	略号	条件	MIN.	MAX.	単位
ADCA0TRGn 入力ハイ・レベル幅	t_{WADTH}	アナログ・フィルタ	500		ns
ADCA0TRGn 入力ロウ・レベル幅	t_{WADTL}	アナログ・フィルタ	500		ns

注意 上記のスペックは，有効エッジとして確実に検出されるパルス幅を示しており，上記のスペックより小さいパルス幅を入力しても，有効エッジとして検出される可能性があります。



備考 n = 0-2

27.6.9 タイマ・タイミング

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項目	略号	条件	MIN.	MAX.	単位
TI 入力ハイ・レベル幅	t_{TIH}	TAUB0I0-15, TAUJ0I0-3, TSG20PTSI0-2, ENCA0E0,1, ENCA0EC	注 1		ns
TI 入力ロウ・レベル幅	t_{TIL}	TAUB0I0-15, TAUJ0I0-3, TSG20PTSI0-2, ENCA0E0,1, ENCA0EC	注 1		ns
TO 出力周期	t_{TCYK}	TAUB0O0-15, TAUJ0O0-3, OSTM0O, OSTM1O TSG20O1-7, TPB0O	80		ns

注1. $i \times T_{samp} + 10$ （T_{samp}：ノイズ除去用サンプリング・クロックの周期， i=2,3,4,5）

注意 上記のスペックは，有効エッジとして確実に検出されるパルス幅を示しており，上記のスペックより小さいパルス幅を入力しても，有効エッジとして検出される可能性があります。

27.6.10 CSIGn タイミング

(a) マスタ・モード

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項目	略号	条件	MIN.	MAX.	単位
CSIGnSC 周期　注 1	t_{KCYM}	出力	125		ns
CSIGnSC ハイ / ロウ･レベル幅	t_{KWHM}, t_{KWLM}	出力	(t_{KCYM}/2) −20		ns
CSIGnSI 設定時間（対 CSIGnSC）	t_{SSIM}		30		ns
CSIGnSI 保持時間（対 CSIGnSC）	t_{HSIM}		10		ns
CSIGnSO 出力遅延時間（対 CSIGnSC）	t_{DSOM}			10	ns
CSIGnRYI 設定時間（対 CSIGnSC）	t_{SRYI}		(2 × tPCLK) + 30		ns

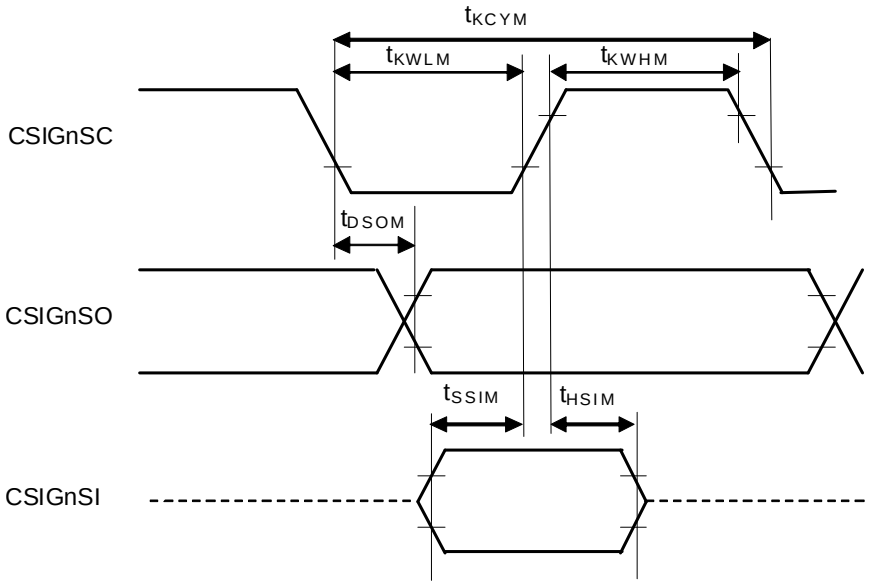
注1.　PCLK ＜ 32MHz を選択した場合は，1000/（PCLK 周波数 /4）[ns]

備考　tPCLK : PCLK の周期

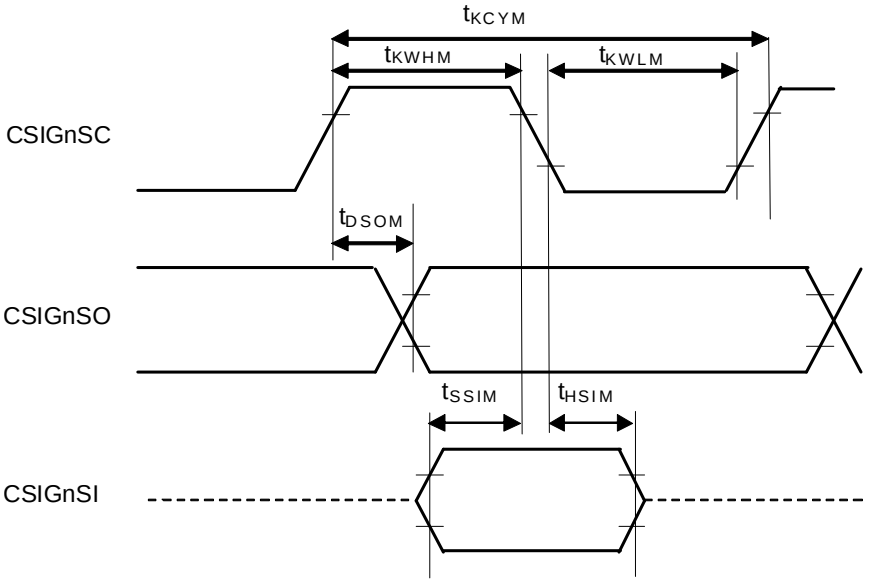
n =0,1

[CSIGnSC/CSIGnSI/CSIGnSO]

Master mode :
(CSIGnCTL1 : CSIGnCKR / CSIGnCFG0 : CSIGnDAP = 0 / 0 or 1 / 1)



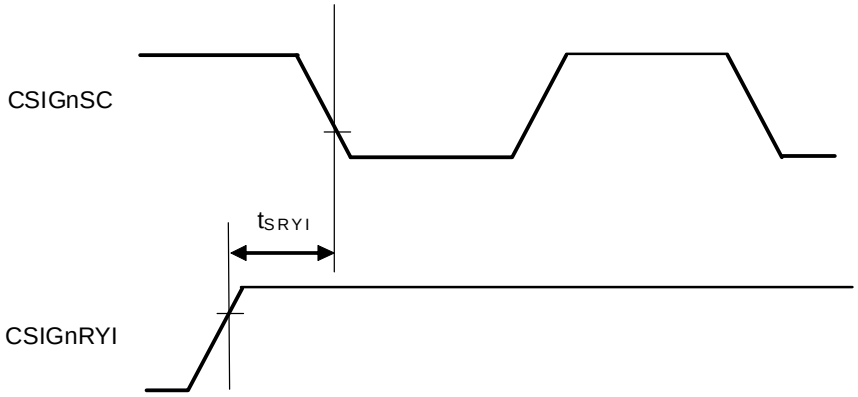
Master mode :
(CSIGnCTL1 : CSIGnCKR / CSIGnCFG0 : CSIGnDAP = 1 / 0 or 0 / 1)



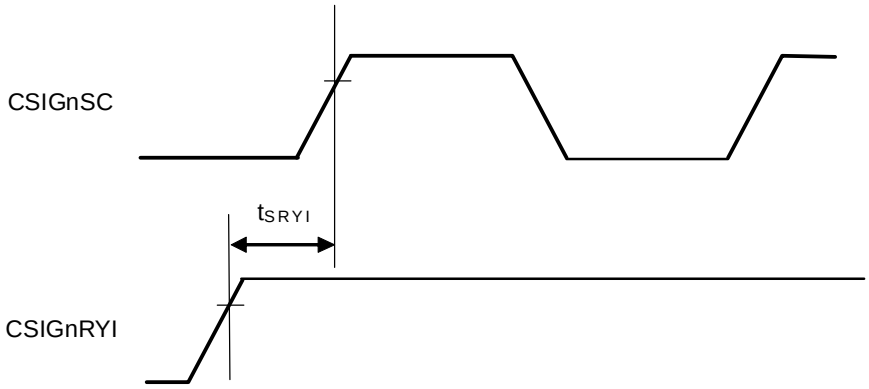
備考 n =0,1

[CSIGnSC/ CSIGnRYI]

Master mode : (CSIGnCTL1 : CSIGnCKR = 0)



Master mode : (CSIGnCTL1 : CSIGnCKR = 1)



備考 n =0,1

(b) スレーブ・モード

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項目	略号	条件	MIN.	MAX.	単位
CSIGnSC 周期　注 1	t_{KCYS}	入力	150		ns
CSIGnSC ハイ / ロウ･レベル幅	t_{KWHS}, t_{KWLS}	入力	(t_{KCYS}/2) -20		ns
CSIGnSI 設定時間（対 CSIGnSC）	t_{SSIS}		15		ns
CSIGnSI 保持時間（対 CSIGnSC）	t_{HSIS}		tPCLK + 10		ns
CSIGnSO 出力遅延時間（対 CSIGnSC）	t_{DSOS}			30	ns
CSIGnRYO 出力ディレイ	t_{SRYO}			30	ns

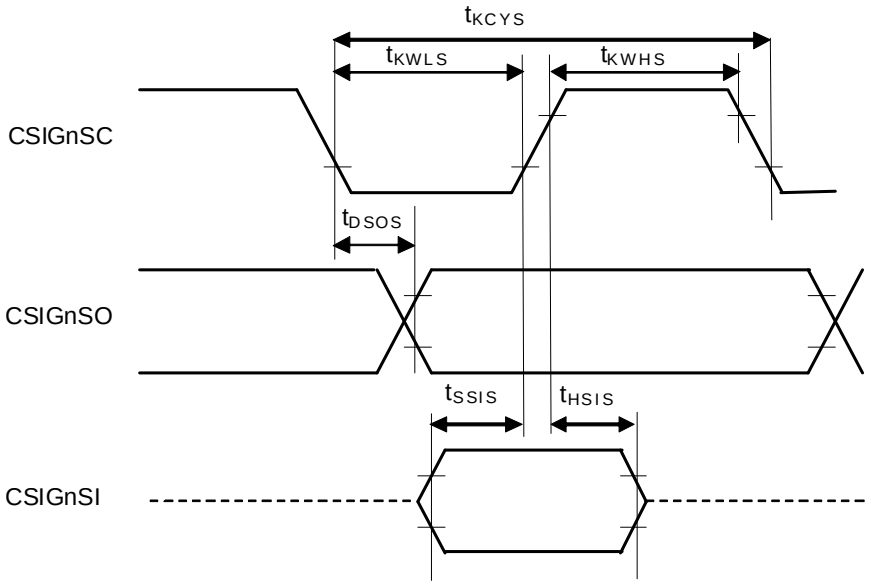
注1.　PCLK ＜ 48MHz を選択した場合は，1000/（PCLK 周波数 /6）[ns]

備考　tPCLK ：PCLK の周期

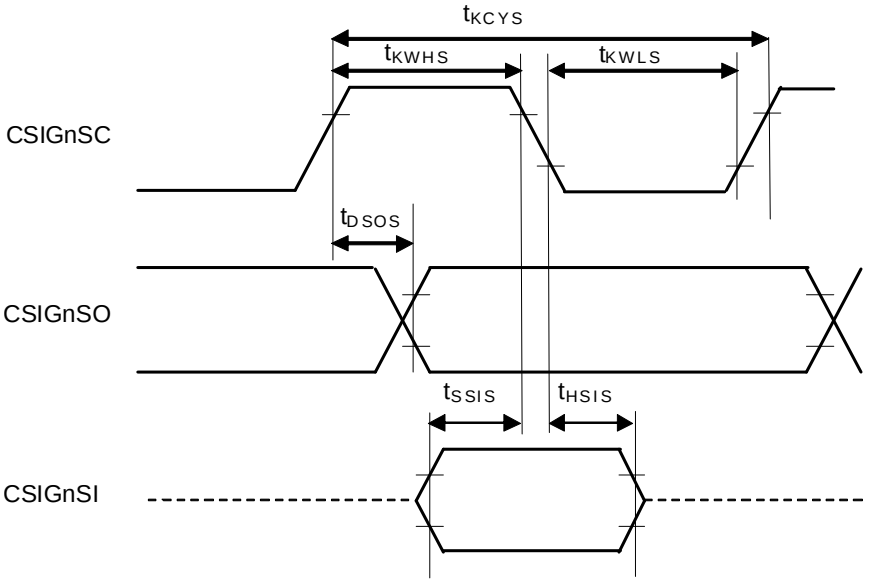
n =0,1

[CSIGnSC / CSIGnSI/CSIGnSO]

Slave mode :
(CSIGnCTL1 : CSIGnCKR / CSIGnCFG0 : CSIGnDAP = 0 / 0 or 1 / 1)



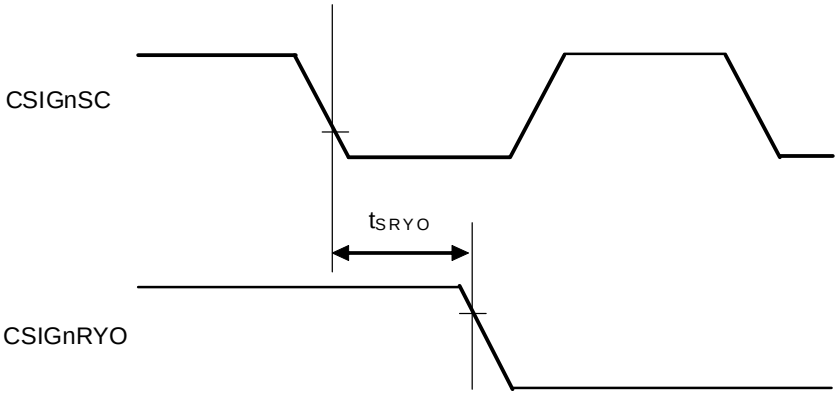
Slave mode :
(CSIGnCTL1 : CSIGnCKR / CSIGnCFG0 : CSIGnDAP = 1 / 0 or 0 / 1)



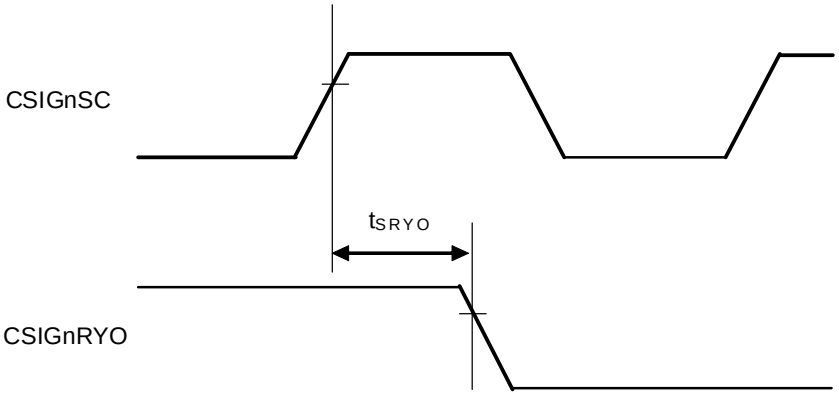
備考 n =0,1

[CSIGnSC/CSIGnRYO]

（CSIGnCTL1 : CSIGnCKR / CSIGnCFG0 : CSIGnDAP = 0 / 0 or 1 / 1）



（CSIGnCTL1 : CSIGnCKR / CSIGnCFG0 : CSIGnDAP = 0 / 1 or 1 / 0）



備考 n =0,1

27.6.11 UARTHn タイミング

(a) 非同期モード

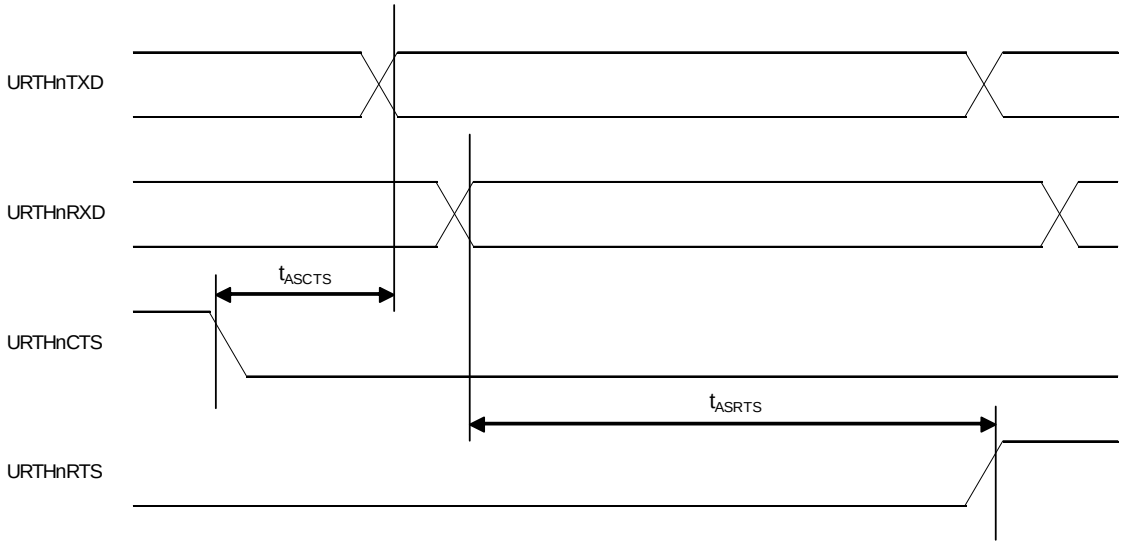
（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項目	略号	条件		MIN.	MAX.	単位
UARTHn 転送レート					2	Mbps
URTHnCTS 設定時間（対 URTHnTXD）	t_{ASCTS}	入力	URTHnCTS ノイズフィルタなし	3T+30		ns
			URTHnCTS ノイズフィルタあり	5T+30		ns
URTHnRTS 出力遅延時間（対 URTHnRXD）	t_{ASRTS}	出力	URTHnRXD ノイズフィルタなし		(3BRS+2)T+ 30	ns
			URTHnRXD ノイズフィルタあり		(3BRS+4)T+ 30	ns

備考 n=0,1

T= プリスケーラ周期

BRS：URTHnCTL2.URTHnBRS11-0 設定値



(b) クロック同期，マスタ・モード（通常モード）

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項目	略号	条件		URTHnRXD ノイズフィルタなし		URTHnRXD ノイズフィルタあり		単位
				MIN.	MAX.	MIN.	MAX.	
URTHnSC 周期	t_{KCYM1}	出力		500		500		ns
URTHnSC ハイ・レベル幅	t_{KWHM1}	出力		t_{KCYM1}/2-20		t_{KCYM1}/2-20		ns
URTHnSC ロウ・レベル幅	t_{KWLM1}	出力		t_{KCYM1}/2-20		t_{KCYM1}/2-20		ns
URTHnRXD 設定時間（対 URTHnSC ↑）	t_{SRXDM1}	入力		T+30		3T+30		ns
URTHnRXD 保持時間（対 URTHnSC ↑）	t_{HRXDM1}	入力		0		-2T		ns
URTHnTXD 出力遅延時間（対 URTHnSC ↓）	t_{DTXDM1}	出力			10		10	ns
URTHnTXD 出力保持時間（対 URTHnSC ↑）	t_{HTXDM1}	出力		t_{KCYM1}/2-10		t_{KCYM1}/2-10		ns
URTHnCTS 設定時間（対 URTHnTXD）	t_{SCTSM1}	入力	URTHnCTS ノイズフィルタなし	3T+ 30		3T+ 30		ns
			URTHnCTS ノイズフィルタあり	5T+ 30		5T+ 30		ns
URTHnRTS 出力遅延時間（対 URTHnRXD）	t_{DRTSM1}	出力			T+ 30		T+ 30	ns

備考 n=0,1

T= プリスケーラ周期

(c) クロック同期，スレーブ・モード（通常モード）

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項目	略号	条件		URTHnSC/URTHnRXD 共にノイズフィルタなし		URTHnSC/URTHnRXD 共にノイズフィルタあり		単位
				MIN.	MAX.	MIN.	MAX.	
URTHnSC 周期	t_{KCYS1}	入力		500		500		ns
URTHnSC ハイ・レベル幅	t_{KWHS1}	入力		4T-20		4T-20		ns
URTHnSC ロウ・レベル幅	t_{KWLS1}	入力		4T-20		4T-20		ns
URTHnRXD 設定時間（対 URTHnSC ↑）	t_{SRXDS1}	入力		10		10		ns
URTHnRXD 保持時間（対 URTHnSC ↑）	t_{HRXDS1}	入力		2T+10		2T+10		ns
URTHnTXD 出力遅延時間（対 URTHnSC ↓）	t_{DTXDS1}	出力			30		30	ns
URTHnTXD 出力保持時間（対 URTHnSC ↑）	t_{HTXDS1}	出力		t_{KWHS1}-10		t_{KWHS1}-10		ns
URTHnCTS 設定時間（対 URTHnTXD）	t_{SCTSS1}	入力	URTHnCTS ノイズフィルタなし	T+t_{KCYS1}+30		-T+t_{KCYS1}+30		ns
			URTHnCTS ノイズフィルタあり	2T+t_{KCYS1}+30		T+t_{KCYS1}+30		ns
URTHnRTS 出力遅延時間（対 URTHnRXD）	t_{DRTSS1}	出力			3T+30		3T+30	ns

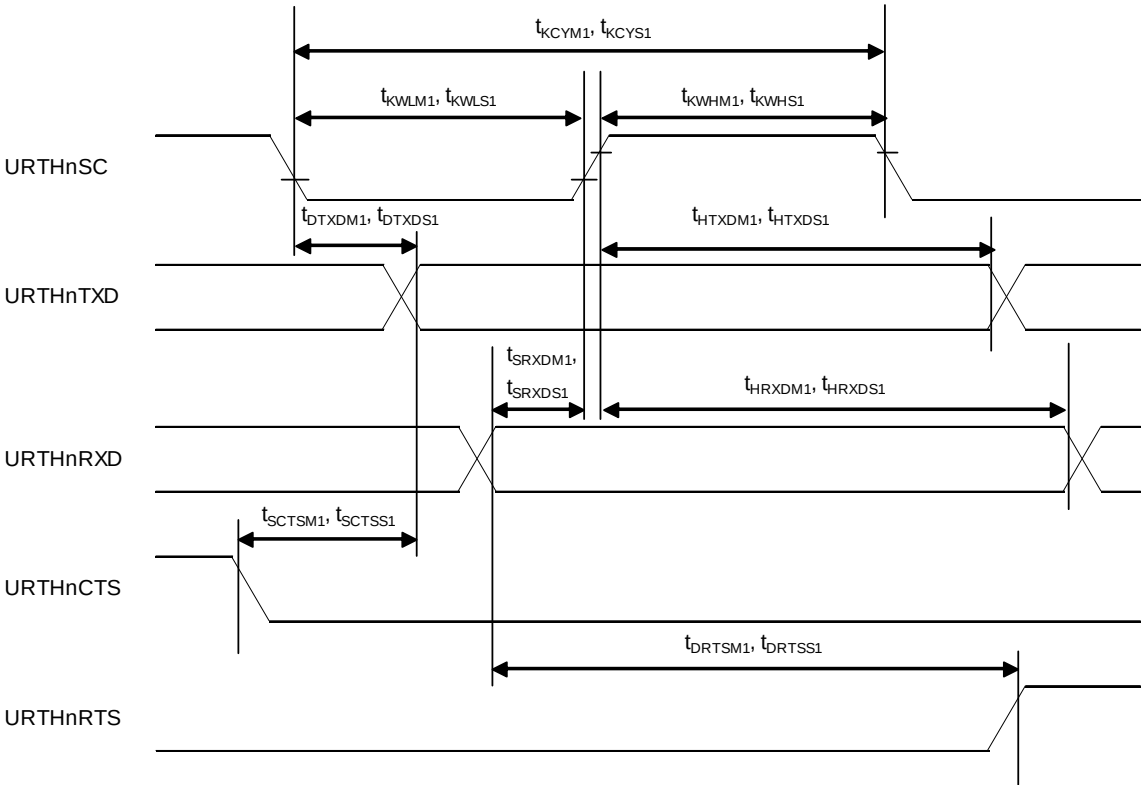
備考 n = 0,1

T= プリスケーラ周期

項 目	略 号	条 件		URTHnSC ノイズフィルタなし URTHnRXD ノイズフィルタあり		URTHnSC ノイズフィルタあり URTHnRXD ノイズフィルタなし		単位
				MIN.	MAX.	MIN.	MAX.	
URTHnSC 周期	t_{KCYS1}	入力		500		500		ns
URTHnSC ハイ・レベル幅	t_{KWHS1}	入力		4T-20		4T-20		ns
URTHnSC ロウ・レベル幅	t_{KWLS1}	入力		4T-20		4T-20		ns
URTHnRXD 設定時間（対 URTHnSC ↑）	t_{SRXDS1}	入力		2T+10		-2T+10		ns
URTHnRXD 保持時間（対 URTHnSC ↑）	t_{HRXDS1}	入力		10		4T+10		ns
URTHnTXD 出力遅延時間（対 URTHnSC ↓）	t_{DTXDS1}	出力			30		30	ns
URTHnTXD 出力保持時間（対 URTHnSC ↑）	t_{HTXDS1}	出力		t_{KWHS1}-10		t_{KWHS1}-10		ns
URTHnCTS 設定時間（対 URTHnTXD）	t_{SCTSS1}	入力	URTHnCTS ノイズフィルタなし	T+t_{KCYS1}+30		T+t_{KCYS1}+30		ns
			URTHnCTS ノイズフィルタあり	3T+t_{KCYS1}+30		3T+t_{KCYS1}+30		ns
URTHnRTS 出力遅延時間（対 URTHnRXD）	t_{DRTSS1}	出力			5T+30		T+30	ns

備考 n = 0,1

T= プリスケーラ周期


tKCYM1, tKCYS1
tKWLM1, tKWLS1
tKWHM1, tKWHS1
URTHnSC
tDTXDM1, tDTXDS1
tHTXDM1, tHTXDS1
URTHnTXD
tSRXDM1,
tSRXDS1
tHRXDM1, tHRXDS1
URTHnRXD
tSCTSM1, tSCTSS1
URTHnCTS
tDRTSM1, tDRTSS1
URTHnRTS

備考 n = 0,1

(d) クロック同期，マスタ・モード（遅延サンプリング・モード）

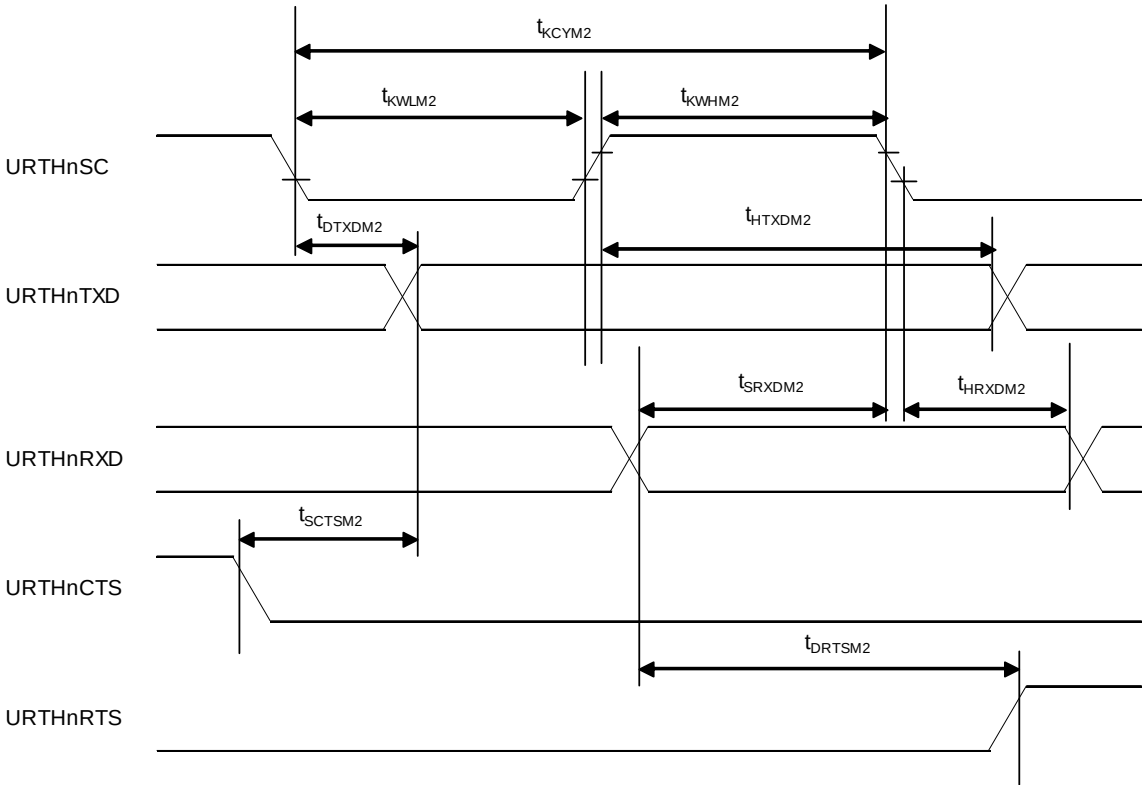
（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項　目	略　号	条　件		URTHnRXD ノイズフィルタなし		URTHnRXD ノイズフィルタあり		単位
				MIN.	MAX.	MIN.	MAX.	
URTHnSC 周期	t_{KCYM2}	出力		500		500		ns
URTHnSC ハイ・レベル幅	t_{KWHM2}	出力		t_{KCYM2}/2 - 20		t_{KCYM2}/2 - 20		ns
URTHnSC ロウ・レベル幅	t_{KWLM2}	出力		t_{KCYM2}/2 - 20		t_{KCYM2}/2 - 20		ns
URTHnRXD 設定時間（対 URTHnSC ↓）	t_{SRXDM2}	入力		T+ 30		3T+ 30		ns
URTHnRXD 保持時間（対 URTHnSC ↓）	t_{HRXDM2}	入力		0		-2T		ns
URTHnTXD 出力遅延時間（対 URTHnSC ↓）	t_{DTXDM2}	出力			10		10	ns
URTHnTXD 出力保持時間（対 URTHnSC ↑）	t_{HTXDM2}	出力		t_{KCYM2}/2 - 10		t_{KCYM2}/2 - 10		ns
URTHnCTS 設定時間（対 URTHnTXD）	t_{SCTSM2}	入力	URTHnCTS ノイズフィルタなし	3T+ 30		3T+ 30		ns
			URTHnCTS ノイズフィルタあり	5T+ 30		5T+ 30		ns
URTHnRTS 出力遅延時間（対 URTHnRXD）	t_{DRTSM2}	出力			(BRS+1)T+ 30		(BRS+1)T+30	ns

備考 n = 0,1

T= プリスケーラ周期

BRS：URTHnCTL2.URTHnBRS11-0 設定値

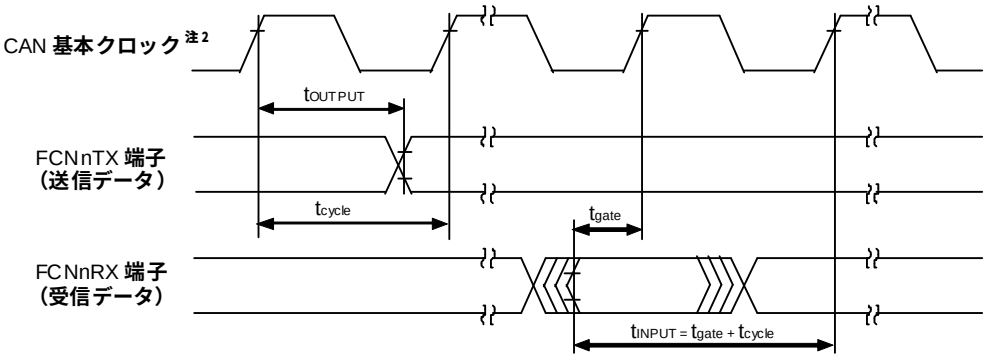

tKCYM2
tKWLM2
tKWHM2
URTHnSC
tDTXDM2
tHTXDM2
URTHnTXD
tSRXDM2
tHRXDM2
URTHnRXD
tSCTSM2
URTHnCTS
tDRTSM2
URTHnRTS

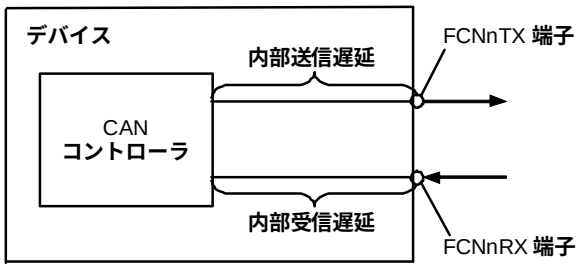
備考 n = 0,1

27.6.12 CAN タイミング

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項目	略号	条件	MIN.	MAX.	単位
CAN 転送レート				1	Mbps
CAN 内部遅延時間注 1	t_{node}			87.5	ns





CAN 内部遅延時間　イメージ図

注1.　CAN 内部遅延時間（t_{node}）= 内部送信遅延（t_{OUTPUT}）+ 内部受信遅延（t_{INPUT}）

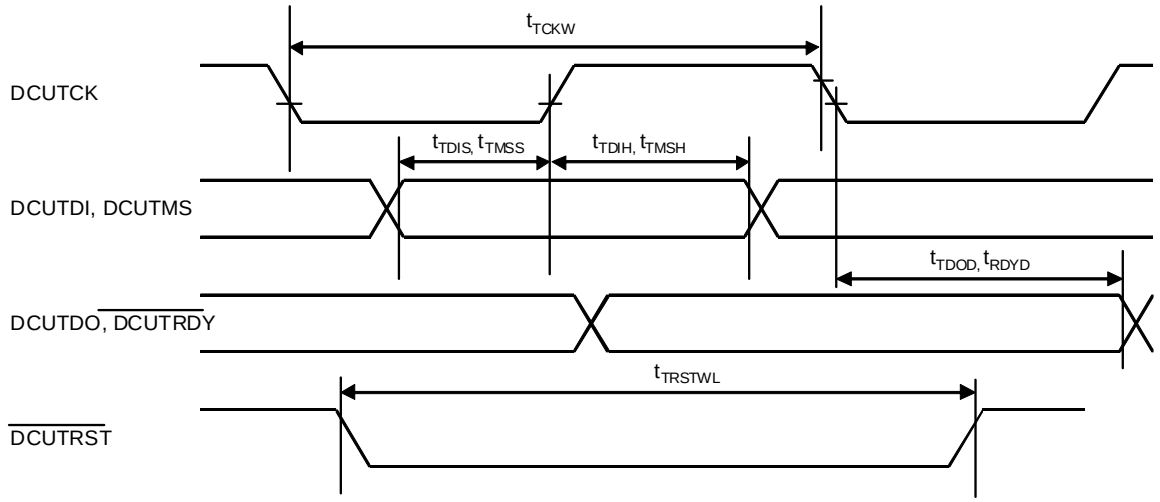
注 2.　CAN 基本クロック周波数：f_{CAN}

備考　n = 0,1

27.6.13 NEXUS インタフェースタイミング

（T_a = 0 ～ +40 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項　　目	略　号	MIN.	MAX.	単 位
DCUTCK サイクル幅	t_{TCKW}	40.0		ns
DCUTDI セットアップ時間（対 DCUTCK ↑）	t_{TDIS}	t_{TCKW}/2 - 8.5		ns
DCUTMS セットアップ時間（対 DCUTCK ↑）	t_{TMSS}	t_{TCKW}/2 - 8.5		ns
DCUTDI 保持時間（対 DCUTCK ↑）	t_{TDIH}	2.0		ns
DCUTMS 保持時間（対 DCUTCK ↑）	t_{TMSH}	2.0		ns
DCUTDO 出力ディレイ時間（対 DCUTCK ↓）	t_{TDOD}		20.0	ns
$\overline{\text{DCUTRDY}}$ 出力ディレイ時間（対 DCUTCK ↓）	t_{RDYD}		20.0	ns
$\overline{\text{DCUTRST}}$ ロウ・レベル幅	t_{TRSTWL}	1000		ns



27.6.14 LPD インタフェース

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 4.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項　　目	略　号	条件	MIN.	MAX.	単 位
転送レート	t_{TCKW}	48MHz 動作時		4	Mbps
		64MHz 動作時		5.3	Mbps
		80MHz 動作時		6.7	Mbps
立ち上り時間	t_R	0.4V → 2.0V 遷移時間		3	ns
立ち下り時間	t_F	2.0V → 0.4V 遷移時間		3	ns

27.6.15 A/D コンバータ特性

(a) 10bit 分解能 , チャネル S/H 未使用

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, 4.2 ≦ AV_{REF0P} = AV_{DD0} ≦ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{REF0M} = AV_{SS0} = 0V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	RES					10	bit
電源断復帰時間	t_{DPU}			10			ms
総合誤差注 1	TOE					±2.0	LSB
変換時間注 2	t_{CONV}				注 2		μs
ゼロスケール誤差注 1	ZSE					±2.0	LSB
フルスケール誤差注 1	FSE					±2.0	LSB
サンプリング時間	t_{AS}				注 2		clocks
アナログ入力電圧	VIAN			AV_{REF0M}		AV_{REF0P}	V
微分非直線性誤差注 1	DNL					±2.0	LSB
積分非直線性誤差注 1	INL					±2.0	LSB
AV_{REF0P} 入力電流	A_{IREF1}				0.7	1.5	mA
AV_{DD0} 電源電流	A_{IDD}	ADCA0GPS=1, ADCA0BPC=0, ADCA0DIAG=0				8.7	mA
		ADCA0GPS=1, ADCA0BPC=0, ADCA0DIAG=1				9.7	mA
		ADCA0GPS=1, ADCA0BPC=1, ADCA0DIAG=0				9.0	mA
		ADCA0GPS=1, ADCA0BPC=1, ADCA0DIAG=1				10	mA
	A_{IDDPD}	ADCA0GPS=0			0.3	50	μA
ANI プルダウン抵抗	R6			230	450	1900	kΩ
自己診断機能使用時の変換結果		AV_{REF0P} = AV_{DD0} AV_{REF0M}=AV_{SS0} 自己診断機能使用時	AV_{DD0} 変換	1000		1023	LSB
			2/3AV_{DD0} 変換	661	683	695	LSB
			1/2AV_{DD0} 変換	497	512	522	LSB
			1/3AV_{DD0} 変換	329	341	353	LSB
			AV_{SS0} 変換	0		25	LSB

注1. 総合誤差，ゼロスケール誤差，フルスケール誤差，微分非直線性誤差，積分非直線性誤差には，量子化誤差は含まれておりません。

注 2. レジスタ設定による。（ユーザーズマニュアル *第 23 章「A/D コンバータ」* を参照ください。）

(b) 10bit 分解能 , チャネル S/H 使用

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, 4.2 ≦ AV_{REF0P} = AV_{DD0} ≦ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{REF0M} = AV_{SS0} = 0V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	RES					10	bit
電源断復帰時間	t_{DPU}			10			ms
総合誤差注 1	TOE					±2.5	LSB
変換時間注 2	t_{CONV}				注 2		μs
チャネル S/H 保持時間	t_{CHOLD}					10	μs
ゼロスケール誤差注 1	ZSE					±2.5	LSB
フルスケール誤差注 1	FSE					±3.0	LSB
サンプリング時間	t_{AS}				注 2		clocks
チャネル S/H サンプリング時間	t_{CAS}			0.4			μs
アナログ入力電圧	VIAN			0.25		AV_{REF0P} - 0.25	V
微分非直線性誤差注 1	DNL					±2.5	LSB
積分非直線性誤差注 1	INL					±2.5	LSB
AV_{REF0P} 入力電流	A_{IREF1}				0.7	1.5	mA
AV_{DD0} 電源電流	A_{IDD}	ADCA0GPS=1, ADCA0BPC=0, ADCA0DIAG=0				12.7	mA
		ADCA0GPS=1, ADCA0BPC=0, ADCA0DIAG=1				13.7	mA
		ADCA0GPS=1, ADCA0BPC=1, ADCA0DIAG=0				13.0	mA
		ADCA0GPS=1, ADCA0BPC=1, ADCA0DIAG=1				14.0	mA
	A_{IDDPD}	ADCA0GPS=0			0.3	50	μA
ANI プルダウン抵抗	R6			230	450	1900	kΩ
自己診断機能使用時の変換結果		AV_{REF0P} = AV_{DD0} AV_{REF0M}=AV_{SS0} 自己診断機能使用時	AV_{DD0} 変換	1000		1023	LSB
			2/3AV_{DD0} 変換	661	683	695	LSB
			1/2AV_{DD0} 変換	497	512	522	LSB
			1/3AV_{DD0} 変換	329	341	353	LSB
			AV_{SS0} 変換	0		25	LSB

注1. 総合誤差，ゼロスケール誤差，フルスケール誤差，微分非直線性誤差，積分非直線性誤差には，量子化誤差は含まれておりません。

注 2. レジスタ設定による。（ユーザーズマニュアル　*第 23 章「A/D コンバータ」*を参照ください。）

(c) 12bit 分解能 , チャネル S/H 未使用

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, 4.2 ≦ AV_{REF0P} = AV_{DD0} ≦ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{REF0M} = AV_{SS0} = 0V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES					12	bit
電源断復帰時間	t_{DPU}			10			ms
総合誤差[注1]	TOE	AV_{DD0} = 4.5 ~ 5.5V				±6.0	LSB
		AV_{DD0} = 4.2 ~ 5.5V				±7.0	
変換時間[注2]	t_{CONV}			注2			μs
ゼロスケール誤差[注1]	ZSE	AV_{DD0} = 4.5 ~ 5.5V				±5.0	LSB
		AV_{DD0} = 4.2 ~ 5.5V				±6.0	
フルスケール誤差[注1]	FSE	AV_{DD0} = 4.5 ~ 5.5V				±5.0	LSB
		AV_{DD0} = 4.2 ~ 5.5V				±6.0	
サンプリング時間	t_{AS}			注2			clocks
アナログ入力電圧	VIAN			AV_{REF0M}		AV_{REF0P}	V
微分非直線性誤差[注1]	DNL	AV_{DD0} = 4.5 ~ 5.5V				±3.5	LSB
		AV_{DD0} = 4.2 ~ 5.5V				±7.0	
積分非直線性誤差[注1]	INL	AV_{DD0} = 4.5 ~ 5.5V				±3.5	LSB
		AV_{DD0} = 4.2 ~ 5.5V				±7.0	
AV_{REF0P} 入力電流	A_{IREF1}				0.7	1.5	mA
AV_{DD0} 電源電流	A_{IDD}	ADCA0GPS=1, ADCA0BPC=0, ADCA0DIAG=0				8.7	mA
		ADCA0GPS=1, ADCA0BPC=0, ADCA0DIAG=1				9.7	mA
		ADCA0GPS=1, ADCA0BPC=1, ADCA0DIAG=0				9.0	mA
		ADCA0GPS=1, ADCA0BPC=1, ADCA0DIAG=1				10	mA
	A_{IDDPD}	ADCA0GPS=0			0.3	50	μA
ANI プルダウン抵抗	R6			230	450	1200	kΩ
自己診断機能使用時の変換結果		AV_{REF0P} = AV_{DD0} AV_{REF0M}=AV_{SS0} 自己診断機能使用時	AV_{DD0} 変換	4015		4095	LSB
			2/3AV_{DD0} 変換	2631	2731	2771	LSB
			1/2AV_{DD0} 変換	1968	2048	2088	LSB
			1/3AV_{DD0} 変換	1305	1365	1405	LSB
			AV_{SS0} 変換	0		80	LSB

注1. 総合誤差，ゼロスケール誤差，フルスケール誤差，微分非直線性誤差，積分非直線性誤差には，量子化誤差は含まれておりません。

注 2. レジスタ設定による。（ユーザーズマニュアル *第 23 章「A/D コンバータ」* を参照ください。）

(d) 12bit 分解能 , チャネル S/H 使用

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, 4.2 ≦ AV_{REF0P} = AV_{DD0} ≦ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{REF0M} = AV_{SS0} = 0V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES					12	bit
電源断復帰時間	t_{DPU}			10			ms
総合誤差注 1	TOE	AV_{DD0} = 4.5 ~ 5.5V				±9.0	LSB
		AV_{DD0} = 4.2 ~ 5.5V				±9.0	
変換時間注 2	t_{CONV}				注 2		μs
チャネル S/H 保持時間	t_{CHOLD}					10	μs
ゼロスケール誤差注 1	ZSE	AV_{DD0} = 4.5 ~ 5.5V				±8.0	LSB
		AV_{DD0} = 4.2 ~ 5.5V				±9.0	
フルスケール誤差注 1	FSE	AV_{DD0} = 4.5 ~ 5.5V				±8.0	LSB
		AV_{DD0} = 4.2 ~ 5.5V				±9.0	
サンプリング時間	t_{AS}				注 2		clocks
チャネル S/H サンプリング時間	t_{CAS}			0.4			μs
アナログ入力電圧	VIAN			0.25		AV_{REF0P} -0.25	V
微分非直線性誤差注 1	DNL	AV_{DD0} = 4.5 ~ 5.5V				±5.0	LSB
		AV_{DD0} = 4.2 ~ 5.5V				±6.0	
積分非直線性誤差注 1	INL	AV_{DD0} = 4.5 ~ 5.5V				±5.0	LSB
		AV_{DD0} = 4.2 ~ 5.5V				±6.0	
AV_{REF0P} 入力電流	A_{IREF1}				0.7	1.5	mA
AV_{DD0} 電源電流	A_{IDD}	ADCA0GPS=1, ADCA0BPC=0, ADCA0DIAG=0				12.7	mA
		ADCA0GPS=1, ADCA0BPC=0, ADCA0DIAG=1				13.7	mA
		ADCA0GPS=1, ADCA0BPC=1, ADCA0DIAG=0				13.0	mA
		ADCA0GPS=1, ADCA0BPC=1, ADCA0DIAG=1				14.0	mA
	A_{IDDPD}	ADCA0GPS=0			0.3	50	μA
ANI プルダウン抵抗	R6			230	450	1200	kΩ
自己診断機能使用時の変換結果		AV_{REF0P} = AV_{DD0} AV_{REF0M}=AV_{SS0} 自己診断機能使用時	AV_{DD0} 変換	4015		4095	LSB
			2/3AV_{DD0} 変換	2631	2731	2771	LSB
			1/2AV_{DD0} 変換	1968	2048	2088	LSB
			1/3AV_{DD0} 変換	1305	1365	1405	LSB
			AV_{SS0} 変換	0		80	LSB

注1. 総合誤差，ゼロスケール誤差，フルスケール誤差，微分非直線性誤差，積分非直線性誤差には，量子化誤差は含まれておりません。

注 2. レジスタ設定による。（ユーザーズマニュアル *第23章「A/D コンバータ」* を参照ください。）

注意 1. デジタル回路のスイッチング・ノイズなどが，A/D コンバータ精度に及ぼす影響を最小限にするため，次の対策を推奨します。

①電源ラインは，片面ベタとするか，または，極力太いパターンで格子状に接続してください。

②電源端子（各 V_{DD}, 各 EV_{DD}, $OSCV_{DD}$, AV_{DD0}）とグランド端子（各 V_{SS}, 各 EV_{SS}, $OSCV_{SS}$, AV_{SS0}）間の端子リード直近にバイパス・コンデンサを挿入してください。また，アナログ基準電圧端子（AV_{REF0P}, AV_{REF0M}）とアナログ・グランド端子（AV_{SS0}）間の端子リード直近にもバイパス・コンデンサを挿入してください。

③アナログ電源（AV_{DD0}）は，デジタル電源（V_{DD}, EV_{DD}, $OSCV_{DD}$）から分離し，シリーズ・レギュレータより供給することを推奨します。デジタル電源と共通にする場合，電源供給元でアナログ電源，デジタル電源と電解コンデンサを 1 点ショートし，ボード上のパターンを別々に配線してください。さらに，アナログ電源入口にチップ・インダクタの挿入を推奨します。また，アナログ・グランドも，電源グランド元でアナログ・グランド，デジタル・グランドと電解コンデンサを 1 点アースし，ボード上のパターンを別々に配線してください。

2. アナログ入力端子（ADCA0Im）は，外部に抵抗 Re, コンデンサ Ce を接続しノイズを除去してください（m = 01-18）。

3. バッファアンプ使用時またはチャネル S/H 使用時は，信号源インピーダンスを 3kΩ 以下で，それ以外は 200Ω 以下で使用してください。

備考 %FSR (Full Scale Range) とは，変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので，分解能に関係なく次の式で表されます。

1%FSR = (変換可能なアナログ入力電圧の最大値 - 変換可能なアナログ入力電圧の最小値) / 100

= (AV_{REF0P} - 0) / 100

= AV_{REF0P} / 100

1LSB は分解能 10 ビットのとき，次のようになります。

1LSB = $1/2^{10}$

= 0.098%FSR

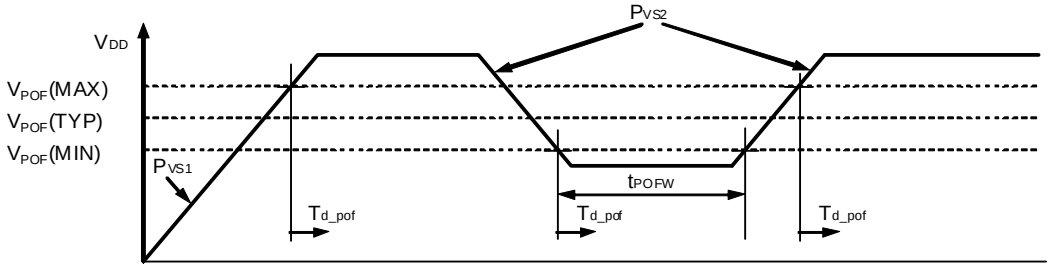
27.6.16 POF ／ LVI 特性

POF 特性

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POF}		2.65	2.8	2.9	V
検出遅延時間	T_{d_pof}				2.0	ms
最小検出幅	t_{POFW}	注 1	0.2			ms
電圧傾き	P_{VS1}	電源投入時	0.18V/ms		1.8V/us	—
	P_{VS2}	通常動作時	1.8V/s		1.8V/us	—

注1. V_{DD} 電源電圧が検出電圧 Min 以下である時間



LVI 特性

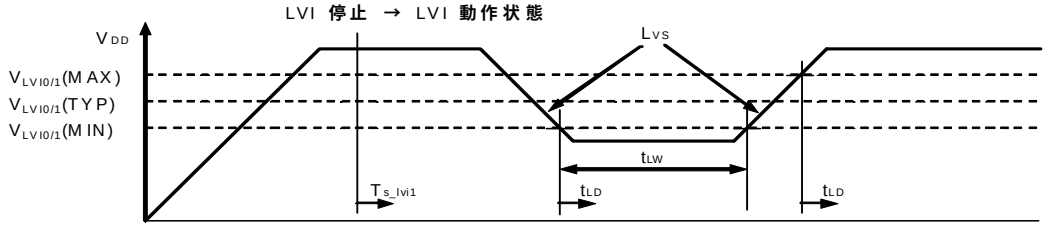
（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
検出電圧	V_{LVI0}	LVICNT.LVICNT[1:0]=01_B	4.5	4.6	4.7	V
	V_{LVI1}	LVICNT.LVICNT[1:0]=10_B	4.2	4.3	4.4	V
	V_{LVI2}	LVICNT.LVICNT[1:0]=11_B	3	3.1	3.2	V
応答時間注 1	t_{LD}	EV_{DD} が V_{LVI0},V_{LVI1}（MAX.）に達したあと EV_{DD} が V_{LVI0}, V_{LVI1}（MIN.）を下まわったあと			2	ms
最小検出幅注 2	t_{LW}		2			ms
起動時安定時間注 3	T_{s_lvi1}				350	μs
電圧傾き	L_{VS}		1.8V/s		1.8V/us	μs

注1.　検出電圧を検出して割り込み／リセットを出力するまでの時間

注 2.　V_{DD} 電源電圧が検出電圧 Min 以下である時間

注 3.　LVI の動作を許可した時点から，スペック範囲内で LVI 検出できるまでの時間



27.6.17 フラッシュ・メモリ・プログラミング特性

(a) 基本特性

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
動作周波数	f_{CPU}					80	MHz
1 ブロックあたり書き換え回数 注 1	C_{ERWR}	Code Flash	データ保持 20 年			1000	回 / ブロック
		Data Flash	データ保持 20 年 注 2			100000	回 / ブロック

注1. 出荷品に対する初回書き込み時，「消去→書き込み」の場合も「書き込みのみ」の場合も書き換え 1 回となります。

例（P：書き込み E：消去）

出荷品→ P → E → P → E → P：書き換え回数 3 回

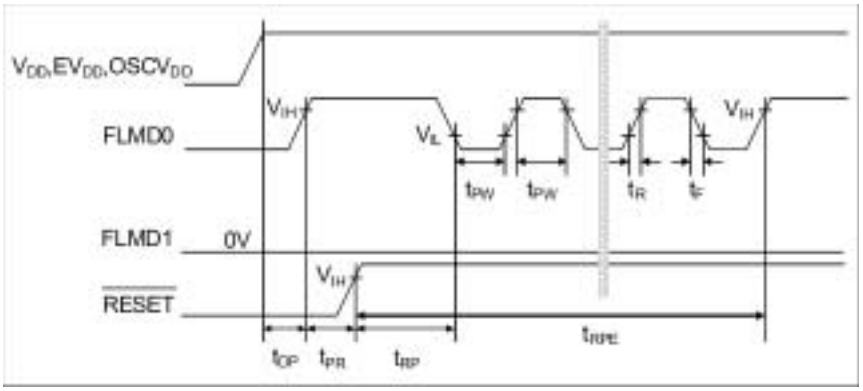
出荷品→ E → P → E → P → E → P：書き換え回数 3 回

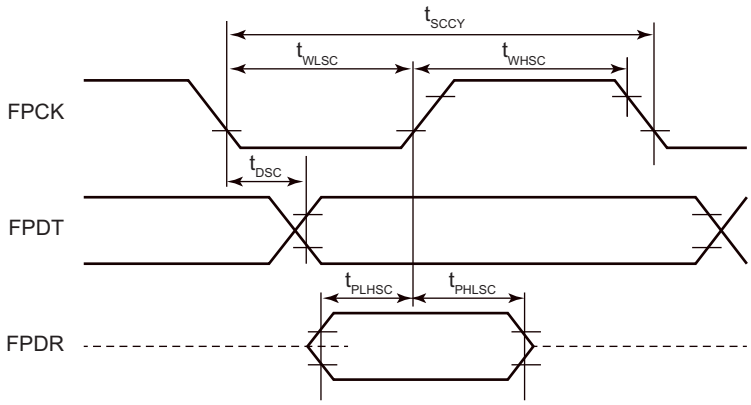
注 2. 保存温度 Ta = Tj = 95 ℃

27.6.18 FLMD0 パルス・タイミング特性

（T_a = 0 ～ +40 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0セットアップ時間(対VDD)	t_{DP}		1			ms
$\overline{\text{RESET}}$ リリース (対 FLMD0)	t_{PR}		t_{OSC} + T_{d_pof} + 0.5 - t_{DP}			ms
$\overline{\text{RESET}}$ ↑ → FLMD0 セット時間	t_{RP}		1			ms
FLMD0 パルス・エンド時間	t_{RPE}				11	ms
FLMD0 ハイ・レベル／ロウ・レベル幅	t_{PW}		10		100	μs
FLMD0 立ち上がり時間	t_R				20	ns
FLMD0 立ち下がり時間	t_F				20	ns
シリアルクロック入力周波数	t_{SCCY}		9.8		5000	KHz
ハイ・レベル幅	t_{WHSC}		85		50000	ns
ロウ・レベル幅	t_{WLSC}		85		50000	ns
FPDR セットアップ時間（対 FPCK↑）	t_{PLHSC}		75			ns
FPDR 保持時間（対 FPCK↑）	t_{PHLSC}		0			ns
FPDT 出力遅延時間	t_{DSC}				23	ns
UART 転送レート			9.6		1000	Kbps




tSCCY
tWLSC
tWHSC
FPCK
tDSC
FPDT
tPLHSC
tPHLSC
FPDR

27.6.19 自己診断 BIST 実行時間

（T_a = -40 ～ +125 ℃ , V_{DD} = EV_{DD} = $OSCV_{DD}$ = 3.0 ～ 5.5V, AV_{DD0} = 4.2 ～ 5.5V, V_{SS} = EV_{SS} = $OSCV_{SS}$ = AV_{SS0} = 0V）

項目	略号	条件 1	条件 2	MIN.	TYP.	MAX.	単位
自己診断 BIST 実行時間		fxx = 48MHz				69	ms
		fxx = 64MHz				52	ms
		fxx = 80MHz				41	ms

改訂記録	V850E2/PG4-L ハードウェアマニュアル

Rev. 発行日		改訂内容	
		ページ	ポイント
0.01	2011.12.27	—	初版発行
0.50	2012. 7. 31	全般	BSCAN 関連　記述削除
			JTAG 関連　記述追加
			ユニット名，信号（端子）名，レジスタ名，ビット名を修正
			JPwire を LPD（1 ピン・デバッグ）に変更
			第1章　イントロダクション
		p.31	1.7.1 内部ブロック図　修正
		p.32	1.7.2 内部ユニット (7) タイマ・ユニット　説明を分離
			第2章　端子機能
		p.43	2.2.4 ポート制御論理図　追加
		p.60	図 2-1 保護対象のポート・レジスタの書き込みシーケンス　変更、ステップ5　追加
		p.70-76	表 2-28 ポート端子の未使用時端子処置一覧，表 2-29 ポート以外の端子の未使用時端子処置一覧　入出力回路タイプ追加
		p.79-80	表 2-31 ポート以外の端子の状態一覧　端子と注4, 5追加
		p.84	表 2-33 ポート端子以外の端子のプルアップ抵抗，プルダウン抵抗一覧 (1/2)　端子追加
			第3章　端子機能
		p.117-118	表 3-2 PPU 保護領域と保護対象　修正
			第4章　割り込み機能
		p.145, 148	表 4-2 割り込み要因一覧，注 1, 2　修正
		p.149	4.3 割り込みコントローラ制御レジスタ　アドレス修正
		p.172	4.3.11 INTSTR0B：エラー割り込み要因格納レジスタ　説明変更
		p.182	図 4-5 EI レベル・マスカブル割り込み（EIINT）処理からの復帰　修正
			第6章　メモリ機能
		p.246	6.1.2 データ・フラッシュ・メモリ，6.1.3 内蔵 RAM　注意を変更
		p.247	6.3 (2) JPwire（1 ピン・デバッグ）通信方式　説明変更
		p.248	6.4.2 使用端子　説明変更
		p.250	6.5 オプション・バイト　説明削除、注意追加
		p.251	表 6-5 V850E2/PG4-L のオプション・バイト　ビット 31, 23 説明変更
			第7章　クロック発生機能
		p.262	7.4 クロック発生回路　ブロック名変更
		p.270	7.6 1 ピン・デバッグ・クロック（LPDCLK）　説明変更
		p.275	7.8.4 (a) しきい値 CLMAnCMPL レジスタの CLMAnCMPL[11:0] と CLMAnCMPH レジスタの CLMAnCMPH[11:0] の算出方法　式を修正
		p.278	表 7-16 CLMAnCMPH レジスタ，CLMAnCMPL レジスタの設定例　変更
		p.280	7.8.5 (1) CLMAnCTL0 - CLMAn 制御レジスタ 0　アクセス変更
		p.281	7.8.5 (2) CLMAnCTL1 - CLMAn 制御レジスタ 1　注意を追加
		p.284	7.8.5 (5) CLMAnPCMD - CLMAn 保護コマンド・レジスタ　ビット 0 のアクセス修正
			第8章　リセット・コントローラ
		p.287	8.1 機能概要 (1) 内部リセット信号　説明変更
		p.301	8.3.3 (1) SWRESA　アクセス変更，注意を追加
		p.306	図 8-7 LVI 動作例（LVICNT.LVIMD ビット = 0 時）　変更
		p.310	8.4.4 (4) LVICNT- LVI コントロール・レジスタ　説明追加

改訂記録	V850E2/PG4-L ハードウェアマニュアル

Rev. 発行日		改訂内容 ページ	ポイント
0.50	2012. 7. 31		**第9章　セーフティ機能**
		p.315	(2) APES - 周辺 I/O バス PSELG エラー・ステータス・レジスタ　説明変更
		p.319	9.4 自己診断 BIST の概略　注意を変更
		p.320	9.4.2 自己診断 BIST 実行中のトグル信号出力機能　説明変更
		p.344	9.7 コンペア・ユニットの自己診断手法　説明変更
			第10章　セーフティ・ガーディアン（SGA）
		p.358	10.3.3 (1) ダイナミック・モードを有効にする　備考を追加
		p.361	10.3.6 エラー状態　説明と図を削除
		p.363-364	表 10-8 SGA マスタ・レジスタの概要，表 10-9 SGA チェッカ・レジスタの概要 レジスタ削除
		p.368-369	10.4.2 (3) SGAmESSTR0，(4) SGAmESSTR1　備考の説明を削除
		p.371	10.4.2 (6) SGAmESSTR0n，(7) SGAmESSTR1n　削除
			第12章　ウインドウ・ウォッチドッグ・タイマA（WDTA）
		p.402	12.4.2 (1) WDTA イネーブル・レジスタ（WDTAnWDTE）WDTA トリガ　説明修正
			第13章　タイマ・アレイ・ユニットB（TAUB）
		p.404	表 13-2 レジスタ・ベース・アドレス <TAUBn_base>　修正
		p.596	表 13-121 TAUBn レジスタの概要　修正
		p.597	13.21.2 (1) TAUBnTPS　説明修正
		p.600,601,603, 608-618	13.21.3 (1) TAUBnCDRm - (9) TAUBnTT, 13.21.4 (1) TAUBnTOE - (5) TAUBnTDL, 13.21.5 (1) TAUBnTO - (2) TAUBnTOL, 13.21.6 (1) TAUBnRDE - (6) TAUBnRSF アドレス，表中説明を修正
			第14章　タイマ・アレイ・ユニットJ（TAUJ）
		p.632	図 14-4 一斉書き換えの基本手順　変更
		p.633	14.7.2 (1) 初期設定　説明削除
		p.648	表 14-14 インターバル・タイマ機能の操作手順　説明変更
		p.657, 666	表 14-20, 表 14-25 オーバフローの影響　変更
		p.658	14.12.3 (1) 概要　機能説明　説明削除
		p.662, 670, 677	表 14-24 TAUJnTTINm 入力パルス・インターバル測定機能の操作手順，表 14-29 TAUJnTTINm 入力信号幅測定機能の操作手順，表 14-33 TAUJnTTINm 入力期間カウント検出機能の操作手順　説明変更
		p.674, 679	14.12.5, 14.12.6 (2) 算出式　式を修正
		p.691	表 14-43 チャネル単体出力モード 1 時の制御ビット設定　修正
		p.701-702	14.14.3 (1) TAUJnCDRm，(2) TAUJnCNTm　アクセス変更
			第18章　エンコーダ・タイマ（ENCA）
		p.1012-1014	18.6 (4) エンコーダ基本動作タイミング 4（エンコーダ・キャプチャ・モード），(5) エンコーダ基本動作タイミング 5（エンコーダ・キャプチャ・モード）　説明変更
			第19章　タイマ・オプション機能（ENCA）
		p.1027	19.3.2 (3) TAPAnFLG - TAPAn フラグ・レジスタ　アクセス、初期値修正
		p.1037-1040, 1044	19.4.3 INT 信号出力選択機能，19.4.4 A/D コンバータ変換トリガ選択機能　説明変更
			第20章　CANコントローラ（FCN）
		p.1106	図 20-6 受信タイミング　変更
		p.1111	20.7.4 (3) FCN モジュール 1 のマスク設定（マスク 1）（例）　修正
		p.1119	20.8.2 送信ヒストリ・リスト機能　説明修正
		p.1146, 1148	図 20-13 初期化，図 20-15 ソフトウェア・リセット機能を利用する再初期化　修正

改訂記録	V850E2/PG4-L ハードウェアマニュアル

Rev. 発行日		改訂内容	
		ページ	ポイント
0.50	2012. 7. 31		**第21章　クロック同期シリアル・インタフェースG（CSIG）**
		p.1189	図 21-7 EDL のタイミング図　備考 5　修正
		p.1205	21.4 (1) CSIGnCTL0 — CSIG 制御レジスタ 0　CSIGnMBS ビット追加
			第22章　同期／非同期シリアル・インタフェースH（UARTH）
		p.1233-1234	22.4 (5) URTHnSTR0，(6) URTHnSTR1　初期値　説明変更
		p.1234-1235	表 22-12 URTHnSTR1 レジスタの内容　説明変更
		p.1242	22.4 (11) URTHnRX　説明変更
		p.1246	表 22-21 受信モード別のアクセス　追加
		p.1247	22.4 (15) URTHnTX　説明追加
		p.1249	表 22-24 URTHnETX レジスタの内容　説明変更
		p.1251	表 22-26 送信モード別のアクセス　追加
		p.1252	表 22-27 IC0REG0 レジスタの内容　説明変更
			第23章　A/Dコンバータ
		p.1283	図 23-1 ADCAn のブロック図　追加
		p.1285-1286	23.3.1 基本動作　説明変更
		p.1292	23.3.6 A/D 変換の停止（停止トリガ）注意追加、表 23-3 総変換時間　備考追加
		p.1299	図 23-11 自己診断機能の概要　追加
		p.1303	23.3.11 自己診断機能 (4) チャネル S/H 回路の診断 ステップ 1[初期設定]　説明変更
		p.1306	23.3.12 (1) チャネル S/H 機能　図と注意追加
		p.1312	23.3.14 バッファ・アンプ機能　説明削除、注意追加
		p.1313	表 23-6 ADCAn レジスター覧 (1/2)　修正
		p.1315	表 23-7 ADCAnCTL0 レジスタの内容 (1/2)　ビット 7 説明変更
		p.1321	表 23-11 ADCAnCNT レジスタの内容　変更
		p.1322-1323	23.4.2 (7) ADCAnSMCNT - (10) ADCAnDISCNT　追加
		p.1330	表 23-22 ADCAnLCR レジスタの内容　備考 1　追加
		p.1332	表 23-23 ADCAnCmCR レジスタの内容　備考　修正
			第24章　Peripheral Interconnection（PIC）
		全般	3 相パルス入力制御機能　削除
		p.1358	表 24.3-2 機能別 使用レジスター覧　修正
		p.1404	TAUB0 CH 共通（続き）　レジスタ削除
		p.1417	図 24.4.4-5 設定フロー（続き）　レジスタ削除
		p.1421	表 24.4-7 PIC の設定　ビット削除
		p.1424,1426-1428	表 24.4.5-2 PIC0ENCSEL400 の内容，24.4.5.5 動作フロー，24.4.5.6 動作機能の設定例　修正
		p.1472	表 24.4.10-4 TAUB0 設定　レジスタ削除
			第25章　オンチップ・デバッグ機能
		p.1480	25.1 (9) 時間測定機能，(10) マスク機能　説明追加
		p.1484	25.2 (2) LPD I/F（1 ピン・デバッグ I/F）　図追加
		p.1486	25.3 (2) 1 ピン・デバッグ I/F の場合　説明追加
			第26章　電源構成
		p.1487	表 26-1 電源端子一覧　端子番号追加
			第27章　電気的特性（暫定）
		全般	本版で追加

改訂記録	V850E2/PG4-L ハードウェアマニュアル

Rev. 発行日		改訂内容 ページ	ポイント
1.00	2013. 1. 31		**第2章　端子機能**
		p.60	(4) 保護対象のポート・レジスタの書き込みシーケンス　ステップ2～4　変更
		p.73	FLMD0　端子処置　変更
		p.78	表 2-30 ポート端子の状態一覧 (2/2)　JP0_0　削除
		p.105	表 2-53 デジタル・ノイズ・フィルタ・レジスター覧　DNFAnENL　追加
			第3章　CPU機能
		p.113	表 3-1 CPU 機能の記載について　FPU　削除
		p.120	3.1.2 注意事項　変更
		p.121	3.2 動作モード　備考　変更
			第4章　割り込み機能
		p.147	注　変更・追加
		p.174	4.3.13 INTSTS0B　ビット 1　変更
			第5章　DMA機能
		p.192	5.1 DMA 概要　n, m, l の意味　タイトル変更
		p.210	5.5.1 DTRC0　タイトル変更
		p.224, 225	5.5.15 DTCn, 5.5.16 DNTCn　アドレス　レジスタ名変更
			第6章　メモリ機能
		p.245, 246	表 6-2, 表 6-3　備考　追加
		p.251	表 6-5 V850E2/PG4-L のオプション・バイト　ビット 23　変更
		p.252	(1) PRDNAME レジスタ　説明追加
			第7章　クロック発生機能
		p.273	7.8.3 機能概要　注意　追加
		p.278	表 7-16 CLMAnCMPH レジスタ，CLMAnCMPL レジスタの設定例　変更
			第8章　リセット・コントローラ
		p.287	8.1 (2) 電源投入後の外部リセット解除タイミング　変更
		p.298	8.3.2 (1) RESF　備考　追加
		p.301	8.3.3 (1) SWRESA　備考　追加
		p.304	8.4.2 (1) POF 検出動作　注意　変更
		p.309	8.4.4 (3) POFS　アドレス　変更
			第9章　セーフティ機能
		p.323	表 9-10 TGLOUTOE レジスタの内容　ビット 5　変更
		p.325	9.5.2 (3) BSEQ0CTLx　備考　追加
		p.346	9.8.1 内蔵 RAM　注意　追加
			第10章　セーフティ・ガーディアン（SGA）
		p.369	10.4.2 (4) SGAmESSTR1　注意　変更
		p.382	10.4.2 (17) SGAPE1　初期値　変更
			第13章　タイマ・アレイ・ユニットB（TAUB）
		全般	TAUBnCMURm レジスタ図　変更
		p.435	13.10 カウント開始／リスタート時の TAUBnTTOUTm 出力と INTTAUBnIm 生成 備考　変更
		p.437	13.11 TAUBnTTINm エッジ検出　注意　変更
		―	強制リスタート動作　図削除
		p.463, 471, 478, 515	表 13-31, 表 13-36, 表 13-40, 表 13-66　チャネルの初期設定　変更

改訂記録	V850E2/PG4-L ハードウェアマニュアル

Rev. 発行日		改訂内容	
		ページ	ポイント
1.00	2013. 1. 31	p.475	13.14.3 (2) 算出式　変更
		p.480	13.14.4 TAUBnTTINm 入力パルス・インターバル判定機能　機能説明　変更
		p.485	13.14.5 TAUBnTTINm 入力信号幅判定機能　機能説明　変更
		p.510, 511	図 13-57 動作再開、図 13-58 強制リスタート　変更
		p.512	13.16.3 (2) 算出式　変更
		p.522	13.18.1 (4) (d) マスタ・チャネルの一斉書き換え　備考　変更
		p.524	表 13-72 チャネル連動出力モード 1 時の制御ビット設定　タイトル変更
		p.530	13.18.2 (1) 算出式　備考 2　変更
		p.547	13.19.1 (1) 概要　前提条件　変更
		p.554	表 13-95 チャネル単体出力モード 2 の時の制御ビット設定　タイトル変更
		p.555	表 13-97 ワンショット・パルス出力機能時の操作手順　動作中　変更
		p.569, 570	13.20.1 (7) 特定の設定時のタイミング図　説明変更
		p.573	13.20.2 (2) (2) 算出式　変更
		p.575	図 13-84 デッド・タイム付き三角波 PWM 出力機能の基本タイミング図　変更
		p.583, 584	図 13-85, 図 13-86　タイトル変更
		p.583, 585	13.20.2 (8) 特定の設定時のタイミング図　説明変更
		p.596	表 13-121 TAUBn レジスタの概要　レジスタ名変更
		p.606	表 13-126 TAUBnCMORm レジスタの内容 (3/5)　レジスタ名変更
		p.615	13.21.4 (4) TAUBnTDE　アクセス　説明追加
		p.619	13.21.6 (6) TAUBnRSF　アドレス　変更
			第14章　タイマ・アレイ・ユニットJ（TAUJ）
		p.657	図 14-20 立ち上がり TAUJnTTINm 入力エッジ　変更
		p.675	14.12.5 (2) 算出式　変更
		p.692	表 14-43 チャネル連動出力モード 1 時の制御ビット設定　タイトル変更
			第15章　TSG2（TSG20）
		p.718	15.1 TSG2n の機能　チャネル数を 1（n = 0）に変更
		p.737	表 15-14 TSnIOC1 レジスタの内容 (1/2)　ビット 4　変更
		p.779	表 15-40 SP-PWM モード時のアクティブ幅設定　レジスタ名変更
		p.900	図 15-79, 図 15-80　信号名変更
			第16章　TPBA
		p.911	表 16-1 TPBA のチャネル　項目名変更
		p.939	図 16-4 基本動作タイミング例（2/2）　変更
			第18章　エンコーダ・タイマ（ENCA）
		p.967	表 18-5 ENCAn の入力信号一覧　接続先　変更
			第19章　タイマ・オプション機能（TAPA）
		p.1014	18.6 (5) エンコーダ基本動作タイミング 5　設定条件　変更
		p.1020, 1021	19.1 (1) Hi-Z 出力制御レジスタ 0、(2) Hi-Z 出力制御レジスタ 2　アドレス　変更
		p.1026	19.3.2 (1) TAPAnCTL0　変更
		p.1032	19.4.2 (1) 端子入力に対応した非同期 Hi-Z 制御のシステム構成例　変更
		p.1033	19.4.2 (2) (a) TAPAnCTL0.TAPAnDCM = 0, TAPAnDCP = 1, TAPAnDCN = 0 時 タイトル変更
		p.1037	19.4.3 (1) INT 信号出力選択機能の構成　アドレス　変更

改訂記録	V850E2/PG4-L ハードウェアマニュアル

Rev. 発行日		改訂内容 ページ	ポイント
1.00	2013. 1. 31		**第20章　CANコントローラ（FCN）**
		p.1070-1071	20.5.2 (1) FCNnCMMKCTLaH　変更
		p.1072-1073	20.5.2 (2) (a) FCNnCMCLCTL の読み出し値　変更
		p.1078	20.5.2 (4) FCNnCMINSTR　FCNnCMINSSTE の説明変更
		p.1087	20.5.2 (11) (a) FCNnCMRGRX の読み出し値　FCNnCMRGRVFF の説明変更
		p.1089	20.5.2 (13) (a) FCNnCMTGTX の読み出し値　FCNnCMTGTVFF の説明変更
		p.1093	20.5.3 (1) FCNnMmDATxB/H/W　変更
		p.1094, 1095	20.5.3 (2) FCNnMmDTLGB, (3) FCNnMmSTRB　初期値　説明追加・変更
		p.1097	20.5.3 (4) FCNnMmMID0H, FCNnMmMID1H, FCNnMmMID0W　変更
		p.1098-1100	20.5.3 (5) (a) FCNnMmCTL の読み出し値　変更
		p.1104	図 20-4 再定義後の送信メッセージ・バッファに対する送信要求の設定　変更
		p.1107	図 20-6 受信タイミング　変更
		p.1108-1110	20.7.3 受信ヒストリ・リスト機能　変更
		p.1111-1112	20.7.4 マスク機能　変更
		p.1119-1121	20.8.2 送信ヒストリ・リスト機能　変更
		p.1122	20.8.3 自動ブロック送信機能（ABT）　変更
		p.1124	20.8.4 送信中断処理　変更
		p.1133	20.11.1 受信オンリー・モード　変更
		p.1147, 1149	図 20-13、図 20-15　変更
		p.1151	図 20-17 受信中のメッセージ・バッファの再定義　変更
		p.1155	注意　変更
		p.1160-1161	図 20-25 ABT 送信以外の送信中断処理　変更・備考追加
		p.1162	図 20-26 ABT 送信要求中断処理（ABT 付き通常動作モードの実行中）(1)　変更
		p.1163	図 20-27 ABT 送信要求中断処理（ABT 付き通常動作モードの実行中）(2)　追加
		p.1164	図 20-28 送信完了フラグを利用した ABT 送信要求中断処理（ABT 付き通常動作モード）　変更
		p.1165	注意・備考　一部削除
			第21章　クロック同期シリアル・インタフェースG（CSIG）
		p.1181	表 21-6 CSIGn のポート・グループ　追加
		p.1187	21.3.3 シリアル通信クロックの選択　変更
			第22章　同期／非同期シリアル・インタフェースH（UARTH）
		p.1223	表 22-6 UARTHn のポート・グループ　追加
		p.1246	表 22-20 URTHnERX レジスタの内容　変更
		p.1254	表 22-28 IC0REG0 レジスタの内容　信号名変更
			第23章　A/Dコンバータ
		p.1295-1296	23.3.7 分解能，サンプリング時間と変換時間　変更
		p.1306	23.3.11 (3) アナログ入力端子の診断　説明追加、図変更
		p.1308, 1309	23.3.11 (4) チャネル S/H 回路の診断　変更
		p.1316	23.3.13 ディスチャージ機能　備考　変更
		p.1318	表 23-6 ADCAn レジスター覧 (1/2)　ADCAnDBiCRL　名称変更
		p.1323	表 23-8 ADCAnCTL1 レジスタの内容 (2/2)　ビット 9, 8　変更
		p.1349	23.5.4 (2) (b), (c)　端子名変更
		p.1352	図 23-17 アナログ入力回路のノイズ対策例　備考　変更
		p.1353	23.5.4 (5) (b)　備考　変更

改訂記録	V850E2/PG4-L ハードウェアマニュアル

Rev. 発行日		改訂内容 ページ	ポイント
1.00	2013. 1. 31		**第24章　Peripheral Interconnection（PIC）**
		全般	信号名　修正
		p.1362	表 24.3-1 PIC レジスター覧　PIC0SSER1 レジスタ　削除
		p.1364	24.3.1 (1) 制御レジスタ EN　アドレス変更
		p.1380	24.4.3.2 構成　表中　機能名の CH　変更
		p.1403	図 24.4.3-9 設定フロー　TAUBnCDRm レジスタ　設定値変更
		p.1404	図 24.4.3-10 設定フロー　TAUB0TT レジスタ　設定値変更
		p.1421	図 24.4.4-4 設定フロー　設定値変更
		p.1424, 1425	表 24.4.4-5 TAUJ0 の設定、表 24.4.4-6 TAUB0 の設定　ビット 1, 0　設定値変更
		p.1428	表 24.4.5-1 PIC0REG30 の内容　ビット 4-2　信号名変更
		p.1434	図 24.4.6-1 タイマ構成 1 のブロック図　TAPA2 の設定値変更
		p.1440	図 24.4.6-4 初期設定，動作開始フロー　設定値変更
		p.1442	表 24.4.6-4 ENCA0 の設定　ビット 4　設定値変更
		p.1443	表 24.4.6-5 TSG20 の設定 (1/2)　TS0IOC0 レジスタ　設定値変更
		p.1445	図 24.4.7-1 ブロック図　TAPA2 の設定値変更
		p.1451	図 24.4.7-5 初期設定，動作開始フロー　設定値変更
		p.1453	表 24.4.7-4 ENCA0 設定　ビット 4　設定値変更
		p.1454	表 24.4.7-5 TSG20 設定例 (1/2)　TS0IOC0 レジスタ　設定値変更
		p.1456	図 24.4.8-1 ブロック図　ENCA0 の設定値・レジスタ名変更
		p.1461	図 24.4.8-4 初期設定，動作開始フロー　設定値変更
		p.1462	表 24.4.8-3 ENCA0 設定　設定値変更
		p.1463	表 24.4.8-4 TSG20 設定 (1/2)　TS0CTL0 レジスタ　設定値変更
			第25章　オンチップ・デバッグ機能
		p.1487	図 25-1 オンチップ・デバッグ・エミュレータとの接続に使用する端子　変更
		p.1489	表 25-2　タイトル変更
		p.1491, 1492	25.3 オンチップ・デバッグ時の注意事項　説明追加
			第27章　電気的特性
		全般	AV_{DD0}　規定値変更
		p.1494	27.1 絶対最大定格　変更
		p.1497-1499	27.5 DC 特性　変更
		p.1504	27.6.4 レギュレータ　変更
		p.1508	27.6.9 タイマ・タイミング　条件変更
		p.1509, 1510, 1512, 1513	27.6.10 CSIGn タイミング　変更
		p.1523	27.6.13 NEXUS インタフェースタイミング　タイトル変更
		p.1524	27.6.14 LPD インタフェース　変更
		p.1525-1529	27.6.15 A/D コンバータ特性　変更
		p.1530-1531	27.6.16 POF/LVI 特性　変更
		p.1534	27.6.19 自己診断 BIST 実行時間　変更
1.01	2014.06.26		**第1章　イントロダクション**
		25, 26, 29, 30	1.6 端子接続図（Top View）　端子名を変更
			第2章　端子機能
		63	表 2-26 ポート・グループ一覧 (3/3)　注を追加

改訂記録	V850E2/PG4-L ハードウェアマニュアル

Rev. 発行日		改訂内容	
		ページ	ポイント
1.01	2014.06.26	68, 69	表 2-27 ポート以外の端子一覧(5/6)　注を追加
		72	表 2-28 ポート端子の未使用時端子処置一覧 (3/3)　注を追加
		73, 74	表 2-29 ポート以外の端子の未使用時端子処置一覧(1/2)　注を追加
		76	図 2-3 入出力回路タイプ(2/2)　修正
		78	表 2-30 ポート端子の状態一覧 (2/2)　注を追加
		79	表 2-31 ポート以外の端子の状態一覧 (1/2)　*6 を追加
		84	表 2-33 ポート端子以外の端子のプルアップ抵抗，プルダウン抵抗一覧 (1/2)　修正
		87	表 2-35 ポート0 制御レジスター覧　修正
		91	表 2-39 ポート2 制御レジスター覧　修正
		108	2.14.2 (2) DNFAnEN - アクセス　説明削除
		110	2.14.2 (3) DNFAnENL　追加
		111	表 2-58 DNFSCTL レジスタの内容 (2/2)　変更
			第3章　CPUシステム
		115	3.1 概要　注意　削除
		117, 119, 120	表 3-2 PPU 保護領域と保護対象 (1/4), (3/4), (4/4)　説明追加、削除
			第4章　割り込み機能
		139-148	表 4-2 割り込み要因一覧　注を変更、追加
		173	4.3.11 INTSTR0B　説明のレジスタ名を修正
			第6章　メモリ機能
		251	6.5 オプション・バイト　注意　修正
			第7章クロック発生機能
		279	表 7-16 CLMAnCMPH レジスタ，CLMAnCMPL レジスタの設定例　注を追加
			第8章　リセット
		290	8.2.2 低電圧検出回路（LVI）　参照先を追加
		291	8.2.3 外部RESET　参照先の追加,修正
		311	8.4.4 (4) LVICNT　説明を変更
			第13章　タイマ・アレイ・ユニットB（TAUB）
		417	表 13-8 一斉書き換え方法とトリガ・タイミング　修正
		418	表 13-9 一斉書き換え方法とトリガ・タイミング　備考　追加
		424	13.7.4 (2) マスタ・チャネルの三角波周期の[山] のタイミングで一斉書き換え（方法B)、図 13-6 マスタ・チャネルの三角波周期の[山] のタイミングで一斉書き換え　タイトル修正
		426	図 13-7 TAUBnRDC.TAUBnRDCmで指定した上位チャネルにてINTTAUBnImが発生した場合の一斉書き換え　修正
		427	13.7.4 (3) TAUBnRDC.TAUBnRDCm で指定した上位チャネルにてINTTAUBnImが発生した場合の一斉書き換え（方法C1）　説明5　変更
		436	表 13-11 カウンタがトリガされた場合のTAUBnCMORm.TAUBnMD0 ビットのINTTAUBnIm 発生に対する影響　修正
		453	13.13.3 (1) 概要 - 前提条件　修正
		459	表 13-27 オーバフローの影響　修正
		460	13.14.1 (1) 概要 - 機能説明　説明削除、13.14.1 (1) 概要 - 条件　備考　修正
		468	表 13-32 オーバフローの影響　修正
		476	13.14.3 (1) 概要 - 機能説明　説明削除、(2) 算出式　修正

改訂記録	V850E2/PG4-L ハードウェアマニュアル

Rev. 発行日		改訂内容	
		ページ	ポイント
1.01	2014.06.26	477	図 13-40 TAUBnTTINm 入力期間カウント検出機能のブロック図　修正
		477	図 13-41 TAUBnTTINm 入力期間カウント検出機能の基本タイミング図　修正
		478	表 13-37 TAUBnTTINm 入力期間カウント検出機能の TAUBnCMORm 設定　修正
		479	表 13-40 TAUBnTTINm 入力期間カウント検出機能の操作手順　操作、TAUBnの状態　修正
		480	図 13-42 動作の停止と再開　修正
		494	図 13-48 一斉書き換えトリガ生成機能タイプ1 の基本タイミング図　修正、説明追加
		512	図 13-58 強制リスタート　修正
		513	13.16.3 (1) 概要 - 機能説明　説明削除、(2) 算出式　修正
		514	図 13-60 TAUBnTTINm 入力位置検出機能の基本タイミング図　修正
		515	表 13-63 TAUBnTTINm 入力位置検出機能の TAUBnCMORm 設定　修正
		516	表 13-66 TAUBnTTINm 入力位置検出機能の操作手順　修正
		517	図 13-61 動作の停止と再開　修正
		533	図 13-68 ディレイ・パルス出力機能の基本タイミング図　修正
		543	表 13-89 ディレイ・パルス出力機能時の操作手順 (2/2)　修正
		546	図 13-71 A/D 変換トリガ出力機能タイプ1 のブロック図　修正
		550	図 13-73 ワンショット・パルス出力機能のブロック図　修正
		563	図 13-79 三角波PWM 出力機能のブロック図　修正
		575	図 13-83 デッド・タイム付き三角波PWM 出力機能のブロック図　修正
		576	図 13-84 デッド・タイム付き三角波PWM 出力機能の基本タイミング図　修正
		578	表 13-111 デッド・タイム付き三角波PWM 出力機能時のマスタ・チャネルの一斉書き換え設定　修正
		580	表 13-115 三角波PWM 出力機能時のスレーブ・チャネル2 の一斉書き換え設定　修正
		582	表 13-119 三角波PWM 出力機能時のスレーブ・チャネル3 の一斉書き換え設定　修正
		595	図 13-91 A/D 変換トリガ出力機能タイプ2 のブロック図　修正
		603	表 13-125 カウント再許可後の TAUBnCNTm リード値　修正
		607	表 13-126 TAUBnCMORm レジスタの内容 (4/5)　修正
		610	表 13-128 TAUBnCSRm レジスタの内容　修正
		613	13.21.4 (1) TAUBnTOE - アクセス　説明追加
		615	13.21.4 (4) TAUBnTDE - アクセス　説明削除、(5) TAUBnTDL - アクセス　説明追加
		619	表 13-144 TAUBnRDT レジスタの内容　説明追加
			第14章　タイマ・アレイ・ユニットJ（TAUJ）
		621	表 14-5 TAUJn 入出力信号　信号削除
		643	表 14-9 カウンタがトリガされた場合の TAUJnCMORm.TAUJnMD0 ビットの INTTAUJnIm 発生に対する影響　修正
		658	14.12.3 (1) 概要 - 機能説明　設定削除、表 14-20 オーバフローの影響　修正
		667	表 14-25 オーバフローの影響　修正
		675	14.12.5 (1) 概要 - 機能説明　説明削除、(2) 算出式　修正
		676	図 14-34 TAUJnTTINm 入力期間カウント検出機能の基本タイミング図　修正
		677	表 14-30 TAUJnTTINm 入力期間カウント検出機能の TAUJnCMORm 設定　修正

改訂記録	V850E2/PG4-L ハードウェアマニュアル

Rev. 発行日		改訂内容	
		ページ	ポイント
1.01	2014.06.26	678	表 14-33 TAUJnTTINm 入力期間カウント検出機能の操作手順　修正
		679	図 14-35 動作の停止と再開　修正
		680	14.12.6 (1) 概要 - 機能説明　説明削除、(2) 算出式　修正
		681	図 14-37 TAUJnTTINm 入力位置検出機能の基本タイミング図　修正
		682	表 14-34 TAUJnTTINm 入力位置検出機能のTAUJnCMORm 設定　修正
		683	表 14-37 TAUJnTTINm 入力位置検出機能のTAUJnCMORm 設定　修正
		684	図 14-38 動作の停止と再開　修正
		704	表 14-51 カウント再許可後のTAUJnCNTm リード値　修正
		708	表 14-52 TAUJnCMORm レジスタの内容 (4/4)　修正
		710	表 14-54 TAUJnCSRm レジスタの内容　修正
		717	表 14-66 TAUJnRDT レジスタの内容　説明追加
			第15章　TSG2（TSG20）
		721	図 15-1 TSG2n のブロック図　修正
		722-723	表 15-6 TSG2n のレジスタ　修正
		733-734	表 15-12 TSnCTL6 レジスタの内容　修正
		737, 739	15.4.2 (8) TSG2n I/O 制御レジスタ1、(9) TSG2n I/O 制御レジスタ2　タイトル修正
		790	表 15-44 モード別割り込み一覧（3/5）　修正
		794	表 15-45 フラグ一覧表　修正
		805	15.7.9 TSnOPCI0, TSnOPCI1信号同時トリガ検出フラグ　タイトル修正
		811	15.8.1 (1) TSnCTL4 レジスタのTSnPIE = 1, TSnVIE = 1 での割り込み間引き動作　図を修正
		813	図 15-26 TSnCTL3 レジスタのTSnRMC = 0, TSnRIA ビット = 0（リロード間引きなし）の場合　修正
		818	図 15-30 TSnCTL4 レジスタのTSnPIE = 1, TSnVIE = 1, TSnRCC04-TSnRCC00 = 00_B, TSnCTL5 レジスタのTSnACC01, TSnACC00 = 00_B の場合　修正
		819	図 15-31 TSnCTL4 レジスタのTSnPIE = 0, TSnVIE = 1, TSnRCC04-TSnRCC00 = 02_B, TSnCTL5 レジスタのTSnACC01, TSnACC00 = 00_B の場合　修正
		821	図 15-34 A/D 変換トリガの間引き機能の動作例　修正
		826	15.10.2 ワーニング割り込み機能　説明修正
		850	図 15-49 TSnTS = 1 にセットした場合（初期）のタイマ出力例　修正
		864	表 15-62 SP-PWM モード：コンペア・レジスタ，デッド・タイム設定レジスタの機能　修正
		902	15.11.4 (12) (c) TSG2nO1-TSG2nO6 端子の変化タイミング　修正
		905	15.11.4 (13) 120-DC モード時の基本制御フロー　説明削除
		906	図 15-83 120-DC モードからソフトウエア出力制御機能の切り替え例　修正
			第 17 章OS タイマ（OSTM）
		945	図 17-4 出力モードのタイミング図　修正
			第18章　エンコーダ・タイマ（ENCA）
		971, 973	表 18-7 ENCAnCTL レジスタの内容 (1/3), (3/3)　修正
		980	18.3 (7) ENCAnCCR1 - アクセス　修正
		988	18.4.1 (4) アンダフローの動作　修正
		989	図 18-5 ENCAnCTL レジスタのENCAnUDS1，ENCAnUDS0 ビット = 00_B のカウント動作　修正

改訂記録	V850E2/PG4-L ハードウェアマニュアル

Rev.		改訂内容	
発行日		ページ	ポイント
1.01	2014.06.26	993	18.4.3 タイマ・カウンタ・クリア制御　説明変更、図 18-9 エンコーダ・クリア入力（ENCAnEC 端子）によるカウンタのクリア動作　修正
		994	18.4.3 (1)-2 エンコーダ・クリア入力（ENCAnEC 端子）によるカウント・クリアとキャプチャ動作 - 設定条件　修正
		1005	18.4.6 タイマ・カウンタの起動／停止　説明削除
		1007	18.5.1 (3) ENCAnCCR0 レジスタの初期設定手順　修正
		1008	18.5.1 (4) ENCAnCCR1 レジスタ設定手順　修正
			第19章　タイマ・オプション機能（TAPA）
		1015	19.1 タイマ・オプション機能の特徴 - nの意味　修正
		1019	表 19-6 PIC0HIZCEN0 の内容　注意2　変更
		1020	表 19-7 PIC0HIZCEN2 の内容　注意2　変更
		1025	表 19-10 TAPAnCTL0 レジスタの内容　修正
		1035	図 19-2 TAPAnDCM = 1，TAPAnDCP = 1，TAPAnDCN = 0 時の $\overline{\text{TAPAnTHZOUT0}}$ の動作　タイトル修正
		1036	19.4.2 (4) 非同期入力Hi-Z 制御の操作例　修正
			第20章　CANコントローラ（FCN）
		1048	表 20-7 機能の概要　修正
		1068	20.5.1 (5) FCNnDNBMRXk　修正
		1087	20.5.2 (12) FCNnCMLOSTR　注意　説明追加
		1092, 1093	20.5.3 (1) (b) FCNnMmDATyH, (c) FCNnMmDATzW　修正
		1109	20.7.3 受信ヒストリ・リスト機能　修正
		1112	20.7.4 (3) FCN モジュール1 のマスク設定（マスク1）（例）　修正
		1119	20.8.2 送信ヒストリ・リスト機能　修正
		1122	20.8.3 自動ブロック送信機能（ABT）　修正
		1124	20.8.4 (2) 自動ブロック送信（ABT）の送信中断処理　参照先追加
		1130	20.9.3 パワー・セーブ・モードの使用例　修正
		1161	図20-25 ABT送信以外の送信中断処理（ABT付き通常動作モードの実行中）　タイトル変更
		1165, 1166	図 20-29 送信中断割り込みと送信完了フラグによる送信中断処理　説明修正、図 20-30 送信完了フラグによる送信中断処理　タイトル修正
			第21章　クロック同期シリアル・インタフェースG（CSIG）
		1190	図 21-7 EDL のタイミング図　修正
			第22章　同期／非同期シリアル・インタフェースH（UARTH）
		1244	22.4 (11) URTHnRX　備考　追加
		1249	22.4 (15) URTHnTX　備考　追加
		1262-1263	22.6.4 2フレーム連続転送モード　修正
		1274, 1275	22.6.12 UARTHn 受信 - 受信の開始、受信エラー　修正
			第23章　A/Dコンバータ
		1284	23.2 機能概要　修正
		1285	図 23-1 ADCAn のブロック図　注釈を追加
		1286	23.3 機能説明 - チャネルとチャネル・グループ　修正
		1287, 1288	23.3.1 基本動作　修正
		1288	23.3.2 クロックの使用　注意　修正
		1290	23.3.4 A/D 変換モード　表を修正

改訂記録	V850E2/PG4-L ハードウェアマニュアル

Rev. 発行日		改訂内容	
		ページ	ポイント
1.01	2014.06.26	1291-1292	23.3.4 (1) ワンショット変換モード　追加
		1294	23.3.5 A/D 変換の開始（起動トリガ）備考2　修正
		1305	図 23-15 自己診断機能の概要　修正
		1307	23.3.11 (1) A/D 変換回路の診断　説明追加
		1307-1308	23.3.11 (2) チャネル・マルチプレクサの診断　説明追加
		1308-1309	23.3.11 (3) アナログ入力端子の診断　注　変更
		1310-1312	23.3.11 (4) チャネルS/H 回路の診断 - ステップ1、ステップ2　修正
		1319	図 23-20 バッファ・アンプ機能有効時の変換タイミング　修正
		1322	23.4.2 (1) ADCAnCTL0 - アクセス　説明追加
		1323	表 23-7 ADCAnCTL0 レジスタの内容 (2/2)　説明追加
		1324	23.4.2 (2) ADCAnCTL1 - アクセス　説明追加
		1328	23.4.2 (5) ADCAnCNT - アクセス　説明追加
		1329-1330	23.4.2 (7) ADCAnSMCNT - (10) ADCAnDISCNT　修正
		1334	23.4.3 (4) ADCAnSTC2 - アクセス　説明追加
		1337	表 23-22 ADCAnLCR レジスタの内容 (2/2)　備考1　削除、修正
		1341	表 23-24 ADCAnDBiCR レジスタの内容 (2/2)　備考1　追加、備考2　修正
		1342	表 23-25 ADCAnDBiCRL レジスタの内容　説明追加、備考2　修正
		1345	表 23-29 ADCAnLL レジスタの内容　説明追加
		1354	23.5.4 (6) 配線と等価回路（参考）　タイトル追加
			第24章 Peripheral Interconnection（PIC）
		全般	機能名変更（A/D トリガ・エンコーダ・キャプチャ機能→エンコーダ・キャプチャ・トリガ選択機能）
		1373	図 24.4.1-2 設定フロー　修正
		―	24.4.3.3 (6) タイマ入出力制御レジスタ 204（PIC0REG204）　削除
		1420	図 24.4.4-3 トリガ・パルス幅測定機能の動作例（m = 0-2, k = 0, 1）　タイトル修正
		1422	図24.4.4-4 設定フロー (k = 0, l = 0, 1)　図、タイトル修正
		1423	図 24.4.4-5 設定フロー　修正
		1425	表 24.4.4-5 TAUJ0 の設定（k = 0, 1）　タイトル修正
		1428	24.4.5.1 機能概要　説明変更、24.4.5.2 構成　表を追加、図 24.4.5-1 ブロック図　修正
		1429	表 24.4.5-1 PIC0REG30 の内容　修正
		1431	24.4.5.4 動作例　説明追加 図 24.4.5-2 ADCAnTRG1 をトリガとしたエンコーダ・キャプチャ・トリガ選択機能の動作例　タイトル修正
		1432	24.4.5.4 (1) TAUB0TINTmによるエンコーダ・キャプチャ　追加
		1434-1435	24.4.5.5 (1) INTTAUB0Imによるエンコーダ・キャプチャ動作設定フロー　追加
		1437	表 24.4.5-5 PIC の設定（NTTAUB0Im使用時）　追加
			第27章　電気的特性
		1499	27.2 容量　変更
		1501	27.5 DC 特性 - DC 特性（1/3）　変更
		1507	27.6.3 電源投入／遮断タイミング　図を修正
		1516	27.6.10 (b) スレーブ・モード　変更
		1537-1538	27.6.18 FLMD0 パルス・タイミング特性　変更

改訂記録	V850E2/PG4-L ハードウェアマニュアル

Rev.		改訂内容	
発行日		ページ	ポイント
1.02	2014.07.17		**第27章　電気的特性**
		1534	27.6.16 POF/LVI 特性　変更

V850E2/PG4-L ユーザーズマニュアル
ハードウェア編

発行年月日　2011年12月27日　Rev.0.01
　　2014年7月17日　Rev.1.02

発行　　ルネサス エレクトロニクス株式会社
　　〒211-8668　神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

http://www.renesas.com

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：http://japan.renesas.com/contact/

© 2014 Renesas Electronics Corporation. All rights reserved.
Colophon 2.0

V850E2/PG4-L

RENESAS

ルネサス エレクトロニクス株式会社

R01UH0336JJ0102