

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A006A/J	Rev.	第1版
題名	誤記訂正通知 RL78/G12 ユーザーズマニュアル Rev.1.10 の記載変更		情報分類	技術情報	
適用製品	RL78/G12 グループ : R5F102xxx, R5F103xxx	対象ロット等 全ロット	関連資料	RL78/G12 ユーザーズマニュアル ハードウェア編 Rev.1.10 R01UH0200JJ0110 (Sep.2012)	

RL78/G12 ユーザーズマニュアル ハードウェア編 Rev.1.10 (R01UH0200JJ0110)において、下記訂正がございます。

今回通知する訂正内容

訂正箇所	該当ページ	内容
1.4端子接続図 (Top View) 1.4.3 30ピン製品	p.7	誤記訂正
内部データ・メモリ空間/制御レジスタ/汎用レジスタ	p.38, p.49, p.51	誤記訂正
4.3 ポート機能を制御するレジスタ 図4-40 周辺I/Oリダイレクション・レジスタ(PIOR)	p.132	誤記訂正
6.7.3 分周器としての動作	p.231	誤記訂正
11.3.2 シリアル・クロック選択レジスタm (SPSm)	p.352	誤記訂正
11.6.3 SNOOZEモード機能	p.443	仕様変更
17.2.2 STOPモード	p.627, p.628	誤記訂正
17.2.3 SNOOZEモード	p.630	誤記訂正
図23-3 ユーザ・オプション・バイト(000C2H)	p.683	仕様拡張
28.3.1 端子特性	p.736, p.737	誤記訂正
28.3.2 電源電流特性	p.740- p.744	誤記訂正
28.4 AC特性	p.745	仕様拡張
28.5.1 シリアル・アレイ・ユニット	p.747- p.763	誤記訂正
28.5.2 シリアル・インタフェースIIICA	p.763, p.764	誤記訂正
28.6.1 A/Dコンバータ特性	p.764- p.766	仕様拡張
28.6.2 温度センサ/内部基準電圧特性	p.766	誤記訂正
28.6.3 POR回路特性	p.766	誤記訂正
電源電圧立ち上げ時間	-	仕様追加
28.7 データ・メモリSTOPモード低電源電圧データ保持特性	p.768	仕様拡張
第29章 電気的特性 (G: Ta = -40~+105°C) (ターゲット)	-	仕様追加

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメントNo.	和文	R01UH0200JJ0110	
1	1.4端子接続図(Top View)	1.4.3 30ピン製品	p.7	p.3
2	内部データ・メモリ空間/制御レジスタ/汎用レジスタ		p.38, p.49, p.51	p.4
3	4.3 ポート機能を制御するレジスタ 図4-40 周辺I/Oリダイレクション・レジスタ(PIOR)		p.132	p.5, p.6
4	6.7.3 分周器としての動作		p.231	p.7
5	11.3.2 シリアル・クロック選択レジスタm(SPSm)		p.352	p.8
6	11.6.3 SNOOZEモード機能		p.443	p.9, p.10
7	17.2.2 STOPモード		p.627, p.628	p.11
8	17.2.3 SNOOZEモード		p.630	p.12
9	図23-3 ユーザ・オプション・バイト(000C2H)		p.683	p.13
10	28.3.1 端子特性		p.736, p.737	p.14
11	28.3.2 電源電流特性		p.740- p.744	p.14
12	28.4 AC特性		p.745	p.14
13	28.5.1 シリアル・アレイ・ユニット		p.747- p.763	p.14
14	28.5.2 シリアル・インタフェースIIICA		p.763, p.764	p.14
15	28.6.1 A/Dコンバータ特性		p.764- p.766	p.15
16	28.6.2 温度センサ/内部基準電圧特性		p.766	p.15
17	28.6.3 POR回路特性		p.766	p.15
18	電源電圧立ち上げ時間		—	p.15
19	28.7 データ・メモリSTOPモード低電源電圧データ保持特性		p.768	p.15
20	第29章 電氣的特性(G: Ta = -40~+105°C) (ターゲット)		—	p.15

誤記訂正の該当箇所は、誤)太字下線、正)グレー・ハッチングで記載します。

発行文書履歴

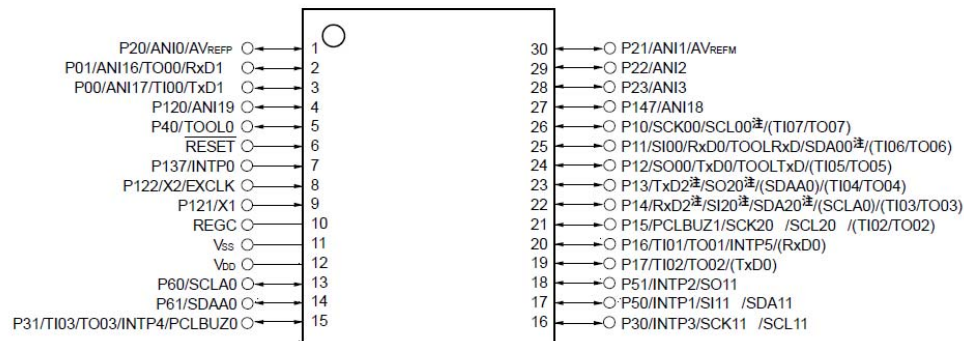
RL78/G12 ユーザーズマニュアル Rev.1.10 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A006A/J	2013年1月1日	初版発行 訂正一覧のNo.1 ~ No.20 の誤記訂正(本通知です。)

1. 1.4 端子接続図(Top View) 1.4.3 30ピン製品

誤)

・30ピン・プラスチックSSOP (7.62 mm (300))



注 R5F102製品

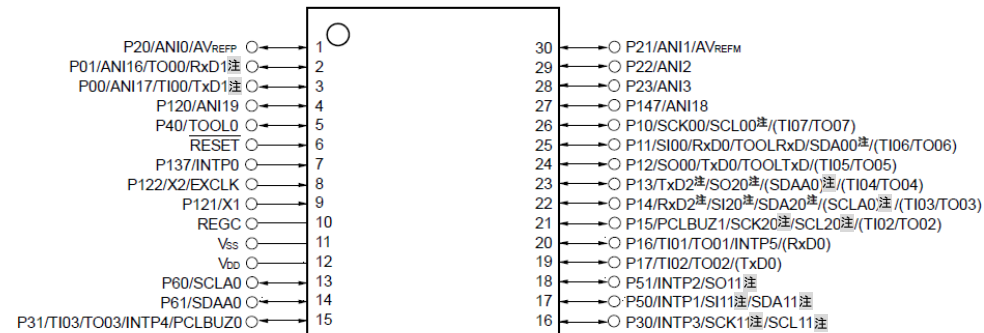
注意 REGCはコンデンサ (0.47~1 μF) を介し、Vssに接続してください。

備考1. 端子名称は、1.5 端子名称を参照してください。

2. () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

正)

・30ピン・プラスチックSSOP (7.62 mm (300))



注 R5F102製品のみ

注意 REGCはコンデンサ (0.47~1 μF) を介し、Vssに接続してください。

備考1. 端子名称は、1.5 端子名称を参照してください。

2. () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

2. 内部データ・メモリ空間／制御レジスタ／汎用レジスタ

誤)

- 注意 1. 汎用レジスタが割り当てられている空間 (FFEE0H-FFEFFH) は、命令フェッチやスタックの領域に使用できません。
2. セルフ・プログラミング時またはデータ・フラッシュ書き換え時は、次に示す製品の RAM 領域に各ライブラリが使用するスタックやデータ・バッファと DMA 転送で利用する RAM アドレスを配置しないでください。詳細は、RL78 ファミリフラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズマニュアルおよび RL78 ファミリデータ・フラッシュ・ライブラリ Type04 ユーザーズマニュアルをご確認ください。

R5F10266 : FFE20H-FFEA1H, FFEE0H-FFEFFH
 (データ・フラッシュ・ライブラリで使用するスタックは FFEA2H-FFEDFH に、データ・バッファと DMA 転送で利用する RAM アドレスは FFE00H-~~FFE19H~~ に配置してください。)

R5F102mn, R5F103mn : FFE20H-FFEFFH

m : ピン数記号 (m = 6, 7, A), n : ROM 容量記号 (n = 7, 8, 9, A)

3. 次に示す製品の RAM 領域は、セルフ・プログラミング・ライブラリおよびデータ・フラッシュ・ライブラリで使用するため使用禁止になります。(図 3-3 ~ 図 3-5 メモリ・マップ参照)

R5F102m8, R5F103m8 : FFC00H-~~FFC80H~~

R5F102m9, R5F103m9 : FFB00H-~~FFC80H~~

R5F102mA, R5F103mA : FF900H-~~FFC80H~~

m : ピン数記号 (m = 6, 7)

正)

- 注意 1. 汎用レジスタが割り当てられている空間 (FFEE0H-FFEFFH) は、命令フェッチやスタックの領域に使用できません。
2. セルフ・プログラミング時またはデータ・フラッシュ書き換え時は、次に示す製品の RAM 領域に各ライブラリが使用するスタックやデータ・バッファと DMA 転送で利用する RAM アドレスを配置しないでください。詳細は、RL78 ファミリフラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズマニュアルおよび RL78 ファミリデータ・フラッシュ・ライブラリ Type04 ユーザーズマニュアルをご確認ください。

R5F10266 : FFE20H-FFEA1H, FFEE0H-FFEFFH
 (データ・フラッシュ・ライブラリで使用するスタックは FFEA2H-FFEDFH に、データ・バッファと DMA 転送で利用する RAM アドレスは FFE00H-~~FFE1FH~~ に配置してください。)

R5F102mn, R5F103mn : FFE20H-FFEFFH

m : ピン数記号 (m = 6, 7, A), n : ROM 容量記号 (n = 7, 8, 9, A)

3. 次に示す製品の RAM 領域は、セルフ・プログラミング・ライブラリおよびデータ・フラッシュ・ライブラリで使用するため使用禁止になります。(図 3-3 ~ 図 3-5 メモリ・マップ参照)

R5F102m8, R5F103m8 : FFC00H-~~FFC89H~~

R5F102m9, R5F103m9 : FFB00H-~~FFC89H~~

R5F102mA, R5F103mA : FF900H-~~FFC89H~~

m : ピン数記号 (m = 6, 7)

3. 4.3 ポート機能を制御するレジスタ

図4-40 周辺 I/O リダイレクション・レジスタ(PIOR)

誤)

図4-40 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマット

アドレス：F0077H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIOR	0	0	0	0	PIOR3	PIOR2	PIOR1	PIOR0

20, 24 ピン製品

ビット	機能	設定値	
		0	1
PIOR3 ^{注1}	SCK01	P42	P02 ^{注2}
	SI01	P125	P00 ^{注2}
	SO01	P41	P01 ^{注2}
	SCL01	P42	P02 ^{注2}
	SDA01	P41	P01 ^{注2}
PIOR2	TI02	P41	P122
	TI03	P42	P121
PIOR1	RxD0	P11	P61
	TxD0	P12	P60
PIOR0	INTP2	P13	P122
	INTP3	P14	P121

注 1. R5F102 製品

2. 24 ピン製品

正)

図4-40 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマット

アドレス：F0077H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIOR	0	0	0	0	PIOR3 ^{注1, 2}	PIOR2	PIOR1	PIOR0

20, 24 ピン製品

ビット	機能	設定値	
		0	1
PIOR3 ^{注1, 2}	SCK01	P42	P02
	SI01	P125	P00
	SO01	P41	P01
	SCL01	P42	P02
	SDA01	P41	P01
PIOR2 ^{注3}	TI02	P41	P122
	TI03	P42	P121
PIOR1	RxD0	P11	P61
	TxD0	P12	P60
PIOR0	INTP2	P13	P122
	INTP3	P14	P121

注 1. R5F102 製品のみ

2. 24 ピン製品のみ

3. 20,24 ピン製品の PIOR2 ビットを”1”に設定した場合、TO02, TO03 のタイマ出力は使用禁止です。

図4-40 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマット

アドレス：F0077H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIOR	0	0	0	0	PIOR3	PIOR2	PIOR1	PIOR0

30ピン製品

ビット	機能	設定値	
		0	1
PIOR3	—	(固定)	—
PIOR2	SCLA0	P60	P14
	SDAA0	P61	P13
PIOR1	TxD2 ^{注1}	P13	—
	RxD2 ^{注1}	P14	—
	SCL20 ^{注1}	P15	—
	SDA20 ^{注1}	P14	—
	SI20 ^{注1}	P14	—
	SO20 ^{注1}	P13	—
	SCK20 ^{注1}	P15	—
	TxD0	P12	P17
	RxD0	P11	P16
	SCL00	P10	—
	SDA00	P11	—
	SI00	P11	—
	SO00	P12	—
	SCK00	P10	—
PIOR0	TI02/TO02	P17	P15
	TI03/TO03	P31	P14
	TI04/TO04 ^{注1}	—	P13
	TI05/TO05 ^{注1}	—	P12
	TI06/TO06 ^{注1}	—	P11
	TI07/TO07 ^{注1}	—	P10

注1. R5F102製品

2. 24ピン製品

図4-40 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマット

アドレス：F0077H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIOR	0	0	0	0	PIOR3 ^{注1, 2}	PIOR2	PIOR1	PIOR0

30ピン製品

ビット	機能	設定値	
		0	1
PIOR3	—	(固定)	設定禁止
PIOR2	SCLA0	P60	P14
	SDAA0	P61	P13
PIOR1	TxD2 ^{注1}	P13	—
	RxD2 ^{注1}	P14	—
	SCL20 ^{注1}	P15	—
	SDA20 ^{注1}	P14	—
	SI20 ^{注1}	P14	—
	SO20 ^{注1}	P13	—
	SCK20 ^{注1}	P15	—
	TxD0	P12	P17
	RxD0	P11	P16
	SCL00 ^{注1}	P10	—
	SDA00 ^{注1}	P11	—
	SI00	P11	—
	SO00	P12	—
	SCK00	P10	—
PIOR0	TI02/TO02	P17	P15
	TI03/TO03	P31	P14
	TI04/TO04	—	P13
	TI05/TO05	—	P12
	TI06/TO06	—	P11
	TI07/TO07	—	P10

注1. R5F102製品のみ

2. 24ピン製品のみ

4. 6.7.3 分周器としての動作

誤)

6.7.3 分周器としての動作 (ユニット0のチャンネル0のみ)

TI00端子に入力されたクロックを分周し、TO00端子から出力する分周器に利用できます。
TO00出力の分周クロック周波数は次の式で求めることができます。

- ・立ち上がりエッジ/立ち下がりエッジ選択時：
分周クロック周波数 = 入力クロック周波数 / { (TDR00の設定値+1) × 2 }
- ・両エッジ選択時：
分周クロック周波数 ≒ 入力クロック周波数 / (TDR00の設定値+1)

(省略)

TO00の出カクロックの周期には、動作クロック1周期分のサンプリング誤差が含まれません。

TO00出力のクロック周期=理想のTO00出カクロック周期±動作クロック周期 (誤差)

TDR00レジスタは任意のタイミングで書き換えることができます。書き換えたTDR00レジスタの値は次のカウント期間で有効となります。

(省略)

正)

6.7.3 分周器としての動作 (30ピン製品のチャンネル0のみ)

TI00端子に入力されたクロックを分周し、TO00端子から出力する分周器に利用できます。
TO00出力の分周クロック周波数は次の式で求めることができます。

- ・立ち上がりエッジ/立ち下がりエッジ選択時：
分周クロック周波数 = 入力クロック周波数 / { (TDR00の設定値+1) × 2 }
- ・両エッジ選択時：
分周クロック周波数 ≒ 入力クロック周波数 / (TDR00の設定値+1)

(省略)

TO00の出カクロックの周期には、動作クロック1周期分のサンプリング誤差が含まれません。

TO00出力のクロック周期=理想のTO00出カクロック周期±動作クロック周期 (誤差)

TDR00レジスタは任意のタイミングで書き換えることができます。書き換えたTDR00レジスタの値は次のカウント期間で有効となります。

(省略)

5. 11. 3. 2 シリアル・クロック選択レジスタ m (SPSm)

誤)

図11-7 シリアル・クロック選択レジスタ m (SPSm) のフォーマット

アドレス：F0126H, F0127H (SPS0) , F0166H, F0167H (SPS1) リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	PRS	PRS	PRS	PRS	PRS	PRS	PRS	PRS	PRS
								m13	m12	m11	m10	m03	m02	m01	m00	

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック (CK mk) の選択 ^注						
				fCLK = 2 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 20 MHz	fCLK = 24 MHz	
0	0	0	0	fCLK	2 MHz	4 MHz	8 MHz	16 MHz	20 MHz	24 MHz
				fCLK/2	1 MHz	2 MHz	4 MHz	8 MHz	10 MHz	12 MHz
0	0	1	0	fCLK/2 ²	500 kHz	1 MHz	2 MHz	4 MHz	5 MHz	6 MHz
0	0	1	1	fCLK/2 ³	250 kHz	500 kHz	1 MHz	2 MHz	2.5 MHz	3 MHz
				fCLK/2 ⁴	125 kHz	250 kHz	500 kHz	1 MHz	1.25 MHz	1.5 MHz
0	1	0	1	fCLK/2 ⁵	62.5 kHz	125 kHz	250 kHz	500 kHz	625 kHz	750 kHz
				fCLK/2 ⁶	31.3 kHz	62.5 kHz	125 kHz	250 kHz	313 kHz	375 kHz
0	1	1	1	fCLK/2 ⁷	15.6 kHz	31.2 kHz	62.5 kHz	125 kHz	156 kHz	187.5 kHz
				fCLK/2 ⁸	7.81 kHz	15.6 kHz	31.2 kHz	62.5 kHz	78.1 kHz	93.75 kHz
1	0	0	1	fCLK/2 ⁹	3.91 kHz	7.8 kHz	15.6 kHz	31.2 kHz	39.1 kHz	46.88 kHz
				fCLK/2 ¹⁰	1.95 kHz	3.9 kHz	7.8 kHz	15.6 kHz	19.5 kHz	23.44 kHz
1	0	1	1	fCLK/2 ¹¹	977 Hz	1.95 kHz	3.9 kHz	7.8 kHz	9.77 kHz	11.72 kHz
				fCLK/2 ¹²	488 Hz	0.97 kHz	1.95 kHz	3.9 kHz	4.88 kHz	5.86 kHz
1	1	0	1	fCLK/2 ¹³	244 Hz	485 Hz	0.97 kHz	1.95 kHz	2.44 kHz	2.93 kHz
				fCLK/2 ¹⁴	122 Hz	242 Hz	485 Hz	0.97 kHz	1.22 kHz	1.47 kHz
1	1	1	1	fCLK/2 ¹⁵	61 Hz	121 Hz	242 Hz	485 Hz	610 Hz	732 Hz

(省略)

正)

図11-7 シリアル・クロック選択レジスタ m (SPSm) のフォーマット

アドレス：F0126H, F0127H (SPS0) , F0166H, F0167H (SPS1) リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	PRS	PRS	PRS	PRS	PRS	PRS	PRS	PRS	PRS
								m13	m12	m11	m10	m03	m02	m01	m00	

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック (CK mk) の選択 ^注						
				fCLK = 2 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 20 MHz	fCLK = 24 MHz	
0	0	0	0	fCLK	2 MHz	4 MHz	8 MHz	16 MHz	20 MHz	24 MHz
0	0	0	1	fCLK/2	1 MHz	2 MHz	4 MHz	8 MHz	10 MHz	12 MHz
0	0	1	0	fCLK/2 ²	500 kHz	1 MHz	2 MHz	4 MHz	5 MHz	6 MHz
0	0	1	1	fCLK/2 ³	250 kHz	500 kHz	1 MHz	2 MHz	2.5 MHz	3 MHz
0	1	0	0	fCLK/2 ⁴	125 kHz	250 kHz	500 kHz	1 MHz	1.25 MHz	1.5 MHz
0	1	0	1	fCLK/2 ⁵	62.5 kHz	125 kHz	250 kHz	500 kHz	625 kHz	750 kHz
0	1	1	0	fCLK/2 ⁶	31.3 kHz	62.5 kHz	125 kHz	250 kHz	313 kHz	375 kHz
0	1	1	1	fCLK/2 ⁷	15.6 kHz	31.3 kHz	62.5 kHz	125 kHz	156 kHz	188 kHz
1	0	0	0	fCLK/2 ⁸	7.81 kHz	15.6 kHz	31.3 kHz	62.5 kHz	78.1 kHz	93.8 kHz
1	0	0	1	fCLK/2 ⁹	3.91 kHz	7.81 kHz	15.6 kHz	31.3 kHz	39.1 kHz	46.9 kHz
1	0	1	0	fCLK/2 ¹⁰	1.95 kHz	3.91 kHz	7.81 kHz	15.6 kHz	19.5 kHz	23.4 kHz
1	0	1	1	fCLK/2 ¹¹	977 Hz	1.95 kHz	3.91 kHz	7.81 kHz	9.77 kHz	11.7 kHz
1	1	0	0	fCLK/2 ¹²	488 Hz	977 Hz	1.95 kHz	3.91 kHz	4.88 kHz	5.86 kHz
1	1	0	1	fCLK/2 ¹³	244 Hz	488 Hz	977 Hz	1.95 kHz	2.44 kHz	2.93 kHz
1	1	1	0	fCLK/2 ¹⁴	122 Hz	244 Hz	488 Hz	977 Hz	1.22 kHz	1.46 kHz
1	1	1	1	fCLK/2 ¹⁵	61 Hz	122 Hz	244 Hz	488 Hz	610 Hz	732 Hz

(省略)

6. 11. 6. 3 SNOOZE モード機能(UART0 受信のみ)

誤)

STOPモード時にRxD0端子入力の検出により、UARTの受信動作をさせるモードです。通常、STOP時にUARTは停止していますが、このモードではCPUを動作させずにデータ受信ができます。

SNOOZEモード機能は、UART0のみ設定可能です。

SNOOZEモード機能を使用する場合は、STOPモードに移行する前にシリアル・スタンバイ・コントロール・レジスタ0(SSC0)のSWC0ビットを1に設定しておきます。

注意 1. SNOOZE モードは、 f_{CLK} に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

2. **UART0をSNOOZEモードで使用するときの最大転送レートは9600bpsです。**

正)

STOPモード時にRxD0端子入力の検出により、UART受信を動作させるモードです。通常STOP時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。

SNOOZEモードは、UART0のみ設定可能です。

UART0をSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図11-93、図11-95 SNOOZEモード動作時のフローチャートを参照)

- ・ **SNOOZEモード時は、UART受信ポー・レートの設定を通常動作時とは異なる値に変更する必要があります。表11-3を参照してSPS0レジスタ、SDR01レジスタ[15:9]を設定してください。**
- ・ **EOC01ビット、SSEC0ビットを設定します。通信エラーが発生した場合にエラー割り込み(INTSRE0)の発生許可/停止を設定することができます。**
- ・ **STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタ0(SSC0)のSWC0ビットをセット(1)してください。初期設定完了後、シリアル・チャンネル開始レジスタ0(SS0)のSS01ビットをセット(1)します。**

STOPモードに移行後、RxD0のエッジを検出(スタート・ビット入力)すると、UART受信を開始します。

注意 1. SNOOZE モードは、 f_{CLK} に高速オンチップ・オシレータ・クロック(f_{IH})を選択している場合のみ使用できます。

2. **SNOOZEモードでの転送レートは4800bpsのみです。**

3. SWC0=1 の設定では、STOP モード中に受信開始した時のみ UART0 を使用できません。他の SNOOZE 機能や割り込みと同時に使用して、次のような STOP モード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。
 - ・ SWC0=1 に設定後、STOP モードに移行する前に受信開始した場合
 - ・ 他の SNOOZE モード中に受信開始した場合
 - ・ STOP モードから割り込みなどで通常動作に復帰後、SWC0=0 に戻す前に受信開始した場合
4. SSEC0=1 の設定では、パリティ・エラー、フレーミング・エラー、オーバーラン・エラー時に PEF01、FEF01、OVF01 フラグはセットされず、エラー割り込み(INTSRE0)も発生しません。そのため、SSEC0 = 1 で使用するときは、SWC0=1 に設定する前に PEF01、FEF01、OVF01 フラグをクリアし、また、SDR01 レジスタのビット 7-0 (RxD0) を読み出してください。

表11-3 SNOOZEモード時のUART受信ボー・レート設定

高速オンチップ・ オシレータ (f _{ih})	SNOOZEモード時のUART受信ボー・レート			
	ボー・レート4800 bps			
	動作クロック (f _{mck})	SDR01 [15:9]	最大許容値	最小許容値
24MHz ± 1.0% ^注	f _{CLK} / 2 ⁵	79	1.60%	- 2.18%
16MHz ± 1.0% ^注	f _{CLK} / 2 ⁴	105	2.27%	- 1.53%
12MHz ± 1.0% ^注	f _{CLK} / 2 ⁴	79	1.60%	- 2.19%
8MHz ± 1.0% ^注	f _{CLK} / 2 ³	105	2.27%	- 1.53%
6MHz ± 1.0% ^注	f _{CLK} / 2 ³	79	1.60%	- 2.19%
4MHz ± 1.0% ^注	f _{CLK} / 2 ²	105	2.27%	- 1.53%
3MHz ± 1.0% ^注	f _{CLK} / 2 ²	79	1.60%	- 2.19%
2MHz ± 1.0% ^注	f _{CLK} / 2	105	2.27%	- 1.54%
1MHz ± 1.0% ^注	f _{CLK}	105	2.27%	- 1.57%

注 高速オンチップ・オシレータ・クロック周波数精度が ± 1.5%、± 2.0% の場合は、次のように許容範囲が狭くなります。

- ・ f_{ih} ± 1.5% の場合は、上表の最大許容値に - 0.5%、最小許容値に + 0.5% してください。
- ・ f_{ih} ± 2.0% の場合は、上表の最大許容値に - 1.0%、最小許容値に + 1.0% してください。

備考 最大許容値、最小許容値は、UART 受信時のボー・レート許容値です。この範囲に送信側のボー・レートが収まるように設定してください。

7. 17.2.2 STOPモード

誤)

図17 - 5 STOPモードの割り込み要求発生による解除

(1) CPUクロックが高速システム・クロック (X1発振) の場合

(省略)

注2. STOPモード解除時間

クロック供給停止 : $18.96 \mu s \sim "28.95 \mu s$ と発振安定時間 (OSTSで設定) の長い方"

ウェイト

- ・ベクタ割り込み処理を行う場合 : 10~11クロック
- ・ベクタ割り込み処理を行わない場合 : 4~5クロック

(2) CPUクロックが高速システム・クロック (外部クロック入力) の場合

(3) CPUクロックが高速オンチップ・オシレータ・クロックの場合

(省略)

注2. STOPモード解除時間

クロック供給停止 : $19.08 \mu s \sim 32.99 \mu s$

ウェイト

- ・ベクタ割り込み処理を行う場合 : 7クロック
- ・ベクタ割り込み処理を行わない場合 : 1クロック

正)

図17 - 5 STOPモードの割り込み要求発生による解除

(1) CPUクロックが高速システム・クロック (X1発振) の場合

(省略)

注2. STOPモード解除時間

クロック供給停止 : $18 \mu s \sim "65 \mu s$ または発振安定時間 (OSTSで設定) の長い方"

ウェイト

- ・ベクタ割り込み処理を行う場合 : 10~11クロック
- ・ベクタ割り込み処理を行わない場合 : 4~5クロック

備考 クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

(2) CPUクロックが高速システム・クロック (外部クロック入力) の場合

(3) CPUクロックが高速オンチップ・オシレータ・クロックの場合

(省略)

注2. STOPモード解除時間

クロック供給停止 : $18 \mu s \sim 65 \mu s$

ウェイト

- ・ベクタ割り込み処理を行う場合 : 7クロック
- ・ベクタ割り込み処理を行わない場合 : 1クロック

備考 クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

8. 17.2.3 SNOOZE モード

誤)

SNOOZEモードの移行では、次の時間だけウエイト状態になります。

STOP → SNOOZE

HS(高速メイン)モード： 18.96 ~ 28.95 μ s

LS(低速メイン)モード： 20.24 ~ 28.95 μ s

SNOOZE → 通常動作

・ベクタ割り込み処理を行う場合

HS(高速メイン)モード： 6.79 ~ 12.4 μ s + 7クロック

LS(低速メイン)モード： 2.58 ~ 7.8 μ s + 7クロック

・ベクタ割り込み処理を行わない場合

HS(高速メイン)モード： 6.79 ~ 12.4 μ s + 1クロック

LS(低速メイン)モード： 2.58 ~ 7.8 μ s + 1クロック

正)

SNOOZEモードの移行では、次の時間だけウエイト状態になります。

STOPモード → SNOOZEモードの遷移時間：18 μ s ~ 65 μ s

備考 STOPモード → SNOOZEモードの遷移時間は、温度条件とSTOPモード期間によって変化します。

SNOOZEモード → 通常動作の遷移時間：

・ベクタ割り込み処理を行う場合

HS(高速メイン)モード： “6.65 ~ 9.44 μ s” + 7クロック

LS(低速メイン)モード： “1.10 ~ 5.08 μ s” + 7クロック

・ベクタ割り込み処理を行わない場合

HS(高速メイン)モード： “6.65 ~ 9.44 μ s” + 1クロック

LS(低速メイン)モード： “1.10 ~ 5.08 μ s” + 1クロック

9. 図 23-3 ユーザ・オプション・バイト(000C2H)

旧)

図23-3 ユーザ・オプション・バイト(000C2H)のフォーマット

アドレス：000C2H

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定		
			動作周波数範囲	動作電圧範囲
1	0	LS (低速メイン) モード	1 MHz ~ 8 MHz	1.8 V ~ 5.5 V
1	1	HS (高速メイン) モード	1 MHz ~ 16 MHz	2.4 V ~ 5.5 V
			1 MHz ~ 24 MHz	2.7 V ~ 5.5 V
上記以外		設定禁止		

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
1	0	1	1	4 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

注意 ビット 5-4 には、必ず 10B を書き込んでください。

新)

図23-3 ユーザ・オプション・バイト(000C2H)のフォーマット

アドレス：000C2H

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定		
			動作周波数範囲	動作電圧範囲
1	0	LS (低速メイン) モード	1 MHz ~ 8 MHz	1.8 V ~ 5.5 V
1	1	HS (高速メイン) モード	1 MHz ~ 16 MHz	2.4 V ~ 5.5 V
			1 MHz ~ 24 MHz	2.7 V ~ 5.5 V
上記以外		設定禁止		

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

注意 1. ビット 5-4 には、必ず 10B を書き込んでください。

2. 動作周波数範囲と動作電圧範囲は、フラッシュの各動作モードによって異なります。詳細は、28.4 または 29.4 AC 特性を参照してください。

10. 28. 3. 1 端子特性

誤)

p.736, p.737 の「注 3.」の誤記訂正。

11. 28. 3. 2 電源電流特性

誤)

p.740- p.744 の注および、IDD2, IDD3 の TYP.値の誤記訂正。

12. 28. 4 AC 特性

旧)

p.745 「外部システム・クロック周波数」および「外部システム・クロック入力ハイ、ロウ・レベル幅」の仕様拡張。

13. 28. 5. 1 シリアル・アレイ・ユニット

誤)

p.747- p.763 「28. 5. 1 シリアル・アレイ・ユニット」の誤記訂正。

14. 28. 5. 2 シリアル・インタフェース IICA

誤)

p.763, p.764 「28. 5. 2 シリアル・インタフェース IICA」の誤記訂正。

正)

テクニカル・アップデート別紙「第 28 章 電気的特性 (A, D : Ta = -40 ~ +85) のご報告」(MCYG-AB-13-0153) p.5, p.6 を参照してください。

正)

テクニカル・アップデート別紙「第 28 章 電気的特性 (A, D : Ta = -40 ~ +85) のご報告」(MCYG-AB-13-0153) p.9- p.13 を参照してください。

新)

テクニカル・アップデート別紙「第 28 章 電気的特性 (A, D : Ta = -40 ~ +85) のご報告」(MCYG-AB-13-0153) p.14 を参照してください。

正)

テクニカル・アップデート別紙「第 28 章 電気的特性 (A, D : Ta = -40 ~ +85) のご報告」(MCYG-AB-13-0153) p.17- p.36 を参照してください。

正)

テクニカル・アップデート別紙「第 28 章 電気的特性 (A, D : Ta = -40 ~ +85) のご報告」(MCYG-AB-13-0153) p.37 を参照してください。

15. 28. 6. 1 A/D コンバータ特性

旧)

p.764- p.766 「28. 6. 1 A/D コンバータ特性」の仕様拡張。

16. 28. 6. 2 温度センサ／内部基準電圧特性

誤)

p.766 「28. 6. 2 温度センサ／内部基準電圧特性」の誤記訂正。

17. 28. 6. 3 POR 回路特性

誤)

p.766 「28. 6. 3 POR 回路特性」の誤記訂正。

18. 電源電圧立ち上がり傾き特性

「電源電圧立ち上がり傾き特性」の仕様追加。

19. 28. 7 データ・メモリ STOP モード低電源電圧データ保持特性

旧)

p.768 「28. 7 データ・メモリ STOP モード低電源電圧データ保持特性」の仕様拡張。

20. 第 29 章 電気的特性(G:Ta = -40~+105°C) (ターゲット)

「第 29 章 電気的特性 (G : Ta = -40~+105°C) (ターゲット)」の仕様追加。

新)

テクニカル・アップデート別紙「第 28 章 電気的特性 (A, D : Ta = -40 ~ +85) の
ご報告」(MCYG-AB-13-0153) p.38- p.41 を参照してください。

正)

テクニカル・アップデート別紙「第 28 章 電気的特性 (A, D : Ta = -40 ~ +85) の
ご報告」(MCYG-AB-13-0153) p.41 を参照してください。

正)

テクニカル・アップデート別紙「第 28 章 電気的特性 (A, D : Ta = -40 ~ +85) の
ご報告」(MCYG-AB-13-0153) p.42 を参照してください。

追加)

テクニカル・アップデート別紙「第 28 章 電気的特性 (A, D : Ta = -40 ~ +85) の
ご報告」(MCYG-AB-13-0153) p.44 を参照してください。

新)

テクニカル・アップデート別紙「第 28 章 電気的特性 (A, D : Ta = -40 ~ +85) の
ご報告」(MCYG-AB-13-0153) p.45 を参照してください。

追加)

テクニカル・アップデート別紙「第 29 章 電気的特性 (G : Ta = -40 ~ +105) (ターゲ
ット)のご報告」(MCYG-AB-13-0154) p.2- p.44 を参照してください。

以上

お客様各位	RL78/G12 テクニカル・アップデート別紙 第 28 章 電気的特性 (A, D : Ta = -40~+85°C) (ご報告)	M C Y G - A B - 1 3 - 0 1 5 3 - 1
		2 0 1 3 年 7 月 2 4 日
		ルネサス エレクトロニクス株式会社 第 一 事 業 本 部 M C U 第 三 事 業 部 ブ ラ ン ド 戦 略 部 担当課長 内村 博 (担当 古川 雄大)

拝啓、貴社益々ご清栄の段お喜び申し上げます。また、平素は弊社の製品をご利用頂き誠に有難うございます。

さて、掲題の件につきまして、下記にご報告申し上げます。
今後とも倍旧のお引き立てを賜りますようお願い申し上げます。

敬具

記

1. 対象デバイス

RL78/G12 グループ

R5F102xxA, R5F103xxA

R5F102xxD, R5F103xxD

2. 関連資料

誤記訂正通知 RL78/G12 ユーザーズマニュアル Rev.1.10 の記載変更(TN-RL*-A006A/J)

RL78/G12 ユーザーズマニュアル ハードウェア編 Rev.1.10 (R01UH0200JJ0110)

3. ご報告

誤記訂正通知 RL78/G12 ユーザーズマニュアル Rev.1.10 の記載変更 (TN-RL*-A006A/J) で通知した訂正内容を反映した「第 28 章 電気的特性 (A, D : Ta = -40~+85°C)」を 2 ページ目以降に示します。

第28章 電気的特性 (A, D : $T_A = -40 \sim +85^\circ\text{C}$)

この章では、A : 民生用途 ($T_A = -40 \sim +85^\circ\text{C}$) , D : 産業用途 ($T_A = -40 \sim +85^\circ\text{C}$) の電気的特性を示します。

- 注意1. RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. 製品により搭載している端子が異なります。ポート機能は2.1 ポート機能, ポート以外の機能は2.2.1 製品別の搭載機能を参照してください。

28.1 絶対最大定格

(T_A = 25 °C)

項目	略号	条件		定格	単位	
電源電圧	V _{DD}			-0.5 ~ +6.5	V	
REGC端子入力電圧 ^{注1}	V _{I REGC}	REGC		-0.3 ~ +2.8 かつ -0.3 ~ V _{DD} + 0.3 ^{注2}	V	
入力電圧	V _{I1}	P60, P61以外		-0.3 ~ V _{DD} + 0.3 ^{注3}	V	
	V _{I2}	P60, P61 (N-chオープン・ドレイン)		-0.3 ~ +6.5	V	
出力電圧	V _O			-0.3 ~ V _{DD} + 0.3 ^{注3}	V	
アナログ入力電圧	V _{AI}	20, 24ピン製品 : ANI0-ANI3, ANI16-ANI22 30ピン製品 : ANI0-ANI3, ANI16-ANI19		-0.3 ~ V _{DD} + 0.3 かつ -0.3 ~ AV _{REF} (+) + 0.3 ^{注3, 4}	V	
ハイ・レベル出力電流	I _{OH1}	1端子	P20-P23以外	-40	mA	
		端子合計	P20-P23以外の全端子		-170	mA
			20, 24ピン製品 : P40-P42 30ピン製品 : P00, P01, P40, P120		-70	mA
			20, 24ピン製品 : P00-P03 ^{注5} , P10-P14 30ピン製品 : P10-P17, P30, P31, P50, P51, P147		-100	mA
	I _{OH2}	1端子	P20-P23	-0.5	mA	
		端子合計		-2	mA	
ロウ・レベル出力電流	I _{OL1}	1端子	P20-P23以外	40	mA	
		端子合計	P20-P23以外の全端子		170	mA
			20, 24ピン製品 : P40-P42 30ピン製品 : P00, P01, P40, P120		70	mA
			20, 24ピン製品 : P00-P03 ^{注5} , P10-P14, P60, P61 30ピン製品 : P10-P17, P30, P31, P50, P51, P60, P61, P147		100	mA
	I _{OL2}	1端子	P20-P23	1	mA	
		端子合計		5	mA	
動作周囲温度	T _A			-40 ~ +85	°C	
保存温度	T _{stg}			-65 ~ +150	°C	

注1. 30ピン製品のみ

- REGC端子にはコンデンサ (0.47 ~ 1 μF) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。
- 6.5 V以下であること。
- A/D変換対象の端子は、AV_{REF}(+) + 0.3を越えないでください。
- 24ピン製品のみ

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

- AV_{REF}(+) : A/Dコンバータの+側基準電圧
- V_{SS}を基準電圧とする。

28.2 発振回路特性

28.2.1 X1発振回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数 (fx) 注	セラミック発振子／	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	1.0		20.0	MHz
	水晶振動子	$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	1.0		8.0	

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。
また、実装回路での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックにより CPU が起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 X1発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

28.2.2 オンチップ・オシレータ特性

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

発振子	略号	条件	MIN.	TYP.	MAX.	単位	
高速オンチップ・オシレータ・クロック周波数注1,2	f _H		1		24	MHz	
高速オンチップ・オシレータ・クロック周波数精度		R5F102製品	$T_A = -20 \sim +85^\circ\text{C}$	-1.0		+1.0	%
			$T_A = -40 \sim -20^\circ\text{C}$	-1.5		+1.5	%
		R5F103製品		-5.0		+5.0	%
低速オンチップ・オシレータ・クロック周波数	f _L			15		kHz	
低速オンチップ・オシレータ・クロック周波数精度			-15		+15	%	

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト(000C2H)のビット0-3とHOCODIVレジスタのビット0-2で選択します。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

28.3 DC特性

28.3.1 端子特性

(T_A = -40~+85 °C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

(1/4)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	I _{OH1}	20, 24ピン製品 : P00-P03 ^{注4} , P10-P14, P40-P42 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147 1端子			-10.0 ^{注2}	mA	
		20, 24ピン製品 : P40-P42	4.0 V ≤ V _{DD} ≤ 5.5 V		-30.0	mA	
		30ピン製品 : P00, P01, P40, P120	2.7 V ≤ V _{DD} < 4.0 V		-6.0	mA	
		合計 (デューティ ≤ 70 %時 ^{注3})	1.8 V ≤ V _{DD} < 2.7 V		-4.5	mA	
		20, 24ピン製品 : P00-P03 ^{注4} , P10-P14	4.0 V ≤ V _{DD} ≤ 5.5 V		-80.0	mA	
		30ピン製品 : P10-P17, P30, P31, P50, P51, P147 合計 (デューティ ≤ 70 %時 ^{注3})	2.7 V ≤ V _{DD} < 4.0 V		-18.0	mA	
	I _{OH2}	P20-P23 1端子	1.8 V ≤ V _{DD} < 2.7 V			-10.0	mA
			合計			-100	mA
			全端子合計 (デューティ ≤ 70 %時 ^{注3})			-100	mA
		端子合計			-0.4	mA	

注1. V_{DD}端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. ただし、合計の電流値を超えないでください。

3. デューティ ≤ 70 %の条件での出力電流の値です。

デューティ > 70 %に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn %に変更する場合）。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

$$\langle \text{計算例} \rangle I_{OH} = -10.0 \text{ mAの場合, } n = 80 \%$$

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) \doteq -8.7 \text{ mA}$$

ただし、1端子当りに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

4. 24ピン製品のみ

注意 20ピン製品のP10-P12, P41, 24ピン製品のP01, P10-P12, P41と30ピン製品のP00, P10-P15, P17, P50は、N-chオープン・ドレイン・モード時には、ハイ・レベルを出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+85 °C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

(2/4)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	I _{OL1}	20, 24ピン製品 : P00-P03 ^{注4} , P10-14, P40-P42 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147 1端子			20.0 ^{注2}	mA	
		P60, P61 1端子			15.0 ^{注2}	mA	
	20, 24ピン製品 : P40-P42 30ピン製品 : P00, P01 P40, P120 合計 (デューティ ≤ 70 %時 ^{注3})	4.0 V ≤ V _{DD} ≤ 5.5 V			60.0	mA	
		2.7 V ≤ V _{DD} < 4.0 V			9.0	mA	
		1.8 V ≤ V _{DD} < 2.7 V			1.8	mA	
	20, 24ピン製品 : P00-P03 ^{注4} , P10-P14, P60, P61 30ピン製品 : P10-P17, P30, P31, P50, P51, P60, P61, P147 合計 (デューティ ≤ 70 %時 ^{注3})	4.0 V ≤ V _{DD} ≤ 5.5 V			80.0	mA	
		2.7 V ≤ V _{DD} < 4.0 V			27.0	mA	
		1.8 V ≤ V _{DD} < 2.7 V			5.4	mA	
	全端子合計 (デューティ ≤ 70 %時 ^{注3})				140	mA	
	I _{OL2}	P20-P23 1端子				0.4	mA
		全端子合計				1.6	mA

注1. 出力端子からV_{SS}端子に流れ込んでも、デバイスの動作を保证する電流値です。

2. ただし、合計の電流値を超えないでください。

3. デューティ ≤ 70 %の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn %に変更する場合）。

$$\cdot \text{端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

<計算例> I_{OL} = 10.0 mAの場合, n = 80 %

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) \approx 8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

4. 24ピン製品のみ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+85 °C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

(3/4)

項 目	略号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧	V _{IH1}	通常入力バッファ 20, 24ピン製品 : P00-P03 ^{注2} , P10-P14, P40-P42 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	0.8V _{DD}		V _{DD}	V
	V _{IH2}	TTL入力バッファ 20, 24ピン製品 : P10, P11 30ピン製品 : P01, P10, P11, P13-P17	4.0 V ≤ V _{DD} ≤ 5.5 V	2.2	V _{DD}	V
			3.3 V ≤ V _{DD} < 4.0 V	2.0	V _{DD}	V
			1.8 V ≤ V _{DD} < 3.3 V	1.5	V _{DD}	V
	V _{IH3}	P20-P23	0.7V _{DD}		V _{DD}	V
	V _{IH4}	P60, P61	0.7V _{DD}		6.0	V
V _{IH5}	P121, P122, P125 ^{注1} , P137, EXCLK, RESET	0.8V _{DD}		V _{DD}	V	
ロウ・レベル入力電圧	V _{IL1}	通常入力バッファ 20, 24ピン製品 : P00-P03 ^{注2} , P10-P14, P40-P42 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	0		0.2V _{DD}	V
	V _{IL2}	TTL入力バッファ 20, 24ピン製品 : P10, P11 30ピン製品 : P01, P10, P11, P13-P17	4.0 V ≤ V _{DD} ≤ 5.5 V	0	0.8	V
			3.3 V ≤ V _{DD} < 4.0 V	0	0.5	V
			1.8 V ≤ V _{DD} < 3.3 V	0	0.32	V
	V _{IL3}	P20-P23	0		0.3V _{DD}	V
	V _{IL4}	P60, P61	0		0.3V _{DD}	V
V _{IL5}	P121, P122, P125 ^{注1} , P137, EXCLK, RESET	0		0.2V _{DD}	V	
ハイ・レベル出力電圧	V _{OH1}	20, 24ピン製品 : P00-P03 ^{注2} , P10-P14, P40-P42 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	4.0 V ≤ V _{DD} ≤ 5.5 V, I _{OH1} = -10.0 mA	V _{DD} -1.5		V
			4.0 V ≤ V _{DD} ≤ 5.5 V, I _{OH1} = -3.0 mA	V _{DD} -0.7		V
			2.7 V ≤ V _{DD} ≤ 5.5 V, I _{OH1} = -2.0 mA	V _{DD} -0.6		V
			1.8 V ≤ V _{DD} ≤ 5.5 V, I _{OH1} = -1.5 mA	V _{DD} -0.5		V
			V _{OH2}	P20-P23	I _{OH2} = -100 μA	V _{DD} -0.5

注1. 20, 24ピン製品のみ

2. 24ピン製品のみ

注意 20ピン製品のP10-P12, P41, 24ピン製品のP01, P10-P12, P41と30ピン製品のP00, P10-P15, P17, P50は、N-chオープン・ドレイン・モード時でもV_{IH}の最大値 (MAX.) はV_{DD}です。
また、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85 °C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

(4/4)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電圧	VOL1	20, 24ピン製品 : P00-P03 ^注 , P10-P14, P40-P42		4.0 V ≤ VDD ≤ 5.5 V, IOL1 = 20.0 mA		1.3	V	
		30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147		4.0 V ≤ VDD ≤ 5.5 V, IOL1 = 8.5 mA		0.7	V	
				2.7 V ≤ VDD ≤ 5.5 V, IOL1 = 3.0 mA		0.6	V	
				2.7 V ≤ VDD ≤ 5.5 V, IOL1 = 1.5 mA		0.4	V	
				1.8 V ≤ VDD ≤ 5.5 V, IOL1 = 0.6 mA		0.4	V	
	VOL2	P20-P23		IOL2 = 400 μA		0.4	V	
	VOL3	P60, P61			4.0 V ≤ VDD ≤ 5.5 V, IOL1 = 15.0 mA		2.0	V
					4.0 V ≤ VDD ≤ 5.5 V, IOL1 = 5.0 mA		0.4	V
					2.7 V ≤ VDD ≤ 5.5 V, IOL1 = 3.0 mA		0.4	V
					1.8 V ≤ VDD ≤ 5.5 V, IOL1 = 2.0 mA		0.4	V
ハイ・レベル入力リーク電流	ILIH1	P121, P122以外	Vi = VDD			1	μA	
	ILIH2	P121, P122 (X1, X2/EXCLK)	Vi = VDD	入力ポート時, 外部クロック入力時		1	μA	
				発振子接続時		10	μA	
ロウ・レベル入力リーク電流	ILIL1	P121, P122以外	Vi = VSS			-1	μA	
	ILIL2	P121, P122 (X1, X2/EXCLK)	Vi = VSS	入力ポート時, 外部クロック入力時		-1	μA	
				発振子接続時		-10	μA	
内蔵プルアップ抵抗	RU	20, 24ピン製品 : P00-P03 ^注 , P10-P14, P40-P42, P125, RESET 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	Vi = VSS, 入力ポート時	10	20	100	kΩ	

注 24ピン製品のみ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

28.3.2 電源電流特性

(1) 20, 24ピン製品

(T_A = -40 ~ +85 °C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

(1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位			
電源電流 ^{注1}	I _{DD1}	動作モード	HS(高速メイン)モード ^{注4}	f _{IH} = 24 MHz ^{注3}	基本動作	V _{DD} = 5.0 V		1.5		mA
						V _{DD} = 3.0 V		1.5		
				通常動作	V _{DD} = 5.0 V		3.3	5.0	mA	
					V _{DD} = 3.0 V		3.3	5.0		
			f _{IH} = 16 MHz ^{注3}	V _{DD} = 5.0 V		2.5	3.7	mA		
				V _{DD} = 3.0 V		2.5	3.7			
			LS(低速メイン)モード ^{注4}	f _{IH} = 8 MHz ^{注3}	V _{DD} = 3.0 V		1.2	1.8	mA	
					V _{DD} = 2.0 V		1.2	1.8		
		HS(高速メイン)モード ^{注4}	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力		2.8	4.4	mA		
				発振子接続		3.0	4.6			
				f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		2.8	4.4	mA	
					発振子接続		3.0	4.6		
			f _{MX} = 10 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力		1.8	2.6	mA		
				発振子接続		1.8	2.6			
			f _{MX} = 10 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		1.8	2.6	mA		
				発振子接続		1.8	2.6			
LS(低速メイン)モード ^{注4}	f _{MX} = 8 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		1.1	1.7	mA				
		発振子接続		1.1	1.7					
	f _{MX} = 8 MHz ^{注2} , V _{DD} = 2.0 V	方形波入力		1.1	1.7	mA				
		発振子接続		1.1	1.7					

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

- 2. 高速オンチップ・オシレータ停止時。
- 3. 高速システム・クロック停止時。
- 4. 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。

HS(高速メイン)モード : V_{DD} = 2.7~5.5 V@1 MHz~24 MHz

V_{DD} = 2.4~5.5 V@1 MHz~16 MHz

LS(低速メイン)モード : V_{DD} = 1.8~5.5 V@1 MHz~8 MHz

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

- 2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
- 3. TYP.値の温度条件は、T_A = 25 °Cです。

(1) 20, 24ピン製品

(T_A = -40~+85 °C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD2} ^{注2}	HALTモード	HS(高速メイン)モード ^{注6}	f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V	440	1210	μA
				V _{DD} = 3.0 V	440	1210		
			f _{IH} = 16 MHz ^{注4}	V _{DD} = 5.0 V	400	950	μA	
				V _{DD} = 3.0 V	400	950		
			LS(低速メイン)モード ^{注6}	f _{IH} = 8 MHz ^{注4}	V _{DD} = 3.0 V	270	542	μA
				V _{DD} = 2.0 V	270	542		
		HS(高速メイン)モード ^{注6}	f _{MX} = 20 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力	280	1000	μA	
				発振子接続	450	1170		
			f _{MX} = 20 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	280	1000	μA	
				発振子接続	450	1170		
			f _{MX} = 10 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力	190	590	μA	
				発振子接続	260	660		
	f _{MX} = 10 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	190	590	μA			
		発振子接続	260	660				
	LS(低速メイン)モード ^{注6}	f _{MX} = 8 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	110	360	μA		
			発振子接続	150	416			
f _{MX} = 8 MHz ^{注3} , V _{DD} = 2.0 V		方形波入力	110	360	μA			
		発振子接続	150	416				
I _{DD3} ^{注5}	STOPモード	T _A = -40°C		0.19	0.50	μA		
		T _A = +25°C		0.24	0.50			
		T _A = +50°C		0.32	0.80			
		T _A = +70°C		0.48	1.20			
		T _A = +85°C		0.74	2.20			

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

- フラッシュ・メモリでのHALT命令実行時。
- 高速オンチップ・オシレータ停止時。
- 高速システム・クロック停止時。
- 12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。
 HS(高速メイン)モード : V_{DD} = 2.7~5.5 V@1 MHz~24 MHz
 V_{DD} = 2.4~5.5 V@1 MHz~16 MHz
 LS(低速メイン)モード : V_{DD} = 1.8~5.5 V@1 MHz~8 MHz

- 備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
- f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 - STOPモード以外のTYP.値の温度条件は、T_A = 25 °Cです。

(2) 30ピン製品

(T_A = -40~+85 °C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	HS(高速メイン)モード ^{注6}	f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V	440	1280	μA	
					V _{DD} = 3.0 V	440	1280		
				f _{IH} = 16 MHz ^{注4}	V _{DD} = 5.0 V	400	1000	μA	
					V _{DD} = 3.0 V	400	1000		
				LS(低速メイン)モード ^{注6}	f _{IH} = 8 MHz ^{注4}	V _{DD} = 3.0 V	260	530	μA
					V _{DD} = 2.0 V	260	530		
			HS(高速メイン)モード ^{注6}	f _{MX} = 20 MHz ^{注3}	V _{DD} = 5.0 V	280	1000	μA	
					方形波入力 発振子接続	450	1170		
				f _{MX} = 20 MHz ^{注3}	V _{DD} = 3.0 V	280	1000	μA	
					方形波入力 発振子接続	450	1170		
				f _{MX} = 10 MHz ^{注3}	V _{DD} = 5.0 V	190	600	μA	
					方形波入力 発振子接続	260	670		
		f _{MX} = 10 MHz ^{注3}	V _{DD} = 3.0 V	190	600	μA			
			方形波入力 発振子接続	260	670				
		LS(低速メイン)モード ^{注6}	f _{MX} = 8 MHz ^{注3}	V _{DD} = 3.0 V	95	330	μA		
				方形波入力 発振子接続	145	380			
	f _{MX} = 8 MHz ^{注3}		V _{DD} = 2.0 V	95	330	μA			
	IDD3 ^{注5}	STOPモード	T _A = -40°C		0.18	0.50	μA		
			T _A = +25°C		0.23	0.50			
			T _A = +50°C		0.30	1.10			
			T _A = +70°C		0.46	1.90			
			T _A = +85°C		0.75	3.30			

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

- フラッシュ・メモリでのHALT命令実行時。
- 高速オンチップ・オシレータ停止時。
- 高速システム・クロック停止時。
- 12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。

HS(高速メイン)モード : V_{DD} = 2.7~5.5 V@1 MHz~24 MHz

V_{DD} = 2.4~5.5 V@1 MHz~16 MHz

LS(低速メイン)モード : V_{DD} = 1.8~5.5 V@1 MHz~8 MHz

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

3. STOPモード以外のTYP.値の温度条件は、T_A = 25 °Cです。

(3) 周辺機能 (全製品共通)

(T_A = -40~+85 °C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	I _{FIL} ^{注1}				0.20		μA
12ビット・インターバル・タイマ動作電流	I _{TMKA} ^{注1, 2, 3}				0.02		μA
ウォッチドッグ・タイマ動作電流	I _{WDT} ^{注1, 2, 4}	f _{IL} = 15 kHz			0.22		μA
A/Dコンバータ動作電流	I _{ADC} ^{注1, 5}	最高速変換時	標準モード, AV _{REFP} = V _{DD} = 5.0 V		1.30	1.70	mA
			低電圧モード, AV _{REFP} = V _{DD} = 3.0 V		0.50	0.70	mA
A/Dコンバータ基準電圧動作電流	I _{ADREF} ^{注1}				75.0		μA
温度センサ動作電流	I _{TMPS} ^{注1}				75.0		μA
LVD動作電流	I _{LVD} ^{注1, 6}				0.08		μA
セルフ・プログラミング動作電流	I _{FSP} ^{注1, 8}				2.00	12.20	mA
BGO電流	I _{BGO} ^{注1, 7}				2.00	12.20	mA
SNOOZE動作電流	I _{SNOZ} ^{注1}	ADC動作	モード移行中 ^{注9}		0.50	0.60	mA
			変換動作中 低電圧モード, AV _{REFP} = V _{DD} = 3.0 V		1.20	1.44	mA
		CSI/UART動作			0.70	0.84	mA

注1. V_{DD}に流れる電流です。

- 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
- 12ビット・インターバル・タイマにのみ流れる電流です(低速オンチップ・オシレータ動作電流は含みません)。12ビット・インターバル・タイマの動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{FIL}とI_{TMKA}を加算した値が, RL78マイクロコントローラの電源電流値となります。
- ウォッチドッグ・タイマにのみ流れる電流です(低速オンチップ・オシレータ動作電流を含みます)。ウォッチドッグ・タイマの動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{WDT}を加算した値が, RL78マイクロコントローラの電源電流値となります。
- A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでA/Dコンバータの動作時は, I_{DD1}またはI_{DD2}にI_{ADC}を加算した値が, RL78マイクロコントローラの電源電流値となります。
- LVD回路にのみ流れる電流です。LVD回路の動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{LVD}を加算した値が, RL78マイクロコントローラの電源電流値となります。
- データ・フラッシュ書き換え動作に流れる電流です。
- セルフ・プログラミング動作に流れる電流です。
- SNOOZEモードへの移行時間は, 17. 2. 3 SNOOZEモードを参照してください。

備考1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数

- TYP.値の温度条件は, T_A = 25 °Cです。

28.4 AC特性

(T_A = -40~+85 °C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

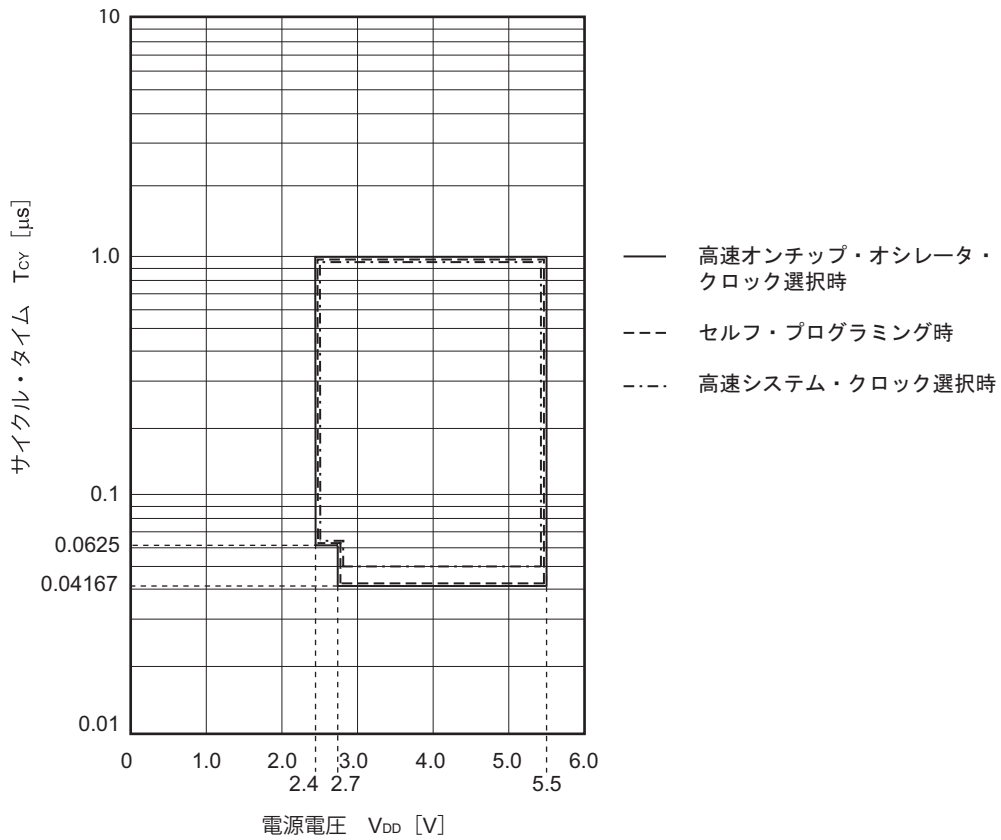
項目	略号	条件		MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T _{CY}	メイン・システム・ クロック (f _{MAIN}) 動作	HS (高速メイン) モード	2.7 V ≤ V _{DD} ≤ 5.5 V	0.04167		1	μs
				2.4 V ≤ V _{DD} < 2.7 V	0.0625		1	μs
			LS (低速メイン) モード	1.8 V ≤ V _{DD} ≤ 5.5 V	0.125		1	μs
		セルフ・ プログラミング時	HS (高速メイン) モード	2.7 V ≤ V _{DD} ≤ 5.5 V	0.04167		1	μs
				2.4 V ≤ V _{DD} < 2.7 V	0.0625		1	μs
			LS (低速メイン) モード	1.8 V ≤ V _{DD} ≤ 5.5 V	0.125		1	μs
外部メイン・システム・ クロック周波数	f _{EX}	2.7 V ≤ V _{DD} ≤ 5.5 V		1.0		20.0	MHz	
		2.4 V ≤ V _{DD} < 2.7 V		1.0		16.0	MHz	
		1.8 V ≤ V _{DD} < 2.4 V		1.0		8.0	MHz	
外部メイン・システム・ クロック入力 ハイ/ロウ・レベル幅	t _{EXH} , t _{EXL}	2.7 V ≤ V _{DD} ≤ 5.5 V		24			ns	
		2.4 V ≤ V _{DD} < 2.7 V		30			ns	
		1.8 V ≤ V _{DD} < 2.4 V		60			ns	
TI00-TI07入力ハイ/ロウ・ レベル幅	t _{TIH} , t _{TIL}			1/f _{MCK} + 10			ns	
TO00-TO07出力周波数	f _{TO}	4.0 V ≤ V _{DD} ≤ 5.5 V				12	MHz	
		2.7 V ≤ V _{DD} < 4.0 V				8	MHz	
		1.8 V ≤ V _{DD} < 2.7 V				4	MHz	
PCLBUZ0, PCLBUZ1 出力 周波数	f _{PCL}	4.0 V ≤ V _{DD} ≤ 5.5 V				16	MHz	
		2.7 V ≤ V _{DD} < 4.0 V				8	MHz	
		1.8 V ≤ V _{DD} < 2.7 V				4	MHz	
INTP0-INTP5入力ハイ/ ロウ・レベル幅	t _{INTH} , t _{INTL}			1			μs	
KR0-KR9入力有効レベル幅	t _{KR}			250			ns	
RESETロウ・レベル幅	t _{RSL}			10			μs	

備考 f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数

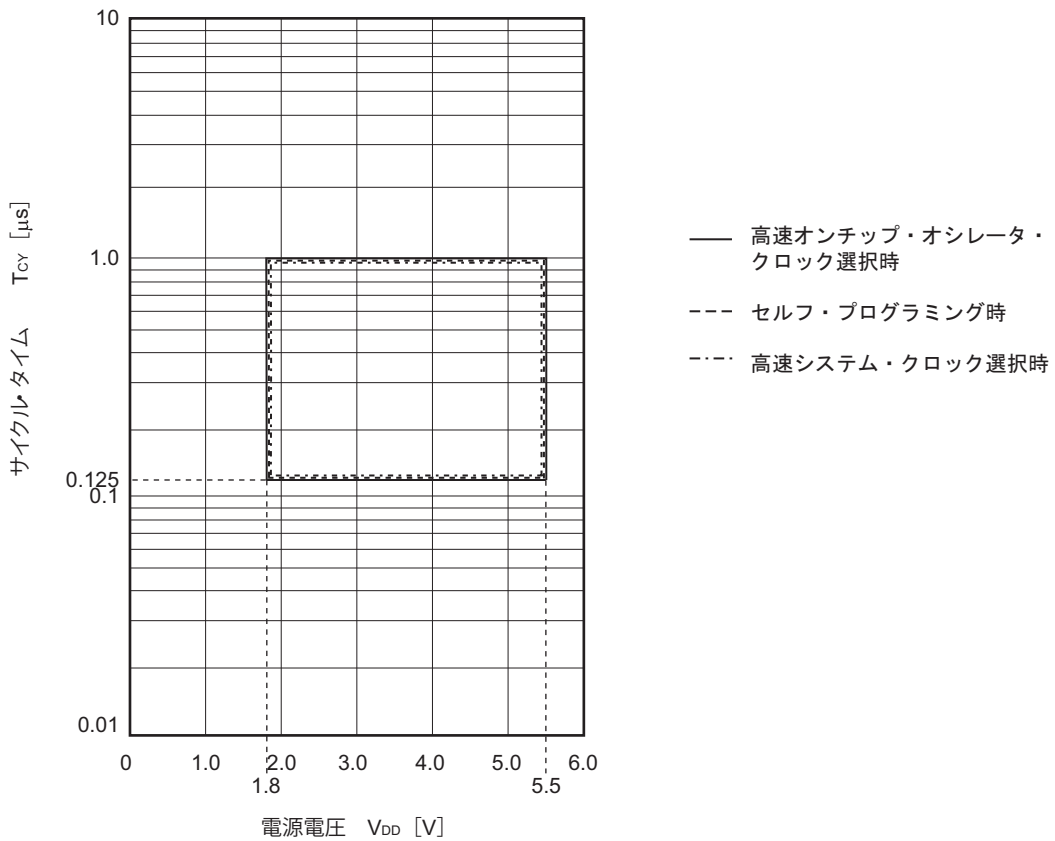
(タイマ・クロック選択レジスタ0 (TPS0) とタイマ・モード・レジスタ0n (TMR0n) のCKS0nビットで設定する動作クロック。n : チャネル番号 (n = 0-7))

メイン・システム・クロック動作時の最小命令実行時間

T_{CY} vs V_{DD} (HS (高速メイン) モード)



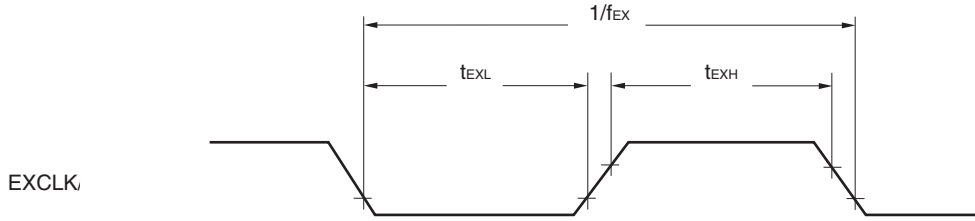
T_{CY} vs V_{DD} (LS (低速メイン) モード)



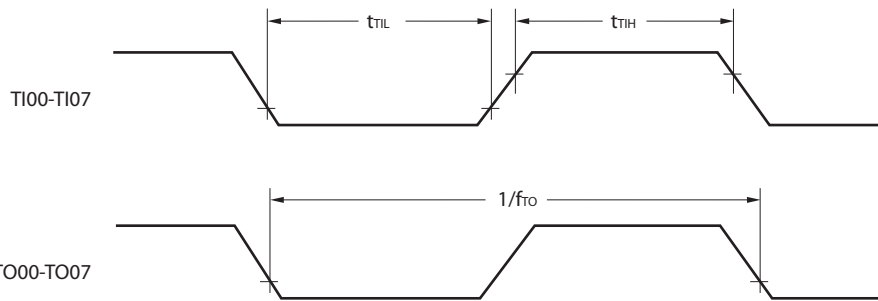
ACタイミング測定点



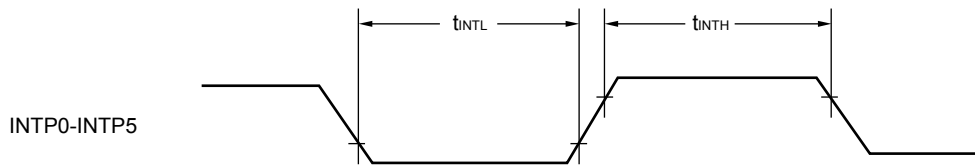
外部メイン・システム・クロック・タイミング



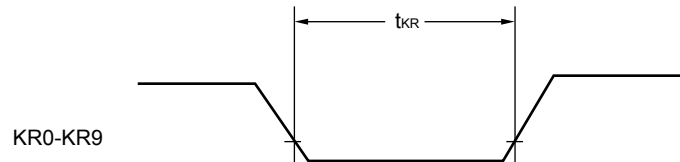
TI/TOタイミング



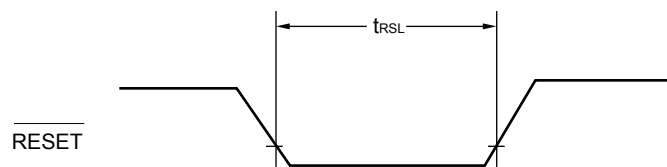
割り込み要求入力タイミング



キー割り込み入力タイミング

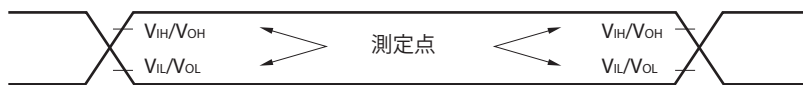


$\overline{\text{RESET}}$ 入力タイミング



28.5 周辺機能特性

ACタイミング測定点



28.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時 (UARTモード)

(T_A = -40 ~ +85 °C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
転送レート ^{注1}				f _{MCK} /6		f _{MCK} /6	bps
		最大転送レート理論値 f _{CLK} = f _{MCK} ^{注2}		4.0		1.3	Mbps

注 1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

2. CPU/周辺ハードウェア・クロック (f_{CLK}) の最高動作周波数を次に示します。

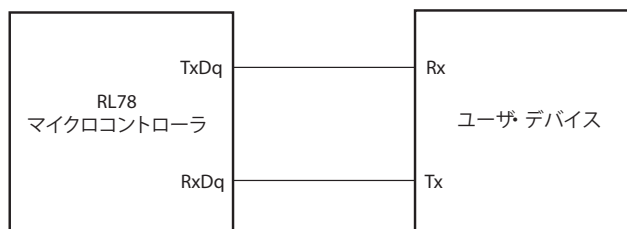
HS (高速メイン) モード : 24 MHz (2.7 V ≤ V_{DD} ≤ 5.5 V)

16 MHz (2.4 V ≤ V_{DD} ≤ 5.5 V)

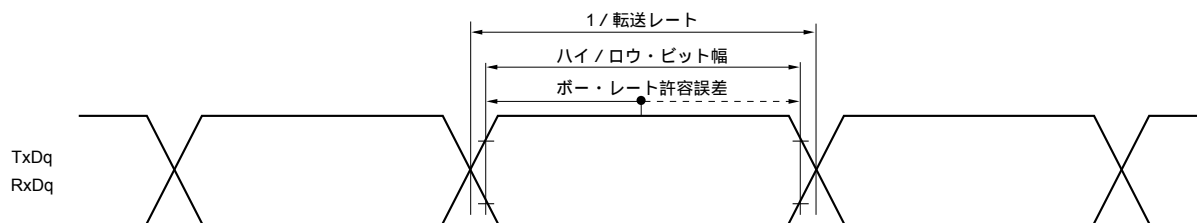
LS (低速メイン) モード : 8 MHz (1.8 V ≤ V_{DD} ≤ 5.5 V)

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Rx/Dq端子は通常入力バッファを選択し、Tx/Dq端子は通常出力モードを選択します。

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



備考1. q : UART番号 (q = 0-2) , g : PIM, POM番号 (g = 0, 1)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号, n : チャンネル番号 (mn = 00-03, 10, 11))

(2) 同電位通信時 (CSIモード) (マスタ・モード, SCK00…内部クロック出力, CSI00のみ対応)

(T_A = -40 ~ +85 °C, 2.7 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCK00サイクル・タイム	t _{KCY1}	t _{KCY1} ≥ 2/f _{CLK}	83.3		250		ns
SCK00ハイ/ロウ・レベル幅	t _{KH1} , t _{KL1}	4.0 V ≤ V _{DD} ≤ 5.5 V	t _{KCY1} /2-7		t _{KCY1} /2-		ns
		2.7 V ≤ V _{DD} ≤ 5.5 V	t _{KCY1} /2-		t _{KCY1} /2-		ns
SI00セットアップ時間 (対SCK00↑) 注1	t _{SIK1}	4.0 V ≤ V _{DD} ≤ 5.5 V	23		110		ns
		2.7 V ≤ V _{DD} ≤ 5.5 V	33		110		ns
SI00ホールド時間 (対SCK00↑) 注1	t _{KSI1}		10		10		ns
SCK00↓→SO00出力遅延時間注2	t _{KSO1}	C = 20 pF注3		10		10	ns

注1. DAP00 = 0, CKP00 = 0またはDAP00 = 1, CKP00 = 1のとき。DAP00 = 0, CKP00 = 1またはDAP00 = 1, CKP00 = 0のときは“対SCK00↓”となります。

2. DAP00 = 0, CKP00 = 0またはDAP00 = 1, CKP00 = 1のとき。DAP00 = 0, CKP00 = 1またはDAP00 = 1, CKP00 = 0のときは“対SCK00↑”となります。

3. Cは, SCK00, SO00出力ラインの負荷容量です。

注意 注意 ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ1 (POM1) で, SI00端子は通常入力バッファを選択し, SO00端子とSCK00端子は通常出力モードを選択します。

備考1. この特性は, CSI00で周辺I/Oリダイレクト機能未使用時のみ対応します。

- f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタ0 (SPS0) とシリアル・モード・レジスタ00 (SMR00) のCKS00ビットで設定する動作クロック)

(3) 同電位通信時 (CSIモード) (マスタ・モード, SCKp…内部クロック出力)

 $(T_A = -40 \sim +85^\circ\text{C}, 1.8\text{V} \leq V_{DD} \leq 5.5\text{V}, V_{SS} = 0\text{V})$

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	t_{KCY1}	$t_{KCY1} \geq 4/f_{CLK}$	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$	167		500	ns
			$2.4\text{V} \leq V_{DD} \leq 5.5\text{V}$	250		500	ns
			$1.8\text{V} \leq V_{DD} \leq 5.5\text{V}$	—		500	ns
SCKpハイ/ロウ・レベル幅	t_{KH1} , t_{KL1}	$4.0\text{V} \leq V_{DD} \leq 5.5\text{V}$	$t_{KCY1}/2-$		$t_{KCY1}/2-$	ns	
		$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$	12		50	ns	
		$2.4\text{V} \leq V_{DD} \leq 5.5\text{V}$	$t_{KCY1}/2-$		$t_{KCY1}/2-$	ns	
		$1.8\text{V} \leq V_{DD} \leq 5.5\text{V}$	18		50	ns	
Slpセットアップ時間 (対SCKp↑) 注1	t_{SIK1}	$4.0\text{V} \leq V_{DD} \leq 5.5\text{V}$	44		110	ns	
		$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$	44		110	ns	
		$2.4\text{V} \leq V_{DD} \leq 5.5\text{V}$	75		110	ns	
		$1.8\text{V} \leq V_{DD} \leq 5.5\text{V}$	—		110	ns	
Slpホールド時間 (対SCKp↑) 注1	t_{KSH1}		19		19	ns	
SCKp↓→SOp出力遅延時間注2	t_{KSO1}	$C = 30\text{pF}$ 注3		25		25	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3. Cは、SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ0, 1, 4 (POM0, POM1, POM4) で、Slp端子は通常入力バッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p : CSI番号 (p = 00, 01, 11, 20), m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0, 1, 3 : 1, 3はR5F102製品のみ)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0, 1, 3 : 1, 3はR5F102製品のみ))

(4) 同電位通信時 (CSIモード) (スレーブ・モード, SCKp...外部クロック入力)

 $(T_A = -40 \sim +85^\circ\text{C}, 1.8\text{V} \leq V_{DD} \leq 5.5\text{V}, V_{SS} = 0\text{V})$

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		単位	
				MIN.	MAX.	MIN.	MAX.		
SCKpサイクル・タイム ^{注4}	tkcy2	$4.0\text{V} \leq V_{DD} \leq 5.5\text{V}$	$20\text{MHz} < f_{MCK}$	$8/f_{MCK}$		—		ns	
			$f_{MCK} \leq 20\text{MHz}$	$6/f_{MCK}$		$6/f_{MCK}$		ns	
		$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$	$16\text{MHz} < f_{MCK}$	$8/f_{MCK}$		—		ns	
			$f_{MCK} \leq 16\text{MHz}$	$6/f_{MCK}$		$6/f_{MCK}$		ns	
		$2.4\text{V} \leq V_{DD} \leq 5.5\text{V}$			$6/f_{MCK}$ かつ 500		$6/f_{MCK}$ かつ 500		ns
		$1.8\text{V} \leq V_{DD} \leq 5.5\text{V}$			—		$6/f_{MCK}$ かつ 750		ns
SCKpハイ、ロウ・レベル幅	tkH2,	$4.0\text{V} \leq V_{DD} \leq 5.5\text{V}$		$tkcy2/2-7$		$tkcy2/2-7$		ns	
		tkL2	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$		$tkcy2/2-8$		$tkcy2/2-8$		ns
	$2.4\text{V} \leq V_{DD} \leq 5.5\text{V}$		$tkcy2/2-$ 18		$tkcy2/2-$ 18		ns		
	$1.8\text{V} \leq V_{DD} \leq 5.5\text{V}$		—		$tkcy2/2-$ 18		ns		
Slpセットアップ時間 (対SCKp↑) ^{注1}	tsik2	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$		$1/f_{MCK} + 20$		$1/f_{MCK} + 30$		ns	
		$2.4\text{V} \leq V_{DD} \leq 5.5\text{V}$		$1/f_{MCK} + 30$		$1/f_{MCK} + 30$		ns	
		$1.8\text{V} \leq V_{DD} \leq 5.5\text{V}$		—		$1/f_{MCK} + 30$		ns	
Slpホールド時間 (対SCKp↑) ^{注1}	tksi2			$1/f_{MCK} + 31$		$1/f_{MCK} + 31$		ns	
SCKp↓→SOp出力遅延時間 ^{注2}	tkso2	C = 30 pF ^{注3}	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$		$2/f_{MCK} + 44$		$2/f_{MCK} + 110$	ns	
			$2.4\text{V} \leq V_{DD} \leq 5.5\text{V}$		$2/f_{MCK} + 75$		$2/f_{MCK} + 110$	ns	
			$1.8\text{V} \leq V_{DD} \leq 5.5\text{V}$		—		$2/f_{MCK} + 110$	ns	

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

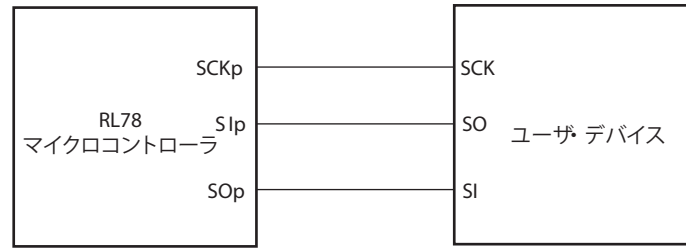
3. Cは、SOp出力ラインの負荷容量です。

4. SNOOZEモードでの転送レートは、MAX. 1 Mbpsです。

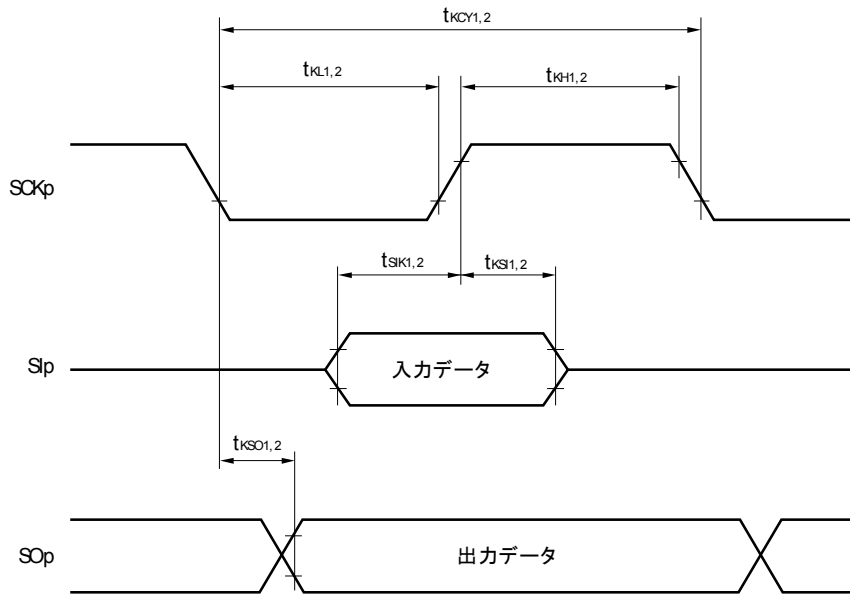
注意 ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ0, 1, 4 (POM0, POM1, POM4) で、Slp端子とSCKp端子は通常入力バッファを選択し、SOp端子は通常出力モードを選択します。

(備考は次ページにあります。)

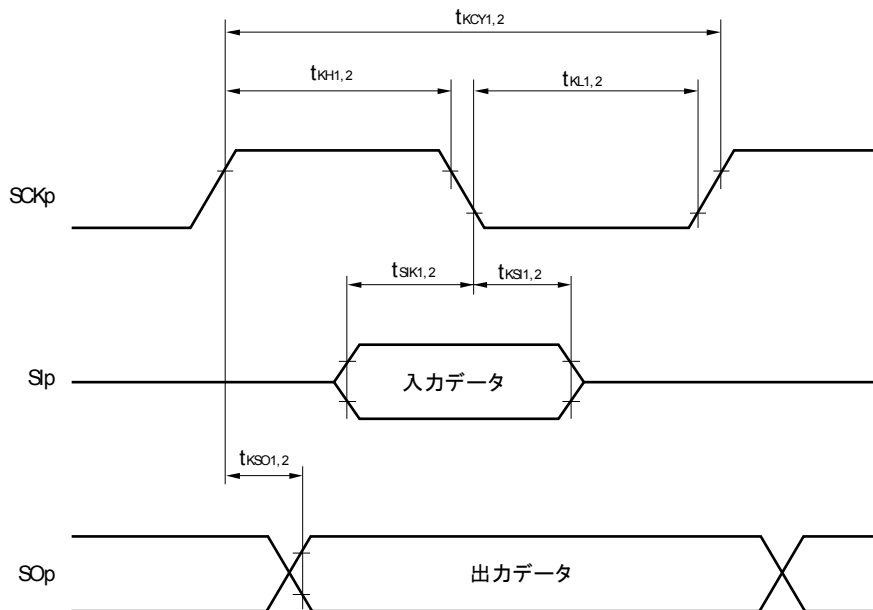
CSIモード接続図 (同電位通信時)



CSIモード・シリアル転送タイミング (同電位通信時)
(DAP_{mn} = 0, CKP_{mn} = 0 または DAP_{mn} = 1, CKP_{mn} = 1 のとき)



CSIモード・シリアル転送タイミング (同電位通信時)
(DAP_{mn} = 0, CKP_{mn} = 1 または DAP_{mn} = 1, CKP_{mn} = 0 のとき)



備考1. p : CSI番号 (p = 00, 01, 11, 20) , m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 1, 3 : 1, 3は R5F102製品のみ)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0, 1, 3 : 1, 3はR5F102製品のみ))

(5) 同電位通信時 (簡易 I²C モード)

(T_A = -40~+85 °C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

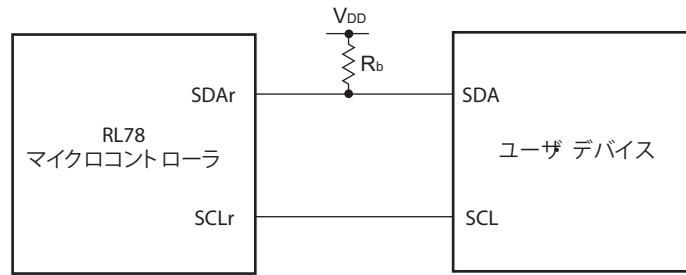
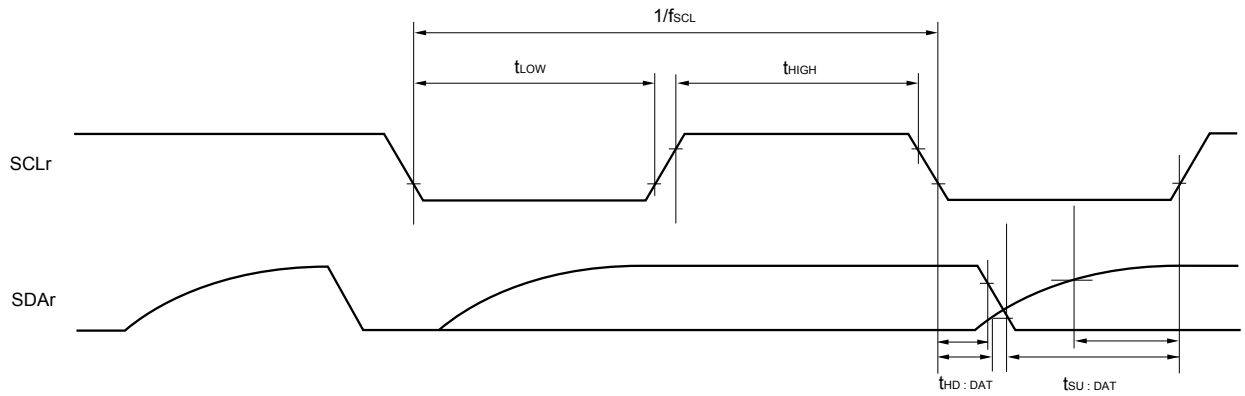
項 目	略 号	条 件	HS (高速メイン) モード LS (低速メイン) モード		単 位
			MIN.	MAX.	
SCLr クロック周波数	f _{SCL}	1.8 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ		400 ^{注1}	kHz
		1.8 V ≤ V _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ		300 ^{注1}	kHz
SCLr = "L" のホールド・タイム	t _{LOW}	1.8 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	1150		ns
		1.8 V ≤ V _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ	1550		ns
SCLr = "H" のホールド・タイム	t _{HIGH}	1.8 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	1150		ns
		1.8 V ≤ V _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ	1550		ns
データ・セットアップ時間 (受信時)	t _{SU : DAT}	1.8 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	1/f _{MCK} + 145 ^{注2}		ns
		1.8 V ≤ V _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ	1/f _{MCK} + 230 ^{注2}		ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	1.8 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	0	355	ns
		1.8 V ≤ V _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ	0	405	ns

注1. かつ f_{MCK}/4 以下に設定してください。

2. t_{SU : DAT} が SCLr = "L" と SCLr = "H" のホールド・タイムを越えないように設定してください。

注意 ポート出力モード・レジスタ h (POMh) で、SDAr は N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択し、SCLr は通常出力モードを選択します。

(備考は次ページにあります。)

簡易I²Cモード接続図 (同電位通信時)簡易I²Cモード・シリアル転送タイミング (同電位通信時)

- 備考1.** R_b [Ω] : 通信ライン (SDAr) プルアップ抵抗値, C_b [F] : 通信ライン (SCLr, SDAr) 負荷容量値
2. r : IIC番号 ($r = 00, 01, 11, 20$) , h : POM番号 ($h = 0, 1, 4, 5$)
 3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。 m : ユニット番号 ($m = 0, 1$) , n : チャネル番号 ($n = 0, 1, 3$))
 4. 簡易I²CモードはR5F102製品のみ

(6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (UARTモード)

(T_A = -40~+85 °C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位	
			MIN.	MAX.	MIN.	MAX.		
転送レート ^{注4}	受信	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V		f _{MCK} /6 ^{注1}		f _{MCK} /6 ^{注1}	bps	
		最大転送レート理論値 f _{MCK} = f _{CLK} ^{注3}		4.0		1.3	Mbps	
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V		f _{MCK} /6 ^{注1}		f _{MCK} /6 ^{注1}	bps	
		最大転送レート理論値 f _{MCK} = f _{CLK} ^{注3}		4.0		1.3	Mbps	
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V		f _{MCK} /6 ^{注1,2}		f _{MCK} /6 ^{注1,2}	bps	
		最大転送レート理論値 f _{MCK} = f _{CLK} ^{注3}		4.0		1.3	Mbps	
	送信	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V			注4		注4	bps
		最大転送レート理論値 C _b = 50 pF, R _b = 1.4 kΩ, V _b = 2.7 V			2.8 ^{注5}		2.8 ^{注5}	Mbps
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V			注6		注6	bps
		最大転送レート理論値 C _b = 50 pF, R _b = 2.7 kΩ, V _b = 2.3 V			1.2 ^{注7}		1.2 ^{注7}	Mbps
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V			注2,8		注2,8	bps
		最大転送レート理論値 C _b = 50 pF, R _b = 5.5 kΩ, V _b = 1.6 V			0.43 ^{注9}		0.43 ^{注9}	Mbps

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

2. V_{DD} ≥ V_bで使用してください。

3. CPU/周辺ハードウェア・クロック (f_{CLK}) の最高動作周波数を次に示します。

HS (高速メイン) モード : 24 MHz (2.7 V ≤ V_{DD} ≤ 5.5 V)

16 MHz (2.4 V ≤ V_{DD} ≤ 5.5 V)

LS (低速メイン) モード : 8 MHz (1.8 V ≤ V_{DD} ≤ 5.5 V)

4. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V ≤ V_{DD} ≤ 5.5 V, 2.7 V ≤ V_b ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

5. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注4により算出してください。

6. $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
2.7 V ≤ V_{DD} < 4.0 V, 2.3 V ≤ V_b ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}} \times 3 \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

7. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注6により算出してください。

8. $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
1.8 V ≤ V_{DD} < 3.3 V, 1.6 V ≤ V_b ≤ 2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}} \times 3 \quad [\text{bps}]$$

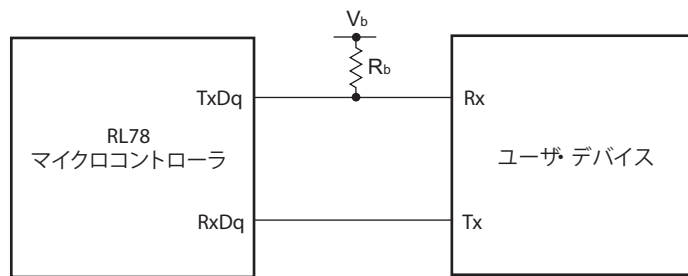
$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

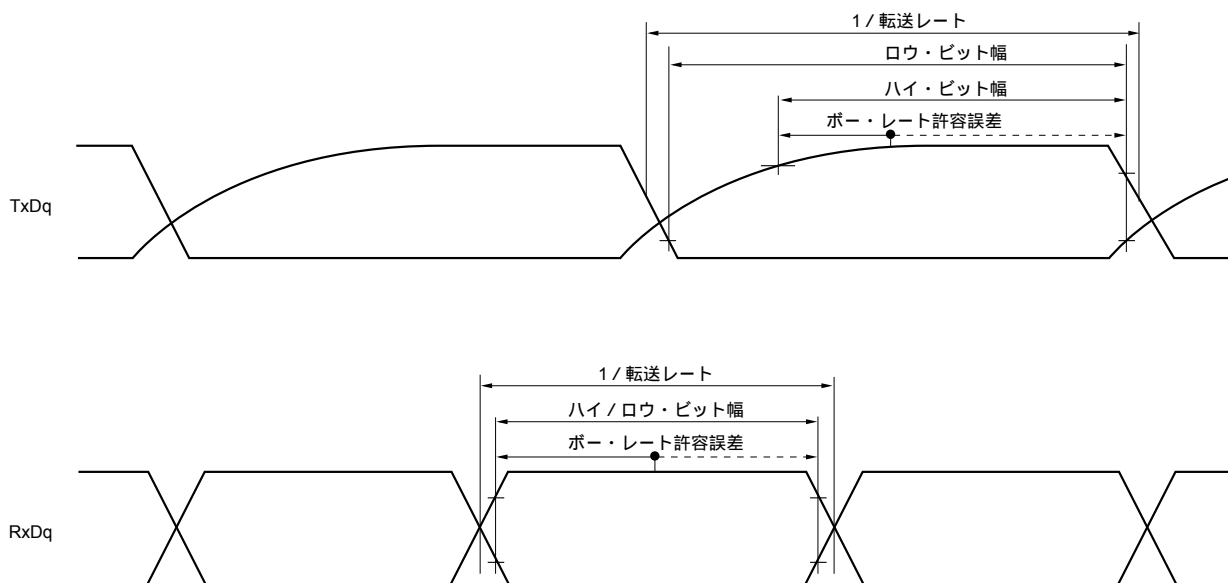
9. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注8により算出してください。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図 (異電位通信時)



UARTモードのビット幅 (異電位通信時) (参考)



- 備考1. R_b [Ω] : 通信ライン (TxDq) プルアップ抵抗値, C_b [F] : 通信ライン (TxDq) 負荷容量値, V_b [V] : 通信ライン電圧
2. q : UART番号 ($q = 0-2$), g : PIM, POM番号 ($g = 0, 1$)
 3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。 m : ユニット番号, n : チャネル番号 ($mn = 00-03, 10, 11$))
 4. 20, 24ピン製品のUART0は, 周辺I/Oリダイレクト機能未使用時のみ異電位通信に対応します。

(7) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCK00…内部クロック出力, CSI00のみ対応)
(T_A = -40 ~ +85 °C, 2.7 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		単位
				モード		モード		
				MIN.	MAX.	MIN.	MAX.	
SCK00サイクル・タイム	t _{KCY1}	t _{KCY1} ≥ 2/f _{CLK}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ	200		1150		ns
			2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ	300		1150		ns
SCK00ハイ・レベル幅	t _{KH1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ	2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ	t _{KCY1} /2 - 50		t _{KCY1} /2 - 50		ns
			2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ	t _{KCY1} /2 - 120		t _{KCY1} /2 - 120		ns
SCK00ロウ・レベル幅	t _{KL1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ	2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ	t _{KCY1} /2 - 7		t _{KCY1} /2 - 50		ns
			2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ	t _{KCY1} /2 - 10		t _{KCY1} /2 - 50		ns
SI00セットアップ時間 (対SCK00 ↑) 注1	t _{SIK1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ	2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ	58		479		ns
			2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ	121		479		ns
SI00ホールド時間 (対SCK00 ↑) 注1	t _{SIH1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ	2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ	10		10		ns
			2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ	10		10		ns
SCK00 ↓ → SO00出力遅延時間注1	t _{KSO1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ	2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ		60		60	ns
			2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ		130		130	ns
SI00セットアップ時間 (対SCK00 ↓) 注2	t _{SIK1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ	2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ	23		110		ns
			2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ	33		110		ns
SI00ホールド時間 (対SCK00 ↓) 注2	t _{SIH1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ	2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ	10		10		ns
			2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ	10		10		ns
SCK00 ↑ → SO00出力遅延時間 注2	t _{KSO1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ	2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ		10		10	ns
			2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ		10		10	ns

注1. DAP00 = 0, CKP00 = 0またはDAP00 = 1, CKP00 = 1のとき。

2. DAP00 = 0, CKP00 = 1またはDAP00 = 1, CKP00 = 0のとき。

(注意, 備考は次ページにあります。)

注意 ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ1 (POM1) で, SI00端子はTTL入力バッファを選択し, SO00端子とSCK00端子はN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択します。なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

備考1. R_b [Ω] : 通信ライン (SCK00, SO00) プルアップ抵抗値, C_b [F] : 通信ライン (SCK00, SO00) 負荷容量値, V_b [V] : 通信ライン電圧

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタ0 (SPS0) とシリアル・モード・レジスタ00 (SMR00) のCKS00ビットで設定する動作クロック)

(8) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp…内部クロック出力) (1/3)
(T_A = -40 ~ +85 °C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
			SCKpサイクル・タイム	t _{KCY1}	t _{KCY1} ≥ 4/f _{CLK} 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ 1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^注 , C _b = 30 pF, R _b = 5.5 kΩ	300 500 1150	
SCKpハイ・レベル幅	t _{KH1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ 1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^注 , C _b = 30 pF, R _b = 5.5 kΩ	t _{KCY1} /2 - 75 t _{KCY1} /2 - 170 t _{KCY1} /2 - 458		t _{KCY1} /2 - 75 t _{KCY1} /2 - 170 t _{KCY1} /2 - 458	ns ns ns	
SCKpロウ・レベル幅	t _{KL1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ 1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^注 , C _b = 30 pF, R _b = 5.5 kΩ	t _{KCY1} /2 - 12 t _{KCY1} /2 - 18 t _{KCY1} /2 - 50		t _{KCY1} /2 - 50 t _{KCY1} /2 - 50 t _{KCY1} /2 - 50	ns ns ns	

注 V_{DD} ≥ V_bで使用してください。

注意1. ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ1 (POM1) で, SIp端子はTTL入力バッファを選択し, SOP端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択します。なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

2. CSI01, CSI11は異電位通信できません。

備考1. R_b [Ω] : 通信ライン (SCKp, SOP) プルアップ抵抗値, C_b [F] : 通信ライン (SCKp, SOP) 負荷容量値, V_b [V] : 通信ライン電圧

2. p : CSI番号 (p = 00, 20)

(8) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp…内部クロック出力) (2/3)

 $(T_A = -40 \sim +85^\circ\text{C}, 1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}, V_{SS} = 0\text{ V})$

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
Slpセットアップ時間 (対SCKp↑) 注1	t _{SIK1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	81		479		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	177		479		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V注2, C _b = 30 pF, R _b = 5.5 kΩ	479		479		ns
Slpホールド時間 (対SCKp↑) 注1	t _{KSI1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	19		19		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	19		19		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V注2, C _b = 30 pF, R _b = 5.5 kΩ	19		19		ns
SCKp ↓ → SOp出力遅延時間注1	t _{KSO1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ		100		100	ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ		195		195	ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V注2, C _b = 30 pF, R _b = 5.5 kΩ		483		483	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2. V_{DD} ≥ V_bで使用してください。

(注意, 備考は次ページにあります。)

(8) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp…内部クロック出力) (3/3)
 ($T_A = -40 \sim +85^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
Slpセットアップ時間 (対SCKp↓) 注1	t _{SIK1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	44		110		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	44		110		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V注2, C _b = 30 pF, R _b = 5.5 kΩ	110		110		ns
Slpホールド時間 (対SCKp↓) 注1	t _{KSH}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	19		19		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	19		19		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V注2, C _b = 30 pF, R _b = 5.5 kΩ	19		19		ns
SCKp ↑ → SOp出力遅延時間注1	t _{KSO1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ		25		25	ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ		25		25	ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V注2, C _b = 30 pF, R _b = 5.5 kΩ		25		25	ns

注1. DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のとき。

2. $V_{DD} \geq V_b$ で使用してください。

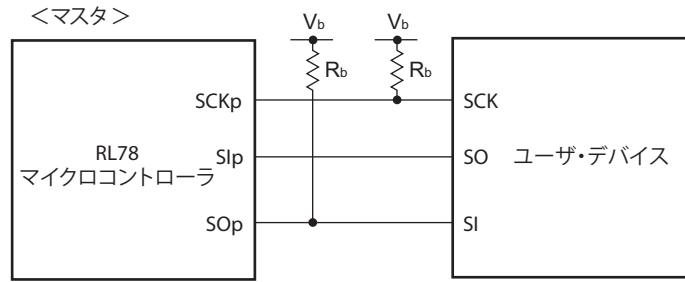
注意1. ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ1 (POM1) で, Slp端子はTTL入力バッファを選択し, SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択します。
 なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

2. CSI01, CSI11は異電位通信できません。

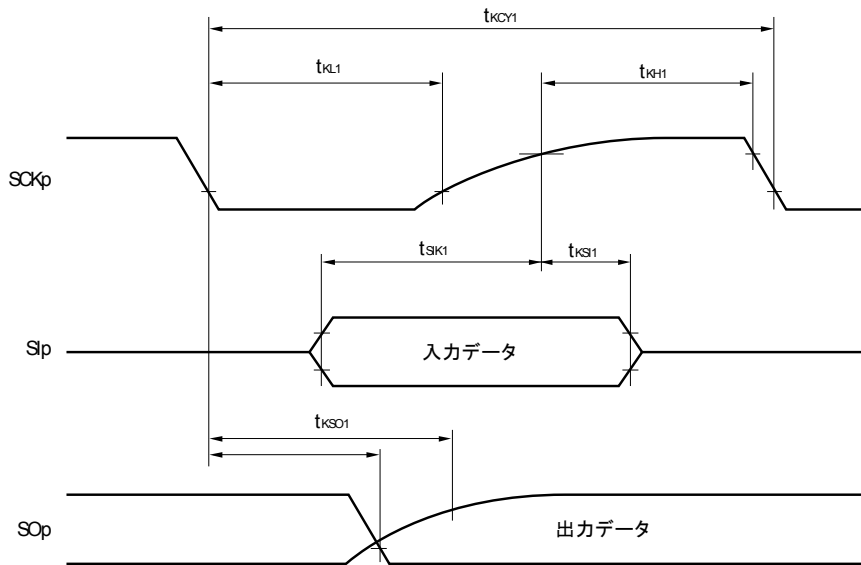
備考1. R_b [Ω]: 通信ライン (SCKp, SOp) プルアップ抵抗値, C_b [F]: 通信ライン (SCKp, SOp) 負荷容量値,
 V_b [V]: 通信ライン電圧

2. p: CSI番号 (p = 00, 20), m: ユニット番号 (m = 0, 1), n: チャネル番号 (n = 0)

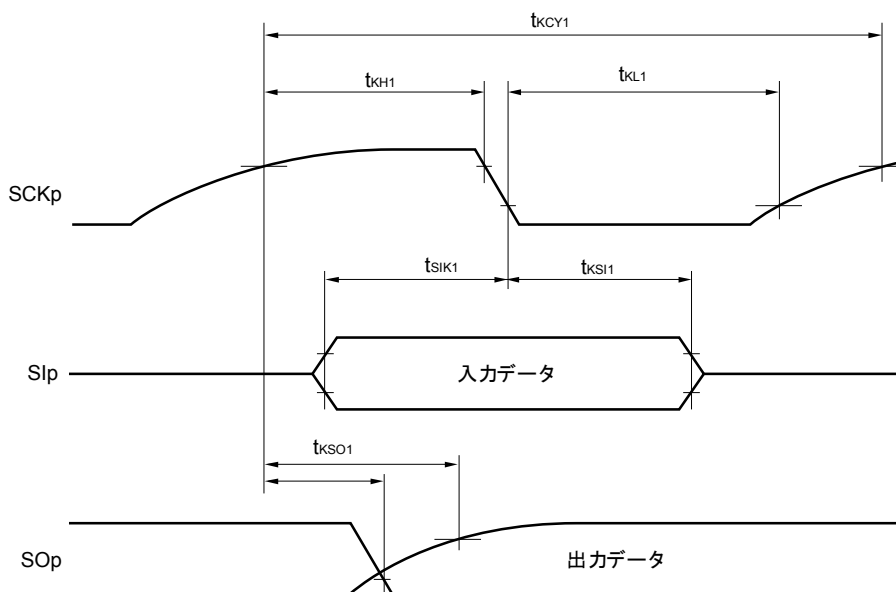
CSIモード接続図 (異電位通信時)



CSIモード・シリアル転送タイミング : マスタ・モード (異電位通信時)
 (DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



CSIモード・シリアル転送タイミング : マスタ・モード (異電位通信時)
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



(9) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (スレーブ・モード, SCKp…外部クロック入力)
(TA = -40~+85 °C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		単位
				モード		モード		
				MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム ^{注1}	t _{KCY2}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V	20 MHz < f _{MCK} ≤ 24 MHz	12/f _{MCK}		—		ns
			8 MHz < f _{MCK} ≤ 20 MHz	10/f _{MCK}		—		ns
			4 MHz < f _{MCK} ≤ 8 MHz	8/f _{MCK}		16/f _{MCK}		ns
			f _{MCK} ≤ 4 MHz	6/f _{MCK}		10/f _{MCK}		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V	20 MHz < f _{MCK} ≤ 24 MHz	16/f _{MCK}		—		ns
			16 MHz < f _{MCK} ≤ 20 MHz	14/f _{MCK}		—		ns
			8 MHz < f _{MCK} ≤ 16 MHz	12/f _{MCK}		—		ns
			4 MHz < f _{MCK} ≤ 8 MHz	8/f _{MCK}		16/f _{MCK}		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2}	20 MHz < f _{MCK} ≤ 24 MHz	36/f _{MCK}		—		ns
			16 MHz < f _{MCK} ≤ 20 MHz	32/f _{MCK}		—		ns
			8 MHz < f _{MCK} ≤ 16 MHz	26/f _{MCK}		—		ns
			4 MHz < f _{MCK} ≤ 8 MHz	16/f _{MCK}		16/f _{MCK}		ns
f _{MCK} ≤ 4 MHz	10/f _{MCK}		10/f _{MCK}		ns			
	SCKpハイ/ロウ・レベル幅		t _{KH2} , t _{KL2}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V	t _{KCY2} /2 - 12	t _{KCY2} /2 - 50	ns	
	2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V			t _{KCY2} /2 - 18	t _{KCY2} /2 - 50	ns		
	1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2}			t _{KCY2} /2 - 50	t _{KCY2} /2 - 50	ns		
	Slpセットアップ時間 (対SCKp ↑) ^{注3}	t _{SIK2}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V		1/f _{MCK} + 20	1/f _{MCK} + 30	ns	
2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V			1/f _{MCK} + 20	1/f _{MCK} + 30	ns			
1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2}			1/f _{MCK} + 30	1/f _{MCK} + 30	ns			
Slpホールド時間 (対SCKp ↑) ^{注3}	t _{KSI2}			1/f _{MCK} + 31	1/f _{MCK} + 31	ns		
SCKp ↓ → SOp出力遅延時間 ^{注4}	t _{KSO2}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ		2/f _{MCK} + 120	2/f _{MCK} + 573	ns		
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ		2/f _{MCK} + 214	2/f _{MCK} + 573	ns		
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, ^{注2} C _b = 30 pF, R _b = 5.5 kΩ		2/f _{MCK} + 573	2/f _{MCK} + 573	ns		

注1. SNOOZEモードでの転送レートは, MAX. : 1 Mbps

2. V_{DD} ≥ V_bで使用してください。

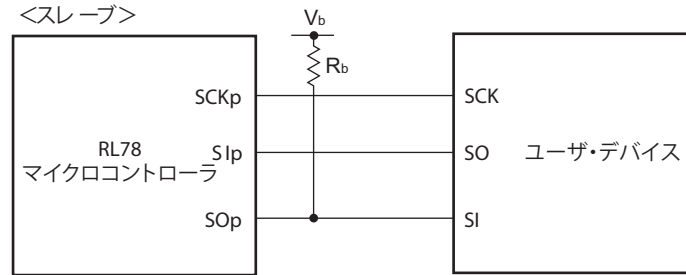
3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

4. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

(注意, 備考は次ページにあります。)

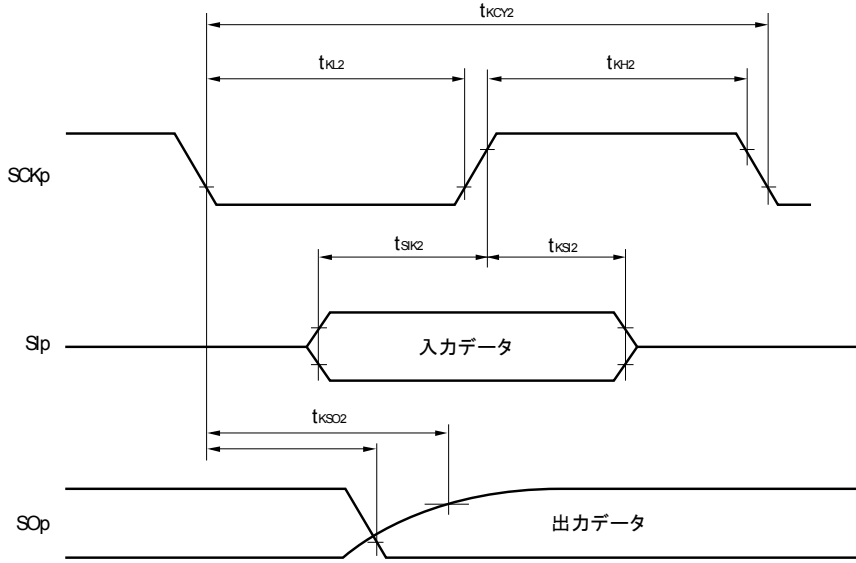
- 注意1. ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ1 (POM1) で, SIp端子とSCKp端子はTTL入力バッファを選択し, SOp端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択します。なお V_{IH} , V_{IL} は, TTL入力バッファ選択時のDC特性を参照してください。
2. CSI01, CSI11は異電位通信できません。

CSIモード接続図 (異電位通信時)

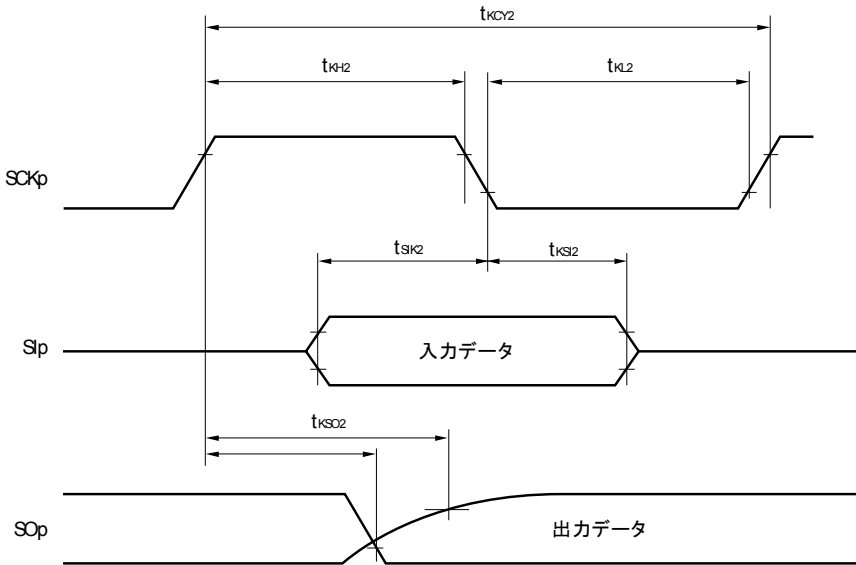


- 備考1. R_b [Ω]: 通信ライン (SOp) プルアップ抵抗値, C_b [F]: 通信ライン (SOp) 負荷容量値, V_b [V]: 通信ライン電圧
2. p : CSI番号 ($p = 00, 20$), m : ユニット番号 ($m = 0, 1$), n : チャネル番号 ($n = 0$)
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。 m : ユニット番号, n : チャネル番号 ($mn = 00, 10$))

CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考 p : CSI番号 (p = 00, 20) , m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0)

(10) 異電位通信時 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易I²Cモード)(T_A = -40 ~ +85 °C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

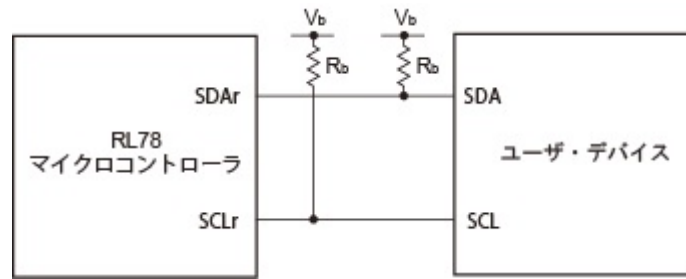
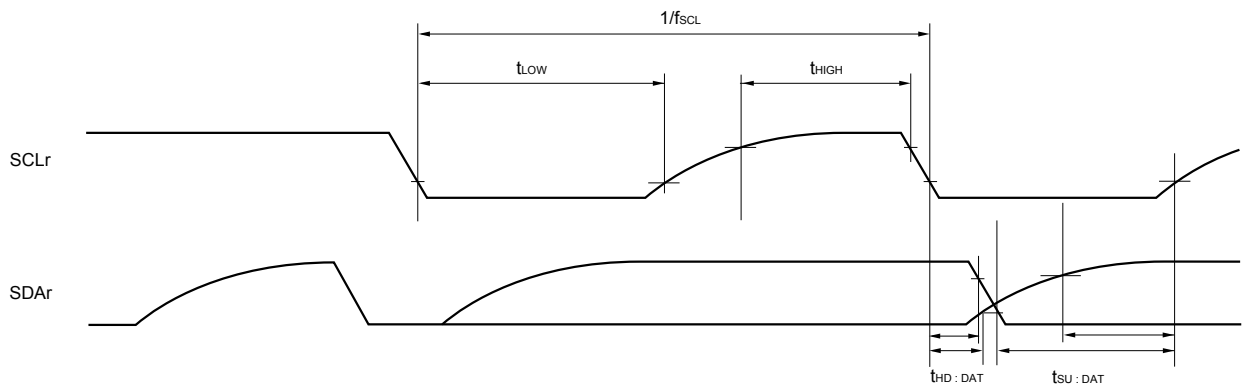
項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCLr クロック周波数	f _{SCL}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ		400 ^{注1}		300 ^{注1}	kHz
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ		400 ^{注1}		300 ^{注1}	kHz
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ		300 ^{注1}		300 ^{注1}	kHz
SCLr = "L" のホールド・タイム	t _{LOW}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	1150		1550		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1150		1550		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ	1550		1550		ns
SCLr = "H" のホールド・タイム	t _{HIGH}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	675		610		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	600		610		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ	610		610		ns
データ・セットアップ時間 (受信時)	t _{SU:DAT}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	1/f _{MCK} + 190 ^{注3}		1/f _{MCK} + 190 ^{注3}		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1/f _{MCK} + 190 ^{注3}		1/f _{MCK} + 190 ^{注3}		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ	1/f _{MCK} + 190 ^{注3}		1/f _{MCK} + 190 ^{注3}		ns
データ・ホールド時間 (送信時)	t _{HD:DAT}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	0	355	0	355	ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	0	355	0	355	ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ	0	405	0	405	ns

注 1. $\frac{1}{f_{MCK}}/4$ 以下に設定してください。2. V_{DD} ≥ V_bで使用してください。3. t_{SU:DAT} が SCLr = "L" と SCLr = "H" のホールド・タイムを越えないように設定にしてください。

注意1. ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ1 (POM1) で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択し、SCLrはN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

2. IIC01, IIC11は異電位通信できません。

(備考は次ページにあります。)

簡易I²Cモード接続図 (異電位通信時)簡易I²Cモード・シリアル転送タイミング (異電位通信時)

- 備考1.** R_b [Ω] : 通信ライン (SDAr, SCLr) プルアップ抵抗値, C_b [F] : 通信ライン (SDAr, SCLr) 負荷容量値, V_b [V] : 通信ライン電圧
2. r : IIC番号 ($r = 00, 20$)
 3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。 m : ユニット番号 ($m = 0, 1$) , n : チャネル番号 ($n = 0$))
 4. 簡易I²CモードはR5F102製品のみ

28.5.2 シリアル・インタフェースIICA

(T_A = -40 ~ +85 °C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項目	略号	条件	HS (高速メイン) モード LS (低速メイン) モード				単位
			標準モード		ファースト・モード		
			MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f _{SCL}	ファースト・モード : f _{CLK} ≥ 3.5 MHz			0	400	kHz
		標準モード : f _{CLK} ≥ 1 MHz	0	100			kHz
リスタート・コンディショニングのセットアップ時間	t _{SU : STA}		4.7		0.6		μs
ホールド時間 ^{注1}	t _{HD : STA}		4.0		0.6		μs
SCLA0 = "L"のホールド・タイム	t _{LOW}		4.7		1.3		μs
SCLA0 = "H"のホールド・タイム	t _{HIGH}		4.0		0.6		μs
データ・セットアップ時間 (受信時)	t _{SU : DAT}		250		100		ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD : DAT}		0	3.45	0	0.9	μs
ストップ・コンディショニングのセットアップ時間	t _{SU : STO}		4.0		0.6		μs
バス・フリー時間	t _{BUF}		4.7		1.3		μs

注1. スタート・コンディショニング, リスタート・コンディショニング時は, この期間のあと最初のクロック・パルスが生成されます。

2. t_{HD : DAT}の最大値 (MAX.) は, 通常転送時の数値であり, \overline{ACK} (アクノリッジ) タイミングでは, ウエイトがかかります。

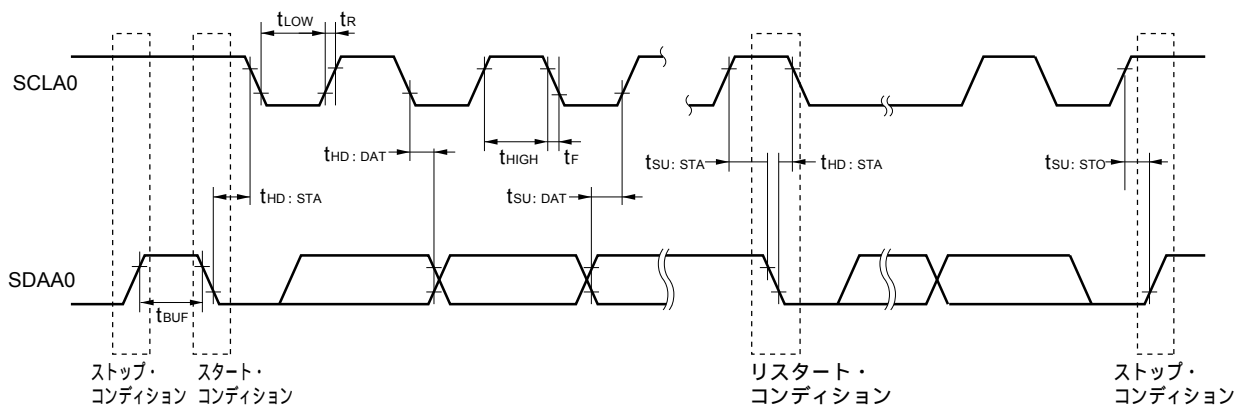
注意 30ピン製品のみ, 周辺I/Oリダイレクション・レジスタ (PIOR) のビット2 (PIOR2) が1の場合も, 上記の値を適用できます。ただし, 端子特性 (I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1}) はリダイレクト先の値を満たしてください。

備考 各モードにおけるC_b (通信ライン容量) のMAX.値と, そのときのR_b (通信ライン・プルアップ抵抗値) の値は, 次のとおりです。

標準モード : C_b = 400 pF, R_b = 2.7 kΩ

ファースト・モード : C_b = 320 pF, R_b = 1.1 kΩ

IICAシリアル転送タイミング



28.6 アナログ特性

28.6.1 A/Dコンバータ特性

A/Dコンバータ特性の区分

基準電圧 入力チャネル	基準電圧 (+) = AV _{REFP} 基準電圧 (-) = AV _{REFM}	基準電圧 (+) = V _{DD} 基準電圧 (-) = V _{SS}	基準電圧 (+) = V _{BGR} 基準電圧 (-) = AV _{REFM}
ANI0-ANI3	28.6.1(1) 参照	28.6.1(3) 参照	28.6.1(4) 参照
ANI16-ANI22	28.6.1(2) 参照		
内部基準電圧 温度センサ出力電圧	28.6.1(1) 参照		-

(1) 基準電圧 (+) = AV_{REFP}/ANI0 (ADREFP1 = 0, ADREFP0 = 1) , 基準電圧 (-) = AV_{REFM}/ANI1 (ADREFM = 1) 選択時、変換対象 : ANI2, ANI3、内部基準電圧、温度センサ出力電圧

(T_A = -40~+85 °C, 1.8 V ≤ AV_{REFP} ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V, 基準電圧 (+) = AV_{REFP}, 基準電圧 (-) = AV_{REFM} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES		8		10	bit	
総合誤差 ^{注1}	AINL	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}		1.2	± 3.5	LSB	
				1.2	± 7.0 ^{注4}	LSB	
変換時間	t _{CONV}	10ビット分解能 変換対象 : ANI2, ANI3	3.6 V ≤ V _{DD} ≤ 5.5 V	2.125		39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.1875		39	μs
			1.8 V ≤ V _{DD} ≤ 5.5 V	17		39	μs
				57		95	μs
		10ビット分解能 変換対象 : 内部基準電圧, 温度センサ出力電圧 (HS (高速メイン) モード)	3.6 V ≤ V _{DD} ≤ 5.5 V	2.375		39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.5625		39	μs
2.4 V ≤ V _{DD} ≤ 5.5 V	17			39	μs		
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}			± 0.25	%FSR	
					± 0.50 ^{注4}	%FSR	
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}			± 0.25	%FSR	
					± 0.50 ^{注4}	%FSR	
積分直線性誤差 ^{注1}	ILE	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}			± 2.5	LSB	
					± 5.0 ^{注4}	LSB	
微分直線性誤差 ^{注1}	DLE	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}			± 1.5	LSB	
					± 2.0 ^{注4}	LSB	
アナログ入力電圧	V _{AIN}	ANI2, ANI3	0		AV _{REFP}	V	
		内部基準電圧 (2.4 V ≤ V _{DD} ≤ 5.5 V, HS (高速メイン) モード)			V _{BGR} ^{注5}	V	
		温度センサ出力電圧 (2.4 V ≤ V _{DD} ≤ 5.5 V, HS (高速メイン) モード)			V _{TMPS25} ^{注5}	V	

(注は次ページにあります。)

- 注 1. 量子化誤差 (±1/2 LSB) を含みません。
- 2. フルスケール値に対する比率 (%FSR) で表します。
- 3. AV_{REFP} < V_{DD} の場合, MAX. 値は次のようになります。
 - 総合誤差 : AV_{REFP} = V_{DD} の MAX. 値に ±1.0 LSB を加算してください
 - ゼロスケール誤差 / フルスケール誤差 : AV_{REFP} = V_{DD} の MAX. 値に ±0.05 %FSR を加算してください
 - 積分直線性誤差 / 微分直線性誤差 : AV_{REFP} = V_{DD} の MAX. 値に ±0.5 LSB を加算してください
- 4. 変換時間を MIN. 57 μs, MAX. 95 μs に設定した場合の値です。
- 5. 28.6.2 温度センサ / 内部基準電圧特性を参照してください。

(2) 基準電圧 (+) = AV_{REFP}/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AV_{REFM}/ANI1 (ADREFM = 1) 選択時、変換対象 : ANI16-ANI22

(T_A = -40~+85 °C, 1.8 V ≤ AV_{REFP} ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V, 基準電圧 (+) = AV_{REFP}, 基準電圧 (-) = AV_{REFM} = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能			1.2	±5.0	LSB
		AV _{REFP} = V _{DD} ^{注3}			1.2	±8.5 ^{注4}	LSB
変換時間	t _{CONV}	10ビット分解能 変換対象 : ANI16-ANI22	3.6 V ≤ V _{DD} ≤ 5.5 V	2.125		39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.1875		39	μs
		1.8 V ≤ V _{DD} ≤ 5.5 V	17		39	μs	
			57		95	μs	
ゼロスケール誤差 ^{注1,2}	EZS	10ビット分解能				±0.35	%FSR
		AV _{REFP} = V _{DD} ^{注3}				±0.60 ^{注4}	%FSR
フルスケール誤差 ^{注1,2}	EFS	10ビット分解能				±0.35	%FSR
		AV _{REFP} = V _{DD} ^{注3}				±0.60 ^{注4}	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能				±3.5	LSB
		AV _{REFP} = V _{DD} ^{注3}				±6.0 ^{注4}	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能				±2.0	LSB
		AV _{REFP} = V _{DD} ^{注3}				±2.5 ^{注4}	LSB
アナログ入力電圧	V _{AIN}	ANI16-ANI22		0		AV _{REFP} かつV _{DD}	V

- 注 1. 量子化誤差 (±1/2 LSB) を含みません。
- 2. フルスケール値に対する比率 (%FSR) で表します。
- 3. AV_{REFP} < V_{DD} の場合, MAX. 値は次のようになります。
 - 総合誤差 : AV_{REFP} = V_{DD} の MAX. 値に ±4.0 LSB を加算してください
 - ゼロスケール誤差 / フルスケール誤差 : AV_{REFP} = V_{DD} の MAX. 値に ±0.20 %FSR を加算してください
 - 積分直線性誤差 / 微分直線性誤差 : AV_{REFP} = V_{DD} の MAX. 値に ±2.0 LSB を加算してください
- 4. 変換時間を MIN. 57 μs, MAX. 95 μs に設定した場合の値です。

(3) 基準電圧 (+) = V_{DD} (ADREFP1 = 0, ADREFP0 = 0), 基準電圧 (-) = V_{SS} (ADREFM = 0)

選択時、変換対象 : ANI0-ANI3, ANI16-ANI22、内部基準電圧、温度センサ出力電圧

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, 基準電圧 (+) = V_{DD} , 基準電圧 (-) = V_{SS})

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能			1.2	± 7.0	LSB
					1.2	± 10.5 ^{注3}	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象 : ANI0-ANI3, ANI16-ANI22	$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.125		39	μs
			$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	3.1875		39	μs
			$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17		39	μs
		10ビット分解能 変換対象 : 内部基準電圧, 温度センサ出力電圧 HS (高速メイン) モード	$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.375		39	μs
			$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	3.5625		39	μs
			$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17		39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能				± 0.60	%FSR
						± 0.85 ^{注3}	%FSR
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能				± 0.60	%FSR
						± 0.85 ^{注3}	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能				± 4.0	LSB
						± 6.5 ^{注3}	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能				± 2.0	LSB
						± 2.5 ^{注3}	LSB
アナログ入力電圧	V_{AIN}	ANI0-ANI3, ANI16-ANI22		0		V_{DD}	V
		内部基準電圧 ($2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, HS (高速メイン) モード)				V_{BGR} ^{注4}	V
		温度センサ出力電圧 ($2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, HS (高速メイン) モード)				$V_{\text{TMP}25}$ ^{注4}	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

- フルスケール値に対する比率 (%FSR) で表します。
- 変換時間をMIN. $57\ \mu\text{s}$, MAX. $95\ \mu\text{s}$ に設定した場合の値です。
28. 6. 2 温度センサ/内部基準電圧特性を参照してください。

(4) 基準電圧 (+) = 内部基準電圧 (ADREFP1 = 1, ADREFP0 = 0), 基準電圧 (-) = AV_{REFM} (ADREFM = 1) 選択時、変換対象 : ANI0, ANI2, ANI3, ANI16-ANI22

($T_A = -40 \sim +85^\circ\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, 基準電圧 (+) = V_{BGR} ^{注3}, 基準電圧 (-) = AV_{REFM} ^{注4} = 0 V, HS (高速メイン) モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8			bit
変換時間	t _{CONV}	8ビット分解能	17		39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	8ビット分解能			±0.60	%FSR
積分直線性誤差 ^{注1}	ILE	8ビット分解能			±2.0	LSB
微分直線性誤差 ^{注1}	DLE	8ビット分解能			±1.0	LSB
アナログ入力電圧	V _{AIN}		0		V_{BGR} ^{注3}	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. 28. 6. 2 温度センサ/内部基準電圧特性を参照してください。

4. 基準電圧 (-) = V_{SS} の場合, MAX. 値は次のようになります。

ゼロスケール誤差 : 基準電圧 (-) = AV_{REFM} 時の MAX. 値に ±0.35 %FSR を加算してください

積分直線性誤差 : 基準電圧 (-) = AV_{REFM} 時の MAX. 値に ±0.5 LSB を加算してください

微分直線性誤差 : 基準電圧 (-) = AV_{REFM} 時の MAX. 値に ±0.2 LSB を加算してください

28. 6. 2 温度センサ/内部基準電圧特性

($T_A = -40 \sim +85^\circ\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, HS (高速メイン) モード)

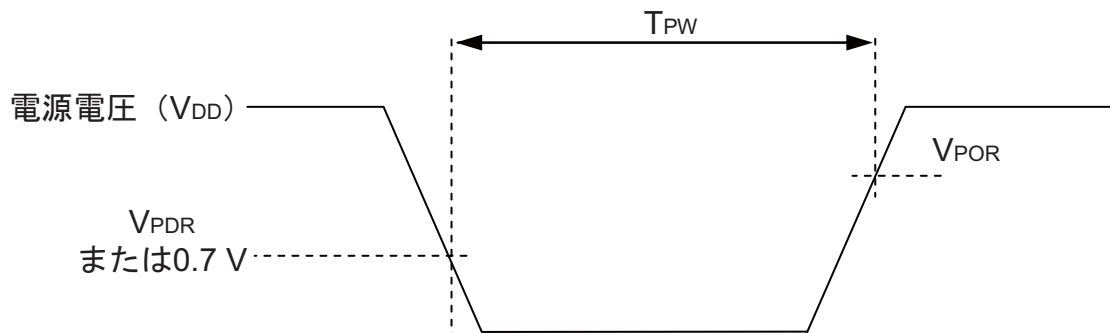
項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V _{TMP525}	ADSレジスタ = 80H設定, $T_A = +25^\circ\text{C}$		1.05		V
内部基準電圧	V _{BGR}	ADSレジスタ = 81H設定	1.38	1.45	1.50	V
温度係数	F _{VTMP5}	温度センサ出力電圧の温度依存		-3.6		mV/°C
動作安定待ち時間	t _{AMP}		5			μs

28.6.3 POR回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POR}	電源立ち上がり時	1.47	1.51	1.55	V
	V_{PDR}	電源立ち下がり時	1.46	1.50	1.54	V
最小パルス幅 ^注	T_{PW}		300			μs

注 V_{DD} が V_{PDR} を下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP) とビット7 (MSTOP) の設定によりメイン・システム・クロック (f_{MAIN}) を停止時は、 V_{DD} が 0.7V を下回ってから、 V_{POR} を上回るまでのPORによるリセット動作に必要な時間です。



28.6.4 LVD回路特性

リセット・モード, 割り込みモードのLVD検出電圧

($T_A = -40 \sim +85^\circ\text{C}$, $V_{PDR} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電源電圧	VLVD0	電源立ち上がり時	3.98	4.06	4.14	V
		電源立ち下がり時	3.90	3.98	4.06	V
	VLVD1	電源立ち上がり時	3.68	3.75	3.82	V
		電源立ち下がり時	3.60	3.67	3.74	V
	VLVD2	電源立ち上がり時	3.07	3.13	3.19	V
		電源立ち下がり時	3.00	3.06	3.12	V
	VLVD3	電源立ち上がり時	2.96	3.02	3.08	V
		電源立ち下がり時	2.90	2.96	3.02	V
	VLVD4	電源立ち上がり時	2.86	2.92	2.97	V
		電源立ち下がり時	2.80	2.86	2.91	V
	VLVD5	電源立ち上がり時	2.76	2.81	2.87	V
		電源立ち下がり時	2.70	2.75	2.81	V
	VLVD6	電源立ち上がり時	2.66	2.71	2.76	V
		電源立ち下がり時	2.60	2.65	2.70	V
	VLVD7	電源立ち上がり時	2.56	2.61	2.66	V
		電源立ち下がり時	2.50	2.55	2.60	V
	VLVD8	電源立ち上がり時	2.45	2.50	2.55	V
		電源立ち下がり時	2.40	2.45	2.50	V
	VLVD9	電源立ち上がり時	2.05	2.09	2.13	V
		電源立ち下がり時	2.00	2.04	2.08	V
	VLVD10	電源立ち上がり時	1.94	1.98	2.02	V
		電源立ち下がり時	1.90	1.94	1.98	V
VLVD11	電源立ち上がり時	1.84	1.88	1.91	V	
	電源立ち下がり時	1.80	1.84	1.87	V	
最小パルス幅	t _{lw}		300			μs
検出遅延					300	μs

割り込み&リセット・モードのLVD検出電圧

(TA = -40~+85 °C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み& リセット・モード	VLVDB0	VPOC2, VPOC1, VPOC0 = 0, 0, 1, 立ち下がりリセット電圧	1.80	1.84	1.87	V	
	VLVDB1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	1.94	1.98	2.02	V
			立ち下がり割り込み電圧	1.90	1.94	1.98	V
	VLVDB2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.05	2.09	2.13	V
			立ち下がり割り込み電圧	2.00	2.04	2.08	V
	VLVDB3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.07	3.13	3.19	V
			立ち下がり割り込み電圧	3.00	3.06	3.12	V
	VLVDC0	VPOC2, VPOC1, VPOC0 = 0, 1, 0, 立ち下がりリセット電圧	2.40	2.45	2.50	V	
	VLVDC1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.56	2.61	2.66	V
			立ち下がり割り込み電圧	2.50	2.55	2.60	V
	VLVDC2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.66	2.71	2.76	V
			立ち下がり割り込み電圧	2.60	2.65	2.70	V
VLVDC3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.68	3.75	3.82	V	
		立ち下がり割り込み電圧	3.60	3.67	3.74	V	
VLVDD0	VPOC2, VPOC1, VPOC0 = 0, 1, 1, 立ち下がりリセット電圧	2.70	2.75	2.81	V		
VLVDD1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.86	2.92	2.97	V	
		立ち下がり割り込み電圧	2.80	2.86	2.91	V	
VLVDD2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.96	3.02	3.08	V	
		立ち下がり割り込み電圧	2.90	2.96	3.02	V	
VLVDD3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.98	4.06	4.14	V	
		立ち下がり割り込み電圧	3.90	3.98	4.06	V	

28.6.5 電源電圧立ち上がり傾き特性

(TA = -40~+85 °C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SVDD				54	V/ms

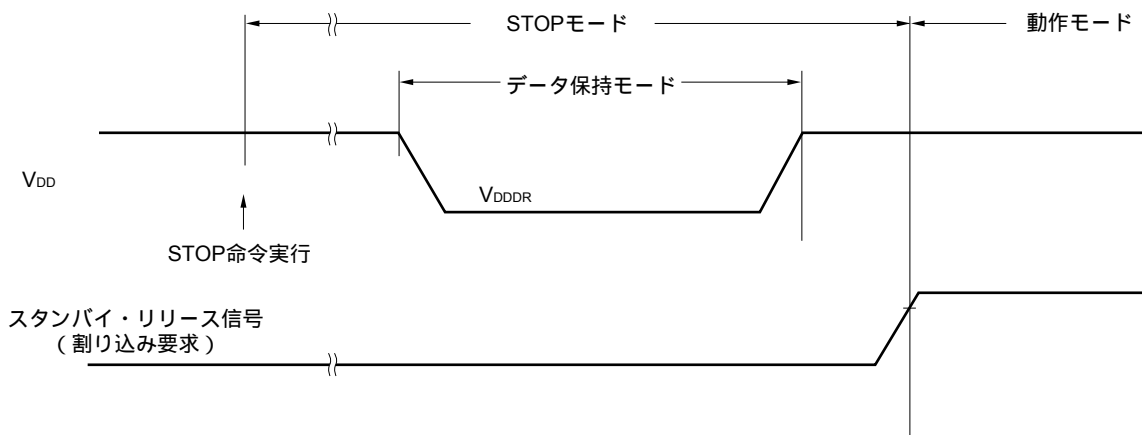
注意 VDDが28.4 AC特性に示す動作電圧範囲内に達するまで、LVD回路か外部リセットで内部リセット状態を保ってください。

28.7 データ・メモリSTOPモード低電源電圧データ保持特性

(TA = -40~+85 °C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.46 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



28.8 フラッシュ・メモリ・プログラミング特性

(TA = -40~+85 °C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK		1		24	MHz
コード・フラッシュの書き換え回数 ^{1,2,3}	C _{enwr}	保持年数 : 20年 TA = 85°C	1,000			回
データ・フラッシュの書き換え回数 ^{1,2,3}		保持年数 : 1年 TA = 25°C		1,000,000		
		保持年数 : 5年 TA = 85°C	100,000			
		保持年数 : 20年 TA = 85°C	10,000			

注1. 消去1回+消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

- 2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時
- 3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

28.9 専用フラッシュ・メモリ・プログラマ通信 (UART)

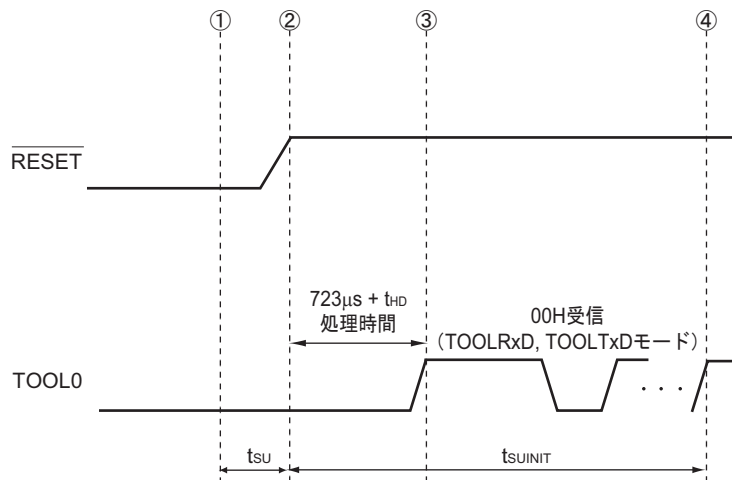
(TA = -40~+85 °C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

28.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミング

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	t_{SUNIT}	外部リセット解除前にPOR, LVDリセットを解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	t_{SU}	外部リセット解除前にPOR, LVDリセットを解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルにホールドする時間 (フラッシュ・ファーム処理時間を除く)	t_{HD}	外部リセット解除前にPOR, LVDリセットを解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 t_{SUNIT} : この区間では、リセット解除から100 ms 以内に初期設定通信を完了してください。

t_{SU} : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

t_{HD} : 外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

お客様各位	RL78/G12 テクニカル・アップデート別紙 第 29 章 電気的特性 (G : Ta = -40~+105°C) (ターゲット) (ご報告)	M C Y G - A B - 1 3 - 0 1 5 4 - 1
		2 0 1 3 年 7 月 2 4 日
		ルネサス エレクトロニクス株式会社 第 一 事 業 本 部 M C U 第 三 事 業 部 ブ ラ ン ド 戦 略 部 担当課長 内村 博 (担当 古川 雄大)

拝啓、貴社益々ご清栄の段お喜び申し上げます。また、平素は弊社の製品をご利用頂き誠に有難うございます。

さて、掲題の件につきまして、下記にご報告申し上げます。
 今後とも倍旧のお引き立てを賜りますようお願い申し上げます。

敬具

記

1. 対象デバイス

RL78/G12 グループ
 R5F102xxG

2. 関連資料

誤記訂正通知 RL78/G12 ユーザーズマニュアル Rev.1.10 の記載変更(TN-RL*-A006A/J)
 RL78/G12 ユーザーズマニュアル ハードウェア編 Rev.1.10 (R01UH0200JJ0110)

3. ご報告

誤記訂正通知 RL78/G12 ユーザーズマニュアル Rev.1.10 の記載変更(TN-RL*-A006A/J)で通知した訂正内容を反映した「第 29 章 電気的特性 (G : Ta = -40~+105°C) (ターゲット)」を 2 ページ目以降に示します。

第29章 電気的特性 (G : T_A = -40 ~ +105°C) (ターゲット)

この章では、G : 産業用途 (T_A = -40 ~ +105°C) の電気的特性を示します。

- 注意1. 掲載する特性は、ターゲット(目標値)であり、デバイス評価後に変更の可能性があります。
- RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
 - 製品により搭載している端子が異なります。ポート機能は2.1 ポート機能, ポート以外の機能は2.2.1 製品別の搭載機能を参照してください。

"G : 産業用途 (T_A = -40 ~ +105°C)" は, "A : 民生用途, D : 産業用途" と次に示す機能が異なります。

用途区分	A : 民生用途, D : 産業用途	G : 産業用途
動作周囲温度	T _A = -40 ~ +85°C	T _A = -40 ~ +105°C
動作モード 動作電圧範囲	HS (高速メイン) モード : 2.7 V V _{DD} 5.5 V@1 MHz ~ 24 MHz 2.4 V V _{DD} 5.5 V@1 MHz ~ 16 MHz LS (低速メイン) モード : 1.8 V V _{DD} 5.5 V@1 MHz ~ 8 MHz	HS (高速メイン) モードのみ : 2.7 V V _{DD} 5.5 V@1 MHz ~ 24 MHz 2.4 V V _{DD} 5.5 V@1 MHz ~ 16 MHz
高速オンチップ・オシレータ・クロック精度	R5F102製品, 1.8 V V _{DD} 5.5 V : ±1.0 % @ T _A = -20 ~ +85 ±1.5 % @ T _A = -40 ~ -20 R5F103製品, 1.8 V V _{DD} 5.5 V : ±5.0 % @ T _A = -40 ~ +85	R5F102製品, 2.4 V V _{DD} 5.5 V : ±2.0 % @ T _A = +85 ~ +105 ±1.0 % @ T _A = -20 ~ +85 ±1.5 % @ T _A = -40 ~ -20
シリアル・アレイ・ユニット	UART CSI : f _{CLK} /2 (12Mbps対応), f _{CLK} /4 簡易I ² C	UART CSI : f _{CLK} /4 簡易I ² C
電圧検出回路	・立ち上がり : 1.88 V ~ 4.06 V (12段階) ・立ち下がり : 1.84 V ~ 3.98 V (12段階)	・立ち上がり : 2.61 V ~ 4.06 V (8段階) ・立ち下がり : 2.55 V ~ 3.98 V (8段階)

備考 G : 産業用途 (T_A = -40 ~ +105°C) の電気的特性は, "A : 民生用途, D : 産業用途" と異なります。詳細は, このページ以降の29.1 ~ 29.10を参照してください。

29.1 絶対最大定格

(T_A = 25 °C)

項目	略号	条件		定格	単位	
電源電圧	V _{DD}			-0.5~+6.5	V	
REGC端子入力電圧 ^{注1}	V _{IREGC}	REGC		-0.3~+2.8 かつ -0.3~V _{DD} +0.3 ^{注2}	V	
入力電圧	V _{I1}	P60, P61以外		-0.3~V _{DD} +0.3 ^{注3}	V	
	V _{I2}	P60, P61 (N-chオープン・ドレイン)		-0.3~+6.5	V	
出力電圧	V _O			-0.3~V _{DD} +0.3 ^{注3}	V	
アナログ入力電圧	V _{AI}	20, 24ピン製品 : ANI0-ANI3, ANI16-ANI22 30ピン製品 : ANI0-ANI3, ANI16-ANI19		-0.3~V _{DD} +0.3 かつ -0.3~AV _{REF} (+)+0.3 ^{注3,4}	V	
ハイ・レベル出力電流	I _{OH1}	1端子	P20-P23以外	-40	mA	
		端子合計	P20-P23以外の全端子		-170	mA
			20, 24ピン製品 : P40-P42 30ピン製品 : P00, P01, P40, P120		-70	mA
			20, 24ピン製品 : P00-P03 ^{注5} , P10-P14 30ピン製品 : P10-P17, P30, P31, P50, P51, P147		-100	mA
	I _{OH2}	1端子	P20-P23	-0.5	mA	
		端子合計		-2	mA	
ロウ・レベル出力電流	I _{OL1}	1端子	P20-P23以外	40	mA	
		端子合計	P20-P23以外の全端子		170	mA
			20, 24ピン製品 : P40-P42 30ピン製品 : P00, P01, P40, P120		70	mA
			20, 24ピン製品 : P00-P03 ^{注5} , P10-P14, P60, P61 30ピン製品 : P10-P17, P30, P31, P50, P51, P60, P61, P147		100	mA
	I _{OL2}	1端子	P20-P23	1	mA	
		端子合計		5	mA	
動作周囲温度	T _A			-40~+105 ^{注6}	°C	
保存温度	T _{stg}			-65~+150	°C	

注1. 30ピン製品のみ

- REGC端子にはコンデンサ (0.47~1 μF) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。
- 6.5 V以下であること。
- A/D変換対象の端子は、AV_{REF}(+)+0.3を越えないでください。
- 24ピン製品のみ
- T_A = +85°C~+105°Cでの動作時間 : 10,000時間

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

- AV_{REF}(+) : A/Dコンバータの+側基準電圧
- V_{SS}を基準電圧とする。

29.2 発振回路特性

29.2.1 X1発振回路特性

($T_A = -40 \sim +105^\circ\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数 (f_x) ^注	セラミック発振子／	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	1.0		20.0	MHz
	水晶振動子	$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$	1.0		8.0	

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックにより CPU が起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 X1発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

29.2.2 オンチップ・オシレータ特性

($T_A = -40 \sim +105^\circ\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

発振子	略号	条件	MIN.	TYP.	MAX.	単位	
高速オンチップ・オシレータ・クロック周波数 ^{注1,2}	f_{IH}		1		24	MHz	
高速オンチップ・オシレータ・クロック周波数精度		R5F102製品	$T_A = -20 \sim +85^\circ\text{C}$	-1.0		+1.0	%
			$T_A = -40 \sim -20^\circ\text{C}$	-1.5		+1.5	%
			$T_A = +85 \sim +105^\circ\text{C}$	-2.0		+2.0	%
低速オンチップ・オシレータ・クロック周波数	f_{IL}			15		kHz	
低速オンチップ・オシレータ・クロック周波数精度			-15		+15	%	

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト(000C2H)のビット0-3とHOCODIVレジスタのビット0-2で選択します。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

29.3 DC特性

29.3.1 端子特性

(T_A = -40~+105 °C, 2.4 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

(1/4)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流 ^{注1}	I _{OH1}	20, 24ピン製品 : P00-P03 ^{注4} P10-P14, P40-P42 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147 1端子			-3.0 ^{注2}	mA
		20, 24ピン製品 : P40-P42 30ピン製品 : P00, P01, P40, P120 合計 (デューティ ≤ 70 %時 ^{注3})	4.0 V ≤ V _{DD} ≤ 5.5 V		-9.0	mA
			2.7 V ≤ V _{DD} < 4.0 V		-6.0	mA
			2.4 V ≤ V _{DD} < 2.7 V		-4.5	mA
		20, 24ピン製品 : P00-P03 ^{注4} , P10-P14 30ピン製品 : P10-P17, P30, P31, P50, P51, P147 合計 (デューティ ≤ 70 %時 ^{注3})	4.0 V ≤ V _{DD} ≤ 5.5 V		-27.0	mA
			2.7 V ≤ V _{DD} < 4.0 V		-18.0	mA
			2.4 V ≤ V _{DD} < 2.7 V		-10.0	mA
	全端子合計 (デューティ ≤ 70 %時 ^{注3})				-36.0	mA
	I _{OH2}	P20-P23 1端子 端子合計			-0.1	mA
					-0.4	mA

注1. V_{DD}端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. ただし、合計の電流値を超えないでください。

3. デューティ ≤ 70 %の条件での出力電流の値です。

デューティ > 70 %に変更した出力電流の値は、次の計算式で求めることができます (デューティ比を n % に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

$$\langle \text{計算例} \rangle I_{OH} = -10.0 \text{ mA の場合, } n = 80 \%$$

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) \doteq -8.7 \text{ mA}$$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

4. 24ピン製品のみ

注意 20ピン製品のP10-P12, P41, 24ピン製品のP01, P10-P12, P41と30ピン製品のP00, P10-P15, P17, P50は、N-chオープン・ドレイン・モード時には、ハイ・レベルを出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+105 °C, 2.4 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

(2/4)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	I _{OL1}	20, 24ピン製品 : P00-P03 ^{注4} , P10-14, P40-P42 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147 1端子			8.5 ^{注2}	mA	
		P60, P61 1端子			15.0 ^{注2}	mA	
	20, 24ピン製品 : P40-P42 30ピン製品 : P00, P01 P40, P120 合計 (デューティ ≤ 70 %時 ^{注3})	4.0 V ≤ V _{DD} ≤ 5.5 V			25.5	mA	
		2.7 V ≤ V _{DD} < 4.0 V			9.0	mA	
		2.4 V ≤ V _{DD} < 2.7 V			1.8	mA	
	20, 24ピン製品 : P00-P03 ^{注4} , P10-P14, P60, P61 30ピン製品 : P10-P17, P30, P31, P50, P51, P60, P61, P147 合計 (デューティ ≤ 70 %時 ^{注3})	4.0 V ≤ V _{DD} ≤ 5.5 V			40.0	mA	
		2.7 V ≤ V _{DD} < 4.0 V			27.0	mA	
		2.4 V ≤ V _{DD} < 2.7 V			5.4	mA	
	全端子合計 (デューティ ≤ 70 %時 ^{注3})				65.5	mA	
	I _{OL2}	P20-P23 1端子				0.4	mA
		全端子合計				1.6	mA

注1. 出力端子からV_{SS}端子に流れ込んでも、デバイスの動作を保证する電流値です。

2. ただし、合計の電流値を超えないでください。

3. デューティ ≤ 70 %の条件での出力電流の値です。

デューティ > 70 %に変更した出力電流の値は、次の計算式で求めることができます (デューティ比をn %に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

$$\langle \text{計算例} \rangle I_{OL} = 10.0 \text{ mAの場合, } n = 80 \%$$

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) \approx 8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

4. 24ピン製品のみ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+105 °C, 2.4 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

(3/4)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH1}	通常入力バッファ 20, 24ピン製品 : P00-P03 ^{注2} , P10-P14, P40-P42 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	0.8V _{DD}		V _{DD}	V
	V _{IH2}	TTL入力バッファ 20, 24ピン製品 : P10, P11 30ピン製品 : P01, P10, P11, P13-P17	4.0 V ≤ V _{DD} ≤ 5.5 V	2.2	V _{DD}	V
			3.3 V ≤ V _{DD} < 4.0 V	2.0	V _{DD}	V
			2.4 V ≤ V _{DD} < 3.3 V	1.5	V _{DD}	V
	V _{IH3}	P20-P23	0.7V _{DD}		V _{DD}	V
	V _{IH4}	P60, P61	0.7V _{DD}		6.0	V
V _{IH5}	P121, P122, P125 ^{注1} , P137, EXCLK, RESET [¯]	0.8V _{DD}		V _{DD}	V	
ロウ・レベル入力電圧	V _{IL1}	通常入力バッファ 20, 24ピン製品 : P00-P03 ^{注2} , P10-P14, P40-P42 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	0		0.2V _{DD}	V
	V _{IL2}	TTL入力バッファ 20, 24ピン製品 : P10, P11 30ピン製品 : P01, P10, P11, P13-P17	4.0 V ≤ V _{DD} ≤ 5.5 V	0	0.8	V
			3.3 V ≤ V _{DD} < 4.0 V	0	0.5	V
			2.4 V ≤ V _{DD} < 3.3 V	0	0.32	V
	V _{IL3}	P20-P23	0		0.3V _{DD}	V
	V _{IL4}	P60, P61	0		0.3V _{DD}	V
V _{IL5}	P121, P122, P125 ^{注1} , P137, EXCLK, RESET [¯]	0		0.2V _{DD}	V	
ハイ・レベル出力電圧	V _{OH1}	20, 24ピン製品 : P00-P03 ^{注2} , P10-P14, P40-P42 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	4.0 V ≤ V _{DD} ≤ 5.5 V, I _{OH1} = -3.0 mA	V _{DD} -0.7		V
			2.7 V ≤ V _{DD} ≤ 5.5 V, I _{OH1} = -2.0 mA	V _{DD} -0.6		V
			2.4 V ≤ V _{DD} ≤ 5.5 V, I _{OH1} = -1.5 mA	V _{DD} -0.5		V
	V _{OH2}	P20-P23	I _{OH2} = -100 μA	V _{DD} -0.5		V

注1. 20, 24ピン製品のみ

2. 24ピン製品のみ

注意 20ピン製品のP10-P12, P41, 24ピン製品のP01, P10-P12, P41と30ピン製品のP00, P10-P15, P17, P50は、N-chオープン・ドレイン・モード時でもV_{IH}の最大値 (MAX.) はV_{DD}です。
また、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+105 °C, 2.4 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

(4/4)

項 目	略号	条 件		MIN.	TYP.	MAX.	単 位
ロウ・レベル出力電圧	V _{OL1}	20, 24ピン製品 : P00-P03 ^注 , P10-P14, P40-P42 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	4.0 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 8.5 mA			0.7	V
			2.7 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 3.0 mA			0.6	V
			2.7 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 1.5 mA			0.4	V
			2.4 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 0.6 mA			0.4	V
	V _{OL2}	P20-P23	I _{OL2} = 400 μA			0.4	V
	V _{OL3}	P60, P61	4.0 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 15.0 mA			2.0	V
			4.0 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 5.0 mA			0.4	V
			2.7 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 3.0 mA			0.4	V
			2.4 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 2.0 mA			0.4	V
	ハイ・レベル入力リーク電流	I _{LIH1}	P121, P122以外	V _i = V _{DD}			1
I _{LIH2}		P121, P122 (X1, X2/EXCLK)	V _i = V _{DD}	入力ポート時, 外部クロック入力時		1	μA
				発振子接続時		10	μA
ロウ・レベル入力リーク電流	I _{LIL1}	P121, P122以外	V _i = V _{SS}			-1	μA
	I _{LIL2}	P121, P122 (X1, X2/EXCLK)	V _i = V _{SS}	入力ポート時, 外部クロック入力時		-1	μA
				発振子接続時		-10	μA
内蔵プリアップ抵抗	R _U	20, 24ピン製品 : P00-P03 ^注 , P10-P14, P40-P42, P125, RESET 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	V _i = V _{SS} , 入力ポート時	10	20	100	kΩ

注 24ピン製品のみ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

29.3.2 電源電流特性

(1) 20, 24ピン製品

(T_A = -40~+105 °C, 2.4 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

(1/2)

項目	略号	条件			MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD1}	動作モード	HS(高速メイン)モード ^{注4}	f _{IH} = 24 MHz ^{注3}	基本動作	V _{DD} = 5.0 V	1.5		mA
						V _{DD} = 3.0 V	1.5		
					通常動作	V _{DD} = 5.0 V	3.3	5.3	mA
						V _{DD} = 3.0 V	3.3	5.3	
					f _{IH} = 16 MHz ^{注3}	V _{DD} = 5.0 V	2.5	3.9	mA
						V _{DD} = 3.0 V	2.5	3.9	
				f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力	2.8	4.7	mA	
					発振子接続	3.0	4.8		
				f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力	2.8	4.7	mA	
					発振子接続	3.0	4.8		
				f _{MX} = 10 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力	1.8	2.8	mA	
					発振子接続	1.8	2.8		
f _{MX} = 10 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力	1.8	2.8	mA					
	発振子接続	1.8	2.8						

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

- 2. 高速オンチップ・オシレータ停止時。
- 3. 高速システム・クロック停止時。
- 4. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。
 HS(高速メイン)モード： V_{DD} = 2.7~5.5 V@1 MHz~24 MHz
 V_{DD} = 2.4~5.5 V@1 MHz~16 MHz

- 備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
- 2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 - 3. TYP.値の温度条件は，T_A = 25 °Cです。

(1) 20, 24ピン製品

(T_A = -40~+105 °C, 2.4 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流 ^{注1}	I _{DD2} ^{注2}	HALTモード	HS(高速メイン)モード ^{注6}	f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V		440	2230	μA
					V _{DD} = 3.0 V		440	2230	
				f _{IH} = 16 MHz ^{注4}	V _{DD} = 5.0 V		400	1650	μA
					V _{DD} = 3.0 V		400	1650	
				f _{MX} = 20 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力		280	1900	μA
					発振子接続		450	2000	
				f _{MX} = 20 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力		280	1900	μA
					発振子接続		450	2000	
				f _{MX} = 10 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力		190	1010	μA
					発振子接続		260	1090	
				f _{MX} = 10 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力		190	1010	μA
					発振子接続		260	1090	
I _{DD3} ^{注5}	STOPモード	T _A = -40°C		0.19	0.50	μA			
		T _A = +25°C		0.24	0.50				
		T _A = +50°C		0.32	0.80				
		T _A = +70°C		0.48	1.20				
		T _A = +85°C		0.74	2.20				
		T _A = +105°C		1.50	10.20				

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

- フラッシュ・メモリでのHALT命令実行時。
- 高速オンチップ・オシレータ停止時。
- 高速システム・クロック停止時。
- 12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
HS(高速メイン)モード : V_{DD} = 2.7~5.5 V@1 MHz~24 MHz
V_{DD} = 2.4~5.5 V@1 MHz~16 MHz

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

- f_{IH} : 高速オンチップ・オシレータ・クロック周波数
- STOPモード以外のTYP.値の温度条件は, T_A = 25 °Cです。

(2) 30ピン製品

(TA = -40~+105 °C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

(1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位			
電源電流 ^{注1}	IDD1	動作モード	HS(高速メイン)モード ^{注4}	f _{IH} = 24 MHz ^{注3}	基本動作	V _{DD} = 5.0 V		1.5		mA
						V _{DD} = 3.0 V		1.5		
				通常動作	V _{DD} = 5.0 V		3.7	5.8	mA	
					V _{DD} = 3.0 V		3.7	5.8		
				f _{IH} = 16 MHz ^{注3}	V _{DD} = 5.0 V		2.7	4.2	mA	
					V _{DD} = 3.0 V		2.7	4.2		
			f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力		3.0	4.9	mA		
				発振子接続		3.2	5.0			
			f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		3.0	4.9	mA		
				発振子接続		3.2	5.0			
			f _{MX} = 10 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力		1.9	2.9	mA		
				発振子接続		1.9	2.9			
f _{MX} = 10 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		1.9	2.9	mA					
	発振子接続		1.9	2.9						

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

- 2. 高速オンチップ・オシレータ停止時。
- 3. 高速システム・クロック停止時。
- 4. 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。
 HS(高速メイン)モード : V_{DD} = 2.7~5.5 V@1 MHz~24 MHz
 V_{DD} = 2.4~5.5 V@1 MHz~16 MHz

- 備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
- 2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 - 3. TYP.値の温度条件は、TA = 25 °Cです。

(2) 30ピン製品

(T_A = -40~+105 °C, 2.4 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD2} ^{注2}	HALTモード	HS(高速メイン)モード ^{注6}	f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V	440	2300	μA
					V _{DD} = 3.0 V	440	2300	
				f _{IH} = 16 MHz ^{注4}	V _{DD} = 5.0 V	400	1700	μA
					V _{DD} = 3.0 V	400	1700	
				f _{MX} = 20 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力	280	1900	μA
					発振子接続	450	2000	
			f _{MX} = 20 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	280	1900	μA	
				発振子接続	450	2000		
			f _{MX} = 10 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力	190	1020	μA	
				発振子接続	260	1100		
			f _{MX} = 10 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	190	1020	μA	
				発振子接続	260	1100		
	I _{DD3} ^{注5}	STOPモード	T _A = -40°C			0.18	0.50	μA
			T _A = +25°C			0.23	0.50	
T _A = +50°C				0.30	1.10			
T _A = +70°C				0.46	1.90			
T _A = +85°C				0.75	3.30			
T _A = +105°C				2.94	15.30			

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

- フラッシュ・メモリでのHALT命令実行時。
- 高速オンチップ・オシレータ停止時。
- 高速システム・クロック停止時。
- 12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。
HS(高速メイン)モード : V_{DD} = 2.7~5.5 V@1 MHz~24 MHz
V_{DD} = 2.4~5.5 V@1 MHz~16 MHz

- 備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
- f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 - STOPモード以外のTYP.値の温度条件は、T_A = 25 °Cです。

(3) 周辺機能 (全製品共通)

(T_A = -40 ~ +105 °C, 2.4 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	I _{FIL} ^{注1}				0.20		μA
12ビット・インターバル・タイマ動作電流	I _{TMKA} ^{注1, 2, 3}				0.02		μA
ウォッチドッグ・タイマ動作電流	I _{WDT} ^{注1, 2, 4}	f _{IL} = 15 kHz			0.22		μA
A/Dコンバータ動作電流	I _{ADC} ^{注1, 5}	最高速変換時	標準モード, AV _{REFP} = V _{DD} = 5.0 V		1.30	1.70	mA
			低電圧モード, AV _{REFP} = V _{DD} = 3.0 V		0.50	0.70	mA
A/Dコンバータ基準電圧動作電流	I _{ADREF} ^{注1}				75.0		μA
温度センサ動作電流	I _{TMPS} ^{注1}				75.0		μA
LVD動作電流	I _{LVD} ^{注1, 6}				0.08		μA
セルフ・プログラミング動作電流	I _{FSP} ^{注1, 8}				2.00	12.20	mA
BGO電流	I _{BGO} ^{注1, 7}				2.00	12.20	mA
SNOOZE動作電流	I _{SNOZ} ^{注1}	ADC動作	モード移行中 ^{注9}		0.50	1.10	mA
			変換動作中 低電圧モード, AV _{REFP} = V _{DD} = 3.0 V		1.20	2.04	mA
		CSI/UART動作		0.70	1.54	mA	

注1. V_{DD}に流れる電流です。

- 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
- 12ビット・インターバル・タイマにのみ流れる電流です(低速オンチップ・オシレータ動作電流は含みません)。12ビット・インターバル・タイマの動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{FIL}とI_{TMKA}を加算した値が, RL78マイクロコントローラの電源電流値となります。
- ウォッチドッグ・タイマにのみ流れる電流です(低速オンチップ・オシレータの動作電流を含みます)。ウォッチドッグ・タイマの動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{WDT}を加算した値が, RL78マイクロコントローラの電源電流値となります。
- A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでA/Dコンバータの動作時は, I_{DD1}またはI_{DD2}にI_{ADC}を加算した値が, RL78マイクロコントローラの電源電流値となります。
- LVD回路にのみ流れる電流です。LVD回路の動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{LVD}を加算した値が, RL78マイクロコントローラの電源電流値となります。
- データ・フラッシュ書き換え動作に流れる電流です。
- セルフ・プログラミング動作に流れる電流です。
- SNOOZEモードへの移行時間は, 17.2.3 SNOOZEモードを参照してください。

備考1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数

- TYP.値の温度条件は, T_A = 25 °Cです。

29.4 AC特性

(T_A = -40~+105 °C, 2.4 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

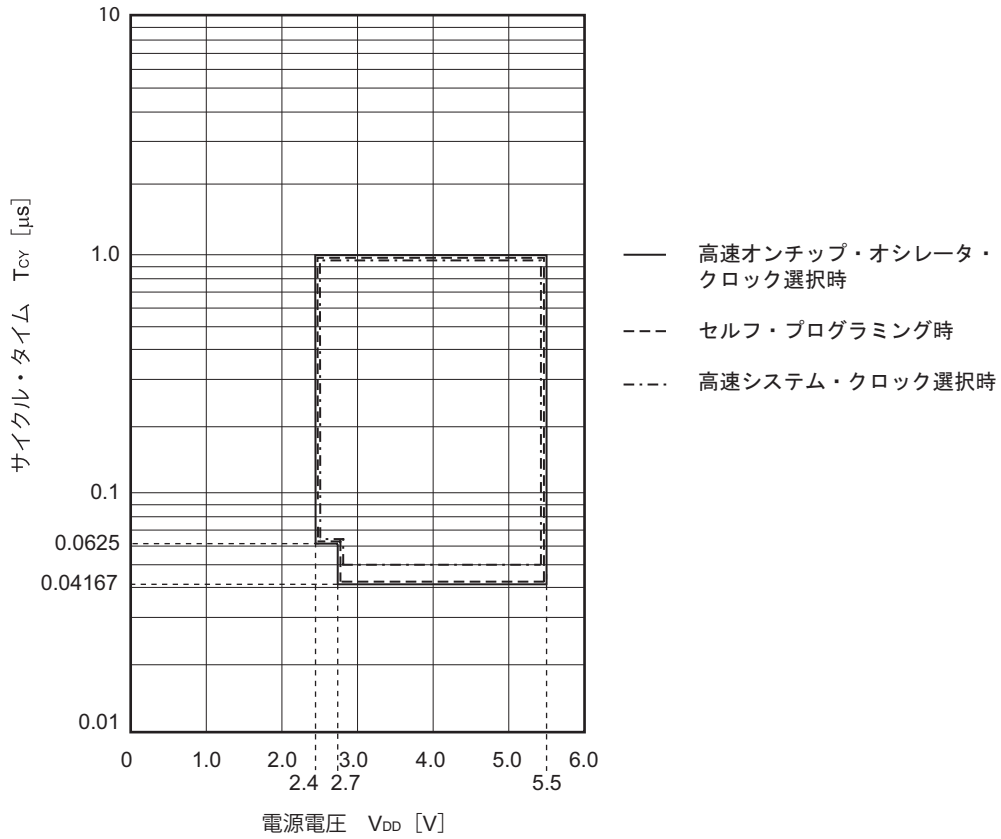
項目	略号	条件		MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T _{CY}	メイン・システム・ クロック (f _{MAIN}) 動作	HS (高速メイン) モード	2.7 V ≤ V _{DD} ≤ 5.5 V	0.04167		1	μs
				2.4 V ≤ V _{DD} < 2.7 V	0.0625		1	μs
		セルフ・ プログラミング時	HS (高速メイン) モード	2.7 V ≤ V _{DD} ≤ 5.5 V	0.04167		1	μs
				2.4 V ≤ V _{DD} < 2.7 V	0.0625		1	μs
外部メイン・システム・ クロック周波数	f _{EX}	2.7 V ≤ V _{DD} ≤ 5.5 V		1.0		20.0	MHz	
		2.4 V ≤ V _{DD} < 2.7 V		1.0		16.0	MHz	
外部メイン・システム・ クロック入力 ハイ/ロウ・レベル幅	t _{EXH}	2.7 V ≤ V _{DD} ≤ 5.5 V		24			ns	
	t _{EXL}	2.4 V ≤ V _{DD} < 2.7 V		30			ns	
Ti00-Ti07入力ハイ/ロウ・ レベル幅	t _{NIH} , t _{NIL}			1/f _{MCK} + 10			ns	
TO00-TO07出力周波数	f _{IO}	4.0 V ≤ V _{DD} ≤ 5.5 V				12	MHz	
		2.7 V ≤ V _{DD} < 4.0 V				8	MHz	
		2.4 V ≤ V _{DD} < 2.7 V				4	MHz	
PCLBUZ0, PCLBUZ1 出力 周波数	f _{PCL}	4.0 V ≤ V _{DD} ≤ 5.5 V				16	MHz	
		2.7 V ≤ V _{DD} < 4.0 V				8	MHz	
		2.4 V ≤ V _{DD} < 2.7 V				4	MHz	
INTP0-INTP5入力ハイ/ ロウ・レベル幅	t _{INTH} , t _{INTL}			1			μs	
KR0-KR9入力有効レベル幅	t _{KR}			250			ns	
RESET ロウ・レベル幅	t _{RSL}			10			μs	

備考 f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数

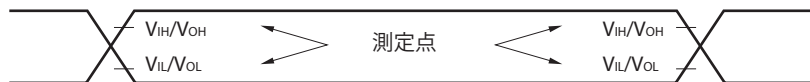
(タイマ・クロック選択レジスタ0 (TPS0) とタイマ・モード・レジスタ0n (TMR0n) のCKS0nビットで設定する動作クロック。n : チャネル番号 (n = 0-7))

メイン・システム・クロック動作時の最小命令実行時間

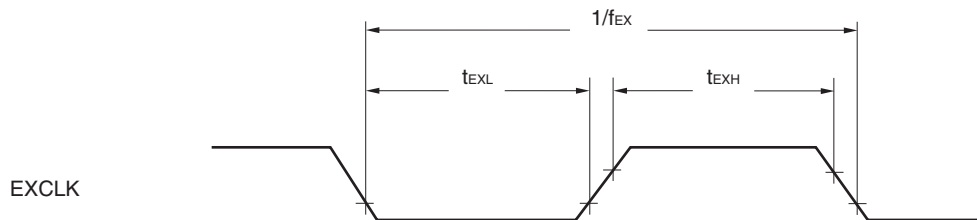
T_{CY} vs V_{DD} (HS (高速メイン) モード)



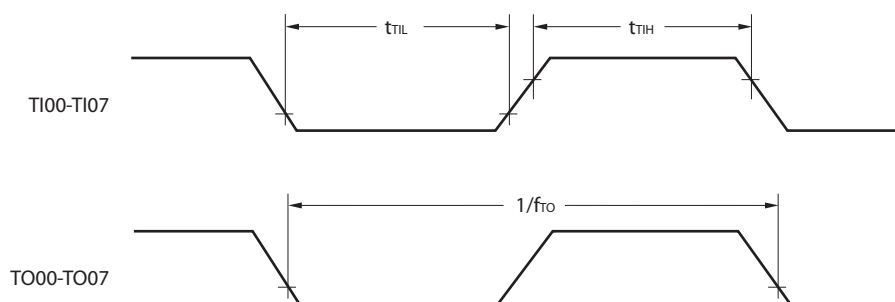
ACタイミング測定点



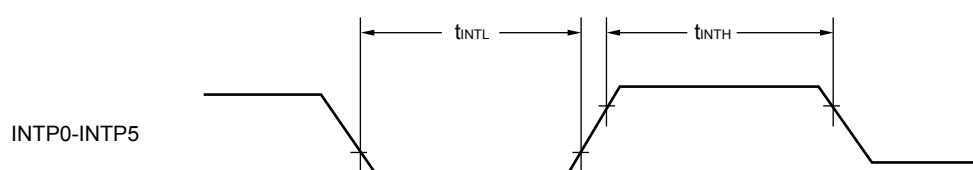
外部メイン・システム・クロック・タイミング



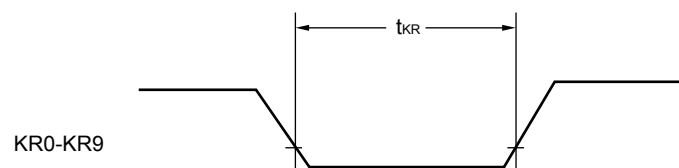
TI/TO タイミング



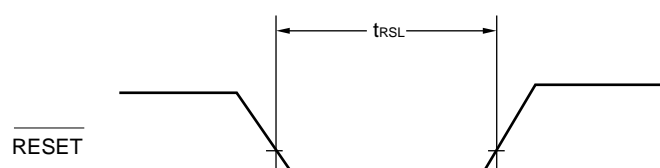
割り込み要求入力タイミング



キー割り込み入力タイミング

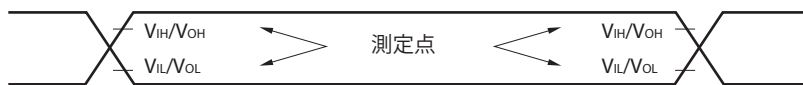


RESET 入力タイミング



29.5 周辺機能特性

ACタイミング測定点



29.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時 (UARTモード)

(TA = -40~+105 °C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
転送レート ^{注1}				f _{MCK} /12	bps
			最大転送レート理論値 f _{CLK} = f _{MCK} ^{注2}	2.0	Mbps

注 1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

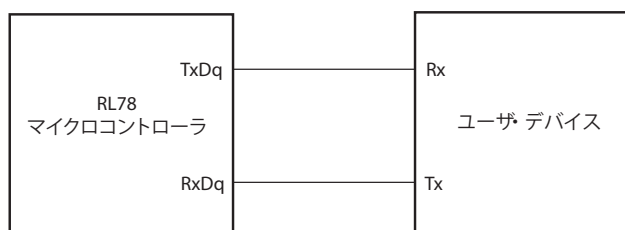
2. CPU/周辺ハードウェア・クロック (f_{CLK}) の最高動作周波数を次に示します。

HS (高速メイン) モード : 24 MHz (2.7 V ≤ VDD ≤ 5.5 V)

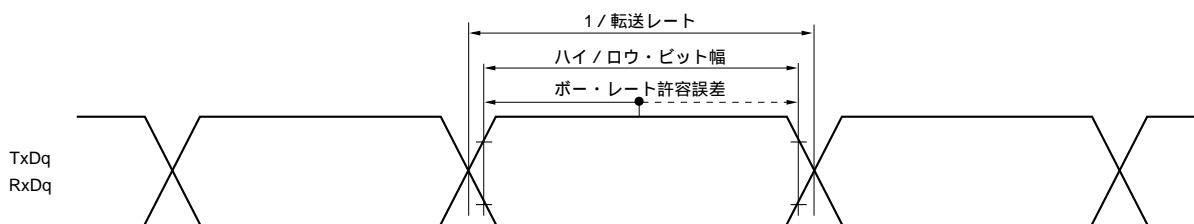
16 MHz (2.4 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Rx/Dq端子は通常入力バッファを選択し、Tx/Dq端子は通常出力モードを選択します。

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



備考1. q : UART番号 (q = 0-2) , g : PIM, POM番号 (g = 0, 1)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号, n : チャネル番号 (mn = 00-03, 10, 11))

(2) 同電位通信時 (CSIモード) (マスタ・モード, SCKp…内部クロック出力)

(T_A = -40 ~ +105 °C, 2.4 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位	
			MIN.	MAX.		
SCKpサイクル・タイム	t _{KCY1}	t _{KCY1} ≥ 4/f _{CLK}	2.7 V ≤ V _{DD} ≤ 5.5 V	334		ns
			2.4 V ≤ V _{DD} ≤ 5.5 V	500		ns
SCKpハイ/ロウ・レベル幅	t _{KH1} ,	4.0 V ≤ V _{DD} ≤ 5.5 V	t _{KCY1} /2 - 24		ns	
	t _{KL1}	2.7 V ≤ V _{DD} ≤ 5.5 V	t _{KCY1} /2 - 36		ns	
		2.4 V ≤ V _{DD} ≤ 5.5 V	t _{KCY1} /2 - 76		ns	
Slpセットアップ時間 (対SCKp↑) 注1	t _{SIK1}	4.0 V ≤ V _{DD} ≤ 5.5 V	66		ns	
		2.7 V ≤ V _{DD} ≤ 5.5 V	66		ns	
		2.4 V ≤ V _{DD} ≤ 5.5 V	113		ns	
Slpホールド時間 (対SCKp↑) 注1	t _{KS1}		38		ns	
SCKp↓→SOp出力遅延時間注2	t _{KSO1}	C = 30 pF注3		50	ns	

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3. Cは、SCKp, SOp出カラインの負荷容量です。

注意 ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ0, 1, 4 (POM0, POM1, POM4) で、Slp端子は通常入力バッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p : CSI番号 (p = 00, 01, 11, 20), m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0, 1, 3)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0, 1, 3))

(3) 同電位通信時 (CSIモード) (スレーブ・モード, SCKp...外部クロック入力)

(TA = -40~+105 °C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン)モード		単位
				MIN.	MAX.	
SCKpサイクル・タイム ^{注4}	tkCY2	4.0 V ≤ VDD ≤ 5.5 V	20 MHz < fMCK	16/fMCK		ns
			fMCK ≤ 20 MHz	12/fMCK		ns
		2.7 V ≤ VDD ≤ 5.5 V	16 MHz < fMCK	16/fMCK		ns
			fMCK ≤ 16 MHz	12/fMCK		ns
2.4 V ≤ VDD ≤ 5.5 V		12/fMCK かつ 1000		ns		
SCKpハイ, ロウ・レベル幅	tkH2,	4.0 V ≤ VDD ≤ 5.5 V		tkCY2/2 - 14		ns
	tkL2	2.7 V ≤ VDD ≤ 5.5 V		tkCY2/2 - 16		ns
		2.4 V ≤ VDD ≤ 5.5 V		tkCY2/2 - 36		ns
Slpセットアップ時間 (対SCKp↑) ^{注1}	tsIK2	2.7 V ≤ VDD ≤ 5.5 V		1/fMCK + 40		ns
		2.4 V ≤ VDD ≤ 5.5 V		1/fMCK + 60		ns
Slpホールド時間 (対SCKp↑) ^{注1}	tkSI2			1/fMCK + 62		ns
SCKp ↓ → SOp出力遅延時間 ^{注2}	tkSO2	C = 30 pF ^{注3}	2.7 V ≤ VDD ≤ 5.5 V		2/fMCK + 66	ns
			2.4 V ≤ VDD ≤ 5.5 V		2/fMCK + 113	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

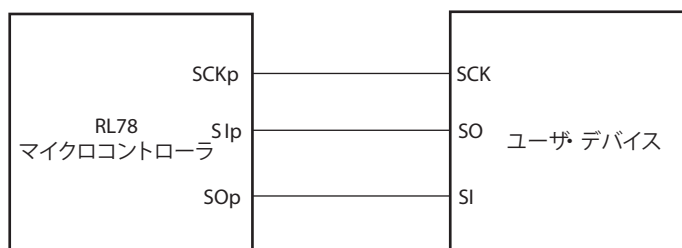
2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

3. Cは, SOp出カラインの負荷容量です。

4. SNOOZEモードでの転送レートは, MAX. 1 Mbpsです。

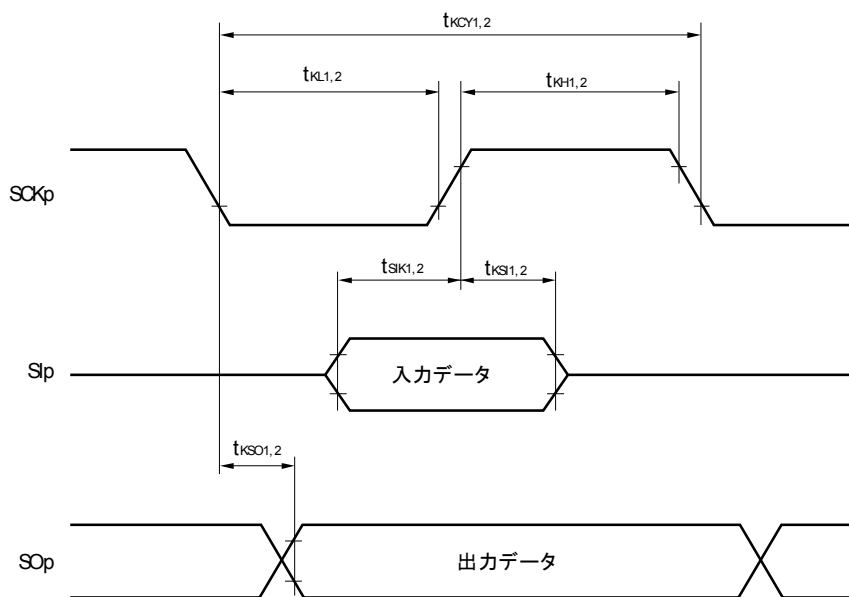
注意 ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ0, 1, 4 (POM0, POM1, POM4) で, Slp端子とSCKp端子は通常入力バッファを選択し, SOp端子は通常出力モードを選択します。

CSIモード接続図 (同電位通信時)

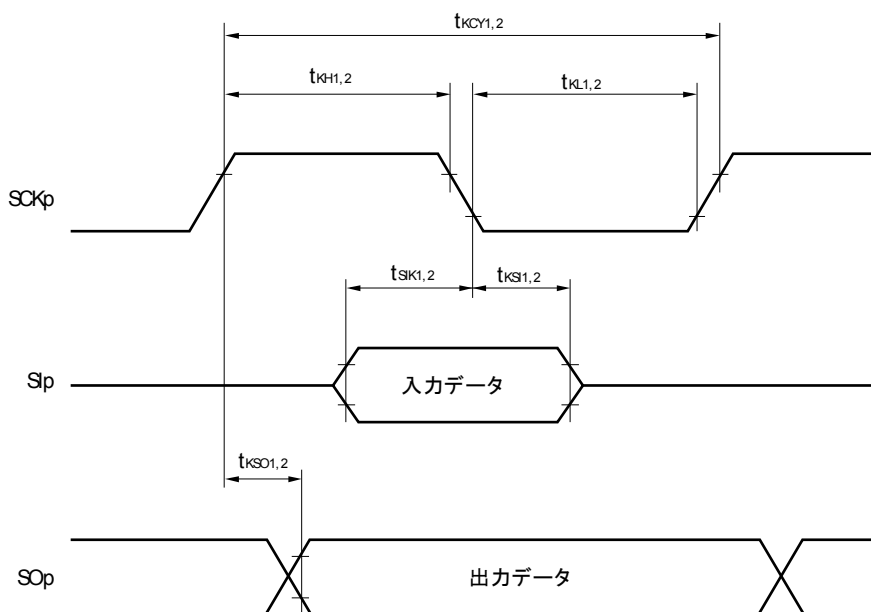


(備考は次ページにあります。)

CSIモード・シリアル転送タイミング (同電位通信時)
 (DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



CSIモード・シリアル転送タイミング (同電位通信時)
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p : CSI番号 (p = 00, 01, 11, 20) , m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 1, 3)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 1, 3))

(4) 同電位通信時 (簡易 I²C モード) $(T_A = -40 \sim +105^{\circ}\text{C}, 2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}, V_{SS} = 0\text{ V})$

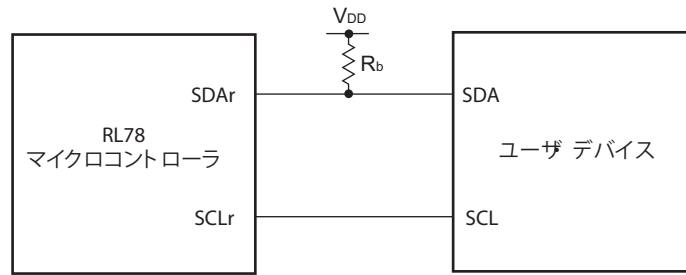
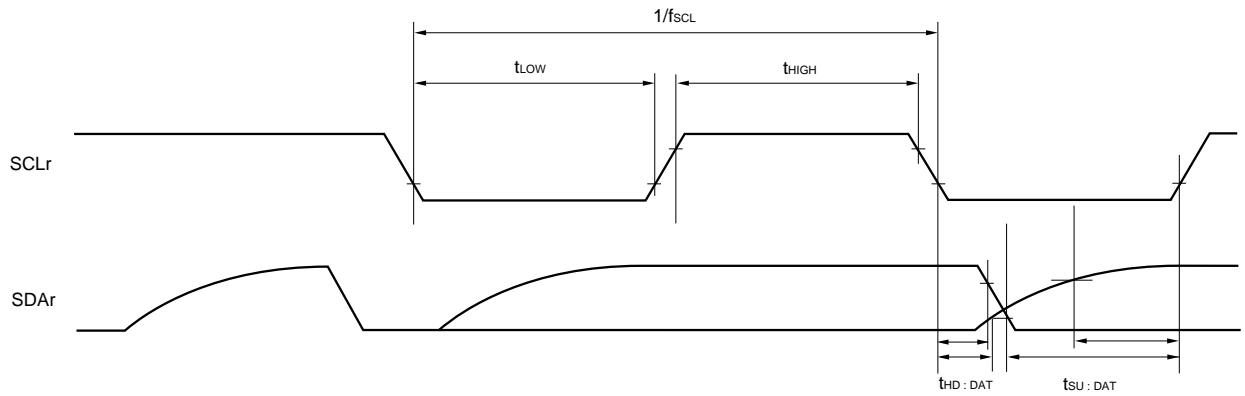
項 目	略号	条 件	HS (高速メイン) モード		単位
			MIN.	MAX.	
SCLr クロック周波数	f _{SCL}	C _b = 100 pF, R _b = 3 kΩ		100 ^{注1}	kHz
SCLr = "L" のホールド・タイム	t _{LOW}	C _b = 100 pF, R _b = 3 kΩ	4600		ns
SCLr = "H" のホールド・タイム	t _{HIGH}	C _b = 100 pF, R _b = 3 kΩ	4600		ns
データ・セットアップ時間 (受信時)	t _{SU: DAT}	C _b = 100 pF, R _b = 3 kΩ	1/f _{MCK} + 580 ^{注2}		ns
データ・ホールド時間 (送信時)	t _{HD: DAT}	C _b = 100 pF, R _b = 3 kΩ	0	1420	ns

注1. $\frac{1}{f_{MCK}}$ 以下に設定してください。

2. t_{SU: DAT} が SCLr = "L" と SCLr = "H" のホールド・タイムを越えないように設定してください。

注意 ポート出力モード・レジスタ h (POMh) で、SDAr は N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択し、SCLr は通常出力モードを選択します。

(備考は次ページにあります。)

簡易I²Cモード接続図 (同電位通信時)簡易I²Cモード・シリアル転送タイミング (同電位通信時)

備考1. R_b [Ω] : 通信ライン (SDAr) プルアップ抵抗値, C_b [F] : 通信ライン (SCLr, SDAr) 負荷容量値

2. r : IIC番号 ($r = 00, 01, 11, 20$), h : POM番号 ($h = 0, 1, 4, 5$)

3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。 m : ユニット番号 ($m = 0, 1$), n : チャネル番号 ($n = 0, 1, 3$))

(5) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (UARTモード)

(T_A = -40 ~ +105 °C, 2.4 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位	
			MIN.	MAX.		
転送レート ^{注4}	受信	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V	最大転送レート理論値		f _{MCK} /12 ^{注1}	bps
			f _{MCK} = f _{CLK} ^{注2}		2.0	Mbps
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V	最大転送レート理論値		f _{MCK} /12 ^{注1}	bps
			f _{MCK} = f _{CLK} ^{注2}		2.0	Mbps
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V	最大転送レート理論値		f _{MCK} /12 ^{注1}	bps
			f _{MCK} = f _{CLK} ^{注2}		2.0	Mbps
	送信	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V	最大転送レート理論値		注3	bps
			C _b = 50 pF, R _b = 1.4 kΩ, V _b = 2.7 V		2.0 ^{注4}	Mbps
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V	最大転送レート理論値		注5	bps
			C _b = 50 pF, R _b = 2.7 kΩ, V _b = 2.3 V		1.2 ^{注6}	Mbps
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V	最大転送レート理論値		注7	bps
			C _b = 50 pF, R _b = 5.5 kΩ, V _b = 1.6 V		0.43 ^{注8}	Mbps

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

2. CPU/周辺ハードウェア・クロック (f_{CLK}) の最高動作周波数を次に示します。

HS (高速メイン) モード : 24 MHz (2.7 V ≤ V_{DD} ≤ 5.5 V)

16 MHz (2.4 V ≤ V_{DD} ≤ 5.5 V)

3. f_{MCK}/12または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V ≤ V_{DD} ≤ 5.5 V, 2.7 V ≤ V_b ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

5. f_{MCK}/12または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
2.7 V ≤ V_{DD} < 4.0 V, 2.3 V ≤ V_b ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}} \times 3 \quad [\text{bps}]$$

$$\text{ポー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

6. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注5により算出してください。

7. f_{MCK}/12または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
2.4 V ≤ V_{DD} < 3.3 V, 1.6 V ≤ V_b ≤ 2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}} \times 3 \quad [\text{bps}]$$

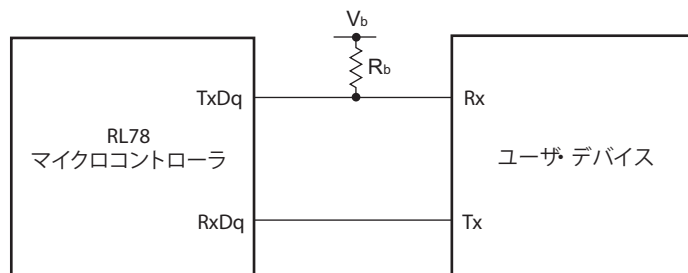
$$\text{ポー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

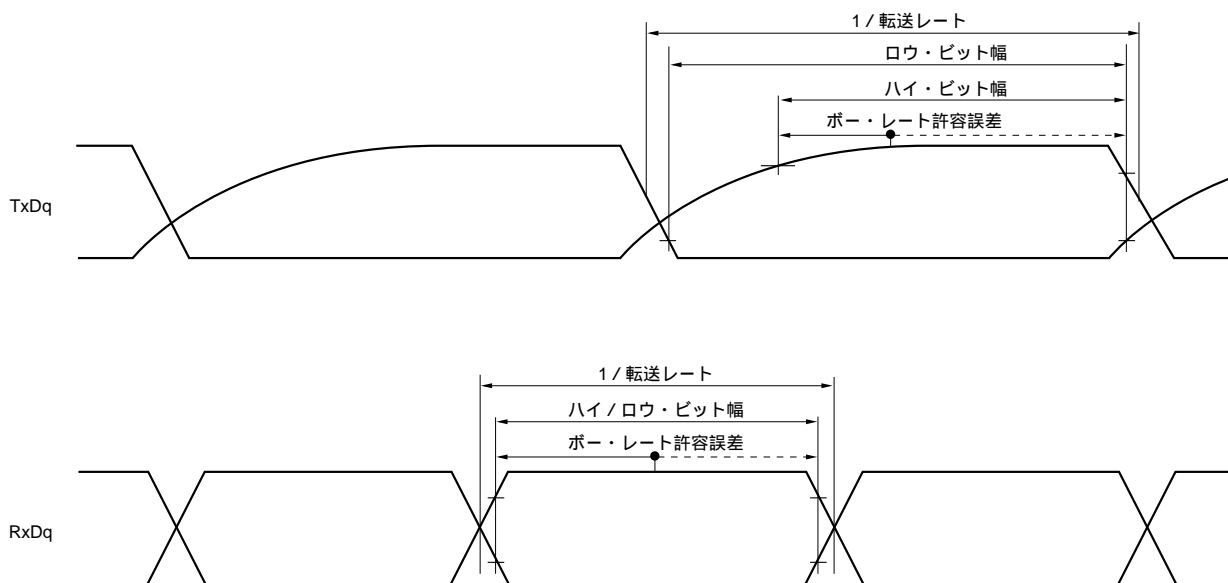
8. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注7により算出してください。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図 (異電位通信時)



UARTモードのビット幅 (異電位通信時) (参考)



- 備考1. R_b [Ω] : 通信ライン (TxDq) プルアップ抵抗値, C_b [F] : 通信ライン (TxDq) 負荷容量値, V_b [V] : 通信ライン電圧
2. q : UART番号 (q = 0-2) , g : PIM, POM番号 (g = 0, 1)
 3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号, n : チャネル番号 (mn = 00-03, 10, 11))
 4. 20, 24ピン製品のUART0は, 周辺I/Oリダイレクト機能未使用時のみ異電位通信に対応します。

(6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp…内部クロック出力) (1/3)
(T_A = -40~+105 °C, 2.4 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位	
			MIN.	MAX.		
SCKpサイクル・タイム	t _{KCY1}	t _{KCY1} ≥ 4/f _{CLK}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	600		ns
			2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	1000		ns
			2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ	2300		ns
SCKpハイ・レベル幅	t _{KH1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	t _{KCY1} /2 - 150		ns	
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	t _{KCY1} /2 - 340		ns	
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ	t _{KCY1} /2 - 916		ns	
SCKpロウ・レベル幅	t _{KL1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	t _{KCY1} /2 - 24		ns	
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	t _{KCY1} /2 - 36		ns	
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ	t _{KCY1} /2 - 100		ns	

注意1. ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ1 (POM1) で, SIp端子はTTL入力バッファを選択し, SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択します。なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

2. CSI01, CSI11は異電位通信できません。

備考1. R_b [Ω]: 通信ライン (SCKp, SOp) プルアップ抵抗値, C_b [F]: 通信ライン (SCKp, SOp) 負荷容量値, V_b [V]: 通信ライン電圧

2. p: CSI番号 (p = 00, 20)

(6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp…内部クロック出力) (2/3)

(T_A = -40 ~ +105 °C, 2.4 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
Slpセットアップ時間 (対SCKp↑) 注	t _{SIK1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	162		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	354		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ	958		ns
Slpホールド時間 (対SCKp↑) 注	t _{KSI1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	38		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	38		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ	38		ns
SCKp ↓ → SOp出力遅延時間注	t _{KSO1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ		200	ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ		390	ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ		966	ns

注 DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

(注意, 備考は次ページにあります。)

(6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp…内部クロック出力) (3/3)
(T_A = -40 ~ +105 °C, 2.4 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項 目	略号	条 件	HS (高速メイン) モード		単位
			MIN.	MAX.	
Slpセットアップ時間 (対SCKp ↓) 注	t _{SIK1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	88		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	88		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0V, C _b = 30 pF, R _b = 5.5 kΩ	220		ns
Slpホールド時間 (対SCKp ↓) 注	t _{KS11}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	38		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	38		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ	38		ns
SCKp ↑ → SOp出力遅延時間注	t _{KSO1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ		50	ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ		50	ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0V, C _b = 30 pF, R _b = 5.5 kΩ		50	ns

注 DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のとき。

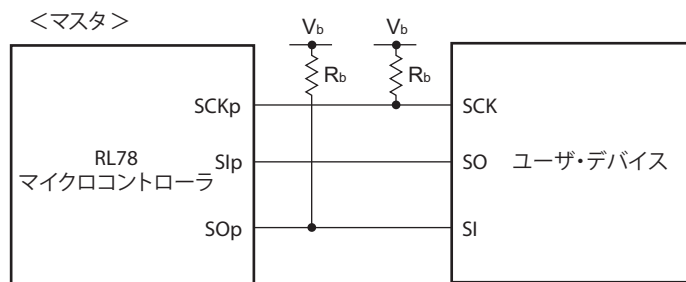
注意1. ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ1 (POM1) で, Slp端子はTTL入力バッファを選択し, SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択します。
なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

2. CSI01, CSI11は異電位通信できません。

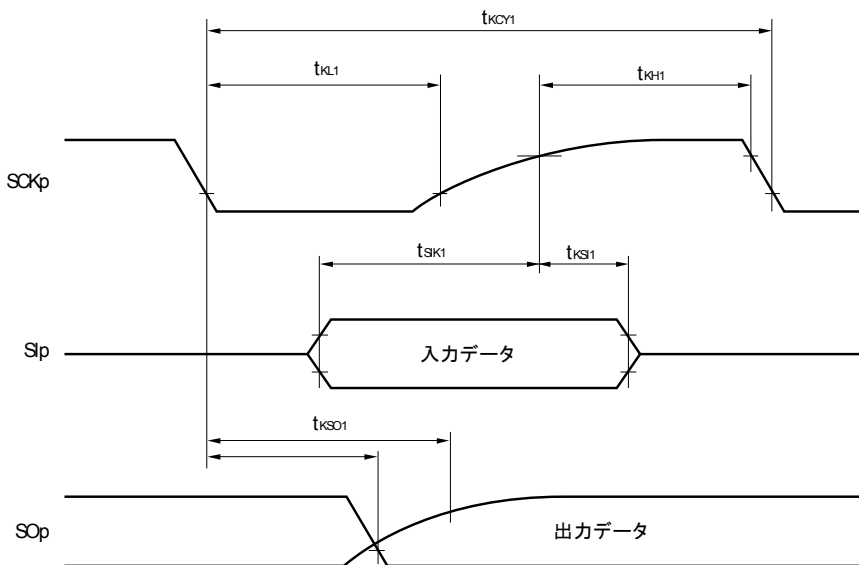
備考1. R_b [Ω]: 通信ライン (SCKp, SOp) プルアップ抵抗値, C_b [F]: 通信ライン (SCKp, SOp) 負荷容量値,
V_b [V]: 通信ライン電圧

2. p: CSI番号 (p = 00, 20) , m: ユニット番号 (m = 0, 1) , n: チャネル番号 (n = 0)

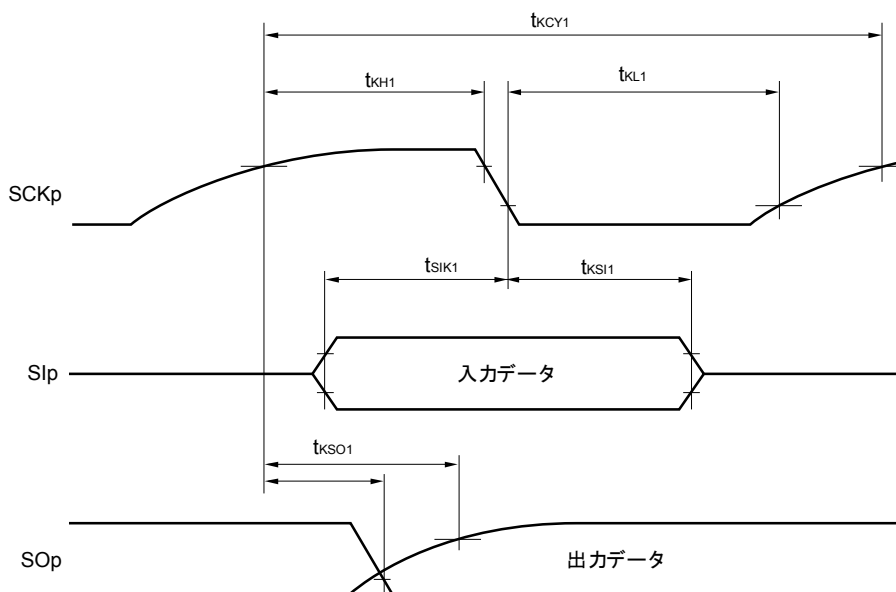
CSIモード接続図 (異電位通信時)



CSIモード・シリアル転送タイミング : マスタ・モード (異電位通信時)
(DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



CSIモード・シリアル転送タイミング : マスタ・モード (異電位通信時)
(DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考 p : CSI番号 (p = 00, 20) , m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0)

(7) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (スレーブ・モード, SCKp…外部クロック入力)
(T_A = -40 ~ +105 °C, 2.4 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項目	略号	条件		HS (高速メイン) モード		単位
				MIN.	MAX.	
SCKpサイクル・タイム ^{注1}	t _{KCY2}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V	20 MHz < f _{MCK} ≤ 24 MHz	24/f _{MCK}		ns
			8 MHz < f _{MCK} ≤ 20 MHz	20/f _{MCK}		ns
			4 MHz < f _{MCK} ≤ 8 MHz	16/f _{MCK}		ns
			f _{MCK} ≤ 4 MHz	12/f _{MCK}		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V	20 MHz < f _{MCK} ≤ 24 MHz	32/f _{MCK}		ns
			16 MHz < f _{MCK} ≤ 20 MHz	28/f _{MCK}		ns
			8 MHz < f _{MCK} ≤ 16 MHz	24/f _{MCK}		ns
			4 MHz < f _{MCK} ≤ 8 MHz	16/f _{MCK}		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V	20 MHz < f _{MCK} ≤ 24 MHz	72/f _{MCK}		ns
			16 MHz < f _{MCK} ≤ 20 MHz	64/f _{MCK}		ns
			8 MHz < f _{MCK} ≤ 16 MHz	52/f _{MCK}		ns
			4 MHz < f _{MCK} ≤ 8 MHz	32/f _{MCK}		ns
		f _{MCK} ≤ 4 MHz	20/f _{MCK}		ns	
SCKpハイ/ロウ・レベル幅	t _{KH2} , t _{KL2}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V	t _{KCY2} /2 - 24		ns	
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V	t _{KCY2} /2 - 36		ns	
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V	t _{KCY2} /2 - 100		ns	
Slpセットアップ時間 (対SCKp↑) ^{注2}	t _{SIK2}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V	1/f _{MCK} + 40		ns	
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V	1/f _{MCK} + 40		ns	
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V	1/f _{MCK} + 60		ns	
Slpホールド時間 (対SCKp↑) ^{注2}	t _{KSIZ}		1/f _{MCK} + 62		ns	
SCKp↓→SOp出力 遅延時間 ^{注3}	t _{KSO2}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ		2/f _{MCK} + 240	ns	
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ		2/f _{MCK} + 428	ns	
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ		2/f _{MCK} + 1146	ns	

注1. SNOOZEモードでの転送レートは, MAX. 1 Mbpsです。

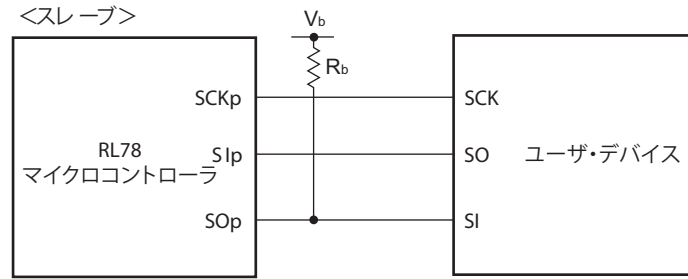
- DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。
- DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注意1. ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ1 (POM1) で, Slp端子とSCKp端子はTTL入力バッファを選択し, SOp端子はN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択します。
なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

- CSI01, CSI11は異電位通信できません。

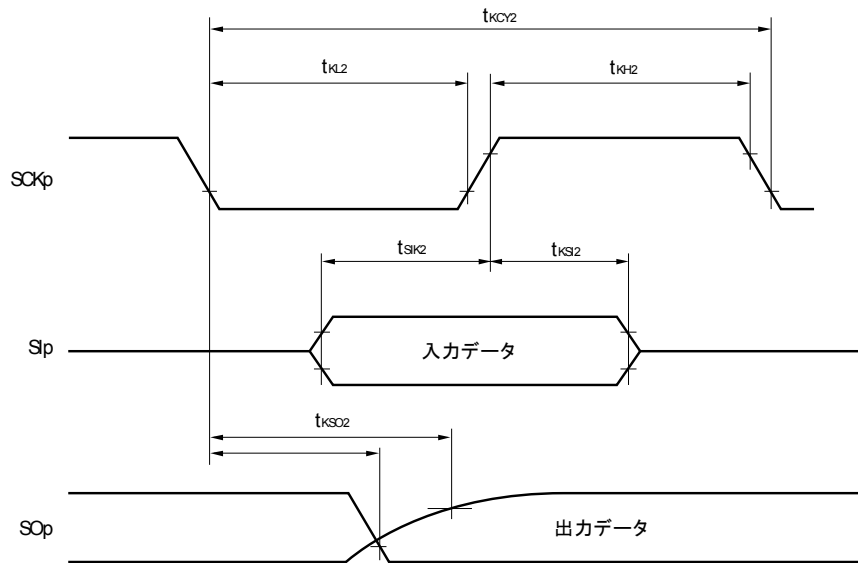
(備考は, 次ページにあります。)

CSIモード接続図 (異電位通信時)



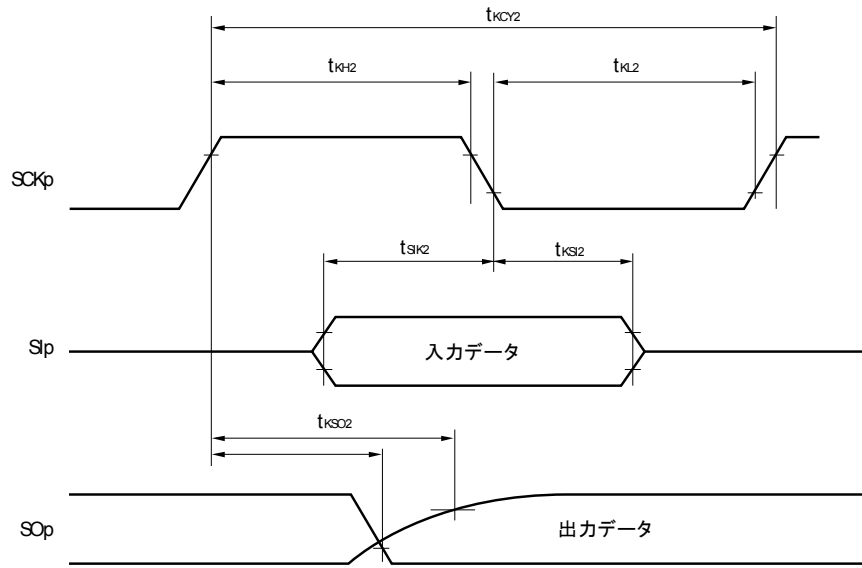
CSIモード・シリアル転送タイミング : スレープ・モード (異電位通信時)

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



- 備考1. R_b [Ω] : 通信ライン (SO_p) プルアップ抵抗値, C_b [F] : 通信ライン (SO_p) 負荷容量値, V_b [V] : 通信ライン電圧
2. p : CSI番号 (p = 00, 20) , m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0)
 3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック)

CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考 p : CSI番号 (p = 00, 20) , m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0)

(8) 異電位通信時 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易I²Cモード)(T_A = -40~+105 °C, 2.4 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

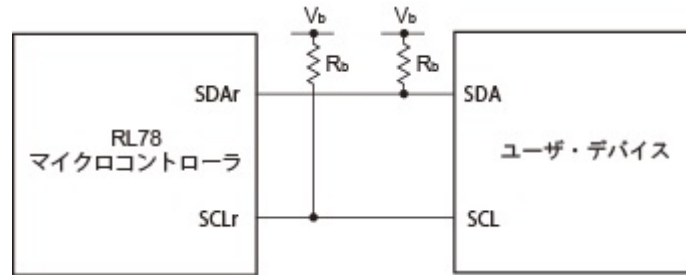
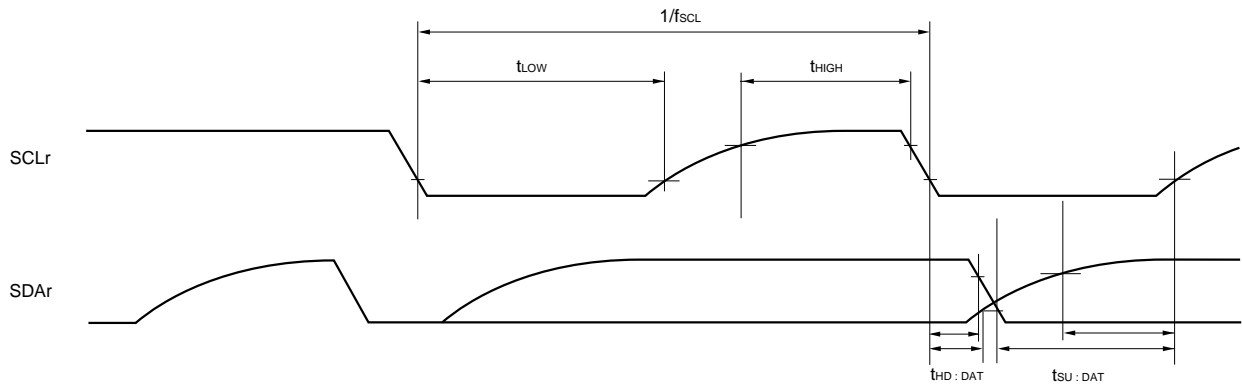
項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
SCLrクロック周波数	f _{SCL}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ		100 ^{注1}	kHz
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ		100 ^{注1}	kHz
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0V, C _b = 100 pF, R _b = 5.5 kΩ		100 ^{注1}	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	4600		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	4600		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0V, C _b = 100 pF, R _b = 5.5 kΩ	4650		ns
SCLr = "H"のホールド・タイム	t _{HIGH}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	2700		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	2400		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0V, C _b = 100 pF, R _b = 5.5 kΩ	1830		ns
データ・セットアップ時間 (受信時)	t _{SU:DAT}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	1/f _{MCK} + 760 ^{注2}		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1/f _{MCK} + 760 ^{注2}		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0V, C _b = 100 pF, R _b = 5.5 kΩ	1/f _{MCK} + 570 ^{注2}		ns
データ・ホールド時間 (送信時)	t _{HD:DAT}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	0	1420	ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	0	1420	ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0V, C _b = 100 pF, R _b = 5.5 kΩ	0	1215	ns

注 1. かつ f_{MCK}/4以下に設定してください。2. t_{SU:DAT} が SCLr = "L"と SCLr = "H"のホールド・タイムを越えないように設定にしてください。

注意1. ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ1 (POM1) で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択し、SCLrはN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

2. IIC01, IIC11は異電位通信できません。

(備考は次ページにあります。)

簡易I²Cモード接続図 (異電位通信時)簡易I²Cモード・シリアル転送タイミング (異電位通信時)

備考1. R_b [Ω] : 通信ライン (SDAr, SCLr) プルアップ抵抗値, C_b [F] : 通信ライン (SDAr, SCLr) 負荷容量値, V_b [V] : 通信ライン電圧

2. r : IIC番号 ($r = 00, 20$)

3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。 m : ユニット番号 ($m = 0, 1$) , n : チャネル番号 ($n = 0$))

29.5.2 シリアル・インタフェースIICA

(TA = -40~+105 °C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン) モード				単位
			標準モード		ファースト・モード		
			MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	fSCL	ファースト・モード : fCLK ≥ 3.5 MHz			0	400	kHz
		標準モード : fCLK ≥ 1 MHz	0	100			
リスタート・コンディションのセットアップ時間	tSU: STA		4.7		0.6		μs
ホールド時間 ^{注1}	tHD: STA		4.0		0.6		μs
SCLA0="L"のホールド・タイム	tLOW		4.7		1.3		μs
SCLA0="H"のホールド・タイム	tHIGH		4.0		0.6		μs
データ・セットアップ時間 (受信時)	tSU: DAT		250		100		ns
データ・ホールド時間 (送信時) ^{注2}	tHD: DAT		0	3.45	0	0.9	μs
ストップ・コンディションのセットアップ時間	tSU: STO		4.0		0.6		μs
バス・フリー時間	tBUF		4.7		1.3		μs

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

2. tHD: DATの最大値 (MAX.) は, 通常転送時の数値であり, \overline{ACK} (アクノリッジ) タイミングでは, ウエイトがかかります。

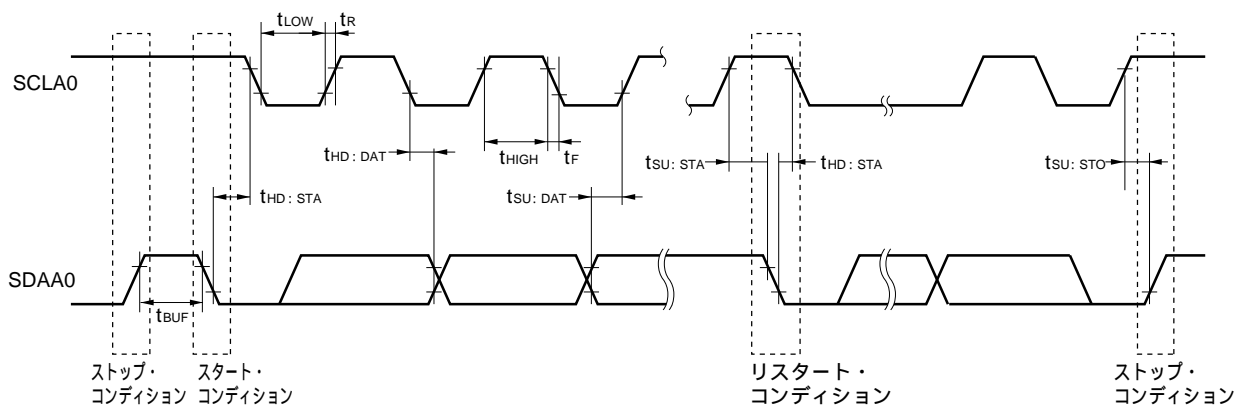
注意 30ピン製品のみ, 周辺I/Oリダイレクション・レジスタ (PIOR) のビット2 (PIOR2) が1の場合も, 上記の値を適用できます。ただし, 端子特性 (IoH1, IoL1, VoH1, VoL1) はリダイレクト先の値を満たしてください。

備考 各モードにおけるCb (通信ライン容量) のMAX.値と, そのときのRb (通信ライン・プルアップ抵抗値) の値は, 次のとおりです。

標準モード : Cb = 400 pF, Rb = 2.7 kΩ

ファースト・モード : Cb = 320 pF, Rb = 1.1 kΩ

IICAシリアル転送タイミング



29.6 アナログ特性

29.6.1 A/Dコンバータ特性

A/Dコンバータ特性の区分

基準電圧 入力チャネル	基準電圧 (+) = AV _{REFP} 基準電圧 (-) = AV _{REFM}	基準電圧 (+) = V _{DD} 基準電圧 (-) = V _{SS}	基準電圧 (+) = V _{BGR} 基準電圧 (-) = AV _{REFM}
ANI0-ANI3	29.6.1(1) 参照	29.6.1(3) 参照	29.6.1(4) 参照
ANI16-ANI22	29.6.1(2) 参照		
内部基準電圧 温度センサ出力電圧	29.6.1(1) 参照		

(1) 基準電圧 (+) = AV_{REFP}/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AV_{REFM}/ANI1 (ADREFM = 1) 選択時、変換対象 : ANI2, ANI3、内部基準電圧、温度センサ出力電圧

(T_A = -40 ~ +105 °C, 2.4 V ≤ AV_{REFP} ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V, 基準電圧 (+) = AV_{REFP}, 基準電圧 (-) = AV_{REFM} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES		8		10	bit	
総合誤差 ^{注1}	AINL	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}		1.2	±3.5	LSB	
変換時間	t _{CONV}	10ビット分解能 変換対象 : ANI2, ANI3	3.6 V ≤ V _{DD} ≤ 5.5 V	2.125		39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.1875		39	μs
			2.4 V ≤ V _{DD} ≤ 5.5 V	17		39	μs
		10ビット分解能 変換対象 : 内部基準電圧, 温度センサ出力電圧 (HS (高速メイン) モード)	3.6 V ≤ V _{DD} ≤ 5.5 V	2.375		39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.5625		39	μs
			2.4 V ≤ V _{DD} ≤ 5.5 V	17		39	μs
ゼロスケール誤差 ^{注1,2}	EZS	10ビット分解能, AV _{REFP} = V _{DD} ^{注3}			±0.25	%FSR	
フルスケール誤差 ^{注1,2}	EFS	10ビット分解能, AV _{REFP} = V _{DD} ^{注3}			±0.25	%FSR	
積分直線性誤差 ^{注1}	ILE	10ビット分解能, AV _{REFP} = V _{DD} ^{注3}			±2.5	LSB	
微分直線性誤差 ^{注1}	DLE	10ビット分解能, AV _{REFP} = V _{DD} ^{注3}			±1.5	LSB	
アナログ入力電圧	V _{AIN}	ANI2, ANI3	0		AV _{REFP}	V	
		内部基準電圧 (HS (高速メイン) モード)			V _{BGR} ^{注4}	V	
		温度センサ出力電圧 (HS (高速メイン) モード)			V _{TMPS25} ^{注4}	V	

注 1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. AV_{REFP} < V_{DD} の場合, MAX. 値は次のようになります。

総合誤差 : AV_{REFP} = V_{DD} の MAX. 値に ±1.0 LSB を加算してください

ゼロスケール誤差 / フルスケール誤差 : AV_{REFP} = V_{DD} の MAX. 値に ±0.05 %FSR を加算してください

積分直線性誤差 / 微分直線性誤差 : AV_{REFP} = V_{DD} の MAX. 値に ±0.5 LSB を加算してください

4. 29.6.2 温度センサ / 内部基準電圧特性を参照してください。

(2) 基準電圧 (+) = $AV_{REFP}/ANI0$ (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = $AV_{REFM}/ANI1$
(ADREFM = 1) 選択時、変換対象 : ANI16-ANI22

(T_A = -40 ~ +105 °C, $2.4\text{ V} \leq AV_{REFP} \leq V_{DD} \leq 5.5\text{ V}$, V_{SS} = 0 V, 基準電圧 (+) = AV_{REFP} , 基準電圧 (-) = $AV_{REFM} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 $AV_{REFP} = V_{DD}$ ^{注3}		1.2	±5.0	LSB
変換時間	t _{CONV}	10ビット分解能 変換対象 : ANI16-ANI22	$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.125	39	μs
			$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	3.1875	39	μs
			$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17	39	μs
ゼロスケール誤差 ^{注1,2}	EZS	10ビット分解能, $AV_{REFP} = V_{DD}$ ^{注3}			±0.35	%FSR
フルスケール誤差 ^{注1,2}	EFS	10ビット分解能, $AV_{REFP} = V_{DD}$ ^{注3}			±0.35	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能, $AV_{REFP} = V_{DD}$ ^{注3}			±3.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能, $AV_{REFP} = V_{DD}$ ^{注3}			±2.0	LSB
アナログ入力電圧	V _{AIN}	ANI16-ANI22	0		AV_{REFP} かつ V_{DD}	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

- フルスケール値に対する比率 (%FSR) で表します。
- $AV_{REFP} < V_{DD}$ の場合, MAX.値は次のようになります。

総合誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に±4.0 LSBを加算してください
 ゼロスケール誤差／フルスケール誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に±0.20 %FSRを加算してください
 積分直線性誤差／微分直線性誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に±2.0 LSBを加算してください

(3) 基準電圧 (+) = V_{DD} (ADREFP1 = 0, ADREFP0 = 0), 基準電圧 (-) = V_{SS} (ADREFM = 0)

選択時、変換対象 : ANI0-ANI3, ANI16-ANI22、内部基準電圧、温度センサ出力電圧

($T_A = -40 \sim +105^\circ\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, 基準電圧 (+) = V_{DD} , 基準電圧 (-) = V_{SS})

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES		8		10	bit	
総合誤差 ^{注1}	AINL	10ビット分解能		1.2	± 7.0	LSB	
変換時間	t_{CONV}	10ビット分解能 変換対象 : ANI0-ANI3 , ANI16-ANI22	$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.125		39	μs
			$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	3.1875		39	μs
			$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17		39	μs
		10ビット分解能 変換対象 : 内部基準電圧 , 温度センサ出力電圧	$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.375		39	μs
			$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	3.5625		39	μs
			$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17		39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能			± 0.60	%FSR	
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能			± 0.60	%FSR	
積分直線性誤差 ^{注1}	ILE	10ビット分解能			± 4.0	LSB	
微分直線性誤差 ^{注1}	DLE	10ビット分解能			± 2.0	LSB	
アナログ入力電圧	V_{AIN}	ANI0-ANI3, ANI16-ANI22	0		V_{DD}	V	
		内部基準電圧 (HS (高速メイン) モード)		V_{BGR} ^{注3}		V	
		温度センサ出力電圧 (HS (高速メイン) モード)		V_{TMP525} ^{注3}		V	

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. 29.6.2 温度センサ/内部基準電圧特性を参照してください。

(4) 基準電圧 (+) = 内部基準電圧 (ADREFP1 = 1, ADREFP0 = 0), 基準電圧 (-) = AV_{REFM} (ADREFM = 1) 選択時、変換対象 : ANI0, ANI2, ANI3, ANI16-ANI22

($T_A = -40 \sim +105^\circ\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, 基準電圧 (+) = V_{BGR} ^{注3}, 基準電圧 (-) = AV_{REFM} ^{注4} = 0 V, HS (高速メイン) モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8			bit
変換時間	t _{CONV}	8ビット分解能	17		39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	8ビット分解能			±0.60	%FSR
積分直線性誤差 ^{注1}	ILE	8ビット分解能			±2.0	LSB
微分直線性誤差 ^{注1}	DLE	8ビット分解能			±1.0	LSB
アナログ入力電圧	V _{AIN}		0		V_{BGR} ^{注3}	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. 29. 6. 2 温度センサ/内部基準電圧特性を参照してください。

4. 基準電圧 (-) = V_{SS} の場合, MAX. 値は次のようになります。

ゼロスケール誤差 : 基準電圧 (-) = AV_{REFM} 時の MAX. 値に ±0.35 %FSR を加算してください

積分直線性誤差 : 基準電圧 (-) = AV_{REFM} 時の MAX. 値に ±0.5 LSB を加算してください

微分直線性誤差 : 基準電圧 (-) = AV_{REFM} 時の MAX. 値に ±0.2 LSB を加算してください

29. 6. 2 温度センサ/内部基準電圧特性

($T_A = -40 \sim +105^\circ\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, HS (高速メイン) モード)

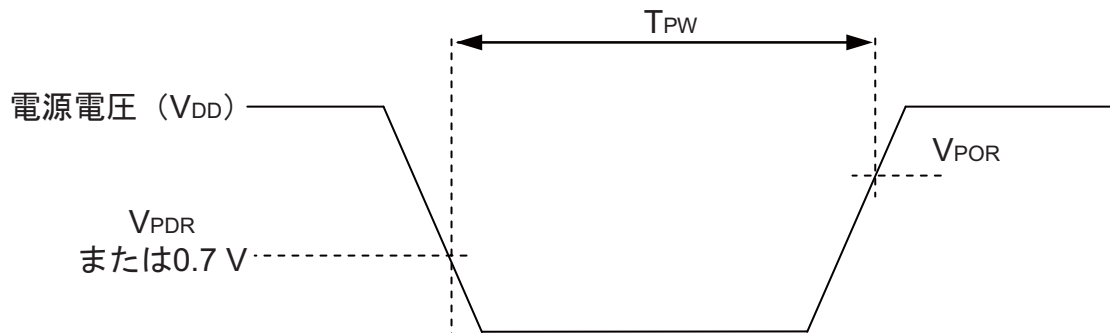
項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V _{TMP25}	ADSレジスタ = 80H設定, $T_A = +25^\circ\text{C}$		1.05		V
内部基準電圧	V _{BGR}	ADSレジスタ = 81H設定	1.38	1.45	1.50	V
温度係数	F _{VTMP25}	温度センサ出力電圧の温度依存		-3.6		mV/°C
動作安定待ち時間	t _{AMP}		5			μs

29.6.3 POR回路特性

($T_A = -40 \sim +105^{\circ}\text{C}$, $V_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POR}	電源立ち上がり時	1.45	1.51	1.57	V
	V_{PDR}	電源立ち下がり時	1.44	1.50	1.56	V
最小パルス幅 ^注	T_{PW}		300			μs

注 V_{DD} が V_{PDR} を下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP) とビット7 (MSTOP) の設定によりメイン・システム・クロック (f_{MAIN}) を停止時は、 V_{DD} が0.7 Vを下回ってから、 V_{POR} を上回るまでのPORによるリセット動作に必要な時間です。



29.6.4 LVD回路特性

リセット・モード, 割り込みモードのLVD検出電圧

(TA = -40~+105 °C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電源電圧	VLVD0	電源立ち上がり時	3.90	4.06	4.22	V
		電源立ち下がり時	3.83	3.98	4.13	V
	VLVD1	電源立ち上がり時	3.60	3.75	3.90	V
		電源立ち下がり時	3.53	3.67	3.81	V
	VLVD2	電源立ち上がり時	3.01	3.13	3.25	V
		電源立ち下がり時	2.94	3.06	3.18	V
	VLVD3	電源立ち上がり時	2.90	3.02	3.14	V
		電源立ち下がり時	2.85	2.96	3.07	V
	VLVD4	電源立ち上がり時	2.81	2.92	3.03	V
		電源立ち下がり時	2.75	2.86	2.97	V
	VLVD5	電源立ち上がり時	2.70	2.81	2.92	V
		電源立ち下がり時	2.64	2.75	2.86	V
	VLVD6	電源立ち上がり時	2.61	2.71	2.81	V
		電源立ち下がり時	2.55	2.65	2.75	V
VLVD7	電源立ち上がり時	2.51	2.61	2.71	V	
	電源立ち下がり時	2.45	2.55	2.65	V	
最小パルス幅	tLW		300			μs
検出遅延					300	μs

割り込み&リセット・モードのLVD検出電圧

(TA = -40~+105 °C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み& リセット・モード	VLVDD0	VPOC2, VPOC1, VPOC0 = 0, 1, 1, 立ち下がりリセット電圧	2.64	2.75	2.86	V	
	VLVDD1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.81	2.92	3.03	V
			立ち下がり割り込み電圧	2.75	2.86	2.97	V
	VLVDD2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.90	3.02	3.14	V
			立ち下がり割り込み電圧	2.85	2.96	3.07	V
	VLVDD3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.90	4.06	4.22	V
立ち下がり割り込み電圧			3.83	3.98	4.13	V	

29.6.5 電源電圧立ち上がり傾き特性

(TA = -40~+105 °C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SVDD				54	V/ms

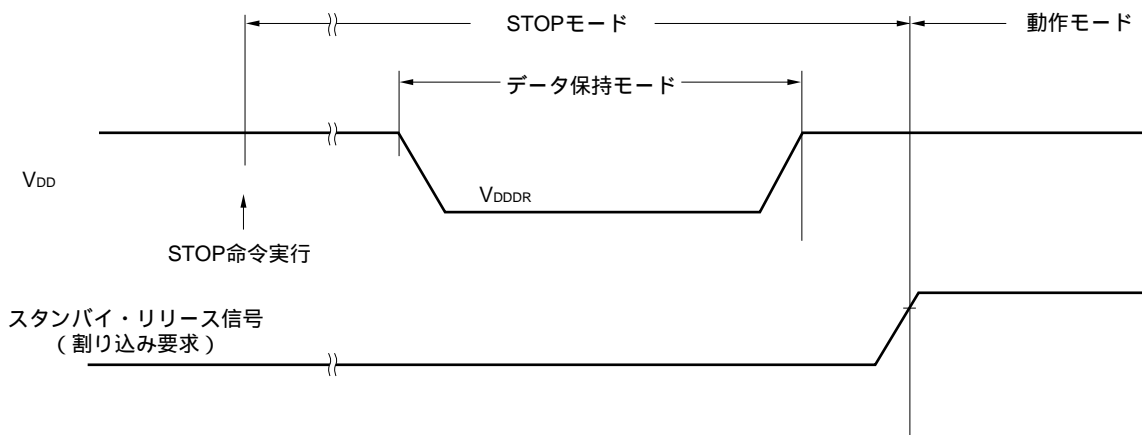
注意 VDDが29.4 AC特性に示す動作電圧範囲内に達するまで, LVD回路か外部リセットで内部リセット状態を保ってください。

29.7 データ・メモリSTOPモード低電源電圧データ保持特性

(TA = -40~+105 °C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.44 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



29.8 フラッシュ・メモリ・プログラミング特性

(TA = -40~+105 °C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK		1		24	MHz
コード・フラッシュの書き換え回数 ^{1,2,3}	C _{enwr}	保持年数 : 20年 TA = 85°C	1,000			回
データ・フラッシュの書き換え回数 ^{1,2,3}		保持年数 : 1年 TA = 25°C		1,000,000		
		保持年数 : 5年 TA = 85°C	100,000			
		保持年数 : 20年 TA = 85°C	10,000			

注1. 消去1回+消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

- 2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時
- 3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

29.9 専用フラッシュ・メモリ・プログラマ通信 (UART)

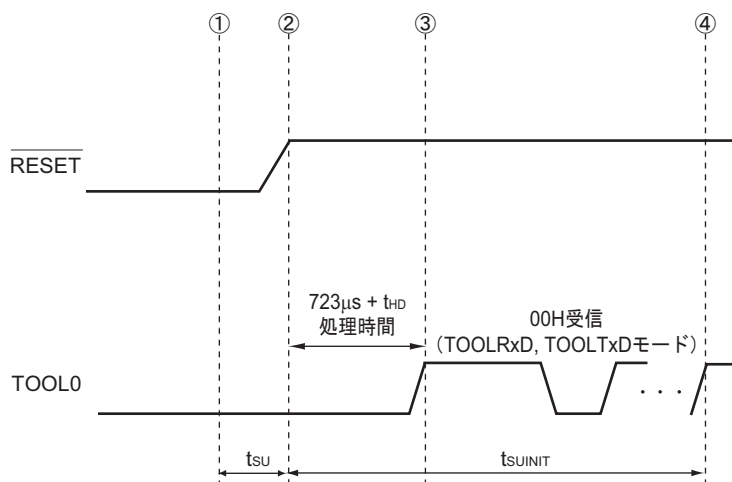
(TA = -40~+105 °C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

29.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミング

(T_A = -40~+105 °C, 2.4 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	t _{SUINIT}	外部リセット解除前にPOR, LVDリセットを解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	t _{SU}	外部リセット解除前にPOR, LVDリセットを解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルにホールドする時間 (フラッシュ・ファーム処理時間を除く)	t _{HD}	外部リセット解除前にPOR, LVDリセットを解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除 (その前にPOR, LVDリセットが解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 t_{SUINIT} : この区間では、リセット解除から100 ms 以内に初期設定通信を完了してください。

t_{SU} : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

t_{HD} : 外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間 (フラッシュ・ファーム処理時間を除く)