

白皮书

# RXv3 内核简介：卓越的功效带来出色的性能

2019 年 10 月

---

## 引言

用于高级控制系统的微控制器 (MCU) 必须不断发展以满足不断增长的需求。它们的发展有三个主要方向：

- 提升 CPU 内核性能
- 增加 CPU 资源（增强外设、Flash 程序存储器和 RAM 数据存储器）
- 降低功耗

在嵌入式实时控制系统中，管理多项任务需要丰富的资源，电机控制应用就是一个例子，其中 CPU 内核性能是管理所有资源的核心要求。

市场上有很多 MCU 系列可用于需要高运算能力的系统。对计算能力进行基准测试最常见的方式之一就是以 EEMBC 的 CoreMark® 为基准来测量嵌入式系统中 MCU 和微处理器 (MPU) 的性能，结果以每 MHz 时钟频率性能的形式呈现。

RX 系列内核的最新版本 RXv3 达到了 5.82 CoreMark/MHz，高于 ARM Cortex-M7 内核 (5.05 CoreMark/MHz)。

RX MCU 内核性能对比如图 1 所示。

RX 内核基本特性概述如图 2 所示。

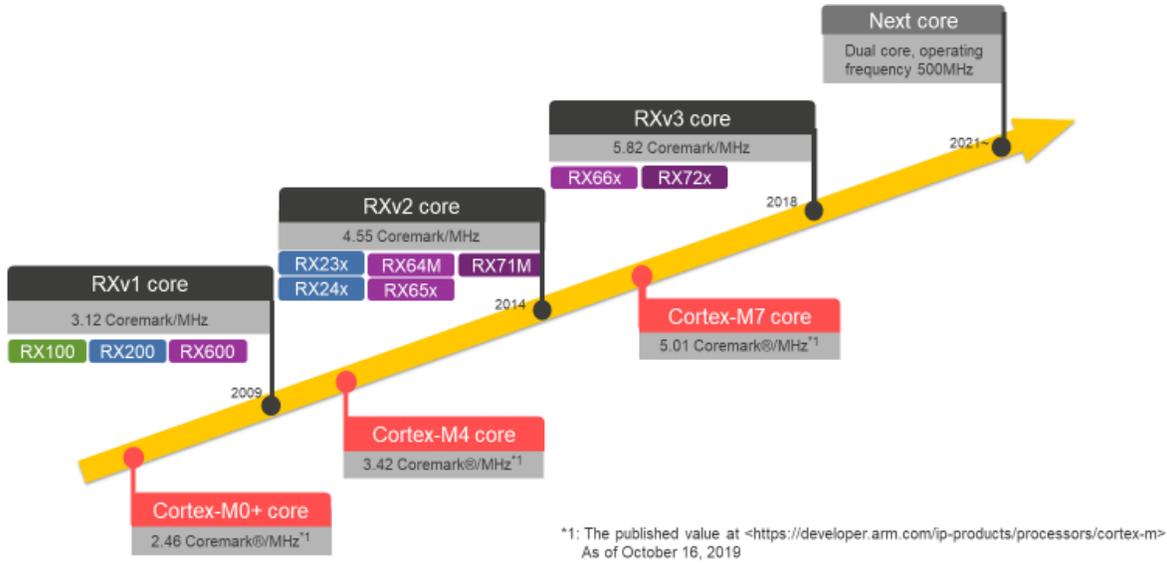


图 1.RX 和 ARM Cortex-M 内核性能对比

RX 内核	RXv1	RXv2	RXv3
架构	32 位 CISC、哈佛架构		
通用寄存器	32 位 x 16 路		
兼容性	RXv1	向下兼容 RXv1	向下兼容 RXv1/RXv2
指令集	90 条指令	109 条指令 (90 条 RXv1 指令+ 19 指令)	113 条指令 (109 条 RXv2 指令+ 4 条指令)  *新增 2 条指令用于寄存器区保存功能
流水线	5-级	改进的 5-级流水线  通过增强的流水线提升 IPC 吞吐量（通过并行执行内存访问和操作来增强性能）	改进的 5-级流水线  通过增强的流水线提升 IPC 吞吐量（通过并行执行内存访问和操作来增强性能）
DSP 功能指令	单周期 MAC 指令(16-位), 累加器 x 1	单周期 MAC 指令(32 位 x 32 位 + 72 位)  累加器 x 2	
浮点运算 FPU	支持符合 IEEE754 标准的数据类型和异常  流水线处理		
性能	高达 3.12CoreMark/MHz	高达 4.55CoreMark/MHz	5.82 CoreMark/MHz

其它	-	-	寄存器区保存功能（可选）  双精度浮点处理指令（可选）  *可选功能的可用性取决于产品规格
----	---	---	---

图 2. 瑞萨电子 RX 内核的基本特性

## RXv3 内核的主要优势

RXv3 内核具有：

- 5.82 CoreMark/MHz 的高性能
- 内存占用小，指令集紧凑
- 双精度 FPU 功能
- 快速中断响应时间

MCU 的性能在高速嵌入式系统控制（即电动机控制系统，机器人等）中至关重要。通常会需要微控制器运行和执行那些结合了 RTOS 的复杂软件。

目前，应用 RXv3 内核的有三个 MCU 系列：

- RX66T 时钟最高可达 160MHz，针对电机功率控制进行了优化
- RX72T 时钟最高可达 200MHz，针对机器人驱动等严苛应用中的电机功率控制进行了优化
- RX72M 时钟最高可达 240MHz，针对系统和工业网络通信控制进行了优化

## 指令集架构

CPU 架构对内核性能和代码大小具有决定性的影响，在 CISC 和 RISC 架构中都有很多成功的内核实现。然而，最有效的方法却是综合这两种方案的优势。CISC 的优点是代码紧凑，所需的闪存（ROM）较小。RISC 代码执行得更快，并允许流水线操作。

RX 指令集具有紧凑的架构，其中包含精心选择的指令，可以将其减少到与基于 RISC 的架构相同的数量。它采用 1 至 8 位等不同长度的指令集，从而有助于实现更高的性能、代码密度和更低的功耗。大多数常见指令都采用了带有短操作码的优化寻址模式。

图 3 利用三种不同类型的应用展示了基于 RX 和基于 RISC 的 MCU 的代码大小分析。与 RISC 架构相比，该架构可将静态代码大小最多减小 46%，将动态代码大小最多减少 30%。较小的静态代码在减小 ROM 尺寸和降低成本方面具有重要作用，较小的动态代码则可实现低功耗。

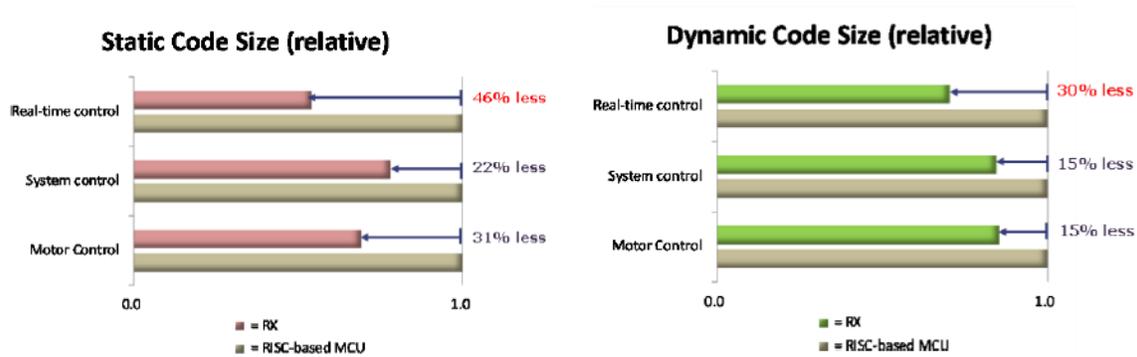


图 3.RX 和基于 RISC 的 MCU 的代码大小分析

Arithmetic/Logic			Data Transfer		PUSHC	SAVE*	DSP			Data Trans. (DP-FPU)	
ABS	MAX	RORC	BFMOV	MOV	PUSHM	SCCnd	EMACA	MSBLO	MVTACGU	DMOV*	MVFDC*
ADC	MIN	ROTL	BFMOVZ	POP	REVL	STNZ	EMSBA	MULHI	MVTACHI	DPOPM*	MVFDRC*
ADD	MUL	ROTR	MOV	PUSH	REVV	STZ	EMULA	MULLH	MVTACLO	DPUSHM*	MVTDC*
AND	NEG	SAT	MOVCO	POPC	RSTR*	XCHG	MACHI	MULLO	RACL	Floating-point (DP)	
CMP	NOP	SATR	MOVLI	POPM	Branch	Strings	MACLO	MVFACHI	RDACL	DABS*	DSUB*
DIV	NOT	SBB	System manipulation		BCnd	SCMPU	MACLO	MVFACHI	RDACL	DADD*	DTOF*
DIVU	OR	SHAR	BRK	MVTC	BRA	SMOVB	MSBHI	MVFACLO	RDACW	DCMPcm*	DTOI*
EMUL	RMPA	SHLL	CLRPSW	RTE	BSR	SMOVF	MSBLH	MVFACMI	FTOI	DDIV*	DTOU*
EMULU	ROLC	SHLR	INT	RTFI	JMP	SMOVU	Floating-point (SP)		FTOU	DMUL*	FTOD*
SUB	TST	XOR	MVTIPL	SETPSW	JSR	SSTR	FADD	FMUL	ITOF	DNEG*	ITOD*
Bit manipulation			MVFC	WAIT	RTS	SUNTIL	FCMP	FSUB	ROUND	DROUND*	UTOD*
BCLR	BMCnd	BNOT	BSET	BTST	RTSD	SWHILE	FDIV	FSQRT	UTOF	DSQRT*	

  Enhancements in RXv2   
   Enhancements in RXv3   
 \* option

图 4.RX 指令集

在开发 RX 内核的过程中，添加了新指令，并对其中一些指令进行了改进。图 4 显示了 RX 的指令列表。RXv2 指令增强主要包括添加 DSP 和单精度浮点指令。在 RXv3 指令增强中，添加了两个用于在中断处理过程中维护上下文的指令（RSTR, SAVE）和双精度浮点指令。

## 内核架构

RXv1, RXv2 和 RXv3 的流水线包含 5 级（图 5）。这些流水线使用哈佛架构，它允许在同一时钟周期内访问指令存储器和数据存储器。而且，这些流水线使用乱序执行技术来存储数据加载指令，以获取更高的流水线使用率和更好的性能。

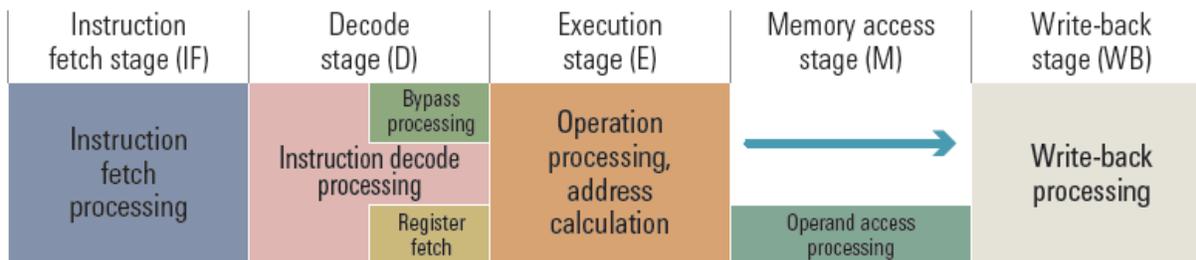


图 5.5 级流水线

相对 RXv1 而言，RXv2 内核的主要差异是双发射流水线结构和流水线式 FPU（单精度），双发射内核可以增加周期执行指令数 (IPC) 的吞吐量。新型 FPU 单元采用流水线处理来增加吞吐量，降低 FPU 执行延迟。

RXv3 内核继承了 RXv2 的特性，并且具有新功能、双精度 FPU 和寄存器保存区功能，还进行了性能改进。

性能改进通过增加双发射指令组合实现，这一改进主要体现在条件转移指令上，而这种指令通常用于程序中的“if-else”和“loop”语句。通过各种各样的程序最多可实现 20% 的周期性性能改进。在某些情况下，由于对 RXv3 流水线进行了编译器优化，因此可以实现更多的改进。

双精度 FPU 可将双精度浮点操作处理时间提高 10 倍或更多。双精度 FPU 可轻松地将基于模型开发 (MBD) 的高精度控制模型转移到 MCU 上。

RXv3 内核的设计不仅考虑了性能，而且考虑了功效。首批新的 RXv3 MCU 采用节能缓存设计，可达到 44.8 CoreMark / mA，可减少片上闪存读取（如指令提取）期间的访问时间和功耗。

## 改善中断响应时间

实时工作的嵌入式系统需要对事件做出快速响应，包括电机控制系统发出的信号。

在 RXv3 内核中，一种名为寄存器保存区的可选专用存储区可用于保存寄存器，来存储被中断处理器覆盖的寄存器内容。使用图 6 所示的寄存器保存区可缩短中断响应时间，这一功能不仅能缩短中断响应时间，还能缩短总中断处理时间。中断服务程序可以利用 SAVE 指令来保存某个时钟周期内的通用寄存器和累加器，RSTR 指令可恢复保存的寄存器。很多保存区寄存器允许嵌套中断的上下文。

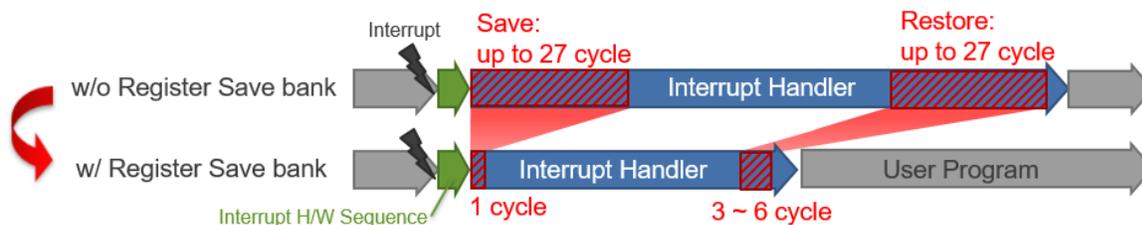


图 6. 中断响应时间改进

寄存器保存区不仅可以用于中断处理器，还可以用于 RTOS 上下文切换，使 RTOS 上下文切换时间节省 20%。

## 闪存

每个指令的代码和操作数均是从闪存中获取，因此不仅是 MCU 内核的速度，闪存的访问速度也至关重要。对于具有快速内核的内存访问，必须通过添加其它等待状态周期来延长每个内存读取周期。瑞萨电子采用 40nm MONOS 技术实现 RX 闪存，允许非常快速的内存访问，最高可达 120MHz，因而无需插入其它等待状态。

## 结论

现代、先进的控制系统要求 MCU 具有更高的效率和功能。瑞萨电子 RXv3 内核可通过非常低的功耗实现业界一流的性能。它基于 EEMBC CoreMark® 基准性能，评分结果可达 5.82 CoreMark/MHz，是目前运行速度最快的 MCU 内核之一。这是通过优化指令集，DSP 和 FPU 单元，使用流水线以及通过 MONOS 闪存技术进行快速内存访问来实现的。通过这种优化，可以在当今的实时控制应用中快速高效地进行计算。RX66T、RX72T 和 RX72M 是使用最新 RXv3 内核的三个 MCU，已经在市场上发售。在不久的将来将会有更多的器件进入市场。

## 了解更多

有关 RXv3 内核的更多信息

<https://www.renesas.com/products/microcontrollers-microprocessors/rx/rx-features.html>

有关 RX66T 的更多信息

<https://www.renesas.com/products/microcontrollers-microprocessors/rx/rx600/rx66t.html>

有关 RX72T 的更多信息

<https://www.renesas.com/products/microcontrollers-microprocessors/rx/rx700/rx72t.html>

有关 RX72M 的更多信息

<https://www.renesas.com/products/microcontrollers-microprocessors/rx/rx700/rx72m.html>

---

© 2019 Renesas Electronics Corporation or its affiliated companies (Renesas). All rights reserved. 所有商标或商业名称均是其各自所有者的资产。瑞萨电子认为本文档所含的信息在提供时准确无误，但对其质量或使用不承担任何风险。所有信息均按原样提供，不作任何种类的担保，无论是明示、暗示、法定担保，还是因交易、使用或贸易惯例引发的担保，包括但不限于对适销性、对特定目的适宜性或非侵权性的担保。瑞萨电子对因使用或依赖本文档所含信息造成的任何直接、间接、特殊、结果、偶然或其他损失概不负责，即使已提示相关损失的可能性亦不例外。瑞萨电子保留停止这些产品或更改其产品设计或规范或本文档其他信息的权利，恕不另行通知。所有内容均受美国和国际版权法保护。除非本文档特别准许，否则未经瑞萨电子事先书面许可，不得以任何形式或通过任何方式复制本材料的任何部分。访客或用户不得因任何公开或商业目的而修改、分发、发布、传送本材料的任何内容，亦不得对其创建衍生作品。