

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

アドバンスト・コンプレッション・エクスパンション・エンジン

μ PD72186は、ファクシミリや電子ファイリング・システムなどにおいて必要とされる二値画像データの圧縮 / 伸長を高速に行うプロセッサです。

μ PD72186は、内蔵DMAコントローラにより画像メモリを直接管理することができ、ライン、ブロック、およびページ単位の処理をホストCPUからのコマンドに基づいて行います。

μ PD72186は、 μ PD72185を高速化したものです。

特 徴

μ PD72185とソフトウェア互換

高速圧縮 / 伸長処理：ITU-T標準テスト・チャート（A4判，400 ppi x 400 lpi）を最長0.7（平均0.5）秒間で圧縮 / 伸長

多様な符号化 / 復号化方式に対応：ITU-T標準のMH, MR, MMR方式

主走査方向画素数：最大32 Kピクセル

画像データの拡大 / 縮小

主走査方向：2倍拡大（復号化時），1/2縮小（符号化時）

副走査方向：2，4倍拡大（復号化時），1/2, 1/4縮小（符号化時）

ビット・バウンダリ処理

マルチタスク機能

高速データ処理：内部4段の基本パイプライン

デュアル・バス方式：画像メモリ側（24ビット・アドレス・バス，8/16ビット・データ・バス）

：ホストCPU側（8/16ビット・データ・バス）

アドレス / データ・バスの分離

DMAコントローラ内蔵

リフレッシュ・タイミング発生回路内蔵

CMOS

+5V単一電源

システム・クロック：最高16 MHz

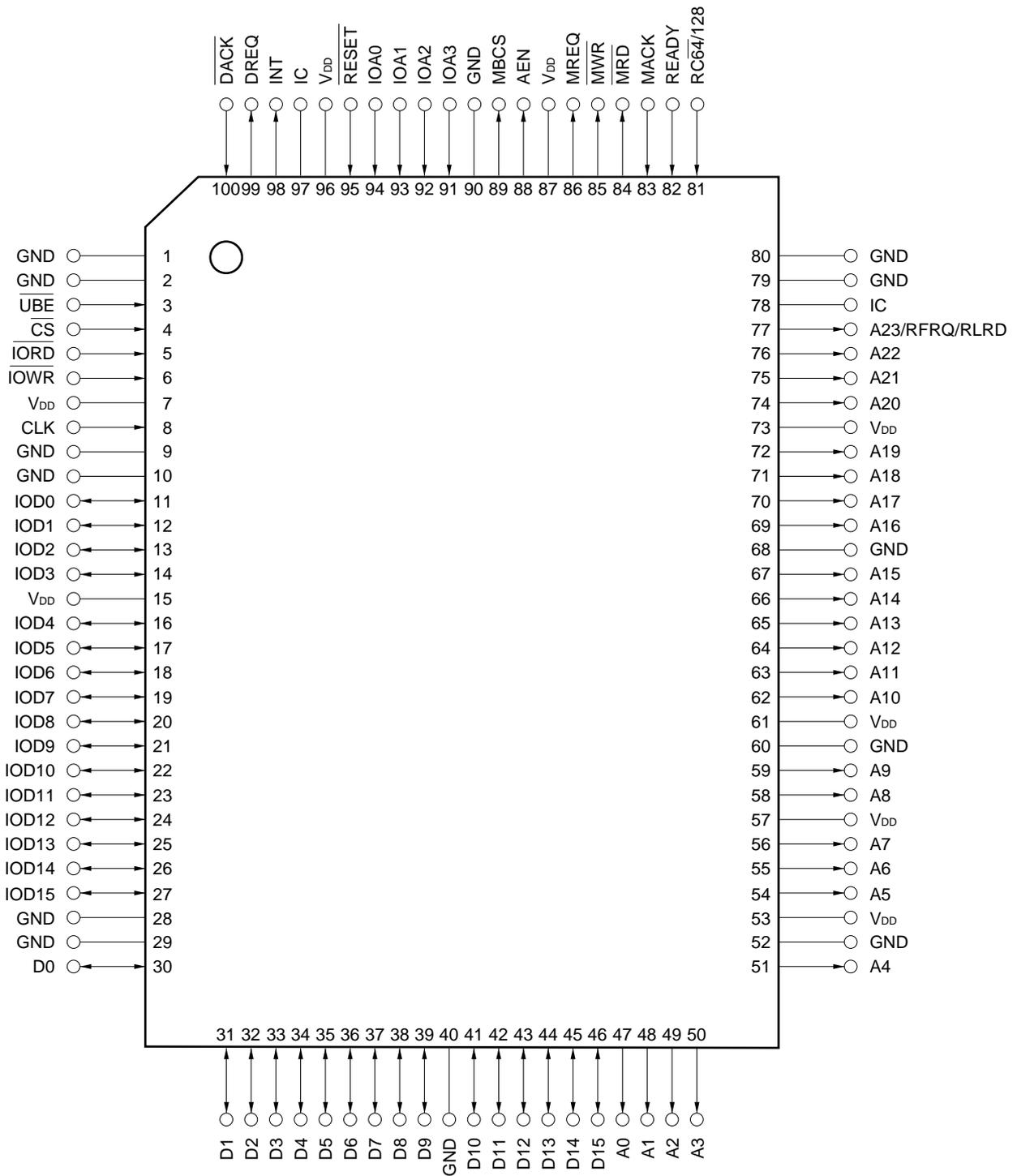
オーダ情報

オーダ名称	パッケージ
μ PD72186GF-3BA	100ピン・プラスチックQFP（14 x 20 mm）

本資料の内容は、後日変更する場合があります。

端子接続図 (Top View)

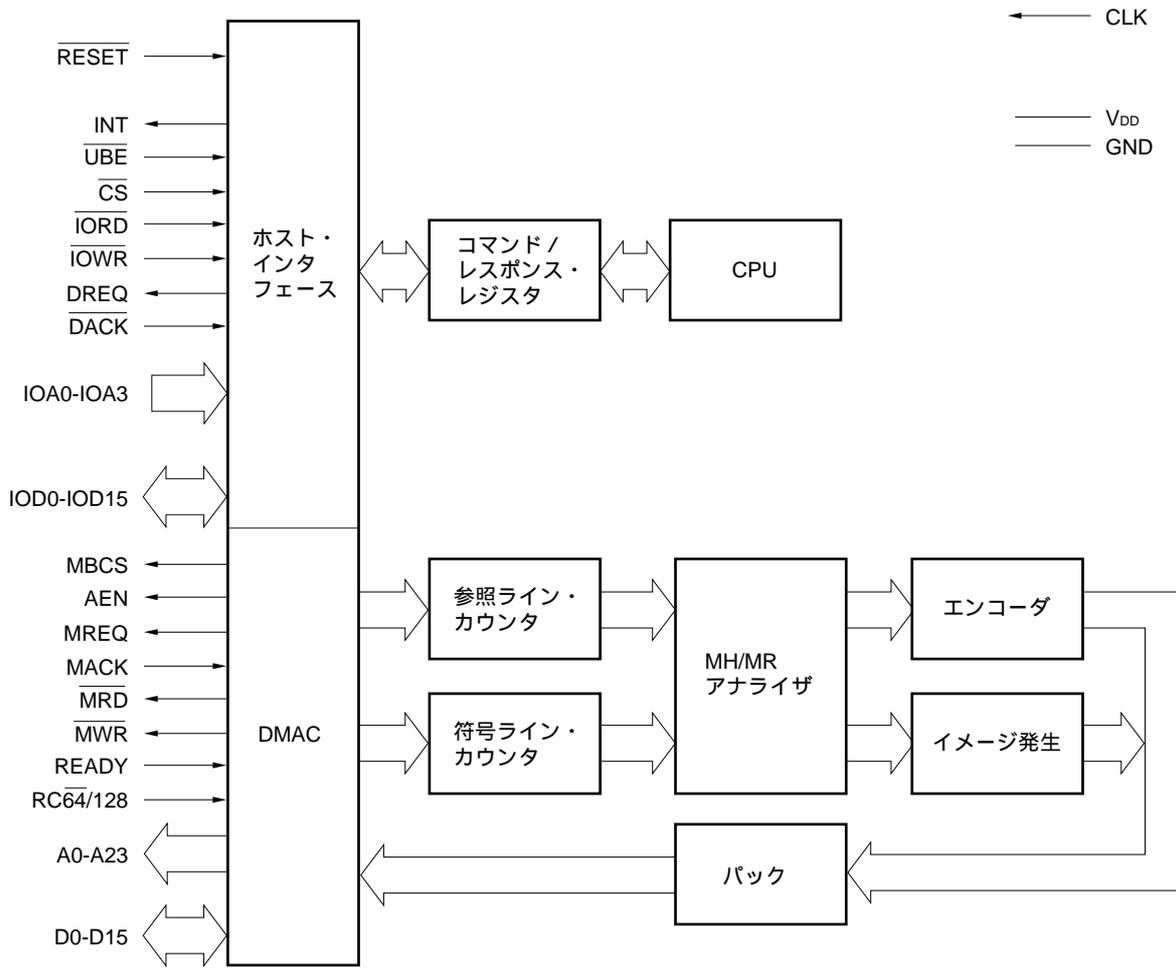
100ピン・プラスチックQFP (14 × 20 mm)



IC : Internally Connected (プルアップしてください。)

AEN	: アドレス・イネーブル
A0-A23	: アドレス・バス
CLK	: クロック
$\overline{\text{CS}}$: チップ・セレクト
$\overline{\text{DACK}}$: DMAアクノリッジ
DREQ	: DMAリクエスト
D0-D15	: データ・バス
GND	: グランド
INT	: インタラプト
$\overline{\text{IORD}}$: I/Oリード
$\overline{\text{IOWR}}$: I/Oライト
IOA0-IOA3	: I/Oアドレス・バス
IOD0-IOD15	: I/Oデータ・バス
MACK	: メモリ・アクノリッジ
MBCS	: メモリ・バス・サイクル・スタート
$\overline{\text{MRD}}$: メモリ・リード
MREQ	: メモリ・リクエスト
$\overline{\text{MWR}}$: メモリ・ライト
$\overline{\text{RC64/128}}$: リフレッシュ・サイクル
READY	: レディ
$\overline{\text{RESET}}$: リセット
RFRQ/RLRD	: リフレッシュ・リクエスト/レファレンスライン・リード
$\overline{\text{UBE}}$: アップパー・バイト・イネーブル
V _{DD}	: パワー・サブライ

ブロック図



目 次

1 . 端子機能	...	7	
1.1	ホスト・インタフェース用の端子	...	7
1.2	画像メモリ・インタフェース用の端子	...	8
1.3	その他の端子	...	9
2 . μPD72186とμPD72185との違い	...	10	
2.1	端子機能の変更	...	10
2.2	画像メモリ・インタフェースの変更	...	10
3 . 機 能	...	11	
3.1	機能概要	...	11
3.2	処理モード	...	13
3.2.1	ライン・モード	...	13
3.2.2	ブロック・モード	...	13
3.3	外部インタフェース	...	13
3.4	マルチタスク機能	...	14
3.5	拡大/縮小機能	...	14
3.6	白マスク処理	...	14
3.7	ビット・バウンダリ処理	...	15
4 . データの取り扱い方式	...	16	
4.1	画像メモリ	...	16
4.1.1	画像メモリと画像エリア	...	16
4.1.2	画像メモリの構成	...	16
4.1.3	データの格納方式	...	17
4.2	符号化/復号化方式	...	18
4.2.1	MH方式	...	18
4.2.2	MR方式	...	19
4.2.3	MMR方式	...	20
4.2.4	画素数の拡張	...	21
4.2.5	Kパラメータ	...	21
4.2.6	フィル・ビット処理	...	21
4.2.7	復号化時のエラー処理	...	21
4.2.8	ライン数カウント機能	...	22
5 . インタフェース	...	23	
5.1	ホスト・インタフェース	...	23
5.1.1	レジスタ構成	...	24
5.1.2	基本タイミング	...	28

5.2	画像メモリ・インタフェース	...	31
5.2.1	基本タイミング	...	31
5.2.2	バス・サイクル・モード	...	32
5.2.3	DMAブレーク	...	32
5.2.4	リフレッシュ機能	...	33
6	コマンドとレスポンス	...	35
6.1	コマンドとレスポンスの種類	...	35
6.2	コマンド一覧	...	36
6.3	レスポンス一覧	...	38
7	システム構成例	...	41
8	電気的特性	...	42
9	外形図	...	51
★ 10	半田付け推奨条件	...	52

1. 端子機能

μPD72186の端子は、機能的にホスト・インタフェース用、画像メモリ・インタフェース用、およびその他の計3グループに分けられます。

1.1 ホスト・インタフェース用の端子

端子名称	入出力	機能
IOA0-IOA3	入力	ホストCPUがμPD72186をI/Oアクセスする際のI/Oアドレス入力です。
IOD0-IOD15	3ステート入出力	16ビット双方向データ・バスです。
$\overline{\text{IORD}}$	入力	ホストCPUがμPD72186に対しI/Oアクセスによる読み出しを行う際、ロウ・レベル信号が入力されます。
$\overline{\text{IOWR}}$	入力	ホストCPUがμPD72186に対しI/Oアクセスによる書き込みを行う際、ロウ・レベル信号が入力されます。
$\overline{\text{CS}}$	入力	ホストCPUがμPD72186をI/Oアクセスするために必要なアクティブ・ロウ入力です。
$\overline{\text{UBE}}$	入力	ホストCPUがμPD72186に対しI/Oアクセスによる書き込みを行う際、バイトまたはワード単位での書き込みをIOA0入力との組み合わせにより指定します。
INT	出力	μPD72186からホストCPUに対し出力される割り込み要求信号です。
DREQ	出力	外部DMAコントローラに対するDMAリクエスト信号です。 μPD72186内に読み出し可能なデータがあるか、あるいは書き込み可能なスペースがある場合にアクティブとなります。
$\overline{\text{DACK}}$	入力	外部DMAコントローラからのDMAアクノリッジ信号です。 ホストCPUがμPD72186をI/Oアクセスする際には、 $\overline{\text{DACK}}$ はインアクティブである必要があります。

1.2 画像メモリ・インタフェース用の端子

端子名	入出力	機能											
A0-A23	3ステート出力	μPD72186が画像メモリに対するバス・マスタである場合は、出力状態となります。 μPD72186が画像メモリに対してバス・スレーブとなる場合は、ハイ・インピーダンスとなります。											
D0-D15	3ステート入出力	μPD72186が画像メモリをアクセスするときのデータ幅は16ビットです。											
A23/RFRQ/RLRD	出力	RFRQは、μPD72186がDRAM用に出力するリフレッシュ信号です。 RLRDは、μPD72186が外部の画像メモリ上の参照ライン・データを読み込むための信号で、DMA転送を実行中はアクティブとなります。 端子機能の切り替えは、SYSコマンドのSREFパラメータとLREFパラメータにより以下のように行われます。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>SREFパラメータ</th> <th>LREFパラメータ</th> <th>77ピンの端子機能</th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>RFRQ</td> </tr> <tr> <td>1</td> <td>RLRD</td> </tr> <tr> <td>1</td> <td>x</td> <td>A23</td> </tr> </tbody> </table>	SREFパラメータ	LREFパラメータ	77ピンの端子機能	0	0	RFRQ	1	RLRD	1	x	A23
SREFパラメータ	LREFパラメータ	77ピンの端子機能											
0	0	RFRQ											
	1	RLRD											
1	x	A23											
RC64/128	入力	RFRQ端子のリフレッシュ・サイクルを決めます。 必ず、電源がグランドに固定してください。 1 (V _{DD}) : 128クロック・サイクル (CLK = 16 MHz : 8 μs) 0 (GND) : 64クロック・サイクル (CLK = 8 MHz : 8 μs)											
MRD	3ステート出力	μPD72186が画像メモリに対するバス・マスタである場合に出力状態となり、画像メモリからデータを読み出すとき、ロウ・レベルとなります。 μPD72186が画像メモリに対してバス・スレーブとなる場合は、ハイ・インピーダンスとなります。											
MWR	3ステート出力	μPD72186が画像メモリに対するバス・マスタである場合に出力状態となり、画像メモリにデータを書き込むとき、ロウ・レベルとなります。 μPD72186が画像メモリに対してバス・スレーブとなる場合、ハイ・インピーダンスとなります。											
AEN	出力	μPD72186が画像メモリに対するバス・マスタである場合、アクティブになります。											
MREQ	出力	μPD72186が画像メモリに対するバス・スレーブである場合、μPD72186が画像メモリ・バスを要求するための信号です。 μPD72186と画像メモリとの間でDMA転送が必要なとき、アクティブとなります。											
MACK	入力	MREQに対し、μPD72186に画像メモリ・バスの使用を許可するための入力信号です。 この信号はアクティブ・ハイです。											
READY	入力	画像メモリが低速のメモリ・デバイスで構成される場合に、MRD、およびMWR信号幅を引き延ばすための入力信号です。 READY入力は、規定されたセットアップ/ホールド時間内で変化させないでください。											
MBCS	出力	画像メモリのバス・サイクルのスタートを示す信号です (通常は、使用しなくてもかまいませんが、この端子によりメモリ・アクセスの先行制御を容易にすることができます)。											

1.3 その他の端子

端子名	入出力	機能
CLK	入力	外部クロック入力です。
RESET	入力	システム・リセット入力です。 システム・クロックに対して、最低7クロックの間ロウ・レベルを保持します。 リセット後、μPD72186は画像メモリに対してバス・スレープとなります。
IC	-	この端子は常にプルアップしてください。
V _{DD}	-	正電源供給端子です。
GND	-	GND端子です。

2 . μPD72186とμPD72185との違い

μPD72186は、従来製品であるμPD72185に次の2点について加えた製品です。

2.1 端子機能の変更

変更点を以下に示します。

変 更 項 目	μ PD72186	μ PD72185
画像アドレス / データ・バスの分離	A0-A23 D0-D15	A0-A7, A8D8-A15D15 A16D0-A23D7
ASTB端子	なし	あり
リフレッシュ要求の変更	RFRQ (新規)	A23D7
RC64/128端子	あり	なし
MBCS端子	あり	なし

備考 この変更により、機能ピンが18本増えます。したがって、パッケージも64ピン・プラスチック・シュリソクDIP, 68ピンPLCC, 80ピン・プラスチックQFPから、100ピン・プラスチックQFPに変わります。

2.2 画像メモリ・インタフェースの変更

μPD72186の画像メモリ・インタフェースは、μPD72185とほとんど同じです。ただし、画像アドレス / データ・バスは分離され、ASTB端子は削除されます。また、リフレッシュ動作において、μPD72185ではASTB信号とA23D7信号でリフレッシュ・パルスを出力しています。μPD72186ではリフレッシュ端子が設けられ、3クロック幅のパルスを出力します。

さらに、μPD72185ではメモリ・アクセスのS1ステートに同期して、 $\overline{\text{MRD}}$, $\overline{\text{MWR}}$, アドレス, データ信号の3ステート出力状態が変化します。μPD72186ではAEN信号に同期して切り替わります。これにより、画像メモリ・インタフェースのAC特性の項目が一部変更されます。

3. 機能

3.1 機能概要

μPD72186は、二値画像データの符号化、および復号化をITU-Tにより規定される標準方式に基づいて行います。これら標準方式を表3 - 1に示します。

表3 - 1 ITU-T標準符号化/復号化方式

方式の略称	概要
MH	ITU-T勧告T.4 (G3ファクシミリ)
MR	ITU-T勧告T.4 (G3ファクシミリ)
MMR	ITU-T勧告T.6 (G4ファクシミリ)

μPD72186は、ホストCPUとのインタフェース、および画像メモリとのインタフェースの2種類のインタフェースを備えています。ホストCPUとのデータのやりとりは通常のI/Oアクセスで行い、また画像メモリとの間のデータのやりとりは内蔵DMAコントローラを使用しDMA転送にて行います。

以下、ホストCPU側のバスをホスト・バス、画像メモリ側のバスを画像メモリ・バスと呼びます。

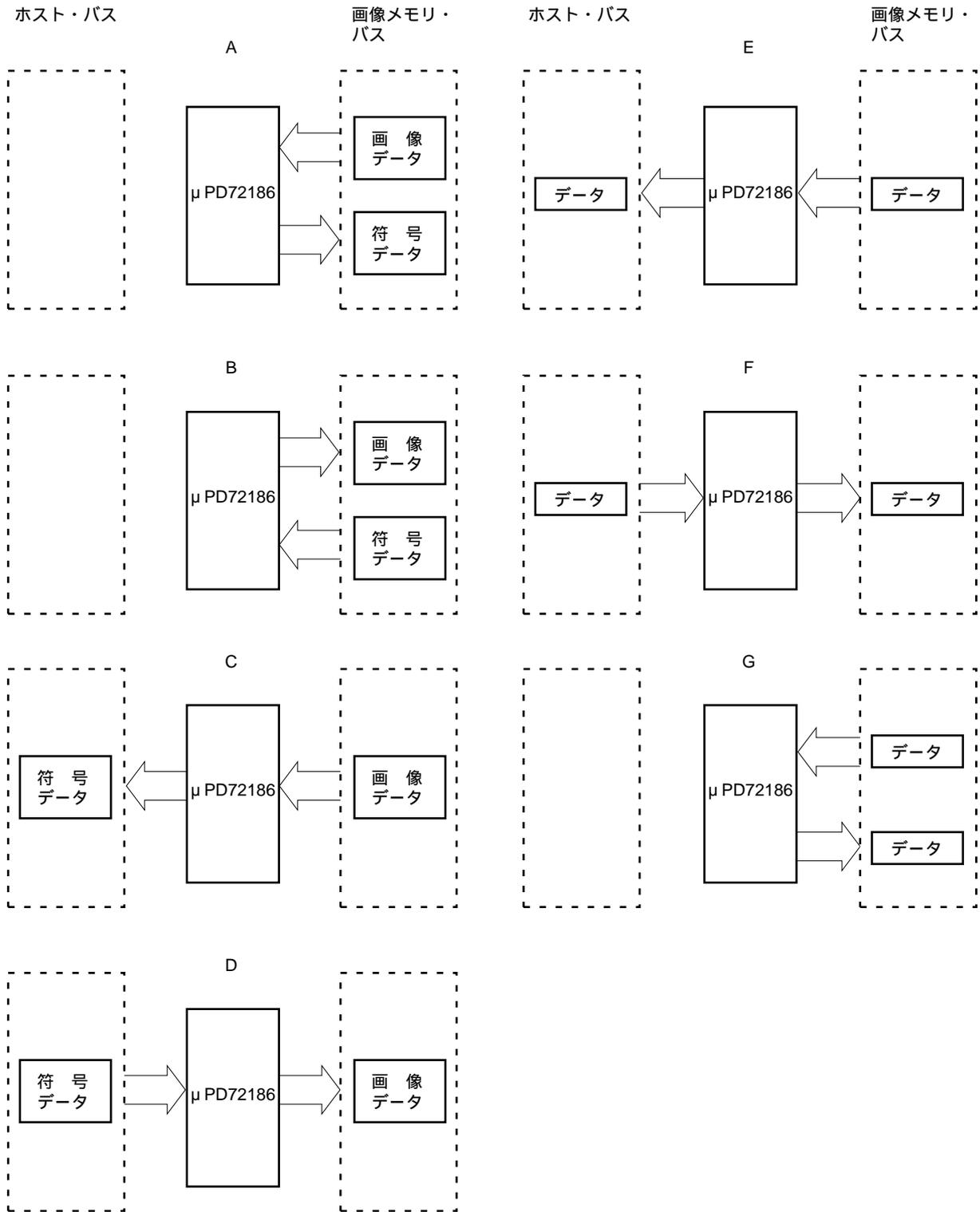
μPD72186は、符号化/復号化処理のほかに、画像メモリとホストCPUとの間のデータ転送を仲介することもできます。

図3 - 1、および表3 - 2にμPD72186の処理形態を示します。

表3 - 2 μPD72186の処理形態

タイプ	処理内容	データの流れ
A	符号化	画像メモリ・バス 画像メモリ・バス
B	復号化	"
C	符号化	画像メモリ・バス ホスト・バス
D	復号化	ホスト・バス 画像メモリ・バス
E	データ転送	画像メモリ・バス ホスト・バス
F	"	ホスト・バス 画像メモリ・バス
G	"	画像メモリ・バス 画像メモリ・バス

図3-1 μPD72186の処理形態



3.2 処理モード

μPD72186の処理モードには、ライン・モード、およびブロック・モードの2種類があります。各処理モードの選択は、ホストCPUの発行するコマンドに基づいて行います。

3.2.1 ライン・モード

ライン・モードが選択されると、μPD72186は1回のコマンド発行につき1ラインの処理を行います。ライン・モードを選択することにより、ITU-Tで規定される符号化/復号化方式(表3-1参照)以外の符号化/復号化方式が実現可能となります。

ライン・モードでは、1ラインの処理をヘッダ部、および符号部の2部分に分けて行います(図3-2参照)。

ヘッダ部は、フィル・ビット、EOL(End of Line)符号、およびタグ・パターンの計3部分で構成されます。フィル・ビットのビット数(0-65,535ビット)、タグ・パターンとそのビット数(0-8ビット)、およびEOL符号の有無は、ホストCPUの発行するコマンドにより指定します。

符号部は、二値画像データを符号化することで得られる符号のみで構成されます。また、符号化方式の指定は、ホストCPUからのコマンドにより1ラインごとに行うことができます。

符号化時、1ラインは、

[フィル・ビット+EOL符号+タグ・パターン+符号]

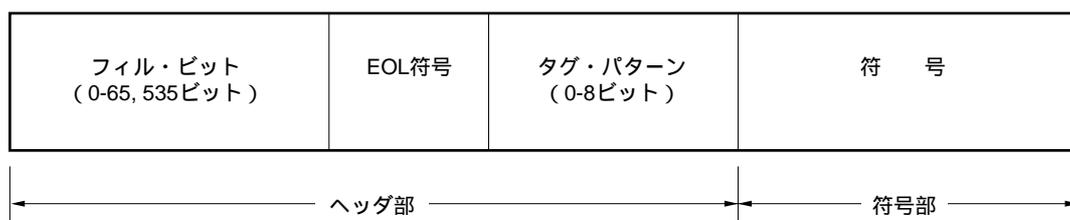
の順で生成されます。このフィル・ビットは、直前のラインに対して付加されます。

復号化時は、

[符号+フィル・ビット+EOL符号+タグ・パターン]

の順にライン単位での処理が行われます。あるページがEOL符号で始まる場合、μPD72186はこのEOL符号とそれに続くタグ・パターンを検出します。そして、この処理を終了してからライン単位の復号化を開始します。

図3-2 ライン構成(ライン・モード)



3.2.2 ブロック・モード

μPD72186は、ブロック・モードが選択されると、1回のコマンド発行につきあらかじめ指定しておいた複数ラインの処理を行います。通常、μPD72186を使用する場合はこのモードを選択します。

以下、特に指定がない限り、ブロック・モードでの動作について記述します。

3.3 外部インタフェース

μPD72186と画像メモリとの間のデータのやりとりは、内蔵のDMAコントローラを介し、DMA転送によって行います。μPD72186は、画像メモリへのアクセスが必要になると、MREQ信号をアクティブにして画像メモリ・バスの使用を要求します。一方、ホストCPU(外部DMAコントローラを含む)とのデータのやりとりは、通常のI/Oアクセスによって行います。ホストCPUは、μPD72186に対してI/Oアドレスを与えることでデータの読み書きを行います。

外部インタフェースに関する詳細は、5. インタフェースを参照してください。

3.4 マルチタスク機能

ここでいうマルチタスクとは、ホストCPUがμPD72186を使用し、複数の画像エリア（4.1.1 画像メモリと画像エリア参照）の処理を時分割で並行に進めていくという意味です。

μPD72186は、画像エリアを1単位として処理を行い、ホストCPUによって指定された画像エリアの処理が終わると、メモリ管理情報、処理情報、カウンタ情報などをレスポンスの形でホストCPUに返します。

ここでたとえば、ある方式で符号化された符号を別の方式で再び符号化する場合を考えてみましょう。再符号化の対象が複数の画像エリアに渡る場合には、以下の2通りの方法が考えられます。

(1) 複数の画像エリア分の符号を、いったんすべて復号化する。

この画像データを一挙に再符号化する。

(2) 複数の画像エリア分の符号のうち、指定された画像エリア分の符号を復号化する。

この画像データを再符号化する。

上記の作業を繰り返す。

μPD72186を使用するシステムによっては、(2)の方法を採用しパイプライン的に処理を進めるほうが処理効率上がる場合があります。この方法は、μPD72186の返すレスポンスをホストCPUが管理することで実現可能となります。

3.5 拡大/縮小機能

μPD72186は、符号化のときには画像データの縮小ができます。また、復号化のときには画像データの拡大ができます。

縮小は画像データの単純間引きで行います。そして、拡大は同一画像データを繰り返し復号化することで行います。

縮小/拡大のタイプを表3-3、表3-4に示します。

表3-3 縮小のタイプ

動作	内容(縮小倍率)		
	タイプ	主走査方向	副走査方向
縮小	a	1	1
	b	1	1/2
	c	1/2	1/2
	d	1/2	1/4

表3-4 拡大のタイプ

動作	内容(拡大倍率)		
	タイプ	主走査方向	副走査方向
拡大	a	1	1
	b	1	2
	c	2	2
	d	2	4

3.6 白マスク処理

μPD72186は、画像データの右端および左端に白マスク処理を行うことができます。白マスクの量については、画像データの右端/左端で別々にワード単位(0-255ワード)にて指定します。

符号化の場合、μPD72186は自動的に画像データを白マスクしたのち、符号化を行います。

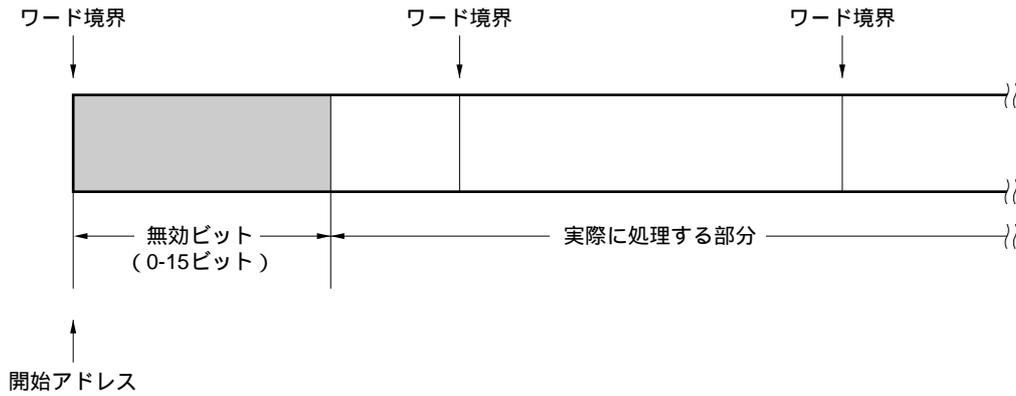
復号化の場合、μPD72186は復号化と白マスク処理とを同時に行うことができません。この場合は、復号化がいったん終了したのち、ホストCPUがμPD72186に対し白マスク処理をコマンドにより指定します。

3.7 ビット・バウンダリ処理

画像エリアの中には、バイト/ワード単位のいずれによっても終端されず、端数のビット数からなるラインで構成されるものがあります。μPD72186は、この種の画像エリアをビット・バウンダリ処理を用いて取り扱います。

端数ビットのラインの処理は、バイト/ワードで終端可能な位置まで無効ビットを指定することで行います（図3-3参照）。

図3 - 3 ビット・バウンダリ処理（ワード単位）



4. データの取り扱い方式

4.1 画像メモリ

ここでは、μPD72186が直接管理する画像メモリについて説明します。

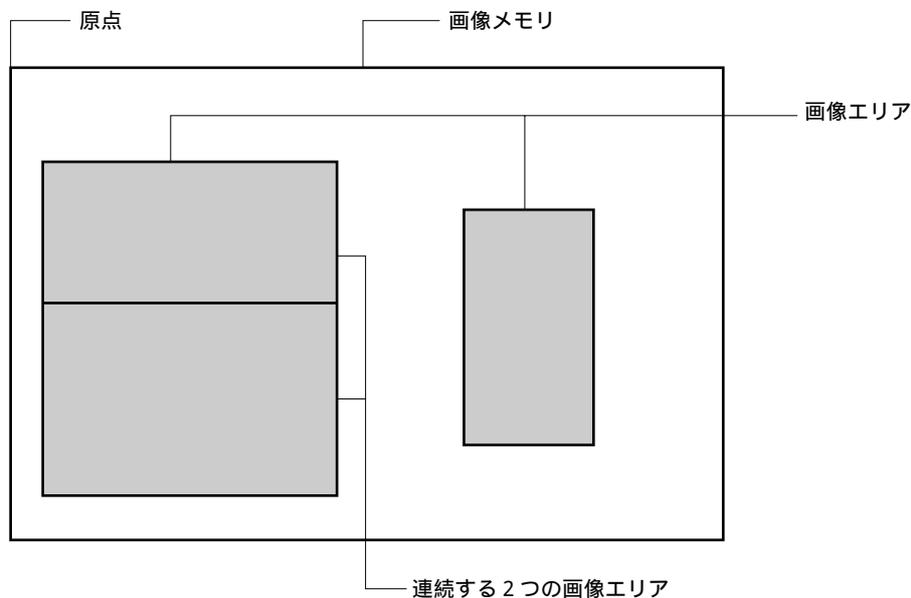
4.1.1 画像メモリと画像エリア

画像メモリとは、μPD72186がアクセス可能なメモリ領域全体を意味します。

一方、画像エリアは画像メモリに含まれる長方形の領域（図4 - 1参照）で、その大きさや位置はホストCPUからのコマンドで指定します。また、μPD72186は画像エリアを単位として処理を行います。

μPD72186は、コマンドによりページの終端を表す符号の付加、または検出ができます。ただし、ページの管理自体はホストCPUが行ってください。

図4 - 1 画像メモリと画像エリア



備考 画像エリア 画像メモリ

4.1.2 画像メモリの構成

画像メモリの構成は、バイト構成（8ビット単位）、ワード構成（16ビット単位）のいずれも可能です。バイト/ワード構成は、ホストCPUからのSYSコマンドで選択します。

ワード構成の場合、μPD72186の1アドレスが1ワードのメモリに対応します。また、バイト構成では、μPD72186の1アドレスが1バイトのメモリに対応します。

いずれの構成においても、μPD72186はその内部処理を16ビット単位で行い、画像メモリに対する書き込みも同じく16ビット単位で行います。したがって、画像メモリをバイト構成にした場合には、2回のアクセスが1つの単位となります。

μPD72186は、画像メモリに対して24本のアドレス・バスを持っているため大容量の画像メモリをアクセスすることができます。表4 - 1にバイト/ワード構成時における画像メモリ容量を示します。

表 4 - 1 画像メモリ容量

構成	容量 (Mバイト)	A4原稿換算の収容能力 (枚：主走査8本/mm，副走査4本/mm)
バイト構成	16	64
ワード構成	32	128

4.1.3 データの格納方式

画像メモリには、二値画像データだけでなく、符号やその他一般のデータも格納できます。このうち、二値画像データと符号の格納に際しては、以下の方式に従います。

(1) 二値画像データの格納方式

二値画像データは、表 4 - 2 の形式に従い 2 進数に置き換えられます。

表 4 - 2 二値画像データ表現方式

レベル	2進数での表現
白レベル	0
黒レベル	1

二値画像データの格納は次のように行います。

- (a) スキャナで最初に走査されるビットを、バイト/ワードのLSBから順に格納する。
- (b) スキャナで最初に走査されるバイト/ワード・データを、アドレスの小さい方から順にバイト/ワード単位で格納する。

(2) 符号の格納方式

符号の格納は次のように行います。

- (a) 符号をシリアルに転送する際に、先に送信するビットをバイト/ワードのLSBから順に格納する。
- (b) 符号をシリアルに転送する際に、先に送信するバイト/ワード・データをアドレスの小さい方から順に格納する。

4.2 符号化 / 復号化方式

ITU-T標準方式（表3 - 1参照）を含め、μPD72186が取り扱うことのできる符号化 / 復号化方式を表4 - 3に示します。

表4 - 3 符号化 / 復号化方式

方式の略号	概要
MH	1次元符号化 / 復号化方式, G3ファクシミリ, ITU-T標準
MR	2次元符号化 / 復号化方式, G3ファクシミリ, ITU-T標準
MMR	2次元符号化 / 復号化方式, G4ファクシミリ, ITU-T標準
スルー・モード	画像データをそのまま符号として利用, ITU-T勧告の非圧縮モードとは異なります。
その他	ライン・モードの選択により実現されるITU-T標準以外の方式

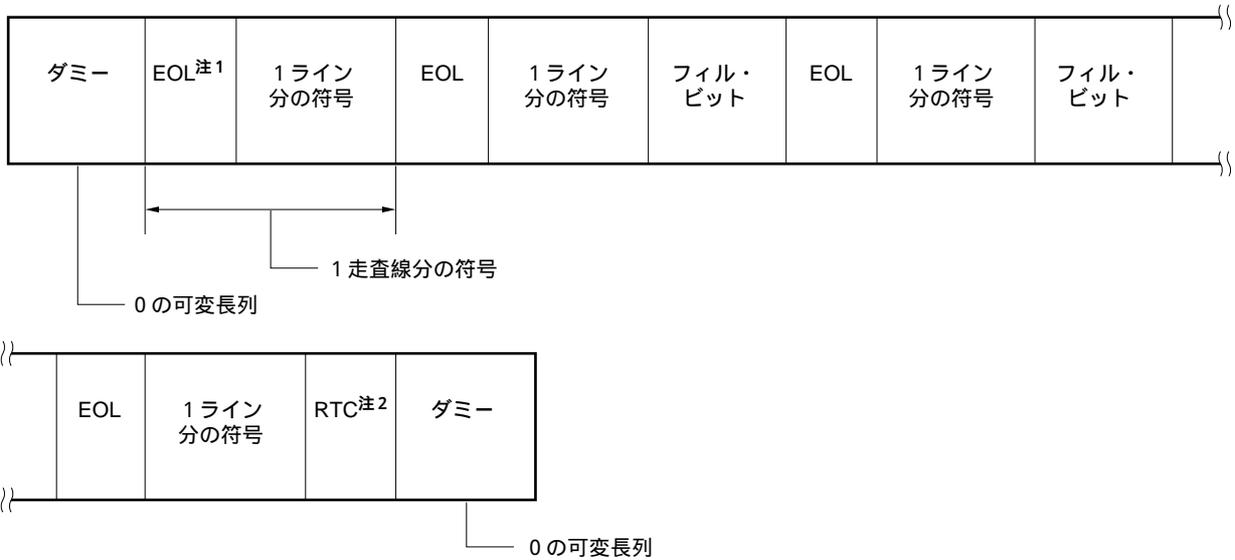
備考 ライン・モードについては、3.2.1 ライン・モードを参照してください。

4.2.1 MH方式

MH方式における1ページ分の符号データ・フォーマットは、ITU-T勧告により図4 - 2のように定められています。

図4 - 2 MH方式における符号データ・フォーマット

時系列データ⇨



注1 . End Of Lineの略号

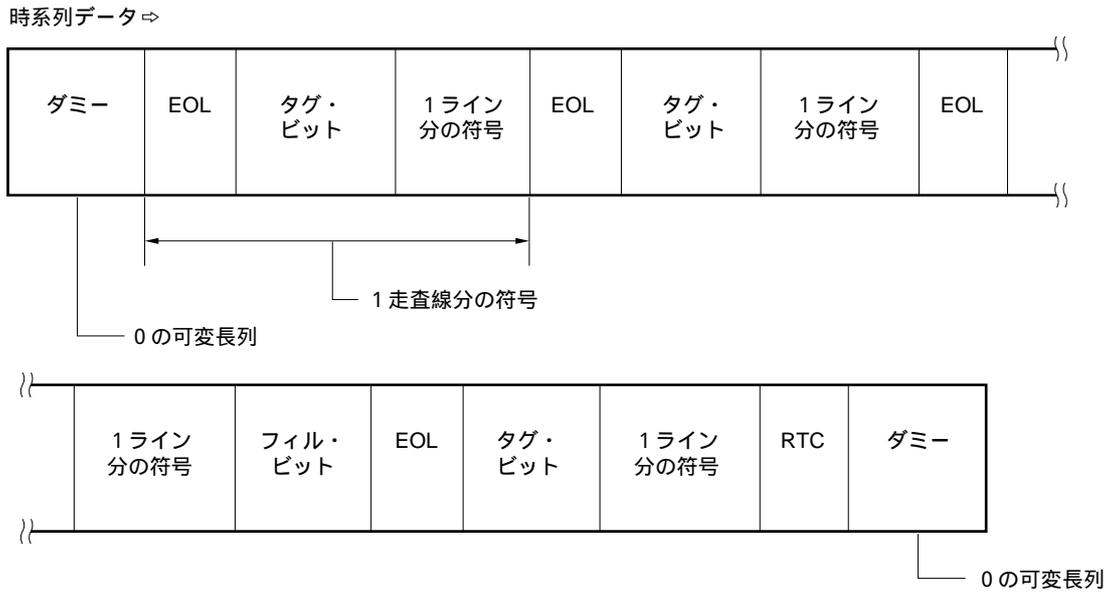
2 . Return To Controlの略号

項目	内容
各走査線の先頭	EOL
フィル・ビット	挿入可能
RTC	通常はEOL x 6
Kパラメータ	定義せず
タグ・ビット	なし
ページの先頭のEOL	なし
2,624以上のラン・レンジス符号	メイクアップ符号 x n個 + ターミネート符号

4.2.2 MR方式

MR方式における符号データ・フォーマットは、ITU-T勧告により図4 - 3のように定められています。

図4 - 3 MR方式における符号データ・フォーマット

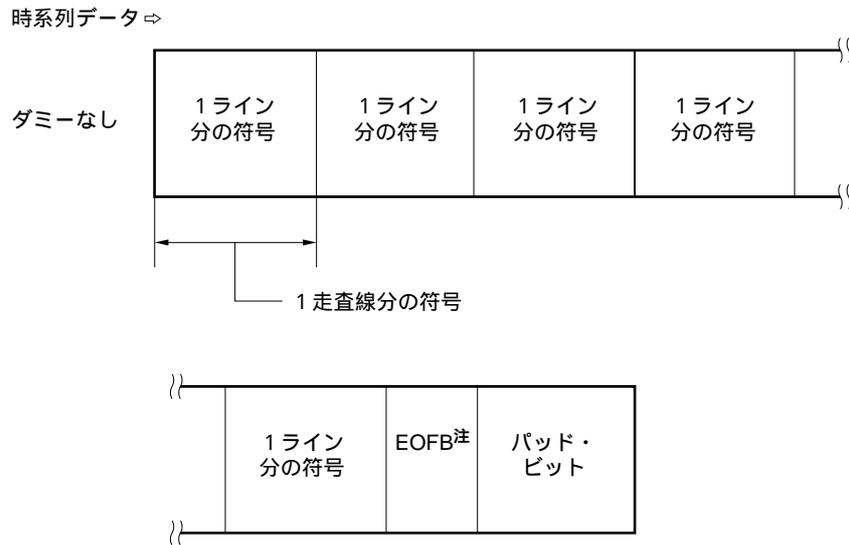


項 目	内 容
各走査線の先頭	EOL
フィル・ビット	挿入可能
RTC	(EOL + 1) × 6
Kパラメータ	あり
タグ・ビット	通常は1ビット
ページの先頭のEOL	なし
2,624以上のラン・レングス	メイクアップ符号 × n個 + ターミネート符号

4.2.3 MMR方式

MMR方式における符号データ・フォーマットは、ITU-T勧告により図4 - 4のように定められています。

図4 - 4 MMR方式における符号データ・フォーマット



注 End Of Facsimile Blockの略号

項 目	内 容
各走査線の先頭	EOLなし
フィル・ビット	なし
EOFB	EOL x 2
Kパラメータ	なし
タグ・ビット	なし
ページの先頭のEOL	なし
2,624以上のラン・レングス	メイクアップ符号 x n個 + ターミネット符号

4.2.4 画素数の拡張

1 走査線あたりの画素数が2,623を越える画像データに対しては、ITU-T勧告T.6で規定されるラン・レンジス符号テーブル拡張方法を用いて処理を行います。

4.2.5 Kパラメータ

伝送誤り回復手段を規定する目的で、MR方式において使用されます。Kパラメータの値には1から255までの数値、あるいは1から無限大()までの数値を指定できます。

あるラインの符号が1次元符号化によるものか、あるいは2次元符号化によるものかはEOLの後に挿入されるタグ・ビットの値で示します(表4-4参照)。

表4-4 符号化方式とタグ・ビット

符号化方式	タグ・ビットの値	表現方法
1次元符号化	1	EOL+1(タグ・ビット)
2次元符号化	0	EOL+0(タグ・ビット)

4.2.6 フィル・ビット処理

μPD72186は、符号化を行う際に符号データの長さを調節するため、符号にフィル・ビットを付加することができます。フィル・ビットを付加するには、以下の2通りの方法があります。

- (1) BLOコマンドにより最小送出ビット数を指定する方法
- (2) LNOコマンドを用いる方法

復号化時には、付加されたフィル・ビットはμPD72186により無視されます。

各コマンドの詳細については6.2 コマンド一覧を参照してください。

4.2.7 復号化時のエラー処理

μPD72186は、符号を復号化する際に符号中のエラーを検出し、その処理を行うことができます。

各エラー検出条件と適用される符号化方式を表4-5に示します。

表4-5 エラー検出条件

エラー検出条件	適用される符号化方式
イリーガル符号	MH, MR, MMR
論理矛盾した符号	MR, MMR
指定ライン長より復号ラインが長くなる	MH, MR, MMR
指定ライン長より復号ラインが短くなる	"
ページ・エンド異常	"

4.2.8 ライン数カウント機能

μPD72186は、復号化時に下記の3種類のライン数をカウントすることができます。

- (1) 正常に復号化したライン数(正常処理ライン数)
- (2) エラーの発生したライン数(エラー・ライン数)
- (3) 連続してエラーが発生した場合のライン数(連続エラー・ライン数)

エラー・ライン数、および連続エラー・ライン数のカウントが開始されるタイミングには、以下の2通りがあります。タイミングの選択、および各ライン数の初期値の設定はコマンドにより行います。

- (1) 最初のエラー発生からカウント開始
- (2) 1ラインの復号化が正常に行われた時からカウント開始

5 . インタフェース

μPD72186は、以下の2つのインタフェースを持っています。

- (1) ホスト・インタフェース
- (2) 画像メモリ・インタフェース

ホスト・インタフェースは、ホストCPU（外部DMAコントローラを含む）とμPD72186とのインタフェースです。μPD72186へのアクセスは通常のI/O動作により行います。

ホスト・バスのデータ・バス幅は基本的には16ビットですが、 $\overline{\text{UBE}}$ 端子とIOA0端子を操作することでデータ・バス幅を8ビットとすることもできます（表5 - 1 参照）。

表5 - 1 ホスト・データ・バスの状態

IOA0の値	$\overline{\text{UBE}}$ の値	IOD0-IOD7	IOD8-IOD15
0	0	有効	有効
0	1	有効	無効
1	0	無効	有効
1	1	有効	無効

画像メモリ・インタフェースは、画像データや符号を格納する画像メモリ、およびμPD72186とのインタフェースです。μPD72186から画像メモリへのアクセスは、内蔵DMAコントローラを用いてDMA動作により行います。画像メモリ・インタフェースを通して、μPD72186は直接画像メモリを管理します。

μPD72186は、ある1つの処理を終了すると、INT端子の出力をハイとするとともにステータス・レジスタ中のINTRビット（図5 - 3参照）をセットして、ホストCPUに対し処理の終了や中断を報告します。

一方、ホストCPUは、INTレベルをサンプルするか、あるいはINTRビットをソフトウェアでポーリングすることにより処理の終了や中断を確認します。

5.1 ホスト・インタフェース

μPD72186とホストCPUとのやりとりは、ホスト・インタフェースを通じ、I/Oアクセスにより行います。

一般的に、ホストCPUからμPD72186への書き込みはコマンドの形をとります。また、μPD72186からの読み込みはレスポンスの形をとります。

μPD72186に実際に処理を開始させるためには、以下の操作が必要です。

- (1) 必要なコマンドをμPD72186に書き込む
- (2) μPD72186のコントロール・レジスタのCRQビットに1を書き込む

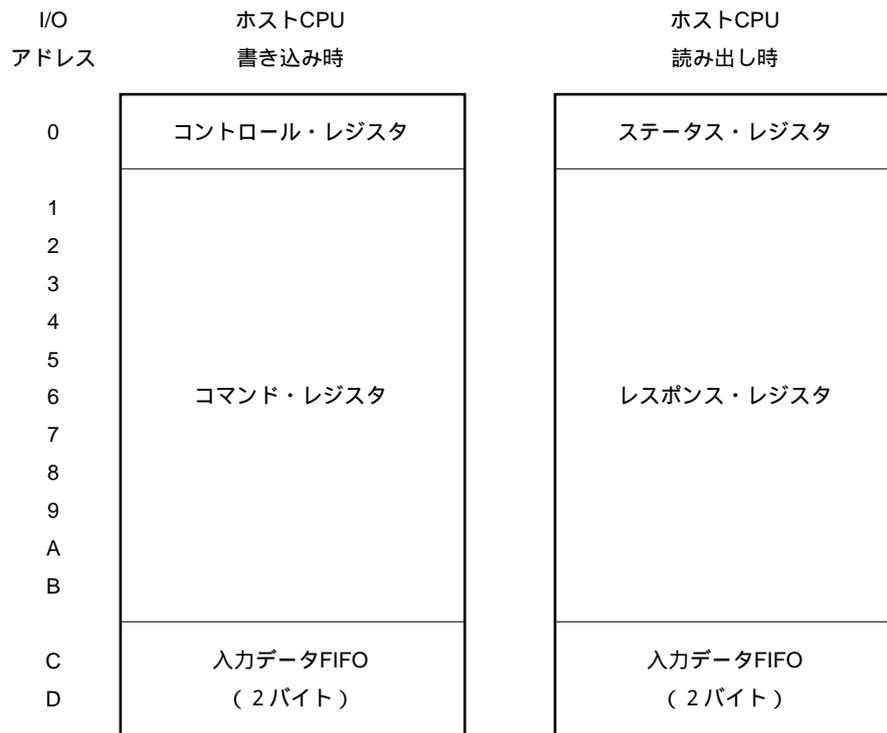
μPD72186は、CRQビットがセットされると、与えられたコマンドに基づいて処理を開始します。いったん処理が開始されると、ホストCPUは、処理の終了あるいは中断を確認するまで、次の処理のために再度CRQビットに1を書き込むことはできません。

5.1.1 レジスタ構成

図5 - 1 に μPD72186のレジスタ構成（データFIFOを含む）を示します。

μPD72186は、コマンド/レスポンスを含め、ホストCPUとのやりとりをこれらレジスタ、およびデータFIFOを用いて行います。各レジスタ、およびデータFIFOは、いずれも読み出し/書き込み兼用です。

図5 - 1 レジスタ構成



備考 I/OアドレスのE番地、およびF番地は使用禁止です。

(1) コントロール・レジスタ

コントロール・レジスタは、ステータス・レジスタと同じI/Oアドレス（0番地）を共有しており、ホストCPUからの書き込み時に使用されます。

図5-2にコントロール・レジスタの構成、および各ビットの機能を示します。

図5-2 コントロール・レジスタ

7	6	5	4	3	2	1	0	ビット
0	0	0	0	0	SFTRST	INTRST	CRQ	

名 称	機 能
CRQ (Command Request)	〔コマンド・リクエスト〕 ホストCPUがコマンドを書き込んだのち、このビットに1を書き込むと、μPD72186はコマンドに基づき処理を開始します。μPD72186が処理を終了したのち、CRQビットは自動的にリセットされます。
INTRST (Interrupt Request)	〔割り込みリセット〕 ホストCPUがINTRSTビットに1を書き込むと、μPD72186は、INT端子の出力をロウ・レベルにし、INTRビットをリセット（0）します。INTRSTビットは、セット（1）されたあと、自動的にリセット（0）されます。
SFTRST (Software Reset)	〔ソフトウェア・リセット〕 μPD72186は、RESET端子を用いずソフトウェアでリセットを行います。SFTRSTビットに1を書き込むと、リセット動作を行います。SFTRSTビットはリセット後、自動的にリセット（0）されます。ソフトウェア・リセットは、RESET端子を用いたハードウェア・リセットと機能的に同じです。

(2) ステータス・レジスタ

コントロール・レジスタと同じI/Oアドレスを共有しており、ホストCPUからの読み出し時に使用されます。

図5-3にステータス・レジスタの構成、および各ビットの機能を示します。

図5-3 ステータス・レジスタ

7	6	5	4	3	2	1	0	ビット
					INTR	OUTRDY	INRDY	

名 称	機 能
INRDY (Input Ready)	〔入力レディ〕 1のとき、入力データFIFOがホストCPUからのデータの入力待ちであることを示します。この値はDREQ端子の信号レベルと同じです。
OUTRDY (Output Ready)	〔出力レディ〕 1のとき、出力データFIFOがホストCPUに対してデータの出力待ちであることを示します。この値はDREQ端子の信号レベルと同じです。
INTR (Interrupt Request)	〔割り込みリクエスト〕 INT端子と同一の信号レベルを示します（1が割り込みの状態）。μPD72186は、処理の終了あるいは中断を、INT出力と同様、このビットをセットすることでホストCPUに知らせます。

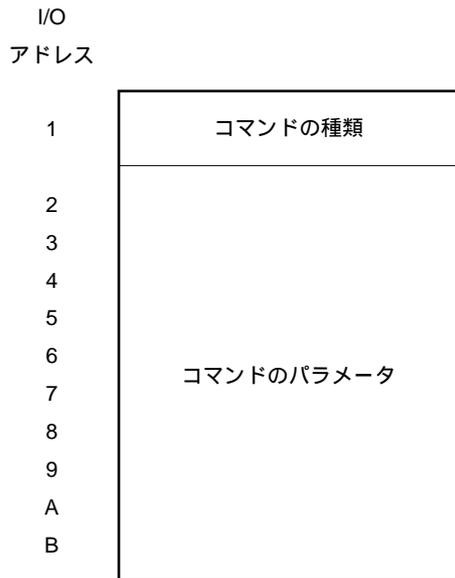
(3) コマンド・レジスタ

レスポンス・レジスタと同じI/Oアドレス（1番地からB番地）を共有します。

コマンド・レジスタは、コマンドの種類とコマンドのパラメータの2部分からなり、ホストCPUからの書き込み時に使用されます。

図5 - 4にコマンド・レジスタの構成を示します。

図5 - 4 コマンド・レジスタ



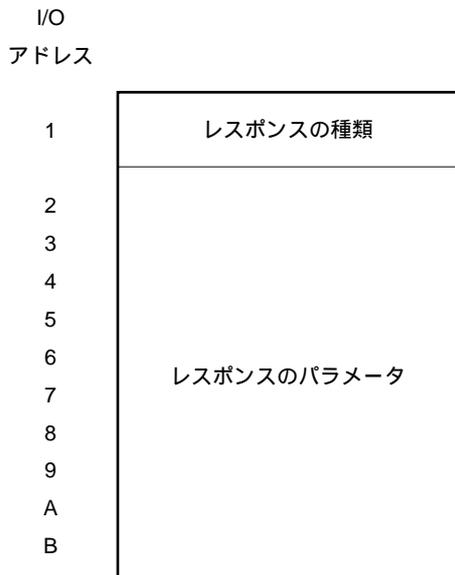
(4) レスポンス・レジスタ

コマンド・レジスタと同じI/Oアドレスを共有します。

レスポンス・レジスタは、レスポンスの種類とレスポンスのパラメータの2部分からなり、ホストCPUからの読み出し時に使用されます。

図5 - 5にレスポンス・レジスタの構成を示します。

図5 - 5 レスポンス・レジスタ



(5) 入力/出力データFIFO

μPD72186は、ホストCPUと画像データや符号などの受け渡しを行う際、データFIFOを仲介します。

入力データFIFOと出力データFIFOは、それぞれ2バイトからなり、同一のI/Oアドレス（C番地とD番地）を共有します。

図5 - 6 に入力/出力データFIFOの構成を示します。

図5 - 6 入力/出力データFIFO

I/O アドレス			
C	MSB	下位データ	LSB
D	MSB	上位データ	LSB

5.1.2 基本タイミング

図5 - 7 aにμPD72186からの読み出しタイミングを、また図5 - 7 bにμPD72186への書き込みタイミングをそれぞれ示します。

図5 - 8 aに外部DMAコントローラとの読み出し / 書き込みタイミング (ワード・モード) を示します。

図5 - 8 bに外部DMAコントローラとの読み出し / 書き込みタイミング (バイト・モード) を示します。

図5 - 7 a μPD72186からの読み出しタイミング

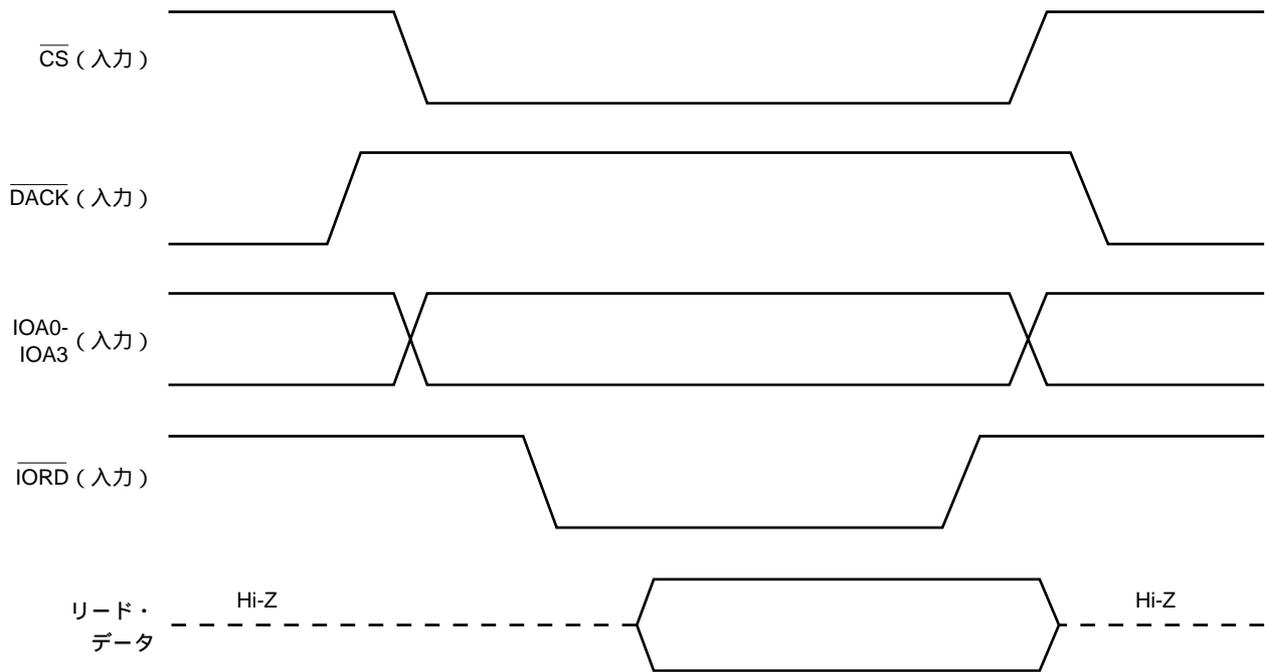


図5 - 7 b μPD72186への書き込みタイミング

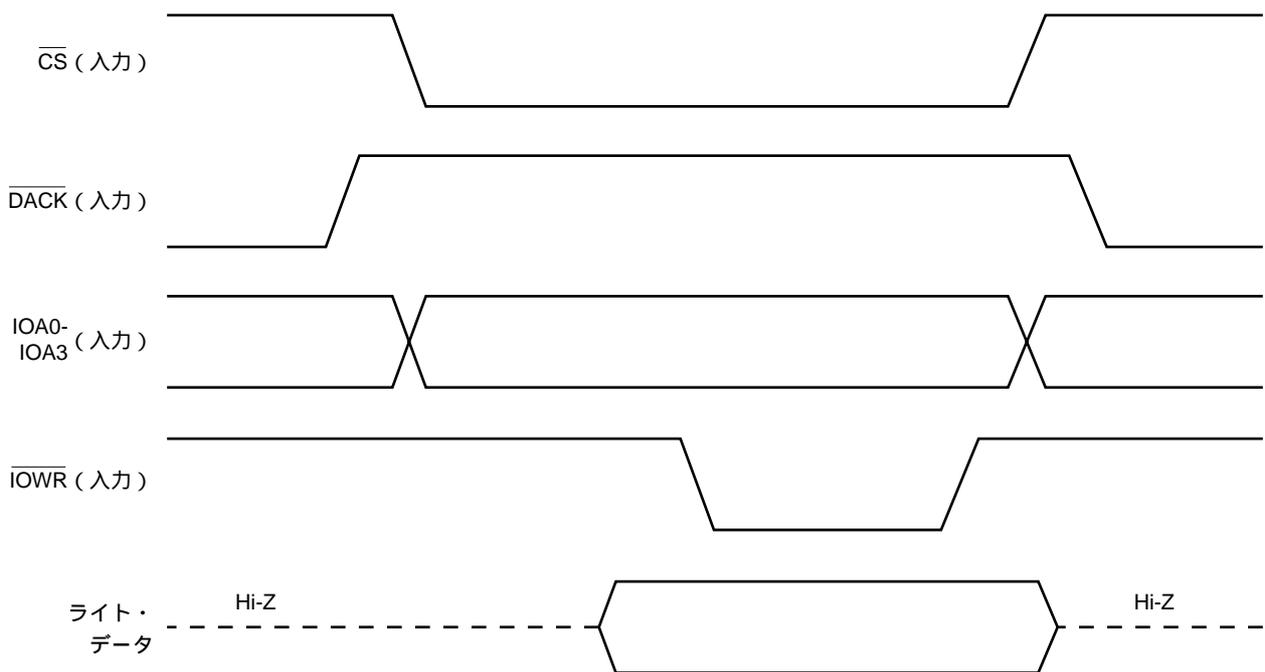


図5 - 8 a 外部DMAコントローラとの読み出し/書き込みタイミング(ワード・モード)

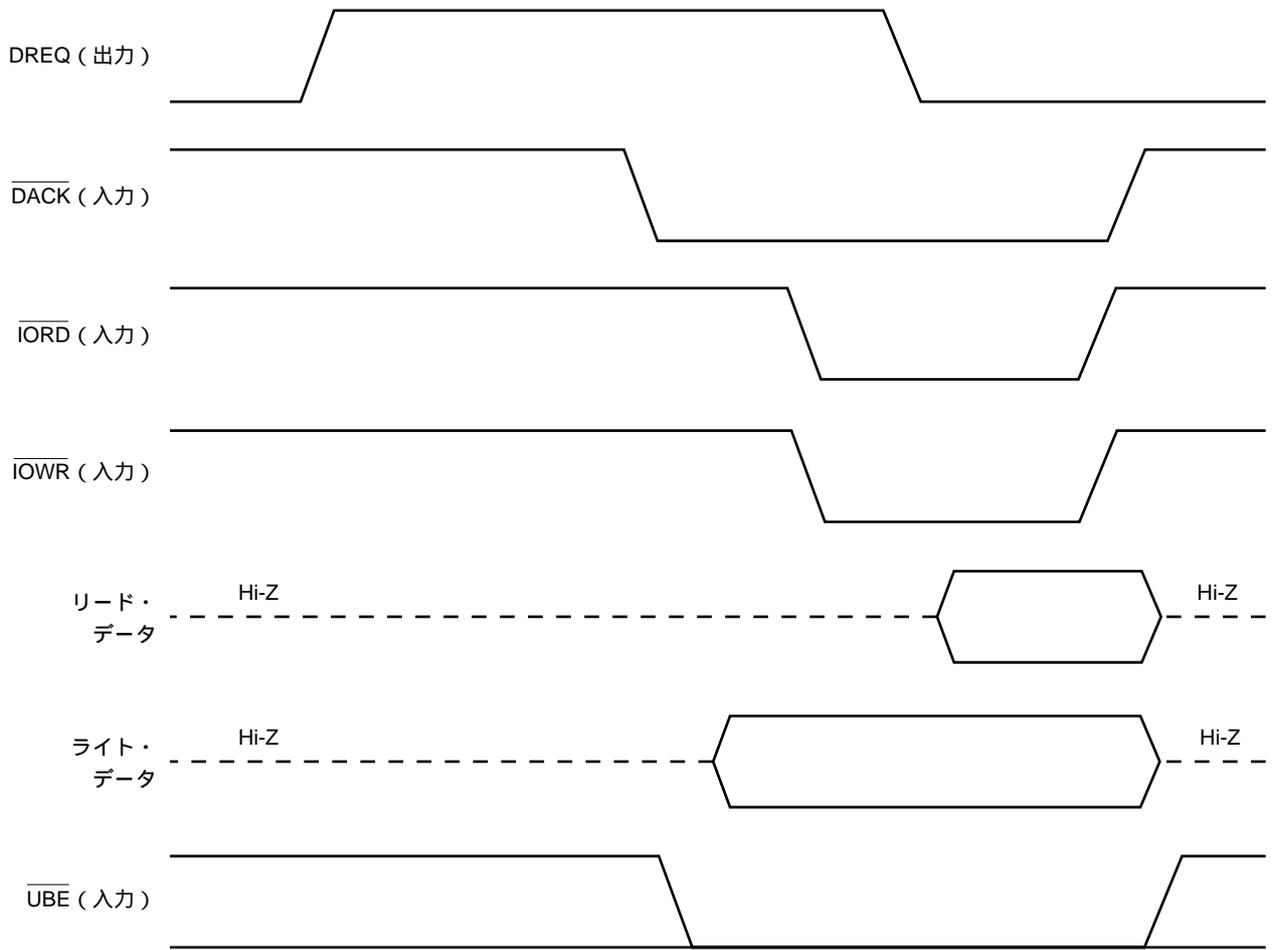
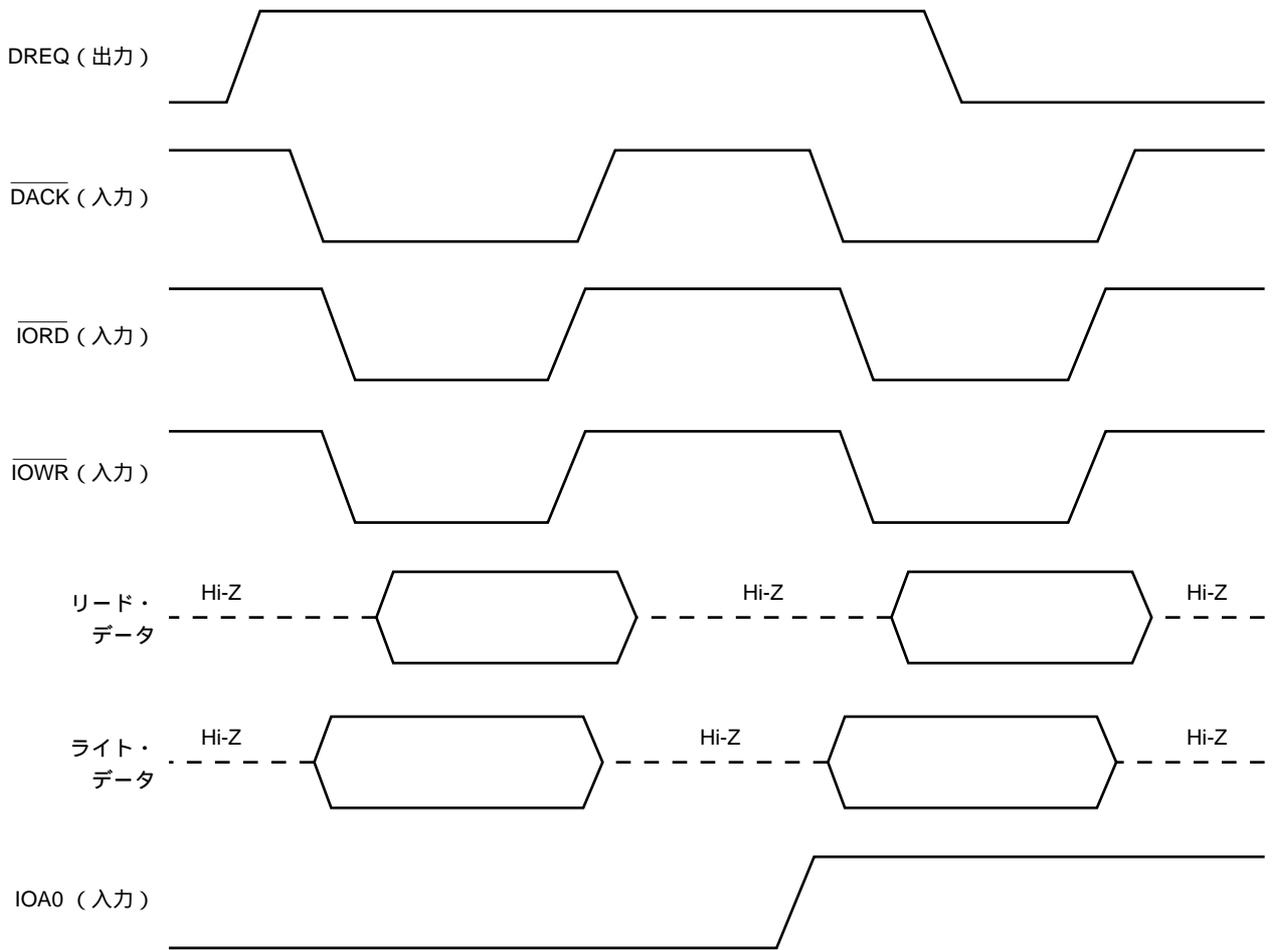


図5 - 8 b 外部DMAコントローラとの読み出し/書き込みタイミング(バイト・モード)



5.2 画像メモリ・インタフェース

μPD72186と画像メモリとのやりとりは、画像メモリ・インタフェース（内蔵DMAコントローラ）を通じDMA転送により行います。

5.2.1 基本タイミング

DMA転送における基本バス・サイクルは、S1, S2, およびS3の3ステート（クロック）で構成されます。μPD72186は、このバス・サイクル内で1バイトまたは1ワードのデータの読み出し/書き込みを行います。

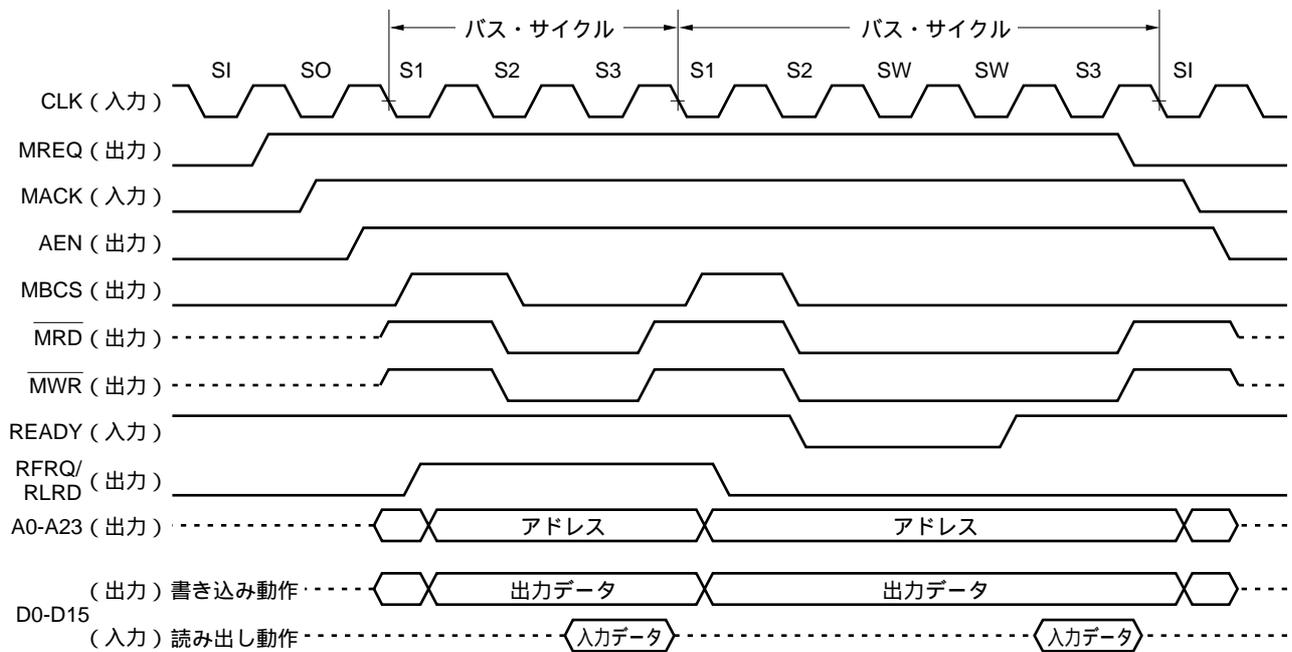
図5 - 9にDMA転送のタイミングを示します。

画像メモリを構成するメモリ素子のアクセス時間が長く、基本バス・サイクル内での読み出し/書き込みが不可能な場合、μPD72186はS2とS3との間にSW（ウエイト・ステート）を挿入し、リード/ライト・パルス幅を延長することができます。

ウエイト・ステートの挿入には、次の2つの方法があります。

- (1) READY端子の操作
- (2) コマンドによるプログラマブル・ウエイト

図5 - 9 DMA転送タイミング



備考 破線はハイ・インピーダンスです。

5.2.2 バス・サイクル・モード

μPD72186は、画像メモリ・バスを専有する方法として、以下の3種類のモードを持っています。バス・サイクル・モードの選択は、SYSコマンドにより行います。

(1) 完全バス専有モード

μPD72186は画像メモリ・バスを完全に独占します。このモードでは、MREQおよびMACK信号は使用しません。

(2) デイモンド・モード

μPD72186は、いったん画像メモリ・バスの使用权を得ると、それを必要とみならず間はMREQ信号をハイ・レベルに維持し、バスを専有します。バスを専有する期間は処理するデータに依存します。μPD72186は、1ラインの処理が終了すると必ずバスを明け渡します。

(3) 8バス・サイクル専有モード

μPD72186は、いったん画像メモリ・バスの使用权を得ると、最高8バス・サイクルの間バスを専有します。その後、MREQをロウ・レベルに落としてバスを明け渡します。再びMREQを立ち上げるには、少なくとも3クロックが必要です。

5.2.3 DMAブ레이크

μPD72186は、DMA転送中にMACKを立ち下げることにより、DMA転送を中断することができます。この動作をDMAブ레이크といいます。DMAブ레이크は、DMA転送中に画像メモリ・バスを使用したい場合に行います。

μPD72186は、DMA転送中は画像メモリ・バスを専有しています(MREQ = 1)。MACKをハイ・レベル(MACK = 1)に維持すると、画像メモリ・バスを専有したままですが、ロウ・レベルにすると、MREQはロウ・レベルになり、DMA転送を中断します。

μPD72186は、図5-10に示すようにMACKの値をS3の前の状態内のクロックの立ち上がりで内部に取り込み、S3期間中のクロックの立ち上がりでMREQを変化させます。

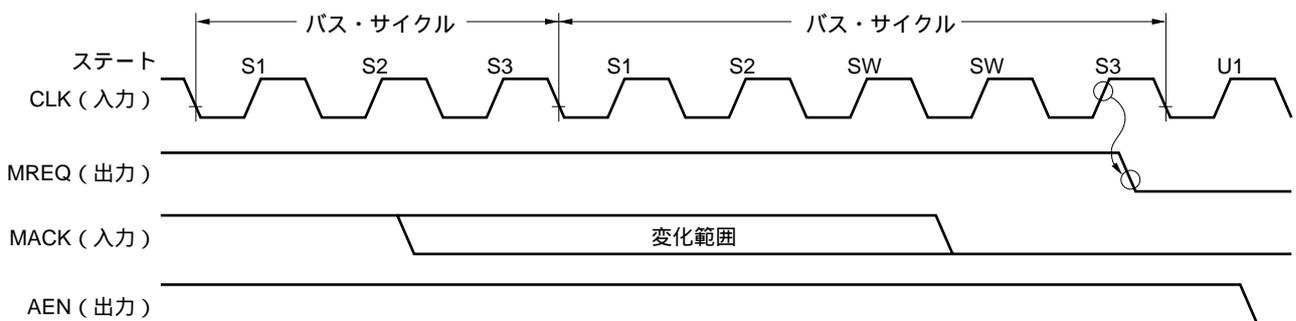
このため、MREQが実際にハイ・レベルからロウ・レベルになるには、MACKが立ち下がってから最高1バス・サイクル+1クロックかかります。また、AENがハイ・レベルからロウ・レベルになるには、さらに1クロックかかります。

AENの立ち下がり後と次の動作を行う場合は、MREQが立ち下がったことを確認してください。

また、DMAブ레이크のために立ち下げたMREQは、最低3クロックのあいだロウ・レベルを保持してからハイ・レベルになります。DMA転送を再開するには、MREQが再び立ち上がってからMACKを立ち上げてください。

完全バス専有モードの場合、μPD72186ではMREQおよびMACK信号は使用されないため、DMAブ레이크は動作しません。

図5-10 DMAブ레이크・タイミング



5.2.4 リフレッシュ機能

μPD72186には、定期的にリフレッシュ・タイミングを出力する機能があります。ただし、リフレッシュ・アドレスを出力しません。したがって、DRAMを画像メモリとして使用する場合は、外部にリフレッシュ・アドレス発生回路を接続するか、またはDRAMのCASビフォーRASリフレッシュ機能を使用します。

SYSコマンドのSREFパラメータとLREFパラメータで、μPD72186のリフレッシュ機能を使用するかどうかを選択します。リセット直後は、リフレッシュ機能を使用しないモード（SREF = 1）が選択されます。SYSコマンドのSREFパラメータを“0”，LREFパラメータを“0”に設定した場合、μPD72186のRFRQ端子から、3クロック幅のリフレッシュ・パルスを出力します。

μPD72186が画像メモリの内容を読み出すことで、リフレッシュ・タイミングが出力されます（このとき、出力されるアドレスは無視してください）。μPD72186の内部リフレッシュ・カウンタによってクロックをカウントしています。この値が指定したサイクルになると、次のバス・サイクルで画像メモリの内容を読み出そうとします。μPD72186は、完全バス専有モード以外のモードでは、MACKが返ってくるまでバスを使用しません。他の回路とは独立に、リフレッシュ・カウンタはクロックをカウントしてカウント値が指定したサイクルになると、リフレッシュ要求を出し、カウント値を“0”にリセットします。たとえば、MREQに対してMACKが指定したサイクル以内に返ってこなければ、リフレッシュ・カウンタは次のリフレッシュ要求を出します。ただし、μPD72186内部で無視されず。

リフレッシュ・タイミングを出力するタイミングを以下に示します。

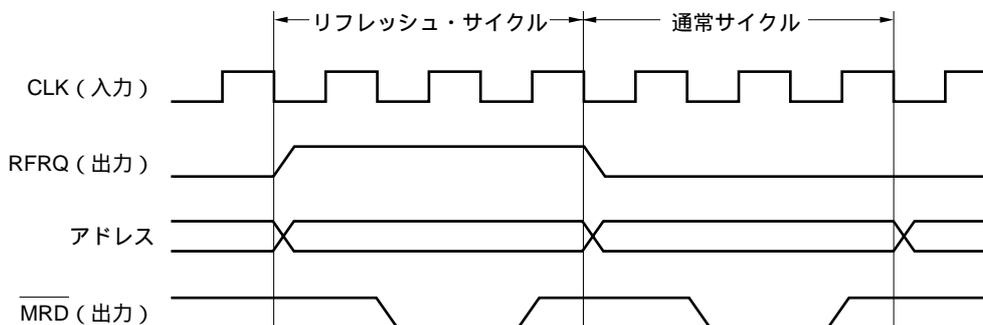
RFRQ信号がハイ・レベル時：リフレッシュ・サイクル

RFRQ信号がロウ・レベル時：通常サイクル

リフレッシュに使用できる期間は、このあとからMRD信号の立ち上がりまでです。この期間を長くするには以下の方法があります。

- (1) READY端子の操作
- (2) コマンドによるプログラマブル・ウエイト

図5 - 11 リフレッシュ・タイミング



μPD72186はリフレッシュ・サイクルにおいても、完全バス専有モード以外では、画像メモリ・バスを獲得するために、MREQ, MACK信号を使用します。したがって、μPD72186のリフレッシュ機能を用いて確実にリフレッシュを行うためには、μPD72186に最優先のバス使用権を与えてください。また、他のデバイスがバスを使用しているときに、μPD72186がバスを要求した場合は、そのデバイスはすぐにバスを開放しなければなりません。

リセット直後、μPD72186はリフレッシュ・タイミングを出力しないモードに初期設定されます。したがって、μPD72186のリフレッシュ機能を使用するシステムにおいては、μPD72186をリセットするとメモリの内容が破壊されますので注意してください。

μPD72186のリセットには以下の2種類があります。

- (1) ハードウェア・リセット (RESET端子をロウ・レベルにする)
- (2) ソフトウェア・リセット (コントロール・レジスタのリセット・ビットに“1”を書き込む)

どちらのリセットも機能は同じで、リフレッシュ・タイミングの出力は停止します。

ダイヤモンド・モード、または8バス・サイクル・モード (リセット時のデフォルト) で、リフレッシュ機能を使用中、完全バス専有モードに切り替える場合は、μPD72186がリフレッシュ・サイクルの途中状態の可能性がありますので注意してください。この場合、完全バス専有モードに切り替わっても、そのリフレッシュ・サイクルが終了するまでは、MACK信号をハイ・レベルにしてください。このときにMACK信号がロウ・レベルだとμPD72186はMACK信号がハイ・レベルになるのを待ち続けます (MREQとAEN信号が立ち続けます)。

これを防ぐためには、以下の手順にそって行ってください。

- リフレッシュを使用しないモードに設定する
- MACK信号によって、リフレッシュ・サイクルを確実に終了する
- 完全バス専有モードに切り替える

上記の手順を終了すると、MACK信号は無効になります。

6 . コマンドとレスポンス

6.1 コマンドとレスポンスの種類

μPD72186のコマンドには、大別して設定コマンド、動作コマンド、統計コマンド、CLBスイッチ・コマンド、および特殊コマンドの5種類があります。

表6 - 1 に各コマンド種類と機能、および所属するコマンドの名称を示します。

表6 - 1 コマンドの種類

コマンドの種類	機 能	所属コマンド名称
設定コマンド	システムの構成、処理対象/処理済みデータの格納位置、および処理形式を指定します。	SYS, MOD, SIMB, SCDB, SPRS
動作コマンド	符号化/復号化、データ転送(合成)などの処理の開始をμPD72186に命令します。	BLO, LNO, MSK, EOL, RTC, RTAG, FILL, TRO, CNT, ABT
統計コマンド	μPD72186が実行した処理に関する情報を要求します。	RPRS, RCLB
CLBスイッチ・コマンド	圧縮ライン・バッファの使用/不使用を指定します。	CLB-ON, CLB-OFF
特殊コマンド	μPD72186が内蔵しているファームウェアのバージョンを読み出します。	RVER

備考 圧縮ライン・バッファは、1ライン分の符号を、ある規則に従って圧縮し格納しています。

一方、これらコマンドに対してホストCPUに返されるレスポンスは、確認レスポンス、エラー・レスポンス、統計レスポンス、および特殊レスポンスの4グループに分けられます。各レスポンスの機能は以下のとおりです。

(1) 確認レスポンス

コマンドで要求された処理が終了したことを報告します。

(2) エラー・レスポンス

コマンドで要求された処理の実行が不可能であった場合に返されます。

(3) 統計レスポンス

統計コマンドに対し統計情報を返します。

(4) 特殊レスポンス

(1) ~ (3) 以外。

6.2 コマンド一覧

μPD72186のコマンドの名称，および機能を表6 - 2に示します。

表6 - 2 コマンド一覧(1/2)

名 称	機 能
SYS (System)	〔システム構成の設定〕 画像メモリの構成，バス・サイクル・モード，1ラインのワード長など使用するシステムに固有のパラメータを設定します。また，μPD72186内部のパラメータ・テーブルを初期化します。
MOD (Mode)	〔モード設定〕 処理形態，符号化／復号化形式（転送時は転送モード），Kパラメータ，RTC，拡大／縮小など各種処理モードを設定します。
SIMB (Set Image Buffer)	〔画像バッファの指定〕 画像メモリ上の参照ラインの先頭アドレス，画像データを格納する画像エリア（画像バッファ）の先頭アドレス，およびその大きさを指定します。転送時は，転送元／転送先のアドレス，および転送量を指定します。
SCDB (Set Code Buffer)	〔符号バッファの指定〕 符号を格納する画像エリア（符号バッファ）の先頭アドレス，その大きさ，および先頭ビット位置を指定します。
SPRS (Set Process Status)	〔統計情報の初期値設定〕 正常処理ライン数や最大エラー・ライン数などの初期値設定，およびエラー・ライン数が最大値を越えた場合のアボート実行／不実行などを指定します。
BLO (Block Operation)	〔ブロック単位の処理の実行〕 ブロック・モードにおける最小送出ビット数，1ラインのワード長，左右端の無効ビット数，左右端の白マスク・ワード長などを指定します。通常，μPD72186による符号化／復号化はこのコマンドを用いて行います。
LNO (Line Operation)	〔ライン単位の処理の実行〕 ライン・モードにおいて，付加するフィル・ビット数，1ラインのワード長，左右端の無効ビット数，タグ・ビットなどを指定します。
TRO (Transfer Operation)	〔データ転送／合成処理の実行〕 SIMBコマンドにより指定される画像バッファに対して，データ転送／合成を行います。
MSK (White Mask)	〔白マスク処理〕 マスク処理の対象となる1ラインのワード長，左右端白マスクのワード長，左右端の無効ビット数などを指定し，画像バッファに対する白マスク処理を行います。
EOL (End Of Line)	〔EOL符号付加／検出〕 符号化時は符号にEOL符号を付加し，復号化時は付加されたEOL符号を検出します。検出したEOL符号をRTC符号の一部と判断した場合，μPD72186はRTC符号の検出を開始します。
RTC (Return To Control)	〔RTC符号付加／検出〕 符号化時は符号にRTC符号を付加し，復号化時は付加されたRTC符号の検出を行います。
RTAG (Read TAG Pattern)	〔タグ・パターンの要求〕 復号化時，1ラインの先頭に付加されているタグ・パターンを読み出します。ライン・モードでは，ホストCPUがタグ・パターンを解釈することで，ITU-T標準以外の独自の符号化／復号化方式が実現されます。
FILL (Fill)	〔フィル・ビットの挿入〕 符号化時，符号にフィル・ビットを付加します。

表 6 - 2 コマンド一覧 (2/2)

名 称	機 能
CNT (Continue)	〔処理の継続実行〕 CNTコマンドが発行されると、それまでの処理形態や符号化/復号化方式に従って、連続する画像エリアを以前と同じ大きさだけ処理します。CNTコマンドにより、μPD72186は、CFE割り込みが発生している場合でも処理を再開できます。
ABT (Abort)	〔処理の中断、廃棄〕 CFE割り込みが発生している場合、μPD72186は、ABTコマンドにより処理を再開します。ただし、この処理は割り込み発生時に処理中であった1ラインに対してのみ行われます。1ラインの処理が終了すると、μPD72186は処理を中断します。割り込みの発生していない状態でABTコマンドが発行されると、μPD72186は継続処理モードを解除します。
RPRS (Read Process Status)	〔処理の統計情報の要求〕 処理の実行にともなう正常処理ライン数、エラー・ライン数などの統計情報をμPD72186に対して要求します。
RCLB (Read Compression Line Buffer)	〔圧縮ライン・バッファの統計情報の要求〕 RCLBコマンドを受け取ると、μPD72186は圧縮ライン・バッファの内容を読み出します。ある1ラインに関し、画素の分布を知りたい場合に使用します。
CLB-ON/OFF (CLB On/Off)	〔圧縮ライン・バッファの使用/不使用〕 圧縮ライン・バッファの使用/不使用は、CLB-ONあるいはCLB-OFFコマンドを用いてユーザが指定します。CLB-ON/OFFコマンドは、ライン・モードにおいてのみ有効です。
RVER (Read Version Number)	〔内部ファームウェア・バージョンの読み出し〕 μPD72186が内蔵しているファームウェアのバージョンを読み出します。

備考 CFE割り込みは、CEMPTレスポンス、またはCFULLレスポンスが返されると発生します。

6.3 レスポンス一覧

μPD72186のレスポンスの名称，および機能を表6 - 3に示します。

表6 - 3 レスポンス一覧 (1/3)

名 称	機 能
SYSOK (SYS Okey)	〔SYSコマンド処理終了〕 SYSコマンドの処理が正常に終了したことを示します。
MODOK (MOD Okey)	〔MODコマンド処理終了〕 MODコマンドの処理が正常に終了したことを示します。
SIMBOK (SIMB Okey)	〔SIMBコマンド処理終了〕 SIMBコマンドの処理が正常に終了したことを示します。
SCDBOK (SCDB Okey)	〔SCDBコマンド処理終了〕 SCDBコマンドの処理が正常に終了したことを示します。
PRSTBL (Process Status Table)	〔統計情報テーブル〕 SPRSコマンドで初期化される以前の統計情報テーブルの内容を報告します。また，RPRSコマンドに対し，現在の統計情報テーブルの内容を報告します。
BCDOK (Block Code Okey)	〔BLOコマンド符号化処理終了〕 BLOコマンドによる符号化が正常に終了したことを示します。同時に，処理したライン数，処理した画像データ・バッファに続く画像データ・バッファの先頭アドレス，処理した符号バッファに続く符号バッファの先頭アドレス，およびこの符号バッファの先頭ビット位置をホストCPUに返します。
BDCOK (Block Decode Okey)	〔BLOコマンド復号化処理終了〕 BLOコマンドによる復号化が終了したことを示します。同時に，処理したライン数，処理した画像バッファに続く画像バッファの先頭アドレス，処理した符号バッファに続く符号バッファの先頭アドレス，およびこの符号バッファの先頭ビット位置をホストCPUに返します。
BLABT (Block Abort)	〔BLOコマンド復号化処理中断〕 BLOコマンドによる復号化の実行中に，エラー・ライン数がSPRSコマンドで設定される最大値を越えたため処理が中断したことを示します。同時に，処理したライン数，処理した画像バッファに続く画像バッファの先頭アドレス，処理した符号バッファに続く符号バッファの先頭アドレス，およびこの符号バッファの先頭ビット位置をホストCPUに返します。
LCDOK (Line Code Okey)	〔LNOコマンド符号化処理終了〕 LNOコマンドによる符号化が正常に終了したことを示します。同時に，画像バッファの残りライン数，処理した画像バッファに続く画像バッファの先頭アドレス，処理した符号バッファに続く符号バッファの先頭アドレス，およびこの符号バッファの先頭ビット位置をホストCPUに返します。
LDCOK (Line Decode Okey)	〔LNOコマンド復号化処理終了〕 LNOコマンドによる復号化が終了したことを示します。同時に，画像バッファの残りライン数，処理した画像バッファに続く画像バッファの先頭アドレス，処理した符号バッファに続く符号バッファの先頭アドレス，およびこの符号バッファの先頭ビット位置をホストCPUに返します。

表 6 - 3 レスポンス一覧 (2/3)

名 称	機 能
LNABT (Line Abort)	〔 LNOコマンド復号化処理中断〕 LNOコマンドによる復号化を実行中に、エラー・ライン数がSPRSコマンドで設定される最大値を越えたため処理が中断したことを示します。同時に、画像バッファの残りライン数、処理した画像バッファに続く画像バッファの先頭アドレス、処理した符号バッファに続く符号バッファの先頭アドレス、およびこの符号バッファの先頭ビット位置をホストCPUに返します。
TRNOK (Transfer Okey)	〔 TROコマンド処理終了〕 TROコマンドによるデータ転送 / 合成処理が正常に終了したことを示します。同時に、次の転送元 / 転送先アドレスをホストCPUに返します。
MSKOK (Mask Okey)	〔 MSKコマンド終了〕 MSKコマンドによる処理が正常に終了したことを示します。同時に、次に処理する画像バッファの先頭アドレスをホストCPUに返します。
ECDOK (EOL Code Okey)	〔 EOLコマンド符号化モード処理終了〕 EOLコマンドにより、EOL符号が付加され符号バッファに対し出力されたことを示します。同時に、処理した符号バッファに続く符号バッファの先頭アドレス、およびこの符号バッファの先頭ビット位置をホストCPUに返します。
EDCOK (EOL Decode Okey)	〔 EOLコマンド復号化モード処理終了〕 EOLコマンドにより、符号バッファ中にEOL符号を検出したことを示します。同時に、検出したEOL符号に続くビットのアドレス、およびそのビット位置をホストCPUに返します。
RCDOK (RTC Code Okey)	〔 RTCコマンド符号化モード処理終了〕 RTCコマンドにより、RTC符号が付加され符号バッファに対し出力されたことを示します。同時に、処理した符号バッファに続く符号バッファの先頭アドレス、およびこの符号バッファの先頭ビット位置をホストCPUに返します。
RDCOK (RTC Decode Okey)	〔 RTCコマンド復号化モード処理終了〕 RTCコマンドにより、符号バッファ中にRTC符号を検出したことを示します。同時に、検出したRTC符号に続くビットのアドレス、およびそのビット位置をホストCPUに返します。
SOK (Set Okey)	〔 CNT/ABTコマンド実行対象なし〕 CNTまたはABTコマンドが発行され、その際実行すべきコマンドが存在しない場合に、μ PD72186が何の処理も行わないまま処理を終了したことを示します。
POK (Process Okey)	〔 ABTコマンド継続処理モードの中断〕 ABTコマンドで実行の対象となるコマンドがBLO, LNO, FILL, RTAG, EOL, RTCのいずれかで、かつ、μ PD72186が継続処理モードにある場合、継続処理モードが中断したことを示します。同時に、処理した符号バッファに続く符号バッファの先頭アドレス、およびこの符号バッファの先頭ビット位置をホストCPUに返します。
TAGPAT (TAG Pattern)	〔 タグ・パターン〕 RTAGコマンドに対し、同コマンドで指定されるタグ・パターンを読み出したことを示します。同時に、読み出したタグ・パターンに続く符号バッファの先頭アドレス、およびこの符号バッファの先頭ビット位置をホストCPUに返します。
FILLOK (FILL Okey)	〔 FILLコマンド処理終了〕 FILLコマンドによって指定された数のフィル・ビットを出力したことを示します。また、これに連続する符号バッファの先頭アドレスおよびビット位置をホストCPUに返します。

表 6 - 3 レスポンス一覧 (3/3)

名 称	機 能
CLBTBL (CLB Table)	〔CLBテーブル〕 RCLBコマンドに対して、圧縮ライン・バッファの内容をホストCPUに報告します。
CEMPT (CDB Empty)	〔符号バッファ・エンプティ〕 復号化時に、指定された符号バッファが空になったことを示します。この時点で、μPD72186はCFE割り込みの状態に入り、以後は特定のコマンド(SYS, SCDB, CNT, ABT, RPRS, RCLB)だけを受け付けます。他のコマンドが発行された場合は、CFEERRレスポンスを返しません。
CFULL (CDB Full)	〔符号バッファ・フル〕 符号化時に、指定された符号バッファがフルになったことを示します。この時点で、μPD72186はCFE割り込みの状態に入り、以後は特定のコマンド(SYS, SCDB, CNT, ABT, RPRS, RCLB)だけを受け付けます。他のコマンドが発行された場合は、CFEERRレスポンスを返しません。
CFEERR (CDB Full/Empty Error)	〔CFE割り込み状態〕 μPD72186がCFE割り込み状態のとき、特定のコマンド(SYS, SCDB, CNT, ABT, RPRS, RCLB)以外のコマンドが発行されたことを示します。
VEROK (RVER Okey)	〔RVERコマンド処理終了〕 RVERコマンドによって、内蔵ファームウェアのバージョンをホストCPUに返します。
DBLCRQ (Double CRQ Error)	〔ダブルCRQエラー〕 処理の実行中にコマンド・リクエストを重複して受け取ったことを示し、実行中の処理が無効になったことをホストCPUに対して報告します。
CMDERR (Command Error)	〔コマンド・エラー〕 入力されたコマンド・コードに該当するコマンドが存在しないことを示します。

7. システム構成例

図7-1にロウ・エンド・タイプのシステム構成例を示します。また、図7-2にハイ・エンド・タイプのシステム構成例を示します。

図7-1 ロー・エンド・タイプ

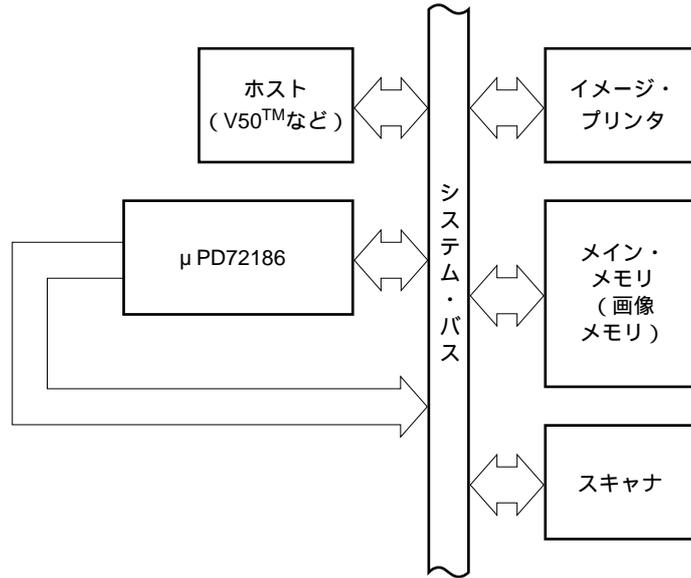
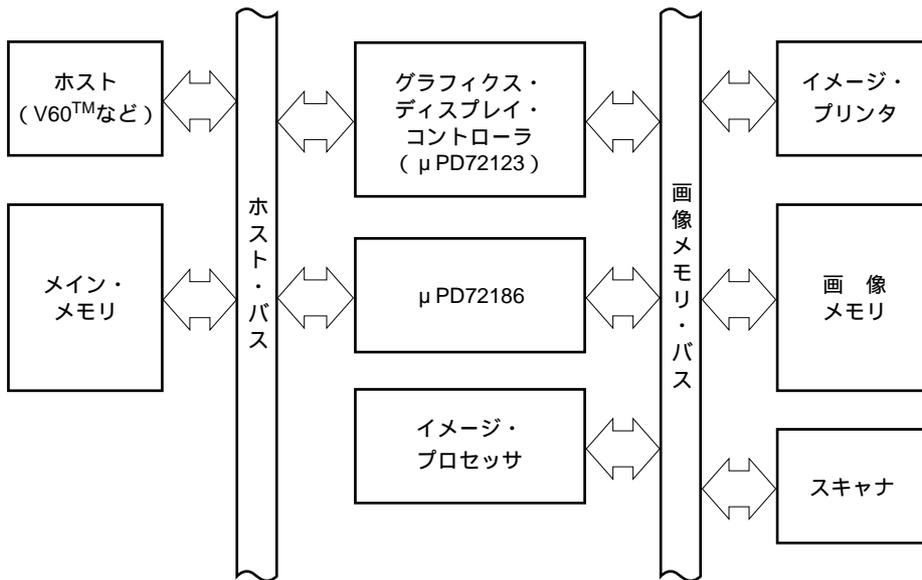


図7-2 ハイ・エンド・タイプ



8 . 電気的特性

絶対最大定格 (TA = 25)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}		- 0.5 ~ + 7.0	V
入力電圧	V _I		- 0.5 ~ V _{DD} + 0.3	V
出力電圧	V _O		- 0.5 ~ V _{DD} + 0.3	V
動作周囲温度	T _A		- 10 ~ + 70	
保存温度	T _{stg}		- 65 ~ + 150	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

DC特性 (TA = - 10 ~ + 70 , V_{DD} = 5 V ± 10%)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
低レベル入力電圧	V _{ILC}	CLK端子, RESET端子	- 0.5		+ 0.8	V
	V _{IL}	その他の端子	- 0.5		+ 0.8	V
高レベル入力電圧	V _{IHC}	CLK端子, RESET端子	+ 3.3		V _{DD} + 0.3	V
	V _{IH}	その他の端子	+ 2.4		V _{DD} + 0.3	V
低レベル出力電圧	V _{OL}	I _{OL} = 2.5 mA			+ 0.4	V
高レベル出力電圧	V _{OH}	I _{OH} = - 400 μA	0.7 V _{DD}			V
入力リーク電流	I _{LI}	0 V V _{IN} V _{DD}			± 10	μA
出力リーク電流	I _{LO}	0 V V _{OUT} V _{DD}			± 10	μA
電源電流	I _{DD}	動作時		70	100	mA

容量 (TA = 25)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力容量	C _i	f = 1 MHz		8	15	pF
出力容量	C _o	被測定端子以外は0 V		8	15	pF
入出力容量	C _{io}			8	20	pF

AC特性 (TA = -10 ~ +70 , VDD = 5V ± 10%)

出力負荷条件 : CL = 100 pF

(1) 画像メモリ・インタフェース

項 目	略 号	条 件	MIN.	MAX.	単 位
クロック・サイクル時間	t _{CYK}		62	1000	ns
クロック・ロウ・レベル幅	t _{KKL}		25		ns
クロック・ハイ・レベル幅	t _{KKH}		25		ns
クロック立ち上がり時間	t _{KR}	1.5V ~ 3.0V		10	ns
クロック立ち下がり時間	t _{KF}	3.0V ~ 1.5V		10	ns
MREQ 遅延時間 (対CLK)	t _{DMQH}			50	ns
MREQ 遅延時間 (対CLK)	t _{DMQL}			50	ns
MACK 設定時間 (対CLK)	t _{SMAH}		20		ns
MACK ホールド時間 (対CLK)	t _{HMA}		10		ns
MACK 設定時間 (対CLK)	t _{SMAL}		15		ns
AEN 遅延時間 (対CLK)	t _{DAEH}			50	ns
AEN 遅延時間 (対CLK)	t _{DAEL}			50	ns
MBCS 遅延時間 (対CLK)	t _{DMBH}			25	ns
MBCSハイ・レベル幅	t _{MAMB}		t _{CYK} - 10		ns
RFRQ/RLRD 遅延時間 (対CLK)	t _{DRFH}			50	ns
RFRQ/RLRDハイ・レベル幅	t _{RFRF}		3t _{CYK} - 10		ns
RFRQ/RLRD 遅延時間 (対CLK)	t _{DRFL}			50	ns
アドレス, データ, MRD, MWR遅延時間 (対AEN)	t _{DA}			20	ns
アドレス, データ, MRD, MWRフロート時間 (対AEN)	t _{FA}			20	ns
アドレス設定時間 (対MRD, MWR)	t _{SARW}		t _{CYK} - 20		ns
アドレス保持時間 (対MRD, MWR)	t _{HRWA}		t _{KKH} - 10		ns
MRD 遅延時間 (対CLK)	t _{DRL}			50	ns
MRDロウ・レベル幅	t _{RRL2}	WAIT = 0	1.5t _{CYK} - 15		ns
MRD 遅延時間 (対CLK)	t _{DRH}			50	ns
入力データ設定時間 (対MRD)	t _{SDR}		40		ns
入力データ保持時間 (対MRD)	t _{HRD}		0		ns
MWR 遅延時間 (対CLK)	t _{DWL}			50	ns
MWRロウ・レベル幅	t _{WWL2}	WAIT = 0	1.5t _{CYK} - 15		ns
MWR 遅延時間 (対CLK)	t _{DWH}			50	ns
データ設定時間 (対MWR)	t _{SDMW}		t _{CYK} - 30		ns
データ保持時間 (対MWR)	t _{HMWD}		t _{KKH} - 10		ns
READY設定時間 (対CLK)	t _{SRY}		20		ns
READY保持時間 (対CLK)	t _{HRY}		10		ns

(2) ホスト・インタフェース

項 目	略 号	条 件	MIN.	MAX	単 位
DACK, \overline{CS} 回復時間	tRDC		100		ns
$\overline{IOR\overline{D}}$ ロウ・レベル幅	tRRL		80		ns
アドレス, \overline{UBE} , \overline{CS} 設定時間 (対 $\overline{IOR\overline{D}}$, \overline{IOWR})	tsAR, tsAW		20		ns
アドレス, \overline{UBE} , \overline{CS} 保持時間 (対 $\overline{IOR\overline{D}}$, \overline{IOWR})	tHRA, tHWA, tWwCS		10		ns
出力データ遅延時間 (対 $\overline{IOR\overline{D}}$)	tDRD			50	ns
出力データ・フロート遅延時間 (対 $\overline{IOR\overline{D}}$)	tFRD		10	50	ns
\overline{IOWR} ロウ・レベル幅	tWWL		80		ns
入力データ設定時間 (対 \overline{IOWR})	tSDW		40		ns
入力データ保持時間 (対 \overline{IOWR})	tHWD		10		ns
RESETロウ・レベル幅	tRSTL		7tCYK		ns
V _{DD} 設定時間 (対RESET)	tsVDD		1000		ns
\overline{IOWR} , $\overline{IOR\overline{D}}$ 待機時間 (対RESET)	tsYWR		2tCYK		ns
\overline{IOWR} , $\overline{IOR\overline{D}}$ 回復時間	tRVWR		100		ns
DREQ 遅延時間 (対 $\overline{IOR\overline{D}}$)	tDRDQ			50	ns
DREQ 遅延時間 (対 \overline{IOWR})	tDWDQ			50	ns

ACテスト入出力測定点 (CLK以外)

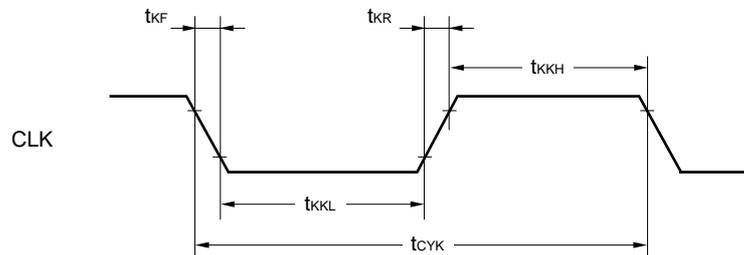


ACテスト入力測定点 (CLK)

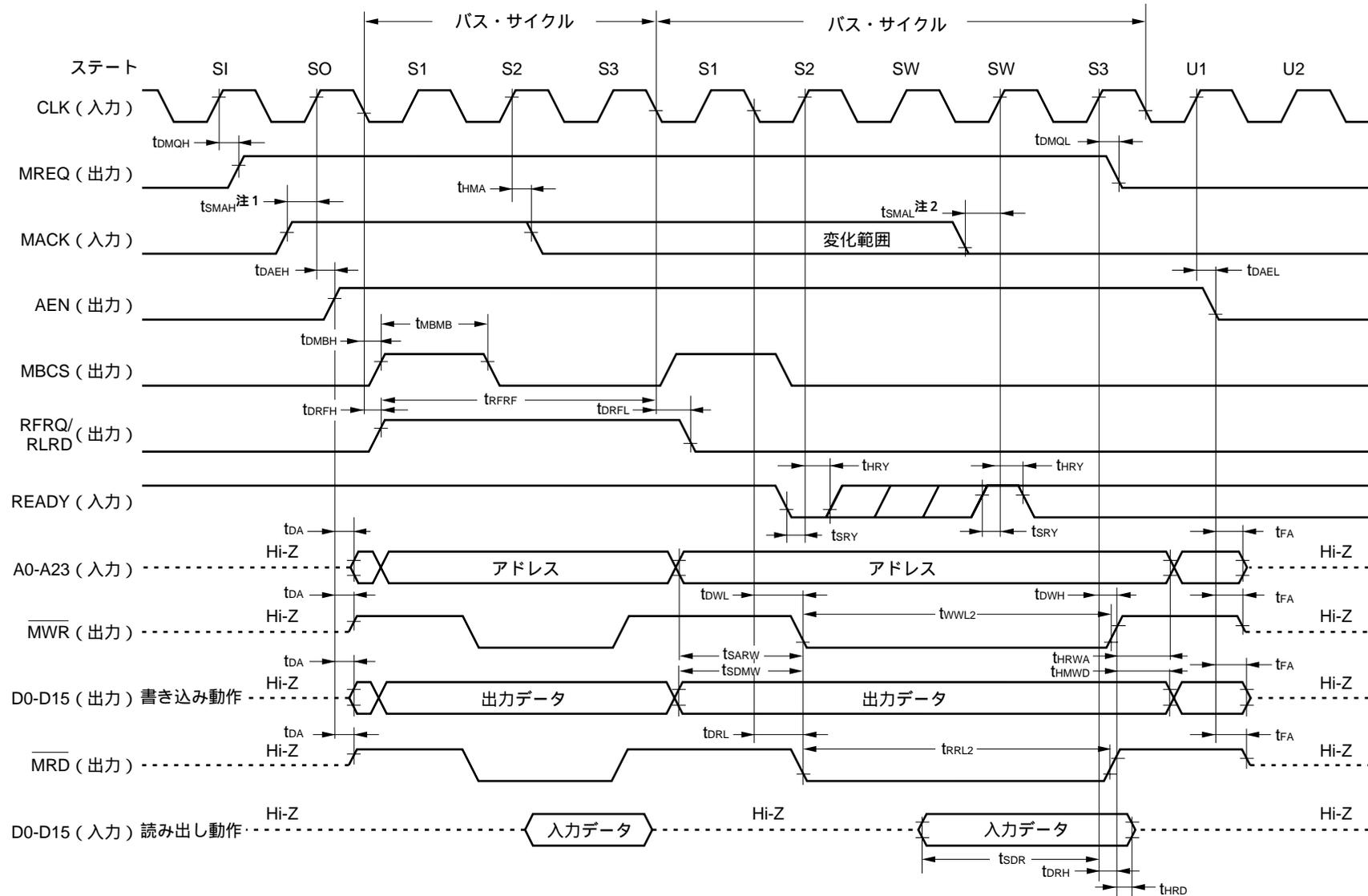


タイミング波形

クロック・タイミング



DMA転送タイミング



注1 . t_{SMAH} は、次のバス・サイクルを継続して行うときに守るべきスペックです。

t_{SMAH} が守られた場合、S3ステートの次のサイクルは、次に開始されるバス・サイクルのS1ステートになります。

2 . t_{SMAL} は、DMAブレークを起こすときのスペックです。

備考 MREQ, MACKおよびCLK間でのタイミングについては、MREQとMACKのタイミングを参照してください。

SI, SOステートはμPD72186がバスをとるとき, 離すときに必要な準備および回復のためのステートです。

[μPD72186がバスをとるとき]

SIステートの立ち上がりエッジをトリガとしてMREQがアクティブになり, 次のSOステートの立ち上がりエッジでMACKのレベルをサンプリングします。

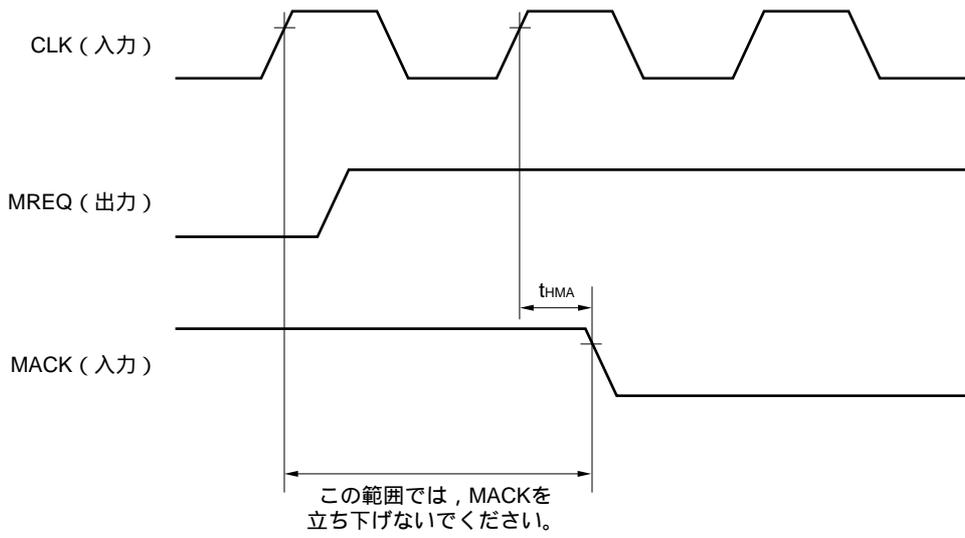
MACKがアクティブのときには, 次のクロック・サイクルからバス・サイクル (S1, S2, S3) に入ります。MACKがインアクティブのときには, 次のクロック・サイクルもSOステートであり, MACKがアクティブになるまでSOステートが続きます。その際, $\overline{\text{MRD}}/\overline{\text{MWR}}$ 制御信号, アドレス/データ・バスはハイ・インピーダンス状態です。バス・サイクルが開始されてから, これらの信号はハイ・レベル, またはロウ・レベルを出力します。

[μPD72186がバスを切り離すとき]

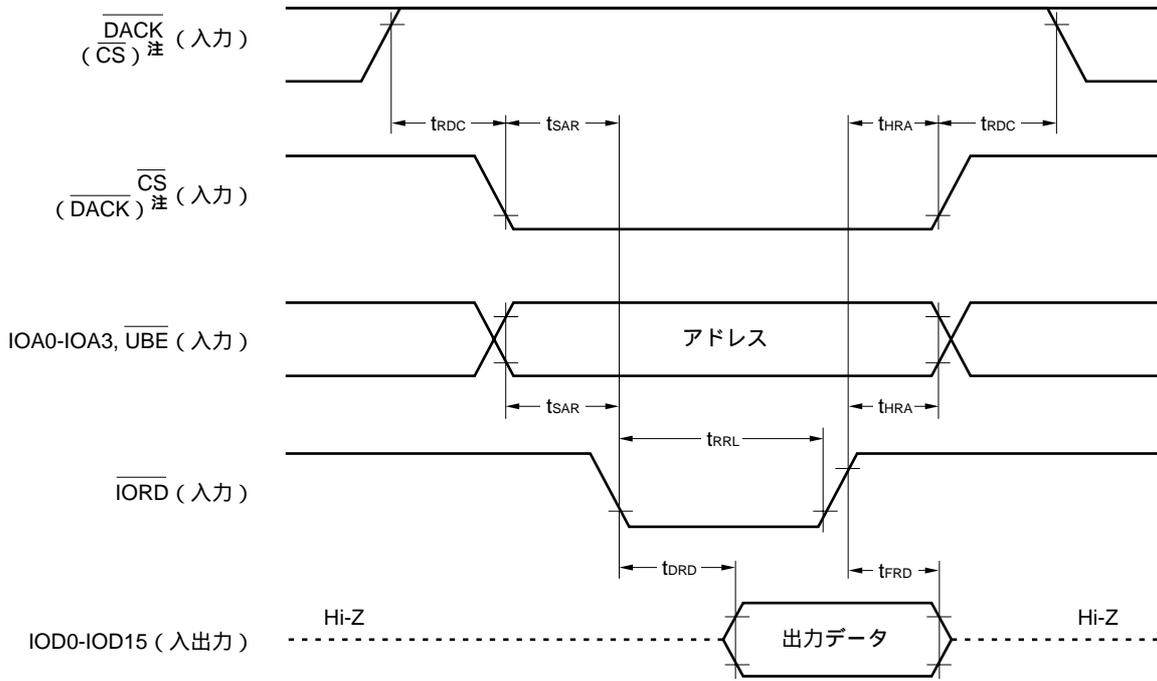
U1ステートの立ち上がりエッジをトリガとしてAEN信号がインアクティブになります。

MREQとMACKのタイミング

- ・ MREQが立ち上がったから、1クロック以内では、MACKを立ち下げないでください。

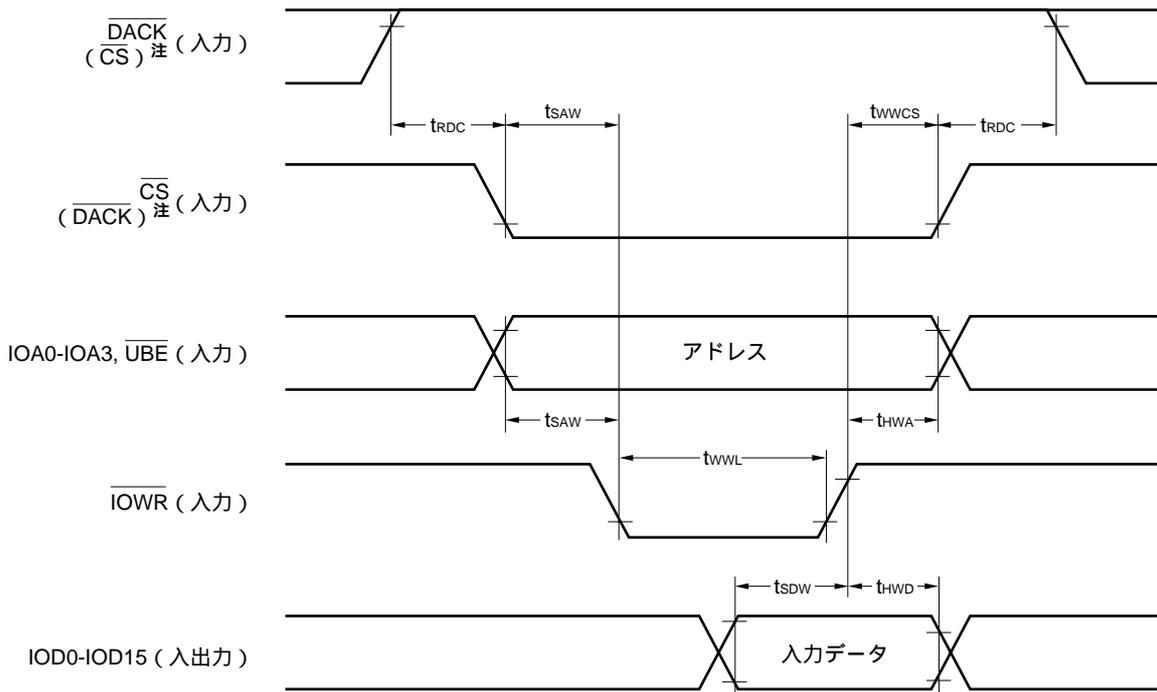


μPD72186からの読み出しタイミング



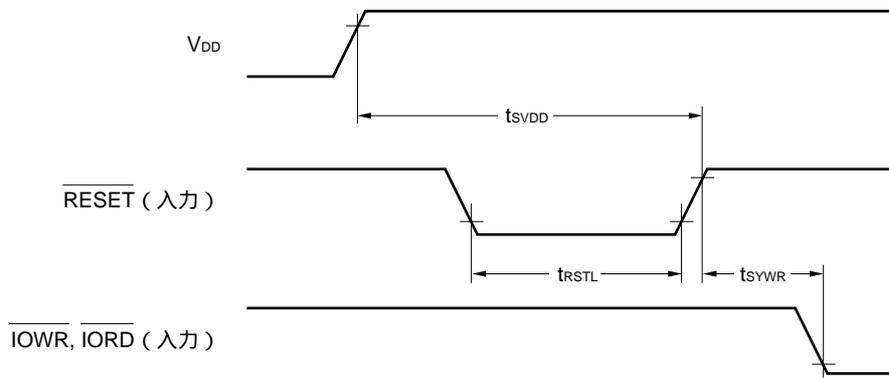
注 外部DMAコントローラとの読み出しタイミング

μPD72186への書き込みタイミング

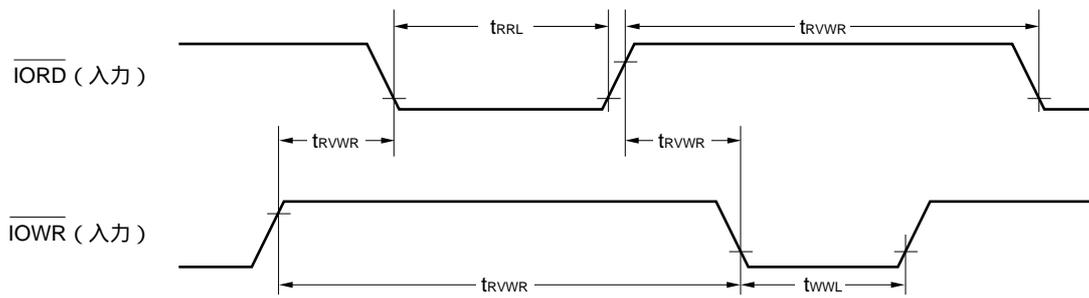


注 外部DMAコントローラとの書き込みタイミング

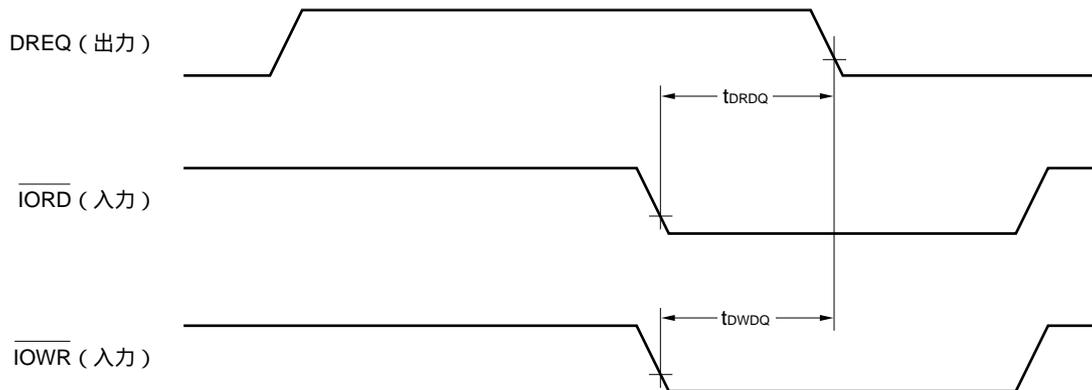
リセット・タイミング



リード/ライト・サイクル・タイミング

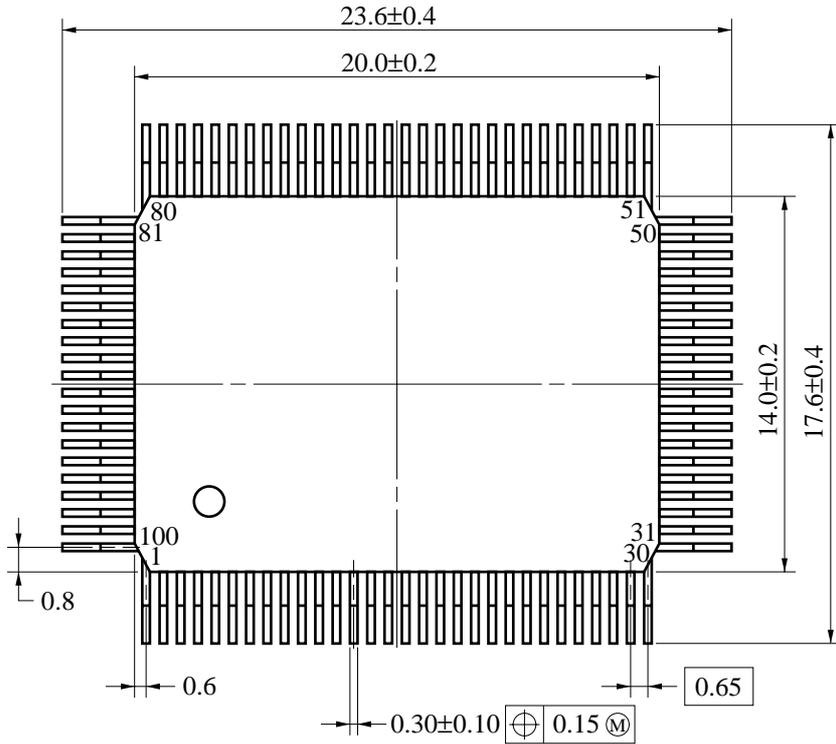


DMAリード/ライト・タイミング

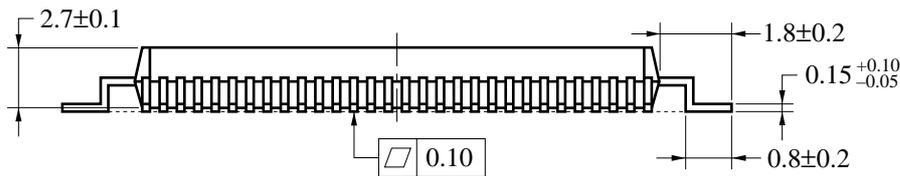
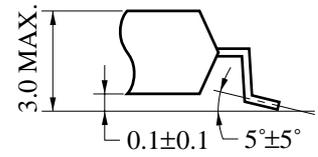


9 . 外形図

100ピン・プラスチック QFP (14×20) 外形図 (単位 : mm)



端子先端形状詳細図



P100GF-65-3BA1-3

★ 10. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「**半導体デバイス実装マニュアル**」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表面実装タイプ

μPD72186GF-3BA：100ピン・プラスチックQFP（14×20 mm）

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：3回以内	VP15-00-3
ウエーブ・ソルダリング	半田槽温度260 以下，時間：10秒以内，回数：1回， 予備加熱温度：120 MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：300 以下，時間：3秒以内（デバイスの一辺当たり）	-

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

{メ モ}

{メ モ}

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

V50, V60は日本電気株式会社の商標です。

文書による当社の承諾なしに本資料の転載複製を禁じます。

本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3454-1111	(大代表)		
半導体第二販売事業部					
半導体第三販売事業部					
中部支社	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2170	名古屋 (052)222-2190		
関西支社	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3178	大阪 (06) 945-3200		
北海道支社	札幌 (011)251-5599	太田支店	太田 (0276)46-4011	福井支店	福井 (0776)22-1866
東北支社	仙台 (022)267-8740	宇都宮支店	宇都宮 (028)621-2281	富山支店	富山 (0764)31-8461
岩手支店	盛岡 (019)651-4344	小山支店	小山 (0285)24-5011	三重支店	津 (0592)25-7341
郡山支店	郡山 (0249)23-5511	長野支社	松本 (0263)35-1662	京都支社	京都 (075)344-7824
いわき支店	いわき (0246)21-5511	甲府支店	甲府 (0552)24-4141	神戸支社	神戸 (078)333-3854
長岡支店	長岡 (0258)36-2155	埼玉支社	大宮 (048)649-1415	中国支社	広島 (082)242-5504
土浦支店	土浦 (0298)23-6161	立川支社	立川 (0425)26-5981	鳥取支店	鳥取 (0857)27-5311
水戸支店	水戸 (029)226-1717	千葉支社	千葉 (043)238-8116	岡山支店	岡山 (086)225-4455
神奈川支社	横浜 (045)682-4524	静岡支社	静岡 (054)254-4794	松山支店	松山 (089)945-4149
群馬支店	高崎 (0273)26-1255	北陸支社	金沢 (076)232-7303	九州支社	福岡 (092)261-2806

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-8891	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
システムマイクロ技術部			
半導体販売技術本部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3798-9619	
東日本販売技術部			
半導体販売技術本部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2125	
中部販売技術部			
半導体販売技術本部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3383	
西日本販売技術部			