

CB-40 LD タイプ

ユーザーズマニュアル 製品データ編

CMOS セルベース IC

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOS デバイスの一般的注意事項

(1) 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOS デバイスの入力がノイズなどに起因して、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

(2) 未使用入力の処理

CMOS デバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOS デバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

(3) 静電気対策

MOS デバイス取り扱いの際は静電気防止を心がけてください。

MOS デバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOS デバイスを実装したボードについても同様の扱いをしてください。

(4) 初期化以前の状態

電源投入時、MOS デバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

(5) 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

(6) 電源 OFF 時における入力信号

当該デバイスの電源が OFF 状態の時に、入力信号や入出力プルアップ電源を入れないでください。

入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源 OFF 時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

対象者 このマニュアルは、弊社の高速、高集積 CMOS セルベース IC CB-40 LD タイプを使用して LSI を設計する方を対象としています。

目的 このマニュアルは、弊社の高速、高集積 CMOS セルベース IC CB-40 LD タイプを使用して LSI を設計していただくうえでの各種制限事項、注意事項などをまとめたものです。

構成 このマニュアルは、大きく分けて次の内容で構成しています。

概要
セルベース IC への切り出し
製品規格
各種特性値の見積もり方法

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータ、LSI 設計に関する一般的知識が必要となります。

マニュアルに記載された事項（一般事項、注意事項、制限事項）は必ずお守りください。
お守りいただけない場合、LSI 製品の品質、性能の低下や動作の異常が生じることがあります。

凡例

データ表記の重み	: 左が上位桁、右が下位桁
注	: 本文中につけた注の説明
注意	: 気をつけて読んでいただきたい内容
備考	: 本文中の補足説明
数の表記	: 2進数 ... $\times \times \times \times$ または $\times \times \times \times B$ 10進数 ... $\times \times \times \times$ 16進数 ... $\times \times \times \times H$

: 本文欄外の 印は、本版で改訂された主な箇所を示しています。
この" "を PDF 上でコピーして「検索する文字列」に指定することによって、
改版箇所を容易に検索できます。

関連資料 関係資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。
あらかじめ、ご了承ください。

- CB-40 LD タイプ ユーザーズマニュアル 製品データ編 (このマニュアル)
- CB-40 LD タイプ ユーザーズマニュアル 回路設計編 (A20268J)
- CB-40 LD Type User's Manual Block Library (作成予定)

この資料に記載されている会社名、製品名などは、各社の商標または登録商標です。

目 次

第 1 章 概 要	1
1.1 仕様の概略.....	1
1.2 特 徴.....	2
1.2.1 セル・ライブラリ.....	2
1.2.2 インタフェース・レベルと電源電圧.....	3
第 2 章 セルベースICへの切り出し	4
2.1 回路規模の見積もり.....	5
2.1.1 ステップ・サイズの決定.....	5
2.1.2 使用面積見積もり時の注意点.....	9
2.1.3 コア（メモリなどの大規模マクロ）搭載時の注意点.....	9
2.2 パッケージの選択.....	10
2.3 消費電力の確認.....	14
2.4 端子配置.....	15
2.4.1 インタフェース・ブロック，パッド配置に関する注意.....	15
2.4.2 パッケージ端子配置に関する注意.....	19
2.5 入出力インタフェース.....	21
2.5.1 入力ブロックの種類.....	21
2.5.2 出力ブロックの種類.....	21
第 3 章 製品規格	22
3.1 用語説明.....	22
3.2 絶対最大定格.....	23
3.3 推奨動作範囲.....	24
3.4 推奨動作範囲.....	25
3.5 DC特性.....	27
3.6 プルアップ/プルダウン抵抗値.....	28
3.7 AC特性.....	28
3.8 端子容量.....	28
3.9 電源投入切断シーケンス.....	29
3.9.1 電源投入切断シーケンス.....	29
3.9.2 電源投入とリセット信号のシーケンス.....	29
3.9.3 インタフェース・ブロックのスタンバイ機能.....	31
3.10 メタステーブル.....	33
第 4 章 各種特性値の見積もり方法	35

4.1	入力貫通電流	35
4.2	消費電力	36
4.2.1	消費電力の発生要因.....	36
4.2.2	チップ全体の消費電力の見積もり.....	37
4.2.3	ファンクショナル・セルおよびインタフェース・ブロックの消費電力の見積もり.....	37
4.2.4	電源，周囲温度仕様変更時の補正方法.....	44
4.2.5	消費電力の判定.....	45
4.3	伝達遅延時間	46
4.3.1	伝達遅延時間の精度.....	46
4.3.2	伝達遅延時間の計算.....	47
4.3.3	伝達遅延時間の変動.....	47
4.4	出力バッファの特性	48
4.4.1	出力バッファの立ち上がり，立ち下がり時間.....	48
4.4.2	出力バッファの立ち上がり，立ち下がり時間.....	49
4.4.3	出力バッファの動作周波数範囲.....	50
4.4.4	出力バッファの動作周波数範囲.....	55
4.5	電源ブロックの見積もり	58
4.5.1	内部セル用電源ブロックの見積もり.....	59
4.5.2	内部セル用電源ブロックの配置.....	60
4.5.3	I/Oセル用電源ブロックの見積もり.....	60
4.6	出力バッファの同時動作制限	65
4.6.1	出力同時動作による誤動作.....	65
4.6.2	出力同時動作による誤動作.....	67
4.6.3	同時動作数の考え方.....	68
4.6.4	同時動作制限判定法.....	69
4.6.5	同時動作制限を越えた場合の対処方法.....	71

第1章 概 要

1.1 仕様の概略

CB-40 LD タイプはテクノロジー・ノード 40 nm プロセスの高精度加工技術と、7/8 層銅配線を用いた高速、高集積セルベース IC です。HVT セル、MVT セルおよび LVT セルの 3 種類のセル・ライブラリがあり、セル単位で混載することができます。

表1 - 1 概略仕様一覧

シリーズ名		CB-40 LD タイプ		
セル・ライブラリ名		LVT	MVT	HVT
電源電圧 ^注	内部	1.1 V		
	入出力	3.3 V, 2.5 V (開発予定), 1.8 V, 1.2 V (開発予定)		
動作周囲温度 ^注		- 40 ~ + 85		
遅延時間	内部ゲート	11.9 ps	15.4 ps	21.0 ps
		2 NAND (XH Type), F/O = 2, 配線長 = 0 mm		
	入力バッファ	332 ps (V _{DD} = 3.3 V, F/O = 2, 配線長 = 9 μm, 波形鈍り = 0.4 ns)		
	出力バッファ	2065 ps (V _{DD} = 3.3 V, C _L = 15 pF, I _{OL} = 8 mA)		
消費電力	内部ゲート	0.86 nW/MHz/ゲート (動作率 = 0.35)		
	入力バッファ	3.7 μW/MHz/Buffer (3.3 V バッファ, t _r , t _f = 1 ns)		
	出力バッファ	40.5 μW/MHz/Buffer (3.3 V, C _L = 0 pF, I _{OL} = 8 mA)		
静消費電流		954 pA/ゲート	99 pA/ゲート	19 pA/ゲート
設計ルール		40 nm CMOS プロセス		
パッケージ		ファインピッチ BGA, プラスチック BGA, FCBGA		

注 コアを搭載した場合、搭載するコアによって保証範囲が変わることがあります。

1.2 特 徴

1.2.1 セル・ライブラリ

CB-40 LD タイプには、HVT セル、MVT セルおよび LVT セルという 3 種類のセル・ライブラリを準備しています。

これらのセル・ライブラリは、セル単位で 1 チップ上に混載することができます。

それぞれのセル・ライブラリの特徴を次に示します。

(1) HVT セル・ライブラリ

静消費電流の削減を目的としたセル・ライブラリです。

このライブラリを用いることで、低スタンバイ消費電力 LSI を実現します。

ただし、静消費電流を抑えた結果、動作スピードは MVT セル・ライブラリより遅く、135 MHz 程度の動作を実現します。

(2) MVT セル・ライブラリ

駆動能力、セル・サイズ、静消費電流のバランスを重視したセル・ライブラリです。

このライブラリを用いることで、目安として 240 MHz で動作できる高集積 LSI を実現します。

(3) LVT セル・ライブラリ

駆動能力を上げることにより、動作周波数の向上を図ったセル・ライブラリです。

このライブラリを用いることで、目安として 240 MHz 以上で動作できる高速 LSI を実現します。

ただし、駆動能力が向上した結果、静消費電流が MVT セル・ライブラリより大きくなります。

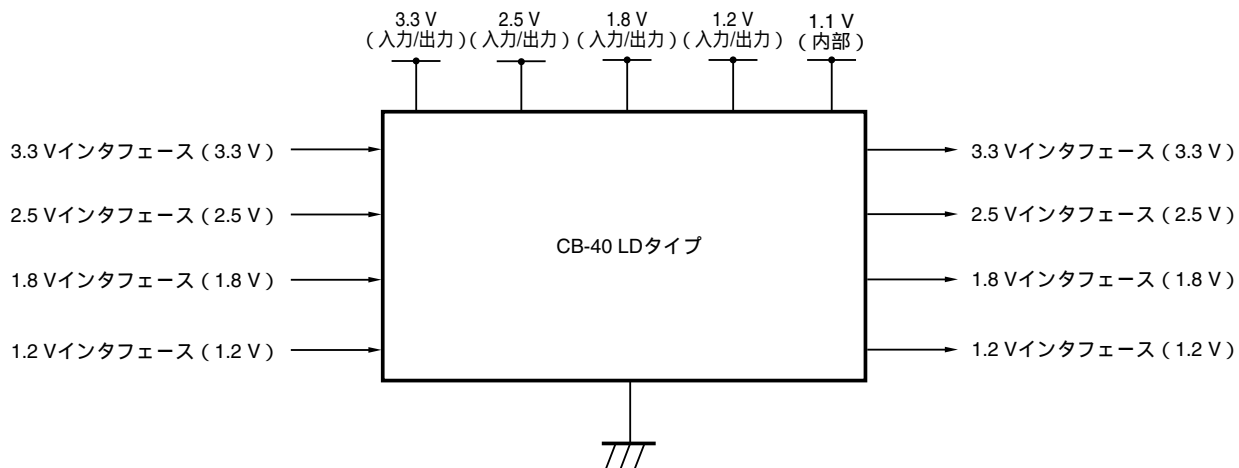
これらのライブラリをブロック単位で組み合わせることにより、より静消費電流を抑えながら 240 MHz クラスの高速動作を実現することができます。

なお、セル・ライブラリの運用上、全面 240 MHz クラスの高速動作の LSI であっても、弊社にて MVT セル・ライブラリへの置き換えを試み、消費電流を極力抑えるようにするため、CB-40 LD タイプでは LVT セル・ライブラリだけを使用した LSI はありません。LVT セル・ライブラリの使用を前提とする高速な LSI を希望される場合は、弊社までお問い合わせください。

1.2.2 インタフェース・レベルと電源電圧

CB-40 LD タイプの内部電源は、1.1 V です。入出力電源は、3.3 V / 2.5 V (開発予定) / 1.8 V / 1.2 V (開発予定) の 4 種類の電源電圧を使用することができます。それぞれ電源電圧にあわせたインタフェースが使用できます。

図1 - 1 インタフェースと供給電圧



備考 () 内の電圧はスイング・レベルを示します。

第2章 セルベース IC への切り出し

お客様が設計したシステムの一部またはすべてを、セルベース IC を使用して LSI 化する場合、セルベース IC の回路規模や入出力端子数が最適となるように仕様を決定します。

回路規模が大きくなると、回路設計が難しくなり LSI の単価も上がりますが、入出力端子数を減らすことができるため、プリント基板での実装面積は小さくすることができます。また使用する LSI が少なくなるため伝達遅延時間が小さくなります。

一方、回路規模が小さくなると設計は容易になりますが、システムを構成するために多数のセルベース IC が必要となり、プリント基板への実装面で不利になります。また、多数の LSI 間を信号が伝達されるため遅延時間があまり小さくならないときがあります。

したがって、セルベース IC への回路の切り出しは、伝達遅延時間や回路規模から実装上のことまで考慮したうえで行ってください。

回路の切り出しは、次の手順で行ってください。

「回路の切り出し手順」

- (1) 回路規模、ステップ・サイズの見積もり
- (2) パッケージの選択
- (3) 消費電力の確認
- (4) 端子配置
- (5) 入出力のインタフェース・レベルの確認

2.1 回路規模の見積もり

2.1.1 ステップ・サイズの決定

CB-40 LD タイプでは、従来のシリーズと同様にいくつかのステップを用意しています。

ステップは、搭載できるゲート数および配線層数によって決定します。

お客様の回路がどのステップに対応するかは、次に示す項目の検討、選択により決定します。

- (1) 配線方法 (7/8 層)
- (2) 搭載コアの種類、個数
- (3) ユーザ・ロジック規模
- (4) フロア・プラン (コアの配置の仕方)
- (5) 使用パッケージ
- (6) 必要信号数

注意 CB-40 LD タイプではこれ以外に、アナログ・マクロを使用する場合にステップが変更することがあります。アナログ・マクロを使用する場合は必ず弊社までお問い合わせください。

コアの個数が多い場合、またはユーザ・ロジック部が小さい場合は、(4) のフロア・プランの制限により、単純面積換算によって選択されるステップよりも大きいステップを選択しなければならない場合があります。

次に、対応ステップの概略検討方法を示します。なお、この方法は目安ですので、価格などの検討用には使用しないでください。同一サイズのステップでも、層数やプロセスにより TAT および価格が異なります。

(1) Σ (コア・面積) Σ (ユーザ・ロジック・面積) の場合の目安

$$M + \frac{U}{\gamma} \quad L$$

M : Σ (各コア面積, 配線領域を含む)

U : Σ (ユーザ・ロジック・面積)

L : 使用予定ステップの使用可能面積 (面積使用率の標準値を加味した値です。)

γ : 面積使用率 (ユーザ・ロジック部分における搭載面積に対して使用可能な面積の割合)

ユーザ・ロジック部のゲート数と面積の対象目安

ユーザ・ロジック部の規模検討時のゲート数 (2 入力 NAND = 1 ゲート換算) と面積の対応については、使用するファンクショナル・ブロックの種類にかなり依存します。平均的には、次のようになります。

1 ゲート	0.5645376 (μm^2)
-------	-------------------------------

正式には、デザイン・ルール・チェック・プログラムの出力リストの面積情報または、ブロック・ライブラリ記載の面積で換算した値で検討してください。

配線層の選択については、4.2.3 ファンクショナル・セルおよびインタフェース・ブロックの消費電力の見積もりを参照して、消費電力 (ΣP_{DAREA}) を算出してください。

各配線層の許容消費電力を表 2 - 1 に示します。消費電力は許容消費電力以下にしてください。

なお、表 2 - 1 に示す値を越える場合は弊社までお問い合わせください。

表 2 - 1 配線層と許容消費電力

配線層	許容消費電力	最大動作周波数
7 層	2.0 W	450 MHz
8 層	T.B.D.	450 MHz

(2) Σ (コア・面積) $>$ Σ (ユーザ・ロジック・面積) の場合の目安

フロア・プランを考慮した詳細検討が必要です。

フロア・プランについては弊社にお問い合わせください。

表2-2 各ステップ・サイズにおける使用可能ゲート数(7層品)

ワイヤボンディング・パッケージ(千鳥パッド7層品)		
ステップ・サイズ	IO_PAD数	使用可能ゲート数(M Gates)
B18*	412	13.1
B28*	428	14.0
B38*	444	15.0
B47*	460	16.0
B57*	476	17.0
B66*	492	18.1
B76*	508	19.1
B86*	524	20.2
B95*	540	21.4
C06*	556	22.5
C15*	572	23.7
C25*	588	25.0
C34*	604	26.2
C44*	620	27.5
C54*	636	28.8
C63*	652	30.1
C73*	668	31.4
C82*	684	32.8
C92*	700	34.1
D02*	716	35.6
D11*	732	37.0
D21*	748	38.4
D30*	764	39.9
D40*	780	41.4
D50*	796	42.9
D59*	812	44.4
D69*	828	46.0
D78*	844	47.6
D88*	860	49.2
D98*	876	50.8
E07*	892	52.4
E17*	908	54.0
E26*	924	55.7
E36*	940	57.3
E46*	956	59.0
E56*	972	60.8
E66*	988	62.5
E75*	1004	64.2
E85*	1020	65.9
E94*	1036	67.7
F04*	1052	69.5
F14*	1068	71.3
F23*	1084	73.0
F33*	1100	74.8
F42*	1116	76.7
F52*	1132	78.5
F62*	1148	80.3
F71*	1164	82.2
F81*	1180	84.0
F90*	1196	85.9
G00*	1212	87.8

ワイヤボンディング・パッケージ(単列パッド7層品)		
ステップ・サイズ	IO_PAD数	使用可能ゲート数(M Gates)
B02*	212	13.4
B11*	220	14.2
B20*	228	15.1
B29*	236	16.0
B38*	244	17.0
B47*	252	17.9
B56*	260	18.9
B65*	268	19.9
B74*	276	21.0
B82*	284	22.0
B91*	292	23.1
C00*	300	24.2
C09*	308	25.3
C18*	316	26.5
C26*	324	27.7
C35*	332	28.8
C44*	340	30.1
C53*	348	31.3
C62*	356	32.5
C70*	364	33.8
C79*	372	35.1
C88*	380	36.4
C97*	388	37.7
D06*	396	39.1
D14*	404	40.4
D23*	412	41.8
D32*	420	43.2
D41*	428	44.6
D50*	436	46.1
D58*	444	47.5
D67*	452	49.0
D76*	460	50.4
D85*	468	51.9
D94*	476	53.4
E03*	484	54.9
E12*	492	56.5
E21*	500	58.0
E30*	508	59.6
E38*	516	61.2
E47*	524	62.8
E56*	532	64.4
E65*	540	66.0
E74*	548	67.6
E82*	556	69.2
E91*	564	70.9
F00*	572	72.5
F09*	580	74.2
F18*	588	75.8
F26*	596	77.5
F35*	604	79.2
F44*	612	80.9
F53*	620	82.6
F62*	628	84.3
F70*	636	86.1
F79*	644	87.8
F88*	652	89.5
F97*	660	91.3
G06*	668	93.0

備考 表中の使用可能面積, ゲート数は変更する場合がありますのであらかじめご了承ください。

表2 - 3 各ステップ・サイズにおける使用可能ゲート数 (8 層品)

T.B.D.

2.1.2 使用面積見積もり時の注意点

スピードが問題になるパス（クリティカル・パス）がある場合は、そのパスを構成する各ブロックの伝達経路を短くする処置を行う場合もあります。ただし、その処置を行うと配線性が極端に低下します。このような場合には、面積使用率の制限値の 8～9 割程度を目安に設計してください。

また、フリップ・フロップの始点からフリップ・フロップの終点、および終点から始点への経路が複雑な相関となる場合にも、配線性が極端に低下します。この場合も面積使用率の制限値の 8～9 割程度を目安に設計してください。

2.1.3 コア（メモリなどの大規模マクロ）搭載時の注意点

大規模マクロを搭載する場合は、次の点に注意してください。

- 外部端子配置
- マクロ以外の回路が使用するブロック・タイプ

（1）外部端子配置

特に大規模マクロを複数搭載した場合は、配置したマクロの近くに関連する外部端子を配置する必要があります。まったく端子配置を考慮していない場合は、外部端子への配線が長くなり、面積使用率が低下します。この結果、配線が完了しない場合もあります。特に複数の大規模マクロを搭載する場合は、マクロ配置の方法について弊社までご連絡ください。

（2）マクロ以外の回路が使用するブロック・タイプ

大規模マクロを搭載した結果、ゲート部分で使用できる面積が極端に少ない場合は、中規模マクロを物理的に搭載できない場合があるので注意してください。

2.2 パッケージの選択

CB-40 LD タイプには、ステップごとにパッケージが用意されています。

電源端子の位置や信号端子数はパッケージにより異なります。

また、表 2 - 4 に示す対応状況は今後の検討によって予告なく変更される場合があります。

パッケージの最新リリース状況、対応状況を確認したい場合は弊社までご連絡ください。

備考 1. : 組み立て可能判定済み（ただし、実際に使用する際には弊社に確認してください。）

備考 2. Pad1 : 総 Pad 数

備考 3. Pad2 : コーナー部の Pad を除いた実際に使用できる Pad 数

表2 - 4 ステップ・パッケージ一覧表 (7 層品) (1/3)

FPBGA (0.8 mm pitch)

				FPBGA										
Body Size/mm				9	11	13	13	14	15	15	16	17	19	19
Pin				80	108	144	160	157	176	208	224	281	240	304
Code				80F1	A8F1	E4F1	G0F1	F7F1	H6F1	L8F1	N4F1	U1F1	Q0F1	W4F1
				CN4	DN3	ENA	EN9	FA3	FN1	FN3	GA2	GN1	HN3	HN2
Ball Pitch/mm				0.8	0.8	0.8	0.8	0.8	0.8	0.8	0.8	0.8	0.8	0.8
BODYTHICK/mm				1.48	1.48	1.48	1.48	1.48	1.48	1.48	1.48	1.48	1.48	1.48
Step	Pad1	Pad2	I/O											
A80G30096CU	364	348	356	△	△	△	△	△	△	△	△	△	△	△
A90G30096CU	380	364	372	△	△	△	△	△	△	△	△	△	△	△
A99G30096CU	396	380	388	△	△	△	△	△	△	△	△	△	△	△
B09G30096CU	412	396	404	△	△	△	△	△	△	△	△	△	△	△
B18G30096CU	428	412	420	△	△	△	△	△	△	△	△	△	△	△
B28G30096CU	444	428	436	△	△	△	△	△	△	△	△	△	△	△
B38G30096CU	460	444	452	△	△	△	△	△	△	△	△	△	△	△
B47G30096CU	476	460	468	△	△	△	△	△	△	△	△	△	△	△
B57G30096CU	492	476	484	△	△	△	△	△	△	△	△	△	△	△
B66G30096CU	508	492	500	○	○	○	○	○	○	○	△	△	△	△
B76G30096CU	524	508	516	○	○	○	○	○	○	○	△	△	△	△
B86G30096CU	540	524	532	○	○	○	○	○	○	○	△	△	△	△
B95G30096CU	556	540	548	○	○	○	○	○	○	○	○	△	○	△
C06G30096CU	572	556	564	○	○	○	○	○	○	○	○	△	○	△
C15G30096CU	588	572	580	○	○	○	○	○	○	○	○	△	○	△
C25G30096CU	604	588	596	○	○	○	○	○	○	○	○	△	○	△
C34G30096CU	620	604	612	○	○	○	○	○	○	○	○	△	○	△
C44G30096CU	636	620	628	○	○	○	○	○	○	○	○	△	○	△
C54G30096CU	652	636	644	○	○	○	○	○	○	○	○	○	○	○
C63G30096CU	668	652	660		○	○	○	○	○	○	○	○	○	○
C73G30096CU	684	668	676		○	○	○	○	○	○	○	○	○	○
C82G30096CU	700	684	692		○	○	○	○	○	○	○	○	○	○
C92G30096CU	716	700	708		○	○	○	○	○	○	○	○	○	○
D02G30096CU	732	716	724		○	○	○	○	○	○	○	○	○	○
D11G30096CU	748	732	740		○	○	○	○	○	○	○	○	○	○
D21G30096CU	764	748	756		○	○	○	○	○	○	○	○	○	○
D30G30096CU	780	764	772		○	○	○	○	○	○	○	○	○	○
D40G30096CU	796	780	788		○	○	○	○	○	○	○	○	○	○
D50G30096CU	812	796	804		○	○	○	○	○	○	○	○	○	○
D59G30096CU	828	812	820		○	○	○	○	○	○	○	○	○	○
D69G30096CU	844	828	836		○	○	○	○	○	○	○	○	○	○
D78G30096CU	860	844	852		○	○	○	○	○	○	○	○	○	○
D88G30096CU	876	860	868		○	○	○	○	○	○	○	○	○	○
D98G30096CU	892	876	884		○	○	○	○	○	○	○	○	○	○
E07G30096CU	908	892	900		○	○	○	○	○	○	○	○	○	○
E17G30096CU	924	908	916		○	○	○	○	○	○	○	○	○	○
E26G30096CU	940	924	932			○	○	○	○	○	○	○	○	○
E36G30096CU	956	940	948			○	○	○	○	○	○	○	○	○
E46G30096CU	972	956	964			○	○	○	○	○	○	○	○	○
E56G30096CU	988	972	980			○	○	○	○	○	○	○	○	○
E66G30096CU	1004	988	996			○	○	○	○	○	○	○	○	○
E75G30096CU	1020	1004	1012			○	○	○	○	○	○	○	○	○
E85G30096CU	1036	1020	1028			○	○	○	○	○	○	○	○	○
E94G30096CU	1052	1036	1044			○	○	○	○	○	○	○	○	○
F04G30096CU	1068	1052	1060			○	○	○	○	○	○	○	○	○
F14G30096CU	1084	1068	1076			○	○	○	○	○	○	○	○	○
F23G30096CU	1100	1084	1092			○	○	○	○	○	○	○	○	○
F33G30096CU	1116	1100	1108			○	○	○	○	○	○	○	○	○
F42G30096CU	1132	1116	1124			○	○	○	○	○	○	○	○	○
F52G30096CU	1148	1132	1140			○	○	○	○	○	○	○	○	○
F62G30096CU	1164	1148	1156			○	○	○	○	○	○	○	○	○
F71G30096CU	1180	1164	1172			○	○	○	○	○	○	○	○	○
F81G30096CU	1196	1180	1188			○	○	○	○	○	○	○	○	○
F90G30096CU	1212	1196	1204					○	○	○	○	○	○	○
G00G30096CU	1228	1212	1220					○	○	○	○	○	○	○

表 2 - 4 ステップ・パッケージ一覧表 (7 層品) (2/3)

FPBGA (0.65 mm pitch)

				FPBGA								
Body Size/mm				8	9	10	11	12	13	14	15	16
Pin				113	129	161	177	209	225	257	273	303
Code				B3F1	C9F1	G1F1	H7F1	L9F1	N5F1	R7F1	T3F1	W3F1
Ball Pitch/mm				0.65	0.65	0.65	0.65	0.65	0.65	0.65	0.65	0.65
BODYTHICK/mm				1.43	1.43	1.43	1.43	1.43	1.43	1.43	1.43	1.43
Step	Pad1	Pad2	I/O									
A80G30096CU	364	348	356	△	△	△	△	△	△	△	△	△
A90G30096CU	380	364	372	△	△	△	△	△	△	△	△	△
A99G30096CU	396	380	388	△	△	△	△	△	△	△	△	△
B09G30096CU	412	396	404	△	△	△	△	△	△	△	△	△
B18G30096CU	428	412	420	△	△	△	△	△	△	△	△	△
B28G30096CU	444	428	436	△	△	△	△	△	△	△	△	△
B38G30096CU	460	444	452	△	△	△	△	△	△	△	△	△
B47G30096CU	476	460	468	△	△	△	△	△	△	△	△	△
B57G30096CU	492	476	484	△	△	△	△	△	△	△	△	△
B66G30096CU	508	492	500	○	○	○	○	○	△	△	△	△
B76G30096CU	524	508	516	○	○	○	○	○	△	△	△	△
B86G30096CU	540	524	532	○	○	○	○	○	△	△	△	△
B95G30096CU	556	540	548		○	○	○	○	○	○	△	△
C06G30096CU	572	556	564		○	○	○	○	○	○	△	△
C15G30096CU	588	572	580		○	○	○	○	○	○	△	△
C25G30096CU	604	588	596		○	○	○	○	○	○	○	△
C34G30096CU	620	604	612		○	○	○	○	○	○	○	△
C44G30096CU	636	620	628		○	○	○	○	○	○	○	△
C54G30096CU	652	636	644		○	○	○	○	○	○	○	○
C63G30096CU	668	652	660			○	○	○	○	○	○	○
C73G30096CU	684	668	676			○	○	○	○	○	○	○
C82G30096CU	700	684	692			○	○	○	○	○	○	○
C92G30096CU	716	700	708			○	○	○	○	○	○	○
D02G30096CU	732	716	724			○	○	○	○	○	○	○
D11G30096CU	748	732	740			○	○	○	○	○	○	○
D21G30096CU	764	748	756			○	○	○	○	○	○	○
D30G30096CU	780	764	772			○	○	○	○	○	○	○
D40G30096CU	796	780	788			○	○	○	○	○	○	○
D50G30096CU	812	796	804			○	○	○	○	○	○	○
D59G30096CU	828	812	820				○	○	○	○	○	○
D69G30096CU	844	828	836				○	○	○	○	○	○
D78G30096CU	860	844	852				○	○	○	○	○	○
D88G30096CU	876	860	868				○	○	○	○	○	○
D98G30096CU	892	876	884				○	○	○	○	○	○
E07G30096CU	908	892	900				○	○	○	○	○	○
E17G30096CU	924	908	916					○	○	○	○	○
E26G30096CU	940	924	932					○	○	○	○	○
E36G30096CU	956	940	948					○	○	○	○	○
E46G30096CU	972	956	964					○	○	○	○	○
E56G30096CU	988	972	980					○	○	○	○	○
E66G30096CU	1004	988	996					○	○	○	○	○
E75G30096CU	1020	1004	1012					○	○	○	○	○
E85G30096CU	1036	1020	1028					○	○	○	○	○
E94G30096CU	1052	1036	1044					○	○	○	○	○
F04G30096CU	1068	1052	1060					○	○	○	○	○
F14G30096CU	1084	1068	1076						○	○	○	○
F23G30096CU	1100	1084	1092						○	○	○	○
F33G30096CU	1116	1100	1108						○	○	○	○
F42G30096CU	1132	1116	1124						○	○	○	○
F52G30096CU	1148	1132	1140						○	○	○	○
F62G30096CU	1164	1148	1156						○	○	○	○
F71G30096CU	1180	1164	1172						○	○	○	○
F81G30096CU	1196	1180	1188							○	○	○
F90G30096CU	1212	1196	1204							○	○	○
G00G30096CU	1228	1212	1220							○	○	○

表 2-4 ステップ・パッケージ一覧表 (7 層品) (3/3)

PBGA				PBGA														
Body Size/mm				27	27	27	27	27	27	27	27	35	35	35	35	35	35	
Pin				256	272	300	316	336	352	400	449	352	388	420	484	480	544	609
Code				WNS1	T2S1	W0F1	X6F1	ARF1	AGF1	BAF1	BSF1	AGS1	AJS1	BFS1	BLS1	BBF1	CLS1	DHF1
				B6	B6						MN2	F6	F6	F6	F6		F6	RN1
GND				16	16	16	16	16	16	36	36	16	16	24	24	24	24	56
VDD1				8	8	8	8	8	8	16	16	8	8	12	12	12	12	32
VDD2				8	8	8	8	8	8	16	16	12	12	12	12	12	12	32
SIGNAL				224	224	268	268	304	304	332	332	316	316	372	372	432	432	440
Ball Pitch/mm				1.27	1.27	1.27	1.27	1.27	1.27	1	1	1.27	1.27	1.27	1.27	1.27	1.27	1
BODYTHICK/mm				2.13	2.13	2.33	2.33	2.33	2.33	2.33	2.33	2.33	2.33	2.33	2.33	2.33	2.33	2.23
Step	Pad1	Pad2	I/O															
A80G30096CU	364	348	356	△	△	△	△	△	△	△	△	△	△	△	△	△	△	
A90G30096CU	380	364	372	△	△	△	△	△	△	△	△	△	△	△	△	△	△	
A99G30096CU	396	380	388	△	△	△	△	△	△	△	△	△	△	△	△	△	△	
B09G30096CU	412	396	404	△	△	△	△	△	△	△	△	△	△	△	△	△	△	
B18G30096CU	428	412	420	△	△	△	△	△	△	△	△	△	△	△	△	△	△	
B28G30096CU	444	428	436	△	△	△	△	△	△	△	△	△	△	△	△	△	△	
B38G30096CU	460	444	452	△	△	△	△	△	△	△	△	△	△	△	△	△	△	
B47G30096CU	476	460	468	△	△	△	△	△	△	△	△	△	△	△	△	△	△	
B57G30096CU	492	476	484	△	△	△	△	△	△	△	△	△	△	△	△	△	△	
B66G30096CU	508	492	500	○	○	○	○	○	○	○	○	△	△	△	△	△	△	
B76G30096CU	524	508	516	○	○	○	○	○	○	○	○	△	△	△	△	△	△	
B86G30096CU	540	524	532	○	○	○	○	○	○	○	○	△	△	△	△	△	△	
B95G30096CU	556	540	548	○	○	○	○	○	○	○	○	△	△	△	△	△	△	
C06G30096CU	572	556	564	○	○	○	○	○	○	○	○	△	△	△	△	△	△	
C15G30096CU	588	572	580	○	○	○	○	○	○	○	○	△	△	△	△	△	△	
C25G30096CU	604	588	596	○	○	○	○	○	○	○	○	△	△	△	△	△	△	
C34G30096CU	620	604	612	○	○	○	○	○	○	○	○	△	△	△	△	△	△	
C44G30096CU	636	620	628	○	○	○	○	○	○	○	○	△	△	△	△	△	△	
C54G30096CU	652	636	644	○	○	○	○	○	○	○	○	○	△	△	△	△	△	
C63G30096CU	668	652	660	○	○	○	○	○	○	○	○	○	△	△	△	△	△	
C73G30096CU	684	668	676	○	○	○	○	○	○	○	○	○	△	△	△	△	△	
C82G30096CU	700	684	692	○	○	○	○	○	○	○	○	○	△	△	△	△	△	
C92G30096CU	716	700	708	○	○	○	○	○	○	○	○	○	△	△	△	△	△	
D02G30096CU	732	716	724	○	○	○	○	○	○	○	○	○	△	△	△	△	△	
D11G30096CU	748	732	740	○	○	○	○	○	○	○	○	○	△	△	△	△	△	
D21G30096CU	764	748	756	○	○	○	○	○	○	○	○	○	△	△	△	△	△	
D30G30096CU	780	764	772	○	○	○	○	○	○	○	○	○	△	△	△	△	△	
D40G30096CU	796	780	788	○	○	○	○	○	○	○	○	○	△	△	△	△	△	
D50G30096CU	812	796	804	○	○	○	○	○	○	○	○	○	△	△	△	△	△	
D59G30096CU	828	812	820	○	○	○	○	○	○	○	○	○	△	△	△	△	△	
D69G30096CU	844	828	836	○	○	○	○	○	○	○	○	○	△	△	△	△	△	
D78G30096CU	860	844	852	○	○	○	○	○	○	○	○	○	○	△	△	△	△	
D88G30096CU	876	860	868	○	○	○	○	○	○	○	○	○	○	△	△	△	△	
D98G30096CU	892	876	884	○	○	○	○	○	○	○	○	○	○	△	△	△	△	
E07G30096CU	908	892	900	○	○	○	○	○	○	○	○	○	○	△	△	△	△	
E17G30096CU	924	908	916	○	○	○	○	○	○	○	○	○	○	△	△	△	△	
E26G30096CU	940	924	932	○	○	○	○	○	○	○	○	○	○	△	△	△	△	
E36G30096CU	956	940	948	○	○	○	○	○	○	○	○	○	○	△	△	△	△	
E46G30096CU	972	956	964	○	○	○	○	○	○	○	○	○	○	△	△	△	△	
E56G30096CU	988	972	980	○	○	○	○	○	○	○	○	○	○	△	△	△	△	
E66G30096CU	1004	988	996	○	○	○	○	○	○	○	○	○	○	△	△	△	△	
E75G30096CU	1020	1004	1012	○	○	○	○	○	○	○	○	○	○	△	△	△	△	
E85G30096CU	1036	1020	1028	○	○	○	○	○	○	○	○	○	○	△	△	△	△	
E94G30096CU	1052	1036	1044	○	○	○	○	○	○	○	○	○	○	△	△	△	△	
F04G30096CU	1068	1052	1060	○	○	○	○	○	○	○	○	○	○	△	△	△	△	
F14G30096CU	1084	1068	1076	○	○	○	○	○	○	○	○	○	○	○	○	○	△	
F23G30096CU	1100	1084	1092	○	○	○	○	○	○	○	○	○	○	○	○	○	△	
F33G30096CU	1116	1100	1108	○	○	○	○	○	○	○	○	○	○	○	○	○	△	
F42G30096CU	1132	1116	1124	○	○	○	○	○	○	○	○	○	○	○	○	○	△	
F52G30096CU	1148	1132	1140	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
F62G30096CU	1164	1148	1156	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
F71G30096CU	1180	1164	1172	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
F81G30096CU	1196	1180	1188	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
F90G30096CU	1212	1196	1204	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
G00G30096CU	1228	1212	1220	○	○	○	○	○	○	○	○	○	○	○	○	○	○	

2.3 消費電力の確認

「CMOS セルベース IC が低消費電力である」といっても、高速で動作させるとかなりの電力を消費します。

電力の消費量に比例して LSI(チップ)の温度は上昇します。温度が上昇しすぎると製品の信頼性が低下するため、LSI の消費電力は制限値以下に抑えて使用する必要があります。

概算見積もりは、次の式で算出してください。

$$0.86 \text{ (nW/MHz/ゲート)} \times \text{論理ゲート数} \times \text{動作周波数}$$

なお、消費電力の制限は使用するパッケージによって決まります。

見積もりの算出方法およびパッケージごとの消費電力については、4.2 **消費電力**を参照してください。

2.4 端子配置

近年 LSI の電源の低電圧化と高速化に伴い、電源ノイズ・信号のノイズの影響が無視できなくなってきました。これらノイズの対策には、チップ内部・パッケージ・お客様のボードの3つの観点からの対応が不可欠です。

ここでは、主にノイズ対策という観点から LSI の端子配置を決定する際の注意点を示します。

端子配置する際は、チップ上のI/Oブロック・パッド配置に関する注意と、パッケージの端子配置に関する注意があります。それぞれの注意については、2.4.1 インタフェース・ブロック、パッド配置に関する注意、および 2.4.2 パッケージ端子配置に関する注意に示します。

パッケージ端子に関する注意は、4層基板を使用したBGAパッケージを前提として記述しています。それ以外のパッケージを使用する場合には、弊社までお問い合わせください。

2.4.1 インタフェース・ブロック、パッド配置に関する注意

(1) 電源ブロック

4.5 電源ブロックの見積もりに従って消費電力の見積もり、出力の同時動作本数などを検討して、必要な電源ブロックを配置してください。

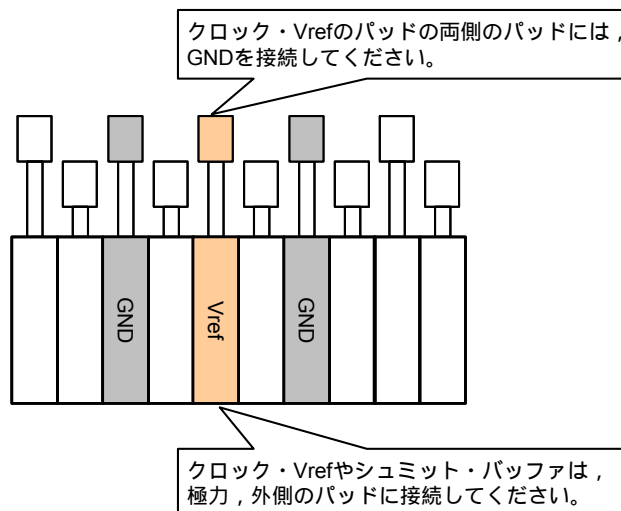
また、I/O用電源ブロックは、内側パッドに接続するように配置してください。

(2) クロック（入力，出力），コントロール（セット，リセット），Vref インタフェース・ブロックなど

これらの信号は、隣接する信号端子に起因するノイズの影響を受けやすいため、接続するパッドの両側のパッドにGNDを接続してください。両側に接続したGNDがシールドとして働きます。また、これらのブロック、およびシュミット・バッファの入力は、パッケージ内の伝送線路を短くして電気的特性を良好にするため、外側のパッドに接続してください（図2-1参照）。

また、クロック（入力）端子は、特にノイズによる影響を受けやすいため、入力の立ち上がり/立ち下がり時間は4 ns以下としてください。これより入力の立ち上がり/立ち下がり時間が大きくなる場合は、シュミット・バッファを使用してください。端子配置の見直しなどにより、基準値を緩和できます。詳細は、弊社までお問い合わせください。

図2-1 クロック・Vref ブロック配置上の注意

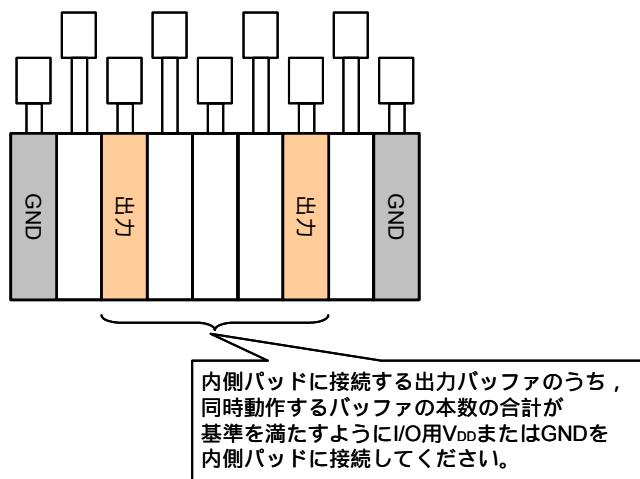


(3) 出力バッファ

出力バッファは、クロック（入力、出力）など出力バッファの同時動作によるノイズの影響を受けやすい信号からできるだけ離して配置してください。

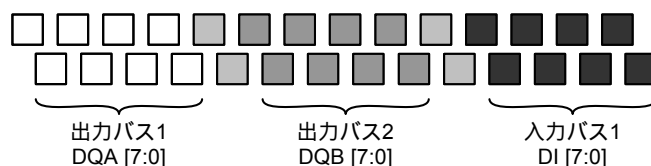
同時動作する出力バッファの本数については、4.6 出力バッファの同時動作制限に示す制限もあわせて満たすように配置してください。

図2-2 クロック・Vref ブロック配置上の注意

**(4) バス信号の配置**

バス信号の配置は、図 2-3 に示すようにパッド上で入出力、ビット・タイプごとに極力まとめて配置し、異なるタイプの信号を混載しないようにしてください。

図2-3 バス信号用パッド配置上の注意

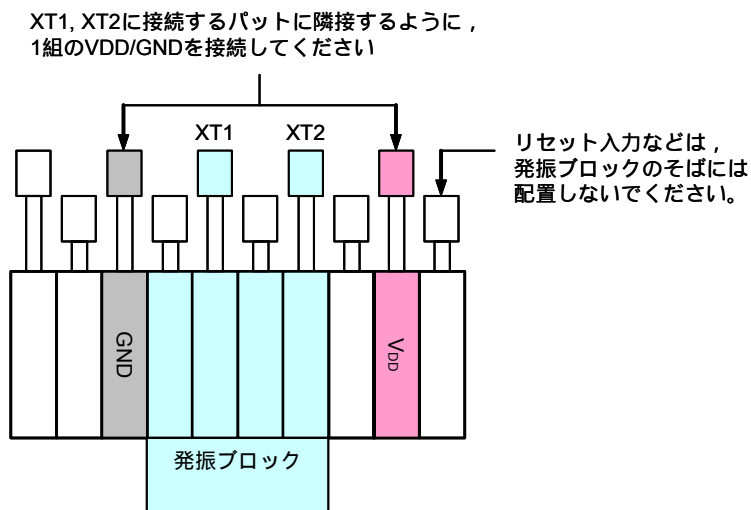


(5) 発振ブロックの端子配置

発振ブロックの両側のスロットに、一対の V_{DD} / GNDを挟むように配置してください。その際に、発振ブロックのXT1端子とXT2端子の両側のパッドに V_{DD} / GNDが接続されるようにしてください(図2-4参照)。

また、発振端子のそばにノイズが入ると誤動作を起こす信号(リセットなど)を配置しないでください。

図2-4 発振ブロックの配置

**(6) テスト用インタフェース・ブロック**

スキャンパス・テスト法などを利用する場合は、テスト用インタフェース・ブロックを配置しなければいけません。詳細は、弊社のシステム LSI 設計 テスト容易化設計 ユーザーズ・マニュアルを参照してください。

(7) アナログ・マクロの配置

アナログ・マクロを搭載する場合は、アナログ専用の電源端子が必要となります。また、マクロの配置にあたり、特別に注意が必要なものがあります。アナログ・マクロを搭載する場合は、弊社までご連絡ください。

(8) モード設定用端子の追加

モード設定用インタフェース・ブロック (TxxxITE1C33ND [仮], TxxxITE2C33ND [仮]) を使用することにより、表 2 - 5 に示す 3 つのモードを設定できます。モード設定用に専用インタフェース・ブロック 2 本を追加してください。

なお、この 2 つのインタフェース・ブロックは、プルダウンされているので、お客様の基板上ではオープンにして問題はありませんが、極力 GND にクランプすることを推奨します。

表2 - 5 モード設定

TxxxITE1C33ND	TxxxITE2C33ND	モード	対象シミュレーション
0	0	ノーマル・モード (実動作モード)	ユーザ使用
0	1	LFT (I _{OL} , I _{OH} 最小) テスト・モード ^{注1}	弊社使用 (ユーザ使用禁止)
1	0	I _{DD} テスト・モード ^{注2}	弊社使用 (ユーザ使用禁止)
1	1	設定禁止	設定禁止

注 1. LFT テスト・モード : 製品出荷テスト時の同時オン対象のため出力電流を最小にしてテストするためのモード

2. I_{DD} テスト・モード : 製品出荷テスト時に静消費電流を正確に測定するために、プルアップ/プルダウン抵抗などを切り離すテスト・モード

(9) インタフェース・ブロックへのスタンバイ制御用端子追加

CB-40 LD タイプでは、入出力電源がオン、内部電源がオフのときに次の 2 つの目的で、インタフェース・ブロックにスタンバイ機能を持たせています。

- 外部に不定が出力されるのを防止
- インタフェース・ブロックに貫通電流が流れることを防止

スタンバイ機能の制御方法については、**3.9.3 インタフェース・ブロックのスタンバイ機能**を参照してください。

スタンバイ機能を制御するためには、専用のスタンバイ信号 (CTRSTBYB) 入力用ブロックを追加する必要があります。表 2 - 6 に示すブロックを 1 つ追加してください。

スタンバイ機能を使用しない場合にも追加する必要があります。なお、スタンバイ機能を使用しない場合は、プルアップ付きバッファを使用すればパッケージ・ピンは不要です。

表2 - 6 スタンバイ制御信号入力用ブロック

インタフェース	ブロック名	機能	備考
3.3 V インタフェース (30 μm 千鳥パッド)	TWF1ISTBC33SUO	プルアップ付き	スタンバイ機能を使用しない場合は、オープンとすることでパッケージ・ピンは不要。
3.3 V インタフェース (50 μm 単列パッド)	TWF3ISTBC33SUO	プルアップ付き	スタンバイ機能を使用しない場合は、オープンとすることでパッケージ・ピンは不要。
1.8 V インタフェース	TWC1ISTBC18SUO	プルアップ付き	開発中

2.4.2 パッケージ端子配置に関する注意

(1) 未使用端子

未使用端子には、パッケージ上に端子はあるが、LSI 内部と接続されていない NC (Non Connection) 端子と、パッケージ端子と LSI 内部が接続されているが、その機能をお客様に公開していない内部接続 (Internal Connection) 端子の 2 つがあります。

(a) NC (Non Connection) 端子

パッケージ上に端子が存在しますが、LSI 内部と接続していない端子です。LSI 内部と接続していませんが、プリント基板にセルベース IC を実装する際、NC 端子を信号中継端子として使用しないでください。プリント基板に実装するときには、GND に接続することを推奨します。

(b) IC (Internal Connection) 端子 (内部接続端子)

パッケージ端子と LSI 内部を接続していますが、お客様にその機能を公開していない端子が該当します。セルベース IC では、基本的に IC 端子はありませんが、IC 端子がある場合はプリント基板における接続方法を弊社から別途連絡いたします。

(2) テスト専用端子のプリント基板上での接続方法

テスト専用端子は、実装する際にお客様のプリント基板上で適切に処理する必要があります。その接続方法は、端子によって異なります (表 2-7 参照)。これ以外の端子については、弊社にお問い合わせください。

表2-7 プリント基板上でのテスト端子処理一覧

	端子名	属性	パッファ・タイプ	プリント基板上の接続
バウンダリ・スキャン用テスト端子	TDI	入力	ブルアップ付き	Vdd(IO)に接続, またはオープン (Vdd 接続を推奨)
	TMS	入力	ブルアップ付き	Vdd(IO)に接続, またはオープン (Vdd 接続を推奨)
	TCK	入力	ブルダウン付き	GND に接続, またはオープン (GND 接続を推奨) ソフトウェア・リセット使用時は, TMS がハイ・レベルの状態 で立ち上がり信号を 5 回以上入力してください。
	TRST	入力	ブルアップ付き [※]	Vdd(IO)に接続, またはオープン (Vdd 接続を推奨) ハードウェア・リセット使用時は, ロウ・レベルを入力してください。
	TDO	出力	3-State	オープン
スキャン用端子	TEN	出力	ブルダウン付き	GND に接続, またはオープン (GND 接続を推奨)
SRAM リダンダンシオン端子	VPRG	電源	-	GND に接続 (外部端子として存在する場合)
弊社専用端子	TMC1	入力	ブルダウン付き	GND に接続, またはオープン (GND 接続を推奨)
	TMC2	入力	ブルダウン付き	GND に接続, またはオープン (GND 接続を推奨)

注 バウンダリ・スキャンを使用しない場合も、弊社のテスト回路の都合上で TRST 端子が存在します。この場合はブルダウン付きになります。プリント基板上は、GND に接続することを推奨します。

また、バウンダリ・スキャンを使用しない場合は、TRST 端子はほかの端子と兼用することができます (弊社までお問い合わせください)。

(3) 内部 V_{DD} 用 BGA ボール配置

内部 V_{DD} 用 BGA ボールは、パッケージの内側に配置することを推奨します。

電源ノイズによる影響を最小限に抑えるため、パッケージの電源設計に対する考慮が必要になります。

(4) I/O V_{DD} 用 BGA ボール配置

I/O V_{DD} 用 BGA ボールは、パッケージの外側に配置することを推奨します。

電源ノイズによる影響を最小限に抑えるため、パッケージの電源設計に対する考慮が必要になります。

(5) GND 用 BGA ボール配置

GND 用 BGA ボールは、パッケージの全面に均等に配置することを推奨します。

出力バッファのリターンパスとなる GND 端子を確保することにより、ノイズによる影響を最小限に抑えるためです。

(6) V_{ref} 用 BGA ボール配置

基準電位 (V_{ref}) 用 BGA ボールは、できるだけパッケージの内側に配置してください。

V_{ref} 信号はノイズの影響を受けやすいため、パッケージ内部の配線長を極力短くし、またシールド配線などノイズに対する考慮を行なう必要があるためです。

(7) 電源用 BGA ボールの数

パッケージにおける電源の電気的特性を良好に保つため、電源用パッドに対してある程度の数の BGA ボールが必要です。詳細は、弊社までお問い合わせください。

2.5 入出力インタフェース

2.5.1 入力ブロックの種類

入力インタフェース・レベル・ブロックを次に示します。

(1) 3.3 V インタフェース・レベル・ブロック

電源電圧が 3.3 V の LSI と接続するためのブロックです。

(2) 2.5 V インタフェース・レベル・ブロック

電源電圧が 2.5 V の LSI と接続するためのブロックです。

(3) 1.8 V インタフェース・レベル・ブロック

電源電圧が 1.8 V の LSI と接続するためのブロックです。

(4) 1.2 V インタフェース・レベル・ブロック

電源電圧が 1.2 V の LSI と接続するためのブロックです。

2.5.2 出力ブロックの種類

出力インタフェース・レベル・ブロックを次に示します。

(1) 3.3 V インタフェース・レベル・ブロック

電源電圧が 3.3 V の LSI と接続するためのブロックです。

(2) 2.5 V インタフェース・レベル・ブロック

電源電圧が 2.5 V の LSI と接続するためのブロックです。

(3) 1.8 V インタフェース・レベル・ブロック

電源電圧が 1.8 V の LSI と接続するためのブロックです。

(4) 1.2 V インタフェース・レベル・ブロック

電源電圧が 1.2 V の LSI と接続するためのブロックです。

ノイズの発生を低く抑えるためのロウ・ノイズ・バッファや、高速タイプのバッファも用意しています。また、出力の駆動能力は I_{OL} と I_{OH} は等しくなっています。

CMOS 回路では、入力の電位が定まらない状態（フローティング状態）のときには過大な貫通電流が流れたり、回路内部へノイズ信号が入力されて、誤動作を引き起す可能性があります。基板上オープンになる端子に関しては、プルアップ/プルダウン抵抗付きのバッファを使用してください。

第3章 製品規格

CB-40 LD タイプの動作電源電圧は 1.1 V ですが、インタフェースとしては 3.3 V, 2.5 V (開発予定), 1.8 V, 1.2 V (開発予定) の電源電圧の LSI に接続できる入力 / 出力インタフェース・ブロックを用意しています。

標準以外のインタフェースについては、個別にドキュメントを用意していますので、そちらを参照してください。

次に CB-40 LD タイプの製品規格を示します。

3.1 用語説明

表3 - 1 絶対最大定格に関する用語

項 目	略 号	意 味
電源電圧	V_{DD}	V_{DD} 端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
入力電圧	V_I	入力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
出力電圧	V_O	出力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
出力電流	I_O	出力端子から流し出しても、また流し込んでも、破壊や信頼性低下を生じない DC 電流の許容絶対値を示します。
動作周囲温度	T_A	正常な論理動作をする周囲温度範囲を示します。
保存温度	T_{stg}	電圧、電流を印加しない状態で、破壊や信頼性低下を生じない素子温度範囲を示します。

表3 - 2 推奨動作範囲に関する用語

項 目	略 号	意 味
電源電圧	V_{DD}	$V_{SS} = 0 V$ としたときに正常な論理動作をする電圧範囲を示します。
ハイ・レベル入力電圧	V_{IH}	セルベース IC の入力に印加する電圧で、入力バッファが正常に動作するハイ・レベル状態の電圧を示します。 • MIN. 値以上の電圧を印加すれば、入力電圧がハイ・レベルであることを保証します。
ロウ・レベル入力電圧	V_{IL}	セルベース IC の入力に印加する電圧で、入力バッファが正常に動作するロウ・レベル状態の電圧を示します。 • MAX. 値以下の電圧を印加すれば、入力電圧がロウ・レベルであることを保証します。
ポジティブ・トリガ電圧	V_P	セルベース IC の入力をロウ・レベル側からハイ・レベル側に变化させたときに、出力レベルが反転する入力レベル
ネガティブ・トリガ電圧	V_N	セルベース IC の入力をハイ・レベル側からロウ・レベル側に变化させたときに、出力レベルが反転する入力レベル
ヒステリシス電圧	V_H	ポジティブ・トリガ電圧とネガティブ・トリガ電圧の差
入力立ち上がり時間	t_{nd} , t_{nc} , t_{ns}	セルベース IC の入力に印加する入力電圧が 10 % から 90 % に立ち上がる時間の制限値を示します。 t_{nd} , t_{nc} , t_{ns} は、それぞれデータ・クロック、シュミット・バッファの入力立ち上がり時間を示します。
入力立ち下がり時間	t_{nd} , t_{nc} , t_{ns}	セルベース IC の入力に印加する入力電圧が 90 % から 10 % に立ち下がる時間の制限値を示します。 t_{nd} , t_{nc} , t_{ns} は、それぞれデータ・クロック、シュミット・バッファの入力立ち下がり時間を示します。

表3-3 DC 特性に関する用語

項目	略号	意味
静消費電流	I _{DDs}	入力および出力端子の電圧変化がない状態で、規定された電源電圧において電源端子から流れ込む電流を示します。
オフステート出力電流	I _{oz}	3 ステート出力で出力がハイ・インピーダンスのとき、規定された電圧において出力端子を流れる電流を示します。
出力短絡電流	I _{os}	出力ハイ・レベルのときに、出力端子を GND と短絡した場合に流れ出す電流を示します。
入力リーク電流	I _{li}	入力端子に電圧を印加したときに、入力端子を流れる電流を示します。
ロウ・レベル出力電流	I _{oL}	規定されたロウ・レベル出力電圧において、出力端子へ流れ込む電流を示します。
ハイ・レベル出力電流	I _{oH}	規定されたハイ・レベル出力電圧において、出力端子から流れ出す電流を示します。
ロウ・レベル出力電圧	V _{oL}	ロウ・レベル状態にある、出力オープン時の出力電圧を示します。
ハイ・レベル出力電圧	V _{oH}	ハイ・レベル状態にある、出力オープン時の出力電圧を示します。

3.2 絶対最大定格

表3-4 絶対最大定格

項目	略号	条件	定格	単位
電源電圧	V _{DD}	1.1 V 系	- 0.45 ~ + 1.8	V
		3.3 V 系	- 0.5 ~ + 4.6	V
		1.8 V 系	- 0.5 ~ + 2.5	V
入出力電圧	V _i /V _o	3.3 V バッファ V _i /V _o < V _{DD} + 0.5 V	- 0.5 ~ + 4.6	V
		1.8 V バッファ V _i /V _o < V _{DD} + 0.5 V	- 0.5 ~ + 2.5	V
出力電流 (3.3 V バッファ)	I _o	4 mA タイプ	11.2	mA
		6 mA タイプ	16.8	mA
		8 mA タイプ	22.4	mA
		12 mA タイプ	28.0	mA
出力電流 (1.8 V バッファ)	I _o	4 mA タイプ	T.B.D.	mA
		6 mA タイプ	T.B.D.	mA
		8 mA タイプ	T.B.D.	mA
		12 mA タイプ	T.B.D.	mA
動作周囲温度	T _A		- 40 ~ + 85	
保存温度	T _{stg}		- 65 ~ + 125	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。

必ずこの定格値を越えない状態で製品をご使用ください。

備考 入出力端子への 3.3 V, 1.8 V 電圧の印加は、必ず電源電圧が確定してから行ってください。

3.3 推奨動作範囲

表3 - 5 推奨動作範囲

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}	1.1 V 電源	1.0	1.1	1.2	V
		3.3 V 電源	3.0	3.3	3.6	V
		1.8 V 電源	1.65	1.8	1.95	V
ネガティブ・トリガ電圧	V _N	3.3 V シュミット入力	0.7	–	1.9	V
		1.8 V シュミット入力	T.B.D.	T.B.D.	T.B.D.	V
ポジティブ・トリガ電圧	V _P	3.3 V シュミット入力	0.9	–	2.1	V
		1.8 V シュミット入力	T.B.D.	T.B.D.	T.B.D.	V
ヒステリシス電圧	V _H	3.3 V シュミット入力	0.2	–	1.4	V
		1.8 V シュミット入力	T.B.D.	T.B.D.	T.B.D.	V
ロウ・レベル入力電圧	V _{IL}	3.3 V 入力	–0.3	–	0.8	V
		1.8 V 入力	T.B.D.	T.B.D.	T.B.D.	V
ハイ・レベル入力電圧	V _{IH}	3.3 V 入力	2.0	–	V _{DD} + 0.3	V
		1.8 V 入力	T.B.D.	T.B.D.	T.B.D.	V
入力立ち上がり / 立ち下がり時間 (データ)	t _{rid}	–	0	–	200	ns
	t _{fid}	–	0	–	200	ns
入力立ち上がり / 立ち下がり時間 (クロック)	t _{ric}	–	0	–	4	ns
	t _{fic}	–	0	–	4	ns
入力立ち上がり / 立ち下がり時間 (シュミット)	t _{ris}	–	0	–	1	ms
	t _{fis}	–	0	–	1	ms

備考 立ち上がり / 立ち下がり時間が大きく鈍った信号や、しきい値をまたぐノイズがのった信号を入力する場合は、チップ内部の信号線へのノイズによる誤動作が問題になるため、シュミット・トリガ入力バッファを使用してください。特にクロック入力はノイズの影響を受けやすいため、推奨動作範囲を別途規定しています。その範囲より立ち上がり / 立ち下がり時間が大きくなる場合は、同様にシュミット・トリガ入力バッファを使用してください。

ただし、ヒステリシス電圧を越えるノイズがのる場合は、誤動作の可能性があるので注意してください。

また、出力バッファの同時動作などの原因による電源ラインの変動は、シュミット・トリガ入力バッファの能力を低下させるため端子配置に注意してください。

3.4 推奨動作範囲

入出力バッファの高速化に伴い、負荷となるボード等の伝送路の特性インピーダンスや、入出力バッファの駆動能力によって、送受信端にオーバーシュート、アンダーシュートが発生します。

オーバーシュートの定義は、オーバーシュートとは入出力波形の立ち上がりにおいて、電圧が瞬間的に上昇した最初の波形だけであり、それ以降の定常状態に安定するまでの波形は対象外です。

アンダーシュートの定義は、入出力波形の立ち下がりにおいて、電圧が瞬間的に下降した最初の波形だけであり、それ以降の定常状態に安定するまでの波形は対象外です。

オーバーシュートとアンダーシュートは、程度が大きい場合は不具合の原因となることがあります。したがって、オーバーシュートとアンダーシュートが最大となる条件で、表 3 - 6と 図 3 - 2に示すオーバーシュート・アンダーシュート規定をすべて満たしてください。

図3 - 1 オーバーシュート・アンダーシュートの定義

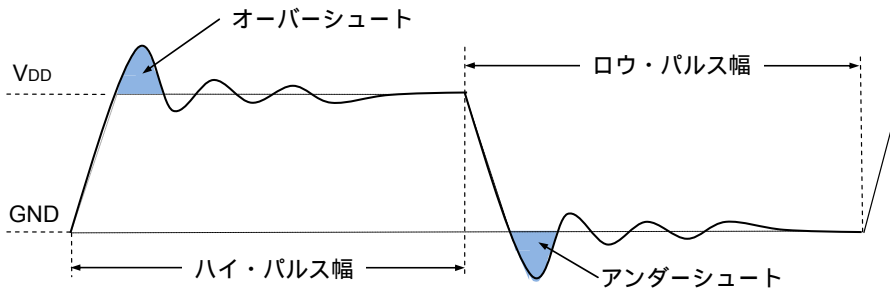
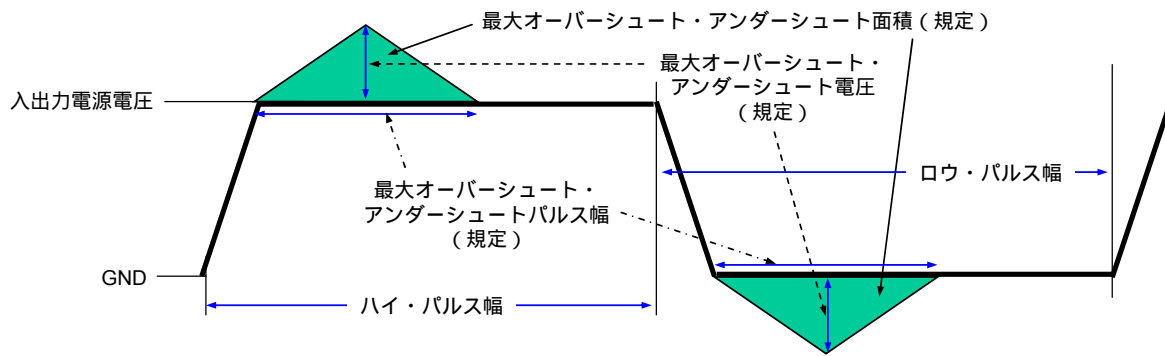


表3 - 6 オーバーシュート・アンダーシュート規定

項目	規定値
最大オーバーシュート電圧 (3.3 V バッファ)	3.6 V + 1.0 V
最大アンダーシュート電圧 (3.3 V バッファ)	0 V - 1.0 V
最大オーバーシュートパルス幅 (3.3 V バッファ)	0.5 × ハイ・パルス幅 (s)
最大アンダーシュートパルス幅 (3.3 V バッファ)	0.5 × ロウ・パルス幅 (s)
最大オーバーシュート面積 (3.3 V バッファ)	3 V · ns
最大アンダーシュート面積 (3.3 V バッファ)	3 V · ns
最大オーバーシュート電圧 (1.8 V バッファ)	T.B.D.
最大アンダーシュート電圧 (1.8 V バッファ)	T.B.D.
最大オーバーシュートパルス幅 (1.8 V バッファ)	T.B.D.
最大アンダーシュートパルス幅 (1.8 V バッファ)	T.B.D.
最大オーバーシュート面積 (1.8 V バッファ)	T.B.D.
最大アンダーシュート面積 (1.8 V バッファ)	T.B.D.

図3-2 オーバershoot・アンダershoot規定



オーバーシュート・アンダershoot面積は、簡易的に次の式で算出できます。

$$\begin{aligned} \text{オーバーシュート面積} &= (\text{オーバーシュート電圧} \times \text{オーバーシュート・パルス幅}) \div 2 \\ \text{アンダershoot面積} &= (\text{アンダershoot電圧} \times \text{アンダershoot・パルス幅}) \div 2 \end{aligned}$$

3.5 DC 特性

表3 - 7 DC 特性 ($V_{DD} = 3.3 \pm 0.3 \text{ V}$, $V_{DD} = 1.8 \pm 0.15 \text{ V}$, $T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
静消費電流 ^{注1}	I_{DDs}	$V_I = V_{DD}$ or GND					μA
オフステート電流 ^{注2}	I_{OZ}	$V_I = V_{DD}$ or GND	3.3 V 出力	-	-	± 5	μA
出力短絡電流 ^{注3}	I_{OS}					-250	mA
入力リーク電流 ^{注2} (3.3 V バッファ)	I_{LI}	$V_I = V_{DD}$ or GND	通常入力	-	-	± 5	μA
		$V_I = \text{GND}$	プルアップ抵抗付き (50 k Ω)	-36.0	-	-96.0	μA
		$V_I = V_{DD}$	プルダウン抵抗付き (50 k Ω)	37.0	-	96.0	μA
入力リーク電流 (1.8 V バッファ)	I_{LI}	$V_I = V_{DD}$ or GND	通常入力	-	-	T.B.D.	μA
		$V_I = \text{GND}$	プルアップ抵抗付き (50 k Ω)	T.B.D.	T.B.D.	T.B.D.	μA
		$V_I = V_{DD}$	プルダウン抵抗付き (50 k Ω)	T.B.D.	T.B.D.	T.B.D.	μA
ロウ・レベル出力電流 (3.3 V バッファ)	I_{OL}	$V_{OL} = 0.4 \text{ V}$	4 mA タイプ	4	-	-	mA
			6 mA タイプ	6	-	-	mA
			8 mA タイプ	7.8	-	-	mA
			12 mA タイプ	9.5	-	-	mA
ロウ・レベル出力電流 (1.8 V バッファ)	I_{OL}	$V_{OL} = \text{T.B.D.}$	4 mA タイプ	T.B.D.	-	-	mA
			6 mA タイプ	T.B.D.	-	-	mA
			8 mA タイプ	T.B.D.	-	-	mA
			12 mA タイプ	T.B.D.	-	-	mA
ハイ・レベル出力電流 (3.3 V バッファ)	I_{OH}	$V_{OH} = 2.4 \text{ V}$	4 mA タイプ	4	-	-	mA
			6 mA タイプ	6	-	-	mA
			8 mA タイプ	7.8	-	-	mA
			12 mA タイプ	9.5	-	-	mA
ハイ・レベル出力電流 (1.8 V バッファ)	I_{OH}	$V_{OH} = \text{T.B.D.}$	4 mA タイプ	T.B.D.	-	-	mA
			6 mA タイプ	T.B.D.	-	-	mA
			8 mA タイプ	T.B.D.	-	-	mA
			12 mA タイプ	T.B.D.	-	-	mA
ロウ・レベル出力電圧	V_{OL}	$I_{OL} = 0 \text{ mA}$		-	-	0.1	V
ハイ・レベル出力電圧	V_{OH}	$I_{OH} = 0 \text{ mA}$		$V_{DD}-0.1$	-	-	V

注 1. 静消費電流はお客様の回路構成から算出されます。

詳しくは、第 4 章 各種特性値の見積もり方法を参照してください。

- 入力リーク電流とオフステート出力電流は同じ規格値で、双方向バッファも同じ規格値です。
したがって、双方向バッファは入力電流とオフステート出力電流を足し合わせる必要はありません。
- 出力短絡時間は 1 秒以下で、LSI の 1 端子のみ。

備考 表中の電流値の + , - は電流の方向を示しています。デバイスに流れ込む場合が + , 流れ出す場合が - です。

3.6 プルアップ/プルダウン抵抗値

表3 - 8 プルアップ/プルダウン抵抗値 ($V_{DD} = 3.3 \pm 0.3 \text{ V}$, $V_{DD} = 1.8 \pm 0.15 \text{ V}$, $T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

項 目	ライブラリ表現	MIN.	TYP.	MAX.	単位	
プルアップ抵抗	3.3 V バッファ	50 k Ω	37.5	50.0	81.8	k Ω
	1.8 V バッファ	50 k Ω	T.B.D.	T.B.D.	T.B.D.	k Ω
プルダウン抵抗	3.3 V バッファ	50 k Ω	37.5	50.0	80.5	k Ω
	1.8 V バッファ	50 k Ω	T.B.D.	T.B.D.	T.B.D.	k Ω

3.7 AC 特性

表3 - 9 AC 特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
伝達遅延時間	t_{PD}	入力バッファ F/O = 2, 配線長 = 9 μm , $t_r = t_f = 0.4 \text{ ns}$		332		ps
		出力バッファ, $C_L = 15 \text{ pF}$		2065		ps
出力立ち上がり時間	t_r	出力バッファ, $C_L = 15 \text{ pF}$; 10 ~ 90 %		1699		ps
出力立ち下がり時間	t_f	出力バッファ, $C_L = 15 \text{ pF}$; 10 ~ 90 %		1523		ps

3.8 端子容量

端子容量はインタフェース・ブロックの容量と、パッケージ固有の容量の合計になります。

表 3 - 10 にインタフェース・ブロックの容量 (C_B) を示します。パッケージごとの容量 (C_P) は、弊社までお問い合わせください。

端子容量は、次の式で算出してください。

$$CT (\text{端子容量}) = CB (\text{インタフェース・ブロックの容量}) + CP (\text{パッケージごとの容量})$$

表3 - 10 インタフェース・ブロックの容量 (C_B)

インタフェース・レベル	配線層数	$C_{B(\text{MIN})}$ (pF)	$C_{B(\text{MAX})}$ (pF)
3.3 V	7 層/8 層	2.0	4.0
1.8 V	7 層/8 層	T.B.D.	T.B.D.

備考 $V_{DD} = 0 \text{ V}$, $T_J = 25$, $f = 1 \text{ MHz}$

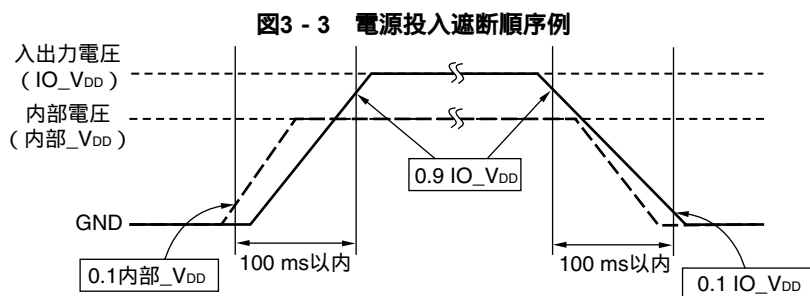
3.9 電源投入切断シーケンス

3.9.1 電源投入切断シーケンス

CB-40 LD タイプでは内部電源電圧 1.1 V、入出力電源電圧 3.3 V、または 1.8 V と電圧が異なりますが、ブロック・ライブラリに記載されている通常インタフェース・ブロックやプリミティブ・ブロックを使用している場合には、電源投入順序についての規定は特にありません。

また、電源投入時間差については、電源投入順序にかかわらず、内部あるいは入出力電源のどちらか先に立ち上がる方の電源の立ち上がり開始時から、両方の電源が安定するポイントまでの時間差が 100 ms 以内であることを推奨します。時間を測定する際の電圧は、 $0.1V_{DD} \sim 0.9V_{DD}$ の期間とします（図 3 - 3 参照）。

なお、高速バッファなどの特殊バッファや、アナログ・コアなどの固有に電源端子を持つ特殊なコアを使用している場合、および電源分離をしている LSI では、別途確認が必要です。専用のドキュメントがある場合は、そちらを参照してください。また、専用ドキュメントがない場合には、弊社にお問い合わせください。



3.9.2 電源投入とリセット信号のシーケンス

CB-40 LD タイプでは、SRAM マクロに対してリダンダンシ回路を適用する場合があります。この回路を使用する場合には、電源投入から LSI が通常動作モードに入るまでの間に、一定の手順でリダンダンシ回路をリセットする必要があります。

また、バウンダリ・スキャン用回路についても、通常動作モードに入るために一定の手順でテスト回路をリセットする必要があります。これらのリセットの手順について説明します。対象となる回路、端子名を表 3 - 11 に示します。表 3 - 11 に示す回路以外でも、搭載するマクロによってはリセットが必要な場合があるため、弊社にお問い合わせください。

ARSTB には、シュミット入力タイプのバッファを使用することを推奨します。

表3 - 11 リセット信号シーケンス対象回路・端子名

対象回路	対象端子	インタフェース・ブロック・タイプ
SRAM リダンダンシ回路	ARSTB	シュミット入力
バウンダリ・スキャン回路	TRST (ハードウェア・リセット時) [※]	ノーマル入力 (プルアップ付き)
	TCK (ソフトウェア・リセット時)	ノーマル入力 (プルダウン付き)
	TMS (ソフトウェア・リセット時)	ノーマル入力 (プルアップ付き)

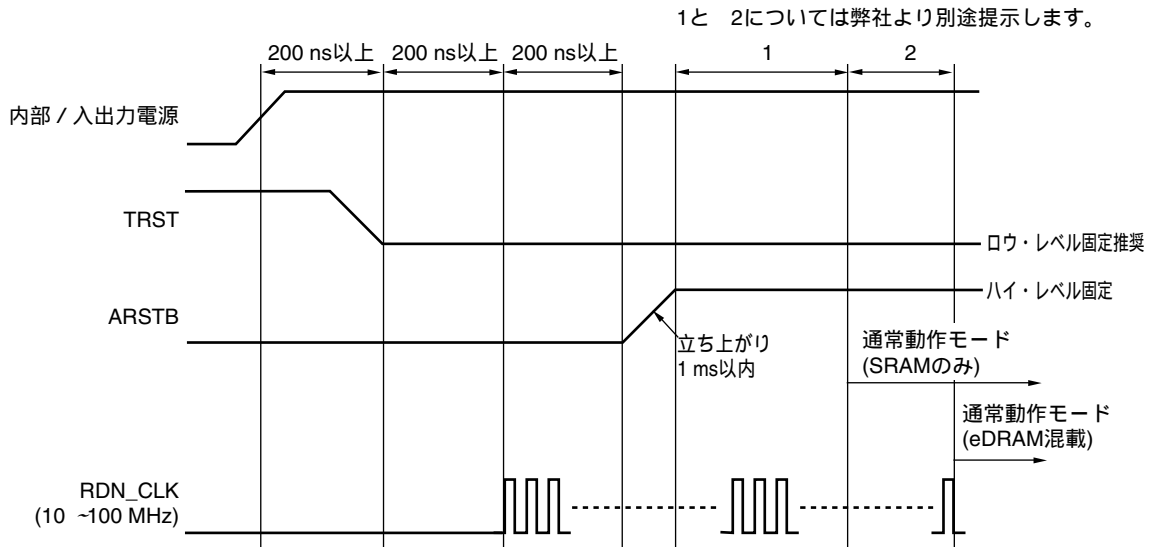
注 バウンダリ・スキャンを使用しない場合も、弊社のテスト回路の都合上で TRST 端子が存在します。この場合はプルダウン付きになります。

バウンダリ・スキャン回路を使用する場合、ハードウェア・リセットとソフトウェア・リセットの 2 通りのリセット動作が可能です。それぞれのリセット手順について次に示します。

(1) バウンダリ・スキャン回路ハードウェア・リセット, SRAM リダンダンシ回路リセットを使用する場合

バウンダリ・スキャン回路をハードウェア・リセット, SRAM リダンダンシ回路をリセットするためには, 次の手順で各信号を制御してください。電源を制御している場合は, 内部電源を立ち上げるごとに次の手順を行ってください。

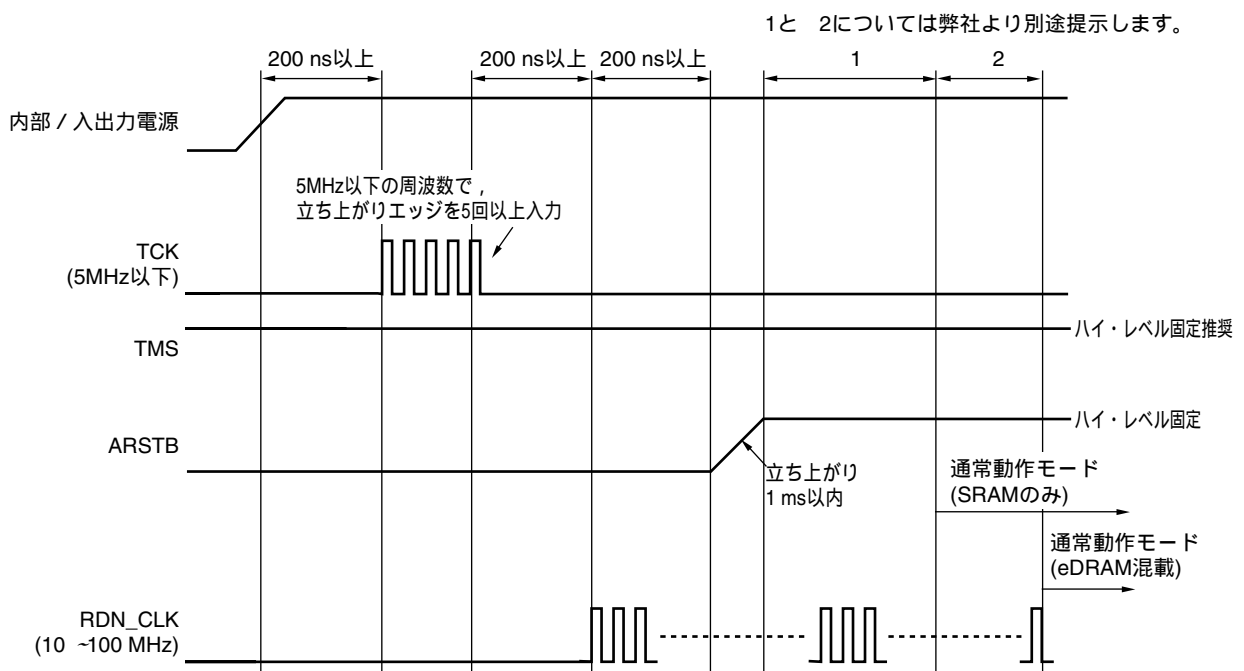
図3 - 4 バウンダリ・スキャン回路ハードウェア・リセット, SRAM リダンダンシ回路リセット手順



(2) バウンダリ・スキャン回路ソフトウェア・リセット, SRAM リダンダンシ回路リセットを使用する場合

バウンダリ・スキャン回路をソフトウェア・リセット, SRAM リダンダンシ回路をリセットするためには, 次の手順で各信号を制御してください。電源を制御している場合は, 内部電源を立ち上げるごとに次の手順を行ってください。

図3 - 5 バウンダリ・スキャン回路ソフトウェア・リセット, SRAM リダンダンシ回路リセット手順



バウンダリ・スキャン回路を使用しない場合も、弊社のテスト回路の都合上で TRST 端子が存在します。TRST 端子を GND に接続するか、ハードウェア・リセットと同じ手順でリセットしてください。

ただし、バウンダリ・スキャン回路を使用しない場合は、TRST の論理を内部で生成することにより、TRST 端子とユーザ端子を兼用することができます（弊社までお問い合わせください）。

その他のテスト端子の処理については、表 2-7 プリント基板上でのテスト端子処理一覧を参照してください。

3.9.3 インタフェース・ブロックのスタンバイ機能

CB-40 LDタイプでは、入出力電源がオン、内部電源がオフのときに次に示す 2 つ目的として、インタフェース・ブロックにスタンバイ機能を持たせています（表 3-12 参照）。

- 外部に不定が出力されるのを防止
- インタフェース・ブロックに貫通電流が流れることを防止

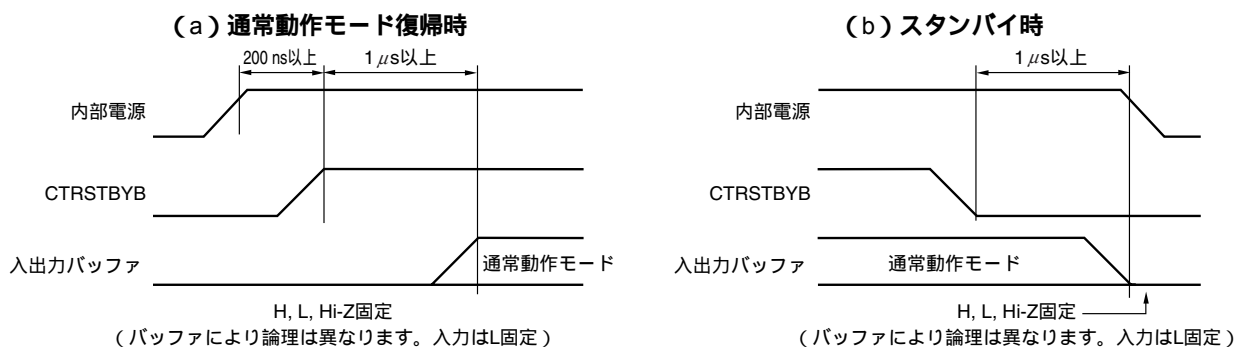
表3 - 12 スタンバイ機能

内部電源	入出力電源	スタンバイ制御信号 CTRSTBYB	出力レベル	入力レベル	モード
OFF	ON	0	L, H, Hi-Z 固定 (バッファによって異なります。)	L 固定	スタンバイ・モード
ON	ON	1	通常動作	通常動作	通常動作モード

通常動作モード復帰時には、内部電源投入後 200 ns 以上経過したあとスタンバイ制御信号（CTRSTBYB）にハイ・レベルを入力します。ハイ・レベルを入力後、1 μ s 以上経過後に通常動作モードとなります。したがって、CTRSTBYB にハイ・レベルを入力して、ハイ・レベル入力後に 1 μ s 以上経過後に通常動作させてください。

スタンバイ・モード設定時には、CTRSTBYB にロウ・レベルを入力してから、1 μ s 以上経過後に入出力バッファの論理が固定されます。そのあとに内部電源を立ち下げてください。したがって、CTRSTBYB にロウ・レベルを入力して、ロウ・レベル入力後に 1 μ s 以上経過後に内部電源を立ち下げてください。

図3 - 6 スタンバイ制御信号制御



バウンダリ・スキャン回路、および SRAM リダンダンシ回路を使用する場合は、以下の手順で各信号を制御してください。電源を制御している場合、内部電源を立ち上げるごとに以下の手順を行ってください。

図3 - 7 スタンバイ制御とバウンダリ・スキャン (ハードウェア・リセット), SRAM リダンダンシ回路リセット・タイミング

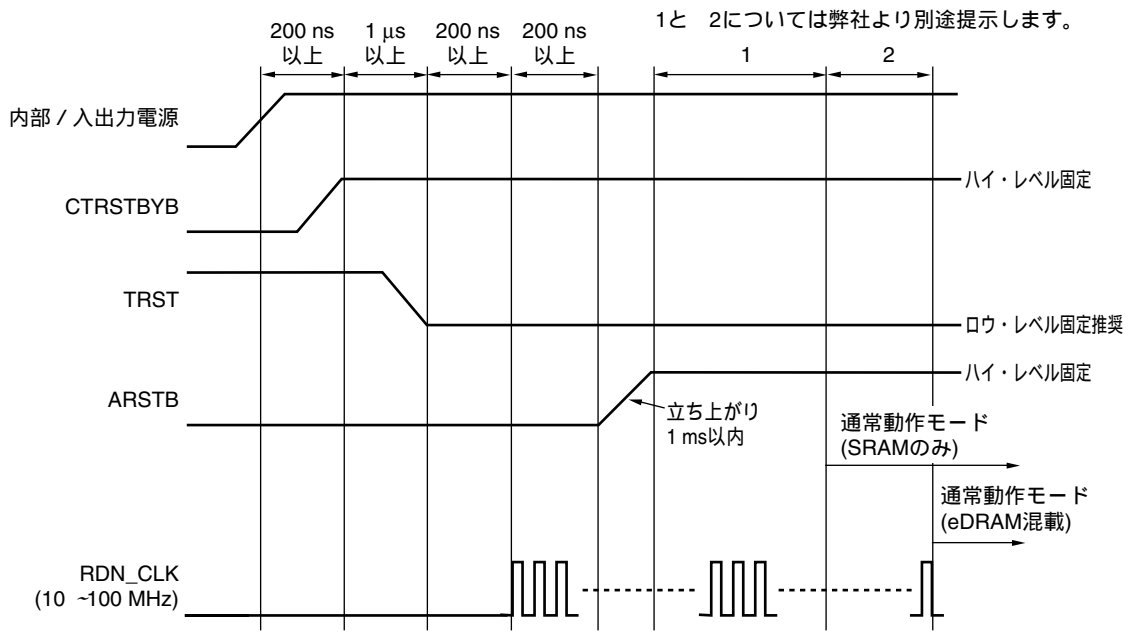
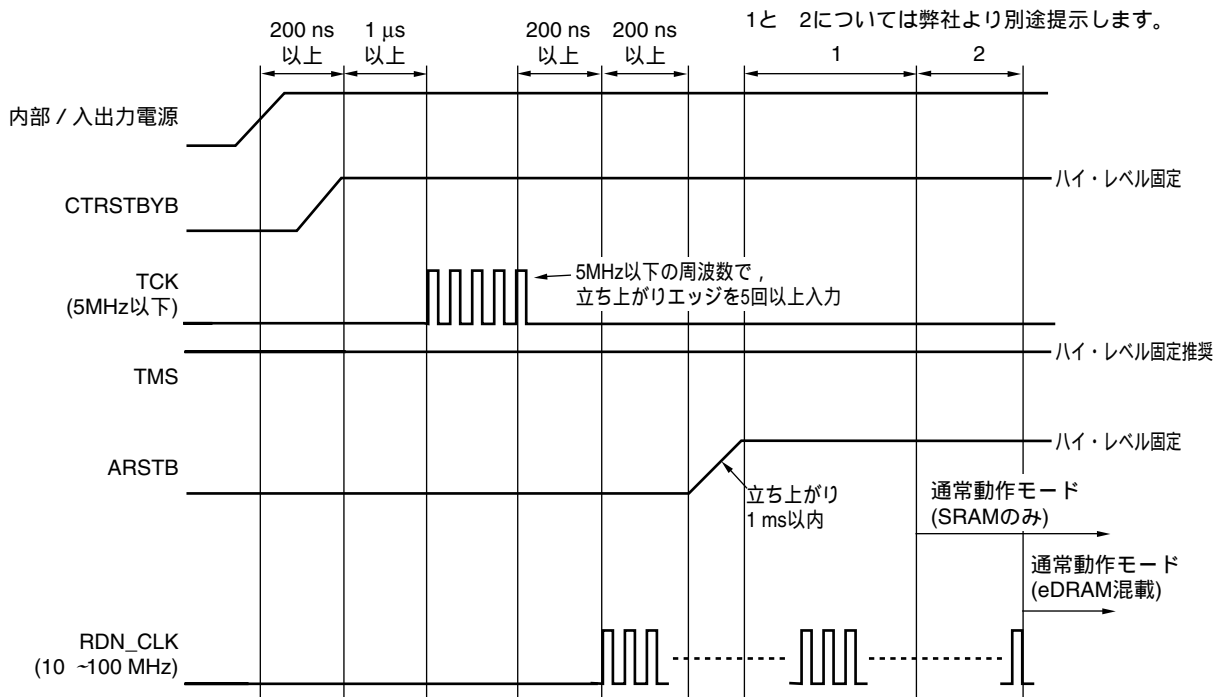


図3 - 8 スタンバイ制御とバウンダリ・スキャン (ソフトウェア・リセット), SRAM リダンダンシ回路リセット・タイミング



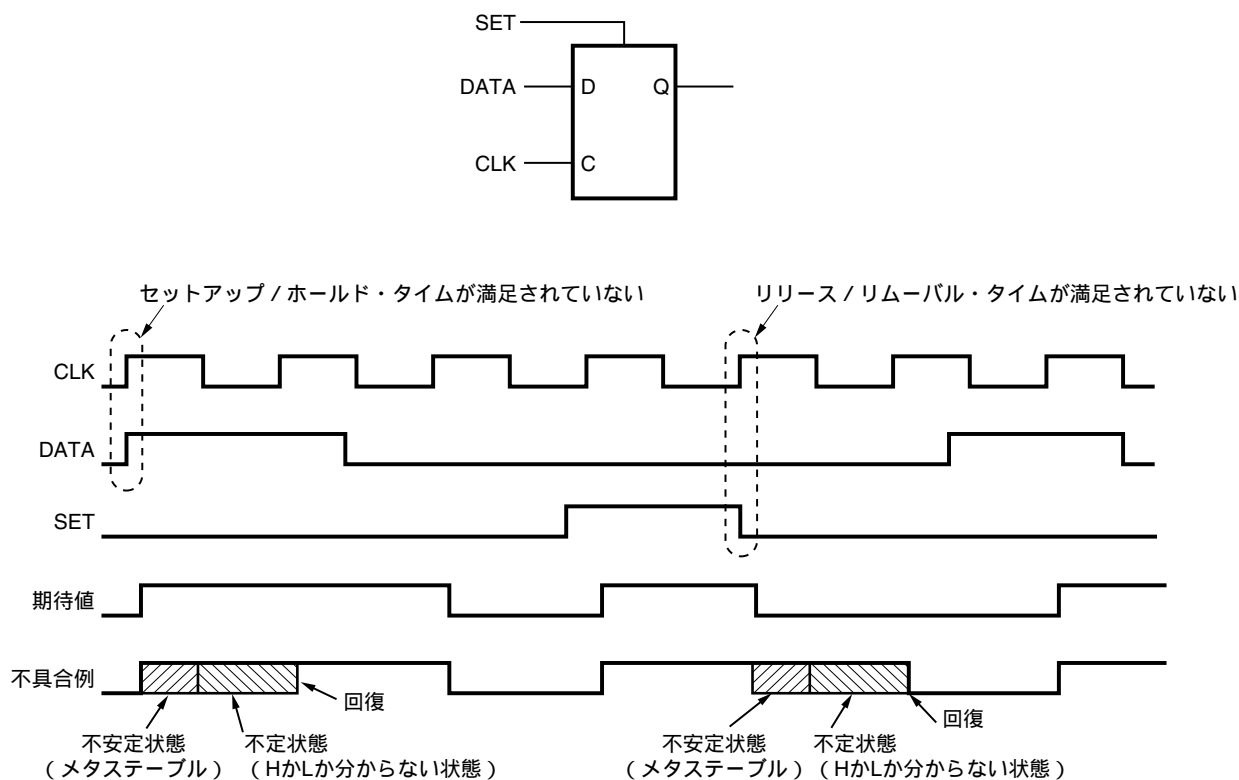
その他のテスト端子の処理については 表 2 - 7 プリント基板上でのテスト端子処理一覧を参照してください。

3.10 メタステーブル

フリップフロップやラッチにおいて、セットアップ、ホールド・タイムなどの規定が満足されず、クロックとデータまたはクロックとセット、リセットが同時に変化すると、出力が発振したり、ハイ・レベルでもロウ・レベルでもない中間レベルになる可能性があります。この不安定な状態をメタステーブル (Metastable) といいます。メタステーブルの状態は、ある時間が経過したあとはハイ・レベルまたはロウ・レベルのどちらかの状態に落ち着きます。しかし、確定したレベルはデータ入力のレベルとまったく関係ありませんので、不定状態となってしまう。セットアップ、ホールド、リリース、リムーバル・タイムの規格を満足できない場合には、回路全体にこの不安定な状態が広がらない対策を行ってください。

(1) メタステーブルの発生と回復時間

図3 - 9 メタステーブルの発生と回復時間



CB-40 LDタイプでは、メタステーブル状態の時間は次のように規定しています。この時間が経過した後、出力はハイ・レベルまたはロウ・レベルのどちらかの状態になります (図3 - 9の「不定状態」を参照)。

$$\text{メタステーブル時間} = t_{PD} (\text{MAX}) \times 6$$

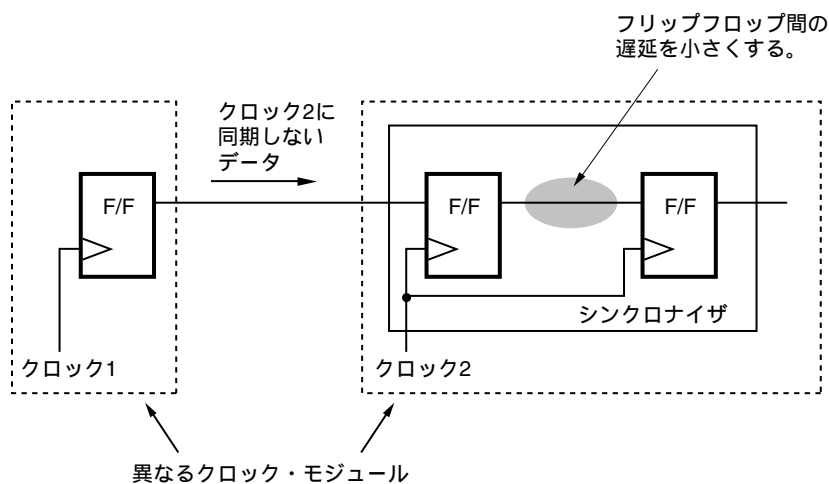
$t_{PD} (\text{MAX})$: クロックのアクティブ・エッジから出力変化までの遅延時間の最大値
 (セットアップ / ホールド・タイムの規格を満足できなかった場合)
 または、リリース / リムーバル・タイム
 (リリース / リムーバル・タイムの規格を満足できなかった場合)

(2) メタステーブルの発生と回復時間

フリップフロップやラッチに規定されているタイミングを満たせない場合(非同期入力など)は、メタステーブルが発生しても後段に影響を与えない回路構成にしてください。

メタステーブルを回避するための回路例として、フリップフロップをカスケード接続してシンクロナイザを構成した場合を図3-10に示します。シンクロナイザ回路内部では、伝達遅延を小さくする必要があります。構成したシンクロナイザ回路を弊社まで必ずご連絡ください。

図3-10 シンクロナイザ回路の構成例



第4章 各種特性値の見積もり方法

この章では、消費電力や遅延時間などの見積もり（計算）方法について説明しています。

4.1 入力貫通電流

入力電圧 (V_I) が電源電圧 (V_{DD}) と同じ場合、入力リーク電流は第 3 章 製品規格に記載されている値と同じになります。しかし、入力電圧が電源電圧より低くなるか入力電圧が GND レベルより高くなると、P-ch から N-ch を通して電流が流れます。この電流を入力貫通電流 (I_I) といいます。

図 4 - 1から図 4 - 4 に入力貫通電流（参考値）を示します。

図4 - 1 AND 入力バッファ (3.3 V)

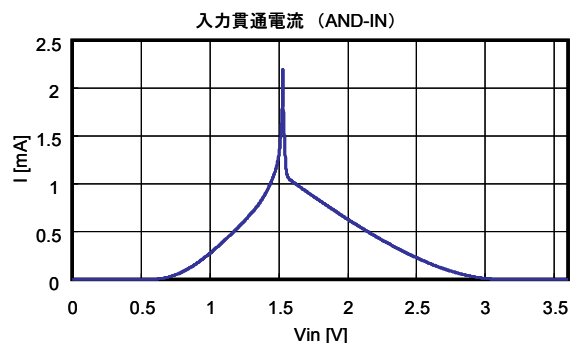


図4 - 2 AND 入力バッファ (1.8 V)

T.B.D.

図4 - 3 シュミット AND 入力バッファ (3.3 V)

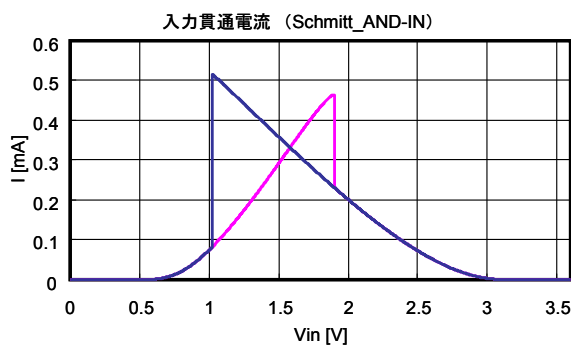


図4 - 4 シュミット AND 入力バッファ (1.8 V)

T.B.D.

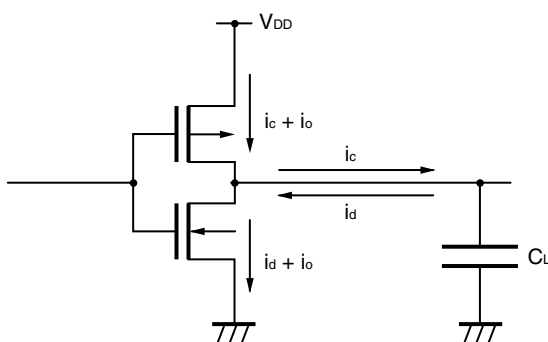
4.2 消費電力

CMOS トランジスタは低消費電力ではありますが、回路規模が大きく動作周波数が高くなれば、かなりの電力を消費します。LSI 製品の信頼性（寿命）を左右する LSI（チップ）の温度は、消費電力により上昇しますので、LSI の消費電力に対しては注意して検討してください。

4.2.1 消費電力の発生要因

消費電力は、標準の CMOS デバイスと同様に、下記値の総和になります。

各トランジスタに接続される負荷容量の充電電流	: i_c
各トランジスタに接続される負荷容量の放電電流	: i_d
各トランジスタのスイッチング時の貫通電流	: i_o
各トランジスタのリーク電流	: i_L



LSI がまったく動作していない場合は、充放電電流と貫通電流がないため、チップの消費電力はデバイス全体のリーク電流によって決まります。

一方、LSI が動作している場合は、チップの消費電力はリーク電流の総和になります。

貫通電流は各トランジスタの入力立ち上がり（下がり）時間に比べ出力立ち上がり（下がり）時間が非常に速い場合には極端に増加しますが、通常は充放電電流に比例します。

4.2.2 チップ全体の消費電力の見積もり

回路設計がすべて終了したあとで、チップの消費電力がパッケージの許容消費電力を越えている場合、熱抵抗の少ないパッケージへの変更または消費電力削減のための回路の修正などが求められ、開発 TAT またはコスト面で大きなロスとなります。

なお、消費電力は次のようにして見積もります。

- (1) 最初に、各マクロ（コア、ユーザ・ロジック、インタフェース・ブロック）ごとの消費電力を見積もります。コアの消費電力については、CB-40 LDタイプの各種コア用のマニュアルを参照してください。ユーザ・ロジックおよびインタフェース・ブロックについては、**4.2.3 ファンクショナル・セルおよびインタフェース・ブロックの消費電力の見積もり**を参照してください。
- (2) 次に、全体の消費電力を見積もります。(1)で求めた結果をすべて合算すると、パッケージの許容消費電力を越える場合が多いので、同時に動作するマクロ同士の組み合わせで消費電力を求めて、その結果がパッケージの許容消費電力以内であることを確認してください。

4.2.3 ファンクショナル・セルおよびインタフェース・ブロックの消費電力の見積もり

消費電力は、各トランジスタの充放電電流と貫通電流によって決まります。しかし、内部回路の正確な消費電力の算出は各ブロック、容量、同時期に動作するブロックの数、各ブロックの数、各ブロックの動作周波数など、非常に多数の情報が必要になります。このため、計算が非常に煩雑になり、結果的に検討は不可能になります。

弊社ではあらかじめ回路の動作や構成を仮定して消費電力の見積もり値を規定しています。このため、お客様の回路や構成によって消費電力が実際より大きくなったり、小さくなったりします。あらかじめご承知おきください。

LVT / MVT / HVT セル・ライブラリごとの内部回路の消費電力の算出方法を次に示します。スキャンを使用する場合は、スキャン用フリップ・フロップに変換する前の通常タイプのフリップ・フロップではなく、スキャン用フリップ・フロップの面積を使用してください。

この計算式での算出結果は、内部電源（ $V_{DD} = 1.1\text{ V}$ ）、I/O電源（ $V_{DDIO} = 3.3\text{ V}$ ）、 $T_A = 25\text{ }^\circ\text{C}$ の値（TYP.条件）ですので、電源、温度の仕様が異なる場合には補正してください（**4.2.4 電源、周囲温度仕様変更時の補正方法**を参照）。CB-40 LDタイプは、リーク電流が過去の製品と比較すると大きいため、リーク電流による電力は、温度依存性およびプロセスばらつきを考慮して見積もりしてください。リーク電流は、温度依存性およびプロセスばらつきによる影響が大きいからです。

なお、2.5 V/1.8 V/1.2 V 入出力バッファを使用する場合の見積り方法は、弊社までお問い合わせください。

$$\text{総消費電力 } PD = \Sigma P_{DAREA} + \Sigma P_{DI} + \Sigma P_{DO} + \Sigma P_{leak} + \Sigma P_{gcleak} + \Sigma P_{CONST}$$

P_{DAREA}	: ファンクショナル・セル消費電力
P_{DI}	: 入力バッファ、双方向バッファ入力部の消費電力
P_{DO}	: 出力バッファ、双方向バッファ出力部の消費電力
P_{leak}	: リーク電流による消費電力
P_{gcleak}	: 容量フィルセルによるリーク電流による消費電力
P_{CONST}	: 定常消費電力

(1) ΣP_{DAREA} : ファンクショナル・セル消費電力

$$\Sigma P_{DAREA} = \Sigma P_{DGate} + \Sigma P_{DLatch} + \Sigma P_{DDF/F} + \Sigma P_{CTS}$$

P_{DGate} : 組み合わせ回路の消費電力

P_{DLatch} : ラッチ回路の消費電力

$P_{DDF/F}$: D-F/F の消費電力

P_{CTS} : クロック・ライン (CTS) の消費電力

(a) 組み合わせ回路

$$\text{HVT セル } \Sigma P_{DGate} = 2.685 \text{ (nW/MHz/}\mu\text{m}^2) \times A \times f \times \text{AREA (nW)}$$

$$\text{MVT セル } \Sigma P_{DGate} = 2.689 \text{ (nW/MHz/}\mu\text{m}^2) \times A \times f \times \text{AREA (nW)}$$

$$\text{LVT セル } \Sigma P_{DGate} = 2.837 \text{ (nW/MHz/}\mu\text{m}^2) \times A \times f \times \text{AREA (nW)}$$

A : データ動作率[※]

f : 基準クロック動作周波数 (MHz)

AREA : 組み合わせ回路の総面積 (μm^2)

(b) ラッチ回路

$$\text{HVT セル } \Sigma P_{DLatch} = (1.685 \times A + 0.682) \times f \times \text{AREA (nW)}$$

$$\text{MVT セル } \Sigma P_{DLatch} = (1.666 \times A + 0.666) \times f \times \text{AREA (nW)}$$

$$\text{LVT セル } \Sigma P_{DLatch} = (1.669 \times A + 0.679) \times f \times \text{AREA (nW)}$$

A : データ動作率[※]

f : 基準クロック動作周波数 (MHz)

AREA : 組み合わせ回路の総面積 (μm^2)

(c) D-F/F

$$\text{HVT セル } \Sigma P_{DDF/F} = (1.705 \times A + 1.301) \times f \times \text{AREA (nW)}$$

$$\text{MVT セル } \Sigma P_{DDF/F} = (1.680 \times A + 1.266) \times f \times \text{AREA (nW)}$$

$$\text{LVT セル } \Sigma P_{DDF/F} = (1.699 \times A + 1.268) \times f \times \text{AREA (nW)}$$

A : データ動作率[※]

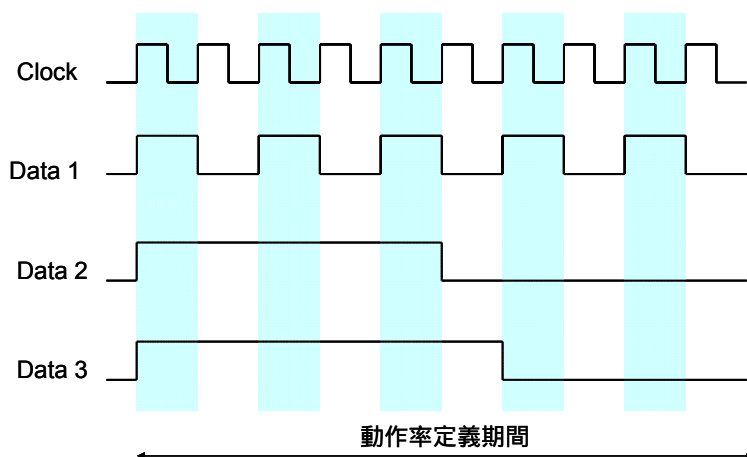
f : 基準クロック動作周波数 (MHz)

AREA : 組み合わせ回路の総面積 (μm^2)

注 データ動作率とは、ある動作モードの期間において、データパスが 1 クロックあたりに変化する割合です。データパスが 1 クロックあたり 1 回の割合で変化する場合のデータ動作率を 1.0 とします。図 4 - 5 にデータ動作率の定義を示します。

データ動作率は、お客様の回路仕様により異なるため、お客様で規定してください。

図4-5 データ動作率の定義



Data1, Data2, Data3 が、図4-5に示す期間では動作率は次のようになります。

Data1 : 1.0

Data2 : 0.2

Data3 : 0.2

(d) クロック・ライン

クロック・ラインに CTS を使用する場合は、CTS に接続する F/F、ラッチなどのブロック数での見積もりが必要となります。

HVT セル	$\Sigma P_{CTS} = 4.697 \times Nff \times f$ (nW)
MVT セル	$\Sigma P_{CTS} = 4.863 \times Nff \times f$ (nW)
LVT セル	$\Sigma P_{CTS} = 5.106 \times Nff \times f$ (nW)

Nff : CTS に接続する F/F のブロック数 (面積ではありません。注意してください。)

f : 基準クロック動作周波数 (MHz)

(2) ΣP_{DI} : 入力バッファ, 双方向バッファ入力部の消費電力

$$\Sigma P_{DI} = \Sigma \{ (P_I + P_{IT} \times T_{rf}) \times f \} \times \text{Buffer} \quad (\mu W)$$

- P_I : 入力バッファごとの消費電力 ($\mu W/\text{Buffer}/\text{MHz}$)
- P_{IT} : 入力バッファごとの消費電力 (入力波形なまり依存性) ($\mu W/\text{Buffer}/\text{MHz}$)
- T_{rf} : 入力波形なまり t_r, t_f の平均値 ($T_{rf} = (t_r + t_f) / 2$) (ns)
- f : 動作周波数 (MHz)
 入力バッファの動作が間欠的な場合は平均動作周波数 (f_A)^注を用いてください。
- Buffer : f で動作する入力バッファ, 双方向バッファ入力部数

表4 - 1 入力バッファごとの消費電力

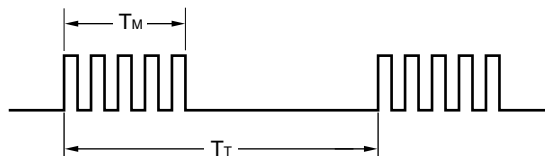
バッファ・タイプ		P_I	P_{IT}
3.3 V バッファ	ノーマル-AND 入力	2.628	1.105
	シュミット-AND 入力	3.767	0.502
1.8 V バッファ	ノーマル-AND 入力	T.B.D.	T.B.D.
	シュミット-AND 入力	T.B.D.	T.B.D.

注 平均動作周波数 (f_A)

動作が間欠的な場合は, 平均動作周波数 (f_A) を検討することが可能です。

$$f_A = f_M \times T_M \div T_T$$

- f_M : 実動作期間の動作周波数
- T_M : 実動作期間
- T_T : 間欠動作周期



(3) ΣP_{Do} : 出力バッファ , 双方向バッファ出力部の消費電力

$$\Sigma P_{Do} = \Sigma \{ (P_o + P_{Co} \times C_L) \times f \} \times \text{Buffer} \quad (\mu W)$$

- P_o : 出力バッファの消費電力 (無負荷) ($\mu W/\text{Buffer}/\text{MHz}$)
- P_{Co} : 出力バッファの消費電力 (負荷依存性) ($\mu W/\text{Buffer}/\text{MHz}$)
- C_L : 負荷容量
- f : 動作周波数 (MHz)

出力バッファの動作が間欠的な場合は平均動作周波数 (f_A)[※]を用いてください。

- Buffer : f で動作する出力バッファ , 双方向バッファの出力部数

表4 - 2 出力バッファごとの消費電力

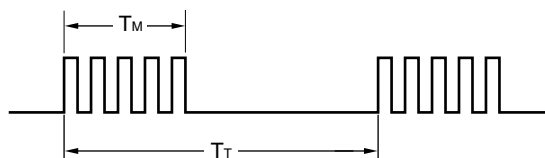
バッファ・タイプ		P_o	P_{Co}
3.3 V バッファ	ノーマル (4 mA)	35.280	10.880
	ノーマル (6 mA)	38.000	10.879
	ノーマル (8 mA)	40.481	10.880
	ノーマル (12 mA)	43.050	10.881
	ロウ・ノイズ (4 mA)	34.959	10.872
	ロウ・ノイズ (6 mA)	38.149	10.870
	ロウ・ノイズ (8 mA)	41.450	10.859
	ロウ・ノイズ (12 mA)	44.849	10.851
1.8 V バッファ	ノーマル (4 mA)	T.B.D.	T.B.D.
	ノーマル (6 mA)	T.B.D.	T.B.D.
	ノーマル (8 mA)	T.B.D.	T.B.D.
	ノーマル (12 mA)	T.B.D.	T.B.D.
	ロウ・ノイズ (4 mA)	T.B.D.	T.B.D.
	ロウ・ノイズ (6 mA)	T.B.D.	T.B.D.
	ロウ・ノイズ (8 mA)	T.B.D.	T.B.D.
	ロウ・ノイズ (12 mA)	T.B.D.	T.B.D.

注 平均動作周波数 (f_A)

動作が間欠的な場合は , 平均動作周波数 (f_A) を検討することが可能です。

$$f_A = f_M \times T_M \div T_T$$

- f_M : 実動作期間の動作周波数
- T_M : 実動作期間
- T_T : 間欠動作周期



(4) ΣP_{leak} : リーク電流による消費電力

$$\Sigma P_{leak} = \Sigma P_{Gate_leak} + \Sigma P_{CTS_leak} \quad (nW)$$

ΣP_{Gate_leak} : ファンクショナル・セル (クロック・ラインを除く) のリーク電流による消費電力

ΣP_{CTS_leak} : クロック・ラインを構成するブロックのリーク電流による消費電力

(a) ファンクショナル・セル (クロック・ラインを除く)

HVT セル	$0.0376 \times K \times AREA$	(nW)
MVT セル	$0.1923 \times K \times AREA$	(nW)
LVT セル	$1.8589 \times K \times AREA$	(nW)

K : プロセスばらつき・温度係数

AREA : 回路の総面積 (μm^2)

(b) クロック・ラインを構成するブロック

HVT セル	$0.0128 \times K \times Nff$	(nW)
MVT セル	$0.0756 \times K \times Nff$	(nW)
LVT セル	$0.7044 \times K \times Nff$	(nW)

K : プロセスばらつき・温度係数

Nff : CTS に接続する F/F のブロック数 (面積ではないので注意してください)

上記の見積もり式と、表 4 - 3 に示すプロセスばらつき・温度係数 (K) を使用して、プロセスばらつき・温度係数を考慮したリーク電流による消費電力を算出します。

プロセスばらつき・温度係数を考慮しない TYP. 条件におけるリーク電流による消費電力を算出する場合は、K = 1 として算出します。

表4 - 3 リーク電流による電力 (プロセスばらつき・温度係数 (K))

ジャンクション温度 (T _J)	プロセスばらつき・温度係数 (K)		
	HVT セル使用時	MVT セル使用時	LVT セル使用時
25 °C	3.5	3.5	3.5
80 °C	25.9	27.0	20.0
105 °C	63.1	59.8	39.2
125 °C	120.2	105.4	63.1

ジャンクション温度 (T_J) は、LSI の動作状況を考慮して次のように算出します。

$$T_J = P_D \times \theta_{ja} + T_A \quad (^\circ C)$$

P_D : LSI の全体の消費電力 (W)

θ_{ja} : 熱抵抗

T_A : 動作周囲温度 (°C)

(5) $\Sigma P_{g\text{leak}}$: 容量フィルセル分のリーク電流による消費電力

$$0.1099 \times \text{AREAd} \quad (\text{nW})$$

AREAd : 容量フィルセル分の総面積

容量フィルセル分の総面積の見積りについては、弊社までお問い合わせください。

(6) ΣP_{CONST} : 定常消費電力

入力、出力、双方向バッファを直流電流が流れる場合には、定常消費電力を加算することになります。

例 1. ブルアップ/プルダウン抵抗による直流電流

$$P_{\text{CONST}} = (V_{\text{DDIO}}^2/R) \times A \times \text{Buffer}$$

V_{DDIO} : I/O 電源電圧

R : ブルアップ/プルダウン抵抗値

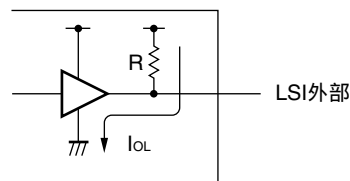
抵抗が LSI 内部搭載の場合には抵抗値は TYP.としてください。

A : 動作率

(ブルアップ抵抗使用時のロウ・レベルの割合、またはプルダウン抵抗使用時のハイ・レベルの割合)

動作率は回路仕様によりお客様が規定してください。

Buffer : 入力、出力、双方向バッファの出力部数。

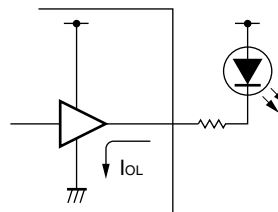


例 2. LED などの大電流を必要とするものを駆動する

$$P_{\text{CONST}} = V_o \times I_o \times A \times \text{Buffer}$$

A : LED がオンしている割合

Buffer : 入力、出力、双方向バッファの出力部数



4.2.4 電源，周囲温度仕様変更時の補正方法

4.2.3 ファンクショナル・セルおよびインタフェース・ブロックの消費電力の見積もりの計算式での算出結果は内部電源 (V_{DD} = 1.1 V)，I/O電源 (V_{DDIO} = 3.3 V)，T_A = 25 の値 (TYP.条件) ですので，電源，温度の仕様が異なる場合には補正してください。

$$P_W = P_{DAREA} \times K_1 + P_{DI} \times K_2 + P_{DO} \times K_3 + P_{leak} \times K_4 + P_{CONST} \times K_5 + P_{gcleak} \times K_6$$

- P_{DAREA} : ファンクショナル・セル消費電力
- P_{DI} : 入力バッファ，双方向バッファ入力部の消費電力
- P_{DO} : 出力バッファ，双方向バッファ出力部の消費電力
- P_{leak} : リーク電流による消費電力
- P_{CONST} : 定常消費電力
- P_{gcleak} : 容量フィルセル分のリーク電流による消費電力
- K₁₋₆ : 補正係数

補正係数 (K₁₋₆) の値は次のようになります。

表4 - 4 電源，周囲温度仕様変更時の補正係数 (T_A = - 40 ~ + 85)

	電 源	TYP.値	MAX.値		
			HVT セル使用時	MVT セル使用時	LVT セル使用時
補正係数 (K ₁)	V _{DD} = 1.1 ± 0.1 V	1.0	T.B.D.	T.B.D.	T.B.D.
補正係数 (K ₂)	V _{DD} = 3.3 ± 0.3 V	1.0	1.93	1.93	1.93
補正係数 (K ₃)	V _{DD} = 3.3 ± 0.3 V	1.0	1.26	1.26	1.26
補正係数 (K ₄)	注	注	注	注	注
補正係数 (K ₅)	V _{DD} = 3.3 ± 0.3 V	1.0	T.B.D.	T.B.D.	T.B.D.
補正係数 (K ₆)	V _{DD} = 1.1 ± 0.1 V	1.0	T.B.D.	T.B.D.	T.B.D.

注 リーク電流による消費電力については，プロセスばらつき，および温度依存性を 4.2.3 (4) ΣΠλεακκ : リーク電流による消費電力で考慮しています。

- 消費電力について判定する場合には，補正係数の TYP.値を使用してください。
- 高信頼性が要求される場合は，補正係数の MAX.値を使用してください。
- MAX.値は各電源，温度仕様範囲での消費電力の最大値を算出する場合にも使用できます。

4.2.5 消費電力の判定

消費電力の判定は、算出した消費電力結果 (P_D) が、パッケージ、ステップ・サイズごとに規定されている最大許容消費電力 (P_{WL}) 以内に入っているか否かで判定します。

パッケージ、ステップ・サイズごとに熱抵抗が規定されており、最大許容消費電力 (P_{WL}) を下記の式で算出でき、 P_D が P_{WL} 以内になるようにします。

P_D	P_{WL}
-------	----------

$P_{WL} = (125 - T_{AMAX}) / \theta_{ja}$ (W)
条件 T_{AMAX} 40 °C

パッケージ、ステップ・サイズごとに規定されている熱抵抗 (θ_{ja}) は表 4 - 5に示します。

表4 - 5 熱抵抗一覧

T.B.D.

4.3 伝達遅延時間

4.3.1 伝達遅延時間の精度

伝達遅延時間 (t_{PD}) は入出力パッファおよび内部ファンクショナル・セルともに次の要因により変動します。

伝達遅延時間の変動要因

- 負荷容量 (ファンアウト数や配線容量)
- 電源電圧
- 動作周囲温度
- 製造ばらつき
- その他の回路的要因

電源電圧, 動作周囲温度, 負荷容量に対する変動以外の回路的な要因としては, 入力する信号波形による変動, トランスファ・ゲートの等価入力容量の変動, ミラー効果, 入力スレッシュホールド電圧の変動などがあります。

弊社では, これらの変動要因をできるかぎり考慮した遅延シミュレータやスタティック・ディレイ・カルキュレータを導入し, より高い精度で伝達遅延を計算できるようにしています。このため, お客様が別版のブロック・ライブラリ記載の数値を使用して概略計算した伝達遅延時間と必ずしも一致しませんのでご承知おきください。

4.3.2 伝達遅延時間の計算

ここで示す計算式は簡易的に計算するための概略計算式です。

負荷容量が大きいほど誤差が大きくなり、シミュレータの結果より小さい値を算出します。

あらかじめ、ご承知のうえ目安として利用してください。

(1) 入力バッファと内部ファンクション・ブロックの遅延時間

内部ファンクション・ブロックの遅延時間は、その出力端子に接続されている負荷（ファンアウト数）とその配線長（配線容量）から概算できます。

$$t_{PD} = t_{LD0} + (\Sigma C_{IN} + 0.230 \times L) \times t_1 \quad (\text{ns or ps})$$

t_{LD0} : $C_L = 0, L = 0$ におけるブロック自身の遅延時間 (ns or ps)

ΣC_{IN} : 該当出力端子に接続されるブロックの入力負荷容量 (C_{IN}) の総計 (pF or fF)

L : 該当出力端子に接続される配線長 (mm)

t_1 : 該当出力端子の遅延係数 (ns/pF or ps/fF)

(2) 出力バッファの遅延時間

出力バッファの遅延時間は、その出力端子に接続されている負荷容量から概算できます。

$$t_{PD} = t_{LD0} + C_L \times T \quad (\text{ns})$$

t_{LD0} : $C_L = 0, L = 0$ におけるブロック自身の遅延時間 (ns)

C_L : 該当出力端子に接続される入力負荷容量 (pF)

T : 該当出力端子の遅延係数 (ns/pF)

なお、 C_{IN} , t_{LD0} , t_1 , T の値はブロック・ライブラリを参照してください。

また、伝達遅延時間の最小値、最大値は上記の式において、 t_{LD0} , t_1 , T にブロック・ライブラリ記載の最大値または、最小値を用いることによって求められます。

4.3.3 伝達遅延時間の変動

伝達遅延時間 (t_{PD}) は入出力バッファおよび内部ファンクション・ブロックともに **4.3.1 伝達遅延時間の精度** で示したように、種々の要因によって変動します。

別版のブロック・ライブラリ記載の MIN./MAX. 値は内部電源 (V_{DD}) が 1.1 ± 0.1 V, I/O 電源 (V_{DDIO}) が 3.3 ± 0.3 V, 動作周囲温度 (T_A) が $-40 \sim +85$ ($T_J = -40 \sim +125$) の条件における最小値と最大値を示しています。TYP. 値とこれらの値の差を絶対ばらつきといえます。

ばらつきには、デバイスの規格として適応される絶対ばらつきのほかに、チップ内のパスや P-ch, N-ch のトランジスタの働きによって発生する相対的なばらつきがあります。この相対ばらつきは回路のタイミングを確認するとき重要な要因になります。

CB-40 LD タイプでは、相対ばらつきは次のようになります。

相対ばらつき $\alpha =$ プロセスばらつき, 回路構成などの要素を考慮して弊社より提示します。

4.4 出力バッファの特性

4.4.1 出力バッファの立ち上がり，立ち下がり時間

出力バッファの立ち上がり / 立ち下がり時間は，出力レベルによる駆動能力の違いや接続される負荷容量によって大きく異なります。

出力バッファの立ち上がり / 立ち下がり時間 (t_r , t_f) は，次の式で概算することができます。

$$t_r = t_{r0} + F_{tr} \times C_L \quad (\text{ps})$$

$$t_f = t_{f0} + F_{tf} \times C_L \quad (\text{ps})$$

t_{r0} : 基準立ち上がり時間 (負荷容量 $C_L = 0$ pF)

t_{f0} : 基準立ち下がり時間 (負荷容量 $C_L = 0$ pF)

F_{tr} , F_{tf} : 負荷容量係数

C_L : 負荷容量 (pF) ($0 < C_L \leq 540$ pF)

なお，出力バッファの各係数は，表4-6を参照してください。

2.5 V および 1.8 V インタフェース出力バッファの係数は，弊社までお問い合わせください。

表4-6 出力バッファの t_r , t_f 計算係数一覧表 (出力レベルが $V_{DDIO} \times 10\% \sim V_{DDIO} \times 90\%$ の場合)

バッファ・タイプ		駆動能力	t_{r0}	F_{tr}	t_{f0}	F_{tf}
3.3 V バッファ	ノーマル	$I_{OL} = 4.0$ mA	411.1	193.5	368.5	170.0
		$I_{OL} = 6.0$ mA	304.3	128.8	280.1	113.0
		$I_{OL} = 8.0$ mA	252.6	96.4	228.1	84.7
		$I_{OL} = 12.0$ mA	221.3	76.9	201.3	67.7
	ロウ・ノイズ	$I_{OL} = 4.0$ mA	626.2	191.4	547.1	168.3
		$I_{OL} = 6.0$ mA	516.2	127.2	463.1	112.1
		$I_{OL} = 8.0$ mA	456.0	95.5	399.6	84.0
		$I_{OL} = 12.0$ mA	413.6	76.7	370.9	67.5
1.8 V バッファ	ノーマル	$I_{OL} = 4.0$ mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.
		$I_{OL} = 6.0$ mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.
		$I_{OL} = 8.0$ mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.
		$I_{OL} = 12.0$ mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.
	ロウ・ノイズ	$I_{OL} = 4.0$ mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.
		$I_{OL} = 6.0$ mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.
		$I_{OL} = 8.0$ mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.
		$I_{OL} = 12.0$ mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.

備考 出力バッファの立ち上がり，立ち下がり時間は，次の条件で規定されています。

$V_{DDIO} = 3.3$ V, $T_J = 25$, 入力信号の $t_r = t_f = 0.4$ ns ($V_{DD} = 1.1$ V)

4.4.2 出力バッファの立ち上がり、立ち下がり時間

出力インピーダンスと伝送線路の特性インピーダンスの整合が取れていない場合、信号の反射が伝送線路の近端・遠端の双方で発生するためにリングングが発生し、正常な出力が得られない可能性があります(図4-6参照)。これを防ぐためには、出力バッファと伝送線路のインピーダンス整合をとる必要があります。最も効果的なのは、伝送線路の特性インピーダンスに見合った駆動能力の出力バッファを選択することです。

出力バッファの駆動能力ごとに、使用できる伝送線路の特性インピーダンスの範囲を表4-7に示します。表4-7をもとに最適な出力バッファを選択してください。表4-7の値は、図4-7に示すモデル回路にて算出しています。基板上の配線に分岐がある場合は、分岐を考慮した実効インピーダンスを算出し、出力バッファを選択してください。

この推奨使用範囲を外れて駆動能力の大きなバッファを使用する場合は、出力バッファにダンピング抵抗を接続し、インピーダンス整合をとる必要があります(図4-8参照)。

図4-6 インピーダンス不整合により発生したリングングの例

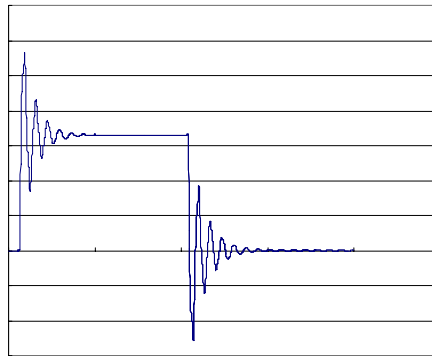


表4-7 使用可能な特性インピーダンス範囲

バッファ・タイプ		駆動能力	出力インピーダンス [※] (Ω)		使用できる特性インピーダンス範囲(Ω)
			立ち上がり	立ち下がり	
3.3V バッファ	ノーマル	$I_{OL} = 4.0 \text{ mA}$	74.0	57.7	10 ~ 100
		$I_{OL} = 6.0 \text{ mA}$	50.9	40.1	10 ~ 70
		$I_{OL} = 8.0 \text{ mA}$	39.3	31.2	10 ~ 50
		$I_{OL} = 12.0 \text{ mA}$	32.4	26.0	10 ~ 40
	ロウ・ノイズ	$I_{OL} = 4.0 \text{ mA}$	T.B.D.	T.B.D.	T.B.D.
		$I_{OL} = 6.0 \text{ mA}$	T.B.D.	T.B.D.	T.B.D.
		$I_{OL} = 8.0 \text{ mA}$	T.B.D.	T.B.D.	T.B.D.
		$I_{OL} = 12.0 \text{ mA}$	T.B.D.	T.B.D.	T.B.D.
1.8V バッファ	ノーマル	$I_{OL} = 4.0 \text{ mA}$	T.B.D.	T.B.D.	T.B.D.
		$I_{OL} = 6.0 \text{ mA}$	T.B.D.	T.B.D.	T.B.D.
		$I_{OL} = 8.0 \text{ mA}$	T.B.D.	T.B.D.	T.B.D.
		$I_{OL} = 12.0 \text{ mA}$	T.B.D.	T.B.D.	T.B.D.
	ロウ・ノイズ	$I_{OL} = 4.0 \text{ mA}$	T.B.D.	T.B.D.	T.B.D.
		$I_{OL} = 6.0 \text{ mA}$	T.B.D.	T.B.D.	T.B.D.
		$I_{OL} = 8.0 \text{ mA}$	T.B.D.	T.B.D.	T.B.D.
		$I_{OL} = 12.0 \text{ mA}$	T.B.D.	T.B.D.	T.B.D.

注 出力インピーダンスは、TYP条件における値です。

出力レベルがそれぞれ $V_{DD} - 0.4 \text{ V}$ (立ち上がり)、 0.4 V (立ち下がり) のときの値になります。

図4-7 出力バッファ推奨使用範囲算出回路モデル

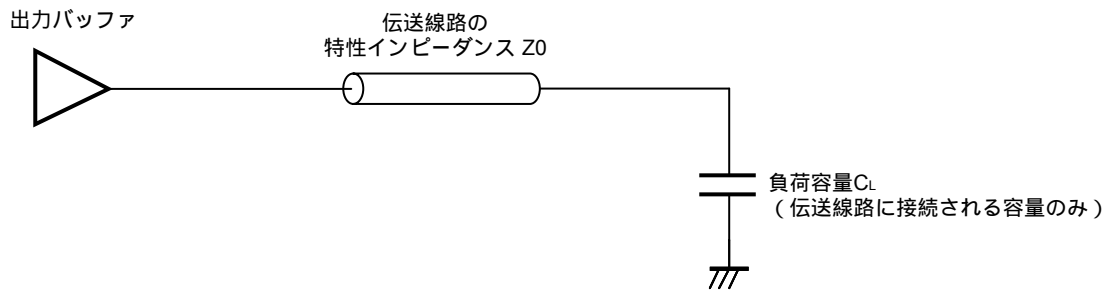
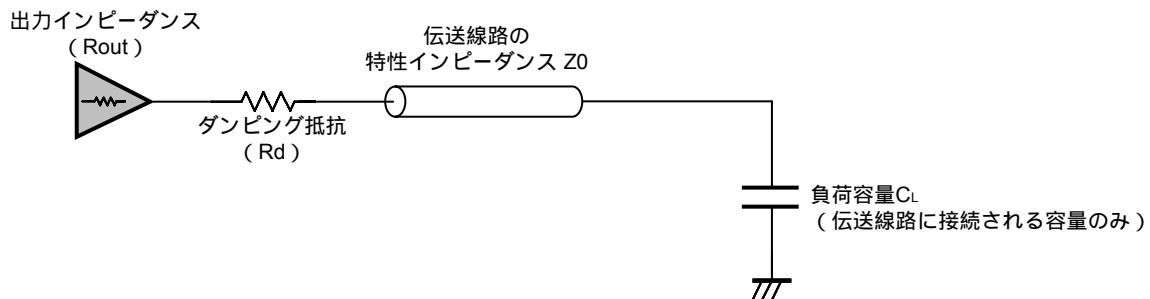


図4-8 インピーダンス整合例



$R_{out} + R_d = Z_0$ となるようにダンピング抵抗を挿入して、インピーダンス整合をとってください。

ダンピング抵抗 (R_d) は、極力、出力バッファの近くに接続してください。

4.4.3 出力バッファの動作周波数範囲

インピーダンス整合以外にも、出力バッファの動作周波数の範囲を規定する要因として、負荷容量・伝送線路遅延があります。出力波形は伝送線路の遠端・近端での反射による影響を受けますので、負荷容量と伝送線路の遅延・伝送線路の特性インピーダンスをすべて考慮して出力バッファを選択してください。反射によって発生した波形の段差の様子を図4-9に示します。

図4-10に、図4-7の回路において算出した最大動作周波数と負荷容量の相関を示します。

- この回路の遠端において信号がフル・スイングする。
- 反射による遠端での波形の段差が十分小さい。

この際負荷容量は、伝送線路の容量を除いた配線の末端に実際に接続される容量負荷のみを考慮してください。

分岐が存在するなど、実際の基盤上の配線が図4-7の回路と大きく異なる場合には、分岐による出力信号の反射などにより動作周波数範囲が変動する可能性があります。このような場合には、IBISモデルを使用して伝送線路シミュレーションを行なうことを推奨します。

図4 - 9 反射によって発生した波形の段差の例

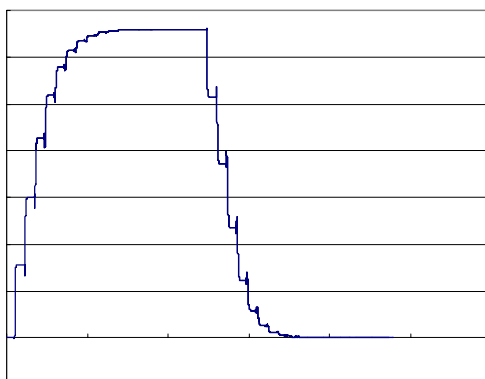
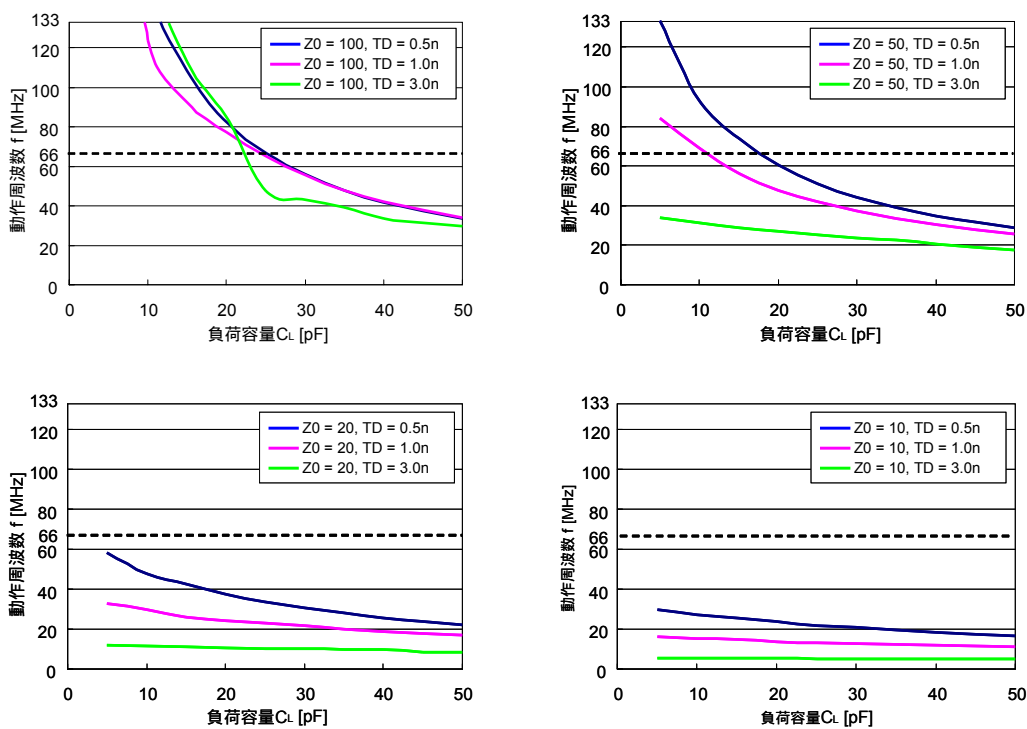


図4 - 10 f_{MAX} vs C_L 制限 (3.3 V インタフェース) (1/3)

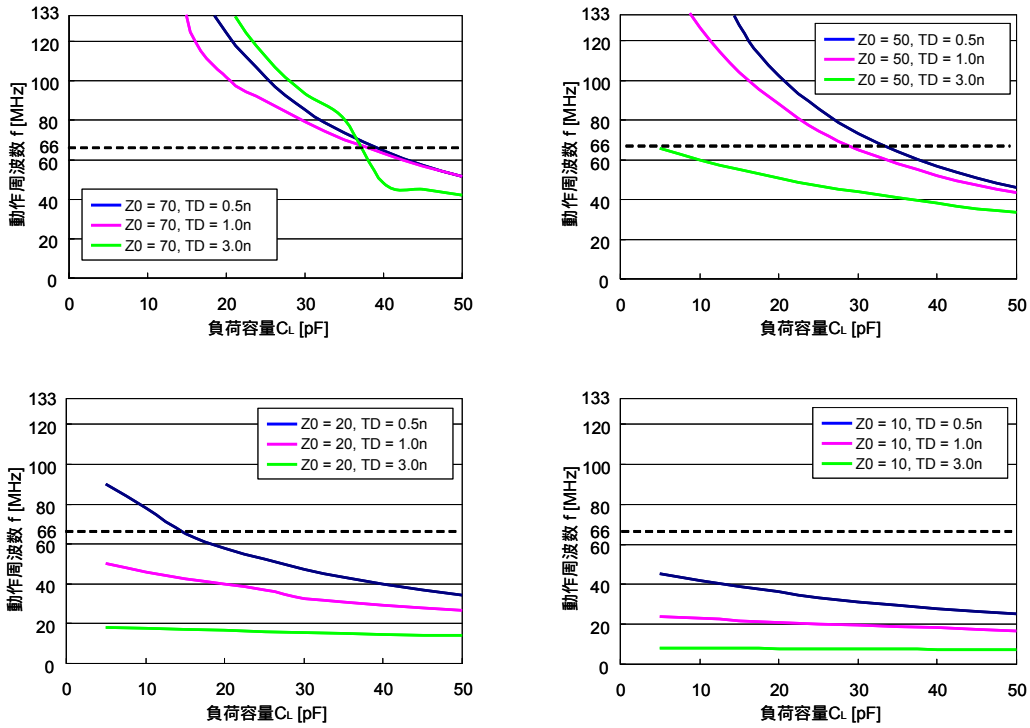
(a) $I_{OL} = 4.0 \text{ mA}$



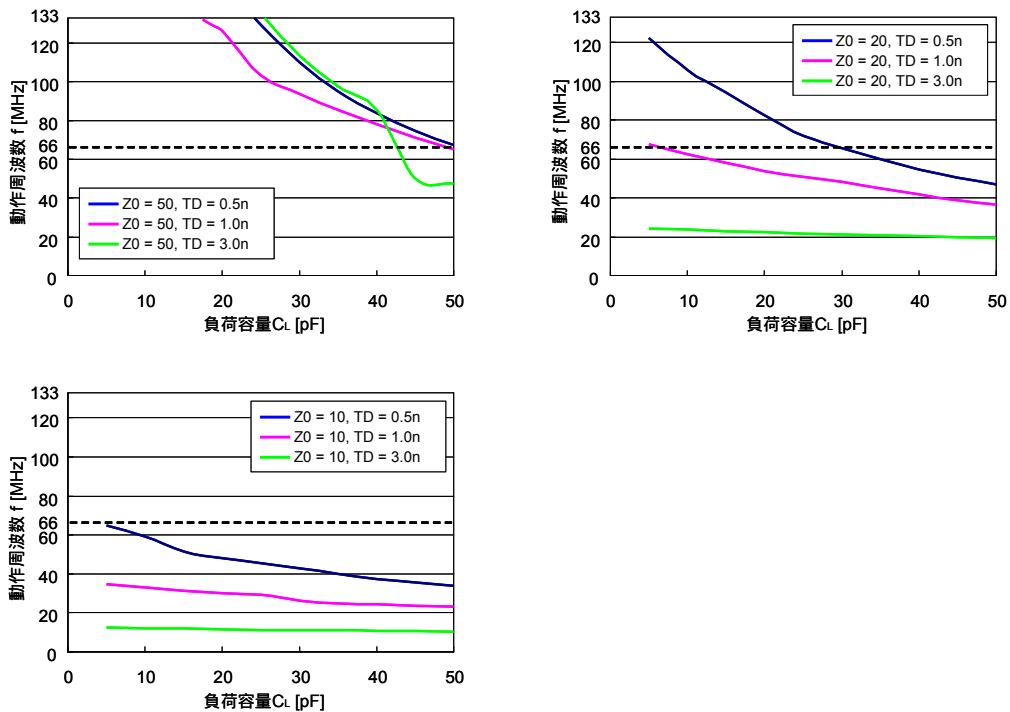
- 備考 1. 同一の出力バッファを使用した場合でも、伝送線路の遅延、特性インピーダンスにより最大動作周波数は異なります。
2. TD：伝送線路遅延（単位：ns）
3. ロウ・ノイズ・タイプを使用する場合は、66 MHz 以下で使用してください。

図 4 - 10 f_{MAX} VS C_L 制限 (3.3 Vインタフェース) (2/3)

(b) $I_{OL} = 6.0 \text{ mA}$



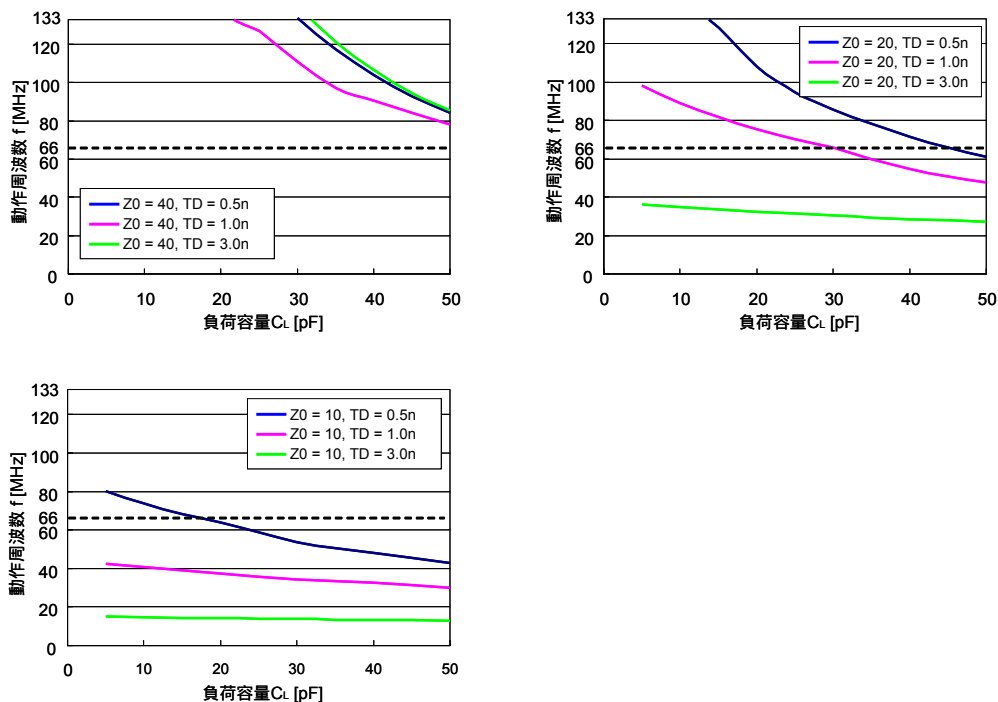
(c) $I_{OL} = 8.0 \text{ mA}$



- 備考 1. 同一の出力バッファを使用した場合でも、伝送線路の遅延、特性インピーダンスにより最大動作周波数は異なります。
2. TD：伝送線路遅延（単位：ns）
3. ロウ・ノイズ・タイプを使用する場合は、66 MHz 以下で使用してください。

図 4 - 10 f_{MAX} VS C_L 制限 (3.3 Vインタフェース) (3/3)

(d) $I_{OL} = 12.0 \text{ mA}$



備考 1. 同一の出力バッファを使用した場合でも、伝送線路の遅延、特性インピーダンスにより最大動作周波数は異なります。

2. T_D : 伝送線路遅延 (単位 : ns)

3. ロウ・ノイズ・タイプを使用する場合は、66 MHz 以下で使用してください。

図4 - 11 f_{MAX} VS C_L 制限 (1.8 V インタフェース)(1) $I_{OL} = 4.0 \text{ mA}$

T.B.D.

(2) $I_{OL} = 6.0 \text{ mA}$

T.B.D.

(3) $I_{OL} = 8.0 \text{ mA}$

T.B.D.

(4) $I_{OL} = 12.0 \text{ mA}$

T.B.D.

- 備考** 1. 同一の出力バッファを使用した場合でも、伝送線路の遅延、特性インピーダンスにより最大動作周波数は異なります。
2. TD：伝送線路遅延（単位：ns）
3. ロウ・ノイズ・タイプを使用する場合は、66 MHz 以下で使用してください。

なお、出力バッファが小さく、かつ動作周波数が小さい場合は、伝送線路による影響が小さいため従来通り集中定数回路として検討することができます。

以下の条件を満たす場合は、負荷容量と動作周波数を用いてバッファを検討してください。

	バッファの駆動能力	動作周波数
集中定数回路として検討できる条件	T.B.D.	T.B.D.

4.4.4 出力バッファの動作周波数範囲

弊社ではセルベース IC の出力電流を次のように定義しています。

3.3 V 出力バッファでは、 $V_{OL} = 0.4 \text{ V}$, $V_{OH} = 2.4 \text{ V}$ で定義しています。

2.5 V 出力バッファでは、 $V_{OL} = 0.4 \text{ V}$, $V_{OH} = 1.7 \text{ V}$ で定義しています。

1.8 V 出力バッファでは、 $V_{OL} = 0.4 \text{ V}$, $V_{OH} = 1.2 \text{ V}$ で定義しています。

しかし、実際のアプリケーションでは異なる V_{OL} , V_{OH} で使用する場合も考えられますので、 I_{OL} , I_{OH} の特性を見積もる場合には使用条件にあわせて次に示す係数を使用してください (3.3 V 出力バッファの場合)。

2.5 V 出力バッファ / 1.8 V 出力バッファは、弊社までお問い合わせください。

近似方法

$$I_{OL}' = I_{OL} \times V_{OL} / 0.4 \quad (\text{mA})$$

$$I_{OH}' = I_{OH} \times (V_{DD} - V_{OH}) / 0.6 \quad (\text{mA})$$

I_{OL} : $V_{OL} = 0.4 \text{ V}$ 時の I_{OL} スペック

V_{OL} : 使用する V_{OL} 値

I_{OH} : $V_{OH} = 2.4 \text{ V}$ 時の I_{OH} スペック (3.3 V 出力バッファ)

V_{OH} : 使用する V_{OH} 値

図 4 - 12 に I_O vs V_O のカーブを示します。

グラフ中の MIN., TYP., MAX. はそれぞれ次の条件でのカーブを示します。実際に使用できる直流 (I_{OH} , I_{OL}) は絶対最大定格以内としてください。

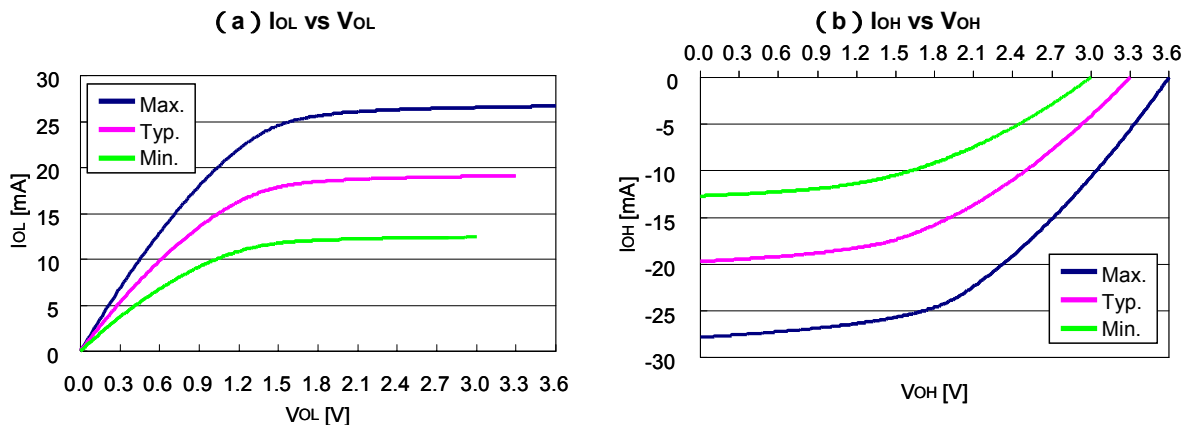
MIN. : $V_{DD} = 3.0 \text{ V}$ (3.3 V 出力バッファ) $T_J = +125 \text{ }^\circ\text{C}$

TYP. : $V_{DD} = 3.3 \text{ V}$ (3.3 V 出力バッファ) $T_J = +25 \text{ }^\circ\text{C}$

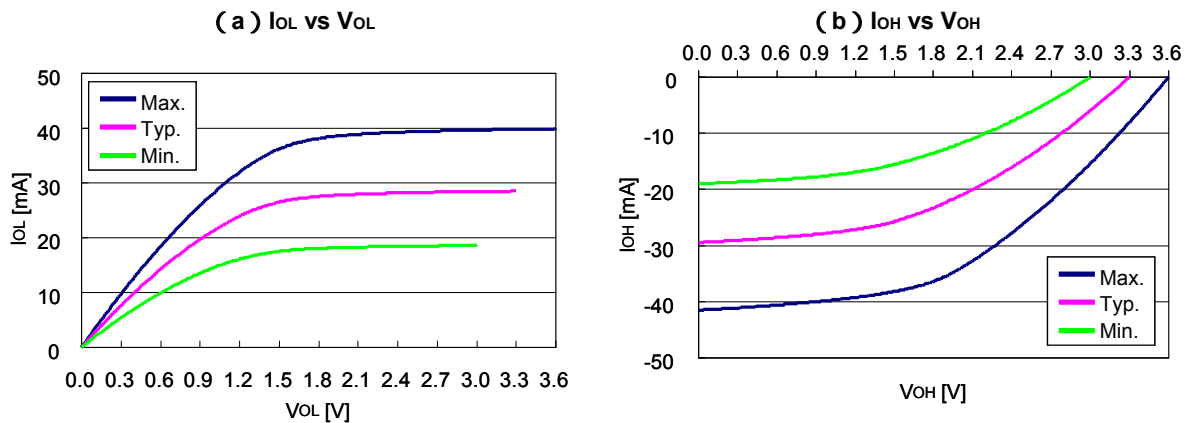
MAX. : $V_{DD} = 3.6 \text{ V}$ (3.3 V 出力バッファ) $T_J = -40 \text{ }^\circ\text{C}$

図4 - 12 I_o vs V_o (3.3 V インタフェース) (1/2)

(1) $I_{oL} = 4.0 \text{ mA}$



(2) $I_{oL} = 6.0 \text{ mA}$



(3) $I_{oL} = 8.0 \text{ mA}$

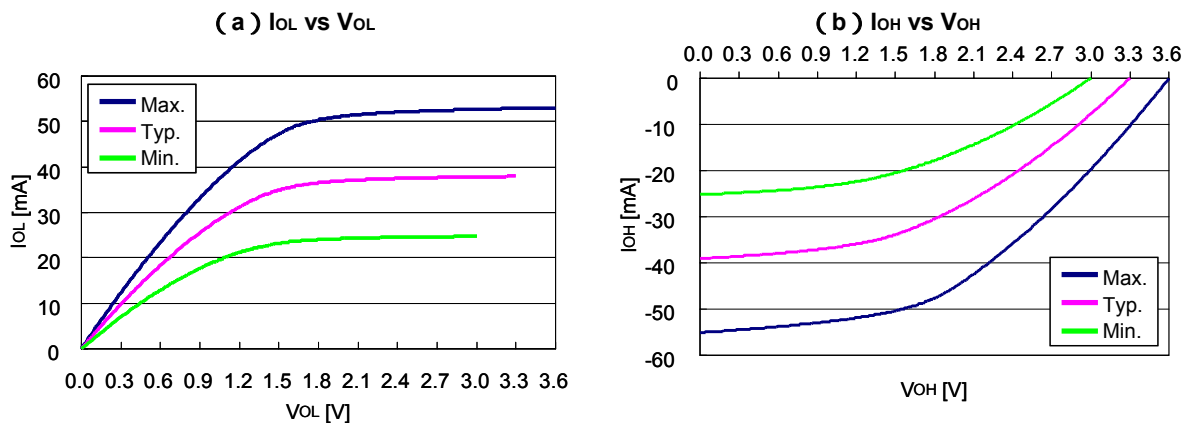


図 4 - 12 I_o vs V_o (3.3 V インタフェース) (2/2)

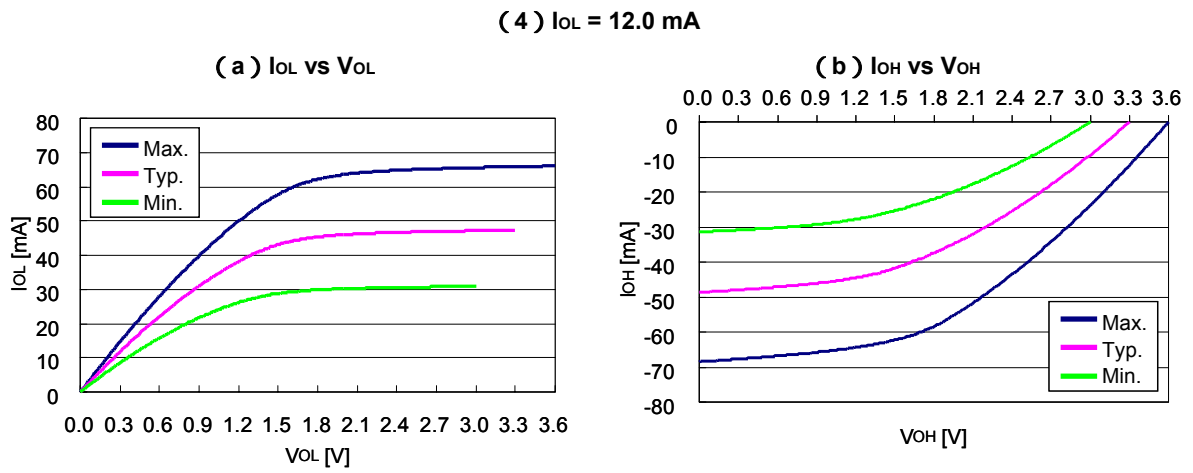


図4 - 13 I_o vs V_o (1.8 V インタフェース)

(1) $I_{OL} = 4.0 \text{ mA}$

T.B.D.

(2) $I_{OL} = 6.0 \text{ mA}$

T.B.D.

(3) $I_{OL} = 8.0 \text{ mA}$

T.B.D.

(4) $I_{OL} = 12.0 \text{ mA}$

T.B.D.

4.5 電源ブロックの見積もり

従来のセルベース IC の各シリーズではパッケージごとに標準電源ブロック位置が決められており、同時動作の制限や特殊な I/O を使用する場合を除いて特別に電源ブロックを追加する必要はありませんでした。

しかし、CB-40 LD タイプではお客様の設計した回路が標準電源で十分であるかどうかを検討し、必要な電源ブロック数を決定しなければなりません。CB-40 LD タイプでは、従来のシリーズのセルベース IC に比べて単位セル当たりの消費電力は小さくなりますが、その一方で動作周波数が高くなり、回路規模が大きくなることによってチップ全体の消費電力が非常に大きくなる可能性があります。その結果、従来の手法のままではエレクトロ・マイグレーションの制限超過による配線劣化や電位降下による動作不良が生じるため、これを防ぐために最適な電源ブロック数の検討をする必要があります。これはお客様の設計回路の規模、動作周波数、消費電力などの仕様に大きく依存しますので、必ず検討してください。

電源ブロックの見積もりでは、内部セルで必要となる電源ブロック数とI/Oセルで必要となる電源ブロック数をそれぞれ検討しなければなりません。それぞれ **4.5.1 内部セル用電源ブロックの見積もり**と **4.5.3 I/Oセル用電源ブロックの見積もり**を参照し検討してください。

4.5.1 内部セル用電源ブロックの見積もり

ここでは内部セルでの消費電力の大きさによる電位降下 (IR-Drop) の影響による制限について検討します。

内部セルでの消費電力が大きいのことは、流される電流量も大きくなるのでそれに相応する電源能力が必要となります。必要とされる電源能力を満たさない電源ブロック数であった場合、チップ内部では配線抵抗による電位降下が発生し、遅延時間の大幅な増加やデバイスの動作不良などを引き起こす可能性があります。したがって、内部セルでの消費電力を見積もり、その大きさによって必要数の電源ブロックを追加する必要があります。

電源ブロック数の見積もりの算出方法を次に示します。

まず、4.2.3 ファンクショナル・セルおよびインタフェース・ブロックの消費電力の見積もりを参照して、消費電力 (ΣP_{DAREA}) を算出してください。

求めた消費電力 (ΣP_{DAREA}) を下記の計算式に代入し、必要な内部セル用電源ブロック数を見積もってください。

注意 電源分離をする際の電源ブロック数の検討には注意が必要です。弊社にご確認ください。

$$\text{内部セル用 } V_{DD} \text{ (小数点以下切り上げ)} = F_{V_{DD}} (\text{ブロック数}/W) \times P_{DCORE} (W)$$

$$\text{内部セル用 GND (小数点以下切り上げ)} = F_{GND} (\text{ブロック数}/W) \times P_{DCORE} (W)$$

表4-8 内部セル用電源ブロック数見積もり係数

I/Oパッドの種類	内部セル消費電力 (W)	7層品		8層品	
		V_{DD} 注 (ブロック数/W)	GND 注 (ブロック数/W)	V_{DD} 注 (ブロック数/W)	GND 注 (ブロック数/W)
30 μ m 千鳥パッド	2.5~3.0	48	48	T.B.D.	T.B.D.
	2.0~2.5	28	27	T.B.D.	T.B.D.
	1.5~2.0	19	18	T.B.D.	T.B.D.
	1.0~1.5	15	14	T.B.D.	T.B.D.
	~1.0	10	10	T.B.D.	T.B.D.
50 μ m 単列パッド	2.5~3.0	T.B.D.	T.B.D.	T.B.D.	T.B.D.
	2.0~2.5	T.B.D.	T.B.D.	T.B.D.	T.B.D.
	1.5~2.0	T.B.D.	T.B.D.	T.B.D.	T.B.D.
	1.0~1.5	T.B.D.	T.B.D.	T.B.D.	T.B.D.
	~1.0	T.B.D.	T.B.D.	T.B.D.	T.B.D.

注 V_{DD} ブロックと GND ブロックは、幅が I/O スロットの 1 本分と 2 本分の 2 種類のブロックがあります。

千鳥パッドの外側をボンディング用として使用する場合は、 V_{DD} ブロックと GND ブロックのいずれも、I/O スロット 2 本分の幅のブロックを使用する必要があります。

千鳥パッドの内側をボンディング用として使用する場合は、 V_{DD} ブロックと GND ブロックのいずれも、I/O スロット 1 本分の幅のブロックが使用できます。

電源ブロック数の見積り係数は GND ブロックの幅によらず同一になるため、外側パッドを使用した場合は GND ブロックが占める面積が 2 倍になります。したがって、内側パッドを使用することを推奨します。

注意 電源ブロック数は、パッケージに依存して変更する可能性があります。

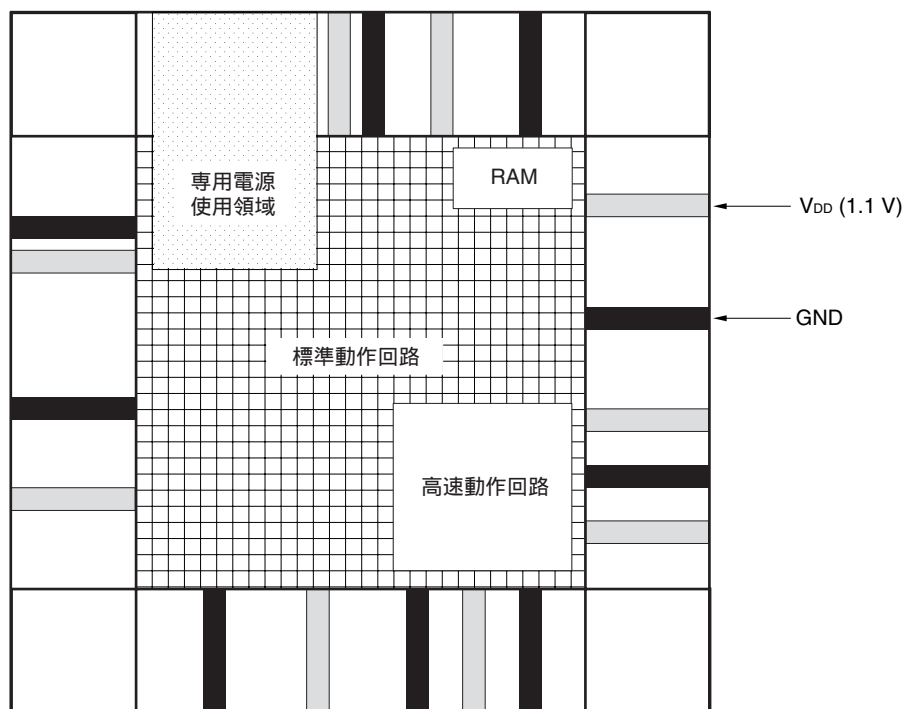
詳細な電源ブロック数の検討については、弊社にご確認ください。

4.5.2 内部セル用電源ブロックの配置

内部セル用の電源ブロックは、内部回路動作に対してバランスよく配置することで、最適な電源配置およびブロック数にすることができます。

たとえば、高速に動作し消費電力が大きい回路や、専用の電源を持つ領域がある場合には、それらの近傍に電源ブロックを配置することが推奨されます。したがって、CB-40 LD タイプでは電源解析の結果から配置位置が決定するため、開発では初期検討から配置やブロック数が変動する可能性がありますのでご了承ください。

図4 - 14 内部セル用電源ブロック配置イメージ



4.5.3 I/O セル用電源ブロックの見積もり

出力バッファについてエレクトロ・マイグレーションの制限について検討します。

1つの電源ブロックに流せる電流量の制限があり、これについて検討しなければなりません。この制限を越えて電源の能力以上のバッファを駆動すると、配線の劣化によりデバイスの動作不良を引き起こす可能性があります。

出力バッファに流れる電流はそのバッファの駆動能力と動作周波数、出力端子に接続される負荷によって決まります。したがって、検討する際は出力バッファの選択、動作周波数の確定、出力負荷の確定、ブロック配置の仮確定をしておく必要があります。

また、I/O用電源ブロックは、内側パッドに接続するように配置してください。

(1) 動作電流量による制限

V_{DD} および GND それぞれに対して検討します。

最初にスタート・ポイントとなる V_{DD} ブロックを設定します。これは標準電源のうち I/O 用に使用できるものから選択しても、新たに追加してもかまいません。場所は任意です。

次にスタート・ポイントから順番に (右回りでも左回りでもどちらでも可) それぞれの出力バッファに流れる電流量 (I_{EM}) を次の式を用いて算出します。

$$I_{EM} = I_1 \times f$$

I₁ : 1 MHzあたりの出力バッファに流れる電流量 (表 4 - 9参照)

f : 動作周波数

出力バッファの動作が間欠的な場合は平均動作周波数 (f_A)[※]を用いてください。

注 平均動作周波数 (f_A)

動作が間欠的な場合は、平均動作周波数 (f_A) を検討することが可能です。

$$f_A = f_M \times T_M \div T_T$$

f_M : 実動作期間の動作周波数

T_M : 実動作期間

T_T : 間欠動作周期

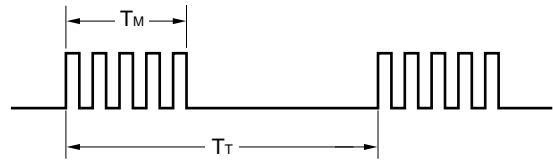


表4 - 9 出力バッファに流れる 1 MHz 当たりの電流量 (I₁)

出力負荷		1 pF	5 pF	10 pF	20 pF	30 pF	50 pF	100 pF	
3.3 V バッファ	ノーマル	I _{OL} = 4.0 mA	0.011	0.022	0.035	0.062	0.089	0.143	0.278
		I _{OL} = 6.0 mA	0.012	0.022	0.036	0.063	0.090	0.144	0.279
		I _{OL} = 8.0 mA	0.012	0.023	0.036	0.064	0.091	0.145	0.280
		I _{OL} = 12.0 mA	0.013	0.024	0.037	0.064	0.091	0.145	0.281
	ロウ・ノイズ	I _{OL} = 4.0 mA	0.011	0.022	0.035	0.062	0.089	0.143	0.278
		I _{OL} = 6.0 mA	0.012	0.022	0.036	0.063	0.090	0.144	0.279
		I _{OL} = 8.0 mA	0.013	0.023	0.037	0.063	0.090	0.144	0.280
		I _{OL} = 12.0 mA	0.015	0.024	0.037	0.064	0.091	0.145	0.280
1.8 V バッファ	ノーマル	I _{OL} = 4.0 mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.
		I _{OL} = 6.0 mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.
		I _{OL} = 8.0 mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.
		I _{OL} = 12.0 mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.
	ロウ・ノイズ	I _{OL} = 4.0 mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.
		I _{OL} = 6.0 mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.
		I _{OL} = 8.0 mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.
		I _{OL} = 12.0 mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.

注意 表中の値は正規化しているため、実際の電流量とは異なります。

双方向バッファについては、出力駆動能力の等しいバッファの値を用いて算出してください。

各バッファに流れる電流量が算出できたら、スタート・ポイントから隣り合う出力バッファに流れる電流量を足しあわせていき、次に示す制限を越えないように電源ブロックを追加してください。

ΣI_{EM}	$I_{EMLIMIT}$
-----------------	---------------

表4 - 10 I/O パッド種類およびパッケージごとの許容電流量 ($I_{EMLIMIT}$)

(1) 30 μ m 千鳥パッド

パッケージ	I/O パッド種類 (30 μ m 千鳥パッド)		
	電源 / パッド位置	内側	外側
ワイヤーボンディング・ パッケージ	V_{DD} (3.3 V)	122	122
	GND	100	100

(2) 50 μ m 単列パッド

パッケージ	I/O パッド種類 (50 μ m 単列パッド)	
	電源 / パッド位置	基準値
ワイヤーボンディング・ パッケージ	V_{DD} (3.3 V)	165
	GND	184

V_{DD} に関する検討が終わったら、続いて GND に関する検討も同様に検討してください。

(2) 動作電流の RMS (Root Mean Square) による制限

(1) の動作電流量による制限の検討に加えて、動作電流 (RMS) による制限を検討します。

V_{DD} および GND に対してそれぞれ検討します。(1) と (2) 両方の制限を満たすように V_{DD} と GND のブロックを配置してください。

最初にスタート・ポイントとなる V_{DD} ブロックを設定します。これは標準電源のうち I/O 用に使用できるものから選択しても、新たに追加してもかまいません。場所は任意です。

次にスタート・ポイントから順番に (右回りでも左回りでもどちらでも可) それぞれの出力バッファに流れる電流の RMS (I_{RMS}) を次の式を用いて算出します。

$$I_{RMS} = I_2 \times f$$

I₂ : 出力バッファに流れる電流 (RMS) 算出用の係数 (表 4 - 11 参照)

f : 動作周波数

出力バッファの動作が間欠的な場合は最大の動作周波数を使用して算出してください。

平均動作周波数の検討はできません。

表 4 - 11 出力バッファに流れる電流 (RMS) 算出用係数 (I₂)

出力負荷			1 pF	5 pF	10 pF	20 pF	30 pF	50 pF	100 pF
3.3 V バッファ	ノーマル	I _{OL} = 4.0 mA	0.242	0.419	0.575	0.803	0.980	1.261	1.780
		I _{OL} = 6.0 mA	0.285	0.502	0.694	0.975	1.193	1.539	2.176
		I _{OL} = 8.0 mA	0.323	0.569	0.791	1.117	1.370	1.771	2.507
		I _{OL} = 12.0 mA	0.357	0.628	0.875	1.241	1.524	1.973	2.799
	ロウ・ノイズ	I _{OL} = 4.0 mA	0.202	0.371	0.530	0.765	0.947	1.234	1.760
		I _{OL} = 6.0 mA	0.235	0.430	0.621	0.910	1.135	1.491	2.140
		I _{OL} = 8.0 mA	0.266	0.477	0.692	1.024	1.285	1.699	2.454
		I _{OL} = 12.0 mA	0.299	0.519	0.753	1.121	1.412	1.877	2.726
1.8 V バッファ	ノーマル	I _{OL} = 4.0 mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.
		I _{OL} = 6.0 mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.
		I _{OL} = 8.0 mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.
		I _{OL} = 12.0 mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.
	ロウ・ノイズ	I _{OL} = 4.0 mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.
		I _{OL} = 6.0 mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.
		I _{OL} = 8.0 mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.
		I _{OL} = 12.0 mA	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.

注意 表中の値は正規化しているため、実際の電流量とは異なります。

双方向バッファについては、出力駆動能力の等しいバッファの値を用いて算出してください。

各バッファに流れる電流の RMS が算出できたら，スタート・ポイントから隣り合う出力バッファに流れる電流量を足しあわせていき，次に示す制限を越えないように電源ブロックを追加してください。

ΣI_{RMS}	$I_{RMSLIMIT}$
------------------	----------------

表4 - 12 I/O パッド種類およびパッケージごとの許容電流量 ($I_{RMSLIMIT}$)

(1) 30 μ m 千鳥パッド

パッケージ	I/O パッド種類 (30 μ m 千鳥パッド)		
	電源 / パッド位置	内側	外側
ワイヤーボンディング・ パッケージ	V _{DD} (3.3 V)	127	127
	GND	112	112

(2) 50 μ m 単列パッド

パッケージ	I/O パッド種類 (50 μ m 単列パッド)	
	電源 / パッド位置	基準値
ワイヤーボンディング・ パッケージ	V _{DD} (3.3 V)	181
	GND	184

V_{DD} に関する検討が終わったら，続いて GND に関するも同様に検討してください。

4.6 出力バッファの同時動作制限

近年、システム内のバス・ラインの本数は 32 から 64 以上へと増加しています。

また、システムの高速度化傾向のため、バス・ラインの信号動作スピードも高速になっています。このため、同時動作の発生頻度も大幅に増加しており、ノイズによるシステムの誤動作が問題になっています。

ここでは、同時動作に関して説明します。

4.6.1 出力同時動作による誤動作

出力バッファがロウからハイ、またはハイからロウへスイッチングすると、出力負荷容量を充放電する電流が出力バッファを介して電源または GND ラインに瞬間的に流れます。

充放電電流を i とし、電源のインダクタンスを L とすると、発生するノイズは $-L \times \Delta i / \Delta t$ で表されます。

このことより、発生するノイズは充放電電流の変化と電源のインダクタンスに比例して増加することがわかります。 $\Delta i / \Delta t$ の値は、出力バッファのタイプによって決まり、駆動能力の大きい出力バッファの方が一般的には大きくなります（正確には、出力の大型トランジスタの駆動能力とそのトランジスタへの入力立ち上がり / 立ち下がり時間 (t_r, t_f) によって決まるため、ロウ・ノイズの $\Delta i / \Delta t$ の値は同一の駆動能力を持つ出力バッファより小さい)。同時動作の本数が多くなれば、この過渡的な充放電電流が大きくなり、電源または GND ラインに大きなノイズが発生します。その結果、システム自身の誤動作を引き起こします。

この種の誤動作には大きく分けて、次の 2 つの場合が考えられます。

<1> LSI の入力スレッショールド・レベルの変動による、LSI 自身の誤動作

<2> LSI の出力端子に現れるノイズによる次段の回路の誤動作

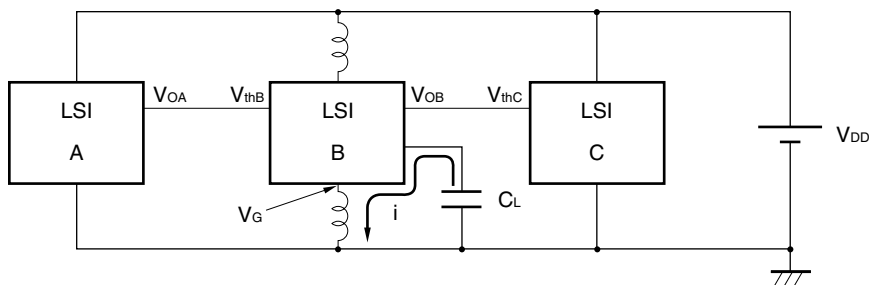
たとえば、図 4 - 15 (a) の回路において、LSI B の出力バッファが “H L” にスイッチングした場合、負荷の放電電流が LSI B の出力バッファと LSI 内部の GND ラインを通して、実装基板上の GND ラインに流れます。

この放電電流により、GND ラインのインダクタンスに逆起電力を生じ、LSI 内部の GND レベル (V_G) が上昇し、図 4 - 15 (b)、図 4 - 15 (c) のような誤動作を起こします。

なお、出力バッファが “L H” にスイッチングした場合は、負荷容量へ充電電流が流れ、電源ラインにノイズが発生し、LSI 内部の V_{DD} レベルが一時的に下降します。

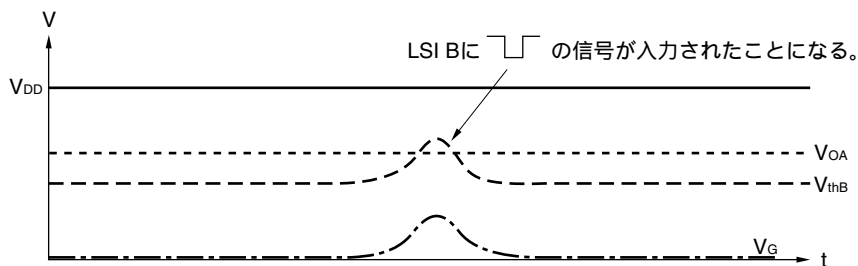
図4 - 15 同時動作による誤動作

(a) 回路図

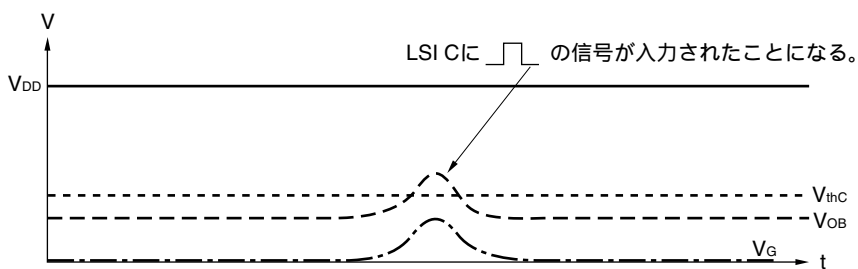


- V_{OA} : LSI A の出力レベル
- V_{OB} : LSI B の出力レベル
- V_{thB} : LSI B の入カスレッシュホールド・レベル
- V_{thC} : LSI C の入カスレッシュホールド・レベル
- V_G : LSI B の GND レベル

(b) LSI B の入カスレッシュホールド・レベルの変動



(c) LSI B の出力端子へのノイズの発生



4.6.2 出力同時動作による誤動作

出力バッファが動作すると、負荷容量を充放電する電流が負荷と LSI の間に流れます。

この充放電電流が基準を越えると電源ラインにノイズが発生し、入力スレッショールドが変動したり、出力端子にノイズが発生します。

出力バッファの同時動作制限数は、次の要因で変化します。

- 電源ブロック数 (V_{DD} および GND)
- 負荷容量の大きさ (C_L)
- 使用する出力バッファの負荷駆動能力
- 入力インタフェース・レベルの種類
- 出力インタフェース・レベルの種類

それぞれの出力バッファの同時動作制限数は、**4.6.4 同時動作制限判定法**を参照してください。

また、同時動作は実装基板上の GND および電源の配線パターンの影響も受けますので、弊社で示す制限内であっても、ノイズ発生可能性があります。

基板設計については、ノイズ対策を十分に行ってください。

4.6.3 同時動作数の考え方

同時動作の判定は、基準時間（表 4 - 13参照）内に同一方向にスイングする複数の出力バッファに着目して行います。同時動作の組み合わせが複数ある場合、それぞれを独立して判定します。

同一方向の変化とはバッファによってカウント方法が違います。

(1) 通常出力バッファ

- “1” “0”, “X” “0” または “1” “X” の変化を “0” 方向の信号の変化としてカウント
- “0” “1”, “X” “1” または “0” “X” の変化を “1” 方向の信号の変化としてカウント

(2) 3 ステート出力バッファ

- “1” “0”, “HZ” “0” または “X” “0” または “1” “X” の変化を “0” 方向の信号の変化としてカウント
- “0” “1”, “HZ” “1” または “X” “1” または “0” “X” の変化を “1” 方向の信号の変化としてカウント

(3) 双方向バッファ

- “1” “0”, “X” “0” または “1” “X” の出力変化および “1” を入力している状態から “0” を出力する状態へ変化するピンを “0” 方向の信号の変化としてカウント
- “0” “1”, “X” “1”, “0” “X” の出力変化および “0” を入力している状態から “1” を出力する状態へ変化するピンを “1” 方向の信号の変化としてカウント

表4 - 13 同時動作基準時間範囲 (TYP.)

バッファ・タイプ	負荷容量 C_L [pF]		
	0 C_L 50	50 < C_L 200	200 < C_L 300
4.0 mA	3.0 ns	4.0 ns	6.0 ns
6.0 mA	3.0 ns	4.0 ns	6.0 ns
8.0 mA	3.0 ns	4.0 ns	6.0 ns
12.0 mA	T.B.D.	T.B.D.	T.B.D.

4.6.4 同時動作制限判定法

同時動作を判定する場合、ブロック配置を考慮して検討しなければなりません。

(1) 簡易判定法

同時動作の判定は出力バッファ・タイプ、出力負荷容量および有効 GND 本数によって行います。

連続した 3 本の有効 GND ブロックの間で同時動作可能な端子数を表 4 - 14 に示します。これは、8 mA の出力バッファを使用したときの同時動作許容本数を表しているため、駆動能力および出力レベルの異なるバッファを使用する場合は表 4 - 15 の換算係数を用いて許容本数を求めてください。

表4 - 14 3GND ブロック内での同時動作許容本数 (3.3 V 出力バッファ, $I_{OL} = 8 \text{ mA}$)

有効 GND 本数	出力負荷容量 C_L (pF)	
	50 pF	
3	14	

備考 詳細は、4.6.5 同時動作制限を越えた場合の対処方法を参照してください。

表4 - 15 同時動作許容本数換算係数 (β_i)

出力レベル	バッファ・タイプ	I_{OL} (mA)	換算係数						
			1 pF	10 pF	20 pF	30 pF	40 pF	50 pF	100 pF
3.3 V バッファ	ノーマル	4.0	0.11	0.30	0.47	0.59	0.68	0.74	0.81
		6.0	0.13	0.33	0.52	0.67	0.80	0.90	1.14
		8.0	0.15	0.35	0.56	0.73	0.88	1.00	1.37
		12.0	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.
	ロウ・ノイズ	4.0	0.11	0.29	0.46	0.58	0.66	0.72	0.80
		6.0	0.11	0.32	0.50	0.66	0.78	0.88	1.12
		8.0	0.12	0.33	0.54	0.71	0.85	0.98	1.35
		12.0	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.	T.B.D.

同時動作時のノイズは、パッケージのインダクタンスに比例するため、使用するパッケージのインダクタンスを確認してから表 4 - 16 に示す係数を使用してください。

表4 - 16 パッケージ・インダクタンス用係数 (γ_i)

パッケージ・インダクタンス			
3 nH	5 nH	7 nH	10 nH
0.85	0.94	1	1.06

$\Sigma m_i \times \beta_i \times \gamma_i \leq M$ になるように GND/ V_{DD} (I/O 用) を配置してください。

例 8 mA バッファを負荷容量 30 pF、インダクタンス 5 nH で使用する場合

$$\Sigma m_i = M \div \beta_i \div \gamma_i = 14 \div 0.73 \div 0.94 = 20.4$$

3GND 内で 20 本までバッファを配置することができます。

(2) 駆動能力や負荷容量が異なる場合の判定法

駆動能力が異なるバッファの場合は、各駆動能力の同時動作許容本数 (m_i) と同時動作許容本数換算係数 (β_i) を考慮し、表 4 - 14の同時動作許容本数 (M) に対し、次式で判定してください。

$$\sum m_i \times \beta_i \leq M$$

m_i : 駆動能力ごとの同時動作許容本数
 β_i : バッファ・タイプごとの同時動作許容本数換算係数

また、負荷容量も異なる場合は負荷容量ごとの同時動作許容本数 (M_i) を考慮して、次式で判定します。

$$\sum m_i \times \beta_i / M_i \leq 1$$

M_i : 同時動作許容本数

(3) 内側 PAD に接続される出力バッファ本数基準 (ワイヤボンディング・パッケージの場合)

同時動作をする出力バッファ群が内側パッドに接続される場合には、表 4 - 17 に示す本数ごとに、I/O用V_{DD} もしくはGNDを内側パッドに接続して配置してください(図 2 - 2参照)。出力バッファが内側パッドに接続された場合、パッケージ内部の伝送線路が長くなりパッケージ内部での信号間のノイズの影響が大きくなります。許容される出力バッファの本数はパッケージの種類により異なります。

表4 - 17 内側パッドに接続される出力バッファの本数制限

バッファ・タイプ	駆動能力	内側パッドに接続される出力バッファの本数	
		FPBGA パッケージ	PBGA パッケージ
ノーマル・バッファ	4.0 mA	T.B.D.	T.B.D.
	6.0 mA	T.B.D.	T.B.D.
	8.0 mA	T.B.D.	T.B.D.
	12.0 mA	T.B.D.	T.B.D.
ロウ・ノイズ・バッファ	4.0 mA	T.B.D.	T.B.D.
	6.0 mA	T.B.D.	T.B.D.
	8.0 mA	T.B.D.	T.B.D.
	12.0 mA	T.B.D.	T.B.D.

4.6.5 同時動作制限を越えた場合の対処方法

(1) V_{DD} , GND ブロックの増設

同時動作本数を満足するように V_{DD} , GND 端子を追加してください。

なお、追加する V_{DD} 端子と、追加する GND 端子の比は、1 : 1 になるようにしてください。

(2) バッファ・タイプの変更

出力の充放電電流のピーク値は、バッファのタイプおよび駆動能力に依存します。

出力バッファの駆動能力低減、またはロウ・ノイズ・タイプへの変更を検討してください。

(3) 出力負荷容量の低減

出力変化時に流れる充放電電流が発生するノイズの大きさは出力端子の負荷容量に依存します。

このため、出力負荷容量を低減すれば発生するノイズの大きさを減少させることができ、同時動作本数を低減できます。

(4) 遅延時間の追加による同時動作本数の低減

同時動作出力端子に遅延時間を追加し、他の同時動作出力端子とタイミングをずらすことにより、同時動作本数を低減できます。

改訂記録

CB-40 LD タイプ ユーザーズマニュアル 製品データ編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2009.08.25	-	初版発行
2.00	2009.10.26	-	改版
3.00	2010.03.31	-	改版
4.00	2010.08.10	全般	新フォーマットに変更
		p.7	表 2 - 2 各ステップ・サイズにおける使用可能ゲート数 (7 層品) 追加
		p.18	表 2 - 6 スタンバイ制御信号入力用ブロック 追加
		p.23	表 3 - 4 絶対最大定格 変更
		p.27	表 3 - 7 DC 特性 ($V_{DD} = 3.3 \pm 0.3 \text{ V}$, $V_{DD} = 1.8 \pm 0.15 \text{ V}$, $T_A = -40 \sim +85 \text{ }^\circ\text{C}$) 変更
		p.59	表 4 - 8 内部セル用電源ブロック数見積もり係数 追加
		p.62	表 4 - 10 I/O パッド種類およびパッケージごとの許容電流量 ($I_{EMLIMIT}$) 追加
p.64	表 4 - 12 I/O パッド種類およびパッケージごとの許容電流量 ($I_{RMSLIMIT}$) 追加		

CB-40 LD タイプ ユーザーズマニュアル 製品データ編

発行年月日 2009 年 8 月 25 日 Rev.1.00
 2010 年 8 月 10 日 Rev.4.00

発行 ルネサス エレクトロニクス株式会社
 〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

CB-40 LD タイプ