

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

— 日立マイクロコンピュータ技術情報 —

〒 1 0 0 - 0 0 0 4

東京都千代田区大手町 2 丁目 6 番 2 号
(日本ビル)

TEL (03)5201-5146 (ダイヤルイン)

株式会社 日立製作所 半導体グループ

題 目	CKIO 配線設計に関するガイド		発行番号	TN-SH7-395A		
			分 類	1. 仕様変更 ② ドキュメント訂正追加等 3. 使用上の注意事項		
適 用 製 品	SH7750	対象ロット等	関 連 資 料	SH7750シリーズハードウェア マニュアル(Rev. 第1-5 版)	Rev.	有効期限
	SH7750S SH7751	全ロット		SH7751ハードウェア マニュアル(Rev. 第1 版)	—	永年

SH-4 の CKIO 配線設計に関して

SH-4(SH7750,SH7750S,SH7751)は CKIO 出力信号を PLL 回路 2 ヘフィードバックすることにより、チップ内部クロック Bφと外部クロック CKIO 信号の位相を合わせ、高速な外部バス動作を可能にしています。しかしそのために、CKIO ピン付近で反射ノイズ等起因のグリッチ歪みが発生した場合には PLL ロックがはずれ、システム誤動作の原因になることがあります。本資料では SH-4 を使用したボードを設計する際のガイドを示します。

1. IBIS を利用したボードの設計・検証

SH-4を使用してボードを設計する場合、IBISシミュレーションを用いて設計結果を検証することを推奨します。

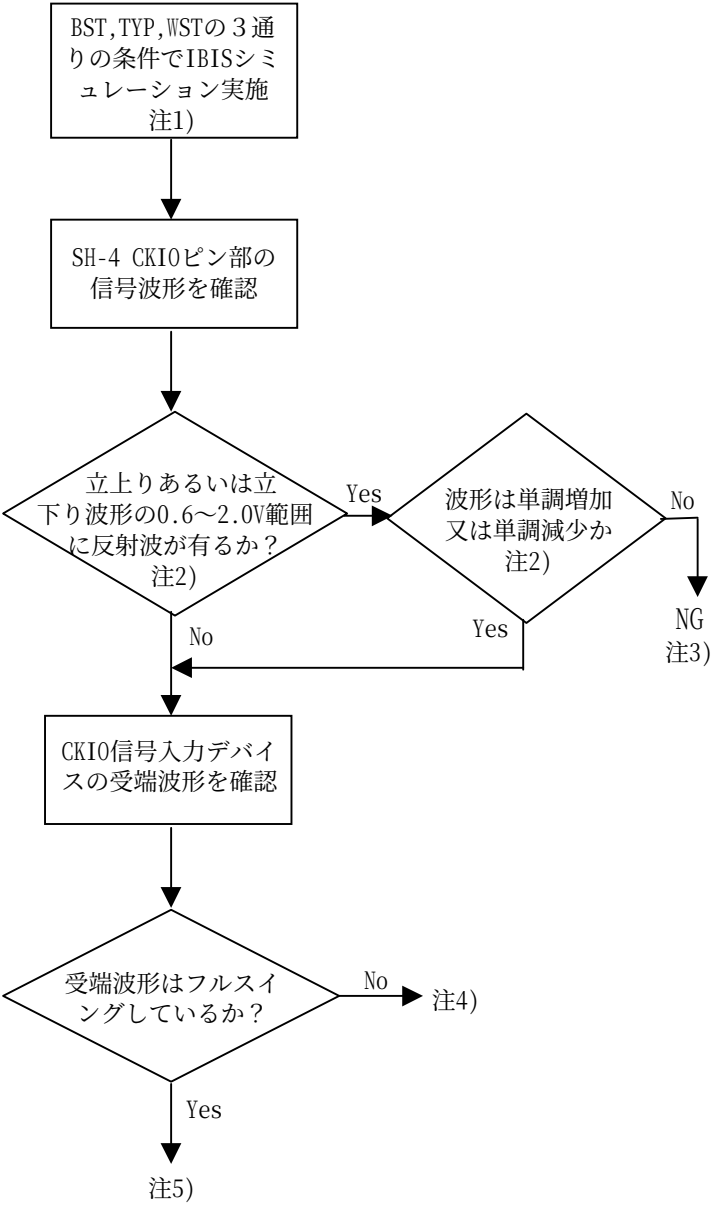
IBISシミュレーションを用いた設計検証手順を以下に示します。

- 1) SH-4及びSH-4のCKIO信号が接続される全デバイスのIBISモデルを用意します。
- 2) ボードのCKIO信号の特性インピーダンスを評価します (“3. 特性インピーダンス評価とIBISシミュレーション”参照)。
- 3) 上記1)2)の結果を用いて IBISシミュレーションし、その結果を判定します (“2. 判定方法”参照)。

なお、基板の特性インピーダンス評価には誤差が含まれますので、判定においてはこの誤差をマージンとして考慮し、さらに実機での波形確認を行なって下さい。

2. 判定方法

図1にIBISシミュレーション結果の判定方法を示します。

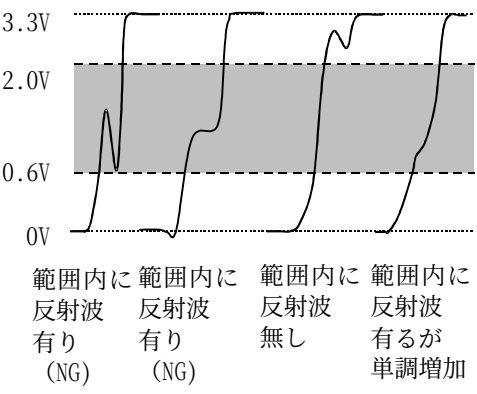


注1) SH-4のIBISモデルは電源電圧、温度、デバイスばらつきを考慮し、下記3通りの条件を選択できます。

条件	電源電圧 (Vddq)	温度 (Tj)	デバイス
BST	3.6V	-20/-40℃(注)	高速
TYP	3.3V	25℃	標準
WST	3.0V	125℃	低速

(注)：製品の動作保証温度Taの下限値と同じ値です。

注2) 下表に波形例を示します。
一定の時間、一定電圧になる反射波形もSH-4内部でグリッチに成り得ます。



注3) 後述の【補足】を参照下さい。

注4) 受端側デバイスの仕様をもとに判定してください。さらに、基板インピーダンス評価誤差を考慮の上、実機で最終確認してご判断下さい。

注5) 基板インピーダンス評価誤差を考慮の上、実機で最終確認してご判断下さい。

図1. IBISシミュレーション結果の判定フロー

3. 特性インピーダンス評価とIBISシミュレーション

ボードの特性インピーダンスは、伝送線路シミュレータ（例えばMentorGraphics社製InterconnectixやInnoveda社製XTK等）を用いて評価することが可能です。また評価のレベルを上げる方法として、株式会社 図研からSH-4搭載ボードの設計支援を受けることも可能です。株式会社 図研では伝送線路シミュレータを使用してボードの特性インピーダンス抽出とIBISシミュレーションを行っています。

これらのツールを使用せずに机上で特性インピーダンス評価を行う場合には、十分なマージンを確保して設計されるようお願いいたします。

【補足】グリッチ発生原因と対策の原理

図 2 に CKIO 部に一つの SDRAM が接続された場合の概略図を示します（パッケージモデル及び PIN～Rd までの基板配線は省略）。出力バッファのインピーダンスを r ，直列終端抵抗を R_d ，基板配線の特性インピーダンスを Z_0 とします。A 点は SH-4 のピン，B 点は SDRAM のピンです。B 点では SH-4 から出力された信号波形が反射します。 $R_d=0$ ， $r=Z_0$ のとき，A 点にはほぼ $0.5 \cdot V_{ddq}$ の電圧に反射波が発生します。反射波は完全なインピーダンスマッチを実現しない限り，多かれ少なかれ発生します。図 2 のように，反射波の発生する電位 V_{ar} ， V_{af} は定義できますが，実際には，伝送線路が枝別れしたり，出力バッファの出力インピーダンスも出力レベルにより変化するなど複雑です。対策としては表 1 に示すように各パラメータを調整して発生する反射波を抑えたり，反射波の電位を入力バッファの VLT(logical threshold voltage：SH-4 では $V_{IH}(\max)$ から $V_{IH}(\min)$) 範囲外に移動させる方法が有効です。実際のボードでの反射波の波形を解析式を用いて求めるのは困難なためにシミュレーションにより確認することを強く推奨します。

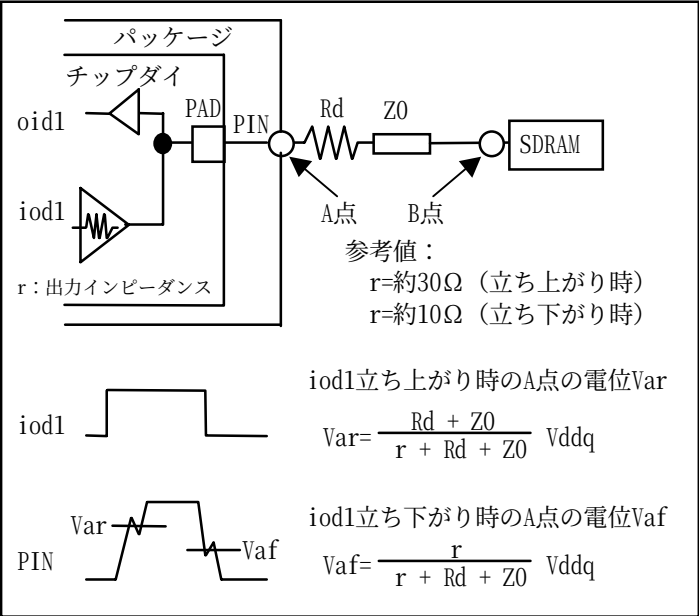


図2 グリッチ発生電位の概算

表1 調整するパラメータと内容

パラメータ	内容
R_d	反射波の影響を緩和し，入力バッファのVLT範囲外に移動させる。Worst条件では受端デバイスでの信号振幅がフルスイングしないことがある。
Z_0	インピーダンス制御可能な範囲に物理的制約がある。
受端容量 (図2ではSDRAM)	クロックを受けるデバイスの数や容量を調整。送端に生じる反射波の影響に関係。

【伝送線路における反射】

以上では、受端からの反射について説明しましたが、配線の実効インピーダンスが不整合の場合でも反射は生じます。ここでは、この内容について説明します。

図3のように線路がインピーダンス Z_b で終端され、長さ l の伝送線路に、振幅 E のステップ電圧がインピーダンス r を介して印加された場合、その電圧は進行波として線路を伝播します。B 点に達すると終端インピーダンスで全ての電力が吸収されず、一部が反射されます。B 点の反射係数 r_b で反射された電圧は A 点に向かって進行します。A 点では、A 点の反射係数 r_a で反射し、再び B 点に進行します。これを繰り返した結果として、A 点の電圧 V_A は(1)式で表わされます。

$$V_A = \frac{Z_0}{r + Z_b} E \frac{e^{\gamma l} + r_b e^{-\gamma l}}{e^{\gamma l} - r_a r_b e^{-\gamma l}} \quad (1) \quad \left(\begin{array}{l} r_a = \frac{r - Z_0}{r + Z_0} \\ r_b = \frac{Z_b - Z_0}{Z_b + Z_0} \end{array} \right. \quad \left. \begin{array}{l} \gamma = \alpha + s/v_p \\ \gamma: \text{線路の減衰定数} \\ v_p: \text{線路の伝播定数} \end{array} \right)$$

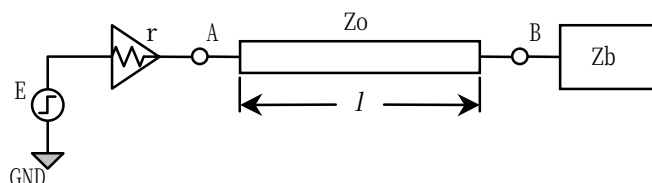


図3 送端、受端にインピーダンスを接続した長さ l の線路

これらの式から、B 点で反射された信号は減衰しながら

l/v_p の時間遅れで A 点に重畳されるために、A 点の波形には段差や歪みが生じることになります。

反射による A 点の波形歪みを少なくするためには次の方法が考えられます。

(1) B 点での反射を少なくするために、 $Z_0 = Z_b$ に近づける。

⇒ インピーダンス Z_b の最適化。

(2) 線路の減衰定数を大きくし、反射波を減衰させる。

⇒ 線路に直列に抵抗 R_d を挿入。

(図2参照。但し、大きくしすぎると B 点での波形が鈍り、振幅が低下する。)

実際のクロック配線の場合は、図3のような単純な伝送線路ではなく、図4のように分岐したり、信号源の出力インピーダンスも CMOS の場合、振幅により変化するために非常に複雑になり、A 点での波形を解析式を用いて求めることは困難です。そこで、シミュレーションにより、波形の歪みを検証する必要があります。

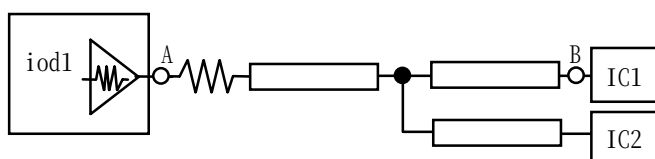


図4 分岐のある伝送線路